

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD178004A, 178006A, 178016A, 178018A

8ビット・シングルチップ・マイクロコンピュータ

μ PD178004A, 178006A, 178016A, 178018Aは、デジタル・チューニング・システム用ハードウェアを内蔵した8ビット・シングルチップCMOSマイクロコンピュータです。

CPUは、78K/0アーキテクチャを採用しており、内部メモリへの高速なアクセスおよび周辺ハードウェアの制御が容易にできます。また命令はシステム制御に適した高速な78K/0命令です。

周辺ハードウェアは豊富な入出力ポート、8ビット・タイマ、A/Dコンバータ、シリアル・インタフェース、パワーオン・クリア回路のほかに、デジタル・チューニング用としてプリスケラ、PLL周波数シンセサイザおよび周波数カウンタを内蔵しています。

また、マスクROM製品と同じ電源電圧範囲で動作可能なワン・タイムPROMまたはEPROM製品の μ PD178P018Aや各種開発ツールも用意しております。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD178018Aサブシリーズ ユーザズ・マニュアル：作成予定

78K/0シリーズ ユーザズ・マニュアル 命令編 : U12326J

特 徴

大容量ROM, RAM内蔵

| 項 目 品 名 | プログラム・メモリ (ROM) | データ・メモリ | | |
|-----------------|--------------------|---------|---------|---------|
| | | 内部高速RAM | バッファRAM | 内部拡張RAM |
| μ PD178004A | 32 Kバイト | 1024バイト | 32バイト | なし |
| μ PD178006A | 48 Kバイト | | | 2048バイト |
| μ PD178016A | | | | |
| μ PD178018A | 60 Kバイト | | | |

インストラクション・サイクル : 0.44 μ s (4.5 MHz水晶振動子使用)

豊富な周辺ハードウェア内蔵

汎用入出力ポート、A/Dコンバータ、シリアル・インタフェース、タイマ、周波数カウンタ、パワーオン・クリア回路

PLL周波数シンセサイザ用ハードウェア内蔵

デュアル・モジュラス・プリスケラ、プログラマブル・ディバイダ、位相比較器、チャージ・ポンプ

ベクタ割り込み要因 : 17

電源電圧 : $V_{DD} = 4.5 \sim 5.5$ V (PLL動作時)

$V_{DD} = 3.5 \sim 5.5$ V (CPU動作時、システム・クロック : $f_x/2$ 以下のとき)

$V_{DD} = 4.5 \sim 5.5$ V (CPU動作時、システム・クロック : f_x のとき)

本資料の内容は、後日変更する場合があります。

応用分野

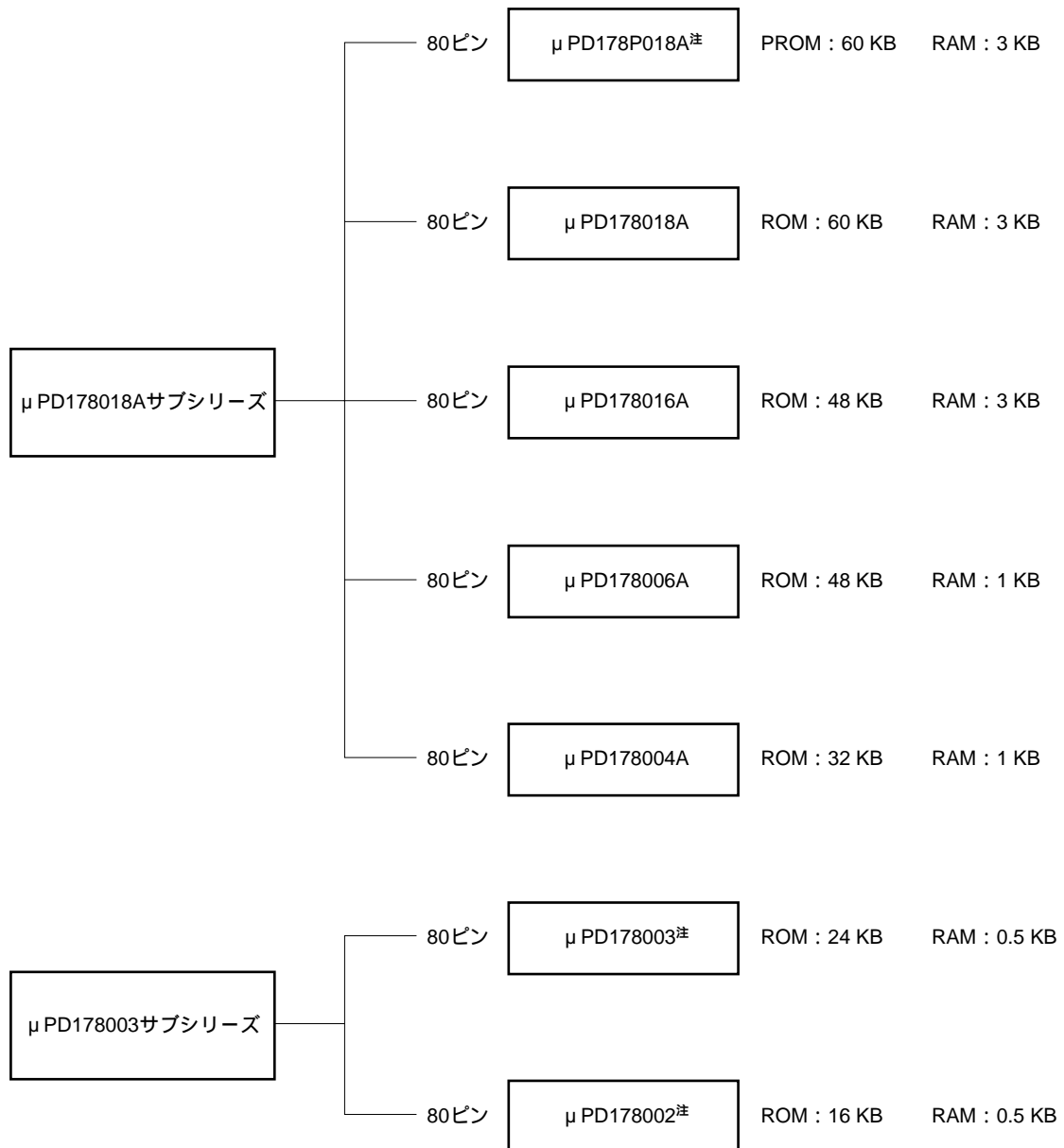
カー・ステレオ, ホーム・ステレオ

オーダー情報

| オーダー名称 | パッケージ |
|---------------------------|-------------------------------------|
| μ PD178004AGC- x x x -3B9 | 80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ) |
| μ PD178006AGC- x x x -3B9 | " |
| μ PD178016AGC- x x x -3B9 | " |
| μ PD178018AGC- x x x -3B9 | " |

備考 x x xはROMコード番号です。またI²Cバス使用時はROMコード番号はE x xになります。

μPD178018AサブシリーズとμPD178003サブシリーズの展開



注 開発中

機能概要

(1 / 2)

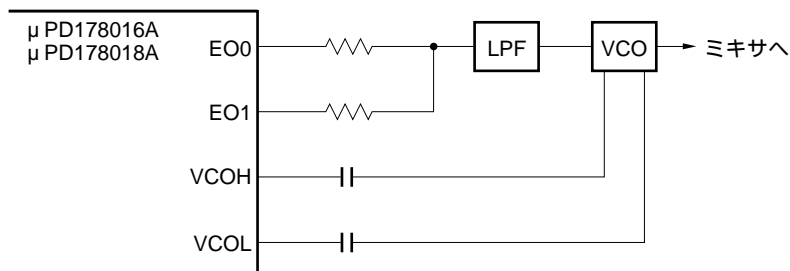
| 品 名 | | μ PD178004A | μ PD178006A | μ PD178016A | μ PD178018A |
|----------------|-------------|---|---------------------|-------------|---------------------|
| 内部メモリ | ROM (ROM構造) | 32 Kバイト (マスクROM) | 48 Kバイト (マスクROM) | | 60 Kバイト (マスクROM) |
| | 高速RAM | 1024バイト | | | |
| | バッファRAM | 32バイト | | | |
| | 拡張RAM | なし | | 2048バイト | |
| 汎用レジスタ | | 8ビット×32レジスタ (8ビット×8レジスタ×4バンク) | | | |
| インストラクション・サイクル | | 命令実行時間の可変機能内蔵 0.44 μs/0.88 μs/1.78 μs/3.56 μs/7.11 μs/14.22 μs (4.5 MHz水晶振動子使用) | | | |
| 命令セット | | <ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, プール演算) ・BCD補正 など | | | |
| I/Oポート | | 合 計 : 62本 <ul style="list-style-type: none"> ・CMOS入力 : 1本 ・CMOS入出力 : 54本 ・N-chオープン・ドレイン入出力 : 4本 ・N-chオープン・ドレイン出力 : 3本 | | | |
| A/Dコンバータ | | 8ビット分解能×6チャンネル | | | |
| シリアル・インタフェース | | <ul style="list-style-type: none"> ・3線式/SBI/2線式/I²Cバス^注・モード選択可能 : 1チャンネル ・3線式シリアルI/Oモード (最大32バイト自動送受信機能内蔵) : 1チャンネル | | | |
| タイマ | | <ul style="list-style-type: none"> ・ベーシック・タイマ (タイマ・キャリーFF (10 Hz)) : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・8ビット・タイマ (D/Aコンバータ: PWM出力) : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル | | | |
| ブザー (BEEP) 出力 | | 1.5 kHz, 3 kHz, 6 kHz | | | |
| ベクタ | マスカブル | 内部 : 8, 外部 : 7 | | | |
| | ノンマスカブル | 内部 : 1 | | | |
| 要因 | ソフトウェア | 内部 : 1 | | | |
| テスト入力 | | 内部 : 1 | | | |

注 I²Cバス・モードを使用した場合 (周辺ハードウェアを使用せず, プログラムで実現した場合も含む), マスク発注時に当社販売員に連絡してください。

| 品 名 | | μ PD178004A | μ PD178006A | μ PD178016A | μ PD178018A |
|------------------|---|--|-------------|-------------|-------------|
| 項 目 | | | | | |
| PLL周波数 シンセサイザ | 分周方式 | 2種類 ・直接分周方式 (VCOL端子) ・パルス・スワロ方式 (VCOH, VCOL端子) | | | |
| | 基準周波数 | 7種類をプログラムで選択 (1, 3, 5, 9, 10, 25, 50 kHz) | | | |
| | チャージ・ポンプ | エラー・アウト出力2本 (EO0, EO1端子 ^{注1}) | | | |
| | 位相比較器 | プログラムによりアンロック検出可能 | | | |
| 周波数カウンタ | ・周波数測定 ・AMIFC端子: 450 kHzカウント用 ・FMIFC端子: 450kHz/10.7 MHzカウント用 | | | | |
| D/Aコンバータ (PWM出力) | 8/9ビット分解能 × 3チャンネル (8ビット・タイマと兼用) | | | | |
| スタンバイ機能 | ・HALTモード ・STOPモード | | | | |
| リセット | ・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・クリア回路によるリセット (3値検出) ・4.5 V ^{注2} 未満の検出 (CPUクロック: f_x のとき) ・3.5 V ^{注2} 未満の検出 (CPUクロック: $f_x/2$ 以下のときおよび電源電圧投入時) ・2.5 V ^{注2} 未満の検出 (STOPモード時) | | | | |
| 電源電圧 | ・V _{DD} = 4.5 ~ 5.5 V (PLL動作時) ・V _{DD} = 3.5 ~ 5.5 V (CPU動作時, CPUクロック: $f_x/2$ 以下のとき) ・V _{DD} = 4.5 ~ 5.5 V (CPU動作時, CPUクロック: f_x のとき) | | | | |
| パッケージ | ・80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ) | | | | |

注1 . μPD178016A, 178018Aの場合, EO1端子をハイ・インピーダンスに設定できます。

アプリケーション例を次に示します。



LPF : ロー・パス・フィルタ VCO : 電圧制御発生器

・目的周波数に高速にロックする場合

EO0, EO1端子をエラー・アウト出力に設定することで, 出力電流能力を上げ, LPFの電圧制御能力を上げます。

・定常状態

EO0端子のみエラー・アウト出力に設定することで, LPFの安定度を保ちます。

2 . これらの電圧は最大値であり, 実際にはそれぞれの電圧より低い電圧でリセットがかかります。

目 次

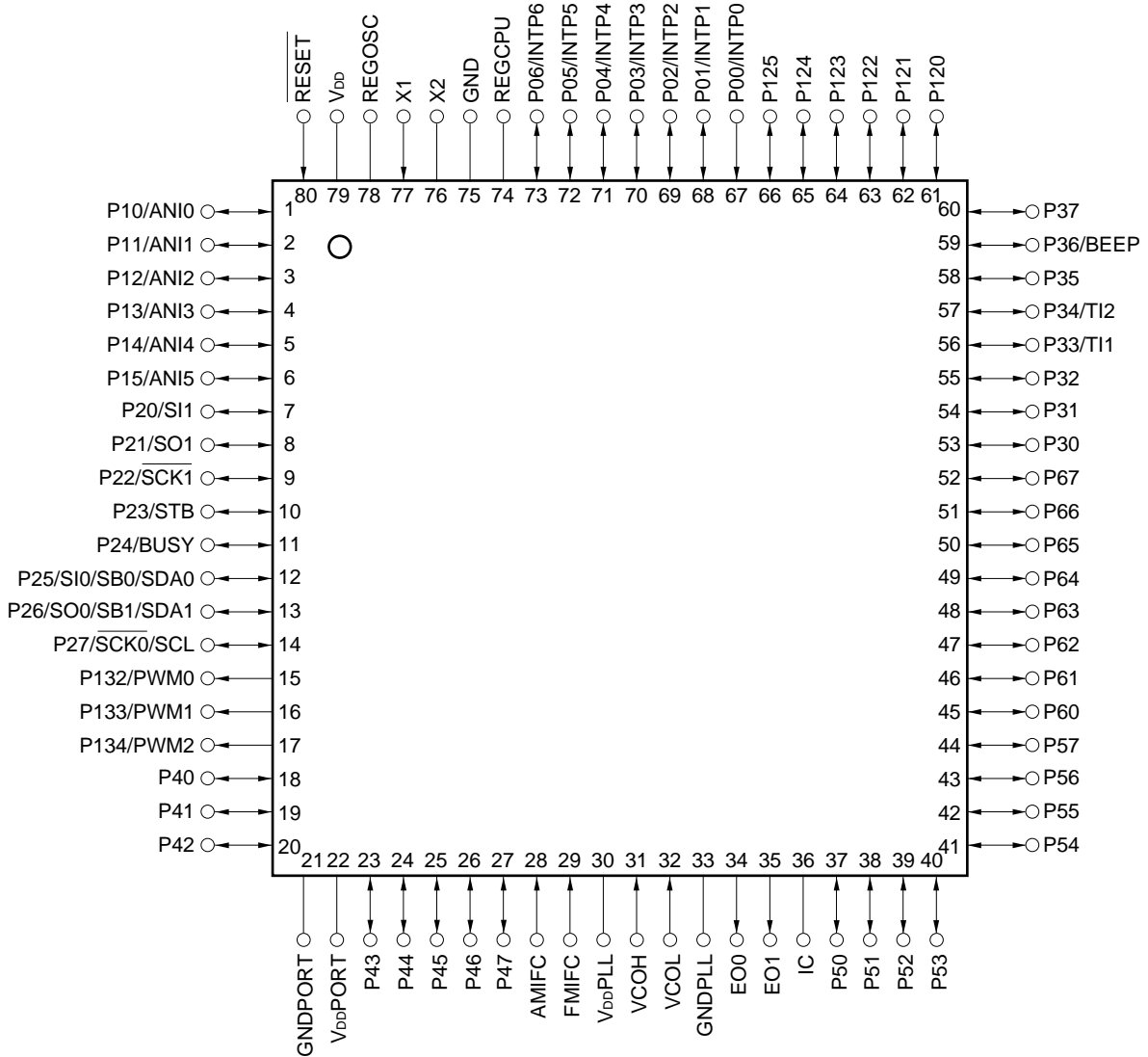
| | |
|---|----|
| 1 . 端子接続図 (Top View) ... | 6 |
| 2 . ブロック図 ... | 8 |
| 3 . 端子機能一覧 ... | 9 |
| 3.1 ポート端子 ... | 9 |
| 3.2 ポート以外の端子 ... | 10 |
| 3.3 端子の入出力回路と未使用端子の処理 ... | 11 |
| 4 . メモリ空間 ... | 14 |
| 5 . 周辺ハードウェア機能の特徴 ... | 15 |
| 5.1 ポート ... | 15 |
| 5.2 クロック発生回路 ... | 16 |
| 5.3 タイマ ... | 16 |
| 5.4 ブザー出力制御回路 ... | 18 |
| 5.5 A/Dコンバータ ... | 19 |
| 5.6 シリアル・インタフェース ... | 19 |
| 5.7 PLL周波数シンセサイザ ... | 21 |
| 5.8 周波数カウンタ ... | 22 |
| 6 . 割り込み機能とテスト機能 ... | 23 |
| 6.1 割り込み機能 ... | 23 |
| 6.2 テスト機能 ... | 26 |
| 7 . スタンバイ機能 ... | 27 |
| 8 . リセット機能 ... | 27 |
| 9 . 命令セット ... | 28 |
| 10 . 電气的特性 ... | 31 |
| 11 . 外形図 ... | 47 |
| 12 . 半田付け推奨条件 ... | 48 |
| 付録A . μ PD178018Aサブシリーズと μ PD178018サブシリーズとの違い ... | 49 |
| 付録B . 開発ツール ... | 50 |
| 付録C . 関連資料 ... | 52 |

1. 端子接続図 (Top View)

・80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ)

μPD178004AGC- x x x -3B9, 178006AGC- x x x -3B9

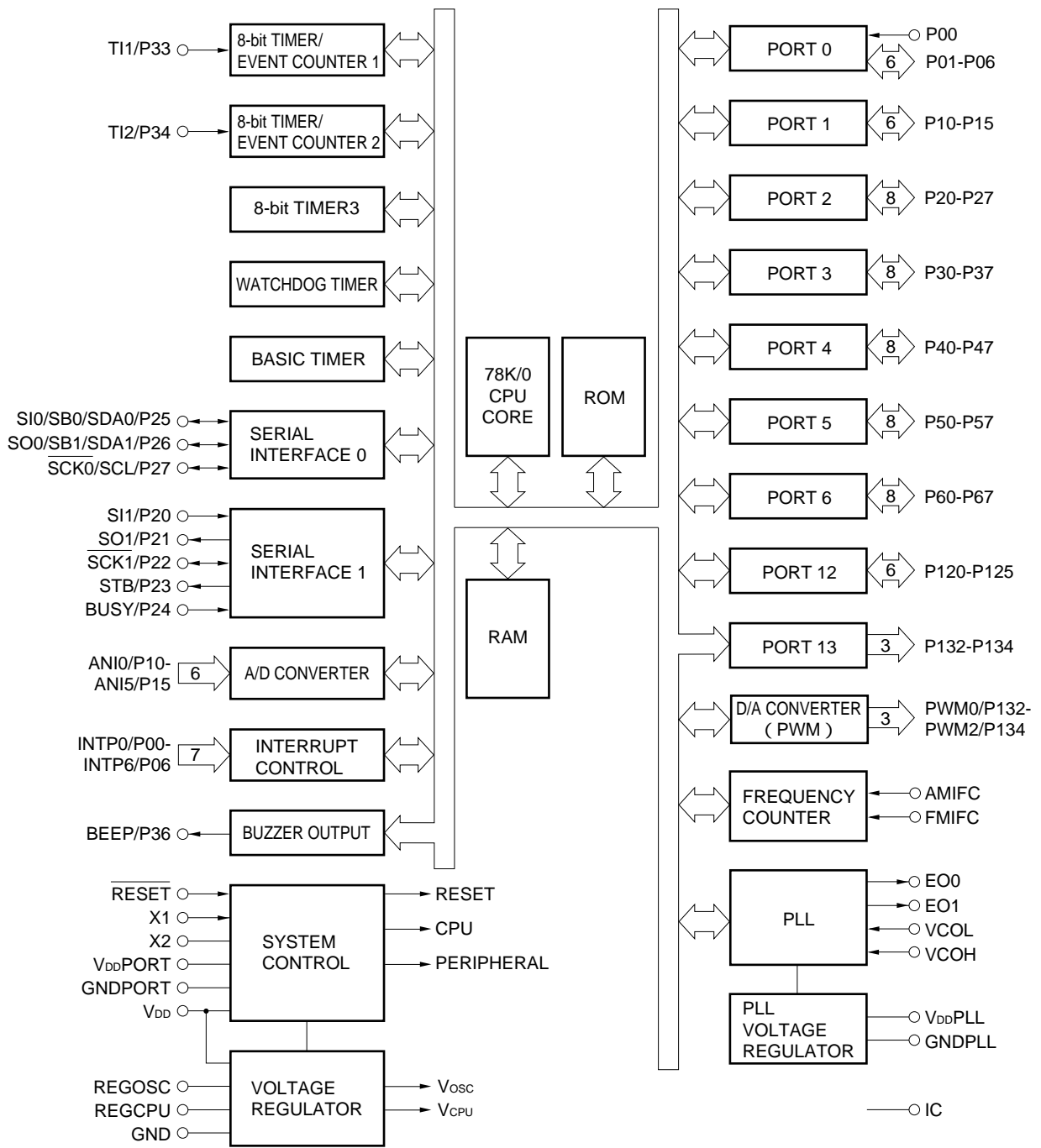
μPD178016AGC- x x x -3B9, 178018AGC- x x x -3B9



- 注意 1 . IC (Internally Connected) 端子はGNDに直接接続してください。
- 2 . V_{DD}PORT, V_{DD}PLL端子はV_{DD}に接続してください。
 - 3 . GNDPORT, GNDPLL端子はGNDに接続してください。
 - 4 . REGOSC, REGCPU端子は各端子ごとに0.1 μFのコンデンサを介してGNDに接続してください。

| | | | |
|-------------|-----------------|--|--------------------|
| AMIFC | : AM中間周波数カウンタ入力 | P132-P134 | : ポート13 |
| ANI0-ANI5 | : A/Dコンバータ入力 | PWM0-PWM2 | : PWM出力 |
| BEEP | : ブザー出力 | REGCPU | : CPU電源用レギュレータ |
| BUSY | : ビジィ出力 | REGOSC | : 発振回路用レギュレータ |
| EO0, EO1 | : エラー・アウト出力 | $\overline{\text{RESET}}$ | : リセット入力 |
| FMIFC | : FM中間周波数カウンタ入力 | SB0, SB1 | : シリアル・データ・バス入力/出力 |
| GND | : グランド | $\overline{\text{SCK0}}, \overline{\text{SCK1}}$ | : シリアル・クロック入力/出力 |
| GNDPLL | : PLL用グランド | SCL | : シリアル・クロック入力/出力 |
| GNDPORT | : ポート用グランド | SDA0, SDA1 | : シリアル・データ入力/出力 |
| IC | : 内部接続 | SI0, SI1 | : シリアル・データ入力 |
| INTP0-INTP6 | : インタラプト入力 | SO0, SO1 | : シリアル・データ出力 |
| P00-P06 | : ポート0 | STB | : ストロープ出力 |
| P10-P15 | : ポート1 | TI1, TI2 | : タイマ・クロック入力 |
| P20-P27 | : ポート2 | VCOL, VCOH | : 局部発振入力 |
| P30-P37 | : ポート3 | V _{DD} | : 電源 |
| P40-P47 | : ポート4 | V _{DD} PLL | : PLL用電源 |
| P50-P57 | : ポート5 | V _{DD} PORT | : ポート用電源 |
| P60-P67 | : ポート6 | X1, X2 | : 水晶振動子接続 |
| P120-P125 | : ポート12 | | |

2. ブロック図



備考 内部ROM, RAM容量は製品によって異なります。

3. 端子機能一覧

3.1 ポート端子

| 端子名称 | 入出力 | 機 能 | | リセット時 | 兼用端子 |
|-----------|-----|--|--|-------|--------------|
| P00 | 入力 | ポート0。 | 入力専用。 | 入力 | INTP0 |
| P01-P06 | 入出力 | 7ビット入出力ポート。 | 1ビット単位で入力/出力の指定可能。 | 入力 | INTP1-INTP6 |
| P10-P15 | 入出力 | ポート1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 | | 入力 | ANI0-ANI5 |
| P20 | 入出力 | ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 | | 入力 | SI1 |
| P21 | | | | | SO1 |
| P22 | | | | | SCK1 |
| P23 | | | | | STB |
| P24 | | | | | BUSY |
| P25 | | | | | SI0/SB0/SDA0 |
| P26 | | | | | SO0/SB1/SDA1 |
| P27 | | | | | SCK0/SCL |
| P30-P32 | 入出力 | ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 | | 入力 | - |
| P33 | | | | | TI1 |
| P34 | | | | | TI2 |
| P35 | | | | | - |
| P36 | | | | | BEEP |
| P37 | | | | | - |
| P40-47 | 入出力 | ポート4。 8ビット入出力ポート。 8ビット単位で入力/出力の指定可能。 立ち下がリエッジの検出により、テスト入力フラグ (KRIF) を1にセット。 | | 入力 | - |
| P50-P57 | 入出力 | ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 | | 入力 | - |
| P60-P63 | 入出力 | ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 | 中耐圧N-chオープン・ドレイン入出力ポート。 LEDを直接駆動可能。 | 入力 | - |
| P64-P67 | | | | | |
| P120-P125 | 入出力 | ポート12。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 | | 入力 | - |
| P132-P134 | 出力 | ポート13。 3ビット出力ポート。 N-chオープン・ドレイン出力ポート。 | | - | PWM0-PWM2 |

3.2 ポート以外の端子

(1/2)

| 端子名称 | 入出力 | 機能 | リセット時 | 兼用端子 |
|----------------------|-----|--|-------|--------------|
| INTP0-INTP6 | 入力 | 有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部マスカブル割り込み入力。 | 入力 | P00-P06 |
| SI0 | 入力 | シリアル・インタフェースのシリアル・データ入力。 | 入力 | P25/SB0/SDA0 |
| SI1 | | | | P20 |
| SO0 | 出力 | シリアル・インタフェースのシリアル・データ出力。 | 入力 | P26/SB1/SDA1 |
| SO1 | | | | P21 |
| SB0 | 入出力 | シリアル・インタフェースのシリアル・データ入力／出力。 | 入力 | P25/SI0/SDA0 |
| SB1 | | | | P26/SO0/SDA1 |
| SDA0 | | | | P25/SI0/SB0 |
| SDA1 | | | | P26/SO0/SB1 |
| SCK0 | 入出力 | シリアル・インタフェースのシリアル・クロック入力／出力。 | 入力 | P27/SCL |
| SCK1 | | | | P22 |
| SCL | | | | P27/SCK0 |
| STB | 出力 | シリアル・インタフェース自動送受信用ストロブ出力。 | 入力 | P23 |
| BUSY | 入力 | シリアル・インタフェース自動送信用ビジー入力。 | 入力 | P24 |
| TI1 | 入力 | 8ビット・タイマ（TM1）への外部カウント・クロック入力。 | 入力 | P33 |
| TI2 | | 8ビット・タイマ（TM2）への外部カウント・クロック入力。 | | P34 |
| BEEP | 出力 | ブザー出力。 | 入力 | P36 |
| ANI0-ANI5 | 入力 | A/Dコンバータのアナログ入力。 | 入力 | P10-P15 |
| PWM0-PWM2 | 出力 | PWM出力。 | - | P132-P134 |
| EO0, EO1 | 出力 | PLL周波数シンセサイザのチャージ・ポンプからのエラー・アウト出力。 | - | - |
| VCOL | 入力 | PLLの局部発振周波数を入力（HF, MFモード時）。 | - | - |
| VCOH | 入力 | PLLの局部発振周波数を入力（VHFモード時）。 | - | - |
| AMIFC | 入力 | AM中間周波数カウンタの入力。 | - | - |
| FMIFC | 入力 | FM中間周波数カウンタの入力。 | - | - |
| RESET | 入力 | システム・リセット入力。 | - | - |
| X1 | 入力 | システム・クロック発振用水晶振動子接続。 | - | - |
| X2 | - | | - | - |
| REGOSC | - | 発振回路用レギュレータ。0.1 μFのコンデンサを介してGNDに接続。 | - | - |
| REGCPU | - | CPU電源用レギュレータ。0.1 μFのコンデンサを介してGNDに接続。 | - | - |
| V _{DD} | - | 正電源。 | - | - |
| GND | - | グラウンド。 | - | - |
| V _{DD} PORT | - | ポート用正電源。 | - | - |
| GNDPORT | - | ポート用グラウンド。 | - | - |

(2/2)

| 端子名称 | 入出力 | 機能 | リセット時 | 兼用端子 |
|----------------------------------|-----|------------------------|-------|------|
| V _{DD} PLL ^注 | - | PLL用正電源。 | - | - |
| GNDPLL ^注 | - | PLL用グランド。 | - | - |
| IC | - | 内部接続。GNDまたはGNDPORTに接続。 | - | - |

注 V_{DD}PLL端子とGNDPLL端子との間に1000 pF程度のコンデンサを接続してください。

3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表3 - 1に示します。

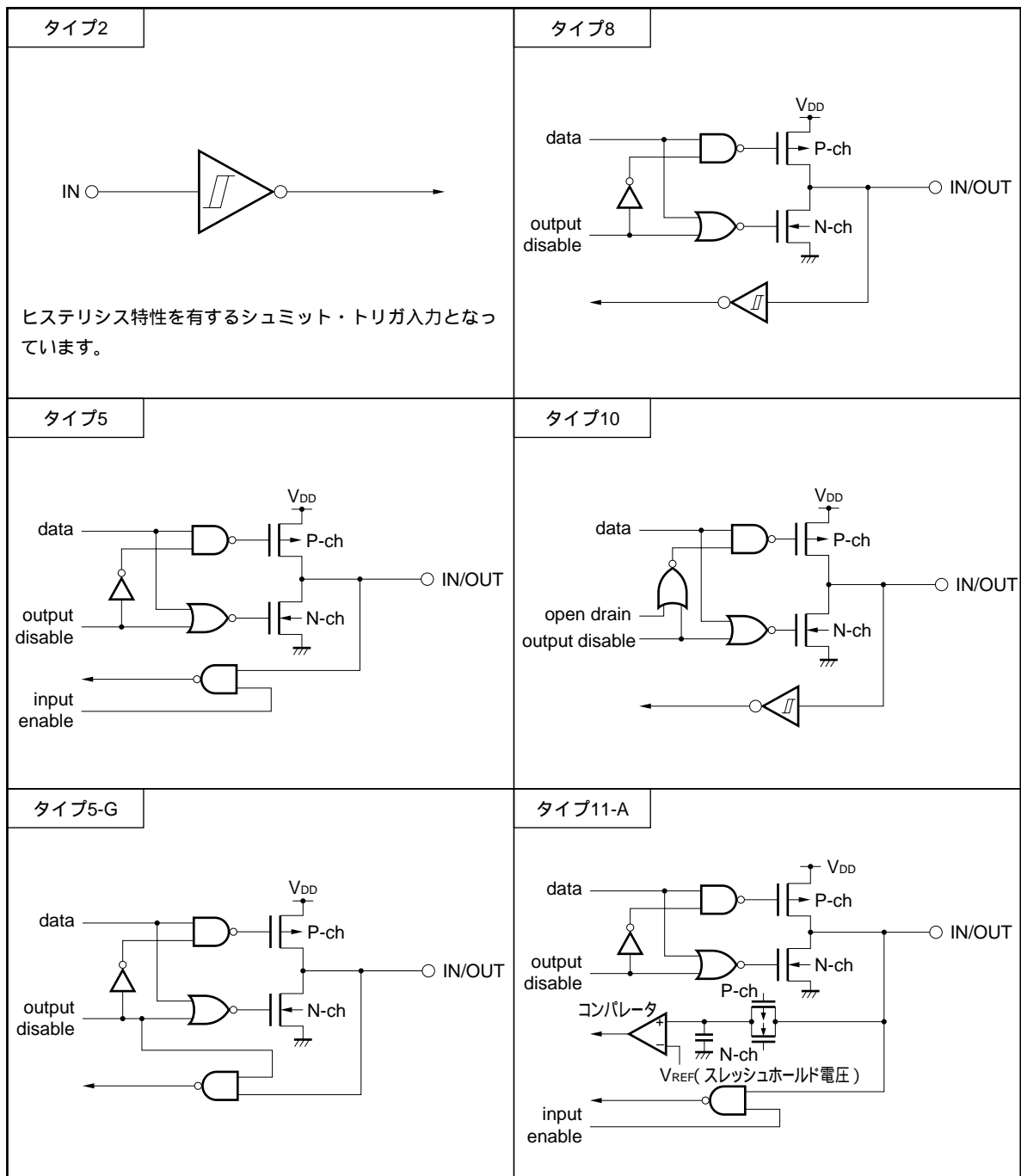
また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプ

| 端子名 | 入出力回路タイプ | 入出力 | 未使用時の推奨接続方法 |
|---------------------|----------------------|-----|---|
| P00/INTP0 | 2 | 入力 | GNDまたはGNDPORTに接続 |
| P01/INTP1-P06/INTP6 | 8 | 入出力 | ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介してV _{DD} , V _{DD} PORT, GND, GNDPORTのいずれかに接続 |
| P10/ANI0-P15/ANI5 | 11-A | | |
| P20/SI1 | 8 | | |
| P21/SO1 | 5 | | |
| P22/SCK1 | 8 | | |
| P23/STB | 5 | | |
| P24/BUSY | 8 | | |
| P25/SI0/SB0/SDA0 | 10 | | |
| P26/SO0/SB1/SDA1 | | | |
| P27/SCK0/SCL | | | |
| P30-P32 | 5 | | |
| P33/TI1, P34/TI2 | 8 | | |
| P35 | 5 | | |
| P36/BEEP | | | |
| P37 | | | |
| P40-P47 | 5-G | | |
| P50-P57 | 5 | | |
| P60-P63 | 13-D | | |
| P64-P67 | | | |
| P120-P125 | | | |
| P132/PWM0-P134/PWM2 | 19 | 出力 | ソフトウェアでロウ・レベル出力に設定して、オープン |
| EO0 | DTS-EO1 | | |
| EO1 | DTS-EO3 ^注 | | |
| VCOL, VCOH | DTS-AMP | 入力 | ソフトウェアで端子ディスエーブルに設定して、オープン |
| AMIFC, FMIFC | | | |
| IC | | | |

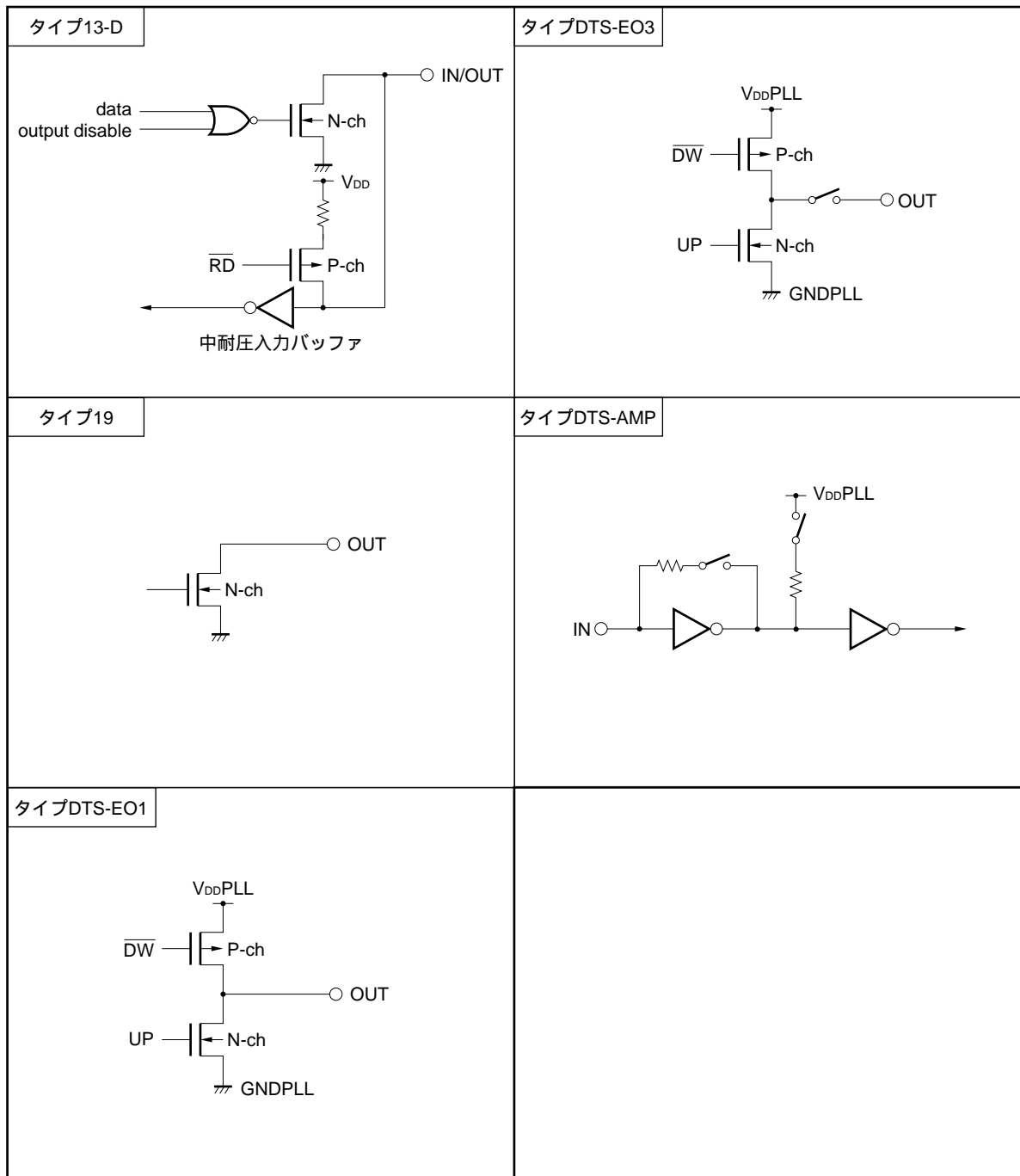
注 μPD178004A, 178006Aの場合は、DTS-EO1タイプになります。

図3 - 1 端子の入出力回路一覧 (1/2)



備考 V_{DD}およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれV_{DD}PORT, GNDPORTと読み替えてください。

図3 - 1 端子の入出力回路一覧 (2/2)

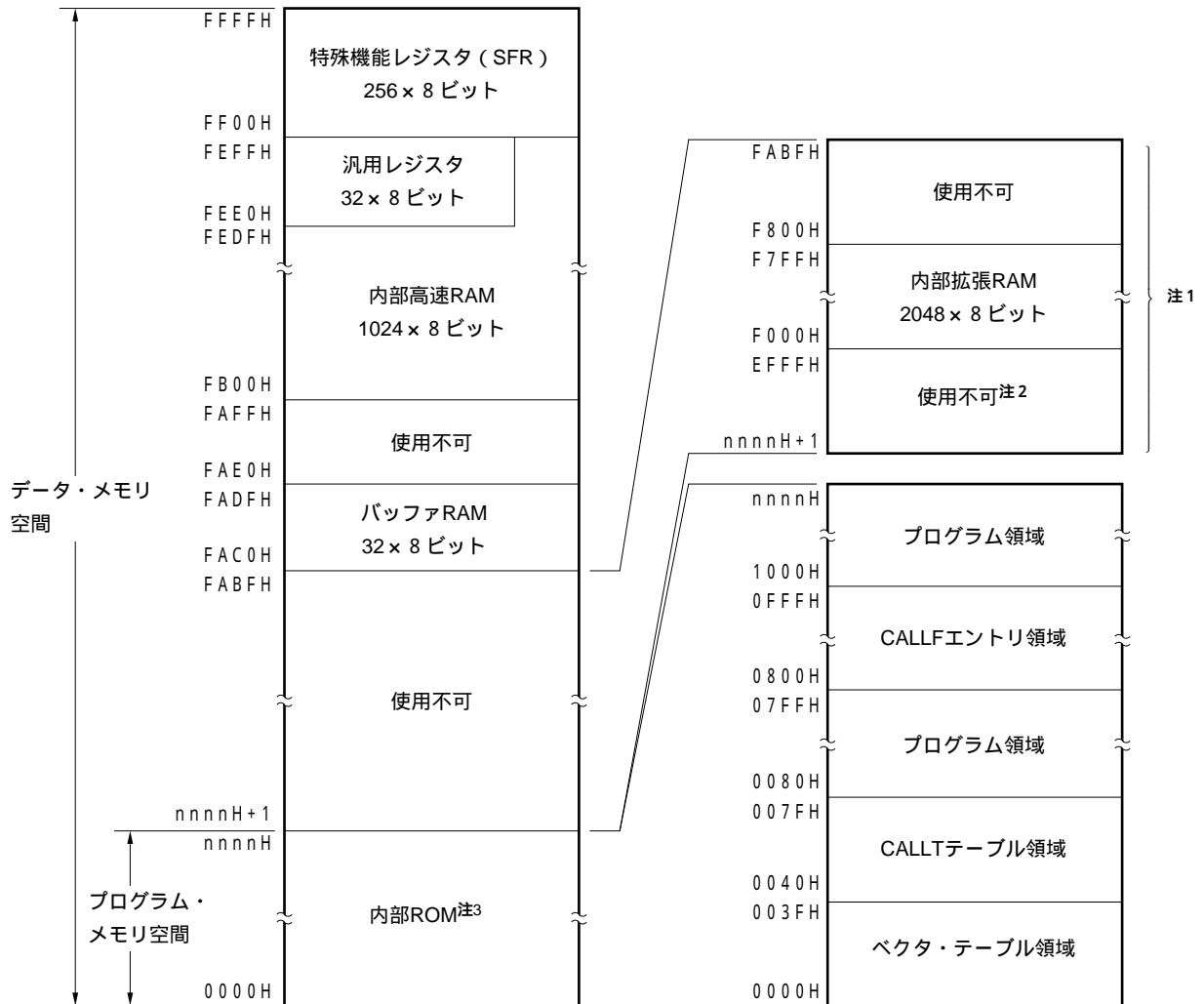


備考 VDDおよびGNDは、すべてポート部への正電源およびグランド電位です。それぞれVDDPORT, GNDPORTと読み替えてください。

4. メモリ空間

図4 - 1 に μPD178004A, 178006A, 178016A, 178018Aのメモリ・マップを示します。

図4 - 1 メモリ・マップ



注1 . μPD178016A, 178018Aのみ

2 . μPD178018Aにはこの使用不可領域はありません。

3 . 内部ROM容量は製品によって異なります (下表参照)。

| 対象製品名 | 内部ROM最終アドレス |
|---------------------|-------------|
| | nnnnH |
| μPD178004A | 7FFFH |
| μPD178006A, 178016A | BFFFH |
| μPD178018A | FFFFH |

5 . 周辺ハードウェア機能の特徴

5.1 ポート

I/Oポートには次の3種類があります。

| | |
|--|-------|
| ・ CMOS入力 (P00) | : 1 本 |
| ・ CMOS入出力 (P01-P06 , ポート 1 -ポート 5 , P64-P67 , ポート12) | : 54本 |
| ・ N-chオープン・ドレイン入出力 (P60-P63) | : 4 本 |
| ・ N-chオープン・ドレイン出力 (ポート13) | : 3 本 |
| 合計 | : 62本 |

表5 - 1 ポートの機能

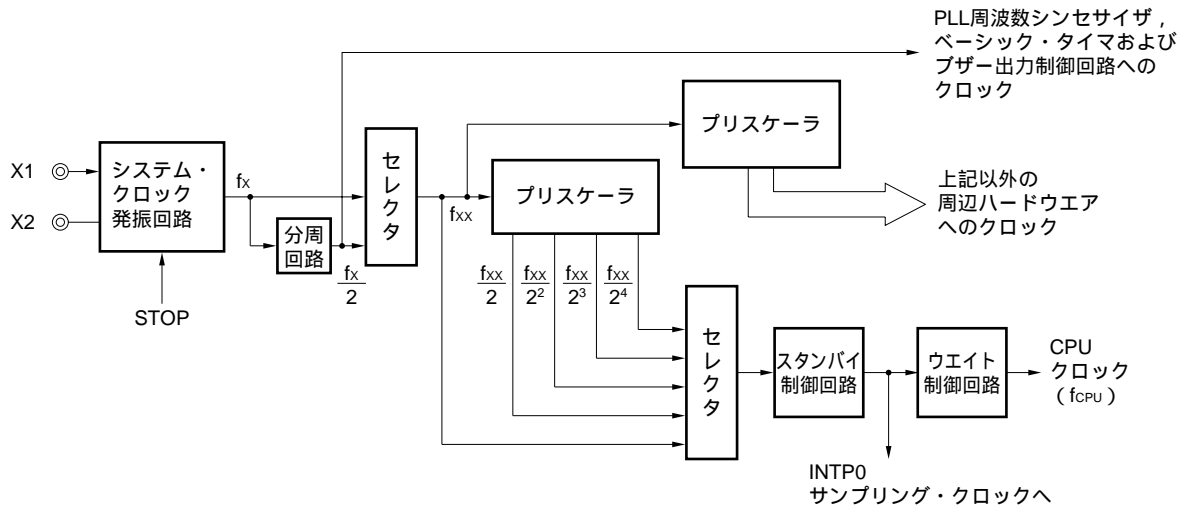
| 名 称 | 端子名称 | 機 能 |
|-------|-----------|--|
| ポート 0 | P00 | 入力専用ポート |
| | P01-P06 | 入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 |
| ポート 1 | P10-P15 | 入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 |
| ポート 2 | P20-P27 | 入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 |
| ポート 3 | P30-P37 | 入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 |
| ポート 4 | P40-P47 | 入出力ポート。 8 ビット単位で入力 / 出力の指定可能。 立ち下がリエッジの検出により , テスト・フラグ (KRIF) を 1 にセット。 |
| ポート 5 | P50-P57 | 入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 |
| ポート 6 | P60-P63 | N-chオープン・ドレイン入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 LEDを直接駆動可能。 |
| | P64-P67 | 入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 |
| ポート12 | P120-P125 | 入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 |
| ポート13 | P132-P134 | N-chオープン・ドレイン出力ポート。 |

5.2 クロック発生回路

次のように命令実行時間を変化させることができます。

- ・ 0.44 μs/0.88 μs/1.78 μs/3.56 μs/7.11 μs/14.22 μs (システム・クロック : 4.5 MHz水晶振動子使用)

図5 - 1 クロック発生回路のブロック図



5.3 タイマ

タイマを5チャンネル内蔵しています。

- ・ ベーシック・タイマ : 1チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・ 8ビット・タイマ (D/Aコンバータ)注 : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

注 8/9ビット分解能 × 3チャンネルのD/Aコンバータ (PWM出力) と兼用

図5 - 2 ベーシック・タイマのブロック図



図5-3 8ビット・タイマ/イベント・カウンタのブロック図

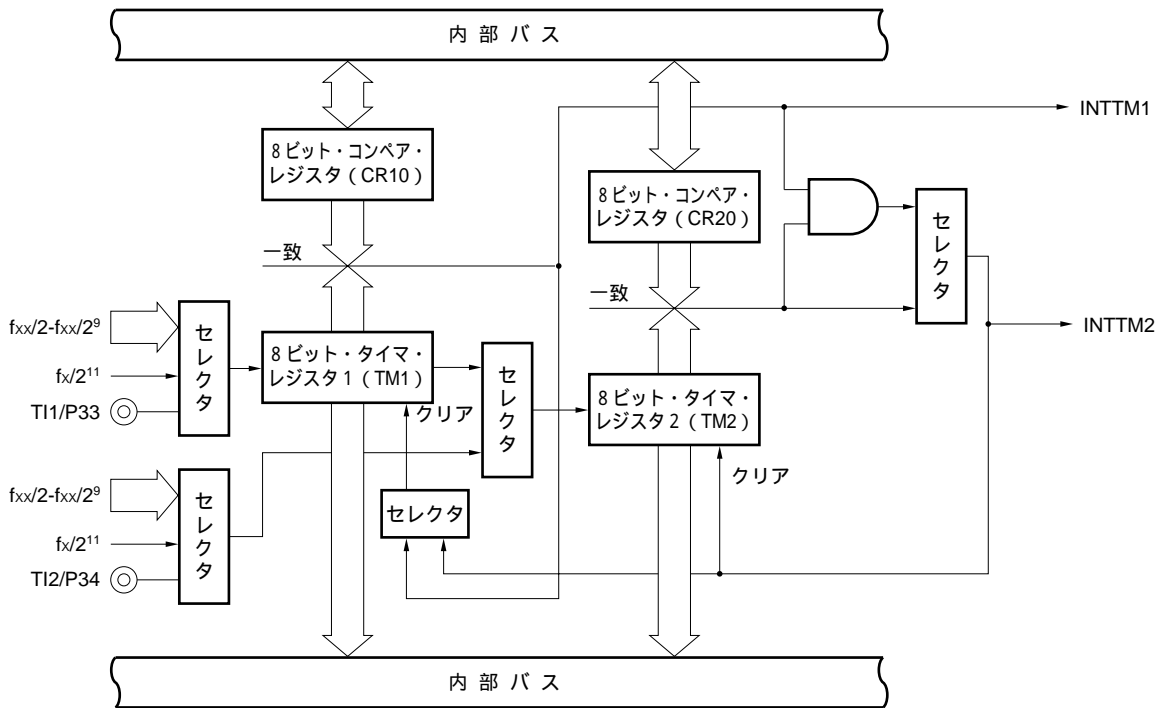
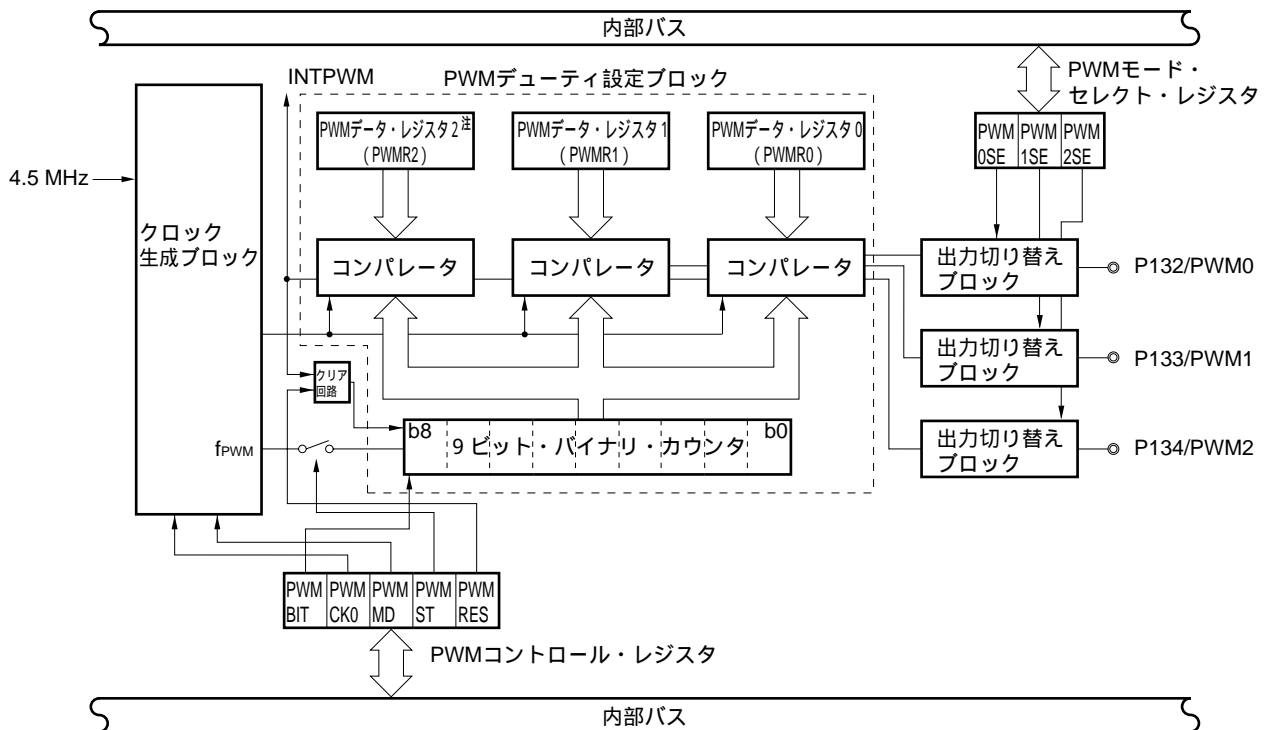
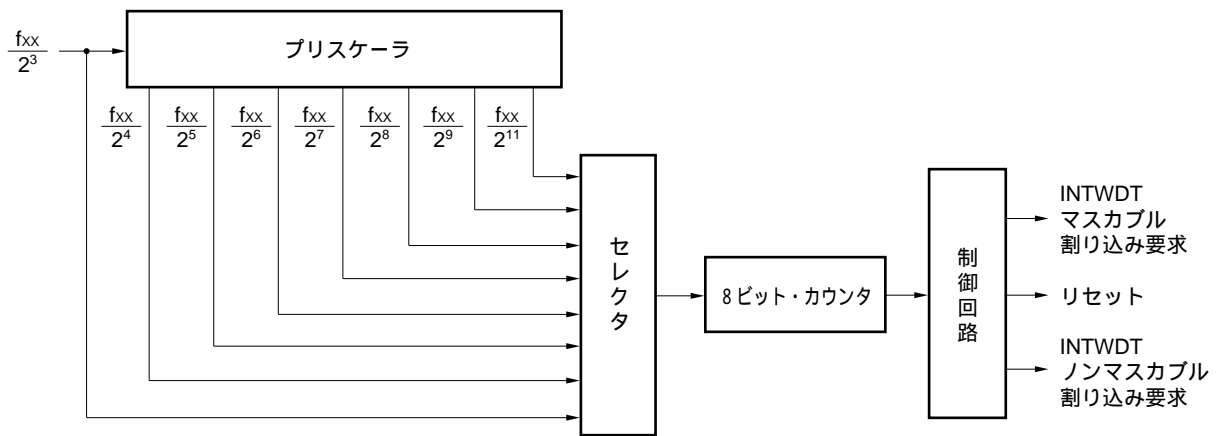


図5-4 8ビット・タイマ(D/Aコンバータ)のブロック図



注 PWMデータ・レジスタ2 (PWMR2) はPWMタイマ・レジスタ (PWMTMR) と兼用です。

図5 - 5 ウォッチドッグ・タイマのブロック図

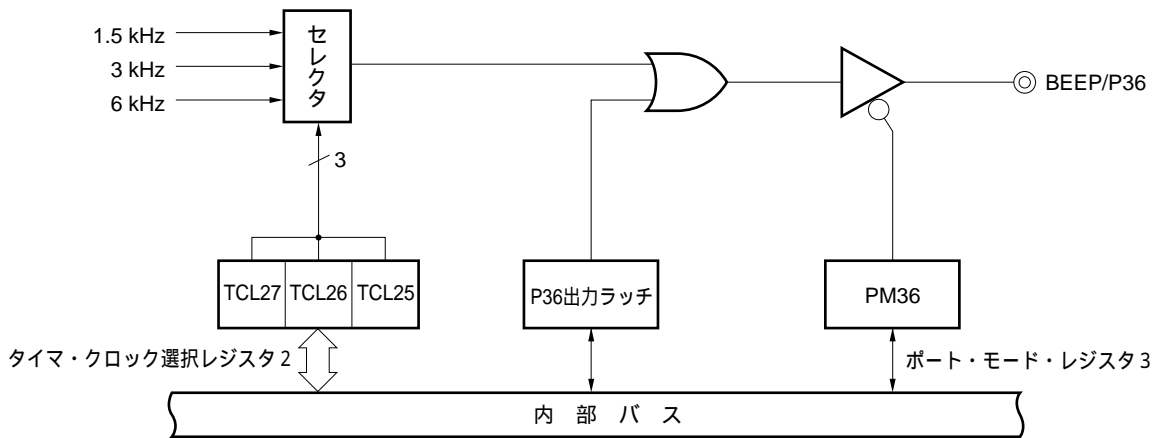


5.4 ブザー出力制御回路

ブザー（BEEP）出力として次の周波数のクロックを出力できます。

- ・ 1.5 kHz/3 kHz/6 kHz（システム・クロック：4.5 MHz水晶振動子使用）

図5 - 6 ブザー出力制御回路のブロック図



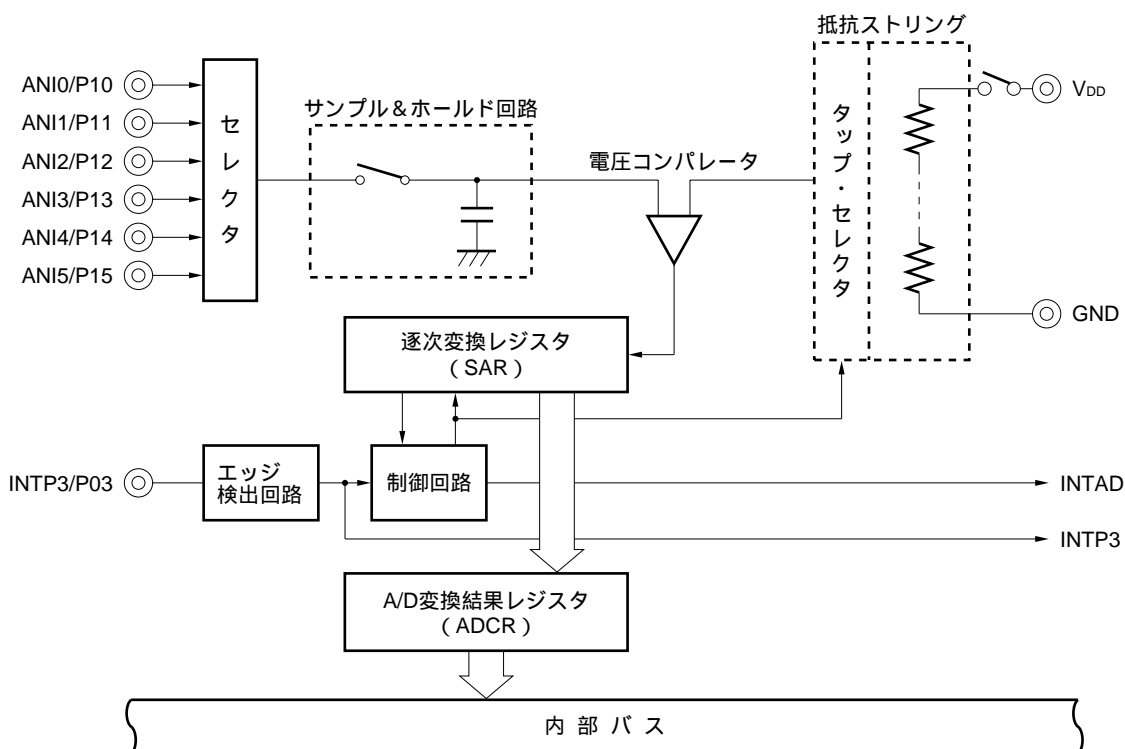
5.5 A/Dコンバータ

8ビット分解能×6チャンネルのA/Dコンバータを内蔵しています。

A/D変換動作の起動方法として次の2種類があります。

- ・ハードウェア・スタート
- ・ソフトウェア・スタート

図5 - 7 A/Dコンバータのブロック図



5.6 シリアル・インタフェース

クロック同期式シリアル・インタフェースを2チャンネル内蔵しています。

- ・シリアル・インタフェース・チャンネル0
- ・シリアル・インタフェース・チャンネル1

表5 - 2 シリアル・インタフェースの種類と機能

| 機能 | シリアル・インタフェース・チャンネル0 | シリアル・インタフェース・チャンネル1 |
|--------------------------|---------------------|---------------------|
| 3線式シリアルI/Oモード | (MSB/LSB先頭切り替え可能) | (MSB/LSB先頭切り替え可能) |
| 自動送受信機能付き3線式シリアルI/Oモード | - | (MSB/LSB先頭切り替え可能) |
| SBI (シリアル・バス・インタフェース)モード | (MSB先頭) | - |
| 2線式シリアルI/Oモード | (MSB先頭) | - |
| I ² Cバス・モード | (MSB先頭) | - |

図5-8 シリアル・インタフェース・チャンネル0のブロック図

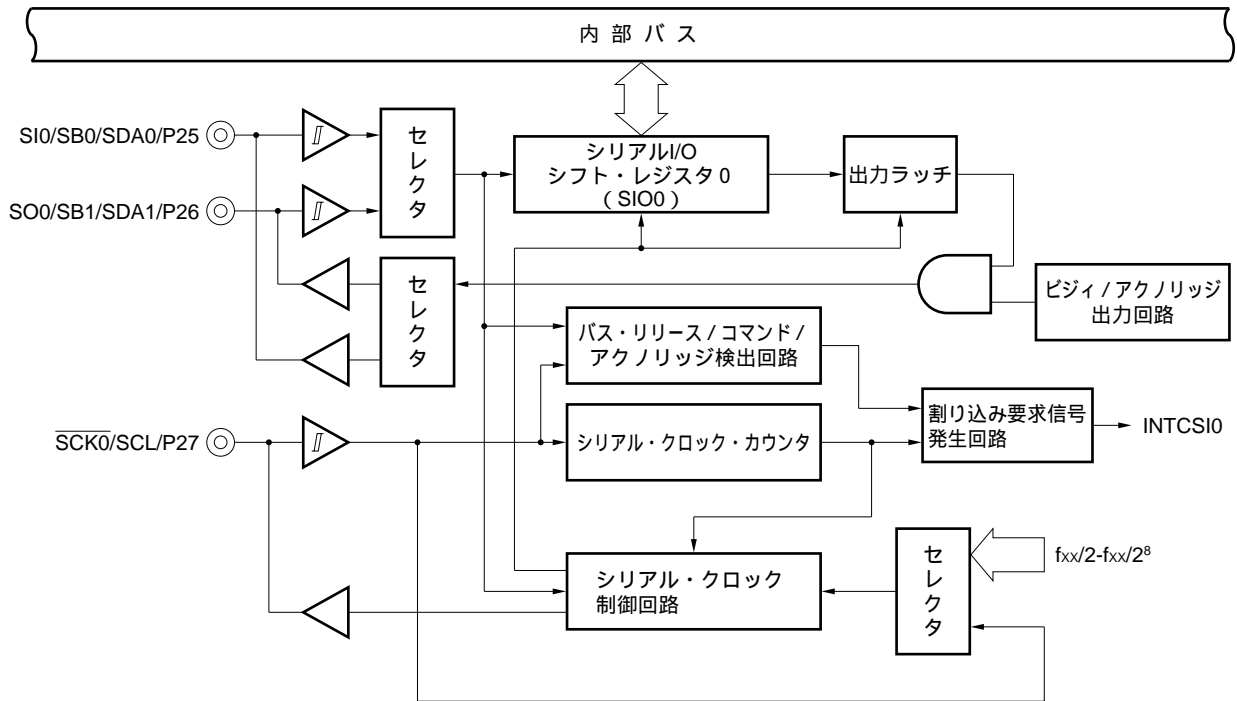
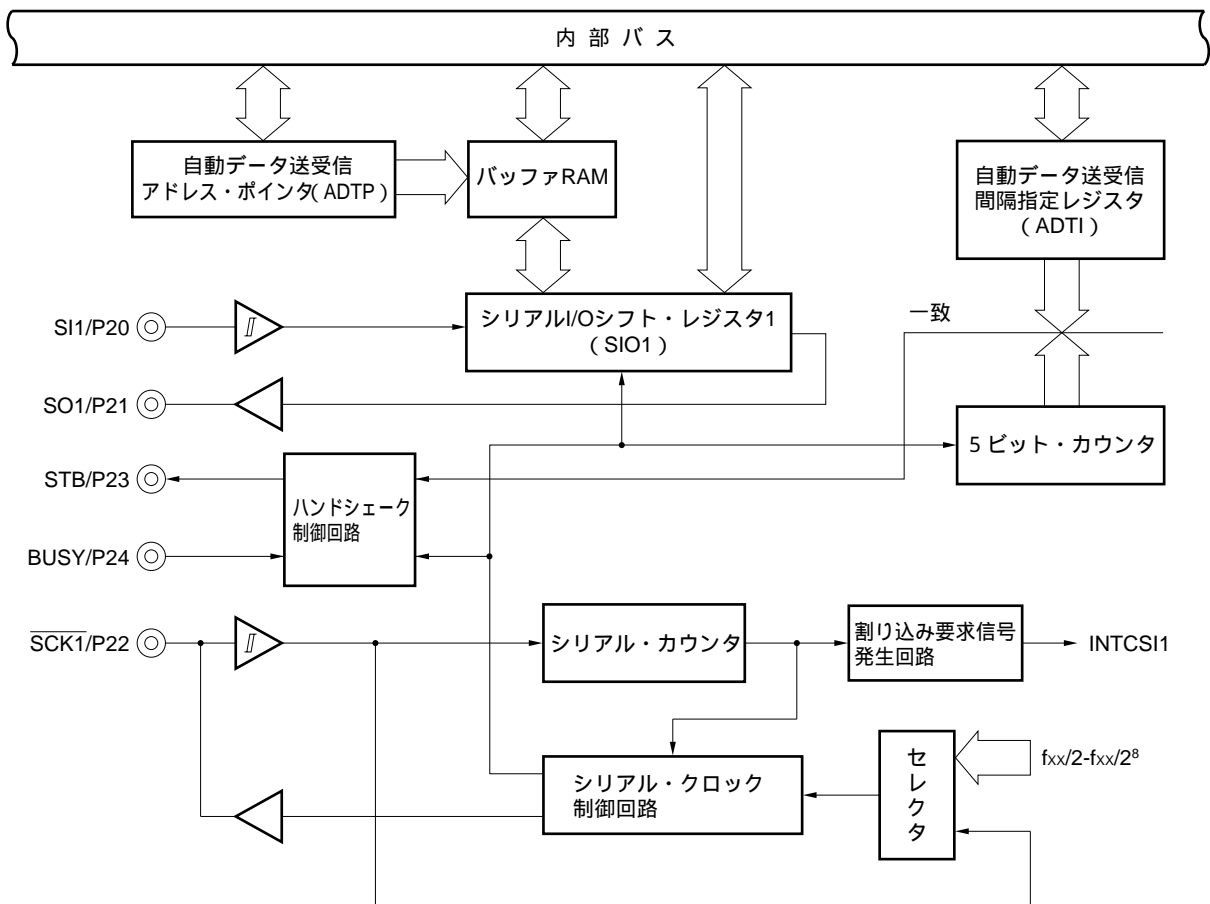
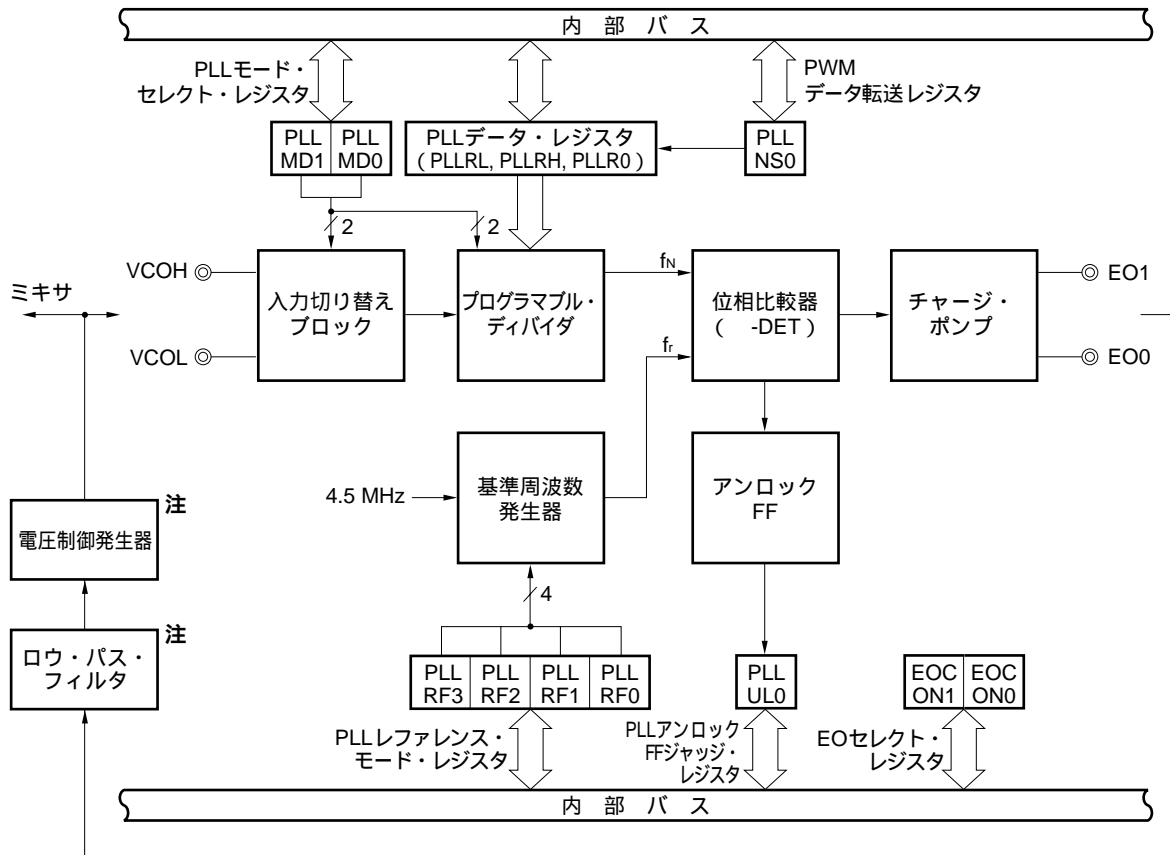


図5-9 シリアル・インタフェース・チャンネル1のブロック図



5.7 PLL周波数シンセサイザ

図5 - 10 PLL周波数シンセサイザのブロック図



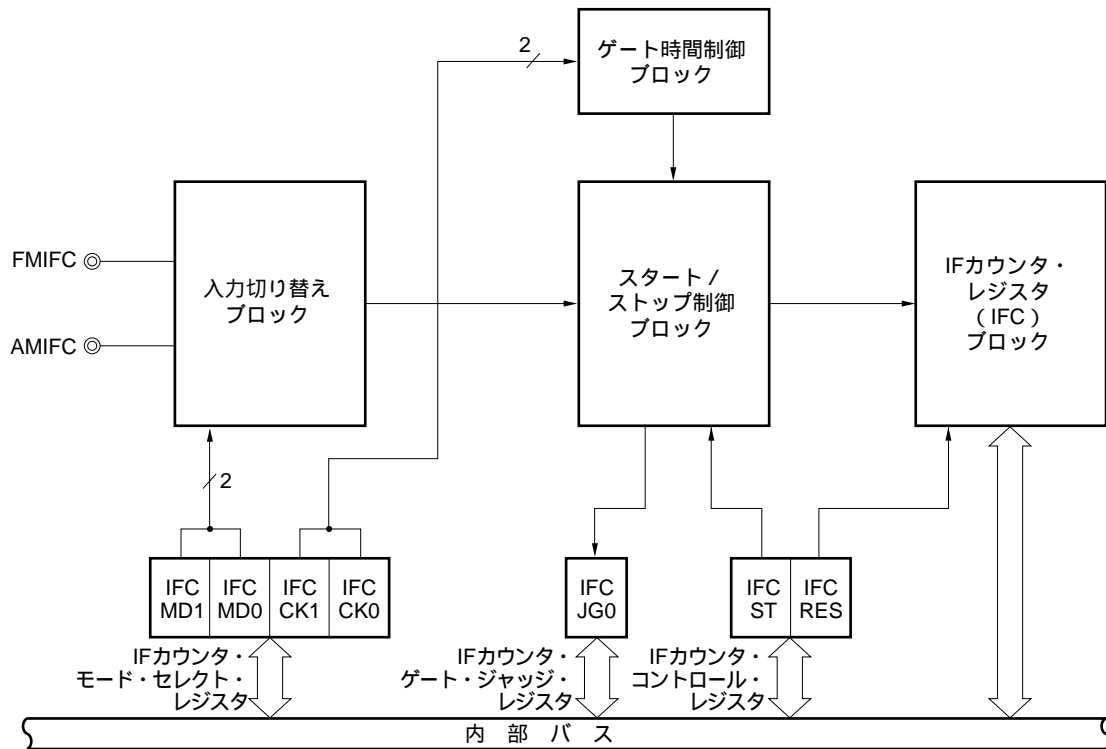
注 外部回路です。

注意1 . EOCON0は必ず0に設定してください。

2 . μPD178004A, 178006Aでは, EOCON1を1に設定しないでください。

5.8 周波数カウンタ

図5 - 11 周波数カウンタのブロック図



6. 割り込み機能とテスト機能

6.1 割り込み機能

割り込み機能には次に示す3種類, 17要因があります。

- ・ノンマスカブル : 1
- ・マスカブル : 15
- ・ソフトウェア : 1

表6-1 割り込み要因一覧

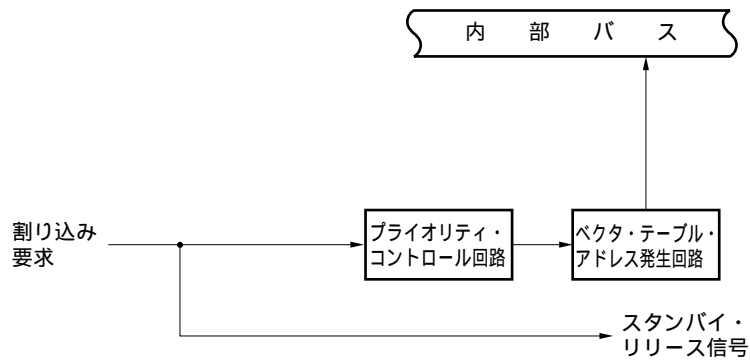
| 割り込み タイプ | デフォルト・注 プライオリティ | 割 り 込 み 要 因 | | 内部/ 外部 | ベクタ・ テーブル・ アドレス | 基本構成注2 タイプ |
|-------------|--------------------|-------------|---|-----------|-----------------------|------------------------------|
| | | 名 称 | ト リ ガ | | | |
| ノン マスカブル | - | INTWDT | ウォッチドッグ・タイマのオーパフロー (ウォッチドッグ・タイマ・モード1選択時) | 内部 | 0004H | (A) |
| マスカブル | 0 | INTWDT | ウォッチドッグ・タイマのオーパフロー (インターバル・タイマ・モード選択時) | | | (B) |
| | 1 | INTP0 | 端子入力エッジ検出 | 外部 | 0006H | (C) |
| | 2 | INTP1 | | | | (D) |
| | 3 | INTP2 | | | | 000AH |
| | 4 | INTP3 | | | | 000CH |
| | 5 | INTP4 | | | | 000EH |
| | 6 | INTP5 | | | | 0010H |
| | 7 | INTP6 | | | | 0012H |
| | 8 | INTCSI0 | | | | シリアル・インタフェース・チャンネル0の転送 終了 |
| | 9 | INTCSI1 | シリアル・インタフェース・チャンネル1の転送 終了 | 0016H | | |
| | 10 | INTTMC | ベーシック・タイマの一致信号発生 | 0018H | | |
| | 11 | INTPWM | 8ビット・タイマの一致信号発生 | 001AH | | |
| | 12 | INTTM1 | 8ビット・タイマ/イベント・カウンタ1の一致 信号発生 | 001CH | | |
| | 13 | INTTM2 | 8ビット・タイマ/イベント・カウンタ2の一致 信号発生 | 001EH | | |
| | 14 | INTAD | A/Dコンバータの変換終了 | 0020H | | |
| ソフトウェア | - | BRK | BRK命令の実行 | 内部 | 003EH | (E) |

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位
です。0が最高順位, 14が最低順位です。

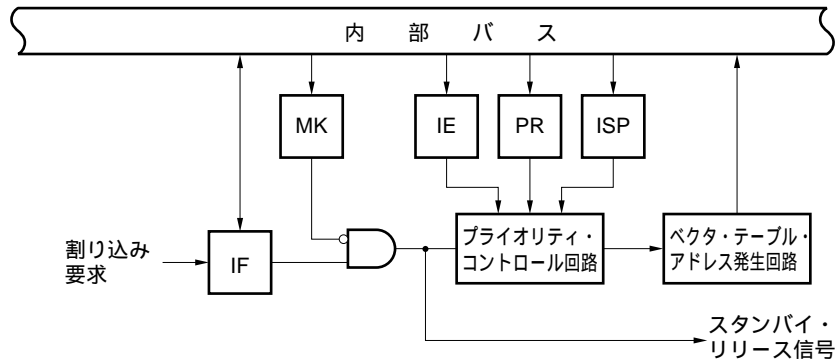
2. 基本構成タイプの(A)-(E)は、それぞれ図6-1の(A)-(E)に対応しています。

図 6 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0)

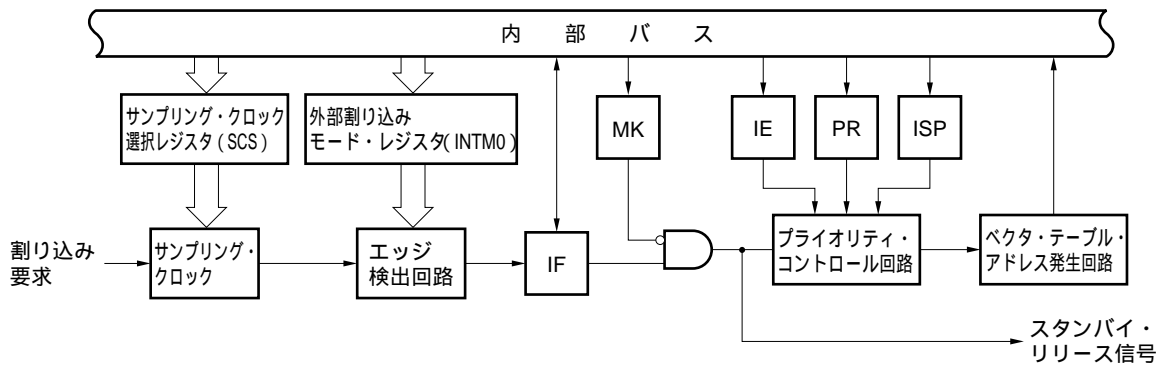
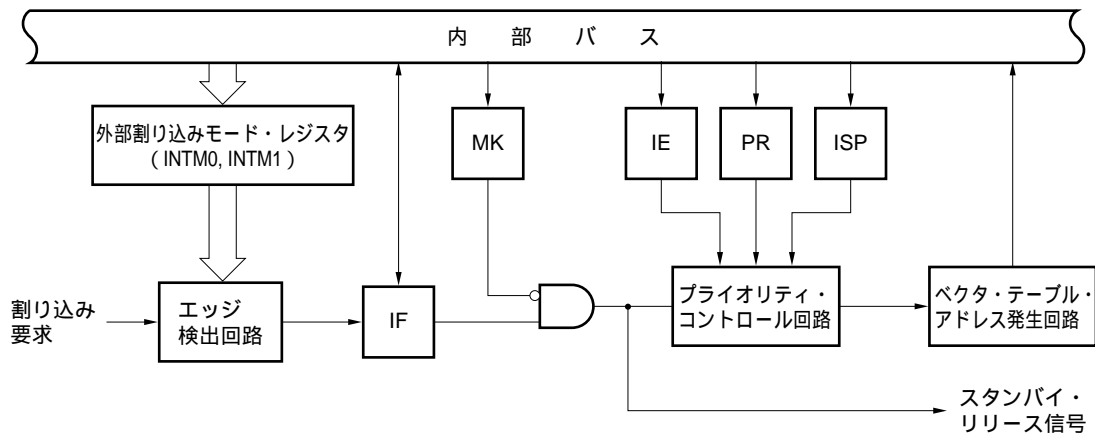
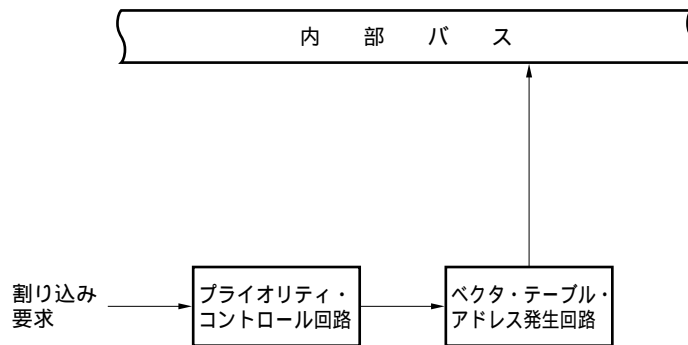


図6 - 1 割り込み機能の基本構成 (2/2)

(D) 外部マスクブル割り込み (INTP0を除く)



(E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサースビス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

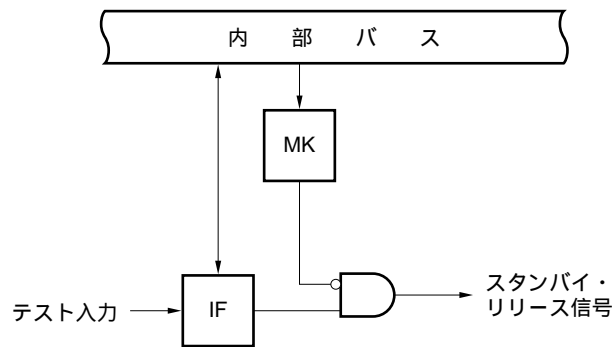
6.2 テスト機能

テスト機能には、表 6 - 2 に示す 1 要因があります。

表 6 - 2 テスト入力要因一覧

| テスト入力要因 | | 内部 / 外部 |
|---------|-------------------|---------|
| 名称 | トリガ | |
| INTPT4 | ポート 4 の立ち下がりエッジ検出 | 外部 |

図 6 - 2 テスト機能の基本構成



IF : テスト入力フラグ

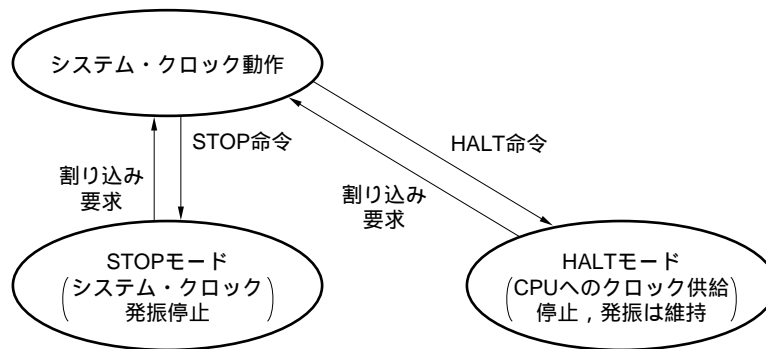
MK : テスト・マスク・フラグ

7. スタンバイ機能

スタンバイ機能は、消費電流をより低減するための機能で、次の2種類があります。

- ・HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電流を低減できます。
- ・STOPモード：システム・クロックの発振を停止させます。システム・クロックによる動作をすべて停止させ、消費電流をかなり低減できます。

図7-1 スタンバイ機能



8. リセット機能

次の3種類の方法によってリセットがかかります。

- ・RESET端子による外部リセット
- ・ウォッチドッグ・タイマの暴走時間検出による内部リセット
- ・パワーオン・クリア (POC) による内部リセット

9. 命令セット

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

| 第2 オペランド | # byte | A | r注 | sfr | saddr | !addr16 | PSW | [DE] | [HL] | [HL + byte] [HL + B] [HL + C] | \$addr16 | 1 | なし |
|-------------|--|---|---|------------|---|---|-----|------------|---|---|----------|----------------------------|-------------|
| A | ADD ADDC SUB SUBC AND OR XOR CMP | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV XCH | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV | MOV XCH | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP | | ROR ROL RORC ROLC | |
| r | MOV | MOV ADD ADDC SUB SUBC AND OR XOR CMP | | | | | | | | | | | INC DEC |
| B, C | | | | | | | | | | | DBNZ | | |
| sfr | MOV | MOV | | | | | | | | | | | |
| saddr | MOV ADD ADDC SUB SUBC AND OR XOR CMP | MOV | | | | | | | | | DBNZ | | INC DEC |
| !addr16 | | MOV | | | | | | | | | | | |
| PSW | MOV | MOV | | | | | | | | | | | PUSH POP |
| [DE] | | | | | | | | | | | | | |

注 r = Aは除く。

| 第2 オペランド | # byte | A | r ^注 | sfr | saddr | !addr16 | PSW | [DE] | [HL] | [HL + byte] | \$addr16 | 1 | なし |
|---|--------|-----|----------------|-----|-------|---------|-----|--------|--------|--------------------------|----------|---|--------------|
| 第1 オペランド | | | | | | | | | | [HL + B] [HL + C] | | | |
| [HL] | | MOV | | | | | | | | | | | ROR4 ROL4 |
| [HL + byte] [HL + B] [HL + C] | | MOV | | | | | | | | | | | |
| X | | | | | | | | | | | | | MULU |
| C | | | | | | | | | | | | | DIVUW |

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

| 第2 オペランド | # word | AX | rp ^注 | sfrp | saddrp | !addr16 | SP | なし |
|-------------|----------------------|-------------------|-----------------|------|--------|---------|------|-----------------------------|
| 第1 オペランド | | | | | | | | |
| AX | ADDW SUBW CMPW | | MOVW XCHW | MOVW | MOVW | MOVW | MOVW | |
| rp | MOVW | MOVW ^注 | | | | | | INCW DECW PUSH POP |
| sfrp | MOVW | MOVW | | | | | | |
| saddrp | MOVW | MOVW | | | | | | |
| !addr16 | | MOVW | | | | | | |
| SP | MOVW | MOVW | | | | | | |

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

MOV1 , AND1 , OR1 , XOR1 , SET1 , CLR1 , NOT1 , BT , BF , BTCLR

| | | | | | | | | |
|-------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|------|-------------------|----------------------|
| 第2 オペランド | A.bit | sfr.bit | saddr.bit | PSW.bit | [HL].bit | CY | \$addr16 | なし |
| 第1 オペランド | | | | | | | | |
| A.bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| sfr.bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| saddr.bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| PSW.bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| [HL].bit | | | | | | MOV1 | BT BF BTCLR | SET1 CLR1 |
| CY | MOV1 AND1 OR1 XOR1 | MOV1 AND1 OR1 XOR1 | MOV1 AND1 OR1 XOR1 | MOV1 AND1 OR1 XOR1 | MOV1 AND1 OR1 XOR1 | | | SET1 CLR1 NOT1 |

(4) コール命令 / 分岐命令

CALL , CALLF , CALLT , BR , BC , BNC , BZ , BNZ , BT , BF , BTCLR , DBNZ

| | | | | | |
|-------------|----|------------|---------|-----------|------------------------------|
| 第2 オペランド | AX | !addr16 | !addr11 | [addr5] | \$addr16 |
| 第1 オペランド | | | | | |
| 基本命令 | BR | CALL BR | CALLF | CALLT | BR , BC , BNC BZ , BNZ |
| 複合命令 | | | | | BT , BF BTCLR DBNZ |

(5) その他の命令

ADJBA , ADJBS , BRK , RET , RETI , RETB , SEL , NOP , EI , DI , HALT , STOP

10. 電気的特性

絶対最大定格 (TA = 25)

| 項目 | 略号 | 条件 | | 定格 | 単位 |
|------------|------------------|--|---------------|-------------------|----|
| 電源電圧 | VDD | | | - 0.3 ~ + 7.0 | V |
| 入力電圧 | Vi1 | P60-P63以外 | | - 0.3 ~ VDD + 0.3 | V |
| | Vi2 | P60-P63 | N-chオープン・ドレイン | - 0.3 ~ + 16 | V |
| 出力電圧 | Vo | | | - 0.3 ~ VDD + 0.3 | V |
| 出力耐圧 | VBDS | P132-P134 | N-chオープン・ドレイン | 16 | V |
| アナログ入力電圧 | VAN | P10-P15 | アナログ入力端子 | - 0.3 ~ VDD + 0.3 | V |
| ハイ・レベル出力電流 | IoH | 1 端子 | | - 10 | mA |
| | | P01-P06, P30-P37, P56, P57, P60-P67, P120-P125合計 | | - 15 | mA |
| | | P10-P15, P20-P27, P40-P47, P50-P55, P132-P134合計 | | - 15 | mA |
| | | | | | |
| ロウ・レベル出力電流 | IoL ^注 | 1 端子 | ピーク値 | 15 | mA |
| | | | 実効値 | 7.5 | mA |
| 動作周囲温度 | TA | | | - 40 ~ + 85 | |
| 保存温度 | Tstg | | | - 65 ~ + 150 | |

注 実効値は [実効値] = [ピーク値] × √デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

推奨電源電圧範囲 (TA = - 40 ~ + 85)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------|---------------|-------------------------|------|------|------|----|
| 電源電圧 | VDD1 | CPU動作およびPLL動作時 | 4.5 | | 5.5 | V |
| | VDD2 | CPU動作, PLL停止時 | 3.5 | | 5.5 | V |
| | | サイクル・タイム: Tcy = 0.89 μs | | | | |
| VDD3 | CPU動作, PLL停止時 | 4.5 | | 5.5 | V | |
| | | サイクル・タイム: Tcy = 0.44 μs | | | | |

備考 Tcy: サイクル・タイム (最小命令実行時間)

DC特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(1/3)

| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 | |
|------------|------|--|--|------|---------|--------|---|
| ハイ・レベル入力電圧 | VIH1 | P10-P15, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67, P120-P125 | 0.7VDD | | VDD | V | |
| | VIH2 | P00-P06, P20, P22, P24-P27, P33, P34 $\overline{\text{RESET}}$ | 0.85VDD | | VDD | V | |
| | VIH3 | P60-P63 (N-chオープン・ドレイン) | 0.7VDD | | 15 | V | |
| ロウ・レベル入力電圧 | VIL1 | P10-P15, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67, P120-P125 | 0 | | 0.3VDD | V | |
| | VIL2 | P00-P06, P20, P22, P24-P27, P33, P34, $\overline{\text{RESET}}$ | 0 | | 0.15VDD | V | |
| | VIL3 | P60-P63 (N-chオープン・ドレイン) | 4.5 V VDD 5.5 V | 0 | | 0.3VDD | V |
| | | | 3.5 V VDD < 4.5 V | 0 | | 0.2VDD | V |
| ハイ・レベル出力電圧 | VOH1 | 4.5 V VDD 5.5 V, IOH = -1 mA | VDD - 1.0 | | | V | |
| | | 3.5 V VDD < 4.5 V, IOH = -100 μA | VDD - 0.5 | | | V | |
| ロウ・レベル出力電圧 | VOL1 | P50-P57, P60-P63 | VDD = 4.5 ~ 5.5 V, IOL = 15 mA | 0.4 | 2.0 | V | |
| | | P01-P06, P10-P15, P20-P27, P30-P37, P40-P47, P64-P67, P120-P125, P132-P134 | VDD = 4.5 ~ 5.5 V, IOL = 1.6 mA | | 0.4 | V | |
| | VOL2 | SB0, SB1, $\overline{\text{SCK0}}$ | VDD = 4.5 ~ 5.5 V, N-chオープン・ドレイン, プルアップ時 (R = 1 k) | | | 0.2VDD | V |

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(2/3)

| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|---------------|-------|---|---------------------------|------|------|-----|
| ハイ・レベル入力リーク電流 | IIH1 | P00-P06, P10-P15, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P120-P125, RESET | VIN = VDD | | 3 | μA |
| | IIH2 | P60-P63 | VIN = 15 V | | 80 | μA |
| ロウ・レベル入力リーク電流 | IIIL1 | P00-P06, P10-P15, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P120-P125, RESET | VIN = 0 V | | - 3 | μA |
| | IIIL2 | P60-P63 | | | - 3注 | μA |
| ハイ・レベル出力リーク電流 | ILOH | P132-P134 | VOUT = 15 V | | 3 | μA |
| ロウ・レベル出力リーク電流 | ILOL | P132-P134 | VOUT = 0 V | | - 3 | μA |
| 出力オフ・リーク電流 | ILOF | EO0, EO1 | VOUT = VDD, VOUT = 0 V | | ± 1 | μA |

注 P60-P63は、入力命令を実行したときの1クロック間のみ、ロウ・レベル入力リーク電流が - 200 μA (MAX.) 流れます。入力命令実行時の1クロック間以外では - 3 μA (MAX.) です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

参考特性 (TA = 25 , VDD = 5 V)

(1/2)

| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|------------|------|------------------|------------------|-------|------|-----|
| ハイ・レベル出力電流 | IOH1 | EO0 | VOUT = VDD - 1 V | | - 4 | mA |
| | | EO1 (EOCON0 = 0) | | - 1.8 | | mA |
| ロウ・レベル出力電流 | IOL1 | EO0 | VOUT = 1 V | | 6 | mA |
| | | EO1 (EOCON0 = 0) | | 3.5 | | mA |

DC特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(3/3)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|--------------------|-------------------|--|--|------|------|-----|----|
| 電源電流 ^{注1} | I _{DD1} | CPU動作, PLL停止時 fx = 4.5 MHz動作 | T _{cy} = 0.89 μs ^{注2} | | 2.5 | 15 | mA |
| | I _{DD2} | | T _{cy} = 0.44 μs ^{注3} V _{DD} = 4.5 ~ 5.5 V | | 4.0 | 27 | mA |
| | I _{DD3} | CPU動作, PLL停止時 HALTモード | T _{cy} = 0.89 μs ^{注2} | | 0.7 | 1.5 | mA |
| | I _{DD4} | X1端子正弦波入力V _{IN} = V _{DD} fx = 4.5 MHz動作 | T _{cy} = 0.44 μs ^{注3} V _{DD} = 4.5 ~ 5.5 V | | 1.0 | 2.0 | mA |
| データ保持電源電圧 | V _{DDR1} | 水晶発振時 | T _{cy} = 0.44 μs | 4.5 | | 5.5 | V |
| | V _{DDR2} | | T _{cy} = 0.89 μs | 3.5 | | 5.5 | V |
| | V _{DDR3} | 水晶発振停止時 パワーオン・クリアによる停電検出時 | | 2.6 | | 5.5 | V |
| データ保持電源電流 | I _{DDR1} | 水晶発振停止時 | TA = 25 , V _{DD} = 5 V | | 2 | 4 | μA |
| | I _{DDR2} | | | | 2 | 30 | μA |

注1 . ポート電流は含みません。

- 2 . プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定し, 発振モード選択レジスタ (OSMS) を00Hに設定したとき。
- 3 . PCCを00Hに設定し, OSMSを01Hに設定したとき。

備考1 . T_{cy} : サイクル・タイム (最小命令実行時間)

- 2 . fx : システム・クロック発振周波数

参考特性 (TA = 25 , VDD = 5 V)

(2/2)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|------|------------------|--|--|------|------|----|----|
| 電源電流 | I _{DD5} | CPU動作およびPLL動作時 VCOH端子正弦波入力 f _{IN} = 130 MHz, V _{IN} = 0.15 V _{p-p} | T _{cy} = 0.44 μs ^注 | | 7 | | mA |

注 プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定し, 発振モード選択レジスタ (OSMS) を01Hに設定したとき。

備考 T_{cy} : サイクル・タイム (最小命令実行時間)

AC特性

(1) 基本動作 (TA = -40 ~ +85, VDD = 3.5 ~ 5.5 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------------|-------------------|--|----------------------------------|------|-------|-----|
| サイクル・タイム (最小命令実行時間) | TCY | f _{XX} = f _X /2 ^{注1} , f _X = 4.5 MHz動作 | 0.89 | | 14.22 | μs |
| | | f _{XX} = f _X ^{注2} , f _X = 4.5 MHz動作 | 0.44 | | 7.11 | μs |
| | | 4.5 V V _{DD} 5.5 V 3.5 V V _{DD} < 4.5 V | 0.89 | | 7.11 | μs |
| TI1, TI2入力周波数 | f _{TI} | 4.5 V V _{DD} 5.5 V | 0 | | 4.5 | MHz |
| | | 3.5 V V _{DD} < 4.5 V | 0 | | 275 | kHz |
| TI1, TI2入力 ハイ, ロウ・レベル幅 | t _{TIH} | 4.5 V V _{DD} 5.5 V | 111 | | | ns |
| | t _{TIL} | 3.5 V V _{DD} < 4.5 V | 1.8 | | | μs |
| 割り込み入力 ハイ, ロウ・レベル幅 | t _{INTH} | INTP0 | 8/f _{sam} ^{注3} | | | μs |
| | t _{INTL} | INTP1-INTP6 | 10 | | | μs |
| RESETロウ・レベル幅 | t _{RSL} | | 10 | | | μs |

注1 . 発振モード選択レジスタ (OSMS) を00Hに設定したとき。

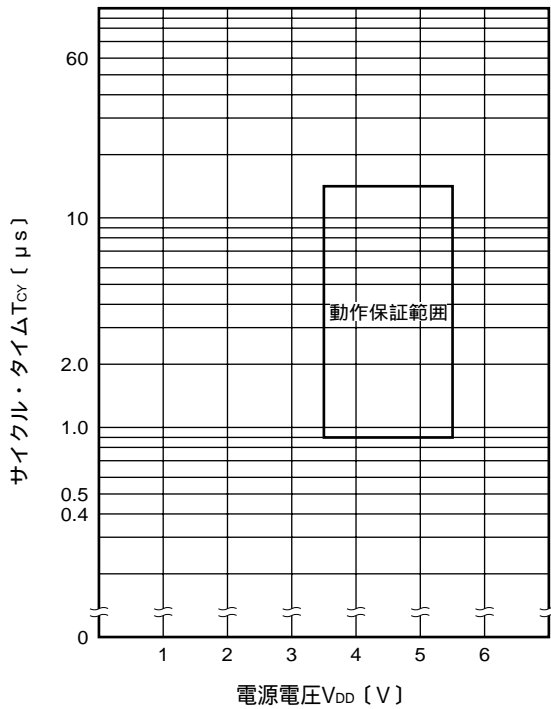
2 . OSMSを01Hに設定したとき。

3 . サンプリング・クロック選択レジスタ (SCS) のビット0, 1 (SCS0, SCS1) により, f_{sam} = f_{XX}/2^N, f_{XX}/32, f_{XX}/64, f_{XX}/128の選択が可能です (N = 0-4)。

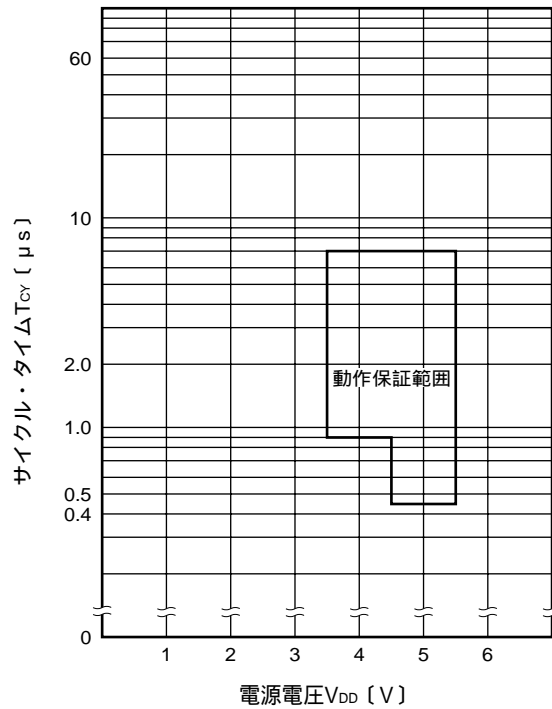
備考1 . f_{XX} : システム・クロック周波数 (f_Xまたはf_X/2)

2 . f_X : システム・クロック発振周波数

TCY vs VDD (システム・クロックf_{XX} = f_X/2動作時)



TCY vs VDD (システム・クロックf_{XX} = f_X動作時)



(2) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード (SCK0...内部クロック出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------------|--------------------|-------------------------------|----------------------------|------|------|----|
| SCK0サイクル・タイム | t _{KCY1} | 4.5 V V _{DD} 5.5 V | 800 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 1600 | | | ns |
| SCK0ハイ, ロウ・レベル幅 | t _{KH1} , | 4.5 V V _{DD} 5.5 V | t _{KCY1} /2 - 50 | | | ns |
| | t _{KL1} | 3.5 V V _{DD} < 4.5 V | t _{KCY1} /2 - 100 | | | ns |
| SIOセットアップ時間 (対SCK0) | t _{SIK1} | 4.5 V V _{DD} 5.5 V | 100 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 150 | | | ns |
| SIOホールド時間 (対SCK0) | t _{KSI1} | | 400 | | | ns |
| SCK0 SO0 出力遅延時間 | t _{KSO1} | C = 100 pF ^注 | | | 300 | ns |

注 Cは, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK0...外部クロック入力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------------|--------------------|-------------------------------|------|------|------|----|
| SCK0サイクル・タイム | t _{KCY2} | 4.5 V V _{DD} 5.5 V | 800 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 1600 | | | ns |
| SCK0ハイ, ロウ・レベル幅 | t _{KH2} , | 4.5 V V _{DD} 5.5 V | 400 | | | ns |
| | t _{KL2} | 3.5 V V _{DD} < 4.5 V | 800 | | | ns |
| SIOセットアップ時間 (対SCK0) | t _{SIK2} | | 100 | | | ns |
| SIOホールド時間 (対SCK0) | t _{KSI2} | | 400 | | | ns |
| SCK0 SO0 出力遅延時間 | t _{KSO2} | C = 100 pF ^注 | | | 300 | ns |
| SCK0立ち上がり, 立ち下がり時間 | t _{R2} , | | | | 1000 | ns |
| | t _{F2} | | | | | |

注 Cは, SO0出力ラインの負荷容量です。

(iii) SBIモード (SCK0...内部クロック出力)

| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 | |
|----------------------------|--|--------------------------------------|-------------------------------|------|------|------|----|
| SCK0サイクル・タイム | t _{KCY3} | 4.5 V V _{DD} 5.5 V | 800 | | | ns | |
| | | 3.5 V V _{DD} < 4.5 V | 3200 | | | ns | |
| SCK0ハイ, ロウ・レベル幅 | t _{KH3} , t _{KL3} | 4.5 V V _{DD} 5.5 V | t _{KCY3} /2 - 50 | | | ns | |
| | | 3.5 V V _{DD} < 4.5 V | t _{KCY3} /2 - 150 | | | ns | |
| SB0, SB1セットアップ時間 (対SCK0) | t _{SIK3} | 4.5 V V _{DD} 5.5 V | 100 | | | ns | |
| | | 3.5 V V _{DD} < 4.5 V | 300 | | | ns | |
| SB0, SB1ホールド時間 (対SCK0) | t _{KSI3} | | t _{KCY3} /2 | | | ns | |
| SCK0 SB0, SB1出力遅延時間 | t _{KSO3} | R = 1 k , C = 100 pF ^注 | 4.5 V V _{DD} 5.5 V | 0 | | 250 | ns |
| | | | 3.5 V V _{DD} < 4.5 V | 0 | | 1000 | ns |
| SCK0 SB0, SB1 | t _{KSB} | | t _{KCY3} | | | ns | |
| SB0, SB1 SCK0 | t _{SBK} | | t _{KCY3} | | | ns | |
| SB0, SB1ハイ・レベル幅 | t _{SBH} | | t _{KCY3} | | | ns | |
| SB0, SB1ロウ・レベル幅 | t _{SBL} | | t _{KCY3} | | | ns | |

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) SBIモード (SCK0...外部クロック入力)

| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 | |
|----------------------------|--|--------------------------------------|-------------------------------|------|------|------|----|
| SCK0サイクル・タイム | t _{KCY4} | 4.5 V V _{DD} 5.5 V | 800 | | | ns | |
| | | 3.5 V V _{DD} < 4.5 V | 3200 | | | ns | |
| SCK0ハイ, ロウ・レベル幅 | t _{KH4} , t _{KL4} | 4.5 V V _{DD} 5.5 V | 400 | | | ns | |
| | | 3.5 V V _{DD} < 4.5 V | 1600 | | | ns | |
| SB0, SB1セットアップ時間 (対SCK0) | t _{SIK4} | 4.5 V V _{DD} 5.5 V | 100 | | | ns | |
| | | 3.5 V V _{DD} < 4.5 V | 300 | | | ns | |
| SB0, SB1ホールド時間 (対SCK0) | t _{KSI4} | | t _{KCY4} /2 | | | ns | |
| SCK0 SB0, SB1出力遅延時間 | t _{KSO4} | R = 1 k , C = 100 pF ^注 | 4.5 V V _{DD} 5.5 V | 0 | | 300 | ns |
| | | | 3.5 V V _{DD} < 4.5 V | 0 | | 1000 | ns |
| SCK0 SB0, SB1 | t _{KSB} | | t _{KCY4} | | | ns | |
| SB0, SB1 SCK0 | t _{SBK} | | t _{KCY4} | | | ns | |
| SB0, SB1ハイ・レベル幅 | t _{SBH} | | t _{KCY4} | | | ns | |
| SB0, SB1ロウ・レベル幅 | t _{SBL} | | t _{KCY4} | | | ns | |
| SCK0立ち上がり, 立ち下がり時間 | t _{R4} , t _{F4} | | | | 1000 | ns | |

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) 2線式シリアル/Oモード (SCK0...内部クロック出力)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 | |
|-------------------------------|-------------------|--------------------------------------|-------------------------------|----------------------------|------|------|----|----|
| SCK0サイクル・タイム | t _{KCY5} | R = 1 k , C = 100 pF ^注 | | 1600 | | | ns | |
| SCK0ハイ・レベル幅 | t _{KH5} | | | t _{KCY5} /2 - 160 | | | ns | |
| SCK0ロウ・レベル幅 | t _{KL5} | | 4.5 V V _{DD} 5.5 V | t _{KCY5} /2 - 50 | | | ns | |
| | | | 3.5 V V _{DD} < 4.5 V | t _{KCY5} /2 - 100 | | | ns | |
| SB0, SB1セットアップ 時間 (対SCK0) | t _{SIK5} | | 4.5 V V _{DD} 5.5 V | | 300 | | | ns |
| | | | 3.5 V V _{DD} < 4.5 V | | 350 | | | ns |
| | | | | | 400 | | | ns |
| SB0, SB1ホールド時間 (対SCK0) | t _{KSI5} | | | 600 | | | ns | |
| SCK0 SB0, SB1 出力遅延時間 | t _{KSO5} | | | 0 | | 300 | ns | |

注 R, Cは, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) 2線式シリアル/Oモード (SCK0...外部クロック入力)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|-------------------------------|--------------------------------------|--------------------------------------|-------------------------------|----------------------|------|------|----|
| SCK0サイクル・タイム | t _{KCY6} | | | 1600 | | | ns |
| SCK0ハイ・レベル幅 | t _{KH6} | | | 650 | | | ns |
| SCK0ロウ・レベル幅 | t _{KL6} | | | 800 | | | ns |
| SB0, SB1セットアップ 時間 (対SCK0) | t _{SIK6} | | | 100 | | | ns |
| SB0, SB1ホールド時間 (対SCK0) | t _{KSI6} | | | t _{KCY6} /2 | | | ns |
| SCK0 SB0, SB1 出力遅延時間 | t _{KSO6} | R = 1 k , C = 100 pF ^注 | 4.5 V V _{DD} 5.5 V | 0 | | 300 | ns |
| | | | 3.5 V V _{DD} < 4.5 V | 0 | | 500 | ns |
| SCK0立ち上がり, 立ち下がり時間 | t _{R6} , t _{F6} | | | | | 1000 | ns |

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vii) I²Cバス・モード (SCL...内部クロック出力)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|---|-------------------|---|------------------------|-------------------------|------|------|---------|
| SCLサイクル・タイム | t _{KCY7} | R = 1 k Ω , C = 100 pF ^注 | | 10 | | | μ s |
| SCLハイ・レベル幅 | t _{KH7} | | | t _{KCY7} - 160 | | | ns |
| SCLロウ・レベル幅 | t _{KL7} | | | t _{KCY7} - 50 | | | ns |
| SDA0, SDA1セットアップ 時間(対SCL) | t _{SIK7} | | | 200 | | | ns |
| SDA0, SDA1ホールド時間 (対SCL) | t _{KS17} | | | 0 | | | ns |
| SCL SDA0, SDA1出力 遅延時間 | t _{KSO7} | | 4.5 V V_{DD} 5.5 V | 0 | | 300 | ns |
| | | | 3.5 V $V_{DD} < 4.5$ V | 0 | | 500 | ns |
| SCL SDA0, SDA1 または SCL SDA0, SDA1 | t _{KSB} | | | 200 | | | ns |
| SDA0, SDA1 SCL | t _{SBK} | | | 400 | | | ns |
| SDA0, SDA1ハイ・レベル幅 | t _{SBH} | | 500 | | | ns | |

注 R, Cは, SCL, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(viii) I²Cバス・モード (SCL...外部クロック入力)

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|---|--|---|------------------------|------|------|------|----|
| SCLサイクル・タイム | t _{KCY8} | | | 1000 | | | ns |
| SCLハイ,ロウ・レベル幅 | t _{KH8} , t _{KL8} | | | 400 | | | ns |
| | | | | | | | |
| SDA0, SDA1セットアップ 時間(対SCL) | t _{SIK8} | | | 200 | | | ns |
| SDA0, SDA1ホールド時間 (対SCL) | t _{KS18} | | | 0 | | | ns |
| SCL SDA0, SDA1出力 遅延時間 | t _{KSO8} | R = 1 k Ω , C = 100 pF ^注 | 4.5 V V_{DD} 5.5 V | 0 | | 300 | ns |
| | | | 3.5 V $V_{DD} < 4.5$ V | 0 | | 500 | ns |
| SCL SDA0, SDA1 または SCL SDA0, SDA1 | t _{KSB} | | | 200 | | | ns |
| SDA0, SDA1 SCL | t _{SBK} | | | 400 | | | ns |
| SDA0, SDA1ハイ・レベル幅 | t _{SBH} | | | 500 | | | ns |
| SCL立ち上がり, 立ち下がり時間 | t _{R8} , t _{F8} | | | | | 1000 | ns |

注 R, Cは, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル1

(i) 3線式シリアル/Oモード (SCK1...内部クロック出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------|---------------|-------------------------------|---------------|------|------|----|
| SCK1サイクル・タイム | tkcy9 | 4.5 V V _{DD} 5.5 V | 800 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 1600 | | | ns |
| SCK1ハイ, ロウ・レベル幅 | tkH9, tKL9 | 4.5 V V _{DD} 5.5 V | tkcy9/2 - 50 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | tkcy9/2 - 100 | | | ns |
| SI1セットアップ時間(対SCK1) | tsik9 | 4.5 V V _{DD} 5.5 V | 100 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 150 | | | ns |
| SI1ホールド時間(対SCK1) | tksh9 | | 400 | | | ns |
| SCK1 SO1出力遅延時間 | tkso9 | C = 100 pF ^注 | | | 300 | ns |

注 Cは, SO1出力ラインの負荷容量です。

(ii) 3線式シリアル/Oモード (SCK1...外部クロック入力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------|-----------------|-------------------------------|------|------|------|----|
| SCK1サイクル・タイム | tkcy10 | 4.5 V V _{DD} 5.5 V | 800 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 1600 | | | ns |
| SCK1ハイ, ロウ・レベル幅 | tkH10, tKL10 | 4.5 V V _{DD} 5.5 V | 400 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 800 | | | ns |
| SI1セットアップ時間(対SCK1) | tsik10 | | 100 | | | ns |
| SI1ホールド時間(対SCK1) | tksh10 | | 400 | | | ns |
| SCK1 SO1出力遅延時間 | tkso10 | C = 100 pF ^注 | | | 300 | ns |
| SCK1立ち上がり, 立ち下がり時間 | tR10, tF10 | | | | 1000 | ns |

注 Cは, SO1出力ラインの負荷容量です。

(iii) 自動送受信機能付き 3 線式シリアルI/Oモード (SCK1...内部クロック出力)

| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|-----------------------------------|--------|-------------------------------|----------------|------|----------------|-----|
| SCK1サイクル・タイム | tkCY11 | 4.5 V V _{DD} 5.5 V | 800 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 1600 | | | ns |
| SCK1ハイ, ロウ・レベル幅 | tkH11, | 4.5 V V _{DD} 5.5 V | tkCY11/2 - 50 | | | ns |
| | tkL11 | 3.5 V V _{DD} < 4.5 V | tkCY11/2 - 100 | | | ns |
| SI1セットアップ時間 (対SCK1) | tSIK11 | 4.5 V V _{DD} 5.5 V | 100 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 150 | | | ns |
| SI1ホールド時間 (対SCK1) | tkSI11 | | 400 | | | ns |
| SCK1 SO1出力遅延時間 | tkSO11 | C = 100 pF ^注 | | | 300 | ns |
| SCK1 STB | tsBD | | tkCY11/2 - 100 | | tkCY11/2 + 100 | ns |
| ストロブ信号ハイ・レベル幅 | tsBW | | tkCY11 - 30 | | tkCY11 + 30 | ns |
| ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング) | tBYS | | 100 | | | ns |
| ビジィ信号ホールド時間 (対ビジィ信号検出タイミング) | tBYH | 4.5 V V _{DD} 5.5 V | 100 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 150 | | | ns |
| ビジィ・インアクティブ SCK1 | tsPS | | | | 2tkCY11 | ns |

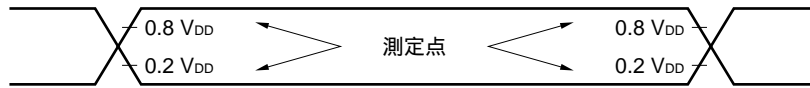
注 Cは, SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアルI/Oモード (SCK1...外部クロック入力)

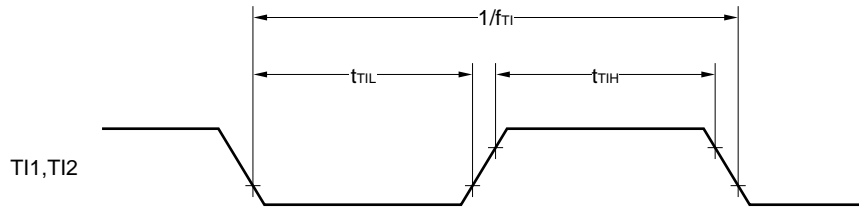
| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 |
|-----------------------|--------|-------------------------------|------|------|------|-----|
| SCK1サイクル・タイム | tkCY12 | 4.5 V V _{DD} 5.5 V | 800 | | | ns |
| | | 3.5 V V _{DD} < 4.5 V | 1600 | | | ns |
| SCK1ハイ, ロウ・レベル幅 | tkH12, | 4.5 V V _{DD} 5.5 V | 400 | | | ns |
| | tkL12 | 3.5 V V _{DD} < 4.5 V | 800 | | | ns |
| SI1セットアップ時間 (対SCK1) | tSIK12 | | 100 | | | ns |
| SI1ホールド時間 (対SCK1) | tkSI12 | | 400 | | | ns |
| SCK1 SO1出力遅延時間 | tkSO12 | C = 100 pF ^注 | | | 300 | ns |
| SCK1立ち上がり, 立ち下がり時間 | tr12, | | | | 1000 | ns |
| | tF12 | | | | | |

注 Cは, SO1出力ラインの負荷容量です。

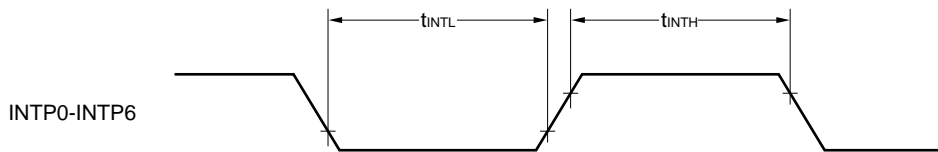
ACタイミング測定点 (X1入力を除く)



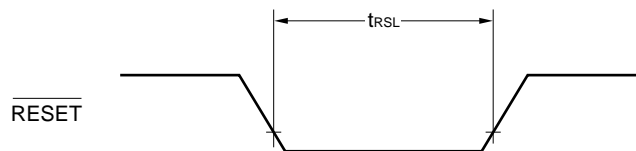
T1タイミング



割り込み入力タイミング

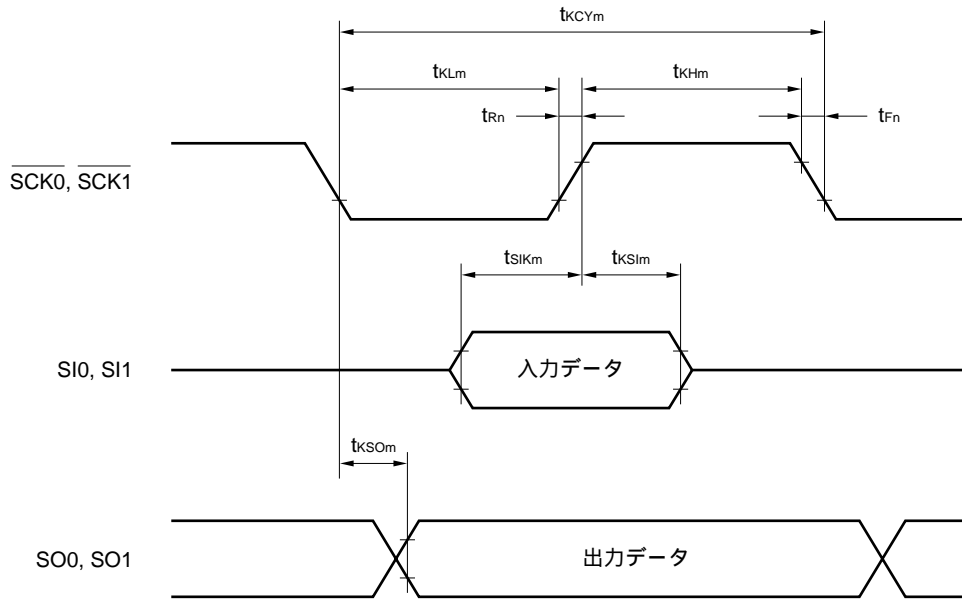


RESET入力タイミング



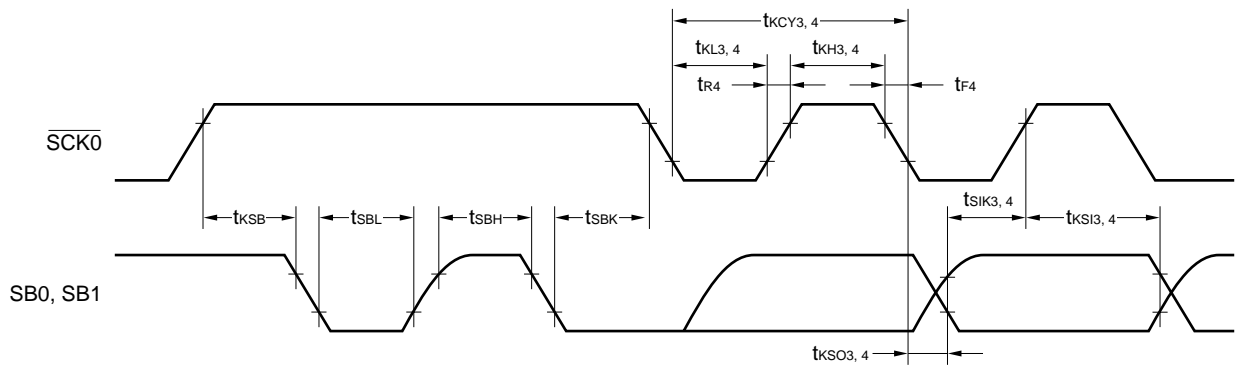
シリアル転送タイミング

3線式シリアルI/Oモード :

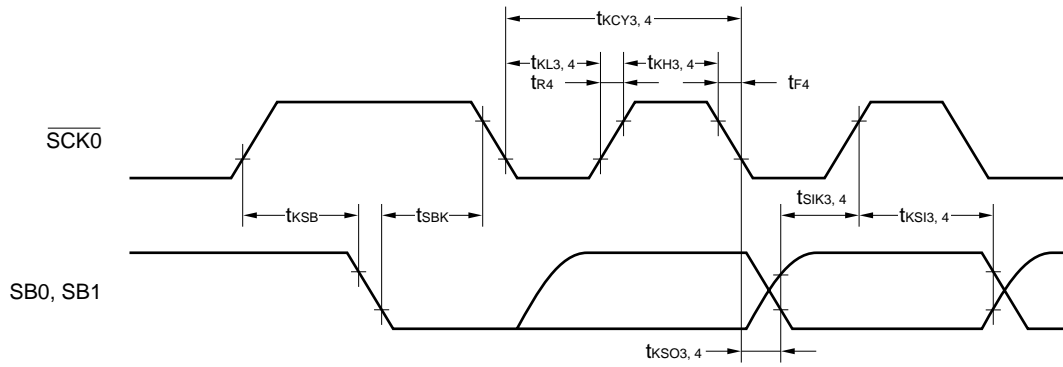


備考 $m = 1, 2, 9, 10$
 $n = 2, 10$

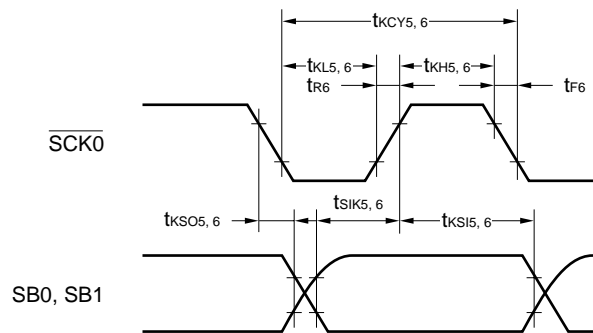
SBIモード (バス・リリース信号転送) :



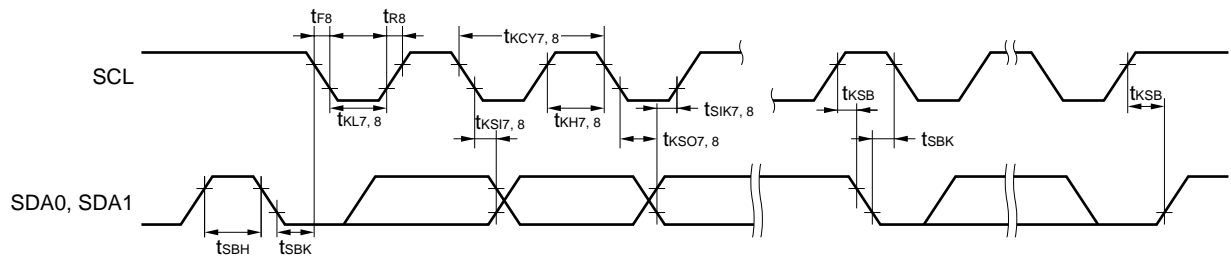
SBIモード (コマンド信号転送) :



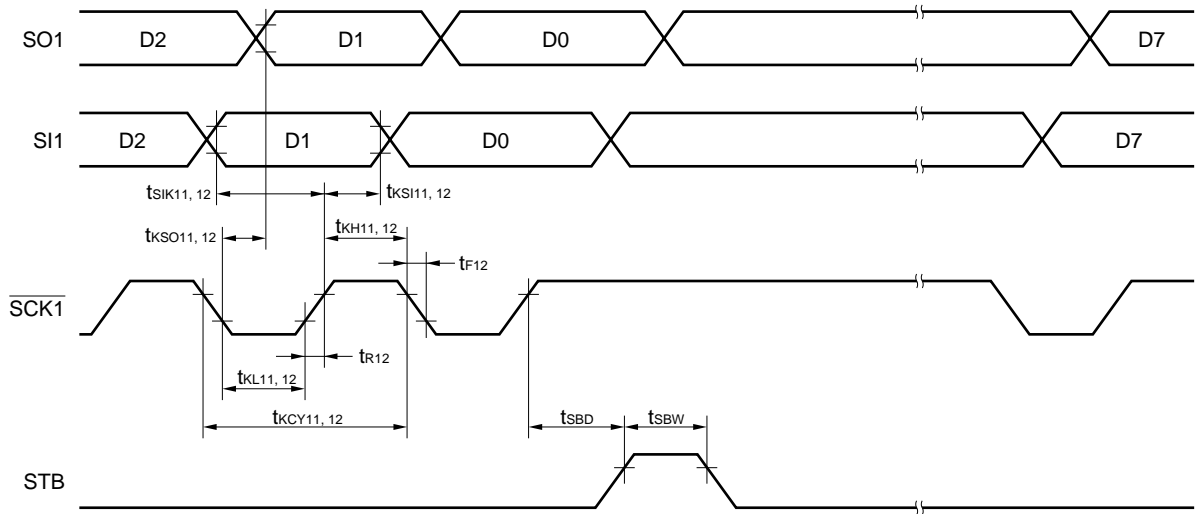
2線式シリアル/Oモード :



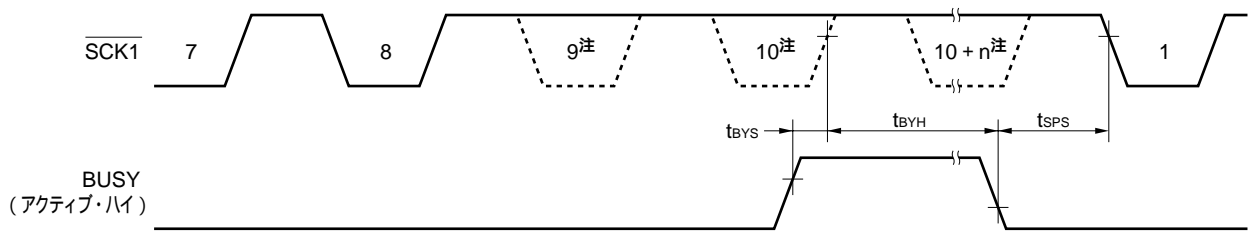
I²Cバス・モード :



自動送受信機能付き 3 線式シリアル I/O モード :



自動送受信機能付き 3 線式シリアル I/O モード (ビジィ処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|----------|-------|----|--------|------|-------|-----|
| 分解能 | | | 8 | 8 | 8 | bit |
| 変換総合誤差 | | | | | ± 3.0 | LSB |
| 変換時間 | tCONV | | 22.2 | | 44.4 | μs |
| サンプリング時間 | tsAMP | | 15/fxx | | | μs |
| アナログ入力電圧 | VIAN | | 0 | | VDD | V |

備考 1 . fxx : システム・クロック周波数 (fx/2)

2 . fx : システム・クロック発振周波数

PLL特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|------|------------------------------------|------|------|------|-----|
| 動作周波数 | fIN1 | VCOL端子 MFモード 正弦波入力VIN = 0.1 Vp-p | 0.5 | | 3 | MHz |
| | fIN2 | VCOL端子 HFモード 正弦波入力VIN = 0.2 Vp-p | 9 | | 55 | MHz |
| | fIN3 | VCOH端子 VHFモード 正弦波入力VIN = 0.15 Vp-p | 60 | | 160 | MHz |

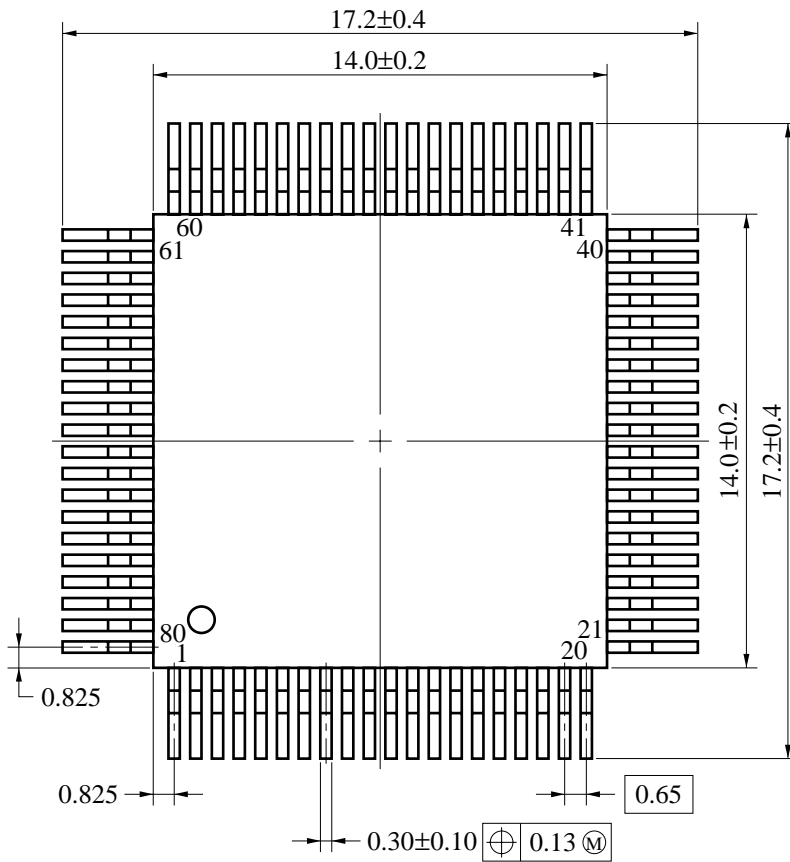
IFC特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|------|--|------|------|------|-----|
| 動作周波数 | fIN4 | AMIFC端子 AMIFカウント・モード 正弦波入力VIN = 0.1 Vp-p ^注 | 0.4 | | 0.5 | MHz |
| | fIN5 | FMIFC端子 FMIFカウント・モード 正弦波入力VIN = 0.1 Vp-p ^注 | 10 | | 11 | MHz |
| | fIN6 | FMIFC端子 AMIFカウント・モード 正弦波入力VIN = 0.1 Vp-p ^注 | 0.4 | | 0.5 | MHz |

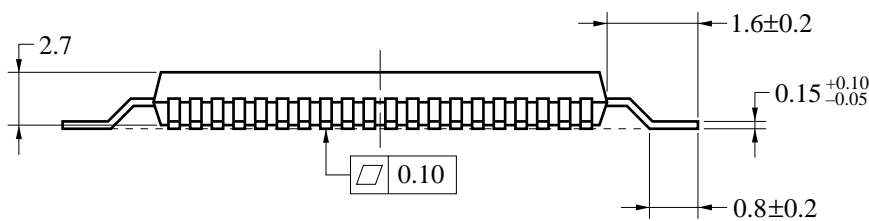
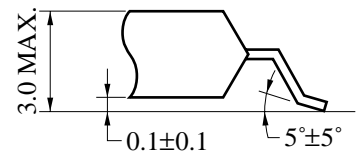
注 正弦波入力VIN = 0.1 Vp-pの条件は、このデバイス単体動作における規格値であるため、ノイズの影響が考えられる場合には、入力振幅条件がVIN = 0.15 Vp-pでの動作を推奨します。

11. 外形図

80ピン・プラスチック QFP (14×14) 外形図 (単位: mm)



端子先端形状詳細図



S80GC-65-3B9-4

12. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表12 - 1 表面実装タイプの半田付け条件

μPD178004AGC- x x x -3B9 : 80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ)

μPD178006AGC- x x x -3B9 : "

μPD178016AGC- x x x -3B9 : "

μPD178018AGC- x x x -3B9 : "

| 半田付け方式 | 半 田 付 け 条 件 | 推奨条件記号 |
|--------------|---|-----------|
| 赤外線リフロ | パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内 | IR35-00-3 |
| VPS | パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内 | VP15-00-3 |
| ウェーブ・ソルダーリング | 半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX.（パッケージ表面温度） | WS60-00-1 |
| 端子部分加熱 | 端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり） | - |

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A . μPD178018AサブシリーズとμPD178018サブシリーズとの違い

| 品名 | | μPD178018Aサブシリーズ | | | | μPD178018サブシリーズ | | | |
|--------------------------|----------------------------|--|------------|------------|--|--|-----------|-----------|-------------------------|
| | | μPD178004A | μPD178006A | μPD178016A | μPD178018A μPD178P018A ^注 | μPD178004 | μPD178006 | μPD178016 | μPD178018 μPD178P018 |
| PLL 周波数 シンセ サイズ | 基準周波数 | 7種類をプログラムで選択 (1, 3, 5, 9, 10, 25, 50 kHz) | | | | 11種類をプログラムで選択 (1, 1.25, 2.5, 3, 5, 6.25, 9, 10, 12.5, 25, 50 kHz) | | | |
| | EO0端子 出力形式 | バッファ・タイプ | | | | | | | |
| | EO1端子 出力形式 | バッファ・タイプ | | | | 定電流源タイプ | | | |
| | EO1端子の ハイ・インピー ダンス機能 | 未対応 | | 対応 | | 未対応 | | | |

注 開発中

備考 ワン・タイムPROM製品 (μPD178P018A/μPD178P018) は , マスク製品 (μPD178018A/μPD178018) のマスクROMを , ワン・タイムPROMまたはEPROMに置き換えたものです。

付録B．開発ツール

μPD178018Aサブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

| | |
|--------------------------------|-----------------------------------|
| RA78K0 ^{注1,2,3,4} | 78K/0シリーズ共通のアセンブラ・パッケージ |
| CC78K0 ^{注1,2,3,4} | 78K/0シリーズ共通のCコンパイラ・パッケージ |
| DF178018 ^{注1,2,3,4,8} | μPD178018Aサブシリーズ用デバイス・ファイル |
| CC78K0-L ^{注1,2,3,4} | 78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル |

PROM書き込み用ツール

| | |
|-------------------------------|------------------------|
| PG-1500 | PROMプログラム |
| PA-178P018GC | PG-1500に接続するプログラマ・アダプタ |
| PA-178P018KK-T | |
| PG-1500コントローラ ^{注1,2} | PG-1500用コントロール・プログラム |

ディバグ用ツール

| | |
|------------------------------------|--|
| IE-78000-R | 78K/0シリーズ共通のインサーキット・エミュレータ |
| IE-78000-R-A | 78K/0シリーズ共通のインサーキット・エミュレータ（統合ディバグ用） |
| IE-78000-R-BK | 78K/0シリーズ共通のブレーク・ボード |
| IE-178018-R-EM | μPD178018Aサブシリーズ用エミュレーション・ボード |
| IE-78000-R-SV3 | ホスト・マシンとしてEWS使用時のインタフェース・アダプタとケーブル（IE-78000-R-A用） |
| IE-70000-98-IF-B | ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときのインタフェース・アダプタ（IE-78000-R-A用） |
| IE-70000-98N-IF | ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブル（IE-78000-R-A用） |
| IE-70000-PC-IF-B | ホスト・マシンとしてIBM PC/AT™を使用するときのインタフェース・アダプタ（IE-78000-R-A用） |
| EP-78230GC-R | μPD78234サブシリーズと共通のエミュレーション・プローブ |
| EV-9200GC-80 | 80ピン・プラスチックQFP（GC-3B9タイプ）用に作られたターゲット・システムの基板上に実装するソケット |
| EV-9900 | EV-9200GC-80からμPD178P018AKK-Tを取り外す際に使用する治具 |
| SM78K0 ^{注5,6,7} | 78K/0シリーズ共通のシステム・シミュレータ |
| ID78K0 ^{注4,5,6,7} | IE-78000-R-A用統合ディバグ |
| SD78K0 ^{注1,2} | IE-78000-R用スクリーン・ディバグ |
| DF178018 ^{注1,2,4,5,6,7,8} | μPD178018Aサブシリーズ用デバイス・ファイル |

リアルタイムOS

| | |
|----------------------------|--------------------|
| RX78K0 ^{注1,2,3,4} | 78K/0シリーズ用リアルタイムOS |
| MX78K0 ^{注1,2,3,4} | 78K/0シリーズ用OS |

注1 . PC-9800シリーズ (MS-DOS™) ベース

2 . IBM PC/ATおよびその互換機 (PC DOS™/IBM DOS™/MS-DOS) ベース

3 . HP9000シリーズ300™ (HP-UX™) ベース

4 . HP9000シリーズ700™ (HP-UX) ベース, SPARCstation™ (SunOS™) ベース, EWS4800シリーズ (EWS-UX/V)
ベース

5 . PC-9800シリーズ (MS-DOS + Windows™) ベース

6 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS + Windows) ベース

7 . NEWS™ (NEWS-OS™) ベース

8 . 開発中

ファジィ推論開発支援システム

| | |
|--|----------------|
| FE9000 ^{注1} /FE9200 ^{注2} | ファジィ知識データ作成ツール |
| FT9080 ^{注1} /FT9085 ^{注3} | トランスレータ |
| FI78K0 ^{注1,3} | ファジィ推論モジュール |
| FD78K0 ^{注1,3} | ファジィ推論ディバッガ |

注1 . PC-9800シリーズ (MS-DOS) ベース

2 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS + Windows) ベース

3 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS) ベース

備考1 . 3rdパーティ製開発ツールについては、78K/0シリーズ **セレクション・ガイド** (U11126J) を参照してください。

2 . RA78K/0 , CC78K/0 , SD78K/0 , ID78K0 , SM78K/0 , RX78K/0は、DF178018と組み合わせて使用します。

付録C . 関連資料

デバイスの関連資料

| 資料名 | 資料番号 | |
|------------------------------|---------|--------------------|
| | 和文 | 英文 |
| μPD178018Aサブシリーズ ユーザーズ・マニュアル | 作成予定 | 作成予定 |
| 78K/0シリーズ ユーザーズ・マニュアル 命令編 | U12326J | U12326E |
| 78K/0シリーズ インストラクション・セット | U10904J | - |
| 78K/0シリーズ インストラクション活用表 | U10903J | - |
| μPD178018Aサブシリーズ 特殊機能レジスタ活用表 | 作成予定 | - |
| 78K/0シリーズ アプリケーション・ノート | 基礎編 () | U10121J U10121E |

開発ツールの関連資料 (ユーザーズ・マニュアル)

(1/2)

| 資料名 | 資料番号 | |
|--|---------------|---------------------|
| | 和文 | 英文 |
| RA78Kシリーズ アセンブラ・パッケージ | 操作編 | EEU-809 EEU-1399 |
| | 言語編 | EEU-815 EEU-1404 |
| RA78Kシリーズ 構造化アセンブラ・プリプロセッサ | EEU-817 | EEU-1402 |
| RA78K0 アセンブラ・パッケージ | 操作編 | U11802J U11802E |
| | アセンブリ言語編 | U11801J U11801E |
| | 構造化アセンブリ言語編 | U11789J U11789E |
| CC78Kシリーズ Cコンパイラ | 操作編 | EEU-656 EEU-1280 |
| | 言語編 | EEU-655 EEU-1284 |
| CC78K/0 Cコンパイラ | 操作編 | U11517J U11517E |
| | 言語編 | U11518J U11518E |
| CC78K/0 Cコンパイラ アプリケーション・ノート | プログラミング・ノウハウ編 | EEA-618 EEA-1208 |
| CC78Kシリーズ ライブラリ・ソース・ファイル | U12322J | - |
| PG-1500 PROMプログラマ | U11940J | EEU-1335 |
| PG-1500コントローラ PC-9800シリーズ (MS-DOS) ベース | EEU-704 | EEU-1291 |
| PG-1500コントローラ IBM PCシリーズ (PC DOS) ベース | EEU-5008 | U10540E |
| IE-78000-R | U11376J | U11376E |
| IE-78000-R-A | U10057J | U10057E |
| IE-78000-R-BK | EEU-867 | EEU-1427 |
| IE-178018-R-EM | U10668J | U10668E |
| EP-78230 | EEU-985 | EEU-1515 |

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

開発ツールの関連資料 (ユーザーズ・マニュアル)

(2/2)

| 資料名 | | 資料番号 | |
|---|---------------------------|----------|----------|
| | | 和文 | 英文 |
| SM78K0 システム・シミュレータ Windowsベース | レファレンス編 | U10181J | U10181E |
| SM78Kシリーズ システム・シミュレータ | 外部部品ユーザオープン インタフェース仕様編 | U10092J | U10092E |
| ID78K0 統合デバッグ EWSベース | レファレンス編 | U11151J | - |
| ID78K0 統合デバッグ PCベース | レファレンス編 | U11539J | U11539E |
| ID78K0 統合デバッグ Windowsベース | ガイド編 | U11649J | U11649E |
| SD78K/0 スクリーン・デバッグ PC-9800シリーズ(MS-DOS)ベース | 入門編 | EEU-852 | U10539E |
| | レファレンス編 | U10952J | - |
| SD78K/0 スクリーン・デバッグ IBM PC/AT(PC DOS)ベース | 入門編 | EEU-5024 | EEU-1414 |
| | レファレンス編 | U11279J | U11279E |

組み込み用ソフトウェアの関連資料 (ユーザーズ・マニュアル)

| 資料名 | | 資料番号 | |
|--|---------|---------|----------|
| | | 和文 | 英文 |
| 78K/0シリーズ リアルタイムOS | 基礎編 | U11537J | - |
| | インストール編 | U11536J | - |
| 78K/0シリーズ用OS MX78K0 | 基礎編 | U12257J | - |
| ファジィ知識データ作成ツール | | EEU-829 | EEU-1438 |
| 78K/0, 78K/ , 87ADシリーズ ファジィ推論開発支援システム トランスレータ | | EEU-862 | EEU-1444 |
| 78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール | | EEU-858 | EEU-1441 |
| 78K/0シリーズ ファジィ推論開発支援システム ファジィ推論デバッグ | | EEU-921 | EEU-1458 |

その他の関連資料

| 資料名 | | 資料番号 | |
|---------------------------|--|---------|----------|
| | | 和文 | 英文 |
| IC PACKAGE MANUAL | | C10943X | |
| 半導体デバイス 実装マニュアル | | C10535J | C10535E |
| NEC半導体デバイスの品質水準 | | C11531J | C11531E |
| NEC半導体デバイスの信頼性品質管理 | | C10983J | C10983E |
| 静電気放電 (ESD) 試験について | | MEM-539 | - |
| 半導体デバイスの品質保証ガイド | | C11893J | MEI-1202 |
| マイクロコンピュータ関連製品ガイド 社外メーカー編 | | U11416J | - |

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

{ × ㉮ }

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意：本製品はI²Cバス・インタフェース回路を内蔵しています。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ300, HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザー（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

| | | | |
|--|--------------------------------|--|-------|
| 半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部 | 〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル） | 東京 (03)3454-1111 | (大代表) |
| 中部支社 半導体第一販売部 半導体第二販売部 | 〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル） | 名古屋 (052)222-2170 名古屋 (052)222-2190 | |
| 関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部 | 〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル） | 大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208 | |
| 北海道支社 札幌 (011)251-5599 | 太田支店 太田 (0276)46-4011 | 福井支店 福井 (0776)22-1866 | |
| 東北支社 仙台 (022)267-8740 | 宇都宮支店 宇都宮 (028)621-2281 | 富山支店 富山 (0764)31-8461 | |
| 岩手支店 盛岡 (019)651-4344 | 小山支店 小山 (0285)24-5011 | 三重支店 津 (0592)25-7341 | |
| 郡山支店 郡山 (0249)23-5511 | 長野支社 松本 (0263)35-1662 | 京都支社 京都 (075)344-7824 | |
| いわき支店 いわき (0246)21-5511 | 甲府支店 甲府 (0552)24-4141 | 神戸支社 神戸 (078)333-3854 | |
| 長岡支店 長岡 (0258)36-2155 | 埼玉支社 大宮 (048)649-1415 | 中国支社 広島 (082)242-5504 | |
| 土浦支店 土浦 (0298)23-6161 | 立川支社 立川 (0425)26-5981 | 鳥取支店 鳥取 (0857)27-5311 | |
| 水戸支店 水戸 (029)226-1717 | 千葉支社 千葉 (043)238-8116 | 岡山支店 岡山 (086)225-4455 | |
| 神奈川支社 横浜 (045)682-4524 | 静岡支社 静岡 (054)254-4794 | 松山支店 松山 (089)945-4149 | |
| 群馬支店 高崎 (0273)26-1255 | 北陸支社 金沢 (076)232-7303 | 九州支社 福岡 (092)261-2806 | |

【本資料に関する技術お問い合わせ先】

| | | | |
|---------------------------------|--------------------------------|-------------------|--|
| 半導体ソリューション技術本部 マイクロコンピュータ技術部 | 〒210 川崎市幸区塚越三丁目484番地 | 川崎 (044)548-7923 | 半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します) |
| 半導体販売技術本部 東日本販売技術部 | 〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル） | 東京 (03)3798-9619 | |
| 半導体販売技術本部 中部販売技術部 | 〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル） | 名古屋 (052)222-2125 | |
| 半導体販売技術本部 西日本販売技術部 | 〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル） | 大阪 (06) 945-3383 | |