

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD17704, 17705, 17707, 17708, 17709

デジタル・チューニング・システム用専用ハードウェア内蔵
4ビット・シングルチップ・マイクロコントローラ

μ PD17704, 17705, 17707, 17708, 17709は、デジタル・チューニング・システム用ハードウェアを内蔵した4ビット・シングルチップCMOSマイクロコントローラです。

μ PD17704, 17705, 17707, 17708, 17709は、さまざまな用途に対応できるよう多彩なROM, RAM容量の品種をそろえ、また、豊富な周辺ハードウェアを内蔵しています。

したがって、1チップで高性能、多機能なデジタル・チューニング・システムを構成することができます。

また、一度だけ書き込み可能なワン・タイムPROM製品のμ PD17P709を用意しており、μ PD17704, 17705, 17707, 17708, 17709のプログラム評価や少量生産に便利です。

特 徴

	μ PD17704	μ PD17705	μ PD17707	μ PD17708	μ PD17709
プログラム・メモリ (ROM)	16 Kバイト (8192×16ビット)	24 Kバイト (12288×16ビット)		32 Kバイト (16384×16ビット)	
汎用データ・メモリ (RAM)	672×4ビット		1120×4ビット	1776×4ビット	

命令実行時間

1.78 μs (fx = 4.5 MHz水晶振動子使用)

PLL周波数シンセサイザ用内蔵

デュアル・モジュラス・プリスケアラ(130 MHz MAX.),
プログラマブル・ディバイダ, 位相比較器, チャージ・ポン
プ

豊富な周辺ハードウェア

汎用入出力ポート, シリアル・インタフェース, A/Dコ
ンバータ, D/Aコンバータ (PWM出力), BEEP出
力, 周波数カウンタ

豊富な割り込み

外部: 6本

内部: 6本

パワーオン・リセット, CE端子によるリセットおよび
停電検出回路

電源電圧: $V_{DD} = 5V \pm 10\%$

この資料では、特に断りがないかぎり μ PD17709を代表品種として説明しています。

本資料の内容は、後日変更する場合があります。

オーダ情報

オーダ名称	パッケージ
μPD17704GC-xxx-3B9	80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ)
μPD17705GC-xxx-3B9	"
μPD17707GC-xxx-3B9	"
μPD17708GC-xxx-3B9	"
μPD17709GC-xxx-3B9	"

備考 xxxはROMコード番号です。

機能概要

品名	μPD17704	μPD17705	μPD17707	μPD17708	μPD17709
プログラム・メモリ (ROM)	16 Kバイト (8192×16ビット)	24 Kバイト(12288×16ビット)		32 Kバイト(16384×16ビット)	
汎用データ・メモリ (RAM)	672×4ビット		1120×4ビット		1176×4ビット
命令実行時間	1.78 μs (fx = 4.5 MHz水晶振動子使用)				
汎用ポート	<ul style="list-style-type: none"> ・入出力ポート : 46本 ・入力ポート : 12本 ・出力ポート : 4本 				
スタック・レベル	<ul style="list-style-type: none"> ・アドレス・スタック : 15レベル ・割り込みスタック : 4レベル ・DBFスタック : 4レベル (ソフトウェアで操作) 				
割り込み	<ul style="list-style-type: none"> ・外部 : 6本 (CE端子の立ち下がりエッジ, INT0-INT4) ・内部 : 6本 (タイマ0-タイマ3, シリアル・インタフェース0, 1) 				
タイマ	5チャンネル <ul style="list-style-type: none"> ・ベーシック・タイマ (クロック : 10, 20, 50, 100 Hz) : 1チャンネル ・ゲート・カウンタ付き 8ビット・タイマ (クロック : 1 k, 2 k, 10 k, 100 kHz) : 1チャンネル ・8ビット・タイマ (クロック : 1 k, 2 k, 10 k, 100 kHz) : 2チャンネル ・PWM兼用 8ビット・タイマ (クロック : 440 Hz, 4.4 kHz) : 1チャンネル 				
A/Dコンバータ	8ビット×6チャンネル (ハードウェア・モード, ソフトウェア・モード選択)				
D/Aコンバータ (PWM)	3チャンネル (ソフトウェアで8ビットまたは9ビットの分解能を選択可能) <ul style="list-style-type: none"> 出力周波数 : 4.4 kHz, 440 Hz (8ビットPWM選択時) 2.2 kHz, 220 Hz (9ビットPWM選択時) 				
シリアル・インタフェース	2系統 (3チャンネル) <ul style="list-style-type: none"> ・3線式シリアルI/O : 2チャンネル ・2線式シリアルI/O / I²Cバス : 1チャンネル 				

品 名		μ PD17704	μ PD17705	μ PD17707	μ PD17708	μ PD17709
項 目	PLL周波数 シンセサイザ	<ul style="list-style-type: none"> ・直接分周方式 (VCOL端子 (MFモード) : 0.5-3 MHz) ・パルス・スワロ方式 (VCOL端子 (HFモード) : 10-40 MHz) (VCOH端子 (VHFモード) : 60-130 MHz) 				
	基準周波数	13種類選択可能 (1, 1.25, 2.5, 3, 5, 6.25, 9, 10, 12.5, 18, 20, 25, 50 kHz)				
	チャージ・ポンプ	2本のエラー・アウト出力端子 (EO0, EO1)				
	位相比較器	プログラムによりアンロック状態検出可能				
周波数カウンタ	<ul style="list-style-type: none"> ・中間周波数 (IF) 測定 <ul style="list-style-type: none"> P1C0/FMIFC端子 : FMIFモード時 10-11 MHz AMIFモード時 0.4-0.5 MHz P1C1/AMIFC端子 : AMIFモード時 0.4-0.5 MHz ・外部ゲート幅測定 <ul style="list-style-type: none"> P2A1/FCG1, P2A0/FCG0端子 					
BEEP出力	2本 出力周波数 : 1 kHz, 3 kHz, 4 kHz, 6.7 kHz (BEEP0端子) 67 Hz, 200 Hz, 3 kHz, 4 kHz (BEEP1端子)					
リセット	<ul style="list-style-type: none"> ・パワーオン・リセット (電源投入時) ・RESET端子によるリセット ・ウォッチドッグ・タイマ・リセット <ul style="list-style-type: none"> 電源投入時1回のみ設定可能 : 65536命令, 131072命令, 未使用を選択 ・スタック・ポインタ・オーバフロー/アンダフロー・リセット <ul style="list-style-type: none"> 電源投入時1回のみ設定可能 : 割り込みスタック, アドレス・スタックを選択 ・CEリセット (CE端子ロウ・レベル ハイ・レベル) <ul style="list-style-type: none"> CEリセット・ディレイ・タイミング設定可能 ・停電検出機能 					
スタンバイ	<ul style="list-style-type: none"> ・クロック・ストップ・モード (STOP) ・ホールド・モード (HALT) 					
電源電圧	<ul style="list-style-type: none"> ・PLL動作 : $V_{DD} = 4.5 \sim 5.5$ V ・CPU動作 : $V_{DD} = 3.5 \sim 5.5$ V 					
パッケージ	80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ)					

端子接続図 (Top View)

80ピン・プラスチックQFP (14 mm, 0.65 mmピッチ)

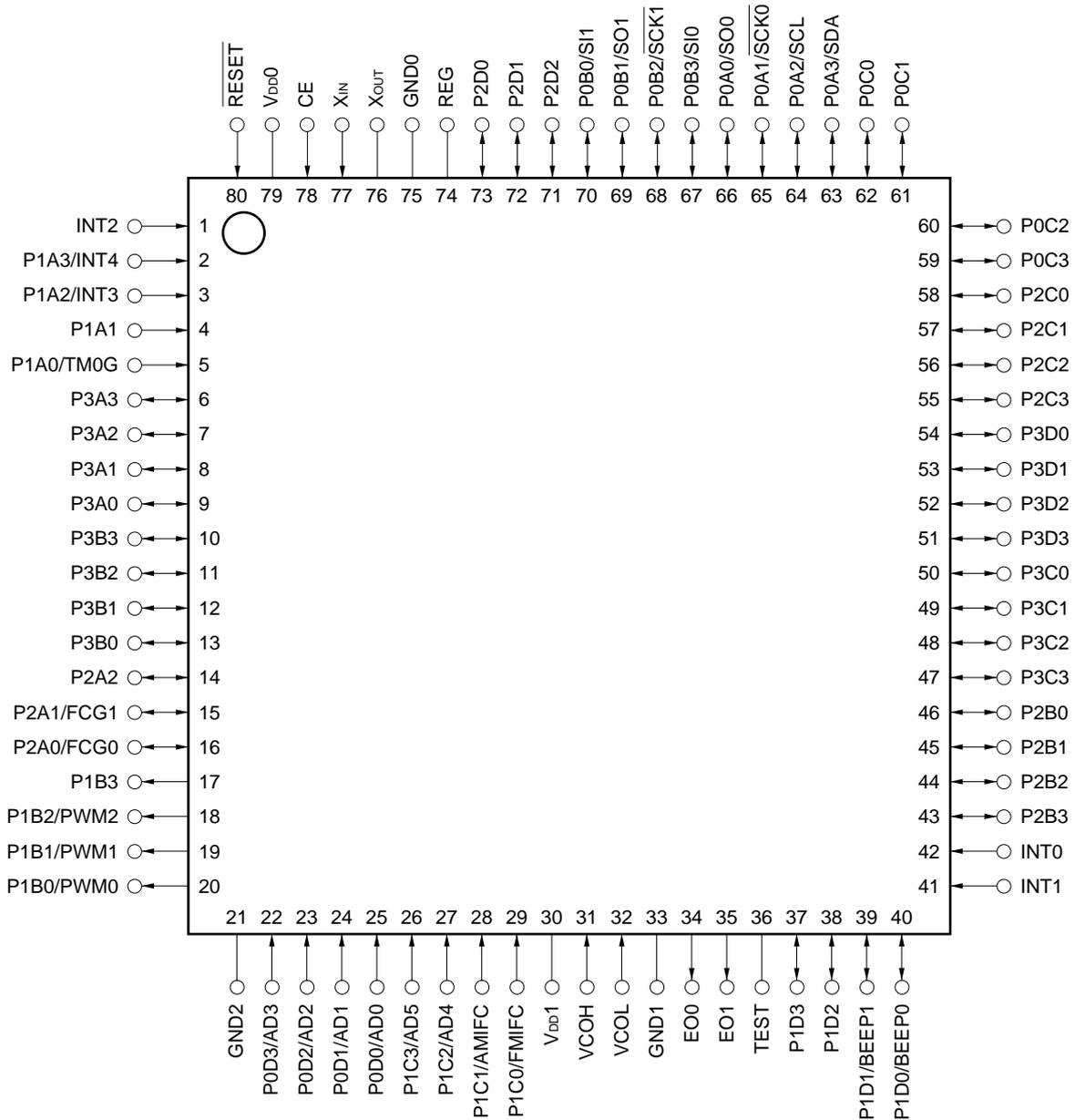
μPD17704GC- x x x -3B9

μPD17705GC- x x x -3B9

μPD17707GC- x x x -3B9

μPD17708GC- x x x -3B9

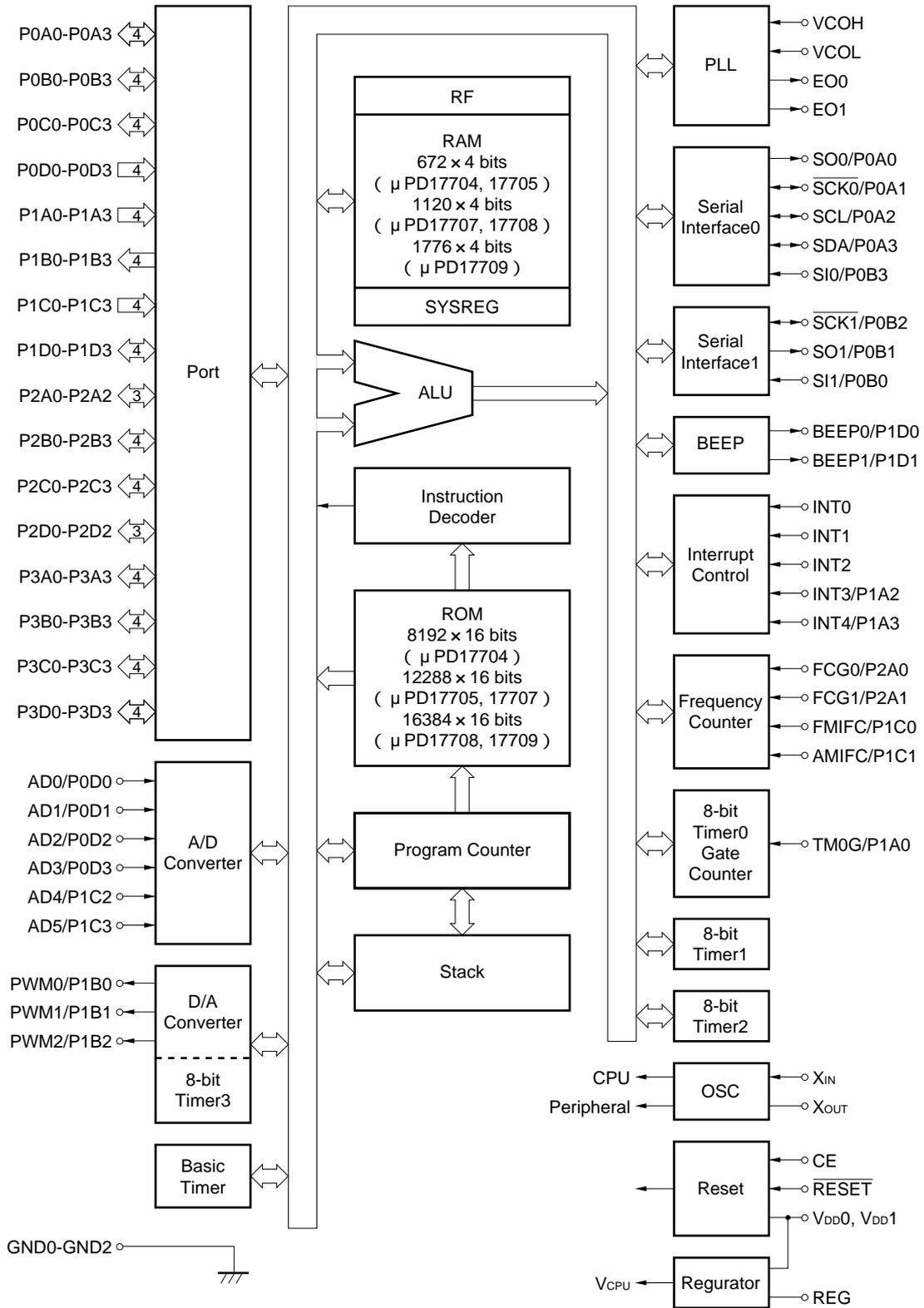
μPD17709GC- x x x -3B9



端子名称

AD0-AD5	: A/Dコンバータ入力	P2C0-P2C3	: ポート2C
AMIFC	: AM周波数カウンタ入力	P2D0-P2D2	: ポート2D
BEEP0, BEEP1	: BEEP出力	P3A0-P3A3	: ポート3A
CE	: チップ・イネーブル	P3B0-P3B3	: ポート3B
EO0, EO1	: エラー・アウト出力	P3C0-P3C3	: ポート3C
FCG0, FCG1	: 周波数カウンタ・ゲート入力	P3D0-P3D3	: ポート3D
FMIFC	: FM周波数カウンタ入力	REG	: CPUレギュレータ
GND0-GND2	: グランド0-2	RESET	: リセット入力
INT0-INT4	: 外部割り込み入力	SCK0, SCK1	: 3線式シリアル・クロック入出力
PWM0-PWM2	: D/Aコンバータ出力	SCL	: 2線式シリアル・クロック入出力
P0A0-P0A3	: ポート0A	SDA	: 2線式シリアル・データ入出力
P0B0-P0B3	: ポート0B	SI0, SI1	: 3線式シリアル・データ入力
P0C0-P0C3	: ポート0C	SO0, SO1	: 3線式シリアル・データ出力
P0D0-P0D3	: ポート0D	TEST	: テスト用入力
P1A0-P1A3	: ポート1A	TM0G	: タイマ0ゲート入力
P1B0-P1B3	: ポート1B	VCOH	: 局部発振ハイ入力
P1C0-P1C3	: ポート1C	VCOL	: 局部発振ロウ入力
P1D0-P1D3	: ポート1D	VDD0, VDD1	: 電源
P2A0-P2A2	: ポート2A	XIN, XOUT	: メイン・クロック発振
P2B0-P2B3	: ポート2B		

ブロック図



目 次

1 . 端子機能 ...	12
1.1 端子機能一覧 ...	12
1.2 端子の等価回路 ...	17
1.3 未使用端子の処理 ...	22
1.4 CE端子, INT0-INT4端子, RESET端子の使用上の注意 ...	24
1.5 TEST端子の使用上の注意 ...	24
2 . プログラム・メモリ (ROM) ...	25
2.1 プログラム・メモリ概要 ...	25
2.2 プログラム・メモリ ...	26
2.3 プログラム・カウンタ ...	27
2.4 プログラムの流れ ...	27
2.5 プログラム・メモリ使用時の注意 ...	30
3 . アドレス・スタック (ASK) ...	31
3.1 アドレス・スタック概要 ...	31
3.2 アドレス・スタック・レジスタ (ASR) ...	31
3.3 スタック・ポインタ (SP) ...	33
3.4 アドレス・スタックの動作 ...	34
3.5 アドレス・スタック使用時の注意 ...	35
4 . データ・メモリ (RAM) ...	36
4.1 データ・メモリ概要 ...	36
4.2 データ・メモリの構成と機能 ...	39
4.3 データ・メモリのアドレッシング ...	43
4.4 データ・メモリ使用時の注意 ...	44
5 . システム・レジスタ (SYSREG) ...	45
5.1 システム・レジスタ概要 ...	45
5.2 システム・レジスタ一覧 ...	46
5.3 アドレス・レジスタ (AR) ...	47
5.4 ウィンドウ・レジスタ (WR) ...	49
5.5 バンク・レジスタ (BANK) ...	50
5.6 インデクス・レジスタ (IX) とデータ・メモリ・ロウ・アドレス・ポインタ (MP : メモリ・ポインタ) ... 51	
5.7 ジェネラル・レジスタ・ポインタ (RP) ...	53
5.8 プログラム・ステータス・ワード (PSWORD) ...	55
6 . ジェネラル・レジスタ (GR) ...	57
6.1 ジェネラル・レジスタ概要 ...	57
6.2 ジェネラル・レジスタ ...	57

6.3	各命令におけるジェネラル・レジスタのアドレス生成 ...	58
6.4	ジェネラル・レジスタ使用時の注意 ...	58
7	ALU (Arithmetic Logic Unit) ブロック ...	59
7.1	ALUブロック概要 ...	59
7.2	各ブロックの構成と機能 ...	60
7.3	ALU処理命令一覧 ...	60
7.4	ALU使用時の注意 ...	64
8	レジスタ・ファイル (RF) ...	65
8.1	レジスタ・ファイル概要 ...	65
8.2	レジスタ・ファイルの構成と機能 ...	66
8.3	コントロール・レジスタ ...	67
8.4	ポート入力/出力選択レジスタ ...	78
8.5	レジスタ・ファイル使用時の注意 ...	84
9	データ・バッファ (DBF) ...	85
9.1	データ・バッファ概要 ...	85
9.2	データ・バッファ ...	86
9.3	周辺ハードウェアとデータ・バッファ一覧 ...	87
9.4	データ・バッファ使用時の注意 ...	90
10	データ・バッファ・スタック ...	91
10.1	データ・バッファ・スタック概要 ...	91
10.2	データ・バッファ・スタック・レジスタ ...	91
10.3	データ・バッファ・スタック・ポインタ ...	93
10.4	データ・バッファ・スタックの動作 ...	94
10.5	データ・バッファ・スタックの使用方法 ...	95
10.6	データ・バッファ・スタック使用時の注意 ...	95
11	汎用ポート ...	96
11.1	汎用ポート概要 ...	96
11.2	汎用入出力ポート (P0A, P0B, P0C, P1D, P2A, P2B, P2C, P2D, P3A, P3B, P3C, P3D) ...	99
11.3	汎用入力ポート (P0D, P1A, P1C) ...	113
11.4	汎用出力ポート (P1B) ...	116
12	割り込み ...	118
12.1	割り込みブロック概要 ...	118
12.2	割り込み制御ブロック ...	120
12.3	割り込みスタック・レジスタ ...	134
12.4	スタック・ポインタ, アドレス・スタック・レジスタとプログラム・カウンタ ...	138
12.5	割り込みイネーブル・フリップフロップ (INTE) ...	138
12.6	割り込み受け付け動作 ...	139

12.7	割り込み受け付け後の動作	...	144
12.8	割り込み処理ルーチンからの復帰処理	...	144
12.9	外部（CE端子，INT0端子-INT4端子）割り込み	...	145
12.10	内部割り込み	...	148
13.	タイマ	...	149
13.1	タイマ概要	...	149
13.2	ベーシック・タイマ0	...	151
13.3	タイマ0	...	164
13.4	タイマ1	...	173
13.5	タイマ2	...	180
13.6	タイマ3	...	187
14.	A/Dコンバータ	...	194
14.1	A/Dコンバータ概要	...	194
14.2	入力切り替えブロック	...	195
14.3	比較電圧生成およびコンペア・ブロック	...	197
14.4	比較タイミング・チャート	...	200
14.5	A/Dコンバータの使用方法	...	201
14.6	A/Dコンバータ使用時の注意	...	202
14.7	リセット時の状態	...	202
15.	D/Aコンバータ（PWM方式）	...	203
15.1	D/Aコンバータ概要	...	203
15.2	PWMクロック選択レジスタ	...	204
15.3	PWM出力切り替えブロック	...	205
15.4	デューティ設定ブロック	...	208
15.5	クロック生成ブロック	...	212
15.6	D/Aコンバータ出力波形	...	212
15.7	D/Aコンバータ使用例	...	215
15.8	リセット時の状態	...	216
16.	シリアル・インタフェース	...	217
16.1	シリアル・インタフェース概要	...	217
16.2	シリアル・インタフェース0	...	218
16.3	シリアル・インタフェース1	...	246
17.	PLL周波数シンセサイザ	...	256
17.1	PLL周波数シンセサイザ概要	...	256
17.2	入力切り替えブロックおよびプログラマブル・ディバイダ	...	257
17.3	基準周波数発生器	...	261
17.4	位相比較器（-DET），チャージ・ポンプおよびアンロックFF	...	263
17.5	PLLディスエーブル状態	...	267

- 17.6 PLL周波数シンセサイザの使用方法 ... 268
- 17.7 リセット時の状態 ... 272

- 18. **周波数カウンタ** ... 273
 - 18.1 周波数カウンタ概要 ... 273
 - 18.2 入出力切り替えブロックおよびゲート時間制御ブロック ... 274
 - 18.3 スタート/ストップ制御ブロックおよびIFカウンタ ... 277
 - 18.4 IFカウンタの使用方法 ... 284
 - 18.5 外部ゲート・カウンタの使用方法 ... 286
 - 18.6 リセット時の状態 ... 287

- 19. **BEEP** ... 288
 - 19.1 BEEP概要 ... 288
 - 19.2 入出力切り替えブロックおよび出力切り替えブロック ... 289
 - 19.3 クロック切り替えブロックおよびクロック生成ブロック ... 291
 - 19.4 BEEPの出力波形 ... 292
 - 19.5 リセット時の状態 ... 292

- 20. **スタンバイ** ... 293
 - 20.1 スタンバイ機能概要 ... 293
 - 20.2 ホールト機能 ... 294
 - 20.3 クロック・ストップ機能 ... 300
 - 20.4 ホールトおよびクロック・ストップ時のデバイス動作 ... 302
 - 20.5 ホールト状態およびクロック・ストップ状態中の各端子の処理上の注意 ... 302
 - 20.6 CE端子によるデバイスの動作制御機能 ... 304

- 21. **リセット** ... 307
 - 21.1 リセットの概要 ... 307
 - 21.2 CEリセット ... 308
 - 21.3 パワーオン・リセット ... 314
 - 21.4 CEリセットとパワーオン・リセットの関係 ... 317
 - 21.5 RESET端子によるリセット ... 321
 - 21.6 WDT & SPリセット ... 322
 - 21.7 停電検出 ... 328

- 22. **命令セット** ... 333
 - 22.1 命令セット概要 ... 333
 - 22.2 凡 例 ... 334
 - 22.3 命令一覧表 ... 335
 - 22.4 アセンブラ (RA17K) 組み込みマクロ命令 ... 337

23 . 予約シンボル	...	338
23.1 データ・バッファ (DBF)	...	338
23.2 システム・レジスタ (SYSREG)	...	338
23.3 ポート・レジスタ	...	339
23.4 レジスタ・ファイル (コントロール・レジスタ)	...	341
23.5 周辺ハードウェア・レジスタ	...	346
23.6 その他	...	346
24 . 電気的特性	...	347
25 . 外形図	...	350
26 . 半田付け推奨条件	...	351
付録A . 水晶振動子を接続するときの注意	...	352
付録B . 開発ツール	...	353

1. 端子機能

1.1 端子機能一覧

端子番号	記号	機能				出力形式
1 41 42	INT2 INT1 INT0	エッジ検出のベクタ割り込み入力です。エッジは立ち上がり、立ち下がりの選択が可能です。				-
2 3 4 5	P1A3/INT4 P1A2/INT3 P1A1 P1A0/TM0G	ポート1A, 外部割り込み要求信号の入力, イベント信号入力です。 P1A3-P1A0 ・ 4ビットの入力ポート INT4, INT3 ・ エッジ検出のベクタ割り込み TM0G ・ 8ビット・タイマ0のゲート用の入力				-
		リセット時			クロック・ストップ時	
		パワーオン・リセット	WDT&SPリセット	CEリセット		
		入力 (P1A3-P1A0)	入力 (P1A3-P1A0)	保持	保持	
6 9	P3A3 P3A0	4ビットの入出力ポートです。 4ビット単位で入力/出力設定可能です。				CMOS プッシュプル
		リセット時			クロック・ストップ時	
		パワーオン・リセット	WDT&SPリセット	CEリセット		
		入力	入力	保持	保持	
10 13	P3B3 P3B0	4ビットの入出力ポートです。 4ビット単位で入力/出力設定可能です。				CMOS プッシュプル
		リセット時			クロック・ストップ時	
		パワーオン・リセット	WDT&SPリセット	CEリセット		
		入力	入力	保持	保持	
14 15 16	P2A2 P2A1/FCG1 P2A0/FCG0	ポート2Aと外部ゲート・カウンタ入力です。 P2A2-P2A0 ・ 3ビットの入出力ポート ・ 1ビット単位で入力/出力の設定可能です。 FCG1, FCG0 ・ 外部ゲート・カウンタ用入力				CMOS プッシュプル
		リセット時			クロック・ストップ時	
		パワーオン・リセット	WDT&SPリセット	CEリセット		
		入力 (P2A2-P2A0)	入力 (P2A2-P2A0)	保持 (P2A2-P2A0)	保持 (P2A2-P2A0)	

端子番号	記号	機能				出力形式
17	P1B3	ポート1BとD/Aコンバータの出力です。				N-ch オープン・ドレ ーン (12V耐圧)
18	P1B2/PWM2	P1B3-P1B0 ・ 4ビットの出力ポート				
20	P1B0/PWM0	PWM2-PWM0 ・ 8ビットまたは9ビットのD/Aコンバータの出力				
リセット時				クロック・ストップ時		
パワーオン・リセット	WDT&SPリセット	CEリセット				
ロウ・レベルを出力 (P1B3-P1B0)	ロウ・レベルを出力 (P1B3-P1B0)	保持		保持 (P1B3-P1B0)		
21	GND2	グラウンドです。				-
33	GND1					
75	GND0					
22	P0D3/AD3	ポート0DとA/Dコンバータの入力です。				-
25	P0D0/AD0	P0D3-P0D0 ・ 4ビットの入力ポート ・ 1ビット単位でプルダウン抵抗設定可能 AD3-AD0 ・ 8ビット分解能のA/Dコンバータのアナログ入力				
リセット時				クロック・ストップ時		
パワーオン・リセット	WDT&SPリセット	CEリセット				
プルダウン抵抗付き入力 (P0D3-P0D0)	プルダウン抵抗付き入力 (P0D3-P0D0)	保持		保持		
26	P1C3/AD5	ポート1CとA/Dコンバータの入力, IFカウンタの入力です。				-
27	P1C2/AD4	P1C3-P1C0 ・ 4ビットの入力ポート				
28	P1C1/AMIFC	AD5, AD4 ・ 8ビット分解能のA/Dコンバータへのアナログ入力 FMIFC, AMIFC ・ 周波数カウンタの入力				
29	P1C0/FMIFC					
リセット時				クロック・ストップ時		
パワーオン・リセット	WDT&SPリセット	CEリセット				
入力 (P1C3-P1C0)	入力 (P1C3-P1C0)	・ P1C3/AD5, P1C2/AD4 保持 ・ P1C1/AMIFC, P1C0/FMIFC 入力 (P1C1, P1C0)		・ P1C3/AD5, P1C2/AD4 保持 ・ P1C1/AMIFC, P1C0/FMIFC 入力 (P1C1, P1C0)		

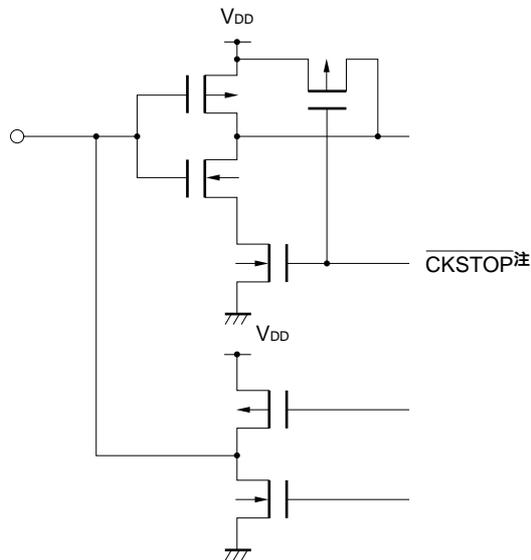
端子番号	記号	機能	出力形式	
30	V _{DD1}	電源です。同電位を供給してください。	-	
79	V _{DD0}	<ul style="list-style-type: none"> ・CPUおよび周辺機能動作時：4.5～5.5 V ・CPUのみ動作時：3.5～5.5 V ・クロック・ストップ時：2.2～5.5 V 	-	
31	VCOH	PLLの局部発振 (VCO) 周波数の入力です。	-	
32	VCOL	<p>VCOH</p> <ul style="list-style-type: none"> ・プログラムでVHFモード選択時、アクティブ。それ以外のときはプルダウン。 <p>VCOL</p> <ul style="list-style-type: none"> ・プログラムでHF, MWモード選択時、アクティブ。それ以外のときはプルダウン。 <p>これらの端子の入力は交流アンプとなっているため、入力信号の直流分はコンデンサでカットしてください。</p>	-	
34	EO0	PLL周波数シンセサイザのチャージ・ポンプからの出力です。局部発振の分周周波数と基準周波数の位相差比較結果を出力します。	CMOS 3ステート	
35	EO1			
リセット時				クロック・ストップ時
パワーオン・リセット	WDT&SPリセット			CEリセット
ハイ・インピーダンス出力	ハイ・インピーダンス出力	ハイ・インピーダンス出力	ハイ・インピーダンス出力	
36	TEST	テスト用入力端子です。 必ずGNDに接続してください。	-	
37	P1D3	ポート1DとBEEP出力です。	CMOS プッシュプル	
38	P1D2			
39	P1D1/BEEP1			
40	P1D0/BEEP0			
リセット時		クロック・ストップ時		
パワーオン・リセット	WDT&SPリセット	CEリセット		
入力 (P1D3-P1D0)	入力 (P1D3-P1D0)	保持 (P1D3-P1D0)	保持 (P1D3-P1D0)	
43	P2B3	4ビットの入出力ポートです。 1ビット単位で入力/出力設定可能です。	CMOS プッシュプル	
46	P2B0			
リセット時				クロック・ストップ時
パワーオン・リセット	WDT&SPリセット			CEリセット
入力	入力	保持	保持	
47	P3C3	4ビットの入出力ポートです。 4ビット単位で入力/出力の設定可能です。	CMOS プッシュプル	
50	P3C0			
リセット時				クロック・ストップ時
パワーオン・リセット	WDT&SPリセット			CEリセット
入力	入力	保持	保持	

端子番号	記号	機能				出力形式
51 54	P3D3 P3D0	4ビットの入出力ポートです。 4ビット単位で入力/出力の設定可能です。				CMOS プッシュプル
		リセット時			クロック・ストップ時	
		パワーオン・リセット	WDT&SPリセット	CEリセット		
		入力	入力	保持	保持	
55 58	P2C3 P2C0	4ビットの入出力ポートです。 1ビット単位で入力/出力の設定可能です。				CMOS プッシュプル
		リセット時			クロック・ストップ時	
		パワーオン・リセット	WDT&SPリセット	CEリセット		
		入力	入力	保持	保持	
59 62	P0C3 P0C0	4ビットの入出力ポートです。 1ビット単位で入力/出力の設定可能です。				CMOS プッシュプル
		リセット時			クロック・ストップ時	
		パワーオン・リセット	WDT&SPリセット	CEリセット		
		入力	入力	保持	保持	
63 64	P0A3/SDA P0A2/SCL	P0A, P0Bおよびシリアル・インタフェースの入出力です。 P0A3-P0A0				N-ch オープン・ドレイン
65 66 67 68 69 70	P0A1/ $\overline{\text{SCK0}}$ P0A0/SO0 P0B3/SI0 P0B2/ $\overline{\text{SCK1}}$ P0B1/SO1 P0B0/SI1	<ul style="list-style-type: none"> ・ 4ビットの入出力ポート ・ 1ビット単位で入力/出力の設定可能 P0B3-P0B0 <ul style="list-style-type: none"> ・ 4ビットの入出力ポート ・ 1ビット単位で入力/出力の設定可能 SDA, SCL <ul style="list-style-type: none"> ・ シリアル・インタフェース0の2線式シリアルI/OまたはI²Cバス選択時のシリアル・データおよびシリアル・クロック入出力 $\overline{\text{SCK0}}$, SO0, SI0 ・ シリアル・インタフェース0の3線式シリアルI/O選択時のシリアル・クロック入出力, シリアル・データ出力, シリアル・データ入力 $\overline{\text{SCK1}}$, SO1, SI1 ・ シリアル・インタフェース1の3線式シリアルI/O選択時のシリアル・クロック入出力, シリアル・データ出力, シリアル・データ入力 				CMOS プッシュプル
リセット時			クロック・ストップ時			
パワーオン・リセット	WDT&SPリセット	CEリセット				
入力 $\left[\begin{array}{l} \text{P0A3-P0A0,} \\ \text{P0B3-P0B0} \end{array} \right]$	入力 $\left[\begin{array}{l} \text{P0A3-P0A0,} \\ \text{P0B3-P0B0} \end{array} \right]$	保持 $\left[\begin{array}{l} \text{P0A3-P0A0,} \\ \text{P0B3-P0B0} \end{array} \right]$	保持 $\left[\begin{array}{l} \text{P0A3-P0A0,} \\ \text{P0B3-P0B0} \end{array} \right]$			
71 73	P2D2 P2D0	3ビットの入出力ポートです。 1ビット単位で入力/出力の設定可能です。				CMOS プッシュプル
		リセット時			クロック・ストップ時	
		パワーオン・リセット	WDT&SPリセット	CEリセット		
		入力	入力	保持	保持	

端子番号	記号	機能	出力形式
74	REG	CPUレギュレータです。 0.1 μFのコンデンサでGNDに接続してください。	-
76	X _{OUT}	水晶振動子の接続用端子です。	-
77	X _{IN}		
78	CE	<p>デバイスの動作選択, CEリセット, 割り込み用信号入力です。</p> <p>デバイスの動作選択</p> <p>CEがハイ・レベルのときは, PLL周波数シンセサイザ部分を動作させることができます。</p> <p>CEがロウ・レベルのときは, PLL周波数シンセサイザ部分は, 自動的にデバイス内部でディスエーブル(動作禁止)状態になります。</p> <p>CEリセット</p> <p>CEがロウ・レベルからハイ・レベルに変化すると, 内部のベーシック・タイマ・セット用パルスの立ち上がりのタイミングでリセットがかかります。</p> <p>また, リセット・タイミング・ディレイ機能があります。</p> <p>割り込み</p> <p>入力信号の立ち下がりエッジで, ベクタ割り込みが発生します。</p>	-
80	RESET	リセット入力です。	-

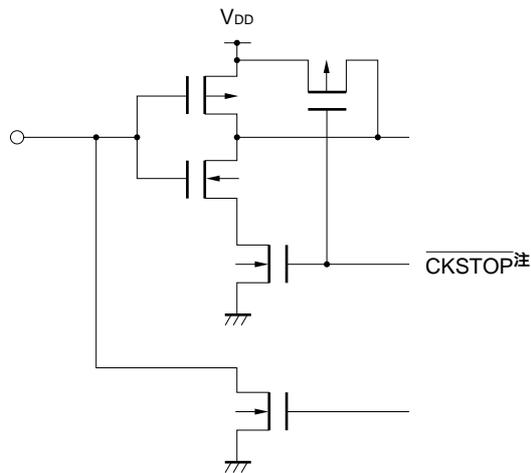
1.2 端子の等価回路

- (1) P0A (P0A1/ $\overline{\text{SCK0}}$, P0A0/SO0)
 - P0B (P0B3/SI0, P0B2/ $\overline{\text{SCK1}}$, P0B1/SO1, P0B0/SI1)
 - P0C (P0C3, P0C2, P0C1, P0C0)
 - P1D (P1D3, P1D2, P1D1/BEEP1, P1D0/BEEP0)
 - P2A (P2A2, P2A1/FCG1, P2A0/FCG0)
 - P2B (P2B3, P2B2, P2B1, P2B0)
 - P2C (P2C3, P2C2, P2C1, P2C0)
 - P2D (P2D2, P2D1, P2D0)
 - P3A (P3A3, P3A2, P3A1, P3A0)
 - P3B (P3B3, P3B2, P3B1, P3B0)
 - P3C (P3C3, P3C2, P3C1, P3C0)
 - P3D (P3D3, P3D2, P3D1, P3D0)
- } (入出力)



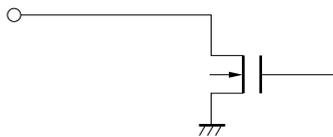
注 クロック・ストップ命令実行時に出力されている内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

(2) P0A (P0A3/SDA, P0A2/SCL) (入出力)

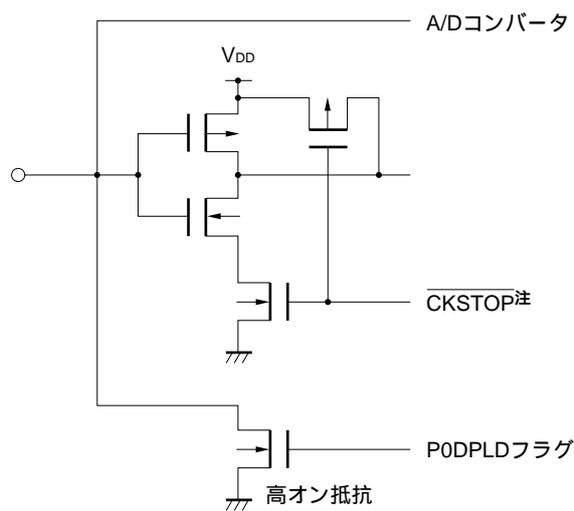


注 クロック・ストップ命令実行時に出力されている内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

(3) P1B (P1B3, P1B2/PWM2, P1B1/PWM1, P1B0/PWM0) (出力)

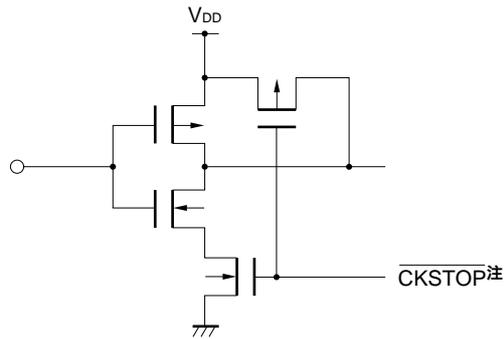


(4) P0D (P0D3/AD3, P0D2/AD2, P0D1/AD1, P0D0/AD0) (入力)



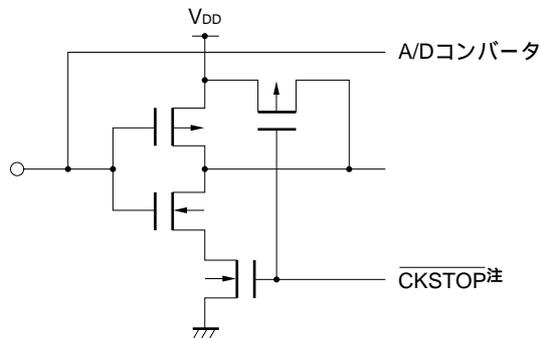
注 クロック・ストップ命令実行時に出力されている内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

(5) P1A (P1A1) (入力)



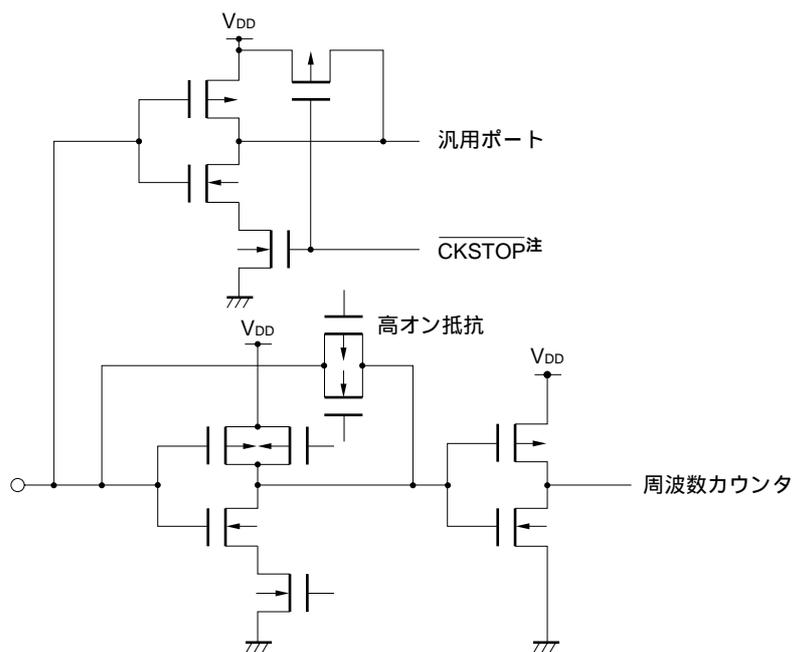
注 クロック・ストップ命令実行時に出力されている内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

(6) P1C (P1C3/AD5, P1C2/AD4) (入力)



注 クロック・ストップ命令実行時に出力されている内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

(7) P1C (P1C1/AMIFC, P1C0/FMIFC) (入力)



注 クロック・ストップ命令実行時に出力されている内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

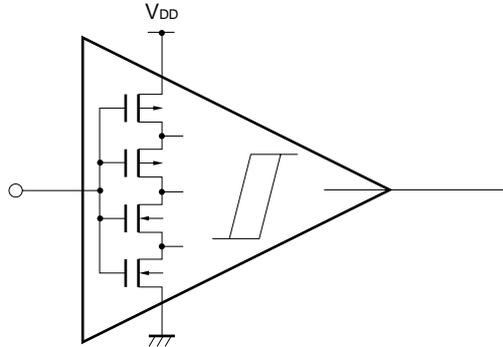
(8) CE

RESET

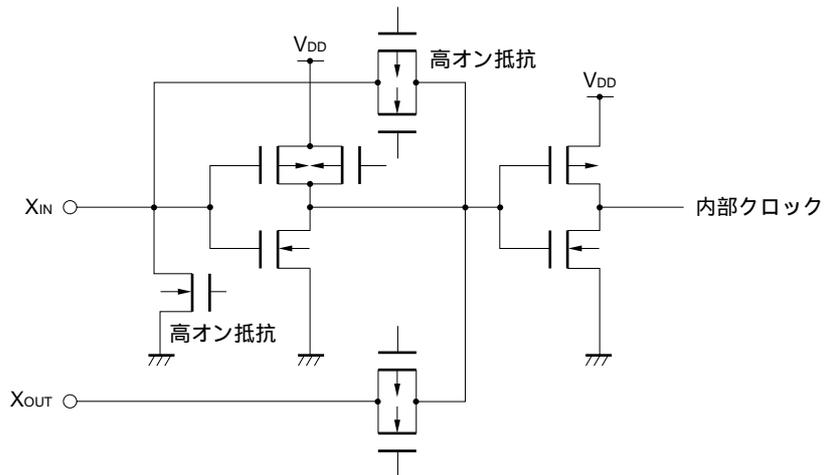
INT0, INT1, INT2

P1A (P1A3/INT4, P1A2/INT3, P1A0/TM0G)

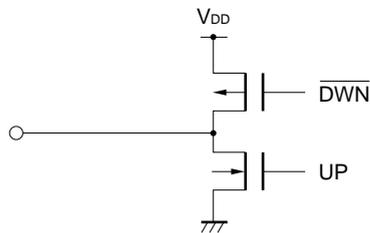
(シュミット・トリガ入力)



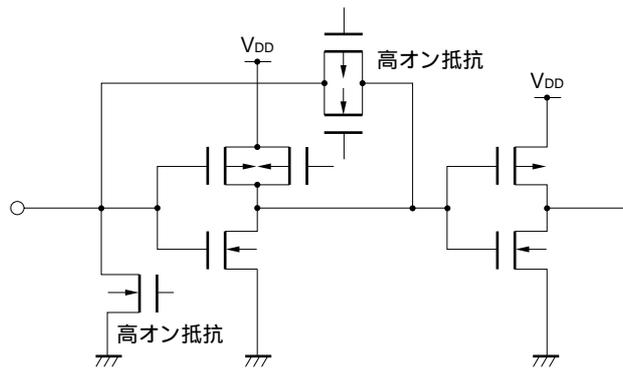
(9) XOUT (出力), XIN (入力)



(10) EO1, EO0 (出力)



(11) VCOH, VCOL (入力)



1.3 未使用端子の処理

未使用端子には、次に示すような処置を推奨します。

表 1 - 1 未使用端子の処理

(1/2)

端子名	入出力方式	未使用時の推奨処理	
ポート端子	入力	P0D3/AD3-P0D0/AD0	各端子ごとに抵抗を介してGNDに接続 ^{注1}
		P1C3/AD5	
		P1C2/AD4	
		P1C1/AMIFC ^{注2}	ポートに設定して、各端子ごとに抵抗を介して、V _{DD} またはGNDに接続 ^{注1}
		P1C0/FMIFC ^{注2}	
		P1A3/INT4	各端子ごとに抵抗を介してGNDに接続 ^{注1}
		P1A2/INT3	
		P1A1	
		P1A0/TM0G	
		P1B3	N-chオープン・ドレイン
P1B2/PWM2-P1B0/PWM0			
P0A3/SDA P0A2/SCL P0A1/ $\overline{\text{SCK0}}$ P0A0/SO0 P0B3/SI0 P0B2/ $\overline{\text{SCK1}}$ P0B1/SO1 P0B0/SI1 P0C3-P0C0 P1D3 P1D2 P1D1/BEEP1 P1D0/BEEP0 P2A2 P2A1/FCG1 P2A0/FCG0 P2B3-P2B0 P2C3-P2C0 P2D2-P2D0	入出力 ^{注3}	ソフトウェアで汎用入力ポートに設定して、各端子ごとに抵抗を介して、V _{DD} またはGNDに接続 ^{注1}	

注 1 . 外部でプルアップ（抵抗を介してV_{DD}に接続）またはプルダウン（抵抗を介してGNDに接続）する場合、高い抵抗値でプルアップまたはプルダウンすると、その端子はハイ・インピーダンスに近くなるためポートの消費（貫通）電流が増えますので注意してください。応用回路にもよりますが、プルアップまたはプルダウン抵抗値は、数十k 程度が一般的です。

2 . AMIFC, FMIFCには設定しないでください。設定すると消費電流が増えます。

3 . 入出力ポートは、パワーオン・リセット時、 $\overline{\text{RESET}}$ 端子によるリセット時、ウォッチドッグ・タイマまたはスタック・オーバフロー/アンダフロー・リセット時、汎用入力ポートとなります。

表 1 - 1 未使用端子の処理

(2/2)

端子名		入出力方式	未使用時の推奨処理
ポート端子	P3A3-P3A0	入出力 ^{注2}	ソフトウェアで汎用入力ポートに設定して、各端子ごとに抵抗を介して、V _{DD} またはGNDに接続 ^{注1}
	P3B3-P3B0		
	P3C3-P3C0		
	P3D3-P3D0		
ポート以外の端子	CE	入力	抵抗を介してV _{DD} に接続 ^{注1}
	EO1	出力	オープン
	EO0		
	INT0-INT2	入力	各端子ごとに抵抗を介してGNDに接続 ^{注1}
	RESET	入力	抵抗を介してV _{DD} に接続 ^{注1}
	TEST	-	GNDに直接接続
	VCOH	入力	ソフトウェアでPLLディスエーブルに設定して、オープン
	VCOL		

注1．外部でプルアップ（抵抗を介してV_{DD}に接続）またはプルダウン（抵抗を介してGNDに接続）する場合、高い抵抗値でプルアップまたはプルダウンすると、その端子はハイ・インピーダンスに近くなるためポートの消費（貫通）電流が増えますので注意してください。応用回路にもよりますが、プルアップまたはプルダウン抵抗値は、数十k 程度が一般的です。

2．入出力ポートは、パワーオン・リセット時、RESET端子によるリセット時、ウォッチドッグ・タイマまたはスタック・オーバフロー/アンダフロー・リセット時、汎用入力ポートとなります。

1.4 CE端子, INT0-INT4端子, RESET端子の使用上の注意

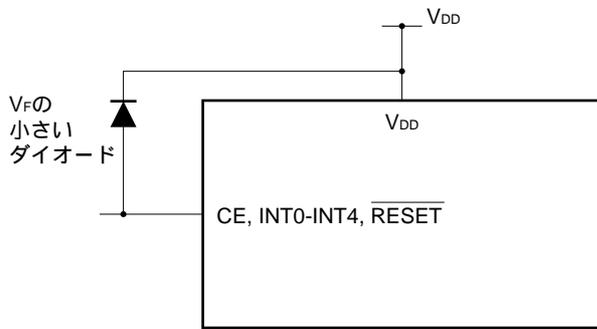
CE端子, INT0-INT4端子, RESET端子は, 1.1 端子機能一覧に示した機能のほかに, μPD17709の内部動作をテストする, テスト・モードを設定する機能 (ICテスト専用) を持っています。

これらの端子のいずれかにV_{DD}を越える電圧を印加すると, テスト・モードに設定されます。このため, 通常動作時であってもV_{DD}を越えるようなノイズが加わった場合にはテスト・モードに入ってしまい, 通常動作に支障をきたすことがあります。

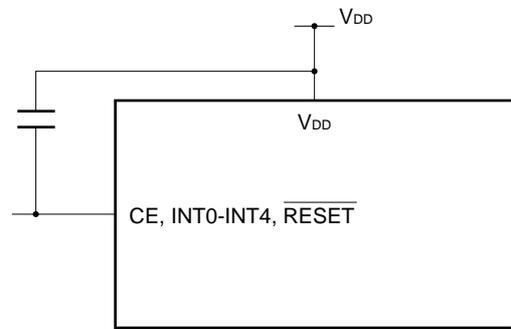
たとえば, 端子の配線の引き回しが長い場合などでは, これらの端子に布線間ノイズが加わって上記の問題を起してしまうことがあります。

したがって, できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は, 下図のような外付け部品によるノイズ対策を実施してください。

V_{DD}との間にV_Fの小さいダイオードを接続



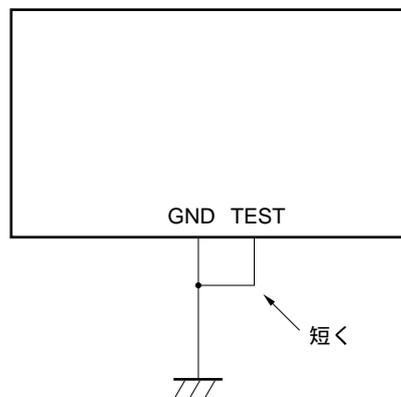
V_{DD}との間にコンデンサを接続



1.5 TEST端子の使用上の注意

TEST端子にV_{DD}を印加すると, テスト・モードに設定されてしまいます。このため, 必ず配線長を極力短くしてGND端子に直接接続してください。

TEST端子とGND端子間の配線の引き回しが長い場合や, TEST端子に外来ノイズが加わった場合などで, TEST端子とGND端子間に電位差が生じたときには, お客様のプログラムが正常に動作しないことがあります。



2. プログラム・メモリ (ROM)

2.1 プログラム・メモリ概要

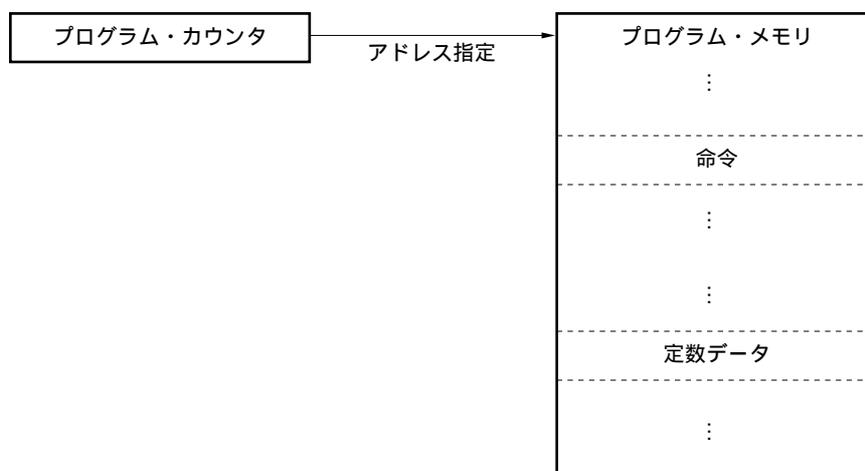
図2 - 1に、プログラム・メモリの概要を示します。

図2 - 1に示すように、プログラム・メモリのアドレスは、プログラム・カウンタにより指定します。

プログラム・メモリは、大別して次の2つの機能があります。

- ・プログラムを格納しておく
- ・定数データを格納しておく

図2 - 1 プログラム・メモリの概要



2.2 プログラム・メモリ

図2 - 2に、プログラム・メモリの構成を示します。

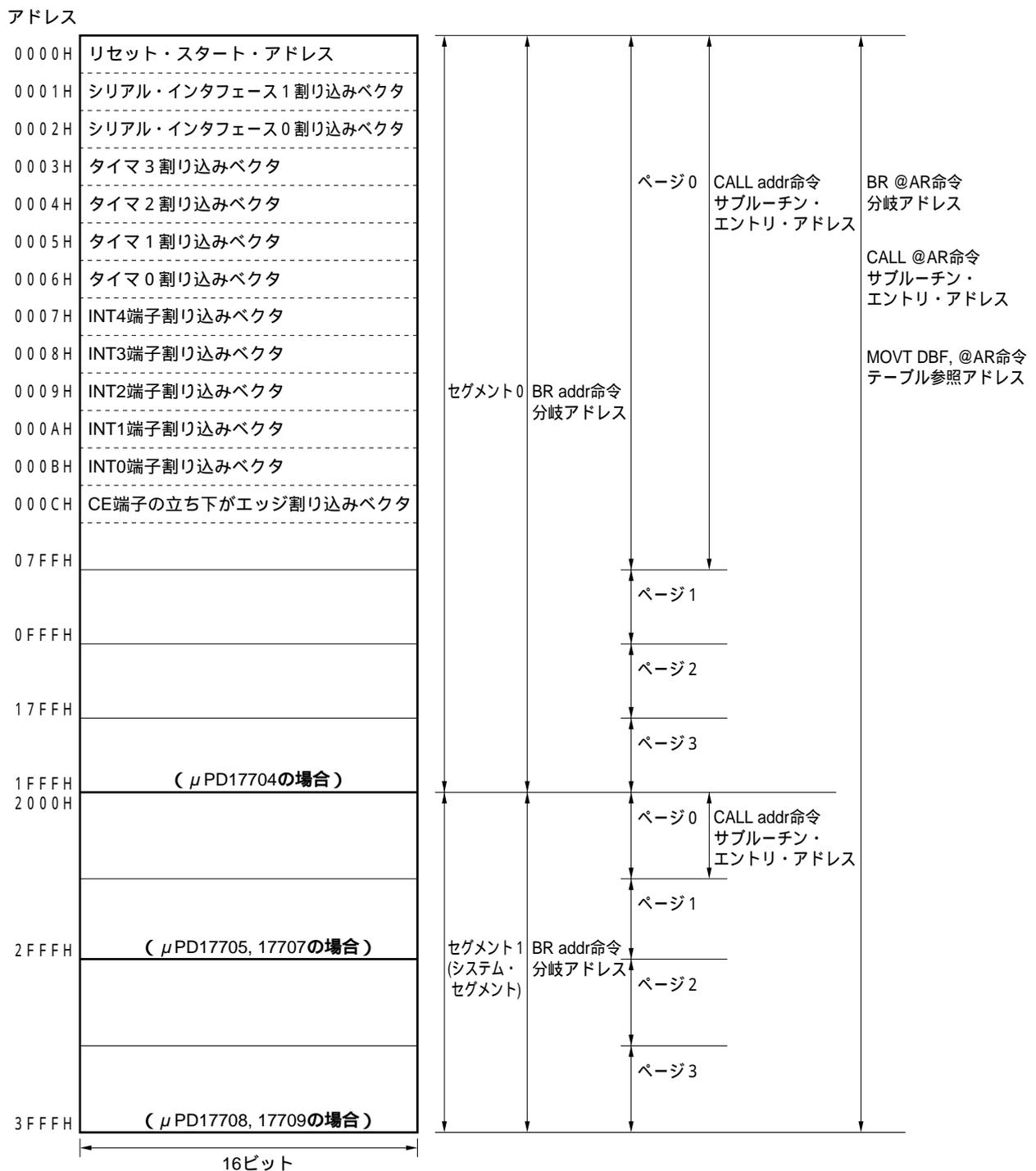
図2 - 2に示すように、プログラム・メモリは、μPD17704は16 Kバイト（8192×16ビット）、μPD17705, 17707は24 Kバイト（12288×16ビット）、μPD17708, 17709は32 Kバイト（16384×16ビット）で構成されています。

したがって、プログラム・メモリ・アドレスはμPD17704は0000H-1FFFH番地、μPD17705, 17707は0000H-2FFFH番地、μPD17708, 17709は0000H-3FFFH番地になります。

“命令”はすべて16ビット長の“1語命令”であるため、プログラム・メモリの1つの番地に1つの命令を格納することができます。

定数データは、テーブル参照命令を使用して、データ・バッファにプログラム・メモリの内容を読み込みます。

図2 - 2 プログラム・メモリの構成



2.3 プログラム・カウンタ

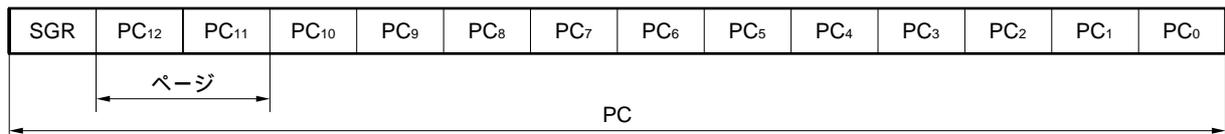
2.3.1 プログラム・カウンタの構成

図2 - 3にプログラム・カウンタの構成を示します。

図2 - 3に示すように、プログラム・カウンタは、13ビットのバイナリ・カウンタと1ビットのセグメント・レジスタ（SGR）で構成されています。さらに、ビット11およびビット12は、ページを示します。

プログラム・カウンタは、プログラム・メモリのアドレスを指定します。

図2 - 3 プログラム・カウンタの構成



2.3.2 セグメント・レジスタ（SGR）

セグメント・レジスタは、プログラム・メモリのセグメントを指定するレジスタです。

表2 - 1にセグメント・レジスタとプログラム・メモリの関係を示します。

セグメント・レジスタがセットされるのは、SYSCAL entry命令が実行されたときです。

表2 - 1 セグメント・レジスタとプログラム・メモリの関係

セグメント・レジスタの値	プログラム・メモリのセグメント
0	セグメント0
1	セグメント1

2.4 プログラムの流れ

プログラムの流れは、プログラム・メモリのアドレスを指定するプログラム・カウンタによって制御されます。

以下に、各命令実行時の動作を示します。

図2 - 5に、各命令実行時にプログラム・カウンタに設定される値を示します。

また、表2 - 2に、割り込み受け付け時のベクタ・アドレスを示します。

2.4.1 分岐命令

(1) 直接分岐 (“ BR addr ”)

直接分岐命令の分岐先アドレスは、プログラム・メモリの同一セグメント内になります。つまり、セグメント間を越える分岐は行えません。

(2) 間接分岐 (“ BR @AR ”)

間接分岐命令の分岐先アドレスは、プログラム・メモリの全アドレスです。μPD17704は0000H-1FFFH番地、μPD17705, 17707は0000H-2FFFH番地、μPD17708, 17709は0000H-3FFFH番地です。

“ 5.3 アドレス・レジスタ（AR） ”も参照してください。

2.4.2 サブルーチン

(1) 直接サブルーチン・コール (“CALL addr”)

直接サブルーチン・コール命令で呼び出せるサブルーチンの先頭アドレスは、各セグメント内のページ0内 (0000H-07FFH番地) です。

(2) 間接サブルーチン・コール (CALL @AR)

間接サブルーチン・コール命令で呼び出せるサブルーチンの先頭アドレスは、プログラム・メモリの全アドレスです。μPD17704は0000H-1FFFH番地、μPD17705, 17707は0000H-2FFFH番地、μPD17708, 17709は0000H-3FFFH番地です。

“5.3 アドレス・レジスタ (AR)” も参照してください。

2.4.3 テーブル参照

テーブル参照命令 (“MOV T DBF, @AR”) で参照できるアドレスは、プログラム・メモリの全アドレスです。μPD17704は0000H-1FFFH番地、μPD17705, 17707は0000H-2FFFH番地、μPD17708, 17709は0000H-3FFFH番地です。

“5.3 アドレス・レジスタ (AR)” および “9.2.2 テーブル参照命令 (MOV T DBF, @AR)” も参照してください。

2.4.4 システム・コール

システム・コール命令 (“SYSCAL entry”) で呼び出せるサブルーチンの先頭アドレスは、セグメント1 (システム・セグメント) 内のページ0内にある各ブロック (ブロック0-ブロック7) の先頭16ステップです。

図2-4 システム・コール命令の概要

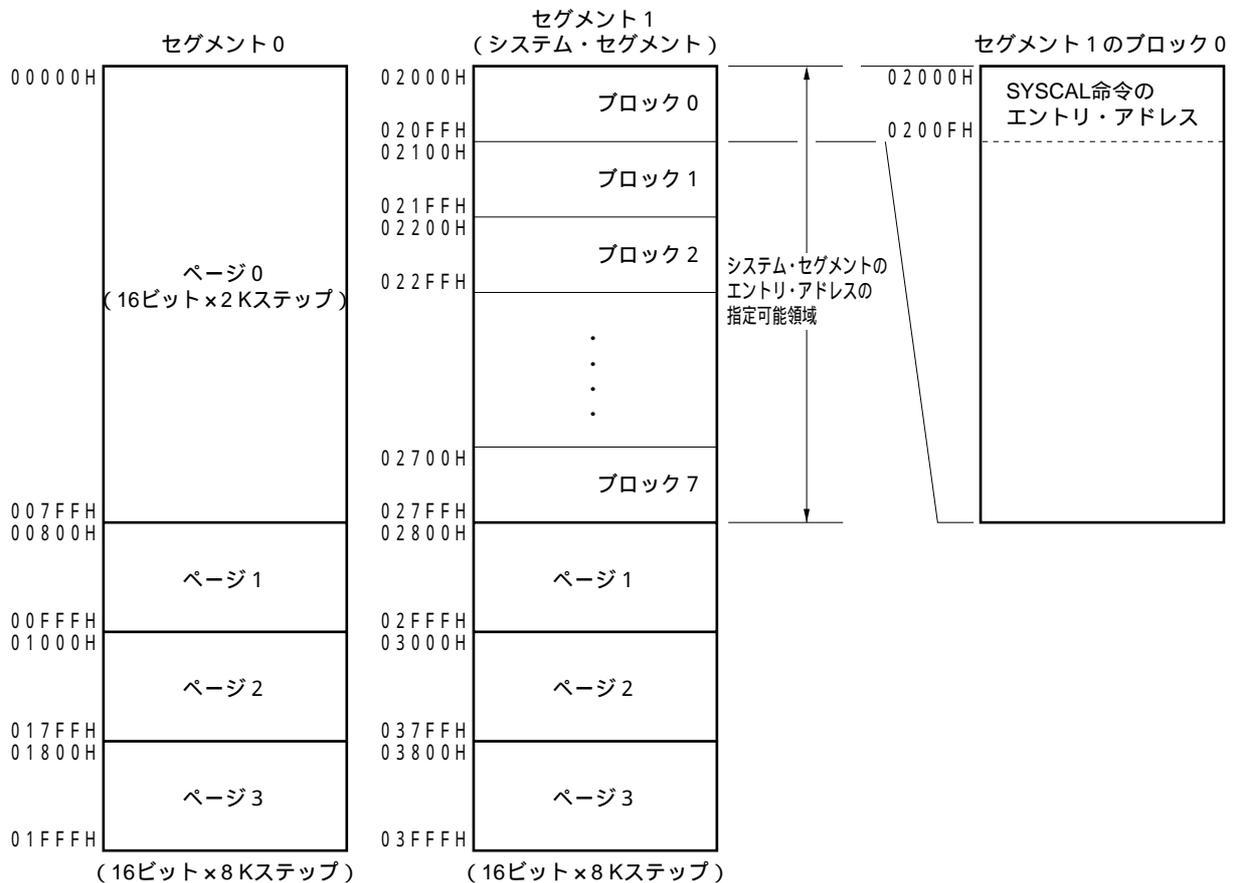


図2 - 5 各命令におけるプログラム・カウンタの値

プログラム・カウンタ		プログラム・カウンタ (PC) の内容													
		SGR	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BR addr	ページ0		0	0	命令のオペランド (addr)										
	ページ1	保	0	1											
	ページ2	持	1	0											
	ページ3		1	1											
CALL addr		保 持	0	0	命令のオペランド (addr)										
SYSCAL entry		1	0	0	entry _H			0	0	0	0	entry _L			
BR @AR CALL @AR MOVT DBF, @AR		アドレス・レジスタの内容													
RET RETSK RETI		スタック・ポインタ (SP) で指定されるアドレス・ スタック・レジスタ (ASR) の内容 (戻り番地)													
上記以外の命令 (スキップ命令も含む)		保 持	インクリメント												
割り込み受け付け時		0	各割り込みのベクタ・アドレス												
パワーオン・リセット, ウォッチドッグ・タイマ・リセット, RESET端子, CEリセット		0	0	0	0	0	0	0	0	0	0	0	0	0	0

entry_H : entryの上位3ビット

entry_L : entryの下位4ビット

表2 - 2 割り込みベクタ・アドレス

順位	内部 / 外部	割り込み要因	ベクタ・アドレス
1	外部	CE端子の立ち下がりエッジ	00CH
2	"	INT0端子	00BH
3	"	INT1端子	00AH
4	"	INT2端子	009H
5	"	INT3端子	008H
6	"	INT4端子	007H
7	内部	タイマ0	006H
8	"	タイマ1	005H
9	"	タイマ2	004H
10	"	タイマ3	003H
11	"	シリアル・インタフェース0	002H
12	"	シリアル・インタフェース1	001H

2.5 プログラム・メモリ使用時の注意

2.5.1 各セグメント内での最終アドレス

セグメント・レジスタはバイナリ・カウンタと接続されていません。

したがって、セグメント0の最終アドレスである1FFFH番地の次はセグメント0の0000H番地が指定されます。

セグメント間の指定は、間接分岐、間接サブルーチン・コールやシステム・コール命令などの専用命令を使用します。

3. アドレス・スタック (ASK)

3.1 アドレス・スタック概要

図3 - 1に、アドレス・スタックの概要を示します。

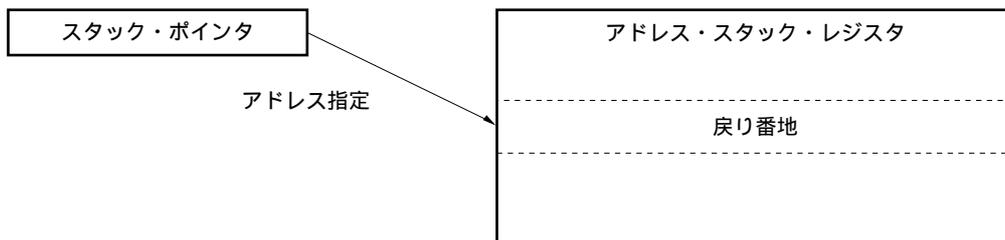
アドレス・スタックは、スタック・ポインタおよびアドレス・スタック・レジスタで構成されています。

アドレス・スタック・レジスタのアドレスは、スタック・ポインタにより指定します。

アドレス・スタックは、サブルーチン・コール命令実行時、割り込み受け付け時などに戻り番地を退避します。

また、テーブル参照命令実行時も、アドレス・スタックを使用します。

図3 - 1 アドレス・スタック概要



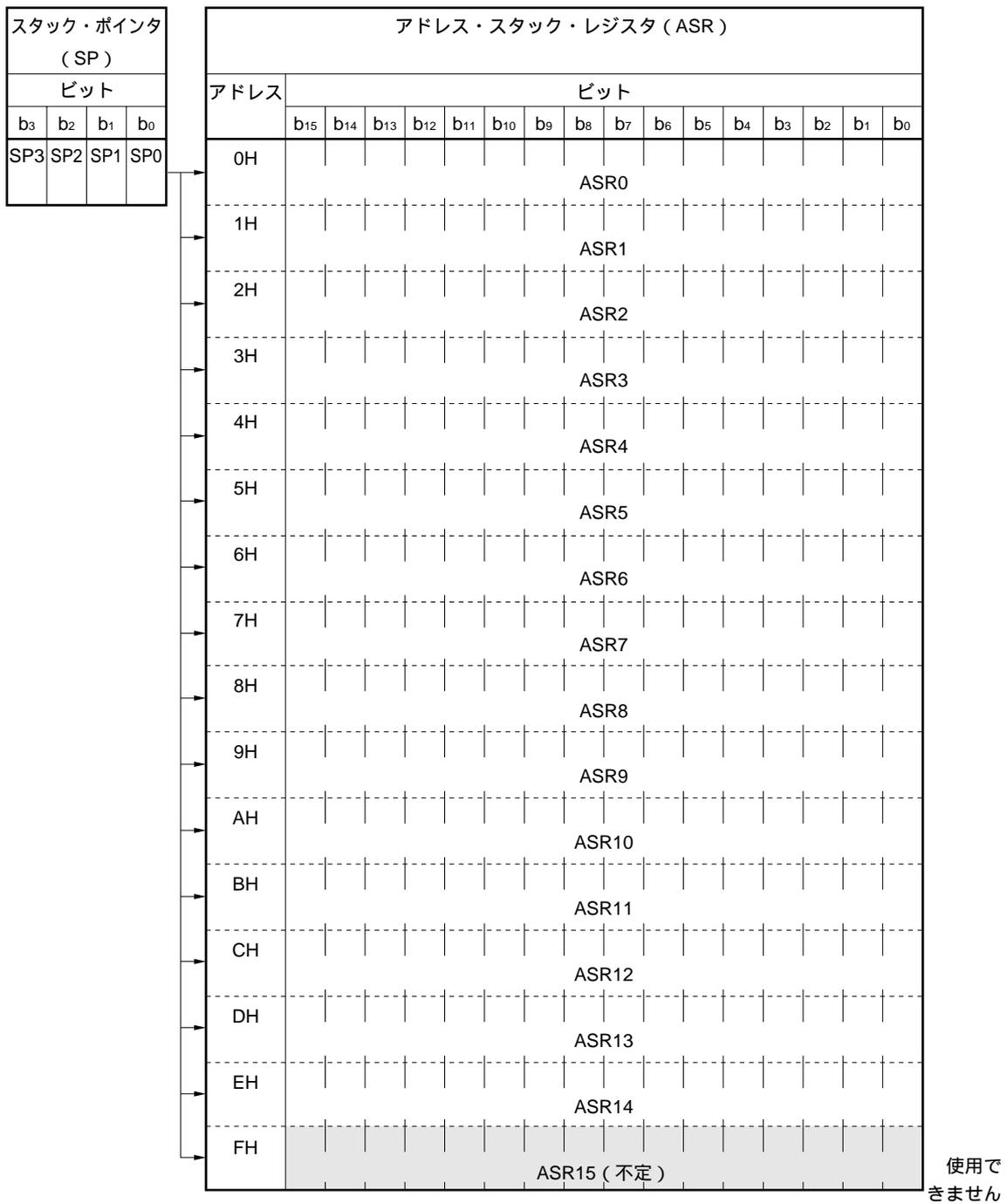
3.2 アドレス・スタック・レジスタ (ASR)

図3 - 2に、アドレス・スタック・レジスタの構成を示します。

アドレス・スタック・レジスタは、16ビット×16個のレジスタASR0-ASR15で構成されています。ただし、ASR15にはレジスタがなく、実際には16ビット×15個のレジスタ (ASR0-ASR14) で構成されています。

アドレス・スタックは、サブルーチン・コール時、割り込み受け付け時およびテーブル参照命令実行時に、戻り番地を格納します。

図3 - 2 アドレス・スタック・レジスタの構成



3.3 スタック・ポインタ (SP)

3.3.1 スタック・ポインタの構成と機能

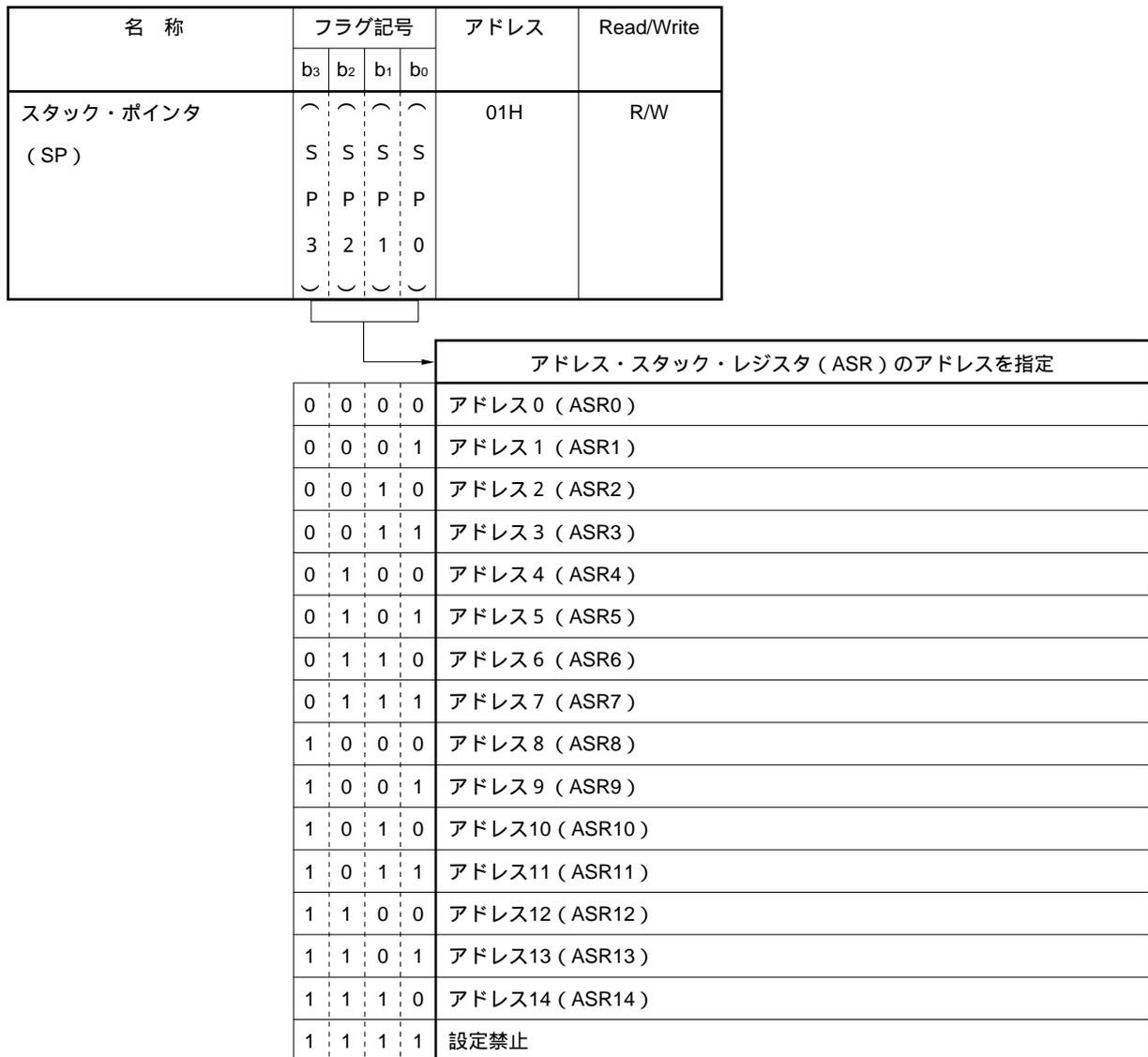
図3 - 3に、スタック・ポインタの構成と機能を示します。

スタック・ポインタは、4ビットのバイナリ・カウンタで構成されています。

スタック・ポインタは、アドレス・スタック・レジスタのアドレスを指定します。

スタック・ポインタは、レジスタ操作命令により、直接、値を読み込んだり書き込んだりすることもできます。

図3 - 3 スタック・ポインタの構成と機能



リ セ ツ ト 時	パワーオン・リセット	1	1	1	1
	WDT & SPリセット	1	1	1	1
	CEリセット	1	1	1	1
クロック・ストップ時		保 持			

パワーオン・リセット：パワーオン・リセット時、RESET端子によるリセット時

WDT&SPリセット：ウォッチドッグ・タイマおよびスタック・ポインタ・リセット時

CEリセット：CEリセット時

クロック・ストップ：クロック・ストップ命令実行時

3.4 アドレス・スタックの動作

3.4.1 サブルーチン・コール命令 (“CALL addr”, “CALL @AR”) およびリターン命令 (“RET”, “RETSK”)

サブルーチン・コール命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

リターン命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容 (戻り番地) をプログラム・カウンタに復帰し、スタック・ポインタの値を + 1 します。

3.4.2 テーブル参照命令 (“MOV TDBF, @AR”)

テーブル参照命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

次に、アドレス・レジスタで指定されるプログラム・メモリの内容をデータ・バッファに読み出し、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容 (戻り番地) をプログラム・カウンタに復帰したあと、スタック・ポインタの値を + 1 します。

3.4.3 割り込み受け付け時とリターン命令 (“RETI”)

割り込みが受け付けられると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

リターン命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容 (戻り番地) をプログラム・カウンタに復帰し、スタック・ポインタの値を + 1 します。

3.4.4 アドレス・スタック操作命令 (“PUSH AR”, “POP AR”)

“PUSH” 命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタにアドレス・レジスタの内容を転送します。

“POP” 命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をアドレス・レジスタに転送し、スタック・ポインタの値を + 1 します。

3.4.5 システム・コール命令 (“SYSCAL entry”) およびリターン命令 (“RET”, “RETSK”)

“SYSCAL entry” 命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地およびセグメント・レジスタの値を格納します。

リターン命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容 (戻り番地) をプログラム・カウンタおよびセグメント・レジスタに復帰し、スタック・ポインタの値を + 1 します。

3.5 アドレス・スタック使用時の注意

3.5.1 ネスティング・レベルとオーバフロー時の動作

スタック・ポインタが0FHのときのアドレス・スタック・レジスタ (ASR15) の値は“不定”です。

したがって、スタック操作を行わない状態で15レベルを越えるサブルーチン・コールやシステム・コール、割り込みを使用すると、“不定”な番地へ復帰するため使用しないでください。

3.5.2 アドレス・スタックのオーバフローまたはアンダフロー検出によるリセット

アドレス・スタックのオーバフローまたはアンダフローの検出によりリセットを発生させることを、プログラムにより選択できます。リセットが発生するとプログラムは0番地からスタートし、コントロール・レジスタの一部を初期化します。

また、パワーオン・リセット時、 $\overline{\text{RESET}}$ 端子によるリセット時は、このリセット機能が有効になっています。詳しくは“21. リセット”を参照してください。

4. データ・メモリ (RAM)

4.1 データ・メモリ概要

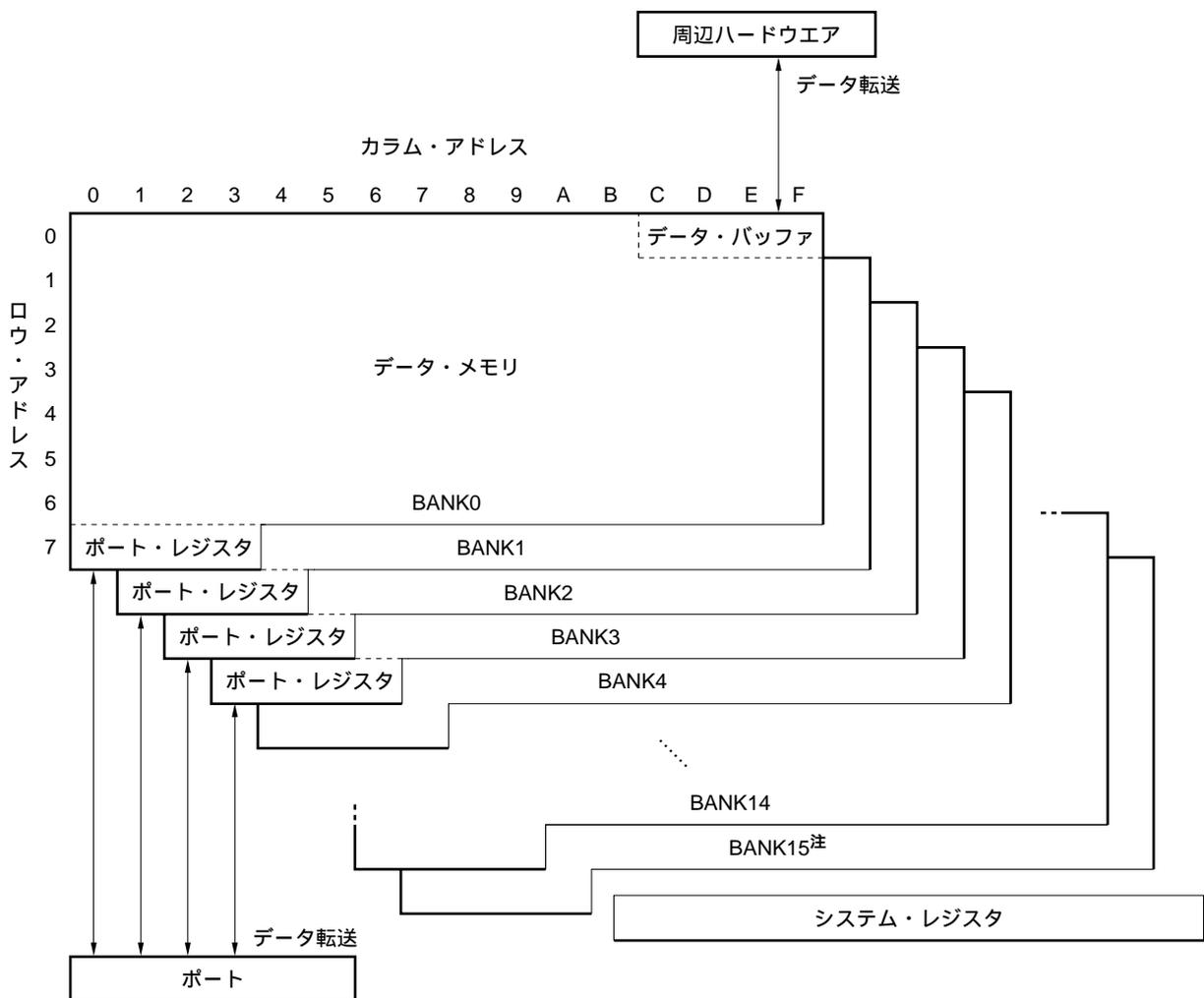
図4 - 1に、データ・メモリの概要を示します。

図4 - 1に示すように、データ・メモリ上には、システム・レジスタ、データ・バッファ、ポート・レジスタおよびポート入力/出力選択レジスタが配置されています。

データ・メモリは、データの格納、周辺ハードウェアとのデータ転送、ポートとのデータ転送およびCPUの制御を行います。

図4 - 1 データ・メモリの概要 (1/3)

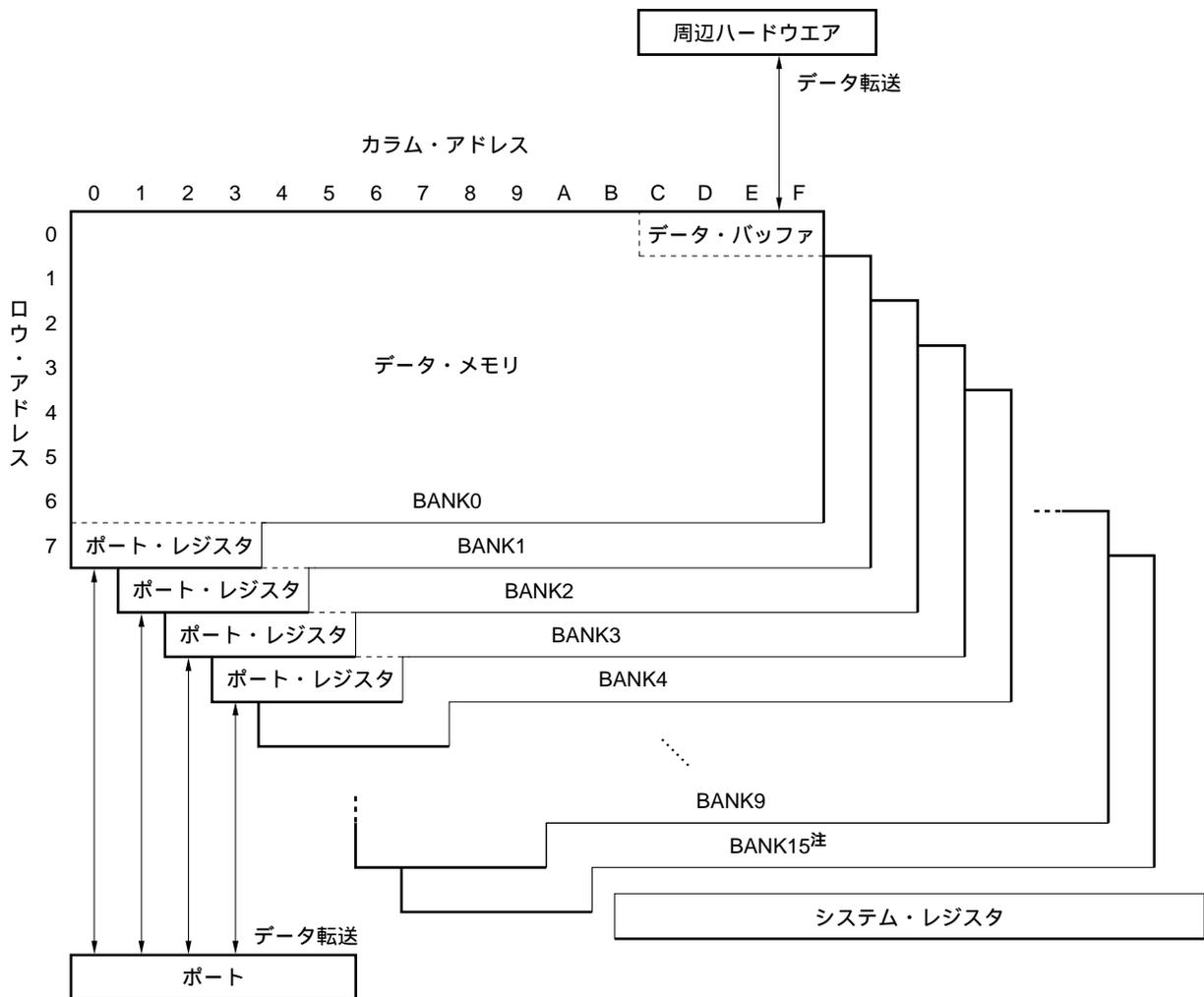
(a) μPD17709の場合



注 BANK15の60H-6FHには、ポート入力/出力選択レジスタが割り当てられています。

図4 - 1 データ・メモリの概要 (2/3)

(b) μPD17707, 17708の場合



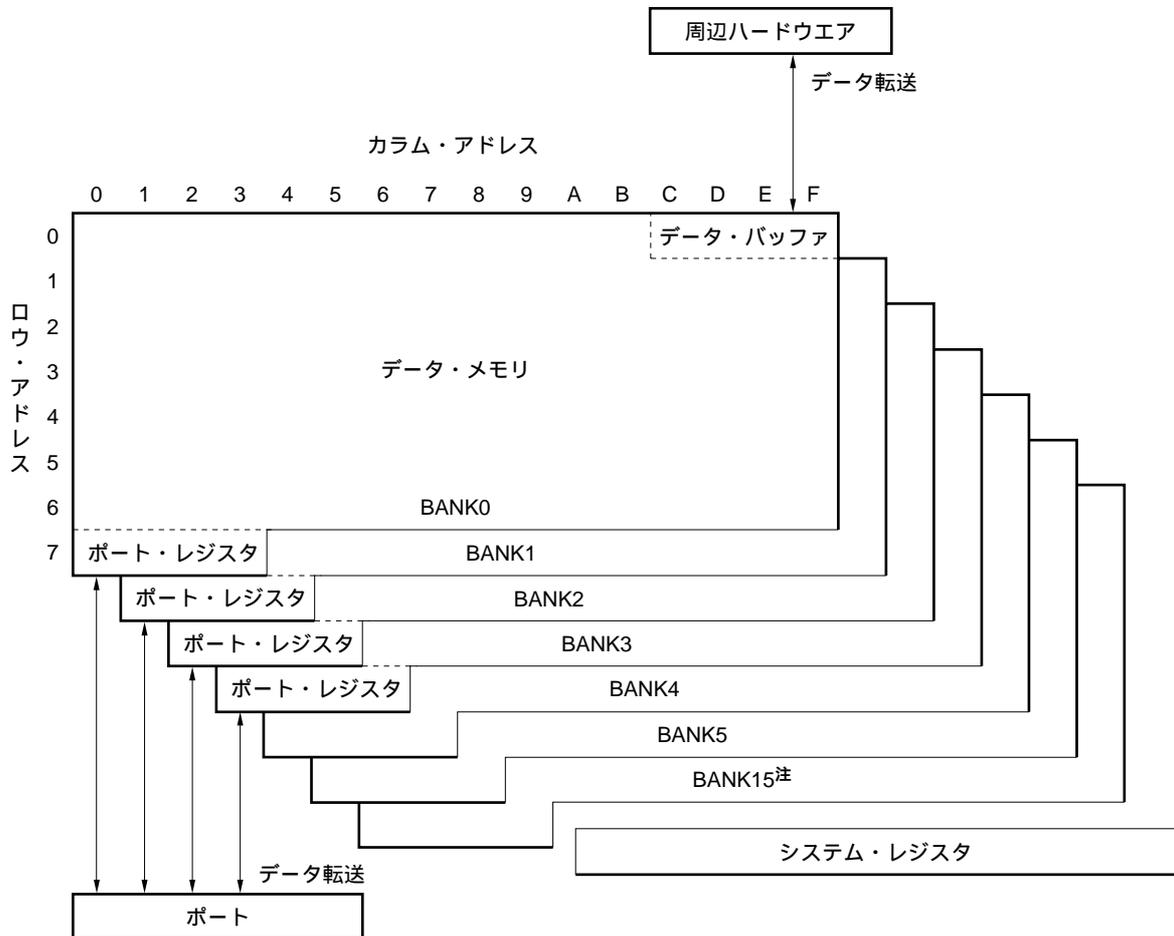
注 BANK15の60H-6FHには、ポート入力/出力選択レジスタが割り当てられています。

注意1 . μPD17707, 17708には、BANK10-BANK14はありません。

2 . BANK15の00H-5FH番地は実装されていません。

図4 - 1 データ・メモリの概要 (3/3)

(c) μPD17704, 17705の場合



注 BANK15の60H-6FHには、ポート入力 / 出力選択レジスタが割り当てられています。

注意 1 . μPD17704, 17705には、BANK6-BANK14はありません。

2 . BANK15の00H-5FH番地は実装されていません。

4.2 データ・メモリの構成と機能

図4 - 2に、データ・メモリの構成を示します。

図4 - 2に示すように、データ・メモリは、複数のバンクに分割されており、各バンクは、ロウ・アドレス7H、コラム・アドレス0FHの計128ニブルで構成されています。

データ・メモリは、機能別に次の4.2.1-4.2.5に示すブロックに分けられます。

データ・メモリの内容は、データ・メモリ操作命令を実行することにより、4ビットの演算、比較、判断および転送が1命令で行えます。

表4 - 1に、データ・メモリ操作命令を示します。

4.2.1 システム・レジスタ (SYSREG)

システム・レジスタは、アドレス74H-7FH番地に割り当てられています。

システム・レジスタは、バンクに無関係に割り当てられているため、どのバンクであってもアドレス74H-7FH番地には、同一のシステム・レジスタが存在します。

詳細は、“5. システム・レジスタ (SYSREG)”を参照してください。

4.2.2 データ・バッファ (DBF)

データ・バッファは、BANK0のアドレス0CH-0FH番地に割り当てられています。

詳細は、“9. データ・バッファ (DBF)”を参照してください。

4.2.3 ポート・レジスタ

ポート・レジスタは、BANK0-BANK3のアドレス70H-73H番地に割り当てられています。

詳細は、“11. 汎用ポート”を参照してください。

4.2.4 ポート入力/出力選択レジスタ

ポート入力/出力選択レジスタは、BANK15のアドレス60H-6FHに割り当てられています。

詳細は、“8.4 ポート入力/出力選択レジスタ”を参照してください。

4.2.5 汎用データ・メモリ

汎用データ・メモリは、データ・メモリからシステム・レジスタ、ポート・レジスタ、ポート入力/出力選択レジスタを除いた部分に割り当てられています。

(a) μPD17709の場合

BANK0-BANK15の各112ニブル (BANK15のみ96ニブル) の計1776ニブルから構成されます。

(b) μPD17707, 17708の場合

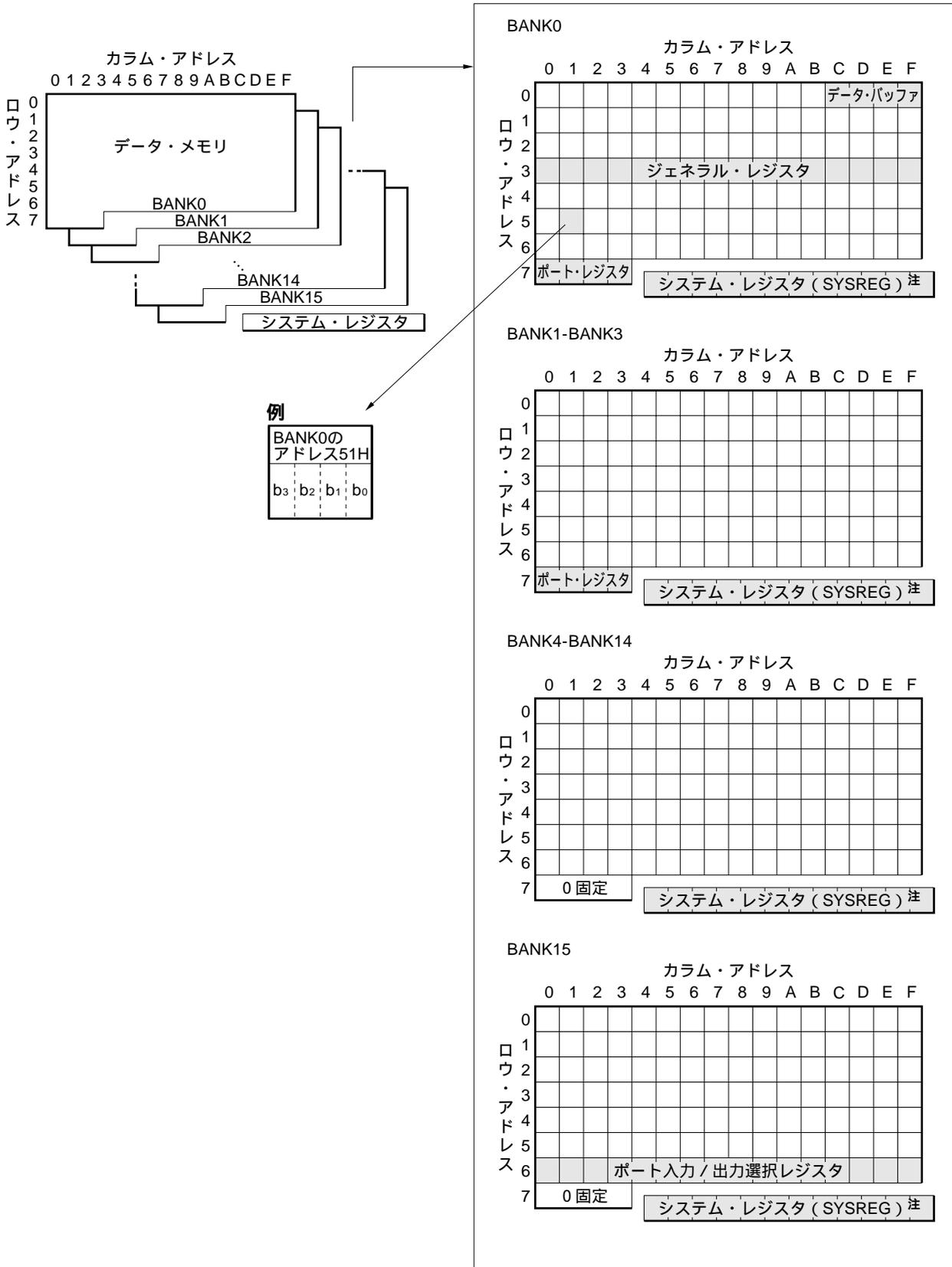
BANK0-BANK9の各112ニブルの計1120ニブルから構成されます。

(c) μPD17704, 17705の場合

BANK0-BANK5の各112ニブルの計672ニブルから構成されます。

図4-2 データ・メモリの構成 (1/3)

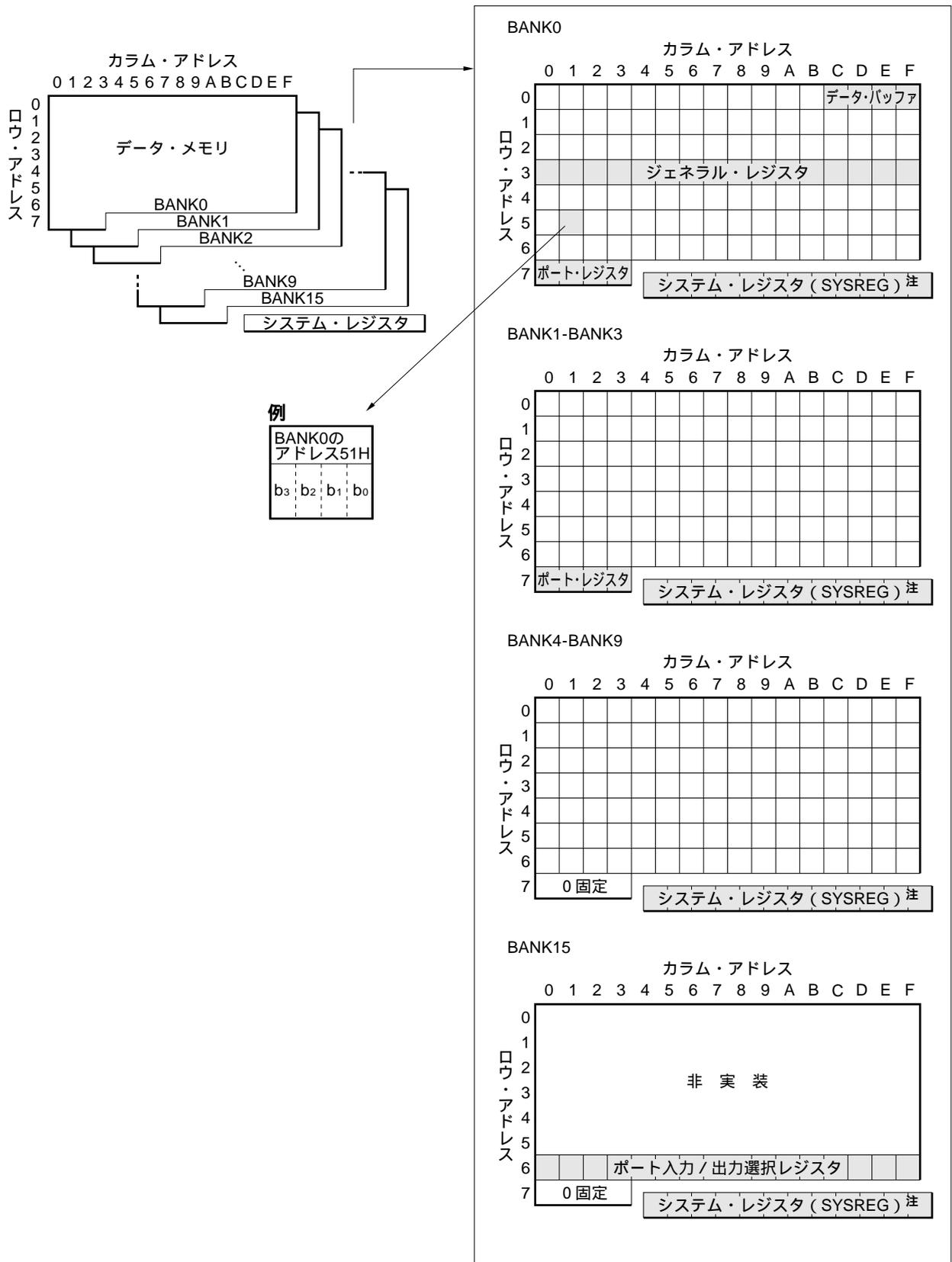
(a) μPD17709の場合



注 同一のシステム・レジスタが存在しています。

図4-2 データ・メモリの構成 (2/3)

(b) μPD17707, 17708の場合



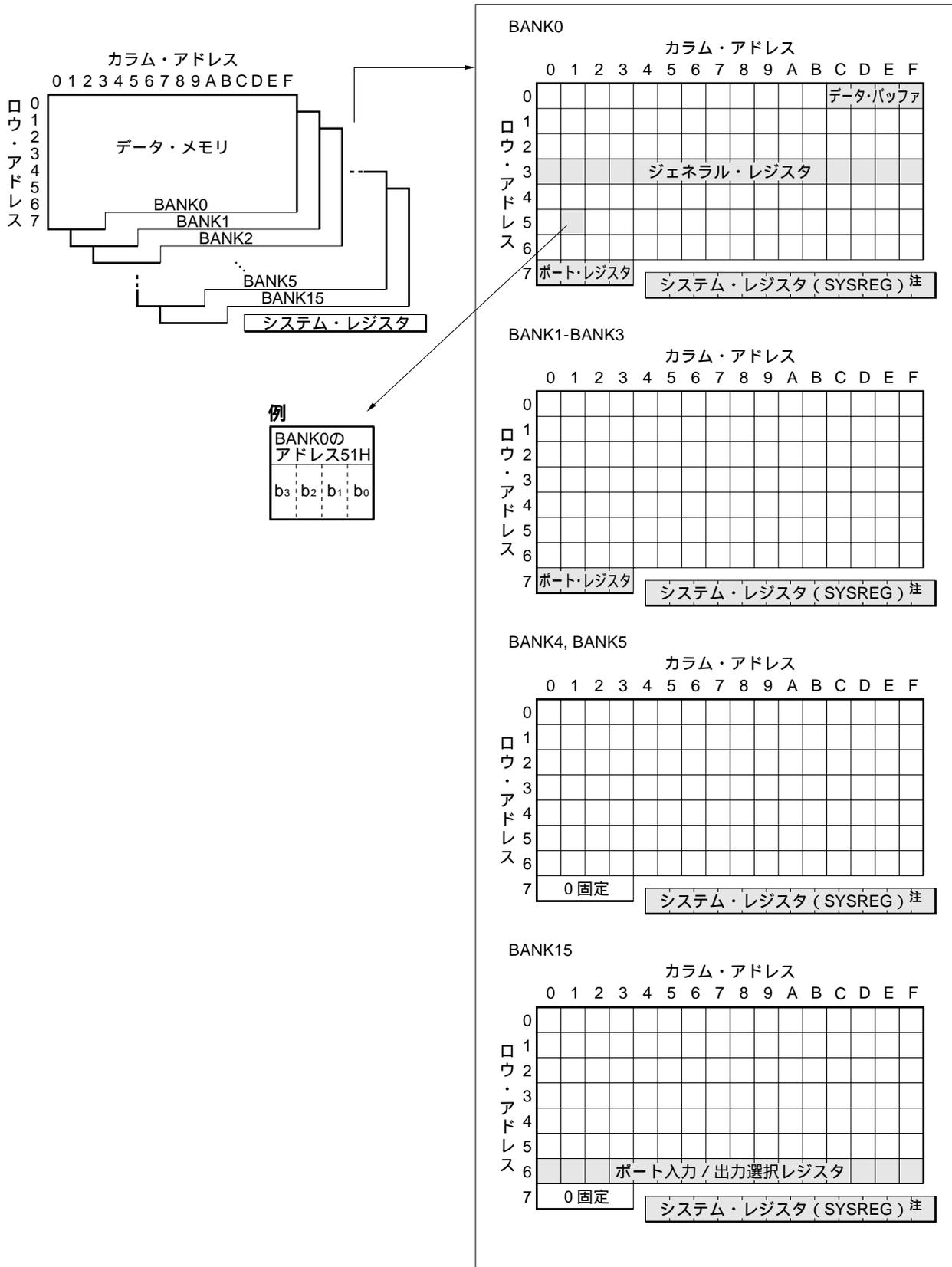
注 同一のシステム・レジスタが存在しています。

注意1 . μPD17707, 17708には, BANK10-BANK14はありません。

2 . BANK15の00H-5FH番地は実装されていません。

図4-2 データ・メモリの構成 (3/3)

(c) μPD17704, 17705の場合



注 同一のシステム・レジスタが存在しています。

注意1 . μPD17704, 17705には, BANK6-BANK14はありません。

2 . BANK15の00H-5FH番地は実装されていません。

表4 - 1 データ・メモリ操作命令一覧

機 能		命 令
演算	加算	ADD ADDC
	減算	SUB SUBC
	論理	AND OR XOR
比較		SKE SKGE SKLT SKNE
転送		MOV LD ST
判断		SKT SKF

4.3 データ・メモリのアドレッシング

図4 - 3に、データ・メモリのアドレス指定を示します。

データ・メモリのアドレスは、バンク、ロウ・アドレスおよびカラム・アドレスで指定します。

ロウ・アドレスおよびカラム・アドレスはデータ・メモリ操作命令で直接指定しますが、バンクは、バンク・レジスタの内容で指定します。

バンク・レジスタについては、“5. システム・レジスタ (SYSREG)” を参照してください。

図4 - 3 データ・メモリのアドレス指定



4.4 データ・メモリ使用時の注意

4.4.1 パワーオン・リセット時

パワーオン・リセット時は、汎用データ・メモリの内容は“不定”です。

必要に応じて、イニシャライズしてください。

4.4.2 実装されていないデータ・メモリに対する注意

実装されていないデータ・メモリのアドレスに対してデータ・メモリ操作命令の読み込み命令を実行すると、不定なデータが読み込まれます。

なお、書き込み命令を行っても何も変化しません。

5. システム・レジスタ (SYSREG)

5.1 システム・レジスタ概要

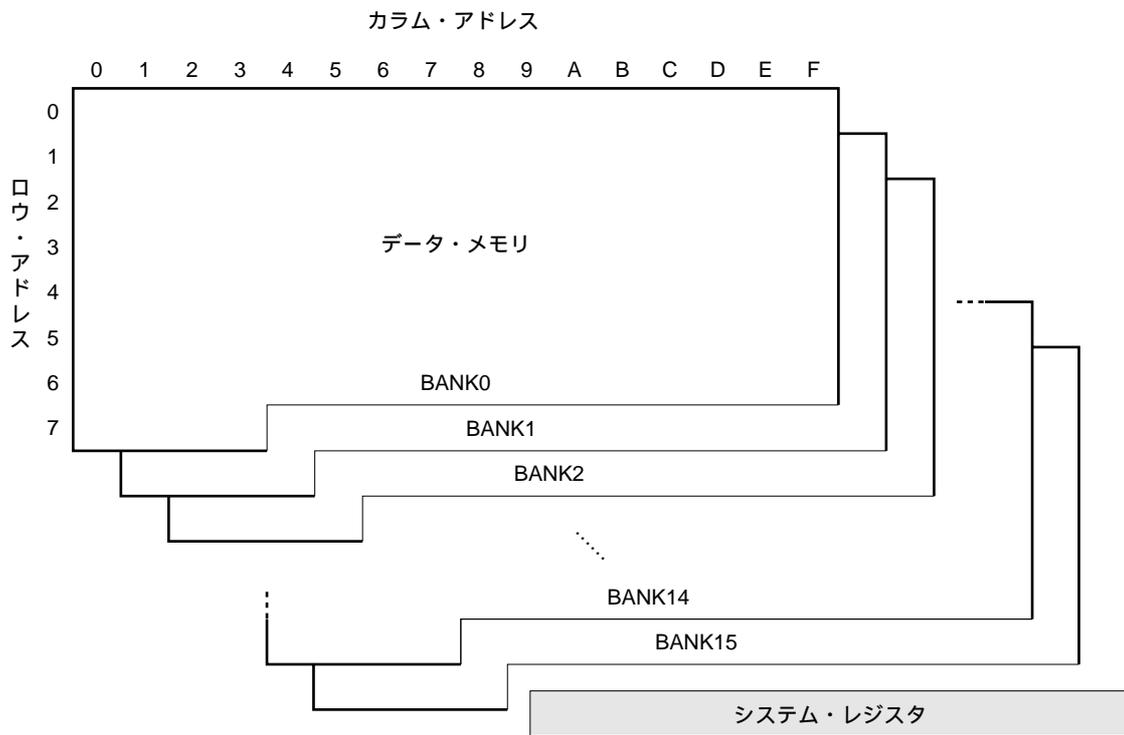
図5-1に、システム・レジスタのデータ・メモリ上の配置と概要を示します。

図5-1に示すように、システム・レジスタは、データ・メモリ・アドレスの74H-7FH番地にバンクとは無関係に配置されています。つまり、どのバンクであっても、74H-7FH番地には同一のシステム・レジスタが存在しています。

システム・レジスタは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作することができます。

システム・レジスタは、機能別に7種類のレジスタで構成されています。

図5-1 システム・レジスタのデータ・メモリ上の配置と概要



備考 μPD17704, 17705には、BANK6-BANK14はありません。
 μPD17707, 17708には、BANK10-BANK14はありません。

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称	アドレス・レジスタ (AR)				ウインドウ・ レジスタ (WR)	バンク・ レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・ア ドレス・ポイント (MP)			ジェネラル・ レジスタ・ ポイント (RP)	プログラム・ ステータス・ ワード (PSWORD)	
機能	プログラム・メモリ・アドレスの制御				レジスタ・ ファイルと のデータ転 送	データ・ メモリの バンク指 定	データ・メモリのアドレス修飾			ジェネラル・レ ジスタのアドレ ス指定	演算制御	

5.2 システム・レジスタ一覧

図5 - 2 に、システム・レジスタの構成を示します。

図5 - 2 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH	
名称	システム・レジスタ												
	アドレス・レジスタ (AR)				ウインドウ・ レジスタ (WR)	バンク・ レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・ア ドレス・ポインタ (MP)			ジェネラル・ レジスタ・ ポインタ (RP)		プログラム・ ステータス・ ワード (PSWORD)	
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH	IXM	IXL	RPH	RPL	PSW	
							MPH	MPL					
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	
データ							M P E	(IX)			(RP)		B C D Z I Y X P E

5.3 アドレス・レジスタ (AR)

5.3.1 アドレス・レジスタの構成

図5 - 3 に、アドレス・レジスタの構成を示します。

図5 - 3 に示すように、アドレス・レジスタは、システム・レジスタの74H-77H番地 (AR3-AR0) の16ビットで構成されています。

図5 - 3 アドレス・レジスタの構成

アドレス		74H				75H				76H				77H			
名称		アドレス・レジスタ (AR)															
記号		AR3				AR2				AR1				AR0			
ビット		b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ		M															L
		S															S
		B															B
リ セ ッ ト 時	パワーオン・リセット	0				0				0				0			
	WDT&SPリセット	0				0				0				0			
	CEリセット	0				0				0				0			
クロック・ストップ時		保持				保持				保持				保持			

パワーオン・リセット：パワーオン・リセット時，RESET端子によるリセット時

WD&SPリセット：ウォッチドッグ・タイマおよびスタック・ポインタ・リセット時

CEリセット：CEリセット時

クロック・ストップ：クロック・ストップ命令実行時

5.3.2 アドレス・レジスタの機能

アドレス・レジスタは、テーブル参照命令（“MOV_T DBF, @AR”）、スタック操作命令（“PUSH AR”、“POP AR”）、間接分岐命令（“BR @AR”）および間接サブルーチン・コール命令（“CALL @AR”）実行時に、プログラム・メモリ・アドレスの指定を行います。

アドレス・レジスタには、“1”ずつインクリメントできる専用命令（“INC AR”）が用意されています。

次の（1）-（5）に、各命令を実行したときの動作を説明します。

（1）テーブル参照命令（“MOV_T DBF, @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスの定数データ（16ビット）を、データ・バッファに読み出します。

アドレス・レジスタで指定できる定数データの格納番地は、μPD17704は0000H-1FFFH番地、μPD17705, 17707は0000H-2FFFH番地、μPD17708, 17709は0000H-3FFFH番地です。

（2）スタック操作命令（“PUSH AR”、“POP AR”）

“PUSH AR”命令を実行したときは、スタック・ポインタを-1し、-1されたスタック・ポインタで指定されるアドレス・スタック・レジスタに、アドレス・レジスタ（AR）の内容を転送します。

“POP AR”命令を実行したときは、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をアドレス・レジスタに転送して、スタック・ポインタを+1します。

（3）間接分岐命令（“BR @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスへ分岐します。

アドレス・レジスタで指定できる分岐アドレスは、μPD17704は0000H-1FFFH番地、μPD17705, 17707は0000H-2FFFH番地、μPD17708, 17709は0000H-3FFFH番地です。

（4）間接サブルーチン・コール命令（“CALL @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスのサブルーチンを、コールできます。

アドレス・レジスタで指定できるサブルーチンの先頭アドレスは、μPD17704は0000H-1FFFH番地、μPD17705, 17707は0000H-2FFFH番地、μPD17708, 17709は0000H-3FFFH番地です。

（5）アドレス・レジスタ・インクリメント命令（“INC AR”）

アドレス・レジスタの内容を、“1”ずつインクリメントします。

5.3.3 アドレス・レジスタとデータ・バッファ

アドレス・レジスタは、周辺ハードウェアの一部として、データ・バッファを介してのデータ転送ができます。

詳細は、“9. データ・バッファ（DBF）”を参照してください。

5.3.4 アドレス・レジスタ使用時の注意

アドレス・レジスタは、16ビットで構成されていますので、最大FFFFH番地まで指定できます。

しかし、プログラム・メモリが存在するのはμPD17704では0000H-1FFFH番地、μPD17705, 17707では0000H-2FFFH番地、μPD17708, 17709では0000H-3FFFH番地です。

したがって、アドレス・レジスタに設定する最大値はμPD17704では0000H-1FFFH番地まで、μPD17705, 17707では2FFFH番地まで、μPD17708, 17709では3FFFH番地までとしてください。

5.4 ウインドウ・レジスタ (WR)

5.4.1 ウインドウ・レジスタの構成

図5 - 4にウインドウ・レジスタの構成を示します。

図5 - 4に示すように、ウインドウ・レジスタはシステム・レジスタの78H番地 (WR) の4ビットで構成されています。

図5 - 4 ウインドウ・レジスタの構成

アドレス	78H			
名称	ウインドウ・レジスタ (WR)			
記号	WR			
ビット	b ₃	b ₂	b ₁	b ₀
データ	M			L
	S			S
	B			B
リ セ ッ ト 時	パワーオン・リセット	不定		
	WDT&SPリセット	保持		
	CEリセット			
	クロック・ストップ時			

5.4.2 ウインドウ・レジスタの機能

ウインドウ・レジスタは後述するレジスタ・ファイル (RF) とのデータ転送に使用します。

レジスタ・ファイルとのデータ転送は専用命令である“PEEK WR, rf”および“POKE rf, WR”命令により操作します (rf: レジスタ・ファイルのアドレス)。

次の(1)および(2)に、各命令を実行したときの動作を説明します。

“8. レジスタ・ファイル (RF)”も参照してください。

(1) “PEEK WR, rf” 命令

“rf”でアドレス指定されるレジスタ・ファイルの内容を、ウインドウ・レジスタに転送します。

(2) “POKE rf, WR” 命令

ウインドウ・レジスタの内容を、“rf”でアドレス指定されるレジスタ・ファイルに転送します。

5.5 バンク・レジスタ (BANK)

5.5.1 バンク・レジスタの構成

図5 - 5 に、バンク・レジスタの構成を示します。

図5 - 5 に示すように、バンク・レジスタはシステム・レジスタの79H番地 (BANK) の4ビットで構成されています。

図5 - 5 バンク・レジスタの構成

アドレス	79H			
名称	バンク・レジスタ (BANK)			
記号	BANK			
ビット	b ₃	b ₂	b ₁	b ₀
データ	M			L
	S			S
	B			B
リセット時	0			
クロック・ストップ時	保持			

5.5.2 バンク・レジスタの機能

バンク・レジスタは、データ・メモリのバンクを指定します。

表5 - 1 に、バンク・レジスタの値とデータ・メモリのバンク指定を示します。

バンク・レジスタはシステム・レジスタ上に存在しているため、現在指定されているバンクに関係なく書き換えることができます。

つまり、バンク・レジスタを操作する場合は、そのときのバンクの状態は関係ありません。

表5 - 1 データ・メモリのバンク指定

バンク・レジスタ (BANK)				データ・メモリのバンク
b ₃	b ₂	b ₁	b ₀	
0	0	0	0	BANK0
0	0	0	1	BANK1
0	0	1	0	BANK2
0	0	1	1	BANK3
0	1	0	0	BANK4
0	1	0	1	BANK5
0	1	1	0	BANK6 ^注
0	1	1	1	BANK7 ^注

バンク・レジスタ (BANK)				データ・メモリのバンク
b ₃	b ₂	b ₁	b ₀	
1	0	0	0	BANK8 ^注
1	0	0	1	BANK9 ^注
1	0	1	0	BANK10 ^注
1	0	1	1	BANK11 ^注
1	1	0	0	BANK12 ^注
1	1	0	1	BANK13 ^注
1	1	1	0	BANK14 ^注
1	1	1	1	BANK15

注 μPD17704, 17705にはBANK6-BANK14が、μPD17707, 17708にはBANK10-BANK14がありませんので設定しないでください。

注意 データ・メモリの実装領域は製品によって異なります。詳しくは“図4 - 2 データ・メモリの構成”を参照してください。

5.6 インデクス・レジスタ (IX) とデータ・メモリ・ロウ・アドレス・ポインタ (MP:メモリ・ポインタ)

5.6.1 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成

図5-6に、インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成を示します。

図5-6に示すように、インデクス・レジスタは、システム・レジスタの7AHの下位3ビット (IXH) と7BH, 7CH (IXM, IXL) の計11ビットからなるインデクス・レジスタ (IX) と、7FH (PSW) の最下位ビットにあるインデクス・イネーブル・フラグ (IXE) から構成されています。

データ・メモリ・ロウ・アドレス・ポインタ (メモリ・ポインタ) は7AH (MPH) の下位3ビットと7BH (MPL) の計7ビットからなるデータ・メモリ・ロウ・アドレス・ポインタ (MP) と、7AH (MPH) の最上位ビットにあるデータ・メモリ・ロウ・アドレス・ポインタ・イネーブル・フラグ (メモリ・ポインタ・イネーブル・フラグ: MPE) から構成されています。

すなわちインデクス・レジスタの上位7ビットとデータ・メモリ・ロウ・アドレス・ポインタは共用していることとなります。

図5-6 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成

アドレス	7AH				7BH				7CH				7EH				7FH			
名称	インデクス・レジスタ (IX)															プログラム・ステータス・ワード (PSWORD)				
記号	IXH			IXM				IXL								PSW				
	MPH			MPL																
ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ	M	M										L								I
	P	S										S								X
	E	B										B								E
	IX																			
	M							L												
	S							S												
	B							B												
	MP																			
リセット時	0				0				0								0			
クロック・ストップ時	保持				保持				保持								保			

保：保持

5.6.2 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの機能

インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタは、データ・メモリのアドレスを修飾します。

以下の(1)および(2)に、それぞれの機能を示します。

また、インデクス・レジスタには、“1”ずつインクリメントする専用命令(“INC IX”)が用意されています。

アドレス修飾の詳細については、“7. ALU (Arithmetic Logic Unit) ブロック”を参照してください。

(1) インデクス・レジスタ (IX)

データ・メモリ操作命令を実行したときに、データ・メモリ・アドレスを、インデクス・レジスタの内容により修飾します。

ただし、IXEフラグが“1”にセットされているときのみ有効になります。

アドレス修飾の方法は、データ・メモリのバンクとロウ・アドレスおよびカラム・アドレスをインデクス・レジスタの内容とOR演算し、その演算結果(実アドレスと呼ぶ)で指定されるデータ・メモリに対して命令を実行します。

インデクス・レジスタによるアドレス修飾は、すべてのデータ・メモリ操作命令が対象になります。

また、次の命令は、インデクス・レジスタの修飾対象となりません。

INC	AR	RORC	r
INC	IX	CALL	addr
MOVT	DBF, @AR	CALL	@AR
PUSH	AR	RET	
POP	AR	RETSK	
PEEK	WR, rf	RETI	
POKE	rf, WR	EI	
GET	DBF, p	DI	
PUT	p, DBF	STOP	s
BR	addr	HALT	h
BR	@AR	NOP	

(2) データ・メモリ・ロウ・アドレス・ポインタ (MP)

ジェネラル・レジスタ間接転送命令(“MOV @r, m”, “MOV m, @r”)を実行したときに、間接転送先のアドレスを修飾します。

ただし、MPEフラグが“1”にセットされているときのみ有効になります。

アドレス修飾の方法は、間接転送先のバンクとロウ・アドレスを、データ・メモリ・ロウ・アドレス・ポインタの内容で置き換えます。

ジェネラル・レジスタ間接転送命令以外は、アドレス修飾の対象になりません。

(3) インデクス・レジスタ・インクリメント命令 (“INC IX”)

インデクス・レジスタの内容を“1”ずつインクリメントします。

インデクス・レジスタは、10ビットで構成されていますので、インデクス・レジスタの内容が“3FFH”のときに“INC IX”命令を実行すると、“000H”になります。

5.7 ジェネラル・レジスタ・ポインタ (RP)

5.7.1 ジェネラル・レジスタ・ポインタの構成

図5 - 7に、ジェネラル・レジスタ・ポインタの構成を示します。

図5 - 7に示すように、ジェネラル・レジスタ・ポインタはシステム・レジスタの7DH番地 (RPH) の4ビットと7EH番地 (RPL) の上位3ビットの計7ビットで構成されています。

図5 - 7 ジェネラル・レジスタ・ポインタの構成

アドレス		7DH				7EH			
名称		ジェネラル・レジスタ・ポインタ (RP)							
記号		RPH				RPL			
ビット		b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ		M						L	B
		S						S	C
		B						B	D
リ セ ッ ト 時	パワーオン・リセット	0				0			
	WDT&SPリセット	0				0			
	CEリセット	0				0			
クロック・ストップ時		保持				保持			

5.7.2 ジェネラル・レジスタ・ポインタの機能

ジェネラル・レジスタ・ポインタは、データ・メモリ上のジェネラル・レジスタを指定します。

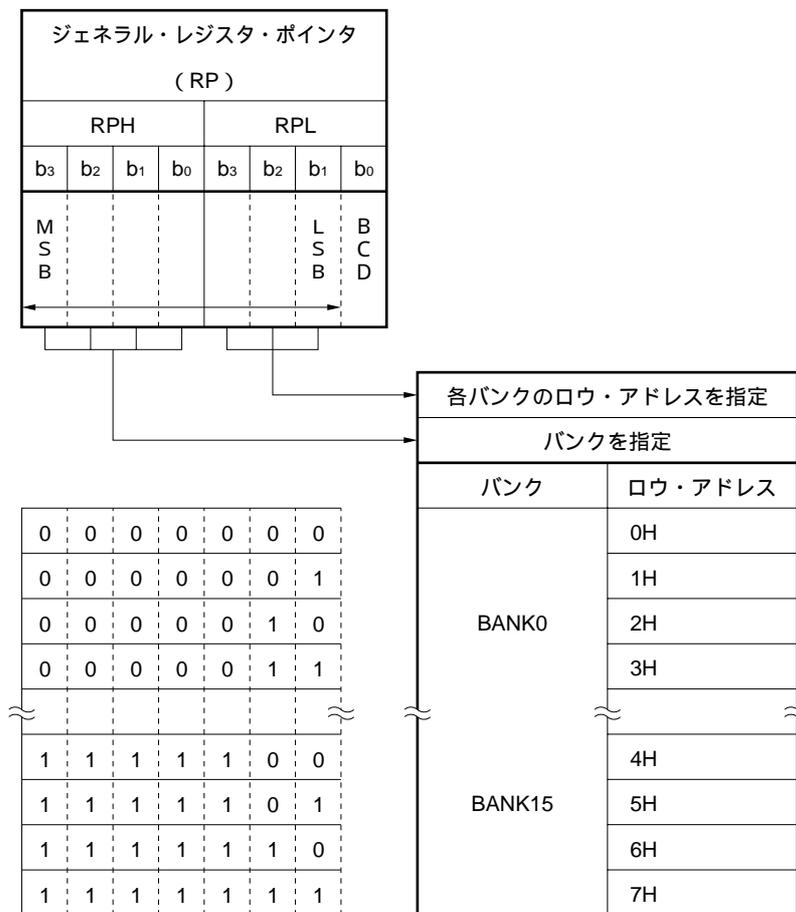
図5 - 8に、ジェネラル・レジスタ・ポインタで指定されるジェネラル・レジスタのアドレスを示します。

図5 - 8に示すように、ジェネラル・レジスタ・ポインタの上位4ビット（RPH：7DH番地）でバンクを指定し、下位3ビット（RPL：7EH番地）でロウ・アドレスを指定します。

ジェネラル・レジスタ・ポインタの有効ビットは7ビットであるため、すべてのバンクのすべてのロウ・アドレス（0H-7H番地）をジェネラル・レジスタに指定できます。

ジェネラル・レジスタの動作の詳細は、“6.ジェネラル・レジスタ（GR）”を参照してください。

図5 - 8 ジェネラル・レジスタ・ポインタで指定されるジェネラル・レジスタのアドレス



備考 μPD17704, 17705には、BANK6-BANK14はありません。
μPD17707, 17708には、BANK10-BANK14はありません。

注意 データ・メモリの実装領域は製品によって異なります。詳しくは“図4 - 2 データ・メモリの構成”を参照してください。

5.7.3 ジェネラル・レジスタ・ポインタ使用時の注意

ジェネラル・レジスタ・ポインタであるアドレス7EH番地（RPL）の最下位ビットは、プログラム・ステータス・ワードのBCDフラグに割り当てられています。

したがって、RPLを書き換える場合は、BCDフラグの値に注意してください。

5.8 プログラム・ステータス・ワード (PASSWORD)

5.8.1 プログラム・ステータス・ワードの構成

図5 - 9 にプログラム・ステータス・ワードの構成を示します。

図5 - 9 に示すように、プログラム・ステータス・ワードはシステム・レジスタの7EH番地 (RPL) の最下位ビットと7FH番地 (PSW) の4ビットの計5ビットで構成されています。

プログラム・ステータス・ワードはさらに1ビットずつ機能が分かれており、それぞれBCDフラグ (BCD)、コンペア・フラグ (CMP)、キャリー・フラグ (CY)、ゼロ・フラグ (Z) およびインデクス・イネーブル・フラグ (IXE) から構成されています。

図5 - 9 プログラム・ステータス・ワードの構成

アドレス	7EH				7FH				
名称					プログラム・ステータス・ワード (PASSWORD)				
記号	RPL				PSW				
ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	
データ				B C D	C M P	C Y	Z	I X E	
リセット時	パワーオン・リセット	0				0			
	WDT&SPリセット	0				0			
	CEリセット	0				0			
クロック・ストップ時	保持				保持				

5.8.2 プログラム・ステータス・ワードの機能

プログラム・ステータス・ワードはALU (Arithmetic Logic Unit) での演算および転送命令の条件を設定したり演算結果の状態を示すためのレジスタです。

表 5 - 2 に、プログラム・ステータス・ワードの各フラグの機能概要を示します。

詳しい動作については “ 7 . ALU (Arithmetic Logic Unit) ブロック ” を参照してください。

表 5 - 2 プログラム・ステータス・ワードの各フラグの機能概要

(RP)				プログラム・ステータス・ワード (PSWORD)			
RPL		PSW					
b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
			B	C	C	Z	I
			C	M	Y		X
			D	P			E

フラグ名称	機 能
インデクス・イネーブル・フラグ (IXE)	データ・メモリ操作命令実行時にデータ・メモリのアドレスを修飾するためのフラグです。 0 : 修飾されない 1 : 修飾される
ゼロ・フラグ (Z)	算術演算の結果が0であることを示すフラグです。 コンペア・フラグの内容により0と1の状態が異なるため注意が必要です。
キャリー・フラグ (CY)	加算命令および減算命令実行後のキャリーまたはボローの発生を示すフラグです。 キャリー / ボローなしでリセット (0) される キャリー / ボローありでセット (1) される また, “ RORC r ” 命令のシフト・ビットに使用されます。
コンペア・フラグ (CMP)	算術演算の結果をデータ・メモリもしくはジェネラル・レジスタへ格納しないためのフラグです。 0 : 結果が格納される 1 : 結果が格納されない
BCDフラグ (BCD)	算術演算を10進で行うためのフラグです。 0 : 2進演算をする 1 : 10進演算をする

5.8.3 プログラム・ステータス・ワード使用時の注意

プログラム・ステータス・ワードに対して算術演算 (加算および減算) 命令を行うと、算術演算の “ 結果 ” が格納されます。

たとえば、キャリーが発生するような演算を実行しても、算術演算の結果が0000BであればPSWには0000Bが格納されます。

6. ジェネラル・レジスタ (GR)

6.1 ジェネラル・レジスタ概要

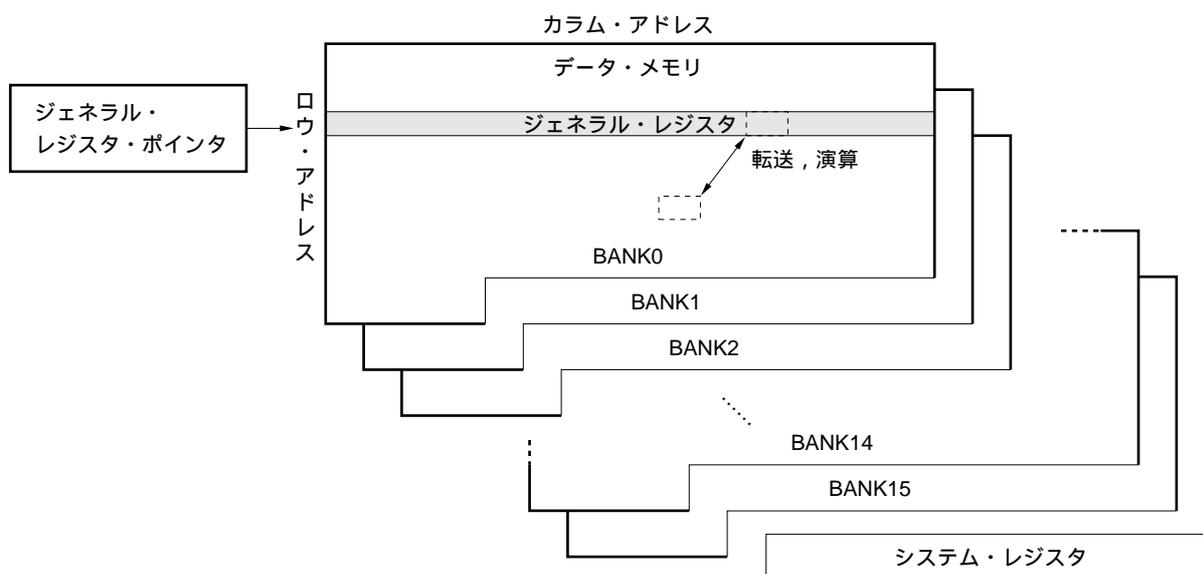
図6-1に、ジェネラル・レジスタの概要を示します。

図6-1に示すように、ジェネラル・レジスタはジェネラル・レジスタ・ポインタによって、データ・メモリ上に指定されます。

ジェネラル・レジスタを指定するバンクおよびロウ・アドレスは、ジェネラル・レジスタ・ポインタで設定します。

ジェネラル・レジスタは、データ・メモリ間で、データ転送や演算に使用します。

図6-1 ジェネラル・レジスタの概要



備考 μPD17704, 17705には、BANK6-BANK14はありません。

μPD17707, 17708には、BANK10-BANK14はありません。

6.2 ジェネラル・レジスタ

ジェネラル・レジスタは、データ・メモリ上の同一ロウ・アドレスである16ニブル（16×4ビット）で構成されます。

ジェネラル・レジスタ・ポインタ、およびジェネラル・レジスタに指定できるバンクとロウ・アドレスの範囲については、“5.7 ジェネラル・レジスタ・ポインタ (RP)”を参照してください。

ジェネラル・レジスタに指定されている同一ロウ・アドレスの16ニブルは、データ・メモリとの間で演算や転送を1命令で行います。

つまり、1命令でデータ・メモリ同士の演算や転送が可能になります。

ジェネラル・レジスタは、ほかのデータ・メモリと同様に、データ・メモリ操作命令で制御することができます。

6.3 各命令におけるジェネラル・レジスタのアドレス生成

6.3.1 および 6.3.2 に各命令実行時のジェネラル・レジスタのアドレス生成を示します。

各命令の動作についての詳細は，“7．ALU (Arithmetic Logic Unit) ブロック”を参照してください。

- 6.3.1 加算 (“ADD r, m”, “ADDC r, m”),
- 減算 (“SUB r, m”, “SUBC r, m”),
- 論理演算 (“AND r, m”, “OR r, m”, “XOR r, m”),
- 直接転送 (“LD r, m”, “ST m, r”),
- 回転処理 (“RORC r”) 命令

表 6 - 1 に、命令のオペランド “r” で指定されるジェネラル・レジスタのアドレスを示します。命令のオペランド “r” は、カラム・アドレスのみを指定します。

表 6 - 1 ジェネラル・レジスタのアドレス生成

	バンク				ロウ・アドレス			カラム・アドレス			
	b3	b2	b1	b0	b2	b1	b0	b3	b2	b1	b0
ジェネラル・レジスタ・アドレス	ジェネラル・レジスタ・ポインタの内容							r			

6.3.2 間接転送 (“MOV @r, m”, “MOV m, @r”) 命令

表 6 - 2 に、命令のオペランド “r” で指定されるジェネラル・レジスタのアドレスおよび “@r” で指定される間接転送アドレスを示します。

表 6 - 2 ジェネラル・レジスタのアドレス生成

	バンク				ロウ・アドレス			カラム・アドレス			
	b3	b2	b1	b0	b2	b1	b0	b3	b2	b1	b0
ジェネラル・レジスタ・アドレス	ジェネラル・レジスタ・ポインタの内容							r			
間接転送アドレス	データ・メモリと同一							rの内容			

6.4 ジェネラル・レジスタ使用時の注意

6.4.1 ジェネラル・レジスタのロウ・アドレス

ジェネラル・レジスタのロウ・アドレスは、ジェネラル・レジスタ・ポインタで指定されるため、現在指定されているバンクとジェネラル・レジスタのバンクが異なる場合がありますので注意してください。

6.4.2 ジェネラル・レジスタとイミューディエト・データとの演算

ジェネラル・レジスタとイミューディエト・データとの演算命令はありません。

ジェネラル・レジスタとイミューディエト・データとの演算命令を行うためには、ジェネラル・レジスタではなく、データ・メモリとして扱う必要があります。

7 . ALU (Arithmetic Logic Unit) ブロック

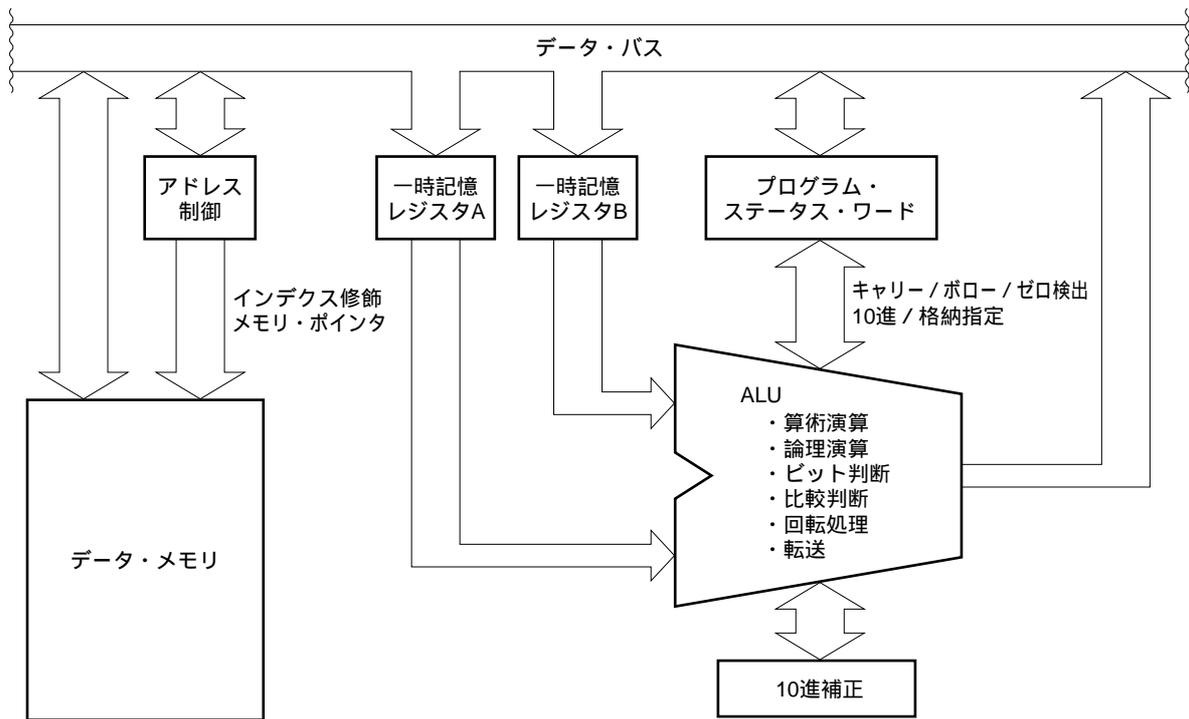
7.1 ALUブロック概要

図7 - 1 に、ALUブロックの概要を示します。

図7 - 1 に示すように、ALUブロックは、ALU、一時記憶レジスタA、B、プログラム・ステータス・ワード、10進補正回路およびデータ・メモリ・アドレス制御回路から構成されています。

ALUは、データ・メモリ上の4ビット・データの演算、判断、比較、回転および転送を行います。

図7 - 1 ALUブロック概要



7.2 各ブロックの構成と機能

7.2.1 ALU

ALUは、プログラムにより指定された命令により、4ビットの算術演算、論理演算、ビット判断、比較判断、回転処理および転送を行います。

7.2.2 一時記憶レジスタAおよびB

一時記憶レジスタAおよびBは、4ビットのデータを一時的に蓄わえておくレジスタです。

このレジスタは、命令実行時に自動的に使用され、プログラムで制御することはできません。

7.2.3 プログラム・ステータス・ワード

プログラム・ステータス・ワードは、ALUの動作制御、および状態を格納します。

プログラム・ステータス・ワードについては、“5.8 プログラム・ステータス・ワード (PSWORD)”を参照してください。

7.2.4 10進補正回路

算術演算時に、プログラム・ステータス・ワードのBCDフラグが“1”にセットされていると、10進補正回路により算術演算結果を10進数に変換します。

7.2.5 アドレス制御回路

アドレス制御回路は、データ・メモリのアドレスを指定します。

このとき、インデクス・レジスタやデータ・メモリ・ロウ・アドレス・ポインタによるアドレスの修飾も制御します。

7.3 ALU処理命令一覧

表7-1に、各命令実行時のALU動作一覧を示します。

表7-2に、インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタによる、データ・メモリ・アドレスの修飾を示します。

表7-3に、10進演算時の10進補正データを示します。

表7 - 1 ALU処理命令動作一覧

ALU機能	命 令		プログラム・ステータス・ワード (PSWORD) による動作の違い					アドレス修飾	
			BCDフ ラグの値	CMPフ ラグの値	演算動作	CYフラグの動作	Zフラグの動作	インデクス	メモリ・ ポインタ
加算	ADD	r, m	0	0	2進演算 結果を格納する	キャリーまたはボ ローでセット 発生しなければリ セット	演算の結果0000Bでセット 0000B以外はリセット	あり	なし
		m, #n4							
	ADDC	r, m	0	1	2進演算 結果を格納しない		演算の結果0000Bで状態保持 0000B以外はリセット		
		m, #n4							
減算	SUB	r, m	1	0	10進演算 結果を格納する	演算の結果0000Bでセット 0000B以外はリセット	あり	なし	
		m, #n4							
	SUBC	r, m	1	1	10進演算 結果を格納しない				演算の結果0000Bで状態保持 0000B以外はリセット
		m, #n4							
論理演算	OR	r, m	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
		m, #n4							
	AND	r, m							
		m, #n4							
	XOR	r, m							
		m, #n4							
判断	SKT	m, #n	任意 (保持)	任意 (リセット)	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	SKF	m, #n							
比較	SKE	m, #n4	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	SKNE	m, #n4							
	SKGE	m, #n4							
	SKLT	m, #n4							
転送	LD	r, m	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	ST	m, r							
	MOV	m, #n4							
		@r, m							
		m, @r							
回転	RORC	r	任意 (保持)	任意 (保持)	変わらない	ジェネラル・レジ スタのb ₀ の値	以前の状態を保持	なし	なし

表7-2 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタによるデータ・メモリ・アドレスの修飾および間接転送アドレスの修飾

IXE	MPE	rで指定されるジェネラル・レジスタ・アドレス				mで指定されるデータ・メモリ・アドレス				@rで指定される間接転送アドレス											
		バンク		ロウ・アドレス		バンク		ロウ・アドレス		バンク		ロウ・アドレス									
		b ₃	b ₂	b ₁	b ₀	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	
0	0	RP				r				BANK		m		BANK		m _R		(r)			
0	1	同上				同上				同上		同上		MP		(r)					
1	0	同上				BANK		m		Logical IX		OR		BANK		m _R		Logical IXH, IXM		OR (r)	
1	1	同上				同上				同上		同上		MP		(r)					

- BANK : バンク・レジスタ
- IX : インデクス・レジスタ
- IXE : インデクス・イネーブル・フラグ
- IXH : インデクス・レジスタのビット10-ビット8
- IXM : インデクス・レジスタのビット7-ビット4
- IXL : インデクス・レジスタのビット3-ビット0
- m : m_R, m_Cで示されるデータ・メモリ・アドレス
- m_R : データ・メモリ・ロウ・アドレス(上位)
- m_C : データ・メモリ・コラム・アドレス(下位)
- MP : データ・メモリ・ロウ・アドレス・ポインタ
- MPE : メモリ・ポインタ・イネーブル・フラグ
- r : ジェネラル・レジスタ・コラム・アドレス
- RP : ジェネラル・レジスタ・ポインタ
- (x) : xでアドレスされる内容
 - x : m, rなどのダイレクト・アドレス

表 7 - 3 10進補正データ

演算結果	16進加算		10進加算	
	CY	演算結果	CY	演算結果
0	0	0000B	0	0000B
1	0	0001B	0	0001B
2	0	0010B	0	0010B
3	0	0011B	0	0011B
4	0	0100B	0	0100B
5	0	0101B	0	0101B
6	0	0110B	0	0110B
7	0	0111B	0	0111B
8	0	1000B	0	1000B
9	0	1001B	0	1001B
10	0	1010B	1	0000B
11	0	1011B	1	0001B
12	0	1100B	1	0010B
13	0	1101B	1	0011B
14	0	1110B	1	0100B
15	0	1111B	1	0101B
16	1	0000B	1	0110B
17	1	0001B	1	0111B
18	1	0010B	1	1000B
19	1	0011B	1	1001B
20	1	0100B	1	1110B
21	1	0101B	1	1111B
22	1	0110B	1	1100B
23	1	0111B	1	1101B
24	1	1000B	1	1110B
25	1	1001B	1	1111B
26	1	1010B	1	1100B
27	1	1011B	1	1101B
28	1	1100B	1	1010B
29	1	1101B	1	1011B
30	1	1110B	1	1100B
31	1	1111B	1	1101B

演算結果	16進減算		10進減算	
	CY	演算結果	CY	演算結果
0	0	0000B	0	0000B
1	0	0001B	0	0001B
2	0	0010B	0	0010B
3	0	0011B	0	0011B
4	0	0100B	0	0100B
5	0	0101B	0	0101B
6	0	0110B	0	0110B
7	0	0111B	0	0111B
8	0	1000B	0	1000B
9	0	1001B	0	1001B
10	0	1010B	1	1100B
11	0	1011B	1	1101B
12	0	1100B	1	1110B
13	0	1101B	1	1111B
14	0	1110B	1	1100B
15	0	1111B	1	1101B
- 16	1	0000B	1	1110B
- 15	1	0001B	1	1111B
- 14	1	0010B	1	1100B
- 13	1	0011B	1	1101B
- 12	1	0100B	1	1110B
- 11	1	0101B	1	1111B
- 10	1	0110B	1	0000B
- 9	1	0111B	1	0001B
- 8	1	1000B	1	0010B
- 7	1	1001B	1	0011B
- 6	1	1010B	1	0100B
- 5	1	1011B	1	0101B
- 4	1	1100B	1	0110B
- 3	1	1101B	1	0111B
- 2	1	1110B	1	1000B
- 1	1	1111B	1	1001B

備考 の部分は、10進補正が正しく行われません。

7.4 ALU使用時の注意

7.4.1 プログラム・ステータス・ワードへの演算使用時の注意

プログラム・ステータス・ワードに対して算術演算を行うと、プログラム・ステータス・ワードには算術演算の結果が格納されます。

プログラム・ステータス・ワードの中のCYフラグおよびZフラグは、通常、算術演算の結果によりセットまたはリセットされますが、プログラム・ステータス・ワード自身に算術演算が行われると、算術演算結果が格納されてしまい、キャリー、ポロ、およびゼロの判定ができません。

ただし、CMPフラグがセットされているときは、算術演算の結果が格納されないため、CYフラグおよびZフラグは通常通りセットまたはリセットされます。

7.4.2 10進演算使用時の注意

10進演算は、演算結果が次の範囲になる場合にかぎり実行できます。

- (1) 加算の結果が、10進で0～19であること
- (2) 減算の結果が、10進で0～9または-10～-1であること

この範囲以外で10進演算を行うと、CYフラグがセットされ、演算結果は1010B (0AH) 以上の値になります。

8 . レジスタ・ファイル (RF)

8.1 レジスタ・ファイル概要

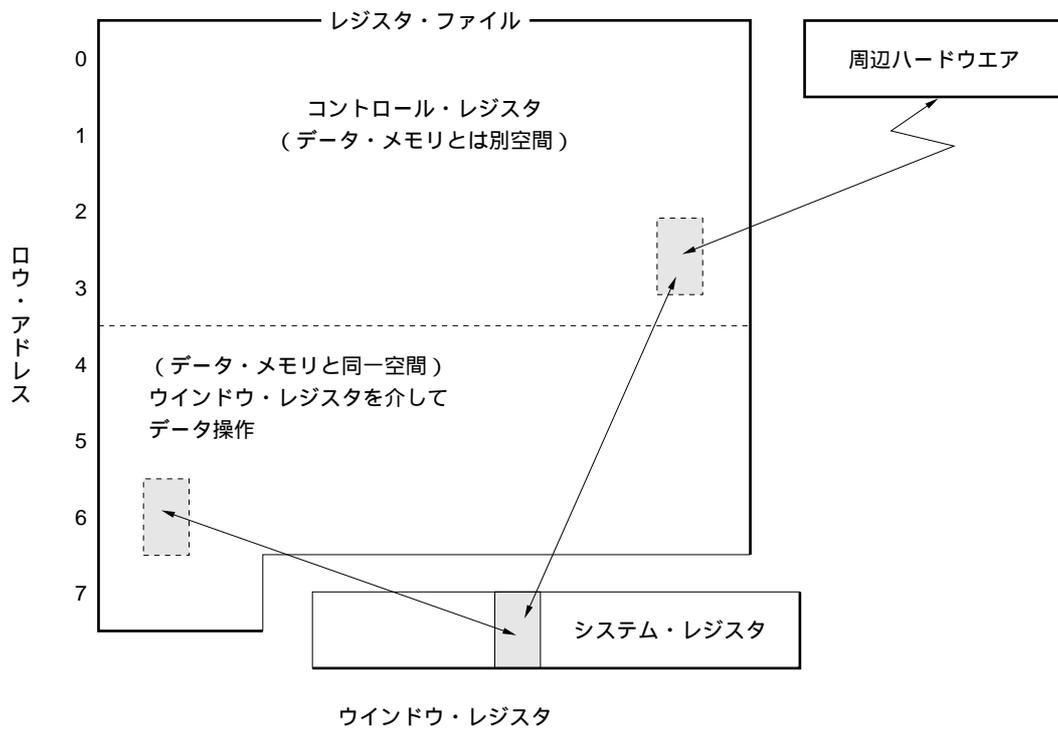
図8 - 1に、レジスタ・ファイルの概要を示します。

図8 - 1に示すように、レジスタ・ファイルは、データ・メモリと別空間上に存在するコントロール・レジスタと、データ・メモリと重なった部分から構成されています。

コントロール・レジスタは、周辺ハードウェアの条件設定などを行います。

レジスタ・ファイル上のデータは、ウインドウ・レジスタを介して読み込みおよび書き込みを行います。

図8 - 1 レジスタ・ファイルの概要



8.2 レジスタ・ファイルの構成と機能

図8 - 2に、レジスタ・ファイルの構成とデータ・メモリの関係を示します。

レジスタ・ファイルは、データ・メモリと同様に4ビット単位でアドレスが割り当てられており、ロウ・アドレスが0H-7Hで、カラム・アドレスが0H-0FHの計128ニブルになります。

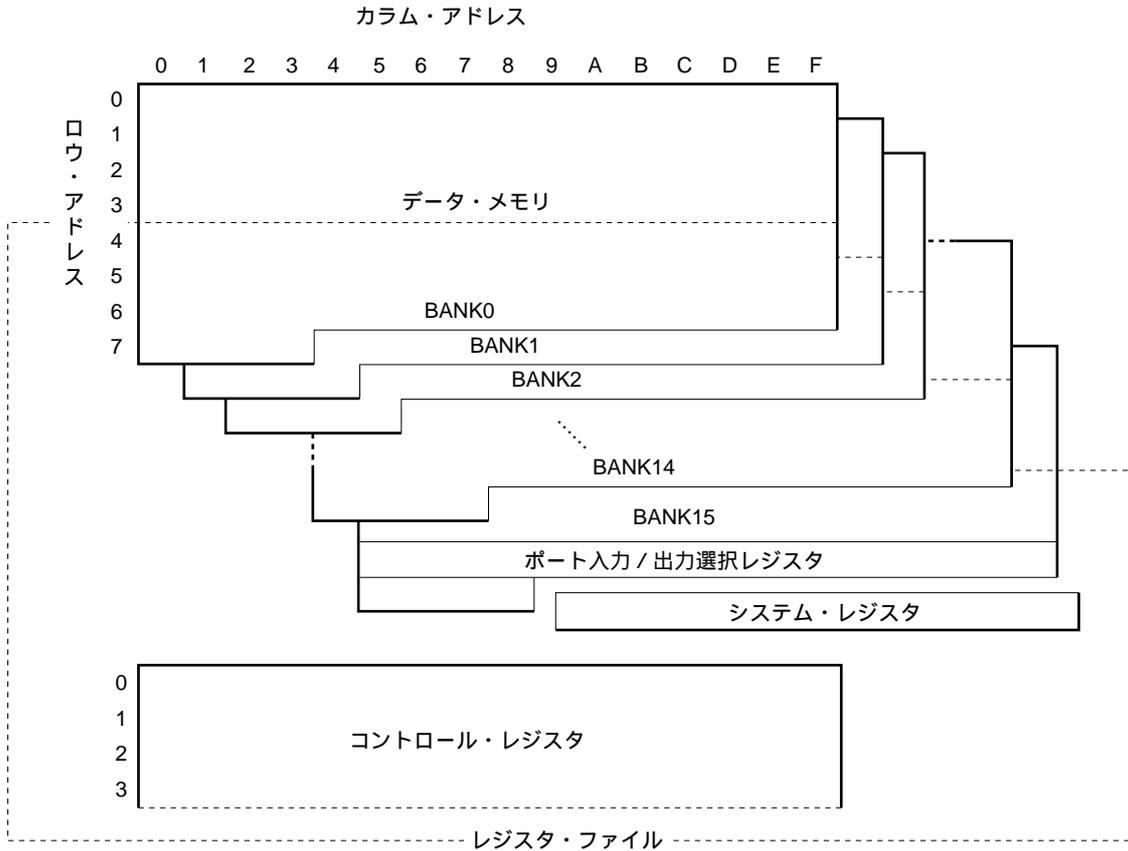
アドレス00Hから3FH番地まではコントロール・レジスタと呼び、周辺ハードウェアの条件設定を行います。

アドレス40Hから7FH番地までは、データ・メモリと重なっています。

つまり、レジスタ・ファイルの40H-7FH番地は、データ・メモリのそのとき選択されているバンクのアドレス40Hから7FH番地と同じメモリが存在しています。

したがって、アドレス40Hから7FH番地はデータ・メモリと重なっているため、レジスタ・ファイル操作命令（“PEEK WR, rf”, “POKE rf, WR”）により操作できる点を除けば、通常のデータ・メモリと同じです。ただし、BANK15の60H-6FH番地にはポート入力/出力選択レジスタが割り当てられています（詳しくは8.4 ポート入力/出力選択レジスタを参照してください）。

図8 - 2 レジスタ・ファイルの構成とデータ・メモリの関係



備考 μPD17704, 17705には、BANK6-BANK14はありません。
μPD17707, 17708には、BANK10-BANK14はありません。

8.2.1 レジスタ・ファイル操作命令（“ PEEK WR, rf ” , “ POKE rf, WR ” ）

レジスタ・ファイルのデータの読み込みおよび書き込みは、システム・レジスタの中のウインドウ・レジスタを紹介して行います。次に各命令の動作を示します。

(1) “ PEEK WR, rf ”

ウインドウ・レジスタに，“ rf ” でアドレス指定されるレジスタ・ファイルのデータを読み込む。

(2) “ POKE rf, WR ”

“ rf ” でアドレス指定されるレジスタ・ファイルに，ウインドウ・レジスタのデータを書き込む。

8.3 コントロール・レジスタ

図8 - 3にコントロール・レジスタの構成を示します。

図8 - 3に示すようにコントロール・レジスタはレジスタ・ファイルのアドレス00H-3FH番地の計64ニブル（64 × 4ビット）から構成されています。

ただし，そのうち実際に使用しているのは53ニブルです。残りの11ニブルは未使用レジスタで読み出しおよび書き込みは禁止されています。

各コントロール・レジスタは1ニブルずつ属性を持っており，それぞれ読み込み書き込み可能（R/W），読み込み専用（R），書き込み専用（W）および読み込んだときリセットされる（R&Reset）の4種類があります。

読み込み専用（RおよびR&Reset）レジスタに書き込みを行っても何も変化しません。

書き込み専用（W）レジスタを読み込むと“不定”の値が読み込まれます。

また，1ニブルの中の4ビット・データのうち，“0”に固定されているビットは，読み込んだときは常に“0”となり，書き込みを行っても“0”を保持します。

未使用レジスタの11ニブルは，内容を読み込むと不定の値が読み込まれ，書き込みを行っても何も変化しません。

表8 - 1にコントロール・レジスタの周辺ハードウェア制御機能一覧を示します。

図8-3 コントロール・レジスタの構成(1/2)

カラム・アドレス									
ロウ・アドレス	項目	0	1	2	3	4	5	6	7
0 (8)注	名称		スタック・ポインタ	ウォッチドッグ・タイマ・クロック選択	ウォッチドッグ・タイマ・カウンタ・リセット	データ・バッファ・スタック・ポインタ	スタック・オーバフロー・リセット選択	CEリセット・タイマ・キャリア・カウンタ	MOV'Tビット選択
	記号		(SP3) (SP2) (SP1) (SP0)	WDTCK0 WDTCK1	WDTRES	(DBFSP1) (DBFSP0)	ISPREES	CECNT0 CECNT1 CECNT2 CECNT3	MOV'TSEL0 MOV'TSEL1
	Read/Write		R/W	R/W	W & Reset	R	R/W	R/W	R/W
1 (9)注	名称	PLLモード選択	PLL基準周波数選択	PLLアンロックFF	BEEP/汎用ポート端子機能選択	BEEPクロック選択		ウォッチドッグ・タイマ/スタック・ポインタのリセット状態検出	ベーシック・タイマ0キャリア
	記号	PLLSCNF PLLM1 PLLM0	PLLRFC3 PLLRFC2 PLLRFC1 PLLRFC0	PLLUL	BEEPSEL BEEPSEL	BEEPCK1 BEEPCK0 BEEPCK1 BEEPCK0		WDTCY	BTMOCY
	Read/Write	R/W	R/W	R & Reset	R/W	R/W		R & Reset	R & Reset
2 (A)注	名称	FCGチャンネル選択	IFカウンタ・ゲート状態検出	IFカウンタ・モード選択	IFカウンタ・コントロール	A/Dコンバータ・チャンネル選択	A/Dコンバータ・モード選択	PWMクロック選択	PWM / 汎用ポート端子機能選択
	記号	FCGCH1 FCGCH0	IFCGOSTT	IFCMD1 IFCMD0 IFCK1 IFCK0	IFSTRT IFCREES	ADCH2 ADCH1 ADCH0	ADCMPT ADCMPT	PWMBIT PWMTCK	PWMSEL PWMS1SEL PWMS2SEL PWMS3SEL
	Read/Write	R/W	R	R/W	W	R/W	R/W R	R/W	R/W
3 (B)注	名称					シリアル・インタフェース1割り込み要求	シリアル・インタフェース0割り込み要求	タイマ3割り込み要求	タイマ2割り込み要求
	記号					IRQIO1	IRQIO0	IRQTM3	IRQTM2
	Read/Write					R/W	R/W	R/W	R/W

注 ()内は、アセンブラを使用する際の番地です。

図8-3 コントロール・レジスタの構成(2/2)

8	9	A	B	C	D	E	F
システム・レジスタの割り込みスタック・ポインタ		シリアル/O0 ウェイト状態判定	シリアル/O0 クロック選択	シリアル/O0 割り込みモード選択	シリアル/O0 状態検出	シリアル/O0 ウェイト・コントロール	シリアル/O0 モード選択
0 SYSTRIP1 SYSTRIP2 SYSTRIP0		0 0 0 SIO0WSTT	0 SBMD SIO0CK1 SIO0CK0	0 0 SIO0IMD1 SIO0IMD0	SIO0SF8 SIO0SF9 SBSTT SBBSY	SBA0CK SIO0WN1 SIO0WRQ0 SIO0WRQ0	SIO0CH SB SIO0MS SIO0TX
R		R	R/W	R/W	R	R/W	R/W
ベーシック・タイマ0クロック選択					シリアル/O1 モード選択	割り込みエッジ選択1	割り込みエッジ選択2
0 BTMOCK1 BTMOCK0					SIO1THS SIO1HZ SIO1CK1 SIO1CK0	IEG4 INT4SEL IEG3 INT3SEL	0 IEG2 IEG1 IEG0
R/W					R/W	R/W	R/W
タイマ3コントロール	タイマ2カウンタ・クロック選択	タイマ1カウンタ・クロック選択	タイマ0カウンタ・クロック選択	タイマ0モード選択	割り込み許可1	割り込み許可2	割り込み許可3
T0 T3SEL T3REN T3RES	T2 T2REN T2RCK1 T2RCK0	T1 T1REN T1RCK1 T1RCK0	T0 T0REN T0RCK1 T0RCK0	T0 T0OVF T0GEG T0MOD	IPSI01 IPSI00 IPTM3 IPTM2	IPTM1 IPTM0 IP4 IP3	IP2 IP1 IP0 IPCE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
タイマ1割り込み要求	タイマ0割り込み要求	INT4端子割り込み要求	INT3端子割り込み要求	INT2端子割り込み要求	INT1端子割り込み要求	INT0端子割り込み要求	CE端子割り込み要求
0 IRQTM1	0 IRQTM0	INT4 IRQ4	INT3 IRQ3	INT2 IRQ2	INT1 IRQ1	INT0 IRQ0	CE CENSTT IRQCE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R R/W

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (1/8)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能		リセット時			クロック・ストップ時		
	名 称	番地	Read/Write	b3 b2 b1 b0 記号	機 能	設 定 値		バ イ オ ン ・ リ セ ツ ト	W D T & S P リ セ ツ ト		C E リ セ ツ ト	
						0	1					
スタック	スタック・ポインタ	01H	R/W	(SP3) ----- (SP2) ----- (SP1) ----- (SP0)				F	F	F	保 持	
	システム・レジスタの割り込みスタック・ポインタ	08H	R	0 ----- (SYSRSP2) ----- (SYSRSP1) ----- (SYSRSP0)				5	5	5	保 持	
	データ・バッファ・スタック・ポインタ	04H	R	0 ----- 0 ----- (DBFSP1) ----- (DBFSP0)	“ 0 ”固定 データ・バッファ・スタックの多重レベルを検出			0	0	0	保 持	
	スタック・オーバーフロー/アンダフロー・リセット選択	05H	R/W	0 ----- 0 ----- ISPRES ----- ASPRES	“ 0 ”固定 割り込みスタック・オーバーフロー/アンダフロー・リセット選択 (電源投入後一度だけ設定可能) アドレス・スタック・オーバーフロー/アンダフロー・リセット選択 (電源投入後一度だけ設定可能)			リセット禁止	リセット有効		3 保 持 保 持 保 持	
ウォッチドッグ・タイマ	ウォッチドッグ・タイマ・クロック選択	02H	R/W	0 ----- 0 ----- WDTCK1 ----- WDTCK0	“ 0 ” 固定 ウォッチドッグ・タイマのクロックを選択 (電源投入後一度だけ設定可能)			0 0 1 1 使用しない 65536命令 設定禁止 131072命令				3 保 持 保 持 保 持
	ウォッチドッグ・タイマ・カウンタ・リセット	03H	W & Reset	WDTRES ----- 0 ----- 0 ----- 0	ウォッチドッグ・タイマ・カウンタをリセット “ 0 ”固定			無効	書き込むとリセット			不 定 不 定 不 定 不 定
	WDT & SPリセット状態検出	16H	R & Reset	0 ----- 0 ----- 0 ----- WDTCY	ウォッチドッグ・タイマ/スタック・ポインタのリセットの検出			リセット要求なし	リセット要求あり			0 1 保 持 保 持

表8-1 コントロール・レジスタの周辺ハードウェア制御機能一覧(2/8)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能		リセット時			クロック・ストップ時	
	名称	番地	Read/Write	b ₃ b ₂ b ₁ b ₀ 記号	機能	設定値		ハイゾン・リセット	MOVTCRによるリセット		CEリセット
						0	1				
CE	CEリセット・タイマ・キャリア・カウンタ	06H	R/W	CECNT3	CEリセット・タイマ・キャリアの カウント回数を設定	0:設定禁止 1:1カウント 2:2カウント	1	保	保	1	
				CECNT2		3:3カウント 4:4カウント 5:5カウント					
				CECNT1		6:6カウント 7:7カウント 8:8カウント					
				CECNT0		9:9カウント A:10カウント B:11カウント C:12カウント D:13カウント E:14カウント F:15カウント					
シリアル・インタフェース	MOVTPビット選択	07H	R/W	0	“0”固定		0	0	0	保	
				0							
				MOVTSSEL1		MOVTP命令による転送ビットを設定					00 0 1
				MOVTSSEL0		(8ビット転送時はDBF1,0に転送)					16ビット転送 上位8ビット転送 下位8ビット転送 01 1 0
シリアル・インタフェース	シリアルI/O0 ウェイト状態判定	0AH	R	0	“0”固定		0	0	0	0	
				0							
				0							
				SIO0WSTT		シリアル・インタフェース 0のウェイト状態を判定					ウェイト中 シリアル通信中
シリアル・インタフェース	シリアルI/O0 クロック選択	0BH	R/W	0	“0”固定		0	0	0	0	
				SBMD		I ² Cバスのスレーブ送信時の 動作モードを選択					処理を継続 自動的に受信モード
				SIO0CK1		シリアル・インタフェース					0 0 1 1 93.75 kHz 375 kHz 281.25 kHz 46.875 kHz
				SIO0CK0		0の内部クロックの設定					0 1 0 1
シリアル・インタフェース	シリアルI/O0 割り込みモード選択	0CH	R/W	0	“0”固定		0	0	0	0	
				0							
				SIO0IMD1		シリアル・インタフェース					0 0 1 1 7クロック目 8クロック目 スタート条件後の 7クロック目 ストップ条件
				SIO0IMD0		0の割り込み条件の設定					0 1 0 1
シリアル・インタフェース	シリアルI/O0状態検出	0DH	R	SIO0SF8	クロック・カウンタの検出	8クロックでセット	0	0	0	0	
				SIO0SF9		9クロックでセット					
				SBSTT		クロック数を検出(I ² Cバス方式)					スタート条件-9クロック目までセット
				SBBSY		スタート条件を検出(I ² Cバス方式)					スタート条件-ストップ条件までセット
シリアル・インタフェース	シリアルI/O0 ウェイト・コントロール	0EH	R/W	SBACK	アクノリッジの設定, 検出(I ² Cバス方式)	0, 1の設定および検出	0	0	0	0	
				SIO0NWT		ウェイト許可を設定					許可 解除
				SIO0WRQ1		ウェイト・モードを設定					0 0 1 1 ノー・データ・アクノリッジ アドレス・ ウェイト ウェイト ウェイト ウェイト
				SIO0WRQ0							0 1 0 1

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (3/8)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能		リセット時			クロック・ストップ時		
	名称	番地	Read/Write	b ₃ b ₂ b ₁ b ₀ 記号	機能	設定値		ハイオン・リセット	WDT & SCSリセット		CEリセット	
						0	1					
シリアル・インタフェース	シリアルI/O0 モード選択	0FH	R/W	SIO0CH	シリアルI/O0のモードを選択	0 0 1 1	使用しない I ² C方式 2線式 3線式	0	0	0	0	
				SB		0 1 0 1						
				SIO0MS	マスタ/スレーブを設定	スレーブ動作	マスタ動作					
				SIO0TX	転送方向を設定	受信	送信					
	シリアルI/O1 モード選択	1DH	R/W	SIO1TS	動作開始, 停止の設定	動作停止	動作開始	0	0	0	0	
				SIO1HIZ	P0B1/SO1端子の状態を設定	汎用入出力ポート	シリアル・データ出力端子					
				SIO1CK1	入出力クロックを設定	0 0 1 1						
				SIO1CK0		外部 クロック 187.50 kHz 375.00 kHz 46.875 kHz	0 1 0 1					
PLL周波数シンセサイザ	PLLモード選択	10H	R/W	PLLSCNF	スワロ・カウンタの下位ビットを設定	最下位ビットを0	最下位ビットを1	不	不	保	保	
				0	"0" 固定							
				PLLMD1	PLLの分周モードを設定	0 0 1 1						
				PLLMD0		ディスエーブル MF VHF HF	0 1 0 1					
	PLL基準周波数選択	11H	R/W	PLLRFCK3	PLLの基準周波数を設定	0 : 1.25 kHz 1 : 2.5 kHz 2 : 5 kHz		F	F	F	F	
				PLLRFCK2		3 : 10 kHz 4 : 6.25 kHz 5 : 12.5 kHz						
				PLLRFCK1		6 : 25 kHz 7 : 50 kHz 8 : 3 kHz						
				PLLRFCK0		9 : 9 kHz A : 18 kHz B : 設定禁止						
						C : 1 kHz D : 20 kHz E : 設定禁止 F : PLLディスエーブル						
	PLLアンロックFF	12H	R & Reset	0	"0" 固定			不	不	保	保	
0												
0												
PLLUL				アンロックFFの状態を検出		ロック状態	アンロック状態					
BEEP	BEEP / 汎用ポート端子機能選択	13H	R/W	0	"0" 固定			0	0	0	0	
				0								
				BEEP1SEL		P1D1/BEEP1端子の機能を選択	汎用入出力ポート					BEEP
				BEEP0SEL		P1D0/BEEP0端子の機能を選択						
	BEEPクロック選択	14H	R/W	BEEP1CK1	BEEP1の出力周波数を設定	0 0 1 1	0	0	0	0		
				BEEP1CK0		4 kHz 3 kHz 200 Hz 67 Hz						
				BEEP0CK1		BEEP0の出力周波数を設定					0 1 0 1	
				BEEP0CK0		1 kHz 3 kHz 4 kHz 6.7 kHz					0 1 0 1	

不 : 不定 保 : 保持

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (4/8)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能		リセット時			クロック・ストップ時					
	名称	番地	Read/Write	b ₃ b ₂ b ₁ b ₀ 記号	機能	設定値		パ ラ メ タ リ セ ツ ト	W R T リ セ ツ ト		C E リ セ ツ ト				
						0	1								
タイマ	ベーシック・タイマ0 キャリア	17H	R & Reset	0	“ 0 ” 固定				0	保 持	1	保 持			
				0											
				0											
				BTM0CY									ベーシック・タイマ0キャリア-FFの検出	FFリセット	FFセット
	ベーシック・タイマ0 クロック選択	18H	R/W	0	“ 0 ” 固定				0	0	保 持	保 持			
				0											
				BTM0CK1									ベーシック・タイマ0のク	0 0 1 1	10 Hz 20 Hz 50 Hz 100 Hz
				BTM0CK0									ロック選択	0 1 0 1	
	タイマ3コントロール	28H	R/W	TM3SEL	タイマ3とD/Aコンバータの選択	D/Aコンバータ	タイマ3	0	0	保 持	0				
				0	“ 0 ” 固定										
TM3EN				タイマ3カウンタのスター ト/ストップを設定	ストップ	スタート									
TM3RES				タイマ3カウンタのリセットを設定	変化しない	リセット									
タイマ2カウンタ・ クロック選択	29H	R/W	TM2EN	タイマ2カウンタのスター ト/ストップを設定	ストップ	スタート	0	0	保 持	0					
			TM2RES	タイマ2カウンタのリセットを設定	変化しない	リセット									
			TM2CK1	タイマ2カウンタの基本ク	0 0 1 1	100 kHz 10 kHz 2 kHz 1 kHz									
			TM2CK0	ロックを設定	0 1 0 1										
タイマ1カウンタ・ クロック選択	2AH	R/W	TM1EN	タイマ1カウンタのスター ト/ストップを設定	ストップ	スタート	0	0	保 持	0					
			TM1RES	タイマ1カウンタのリセットを設定	変化しない	リセット									
			TM1CK1	タイマ1カウンタの基本ク	0 0 1 1	100 kHz 10 kHz 2 kHz 1 kHz									
			TM1CK0	ロックを設定	0 1 0 1										
タイマ0カウンタ・ クロック選択	2BH	R/W	TM0EN	タイマ0カウンタのスター ト/ストップを設定	ストップ	スタート	0	0	保 持	0					
			TM0RES	タイマ0カウンタのリセットを設定	変化しない	リセット									
			TM0CK1	タイマ0カウンタの基本ク	0 0 1 1	100 kHz 10 kHz 2 kHz 1 kHz									
			TM0CK0	ロックを設定	0 1 0 1										
タイマ0モード選択	2CH	R/W	TM0OVF	タイマ0オーバーフロー検出	オーバーフローなし	オーバーフローあり	0	0	保 持	0					
			TM0GCEG	ゲート・クローズ入力信号 のエッジを設定	立ち上がりエッジ	立ち下がりエッジ									
			TM0GOEG	ゲート・オープン入力信号 のエッジを設定											
			TM0MD	タイマ0のモジュロ・カウンタ/ ゲート・カウンタの切り替え	モジュロ・カウンタ	ゲート・カウンタ									

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (5/8)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能			リセット時			クロック・ストップ時	
	名称	番地	Read/Write	b3 b2 b1 b0 記号	機能	設定値		パワオン・リセット時	WDT・POT・PSTB時	CEリセット		
						0	1					
割り込み	割り込みエッジ選択 1	1EH	R/W	IEG4	割り込み発行エッジを設定 (INT4端子)	立ち上がりエッジ	立ち下がりエッジ	0	0	保	保	
				INT4SEL	P1A3/INT4端子の割り込み要求フラグの設定	フラグのセット許可	フラグのセット禁止					
				IEG3	割り込み発行エッジを設定 (INT3端子)	立ち上がりエッジ	立ち下がりエッジ					
				INT3SEL	P1A2/INT3端子の割り込み要求フラグの設定	フラグのセット許可	フラグのセット禁止					
	割り込みエッジ選択 2	1FH	R/W	0	“ 0 ” 固定				0	0	保	保
				IEG2	割り込み発行エッジを設定 (INT2端子)	立ち上がりエッジ	立ち下がりエッジ					
				IEG1	割り込み発行エッジを設定 (INT1端子)							
				IEG0	割り込み発行エッジを設定 (INT0端子)							
	割り込み許可 1	2DH	R/W	IPSIO1	シリアル・インタフェース 1 の割り込み許可を設定	割り込み禁止	割り込み許可	0	0	保	保	
				IPSIO0	シリアル・インタフェース 0 の割り込み許可を設定							
				IPTM3	タイマ 3 の割り込み許可を設定							
				IPTM2	タイマ 2 の割り込み許可を設定							
割り込み許可 2	2EH	R/W	IPTM1	タイマ 1 の割り込み許可を設定	割り込み禁止	割り込み許可	0	0	保	保		
			IPTM0	タイマ 0 の割り込み許可を設定								
			IP4	INT4端子の割り込み許可を設定								
			IP3	INT3端子の割り込み許可を設定								
割り込み許可 3	2FH	R/W	IP2	INT2端子の割り込み許可を設定	割り込み禁止	割り込み許可	0	0	保	保		
			IP1	INT1端子の割り込み許可を設定								
			IP0	INT0端子の割り込み許可を設定								
			IPCE	CE端子の割り込み許可を設定								
シリアル・インタフェース 1 割り込み要求	34H	R/W	0	“ 0 ” 固定				0	0	保	保	
			0									
			0									
			IRQSIO1	シリアル・インタフェース 1 の割り込み要求検出	割り込み要求なし	割り込み要求あり						

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (6/8)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能				リセット時			
	名 称	番地	Read/Write	b3 b2 b1 b0 記号	機 能	設 定 値		バ イ オ ン レ ジ ス タ リ セ ツ ト	W R T P R E S E T	C E リ セ ツ ト	ク ロ ッ ク ・ ス ト ッ プ 時	
						0	1					
割り込み	シリアル・インタフェース0 割り込み要求	35H	R/W	0	“ 0 ” 固定	シリアル・インタフェース0の割り込み要求検出	割り込み要求なし	割り込み要求あり	0	0	保 持	保 持
				0								
				0								
割り込み	タイム3 割り込み要求	36H	R/W	0	“ 0 ” 固定	タイム3の割り込み要求検出	割り込み要求なし	割り込み要求あり	0	0	保 持	保 持
				0								
				0								
割り込み	タイム2 割り込み要求	37H	R/W	0	“ 0 ” 固定	タイム2の割り込み要求検出	割り込み要求なし	割り込み要求あり	0	0	保 持	保 持
				0								
				0								
割り込み	タイム1 割り込み要求	38H	R/W	0	“ 0 ” 固定	タイム1の割り込み要求検出	割り込み要求なし	割り込み要求あり	0	0	保 持	保 持
				0								
				0								
割り込み	タイム0 割り込み要求	39H	R/W	0	“ 0 ” 固定	タイム0の割り込み要求検出	割り込み要求なし	割り込み要求あり	0	0	保 持	保 持
				0								
				0								
割り込み	INT4端子 割り込み要求	3AH	R/W	INT4	INT4端子の状態を検出	ロウ・レベル	ハイ・レベル	不	不	不	不	
				0	“ 0 ” 固定			0	0	保 持	保 持	
				0	INT4端子の割り込み要求検出	割り込み要求なし	割り込み要求あり					
割り込み	INT3端子 割り込み要求	3BH	R/W	INT3	INT3端子の状態を検出	ロウ・レベル	ハイ・レベル	不	不	不	不	
				0	“ 0 ” 固定			0	0	保 持	保 持	
				0	INT3端子の割り込み要求検出	割り込み要求なし	割り込み要求あり					
割り込み	INT2端子 割り込み要求	3CH	R/W	INT2	INT2端子の状態を検出	ロウ・レベル	ハイ・レベル	不	不	不	不	
				0	“ 0 ” 固定			0	0	保 持	保 持	
				0	INT2端子の割り込み要求検出	割り込み要求なし	割り込み要求あり					
割り込み	INT1端子 割り込み要求	3DH	R/W	INT1	INT1端子の状態を検出	ロウ・レベル	ハイ・レベル	不	不	不	不	
				0	“ 0 ” 固定			0	0	保 持	保 持	
				0	INT1端子の割り込み要求検出	割り込み要求なし	割り込み要求あり					

不：不定

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (7/8)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能				リセット時			クロック・ストップ時
	名称	番地	Read/Write	b3 b2 b1 b0 記号	機能	設定値		バリエーションリセット	WDT&PDIリセット	CEリセット		
						0	1					
割り込み	INT0端子割り込み要求	3EH	R/W	INT0	INT0端子の状態を検出	ロウ・レベル	ハイ・レベル	不	不	不	不	
				0	“ 0 ” 固定			0	0	保	保	
				0								
				IRQ0	INT0端子の割り込み要求検出	割り込み要求なし	割り込み要求あり					
	CE端子割り込み要求	3FH	R	CE	CE端子の状態を検出	ロウ・レベル	ハイ・レベル	不	不	不	不	
				0	“ 0 ” 固定			0	0	0	0	
CECNTSTT				CEリセット・カウンタの状態を検出	停止	動作中						
		R/W	IRQCE	CE端子の割り込み要求検出	割り込み要求なし	割り込み要求あり	0	0	保	保		
IFカウンタ	FCGチャンネル選択	20H	R/W	0	“ 0 ” 固定			0	0	0	0	
				0								
				FCGCH1	FCGとして使用する端子を設定	0 0 1 1	FCGを FCG0端子 FCG1端子 設定禁止 使用しない					
				FCGCH0		0 1 0 1						
	IFカウンタ・ゲート状態検出	21H	R	0	“ 0 ” 固定			0	0	0	0	
				0								
				IFCGOSTT	IFカウンタのゲート状態を検出	クローズ	オープン					
	IFカウンタ・モード選択	22H	R/W	IFCMD1	IFカウンタのモード設定	0 0 1 1	FCG AMIFC FMIFC AMIFC2	0	0	0	0	
				IFCMD0		0 1 0 1						
				IFCCK1	IFカウンタのゲート時間およびFCGのカウンタ周波数を設定	0 0 1 1	1 ms, 4 ms, 8 ms, オープン,					
IFCCK0					1 kHz 100 kHz 900 kHz 設定禁止	0 1 0 1						
IFカウンタ・コントロール	23H	W	0	“ 0 ” 固定			0	0	0	0		
			0									
			IFCSTRT	IFカウンタのカウンタ・スタートを設定	何も変化しない	カウンタをスタート						
			IFCRES	IFカウンタのデータ・リセットを設定	何も変化しない	カウンタをリセット						
A/Dコンバータ	A/Dコンバータ・チャンネル選択	24H	R/W	0	“ 0 ” 固定			0	0	保	保	
				ADCCH2	A/Dコンバータとして使用する端子を選択	0: A/Dコンバータを使用しない						
				ADCCH1		1: P0D0/AD0端子 2: P0D1/AD1端子						
				ADCCH0		3: P0D2/AD2端子 4: P0D3/AD3端子 5: P1C2/AD4端子 6: P1C3/AD5端子 7: 設定禁止						
	A/Dコンバータ・モード選択	25H	R/W	0	“ 0 ” 固定			0	0	0	0	
ADCMD	A/Dコンバータの比較モードを選択		ソフトウェア・モード	ハードウェア・モード			保	保				
R	ADCSTT		A/Dコンバータの動作状態を検出	変換終了	変換中			0	0			
			ADCCMP	A/Dコンバータの比較結果を検出	V _{ADCREf} > V _{ADCI}	V _{ADCREf} < V _{ADCI}			0	保		

不：不定 保：保持

表 8 - 1 コントロール・レジスタの周辺ハードウェア制御機能一覧 (8/8)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能		リセット時			クロック・ストップ時	
	名称	番地	Read/Write	b ₃ b ₂ b ₁ b ₀ 記号	機能	設定値		ハイオン・リセット	WDT リセット		CEリセット
						0	1				
D/Aコンバータ	PWMクロック選択	26H	R/W	0	“ 0 ” 固定			0	0	保	0
				PWMBIT	PWMカウンタのビット選択	8ビット	9ビット			持	
				0	“ 0 ” 固定						
				PWMCK	タイマ3の出力クロックの選択	4.4 kHz(8) 2.2 kHz(9)	440 Hz(8) 220 Hz(9)				
	PWM / 汎用ポート端子機能選択	27H	R/W	0	“ 0 ” 固定			0	0	保	0
				PWM2SEL	P1B2/PWM2端子の機能を選択	汎用出力ポート	D/Aコンバータ			持	
				PWM1SEL	P1B1/PWM1端子の機能を選択						
PWM0SEL	P1B0/PWM0端子の機能を選択										

8.4 ポート入力/出力選択レジスタ

図8 - 4 にポート入力/出力選択レジスタの構成を示します。

図8 - 4 に示すようにポート入力/出力選択レジスタはデータ・メモリのBANK15のアドレス60H-6FH番地の計16ニブル(16×4ビット)から構成されています。

表8 - 2 にポート入力/出力選択レジスタの制御機能一覧を示します。

{ × ㉔ }

図8 - 4 ポート入力/出力選択レジスタの構成 (1/2)

(BANK15) カラム・アドレス ロウ・アドレス 項目		0	1	2	3	4	5	6	7
6	名 称							ポート0D プルダウン 抵抗選択	グループI/O 選択
	記 号							P P P P 0 0 0 0 D D D D P P P P L L L L D D D D 3 2 1 0	P P P P 3 3 3 3 D C B A G G G G I I I I O O O O
	Read/ Write							R/W	R/W

図8 - 4 ポート入力/出力選択レジスタの構成 (2/2)

8				9				A				B				C				D				E				F							
ポート2D ビットI/O選択				ポート2C ビットI/O選択				ポート2B ビットI/O選択				ポート2A ビットI/O選択				ポート1D ビットI/O選択				ポート0C ビットI/O選択				ポート0B ビットI/O選択				ポート0A ビットI/O選択							
0	P	P	P	P	P	P	P	P	P	P	P	0	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P
2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
D	D	D	D	C	C	C	C	B	B	B	B	A	A	A	A	D	D	D	D	C	C	C	C	B	B	B	B	A	A	A	A				
B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B	B				
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I				
O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O				
2	1	0		3	2	1	0	3	2	1	0	2	1	0		3	2	1	0	3	2	1	0	3	2	1	0	3	2	1	0				
R/W				R/W				R/W				R/W				R/W				R/W															

表8 - 2 ポート入力/出力選択レジスタの制御機能一覧(1/2)

周辺ハードウェア	ポート入力/出力選択レジスタ				制 御 機 能		リセット時			クロック・ストップ時	
	名 称	番地 (BANK15)	Read/ Write	b ₃ b ₂ b ₁ b ₀ 記号	機 能	設 定 値		ハイ オン リセット	MOD ࣘ リセット		CE リセット
						0	1				
入出力ポート	ポート0D プルダウン抵抗選択	66H	R/W	P0DPLD3	P0D3端子のプルダウン抵抗切り替え	プルダウン抵抗使用	プルダウン抵抗未使用	0	0	保	保
				P0DPLD2	P0D2端子のプルダウン抵抗切り替え						
				P0DPLD1	P0D1端子のプルダウン抵抗切り替え						
				P0DPLD0	P0D0端子のプルダウン抵抗切り替え						
	グループI/O選択	67H	R/W	P3DGIO	ポート3Dの入力/出力選択	入力	出力	0	0	保	保
				P3CGIO	ポート3Cの入力/出力選択						
				P3BGIO	ポート3Bの入力/出力選択						
				P3AGIO	ポート3Aの入力/出力選択						
	ポート2DビットI/O選択	68H	R/W	0	“ 0 ” 固定	入力	出力	0	0	保	保
				P2DBIO2	P2D2端子の入力/出力選択						
				P2DBIO1	P2D1端子の入力/出力選択						
				P2DBIO0	P2D0端子の入力/出力選択						
	ポート2CビットI/O選択	69H	R/W	P2CBIO3	P2C3端子の入力/出力選択	入力	出力	0	0	保	保
				P2CBIO2	P2C2端子の入力/出力選択						
				P2CBIO1	P2C1端子の入力/出力選択						
				P2CBIO0	P2C0端子の入力/出力選択						
	ポート2BビットI/O選択	6AH	R/W	P2BBIO3	P2B3端子の入力/出力選択	入力	出力	0	0	保	保
				P2BBIO2	P2B2端子の入力/出力選択						
				P2BBIO1	P2B1端子の入力/出力選択						
				P2BBIO0	P2B0端子の入力/出力選択						
	ポート2AビットI/O選択	6BH	R/W	0	“ 0 ” 固定	入力	出力	0	0	保	保
				P2ABIO2	P2A2端子の入力/出力選択						
				P2ABIO1	P2A1端子の入力/出力選択						
				P2ABIO0	P2A0端子の入力/出力選択						
	ポート1DビットI/O選択	6CH	R/W	P1DBIO3	P1D3端子の入力/出力選択	入力	出力	0	0	保	保
				P1DBIO2	P1D2端子の入力/出力選択						
				P1DBIO1	P1D1端子の入力/出力選択						
				P1DBIO0	P1D0端子の入力/出力選択						
ポート0CビットI/O選択	6DH	R/W	P0CBIO3	P0C3端子の入力/出力選択	入力	出力	0	0	保	保	
			P0CBIO2	P0C2端子の入力/出力選択							
			P0CBIO1	P0C1端子の入力/出力選択							
			P0CBIO0	P0C0端子の入力/出力選択							
ポート0BビットI/O選択	6EH	R/W	P0BBIO3	P0B3端子の入力/出力選択	入力	出力	0	0	保	保	
			P0BBIO2	P0B2端子の入力/出力選択							
			P0BBIO1	P0B1端子の入力/出力選択							
			P0BBIO0	P0B0端子の入力/出力選択							

表 8 - 2 ポート入力/出力選択レジスタの制御機能一覧 (2/2)

周辺ハードウェア	ポート入力/出力選択レジスタ				制 御 機 能			リセット時			
	名 称	番地 (BANK15)	Read/ Write	b3 b2 b1 b0 記号	機 能	設 定 値		バ イ オ ン ・ リ セ ツ ト	W D T & C E R E T	C E R E T	ク ロ ク ・ ス ト ッ プ 時
						0	1				
入出力ポート	ポート0AビットI/O選択	6FH	R/W	P0ABIO3	P0A3端子の入力/出力選択	入力	出力	0	0	保	持
				P0ABIO2	P0A2端子の入力/出力選択						
				P0ABIO1	P0A1端子の入力/出力選択						
				P0ABIO0	P0A0端子の入力/出力選択						

8.5 レジスタ・ファイル使用時の注意

コントロール・レジスタ（レジスタ・ファイルのアドレス00H-3FH番地）の書き込み専用レジスタ（W）、読み込み専用レジスタ（R）および未使用レジスタを操作するときは次の（1）-（3）に示す点に注意が必要です。

- （1）書き込み専用レジスタを読み込むと“不定な値”が読み込まれます。
- （2）読み込み専用レジスタに書き込みを行っても何も変化しません。
- （3）未使用部分を読み込むと“不定な値”が読み込まれます。また、書き込みを行っても何も変化しません。

9 . データ・バッファ (DBF)

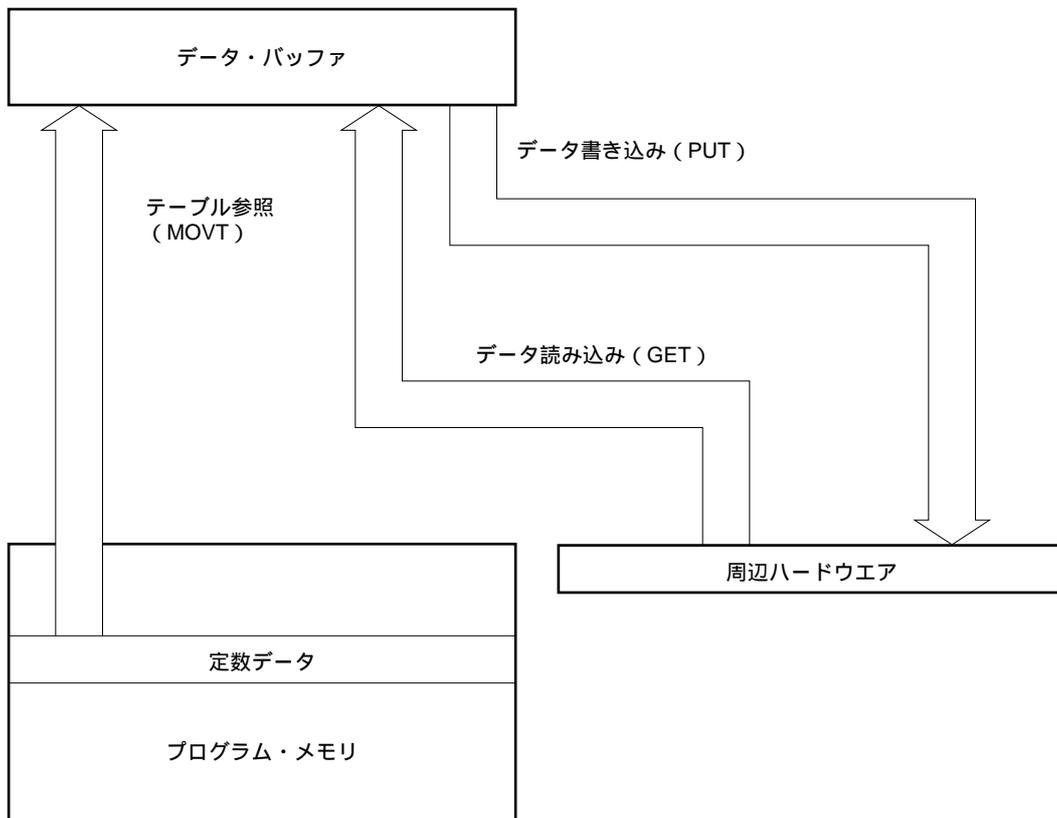
9.1 データ・バッファ概要

図9 - 1 に、データ・バッファの概要を示します。

データ・バッファは、データ・メモリ上に配置されており、次に示す2つの機能があります。

- ・プログラム・メモリ上の定数データの読み込み (テーブル参照) 機能
- ・周辺ハードウェアとのデータ転送機能

図9 - 1 データ・バッファの概要



9.2 データ・バッファ

9.2.1 データ・バッファの構成

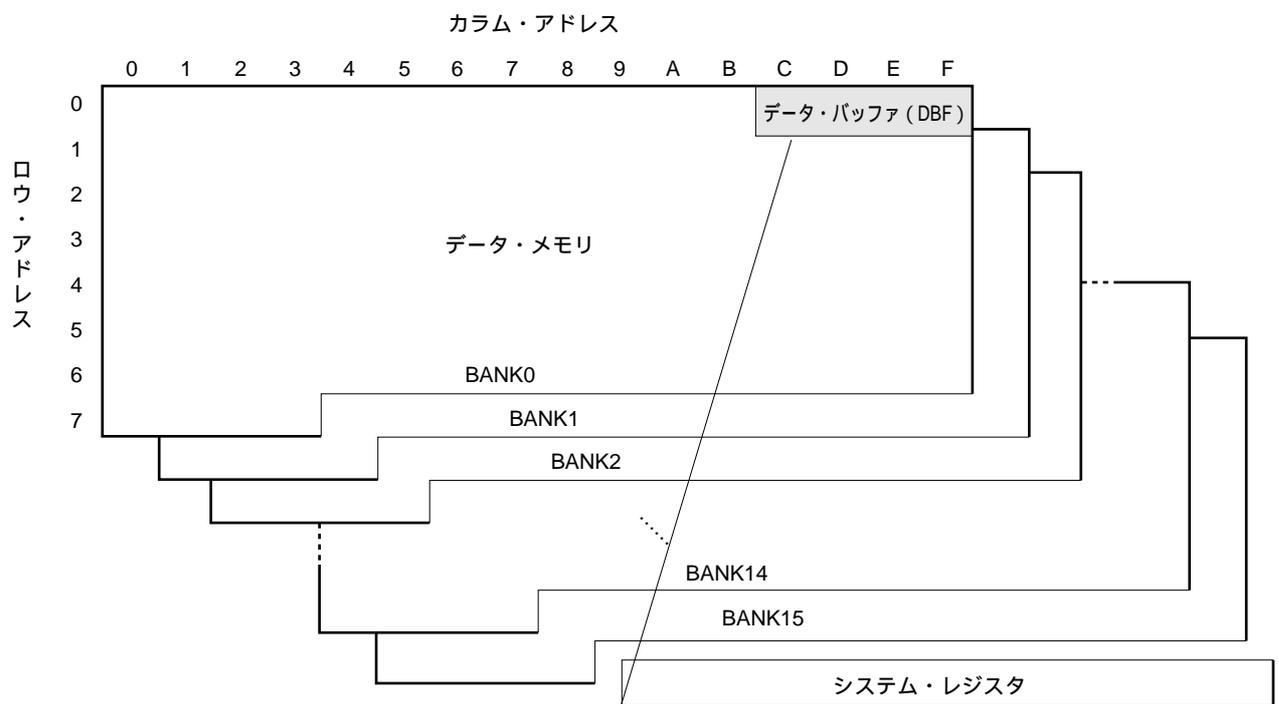
図9-2に、データ・バッファの構成を示します。

図9-2に示すように、データ・バッファは、データ・メモリ上のアドレスBANK0の0CH-0FH番地の計16ビットで構成されています。

16ビットのデータは、アドレス0CH番地のビット3をMSBとし、アドレス0FH番地のビット0をLSBとして構成されています。

データ・バッファは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作できます。

図9-2 データ・バッファの構成



備考 μPD17704, 17705には、BANK6-BANK14は
ありません。
μPD17707, 17708には、BANK10-BANK14
はありません。

データ・メモリ	アドレス	0CH				0DH				0EH				0FH			
	ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ・バッファ	ビット	b ₁₅	b ₁₄	b ₁₃	b ₁₂	b ₁₁	b ₁₀	b ₉	b ₈	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
	信号	DBF3				DBF2				DBF1				DBF0			
	データ	M				データ				L				S			
		S												B			
		B															

9.2.2 テーブル参照命令 (“ MOV_T DBF, @AR ”)

アドレス・レジスタの内容によってアドレス指定されるプログラム・メモリの内容を、データ・バッファに読み込みます。

テーブル参照命令の転送ビットは、コントロール・レジスタのMOV_T選択レジスタ(07H番地)によって指定することができます。

8ビット転送時はDBF1, 0に読み込まれます。

テーブル参照命令実行時は、スタックが1レベル使用されます。

テーブル参照が可能なプログラム・メモリ・アドレスは、プログラム・メモリの全アドレスです。

9.2.3 周辺ハードウェア制御命令 (“ PUT ”, “ GET ”)

次に、“ PUT ” および “ GET ” 命令の動作を示します。

(1) GET DBF, p

データ・バッファに、pでアドレス指定される周辺レジスタのデータを読み込む。

(2) PUT p, DBF

pでアドレス指定される周辺レジスタに、データ・バッファのデータを設定する。

9.3 周辺ハードウェアとデータ・バッファ一覧

表9 - 1 に周辺ハードウェアとデータ・バッファの機能一覧を示します。

表9 - 1 周辺ハードウェアとデータ・バッファの関係 (1/2)

周辺ハードウェア		データ・バッファとデータ転送を行う周辺レジスタ					
		名 称	記 号	周辺 アドレス	PUT命令/ GET命令の可否	入出力 ビット	実用 ビット
A/Dコンバータ		A/Dコンバータ基準電圧設定レジスタ	ADCR	02H	PUT/GET	8	8
シリアル・ インタフェース	シリアル・インタフェース0	プリセッタブル・シフト・レジスタ0	SIO0SFR	03H	PUT/GET	8	8
	シリアル・インタフェース1	プリセッタブル・シフト・レジスタ1	SIO1SFR	04H			
タイマ0		タイマ0モジュロ・レジスタ	TM0M	1AH	PUT/GET	8	8
		タイマ0カウンタ	TM0C	1BH	GET	8	8
タイマ1		タイマ1モジュロ・レジスタ	TM1M	1CH	PUT/GET	8	8
		タイマ1カウンタ	TM1C	1DH	GET	8	8
タイマ2		タイマ2モジュロ・レジスタ	TM2M	1EH	PUT/GET	8	8
		タイマ2カウンタ	TM2C	1FH	GET	8	8
アドレス・レジスタ		アドレス・レジスタ	AR	40H	PUT/GET	16	16
データ・バッファ・スタック		DBFスタック	DBFSTK	41H	PUT/GET	16	16
PLL周波数シンセサイザ ^注		PLLデータ・レジスタ	PLLR	42H	PUT/GET	16	16
周波数カウンタ		IFカウンタ・データ・レジスタ	IFC	43H	GET	16	16
D/Aコンバータ (PWM出力)	P1B0/PWM0端子	PWMデータ・レジスタ0	PWMR0	44H	PUT/GET	16	9
	P1B1/PWM1端子	PWMデータ・レジスタ1	PWMR1	45H			
	P1B2/PWM2端子	PWMデータ・レジスタ2	PWMR2	46H	PUT/GET	16	9
タイマ3		タイマ3モジュロ・レジスタ	TM3M				8

注 PLL周波数シンセサイザのプログラマブル・カウンタは17ビットで構成されており、そのうちの上位16ビットはPLLデータ・レジスタ (PLLR) を示し、最下位ビットはコントロール・レジスタのPLLSCNFフラグ (10H番地の3ビット目) に割り付けられています。

詳しくは“ 17. PLL周波数シンセサイザ ”を参照してください。

表9 - 1 周辺ハードウェアとデータ・バッファの関係 (2/2)

リセット時			クロック・ストップ	機能
パワーオン・リセット	WDT & SPPリセット	CEリセット		
0	0	0 ^注	0 ^注	A/Dコンバータの比較電圧V _{ADCREf} データを設定
不定	不定	不定	不定	シリアル・アウト・データの設定およびシリアル・イン・データの読み込み
FF	FF	保持	FF	タイマ0のモジュロ・レジスタ値を設定
0	0	保持	0	タイマ0カウンタの計数値の読み込み
FF	FF	保持	FF	タイマ1のモジュロ・レジスタ値を設定
0	0	保持	0	タイマ1カウンタの計数値の読み込み
FF	FF	保持	FF	タイマ2のモジュロ・レジスタ値を設定
0	0	保持	0	タイマ2カウンタの計数値の読み込み
0	0	0	保持	アドレス・レジスタとのデータ転送
不定	不定	保持	保持	データ・バッファのデータを退避
不定	不定	保持	保持	PLLの分周値(N値)を設定
0	0	0	0	周波数カウンタの計数値の読み込み
1FF	1FF	保持	1FF	D/Aコンバータの出力信号のデューティを設定
				D/Aコンバータの出力信号のデューティを設定(タイマ3のモジュロ・レジスタと兼用)
				タイマ3のモジュロ・レジスタ値を設定

注 ハードウェア・モード時の値です。ソフトウェア・モード時は“保持”になります。

9.4 データ・バッファ使用時の注意

データ・バッファを介して周辺ハードウェアとデータ転送を行うとき、未使用周辺アドレスや書き込み専用周辺レジスタ（PUTのみ）および読み込み専用周辺レジスタ（GETのみ）に対して、次に示す点に注意が必要です。

- ・書き込み専用レジスタを読み込むと“不定な値”が読み込まれます。
- ・読み込み専用レジスタに書き込みを行っても何も変化しません。
- ・未使用アドレスを読み込むと“不定な値”が読み込まれます。また、書き込みを行っても何も変化しません。

10. データ・バッファ・スタック

10.1 データ・バッファ・スタック概要

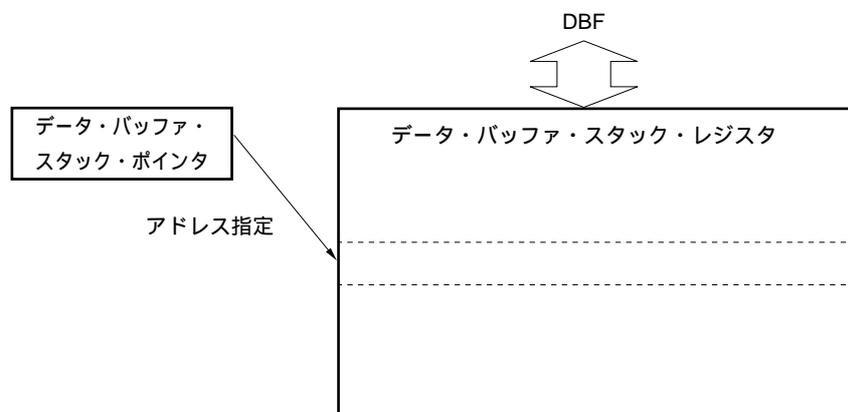
図10 - 1 に、データ・バッファ・スタックの概要を示します。

図10 - 1 に示すように、データ・バッファ・スタックは、データ・バッファ・スタック・ポインタおよびデータ・バッファ・スタック・レジスタで構成されています。

データ・バッファ・スタックは、“PUT” および “GET” 命令によりデータ・バッファの内容を退避および復帰します。

したがって、割り込み受け付け時などにデータ・バッファの内容を1命令で退避できます。

図10 - 1 データ・バッファ・スタック概要



10.2 データ・バッファ・スタック・レジスタ

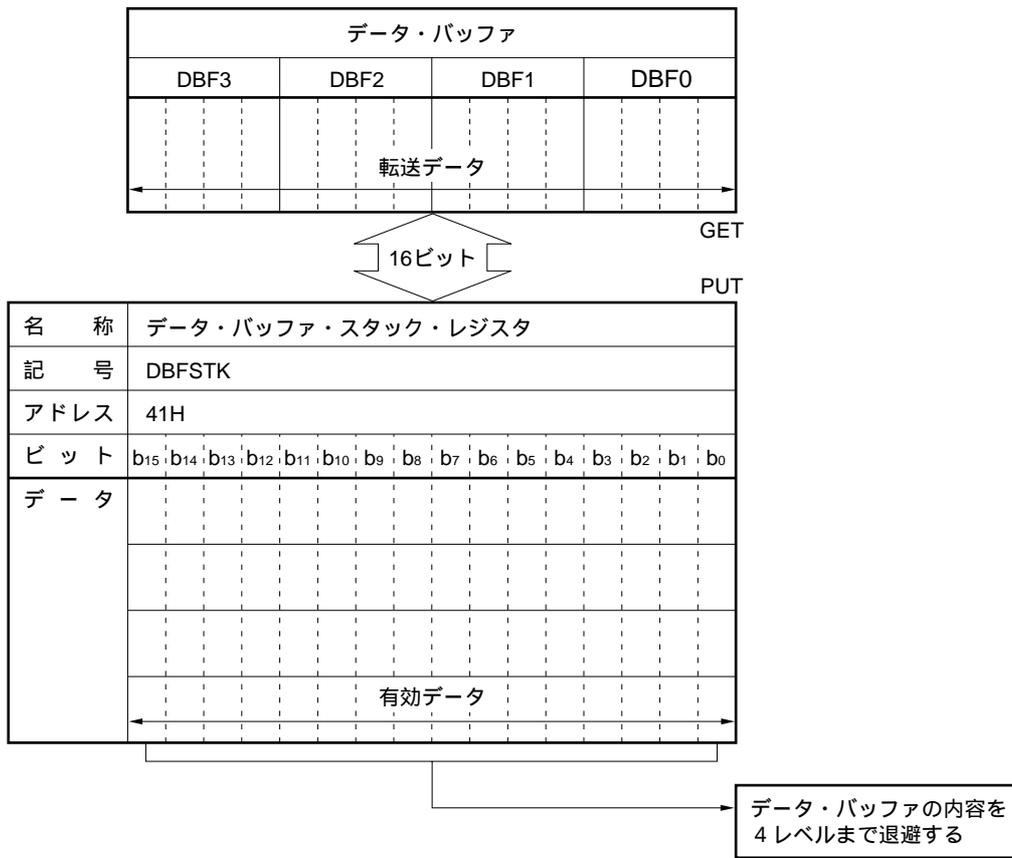
図10 - 2 に、データ・バッファ・スタック・レジスタの構成を示します。

図10 - 2 に示すように、データ・バッファ・スタック・レジスタは、16ビット×4個のレジスタで構成されています。

“PUT” 命令を実行することによりデータ・バッファの内容を退避し、“GET” 命令を実行することにより退避したデータを復帰します。

最大4レベルまで続けて退避することができます。

図10 - 2 データ・バッファ・スタック・レジスタの構成

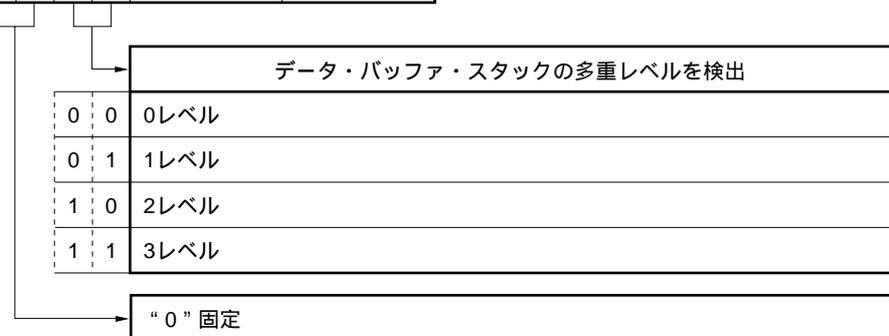


10.3 データ・バッファ・スタック・ポインタ

データ・バッファ・スタック・ポインタはデータ・バッファ・スタック・レジスタの多重レベルを検出します。すなわち、データ・バッファ・スタックに“PUT”命令が実行されると+1され、“GET”命令が実行されると-1されます。

データ・バッファ・スタック・ポインタは読み込みだけ可能であり、書き込みはできません。次にデータ・バッファ・スタック・ポインタの構成と機能を示します。

名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
データ・バッファ・スタック・ポインタ	0	0	↑ D B F S P ↓ 1	↑ D B F S P ↓ 0	04H	R



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット			0	0
	CEリセット			0	0
クロック・ストップ時		↓	↓	保 持	

10.4 データ・バッファ・スタックの動作

図10 - 3 に、データ・バッファ・スタックの動作を示します。

図10 - 3 に示すように、PUT命令が実行されると、スタック・ポインタで指定されるデータ・バッファ・スタック・レジスタにデータ・バッファの内容を転送し、スタック・ポインタを + 1 します。

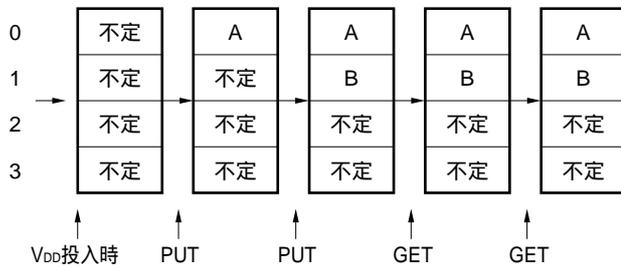
GET命令が実行されると、スタック・ポインタで指定されるデータ・バッファ・スタック・レジスタの内容をデータ・バッファに転送し、スタック・ポインタを - 1 します。

したがって、スタック・ポインタの初期値は 0 であるため一度書き込みを行うと 1 になり、4 回行うと 0 になるため注意してください。

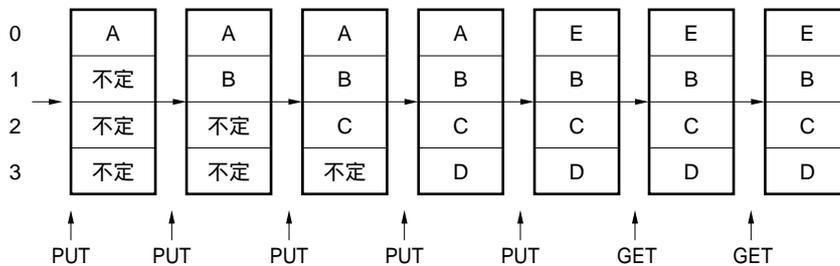
4 レベルを越える書き込み (PUT) を行うと最初のデータははき出されてしまうため注意が必要です。

図10 - 3 データ・バッファ・スタックの動作

(a) 書き込みが 4 レベルを越えないとき



(b) 書き込みが 4 レベルを越えるとき



10.5 データ・バッファ・スタックの使用法

次にプログラム例を示します。

例 INTO割り込みルーチンでデータ・バッファとアドレス・レジスタの内容を退避する（データ・バッファとアドレス・レジスタ）は割り込みで自動的に退避されない）。

START:

```
BR    INITIAL    ; リセット・アドレス
      ; 割り込みベクタ・アドレス
NOP   ; SI01
NOP   ; SI00
NOP   ; TM3
NOP   ; TM2
NOP   ; TM1
NOP   ; TM0
NOP   ; INT4
NOP   ; INT3
NOP   ; INT2
NOP   ; INT1
BR    INTINTO    ; INTO
NOP   ; Down edge of CE
```

INTINTO:

```
PUT   DBFSTK, DBF ; DBFの内容をデータ・バッファ・スタック（DBFSTK）の
      ; 1レベル目に退避
GET   DBF, AR     ; アドレス・レジスタ（AR）の内容をDBFに転送
PUT   DBFSTK, DBF ; さらにARの内容をデータ・バッファ・スタックの2レ
      ; ベル目に退避
```

処理 B ; INTO割り込み処理

```
GET   DBF, DBFSTK ; データ・バッファ・スタックの2レベル目をデータ・バッファに復帰し、
PUT   AR, DBF     ; さらにデータ・バッファの内容をアドレス・レジスタに復帰する
GET   DBF, DBFSTK ; データ・バッファ・スタックの1レベル目をデータ・バッファに復帰
EI
RETI
```

INITIAL:

```
SET1  IP0
EI
```

LOOP:

処理 A

```
BR    LOOP
```

END

10.6 データ・バッファ・スタック使用時の注意

データ・バッファ・スタックは割り込み受け付け時に自動的に退避されません。したがって、ソフトウェアで退避してください。

また、データ・メモリのBANK0以外が指定されている場合でも、“PUT”および“GET”命令でデータ・バッファ（BANK0に存在する）の内容を退避および復帰することができます。

11. 汎用ポート

汎用ポートは、外部回路へのハイ・レベル、ロウ・レベルまたはフローティング信号の出力および外部回路のハイ・レベル、ロウ・レベル信号の読み出しを行います。

11.1 汎用ポート概要

表11-1に、各ポートとポート・レジスタの関係を示します。

汎用ポートは、入出力ポート、入力ポート、出力ポートに分類されます。

また、入出力ポートは1ビット（1端子）端子で入力/出力を設定できるビットI/Oポートと、4ビット（4端子）単位で入力/出力を設定できるグループI/Oポートに分類されます。各入出力ポートの入力/出力の設定は、BANK15のポート入力/出力選択レジスタ（60H-6FH）により行います。

表11-1 各ポート（端子）とポート・レジスタの関係（1/3）

ポート	端 子			データ設定方法							
	番 号	記 号	入出力	ポート・レジスタ（データ・メモリ）							
				バンク	アドレス	記 号	ビット記号 （予約語）				
ポート0A	63	P0A3	入出力 （ビットI/O）	BANK0	70H	P0A	b3	P0A3			
	64	P0A2					b2	P0A2			
	65	P0A1					b1	P0A1			
	66	P0A0					b0	P0A0			
ポート0B	67	P0B3	入出力 （ビットI/O）		BANK0	71H	P0B	b3	P0B3		
	68	P0B2						b2	P0B2		
	69	P0B1						b1	P0B1		
	70	P0B0						b0	P0B0		
ポート0C	59	P0C3	入出力 （ビットI/O）			BANK0	72H	P0C	b3	P0C3	
	60	P0C2							b2	P0C2	
	61	P0C1							b1	P0C1	
	62	P0C0							b0	P0C0	
ポート0D	22	P0D3	入力				BANK0	73H	P0D	b3	P0D3
	23	P0D2								b2	P0D2
	24	P0D1								b1	P0D1
	25	P0D0								b0	P0D0

表11 - 1 各ポート（端子）とポート・レジスタの関係（2/3）

ポート	端 子			データ設定方法							
	番 号	記 号	入出力	ポート・レジスタ（データ・メモリ）							
				バンク	アドレス	記 号	ビット記号 （予約語）				
ポート1A	2	P1A3	入力	BANK1	70H	P1A	b ₃	P1A3			
	3	P1A2					b ₂	P1A2			
	4	P1A1					b ₁	P1A1			
	5	P1A0					b ₀	P1A0			
ポート1B	17	P1B3	出力		BANK1	71H	P1B	b ₃	P1B3		
	18	P1B2						b ₂	P1B2		
	19	P1B1						b ₁	P1B1		
	20	P1B0						b ₀	P1B0		
ポート1C	26	P1C3	入力			BANK1	72H	P1C	b ₃	P1C3	
	27	P1C2							b ₂	P1C2	
	28	P1C1							b ₁	P1C1	
	29	P1C0							b ₀	P1C0	
ポート1D	37	P1D3	入出力 (ビットI/O)				BANK1	73H	P1D	b ₃	P1D3
	38	P1D2								b ₂	P1D2
	39	P1D1								b ₁	P1D1
	40	P1D0								b ₀	P1D0
ポート2A	対象端子なし		入出力 (ビットI/O)	BANK2				70H	P2A	b ₃	-
	14	P2A2								b ₂	P2A2
	15	P2A1								b ₁	P2A1
	16	P2A0								b ₀	P2A0
ポート2B	43	P2B3	入出力 (ビットI/O)		BANK2			71H	P2B	b ₃	P2B3
	44	P2B2								b ₂	P2B2
	45	P2B1								b ₁	P2B1
	46	P2B0								b ₀	P2B0
ポート2C	55	P2C3	入出力 (ビットI/O)			BANK2		72H	P2C	b ₃	P2C3
	56	P2C2								b ₂	P2C2
	57	P2C1								b ₁	P2C1
	58	P2C0								b ₀	P2C0
ポート2D	対象端子なし		入出力 (ビットI/O)				BANK2	73H	P2D	b ₃	-
	71	P2D2								b ₂	P2D2
	72	P2D1								b ₁	P2D1
	73	P2D0								b ₀	P2D0

表11 - 1 各ポート（端子）とポート・レジスタの関係（3/3）

ポート	端 子			データ設定方法							
	番 号	記 号	入出力	ポート・レジスタ（データ・メモリ）							
				バンク	アドレス	記 号	ビット記号 （予約語）				
ポート3A	6	P3A3	入出力 （グループI/O）	BANK3	70H	P3A	b ₃	P3A3			
	7	P3A2					b ₂	P3A2			
	8	P3A1					b ₁	P3A1			
	9	P3A0					b ₀	P3A0			
ポート3B	10	P3B3	入出力 （グループI/O）		BANK3	71H	P3B	b ₃	P3B3		
	11	P3B2						b ₂	P3B2		
	12	P3B1						b ₁	P3B1		
	13	P3B0						b ₀	P3B0		
ポート3C	47	P3C3	入出力 （グループI/O）			BANK3	72H	P3C	b ₃	P3C3	
	48	P3C2							b ₂	P3C2	
	49	P3C1							b ₁	P3C1	
	50	P3C0							b ₀	P3C0	
ポート3D	51	P3D3	入出力 （グループI/O）				BANK3	73H	P3D	b ₃	P3D3
	52	P3D2								b ₂	P3D2
	53	P3D1								b ₁	P3D1
	54	P3D0								b ₀	P3D0
-	対象端子なし		-	BANK4 BANK15 ^注				70H-73H	-	“ 0 ” 固定	

注 μPD17704, 17705には, BANK6-BANK14はありません。

μPD17707, 17708には, BANK10-BANK14はありません。

11.2 汎用入出力ポート (P0A, P0B, P0C, P1D, P2A, P2B, P2C, P2D, P3A, P3B, P3C, P3D)

11.2.1 入出力ポートの構成

次の(1)および(2)に入出力ポートの構成を示します。

(1) P0A (P0A1, P0A0)

P0B (P0B3, P0B2, P0B1, P0B0)

P0C (P0C3, P0C2, P0C1, P0C0)

P1D (P1D3, P1D2, P1D1, P1D0)

P2A (P2A2, P2A1, P2A0)

P2B (P2B3, P2B2, P2B1, P2B0)

P2C (P2C3, P2C2, P2C1, P2C0)

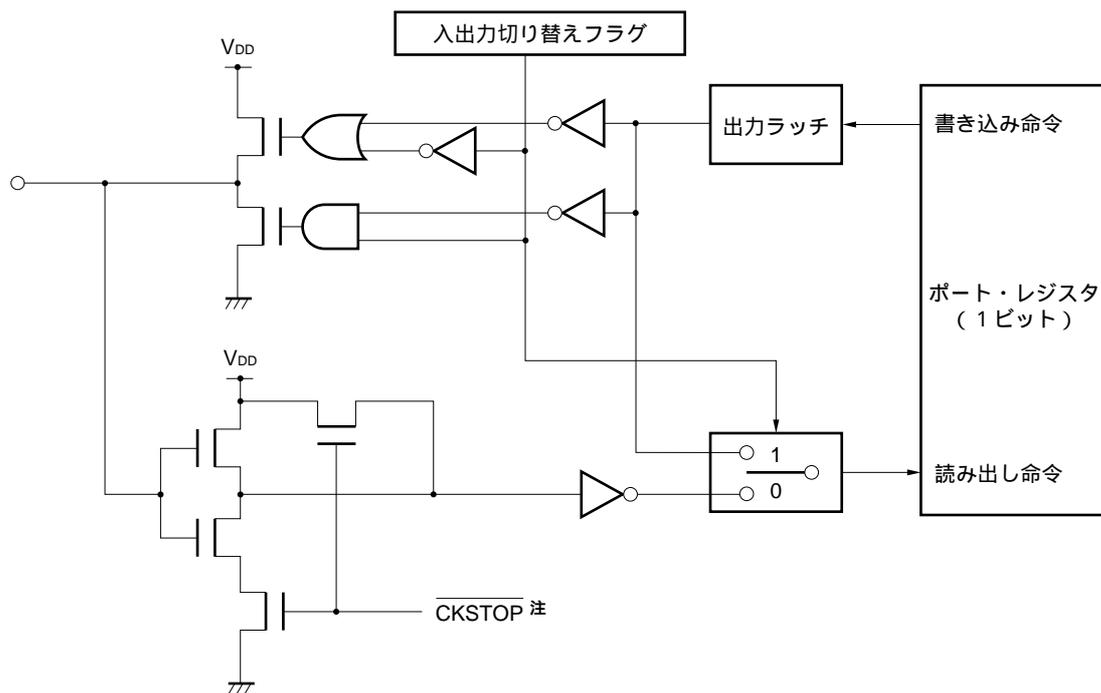
P2D (P2D2, P2D1, P2D0)

P3A (P3A3, P3A2, P3A1, P3A0)

P3B (P3B3, P3B2, P3B1, P3B0)

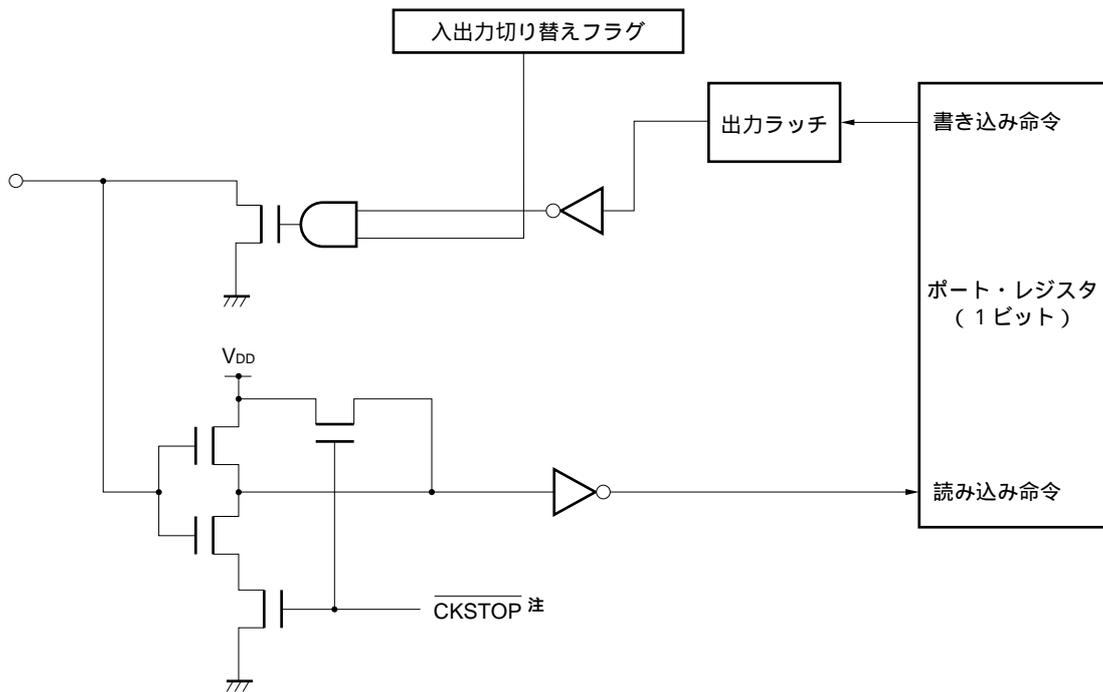
P3C (P3C3, P3C2, P3C1, P3C0)

P3D (P3D3, P3D2, P3D1, P3D0)



注 クロック・ストップ命令実行時に出力される内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

(2) P0A (P0A3, P0A2)



注 クロック・ストップ命令実行時に出力される内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

11.2.2 入出力ポートの使用方法

入出力ポートは、コントロール・レジスタのP0A, P0B, P0C, P1D, P2A, P2B, P2C, P2D, P3A, P3B, P3C, P3Dの各I/O選択レジスタにより入力および出力の設定を行います。

P0A, P0B, P0C, P1D, P2A, P2B, P2C, P2Dは、ビットI/Oであるため、1ビット単位で入力/出力を設定できます。

P3A, P3B, P3C, P3Dは、グループI/Oであるため、4ビット単位で入力/出力を設定できます。

出力データの設定および入力データの読み出しは、それぞれ対応するポート・レジスタにデータを書き込むかデータを読み出す命令を実行することにより行います。

11.2.3に各ポートのI/O選択レジスタの構成を示します。

11.2.4および11.2.5に、入力および出力ポートとして使用する方法を示します。

11.2.6に、入出力ポート使用時の注意を示します。

11.2.3 入出力ポートのI/O選択レジスタ

入出力ポートのI/O選択レジスタを次に示します。

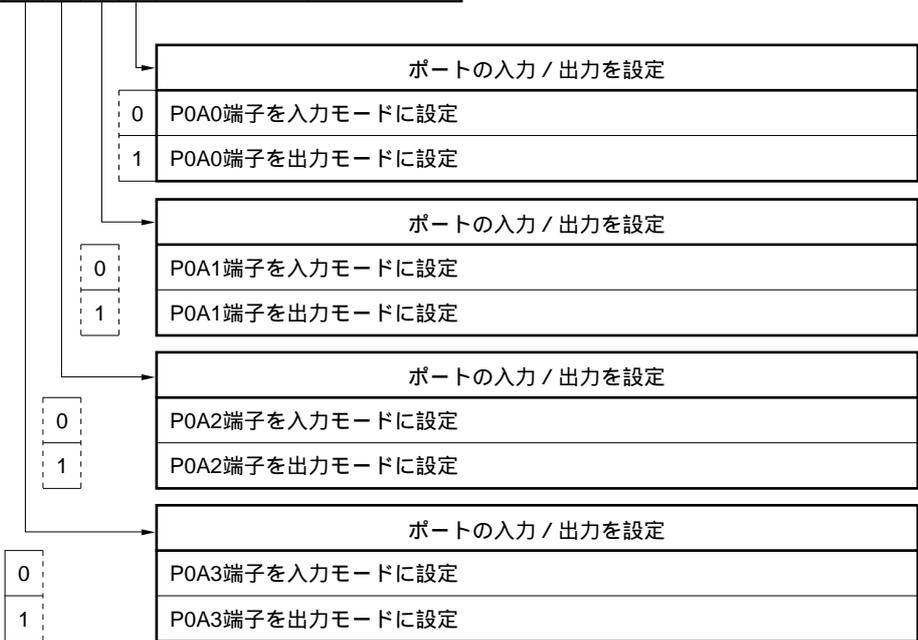
- ・ポート0AビットI/O選択レジスタ
- ・ポート0BビットI/O選択レジスタ
- ・ポート0CビットI/O選択レジスタ
- ・ポート1DビットI/O選択レジスタ
- ・ポート2AビットI/O選択レジスタ
- ・ポート2BビットI/O選択レジスタ
- ・ポート2CビットI/O選択レジスタ
- ・ポート2DビットI/O選択レジスタ
- ・グループI/O選択レジスタ（ポート3A，ポート3B，ポート3C，ポート3D）

各I/O選択レジスタは，各端子の入力／出力を設定します。

次の（ 1 ） - （ 9 ） に構成と機能を示します。

(1) ポート0AビットI/O選択レジスタ

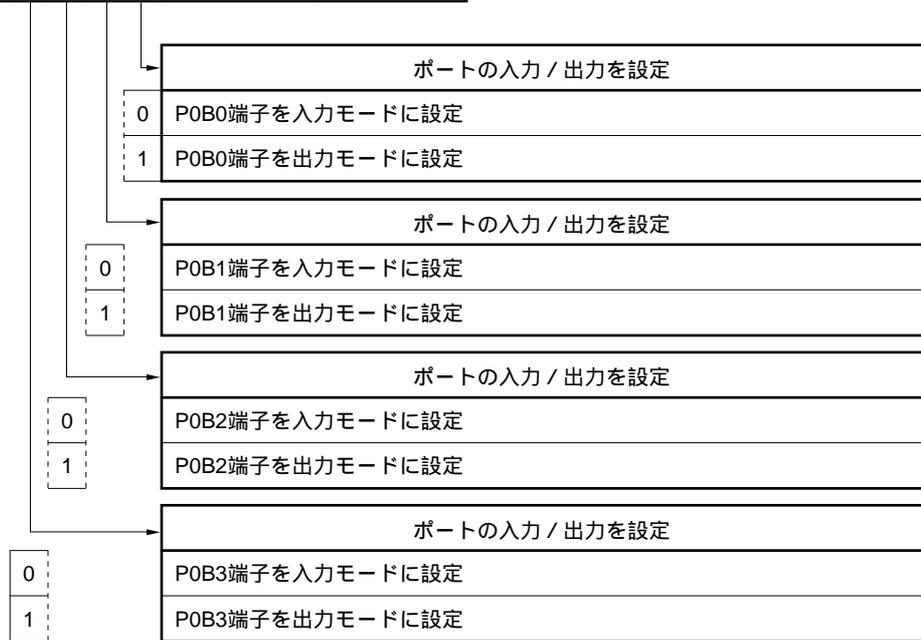
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート0AビットI/O選択	P	P	P	P	(BANK15) 6FH	R/W
	0	0	0	0		
	A	A	A	A		
	B	B	B	B		
	I	I	I	I		
	O	O	O	O		
	3	2	1	0		



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

(2) ポート0BビットI/O選択レジスタ

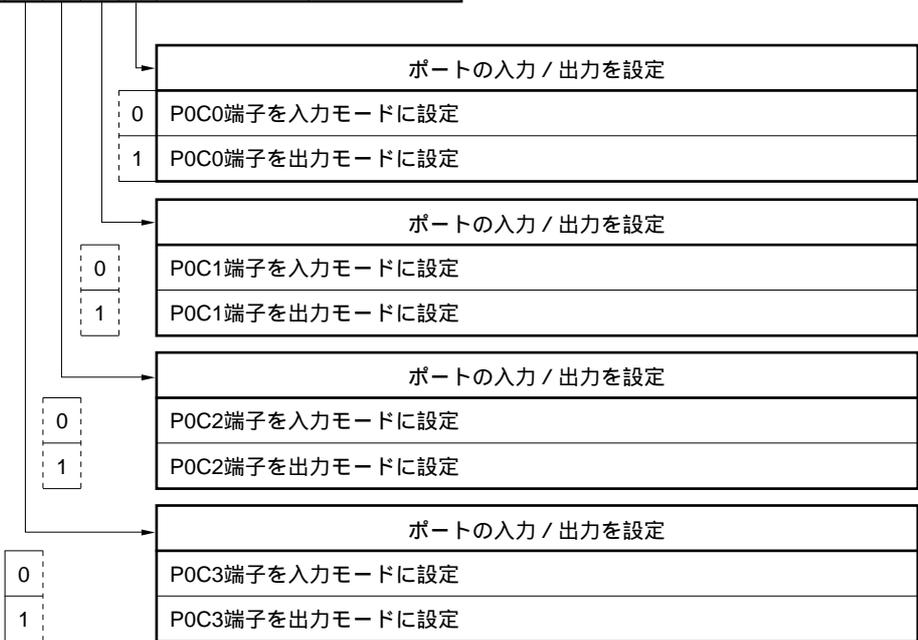
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート0BビットI/O選択	P	P	P	P	(BANK15) 6EH	R/W
	0	0	0	0		
	B	B	B	B		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

(3) ポート0CビットI/O選択レジスタ

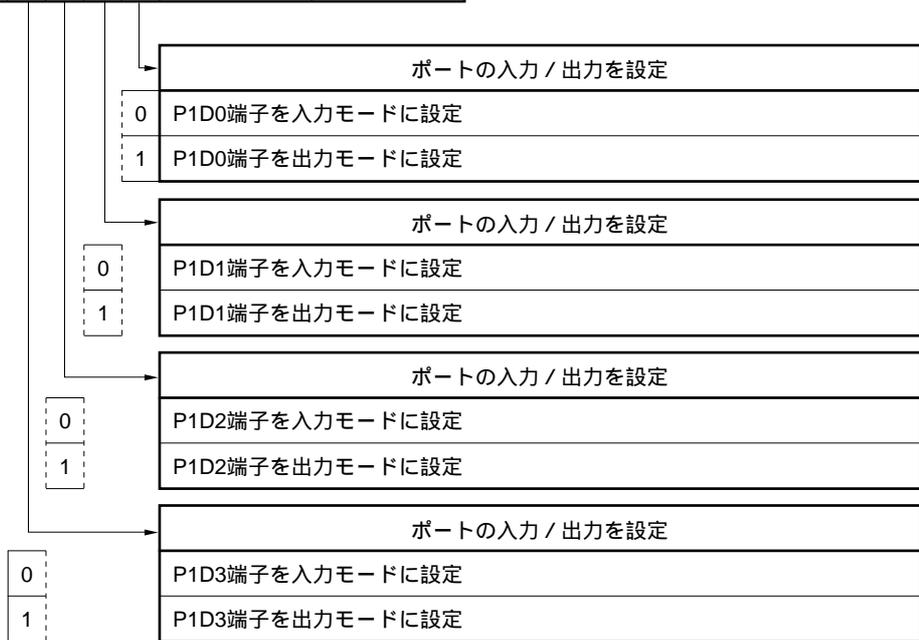
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート0CビットI/O選択	P	P	P	P	(BANK15) 6DH	R/W
	0	0	0	0		
	C	C	C	C		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

(4) ポート1DビットI/O選択レジスタ

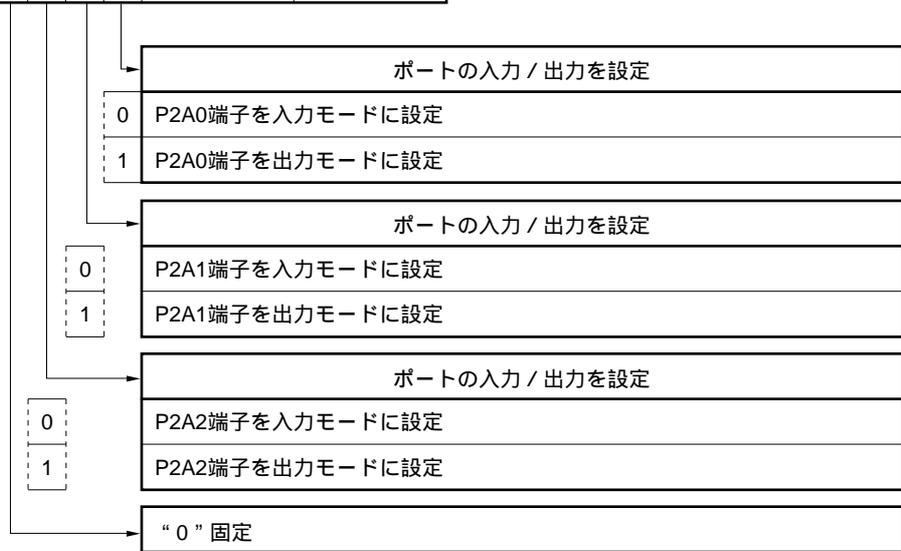
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート1DビットI/O選択	P	P	P	P	(BANK15) 6CH	R/W
	1	1	1	1		
	D	D	D	D		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

(5) ポート2AビットI/O選択レジスタ

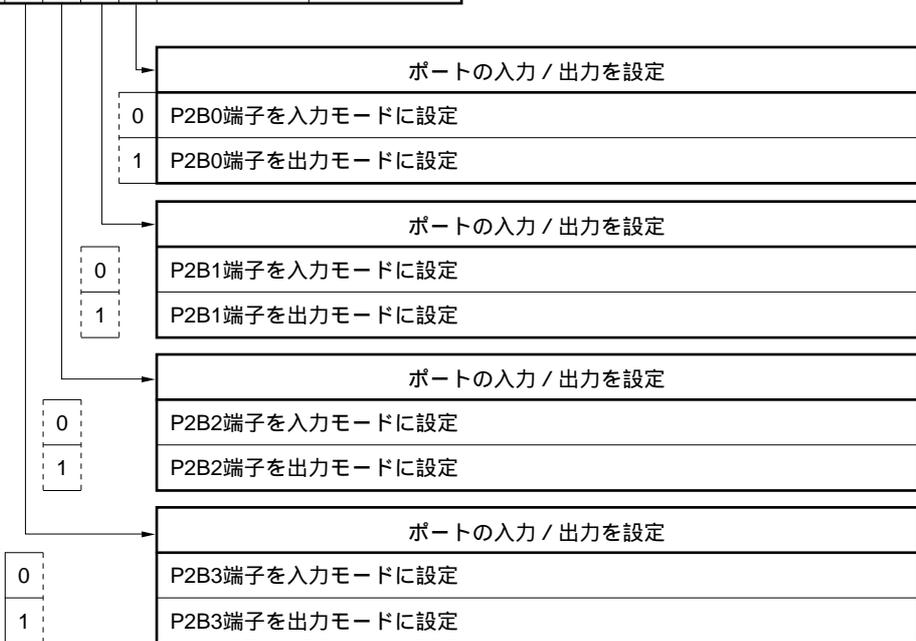
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート2AビットI/O選択	0	P	P	P	(BANK15) 6BH	R/W
		2	2	2		
		A	A	A		
		B	B	B		
	I	I	I			
	O	O	O			
	2	1	0			



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット		0	0	0
	CEリセット			保 持	
クロック・ストップ時				保 持	

(6) ポート2ビットI/O選択レジスタ

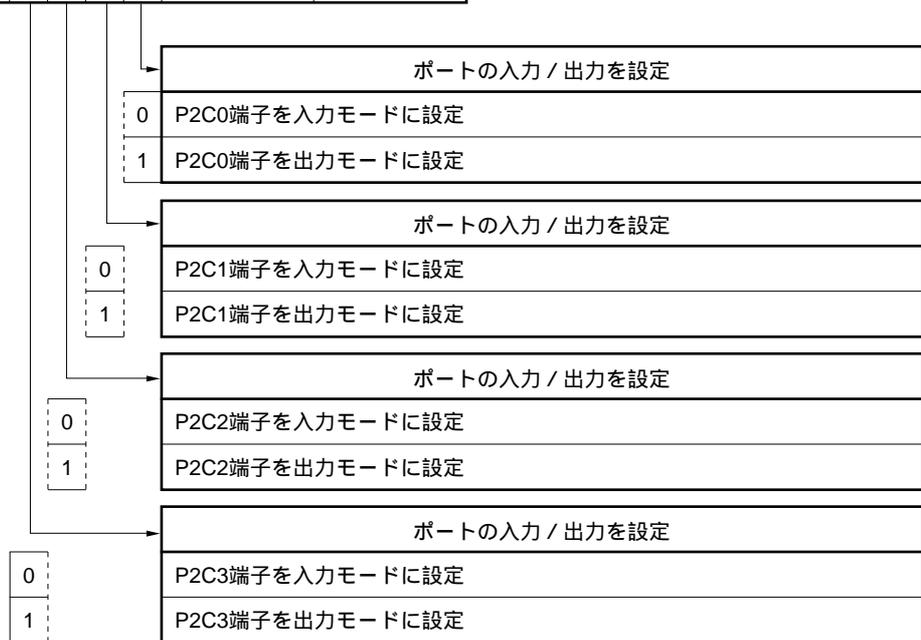
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート2ビットI/O選択	P	P	P	P	(BANK15) 6AH	R/W
	2	2	2	2		
	B	B	B	B		
	B	B	B	B		
	I	I	I	I		
O	O	O	O			
	3	2	1	0		



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

(7) ポート2CビットI/O選択レジスタ

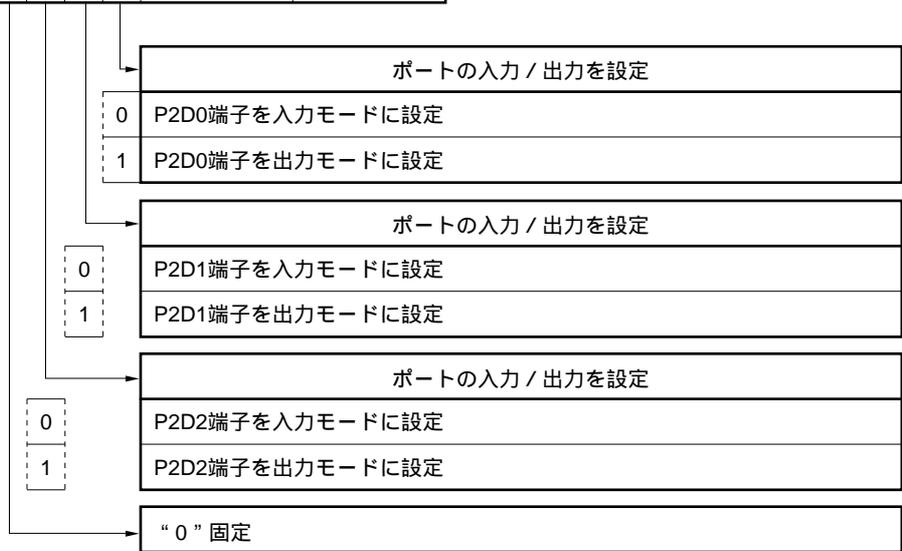
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート2CビットI/O選択	P 2 C B I O 3	P 2 C B I O 2	P 2 C B I O 1	P 2 C B I O 0	(BANK15) 69H	R/W



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

(8) ポート2DビットI/O選択レジスタ

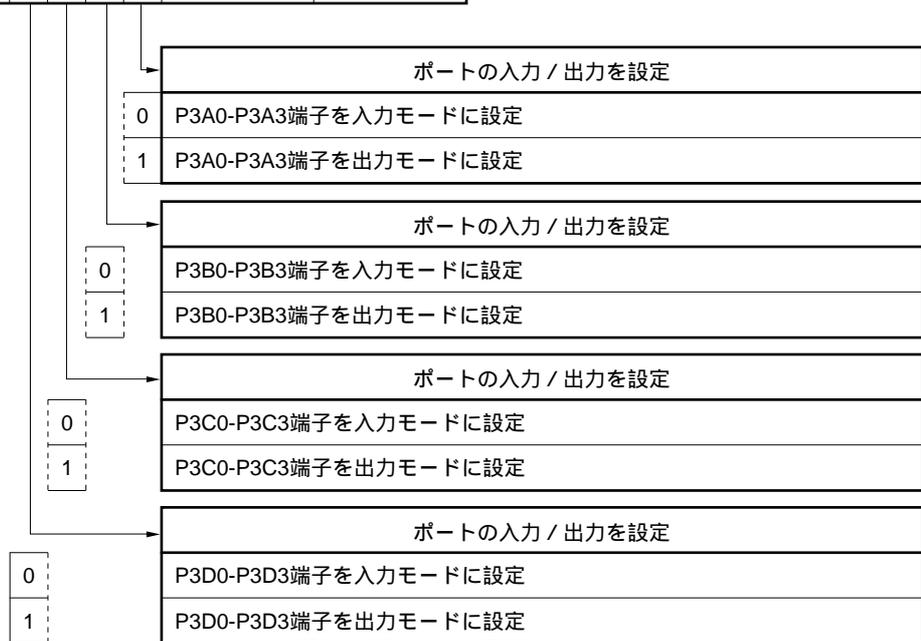
名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート2DビットI/O選択	0	P	P	P	(BANK15) 68H	R/W
	2	D	D	D		
	B	B	B			
	I	I	I			
	O	O	O			
	2	1	0			



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット		0	0	0
	CEリセット			保 持	
クロック・ストップ時				保 持	

(9) グループI/O選択レジスタ (ポート3A, ポート3B, ポート3C, ポート3D)

名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
グループI/O選択	P	P	P	P	(BANK15) 67H	R/W
	3	3	3	3		
	D	C	B	A		
	G	G	G	G		
	I	I	I	I		
	O	O	O	O		



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

11.2.4 入出力ポートを入力ポートとして使用する場合

各ポートのI/O選択レジスタにより、入力として使用する端子を選択します。

このとき、P0A, P0B, P0C, P1D, P2A, P2B, P2C, P2Dは1ビット単位、またP3A, P3B, P3C, P3Dは4ビット単位でのみ入力/出力の設定ができます。

入力ポートに指定された端子はフローティング (Hi-Z) 状態になり、外部信号の入力待ちになります。

入力データの読み出しは、各端子に対応するポート・レジスタに対して読み出し命令 (SKT命令など) を実行することにより行います。

ポート・レジスタは各端子にハイ・レベルが入力されているときは“1”が読み出され、ロウ・レベルが入力されているときは“0”が読み出されます。

入力ポートに指定されているポート・レジスタに対して書き込み命令 (MOV命令など) を実行すると、出力ラッチの内容が書き換えられます。

11.2.5 入出力ポートを出力ポートとして使用する場合

各ポートのI/O選択レジスタにより、出力として使用する端子を選択します。

このとき、P0A, P0B, P0C, P1D, P2A, P2B, P2C, P2Dは1ビット単位、またP3A, P3B, P3C, P3Dは4ビット単位でのみ入力/出力の設定ができます。

出力ポートに指定された端子は出力ラッチの内容を各端子から出力します。

出力データの設定は、各端子に対応するポート・レジスタの内容に対して書き込み命令 (MOV命令など) を実行することにより行います。

各端子にハイ・レベルを出力するときは“1”を書き込み、ロウ・レベルを出力するときは“0”を書き込みます。

また、入力ポートに指定することによりフローティング (Hi-Z) 状態にすることができます。

出力ポートに指定されているポート・レジスタに対して読み出し命令 (SKT命令など) を実行すると、出力ラッチの内容が読み出されます。

ただし、P0A3およびP0A2端子は端子の状態がそのまま読み出されるため、出力ラッチの内容と読み出した内容が異なる場合があります (11.2.6 参照)。

11.2.6 入出力ポート使用時の注意 (P0A3, P0A2端子)

次の例に示すように、P0A3およびP0A2端子を出力として使用する場合は、出力ラッチの内容が書き換わる場合がありますため注意が必要です。

例 P0A3端子とP0A2端子を出力ポートに設定する

```
BANK15
INITFLG POABIO3, POABIO2, NOT POABIO1, NOT POABIO0 ; P0A3, P0A2端子を出力に設定
INITFLG P0A3, P0A2, NOT P0A1, NOT P0A0 ; P0A3, P0A2端子にハイ・レベルを出力
;
CLR1 P0A3 ; P0A3端子にロウ・レベルを出力
マクロ展開
AND .MF.P0A3 SHR 4, #.DF.(NOT P0A3 AND 0FH)
```

上記の命令を実行したときに、たまたまP0A2端子が外部でロウ・レベルに引っ張られていると、CLR1命令でP0A2端子の出力ラッチの内容を“0”に書き換えてしまいます。

つまり、P0A3端子またはP0A2端子が出力ポートに設定されているときに、ポート・レジスタP0Aの内容を読み出す命令を実行すると、出力ラッチの内容は以前の状態にかかわらず、そのときの端子のレベルの内容に書き換えられてしまうことになります。

11.2.7 入出力ポートのリセット時の状態

(1) パワーオン・リセット時

すべて入力ポートに指定されます。
出力ラッチの内容は“0”にリセットされます。

(2) WDT & SPリセット時

すべて入力ポートに指定されます。
出力ラッチの内容は“0”にリセットされます。

(3) CEリセット時

入力/出力の設定は保持されます。
出力ラッチの内容も保持されます。

(4) クロック・ストップ時

入力/出力の設定は保持されます。
出力ラッチの内容も保持されます。

(5) ホールト状態中

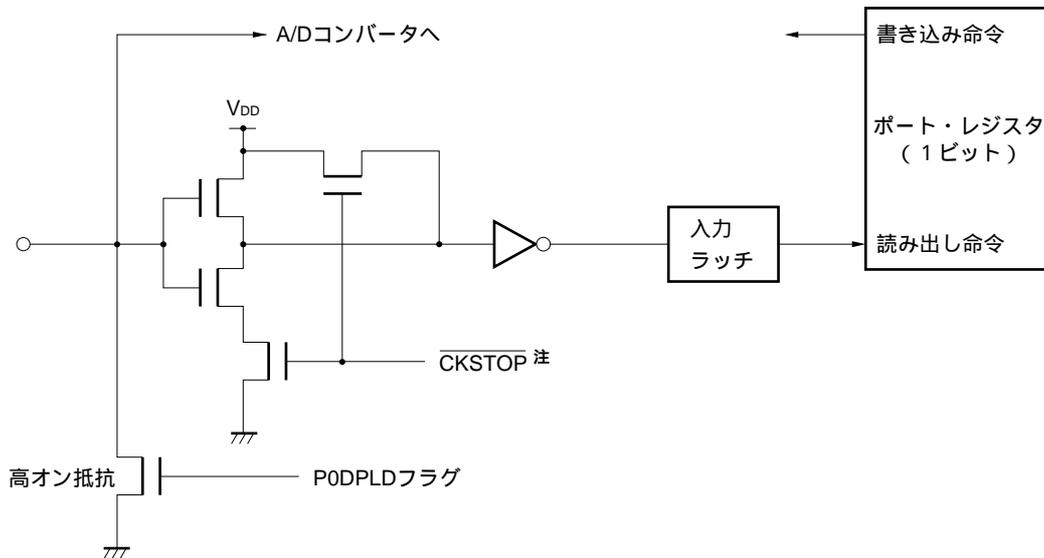
以前の状態を保持します。

11.3 汎用入力ポート (P0D, P1A, P1C)

11.3.1 入力ポートの構成

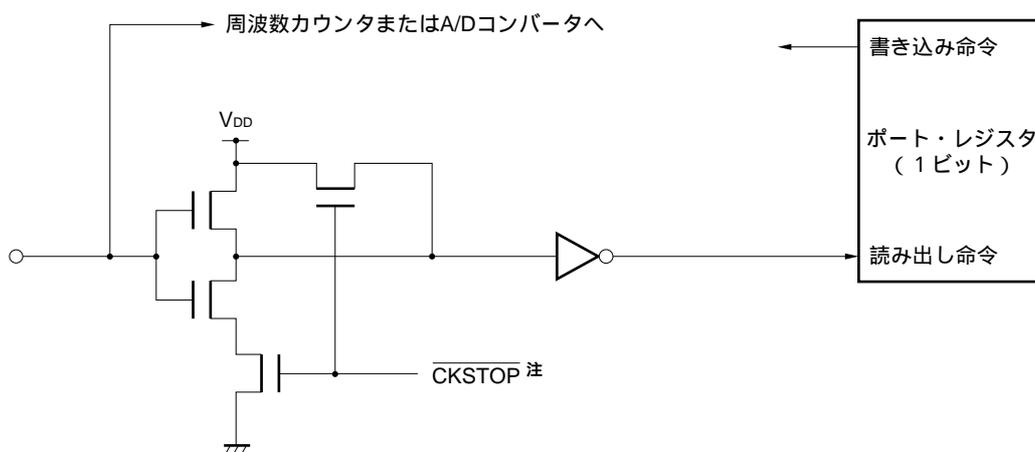
次の(1)および(2)に入力ポートの構成を示します。

(1) P0D (P0D3, P0D2, P0D1, P0D0)



注 クロック・ストップ命令実行時に出力される内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています。

(2) P1A (P1A3, P1A2, P1A1, P1A0)
P1C (P1C3, P1C2, P1C1, P1C0)



注 クロック・ストップ命令実行時に出力される内部信号で、フローティング状態であっても、ノイズによる消費電流は増加しない回路になっています (P1A3, P1A2, P1A0は除く)。

11.3.2 入力ポートの使用方法

入力データの読み出しは、各端子に対応するポート・レジスタに対して読み出す命令（SKT命令など）を実行することにより行います。

ポート・レジスタは、各端子にハイ・レベルが入力されているときは“1”が読み出され、ロウ・レベルが入力されているときは“0”が読み出されます。

ポート・レジスタに対して書き込み命令（MOV命令など）を実行しても何も変化しません。

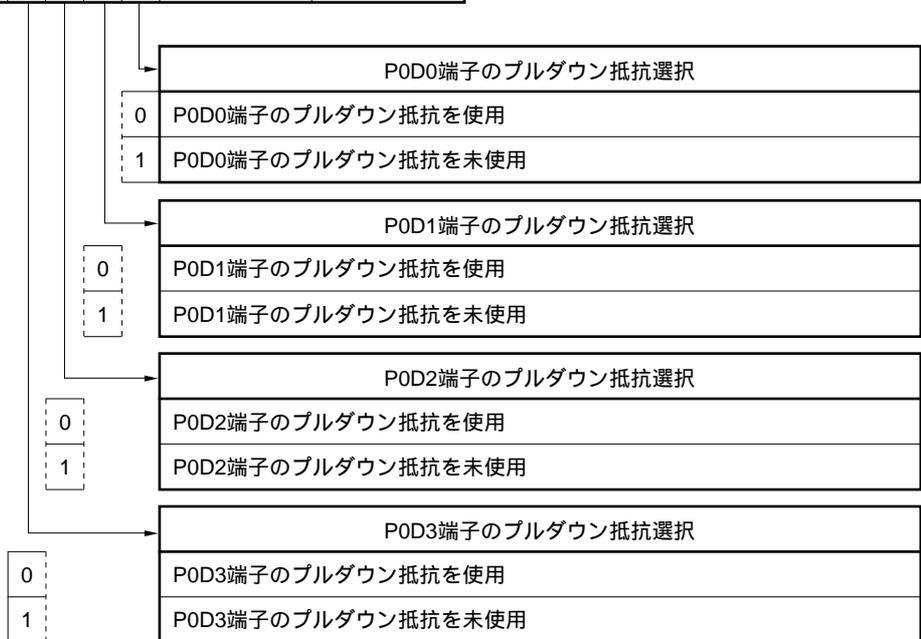
P0Dは、ソフトウェアで切り替え可能なプルダウン抵抗を内蔵しており、ビット単位で指定可能です。“0”を書き込むとプルダウン抵抗が接続され、“1”で切り離します。

11.3.3 ポート0Dプルダウン抵抗選択レジスタ

ポート0Dプルダウン抵抗選択レジスタは、P0D3-P0D0端子のプルダウン抵抗の使用 / 未使用を設定します。次に構成と機能を示します。

・ポート0Dプルダウン抵抗選択レジスタ

名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
ポート0Dプルダウン抵抗選択	P	P	P	P	(BANK15) 66H	R/W
	0	0	0	0		
	D	D	D	D		
	P	P	P	P		
	L	L	L	L		
	D	D	D	D		
	3	2	1	0		



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

11.3.4 入力ポートのリセット時の状態

(1) パワーオン・リセット時

すべて入力ポートに指定されます。

P0Dの内蔵プルダウン抵抗はすべて接続状態となります。

(2) WDT & SPリセット時

すべて入力ポートに指定されます。

P0Dの内蔵プルダウン抵抗はすべて接続状態となります。

(3) CEリセット時

入力ポートに指定されます。

P0Dの内蔵プルダウン抵抗は以前の状態を保持します。

(4) クロック・ストップ時

入力ポートに指定されます。

P0Dの内蔵プルダウン抵抗は以前の状態を保持します。

(5) ホールト状態中

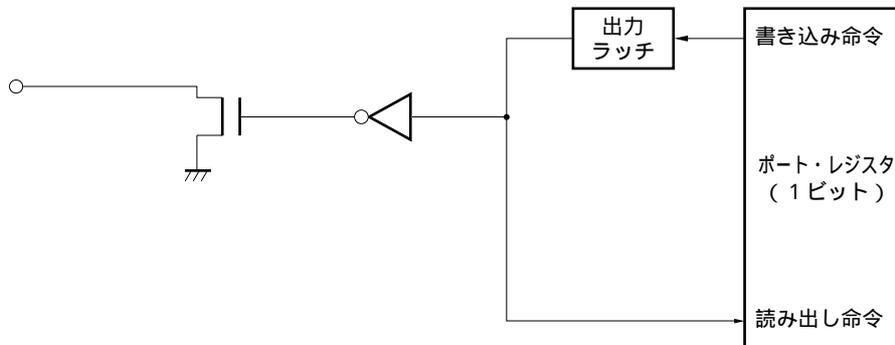
以前の状態を保持します。

11.4 汎用出力ポート (P1B)

11.4.1 出力ポートの構成

次に出力ポートの構成を示します。

(1) P1B (P1B3, P1B2, P1B1, P1B0)



11.4.2 出力ポートの使用方法

出力ポートは出力ラッチの内容を各端子から出力します。

出力ポートの設定は、各端子に対応するポート・レジスタに対して書き込み命令 (MOV命令など) を実行することにより行います。

各端子にハイ・レベルを出力するときは“1”を書き込み、ロウ・レベルを出力するときは“0”を書き込みます。

ただし、P1B端子はN-chオープン・ドレイン出力のため、ハイ・レベル出力時はフローティングになります。このため外部にプルアップ抵抗が必要です。

ポート・レジスタに対して読み出し命令 (SKT命令など) を実行すると、出力ラッチの内容が読み出されます。

11.4.3 出力ポートのリセット時の状態

(1) パワーオン・リセット時

出力ラッチの内容を出力します。

出力ラッチの内容は“0”にリセットされます。

(2) WDT & SPリセット時

出力ラッチの内容を出力します。

出力ラッチの内容は“0”にリセットされます。

(3) CEリセット時

出力ラッチの内容を出力します。

出力ラッチの内容は保持されます。

(4) クロック・ストップ時

出力ラッチの内容を出力します。

出力ラッチの内容は保持されます。

(5) ホールト状態中

出力ラッチの内容を出力します。

出力ラッチの内容は保持されます。

12. 割り込み

12.1 割り込みブロック概要

図12 - 1 に、割り込みブロックの概要を示します。

図12 - 1 に示すように、割り込みブロックは、各周辺ハードウェアから出力された割り込み要求により、現在実行しているプログラムを一時中断し、ベクタ・アドレスへ分岐します。

割り込みブロックは、各周辺ハードウェアごとの“割り込み要求処理ブロック”、すべての割り込みを許可する“割り込みイネーブル・フリップフロップ”、割り込みが受け付けられたときに制御される“スタック・ポインタ”、“アドレス・スタック・レジスタ”、“プログラム・カウンタ”および“割り込みスタック”から構成されています。

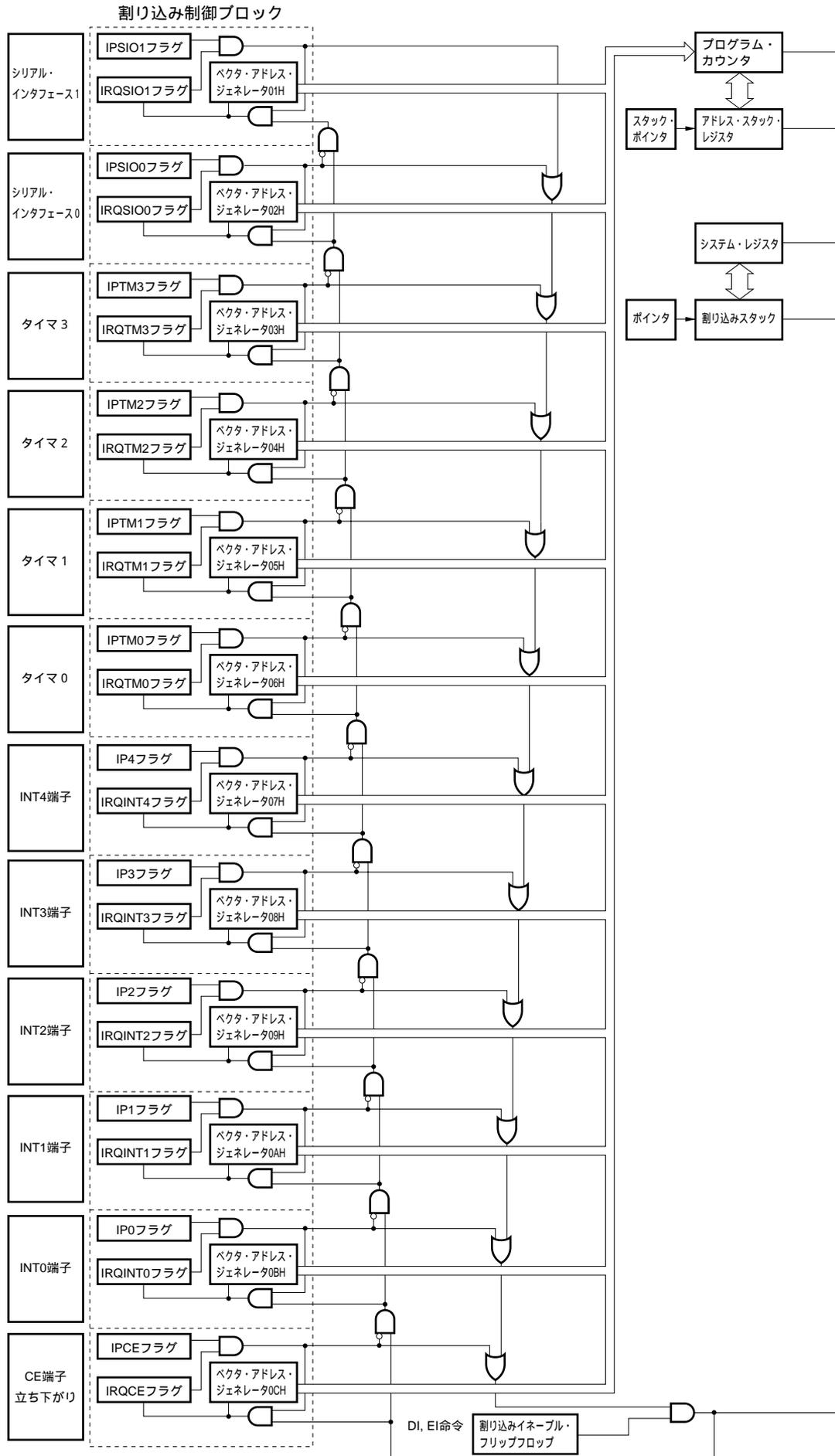
各周辺ハードウェアの“割り込み制御ブロック”は、各割り込み要求を検出する“割り込み要求フラグ (IRQ × × ×) ”、各割り込みごとの許可を設定する“割り込み許可フラグ (IP × × ×) ”および割り込み受け付け時のベクタ・アドレスを指定する“ベクタ・アドレス・ジェネレータ (VAG) ”から構成されています。

μPD17709には、次の12種類のマスカブル割り込みがあります。

- ・ CE端子の立ち下がりエッジ割り込み
- ・ INTO-INT4端子の割り込み
- ・ タイマ0-タイマ3 割り込み
- ・ シリアル・インタフェース0, シリアル・インタフェース1 割り込み

割り込み受け付け後、決められたアドレスに移り、処理を続けます。

図12 - 1 割り込みブロック概要



12.2 割り込み制御ブロック

割り込み制御ブロックは各周辺ハードウェアごとに設けられており、それぞれの割り込み要求の有無、割り込みの許可および割り込み受け付け時のベクタ・アドレスの生成を行います。

12.2.1 割り込み要求フラグ (IRQ × × ×) の構成と機能

各割り込み要求フラグは、各周辺ハードウェアから割り込み要求が発行されるとセット (1) され、割り込みが受け付けられるとリセット (0) されます。

また、各割り込み要求フラグに、ウインドウ・レジスタを介して “ 1 ” を書き込んだ場合も、割り込み要求が発行されたことと同等になります。

割り込みが許可されていない場合などに、これらの割り込み要求フラグを検出することにより、各割り込み要求の発行状態を検出することができます。

一度このフラグがセットされると、対応する割り込みが受け付けられるか、またはウインドウ・レジスタを介して “ 0 ” が書き込まれるまでリセットされません。

複数の割り込み要求が同時に発行された場合でも、受け付けられなかった割り込みに対応する割り込み要求フラグはリセットされません。

図12 - 2 ~ 図12 - 13に各割り込み要求レジスタの構成と機能を示します。

図12 - 2 シリアル・インタフェース1 割り込み要求レジスタの構成

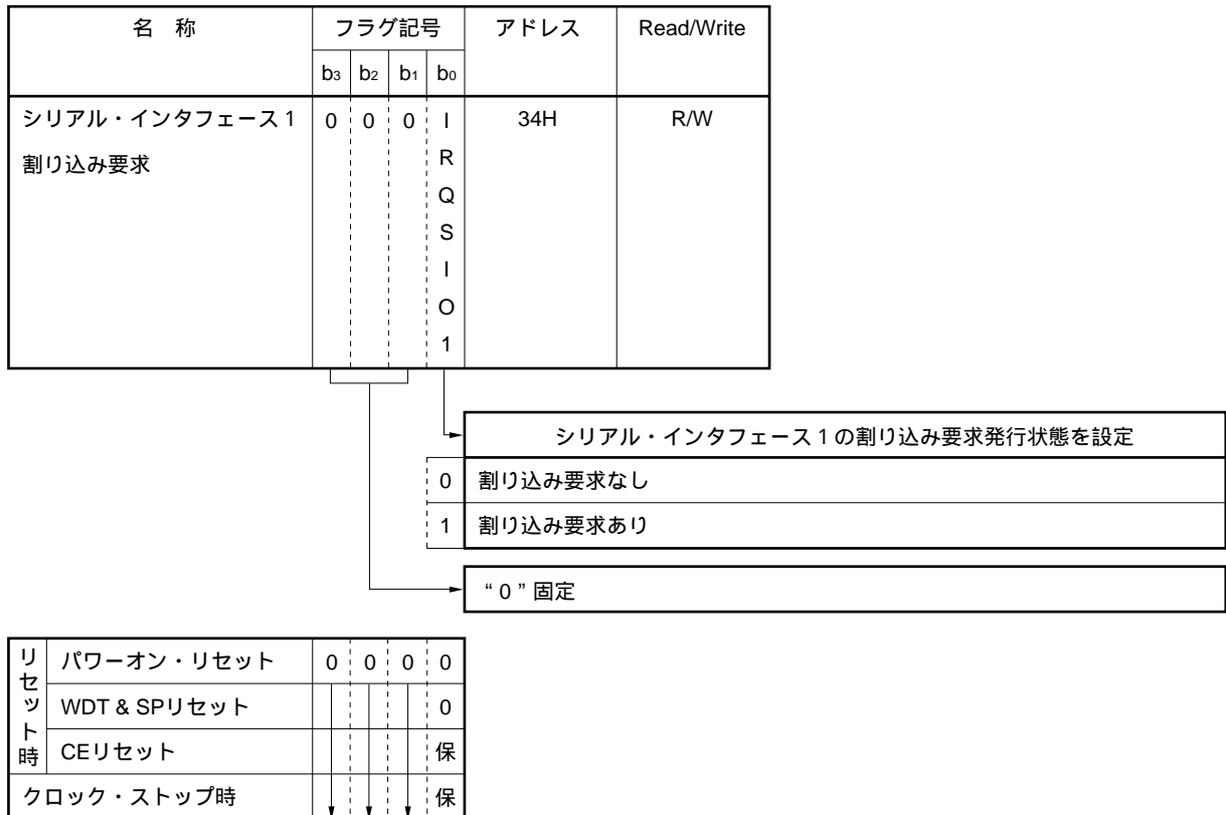


図12 - 3 シリアル・インタフェース0割り込み要求レジスタの構成

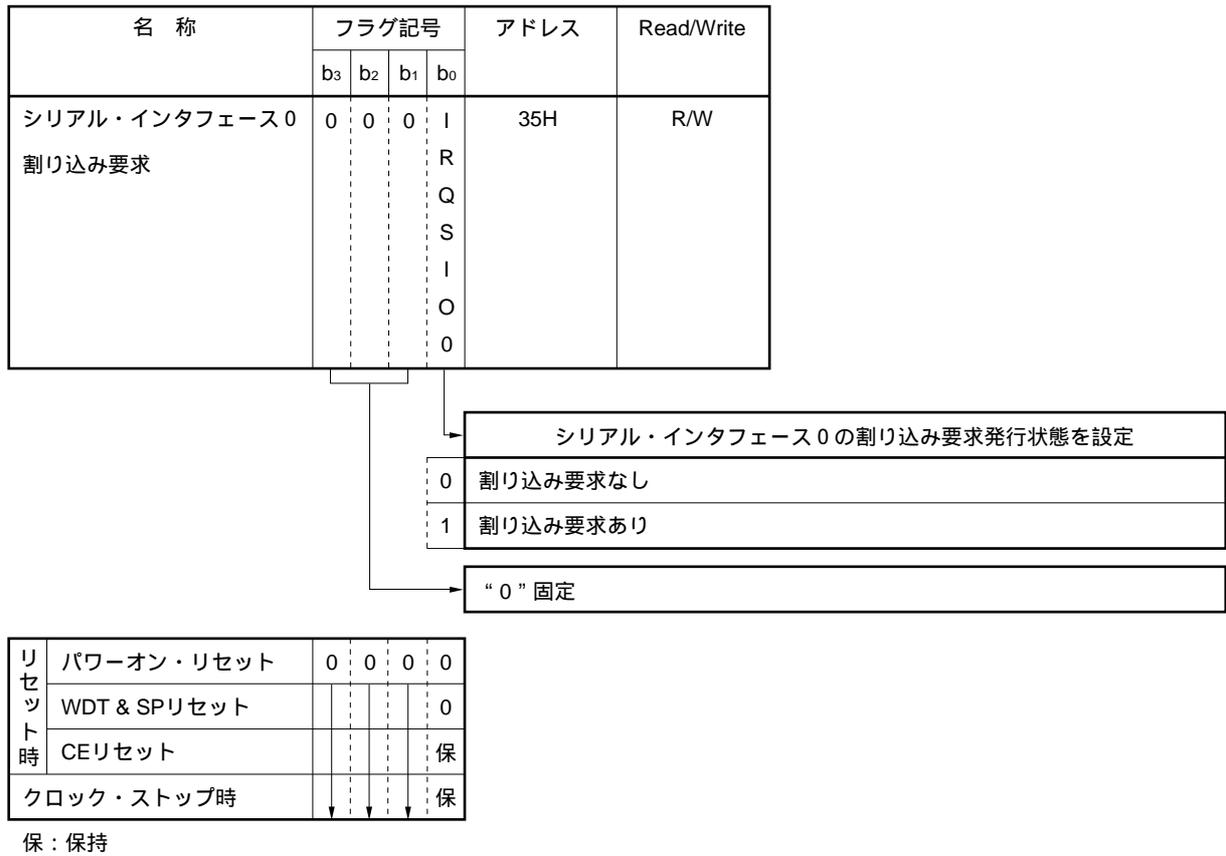


図12 - 4 タイマ3割り込み要求レジスタの構成

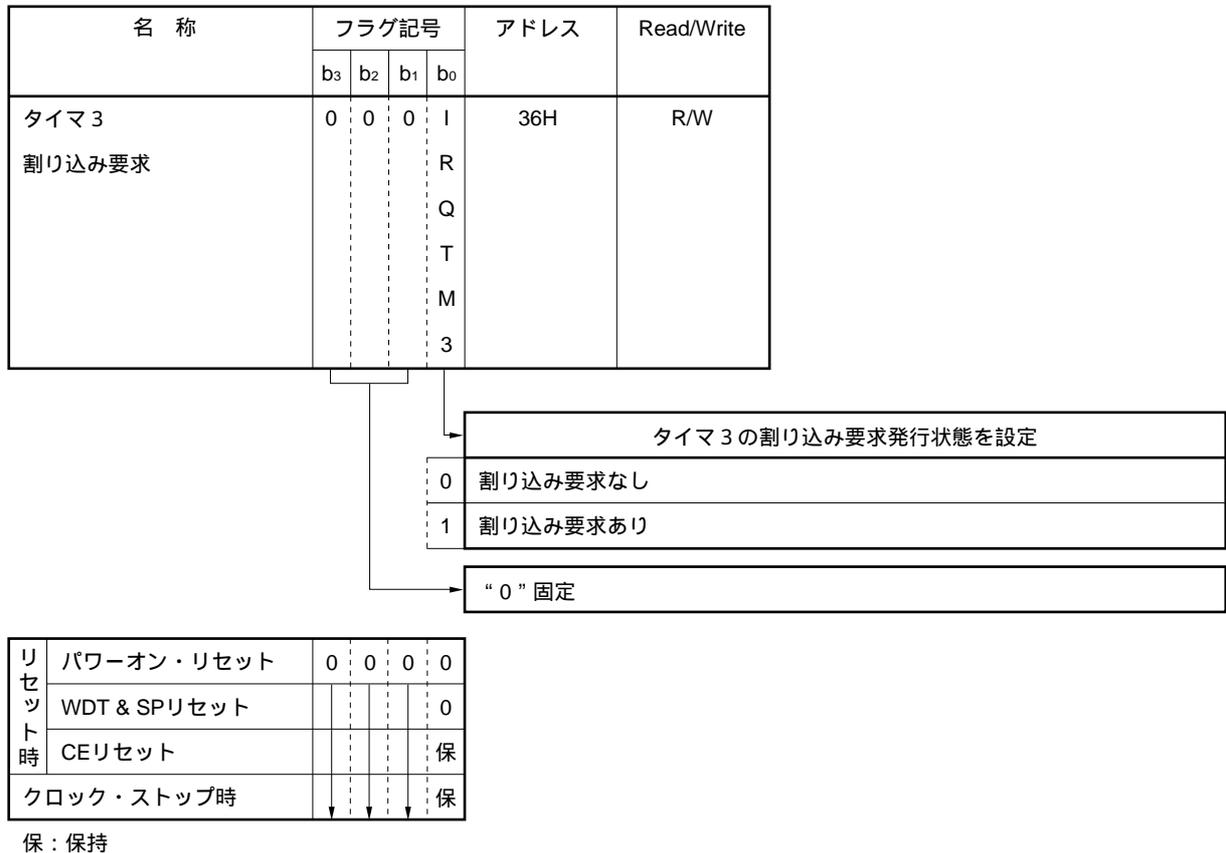


図12 - 5 タイマ2 割り込み要求レジスタの構成

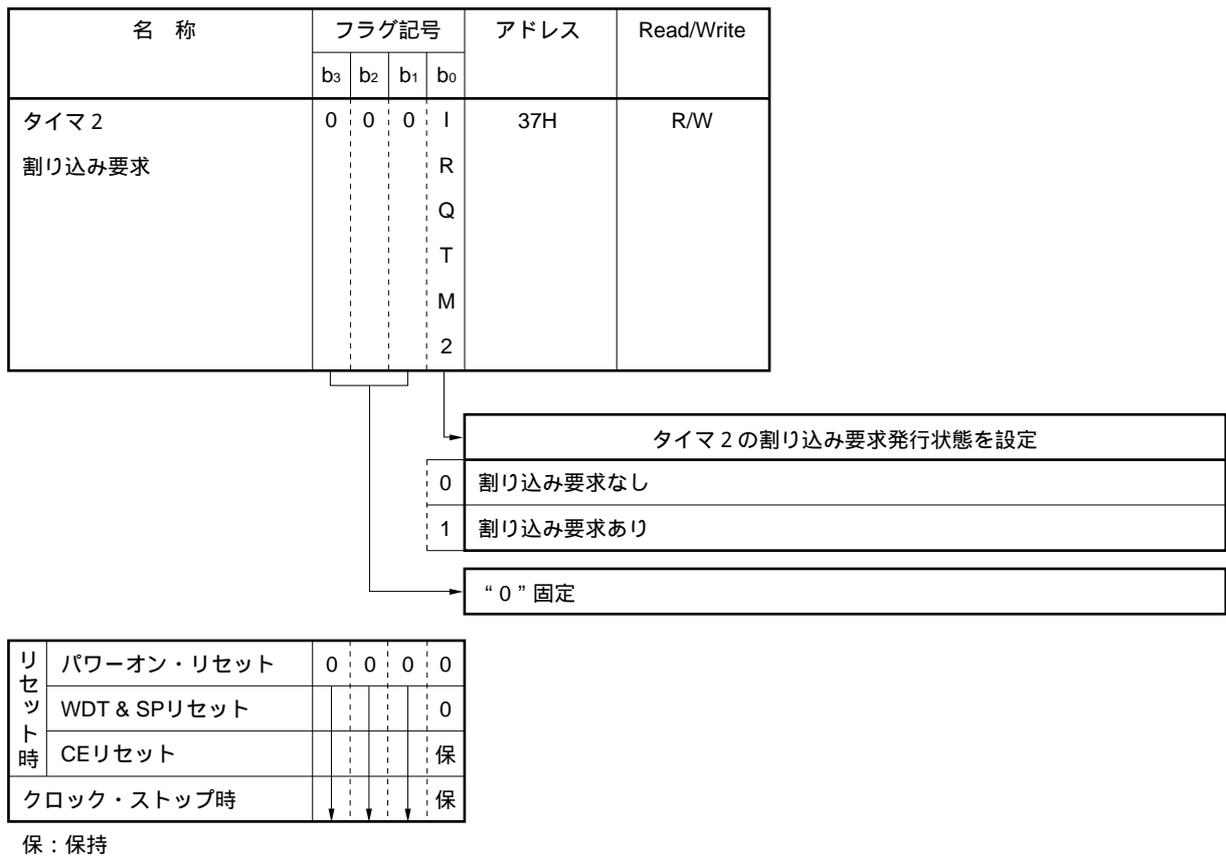


図12 - 6 タイマ1 割り込み要求レジスタの構成

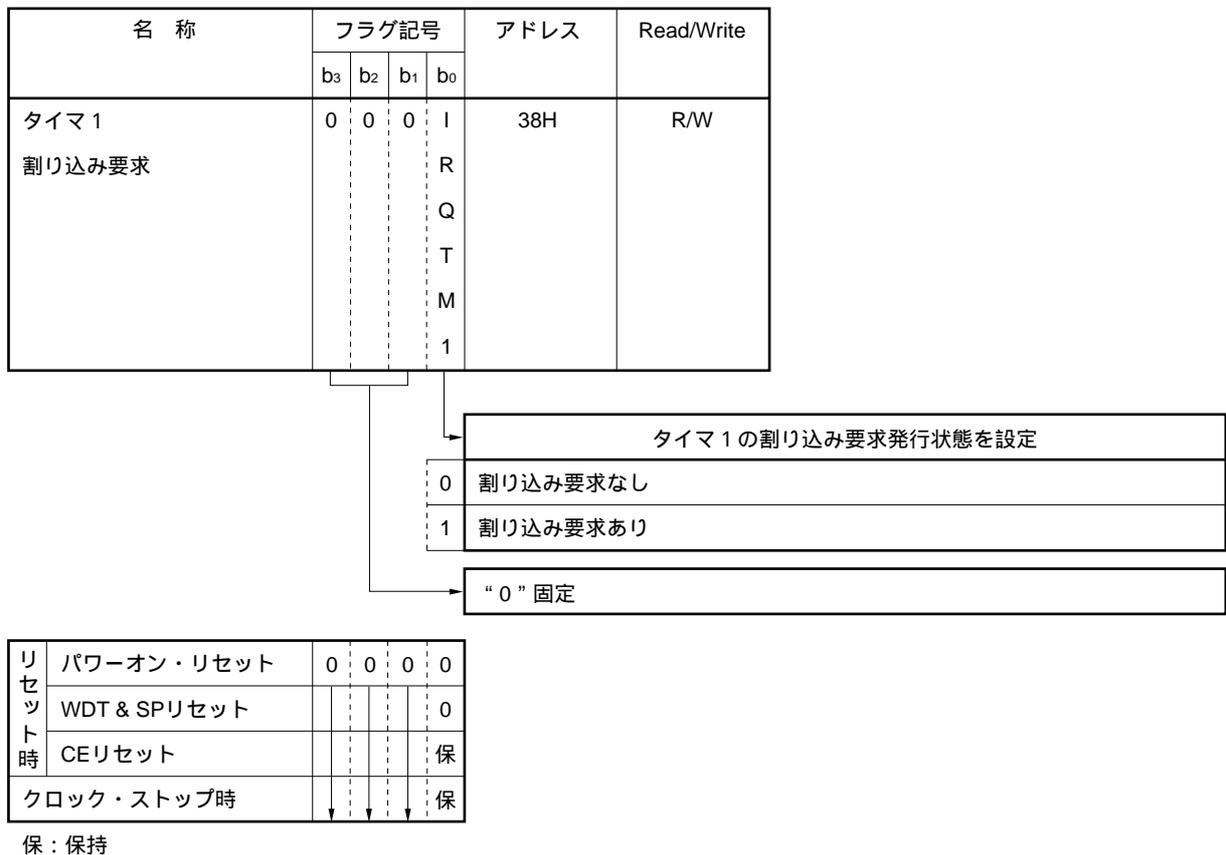
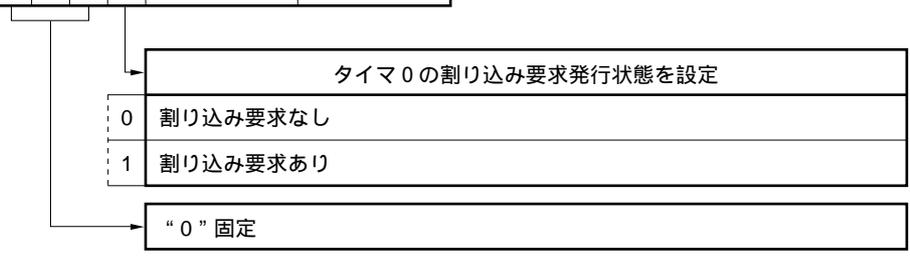


図12 - 7 タイマ0割り込み要求レジスタの構成

名 称	フラグ記号				アドレス	Read/Write
	b3	b2	b1	b0		
タイマ0 割り込み要求	0	0	0	1	39H	R/W



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット				0
	CEリセット				保
クロック・ストップ時					保

保：保持

図12 - 8 INT4端子割り込み要求レジスタの構成

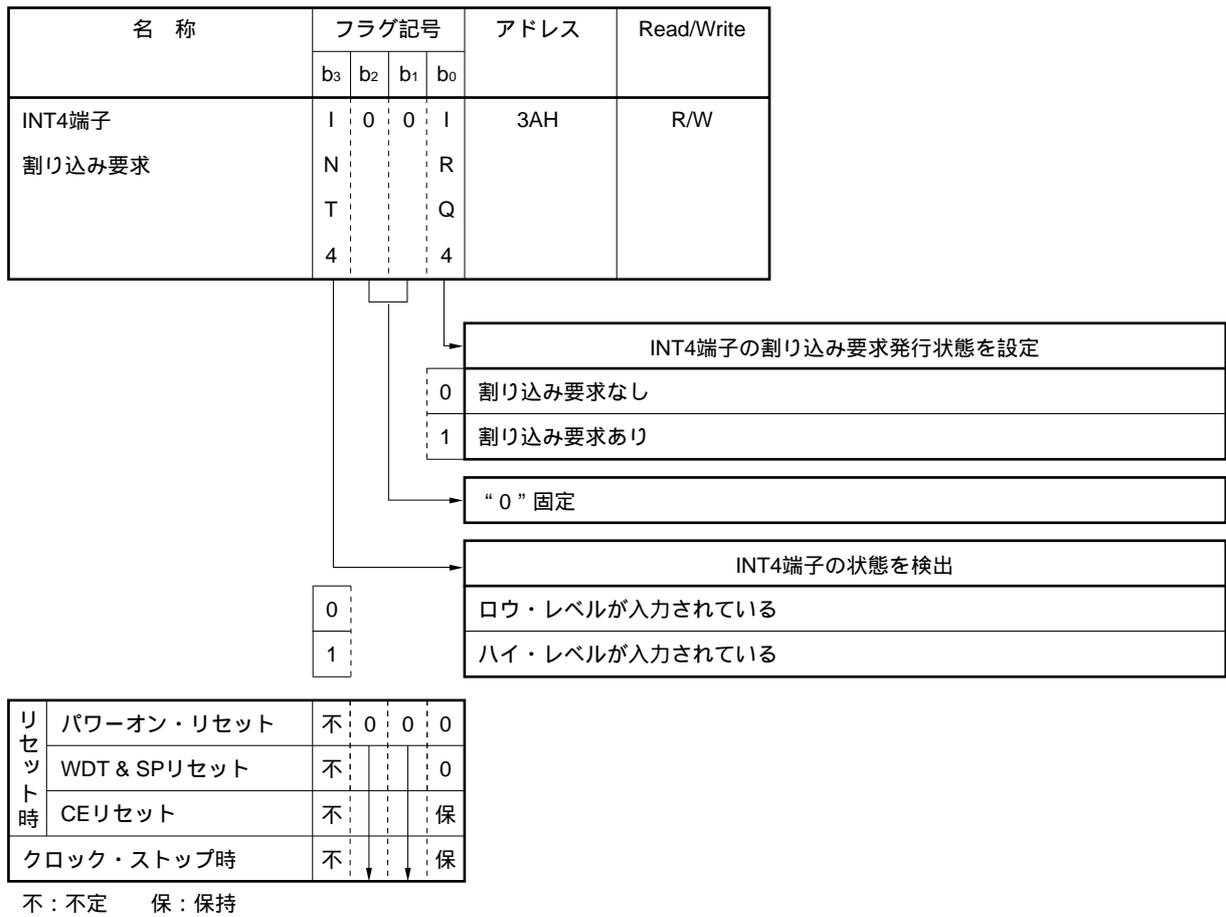


図12 - 9 INT3端子割り込み要求レジスタの構成

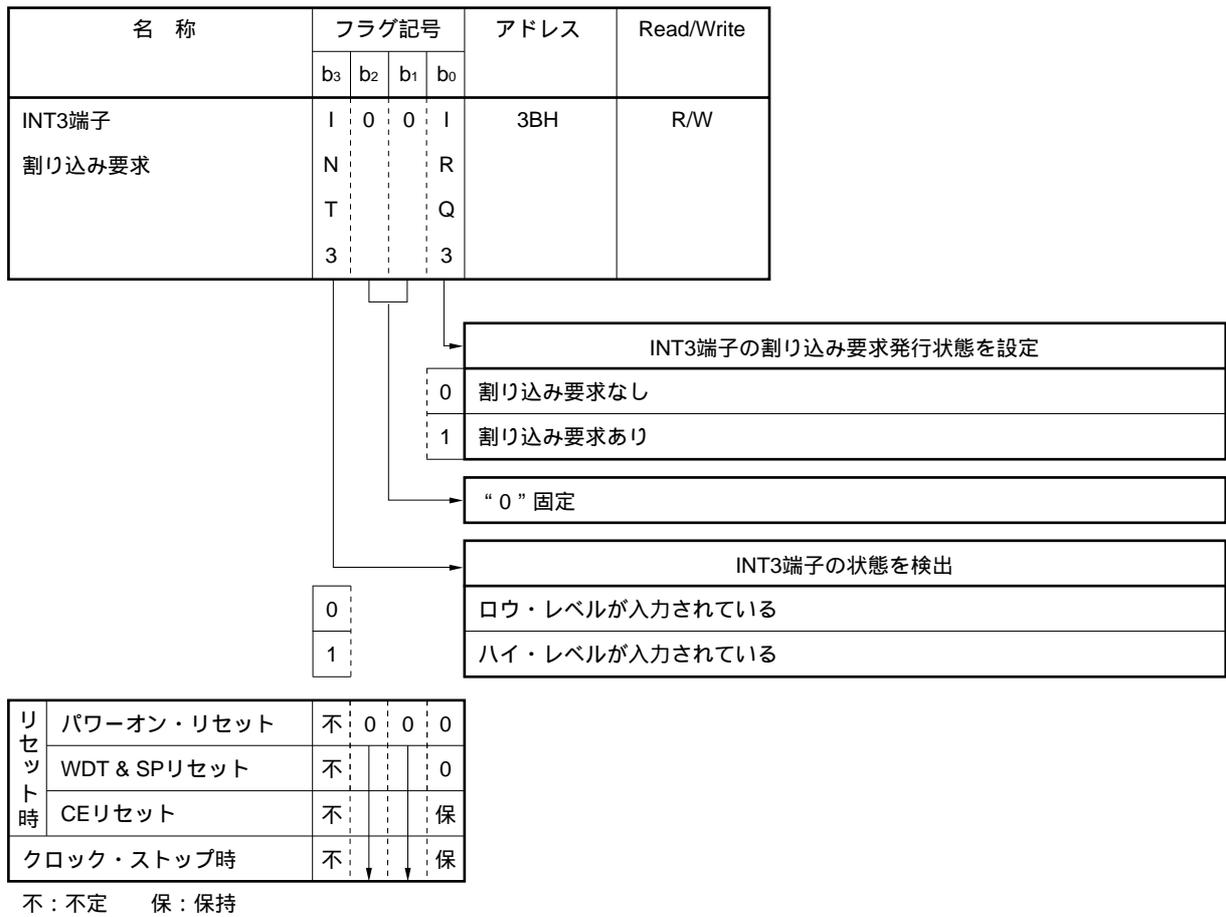
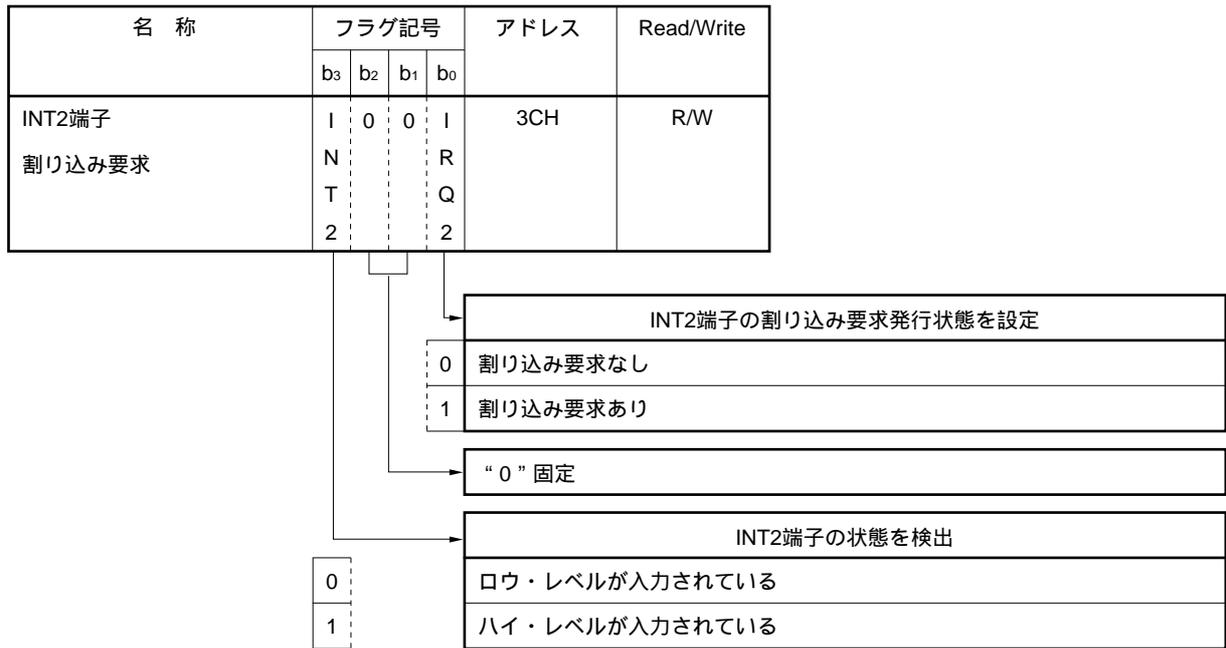


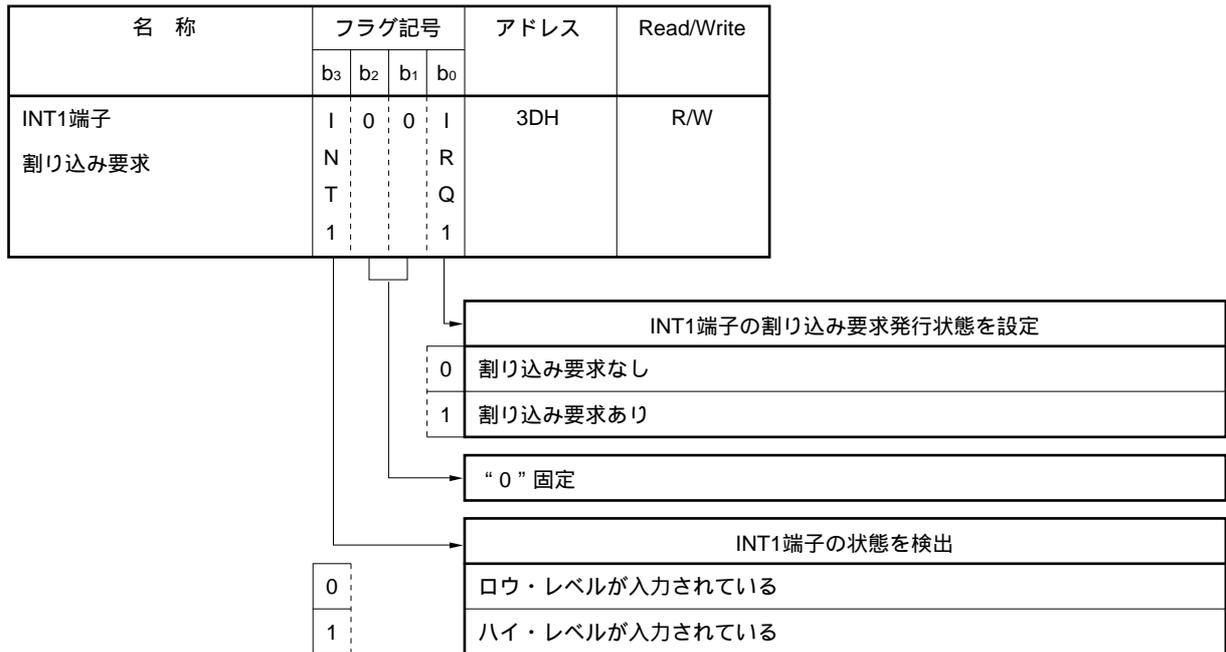
図12 - 10 INT2端子割り込み要求レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	不	0	0	0
	WDT & SPリセット	不			0
	CEリセット	不			保
クロック・ストップ時		不			保

不：不定 保：保持

図12 - 11 INT1端子割り込み要求レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	不	0	0	0
	WDT & SPリセット	不			0
	CEリセット	不			保
クロック・ストップ時		不			保

不：不定 保：保持

図12 - 12 INT0端子割り込み要求レジスタの構成

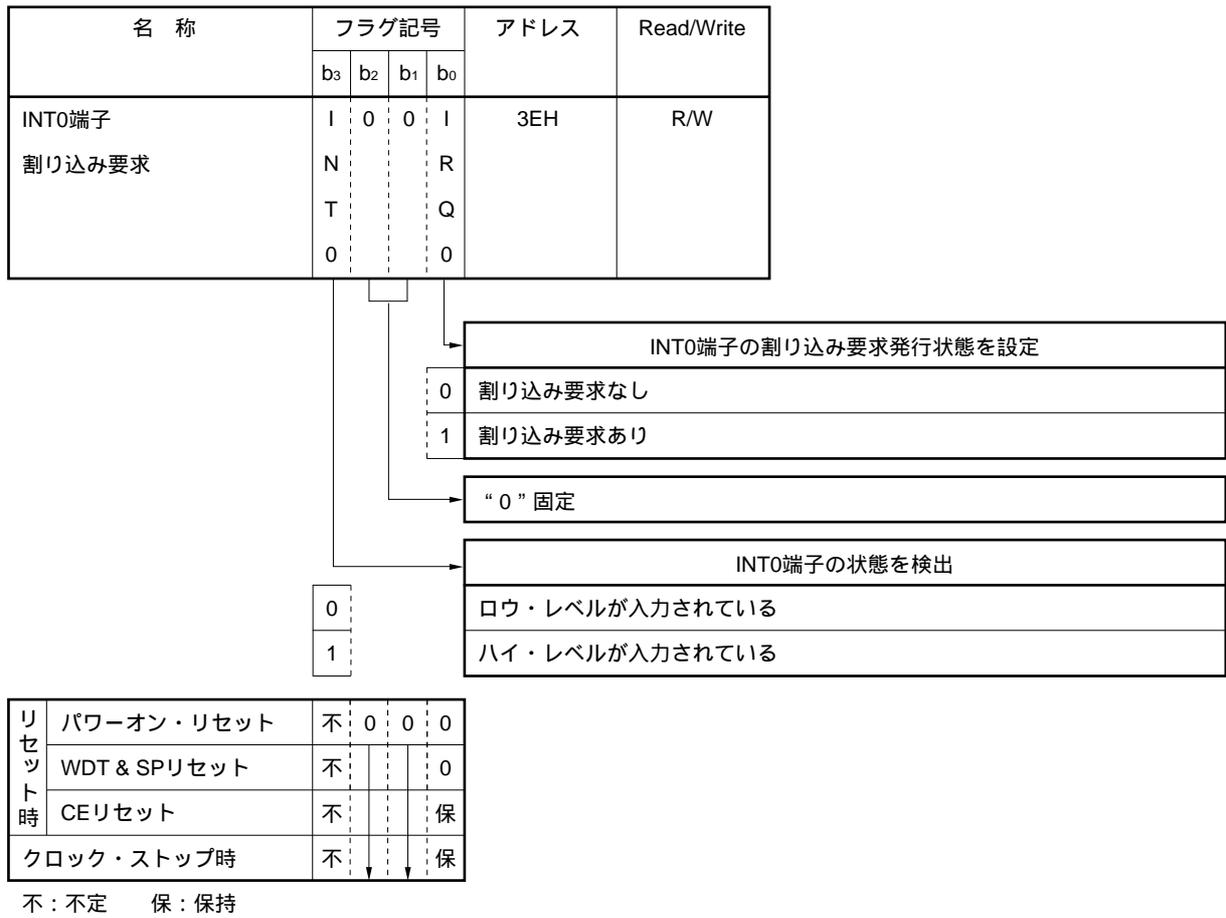
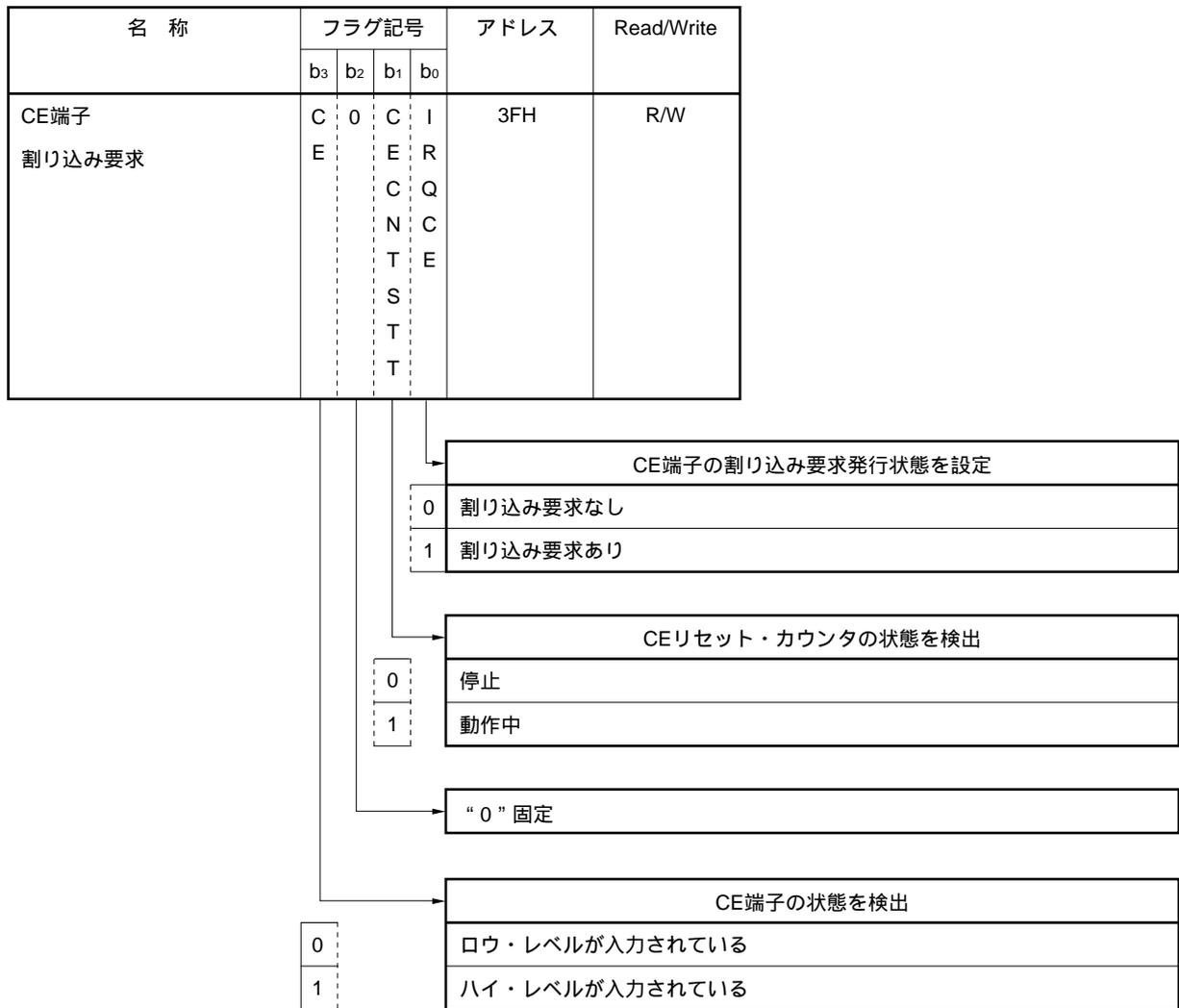


図12 - 13 CE端子割り込み要求レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	不	0	0	0
	WDT & SPリセット	不		0	0
	CEリセット	不		0	保
クロック・ストップ時		不		0	保

不：不定 保：保持

12.2.2 割り込み許可フラグ (IP_{xx}) の機能と構成

各割り込み許可フラグは、各周辺ハードウェアごとの割り込みの許可を設定します。
割り込みが受け付けられるためには、次に示す条件をすべて満たす必要があります。

- ・各割り込み許可フラグにより割り込みが許可されていること
- ・対応する割り込み要求フラグにより割り込み要求が発行されていること
- ・EI命令 (すべての割り込みの許可) が実行されていること

割り込み許可フラグはレジスタ・ファイル上の割り込み許可レジスタに配置されています。

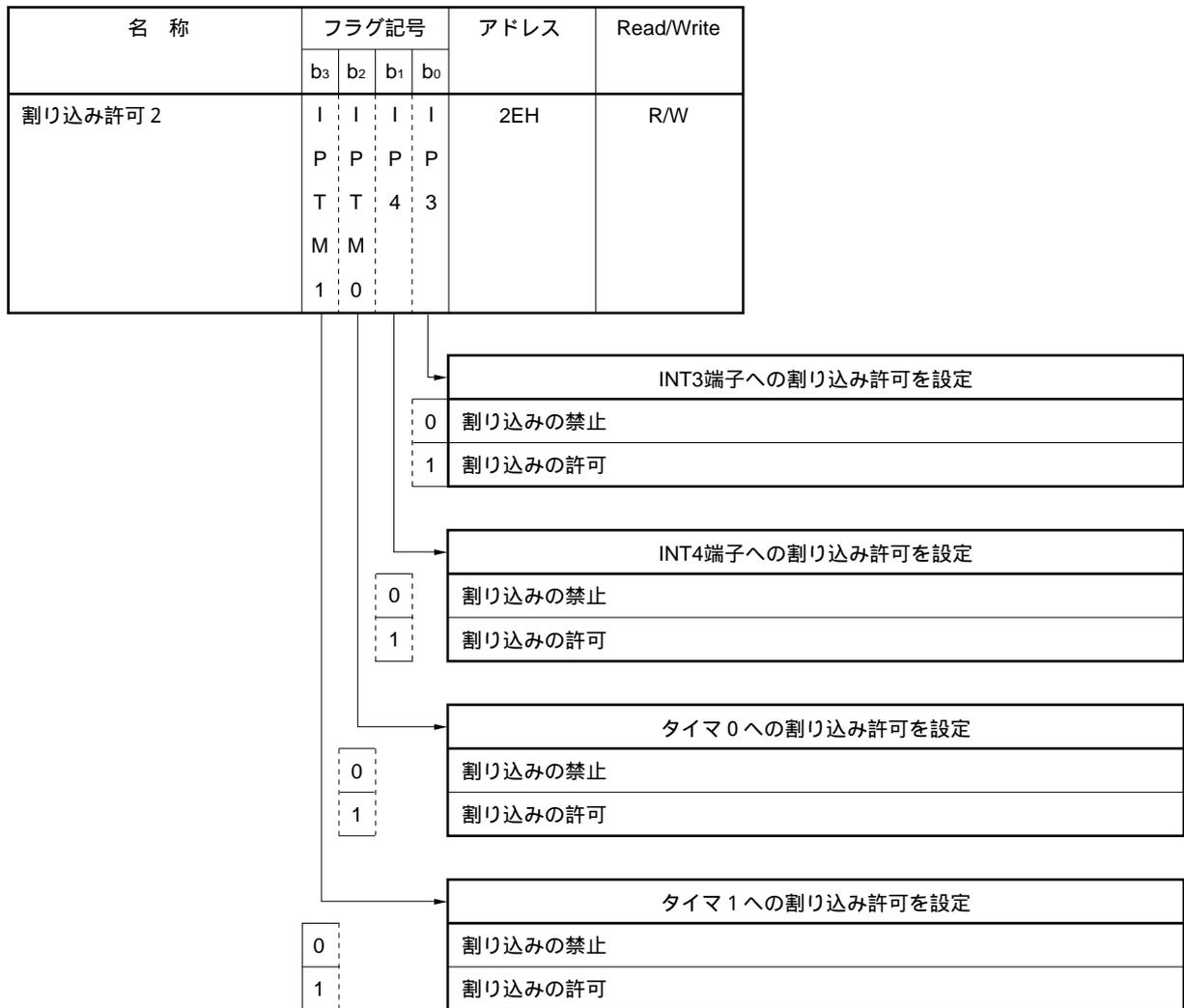
図12 - 14 ~ 図12 - 16に各割り込み許可レジスタの構成と機能を示します。

図12 - 14 割り込み許可レジスタ1の構成



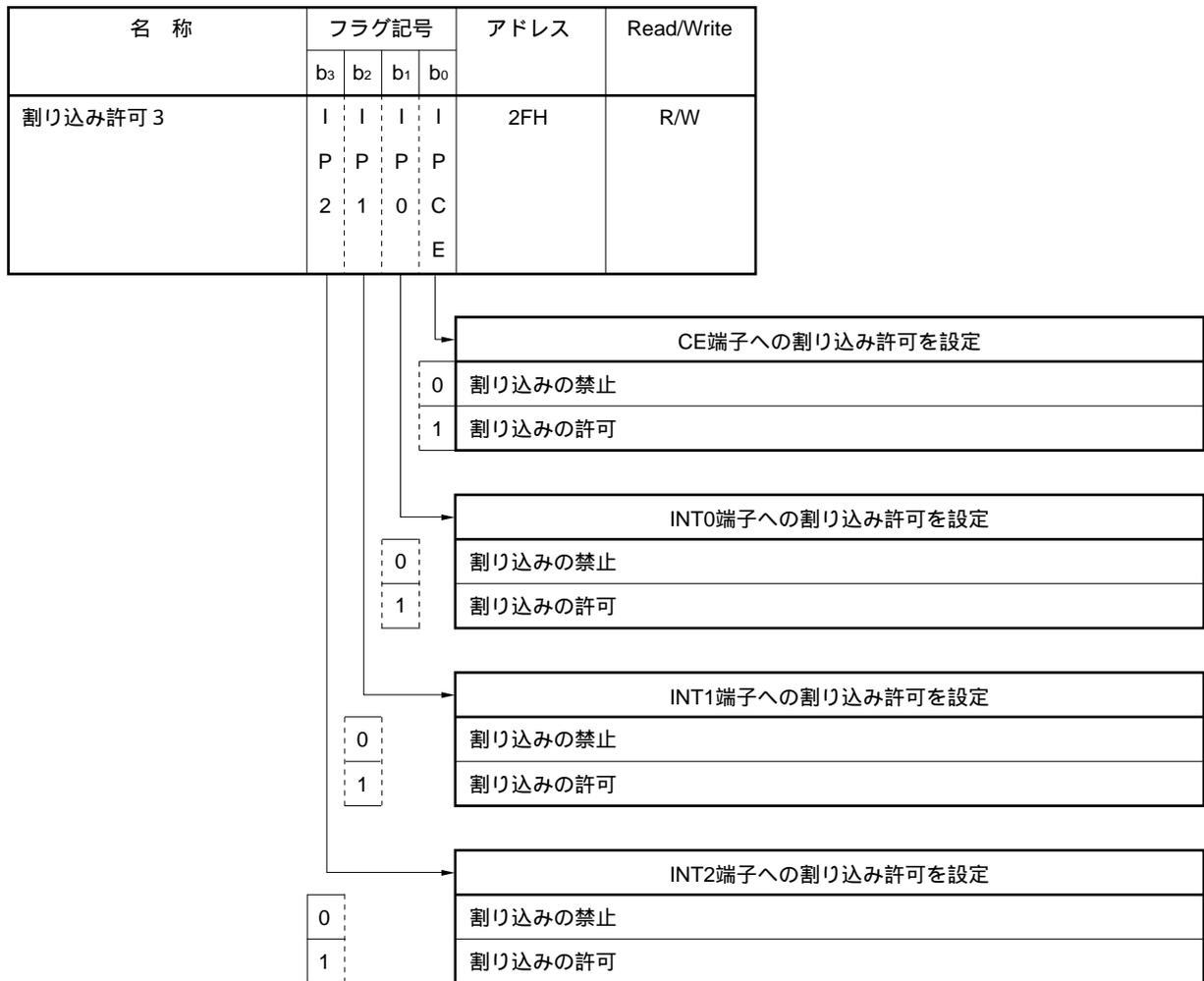
リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

図12 - 15 割り込み許可レジスタ2の構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

図12 - 16 割り込み許可レジスタ3の構成



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

12.2.3 ベクタ・アドレス・ジェネレータ (VAG)

各周辺ハードウェアからの割り込みを受け付けたときに、受け付けた割り込み要因に対するプログラム・メモリの分岐アドレス (ベクタ・アドレス) を生成します。

表12 - 1 に、各割り込み要因に対するベクタ・アドレスを示します。

表12 - 1 割り込み要因とベクタ・アドレス

割り込み要因	ベクタ・アドレス
CE端子の立ち下がりエッジ	00CH
INT0端子	00BH
INT1端子	00AH
INT2端子	009H
INT3端子	008H
INT4端子	007H
タイマ 0	006H
タイマ 1	005H
タイマ 2	004H
タイマ 3	003H
シリアル・インタフェース 0	002H
シリアル・インタフェース 1	001H

12.3 割り込みスタック・レジスタ

12.3.1 割り込みスタック・レジスタの構成と機能

図12 - 17に、割り込みスタック・レジスタの構成を示します。

割り込みスタックは、割り込み受け付け時に、次に示すシステム・レジスタ（アドレス・レジスタ（AR）は除く）の内容を退避します。

- ・ウインドウ・レジスタ（WR）
- ・バンク・レジスタ（BANK）
- ・インデクス・レジスタ（IX）
- ・ジェネラル・レジスタ・ポインタ（RP）
- ・プログラム・ステータス・ワード（PSWORD）

割り込みが受け付けられ、上記のシステム・レジスタの内容が割り込みスタックに退避されると、ウインドウ・レジスタを除く上記のシステム・レジスタの内容は、“0” にリセットされます。

割り込みスタックは、上記のシステム・レジスタの内容を4レベルまで退避することができます。

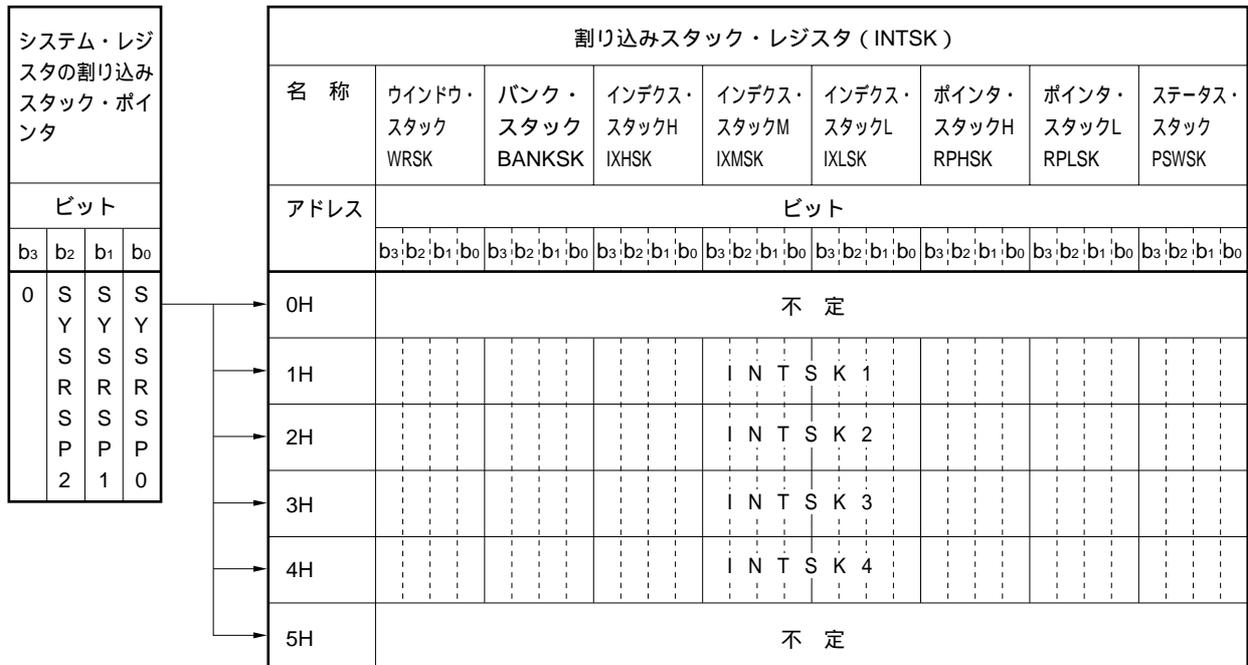
したがって、多重割り込みを4レベルまで行うことができます。

割り込みスタック・レジスタの内容は、割り込みリターン命令（RETI命令）が実行されると、システム・レジスタに復帰されます。

パワーオン・リセット時は、割り込みスタック・レジスタの内容は不定です。

CEリセット時およびクロック・ストップ命令実行時は以前の内容を保持します。

図12 - 17 割り込みスタック・レジスタの構成



12.3.2 システム・レジスタの割り込みスタック・ポインタ

システム・レジスタの割り込みスタック・ポインタは、割り込みの多重レベルを検出します。割り込みスタック・ポインタは読み出しだけ可能であり、書き込みはできません。

次にシステム・レジスタの割り込みスタック・ポインタの構成と機能を示します。

名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
システム・レジスタの割り込みスタック・ポインタ	0	S	S	S	08H	R
		Y	Y	Y		
		S	S	S		
		R	R	R		
		S	S	S		
		P	P	P		
		2	1	0		
)))		



リ セ ツ ト 時	パワーオン・リセット	0	1	0	1
	WDT & SPリセット		1	0	1
	CEリセット		1	0	1
クロック・ストップ時			保 持		

12.3.3 割り込みスタック動作

図12 - 18に、割り込みスタックの動作を示します。

4レベルを超える多重割り込み受け付け時は、最初に退避した内容がはき出されてしまうため、プログラムにより退避する必要があります。

図12 - 18 割り込みスタックの動作 (1/2)

(a) 割り込みが4レベル以下のとき

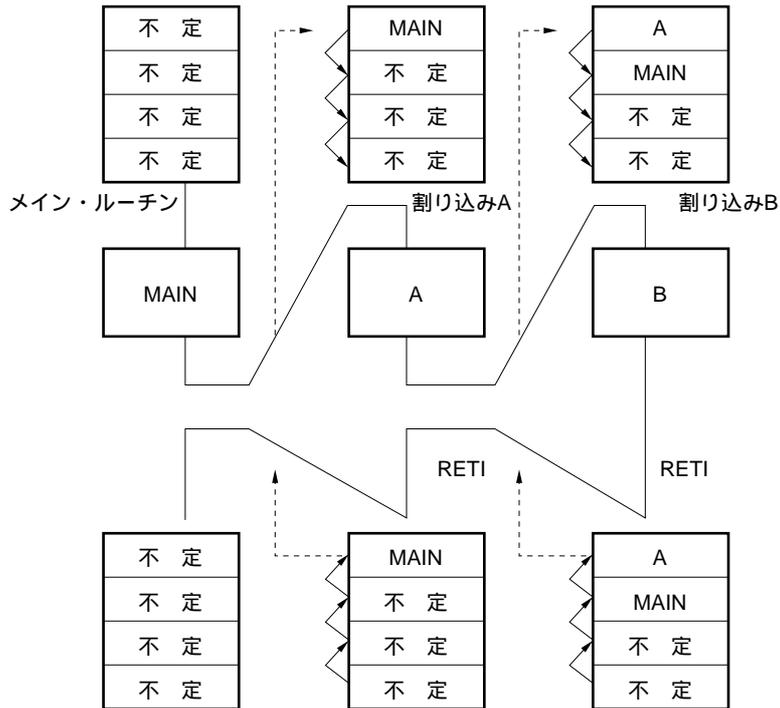
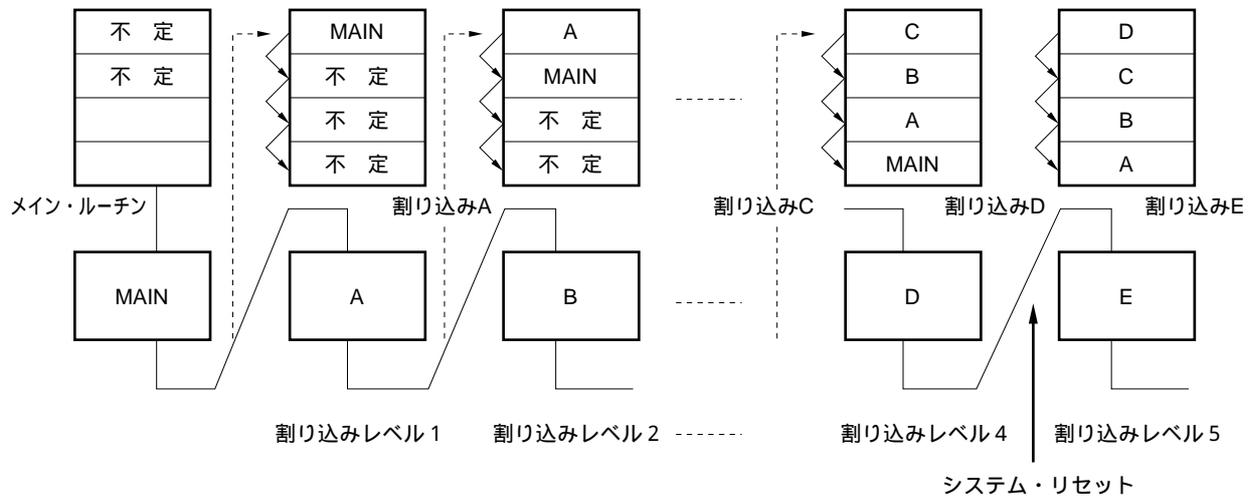


図12 - 18 割り込みスタックの動作 (2/2)

(b) 割り込みが5レベル以上するとき



注意 割り込みレベル5の割り込みが受け付けられた時点で、システム・リセットがかかります。

ただし、割り込みスタックのオーバーフロー/アンダフローによる、ノンマスクابل割り込みのリセット設定フラグISPRESフラグが“1”に設定されている必要があります。またこのフラグはシステム・リセット後の値は“1”であり、システム・リセット後、1回だけ書き込みが可能です。

12.4 スタック・ポインタ、アドレス・スタック・レジスタとプログラム・カウンタ

アドレス・スタック・レジスタは、割り込み処理ルーチンからの復帰時の戻り番地を退避します。

スタック・ポインタはアドレス・スタック・レジスタのアドレスを指定します。

割り込みが受け付けられるとスタック・ポインタの値を - 1 し、そのときのプログラム・カウンタの値をスタック・ポインタで指定されるアドレス・スタック・レジスタに退避します。

次に、割り込み処理ルーチンの処理を実行したあと、割り込みリターン命令 (RETI命令) が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をプログラム・カウンタに復帰し、スタック・ポインタの値を + 1 します。

“ 3 . アドレス・スタック (ASK) ” も参照してください。

12.5 割り込みイネーブル・フリップフロップ (INTE)

割り込みイネーブル・フリップフロップは、12種類のマスカブル割り込みの許可を設定します。

このフリップフロップがセットされていると、すべての割り込みが許可されます。また、リセットされていると、すべての割り込みが禁止されます。

このフリップフロップのセットおよびリセットは、専用命令であるEI命令 (セット) およびDI命令 (リセット) で行います。

EI命令は、EI命令の次の命令が実行された時点でこのフリップフロップをセットし、DI命令は、DI命令実行中にこのフリップフロップをリセットします。

割り込みが受け付けられると、このフリップフロップは自動的にリセットされます。

パワーオン・リセット時、RESET端子によるリセット時、ウォッチドッグ・タイマ、スタック・オーバフロー/アンダフロー・リセット時およびCEリセット時は、このフリップフロップはリセットされます。クロック・ストップ時は、以前の状態を保持します。

12.6 割り込み受け付け動作

12.6.1 割り込み受け付け動作と優先順位

割り込みを受け付けるまでの動作を次に示します。

- (1) 各周辺ハードウェアは、割り込み条件が満足される（たとえばINT0端子に立ち下がり信号が入力される）と、各割り込み要求ブロックに割り込み要求信号を出力する。
- (2) 各割り込み要求ブロックは、各周辺ハードウェアからの割り込み要求信号を受け付けると、対応する割り込み要求フラグ（たとえばINT0端子であればIRQ0フラグ）を“1”にセットする。
- (3) 各割り込み要求フラグが“1”にセットされたときに、各割り込み要求フラグに対応する割り込み許可フラグ（たとえばIRQ0フラグであればIP0フラグ）が“1”にセットされていると、各割り込み要求ブロックから“1”を出力する。
- (4) 各割り込み要求ブロックから出力された信号は、割り込みイネーブル・フリップフロップの出力とORされ、割り込み受け付け信号を出力する。

この割り込みイネーブル・フリップフロップは、EI命令により“1”にセットされ、DI命令により“0”にリセットされる。

割り込みイネーブル・フリップフロップが“1”にセットされているときに、各割り込み要求処理ブロックから“1”が出力されると、割り込みが受け付けられる。

図12-1に示したように、割り込みが受け付けられると、割り込みイネーブル・フリップフロップの出力は、AND回路を介して各割り込み要求ブロックへ入力されます。

各割り込み要求ブロックへ入力された信号により、各割り込み要求フラグに対応する割り込み要求フラグが“0”にリセットされ、かつ各割り込みに対応するベクタ・アドレスが出力されます。

このとき、割り込み要求ブロックから“1”が出力されていると、割り込み受け付け信号は次段に伝達されませんので、同時に複数の割り込み要求が発行されたときは、次に示す優先順位で割り込みが受け付けられます。

割り込み許可フラグが“1”にセットされていなければ、その割り込み要因に対応する割り込みは受け付けられません。

したがって、割り込み許可フラグを“0”にリセットしておくことにより、ハードウェア優先順位の高い割り込みを禁止することができます。

表12-2 割り込み優先順位

割り込み要因	優先順位
CE端子の立ち下がりエッジ	1
INT0端子	2
INT1端子	3
INT2端子	4
INT3端子	5
INT4端子	6
タイマ0	7
タイマ1	8
タイマ2	9
タイマ3	10
シリアル・インタフェース0	11
シリアル・インタフェース1	12

12.6.2 割り込み受け付け時のタイミング・チャート

図12 - 19に、割り込み受け付け時のタイミング・チャートを示します。

図12 - 19の(1)は、1種類の割り込みによるタイミング・チャートです。

(1)の(a)は、割り込み要求フラグが最後に“1”にセットされた場合のタイミング・チャートであり、(1)の(b)は、割り込み許可フラグが最後に“1”にセットされた場合のタイミング・チャートです。

どちらの場合も、割り込みの受け付けは、割り込み要求フラグ、割り込みイネーブル・フリップフロップおよび割り込み許可フラグのすべてが“1”にセットされた時点で行われます。

最後にセットされたフラグまたはフリップフロップが“MOV T DBF, @AR”命令の第1命令サイクル、またはスキップ条件を満足した命令の場合は、それぞれ“MOV T DBF, @AR”命令の第2命令サイクルおよびスキップした命令(NOP命令になる)を実行したあと、割り込みが受け付けられます。

割り込みイネーブル・フリップフロップのセットは、EI命令が実行された次の命令サイクルで行われます。

したがって、EI命令の実行サイクルで割り込み要求フラグがセットされた場合にも、EI命令の次の命令を実行してから割り込みが受け付けられます。

図12 - 19の(2)は、複数の割り込みを使用するときのタイミング・チャートを示します。

複数の割り込みを使用するときは、割り込み許可フラグがすべてセットされていれば、ハードウェアで優先されている割り込みから順に受け付けられますが、プログラムで割り込み許可フラグを設定することにより、ハードウェアの優先度を変えることができます。

なお、図12 - 19に示した“割り込みサイクル”とは、割り込みが受け付けられてから割り込み要求フラグのリセット、ベクタ・アドレスの指定、プログラム・カウンタの退避などを行うための特別なサイクルであり、1命令実行時間に相当する1.78 μsを必要とします。

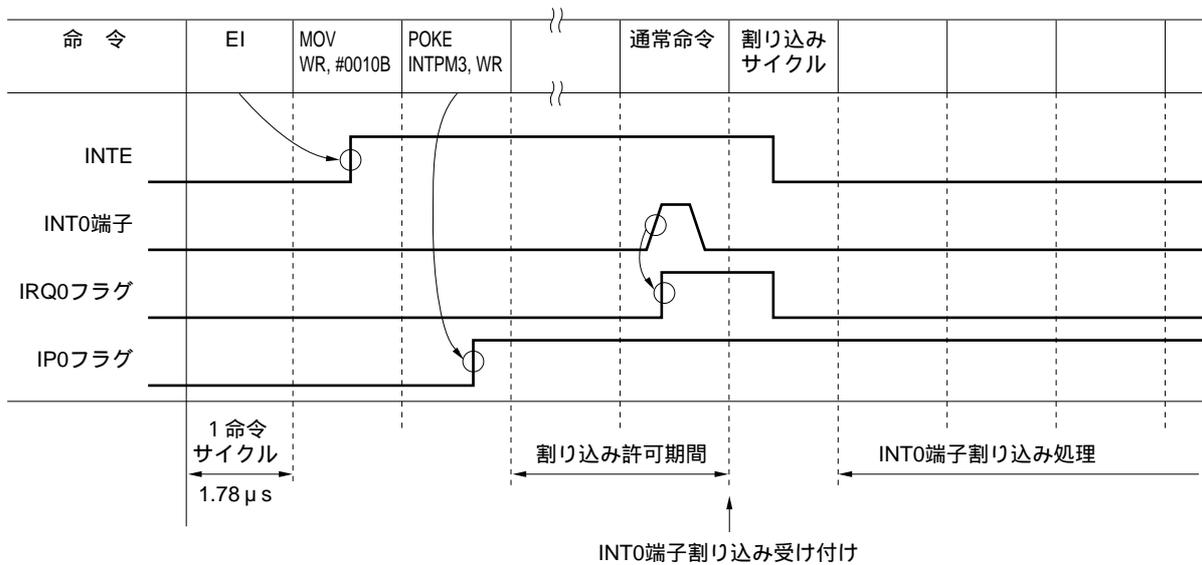
詳しくは、“12.7 割り込み受け付け後の動作”を参照してください。

図12 - 19 割り込み受け付けタイミング・チャート (1/3)

(1) 1種類の割り込み (例: INT0端子の立ち上がり) を使用時

(a) 割り込みフラグ (IPx x x) による割り込みマスク時間がない場合

割り込み受け付け時が “ MOVT ” 命令およびスキップ条件を満たした命令でない通常命令の場合



割り込み受け付け時が “ MOVT ” 命令か、または “ スキップ条件を満たした命令 ” の場合

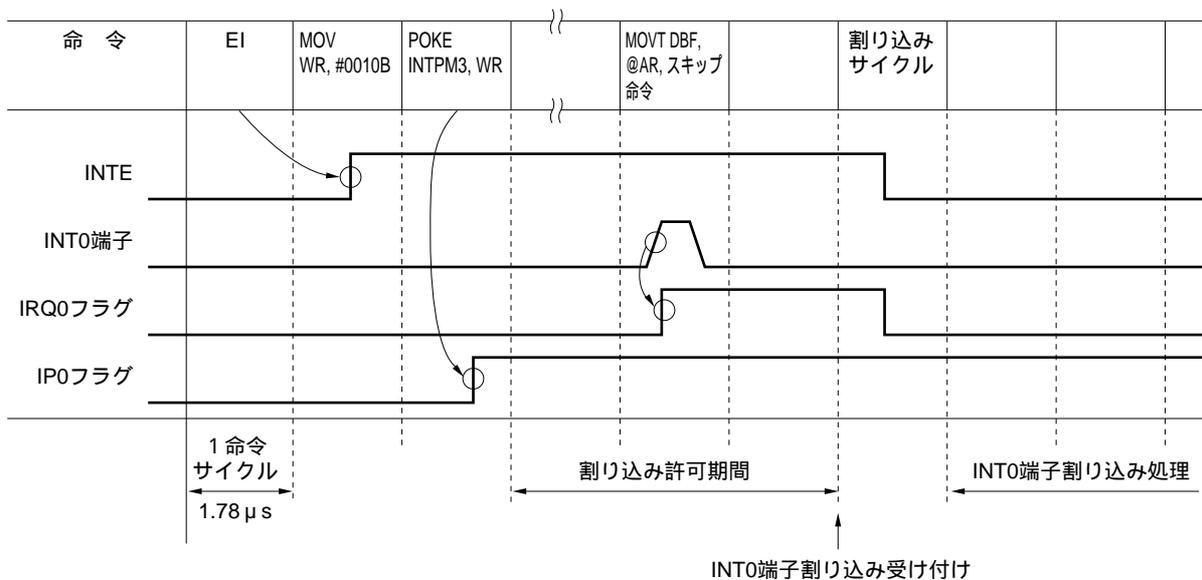
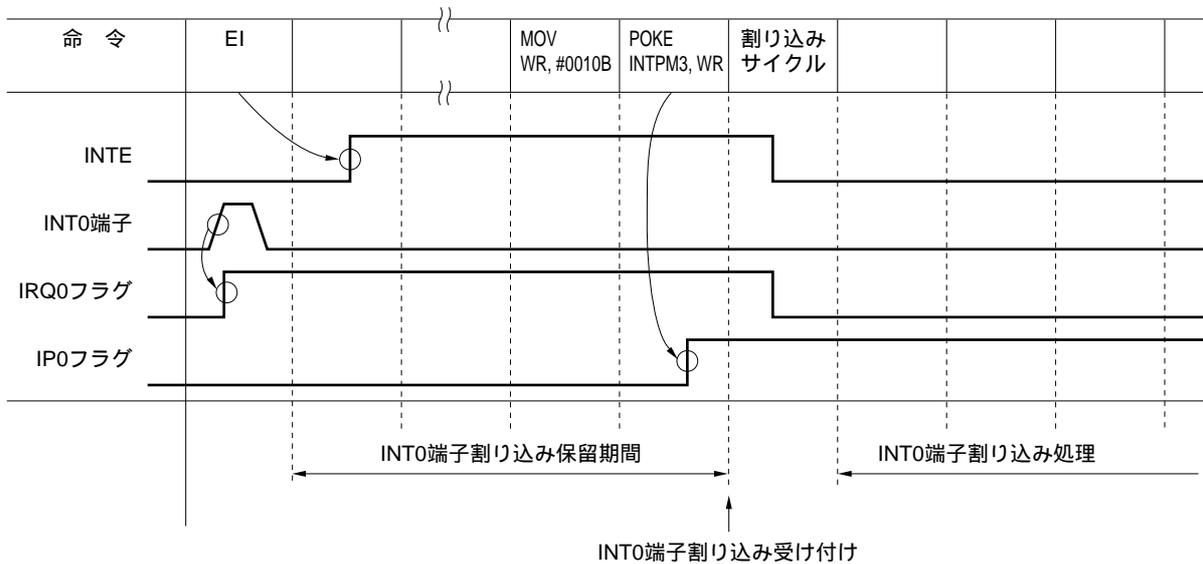


図12 - 19 割り込み受け付けタイミング・チャート (2/3)

(b) 割り込み許可フラグによる割り込み保留期間がある場合



(2) 複数の割り込み (例: INT0端子, INT1端子の2種類) を使用時

(a) ハードウェア優先

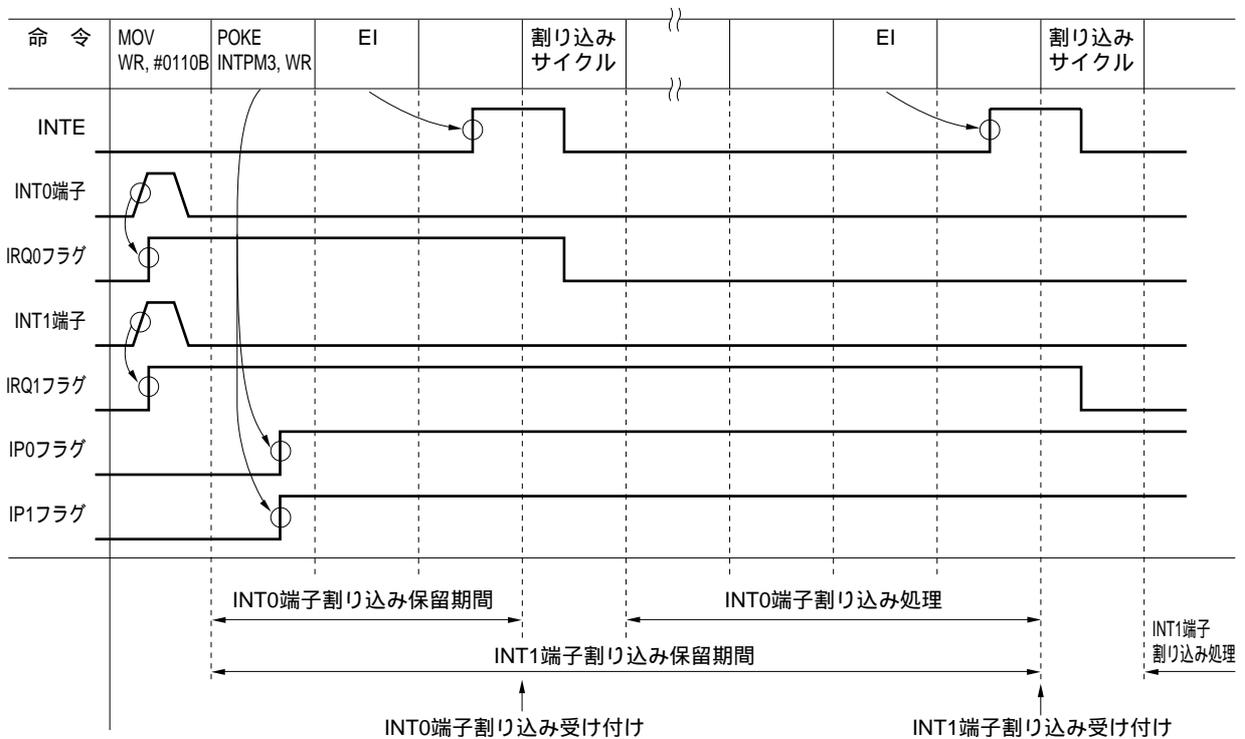
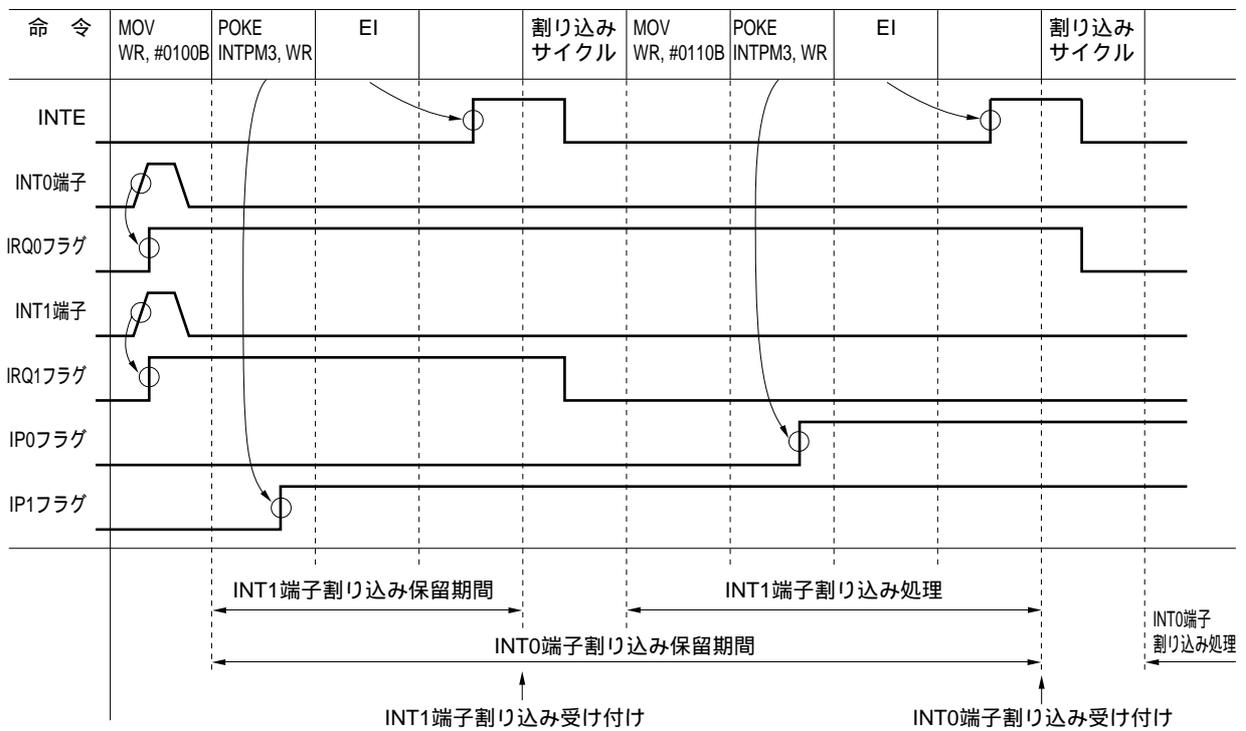


図12 - 19 割り込み受け付けタイミング・チャート (3/3)

(b) ソフトウェア優先



12.7 割り込み受け付け後の動作

割り込みが受け付けられると、次に示す処理が順次自動的に実行されます。

- (1) 割り込みイネーブル・フリップフロップおよび受け付けられた割り込み要求に対応する割り込み要求フラグを“0”にリセットする。つまり、割り込み禁止状態になる。
- (2) スタック・ポインタの内容を - 1 する。
- (3) プログラム・カウンタの内容を、スタック・ポインタで指定されるアドレス・スタック・レジスタへ退避する。
このときのプログラム・カウンタの内容は、割り込みが受け付けられた時点の次のプログラム・メモリ・アドレスになる。
たとえば、分岐命令であれば分岐先のアドレスとなり、サブルーチン・コール命令であればコール先のアドレスになる。スキップ命令でスキップ条件が満たされたときは、次の命令をNOP命令として実行したあとに割り込みが受け付けられるため、プログラム・カウンタの内容はスキップした命令の次のアドレスになる。
- (4) システム・レジスタ（アドレス・レジスタを除く）の内容を、割り込みスタックへ退避する。
- (5) 受け付けられた割り込みに対応するベクタ・アドレス・ジェネレータの内容を、プログラム・カウンタに転送する。つまり、割り込み処理ルーチンへ分岐する。

上記(1)-(5)の処理は、通常の命令の実行を伴わない特別な1命令サイクル(1.78 μs)の時間が必要になります。

この命令サイクルを“割り込みサイクル”と呼びます。

つまり、割り込みが受け付けられてから、対応するベクタ・アドレスへ分岐するまでに1命令サイクル(1.78 μs)の時間が必要になります。

12.8 割り込み処理ルーチンからの復帰処理

割り込み処理ルーチンから、割り込みが受け付けられたときの処理へ復帰させるには、割り込みリターン命令(RETI命令)を使用します。

RETI命令が実行されると、次に示す処理が順次自動的に実行されます。

- (1) スタック・ポインタで指定されるアドレス・スタック・レジスタの内容を、プログラム・カウンタに復帰する。
- (2) 割り込みスタックの内容を、システム・レジスタに復帰する。
- (3) スタック・ポインタの内容を + 1 する。

上記(1)-(3)の処理は、RETI命令が実行される1命令サイクル(1.78 μs)中に処理されます。

RETI命令と、サブルーチン・リターン命令であるRET命令およびRETSK命令との違いは、上記(2)のバンク・レジスタおよびインデクス・レジスタの復帰動作の違いのみです。

12.9 外部 (CE端子, INT0端子-INT4端子) 割り込み

12.9.1 外部割り込み概要

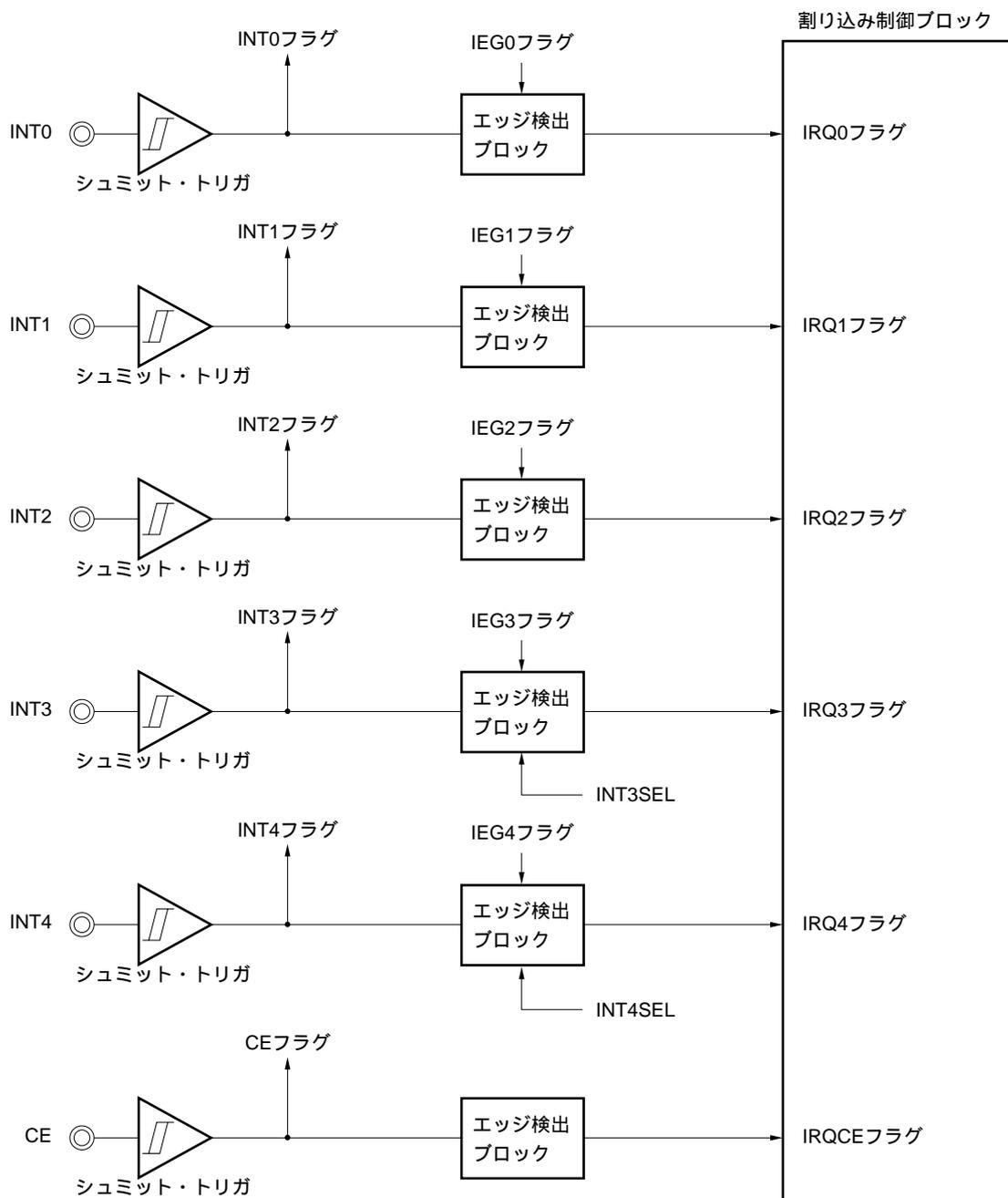
図12 - 20に, 外部割り込みの概要を示します。

図12 - 20に示すように, 外部割り込みは, INT0端子-INT4端子に加えられた信号の立ち上がりまたは立ち下がりエッジまたはCEの立ち下がりにより, 割り込み要求を発行します。

INT端子の立ち上がりおよび立ち下がりのどちらで割り込み要求を発行するかは, プログラムにより独立して設定できます。

INT0端子-INT4端子, CE端子は, ノイズによる誤動作を防ぐためシュミット・トリガ入力となっています。また, 100 ns未満のパルス入力は受け付けません。

図12 - 20 外部割り込みの概要

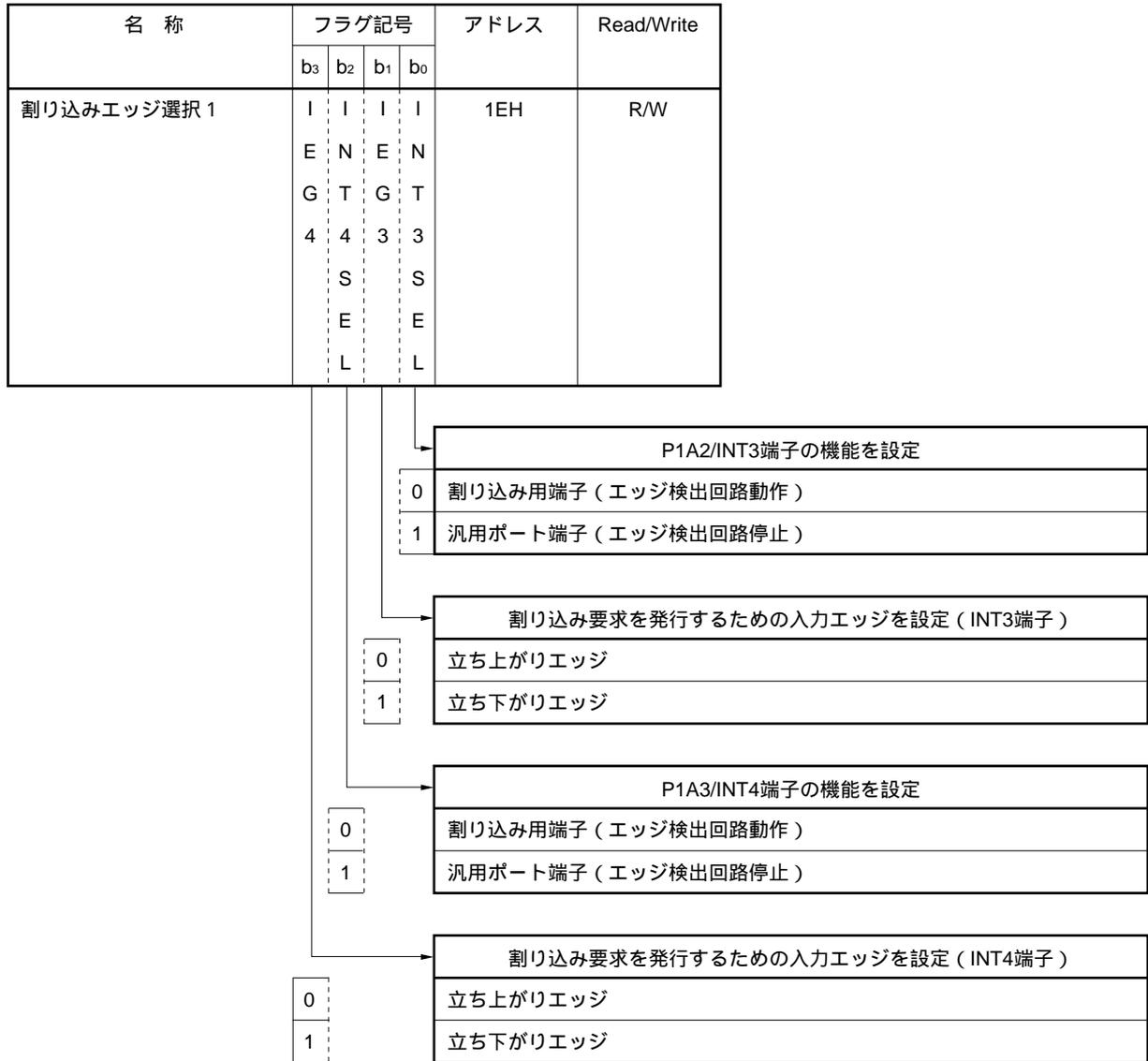


12.9.2 エッジ検出ブロック

エッジ検出ブロックは、割り込みエッジ選択レジスタによりINT0端子-INT4端子の割り込み要求を発行する入力信号エッジ（立ち上がりまたは立ち下がりエッジ）を設定します。

図12 - 21に割り込みエッジ選択レジスタの構成と機能を示します。

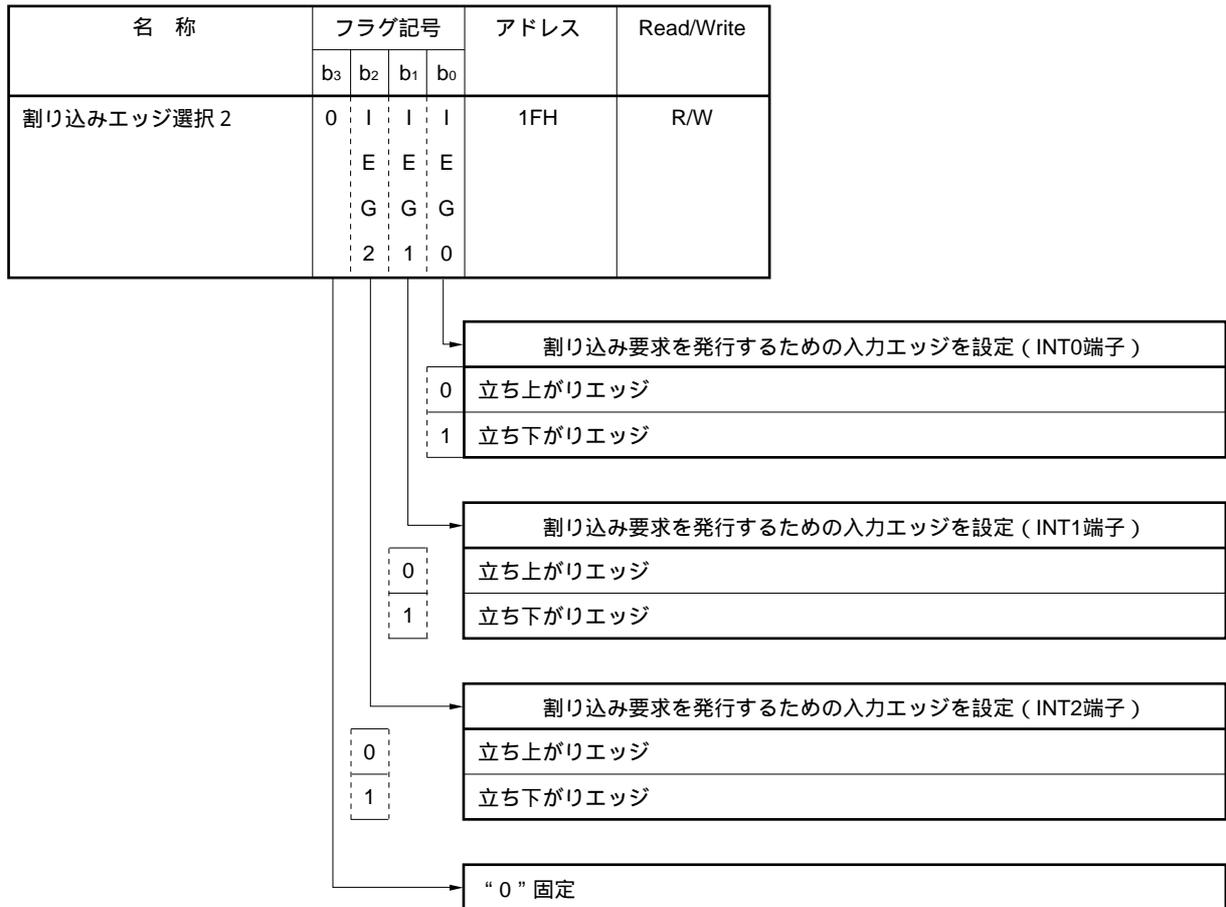
図12 - 21 割り込みエッジ選択レジスタの構成（1/2）



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		保 持			

注意 外部入力は、約100 ns遅れますので注意してください。

図12 - 21 割り込みエッジ選択レジスタの構成 (2/2)



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット		0	0	0
	CEリセット		保 持		
クロック・ストップ時			保 持		

注意 外部入力は、約100 ns遅れますので注意してください。

各割り込みエッジ選択フラグ (IEG0-IEG4フラグ) により割り込み要求発行エッジを切り替えると、切り替えた瞬間に割り込み要求信号が発行される場合があるので注意が必要です。

これは、表12 - 3 に示すように、たとえばIEG0のフラグが“1” (立ち下がりエッジ) に設定されており、INT0端子からハイ・レベルが入力されているとします。このとき、IEG0フラグを“0” にリセットすると、エッジ検出回路は立ち上がりエッジが入力されたと判断し、割り込み要求を発行してしまいますので注意してください。

表12 - 3 IEGフラグの変更による割り込み要求の発行

IEG0-IEG4フラグの変化	INT0-INT4端子の状態	割り込み要求発行の有無	割り込み要求フラグの状態
1 0 (立ち下がり) (立ち上がり)	ロウ・レベル	発行されない	以前の状態を保持
	ハイ・レベル	発行される	“ 1 ” にセットされる
0 1 (立ち上がり) (立ち下がり)	ロウ・レベル	発行される	“ 1 ” にセットされる
	ハイ・レベル	発行されない	以前の状態を保持

12.9.3 割り込み制御ブロック

INT0-INT4フラグによりINT0端子-INT4端子に入力された信号レベルを検出することができます。

これらのフラグは割り込みとは無関係にセットまたはリセットされるため、割り込み機能を使用しない場合INT0-INT2端子は3ビットの入力ポート、P1A2/INT3、P1A3/INT4端子は2ビットの汎用入力ポートとして使用できます。

なお、割り込みを許可していなければ、割り込み要求フラグを読み込むことにより立ち上がりまたは立ち下がりエッジを検出できる汎用ポートとして使用できます。

ただし、この場合は割り込み要求フラグは自動的にリセットされませんので、プログラムによりリセットする必要があります。

“ 12.2.1 割り込み要求フラグ (IRQ_x × ×) の構成と機能 ” も参照してください。

12.10 内部割り込み

内部割り込みには、次に示す6系統があります。

- ・ タイマ0
- ・ タイマ1
- ・ タイマ2
- ・ タイマ3
- ・ シリアル・インタフェース0
- ・ シリアル・インタフェース1

12.10.1 タイマ0, タイマ1, タイマ2, タイマ3 割り込み

一定時間ごとに割り込み要求を発行します。

詳しくは、“ 13. タイマ ” を参照してください。

12.10.2 シリアル・インタフェース0, シリアル・インタフェース1 割り込み

シリアル出力またはシリアル入力動作終了時に、割り込み要求を発行することができます。

詳しくは、“ 16. シリアル・インタフェース ” を参照してください。

13. タイマ

タイマは、プログラム実行上の時間管理に使用します。

13.1 タイマ概要

図13 - 1 に、タイマの概要を示します。

タイマは次の5系統で構成されています。

- ・ベーシック・タイマ0
- ・タイマ0
- ・タイマ1
- ・タイマ2
- ・タイマ3

ベーシック・タイマ0は、一定時間ごとにセットされるフリップフロップの状態をプログラムにより検出します。

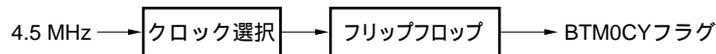
タイマ0-タイマ3はモジュロ方式のタイマで割り込みを使用できます。

ベーシック・タイマ0は停電検出にも使用できます。タイマ3はD/Aコンバータと兼用しています。

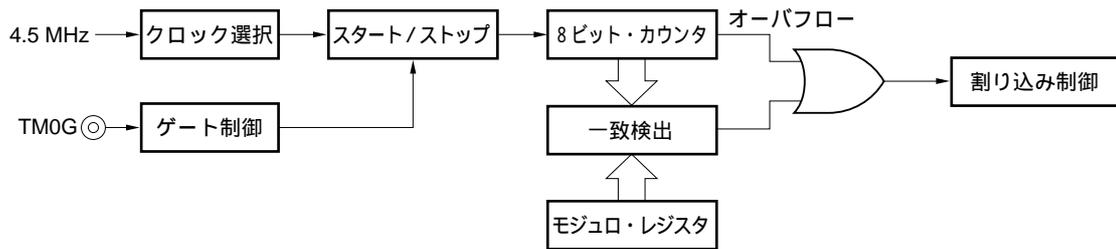
各タイマのクロックは、いずれもシステム・クロック（4.5 MHz）を分周して作られています。

図13 - 1 タイマ概要 (1/2)

(1) ベーシック・タイマ0



(2) タイマ0



(3) タイマ1

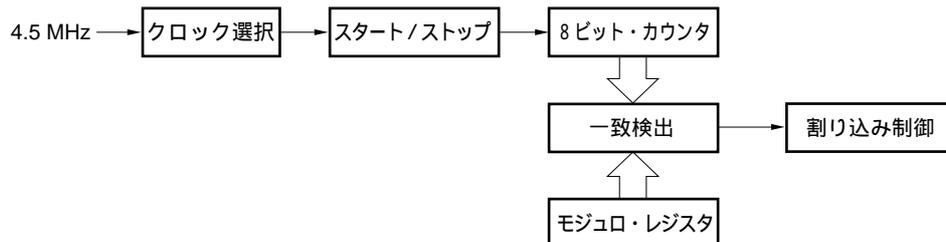
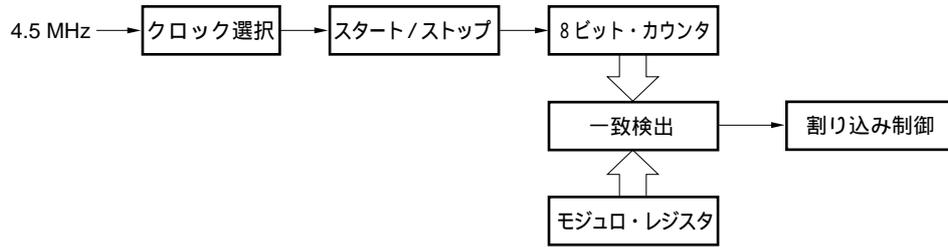
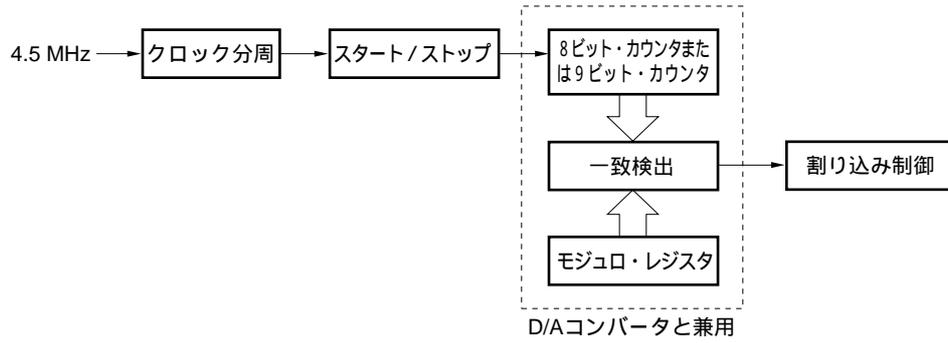


図13 - 1 タイマ概要 (2/2)

(4) タイマ2



(5) タイマ3



13.2 ベーシック・タイマ0

13.2.1 ベーシック・タイマ0概要

図13 - 2 にベーシック・タイマ0の概要を示します。

ベーシック・タイマ0は、一定時間ごと（100 ms, 50 ms, 20 ms, 10 ms）にセットされるBTM0CYフラグをプログラムにより検出することにより、タイマとして使用します。

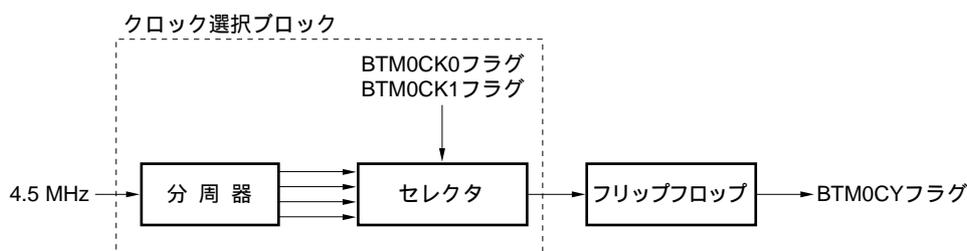
パワーオン・リセット後、最初にBTM0CYフラグを読み出すと、必ず“0”が読み出され、その後は一定時間ごとに“1”にセットされます。

また、CE端子がロウ・レベルからハイ・レベルに変化すると、次にBTM0CYフラグがセットされるタイミングに同期してCEリセットがかかります。

したがって、システム・リセット（パワーオン・リセットおよびCEリセット）時にBTM0CYフラグの内容を読み出すことにより、停電検出を行うことが可能となります。

停電検出については、“21.リセット”を参照してください。

図13 - 2 ベーシック・タイマ0概要



備考1 . BTM0CK1, BTM0CK0（ベーシック・タイマ0クロック選択レジスタのビット1，ビット0：図13 - 3参照）

BTM0CYフラグをセットする時間間隔を設定

2 . BTM0CY（ベーシック・タイマ0キャリー・レジスタのビット0：図13 - 4参照）

フリップフロップの状態を検出

13.2.2 クロック選択ブロック

クロック選択ブロックは、システム・クロック（4.5 MHz）を分周し、BTM0CK0, BTM0CK1フラグにより、BTM0CYフラグをセットする時間間隔を設定します。

図13 - 3 にベーシック・タイマ0クロック選択レジスタの構成を示します。

図13 - 3 ベーシック・タイマ0クロック選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット			0	0
	CEリセット			保 持	
	クロック・ストップ時			保 持	

13.2.3 フリップフロップおよびBTM0CYフラグ

フリップフロップは、一定時間ごとにセットされ、ベーシック・タイマ0 キャリー・レジスタのBTM0CYフラグによりその状態を検出します。

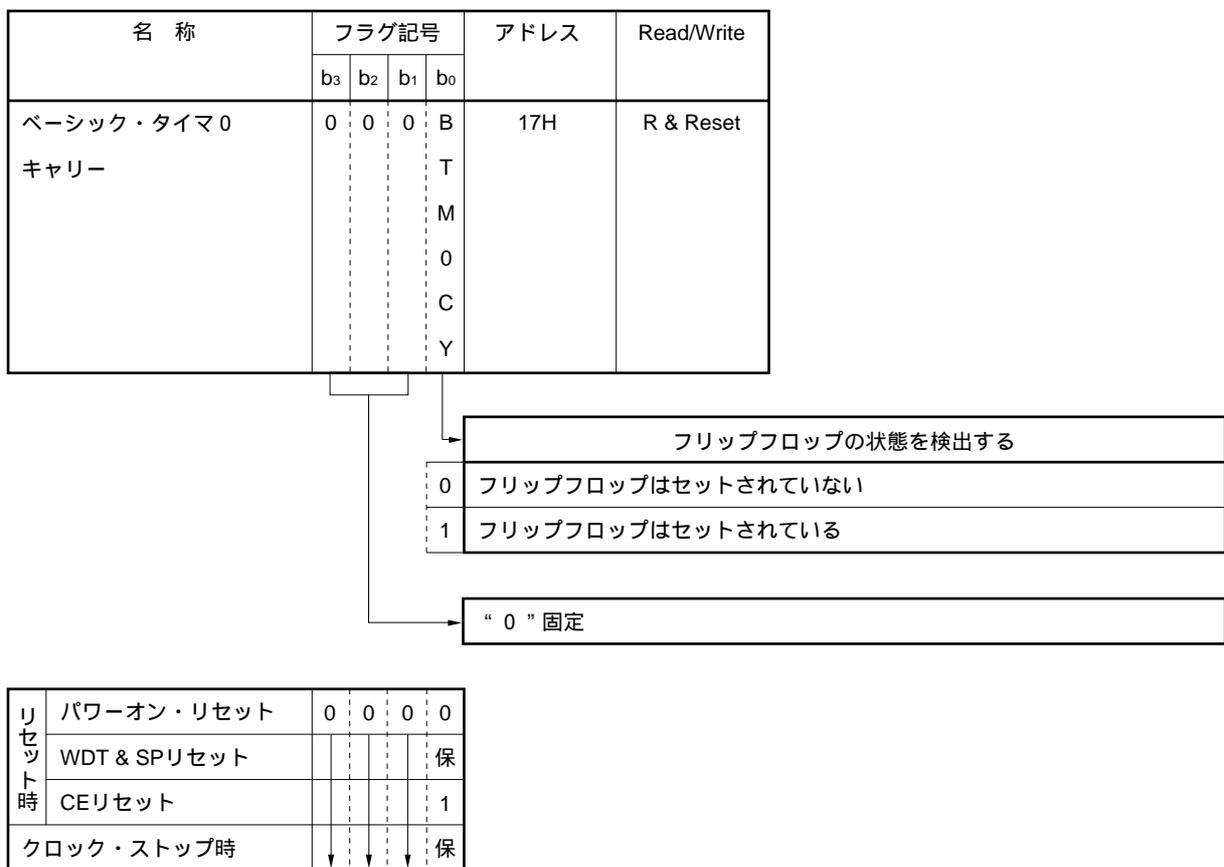
BTM0CYフラグを読み出すと、BTM0CYフラグは“0”にリセットされます（Read & Reset）。

BTM0CYフラグはパワーオン・リセット時は“0”であり、CEリセット時およびクロック・ストップ命令実行後のCEリセット時は“1”となるため、停電検出用フラグとして使用できます。

BTM0CYフラグは、電源電圧投入後一度読み出し命令を実行するまではセットされません。一度読み出し命令が実行されたあとは、一定時間ごとにセットされます。

図13 - 4 にベーシック・タイマ0 キャリー・レジスタの構成を示します。

図13 - 4 ベーシック・タイマ0 キャリー・レジスタの構成



保：保持

13.2.4 ベーシック・タイマ0使用例

次にプログラム例を示します。

このプログラムは、処理Aを1秒ごとに実行します。

例

```
CLR2  BTMOCK1,BTMOCK0 ; BTMOCKYフラグ・セット用パルスを10 Hz(100 ms)に設定
MOV   M1,#0
LOOP:
SKT1  BTMOCKY           ; BTMOCKYフラグが“0”ならNEXTへ分岐
BR    NEXT
ADD   M1,#1             ; M1に1を加算
SKE   M1,#0AH          ; M1が“10”(1秒経過)なら処理Aを実行
BR    NEXT
MOV   M1,#0



処理 A



NEXT:


処理 B

 ; 処理Bを実行してLOOPへ分岐
BR    LOOP
```

13.2.5 ベーシック・タイマ0の誤差

ベーシック・タイマ0の誤差には、BTM0CYフラグの検出時間による誤差と、BTM0CYフラグをセットする時間間隔を変更したときの誤差があります。

次の(1)および(2)に、それぞれについて説明します。

(1) BTM0CYフラグの検出時間による誤差

BTM0CYフラグを検出する時間は、BTM0CYフラグがセットされる時間よりも短くする必要があります(13.

2.6 ベーシック・タイマ0使用時の注意参照)。

つまり、BTM0CYフラグを検出する時間間隔を t_{CHECK} とし、BTM0CYフラグがセットされる時間間隔(100 ms, 50 ms, 20 ms, 10 ms)を t_{SET} とすると、 t_{CHECK} と t_{SET} は、次に示す関係である必要があります。

$$t_{CHECK} < t_{SET}$$

このとき、図13-5に示すように、BTM0CYフラグを検出するときのタイマの誤差は、次に示すようになります。

$$0 < \text{誤差} < t_{SET}$$

図13-5 BTM0CYフラグの検出時間によるベーシック・タイマ0の誤差

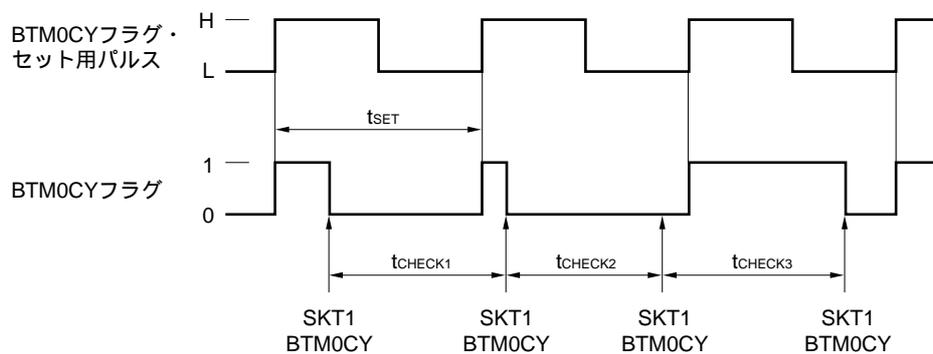


図13-5に示すように、まずでBTM0CYフラグを検出すると、“1”であるため、タイマを更新します。

次にで検出すると、“0”であるため、で再度検出するまでタイマは更新されません。

つまり、このときタイマは、 t_{CHECK3} の時間だけ長くなることになります。

(2) BTM0CYフラグをセットする時間間隔を変更したときの誤差

BTM0CYフラグをセットする時間は、BTM0CK1およびBTM0CK0フラグにより設定します。

13.2.2に示したように、タイマ時間設定パルスは、10 Hz, 20 Hz, 50 Hz, 100 Hzの4種類を選択できます。

このとき、これらの4種類のパルスは、独立に動作しています。したがって、BTM0CK1およびBTM0CK0フラグによってタイマ時間設定パルスを切り替えると、次の例に示すように誤差が生じます。

例

```

;
INITIFLG NOT BTMOCK1, NOT BTMOCK0
; BTM0CYフラグ・セット用パルスを10 Hz (100 ms) に設定
    
```

処理 A

```

;
INITIFLG BTMOCK1, NOT BTMOCK0 ; BTM0CYフラグ・セット用パルスを50 Hz (20 ms) に設定
    
```

処理 A

```

;
INITIFLG NOT BTMOCK1, NOT BTMOCK0
; BTM0CYフラグ・セット用パルスを10 Hz (100 ms) に設定
    
```

このとき、BTM0CYフラグ・セット用パルスは、図13 - 6のように切り替わります。

図13 - 6 BTM0CYフラグ・セット用パルスの切り替え

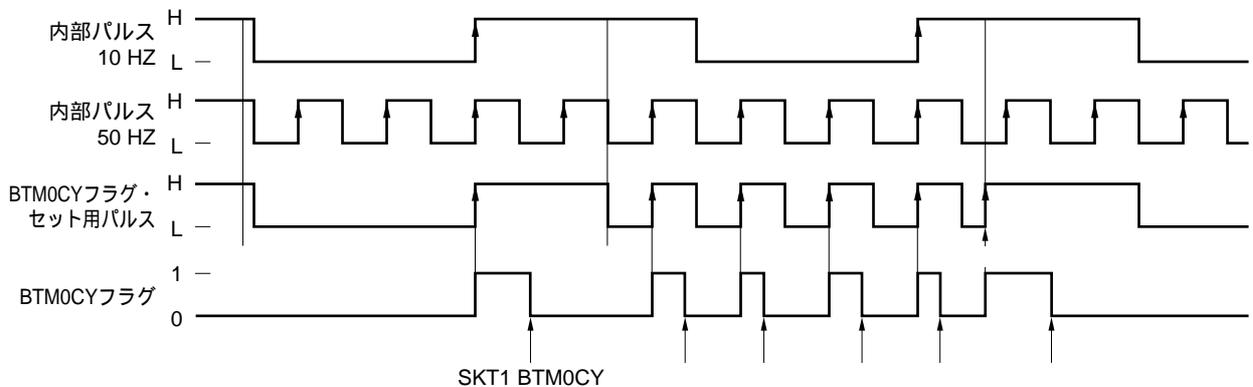


図13 - 6に示すように、BTM0CYフラグのセット時間を切り替えることにより、切り替わったパルスが立ち下がった場合は、BTM0CYフラグは以前の状態を保持（図の ）しますが、切り替わったパルスが立ち上がった場合は、BTM0CYフラグは“ 1 ”にセットされます（図の ）。

この例では10 Hz (100 ms) と50 Hz (20 ms) の切り替え時について説明しましたが、20 Hz (50 ms) , 100 Hz (10 ms) についても同様となります。

したがって、図13 - 7 に示すように、BTM0CYフラグのセット時間を切り替えたとき、最初にBTM0CYフラグがセットされるまでの時間の誤差は、次のようになります。

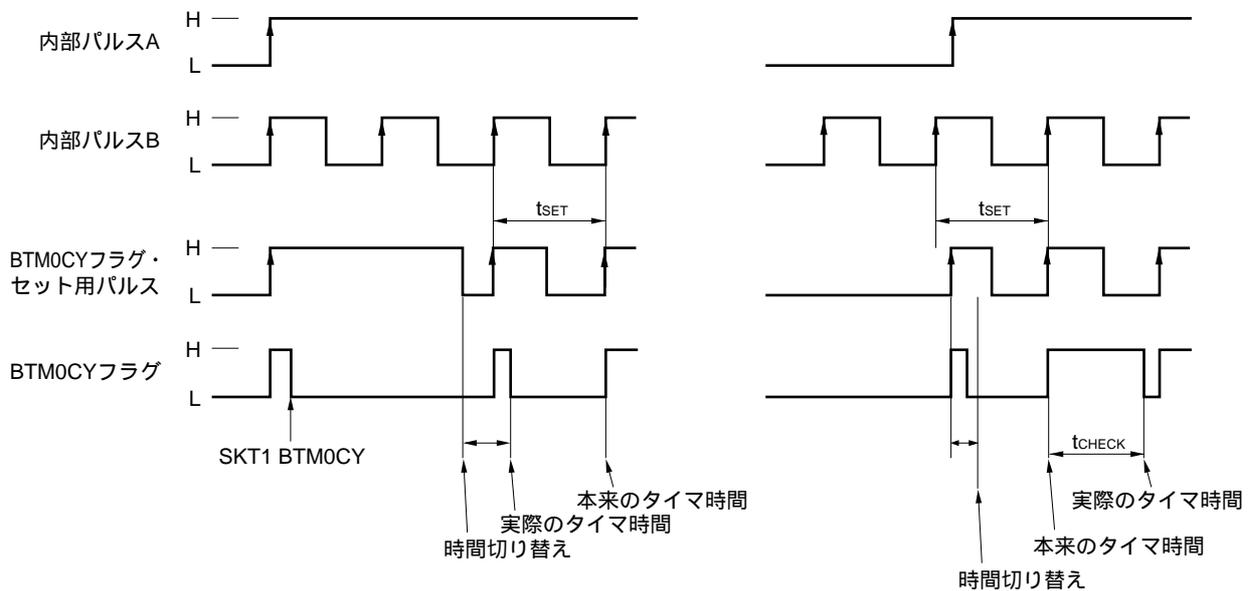
- $t_{SET} < \text{誤差} < t_{CHECK}$

t_{SET} : 切り替わったBTM0CYフラグのセット時間

t_{CHECK} : BTM0CYフラグを検出する時間

なお、10 Hz, 20Hz, 50 Hz, 100 Hzの内部パルスには、それぞれ位相差を設けてありますが、この位相差は、切り替えたパルスの時間より短くなるため、上記誤差の中に含まれることになります。

図13 - 7 BTM0CYフラグのセット時間をA Bに切り替えたときのタイマの誤差



タイマ時間を切り替えたあと、すぐにBTM0CYフラグを検出すると、“1”になるため、 $-t_{SET}$ の誤差になる。

BTM0CYフラグを検出したあと、すぐにタイマ時間の切り替えを行うと、BTM0CYフラグは1回分りセットされた状態になるため、 t_{CHECK} の誤差になる。

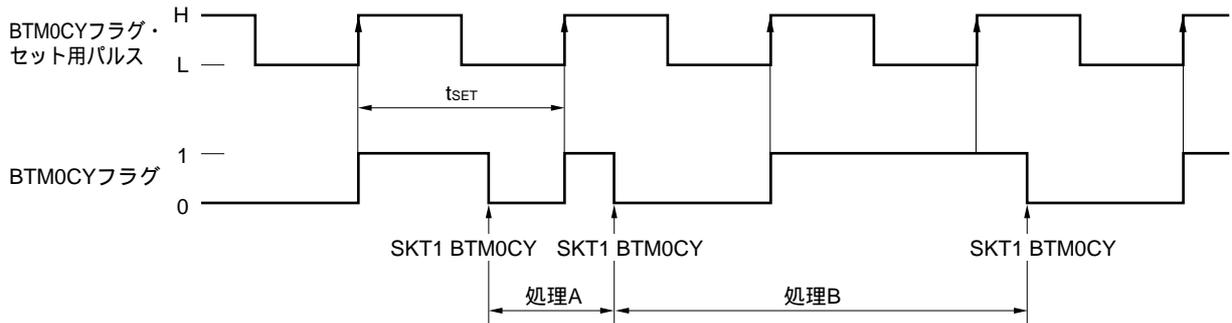
13.2.6 ベーシック・タイマ0使用時の注意

(1) BTM0CYフラグ検出時間間隔

BTM0CYフラグを検出する時間は、BTM0CYフラグがセットされる時間よりも短くしてください。

これは、図13 - 8 に示すように、処理Bの時間がBTM0CYフラグがセットされる時間間隔より長い場合に、BTM0CYフラグのセットを取り逃がすためです。

図13 - 8 BTM0CYフラグの検出とBTM0CYフラグ



で“1”にセットされたBTM0CYフラグを検出後、処理Bの実行時間が長いため、で“1”にセットされたBTM0CYフラグを検出できなくなってしまう。

(2) タイマの更新処理時間およびBTM0CYフラグの検出時間間隔

(1)でも説明したように、BTM0CYフラグを検出する時間間隔 t_{SET} は、BTM0CYフラグがセットされる時間より短くする必要があります。

このとき、たとえBTM0CYフラグを検出する時間間隔が短くても、タイマの更新処理時間が長いときは、CEリセットがかかると、タイマの処理が正常に実行されない場合があります。

したがって、次に示す条件を満足させる必要があります。

$$t_{CHECK} + t_{TIMER} < t_{SET}$$

- t_{CHECK} : BTM0CYフラグを検出する時間
- t_{TIMER} : タイマ更新処理時間
- t_{SET} : BTM0CYフラグをセットする時間

次に例を示します。

例 タイマの更新処理およびBTM0CYフラグ検出時間間隔例

```

START:
  CLR2  BTMOCK1,BTMOCK0 ; BTM0CYフラグ・セット用パルスを10 Hz (100 ms) に設定
BTIMER:
  ;
  SKT1  BTM0CY          ; BTM0CYフラグが“ 1 ” ならタイマ更新処理を行う
  BR    AAA

```

タイマ更新

```

BR    BTIMER
AAA:

```

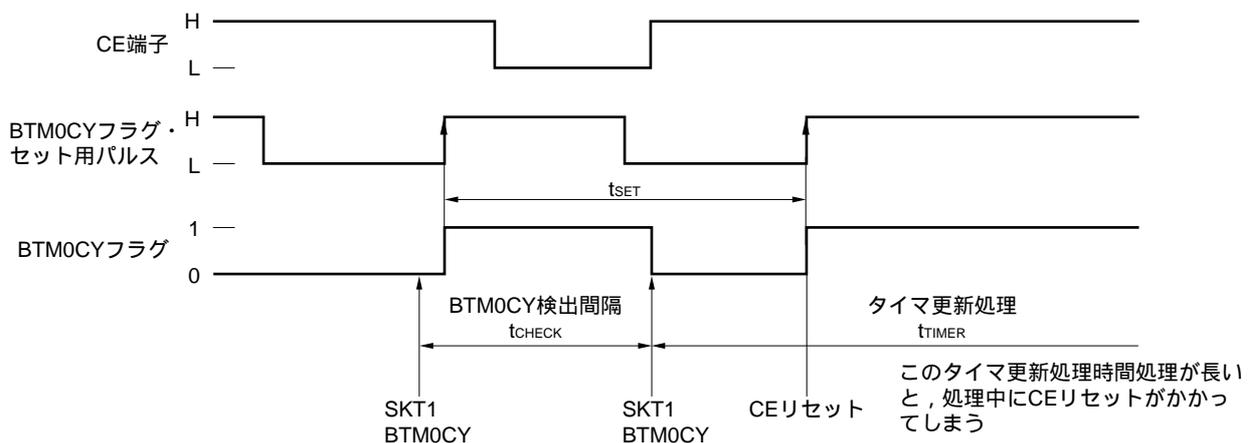
処理 A

```

BR    BTIMER

```

上記プログラムのタイミング・チャートを次に示します。



(3) CEリセット時におけるベーシック・タイマ0キャリアの補正

次にCEリセット時のタイマ補正例を示します。

例に示すように、CEリセット時にタイマの補正が必要な場合として、“BTM0CYフラグを停電検出に使用しており、かつBTM0CYフラグを時計用のタイマなどに使用している場合”が考えられます。

BTM0CYフラグは最初に電源電圧を投入した(パワーオン・リセット)ときはリセット(0)されており、以後一度“PEEK”命令によりBTM0CYフラグを読み出すまでセット禁止状態になっています。

また、CE端子がロウ・レベルからハイ・レベルに変化すると、BTM0CYフラグ・セット用パルスの立ち上がりエッジに同期してCEリセットがかかります。このとき、BTM0CYフラグはセット(1)されてスタートします。

したがって、システム・リセット(パワーオン・リセットおよびCEリセット)時にBTM0CYフラグの状態を検出することにより、“0”であればパワーオン・リセットであり、“1”であればCEリセットであると判断できます(停電検出)。

このとき、時計用のタイマなどはCEリセット時でも動作を継続していなければなりません。

ところが、停電検出のためにBTM0CYフラグを読み込むことによりBTM0CYフラグがリセット(0)されてしまうため、BTM0CYフラグのセット(1)状態を1回見逃してしまいます。また、CEリセットのディレイ機能を使用した場合にはCEリセット・タイマ・キャリア・カウンタ(コントロール・レジスタ06H番地)に設定した値

分を見逃してしまいます。

このため、停電検出によりCEリセットと判断されたときは時計用のタイマ更新を行う必要があります。

停電検出については“21.リセット”も参照してください。

例 CEリセット時のタイマ補正例 (BTMOCYフラグにより停電検出と時計の更新を行うとき)

```

START:                                ; プログラム・アドレス0000H

      処理 A
;
SKT1  BTMOCY                          ; 組み込みマクロ
      ; BTMOCYフラグをテストし
BR    INITIAL                          ; “ 0 ” なら INITIALへ分岐 (停電検出)
BACKUP:
;
      100 ms時計更新
      ; バックアップ (CEリセット) であるため時計の補正
      ; CEリセット・タイマ・キャリア・カウンタ値には初期値 “ 1 ” が格納
LOOP:
;
      処理 B      : 処理 B をしながら
SKF1  BTMOCY                          ; BTMOCYフラグをテストして時計を更新する。
BR    BACKUP
BR    LOOP
INITIAL:
CLR2  BTMOCK1,BTMOCK0
      ; 組み込みマクロ
      ; 停電 (パワーオン・リセット) であるため、BTMOCYフラグのセット時間を
      ; 100 msに設定し、処理 C を実行する。

      処理 C
BR    LOOP

```

上記のプログラムのタイミング・チャートを図13 - 9 に示します。

図13 - 9 タイミング・チャート

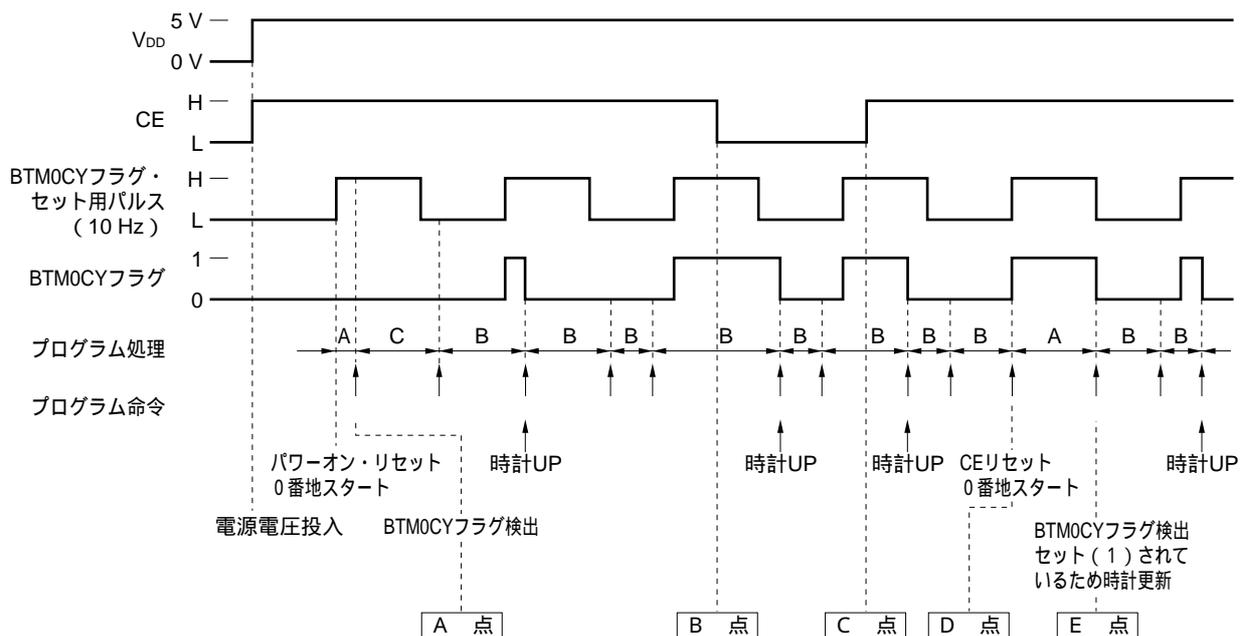


図13 - 9 に示すように、最初に電源電圧V_{DD}を投入したときは内部10 Hzパルスの立ち上がりにより0000H番地からプログラムがスタートします。

次にA点でBTM0CYフラグを検出すると、電源投入時であるためBTM0CYフラグはリセット（0）されており停電（パワーオン・リセット）であると判断されます。

したがって、“処理C”を実行しBTM0CYフラグ・セット用パルスを100 msに設定します。

A点で一度BTM0CYフラグの内容を読み出しているため、以後100 msごとにBTM0CYフラグがセット（1）されます。

次にB点でCE端子がロウ・レベルとなりC点でハイ・レベルになっても、クロック・ストップ命令が実行されていないかぎりプログラムは“処理B”を実行しながら時計のカウント・アップを行います。

C点でCE端子がロウ・レベルからハイ・レベルに立ち上がったため、次のBTM0CYフラグ・セット用パルスの立ち上がりであるD点でCEリセットがかかりプログラムは0000H番地からスタートします。

このときE点でBTM0CYフラグを検出するとBTM0CYフラグはセット（1）されているためバック・アップ（CEリセット）と判断されます。

また、図から明らかなようにE点で時計を100 ms分更新しなければ、CEリセットがかかるたびに時計が100 msずつ遅れることになります。

また、E点で停電検出を行うときに処理Aが100 ms以上かかっていると、BTM0CYフラグのセットを2回見逃すことになるため、処理Aは100 ms未満に行う必要があります。

前述した内容は、BTM0CYフラグ・セット用パルスに50 ms, 20 ms, 10 msを選択したときも同様になります。

したがって、停電検出のためのBTM0CYフラグの検出はプログラムが0000H番地からスタートしたあと、BTM0CYフラグのセット時間未満で行う必要があります。

(4) BTM0CYフラグの検出とCEリセットが重なったとき

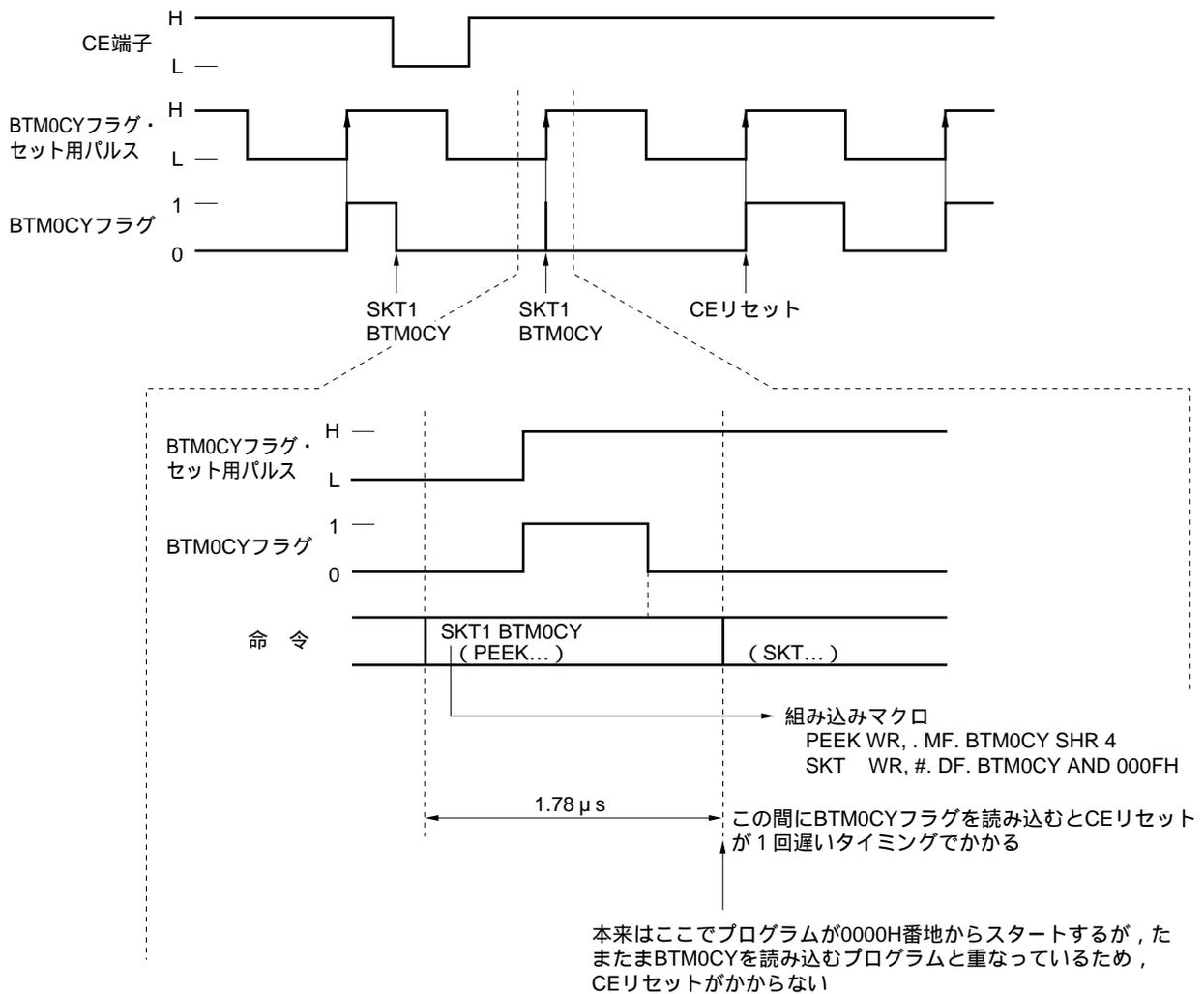
(3)でも説明したように、CEリセットはBTM0CYフラグがセット(1)されると同時にかかります。

このとき、たまたまBTM0CYフラグの読み込み命令とCEリセットが重なると、BTM0CYフラグの読み込み命令が優先されます。

したがって、CE端子がロウ・レベルからハイ・レベルに切り替わった次のBTM0CYフラグのセット(BTM0CYフラグ・セット用パルスの立ち上がり)と、BTM0CYフラグの読み込み命令が重なったときは、さらに“その次のBTM0CYフラグがセットするタイミング”でCEリセットがかかります。

この動作を図13-10に示します。

図13-10 CEリセットとBTM0CYフラグの読み込み命令が重なったときの動作



したがって、BTM0CYフラグを周期的に検出するようなプログラムで、かつBTM0CYフラグの検出時間間隔とBTM0CYフラグのセット時間が一致するようなプログラムになっていると永遠にCEリセットがかからないことがあります。

したがって、次に示す点に注意が必要です。

1命令サイクルは、1.78 μs (1/562.5 kHz) であるため、たとえば1125命令に1回の割り合いでBTM0CYフラグを検出するようなプログラムは1.78 μs × 1125 = 2 msごとにBTM0CYフラグを読み出すことになります。

このとき、タイマ時間設定パルスは100 msであるため、一度BTM0CYフラグのセットと検出が一致すると、永遠にCEリセットがかからなくなります。

したがって、次に示す条件を満足するような周期的なプログラムは作成しないでください。

$$\frac{t_{SET} \times 1125}{X} = n \quad (n: \text{自然数})$$

t_{SET} : BTMOCYフラグのセット時間

X : BTMOCYフラグを読み出す命令の周期 X ステップ

次の例にこの条件を満足してしまうプログラム例を示します。このようなプログラムは作成しないでください。

例

```

      処理 A
      CLR2  BTMOCK1,BTMOCK0 ;組み込みマクロ
                                ;BTMOCYフラグ・セット用パルスを100 msに設定
LOOP:
      ;
      SKT1  BTMOCY           ;組み込みマクロ
      BR    BBB
AAA:
      1125ステップ
      BR    LOOP
BBB:
      1125ステップ
      BR    LOOP

```

この例では、のBTMOCYフラグ読み込み命令は1125命令ごとに繰り返されるため、の命令のタイミングでたまたまBTMOCYフラグがセットされると、以後CEリセットがかからなくなります。

13.3 タイマ0

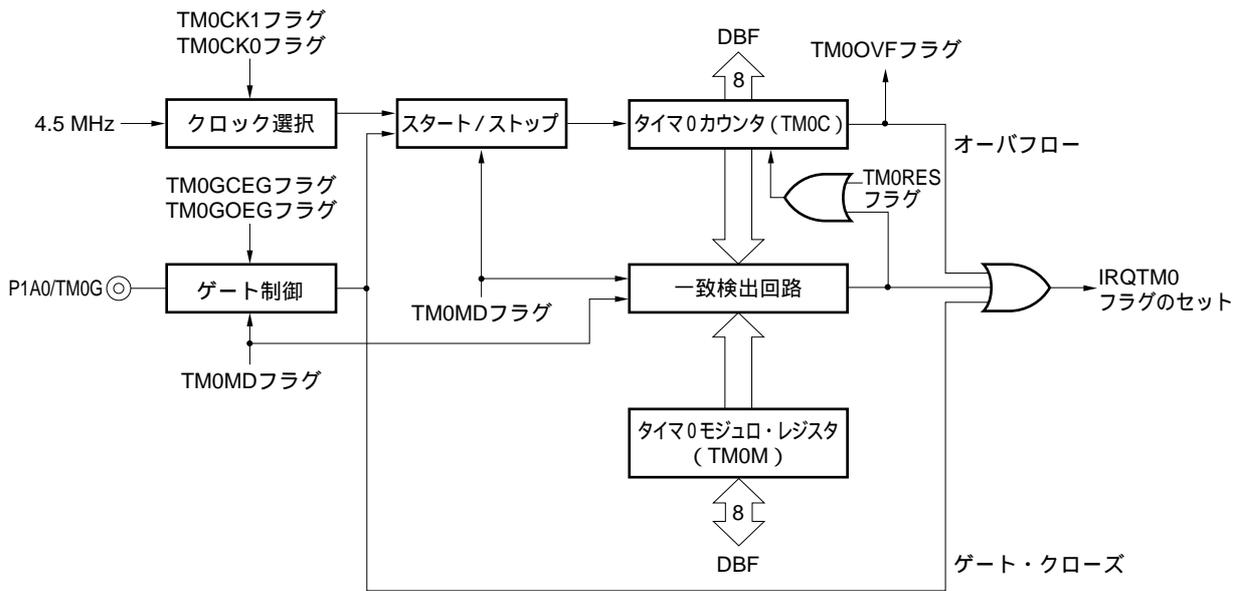
13.3.1 タイマ0概要

図13 - 11にタイマ0の概要を示します。

タイマ0は、基本クロック（100 kHz, 10 kHz, 2 kHz, 1 kHz）を8ビットのカウンタでカウントし、そのカウント値とあらかじめセットされている設定値を比較することによりタイマとして使用します（モジュロ・モード）。

また、TM0G端子から入力された信号のパルス幅を測定できます（外部ゲート・カウンタ）。

図13 - 11 タイマ0概要



備考1 . TM0CK1, TM0CK0（タイマ0カウンタ・クロック選択レジスタのビット1，ビット0：図13 - 13参照）

基本クロック周波数設定

2 . TM0MD（タイマ0モード選択レジスタのビット0：図13 - 14参照）

モジュロ・カウンタとゲート・カウンタの切り替え

3 . TM0GOEG（タイマ0モード選択レジスタのビット1：図13 - 14参照）

外部ゲートのオープン・エッジ設定

4 . TM0GCEG（タイマ0モード選択レジスタのビット2：図13 - 14参照）

外部ゲートのクローズ・エッジ設定

5 . TM0OVF（タイマ0モード選択レジスタのビット3：図13 - 14参照）

タイマ0カウンタのオーバーフローを検出

6 . TM0RES（タイマ0カウンタ・クロック選択レジスタのビット2：図13 - 13参照）

タイマ0カウンタのリセット

13.3.2 クロック選択, スタート/ストップ制御およびゲート制御ブロック

図13 - 12に構成を示します。

クロック選択ブロックは, タイマ0カウンタを動作させるための基本クロックを選択します。

基本クロックはTMOCK1およびTMOCK0フラグにより4種類を選択できます。

図13 - 13に各フラグの構成と機能を示します。

スタート/ストップ・ブロックは, TMO0MDフラグとゲート制御ブロックからの, オープン/クローズ信号とTMO0ENフラグによりタイマ0カウンタに入力する基本クロックのスタート/ストップを制御します。

ゲート制御ブロックはゲートのオープン/クローズの条件を設定します。

TMO0GOEGおよびTMO0GCEGフラグにより入力信号の立ち上がりまたは立ち下がりのどちらでゲートのオープン/クローズを行うかを設定します。また, ゲートのクローズ条件検出時に割り込み要求を発行します。

図13 - 14に各フラグの構成と機能を示します。

図13 - 12 クロック選択, スタート/ストップ制御およびゲート制御ブロックの構成

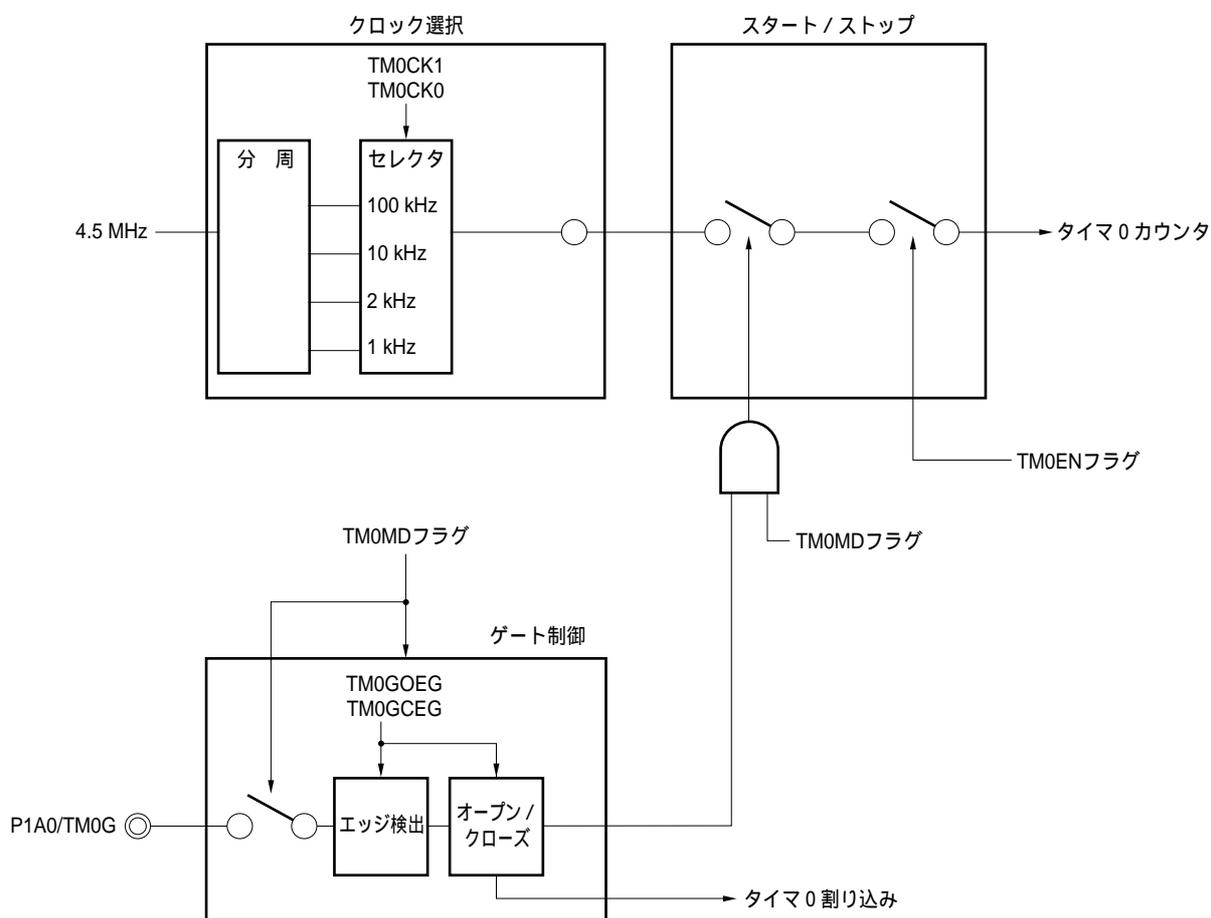


図13 - 13 タイマ0カウンタ・クロック選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		0	0	0	0

注意 TM0RESフラグ読み込み時は、常に0が読み込まれます。

13.3.3 カウント・ブロック

カウント・ブロックは、基本クロックを8ビットのタイマ0カウンタでカウントし、カウント値の読み出しや、タイマ0モジュール・レジスタの値と一致したときに割り込み要求を発行します。

TM0RESフラグにより、タイマ0カウンタをリセットできます。

TM0OVFフラグにより、カウンタのオーバーフローを検出できます。また、オーバーフロー時に割り込み要求を発行することができます。

タイマ0カウンタの値は、データ・バッファを介して読み出しができます。

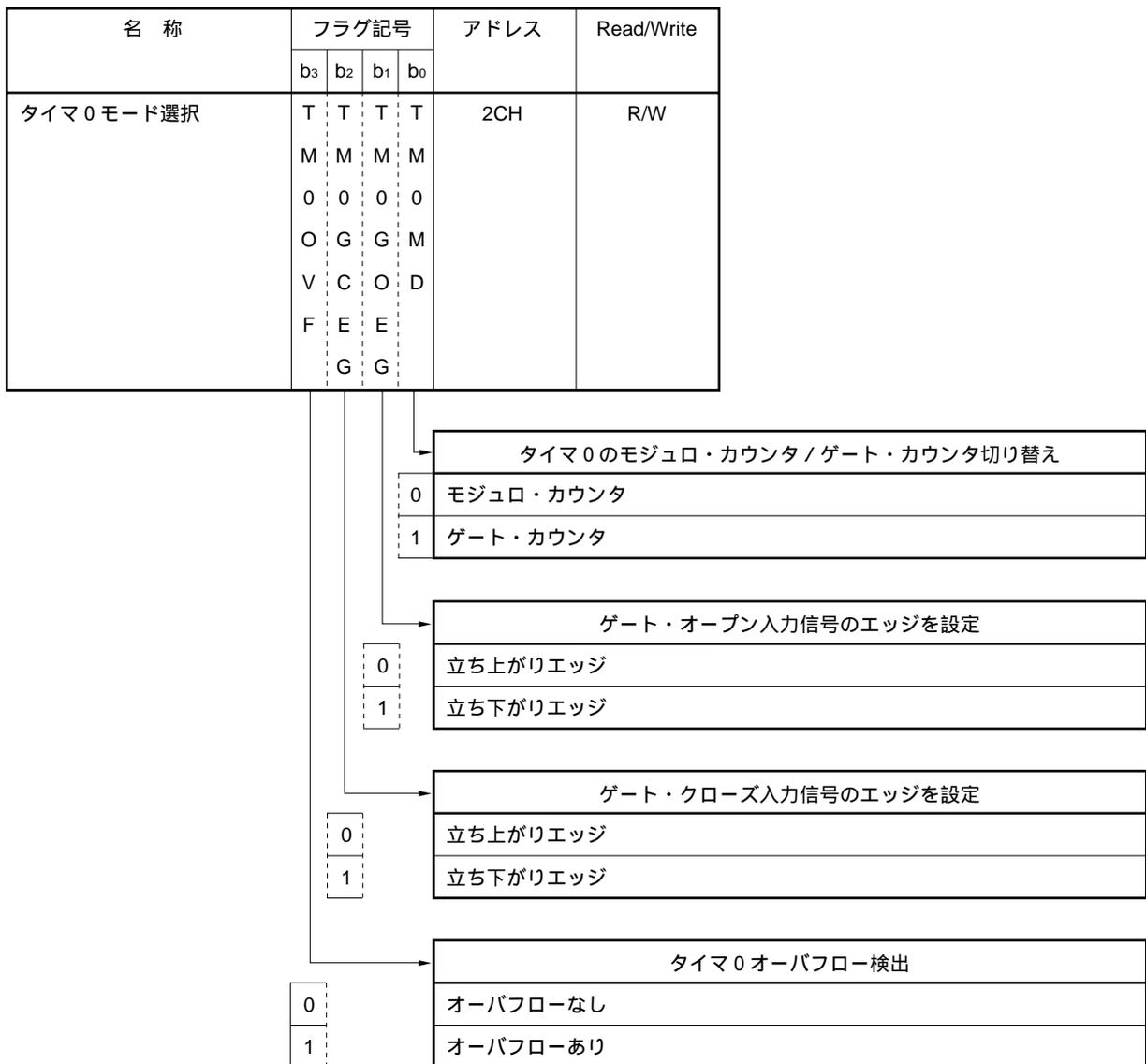
タイマ0モジュール・レジスタの値はデータ・バッファを介して書き込みおよび読み出しができます。

図13 - 14にタイマ0モード選択レジスタの構成を示します。

図13 - 15にタイマ0カウンタの構成を示します。

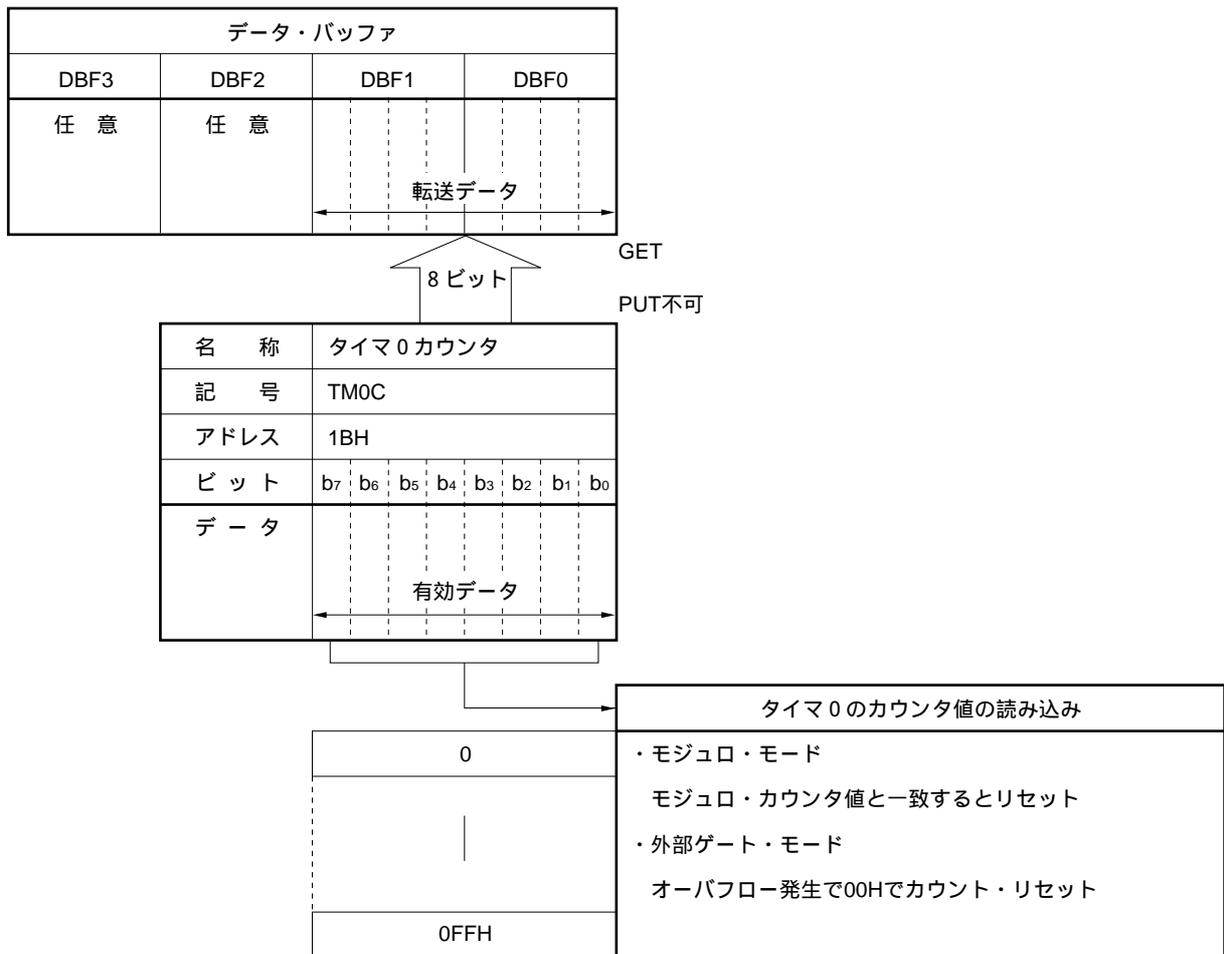
図13 - 16にタイマ0モジュール・レジスタの構成を示します。

図13 - 14 タイマ0モード選択レジスタの構成



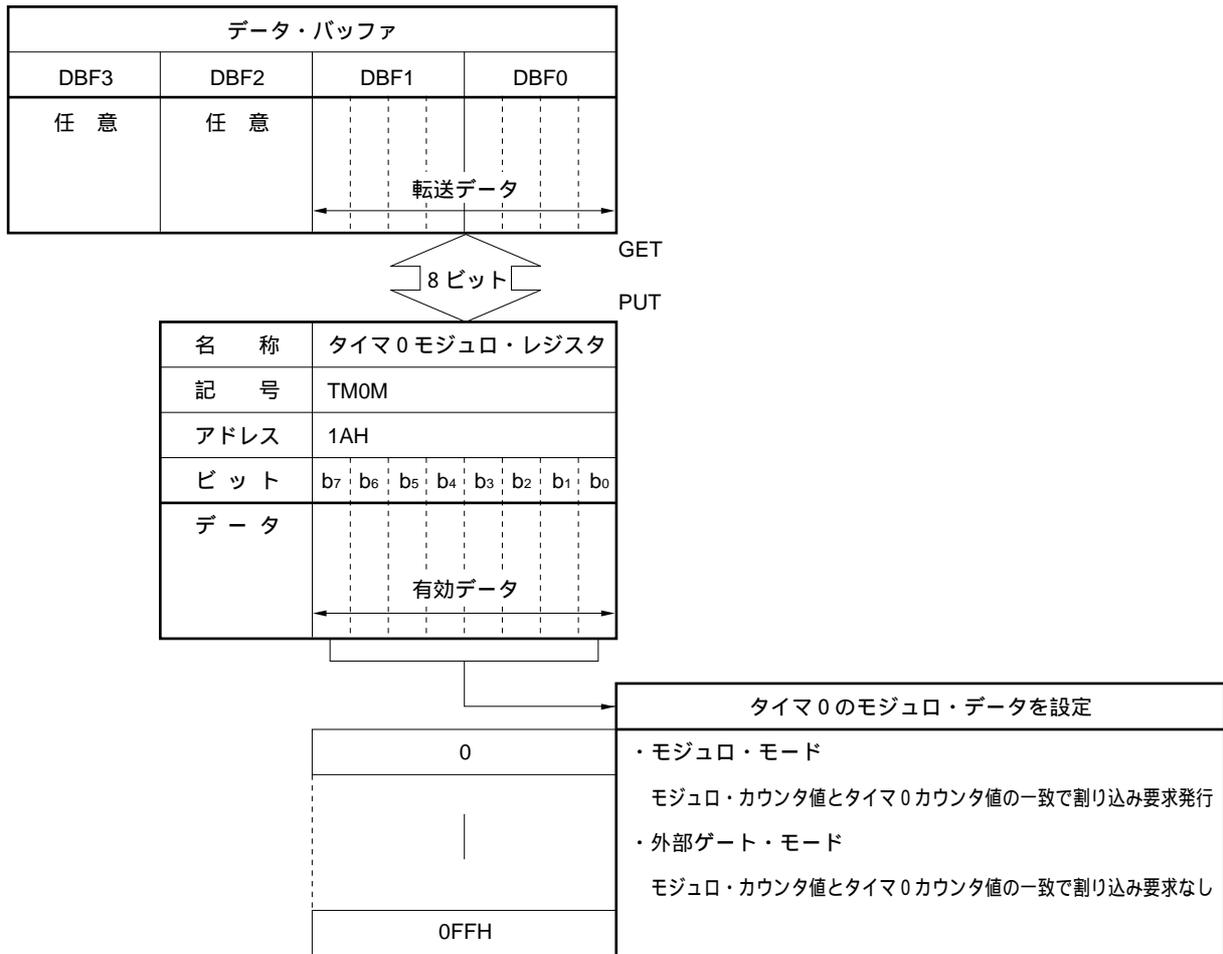
リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		0	0	0	0

図13 - 15 タイマ0カウンタの構成



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0	0	0	0	0
	WDT & SPリセット	0	0	0	0	0	0	0	0
	CEリセット	保 持							
クロック・ストップ時		0	0	0	0	0	0	0	0

図13-16 タイマ0モジュール・レジスタの構成



リセット時	パワーオン・リセット	1	1	1	1	1	1	1	1
	WDT & SPリセット	1	1	1	1	1	1	1	1
	CEリセット	保 持							
クロック・ストップ時		1	1	1	1	1	1	1	1

13.3.4 タイマ0の使用例

(1) モジュロ・カウンタ・モード

モジュロ・カウンタ・モードは、一定時間ごとにタイマ0 割り込みをかけて時間管理に使用します。

次にプログラム例を示します。

このプログラムは処理Bを500μsごとに実行します。

```

TMODATA   DAT       0032H           ; MODULO DATA = 50

START:
  BR       INITIAL                   ; リセット・アドレス
  ; 割り込みベクタ・アドレス
  NOP     ; S101
  NOP     ; S100
  NOP     ; TM3
  NOP     ; TM2
  NOP     ; TM1
  BR      INT_TMO                     ; TMO
  NOP     ; INT4
  NOP     ; INT3
  NOP     ; INT2
  NOP     ; INT1
  NOP     ; INT0
  NOP     ; Down edge of CE

INITIAL:
  INITFLG NOT TMOEN, TMORES, NOT TMOCK1, NOT TMOCK0
  ;      (ストップ), (リセット), (基本クロック = 10μs)
  CLR1    TMOMD                       ; モジュロ・モード
  MOV     DBF0, #(TMOMDATA SHR 0) AND 0FH
  MOV     DBF1, #(TMOMDATA SHR 4) AND 0FH
  PUT     TMOM, DBF                     ; カウント・データの設定
  SET1    IPTMO                         ; タイマ0の割り込み許可
  EI
  SET1    TMOEN                         ; タイマ0スタート

LOOP:
  

|      |
|------|
| 処理 A |
|------|


  BR      LOOP

INT_TMO:
  

|      |
|------|
| 処理 B |
|------|


  ; タイマ0 割り込み処理

  EI
  RETI
  ; リターン

```

(2) ゲート・カウンタ・モード

ゲート・カウンタ・モードは、TM0G端子に入力されたパルスの幅をカウントするために使用します。

次にプログラム例を示します。

このプログラム例では、TM0G端子の立ち下がりから立ち下がりまでの入力パルス幅をカウントします。

パルス幅が800-1200 μs以内なら処理Cを実行し、それ以外なら処理Bを実行します。

また、パルス幅が2560 μs以上のときは処理Dを実行します。

```

TM0800    DAT        0050H            ; カウント・データ = 80
TM01200   DAT        0078H            ; カウント・データ = 120

START:
BR        INITIAL                    ; リセット・アドレス
; 割り込みベクタ・アドレス
NOP      ; S101
NOP      ; S100
NOP      ; TM3
NOP      ; TM2
NOP      ; TM1
BR        INT_TMO                     ; TMO
NOP      ; INT4
NOP      ; INT3
NOP      ; INT2
NOP      ; INT1
NOP      ; INT0
NOP      ; Down edge of CE

INITIAL:
INITFLG   NOT TMOEN, TMORES, NOT TMOCK1, NOT TMOCK0
; (ストップ), (リセット), (基本クロック = 10 μs)
INITFLG   TMOGCEG, TMOGOEG, TMOMD
; (立ち下がりクローズ), (立ち下がりオープン), (ゲート・カウンタ)
SET1      TMOEN                    ; START
SET1      IPTMO                     ; タイマ 0 の割り込み許可
EI

LOOP:


処理 A


BR        LOOP

INT_TMO:
PUT       DBFSTK, DBF                ; データ・バッファの退避
GET       DBF, TMOC
INITFLG   TMOEN, TMORES
SKT1     TMOOVF                       ; オーバフロー状態の検出 (2560 μs以上か)
BR        AAA



処理 D


BR        EI_RET I

AAA:
SUB       DBF0, #TM0800 AND 0FH
SUBC     DBF1, #TM0800 SHR4 AND 0FH
SKF1     CY                          ; 800 μs以上か
BR       BBB
SUB       DBF0, #TM01200 AND 0FH

```

```

SUBC      DBF1, #TM01200 SHR4 AND 0FH
SKT1     CY                ; 1200 μs以上か
BR       BBB

```

処理 C

```
BR       EI_RET I
```

BBB:

処理 B

EI_RET I:

```
GET      DBF, DBFSTK      ; データ・バッファの復帰
EI
RET I    ; リターン

```

END

13.3.5 タイマ0の誤差

タイマ0は、次に示す場合に最大1基本クロック分の誤差が生じます。

(1) カウンタのスタート/ストップ時

カウンタのスタート/ストップはゲートのオープン/クローズおよびTM0ENフラグのセットのAND条件で行われます。

したがって、ゲートのオープン時またはTM0ENフラグのセット時に0 ~ +1クロック分誤差が生じ、クローズ時またはリセット時に-1 ~ 0クロック分の誤差が生じます。

トータルで±1カウント分の誤差が生じます。

(2) カウンタ動作中のリセット時

カウンタをリセットしたときに0 ~ +1クロック分誤差が生じます。

(3) カウンタ動作中の基本クロック切り替え時

切り替わったクロックの0 ~ +1クロック分誤差が生じます。

13.3.6 タイマ0使用時の注意

タイマ0による割り込みは、ほかのタイマ割り込みおよびCEリセットと同時に発行される可能性があります。特にCEリセット時にもタイマの更新が必要な場合には、タイマ0を使用しないでベーシック・タイマ0を使用してください。

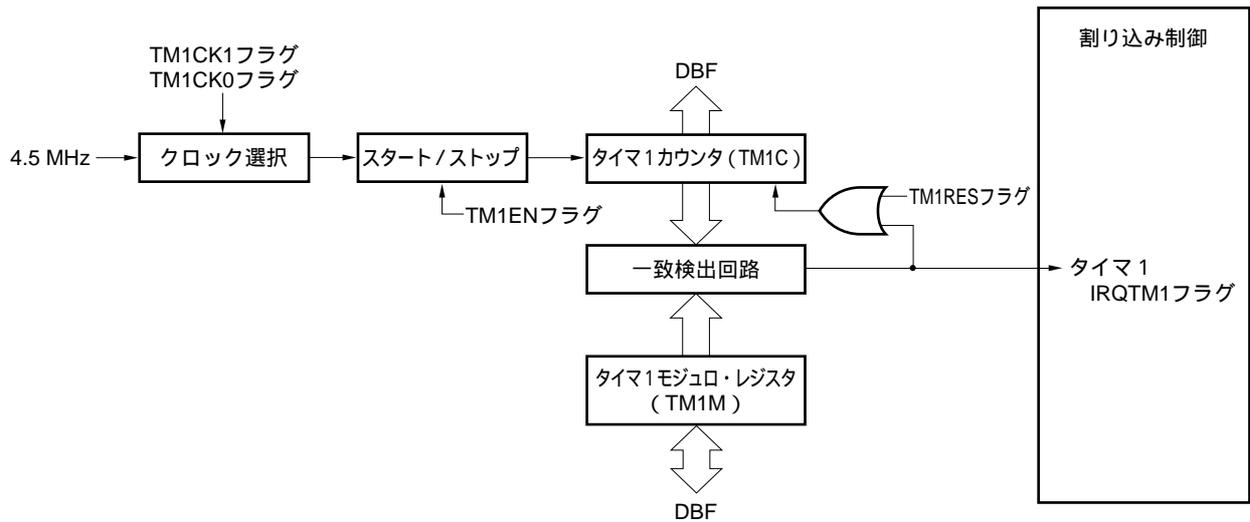
13.4 タイマ1

13.4.1 タイマ1概要

図13 - 17にタイマ1の概要を示します。

タイマ1は、基本クロック（100 kHz, 10 kHz, 2 kHz, 1 kHz）を8ビットのカウンタでカウントし、カウント値とあらかじめセットされている設定値を比較することによりタイマとして使用します。

図13 - 17 タイマ1概要



備考1. TM1CK1, TM1CK0 (タイマ1カウンタ・クロック選択レジスタのビット1, ビット0 : 図13 - 18参照)

基本クロック周波数設定

2. TM1EN (タイマ1カウンタ・クロック選択レジスタのビット3 : 図13 - 18参照)

タイマ1のスタート/ストップを設定

3. TM1RES (タイマ1カウンタ・クロック選択レジスタのビット2 : 図13 - 18参照)

タイマ1カウンタのリセットを制御

13.4.2 クロック選択, スタート/ストップ制御

クロック選択ブロックは, タイマ1カウンタを動作させるための基本クロックを選択します。

基本クロックは, TM1CK1およびTM1CK0フラグにより4種類を選択できます。

スタート/ストップ・ブロックは, TM1ENフラグにより, タイマ1カウンタに入力する基本クロックのスタート/ストップを制御します。

図13 - 18に各フラグの構成と機能を示します。

13.4.3 カウント・ブロック

カウント・ブロックは, 基本クロックをタイマ1カウンタでカウントし, カウント値の読み出しや, タイマ1モジュロ・レジスタの値と一致したときに割り込み要求を発行します。

TM1RESフラグにより, タイマ1カウンタをリセットできます。

タイマ1カウンタはタイマ1モジュロ・レジスタの値と一致すると自動的にリセットされます。

タイマ1カウンタの値はデータ・バッファを介して読み出しができます。

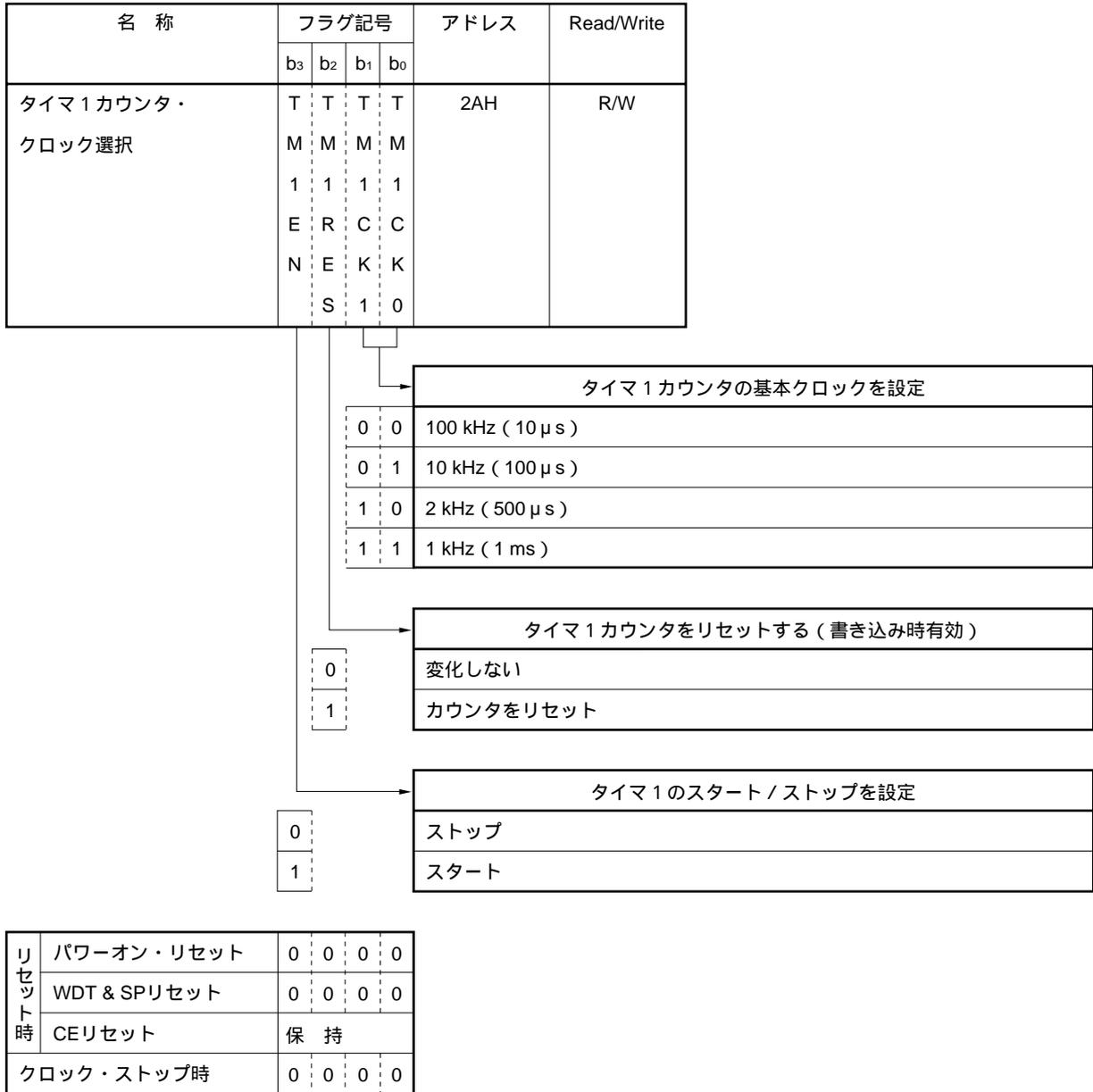
タイマ1モジュロ・レジスタの値はデータ・バッファを介して書き込みができます。

図13 - 18にタイマ1カウンタ・クロック選択レジスタの構成を示します。

図13 - 19にタイマ1カウンタの構成を示します。

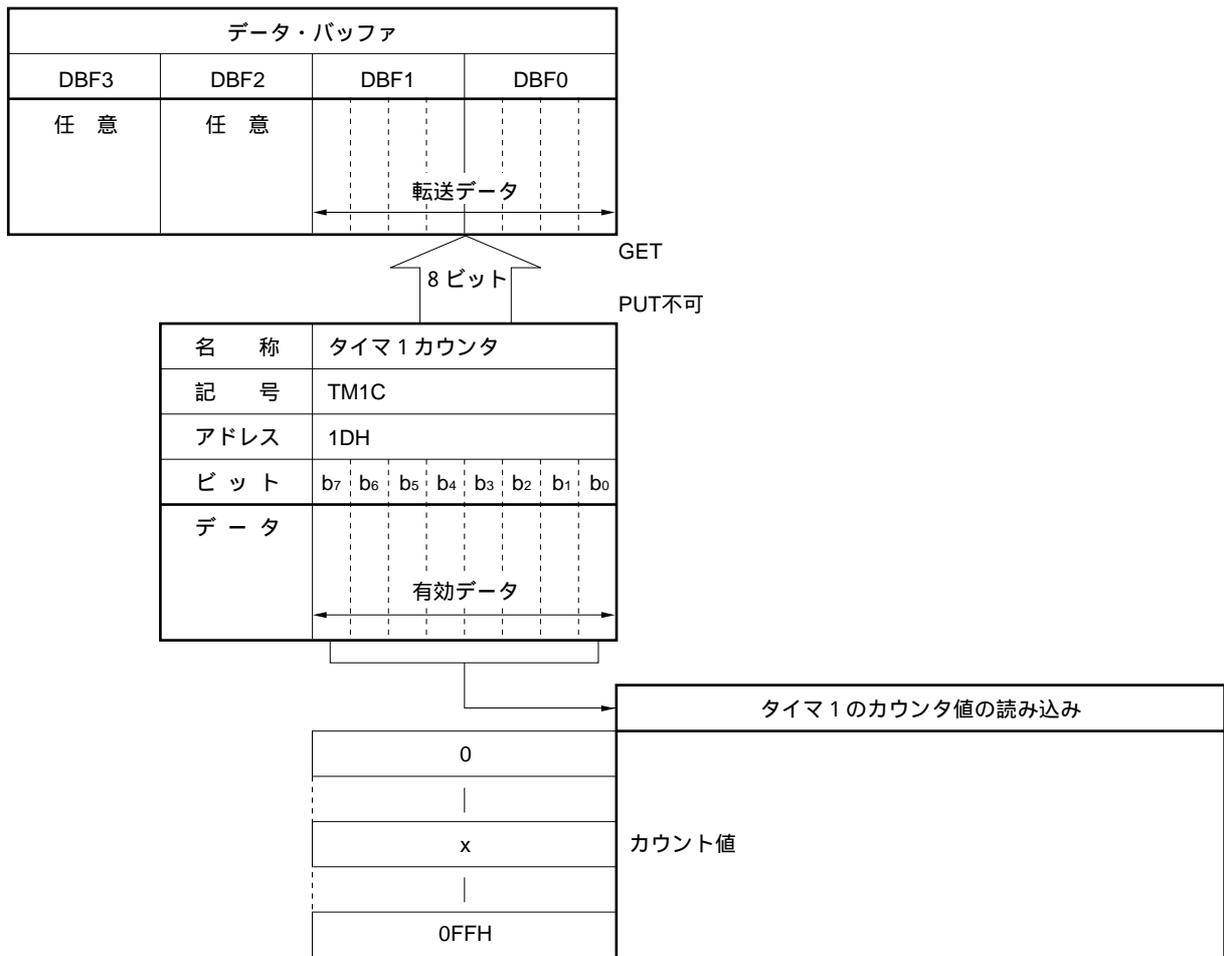
図13 - 20にタイマ1モジュロ・レジスタの構成を示します。

図13 - 18 タイマ1カウンタ・クロック選択レジスタの構成



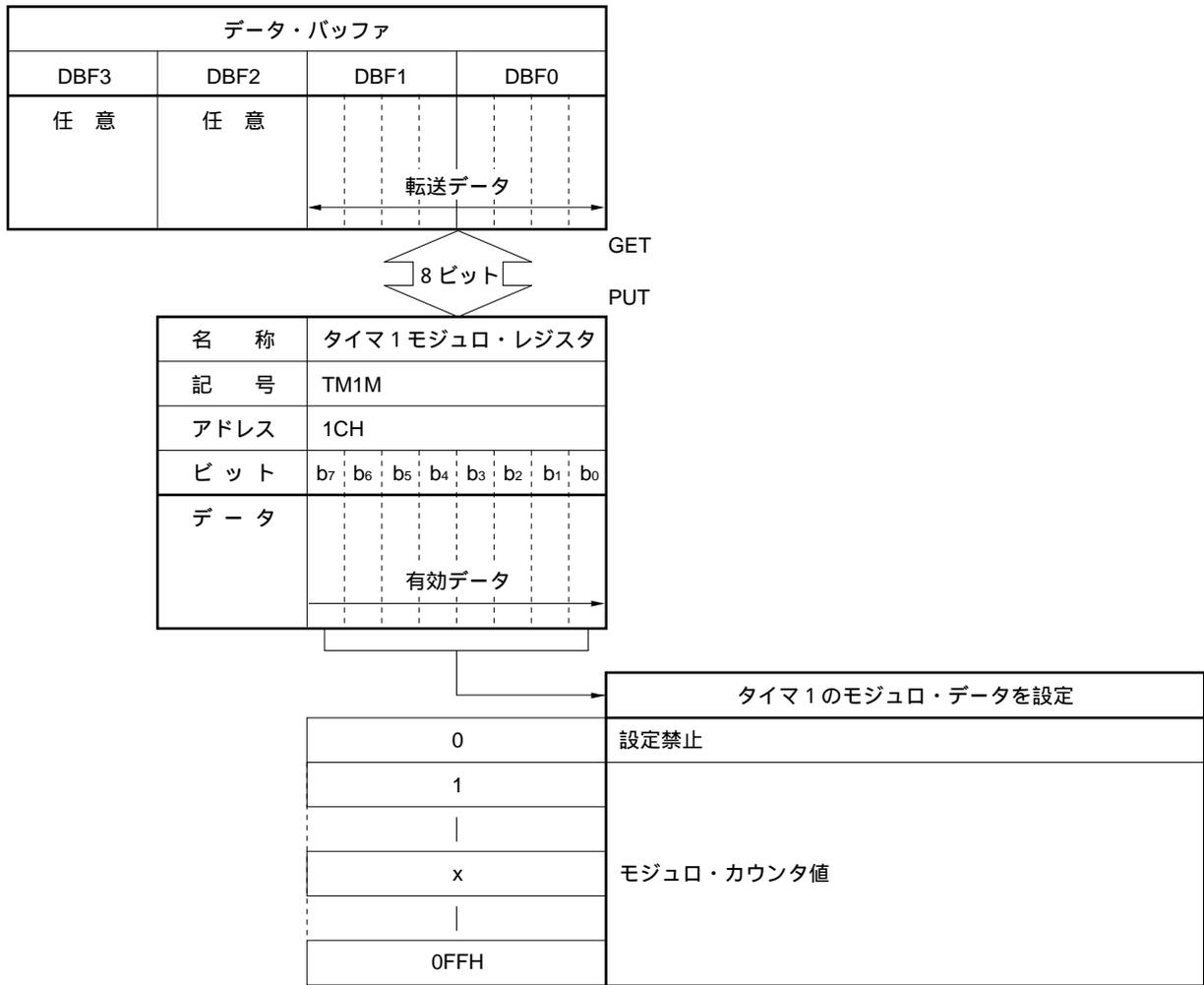
注意 TM1RESフラグ読み込み時は、常に0が読み込まれます。

図13 - 19 タイマ1カウンタの構成



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0	0	0	0	0
	WDT & SPリセット	0	0	0	0	0	0	0	0
	CEリセット	保 持							
クロック・ストップ時		0	0	0	0	0	0	0	0

図13-20 タイマ1モジュール・レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	1 1 1 1 1 1 1 1 1
	WDT & SPリセット	1 1 1 1 1 1 1 1 1
	CEリセット	保 持
クロック・ストップ時		1 1 1 1 1 1 1 1 1

13.4.4 タイマ1の使用例

(1) モジュロ・タイマ

モジュロ・タイマは、一定時間ごとにタイマ1割り込みをかけて時間管理に使用します。

次にプログラム例を示します。

このプログラムは処理Bを500μsごとに実行します。

```

TM1DATA   DAT      0032H           ; カウント・データ = 50

START:
  BR      INITIAL                 ; リセット・アドレス
  ; 割り込みベクタ・アドレス
  NOP    ; S101
  NOP    ; S100
  NOP    ; TM3
  NOP    ; TM2
  BR     INT_TM1                  ; TM1
  NOP    ; TMO
  NOP    ; INT4
  NOP    ; INT3
  NOP    ; INT2
  NOP    ; INT1
  NOP    ; INT0
  NOP    ; Down edge of CE

INITIAL:
  INITFLG NOT TM1EN, TM1RES, NOT TM1CK1, NOT TM1CK0
  ;      (ストップ), (リセット), (基本クロック = 10μs)
  MOV     DBF0, #TM1DATA
  MOV     DBF1, #TM1DATA SHR4 AND 0FH
  PUT     TM1, DBF
  SET1    TM1EN                   ; START
  SET1    IPTM1                   ; タイマ1の割り込み許可
  EI

LOOP:
  

|     |
|-----|
| 処理A |
|-----|


  BR     LOOP

INT_TM1:
  PUT     DBFSTK, DBF             ; データ・バッファの退避
  

|     |
|-----|
| 処理B |
|-----|


  GET     DBF, DBFSTK
  EI
  RETI                             ; リターン

END

```

13.4.5 タイマ1の誤差

タイマ1は、次に示す場合に最大1基本クロック分の誤差が生じます。

(1) カウンタのスタート/ストップ時

カウンタのスタート/ストップはTM1ENフラグのセットで行われます。

したがって、TM1ENフラグのセット時に0 ~ + 1クロック分誤差が生じ、リセット時に - 1 ~ 0クロック分の誤差が生じます。

トータルで ± 1 カウント分の誤差が生じます。

(2) カウンタ動作中のリセット時

カウンタをリセットしたときに0 ~ + 1クロック分誤差が生じます。

(3) カウンタ動作中の基本クロック切り替え時

切り替わったクロックの0 ~ + 1クロック分誤差が生じます。

13.4.6 タイマ1使用時の注意

タイマ1による割り込みは、ほかのタイマ割り込みおよびCEリセットと同時に発行される可能性があります。特にCEリセット時にもタイマの更新が必要な場合には、タイマ1を使用しないでベーシック・タイマ0を使用してください。

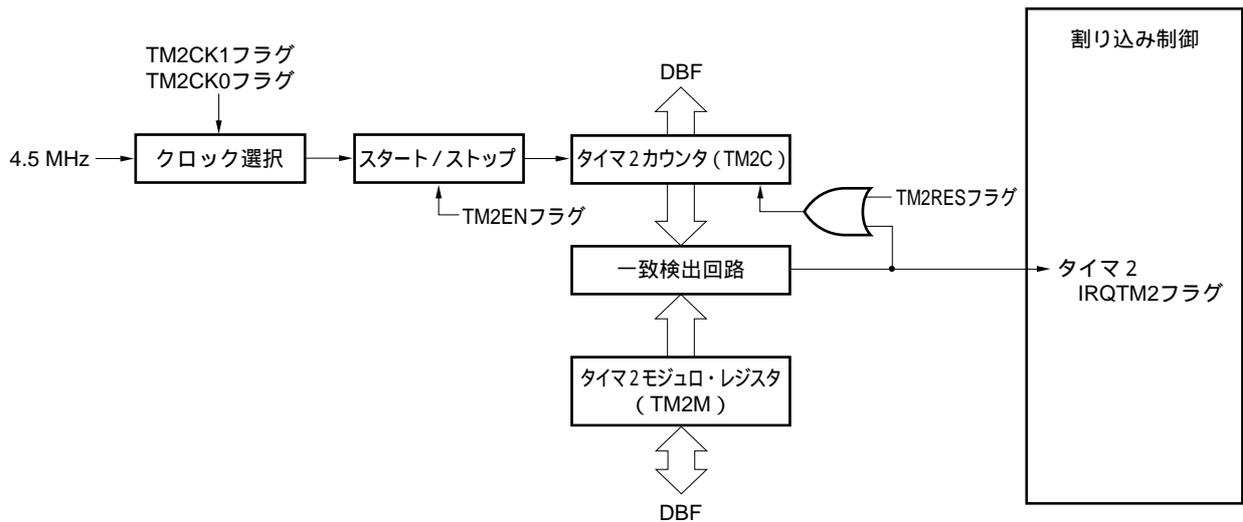
13.5 タイマ2

13.5.1 タイマ2概要

図13 - 21にタイマ2の概要を示します。

タイマ2は、基本クロック（100 kHz, 10 kHz, 2 kHz, 1 kHz）を8ビットのカウンタでカウントし、カウント値とあらかじめセットされている設定値を比較することによりタイマとして使用します。

図13 - 21 タイマ2概要



備考1 . TM2CK1, TM2CK0 (タイマ2カウンタ・クロック選択レジスタのビット1, ビット0 : 図13 - 22参照)

基本クロック周波数設定

2 . TM2EN (タイマ2カウンタ・クロック選択レジスタのビット3 : 図13 - 22参照)

タイマ2のスタート/ストップを設定

3 . TM2RES (タイマ2カウンタ・クロック選択レジスタのビット2 : 図13 - 22参照)

タイマ2カウンタのリセットを制御

13.5.2 クロック選択, スタート/ストップ制御

クロック選択ブロックは, タイマ2カウンタを動作させるための基本クロックを選択します。

基本クロックは, TM2CK1およびTM2CK0フラグにより4種類を選択できます。

スタート/ストップ・ブロックは, TM2ENフラグにより, タイマ2カウンタに入力する基本クロックのスタート/ストップを制御します。

図13 - 22に各フラグの構成を示します。

13.5.3 カウント・ブロック

カウント・ブロックは, 基本クロックをタイマ2カウンタでカウントし, カウント値の読み出しや, タイマ2モジュロ・レジスタの値と一致したときに割り込み要求を発行します。

TM2RESフラグにより, タイマ2カウンタをリセットできます。

タイマ2カウンタはタイマ2モジュロ・レジスタの値と一致すると自動的にリセットされます。

タイマ2カウンタの値はデータ・バッファを介して読み出しができます。

タイマ2モジュロ・レジスタの値はデータ・バッファを介して書き込みができます。

図13 - 22にタイマ2カウンタ・クロック選択レジスタの構成を示します。

図13 - 23にタイマ2カウンタの構成を示します。

図13 - 24にタイマ2モジュロ・レジスタの構成を示します。

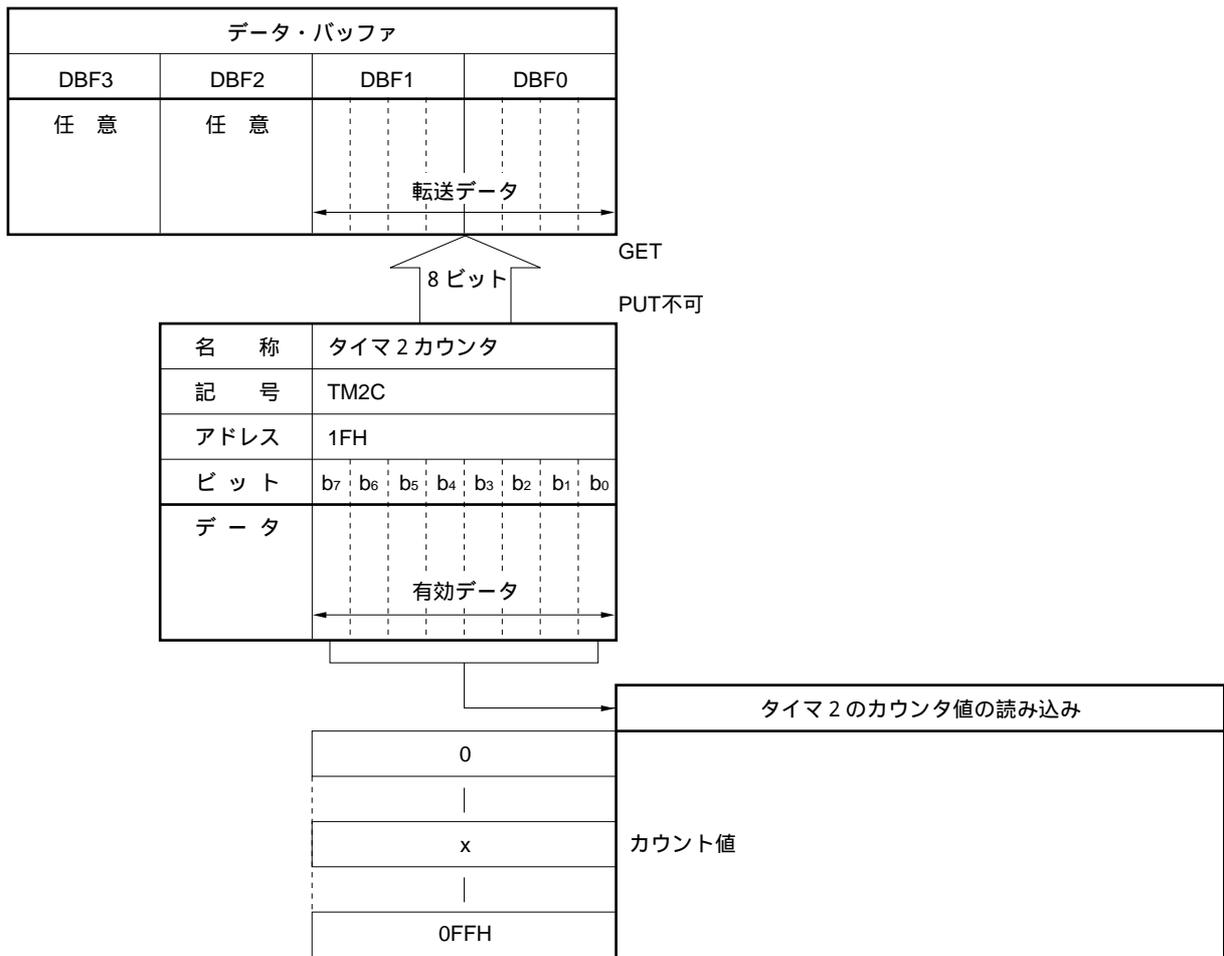
図13 - 22 タイマ2カウンタ・クロック選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	保 持			
クロック・ストップ時		0	0	0	0

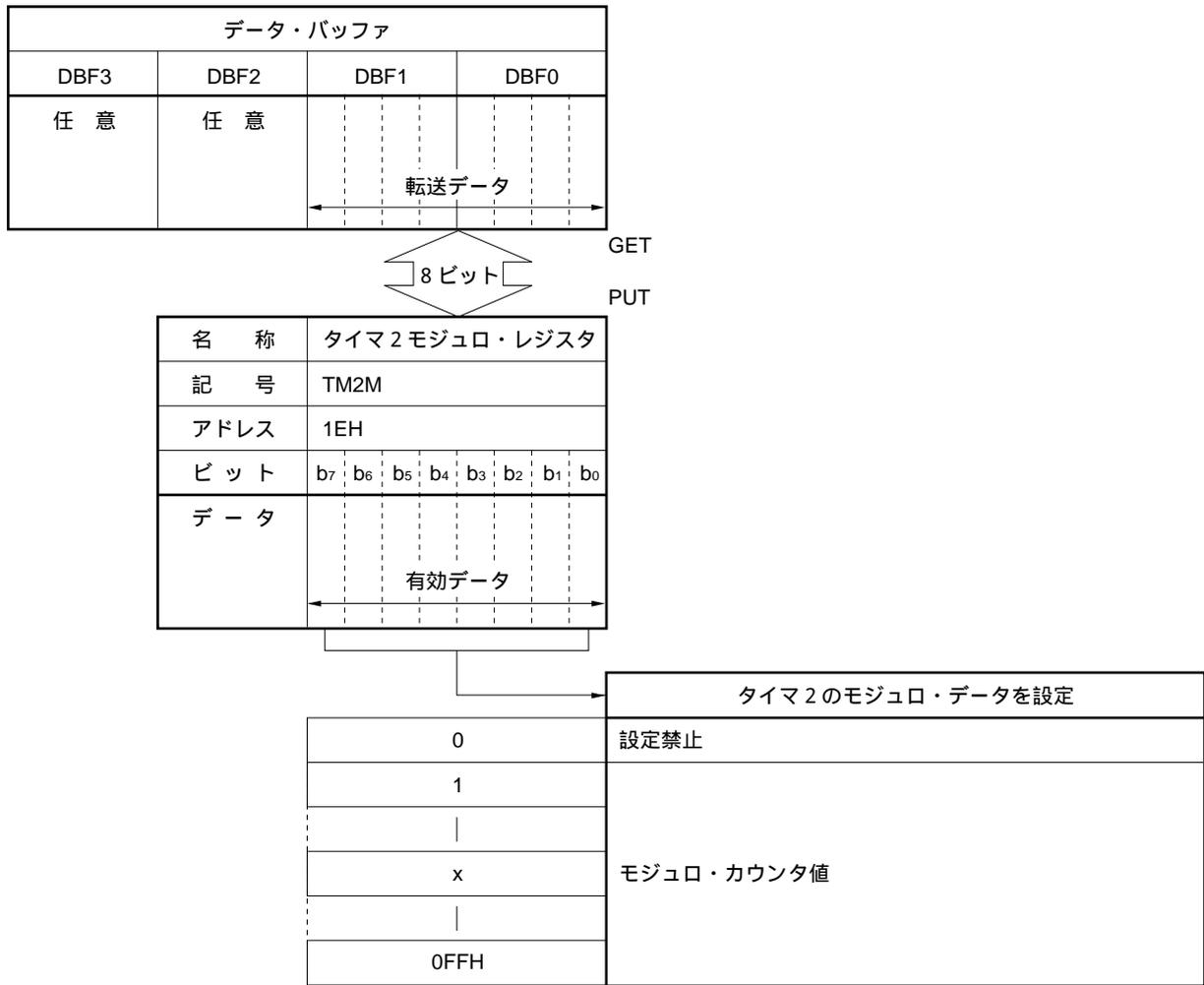
注意 TM2RESフラグ読み込み時は、常に0が読み込まれます。

図13-23 タイマ2カウンタの構成



リセット時	パワーオン・リセット	0 0 0 0 0 0 0 0
	WDT & SPリセット	0 0 0 0 0 0 0 0
	CEリセット	保持
クロック・ストップ時		0 0 0 0 0 0 0 0

図13-24 タイマ2モジュール・レジスタの構成



リセット時	パワーオン・リセット	1	1	1	1	1	1	1	1
	WDT & SPリセット	1	1	1	1	1	1	1	1
	CEリセット	保持 (Maintain)							
クロック・ストップ時		1	1	1	1	1	1	1	1

13.5.4 タイマ2の使用例

(1) モジュール・タイマ

モジュール・タイマは、一定時間ごとにタイマ2割り込みをかけて時間管理に使用します。

次にプログラム例を示します。

このプログラムは処理Bを500μsごとに実行します。

```

TM2DATA   DAT       0032H           ; カウント・データ = 50

START:
  BR      INITIAL           ; リセット・アドレス
  ; 割り込みベクタ・アドレス
  NOP                    ; S101
  NOP                    ; S100
  NOP                    ; TM3
  BR      INT_TM2          ; TM2
  NOP                    ; TM1
  NOP                    ; TMO
  NOP                    ; INT4
  NOP                    ; INT3
  NOP                    ; INT2
  NOP                    ; INT1
  NOP                    ; INT0
  NOP                    ; Down edge of CE

INITIAL:
  INITFLG  NOT TM2EN, TM2RES, NOT TM2CK1, NOT TM2CK0
  ; (ストップ), (リセット), (基本クロック = 10μs)
  MOV      DBF0, #TM2DATA
  MOV      DBF1, #TM2DATA SHR4 AND 0FH
  PUT      TM2, DBF
  SET1     TM2EN           ; START
  SET1     IPTM2          ; タイマ2の割り込み許可
  EI

LOOP:
  

|     |
|-----|
| 処理A |
|-----|


  BR      LOOP

INT_TM2:
  PUT      DBFSTK, DBF     ; データ・バッファの退避
  INITFLG  TM2EN, TM2RES  ; リセット, スタート
  

|     |
|-----|
| 処理B |
|-----|


  GET      DBF, DBFSTK
  EI
  RETI           ; リターン

END

```

13.5.5 タイマ2の誤差

タイマ2は、次に示す場合に最大1基本クロック分の誤差が生じます。

(1) カウンタのスタート/ストップ時

カウンタのスタート/ストップはTM2ENフラグのセットで行われます。

したがって、TM2ENフラグのセット時に0 ~ + 1クロック分誤差が生じ、リセット時に - 1 ~ 0クロック分の誤差が生じます。

トータルで ± 1 カウント分の誤差が生じます。

(2) カウンタ動作中のリセット時

カウンタをリセットしたときに0 ~ + 1クロック分誤差が生じます。

(3) カウンタ動作中の基本クロック切り替え時

切り替わったクロックの0 ~ + 1クロック分誤差が生じます。

13.5.6 タイマ2使用時の注意

タイマ2による割り込みは、ほかのタイマ割り込みおよびCEリセットと同時に発行される可能性があります。特にCEリセット時にもタイマの更新が必要な場合には、タイマ2を使用しないでベーシック・タイマ0を使用してください。

13.6 タイマ3

13.6.1 タイマ3概要

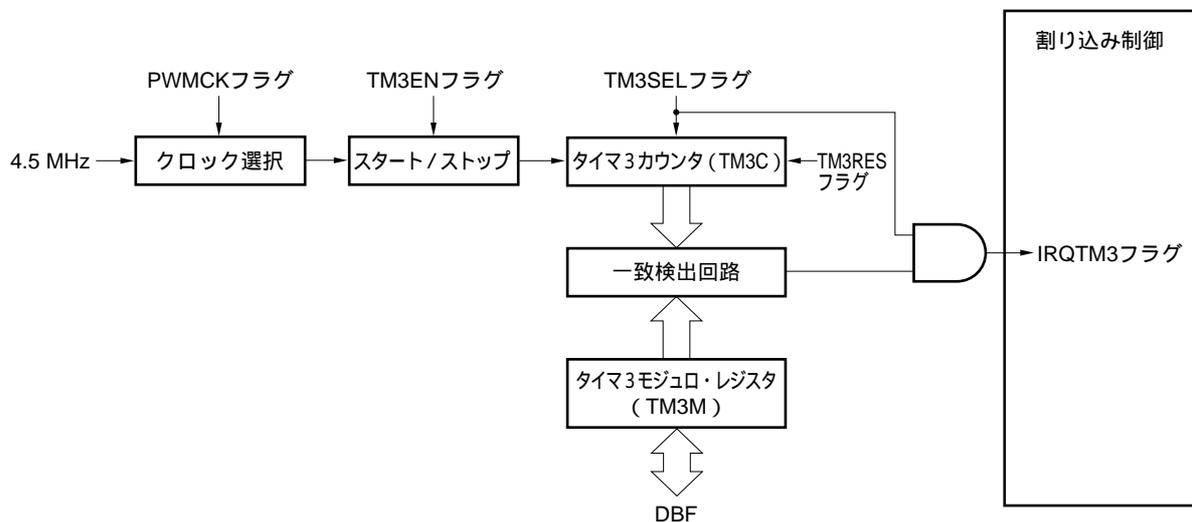
図13 - 25にタイマ3の概要を示します。

タイマ3は、基本クロック（1.125 MHzまたは112.5 kHz選択可）を8ビット・カウンタ[※]でカウントし、カウント値とあらかじめセットされている設定値を比較することによりタイマとして使用します。

タイマ3はD/Aコンバータと兼用しているため、タイマ3使用時はD/Aコンバータは3本とも自動的に汎用ポートになります。

注 D/Aコンバータは9ビットまたは8ビット・カウンタの選択が可能です。タイマ機能選択時は自動的に8ビット・カウンタが選択されます。

図13 - 25 タイマ3概要



備考1 . PWMCK (PWMクロック選択レジスタのビット0 : 図13 - 26参照)

タイマ3の出力周波数の選択

2 . TM3SEL (タイマ3コントロール・レジスタのビット3 : 図13 - 27参照)

タイマ3とD/Aコンバータの選択

3 . TM3EN (タイマ3コントロール・レジスタのビット1 : 図13 - 27参照)

タイマ3カウンタのスタート/ストップを設定

4 . TM3RES (タイマ3コントロール・レジスタのビット0 : 図13 - 27参照)

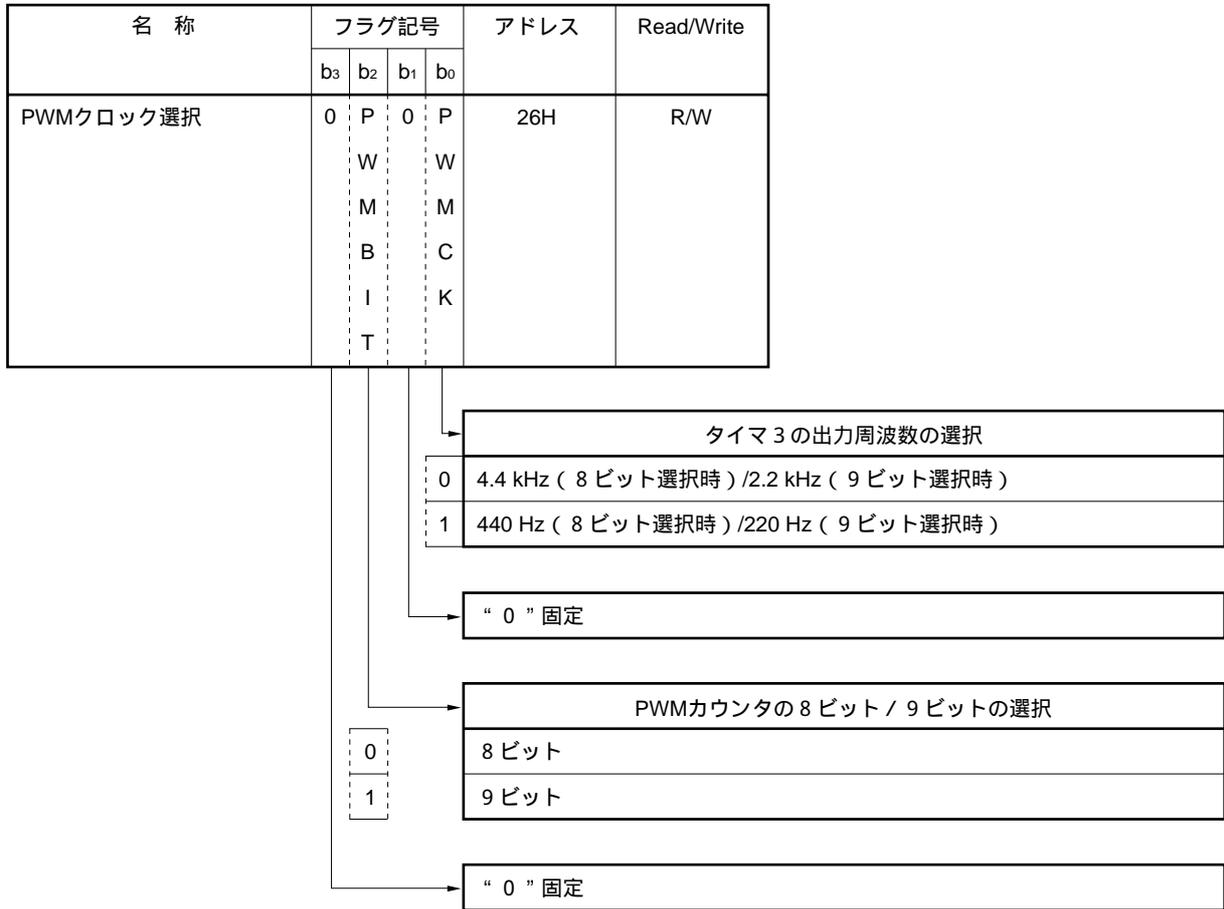
タイマ3カウンタのリセットを制御

13.6.2 クロック選択

タイマ3のクロック選択は、PWMクロック選択レジスタのPWMCKフラグにより行います。

図13 - 26にフラグの構成を示します。

図13 - 26 PWMクロック選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット		0		0
	CEリセット		保		保
	クロック・ストップ時	↓	0	↓	0

保：保持

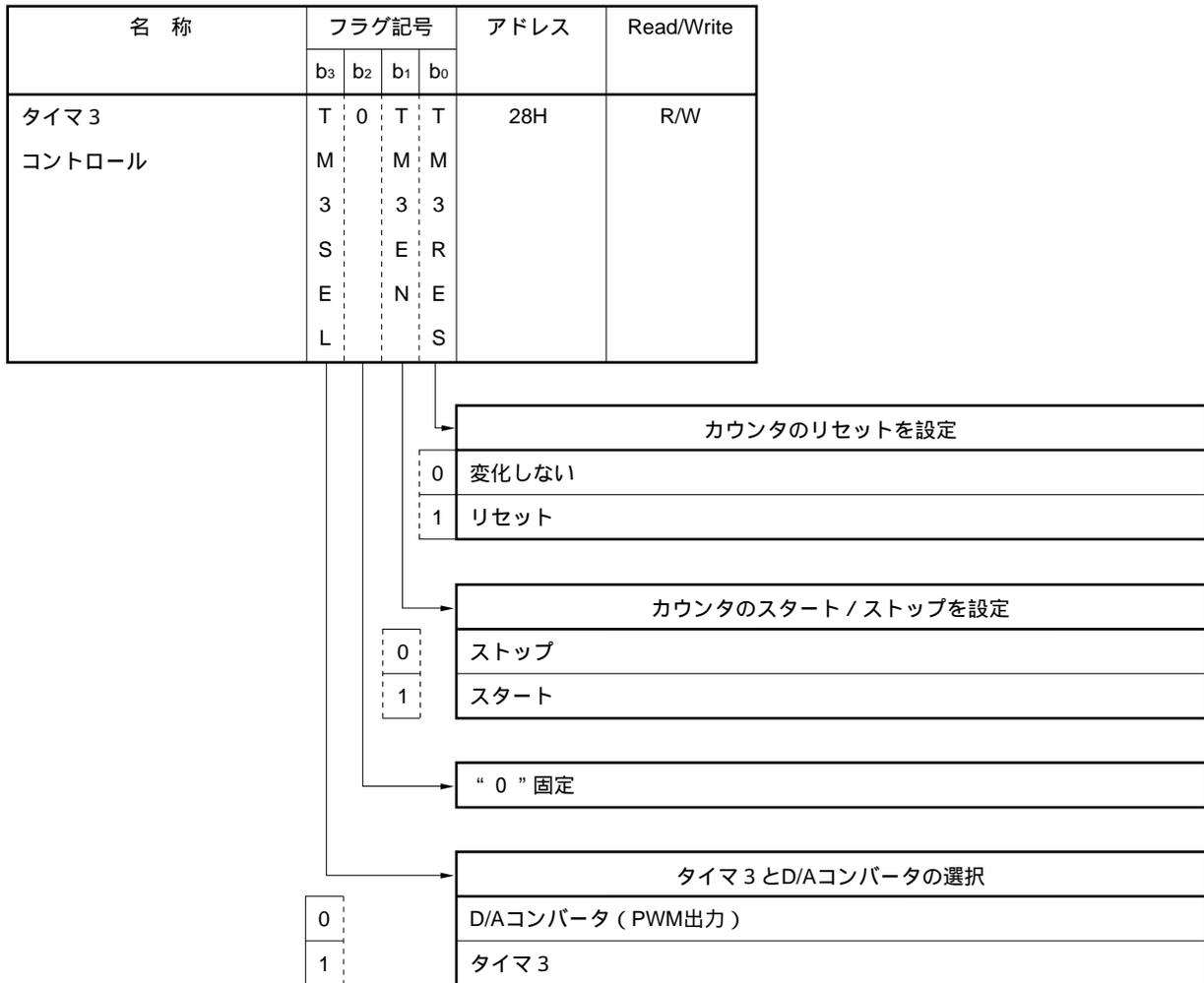
13.6.3 スタート/ストップ制御

スタート/ストップ・ブロックは、TM3ENフラグにより、タイマ3カウンタに入力する基本クロックのスタート/ストップを制御します。

タイマ3を制御するためには、TM3SELフラグによりタイマ3を選択しておく必要があります。

図13 - 27に各フラグの構成を示します。

図13 - 27 タイマ3コントロール・レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0		0	0
	CEリセット	保		保	持
クロック・ストップ時		0		0	0

保：保持

13.6.4 カウント・ブロック

カウント・ブロックは、基本クロックをタイマ3カウンタでカウントし、タイマ3モジュール・レジスタの値と一致したときに割り込み要求を発行します。

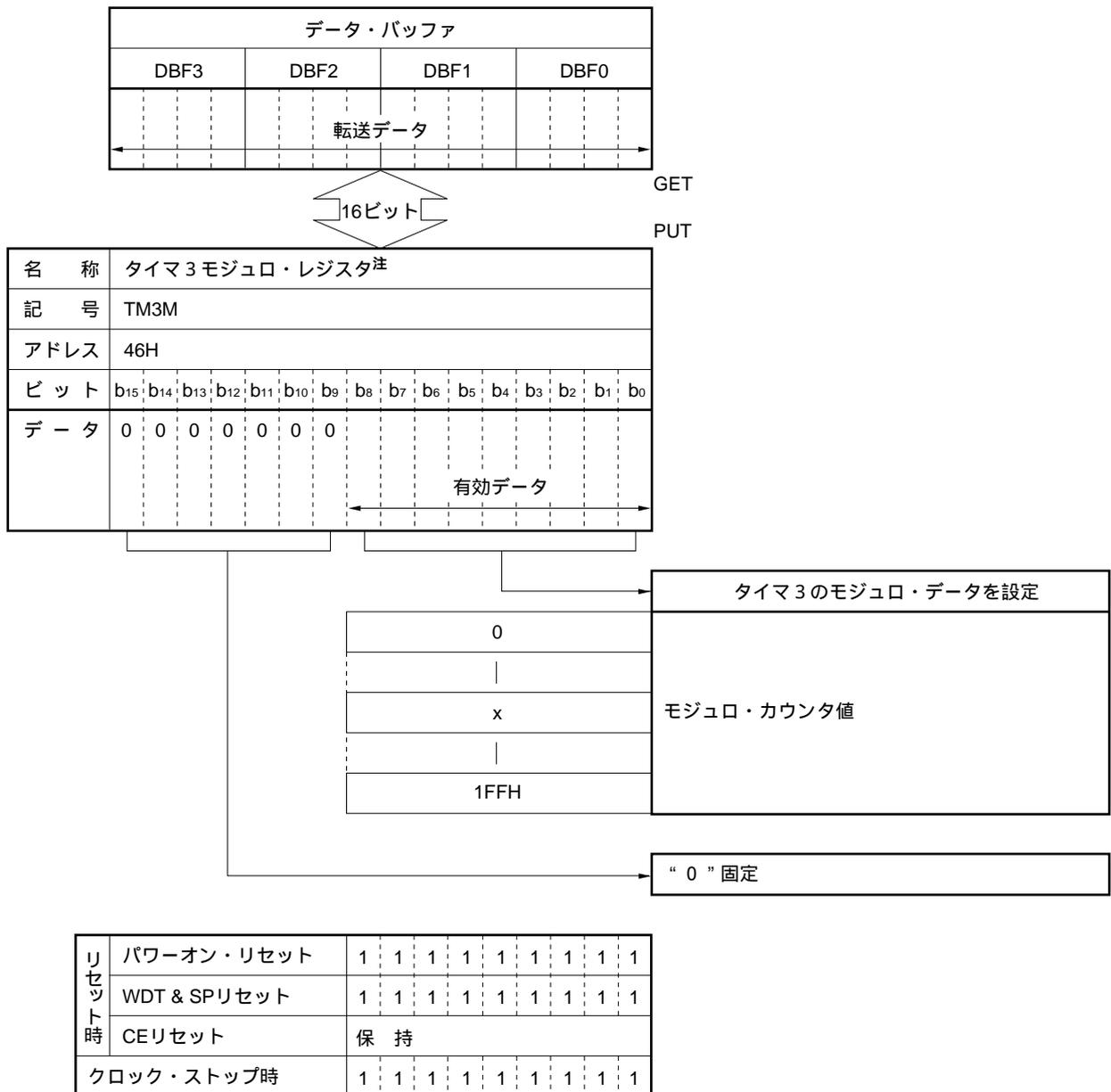
TM3RESフラグにより、タイマ3カウンタをリセットできます。

タイマ3モジュール・レジスタの値はデータ・バッファを介して書き込みおよび読み出しができます。

PWMデータ・レジスタ2 (PWMR2)とタイマ3モジュール・レジスタ (TM3M) は同一のレジスタを使用しているため同時に使用できません。

タイマ3を使用しているときはPWMデータ・レジスタ1 (PWMR1) , PWMデータ・レジスタ0 (PWMR0) は、9ビットのデータ・ラッチとして使用できます (15. D/Aコンバータ (PWM方式) 参照)。

図13-28 タイマ3モジュール・レジスタの構成



注 このレジスタはPWMデータ・レジスタ2と兼用しています。

13.6.5 タイマ3の使用例

次にタイマ3（PWM兼用）のプログラム例を示します。

このプログラムは処理Bを888μsごとに実行します。

```

TM3DATA   DAT       0064H           ; カウント・データ = 100

START:
BR        INITIAL                   ; リセット・アドレス
; 割り込みベクタ・アドレス
NOP      ; S101
NOP      ; S100
BR        INT_TM3                    ; TM3
NOP      ; TM2
NOP      ; TM1
NOP      ; TM0
NOP      ; INT4
NOP      ; INT3
NOP      ; INT2
NOP      ; INT1
NOP      ; INT0
NOP      ; Down edge of CE

INITIAL:
INITFLG   NOT PWMSEL2, NOT PWMSEL1, NOT PWMSELO
; (汎用ポート), (汎用ポート), (汎用ポート)
INITFLG   NOT PWMBIT, PWMCK
; ( 8BIT ), (440 Hz)
INITFLG   TM3SEL, NOT TM3EN, TM3RES
; (タイマ3モード), (ストップ), (リセット)

MOV       DBF0, #TM3DATA
MOV       DBF1, #TM3DATA SHR4 AND 0FH
PUT       TM3M, DBF
SET1     TM3EN                    ; START
SET1     IPTM3                    ; タイマ3の割り込み許可
EI

LOOP:


処理 A


BR        LOOP

INT_TM3:
PUT       DBFSTK, DBF             ; データ・バッファの退避


処理 B


GET       DBF, DBFSTK
EI
RET1     ; リターン

END

```

13.6.6 タイマ3の誤差

タイマ3は、次に示す場合に最大1基本クロック分の誤差が生じます。

(1) カウンタのスタート/ストップ時

カウンタのスタート/ストップはTM3ENフラグのセットで行われます。

したがって、TM3ENフラグのセット時に0 ~ + 1クロック分誤差が生じ、リセット時に - 1 ~ 0クロック分の誤差が生じます。

トータルで ± 1 カウント分の誤差が生じます。

(2) カウンタ動作中のリセット時

カウンタをリセットしたときに0 ~ + 1クロック分誤差が生じます。

(3) カウンタ動作中の基本クロック切り替え時

切り替わったクロックの0 ~ + 1クロック分誤差が生じます。

13.6.7 タイマ3使用時の注意

タイマ3による割り込みは、ほかのタイマ割り込みおよびCEリセットと同時に発行される可能性があります。特にCEリセット時にもタイマの更新が必要な場合には、タイマ3を使用しないでベーシック・タイマ0を使用してください。

タイマ3を使用すると、D/Aコンバータ兼用出力ポートP1B2/PWM2-P1B0/PWM0は3本とも自動的に汎用出力ポートに設定されます。

13.6.8 リセット時の状態

(1) パワーオン・リセット時

P1B2/PWM2-P1B0/PWM0端子は汎用出力ポートに指定されます。

出力される値は“ロウ・レベル”になります。

各PWMデータ・レジスタ(タイマ3モジュロ・レジスタ含む)の値は“1FFH”になります。

(2) WDT & SPリセット時

P1B2/PWM2-P1B0/PWM0端子は汎用出力ポートに指定されます。

出力される値は“ロウ・レベル”になります。

各PWMデータ・レジスタ(タイマ3モジュロ・レジスタ含む)の値は“1FFH”になります。

(3) クロック・ストップ時

P1B2/PWM2-P1B0/PWM0端子は汎用出力ポートに指定されます。

出力される値は“以前の出カラッチの内容”になります。

各PWMデータ・レジスタ(タイマ3モジュロ・レジスタ含む)の値は“1FFH”になります。

(4) CEリセット時

以前の状態を保持します。

つまり、D/Aコンバータとして使用している場合はそのままPWM出力を保持し、タイマ3として使用している場合はカウントを継続します。

タイマ3として使用中はDI(すべての割り込み禁止)状態になるため注意してください。

(5) ホールト状態時

以前の状態を保持します。

つまり、D/Aコンバータとして使用している場合はそのままPWM出力を保持し、タイマ3として使用している場合はカウントを継続します。

14 . A/Dコンバータ

14.1 A/Dコンバータ概要

図14 - 1にA/Dコンバータの概要を示します。

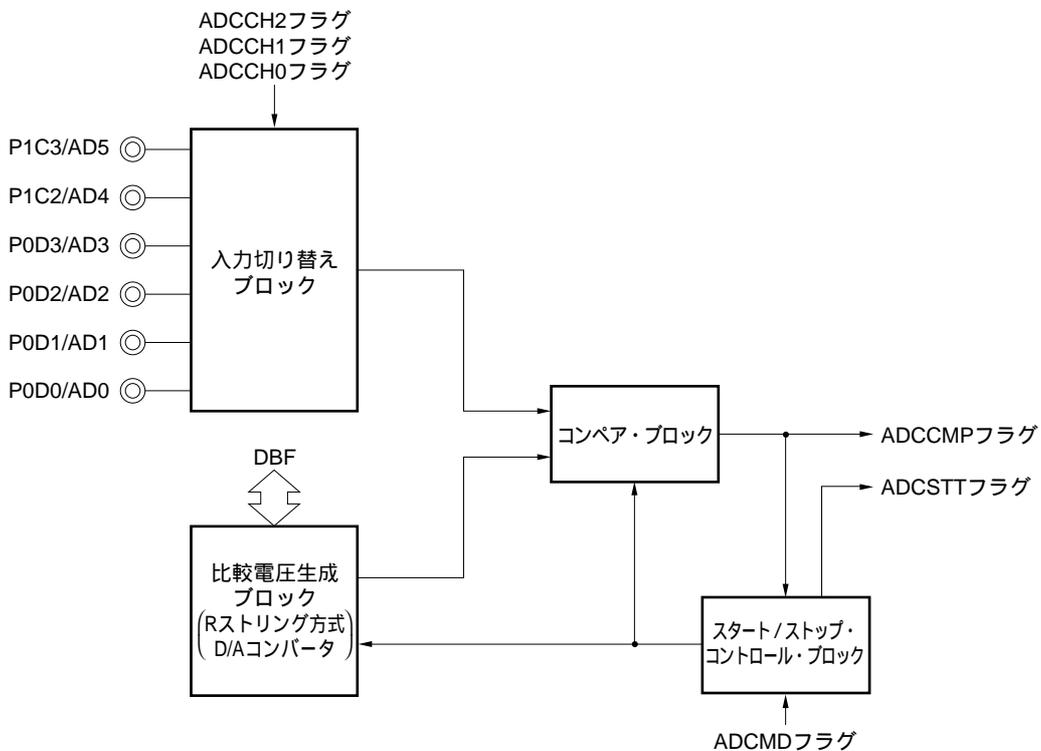
A/Dコンバータは、AD5-AD0端子に入力されているアナログ電圧を8ビットのデジタル信号として取り込みます。

A/Dコンバータは、ADCMDフラグによりソフトウェア・モードとハードウェア・モードが選択できます。

ソフトウェア・モード時は端子に入力されている電圧と内部の基準電圧を比較し、比較結果をADCCMPフラグにより検出します。この比較結果を、ソフトウェアで判断して順次基準電圧を切り替えることにより、逐次比較方式のA/Dコンバータとして使用できます。

ハードウェア・モード時は基準電圧の切り替えを自動的に行うことにより、入力電圧を直接8ビットのデジタル・データとして検出します。

図14 - 1 A/Dコンバータ概要



備考1 . ADCCH2-ADCCH0 (A/Dコンバータ・チャンネル選択レジスタのビット2-ビット0 : 図14 - 3参照)

A/Dコンバータとして使用する端子を選択

2 . ADCCMP (A/Dコンバータ・モード選択レジスタのビット0 : 図14 - 5参照)

比較結果の検出

3 . ADCSTT (A/Dコンバータ・モード選択レジスタのビット1 : 図14 - 5参照)

動作状態を検出

4 . ADCMD (A/Dコンバータ・モード選択レジスタのビット2 : 図14 - 5参照)

ソフトウェア/ハードウェア・モードの設定

14.2 入力切り替えブロック

図14 - 2 に入力切り替えブロックの構成を示します。

入力切り替えブロックは、ADCCH2-ADCCH0フラグにより使用する端子を選択します。A/Dコンバータとして同時に使用できる端子は1端子しかありません。P0D0/AD0-P0D3/AD3, P1C2/AD4, P1C3/AD5端子のどれか1本がA/Dコンバータに選択されている場合は、他の5本は強制的に入力ポートになります。

P0D0/AD0-P0D3/AD3端子はBANK15のP0DPLD0-P0DPLD3フラグによりプルダウン抵抗のオン/オフが選択できます。したがって、P0D0/AD0-P0D3/AD3端子をA/Dコンバータとして使用する場合は、外部からのアナログ入力電圧を正しく検出するために必ずこれらのプルダウン抵抗をオフにしてください。

図14 - 3 にA/Dコンバータ・チャンネル選択レジスタの構成を示します。

図14 - 2 入力切り替えブロックの構成

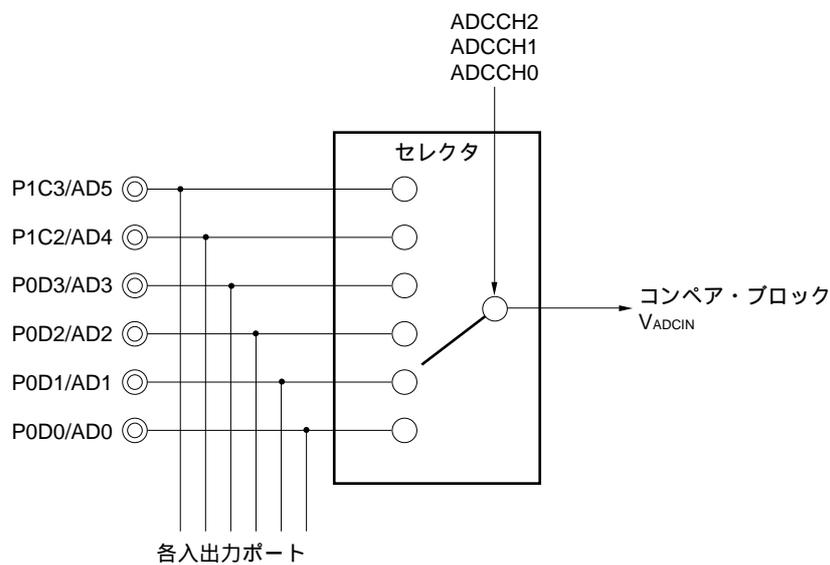
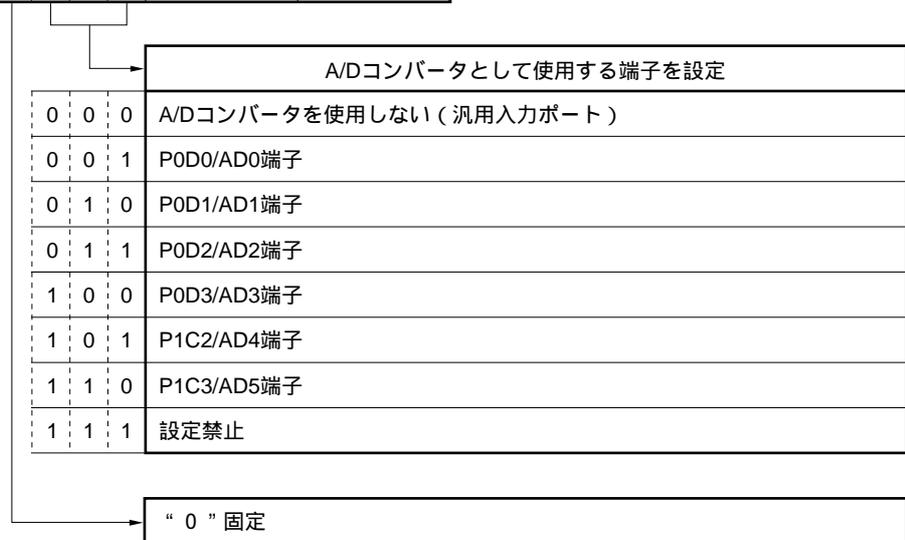


図14-3 A/Dコンバータ・チャンネル選択レジスタの構成

名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
A/Dコンバータ・ チャンネル選択	0	A	A	A	24H	R/W
		D	D	D		
		C	C	C		
		C	C	C		
		H	H	H		
		2	1	0		



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット		0	0	0
	CEリセット			保 持	
クロック・ストップ時				保 持	

14.3 比較電圧生成およびコンペア・ブロック

図14 - 4 に比較電圧生成ブロックおよびコンペア・ブロックの構成を示します。

比較電圧生成ブロックは、A/Dコンバータ基準電圧設定レジスタに設定された8ビットのデータによりタップ・デコーダを切り替え、256種類の比較電圧 V_{ADCREf} を生成します。

つまり、Rストリング方式のD/Aコンバータになっています。

Rストリング方式の電源は、デバイスの V_{DD} と同電位です。

コンペア・ブロックは、端子から入力された電圧 V_{ADCIN} と比較電圧 V_{ADCREf} の大小を判断します。

比較方法はADCMDフラグにより、ソフトウェア・モードとハードウェア・モードを選択できます。

ソフトウェア・モード時は、A/Dコンバータ基準電圧設定レジスタに比較電圧をソフトウェアで設定し、設定された1つの比較電圧と入力電圧の大小をADCCMPフラグにより検出します。

ハードウェア・モード時は、比較をスタートさせれば、ハードウェアが自動的にA/Dコンバータ基準電圧設定レジスタの値を変更し、終了時にはA/Dコンバータ基準電圧設定レジスタを読み込むことにより8ビット・データとして取り込めます。

図14 - 5 , 図14 - 6に各フラグおよびA/Dコンバータ基準電圧設定レジスタの構成を示します。

図14 - 4 比較電圧生成およびコンペア・ブロックの構成

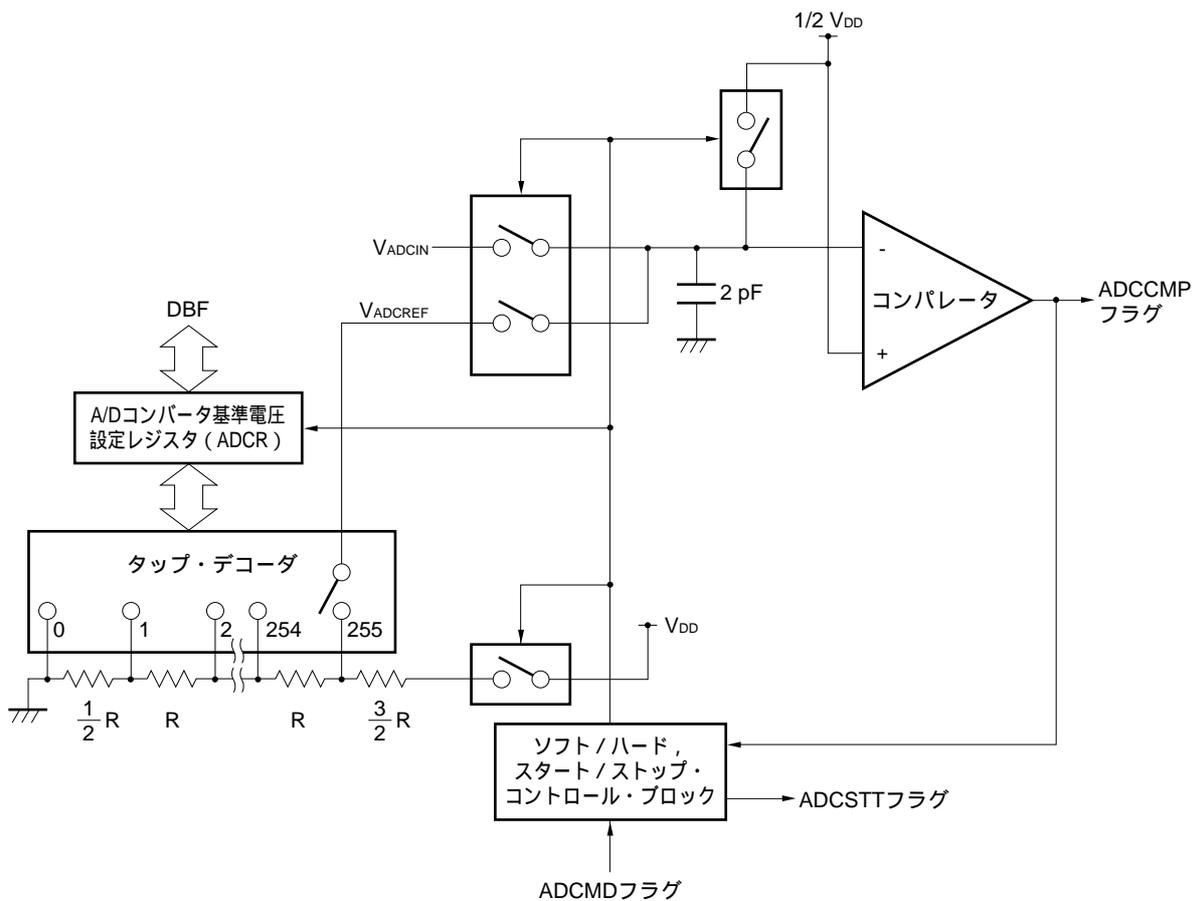
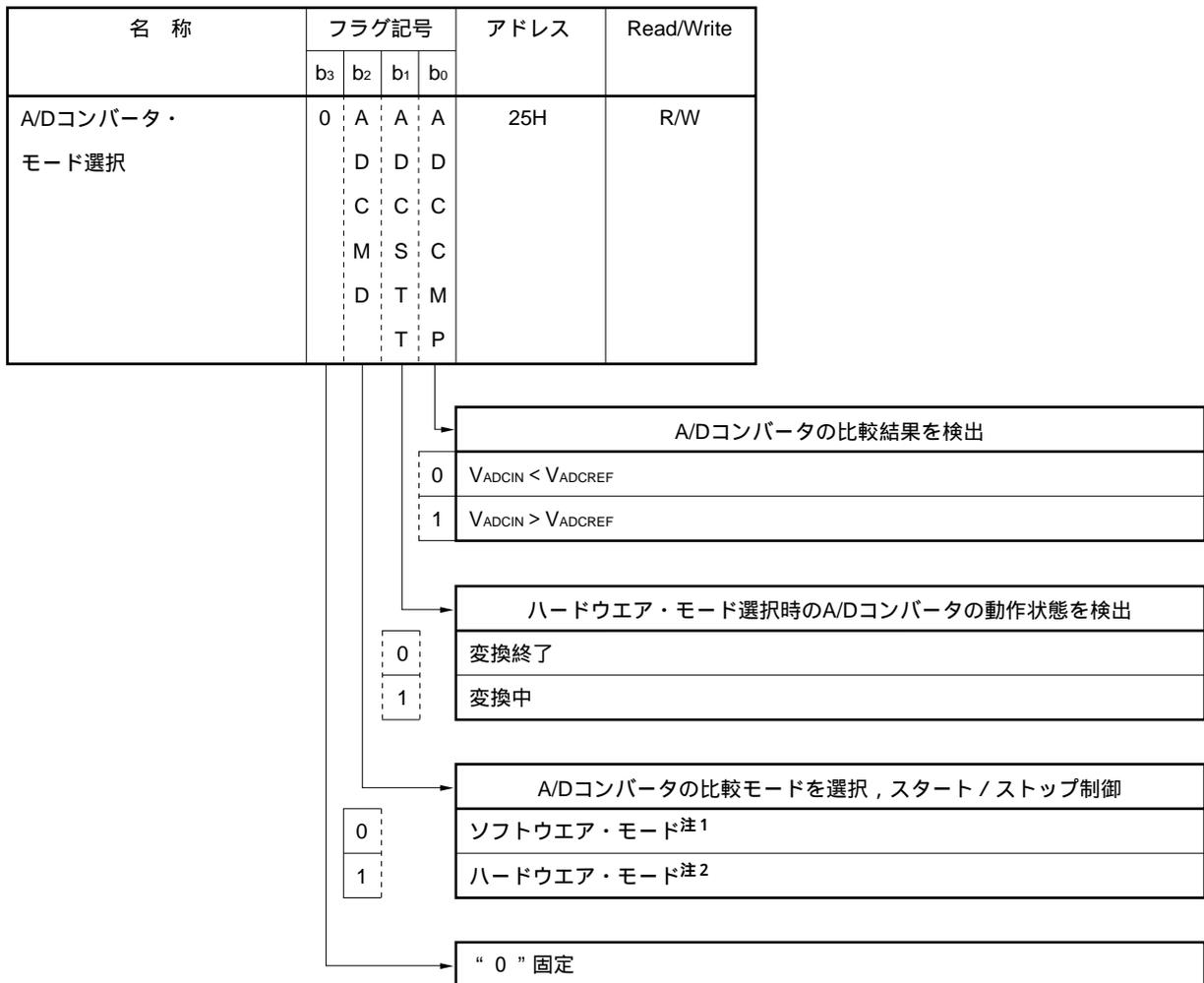


図14 - 5 A/Dコンバータ・モード選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット		0	0	0
	CEリセット		保	0	0
クロック・ストップ時		↓	保	0	保

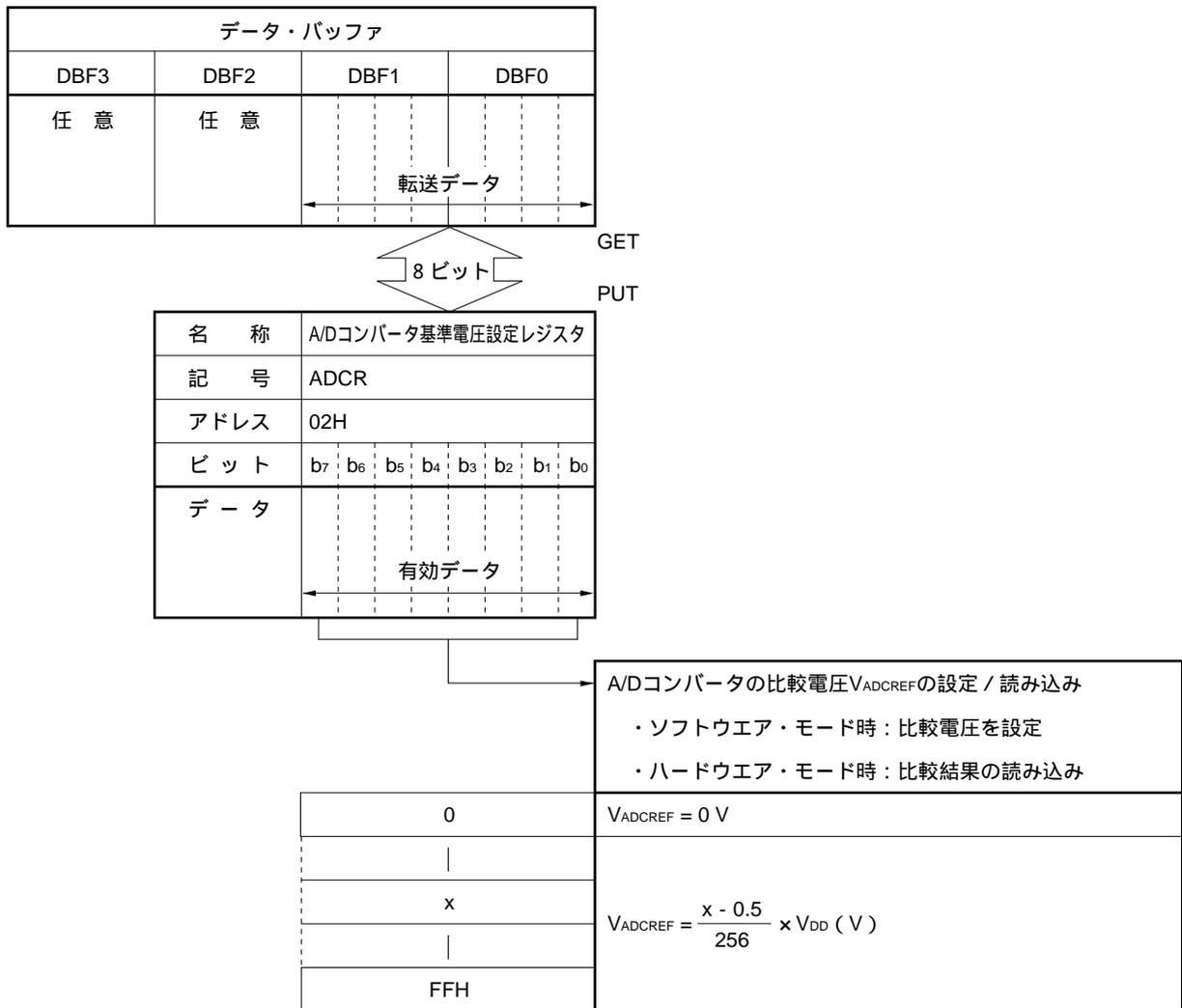
保 : 保持

注1 . A/D変換中であれば, " 0 " を書き込むことによりA/D変換動作をストップします。

2 . " 1 " を書き込むことによりハードウェア・モードによるA/D動作をスタートします。

ソフトウェア・モードによるA/D動作のスタートは, A/Dコンバータ基準電圧設定レジスタ (ADCR) にデータを書き込んだ (PUT命令) 時点で行われます。

図14 - 6 A/Dコンバータ基準電圧設定レジスタの構成



リセット時	パワーオン・リセット	0
	WDT & SPリセット	0
	CEリセット	保持 ^注
クロック・ストップ時		保持 ^注

注 ハードウェア・モード時は“0”になります。

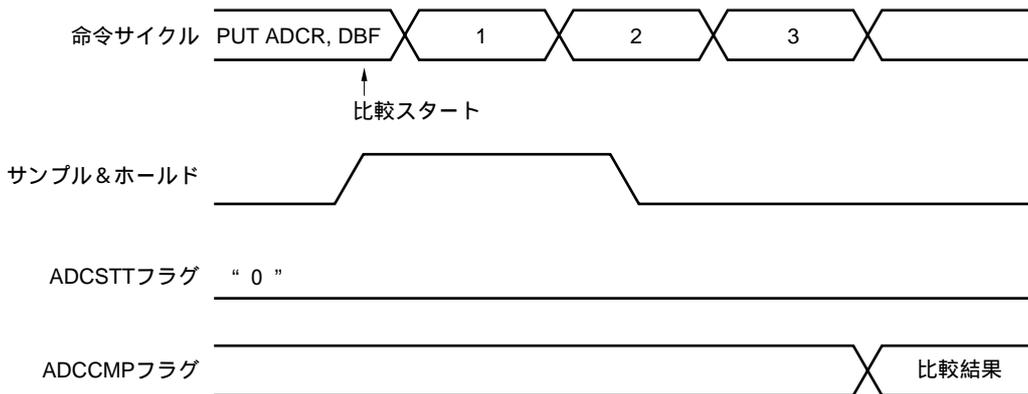
14.4 比較タイミング・チャート

14.4.1 ソフトウェア・モード時

A/Dコンバータ基準電圧設定レジスタ (ADCR) にデータを設定 (PUT命令) したあと、3 命令実行後に比較が終了します。

図14 - 7 にタイミング・チャートを示します。

図14 - 7 A/Dコンバータ比較動作のタイミング・チャート

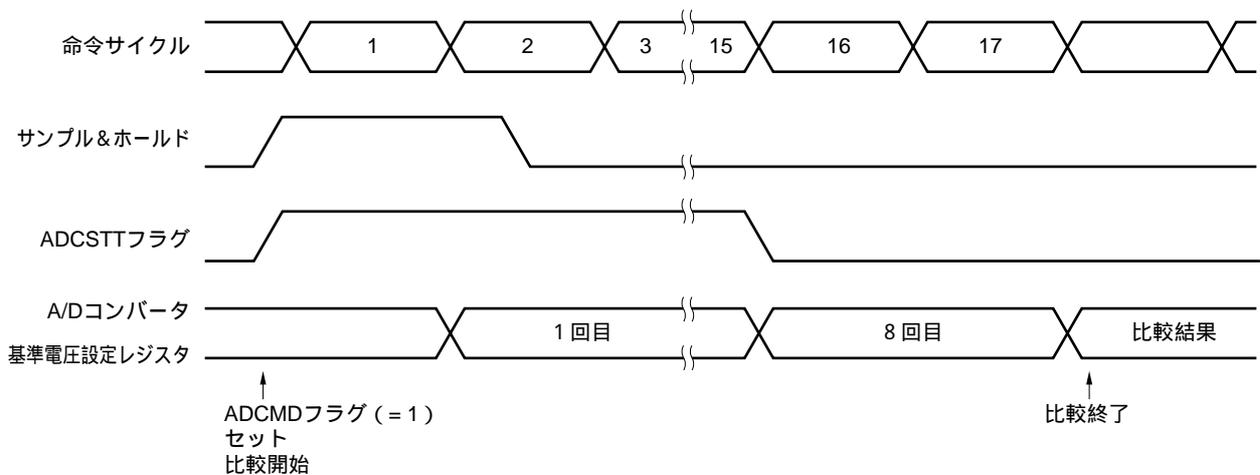


14.4.2 ハードウェア・モード時

ADCMDフラグに“1”を設定するとA/D変換が開始し、ADCSTTフラグが“1”にセットされ、17命令時間実行後に比較が終了します。このときのADCSTTフラグは、ADCMDフラグを“1”にセットしたあとの15命令時間実行後に“0”にリセットされます。これはADCSTTフラグの判断には2命令分の実行時間を要するためです。“14.5 A/Dコンバータの使用法”も参照してください。

図14 - 8 にタイミング・チャートを示します。

図14 - 8 A/Dコンバータ比較動作のタイミング・チャート



14.5 A/Dコンバータの使用方法

14.5.1 ソフトウェア・モード

ソフトウェア・モード時は1つの比較電圧との大小を検出する場合に便利です。

次にプログラム例を示します。

例 AD0端子の入力電圧 V_{ADCIN} と比較電圧 V_{ADCREf} (127.5/256 V_{DD}) を比較し、 $V_{ADCIN} < V_{ADCREf}$ ならAAAへ分岐し、 $V_{ADCIN} > V_{ADCREf}$ ならBBBへ分岐する。

```

ADCR7  FLG          0.0EH.3 ; DBFの各ビットをADCRのデータ設定フラグとして定義
ADCR6  FLG          0.0EH.2
ADCR5  FLG          0.0EH.1
ADCR4  FLG          0.0EH.0
ADCR3  FLG          0.0EH.3
ADCR2  FLG          0.0EH.2
ADCR1  FLG          0.0EH.1
ADCR0  FLG          0.0EH.0

BANK15
INITFLG NOT PODPLD3, NOT PODPLD2, NOT PODPLD1, PODPLD0 ; POD0端子のプルダウン抵抗をオフ
BANK0
INITFLG NOT ADCCH2, NOT ADCCH1, ADCCH0 ; AD0端子をA/Dコンバータに設定
CLR1   ADCMD ; ソフトウェア・モードに設定
INITFLG ADCR7, NOT ADCR6, NOT ADCR5, NOT ADCR4 ;
INITFLG NOT ADCR3, NOT ADCR2, NOT ADCR1, NOT ADCR0 ;
PUT    ADCR, DBF ; 比較電圧 $V_{ADCREf}$ の設定
NOP ; 3命令分のウエイト
NOP ;
NOP ;
SKT1   ADCCMP ; 比較結果の判定
BR     AAA
BR     BBB

```

14.5.2 ハードウェア・モード

次にプログラム例を示します。

例 AD0端子のアナログ入力電圧 V_{ADCIN} の値を検出

```

BANK15
INITFLG NOT PODPLD3, NOT PODPLD2, NOT PODPLD1, PODPLD0 ; POD0端子のプルダウン抵抗をオフ
BANK0
INITFLG NOT ADCCH2, NOT ADCCH1, ADCCH0 ; AD0端子をA/Dコンバータに設定
SET1   ADCMD ; ハードウェア・モードの設定と変換開始
LOOP:
SKT1   ADCSTT ; A/D変換終了の検出
; ; 組み込みマクロ命令
;PEEK WR, .MF.ADCSTT SHR4 AND OFH
;SKT1 WR,#.DF.ADCSTT AND OFH
BR     LOOP ; 変換中
GET    DBF, ADCR ; 変換終了結果をDBFに格納

```

14.6 A/Dコンバータ使用時の注意

14.6.1 A/Dコンバータ選択時の注意

P0D0/AD0-P0D3/AD3, P1C2/AD4, P1C3/AD5端子のどれか1本をA/Dコンバータとして使用すると、ほかの5本は強制的に入力ポートになります。P0D0/AD0-P0D3/AD3端子はBANK15のP0DPLD0-P0DPLD3フラグによりプルダウン抵抗のオン/オフが選択できます。したがって、P0D0/AD0-P0D3/AD3端子をA/Dコンバータとして使用する場合は、外部からのアナログ入力電圧を正しく検出するために必ずこれらのプルダウン抵抗をオフにしてください。

14.7 リセット時の状態

14.7.1 パワーオン・リセット時

P0D0/AD0-P0D3/AD3, P1C2/AD4, P1C3/AD5端子はすべて汎用入力ポートに設定されます。
P0D0-P0D3端子にはプルダウン抵抗が接続されます。

14.7.2 WDT & SPリセット時

P0D0/AD0-P0D3/AD3, P1C2/AD4, P1C3/AD5端子はすべて汎用入力ポートに設定されます。
P0D0-P0D3端子にはプルダウン抵抗が接続されます。

14.7.3 CEリセット時

A/Dコンバータに設定されている端子はそのまま保持します。
P0D0-P0D3端子のプルダウン抵抗は以前の状態を保持します。

14.7.4 クロック・ストップ時

A/Dコンバータに設定されている端子はそのまま保持します。
P0D0-P0D3端子のプルダウン抵抗は以前の状態を保持します。

14.7.5 ホールト時

A/Dコンバータに設定されている端子はそのまま保持します。
P0D0-P0D3端子のプルダウン抵抗は以前の状態を保持します。

15. D/Aコンバータ (PWM方式)

15.1 D/Aコンバータ概要

図15 - 1 にD/Aコンバータの概要を示します。

D/Aコンバータは、デューティを可変するPWM (Pulse Width Modulation) 方式で信号を出力します。外部にロウ・パス・フィルタなどを付加することによって、デジタル信号をアナログ信号に変換することができます。

各端子独立してデューティ可変の信号を出力します。

ソフトウェアにより、8ビット・カウンタとして使用するか9ビット・カウンタとして使用するかを選択できます。

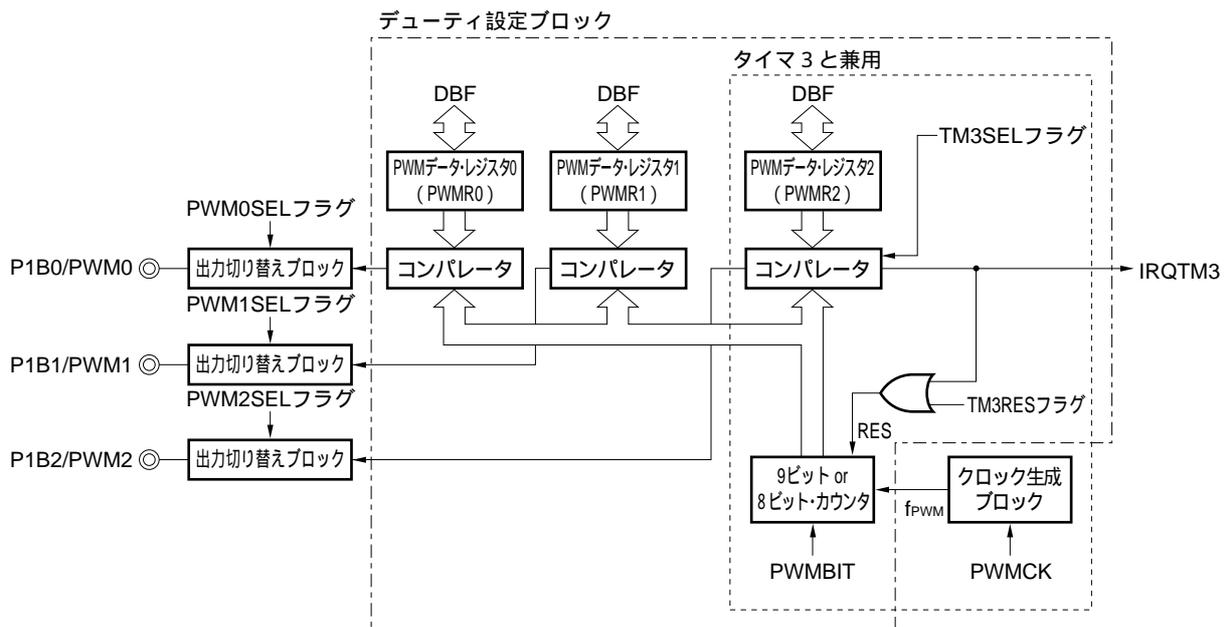
8ビット・カウンタを選択した場合、4.4 kHzと440 Hzの2種類の出力周波数の選択が可能で、デューティを256段階に可変できます。

また、9ビット・カウンタを選択した場合、2.2 kHzと220 Hzの2種類の出力周波数の選択が可能で、デューティを512段階に可変できます。

D/Aコンバータを使用しない場合は、タイマ3として使用できます。基本クロック (1.125 MHz, 0.1125 MHz) を8ビット・カウンタでカウントするタイマとして使用します。

タイマ3については、“13. タイマ”を参照してください。

図15 - 1 D/Aコンバータ概要



備考1 . PWM2SEL-PWM0SEL (PWM/汎用ポート端子機能選択レジスタのビット2-ビット0 : 図15 - 4 参照)

汎用出力ポート / D/Aコンバータの選択

2 . PWMBIT (PWMクロック選択レジスタのビット2 : 図15 - 2 参照)

PWMカウンタの8ビット / 9ビットの選択

3 . PWMCK (PWMクロック選択レジスタのビット0 : 図15 - 2 参照)

PWMタイマの出力クロック選択

4 . TM3SEL (タイマ3コントロール・レジスタのビット3 : 図15 - 5 参照)

タイマ3 / D/Aコンバータの選択

5 . TM3RES (タイマ3コントロール・レジスタのビット0 : 図15 - 5 参照)

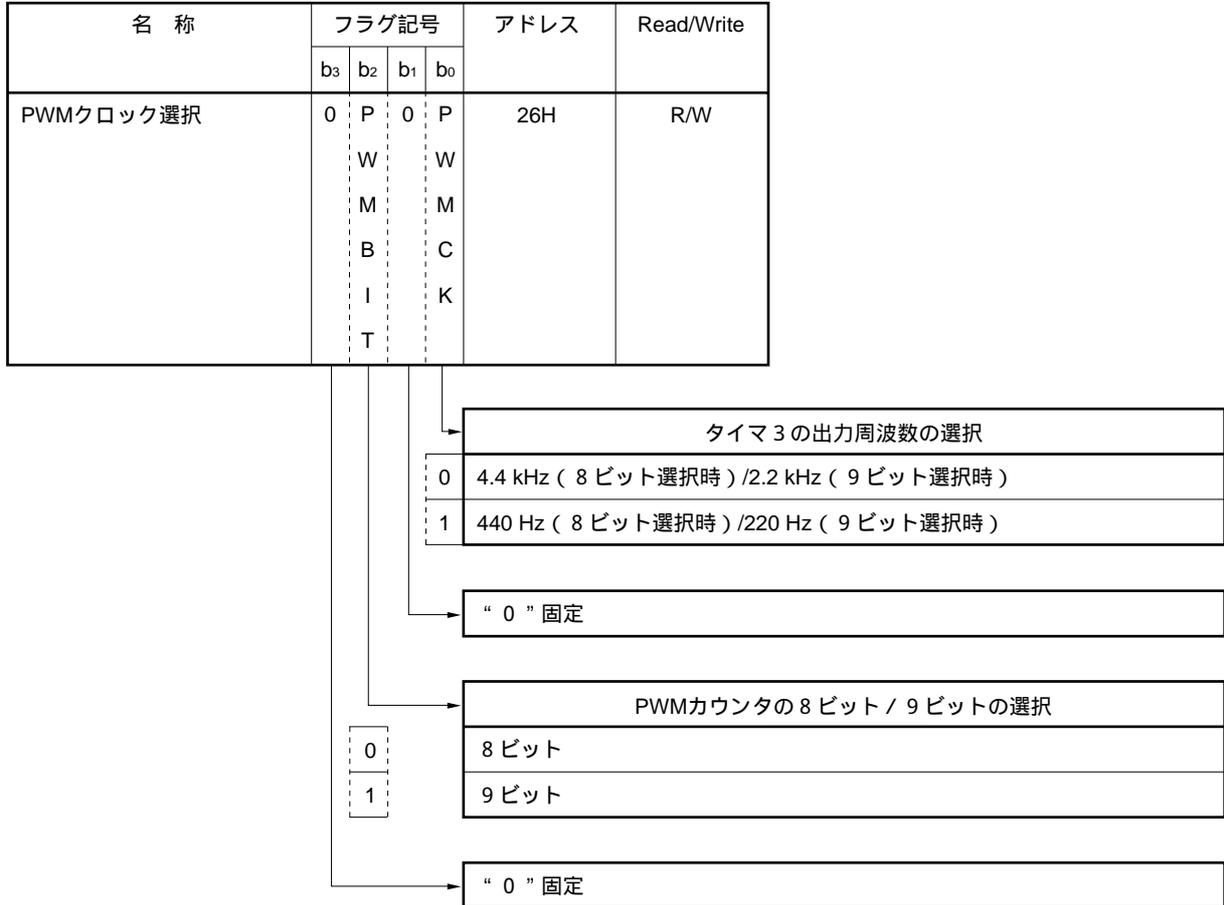
タイマ3カウンタのリセットを制御

15.2 PWMクロック選択レジスタ

PWMクロック選択レジスタは、PWMとして使用する際、PWMカウンタを8ビット・カウンタとして使用するか、9ビット・カウンタとして使用するかを選択します。

図15 - 2 にPWMクロック選択レジスタの構成を示します。

図15 - 2 PWMクロック選択レジスタの構成



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット		0		0
	CEリセット		保		保
	クロック・ストップ時	↓	0	↓	0

保：保持

15.3 PWM出力切り替えブロック

出力切り替えブロックは、PWM/汎用ポート端子機能選択レジスタのPWM2SEL-PWM0SELフラグにより、D/Aコンバータの各出力端子をD/Aコンバータとして使用するか、汎用出力ポートとして使用するかを選択します。

図15 - 3 に出力切り替えブロックの構成を、図15 - 4 にPWM/汎用ポート端子機能選択レジスタの構成を示します。

D/Aコンバータと汎用出力ポートの切り替えは各端子独立に設定できます。

各出力端子はN-chオープン・ドレイン出力のため、外部にプルアップ抵抗が必要です。

なお、D/Aコンバータをタイマ3として使用すると、P1B2/PWM2-P1B0/PWM0端子はPWM2SEL-PWM0SELに設定された値にかかわらず自動的に汎用出力ポート（P1B）が選択されます。

図15 - 3 出力切り替えブロックの構成

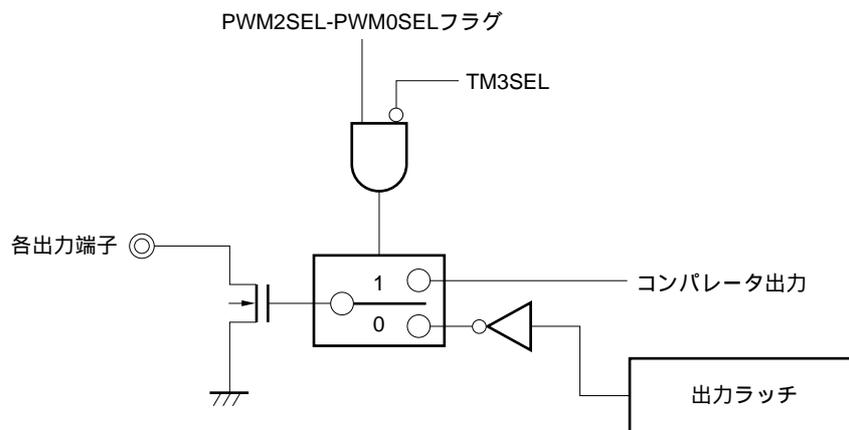
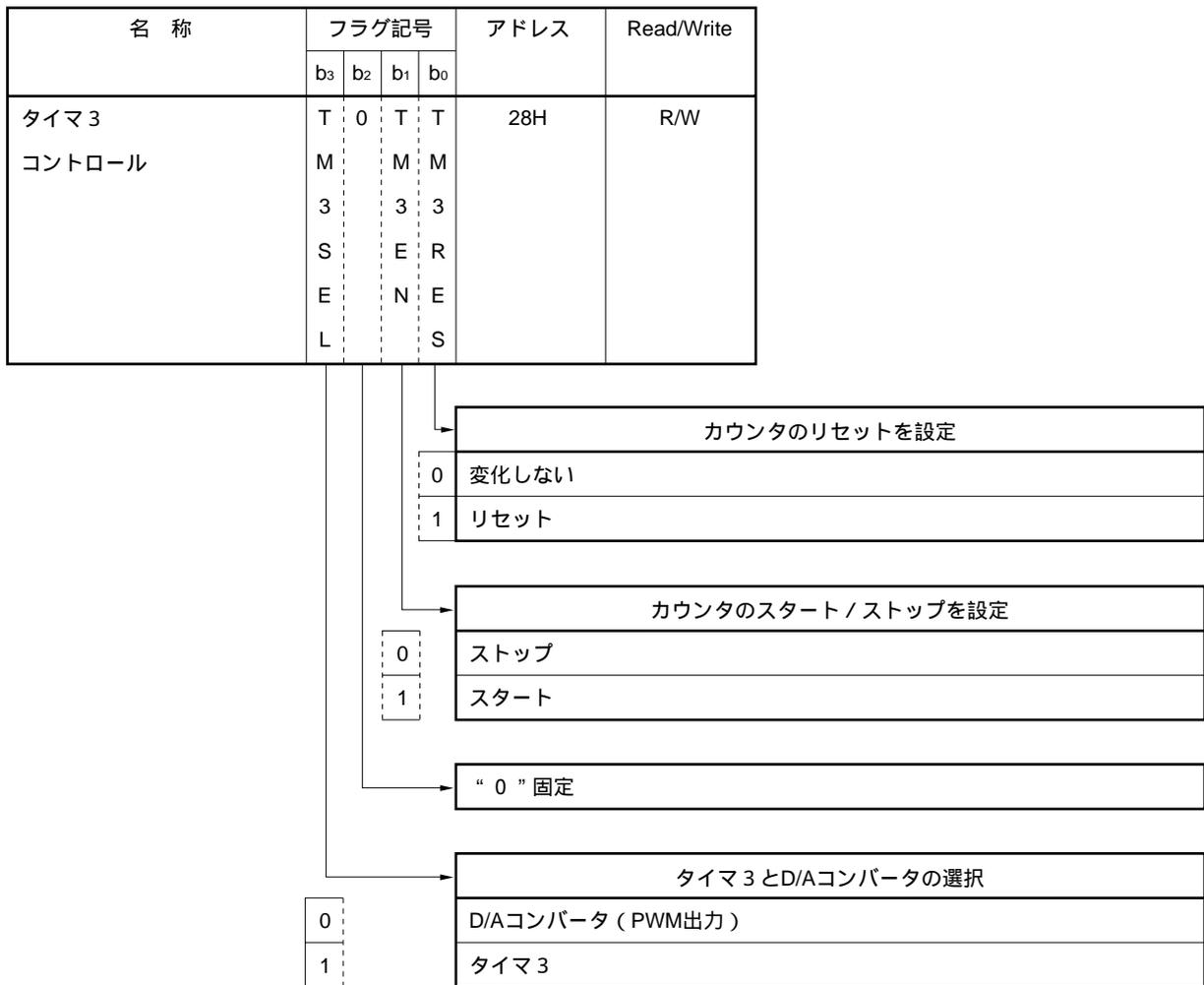


図15 - 4 PWM/汎用ポート端子機能選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット		0	0	0
	CEリセット		保 持		
	クロック・ストップ時	↓	0	0	0

図15 - 5 タイマ3コントロール・レジスタの構成



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0		0	0
	CEリセット	保		保	持
クロック・ストップ時		0	↓	0	0

保：保持

15.4 デューティ設定ブロック

15.4.1 8ビット・カウンタ設定時のPWMデューティ

各PWMデータ・レジスタ (PWMR2-PWMR0) に設定された値と、各8ビット・カウンタでカウントされた各基本クロックの値を比較して、PWMデータ・レジスタの値が大きければハイ・レベルを出力し、PWMデータ・レジスタの値が小さければロウ・レベルを出力します。

すなわち、PWMデータ・レジスタに設定された値を“x” とすると、デューティは次のようになります。

$$\text{デューティ} : D = \frac{x + 0.25}{256} \times 100 \%$$

備考 0.25はオフセット分であり、x = 0のときでもハイ・レベルが出力されます。

各PWMデータ・レジスタへのデータ設定は、データ・バッファ (DBF) を介して各端子ごとに設定できます。ただし、基本クロック、PWMカウンタ、出力周波数の選択は各端子とも同一でなければなりません。つまり、異なった周期でのデューティを各端子独立して出力はできません。

基本クロックは1.125 MHzと0.1125 MHzであるため、出力信号の周波数と周期は次のようになります。

(1) 出力周波数に4.4 kHzを、基本クロックに1.125 MHzを選択した場合

$$\text{周波数} : f = \frac{1.125 \text{ MHz}}{256} = 4.3945 \text{ kHz}$$

$$\text{周期} : T = \frac{256}{1.125 \text{ MHz}} = 227.56 \mu\text{s}$$

(2) 出力周波数に440 Hzを、基本クロックに0.1125 MHzを選択した場合

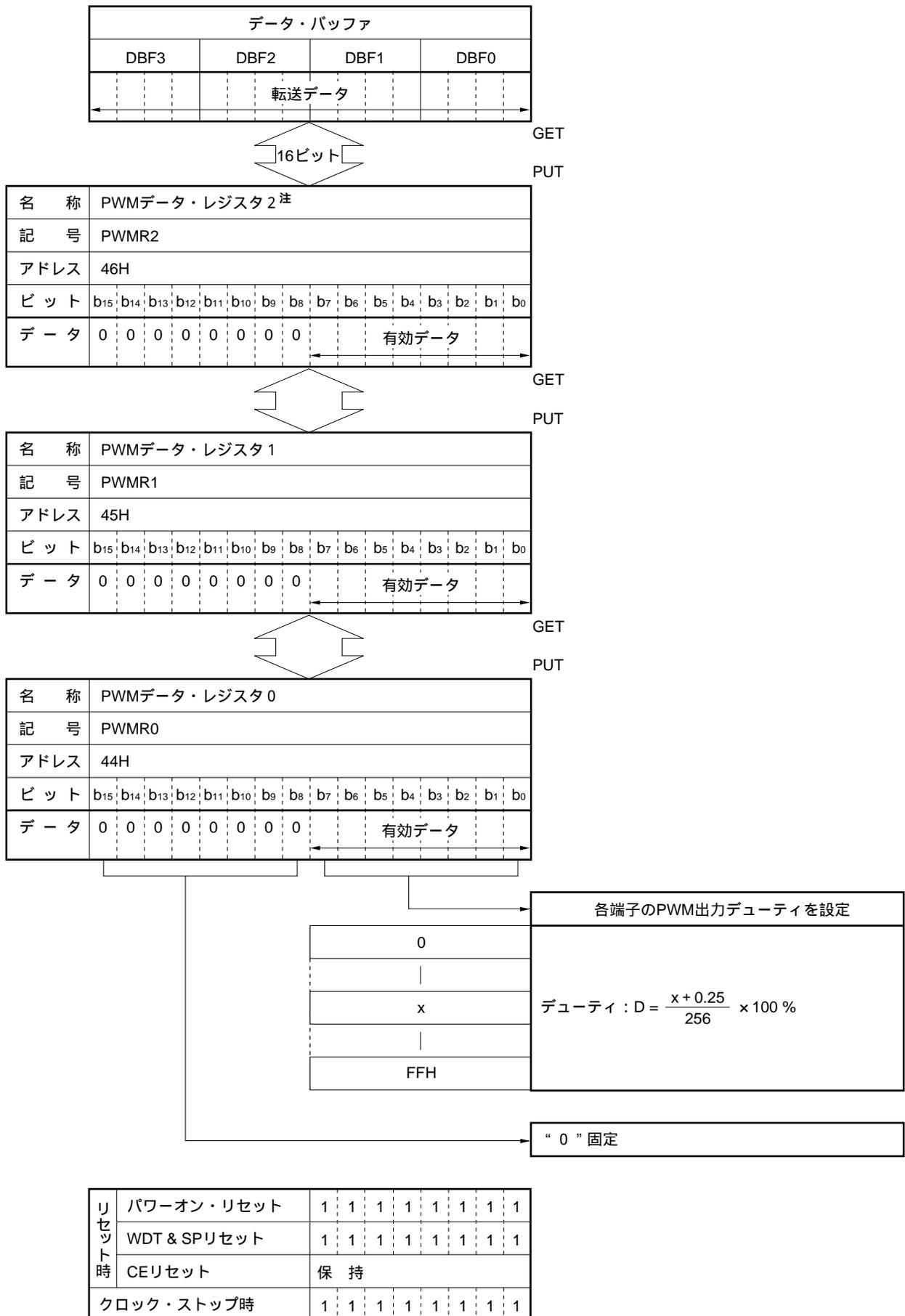
$$\text{周波数} : f = \frac{0.1125 \text{ MHz}}{256} = 439.45 \text{ Hz}$$

$$\text{周期} : T = \frac{256}{0.1125 \text{ MHz}} = 2.2756 \text{ ms}$$

PWMデータ・レジスタ2のデューティ設定レジスタとタイマ3モジュール・レジスタは同一のレジスタを使用しているため、同時に使用できません。

タイマ3を使用しているときはPWMデータ・レジスタ1, 0は8ビットのデータ・ラッチとして使用できます。

図15 - 6 PWMデータ・レジスタの構成 (8ビット・カウンタ選択時)



注 タイマ3モジュール・レジスタと兼用です。

15.4.2 9ビット・カウンタ設定時のPWMデューティ

各PWMデータ・レジスタ（PWMR2-PWMR0）に設定された値と、各9ビット・カウンタでカウントされた各基本クロックの値を比較して、PWMデータ・レジスタの値が大きければハイ・レベルを出力し、PWMデータ・レジスタの値が小さければロウ・レベルを出力します。

すなわち、PWMデータ・レジスタに設定された値を“x”とすると、デューティは以下のようになります。

$$\text{デューティ} : D = \frac{x+0.25}{512} \times 100 \%$$

備考 0.25はオフセット分であり、x = 0のときでもハイ・レベルが出力されます。

各PWMデータ・レジスタへのデータ設定は、データ・バッファ（DBF）を介して各端子ごとに設定できます。ただし、基本クロック、PWMカウンタ、出力周波数の選択は各端子とも同一でなければなりません。つまり、異なる周期でのデューティを各端子独立して出力はできません。

基本クロックは1.125 MHzと0.1125 MHzであるため、出力信号の周波数と周期は次のようになります。

（1）出力周波数に2.2 kHzを、基本クロックに1.125 MHzを選択した場合

$$\text{周波数} : f = \frac{1.125 \text{ MHz}}{512} = 2.197 \text{ kHz}$$

$$\text{周期} : T = \frac{512}{1.125 \text{ MHz}} = 455.11 \mu\text{s}$$

（2）出力周波数に220 Hzを、基本クロックに0.1125 MHzを選択した場合

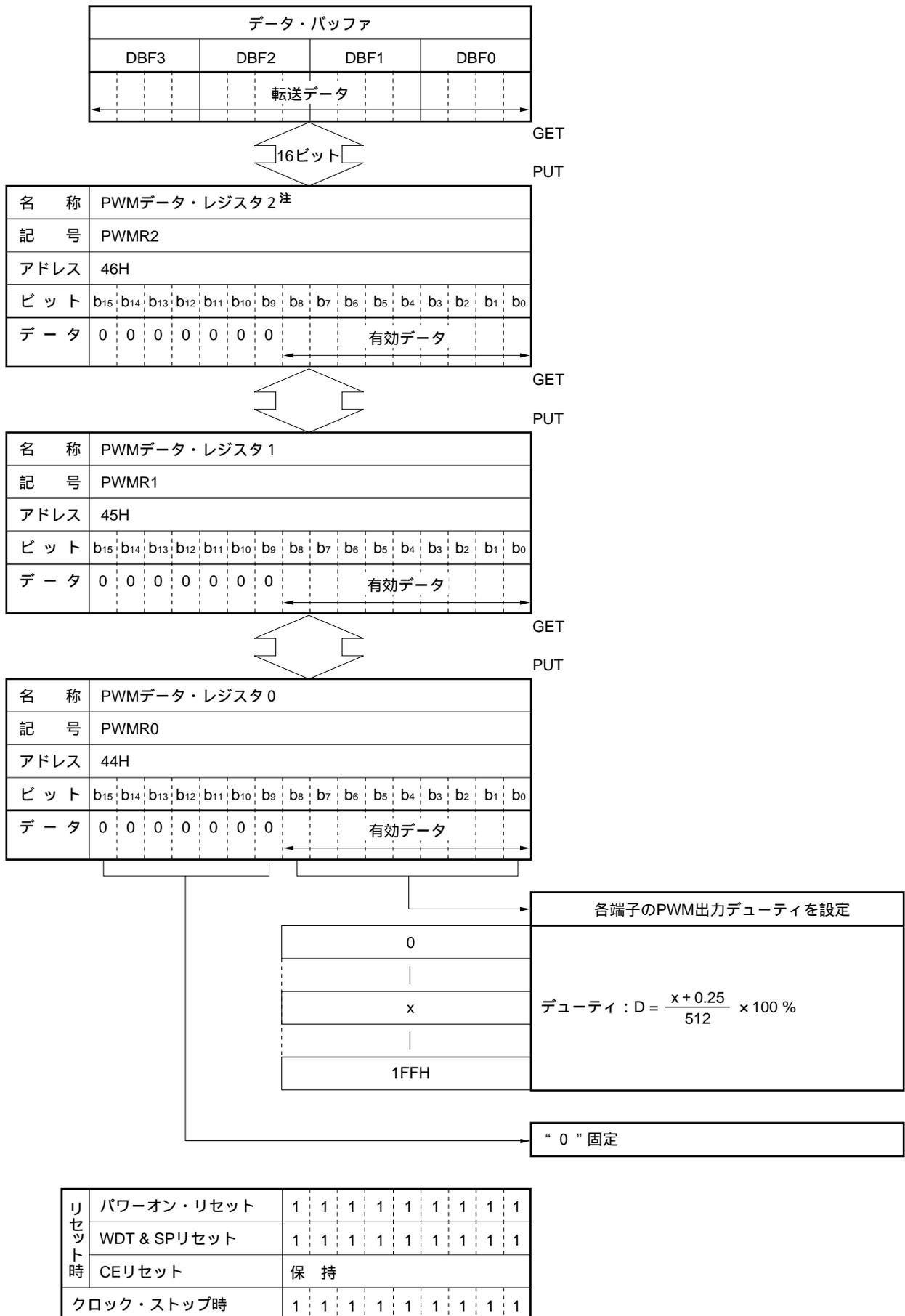
$$\text{周波数} : f = \frac{0.1125 \text{ MHz}}{512} = 219.73 \text{ Hz}$$

$$\text{周期} : T = \frac{512}{0.1125 \text{ MHz}} = 4.5511 \text{ ms}$$

PWMデータ・レジスタ2のデューティ設定レジスタとタイマ3モジュロ・レジスタは同一のレジスタを使用しているため、同時に使用できません。

タイマ3を使用しているときはPWMデータ・レジスタ1、0は8ビットのデータ・ラッチとして使用できます。

図15 - 7 PWMデータ・レジスタの構成 (9ビット・カウンタ選択時)



注 タイマ3モジュール・レジスタと兼用です。

15.5 クロック生成ブロック

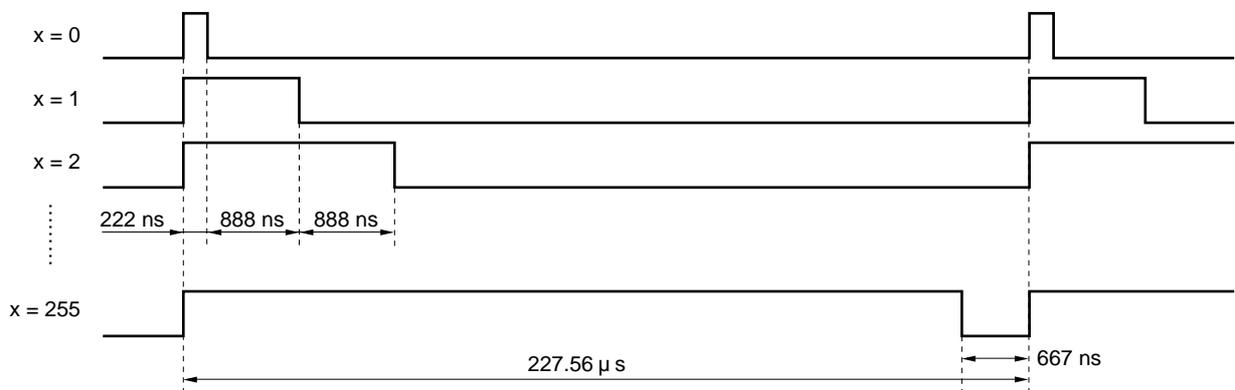
クロック生成ブロックは、各出力信号のデューティを設定するための基本クロックを出力します。
出力される周波数は、1.125 MHz, 112.5 kHzの2種類のいずれかを選択できます。

15.6 D/Aコンバータ出力波形

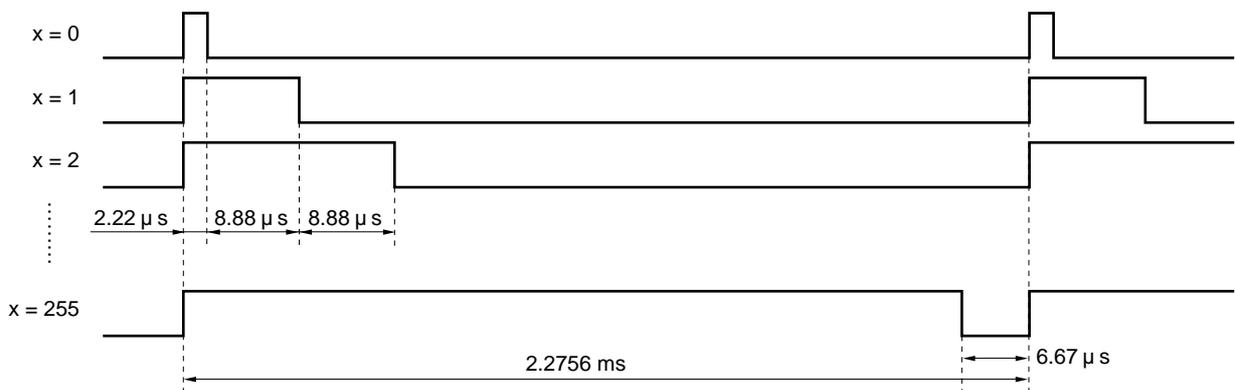
- (1) にデューティと出力波形の関係を示します。
- (2) に各端子の出力波形を示します。出力される端子には位相差が生じます。

(1) デューティと出力波形

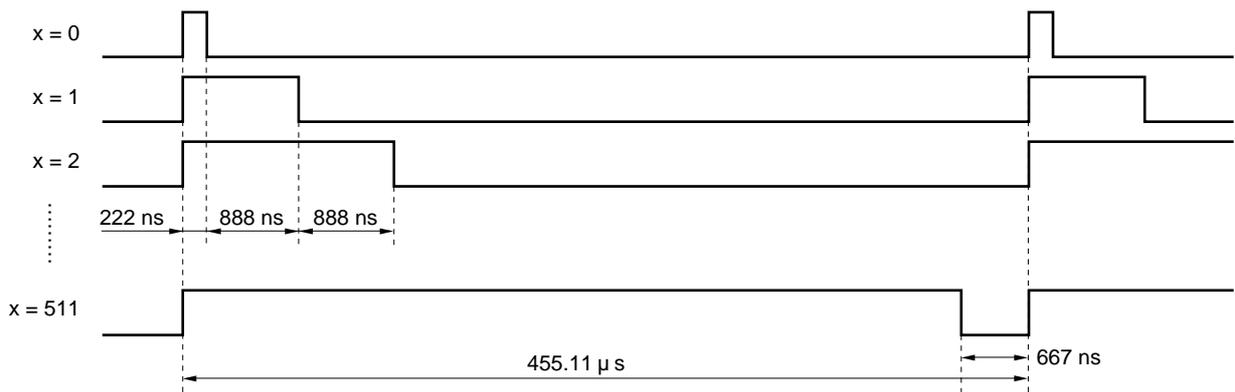
(a) 8ビット・カウンタ、4.4 kHzを選択した場合



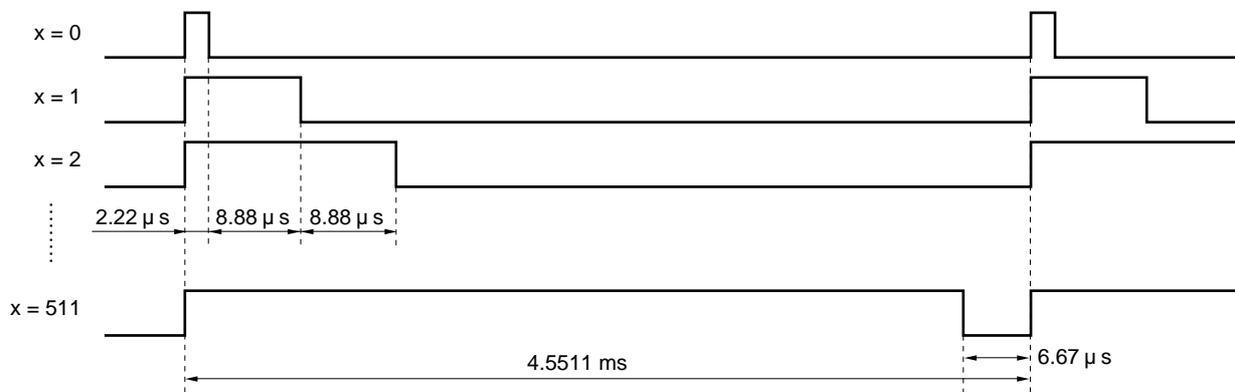
(b) 8ビット・カウンタ、440 Hzを選択した場合



(c) 9ビット・カウンタ, 2.2 kHzを選択した場合

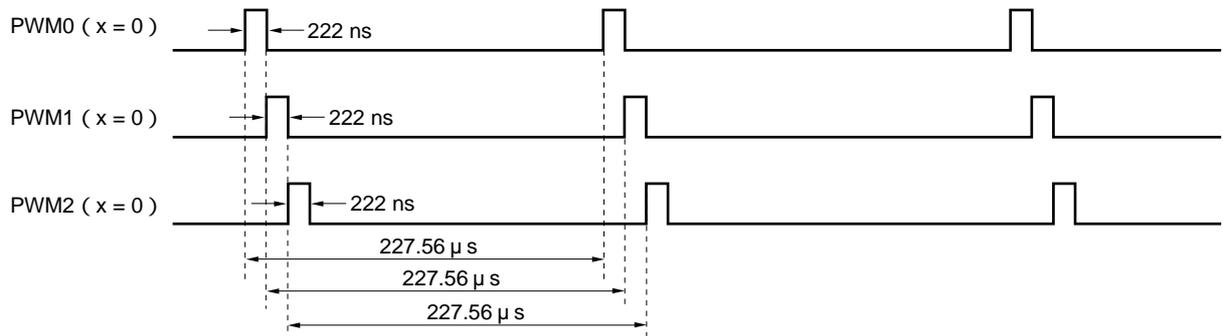


(d) 9ビット・カウンタ, 220 Hzを選択した場合

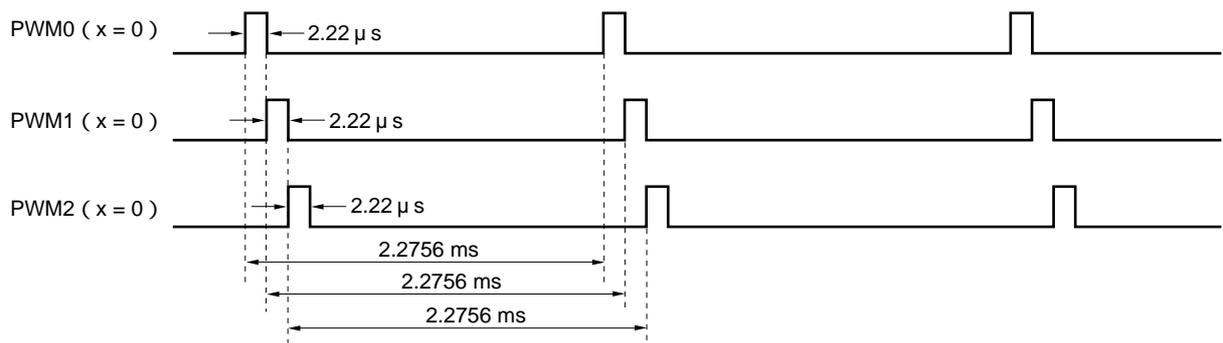


(2) 各端子と出力波形

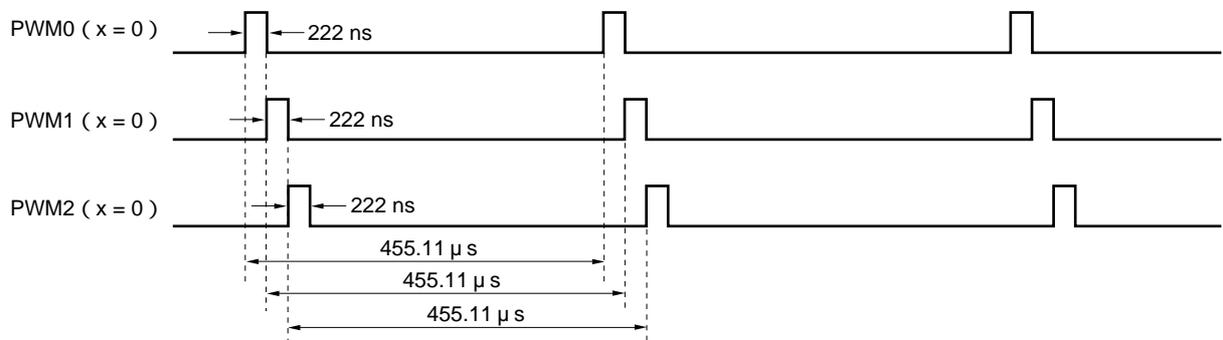
(a) 8ビット・カウンタ, 4.4 kHzを選択した場合



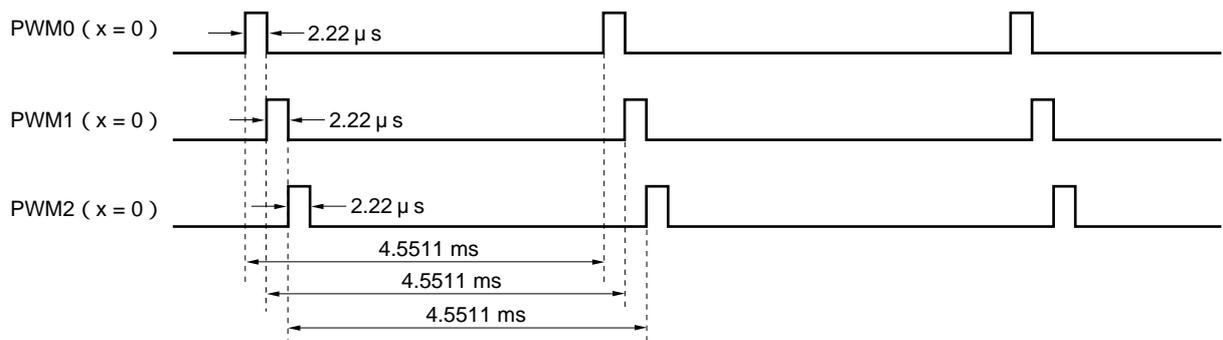
(b) 8ビット・カウンタ, 440 Hzを選択した場合



(c) 9ビット・カウンタ, 2.2 kHzを選択した場合



(d) 9ビット・カウンタ, 220 Hzを選択した場合



15.7 D/Aコンバータ使用例

次に、D/Aコンバータのプログラム例を示します。

例 次のプログラムは、1秒ごとにPWM1端子のデューティをインクリメントします。

```

PWM1DATA DAT    0000H

INITIAL:
  INITFLG  NOT PWM2SEL, NOT PWM1SEL, NOT PWM0SEL
            ; (汎用ポート), (汎用ポート), (汎用ポート)
  INITFLG  PWMBIT  ,NOT PWMCK
            ; (9ビット・カウンタ) ,(1.125MHz)

LOOP0:
  BANK1
  CLR1     P1B1
  BANK0
  CLR1     TM3SEL           ;D/Aコンバータを選択

  MOV      DBF2,#PWM1DATA SHR 8 AND 0FH
  MOV      DBF1,#PWM1DATA SHR 4 AND 0FH
  MOV      DBF0,#PWM1DATA AND 0FH
  SET1     PWM1SEL         ;PWM1/P1B1端子をPWM出力ポートに設定

LOOP1:
                                     ;デューティ0.25/512-511.25/512(PWM出力)
  PUT      PWM1R, DBF
  GET2     TM3RES,TM3EN    ;カウンタのリセット&スタート



1 秒間のウェイト



  GET      DBF,PWM1R
  ADD      DBF0,#1
  ADDC     DBF1,#0
  ADDC     DBF2,#1
  SKGE     DBF2,#2
  BR       LOOP1

LOOP2:
                                     ; ポート ハイ・レベル出力
  BANK1
  SET1     P1B1
  BANK0
  CLR1     PWM1SEL       ; PWM1/P1B1端子を汎用出力ポートに設定



1 秒間のウェイト



  BR      LOOP0

```

15.8 リセット時の状態

15.8.1 パワーオン・リセット時

P1B0/PWM0-P1B2/PWM2端子は汎用出力ポートに指定されます。

このとき出力される値は“ロウ・レベル”になります。

各PWMデータ・レジスタ（タイマ3モジュール・レジスタを含む）の値は“1FFH”になります。

15.8.2 WDT & SPリセット時

P1B0/PWM0-P1B2/PWM2端子は汎用出力ポートに指定されます。

このとき出力される値は“ロウ・レベル”になります。

各PWMデータ・レジスタ（タイマ3モジュール・レジスタを含む）の値は“1FFH”になります。

15.8.3 CEリセット時

P1B0/PWM0-P1B2/PWM2端子は以前の状態を保持します。

つまり、D/Aコンバータとして使用している場合はそのままPWM出力を保持し、タイマ3として使用している場合はカウントを接続します。

15.8.4 クロック・ストップ時

P1B0/PWM0-P1B2/PWM2端子は汎用出力ポートに指定されます。

このとき出力される値は“以前の出カラッチの内容”になります。

各PWMデータ・レジスタ（タイマ3モジュール・レジスタを含む）の値は“1FFH”になります。

15.8.5 ホールト状態時

P1B0/PWM0-P1B2/PWM2端子は以前の状態を保持します。

つまり、D/Aコンバータとして使用している場合はそのままPWM出力を保持し、タイマ3として使用している場合はカウントを継続します。

16. シリアル・インタフェース

16.1 シリアル・インタフェース概要

図16 - 1 にシリアル・インタフェースの概要を示します。

また、表16 - 1 にシリアル・インタフェースの分類および通信方式を示します。

図16 - 1 に示すように、シリアル・インタフェースはシリアル・インタフェース0 (SIO0) およびシリアル・インタフェース1 (SIO1) の2系統で構成されています。

シリアル・インタフェース0 とシリアル・インタフェース1 は同時に使用することができます。

シリアル・インタフェース0 は2線式と3線式が使用できます。2線式はSDA端子とSCL端子を使用し、3線式はSCK0端子、SO0端子およびSI0端子を使用します。

さらに、2線式は通信方式としてI²Cバス方式とシリアルI/O方式を選択することができます。

シリアル・インタフェース1 は、3線式のみ使用できます。使用端子はSCK1、SO1およびSI1端子です。通信方式はシリアルI/O方式になります。

図16 - 1 シリアル・インタフェース概要

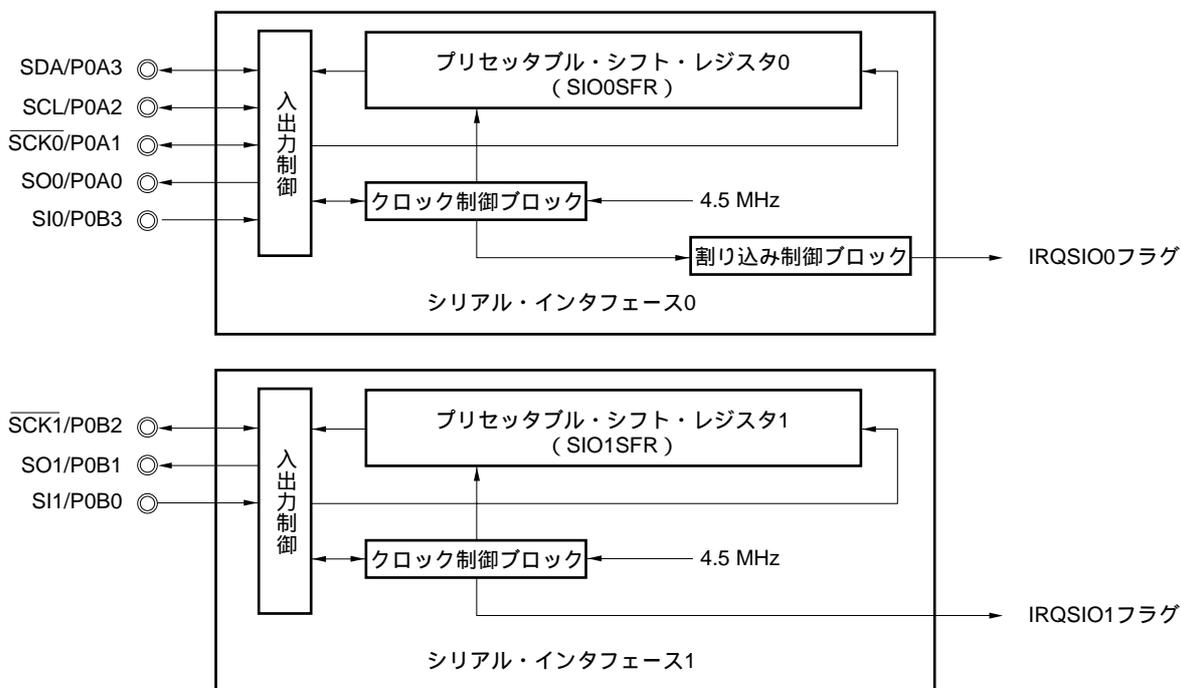


表16 - 1 シリアル・インタフェースの分類および通信方式

チャンネル	通信線数	通信方式	使用端子
シリアル・ インタフェース0	2線式	I ² Cバス方式	P0A3/SDA
		シリアル/I/O方式	P0A2/SCL
シリアル・ インタフェース0	3線式	シリアル/I/O方式	P0A1/SCK0
			P0A0/SO0
			P0B3/SI0
シリアル・ インタフェース1	3線式	シリアル/I/O方式	P0B2/SCK1
			P0B1/SO1
			P0B0/SI1

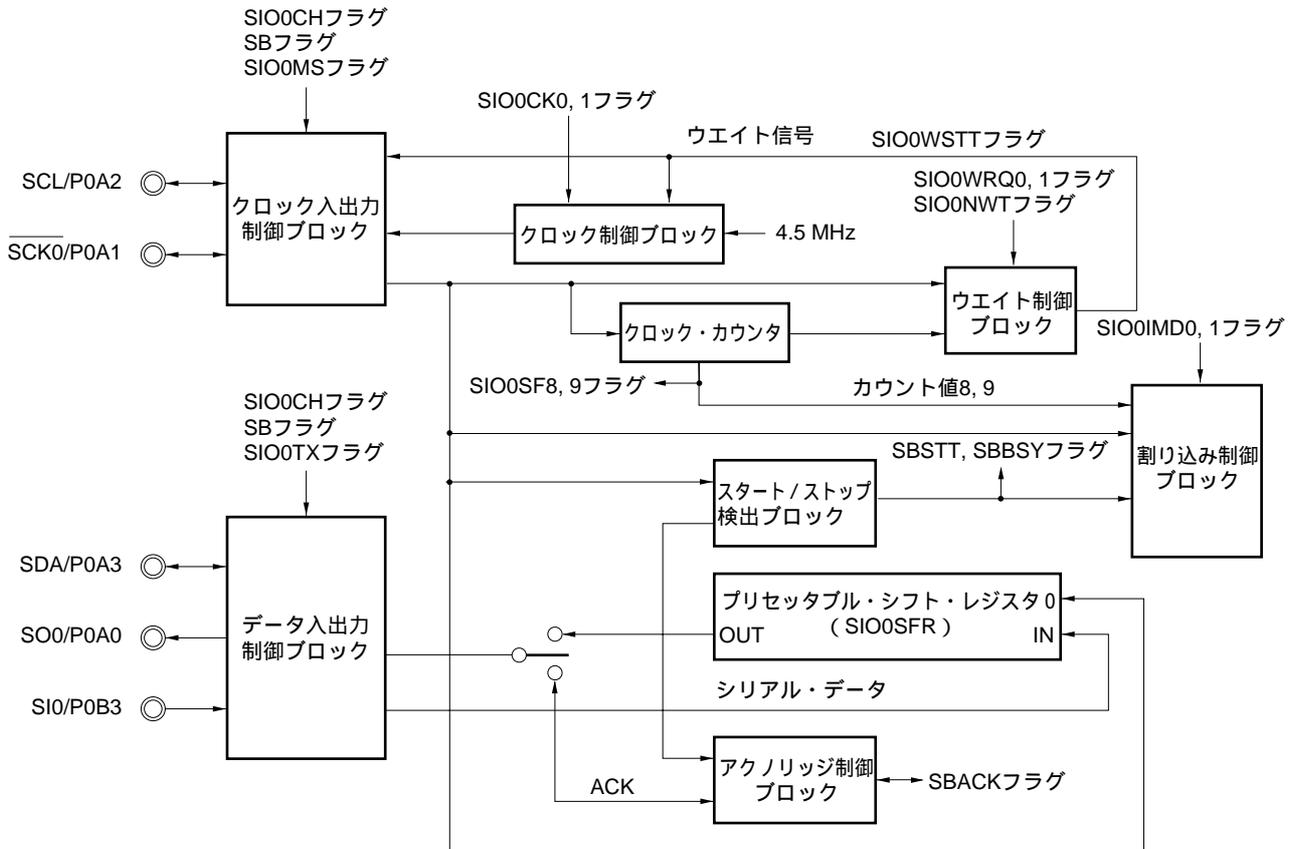
16.2 シリアル・インタフェース0

16.2.1 シリアル・インタフェース0概要

図16 - 2 にシリアル・インタフェース0の概要を示します。

シリアル・インタフェース0は、2線式のI²Cバス方式およびシリアル/I/O方式、または3線式のシリアル/I/O方式を使用できます。

図16 - 2 シリアル・インタフェース0概要



- 備考 1 . SIO0CH, SB (シリアルI/O0モード選択レジスタのビット 3 , ビット 2 : 図16 - 3 参照)
シリアルI/O0のモード設定
- 2 . SIO0MS (シリアルI/O0モード選択レジスタのビット 1 : 図16 - 3 参照)
マスタ / スレーブの選択
- 3 . SIO0TX (シリアルI/O0モード選択レジスタのビット 0 : 図16 - 3 参照)
受信 / 送信の選択
- 4 . SIO0CK1, SIO0CK0 (シリアルI/O0クロック選択レジスタのビット 1 , ビット 0 : 図16 - 4 参照)
内部シフト・クロック周波数を選択
- 5 . SIO0WRQ1, SIO0WRQ0 (シリアルI/O0ウェイト・コントロール・レジスタのビット 1 , ビット 0 : 図16 - 7 参照)
通信のウェイト条件を設定
- 6 . SIO0NWT (シリアルI/O0ウェイト・コントロール・レジスタのビット 2 : 図16 - 7 参照)
通信のスタートを設定
- 7 . SIO0SF9, SIO0SF8 (シリアルI/O0状態検出レジスタのビット 2 , ビット 3 : 図16 - 5 参照)
クロック・カウンタの検出
- 8 . SBSTT, SBBSY (シリアルI/O0状態検出レジスタのビット 1 , ビット 0 : 図16 - 5 参照)
I²Cバス方式のスタート条件, ストップ条件およびクロック・カウンタの検出
- 9 . SIO0IMD1, SIO0IMD0 (シリアルI/O0割り込みモード選択レジスタのビット 1 , ビット 0 : 図16 - 9 参照)
割り込みタイミングを設定
- 10 . SBACK (シリアルI/O0ウェイト・コントロール・レジスタのビット 3 : 図16 - 7 参照)
アクノリッジ・データの読み込み / 設定
- 11 . SIO0WSTT (シリアルI/O0ウェイト状態判定レジスタのビット 0 : 図16 - 8 参照)
シリアル通信状態の検出

16.2.2 クロック入出力制御ブロックおよびデータ入出力制御ブロック

クロック入出力制御ブロックおよびデータ入出力ブロックは、シリアル・インタフェース 0 の通信方式 (I²Cバス方式またはシリアルI/O方式) , 使用端子 (2 線式または 3 線式) および送受信動作を制御します。

SIO0CHフラグおよびSBフラグにより、2 線式 / 3 線式の選択およびI²Cバス方式 / シリアルI/O方式を選択します。

SIO0MSフラグは内部クロック (マスタ) および外部クロック (スレーブ) 動作を選択し、SIO0TX フラグは受信 (RX) および送信 (TX) 動作を選択します。

各フラグはシリアルI/O0モード選択レジスタに配置されています。

図16 - 3 にシリアルI/O0モード選択レジスタの構成を示します。

また、表16 - 2 に各端子の設定状態を示します。

表16 - 2 に示すように、各端子の設定にはシリアル・インタフェースの制御フラグのほかに、各端子の入出力設定フラグも操作する必要があります。

図16 - 3 シリアル/O0モード選択レジスタの構成



リセット時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	0	0	0	0
クロック・ストップ時		0	0	0	0

表16 - 2 各制御フラグによる各端子の設定状態

各フラグ				端 子									
S I O C H	S B	通信方式	S I O M S クロックの 方向	S I O T X シリアル 入出力	端 子 名	P 0 A B I O 3	P 0 A B I O 2	P 0 A B I O 1	P 0 A B I O 0	端 子 の 設 定 状 態			
1	0	2線式 シリアルI/O		0	入力 (受信)	P0A3/SDA	0				シリアル入力		
				1	出力 (送信)		1					汎用出力ポート	
				0			0						シリアル出力
				1			1						
			0	外部 (スレーブ)		P0A2/SCL		0				外部クロック	
			1	内部 (マスタ)				1				汎用出力ポート	
								0					内部クロック
										1			
								P0A1/SCK0					汎用入出力ポート
								P0A0/SO0					汎用入出力ポート
					P0B3/SI0					汎用入出力ポート			
0	1	I ² Cバス		0	入力 (受信)	P0A3/SDA	0				シリアル入力		
				1	出力 (送信)		1					汎用出力ポート	
				0			0						シリアル出力
				1			1						
			0	外部 (スレーブ)		P0A2/SCL		0				外部クロック	
			1	内部 (マスタ)				1				汎用出力ポート	
								0					内部クロック
										1			
								P0A1/SCK0					汎用入出力ポート
								P0A0/SO0					汎用入出力ポート
					P0B3/SI0					汎用入出力ポート			
1	1	3線式 シリアルI/O				P0A3/SDA					汎用入出力ポート		
						P0A2/SCL						汎用入出力ポート	
			0	外部 (スレーブ)		P0A1/SCK0			0			外部クロック	
			1	内部 (マスタ)					1			汎用出力ポート	
									0				内部クロック
										1			
						0	汎用 ポート	P0A0/SO0				0	汎用入力ポート
						1	出力 (送信)					1	汎用出力ポート
												0	シリアル出力
												1	
					P0B3/SI0					0	シリアル入力		
										1	汎用出力ポート		
0	0	シリアルI/O0として使用しない			P0A0-P0A3, P0B3	0	0	0	0	0	汎用入力ポート		
			1	1		1	1	1	1	汎用出力ポート			

16.2.3 クロック制御ブロック

クロック制御ブロックは、内部クロック使用時（マスタ動作）のクロックの生成およびクロック出力タイミングの制御を行います。

内部クロックの周波数 f_{sc} は、シリアルI/Oクロック選択レジスタのSIO0CK1, SIO0CK0フラグにより設定します。

図16-4 にシリアルI/Oクロック選択レジスタの構成を示します。

クロック制御ブロックから出力されるシフト・クロックは、マスタ動作（SIO0MSフラグ = 1）のときのみ有効となります。

クロック生成タイミングは各通信方式の項を参照してください。

図16-4 シリアルI/Oクロック選択レジスタの構成



16.2.4 クロック・カウンタおよびスタート/ストップ検出ブロック

クロック・カウンタはクロックの立ち上がりを計数するラップ・アラウンド・カウンタです。

クロック・カウンタは、クロック用端子の状態を直接読み込むため、内部クロックであるのか外部クロックであるのかは判断できません。

クロック・カウンタの内容は、シリアルI/O状態検出レジスタのSIO0SF8フラグおよびSIO0SF9フラグを介して検出することができますが、直接プログラムで内容を読み込むことはできません。

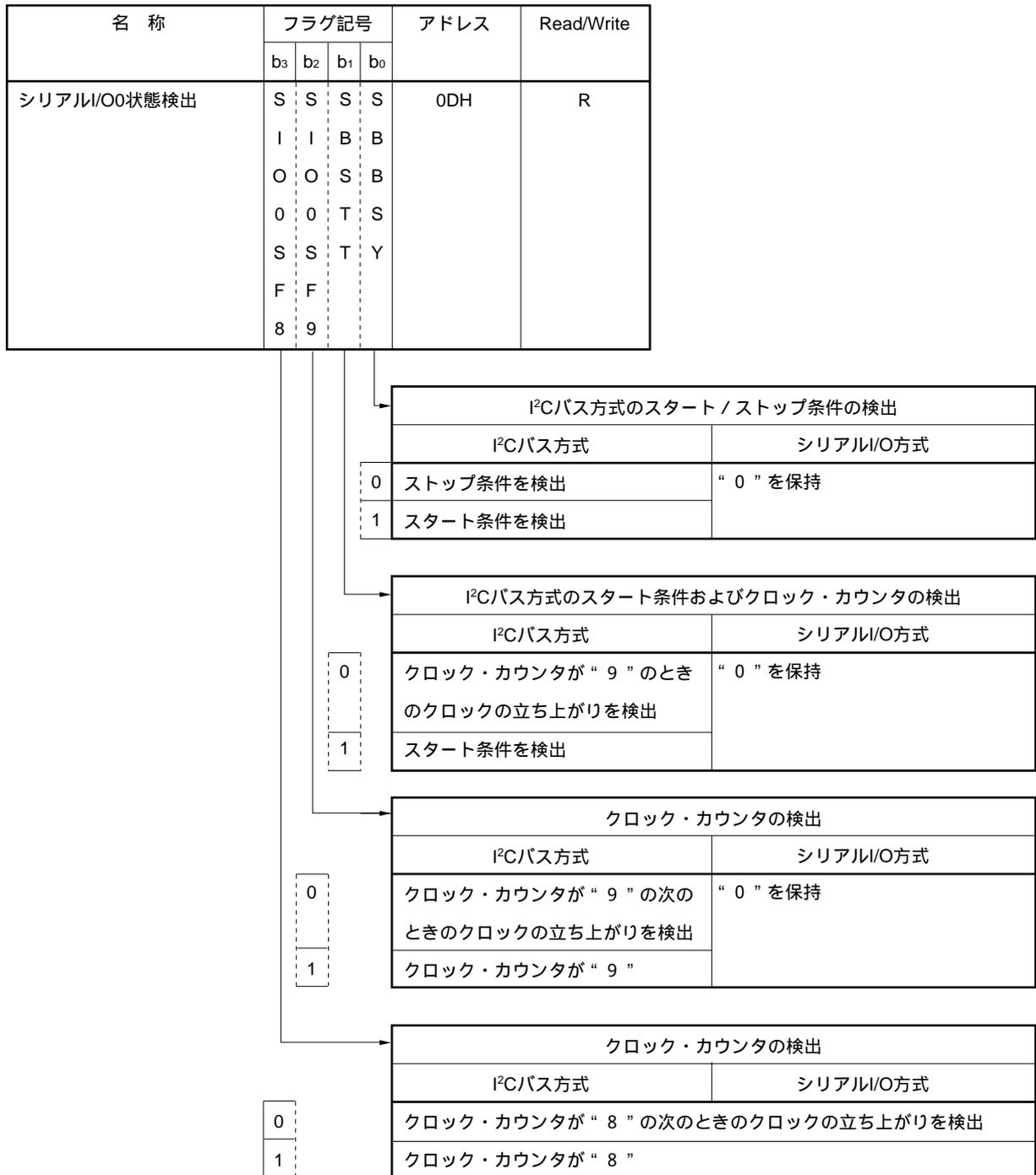
スタート/ストップ検出ブロックは、I²Cバス方式使用時のスタート条件およびストップ条件を検出します。

スタート条件およびストップ条件は、シリアルI/O状態検出レジスタのSBSTTフラグおよびSBBSYフラグにより検出します。

図16 - 5 にシリアルI/O状態検出レジスタの構成を示します。

クロック・カウンタの動作およびタイミング・チャートについては各通信方式の項を参照してください。

図16 - 5 シリアル/OO状態検出レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	0	0	0	0
クロック・ストップ時		0	0	0	0

16.2.5 プリセッタブル・シフト・レジスタ0

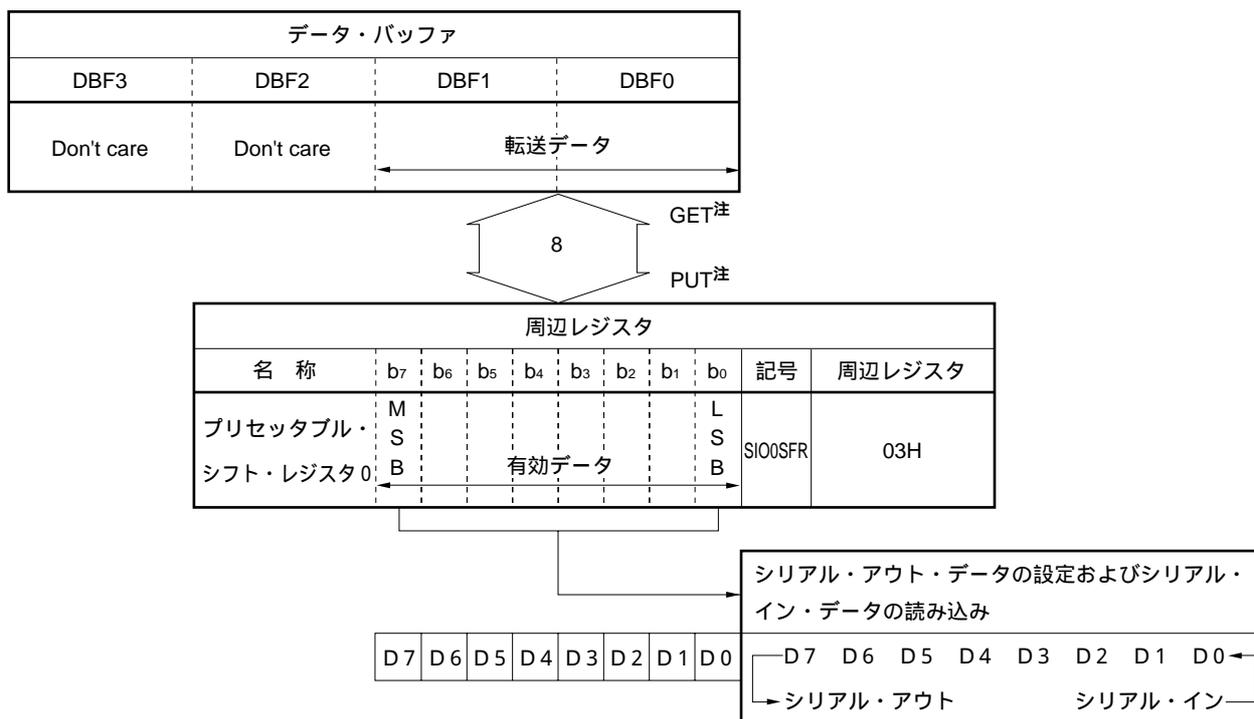
プリセッタブル・シフト・レジスタ0は、シリアル・アウト・データの書き込みおよびシリアル・イン・データの読み込みを行うための8ビットのシフト・レジスタです。

プリセッタブル・シフト・レジスタ0は、データ・バッファを介してデータの書き込みおよび読み出しを行います。

プリセッタブル・シフト・レジスタ0は、シリアル・データ入出力端子から、シフト・クロックの立ち下がりに同期して最上位ビット（MSB）の内容を出力（送信動作時）し、シフト・クロックの立ち上がりに同期してデータを最下位ビット（LSB）に読み込みます。

図16 - 6 にプリセッタブル・シフト・レジスタ0の構成を示します。

図16 - 6 プリセッタブル・シフト・レジスタ0の構成



注 シリアル通信中にPUTまたはGET命令を実行するとデータが破壊される場合があります。詳しくは16.2.10 データ設定時およびデータ読み込み時の注意を参照してください。

16.2.6 ウェイト制御ブロックおよびアクノリッジ制御ブロック

ウェイト制御ブロックは通信の休止（ウェイト）およびその解除を制御します。

ウェイトする条件はSIO0WRQ0, 1 フラグ（シリアルI/O0ウェイト・コントロール・レジスタのビット0, 1）により設定します。

SIO0NWTフラグ（シリアルI/O0ウェイト・コントロール・レジスタのビット2）をセット（ウェイト解除）することにより、シリアル通信がスタートします。

通信状態はSIO0NWTフラグにより検出できます。

ウェイト解除中にSIO0NWTフラグに“0”を書き込むとウェイト状態になります。これを強制ウェイトと呼びます。

アクノリッジ制御ブロックは、I²Cバス方式時の応答信号の出力および検出を行います。

アクノリッジの設定および読み込みは、SBACKフラグ（シリアルI/O0ウェイト・コントロール・レジスタのビット3）により行います。

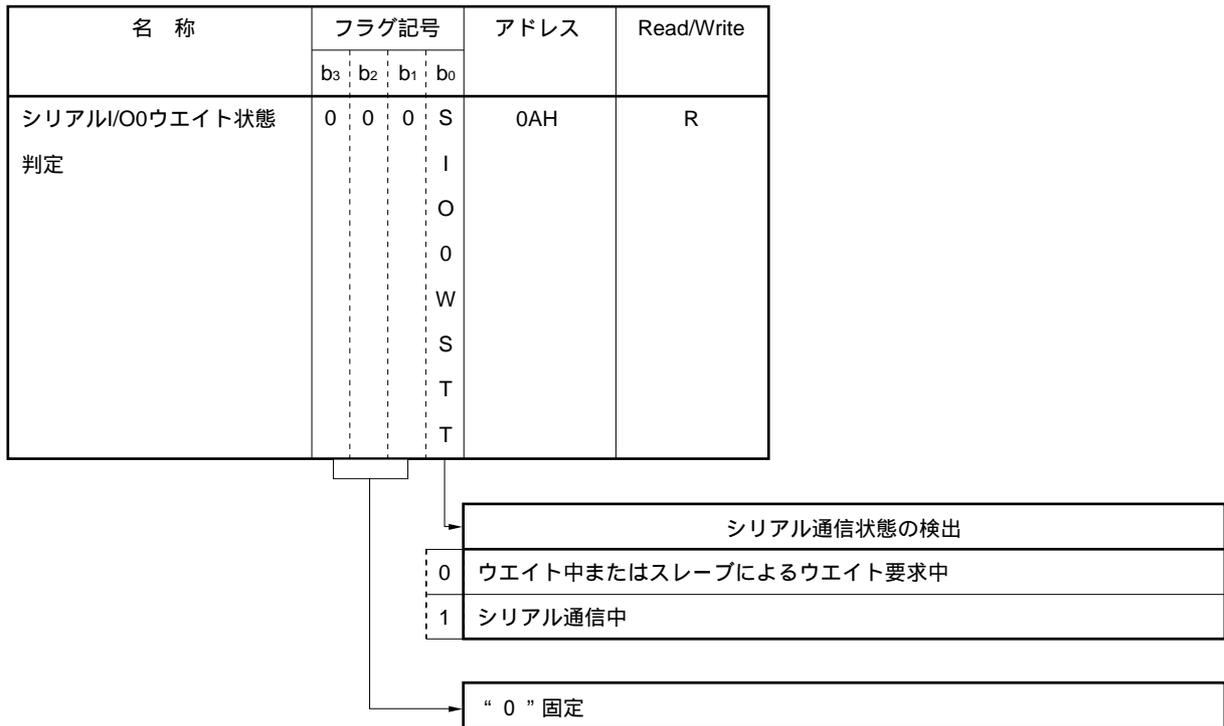
図16 - 7 にシリアルI/O0ウェイト・コントロール・レジスタの構成を示します。

また、図16 - 8 にシリアルI/O0ウェイト状態判定レジスタの構成を示します。

図16 - 7 シリアルI/O0ウェイト・コントロール・レジスタの構成



図16 - 8 シリアル/O0ウェイト状態判定レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット				0
	CEリセット				0
	クロック・ストップ時	↓	↓	↓	0

注意 マスタ動作時にスレーブがウェイト要求を出力すると、SIO0WSTTフラグは“ 0 ”が検出されます。SIO0NWTフラグは1の状態を保持します。

16.2.7 割り込み制御ブロック

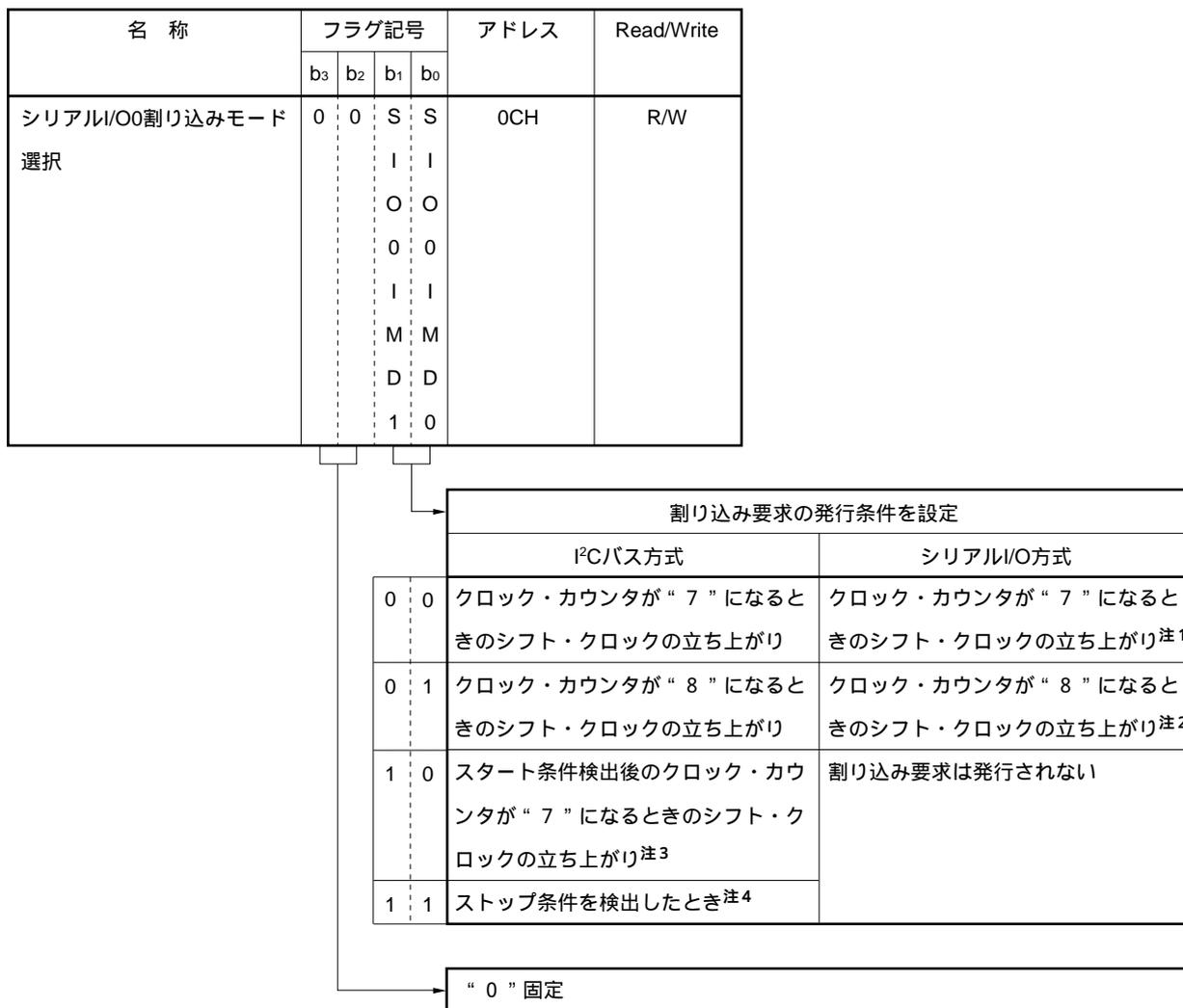
割り込み制御ブロックは、シリアルI/O割り込みモード選択レジスタにより割り込み要求を発行する条件を設定します。

割り込み要求発行条件が成立するとIRQSIO0フラグをセットします。

割り込み発行条件の変更はウエイト動作中に行ってください。ウエイト解除中に行うと、変更した時点で割り込み要求が発行される可能性があります。

図16 - 9 にシリアルI/O割り込みモード選択レジスタの構成を示します。

図16 - 9 シリアルI/O割り込みモード選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット			0	0
	CEリセット			0	0
	クロック・ストップ時	↓	↓	0	0

- 注1 . クロック・カウンタが“ 7 ”のときにこのモードに設定すると、割り込み要求が発行されます。
- 2 . クロック・カウンタが“ 8 ”のときにこのモードに設定すると、割り込み要求が発行されます。
- 3 . SBSTTフラグ = 1 でクロック・カウンタが“ 7 ”のときにこのモードに設定すると、割り込み要求が発行され
ます。
- 4 . ストップ条件発行後にこのモードに設定すると、割り込み要求が発行されます。

16.2.8 I²Cバス方式

(1) I²Cバス方式概要

I²Cバス方式はSCL端子およびSDA端子の2線式で通信を行います。

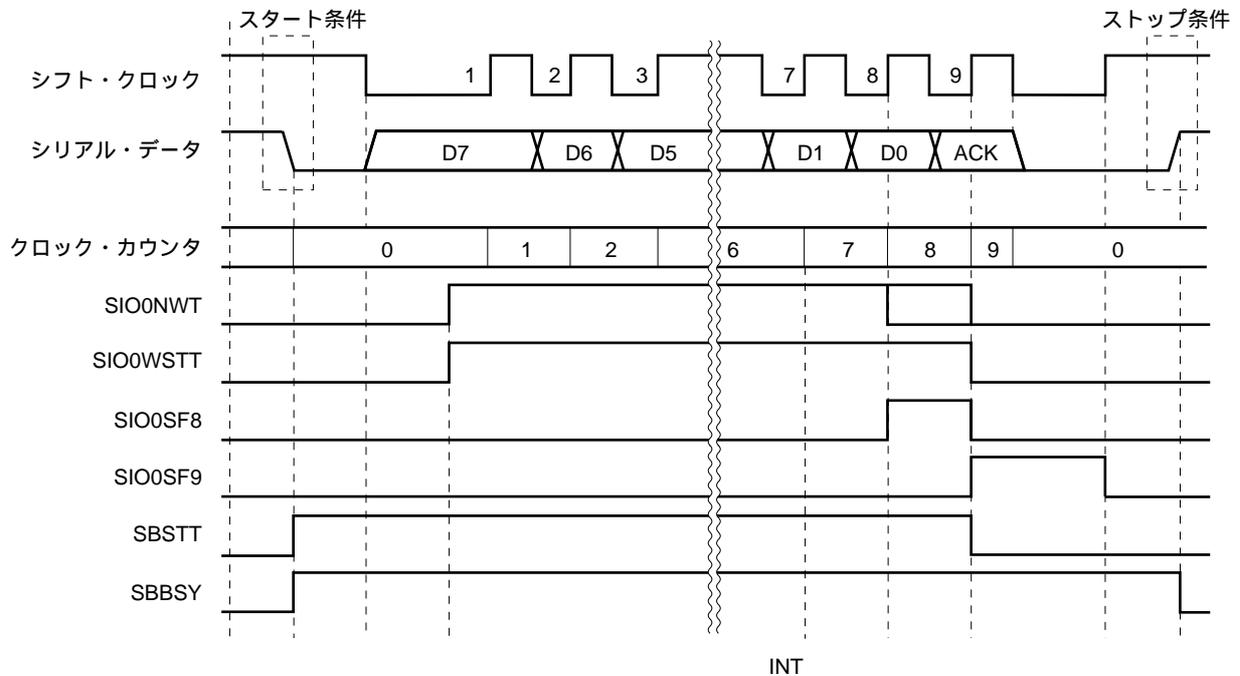
I²Cバス方式の特徴は次のとおりです。

- ・スタート/ストップ条件および9クロック目のアクノリッジによる通信の制御が可能。
- ・N-chオープン・ドレイン端子を使用してクロックを外部でロウ・レベルに固定することにより、通信のウェイトが可能。

(2) タイミング・チャート

図16 - 10にタイミング・チャートを示します。

図16 - 10 I²Cバス方式時のタイミング・チャート



初期状態 (汎用入力ポート)

汎用入出力ポートによるスタート条件生成

マスタの送信状態設定

ウェイト解除

データ・ウェイト設定時のウェイト・タイミング

アクノリッジ・ウェイト設定時のウェイト・タイミング

汎用入出力ポートに設定 (シリアル動作モードの解除)

汎用入出力ポートによるストップ条件生成

スタート条件検出後、最初のクロック・カウンタ7で割り込み要求発行

クロック・カウンタ7で割り込み要求発行

クロック・カウンタ8で割り込み要求発行

ストップ条件検出後、割り込み要求発行

(3) クロック・カウンタの動作

クロック・カウンタの初期値は“0”で、以後クロック用端子の立ち上がりを検出されるごとにインクリメントされます。

I²Cバス選択時は“9”までカウントされると、次は“0”に戻りカウントを続けます。

シリアル/I/O選択時は“8”までカウントされると、次は“0”に戻りカウントを続けます。

次の場合にもクロック・カウンタはリセットされます。

- ・リセット時（パワーオン・リセット，WDT & SPリセット，CEリセット）
- ・クロック・ストップ命令実行時
- ・スタート条件を検出したとき
- ・通信方式がI²Cバス方式から2線式および3線式シリアル/I/O方式に切り替えられたとき

(4) ウェイト動作と注意

ウェイトが解除されると解除された時点でシリアル・データを出力し（送信動作時），SIO0WRQ0, 1フラグで設定された条件が成立するまでウェイト解除状態になります。

ウェイト条件が成立すると、シフト・クロック端子をロウ・レベルにしてクロック・カウンタおよびプリセットアップル・シフト・レジスタ0の動作を停止します。

ウェイト解除中に強制ウェイトを行うと、SIO0NWTフラグに“0”が書き込まれた次のクロックの立ち下がり で強制ウェイト状態になります。

ウェイト解除中に再度ウェイト解除を行っても何も変化しません。

ウェイト中に強制ウェイトを行うとシフト・クロックが1パルス出力されてしまうため注意してください。

I²Cバス方式時はデータ・ウェイト条件（SIO0WRQ0 = 1, SIO0WRQ1 = 0）を続けて設定しないでください。これは、データ・ウェイト条件を続けて2回設定してウェイト解除を行うと、2回目のウェイト解除時に即座にウェイト状態になってしまうためです。

マスタ動作時で、シフト・クロック出力端子からハイ・レベルを出力中に、外部で強制的にロウ・レベルになると（スレーブのウェイト要求と呼ぶ）、マスタはウェイト状態になります。

このときは、スレーブによるウェイト要求が解除された時点で動作を再開します。

(5) 割り込み要求発行タイミング

SIO0IMD0, 1フラグにより、割り込み要求発行タイミングを選択できます。

(6) アクノリッジ・ブロックとその動作

アクノリッジ・ブロックはI²Cバス方式時のみ動作します。

受信動作時の応答信号（アクノリッジ）の出力および送信動作時の応答信号の検出に使用します。

受信動作時は、クロック・カウンタが“8”のときのシフト・クロックの立ち下がり でSBACKフラグの内容をシリアル・データ端子に出力します。

受信動作時は、一度SBACKフラグにデータを設定すれば、以後その値を保持します。

送信動作時は、クロック・カウンタが“9”になるときのシフト・クロックの立ち上がり でシリアル・データ端子の状態をSBACKフラグに読み込みます。

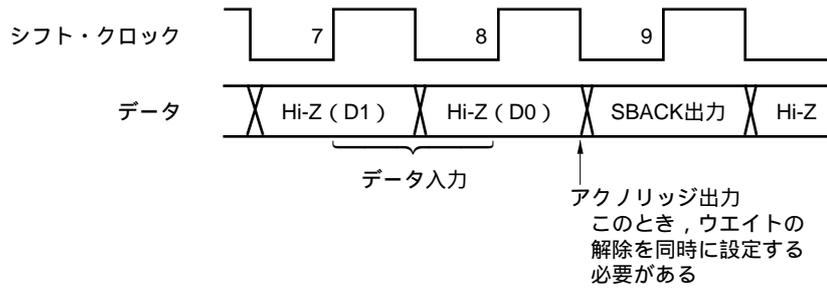
図16 - 11にアクノリッジの出力動作および入力動作を示します。

受信動作時のアクノリッジの設定（SBACKフラグの設定）は、ウェイトの解除（SIO0NWTフラグの設定）と同時に行ってください。

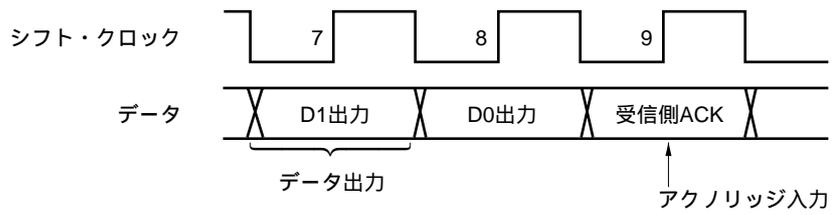
これは、SBACKフラグのみを設定しても、SIO0NWTフラグは同一アドレスのレジスタであるため結果としてSIO0NWTフラグも設定することになり、このときウエイト中であればウエイト中のウエイト解除を行うことになり、シフトクロックを1パルス出力してしまうためです。

図16 - 11 アクノリッジの出力動作および入力動作

(a) 受信動作時



(b) 送信動作時



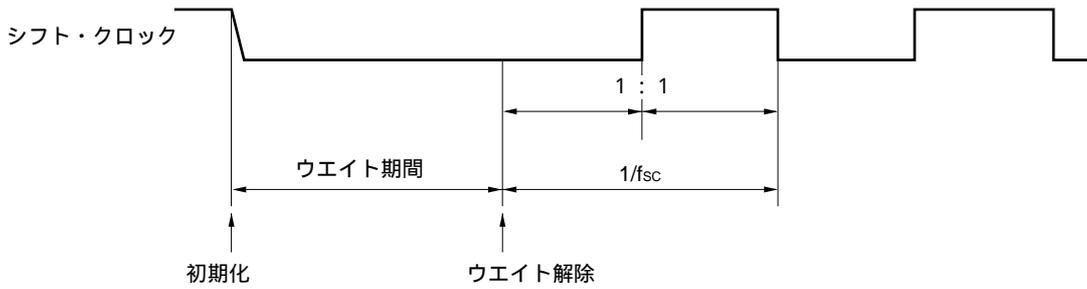
(7) I²Cバス方式時のシフト・クロック生成タイミング

(a) 初期状態からのウェイト解除時

初期状態とは、I²Cバス方式のマスタ動作を選択した時点を示します。

ウェイト状態中は、シフト・クロック端子にロウ・レベルを出力します。

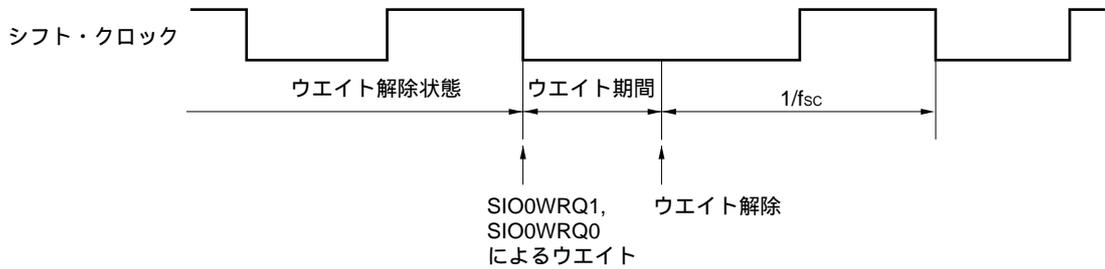
図16 - 12 I²Cバス方式時のシフト・クロック生成タイミング (1/5)



(b) ウェイト動作を行ったとき

SIO0WRQ0およびSIO0WRQ1フラグの条件でウェイトしたとき (通常動作)

図16 - 12 I²Cバス方式時のシフト・クロック生成タイミング (2/5)



ウェイト中に強制ウェイトしたとき

何も変化しません。

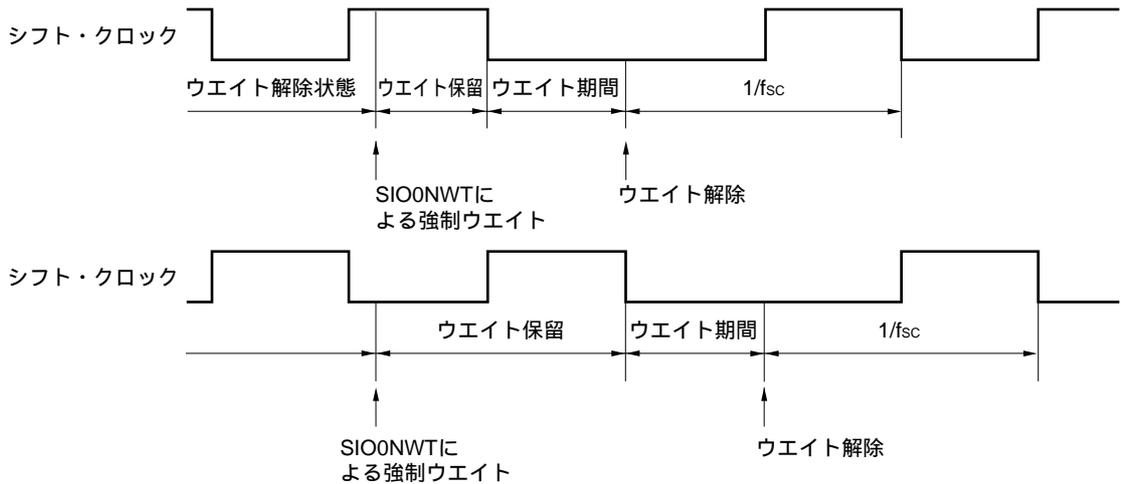
ウェイト解除中に強制ウェイトしたとき

このときは強制ウェイトが行われた次のクロックの立ち下がり（フールタイム）でウェイト状態になります。

ただし、強制ウェイトが行われた時点でクロック・カウンタおよびプリセッタブル・シフト・レジスタ0は動作を停止します。

また、クロック端子がロウ・レベルのときに強制ウェイトを行うと、クロック・カウンタ、プリセッタブル・シフト・レジスタ0が1パルス分動作してしまいます。このとき内部クロック・カウンタとシフト・レジスタは動作しないため、再度ウェイトを解除しても通信が正常に動作しないため注意が必要です。

図16 - 12 I²Cバス方式時のシフト・クロック生成タイミング (3/5)



ウェイト解除中にウェイト解除したとき

何も変化しません。

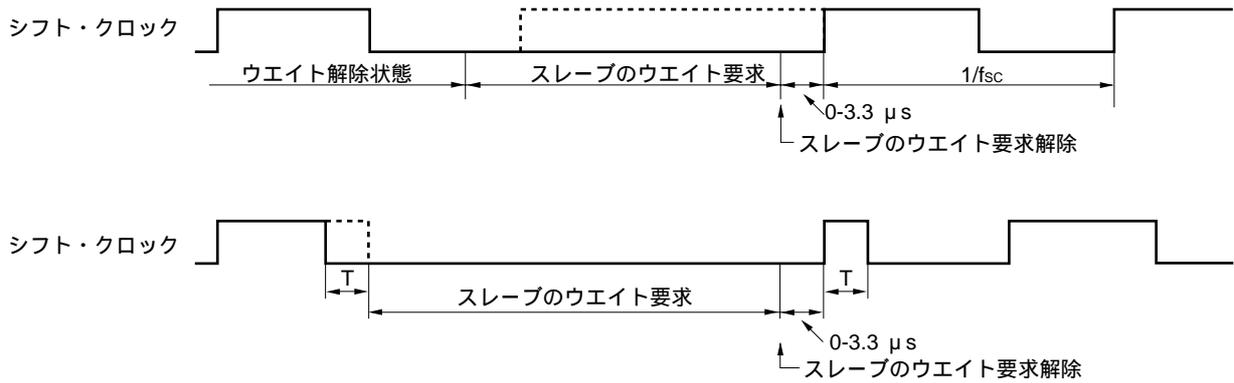
ウェイト解除中にスレーブによるウェイト要求があったとき

このときは、スレーブのウェイト要求が解除された後、0-3.3 μs後にクロックを出力します。

図中のTの値は次のようになります。

fsc	T
93.75 kHz	666 ns
375.00 kHz	222 ns
281.25 kHz	222 ns
46.875 kHz	666 ns

図16 - 12 I²Cバス方式時のシフト・クロック生成タイミング (4/5)

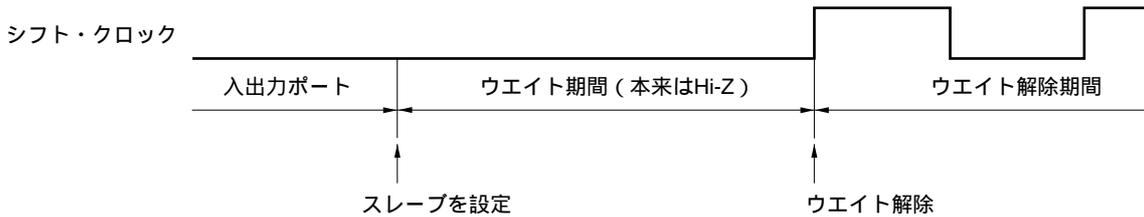


(c) スレープ (外部クロック) 動作時

電源電圧 V_{DD} 投入後、最初のスレープ動作設定時はSCL端子が外部クロック入力待ちとなり、出力がハイ・インピーダンスになります。

このとき、SCL端子が外部でロウ・レベルになっていると、次にウェイトを解除するまでロウ・レベルを出力したままになります。

図16 - 12 I²Cバス方式時のシフト・クロック生成タイミング (5/5)



(8) スタート、ストップ条件およびSBSTT, SBBSYフラグの動作

スタート条件、ストップ条件の取り込みタイミングは図16 - 13のようになります。

SBSTTおよびSBBSYフラグは、I²Cバス方式使用時のみ動作します。

これらのフラグを検出することにより、他局の交信状態を検出することができます。

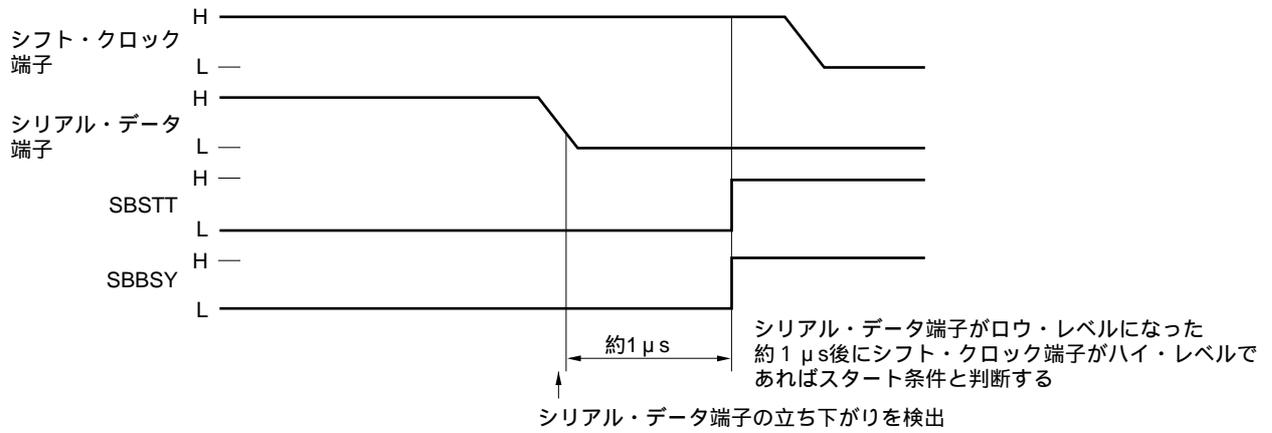
また、これらのフラグはマスタ、スレープ、受信、送信、ウェイト中、ウェイト解除中に関係なく動作します。

シリアルI/O方式時は“0”を保持します。

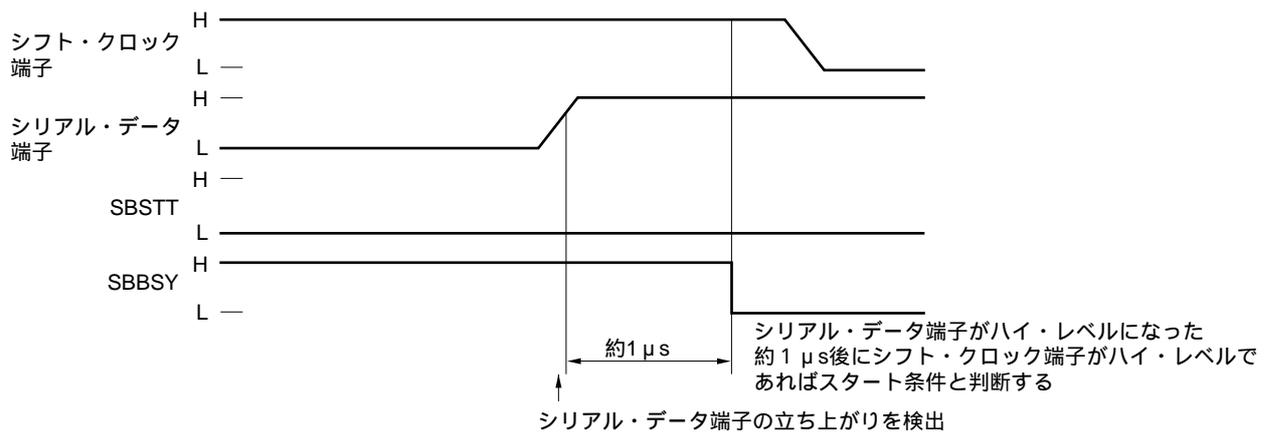
SBSTTおよびSBBSYフラグの動作については、図16 - 10 I²Cバス方式時のタイミング・チャートを参照してください。

図16 - 13 スタート/ストップ条件の取り込みタイミング

(a) スタート条件の取り込みタイミング



(b) ストップ条件の取り込みタイミング



16.2.9 シリアルI/O方式

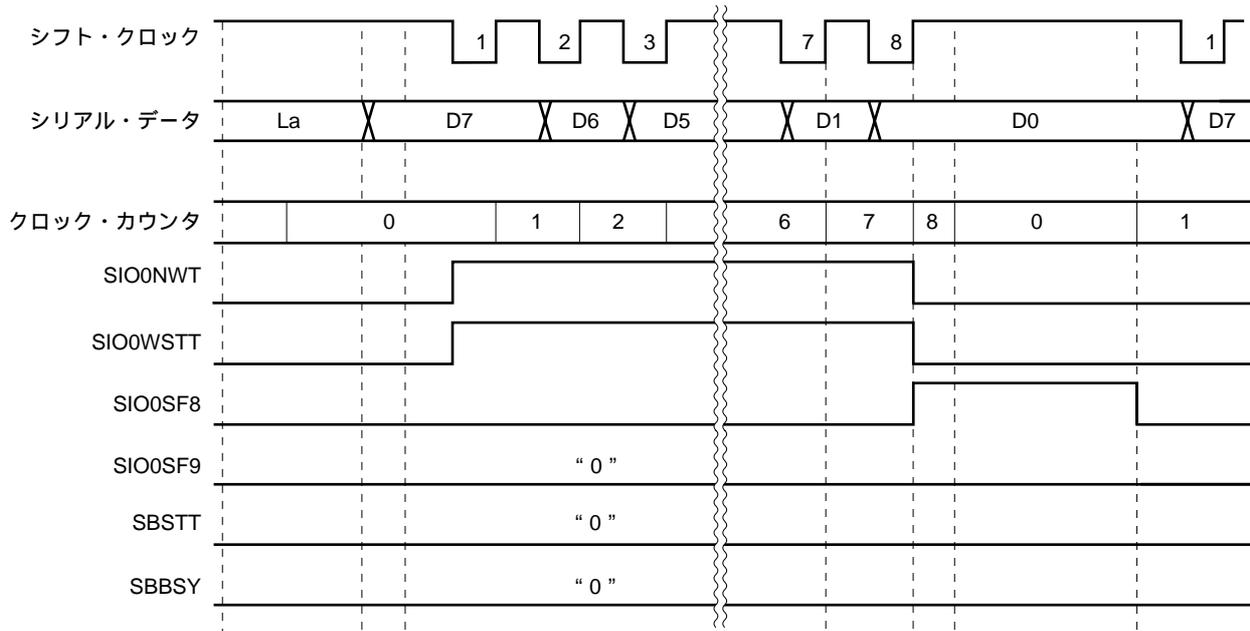
(1) シリアルI/O方式概要

シリアルI/O方式はSCL, SDA端子の2線式またはSCK0, SO0, SIO端子の3線式で通信を行います。

(2) タイミング・チャート

図16 - 14にシリアルI/O方式時のタイミング・チャートを示します。

図16 - 14 シリアルI/O方式時のタイミング・チャート



初期状態 (汎用入力ポート)

マスタの送信状態設定

ウェイト解除

データ・ウェイト設定時のウェイト・タイミング

再度のウェイト解除

クロック・カウンタ7で割り込み要求発行

クロック・カウンタ8で割り込み要求発行

(3) クロック・カウンタの動作

クロック・カウンタの初期値は“0”で、以後クロック用端子の立ち上がりが検出されるごとにインクリメントされます。“8”までカウントされると、次は“0”に戻りカウントを続けます。

次の場合にもクロック・カウンタはリセットされます。

- ・リセット時(パワーオン・リセット, WDT & SPリセット, CEリセット)
- ・クロック・ストップ命令実行時
- ・シリアルI/O0ウェイト・コントロール・レジスタにデータの書き込み動作が行われたとき
- ・通信方式が2線式または3線式シリアルI/O方式からI²Cバス方式に切り替えられたとき

(4) ウェイト動作と注意

ウェイトが解除されると次のクロックの立ち下がりですerial・データを出力し(送信動作時), SIO0WRQ0, 1フラグで設定された条件が成立するまでウェイト解除状態になります。

ウェイト条件が成立すると、シフト・クロック端子をハイ・レベルにしてクロック・カウンタおよびプリセッタブル・シフト・レジスタ0の動作を停止します。

ウェイト解除中であつシフト・クロック端子がハイ・レベルの期間に、プリセッタブル・シフト・レジスタ0の読み込みを行うと正しく読み込めないため注意してください。

ウェイト解除中であつシフト・クロック端子がロウ・レベルの期間に、プリセッタブル・シフト・レジスタ0のデータ書き込みを行うと、正しいデータが設定されないので注意してください。

ウェイト解除中に強制ウェイトを行うと、SIO0NWTフラグに“0”が書き込まれた時点で即座にウェイト状態になります。

ウェイト解除中に再度ウェイト解除を行ってもクロック出力波形は変化しません。ただし、クロック・カウンタがリセットされるため注意してください。

(5) 割り込み要求発行タイミング

SIO0IMD0, 1フラグにより、割り込み要求発行タイミングを選択できます。

16.2.7 割り込み制御ブロックを参照してください。

(6) アクノリッジ・ブロックとその動作

アクノリッジ・ブロックはI²Cバス方式時のみ動作します。

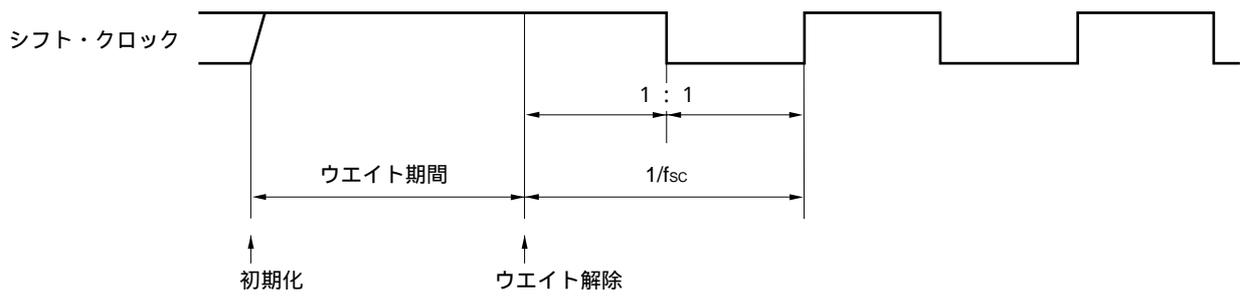
(7) シリアルI/O方式時のシフト・クロック生成タイミング

(a) 初期状態からのウェイト解除時

初期状態とは、シリアルI/O方式の内部クロック動作を選択した時点を示します。

ウェイト状態中は、シフト・クロック端子にハイ・レベルを出力します。

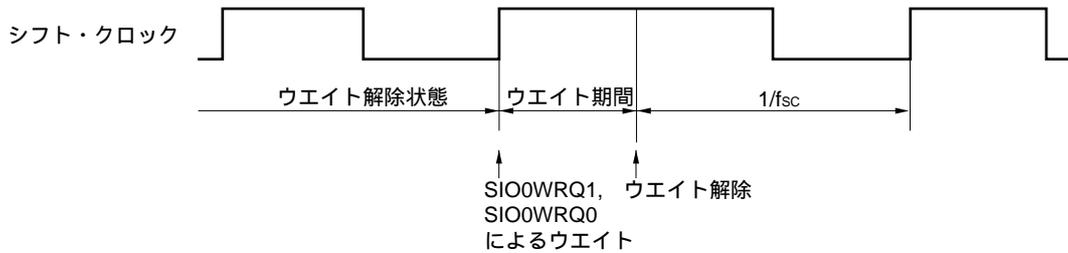
図16 - 15 シリアルI/O方式時のシフト・クロック生成タイミング (1/4)



(b) ウェイト動作を行ったとき

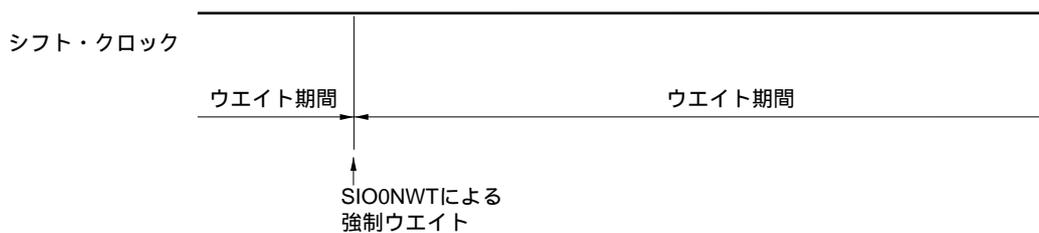
SIO0WRQ0およびSIO0WRQ1フラグの条件でウェイトしたとき (通常動作)

図16 - 15 シリアルI/O方式時のシフト・クロック生成タイミング (2/4)



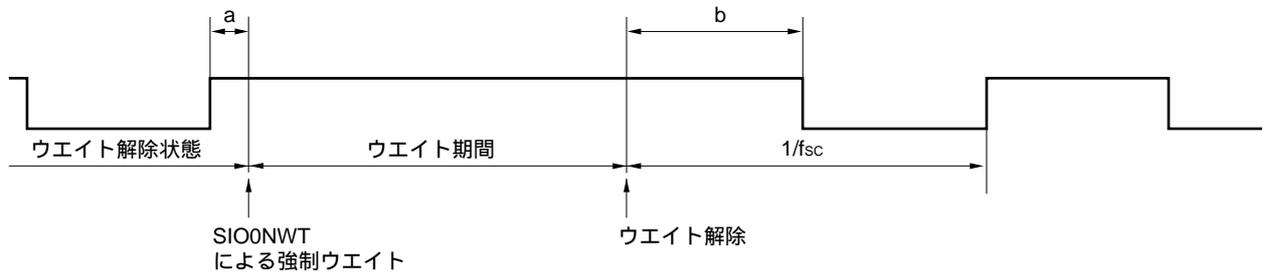
ウェイト中に強制ウェイトしたとき

図16 - 15 シリアルI/O方式時のシフト・クロック生成タイミング (3/4)

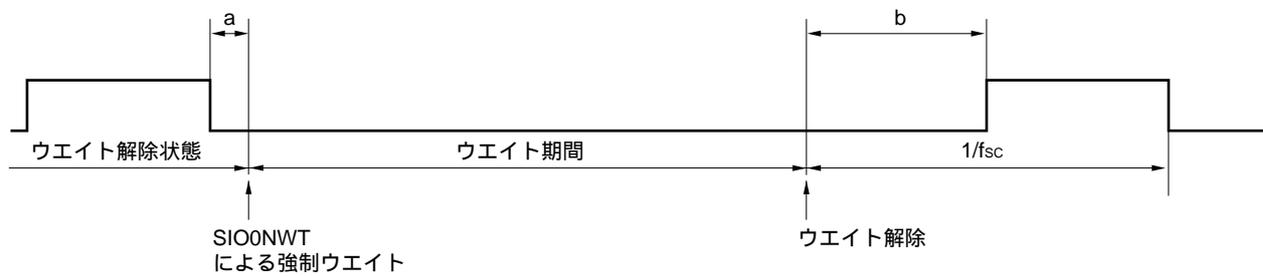


ウェイト解除中に強制ウェイトしたとき

図16 - 15 シリアルI/O方式時のシフト・クロック生成タイミング (4/4)



$a + b = 1/2f_{sc}$



$a + b = 1/2f_{sc}$

ウェイト解除中にウェイト解除したとき

クロック出力波形は変化しません。ただし、クロック・カウンタがリセットされるため注意してください。

(8) SBSTTおよびSBBSYフラグの動作

SBSTTおよびSBBSYフラグは、I²Cバス方式時のみ動作します。

シリアルI/O方式時は“ 0 ”を保持します。

16.2.10 データ設定時およびデータ読み込み時の注意

プリセッタブル・シフト・レジスタ 0 へのデータの設定は “ PUT SIO0SFR, DBF ” 命令で行います。

また、データの読み込みは “ GET DBF, SIO0SFR ” 命令で行います。

データの設定およびデータの読み込みは、ウエイト状態中に行ってください。ウエイト解除状態中はシフト・クロック端子の状態により正しくデータの設定および読み込みができない場合があります。

次にデータの設定および読み込みのタイミングと注意を示します。

表16 - 3 プリセッタブル・シフト・レジスタ 0 のデータ読み込みおよびデータ書き込み動作と注意

PUT/GET 実行時の状態		シフト・クロック 端子の状態	I ² Cバス方式	シリアルI/O方式
ウエイト 状態	読み込み時 (GET)	・I ² Cバス方式 ロウ固定	正常読み込み	正常読み込み
	書き込み時 (PUT)	・シリアルI/O方式 ハイ固定	正常書き込み データの出力は次にウエイトが解除された時点でMSBの内容を出力する(送信動作時)	正常書き込み データの出力は次にウエイトが解除されてシフト・クロック端子が立ち下がったときにMSBの内容を出力する(送信動作時)
			<p>クロック H — L — データ 1 — 0 — X MSB</p> <p>↑ PUT SIO0SFR, DBF ↑ ウエイト解除</p>	<p>クロック H — L — データ 1 — 0 — X MSB</p> <p>↑ PUT SIO0SFR, DBF ↑ ウエイト解除</p>
ウエイト 解除 状態	読み込み時 (GET)	ハイ・レベル	正常に読み込めない SIO0SFRの内容が破壊される	正常に読み込めない SIO0SFRの内容が破壊される
		ロウ・レベル	正常読み込み	正常読み込み
	書き込み時 (PUT)	ハイ・レベル	正常書き込み データの出力はPUT命令を実行した次のクロックの立ち下がりでMSBの内容を出力する クロック・カウンタはリセットされない	正常書き込み データの出力はPUT命令を実行した時点でMSBの内容を出力する クロック・カウンタはリセットされない
			<p>クロック H — L — データ 1 — 0 — X MSB</p> <p>↑ PUT SIO0SFR, DBF</p>	<p>クロック H — L — データ 1 — 0 — X MSB</p> <p>↑ PUT SIO0SFR, DBF</p>
		ロウ・レベル	正常に書き込めない SIO0SFRの内容が破壊される	正常に書き込めない SIO0SFRの内容が破壊される

16.2.11 シリアル・インタフェース0の動作

表16 - 4 ~ 16 - 6 に各通信方式における動作の概要を示します。

表16 - 4 I²Cバス方式動作概要

動作モード		I ² Cバス方式			
		スレーブ動作 (SIO0MS = 0)		マスタ動作 (SIO0MS = 1)	
		受信 (SIO0TX = 0)	送信 (SIO0TX = 1)	受信 (SIO0TX = 0)	送信 (SIO0TX = 1)
各端子の状態	SDA/P0A3	P0ABIO3 = 0のとき フローティング 外部データ入力待ち P0ABIO3 = 1のとき 汎用出力ポート 出力ラッチの内容を出力	P0ABIO3に関係なく外部クロックの立ち下がりでSIO0SFRの内容を出力	P0ABIO3 = 0のとき フローティング 外部データ入力待ち P0ABIO3 = 1のとき 汎用出力ポート 出力ラッチの内容を出力	P0ABIO3に関係なく内部クロックの立ち下がりでSIO0SFRの内容を出力
	SCL/P0A2	P0ABIO2 = 0のとき フローティング 外部クロック入力待ち P0ABIO2 = 1のとき 汎用出力ポート 出力ラッチの内容を出力		P0ABIO2に関係なく内部クロックを出力	
クロック・カウンタ		SCL端子の立ち上がりでインクリメント			
プリセットブル・シフト・レジスタ0の動作	出力	出力されない	SCL端子の立ち下がりにMSBからシフトして出力	出力されない	SCL端子の立ち下がりにMSBからシフトして出力
	入力	SCL端子の立ち上がりごとにLSBからシフトして入力			
ウエイト動作	ウエイト中	SCL, SDA端子はフローティング	SCL端子はフローティング SDA端子は状態保持	SCL端子からロウ・レベルを出力 SDA端子はフローティング	SCL端子からロウ・レベルを出力 SDA端子は状態保持
	ウエイト解除中	SCL端子はフローティング 外部クロック入力待ち SDA端子はフローティング 外部データ待ち	SCL端子はフローティング 外部クロック入力待ち SDA端子はSCL端子の立ち下がりごとにデータを出力	SCL端子から内部クロックを出力 SDA端子はフローティング 外部データ待ち	SCL端子から内部クロックを出力 SDA端子はSCL端子の立ち下がりごとにデータを出力
アクノリッジ		8クロック目の立ち下がりでACK出力	9クロック目の立ち上がりでACK取り込み	8クロック目の立ち下がりでACK出力	9クロック目の立ち上がりでACK取り込み

表16 - 5 2線式シリアルI/O方式動作概要

動作モード 項目		2線式シリアルI/O方式			
		スレーブ動作 (SIO0MS = 0)		マスタ動作 (SIO0MS = 1)	
		受信 (SIO0TX = 0)	送信 (SIO0TX = 1)	受信 (SIO0TX = 0)	送信 (SIO0TX = 1)
各端子の 状態	SDA/P0A3	P0ABIO3 = 0のとき フローティング 外部データ入力待ち P0ABIO3 = 1のとき 汎用出力ポート 出力ラッチの内容を出力	P0ABIO3に関係なく外 部クロックの立ち下がり でSIO0SFRの内容を出 力	P0ABIO3 = 0のとき フローティング 外部データ入力待ち P0ABIO3 = 1のとき 汎用出力ポート 出力ラッチの内容を出力	P0ABIO3に関係なく内 部クロックの立ち下がり でSIO0SFRの内容を出 力
	SCL/P0A2	P0ABIO2 = 0のとき フローティング 外部クロック入力待ち P0ABIO2 = 1のとき 汎用出力ポート 出力ラッチの内容を出力		P0ABIO2に関係なく内部クロックを出力	
クロック・カウンタ		SCL端子の立ち上がりでインクリメント			
プリセッタブル・ シフト・レジスタ 0の動作	出力	出力されない	SCL端子の立ち下がりご とにMSBからシフトし て出力	出力されない	SCL端子の立ち下がりご とにMSBからシフトし て出力
	入力	SCL端子の立ち上がりごとにLSBからシフトして入力			
ウェイト動作	ウェイト中	SCL端子はフローティング SDA端子はフローティング	SCL端子はフローティング SDA端子は状態保持	SCL端子からハイ・レベ ル出力 SDA端子はフローティング	SCL端子はハイ・レベル 出力 SDA端子は状態保持
	ウェイト解除中	SCL端子はフローティング 外部クロック入力待ち SDA端子はフローティング 外部データ待ち	SCL端子はフローティング 外部クロック入力待ち SDA端子はSCL端子の立ち 下がりごとにデータを出力	SCL端子から内部クロッ クを出力 SDA端子はフローティング 外部データ待ち	SCL端子から内部クロッ クを出力 SDA端子はSCL端子の立ち 下がりごとにデータを出力

表16 - 6 3線式シリアルI/O方式動作概要

動作モード 項目		3線式シリアルI/O方式			
		スレーブ動作 (SIO0MS = 0)		マスタ動作 (SIO0MS = 1)	
		受信 (SIO0TX = 0)	送信 (SIO0TX = 1)	受信 (SIO0TX = 0)	送信 (SIO0TX = 1)
各端子の 状態	SCK0/P0A1	P0ABIO1 = 0のとき フローティング 外部クロック入力待ち P0ABIO1 = 1のとき 汎用出力ポート 出力ラッチの内容を出力		P0ABIO1に関係なく内部クロックを出力	
	SO0/P0A0	P0ABIO0 = 0のとき 汎用入力ポート フローティング P0ABIO0 = 1のとき 汎用出力ポート 出力ラッチの内容を出力	P0ABIO0に関係なく外部クロックの立ち下がり でSIO0SFRの内容を出力	P0ABIO0 = 0のとき 汎用入力ポート フローティング P0ABIO0 = 1のとき 汎用出力ポート 出力ラッチの内容を出力	P0ABIO0に関係なく内部クロックの立ち下がり でSIO0SFRの内容を出力
	SI0/P0B3	P0BBIO3 = 0のとき フローティング 外部データ入力待ち P0BBIO3 = 1のとき 汎用出力ポート 出力ラッチの内容を出力			
クロック・カウンタ		SCK0端子の立ち上がりでインクリメント			
プリセットプル・シフト・レジスタ0の動作	出力	出力されない	SCK0端子の立ち下がりごとにMSBからシフトして出力	出力されない	SCK0端子の立ち下がりごとにMSBからシフトして出力
	入力	SCK0端子の立ち上がりごとにLSBからシフトして入力			
ウェイト動作	ウェイト中	SCK0端子はフローティング SO0端子は汎用ポート SI0端子はフローティング	SCK0端子はフローティング SO0端子は状態保持 SI0端子はフローティング	SCK0端子はハイ・レベル出力 SO0端子は汎用ポート SI0端子はフローティング	SCK0端子はハイ・レベル出力 SO0端子は状態保持 SI0端子はフローティング
	ウェイト解除中	SCK0端子はフローティング 外部クロック入力待ち SO0端子は汎用ポート SI0端子はフローティング 外部データ待ち	SCK0端子はフローティング 外部クロック入力待ち SO0端子はデータ出力 SI0端子はフローティング 外部データ待ち	SCK0端子から内部クロックを出力 SO0端子は汎用ポート SI0端子はフローティング 外部データ待ち	SCK0端子から内部クロックを出力 SO0端子はデータ出力 SI0端子はフローティング 外部データ待ち

16.2.12 シリアル・インタフェース0のリセット時の状態

(1) パワーオン・リセット時

各端子はすべて汎用入力ポートに設定されます。

プリセッタブル・シフト・レジスタ0の内容は不定になります。

(2) WDT & SPリセット時

各端子はすべて汎用入力ポートに設定されます。

プリセッタブル・シフト・レジスタ0の内容は不定になります。

(3) クロック・ストップ時

各端子はすべて汎用入出力ポートに設定され、入力/出力は以前の状態を保持します。

プリセッタブル・シフト・レジスタ0の内容は不定になります。

(4) CEリセット時

各端子はすべて汎用入出力ポートに設定され、入力/出力は以前の状態を保持します。

プリセッタブル・シフト・レジスタ0の内容は不定になります。

(5) ホールト時

各端子は設定されている状態を保持します。

内部クロックはHALT命令実行時の状態で出力を停止します。

外部クロックを使用している場合はHALT命令を実行しても動作を継続します。

プリセッタブル・シフト・レジスタ0の内容は以前の値を保持します。

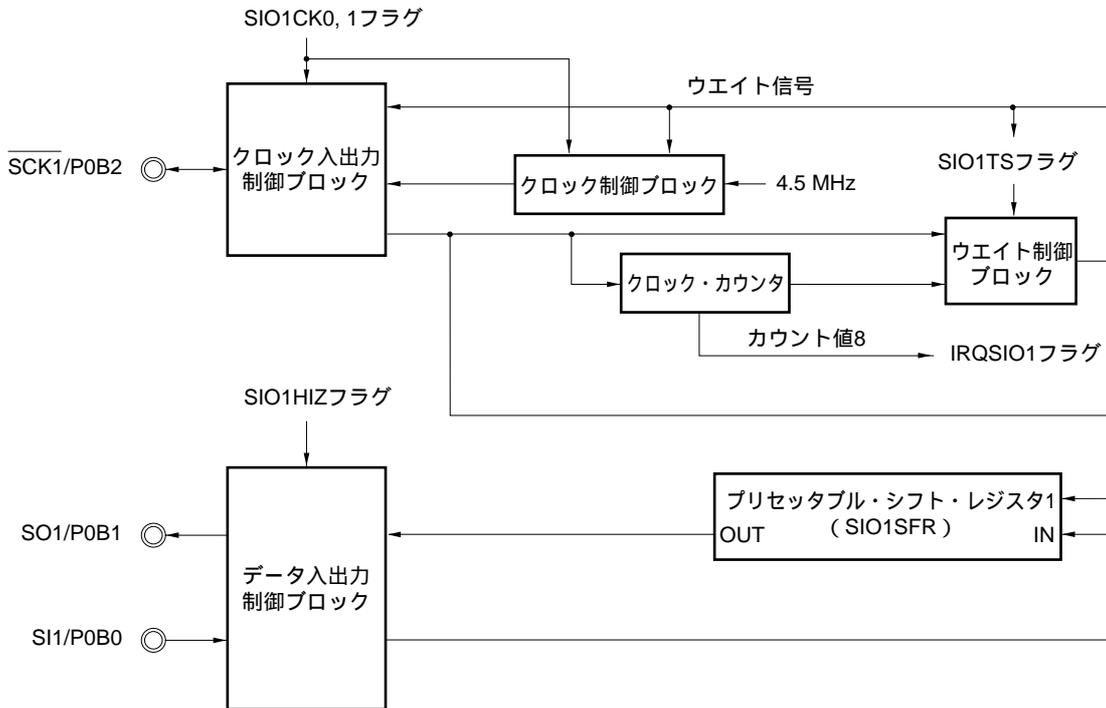
16.3 シリアル・インタフェース 1

16.3.1 シリアル・インタフェース 1 概要

図16 - 16にシリアル・インタフェース 1の概要を示します。

シリアル・インタフェース 1は、3線式のシリアルI/O方式で使します。

図16 - 16 シリアル・インタフェース 1 概要



- 備考 1 . SIO1CK1, SIO1CK0 (シリアルI/O1モード選択レジスタのビット 1 , ビット 0 : 図16 - 17参照)
 シフト・クロックを設定
- 2 . SIO1TS (シリアルI/O1モード選択レジスタのビット 3 : 図16 - 17参照)
 通信の動作開始 / 停止を設定
- 3 . SIO1HIZ (シリアルI/O1モード選択レジスタのビット 2 : 図16 - 17参照)
 SO1/P0B1端子の機能を設定

16.3.2 クロック入出力制御ブロックおよびデータ入出力制御ブロック

クロック入出力制御ブロックおよびデータ入出力制御ブロックは、シリアル・インタフェース 1 の送受信動作の制御およびシフト・クロックの選択を行います。

SIO1CK0, 1フラグにより、内部クロック (マスタ) および外部クロック (スレーブ) 動作を選択します。

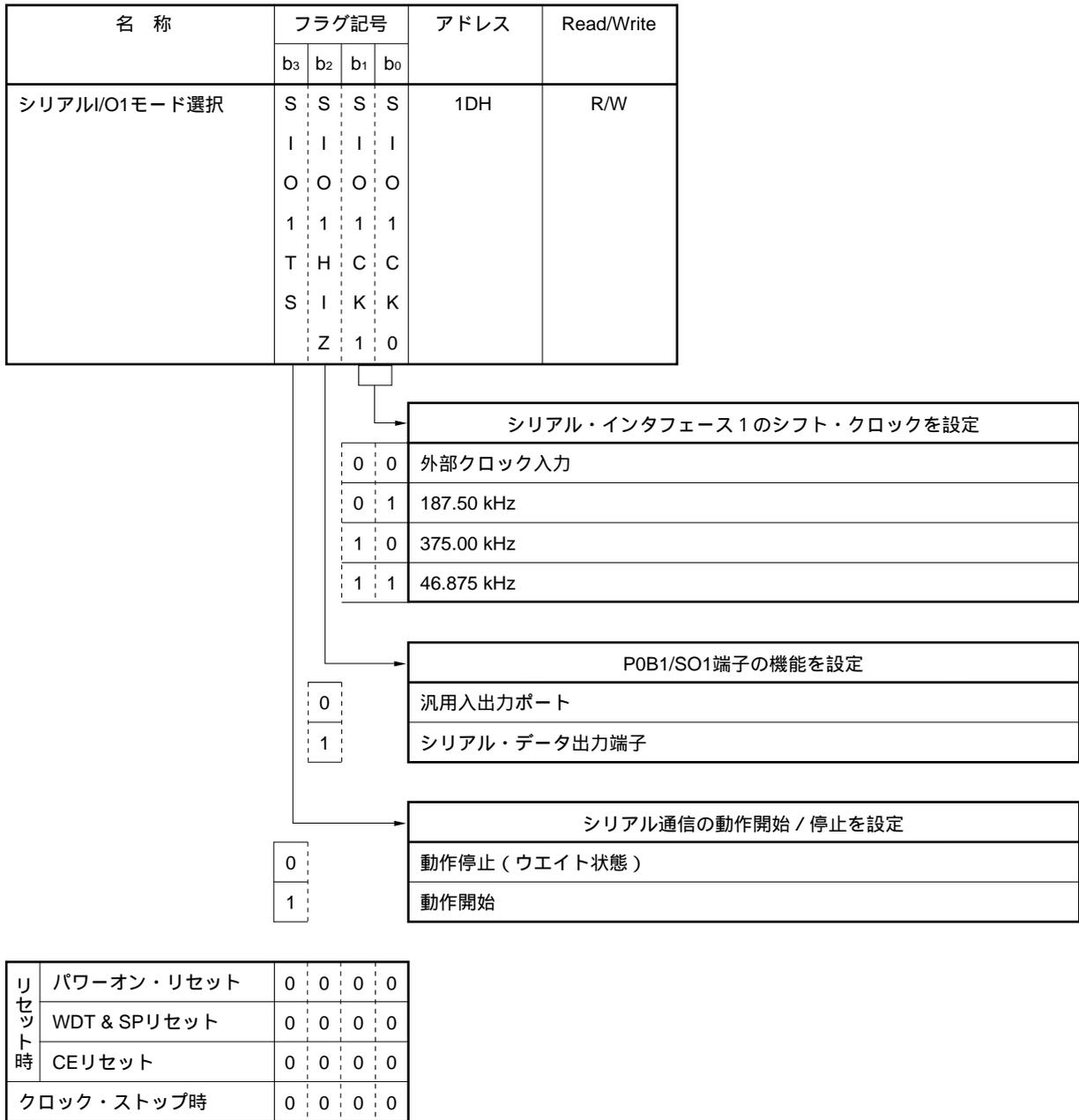
SIO1HIZフラグはSO1端子をシリアル・データ出力として使用するかを選択します。

クロック入出力制御ブロックおよびデータ入出力制御ブロックを制御するフラグはシリアルI/O1モード選択レジスタに配置されています。

図16 - 17にシリアルI/O1モード選択レジスタの構成と機能を示します。また、表16 - 7に各端子の設定状態を示します。

表16 - 7に示すように、各端子の設定にはシリアル・インタフェースの制御フラグのほかに、各端子の入出力設定フラグも操作する必要もあります。

図16 - 17 シリアル/O1モード選択レジスタの構成



16.3.3 クロック・カウンタ

クロック・カウンタはクロックの立ち上がりを計数するラップ・アラウンド・カウンタです。

クロック・カウンタは、クロック用端子の状態を直接読み込むため、内部クロックであるのか外部クロックであるのかは判断できません。

クロック・カウンタの内容は直接プログラムで内容を読み込むことはできません。

表16 - 7 各制御による各端子の設定状態

各フラグ				端 子					
通信方式	SIO1端子 設定	SIO1端子 設定	クロック設定	端子名	P0 PB B1 I1 O1 2	P0 B1 B1 I1 O1 1	P0 B1 B1 I1 O1 0	端子の設定状態	
3線式 シリアルI/O		0	0	外部クロック	SCK1/P0B2	0		ウエイト中 : 汎用入力ポート ウエイト解除中 : 外部クロック入力	
			0	1		内部クロック	1		ウエイト中 : 汎用出力ポート ウエイト解除中 : 汎用出力ポート
		1	0				0		汎用入力ポート
			1	1			1		ウエイト中 : ハイ・レベル出力 ウエイト解除中 : 内部クロック出力
	0	汎用ポート			SO1/P0B1	0		汎用入力ポート	
						1		汎用出力ポート	
	1	シリアル出力				0		汎用入力ポート	
						1		シリアル・データ出力	
					SI1/P0B0		0	シリアル・データ入力	
							1	汎用出力ポート	

16.3.4 プリセッタブル・シフト・レジスタ1

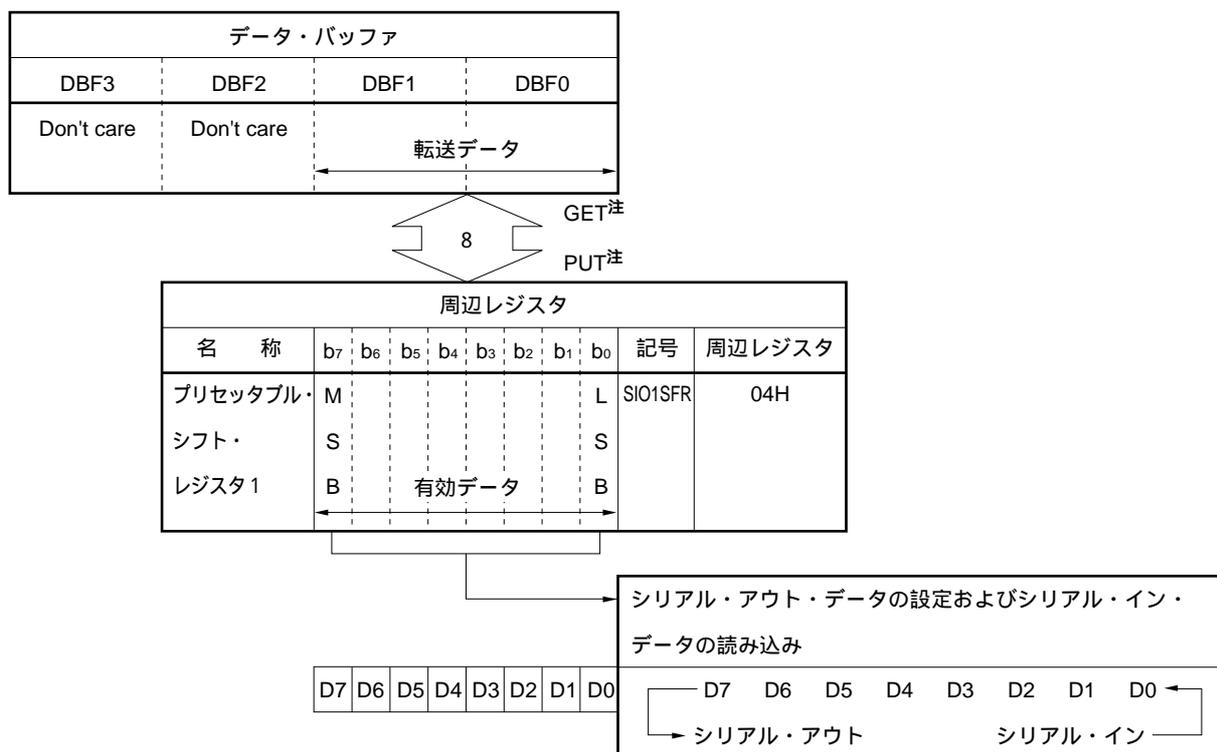
プリセッタブル・シフト・レジスタ1は、シリアル・アウト・データの書き込みおよびシリアル・イン・データの読み込みを行うための8ビットのシフト・レジスタです。

プリセッタブル・シフト・レジスタ1は、データ・バッファを介して書き込みおよび読み出しを行います。

プリセッタブル・シフト・レジスタ1は、シリアル・データ入出力端子から、シフト・クロックの立ち下がりに同期して最上位ビット（MSB）の内容を出力（送信動作時）し、シフト・クロックの立ち上がりに同期してデータを最下位ビット（LSB）に読み込みます。

図16-18にプリセッタブル・シフト・レジスタ1の構成を示します。

図16-18 プリセッタブル・シフト・レジスタ1の構成



注 シリアル通信中にPUTまたはGET命令を実行するとデータが破壊される場合があります。詳しくは16.3.7 データ設定時およびデータ読み込み時の注意を参照してください。

16.3.5 ウェイト制御ブロック

ウェイト制御ブロックは通信の休止（ウェイト）およびその解除を制御します。

シリアル/O1モード選択レジスタのSIO1TSフラグにウェイトの解除を設定することにより、シリアル通信がスタートします。

ウェイトが解除され、通信がスタートした8クロック後にウェイトします。

通信状態はSIO1TSフラグにより検出できます。つまり、SIO1TSフラグに“1”を設定したあとにSIO1TSフラグの状態を検出することにより、通信状態を検出できます。

ウェイト解除中にSIO1TSフラグに“0”を書き込むとウェイト状態になります。これを強制ウェイトと呼びます。

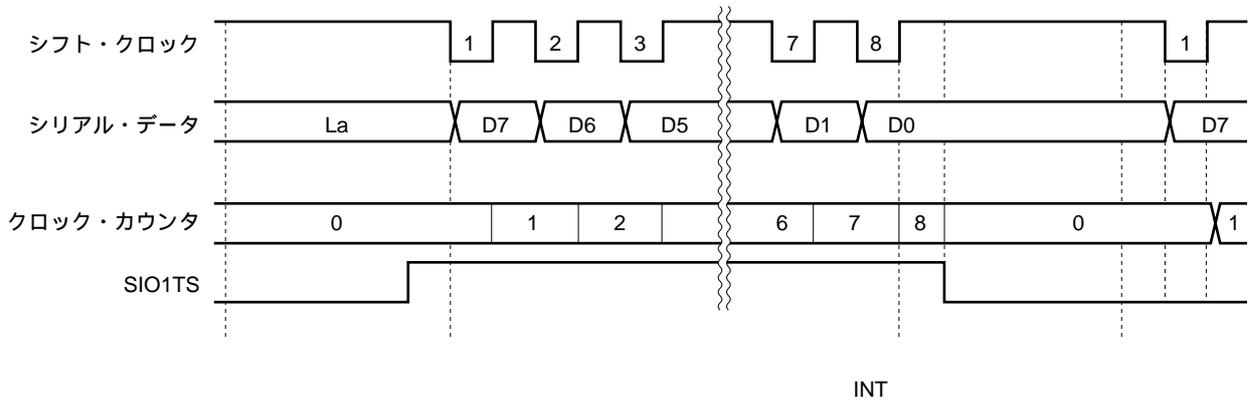
シリアル/O1モード選択レジスタの構成については図16-17を参照してください。

16.3.6 シリアル・インタフェース1の動作

(1) タイミング・チャート

図16 - 19にタイミング・チャートを示します。

図16 - 19 シリアル・インタフェース1のタイミング・チャート



- 初期状態 (汎用入力ポート)
- マスタの送信状態設定 / ウェイト解除
- ウェイト・タイミング
- 再度のウェイト解除
- 割り込み発行タイミング

(2) クロック・カウンタの動作

クロック・カウンタの初期値は“0”で、以後クロック用端子の立ち上がりが検出されるごとにインクリメントされます。“8”までカウントされると、次は“0”に戻りカウントを続けます。次の場合にもクロック・カウンタはリセットされます。

- ・リセット時 (パワーオン・リセット, WDT & SPリセット, CEリセット)
- ・クロック・ストップ命令実行時
- ・SIO1TSフラグに“0”が書き込まれたとき

(3) ウェイト動作と注意

ウェイトが解除されると次のクロックの立ち下がりでシリアル・データを出力し (送信動作時), 8クロックまでウェイト解除状態になります。

8クロック出力後は, シフト・クロック端子をハイ・レベルにしてクロック・カウンタおよびプリセッタブル・シフト・レジスタ1の動作を停止します。

ウェイト解除中であつシフト・クロック端子がハイ・レベルの期間に, プリセッタブル・シフト・レジスタ1の読み込みを行うと正しく読み込めないため注意してください。

ウェイト解除中であつシフト・クロック端子がロウ・レベルの期間に, プリセッタブル・シフト・レジスタ1のデータ書き込みを行うと, 正しいデータが設定されないので注意してください。

ウェイト解除中に強制ウェイトを行うと、SIO1TSフラグに“ 0 ”が書き込まれた時点で即座にウェイト状態になりクロック・カウンタをリセットします。

(4) 割り込み要求発行タイミング

クロック・カウンタが“ 8 ”のときのシフト・クロックの立ち上がりで割り込み要求が発行されます。

(5) シフト・クロック生成タイミング

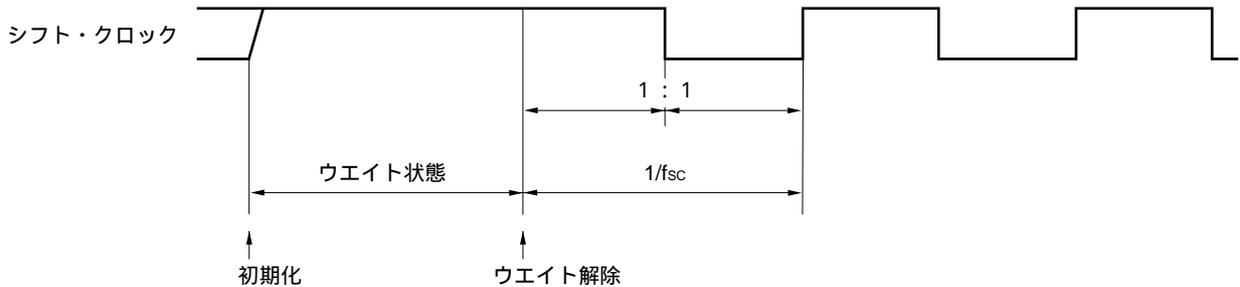
(a) 初期状態からのウェイト解除時

初期状態とは、P0B2/SCK1端子を出力ポートに設定し、かつ内部クロック動作を選択している状態をいいます。

ウェイト状態中は、シフト・クロック端子にハイ・レベルを出力します。

ウェイトの解除とクロックの選択を同時に行うこともできます。

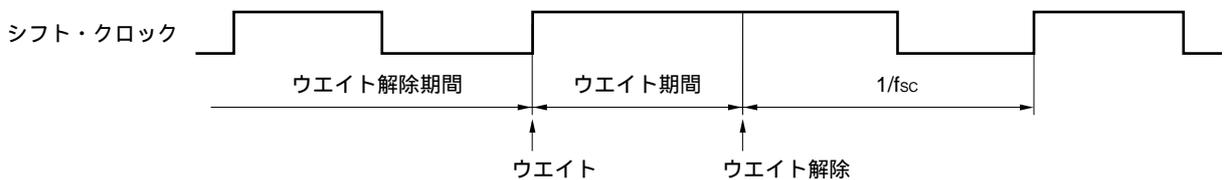
図16 - 20 シリアル・インタフェース1のシフト・クロック生成タイミング (1/4)



(b) ウェイト動作を行ったとき

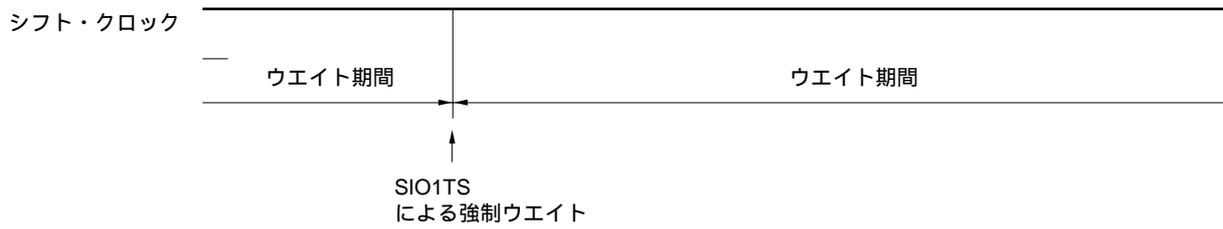
8クロック目でウェイトしたとき (通常動作)

図16 - 20 シリアル・インタフェース1のシフト・クロック生成タイミング (2/4)



ウェイト中に強制ウェイトしたとき

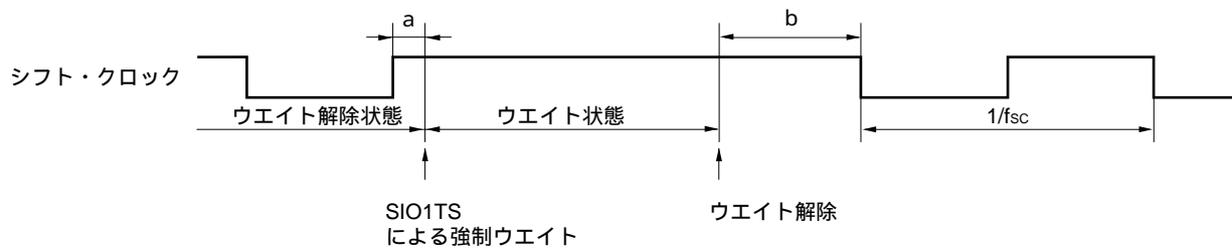
図16 - 20 シリアル・インタフェース1のシフト・クロック生成タイミング (3/4)



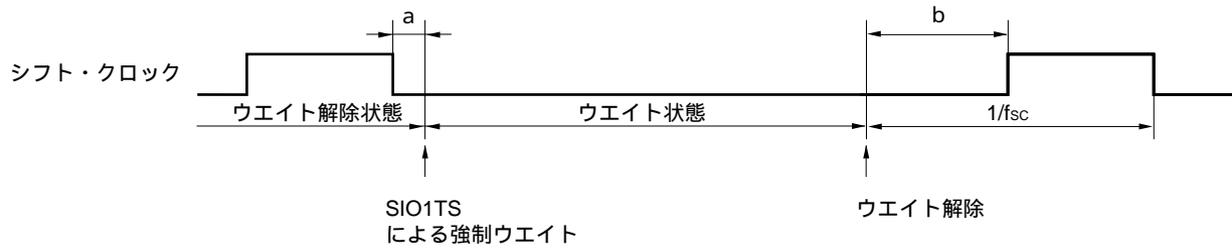
ウェイト解除中に強制ウェイトしたとき

クロック・カウンタがリセットされるため注意が必要です。

図16 - 20 シリアル・インタフェース1のシフト・クロック生成タイミング (4/4)



$$a + b = 1/2fsc$$



$$a + b = 1/2fsc$$

ウェイト解除中にウェイト解除したとき

クロック出力波形は変化しません。クロック・カウンタもリセットされません。

16.3.7 データ設定時およびデータ読み込み時の注意

プリセッタブル・シフト・レジスタ 1 へのデータの設定は “ PUT SIO1SFR, DBF ” 命令で行います。

また、データの読み込みは “ GET DBF, SIO1SFR ” 命令で行います。

データの設定およびデータの読み込みは、ウエイト状態中に行ってください。ウエイト解除状態中はシフト・クロック端子の状態により正しくデータの設定および読み込みができない場合があります。

次にデータの設定および読み込みのタイミングと注意を示します。

表16 - 8 プリセッタブル・シフト・レジスタ 1 のデータ読み込みおよびデータ書き込み動作と注意

PUT/GET 実行時の状態		シフト・クロック 端子の状態	シリアルI/O方式
ウエイト状態	読み込み時 (GET)	・外部クロック時 フローティング	正常読み込み
	書き込み時 (PUT)	・内部クロック時 出力ラッチ (通常ハイ)	<p>正常書き込み</p> <p>データの出力は次にウエイトが解除されてシフト・クロック端子が立ち下がったときにMSBの内容を出力する(送信動作時)</p>
ウエイト解除状態	読み込み時 (GET)	ハイ・レベル	正常に読み込めない SIO1SFRの内容が破壊される
		ロウ・レベル	正常読み込み
	書き込み時 (PUT)	ハイ・レベル	<p>正常書き込み</p> <p>データの出力はPUT命令を実行した時点でMSBの内容を出力する クロック・カウンタはリセットされない</p>
		ロウ・レベル	正常に書き込めない SIO1SFRの内容が破壊される

16.3.8 動作モードと各部の動作

表16 - 9 に 3 線式シリアルI/O方式の動作概要を示します。

表16 - 9 シリアル・インタフェース1 動作概要

動作モード 項目		3線式シリアルI/O方式			
		スレーブ動作 (SIO1CK1 = SIO1CK0 = 0)		マスタ動作 (SIO1CK1 = SIO1CK0 = 0以外)	
各端子の 状態	P0B2/SCK1	ウェイト中(SIO1TS = 0)	ウェイト解除中(SIO1TS = 1)	ウェイト中(SIO1TS = 0)	ウェイト解除中(SIO1TS = 1)
		P0BBIO2 = 0のとき フローティング 汎用入力ポート	P0BBIO2 = 0のとき フローティング 外部クロック入力待ち	P0BBIO2 = 0のとき フローティング 汎用入力ポート	P0BBIO2 = 0のとき フローティング 汎用入力ポート
		P0BBIO2 = 1のとき 汎用出力ポート 出力ラッチの内容出力	P0BBIO2 = 1のとき 汎用出力ポート 出力ラッチの内容出力	P0BBIO2 = 1のとき 汎用出力ポート ハイ・レベル出力	P0BBIO2 = 1のとき 内部クロック出力
	P0B1/SO1	SIO1HIZ = 0	SIO1HIZ = 1	SIO1HIZ = 0	SIO1HIZ = 1
		P0BBIO1 = 0のとき フローティング 汎用入力ポート	P0BBIO1 = 0のとき フローティング 汎用入力ポート	P0BBIO1 = 0のとき フローティング 汎用入力ポート	P0BBIO1 = 0のとき フローティング 汎用入力ポート
		P0BBIO1 = 1のとき 汎用出力ポート 出力ラッチの内容出力	P0BBIO1 = 1のとき データ出力	P0BBIO1 = 1のとき 汎用出力ポート 出力ラッチの内容出力	P0BBIO1 = 1のとき データ出力
P0B0/SI1	P0BBIO0 = 0のとき フローティング シリアル・データ入力待ち P0BBIO0 = 1のとき 汎用出力ポート 出力ラッチの内容出力				
クロック・カウンタ		SCK1端子の立ち上がりでインクリメント			
プリセットブル・ シフト・レジスタ 1の動作	出 力	SIO1HIZ = 0 出力されない SIO1HIZ = 1 SCK1端子の立ち下がりごとにMSBからシフトして出力			
	入 力	SCK1端子の立ち上がりごとにLSBからシフトして入力 P0BBIO0 = 1のときはSI1端子は出力ラッチの内容			

16.3.9 シリアル・インタフェース1のリセット時の状態

(1) パワーオン・リセット時

各端子はすべて汎用入力ポートに設定されます。

プリセッタブル・シフト・レジスタ1の内容は不定になります。

(2) WDT & SPリセット時

各端子はすべて汎用入力ポートに設定されます。

プリセッタブル・シフト・レジスタ1の内容は不定になります。

(3) クロック・ストップ時

各端子はすべて汎用入出力ポートに設定され、入力/出力は以前の状態を保持します。

プリセッタブル・シフト・レジスタ1の内容は不定になります。

(4) CEリセット時

各端子はすべて汎用入出力ポートに設定され、入力/出力は以前の状態を保持します。

プリセッタブル・シフト・レジスタ1の内容は不定になります。

(5) ホールト時

各端子は設定されている状態を保持します。

内部クロックはHALT命令実行時の状態で出力を停止します。

外部クロックを使用している場合はHALT命令を実行しても動作を継続します。

プリセッタブル・シフト・レジスタ1の内容は以前の状態を保持します。

17. PLL周波数シンセサイザ

PLL (Phase Locked Loop) 周波数シンセサイザは、MF (Medium Frequency) , HF (High Frequency) および VHF (Very High Frequency) 帯の周波数を位相差比較方式により一定周波数にロックさせるために使用します。

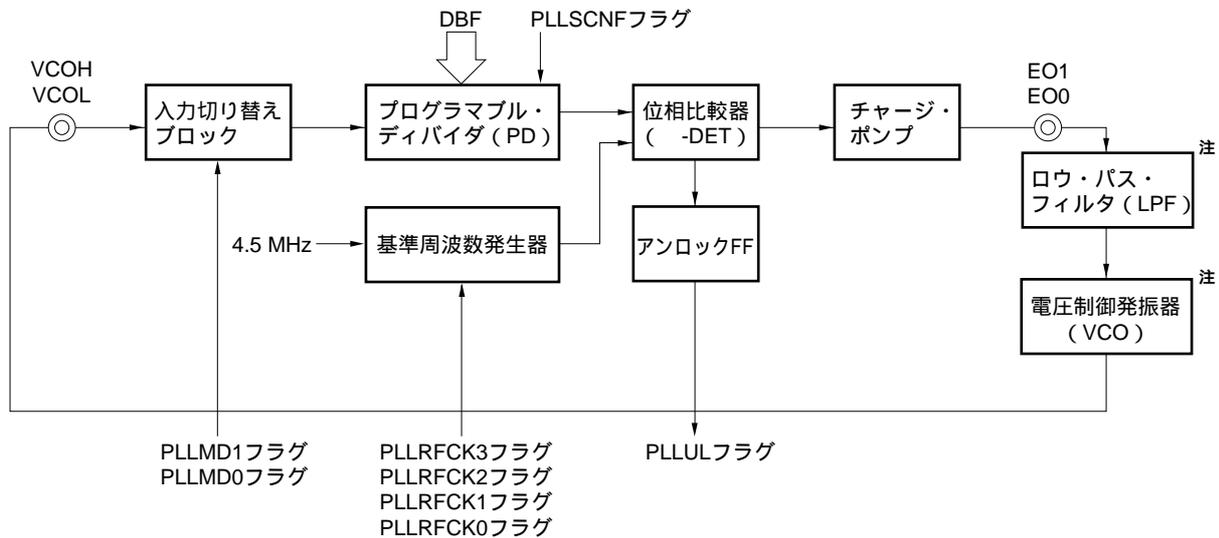
17.1 PLL周波数シンセサイザ概要

図17 - 1 にPLL周波数シンセサイザの概要を示します。外部にロウ・パス・フィルタ (LPF) , 電圧制御発振器 (VCO) を接続することによりPLL周波数シンセサイザを構成できます。

PLL周波数シンセサイザは、VCOH端子またはVCOL端子から入力された信号をプログラマブル・ディバイダで分周し、基準周波数との位相差をEO0およびEO1端子から出力します。

PLL周波数シンセサイザは、CE端子がハイ・レベルのときのみ動作します。CE端子がロウ・レベルのときはディスエーブル状態となります。PLLのディスエーブル状態については、17.5 PLLディスエーブル状態を参照してください。

図17 - 1 PLL周波数シンセサイザ概要



注 外部回路です。

備考1 . PLLMD1, PLLMD0 (PLLモード選択レジスタのビット1 , ビット0 : 図17 - 3 参照)

PLL周波数シンセサイザの分周方式を設定

2 . PLLSCNF (PLLモード選択レジスタのビット3 : 図17 - 3 参照)

スワロ・カウンタの最下位ビットの設定

3 . PLLRFCK3-PLLRFCK0 (PLL基準周波数選択レジスタのビット3-ビット0 : 図17 - 6 参照)

PLL周波数シンセサイザの基準周波数 f_r を設定

4 . PLLUL (PLLアンロックFFレジスタのビット0 : 図17 - 9 参照)

PLLアンロックFF状態の検出

17.2 入力切り替えブロックおよびプログラマブル・ディバイダ

17.2.1 入力切り替えブロックおよびプログラマブル・ディバイダの構成と機能

図17 - 2に入力切り替えブロックおよびプログラマブル・ディバイダの構成を示します。

入力切り替えブロックは，PLL周波数シンセサイザの入力端子および分周方式を選択します。

入力端子にはVCOH端子とVCOL端子が選択できます。

選択された端子は中間電位（約1/2 V_{DD}）になります。選択されていない端子は内部でプルダウンされます。

これらの端子の入力は交流アンプとなっていますので，入力信号の直流分は端子に直列に挿入するコンデンサでカットしてください。

分周方式には直接分周方式とパルス・スワロ方式が選択できます。

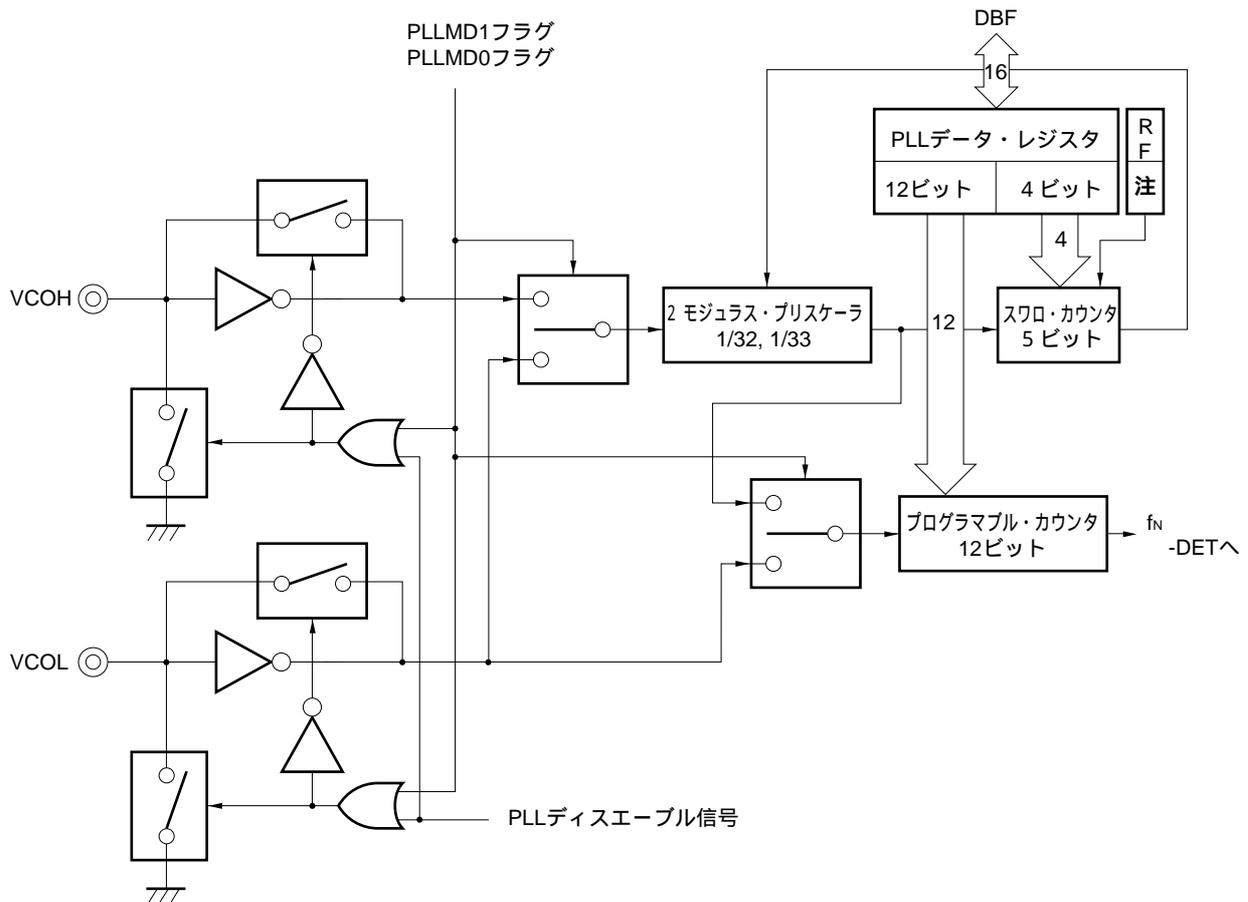
プログラマブル・ディバイダは，スワロ・カウンタおよびプログラマブル・カウンタに設定された値により各分周方式による分周を行います。

使用する入力端子と分周方式の選択は，PLLモード選択レジスタにより行います。

図17 - 3にPLLモード選択レジスタの構成を示します。

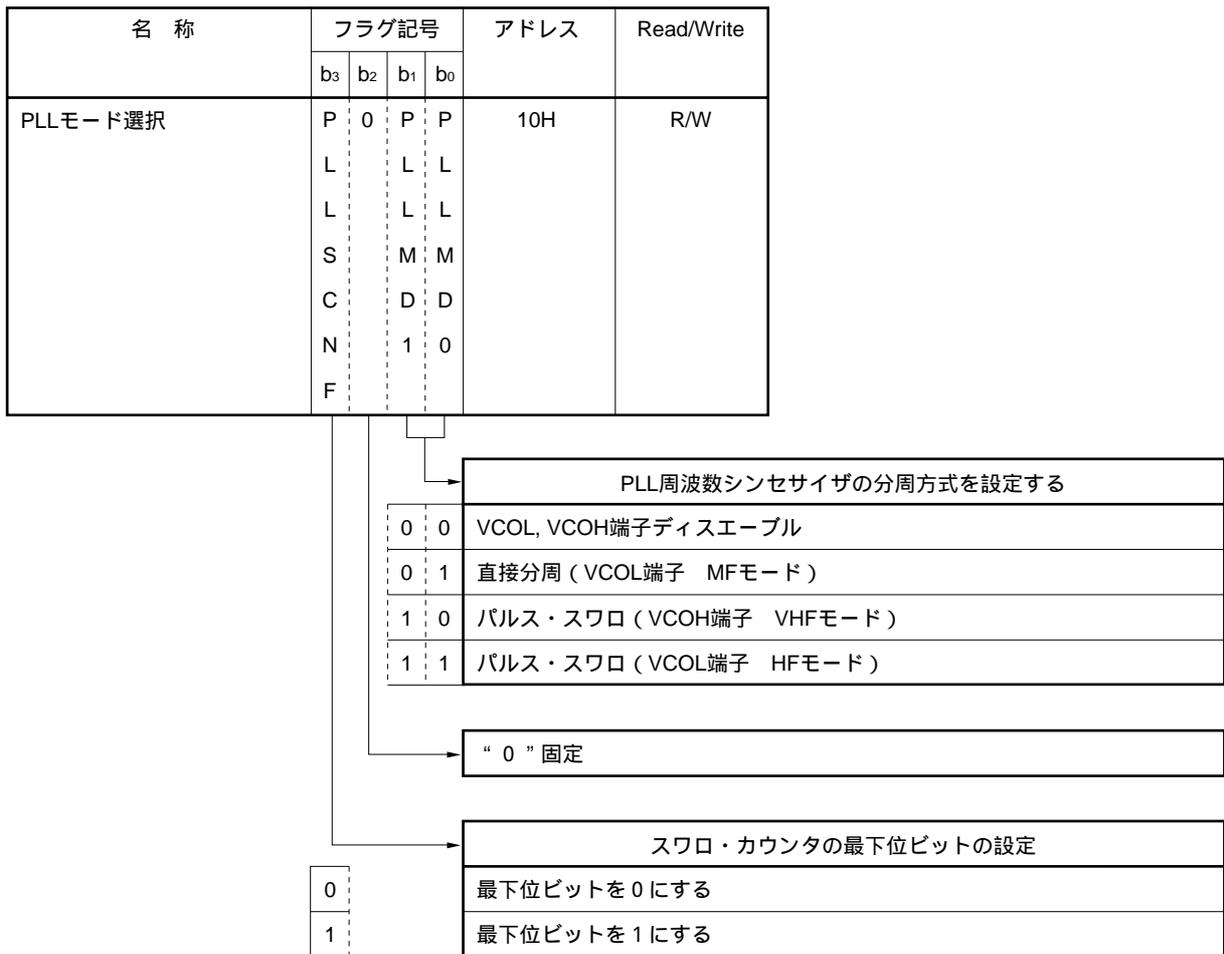
プログラマブル・ディバイダへの分周値の設定は，データ・バッファを介してPLLデータ・レジスタにより行います。

図17 - 2 入力切り替えブロックおよびプログラマブル・ディバイダの構成



注 PLLSCNFフラグ

図17 - 3 PLLモード選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	不	0	0	0
	WDT & SPリセット	不		0	0
	CEリセット	保		0	0
クロック・ストップ時		保		0	0

不：不定 保：保持

17.2.2 各分周方式の概要

(1) 直接分周方式 (MF)

VCOL端子を使用します。

VCOH端子はプルダウンされます。

直接分周方式は、プログラマブル・カウンタのみで分周を行います。

(2) パルス・スワロ方式 (HF)

VCOL端子を使用します。

VCOH端子はプルダウンされます。

パルス・スワロ方式は、スワロ・カウンタおよびプログラマブル・カウンタで分周を行います。

(3) パルス・スワロ方式 (VHF)

VCOH端子を使用します。

VCOL端子はプルダウンされます。

パルス・スワロ方式は、スワロ・カウンタおよびプログラマブル・カウンタで分周を行います。

(4) VCOL, VCOH端子ディスエーブル

VCOL端子およびVCOH端子のみ内部でプルダウンされ、ほかのブロックは動作します。

17.2.3 プログラマブル・ディバイダとPLLデータ・レジスタ

プログラマブル・ディバイダは、スワロ・カウンタおよびプログラマブル・カウンタで構成されており、それぞれ5ビットおよび12ビットの17ビット・バイナリ・ダウン・カウンタになっています。

PLLデータ・レジスタの上位12ビットにプログラマブル・カウンタ、下位4ビットにスワロ・カウンタの上位4ビットが配置されており、データ・バッファを介してデータの設定を行います。

スワロ・カウンタの最下位ビットは、コントロール・レジスタのPLLSCNFフラグにデータを設定します。

分周する値は“N値”と呼びます。

各分周方式時の分周値(N値)の設定については17.6 PLL周波数シンセサイザの使用方を参照してください。

(1) PLLデータ・レジスタとデータ・バッファ

図17-4にPLLデータ・レジスタとデータ・バッファの関係を示します。

直接分周方式時は上位12ビットが有効になり、パルス・スワロ方式時は17ビットすべてが有効になります。

直接分周方式時は12ビットすべてがプログラマブル・カウンタに設定されます。

パルス・スワロ方式時は上位12ビットがプログラマブル・カウンタに設定され、下位5ビットがスワロ・カウンタに設定されます。

(2) プログラマブル・ディバイダの分周値Nと分周出力周波数の関係

PLLデータ・レジスタに設定された値“N”と、プログラマブル・ディバイダにより分周されて出力される信号の周波数“ f_N ”は次のようになります。

詳しくは、17.6 PLL周波数シンセサイザの使用方を参照してください。

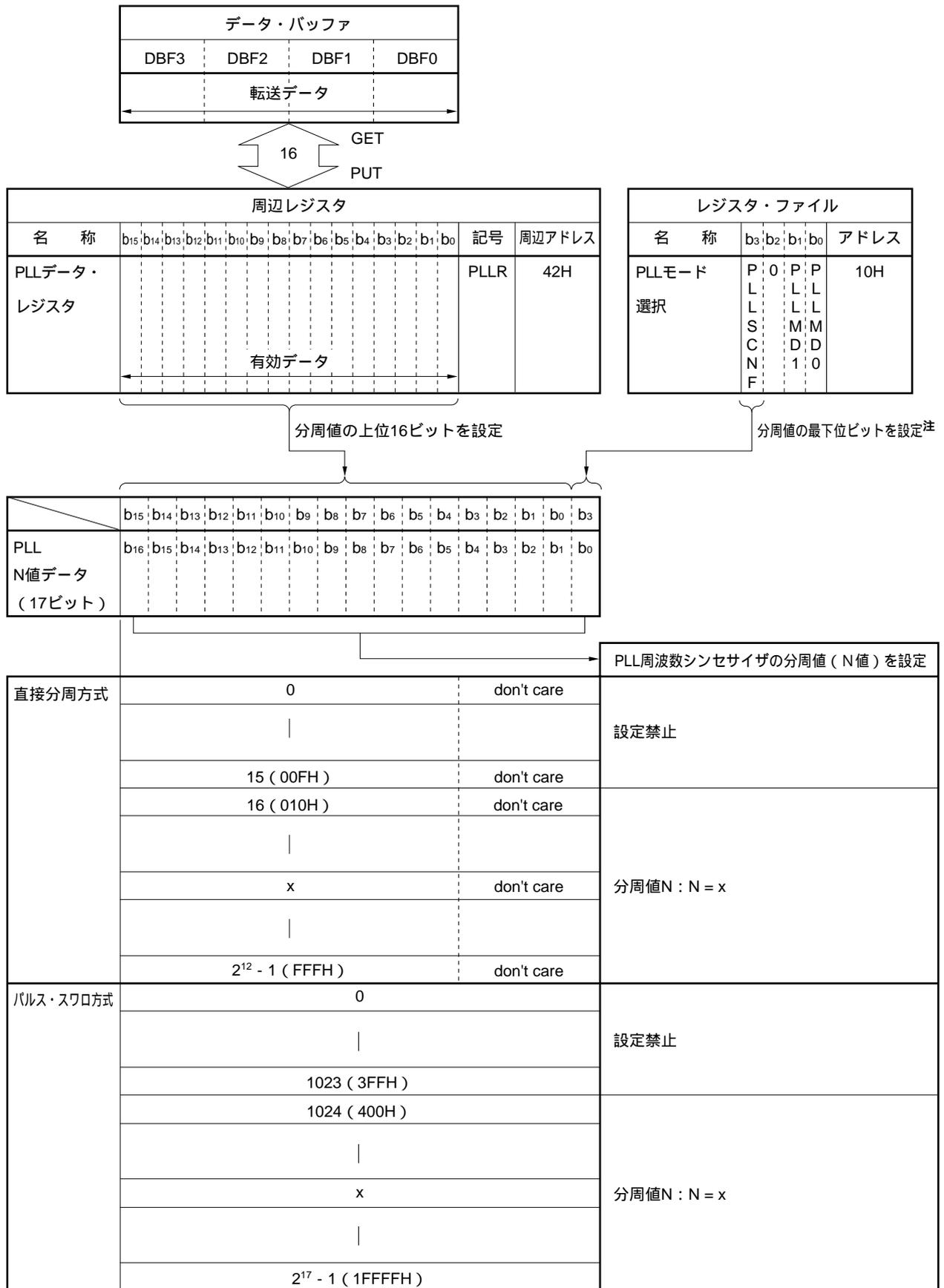
(a) 直線分周方式時 (MF)

$$f_N = \frac{f_{IN}}{N} \quad N: 12\text{ビット}$$

(b) パルス・スワロ方式時 (HF, VHF)

$$f_N = \frac{f_{IN}}{N} \quad N: 17\text{ビット}$$

図17 - 4 PLL周波数シンセサイザの分周値 (N値) の設定方法



注 PLLSCNFフラグの値は、PLLデータ・レジスタ (PLL_R) に書き込み命令 (PUT) が実行された時点で転送されます。したがって、PLLデータ・レジスタに書き込み命令を行う前にPLLSCNFフラグにデータをセットしておく必要があります。

17.3 基準周波数発生器

図17 - 5 に基準周波数発生器の構成を示します。

基準周波数発生器は、水晶発振の4.5 MHzを分周してPLL周波数シンセサイザの基準周波数“ f_r ”を発生します。

基準周波数 f_r は1, 1.25, 2.5, 3, 5, 6.25, 9, 10, 12.5, 18, 20, 25, 50 kHzの13種類を選択できます。

基準周波数 f_r の選択はPLL基準周波数選択レジスタにより行います。

図17 - 6 にPLL基準周波数選択レジスタの構成と機能を示します。

図17 - 5 基準周波数発生器の構成

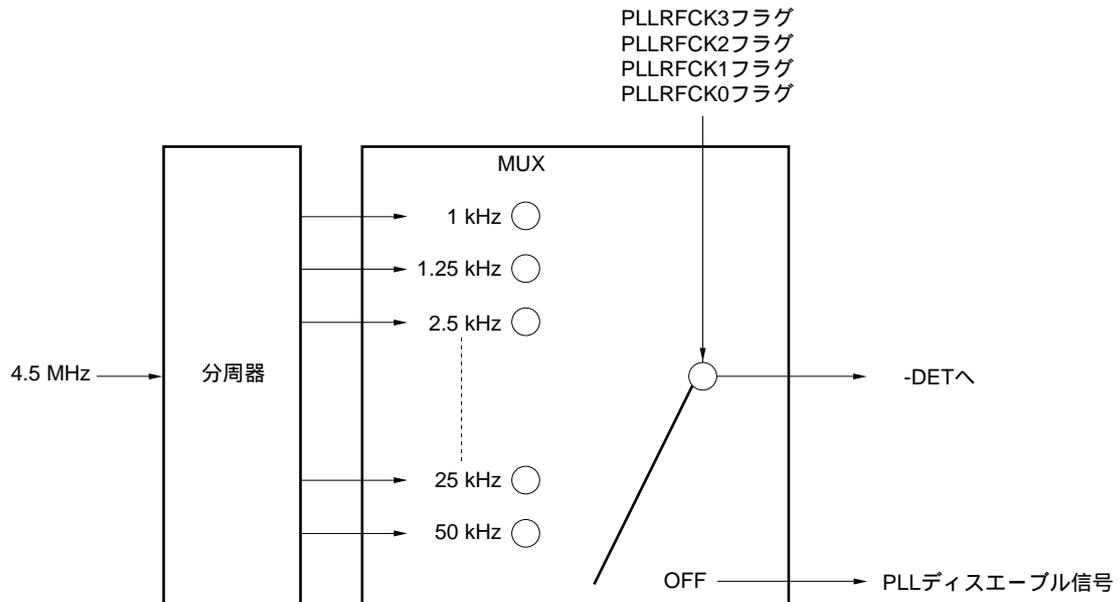


図17 - 6 PLL基準周波数選択レジスタの構成

名 称	フラグ記号				アドレス	Read/Write
	b3	b2	b1	b0		
PLL基準周波数選択	P	P	P	P	11H	R/W
	L	L	L	L		
	L	L	L	L		
	R	R	R	R		
	F	F	F	F		
	C	C	C	C		
	K	K	K	K		
	3	2	1	0		

PLL周波数シンセサイザの基準周波数 f_r を設定				
0	0	0	0	1.25 kHz
0	0	0	1	2.5 kHz
0	0	1	0	5 kHz
0	0	1	1	10 kHz
0	1	0	0	6.25 kHz
0	1	0	1	12.5 kHz
0	1	1	0	25 kHz
0	1	1	1	50 kHz
1	0	0	0	3 kHz
1	0	0	1	9 kHz
1	0	1	0	18 kHz
1	0	1	1	設定禁止
1	1	0	0	1 kHz
1	1	0	1	20 kHz
1	1	1	0	設定禁止
1	1	1	1	PLLディスエーブル

リ セ ッ ト 時	パワーオン・リセット	1	1	1	1
	WDT & SPリセット	1	1	1	1
	CEリセット	1	1	1	1
クロック・ストップ時		1	1	1	1

備考 PLL基準周波数選択レジスタによりPLLディスエーブルを選択したときは、VCOH端子、VCOL端子が内部でプルダウンされます。また、EO1端子、EO0端子はフローティングとなります。

17.4 位相比較器 (-DET) , チャージ・ポンプおよびアンロックFF

17.4.1 位相比較器, チャージ・ポンプおよびアンロックFFの構成

図17 - 7 に位相比較器, チャージ・ポンプおよびアンロックFFの構成を示します。

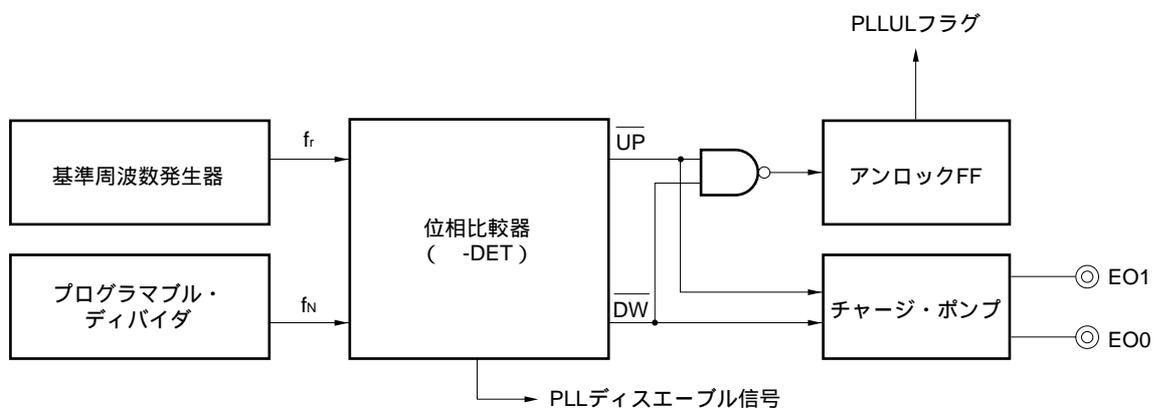
位相比較器は, プログラマブル・ディバイダの分周周波数出力 “ f_N ” と基準周波数発生器の基準周波数出力 “ f_r ” の位相を比較し, アップ要求信号 (\overline{UP}) およびダウン要求信号 (\overline{DW}) を出力します。

チャージ・ポンプは位相比較器の出力をエラー・アウト端子 (EO1端子およびEO0端子) から出力します。

アンロックFFは, PLL周波数シンセサイザのアンロック状態を検出します。

17.4.2-17.4.4 にそれぞれ位相比較器, チャージ・ポンプおよびアンロックFFの動作を示します。

図17 - 7 位相比較器, チャージ・ポンプおよびアンロックFFの構成



17.4.2 位相比較器の機能

図17-7に示したように位相比較器は、プログラマブル・ディバイダの分周出力“ f_N ”と基準周波数“ f_r ”の位相を比較し、アップ要求信号およびダウン要求信号を出力します。

すなわち、分周周波数 f_N が基準周波数 f_r より低い周波数であればアップ要求を出力し、分周周波数 f_N が基準周波数 f_r より高い周波数であればダウン要求を出力します。

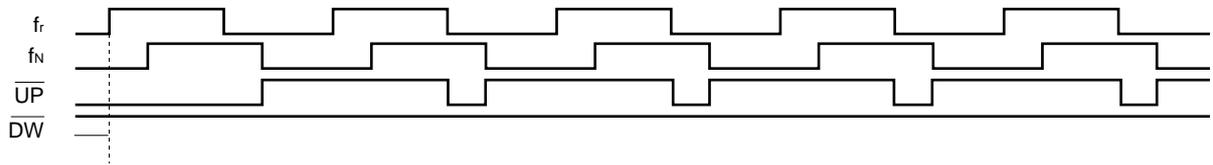
図17-8に基準周波数 f_r 、分周周波数 f_N 、アップ要求信号、ダウン要求信号の関係を示します。

PLLディスエーブル時は、アップ要求およびダウン要求とも出力されません。

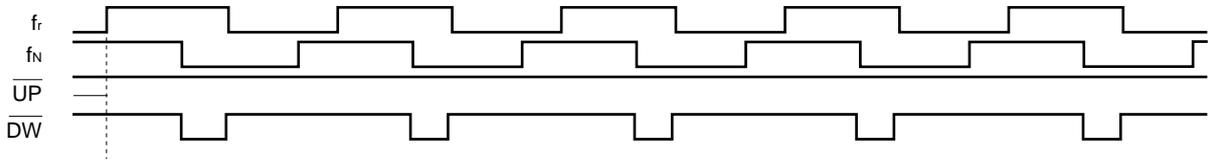
アップ要求およびダウン要求はそれぞれチャージ・ポンプおよびアンロックFFへ入力されます。

図17-8 $f_r, f_N, \overline{UP}, \overline{DW}$ 信号の関係

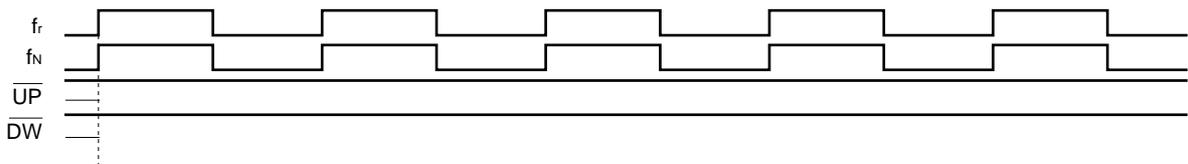
(a) f_N が f_r より位相が遅れているとき



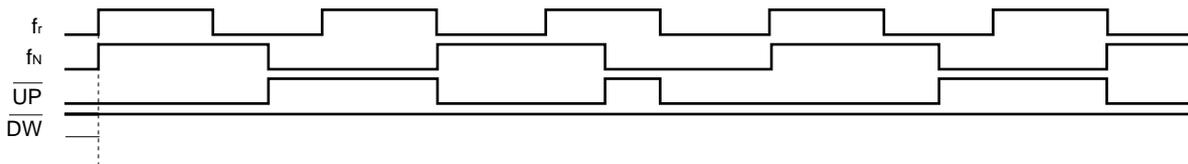
(b) f_N が f_r より位相が進んでいるとき



(c) f_N と f_r の位相が同じとき



(d) f_N が f_r より周波数が低いとき



17.4.3 チャージ・ポンプ

図17 - 7 に示したようにチャージ・ポンプは、位相比較器からのアップ要求信号およびダウン要求信号をエラー・アウト端子（EO1端子およびEO0端子）から出力します。

したがって、エラー・アウト端子の出力と分周周波数 f_N および基準周波数 f_r の関係は次のようになります。

基準周波数 $f_r >$ 分周周波数 f_N のとき：ロウ・レベル出力

基準周波数 $f_r <$ 分周周波数 f_N のとき：ハイ・レベル出力

基準周波数 $f_r =$ 分周周波数 f_N のとき：フローティング

17.4.4 アンロックFF

図17 - 7 に示したようにアンロックFFは、位相比較器のアップ要求信号およびダウン要求信号から、PLL周波数シンセサイザのアンロック状態を検出します。

すなわち、アンロック状態中はアップ要求またはダウン要求信号のどちらか一方がロウ・レベルを出力するため、このロウ・レベル信号によりアンロック状態を検出します。

アンロック状態であると、アンロックFFがセット（1）されます。

アンロックFFは、そのとき選択されている基準周波数 f_r の周期でセットされます。また、PLLアンロックFFレジスタの内容を読み込む（PEEK命令）とリセットされます（Read & Reset）。

したがって、アンロックFFの検出は基準周波数 f_r の周期 $1/f_r$ より長い周期で検出する必要があります。

アンロックFFの状態は、PLLアンロックFFレジスタにより検出します。図17 - 9 にPLLアンロックFFレジスタの構成を示します。

このレジスタは読み出し専用レジスタであり、“PEEK”命令でウインドウ・レジスタに内容を読み出すことによりリセットされます。

また、アンロックFFは基準周波数 f_r の周期でセットされるため、このレジスタをウインドウ・レジスタに読み込む場合は、基準周波数の周期 $1/f_r$ より長い周期で読み込む必要があります。

位相比較器のアップ、ダウン要求信号のディレイは、0.8 μ s-1.0 μ sで固定されています。

図17 - 9 PLLアンロックFFレジスタの構成

名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
PLLアンロックFF	0	0	0	P L L U L	12H	R & Reset



リ セ ツ ト 時	パワーオン・リセット	0	0	0	不
	WDT & SPリセット				不
	CEリセット				保
クロック・ストップ時		↓	↓	↓	保

不：不定 保：保持

17.5 PLLディスエーブル状態

PLL周波数シンセサイザは、CE端子がロウ・レベルの間は動作を停止（ディスエーブル）します。

PLL基準周波数選択レジスタ（RFアドレス11H番地）によりPLLディスエーブルが選択されているときも同様に動作を停止します。

表17 - 1 に各PLLディスエーブル条件時の各ブロックの動作を示します。

また、PLLモード選択レジスタにより、VCOL, VCOH端子ディスエーブル状態を選択したときは、VCOL端子およびVCOH端子のみ内部でプルダウンされ、ほかのブロックは動作します。

PLL基準周波数選択レジスタおよびPLLモード選択レジスタはCEリセット時にイニシャライズされない（以前の状態を保持する）ため、CE端子がロウ・レベルになりPLLディスエーブルとなったあとCE端子がハイ・レベルに立ち上がると以前の状態に復帰します。

したがって、CEリセット時にPLLディスエーブルとする必要がある場合は、プログラムによりイニシャライズしてください。

パワーオン・リセット時はPLLディスエーブルになります。

表17 - 1 各PLLディスエーブル条件時の各ブロックの動作

各ブロック \ 条件	CE端子 = ロウ・レベル (PLLディスエーブル)	CE端子 = ハイ・レベル	
		PLL基準周波数選択レジスタ = 1111B (PLLディスエーブル)	PLLモード選択レジスタ = 0000B (VCOH, VCOLディスエーブル)
VCOL, VCOH端子	内部でプルダウン	内部でプルダウン	内部でプルダウン
プログラマブル・ ディバイダ	分周停止	分周停止	動作する
基準周波数発生器	出力停止	出力停止	動作する
位相比較器	出力停止	出力停止	動作する
チャージ・ポンプ	エラー・アウト端子をフローティ ング	エラー・アウト端子をフローティ ング	動作する ただし入力がないため通常はロ ウ・レベルを出力する

17.6 PLL周波数シンセサイザの使用方法

PLL周波数シンセサイザを制御するためには次に示すデータが必要です。

- (1) 分周方式 : 直接分周 (MF), パルス・スワロ (HF, VHF)
- (2) 使用端子 : VCOL, VCOH端子
- (3) 基準周波数 : f_r
- (4) 分周値 : N

17.6.1 から 17.6.3 に各分周方式 (MF, HF, VHF) 時のPLLデータ設定方法を示します。

17.6.1 直接分周方式 (MF)

(1) 分周方式の選択

PLLモード選択レジスタにより直接分周方式を選択します。

(2) 使用端子

直接分周方式を選択するとVCOL端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{\text{VCOL}}}{f_r}$$

f_{VCOL} : VCOL端子の入力周波数
 f_r : 基準周波数

(5) PLLデータ設定例

次に示すMWバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 1 422 kHz (MWバンド)

基準周波数 : 9 kHz

中間周波数 : + 450 kHz

分周値Nは

$$N = \frac{f_{\text{VCOL}}}{f_r} = \frac{1\,422 + 450}{9} = 208 \text{ (10進)}$$

$$= 0D0H \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。

PLLデータ・レジスタ (PLLR)			
0 0 0 0	1 1 0 1	0 0 0 0	don't care
0	D	0	

PLLモード選択	PLL基準周波数
注1 レジスタ	選択レジスタ
注2: 0 0 1	1 1 0 1
MF	9 kHz

注1 . PLLSCNFフラグ

2 . don't care

17.6.2 パルス・スワロ方式 (HF)

(1) 分周方式の選択

PLLモード選択レジスタによりパルス・スワロ方式を選択します。

(2) 使用端子

パルス・スワロ方式を選択するとVCOL端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{\text{VCOL}}}{f_r}$$

f_{VCOL} : VCOL端子の入力周波数
 f_r : 基準周波数

(5) PLLデータ設定例

次に示すSWバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 25.50 MHz (SWバンド)

基準周波数 : 5 kHz

中間周波数 : +450 kHz

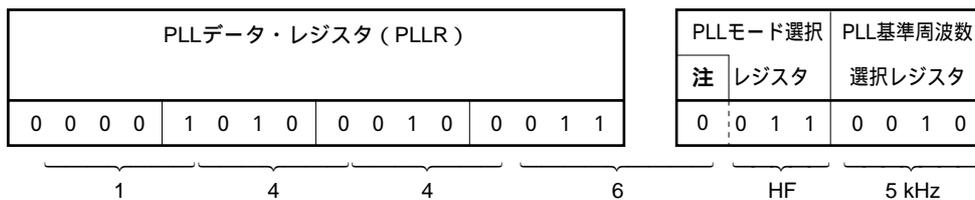
分周値Nは

$$N = \frac{f_{\text{VCOL}}}{f_r} = \frac{25500 + 450}{5} = 5190 \text{ (10進)}$$

$$= 1446\text{H} \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。

注意 パルス・スワロ方式を選択した場合は分周値Nは17ビットとなり, そのスワロ・カウンタの最下位ビットはPLLモード選択レジスタのビット3 (PLLSCNF) に存在します。このため分周値Nとして「1446H」を設定する場合, 実際にPLLデータ・レジスタに設定する値は「0A23H」となります。



注 PLLSCNFフラグ

17.6.3 パルス・スワロ方式 (VHF)

(1) 分周方式の選択

PLLモード選択レジスタによりパルス・スワロ方式を選択します。

(2) 使用端子

パルス・スワロ方式を選択するとVCOH端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{VCOH}}{f_r}$$

f_{VCOH} : VCOH端子の入力周波数
 f_r : 基準周波数

(5) PLLデータ設定例

次に示すFMバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 98.15 MHz (FMバンド)

基準周波数 : 50 kHz

中間周波数 : + 10.7 MHz

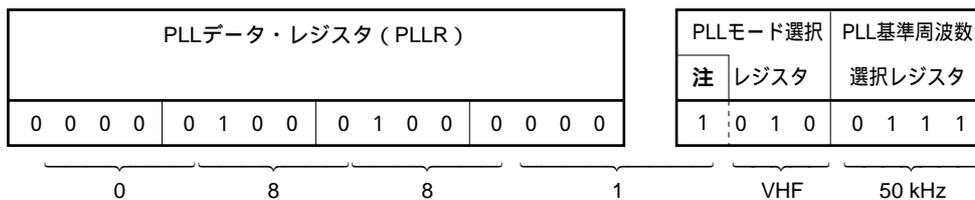
分周値Nは

$$N = \frac{f_{VCOH}}{f_r} = \frac{98.15 + 10.7}{0.050} = 2177 \text{ (10進)}$$

$$= 0881H \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。

注意 パルス・スワロ方式を選択した場合は分周値Nは17ビットとなり, そのスワロ・カウンタの最下位ビットはPLLモード選択レジスタのビット3 (PLLSCNF) に存在します。このため分周値Nとして「0881H」を設定する場合, 実際にPLLデータ・レジスタに設定する値は「0440H」となります。



注 PLLSCNFフラグ

なお、PLLSCNFフラグは、必ずPLLデータ・レジスタ（PLLР）に書き込み命令（PUT）を行う前にデータをセットしておく必要があります。

例

```
SET1    PLLSCNF
MOV     DBF0, #0
MOV     DBF1, #4
MOV     DBF2, #4
PUT     PLLR, DBF
```

17.7 リセット時の状態

17.7.1 パワーオン・リセット時

PLL基準周波数選択レジスタが1111BにイニシャライズされるためPLLディスエーブル状態になります。

17.7.2 WDT & SPリセット時

PLL基準周波数選択レジスタが1111BにイニシャライズされるためPLLディスエーブル状態になります。

17.7.3 クロック・ストップ時

PLL基準周波数選択レジスタが1111BにイニシャライズされるためPLLディスエーブル状態になります。

17.7.4 CEリセット時

PLL基準周波数選択レジスタが1111BにイニシャライズされるためPLLディスエーブル状態になります。

17.7.5 ホールト状態中

CE端子がハイ・レベルであれば、設定されている状態を保持します。

18. 周波数カウンタ

18.1 周波数カウンタ概要

図18 - 1 に周波数カウンタの概要を示します。

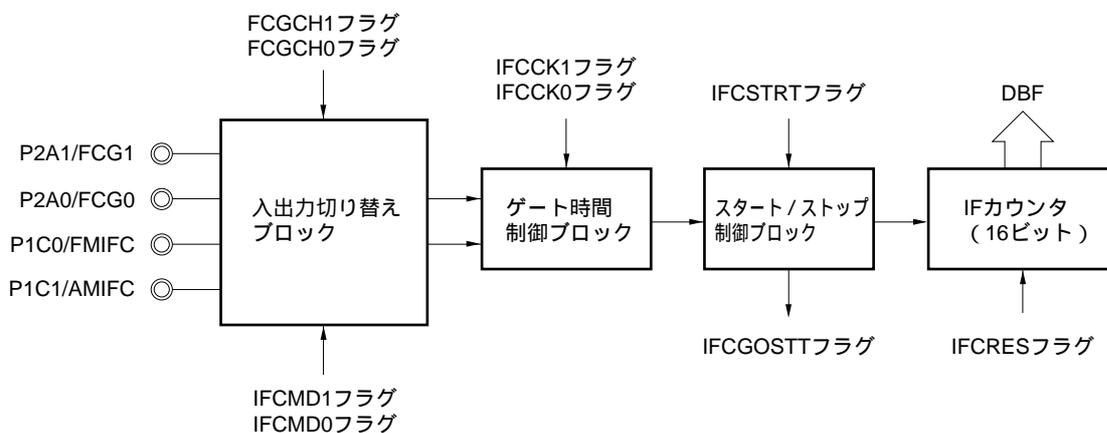
周波数カウンタには、外部入力信号の中間周波数（IF：Intermediate Frequency）をカウントするIFカウンタ機能と、外部入力信号のパルス幅を検出する外部ゲート・カウンタ（FCG：Frequency Counter for external Gate signal）機能があります。

IFカウンタ機能は、P1C0/FMIFC端子またはP1C1/AMIFC端子に入力された周波数を16ビットのカウンタで一定時間（1 ms, 4 ms, 8 ms, オープン）カウントします。

外部ゲート・カウンタ機能は、P2A1/FCG1端子またはP2A0/FCG0端子に入力された信号の立ち上がりから次の立ち上がりまでの期間に、内部クロック（1 kHz, 100 kHz, 900 kHz）の周波数を16ビット・カウンタでカウントします。

IFカウンタ機能および外部ゲート・カウンタ機能は同時には使用できません。

図18 - 1 周波数カウンタ概要



備考1 . FCGCH1, FCGCH0（FCGチャンネル選択レジスタのビット1，ビット0：図18 - 4 参照）

外部ゲート・カウンタとして使用する端子を選択

2 . IFCMD1, IFCMD0（IFカウンタ・モード選択レジスタのビット3，ビット2：図18 - 3 参照）

IFカウンタおよび外部ゲート・カウンタの機能を選択

3 . IFCCK1, IFCCK0（IFカウンタ・モード選択レジスタのビット1，ビット0：図18 - 3 参照）

IFカウンタのゲート時間および外部ゲート・カウンタの基準周波数を選択

4 . IFCSTRT（IFカウンタ・コントロール・レジスタのビット1：図18 - 6 参照）

IFカウンタおよび外部ゲート・カウンタのカウント・スタートを制御

5 . IFCGOSTT（IFカウンタ・ゲート状態検出レジスタのビット0：図18 - 7 参照）

IFカウンタのゲートの開閉を検出

6 . IFCRES（IFカウンタ・コントロール・レジスタのビット0：図18 - 6 参照）

IFカウンタのカウント値をリセット

18.2 入出力切り替えブロックおよびゲート時間制御ブロック

図18 - 2 に入出力切り替えブロックおよびゲート時間制御ブロックの構成を示します。

入出力切り替えブロックは、IFカウンタ入力切り替えブロックおよびFCG入出力切り替えブロックから構成されています。

IFカウンタ入力切り替えブロックは、IFカウンタ・モード選択レジスタにより、周波数カウンタをIFカウンタとして使用するか外部ゲート・カウンタとして使用するかを選択します。IFカウンタとして使用する場合は、P1C0/FMIFC端子およびP1C1/AMIFC端子から使用する端子およびカウント・モードを選択します。P1C0/FMIFC端子およびP1C1/AMIFC端子のうち、IFカウンタとして使用しない端子は汎用入力ポートとなります。

FCG入出力切り替えブロックは、周波数カウンタを外部ゲート・カウンタとして使用するとき、FCGチャンネル選択レジスタにより、P2A1/FCG1端子およびP2A0/FCG0端子から使用する端子を選択します。P2A1/FCG1端子およびP2A0/FCG0端子のうち、外部ゲート・カウンタとして使用しない端子は汎用入出力ポートとなります。

なお、周波数カウンタを外部ゲート・カウンタとして使用するとき、ポート2AビットI/O選択レジスタにより、使用する端子を入力モードに設定しておく必要があります。これは、IFカウンタ・モード選択レジスタおよびFCGチャンネル選択レジスタにより外部ゲート・カウンタ機能を選択していても、端子が出力モードに設定されていると汎用出力ポートになるためです。

ゲート時間制御ブロックは、IFカウンタ・モード選択レジスタにより、IFカウンタとして使用する場合のゲート時間および、外部ゲート・カウンタとして使用する場合のカウント周波数を選択します。

図18 - 3 にIFカウンタ・モード選択レジスタの構成を示します。

図18 - 4 にFCGチャンネル選択レジスタの構成を示します。

図18 - 2 入出力切り替えブロックおよびゲート時間制御ブロックの構成

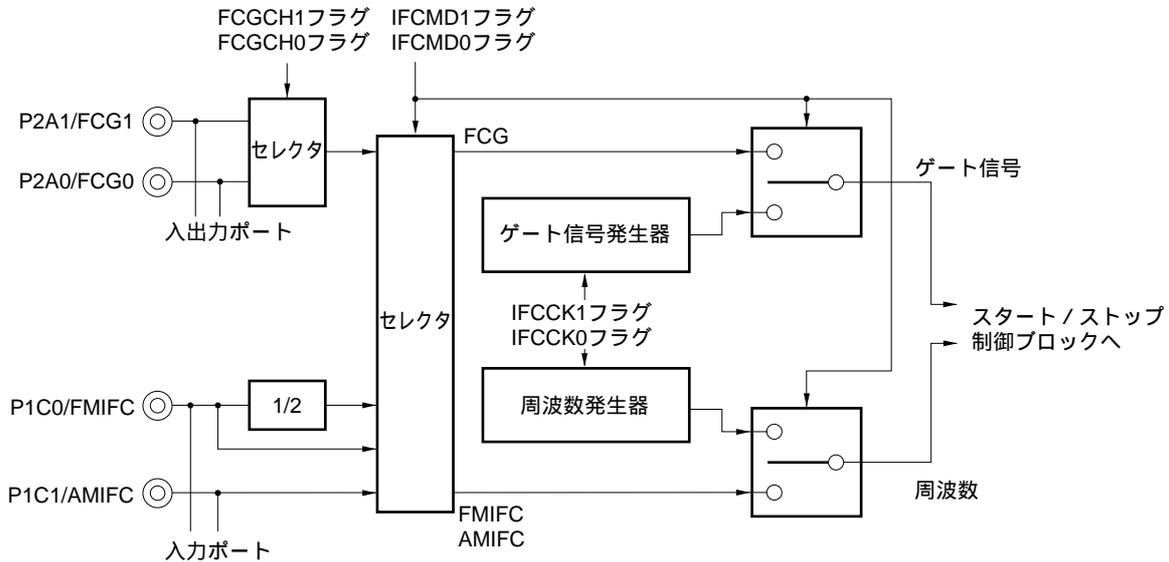


図18 - 3 IFカウンタ・モード選択レジスタの構成

名 称	フラグ記号				アドレス	Read/Write
	b3	b2	b1	b0		
IFカウンタ・モード選択	I	I	I	I	22H	R/W
	F	F	F	F		
	C	C	C	C		
	M	M	C	C		
	D	D	K	K		
	1	0	1	0		

IFカウンタのゲート時間および外部ゲート・カウンタの基準周波数を設定			
IFカウンタのゲート時間		外部ゲート・カウンタの基準周波数	
0	0	1 ms	1 kHz
0	1	4 ms	100 kHz
1	0	8 ms	900 kHz
1	1	オープン	設定禁止

IFカウンタおよび外部ゲート・カウンタの機能を選択			
0	0	外部ゲート・カウンタ (FCG)	
0	1	IFカウンタ (AMIFC端子, AMIFカウント・モード)	
1	0	IFカウンタ (FMIFC端子, FMIFカウント・モード 1/2分周)	
1	1	IFカウンタ (FMIFC端子, AMIFカウント・モード)	

リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット	0	0	0	0
	CEリセット	0	0	0	0
クロック・ストップ時		0	0	0	0

注意 IFカウンタ機能および外部ゲート・カウンタ機能は同時に使用できません。

図18 - 4 FCGチャンネル選択レジスタの構成



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット			0	0
	CEリセット			0	0
	クロック・ストップ時	↓	↓	0	0

18.3 スタート/ストップ制御ブロックおよびIFカウンタ

18.3.1 スタート/ストップ制御ブロックおよびIFカウンタの構成

図18 - 5 にスタート/ストップ制御ブロックおよびIFカウンタの構成を示します。

スタート/ストップ制御ブロックは、周波数カウンタのカウント・スタートの設定およびカウント終了の検出を行います。

カウントのスタートは、IFカウンタ・コントロール・レジスタにより行います。

カウント終了の検出はIFカウンタ・ゲート状態検出レジスタにより行います。ただし、外部ゲート・カウンタ機能を使用しているときには、IFカウンタ・ゲート状態検出レジスタによるカウント終了の検出はできません。

図18 - 6 にIFカウンタ・コントロール・レジスタの構成を示します。

図18 - 7 にIFカウンタ・ゲート状態検出レジスタの構成を示します。

18.3.2 および18.3.3 にIFカウンタ機能時および外部ゲート・カウンタ機能時のゲート動作を示します。

IFカウンタは、IFカウンタ機能時および外部ゲート・カウンタ機能時の入力周波数をアップ・カウントする16ビットのバイナリ・カウンタです。

IFカウンタ機能時は、内部ゲート信号によりゲートがオープンしている間に、端子に入力された周波数をカウントします。AMIFカウント・モードではそのままカウントしますが、FMIFカウント・モードでは端子に入力された周波数を1/2分周してカウントします。

外部ゲート・カウンタ機能時は、端子に入力された信号によりゲートがオープンしている間に、内部周波数をカウントします。

IFカウンタはFFFFHまでカウントするとカウンタをリセットされるまでFFFFHの状態を保持します。

カウント値の読み込みは、データ・バッファを介してIFカウンタ・データ・レジスタ (IFC) により行います。

カウント値のリセットはIFカウンタ・コントロール・レジスタにより行います。

図18 - 8 にIFカウンタ・データ・レジスタの構成を示します。

図18 - 5 スタート/ストップ制御ブロックおよびIFカウンタの構成

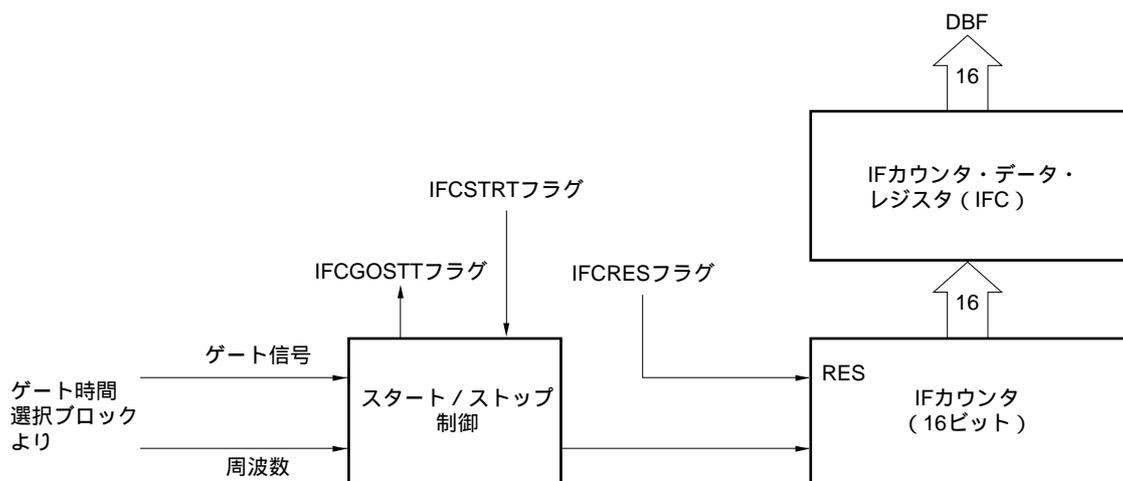
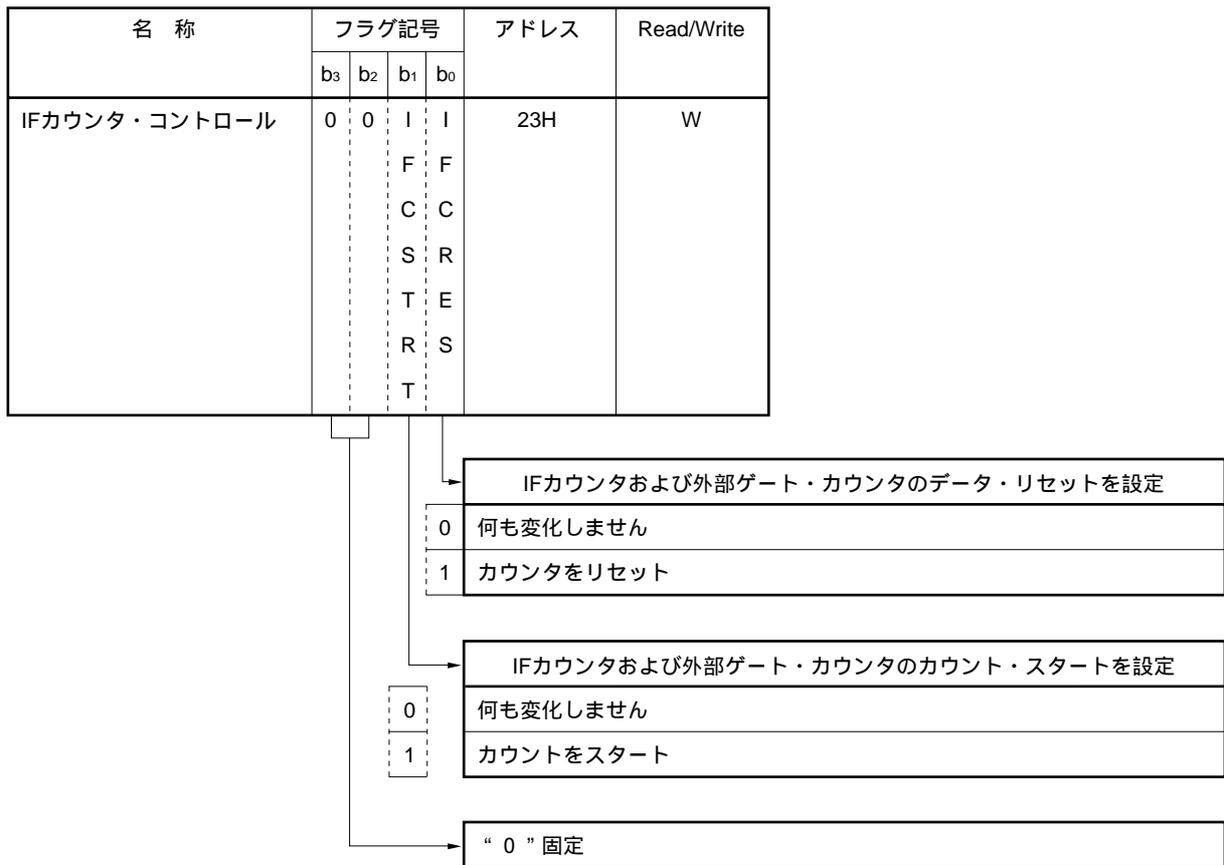
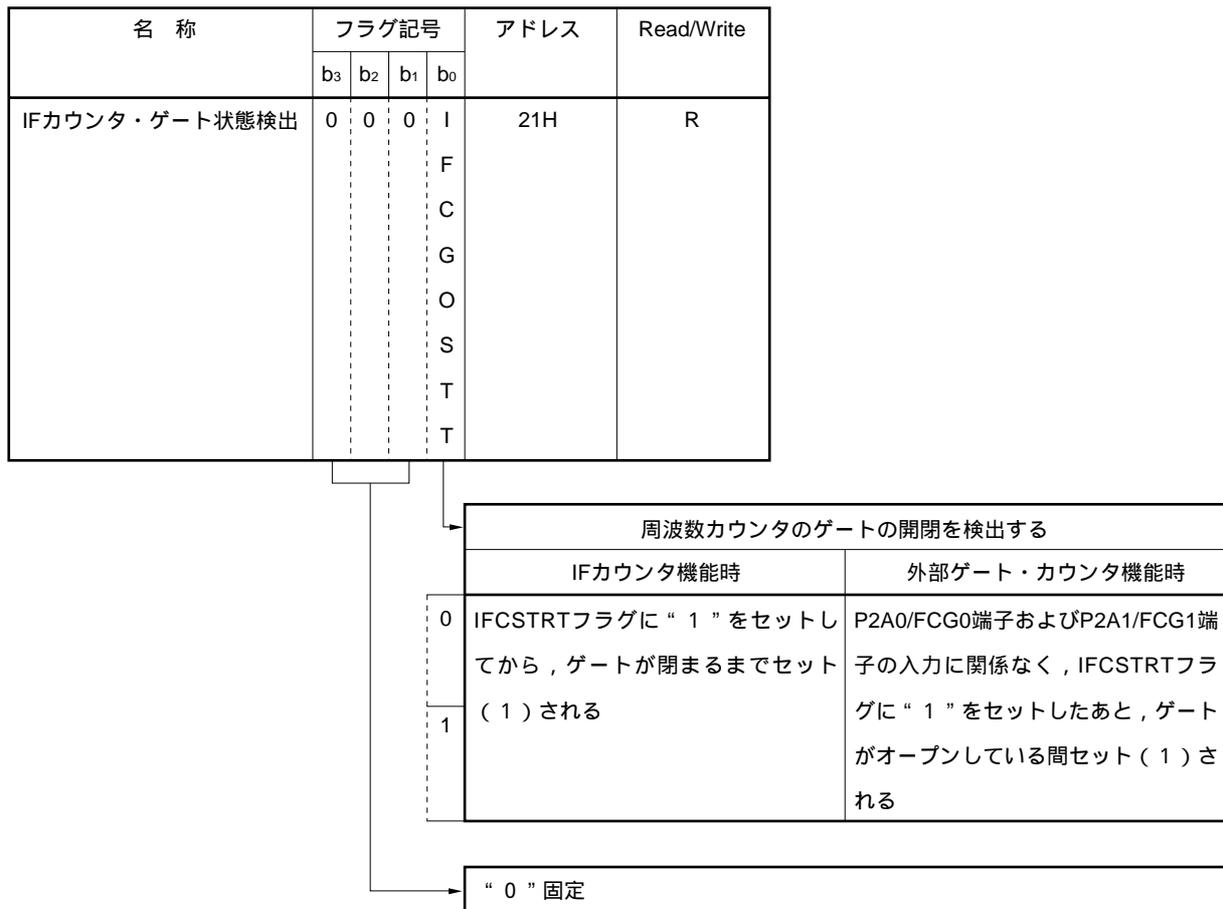


図18 - 6 IFカウンタ・コントロール・レジスタの構成



リ セ ツ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット			0	0
	CEリセット			0	0
クロック・ストップ時			0	0	

図18 - 7 IFカウンタ・ゲート状態検出レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット				0
	CEリセット				0
	クロック・ストップ時	↓	↓	↓	0

- 注意1 . IFCGOSTTフラグがセット(1)されているときは、IFカウンタ・データ・レジスタ(IFC)の内容をデータ・バッファに読み込まないでください。
- 2 . 外部ゲート・カウンタ(FCG)機能のゲートの開閉はIFCGOSTTフラグでは行えません。外部ゲート・カウンタのゲートの開閉はIFCSTRTフラグで行ってください。

18.3.2 IFカウンタ機能時のゲート動作

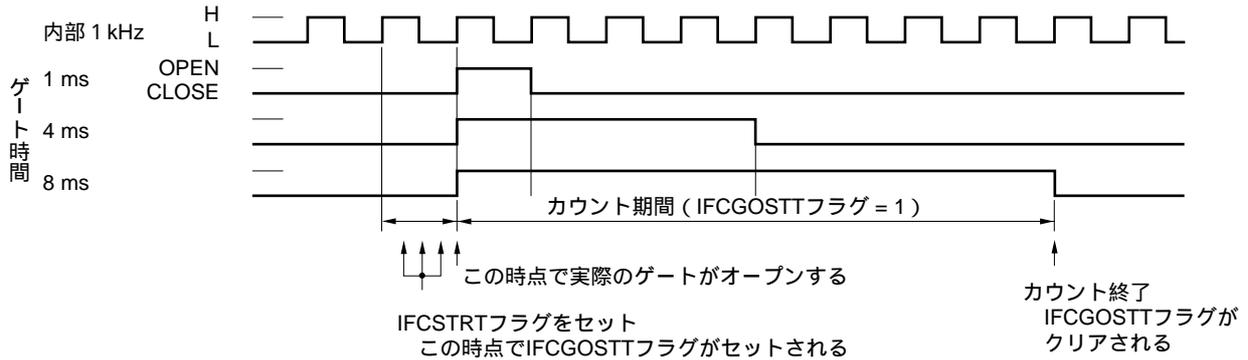
(1) ゲート時間に1, 4, 8 msを選択した場合

次に示すようにIFCSTRTフラグをセット(1)したあとの内部1 kHz信号の立ち上がりから、それぞれ1 ms, 4 ms, 8 msの期間だけゲートをオープンします。

このゲートがオープンしている間に、端子から入力されている周波数を16ビット・カウンタでカウントします。

ゲートが閉まるとIFCGフラグがクリア(0)されます。

IFCGOSTTフラグはIFCSTRTフラグをセットした時点で自動的にセット(1)されます。



(2) ゲート時間にオープンを選択した場合

次に示すようにIFCCK1, IFCCK0フラグによりオープンを選択した場合は、オープンを選択した時点でゲートがオープンします。

このゲートがオープンしている間にIFCSTRTフラグによりカウントのスタートを設定すると不定時間後にゲートが閉じてしまいます。

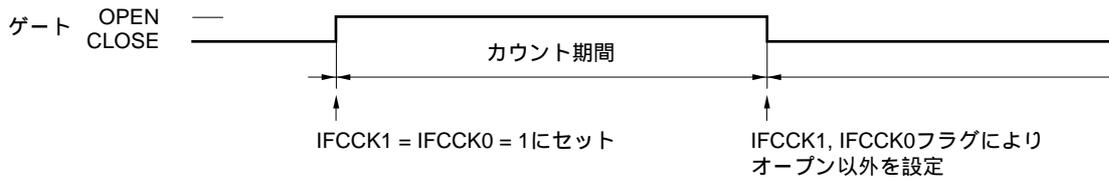
したがってゲート時間にオープンを使用する場合は、IFCSTRTフラグをセット(1)しないでください。

ただし、IFCRESフラグによりカウンタをリセットすることは可能です。



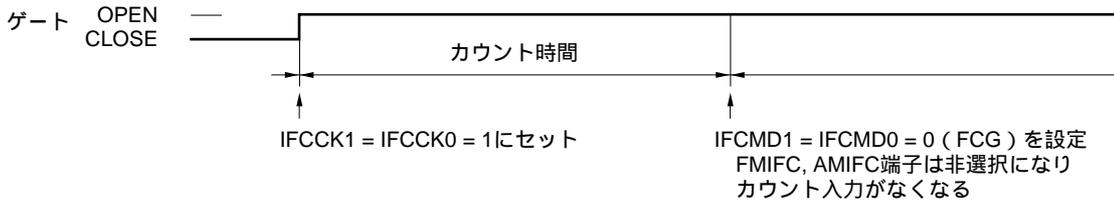
ゲート時間にオープンを選択した場合のゲートの開閉は以下の(a)および(b)に示す2通りの方法があります。

(a) IFCK1, IFCK0フラグによりゲート時間にオープン以外を設定し直す。



(b) IFCMD1, IFCMD0フラグにより使用している端子を非選択にする。

この方法はゲートはオープンしたままであり，端子からの入力を禁止することによりカウントを中断します。



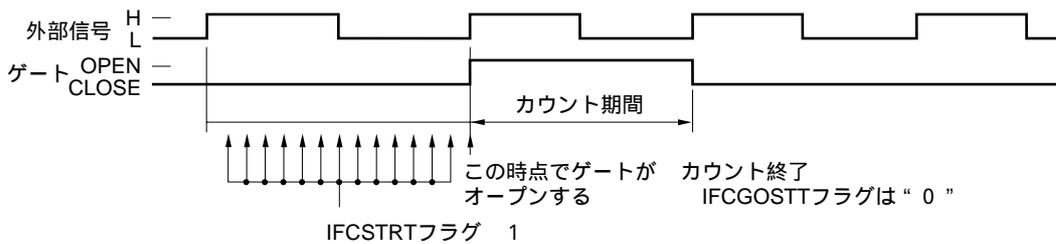
18.3.3 外部ゲート・カウンタ機能時のゲート動作

次に示すようにIFCSTRTフラグをセット (1) したあとの端子に入力されている信号の立ち上がりからその次の立ち上がりの期間だけゲートをオープンします。

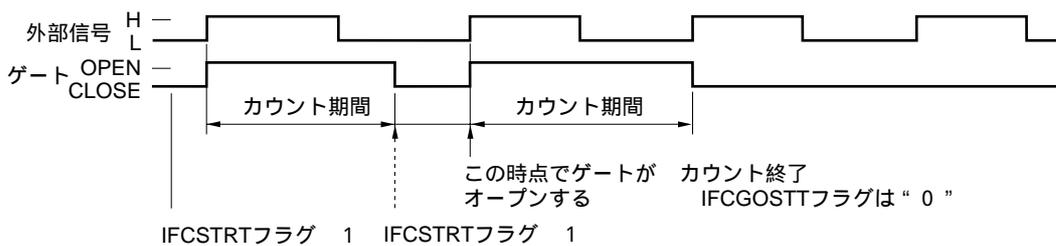
このゲートがオープンしている間に，内部の周波数 (1 kHz, 100 kHz, 900 kHz) を16ビット・カウンタでカウントします。

IFCGOSTTフラグはIFCSTRTフラグをセットしたあとの外部信号の立ち上がりからその次の立ち上がりまでの期間だけセット (1) されます。

すなわち，外部ゲート・カウンタ機能時にはIFCGフラグによるゲートの開閉の検出はできません。



ゲートがオープンしている間にリセット，スタートした場合



18.3.4 16ビット・カウンタの機能と動作

16ビット・カウンタは、ゲート時間内に入力された周波数をアップ・カウントします。

16ビット・カウンタのリセットはIFカウンタ・コントロール・レジスタのIFCRESフラグに“1”を書き込むことにより行います。

16ビット・カウンタはFFFFHまで計数するとカウンタがリセットされるまでFFFFHの状態を保持します。

次の(1)および(2)にIFカウンタ機能および外部ゲート・カウンタ機能時の動作を示します。

IFカウンタ・データ・レジスタの値を読み込む場合は、データ・バッファを介して読み込みます。

図18-8にIFカウンタ・データ・レジスタの構成と機能を示します。

(1) IFカウンタ機能時

P1C0/FMIFC端子またはP1C1/AMIFC端子に入力された周波数をゲートがオープンしている間カウントします。

ただし、P1C0/FMIFC端子に入力された周波数は1/2分周してカウントします。

次に、カウント値“x(10進)”と入力周波数(f_{FMIFC} , f_{AMIFC})の関係を示します。

・FMIFC

$$f_{FMIFC} = \frac{x}{t_{GATE}} \times 2 \text{ (kHz)} \quad t_{GATE} : \text{ゲート時間 (1 ms, 4 ms, 8 ms)}$$

・AMIFC

$$f_{AMIFC} = \frac{x}{t_{GATE}} \text{ (kHz)} \quad t_{GATE} : \text{ゲート時間 (1 ms, 4 ms, 8 ms)}$$

(2) 外部ゲート・カウンタ (FCG) 機能時

P2A1/FCG1端子またはP2A0/FCG0端子に入力された信号によりゲートがオープンしている間、内部周波数をカウントします。

次に、カウント値“x(10進)”と入力信号のゲート幅 t_{GATE} の関係を示します。

$$t_{GATE} = \frac{x}{f_r} \text{ (ms)} \quad f_r : \text{内部周波数 (1 kHz, 100 kHz, 900 kHz)}$$

図18 - 8 IFカウンタ・データ・レジスタの構成



IFカウンタ・データ・レジスタはFFFFHまでカウントするとカウンタがリセットされるまでFFFFHの状態を保持します。

18.4 IFカウンタの使用法

18.4.1-18.4.3にIFカウンタのハードウェア使用法、プログラム例およびカウント誤差を示します。

18.4.1 IFカウンタのハードウェア使用法

図18-9にP1C0/FMIFC端子およびP1C1/AMIFC端子を使用するときのブロック図を示します。

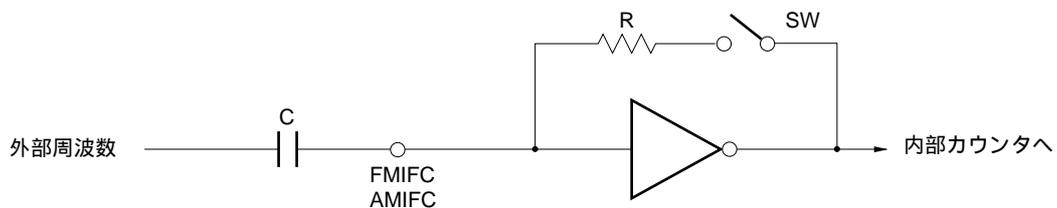
図18-9に示すように、IFカウンタは交流アンプを内蔵した入力端子になるため、入力信号は直流分をコンデンサCでカットしてください。

P1C0/FMIFC端子およびP1C1/AMIFC端子がIFカウンタ機能に選択されると、スイッチSWがオンして各端子の電圧が約 $1/2 V_{DD}$ になります。

このとき、十分に中間電圧に立ち上がっていないと、交流アンプが正常動作範囲にないため、IFカウントが正常に行われない場合があります。

したがって、各端子をIFカウンタとして指定してからカウントをスタートするまでに十分なウェイト時間を設けてください。

図18-9 各端子のIFカウンタ機能ブロック図



18.4.2 IFカウンタのプログラム例

次にIFカウンタのプログラム例を示します。

例に示すように、P1C0/FMIFC端子またはP1C1/AMIFC端子をIFカウンタに設定する命令を実行してから、カウントをスタートするまでに、ウェイト時間を設けてください。

これは、18.4.1でも説明したように、各端子をIFカウンタに選択したときに、すぐに内蔵交流アンプが正常動作状態にならない場合があるためです。

例 P1C0/FMIFC端子 (FMIFCカウントモード) で周波数をカウントする場合 (ゲート時間は8ms)

```

INITFLG IFCMD1, NOT IFCMD0, IFCKK1, NOT IFCKK0
                                ; FMIFC端子(FMIFCカウント・モード)を選択し、ゲート時間を8msに設定
                                ; 内蔵交流アンプ安定時間
                                ; カウンタのリセット
                                ; カウント・スタート
                                ; ゲートの開閉を検出
                                ; ゲートが閉じればREAD : へ分岐
                                ; この処理AではIFカウンタのデータを読み込まないでください。
                                ; IFカウンタ・データ・レジスタの値をデータ・バッファへ読み込む。

```

ウエイト

```

SET1 IFCRES
SET1 IFCSTR
LOOP:
SKT1 IFCGOSTT
BR READ

```

処理A

```

BR LOOP
READ:
GET DBF, IFC

```

18.4.3 IFカウンタの誤差

IFカウンタの誤差にはゲート時間の誤差とカウント誤差があります。

次の(1)および(2)にそれぞれを示します。

(1) ゲート時間の誤差

IFカウンタのゲート時間は、システム・クロック周波数である4.5 MHzを分周して作り出しています。したがって4.5 MHzが“ + x ” ppmずれていると、ゲート時間は“ - x ” ppmずれることになります。

(2) カウント誤差

IFカウンタは入力された信号の立ち上がりエッジで周波数をカウントします。

したがって、ゲートがオープンしたときに端子にハイ・レベルが入力されていると1パルス分余分にカウントします。

ただし、ゲートが閉じるときは、端子の状態によりカウントすることはありません。

すなわちカウント誤差としては、“ + 1 , - 0 ” になります。

18.5 外部ゲート・カウンタの使用法

18.5.1 外部ゲート・カウンタのプログラム例

次に外部ゲート・カウンタ機能のプログラム例を示します。

例 P2A0/FCG0端子を外部ゲート入力として使用する場合

```

INITFLG NOT IFCMD1, NOT IFCMD0, IFCK1, NOT IFCK0
                                ; 外部ゲート・カウンタ機能を選択し, ゲート時間を 8 ms に設定
INITFLG NOT FCGCH1, FCGCH0 ; 外部ゲート入力としてFCG0端子を選択
SET1   IFCRES                ; カウンタのリセット
SET1   IFCSTRT               ; カウント・スタート
LOOP:
SKF1   IFCGOSTT              ; ゲート開閉の検出
BR     READ                  ; ゲートが閉じていればREAD:へ分岐



処理 A


                                ; この処理 A ではIFカウンタのデータを読み込まないでください。

BR     LOOP
READ:
GET    DBF, IFC              ; IFカウンタ・データ・レジスタの値をデータ・バッファへ読み込む。

```

18.5.2 外部ゲート・カウンタの誤差

外部ゲート・カウンタの誤差には内部周波数の誤差とカウント誤差があります。

次の(1)および(2)にそれぞれを示します。

(1) 内部周波数の誤差

外部ゲート・カウンタの内部周波数は、システム・クロック周波数である4.5 MHzを分周して作り出しています。

したがって4.5 MHzが“ + x ” ppmずれていると、内部周波数は同様に“ + x ” ppmずれることになります。

(2) カウント誤差

外部ゲート・カウンタは内部周波数の立ち上がりエッジで周波数をカウントします。

したがって、ゲートがオープンしたとき(端子の入力が立ち上がったとき)に、内部周波数がロウ・レベルであると1パルス分余分にカウントします。

ただし、ゲートが閉じるとき(次に端子の入力が立ち上がったとき)は、内部周波数のカウント・レベルによりカウントすることはありません。

すなわちカウント誤差としては、“ + 1 , - 0 ” になります。

18.6 リセット時の状態

18.6.1 パワーオン・リセット時

P1C0/FMIFC端子, P1C1/AMIFC端子, P2A0/FCG0端子, P2A1/FCG1端子は汎用入力ポートに設定されます。

18.6.2 WDT & SPリセット時

P1C0/FMIFC端子, P1C1/AMIFC端子, P2A0/FCG0端子, P2A1/FCG1端子は汎用入力ポートに設定されます。

18.6.3 クロック・ストップ時

P1C0/FMIFC端子, P1C1/AMIFC端子は汎用入力ポートに設定されます。

P2A0/FCG0端子, P2A1/FCG1端子は汎用入出力ポートに設定され, 入力 / 出力は以前の状態を保持します。

18.6.4 CEリセット時

P1C0/FMIFC端子, P1C1/AMIFC端子は汎用入力ポートに設定されます。

P2A0/FCG0端子, P2A1/FCG1端子は汎用入出力ポートに設定され, 入力 / 出力は以前の状態を保持します。

18.6.5 ホールト状態時

P1C0/FMIFC端子, P1C1/AMIFC端子, P2A0/FCG0端子, P2A1/FCG1端子はホールト直前の状態を保持します。

19 . BEEP

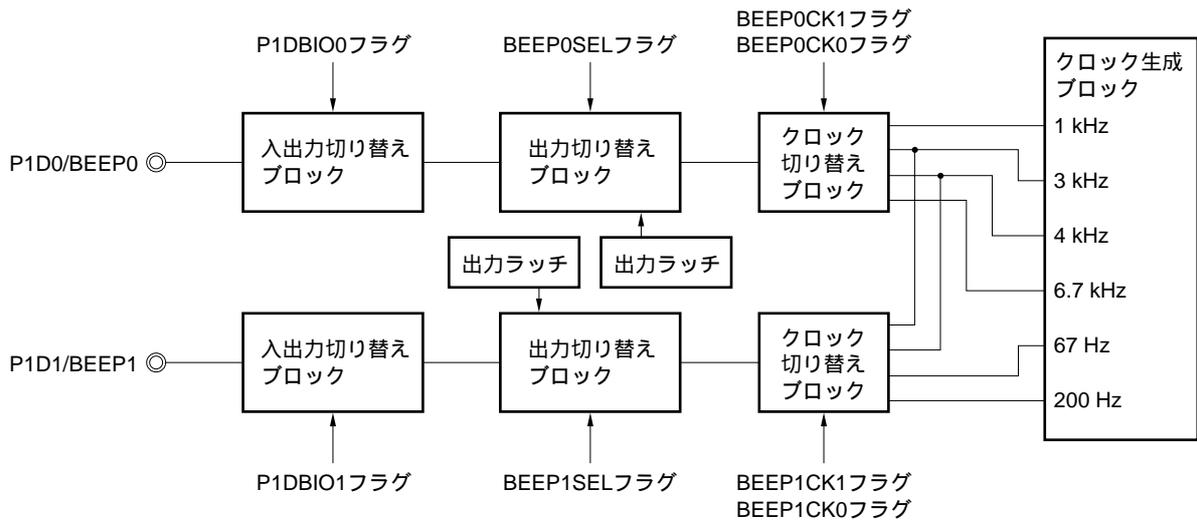
19.1 BEEP概要

図19 - 1 にBEEPの概要を示します。

BEEPは、P1D0/BEEP0端子から1 kHz、3 kHz、4 kHz、6.7 kHzのクロックを出力し、P1D1/BEEP1端子から4 kHz、3 kHz、200 Hz、67 Hzのクロックを出力します。

BEEP出力のデューティは50 %で出力されます。

図19 - 1 BEEP概要



- 備考 1 .** BEEP0CK1, BEEP0CK0 (BEEPクロック選択レジスタのビット 1 , ビット 0 : 図19 - 4 参照)
 BEEP0の出力周波数を設定
- 2 .** BEEP1CK1, BEEP1CK0 (BEEPクロック選択レジスタのビット 3 , ビット 2 : 図19 - 4 参照)
 BEEP1の出力周波数を設定
- 3 .** BEEP1SEL , BEEP0SEL (BEEP/汎用ポート端子機能選択レジスタのビット 1 , ビット 0 : 図19 - 3 参照)
 汎用入出力ポートとBEEPの選択
- 4 .** P1DBIO1 , P1DBIO0 (ポート1DビットI/O選択レジスタのビット 1 , ビット 0 : 図19 - 2 参照)
 ポートの入力 / 出力を設定

19.2 入出力切り替えブロックおよび出力切り替えブロック

入出力切り替えブロックは、ポート1DビットI/O選択レジスタにより、P1D0/BEEP0端子およびP1D1/BEEP1端子の入力/出力を切り替えます。BEEP端子として使用する場合には、出力モードに設定してください。

出力切り替えブロックは、BEEP/汎用ポート端子機能選択レジスタによりP1D0/BEEP0端子およびP1D1/BEEP1端子の出力を、汎用出力ポートまたはBEEP出力に切り替えます。

図19 - 2 にポート1DビットI/O選択レジスタの構成を示します。

図19 - 3 にBEEP/汎用ポート端子機能選択レジスタの構成を示します。

図19 - 2 ポート1DビットI/O選択レジスタの構成

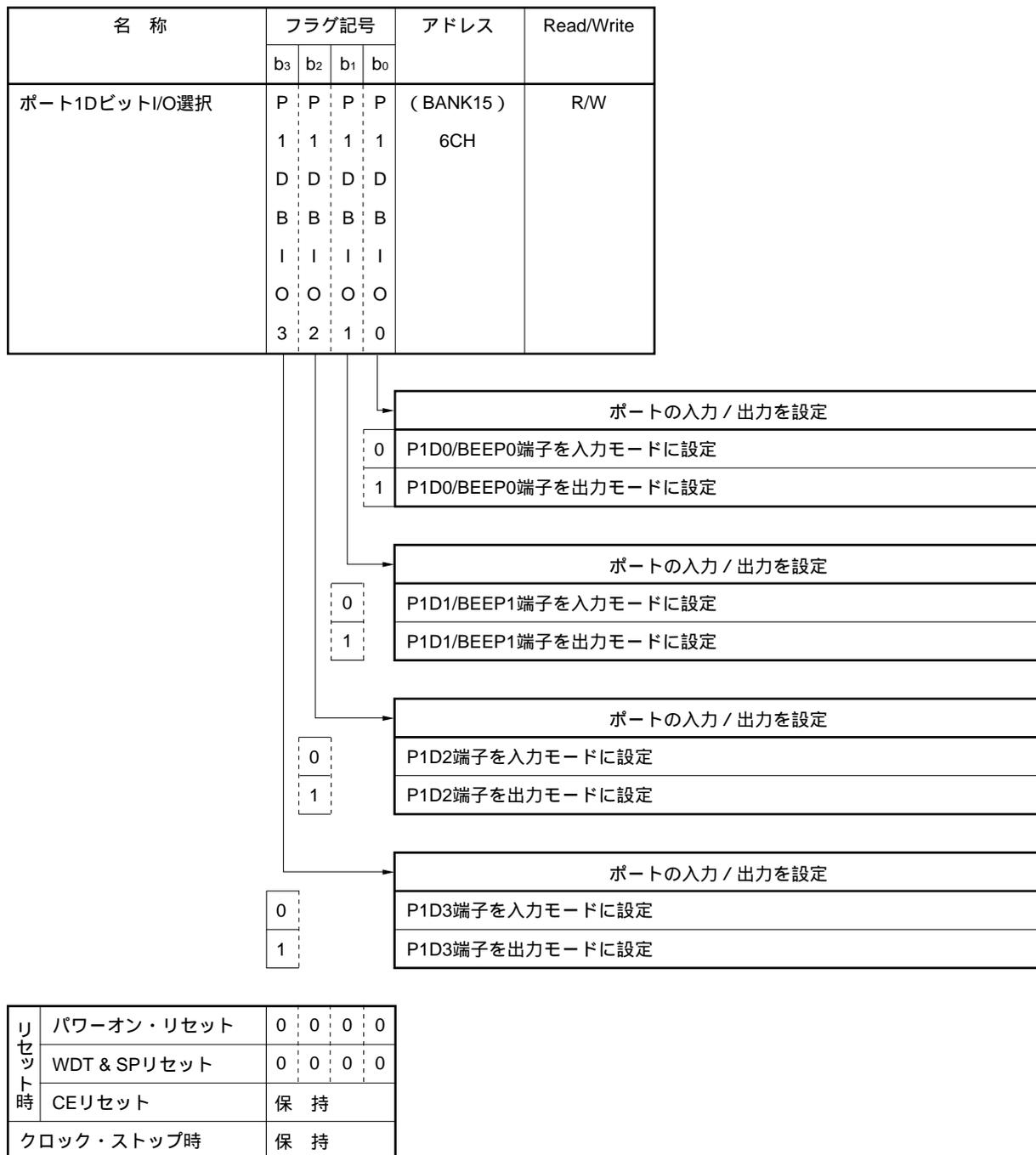
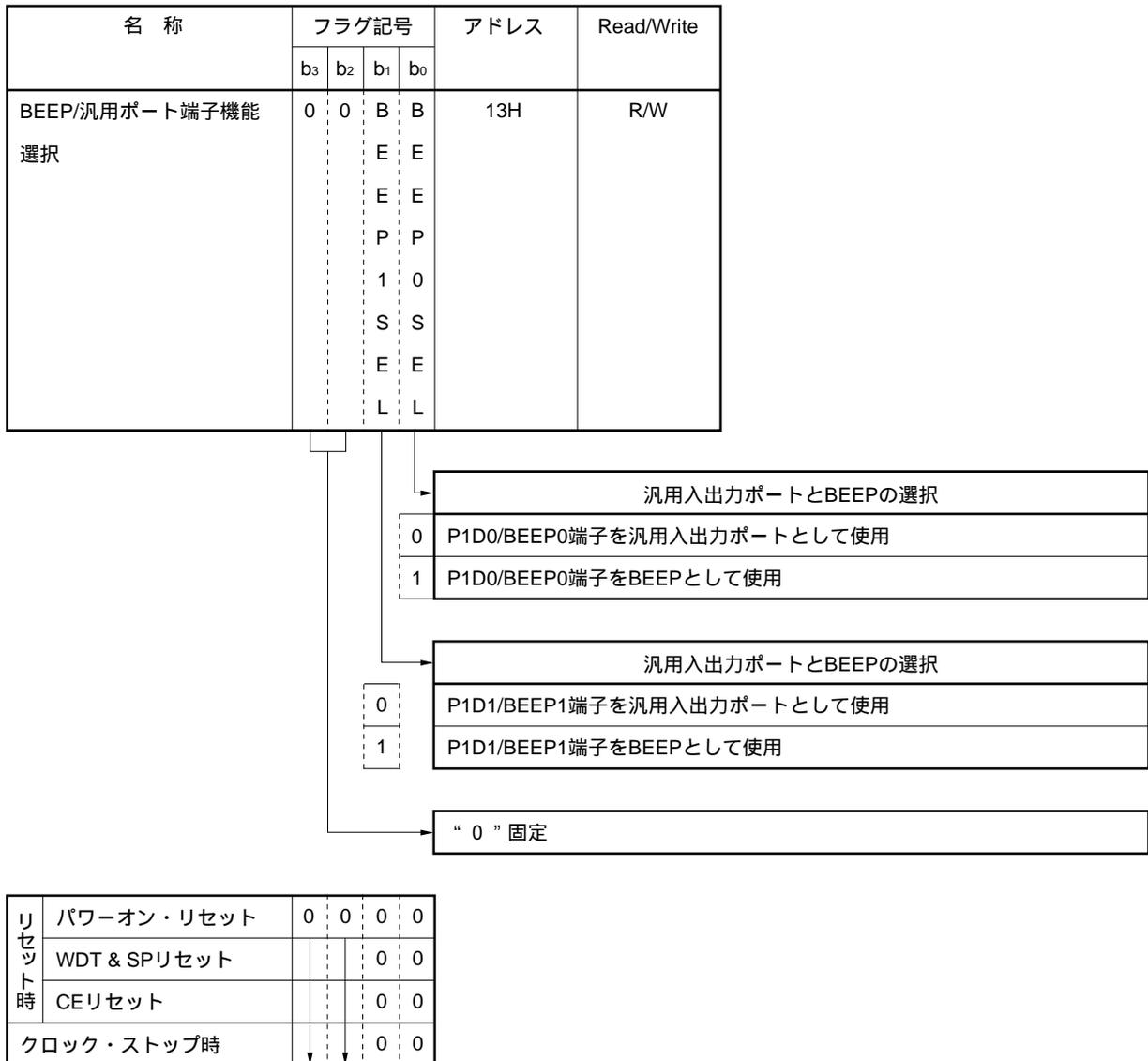


図19 - 3 BEEP/汎用ポート端子機能選択レジスタの構成

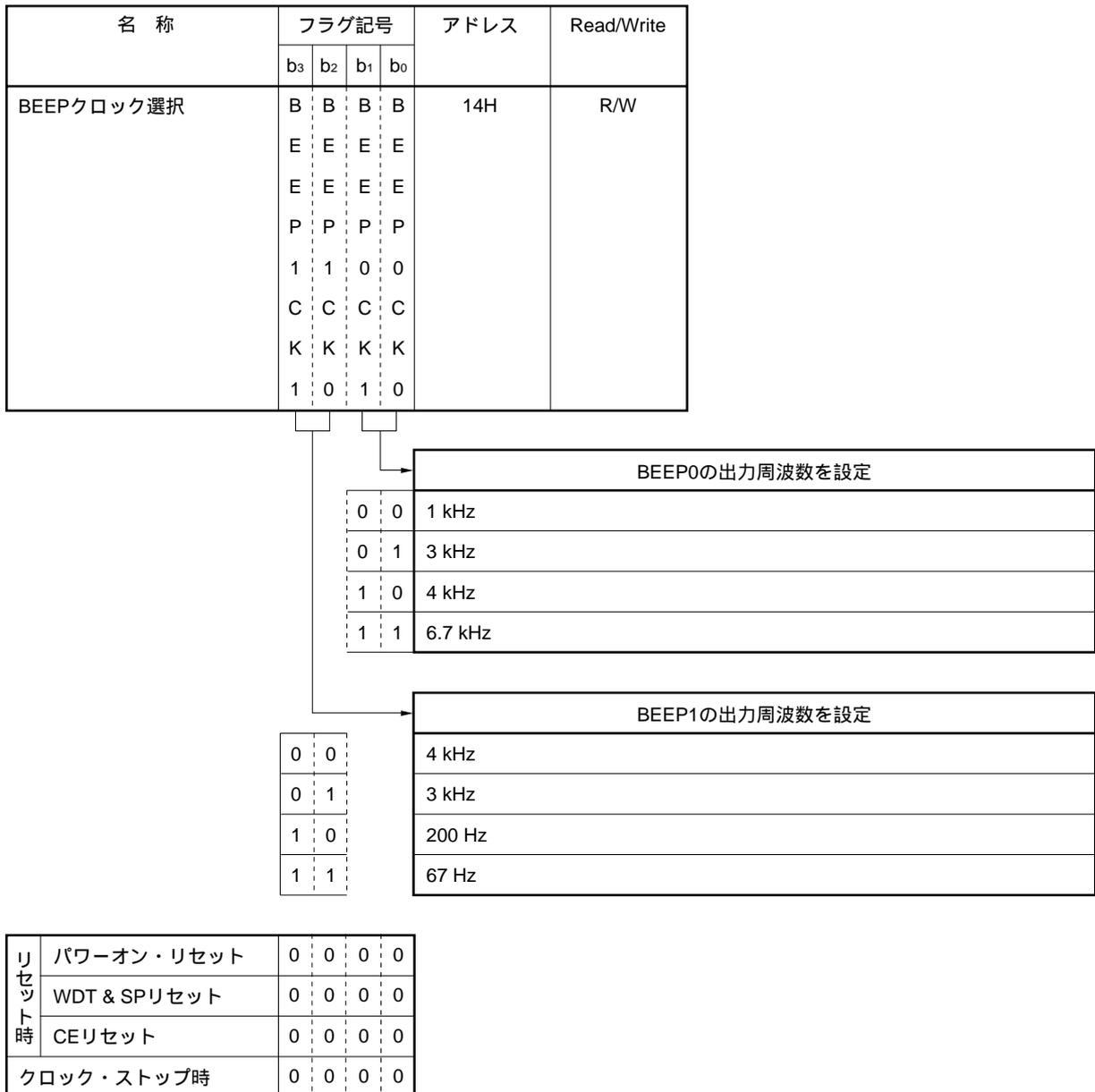


19.3 クロック切り替えブロックおよびクロック生成ブロック

クロック切り替えブロックは、BEEPクロック選択レジスタにより、BEEP1およびBEEP0の出力周波数を切り替えます。

クロック生成ブロックは、BEEP1およびBEEP0に出力するクロックを生成します。
生成されるクロック周波数は、1kHz、3kHz、4kHz、6.7kHz、67Hz、200Hzです。

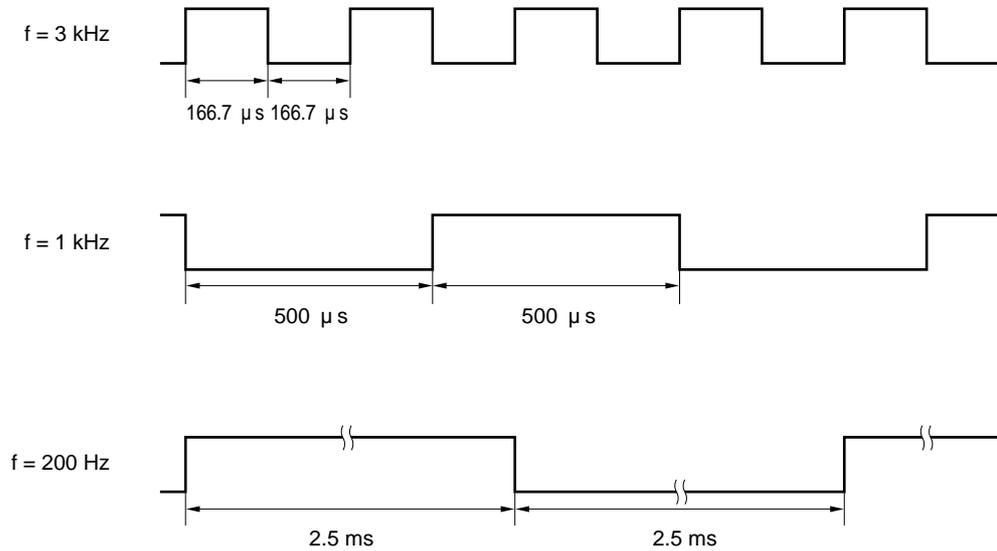
図19 - 4 BEEPクロック選択レジスタの構成



19.4 BEEPの出力波形

BEEPの出力波形のデューティは50%です。

例



f : BEEPの出力周波数

19.5 リセット時の状態

19.5.1 パワーオン・リセット時

P1D0/BEEP0端子およびP1D1/BEEP1端子は汎用入力ポートに設定されます。

19.5.2 WDT & SPリセット時

P1D0/BEEP0端子およびP1D1/BEEP1端子は汎用入力ポートに設定されます。

19.5.3 クロック・ストップ時

P1D0/BEEP0端子およびP1D1/BEEP1端子は汎用入出力ポートに設定され、入力/出力は以前の状態を保持します。

19.5.4 CEリセット時

P1D0/BEEP0端子およびP1D1/BEEP1端子は汎用入出力ポートに設定され、入力/出力は以前の状態を保持します。

19.5.5 ホールト時

以前の状態を保持します。

20. スタンバイ

スタンバイ機能は、バックアップ時にデバイスの消費電流を減少させる目的で使用します。

20.1 スタンバイ機能概要

図20 - 1 にスタンバイ・ブロックの概要を示します。

スタンバイ機能はデバイスの動作を一部またはすべて停止させることによりデバイスの消費電流を削減します。

スタンバイ機能には次の3つがあり、用途に応じて使い分けることができます。

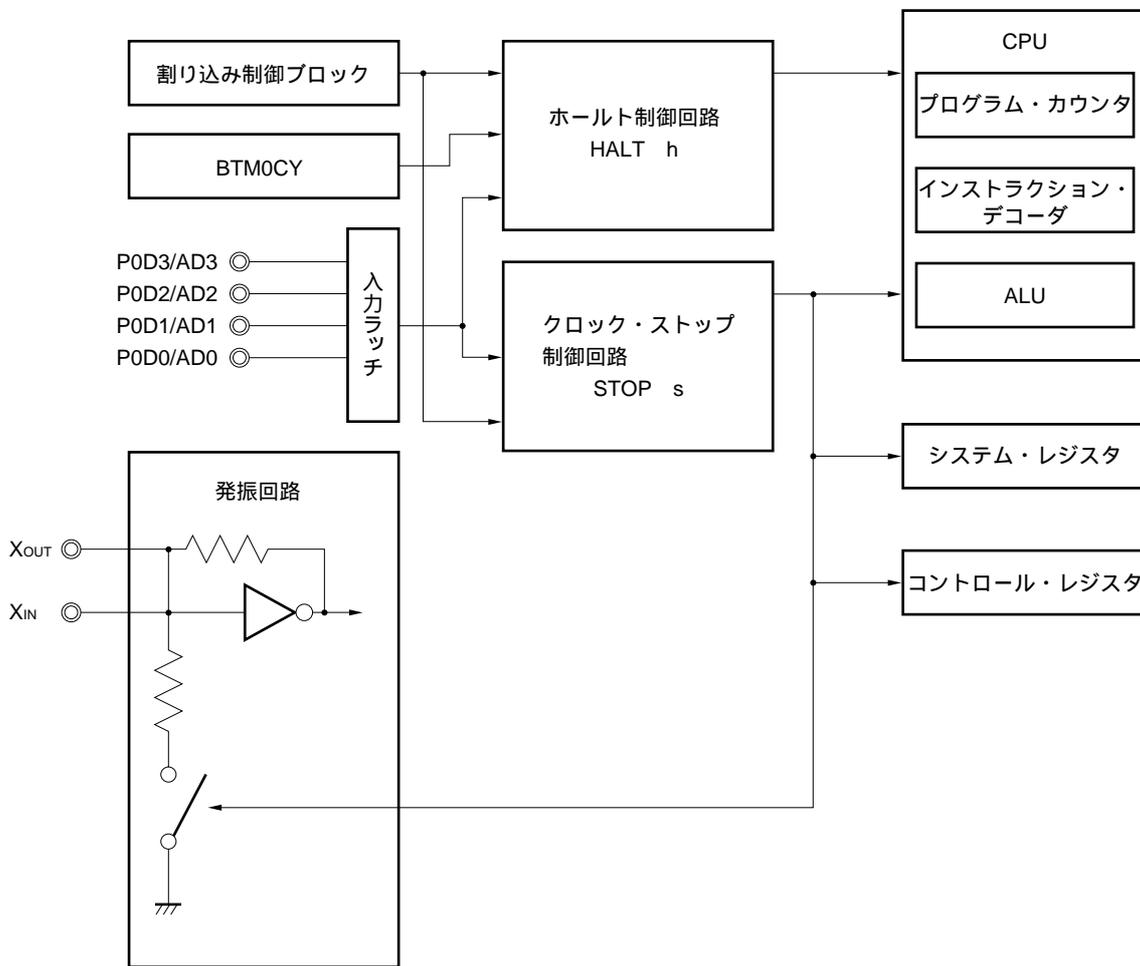
- ・ホールド機能
- ・クロック・ストップ機能
- ・CE端子によるデバイスの動作制御機能

ホールド機能は、専用命令である“HALT h”命令でCPUの動作を停止させることにより、デバイスの消費電流を削減します。

クロック・ストップ機能は、専用命令である“STOP s”命令で発振回路の発振を停止させることにより、デバイスの消費電流を削減します。

CE端子はPLL周波数シンセサイザの動作制御およびデバイスのリセットに使用できるので、動作制御を行う点ではスタンバイ機能の1つといえます。

図20 - 1 スタンバイ・ブロック概要



20.2 ホールト機能

20.2.1 ホールト機能概要

ホールト機能は，“HALT h”命令を実行することによりCPUの動作クロックを停止します。

“HALT h”命令が実行されると，以後ホールト状態が解除されるまでプログラムは停止したままになります。したがって，ホールト状態中のデバイス消費電流はCPUの動作電流分だけ減少します。

ホールト状態からの解除はベーシック・タイマ0キャリーFF，割り込みおよびポート入力（P0D）により行います。

解除条件は“HALT h”命令のオペランドである“h”により指定します。

20.2.2 ホールト状態

ホールト状態中はCPUの動作がすべて停止します。すなわちプログラムの実行が“HALT h”命令で停止している状態になります。ただし，周辺ハードウェアは“HALT h”命令以前に設定されている動作をそのまま継続します。

各周辺ハードウェアの動作については“20.4 ホールトおよびクロック・ストップ時のデバイス動作”を参照してください。

20.2.3 ホールト解除条件

図20 - 2 にホールト解除条件を示します。

ホールト解除条件は，“HALT h”命令のオペランド“h”で指定する4ビット・データにより設定します。

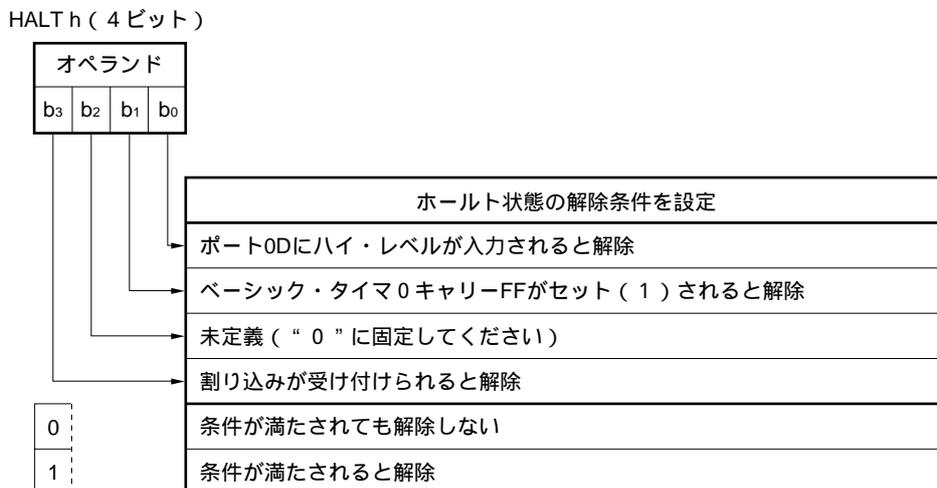
ホールト状態は，オペランド“h”に“1”で指定された条件が満たされると解除されます。

ホールト状態が解除されると，“HALT h”命令の次の命令からプログラムを実行します。ただし，割り込みによる解除を指定した場合には，割り込み許可（IP x x x = 1）されていてかつ割り込み要因が発行（IRQ x x x = 1）されたとき，割り込みイネーブル状態“EI”，ディスエーブル状態“DI”のどちらかに指定されているかでホールト解除後のプログラム動作が異なりますので注意が必要です。

また，このとき一度に複数の解除条件が設定されていると，設定されている条件のどれか1つでも満たされればホールト状態は解除されます。

ホールト解除条件“h”に0000Bが設定されると，どの解除条件も設定されません。このときデバイスにリセット（パワーオン・リセット，WDT & SPリセット，またはCEリセット）がかかるとホールト状態が解除されます。

図20 - 2 ホールト解除条件



20.2.4 入力ポート (P0D) によるホールト解除

入力ポートによるホールト解除条件は，“HALT 0001B”命令で設定します。

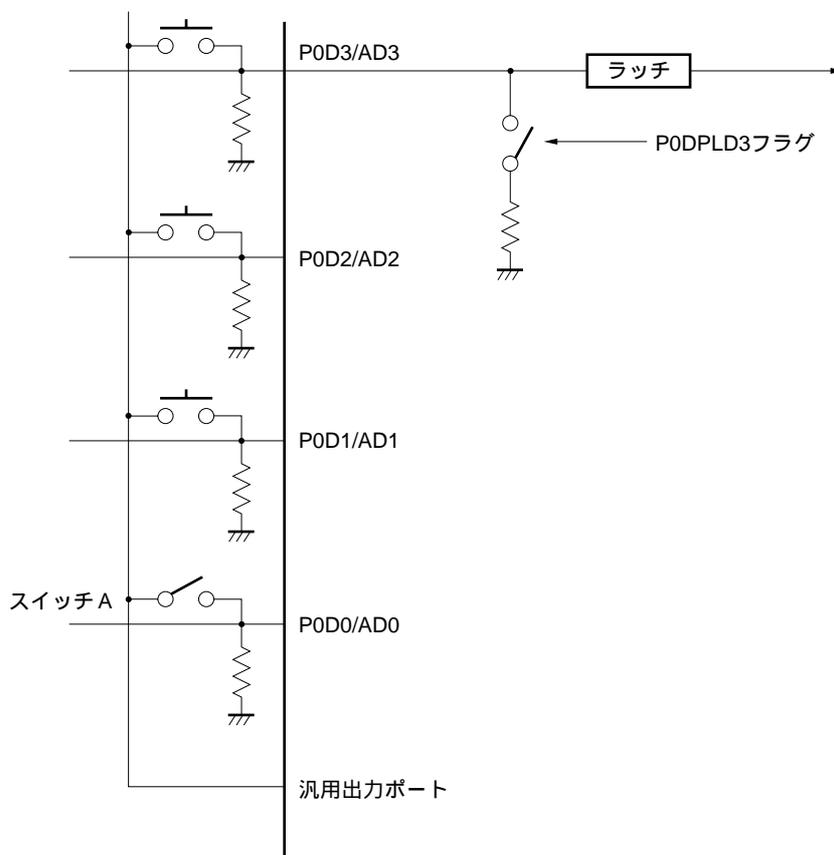
入力ポートによるホールト解除条件を設定すると，P0D0-P0D3端子の4本のうちどれか1本にでもハイ・レベルが入力されたときにホールト状態を解除します。

P0D0-P0D3端子はA/Dコンバータ入力端子AD0-AD3端子と兼用端子となっており，A/Dコンバータ入力端子として選択されている場合にはホールト解除されません。

次に使用例を示します。

・キー・マトリクスとして使用する場合

P0D0-P0D3端子は，1ビット単位で切り替え可能なプルダウン抵抗付き汎用入力ポートです。したがって，ソフトウェアで内部プルダウン抵抗を指定した場合には，この例のような外付け抵抗を削除できます（パワーオン・リセット時は内部プルダウン抵抗が指定されています）。



キー・ソース信号用の汎用出力ポートをハイ・レベルにしたあとに，“HALT 0001B”命令を実行します。

このとき，上図に示すスイッチ A のようにオルタネート・スイッチを用いていると，スイッチ A が閉じている間は常に P0D0/AD0 端子にハイ・レベルが加わるため，ホールト状態はただちに解除されてしまいます。十分注意してください。

20.2.5 ベーシック・タイマ0 キャリーFFによるホールド解除

ベーシック・タイマ0 キャリーFFによるホールド解除は，“HALT 0010B”命令で設定します。

ベーシック・タイマ0 キャリーFFによるホールド解除が設定されると、ベーシック・タイマ0 キャリーFFがセット（1）されると同時にホールド状態が解除されます。

ベーシック・タイマ0 キャリーFFは、BTMOCYフラグと1対1に対応しており、一定時間ごと（100 ms，50 ms，20 ms，10 ms）にセットされます。したがって、一定時間ごとにホールド状態を解除することができます。

例 100 msごとにホールド状態を解除し、処理Aを実行する。

```
HLTTMR DAT    0010B                ; シンボル定義
        INITFLG NOT BTMOCK1,NOT BTMOCK0 ; ベーシック・タイマ0の時間間隔を100 msに設定
LOOP :
        HALT   HLTTMR                ; ホールド解除条件をベーシック・タイマ0 キャリーFFのセットに設定
        SKT1   BTMOCY                ; 組み込みマクロ
        BR     LOOP                  ; BTMOCYフラグがセットされていなければLOOPへ分岐

        [ 処理A ]                    ; キャリーが出れば処理Aを実行

        BR     LOOP
```

20.2.6 割り込みによるホールド解除

割り込みによるホールド解除は“HALT 1000B”命令で設定します。

割り込みによるホールド解除が設定されると、割り込みが受け付けられると同時にホールド状態が解除されます。

割り込み要因には、12. **割り込み**で説明したように複数の要因があります。したがって、どの割り込み要因でホールド解除するかはあらかじめプログラムで指定しておく必要があります。

また、割り込みが受け付けられるためには、各割り込み要因からの割り込み要求の発行以外に各割り込みごとの許可（割り込み許可フラグのセット）を設定しておく必要があります。

したがって、割り込み要求が発行されてもその割り込みが許可されていなければ割り込みは受け付けられず、ホールド状態も解除されません。

割り込みの受け付けによりホールド状態が解除されると、プログラムの流れは各割り込みのベクタ・アドレスへ移ります。

割り込みの処理後は、RETI命令を実行するとプログラムの流れはHALT命令の次の命令に復帰します。

また、すべての割り込みが禁止（DI状態）されていれば、割り込み許可（ $IP \times \times = 1$ ）かつ割り込み要因の発行（ $IRQ \times \times = 1$ ）によりホールド状態が解除されプログラムの流れはHALT命令の次の命令へ移ります。

例 タイマ 0，INT0端子の割り込みによるホールド解除

この例では，タイマ 0 による割り込み受け付け時にはホールド状態を解除して処理 B を実行し，INT0端子による割り込み受け付け時には処理 A を実行します。

またホールド状態が解除されるたびに処理 C を実行します。

```

HLT INT    DAT    1000B          ; シンボル定義
START:                                ; アドレス0000H
                                ;
                                BR    MAIN          ;
;***割り込みベクタ・アドレス***
                                NOP                ; S101
                                NOP                ; S100
                                NOP                ; TIMER3
                                NOP                ; TIMER2
                                NOP                ; TIMER1
                                BR    INTTMO       ; タイマ 0 割り込み処理に分岐
                                NOP                ; INT4
                                NOP                ; INT3
                                NOP                ; INT2
                                NOP                ; INT1
                                BR    INTO        ; INT0割り込み処理に分岐
                                NOP                ; CE DOWN EDGE
INT0:                                ; INT0端子割り込みベクタ・アドレス(000BH)
                                

|      |
|------|
| 処理 A |
|------|

                                ; INT0端子による割り込み処理
                                EI
                                RETI
INTTMO:
                                

|      |
|------|
| 処理 B |
|------|

                                ; タイマ 0 による割り込み処理
                                EI
                                RETI
MAIN:
                                INITFLG NOT TMOCK1,TMOCK0 ; タイマ 0 カウント・クロックを100 μsに設定
                                MOV    DBF1,#0
                                MOV    DBF0,#0AH
                                PUT    TMOM,DBF          ; タイマ 0 割り込みの時間間隔を1msに設定
                                SET2   TMORES,TMOEN      ; タイマ 0 のリセット，スタート
                                SET2   IPTMO,IPO        ; INT0端子およびタイマ 0 の割り込みを許可
LOOP:
                                

|      |
|------|
| 処理 C |
|------|

                                ; メイン・ルーチン処理
                                EI                    ; すべての割り込みを許可
                                HALT   HLT INT        ; 割り込みによるホールド解除の設定
                                ;
                                BR    LOOP

```

ホールド状態中に同時にINT0端子による割り込み要求とタイマ 0 による割り込み要求が発行された場合は，ハードウェア優先順位の高いINT0端子の処理 A を実行します。

処理 A の実行後，“RETI” が実行されると の “BR LOOP” 命令に復帰しますが “BR LOOP” 命令は実行されずにすぐタイマ 0 割り込みが受け付けられます。

タイマ 0 割り込み処理である処理 B の実行後 “RETI” 命令が実行されると，“BR LOOP” 命令を実行しません。

注意 ホールト命令を実行する前に一度割り込み要求フラグ (IRQ × × ×) をリセットしたい場合は、次のようにホールト命令と割り込み要求フラグ (IRQ × × ×) のリセット命令との間にNOP命令 (または1命令以上のほかの命令) を挿入してください。NOP命令 (または1命令以上のほかの命令) を挿入しない場合は、割り込み要求フラグがリセットされないため、ホールト状態がすぐ解除されてしまいます。

例

```

:
:
:
:
CLR1  IRQ × × ×      ; 1回分IRQ × × ×フラグをリセット
NOP                                ; このタイミングでIRQ × × ×フラグをリセットする
                                ; この期間がないとIRQ × × ×フラグをリセットされないため、
                                ; 次のHALT命令がすぐに解除されてしまう
HALT  1000B
:

```

20.2.7 複数の解除条件が同時に設定された場合

複数のホールト解除条件が同時に設定された場合は、設定された解除条件のうち1つでも条件が満たされるとホールト状態が解除します。

このとき複数の解除条件が同時に満たされたときの解除条件判別方法を次に示します。

例

```

HLTINT    DAT    1000B
HLTBTM    DAT    0010B
HLTPOD    DAT    0001B
POD       MEM    0.73H

START:
    BR      MAIN
;***割り込みベクタ・アドレス***
    NOP          ; SI01
    NOP          ; SI00
    NOP          ; TIMER3
    NOP          ; TIMER2
    NOP          ; TIMER1
    NOP          ; TIMER0
    NOP          ; INT4
    NOP          ; INT3
    NOP          ; INT2
    NOP          ; INT1
    BR      INTO ; INTO割り込み処理に分岐
    NOP          ; CE DOWN EDGE

INTO:
    ; INTO端子割り込みベクタ・アドレス(000BH)
    [ 処理 A ] ; INTO端子割り込み処理

    EI
    RETI

BTMOUP:
    ; タイマ・キャリーFF処理
    [ 処理 B ]

    RET

PODP:
    ; POD入力処理
    [ 処理 C ]

    RET

MAIN:
    INITFLG NOT BTMOCK1,NOT BTMOCK0
    ; ベーシック・タイマ0のクロックを100 msに選択
    SET1     IPO      ; INTO端子の割り込みを許可
    EI

LOOP:
    HALT HLTINT OR HLTBTM OR HLTPOC
    ; ホールト解除条件を、割り込み、タイマ・キャリーFFおよびPOD入力に設定
    SKF1     BTMOCY   ; BTMOCYフラグを検出
    CALL     BTMOUP   ; セット(1)されていればタイマ・キャリーFF処理
    SKF      POD,1111B ; PODの入力を検出
    CALL     PODP     ; ハイ・レベルであればポート入力処理
    BR      LOOP
    
```

上記例ではホールド解除条件にINT0端子の割り込み、100 msベーシック・タイマ0 キャリーFFおよびポート0 D入力の3条件を設定しています。

どの条件でホールド状態が解除されたかを検出するために、割り込みであればベクタ・アドレス、タイマ・キャリーFFであればBTM0CYフラグ、ポート入力であればポート・レジスタを検出します。

複数の解除条件を使用するときは、次に示す2点に注意が必要です。

- ・ホールド状態が解除されたときは、設定されている解除条件のすべてを検出する必要がある。
- ・優先順位の高い解除条件から検出する必要がある。

20.3 クロック・ストップ機能

20.3.1 クロック・ストップ機能概要

クロック・ストップ機能は“STOP s”命令を実行することにより、4.5 MHz水晶振動子の発振回路を停止します（クロック・ストップ状態）。

したがって、デバイスの消費電流は30 μA MAX.まで減少します。

20.3.2 クロック・ストップ状態

クロック・ストップ状態は水晶振動子の発生回路が停止するため、CPUおよび周辺ハードウェアなどのデバイス動作はすべて停止します。

CPUおよび各周辺ハードウェアの動作は20.4 ホールドおよびクロック・ストップ時のデバイス動作を参照してください。

クロック・ストップ状態中はデバイスの電源電圧V_{DD}を2.2 Vまで下げても停電検出回路は動作しません。したがって、低電圧でのデータ・メモリのバックアップが可能になります。停電検出回路については21. リセットを参照してください。

20.3.3 クロック・ストップ状態の解除方法

図20-3にストップ解除条件を示します。

ストップ解除条件は“STOP s”命令のオペランド“s”で指定する4ビット・データにより設定します。

ストップ状態は、オペランド“s”に“1”で指定された条件が満たされると解除されます。

ストップ状態が解除されると、発振回路の安定待ち時間としてベーシック・タイマ0クロック選択レジスタで設定した時間の半分（t_{SET}/2）のホールド期間のあと、プログラムは“STOP s”命令の次の命令から実行を始めます。ただし、割り込みによる解除を指定した場合には、割り込み許可（IP×××=1）されていてかつ割り込み要因が発行（IRQ×××=1）されたとき、割り込みイネーブル状態“EI”，ディスエーブル状態“DI”のどちらに指定されているかでストップ解除後のプログラム動作が異なりますので注意が必要です。

すべての割り込みが許可（EI状態）されていれば、割り込み許可（IP×××=1）かつ割り込み要因の発行（IRQ×××=1）によりストップ状態が解除され、プログラムの流れは各割り込みのベクタ・アドレスへ移ります。

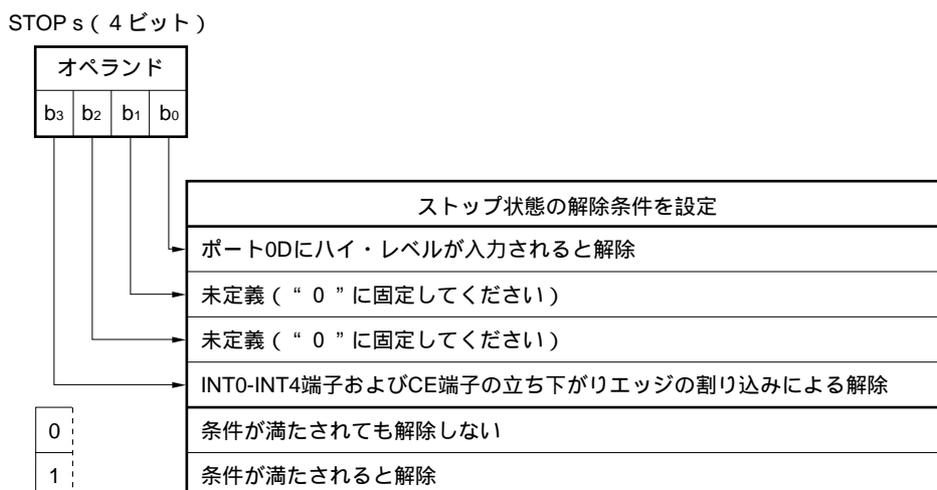
割り込みの処理後は、RETI命令を実行するとプログラムの流れはSTOP命令の次の命令に復帰します。

また、すべての割り込みが禁止（DI状態）されていれば、割り込み許可（IP×××=1）かつ割り込み要因の発行（IRQ×××=1）によりストップ状態が解除され、プログラムの流れはSTOP命令の次の命令へ移ります。

また、一度に複数の解除条件が設定されていると、設定されている条件のどれか1つでも満たされれば、ストップ状態は解除されます。

ストップ解除条件“s”に0000Bが設定されると、どの解除条件も設定されません。このときデバイスにリセット（パワーオン・リセットまたはCEリセット）がかかるとストップ状態が解除されます。

図20 - 3 ストップ解除条件

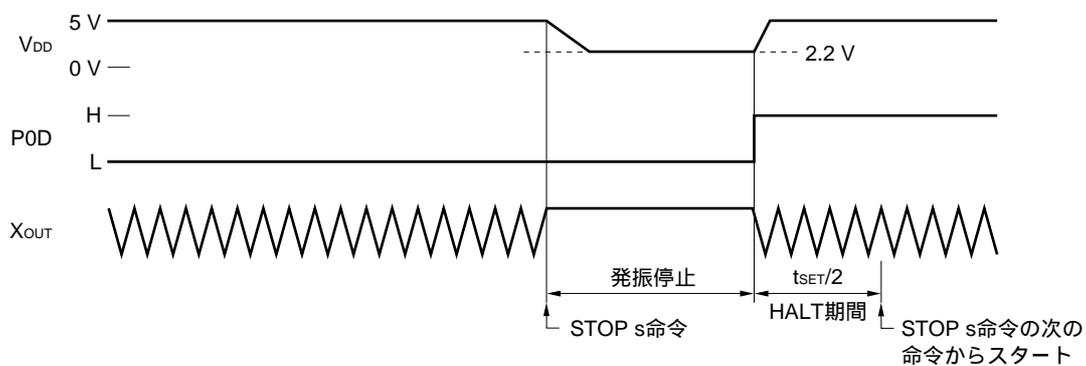


CE端子が立ち上がり、CEリセット・カウンタが動作中は、“STOP s”命令は“NOP”命令として実行されます。CEリセット・カウンタの動作状態は、CECNTSTTフラグで検出できます（CEリセット・カウンタについては21.リセットを参照してください）。

20.3.4 ポート0Dのハイ・レベル入力によるクロック・ストップ状態の解除

図20 - 4 にポート0Dのハイ・レベル入力によるクロック・ストップ状態の解除動作を示します。

図20 - 4 ポート0Dのハイ・レベル入力によるクロック・ストップ状態の解除動作



t_{SET} : ベーシック・タイマ0設定時間

20.3.5 クロック・ストップ解除動作における注意

クロック・ストップ解除動作における注意については21.4.4 電源電圧V_{DD}立ち上げ時の注意 (2) クロック・ストップ状態からの復帰時を参照してください。

20.4 ホールトおよびクロック・ストップ時のデバイス動作

表20 - 1 にホールト状態中とクロック・ストップ状態中のCPUおよび周辺ハードウェアの動作を示します。

ホールト状態中、すべての周辺ハードウェアは命令の実行が停止する以外は通常動作を継続します。

クロック・ストップ状態中は、すべての周辺ハードウェアが動作を停止します。

周辺ハードウェアの動作状態を制御するコントロール・レジスタは、ホールト状態中は通常どおり動作（イニシャライズされない）しますが、クロック・ストップ命令が実行された時点で所定の値にイニシャライズされます。

つまり各周辺ハードウェアは、ホールト状態中はコントロール・レジスタに設定されている動作を継続し、クロック・ストップ状態中はイニシャライズされたコントロール・レジスタの値に従って動作状態が決定されます。

クロック・ストップ状態時のコントロール・レジスタの値については、8．レジスタ・ファイル（RF）を参照してください。

表20 - 1 ホールト状態とクロック・ストップ状態中のデバイス動作

周辺ハードウェア	状 態	
	ホールト時	クロック・ストップ時
プログラム・カウンタ	HALT命令のアドレスでストップ	STOP命令のアドレスでストップ
システム・レジスタ	保 持	保 持
周辺レジスタ	＼	一部イニシャライズ ^{注1}
コントロール・レジスタ	＼	一部イニシャライズ ^{注1}
タイマ	通常動作	動作停止
PLL周波数シンセサイザ	通常動作 ^{注2}	＼
A/Dコンバータ	通常動作	＼
D/Aコンバータ	＼	動作停止し、汎用出力ポートになる
シリアル・インタフェース	内部クロック（マスタ）動作選択時には動作を停止し、外部クロック（スレーブ）動作選択時には動作を継続する。	動作停止し、汎用入出力ポートになる
周波数カウンタ	通常動作	動作停止し、汎用入力ポートになる
BEEP出力	＼	動作停止し、汎用入出力ポートになる
汎用入出力ポート	＼	保 持
汎用入力ポート	＼	入力ポート
汎用出力ポート	＼	出力ラッチ保持

注1．イニシャライズされる値については5．システム・レジスタ（SYSREG）および8．レジスタ・ファイル（RF）を参照してください。

2．CE端子のロウ・レベル入力により、自動的にディスエーブル状態になります。

20.5 ホールト状態およびクロック・ストップ状態中の各端子の処理上の注意

ホールト状態は、たとえば時計のみを動作させるときなどの消費電流を減らす目的で使用されます。

また、クロック・ストップ機能はデータ・メモリのみ保持するために消費電流を減らす目的で使用されます。

したがって、ホールト状態およびクロック・ストップ状態中は極力消費電流を減少させる必要があります。

このとき、消費電流は各端子の状態により大きく異なることがあるため、表20 - 2 に示すような注意が必要です。

表20 - 2 ホールトおよびクロック・ストップ状態中の各端子の状態と注意 (1/2)

端子機能		端子記号	各端子の状態と処理上の注意	
			ホールト状態	クロック・ストップ状態
汎用 入出力 ポート	ポート0A	P0A3/SDA P0A2/SCL P0A1/ <u>SCK0</u> P0A0/SO0	ホールト以前の状態をそのまま保持します。 (1) 出力端子に指定されているとき ハイ・レベル出力中に外部でブルダウ ンされていたり、ロウ・レベル出力中に 外部でプルアップされていると消費電流 が増加します。 N-chオープン・ドレイン出力(P0A3 , P0A2 ,P1B3-P1B0)は注意してください。 (2) 入力端子に指定されているとき フローティング状態になっているとノ イズにより消費電流が増加します。 (3) ポート0D (P0D3/AD3-P0D0/AD0) ソフトウェアで選択可能なブルダウン 抵抗を内蔵しているため、外部でプルア ップされていると消費電流が増加しま す。 (4) ポート1C (P1C3/AD5 , P1C2/AD4 , P1C1/AMIFC , P1C0/FMIFC) P1C1/AMIFC , P1C0/FMIFC端子をIF カウンタとして使用しているときは、内 蔵アンプが動作して消費電流が増加しま す。	すべて汎用ポートに指定されます (P0D3/ AD3-P0D0/AD0 , P1A3/INT4 , P1A2/INT3 , P1C3/AD5 , P1C2/AD4を除く)。 汎用入出力ポートの入力 / 出力の設定はクロ ック・ストップ以前の状態を保持します。 (1) 汎用出力ポートに指定されているとき フローティング状態になっているとノイ ズにより消費電流が増加します。 (2) 汎用入力ポートに指定されているとき フローティング状態であっても、ノイズ による消費電流は増加しない回路になって います。 (3) P1A3/INT4 , P1A2/INT3 割り込み端子として設定されており、フ ローティング状態になっていると外部ノイ ズなどにより消費電流が増加します。
	ポート0B	P0B3/SI0 P0B2/ <u>SCK1</u> P0B1/SO1 P0B0/SI1		
	ポート0C	P0C3-P0C0		
	ポート1D	P1D3 P1D2 P1D1/BEEP1 P1D0/BEEP0		
	ポート2A	P2A2 P2A1/FCG1 P2A0/FCG0		
	ポート2B	P2B3-P2B0		
	ポート2C	P2C3-P2C0		
	ポート2D	P2D2-P2D0		
	ポート3A	P3A3-P3A0		
	ポート3B	P3B3-P3B0		
	ポート3C	P3C3-P3C0		
ポート3D	P3D3-P3D0			
汎用 入力 ポート	ポート0D	P0D3/AD3 P0D0/AD0	P1C1/AMIFC , P1C0/FMIFC端子をIF カウンタとして使用しているときは、内 蔵アンプが動作して消費電流が増加しま す。	(4) P0D3/AD3-P0D0/AD0 , P1C3/AD5 , P1C2/AD4 A/Dコンバータに設定されている端子は そのまま保持します。 P0D3-P0D0端子のブルダウン抵抗は以 前の状態を保持します。
	ポート1A	P1A3/INT4 P1A2/INT3 P1A1 P1A0/TM0G		
	ポート1C	P1C3/AD5 P1C2/AD4 P1C1/AMIFC P1C0/FMIFC		
汎用 出力 ポート	ポート1B	P1B3 P1B2/PWM2 P1B0/PWM0	汎用出力ポートに指定されます。 出力されている内容はそのまま保持されま す。したがってハイ・レベル出力中に外部で ブルダウンされていたり、ロウ・レベル出力 中にプルアップされていると消費電流が増加 します。	

表20 - 2 ホールトおよびクロック・ストップ状態中の各端子の状態と注意 (2/2)

端子機能	端子記号	各端子の状態と処理上の注意	
		ホールト状態	クロック・ストップ状態
外部割り込み	INT4-INT0	フローティング状態になっていると外部ノイズなどにより消費電流が増加します。	
PLL周波数シンセサイザ	VCOL VCOH EO0 EO1	PLL動作時は消費電流が増加します。 PLLディスエーブル時は次のようになります。 VCOH, VCOL : 内部でプルダウン EO1, EO0 : フローティング CE端子がロウ・レベルになるとPLLは自動的にディスエーブルされます。	PLLディスエーブル状態になります。 VCOH, VCOL : 内部でプルダウン EO1, EO0 : フローティング
水晶発振回路	X _{IN} X _{OUT}	水晶発振回路の発振波形により消費電流が変化します。 また、発振振幅が大きいほど消費電流は小さくなります。 発振振幅は使用する水晶振動子や負荷コンデンサにより左右されるため、評価が必要です。	X _{IN} 端子は内部でプルダウンされ、X _{OUT} 端子はハイ・レベルを出力します。

20.6 CE端子によるデバイスの動作制御機能

CE端子は、外部から入力される信号の入力レベルおよび立ち上がりエッジにより、次に示す機能を制御します。

- ・PLL周波数シンセサイザ
- ・CE端子の立ち下がりエッジによる割り込み
- ・デバイスのリセット

20.6.1 PLL周波数シンセサイザの動作制御

PLL周波数シンセサイザはCE端子がハイ・レベルのときのみ動作可能になります。

CE端子がロウ・レベルのときは自動的にPLLディスエーブルになります。

PLLディスエーブル時はVCOH端子およびVCOL端子がデバイス内部でプルダウンされ、EO0端子およびEO1端子はフローティングになります。詳しくは17.5 PLLディスエーブル状態を参照してください。

PLL周波数シンセサイザは、CE端子がハイ・レベルのときでもプログラムによりディスエーブルすることが可能です。

20.6.2 CE端子の立ち下がりエッジ入力による割り込みの制御

CE端子の立ち下がりエッジで割り込みを発生させることができます。詳しくは12. 割り込みを参照してください。

20.6.3 デバイスのリセット

CE端子をロウ・レベルからハイ・レベルに立ち上げるにより、デバイスにリセット (CEリセット) をかけることができます。

リセットにはCEリセットのほかに次のリセットがあります。

- ・ 電源電圧V_{DD}を投入したときのパワーオン・リセット
- ・ ソフトウェア暴走検出用のウォッチドッグ・タイマ・リセットおよびスタック・オーバフロー / アンダフロー・リセット
- ・ RESET端子によるリセット

詳しくは21. リセットを参照してください。

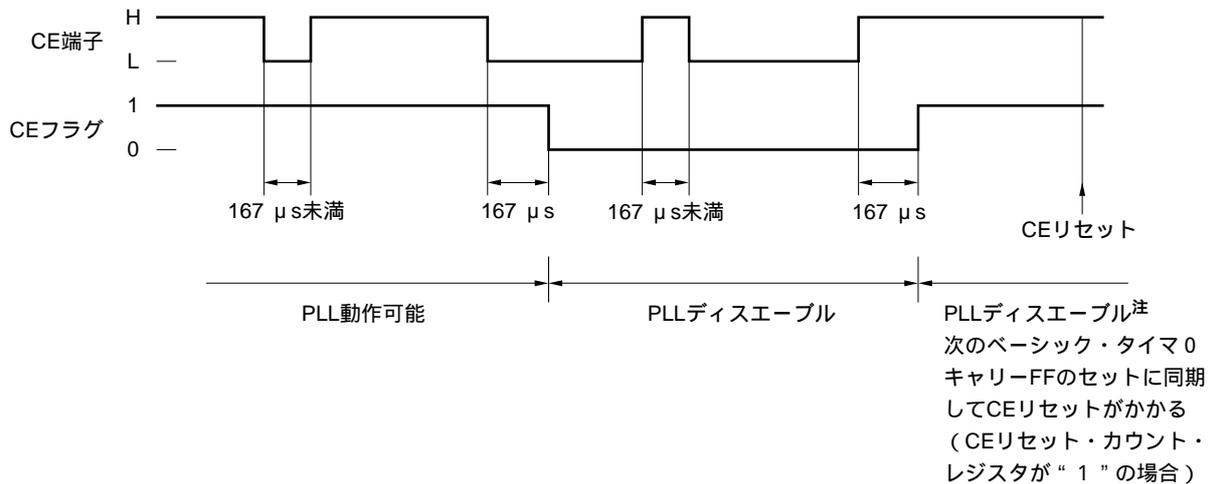
20.6.4 CE端子への信号入力

CE端子は、ノイズによる誤動作を防止するため、約167 μs未満のロウ・レベルまたはハイ・レベルは受け付けません。

また、CE端子に入力された信号の入力レベルは、CE端子割り込み要求レジスタ（RFアドレス3FH番地）のCE端子状態検出フラグにより検出することができます。

図20 - 5 に入力信号とCEフラグの関係を示します。

図20 - 5 CE端子への入力信号とCEフラグの関係



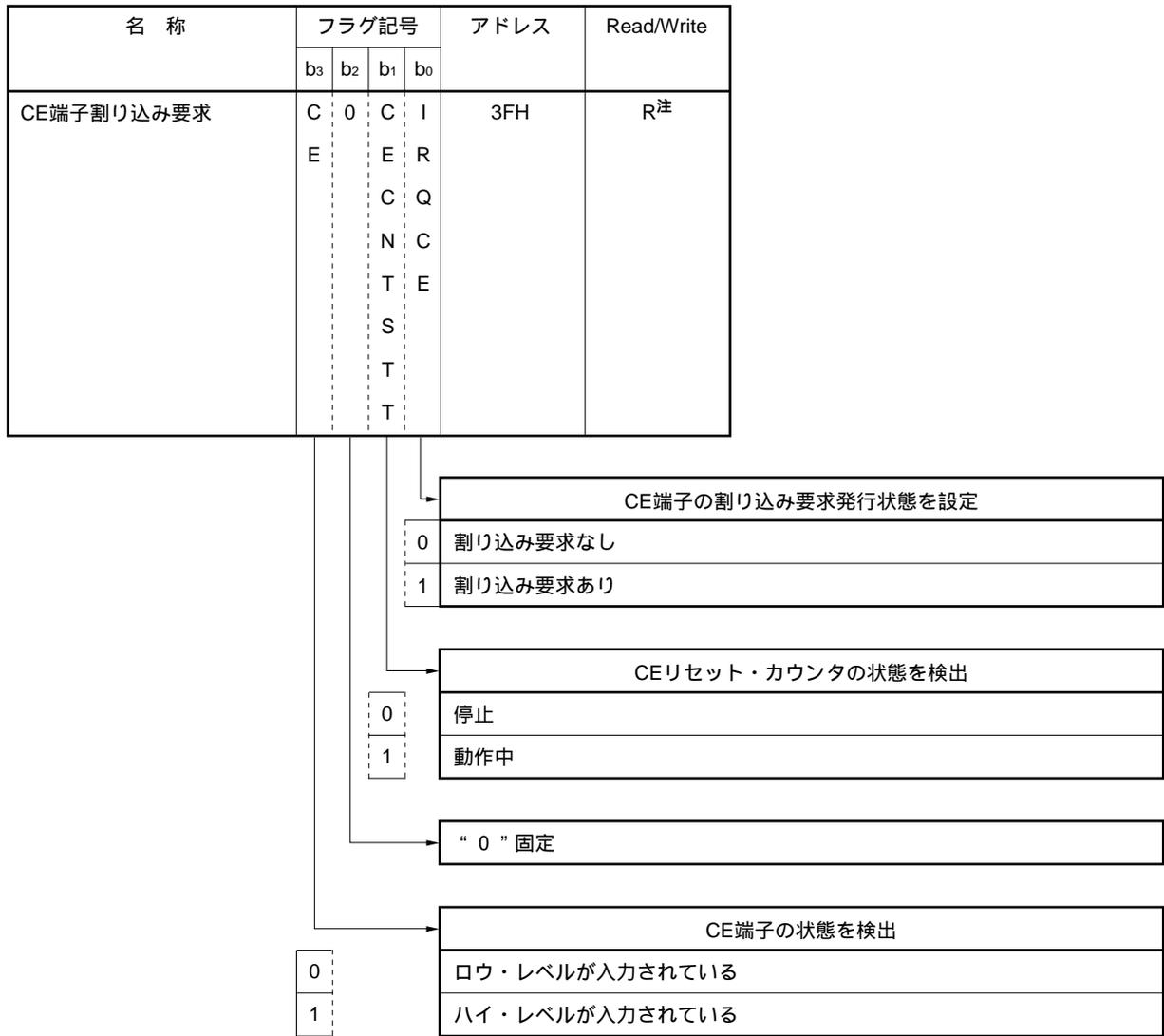
注 ソフトウェアでPLLモード選択レジスタおよびPLL基準周波数選択レジスタを書き換えなければ、PLLディスエーブル状態を保持します。

20.6.5 CE端子割り込み要求レジスタの構成と機能

CE端子割り込み要求レジスタは，CE端子の入力信号レベルを検出します。

図20 - 6 にCE端子割り込み要求レジスタの構成を示します。

図20 - 6 CE端子割り込み要求レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	不	0	0	0
	WDT & SPリセット	不		0	0
	CEリセット	不		0	保
クロック・ストップ時		不		0	保

不：不定 保：保持

注 IRQCEは，R/Wです。

21. リセット

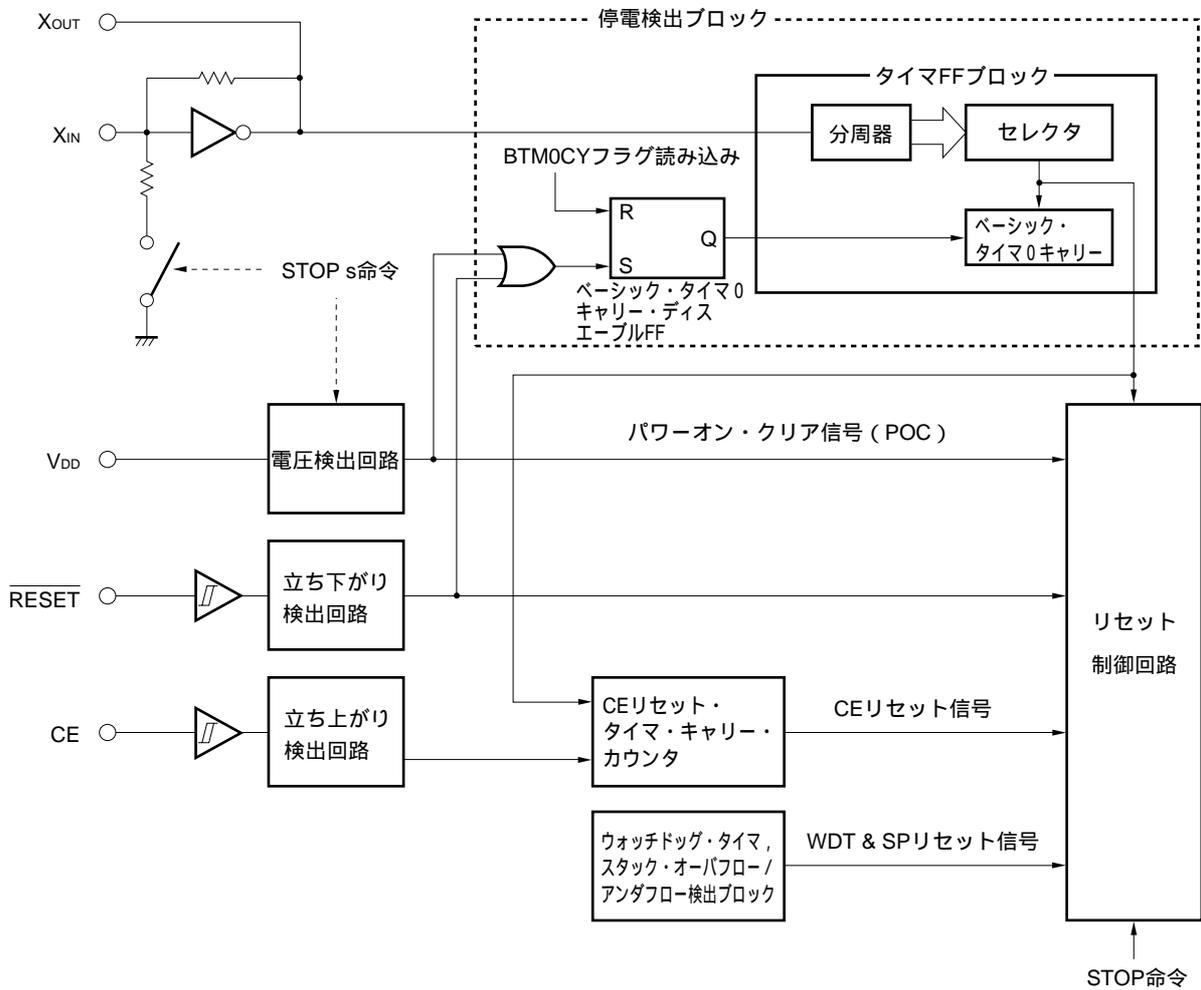
21.1 リセットの概要

リセット機能は、デバイス動作の初期化を行うために使用します。

μPD17709のリセットには、次の種類があります。

- ・CEリセット
- ・パワーオン・リセット
- ・RESET端子によるリセット
- ・WDT & SPリセット

図21 - 1 リセット・ブロックの構成



21.2 CEリセット

CEリセットは、CE端子をロウ・レベルからハイ・レベルに立ち上げることにより行います。

CE端子がハイ・レベルに立ち上がると、次のベーシック・タイマ0 キャリーFFセット用パルスの立ち上がりエッジをカウントし、CEリセット・タイマ・キャリア・カウンタ・レジスタに設定した値（1～15カウント）と一致した時点でリセット信号を発生します。

CEリセットがかかると、プログラム・カウンタ、スタック、システム・レジスタおよびコントロール・レジスタの一部を初期値にイニシャライズしてプログラムを0000H番地から実行します。初期値については各項を参照してください。

図21 - 2 CEリセット・タイマ・キャリア・カウンタ・レジスタの構成

名 称	フラグ記号				アドレス	Read/Write
	b ₃	b ₂	b ₁	b ₀		
CEリセット・タイマ・ キャリア・カウンタ	C	C	C	C	06H	R/W
	E	E	E	E		
	C	C	C	C		
	N	N	N	N		
	T	T	T	T		
	3	2	1	0		

CEリセット用タイマ・キャリア・カウンタのカウンタ回数を設定				
0	0	0	0	設定禁止
0	0	0	1	1カウント
0	0	1	0	2カウント
0	0	1	1	3カウント
0	1	0	0	4カウント
0	1	0	1	5カウント
0	1	1	0	6カウント
0	1	1	1	7カウント
1	0	0	0	8カウント
1	0	0	1	9カウント
1	0	1	0	10カウント
1	0	1	1	11カウント
1	1	0	0	12カウント
1	1	0	1	13カウント
1	1	1	0	14カウント
1	1	1	1	15カウント

リ セ ッ ト 時	パワーオン・リセット	0	0	0	1
	WDT & SPリセット	保 持			
	CEリセット	保 持			
クロック・ストップ時		0	0	0	1

CEリセットは、クロック・ストップを使用するときと使用しないときではリセット動作が異なります。

これを21.2.1および21.2.2にそれぞれ示します。

21.2.3にCEリセット時の注意を示します。

21.2.1 クロック・ストップ (STOP s命令) を使用しないときのCEリセット

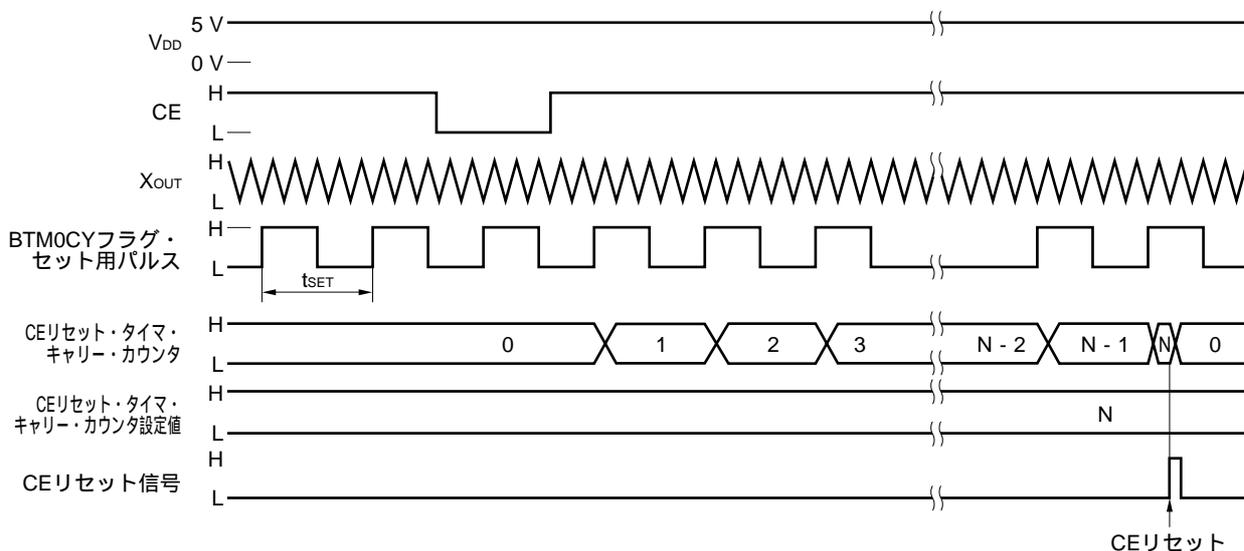
図21 - 2 に動作を示します。

CE端子がハイ・レベルに立ち上がってから、ベーシック・タイマ0 キャリ-FFセット用パルスの立ち上がりでCEリセット・タイマ・キャリア・カウンタはカウントを始めます。

図21 - 3 クロック・ストップを使用しないときのCEリセット動作 (1/2)

(a) 通常時

・CEリセット・タイマ・キャリア・カウンタに “ N ” を設定した場合



・CEリセット・タイマ・キャリア・カウンタに “ 1 ” を設定した場合

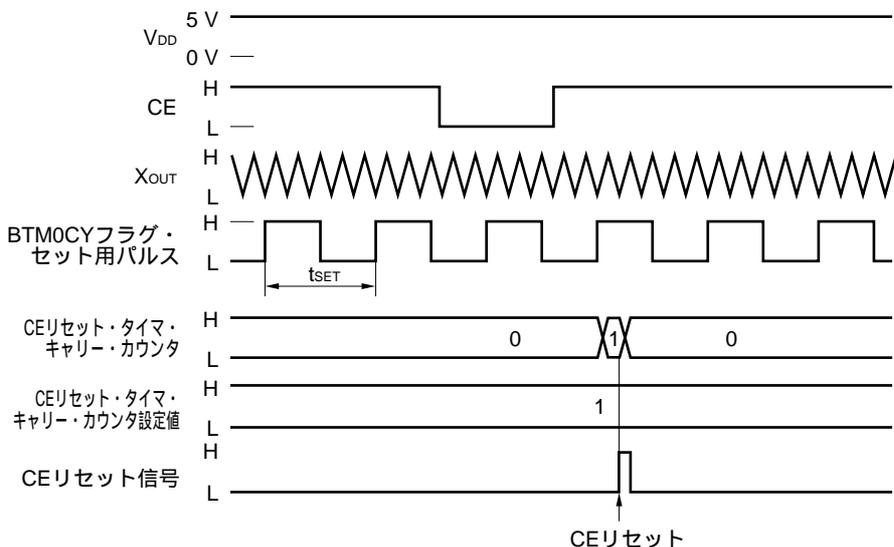
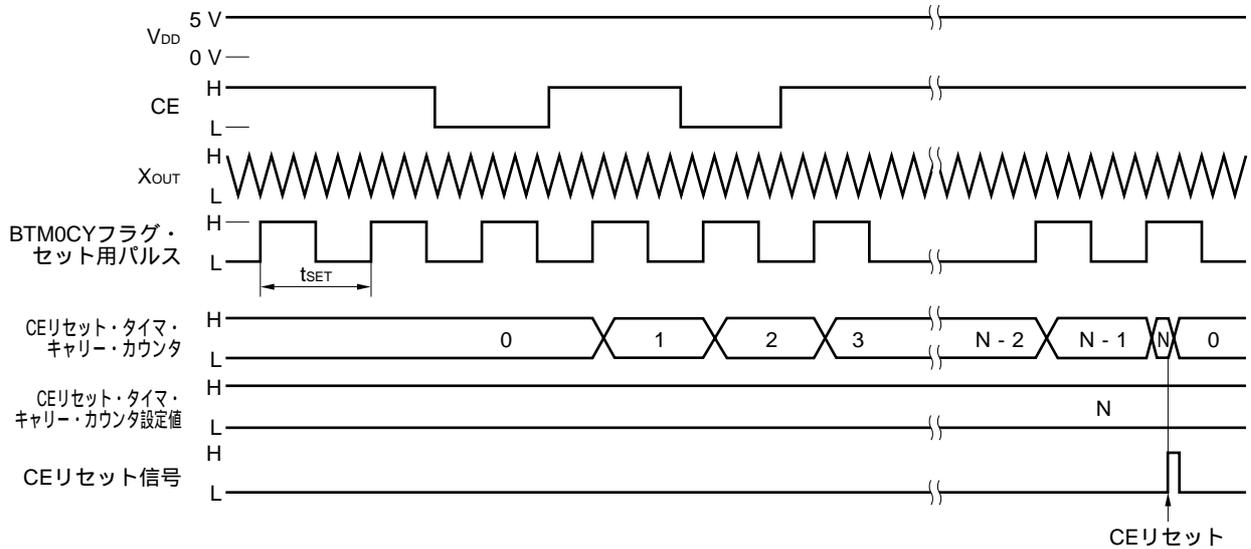


図21 - 3 クロック・ストップを使用しないときのCEリセット動作 (2/2)

(b) CEカウンタ動作中にCE端子の状態変化があったとき

このときCEリセット・タイマ・キャリア・カウンタ状態に影響を与えません。



21.2.2 クロック・ストップ (STOP s命令) を使用したときのCEリセット

図21 - 4 に動作を示します。

クロック・ストップを使用するときは，“STOP s”命令が実行された時点でクロック・ストップ信号が出力され，発振が停止しデバイスの動作が停止します。

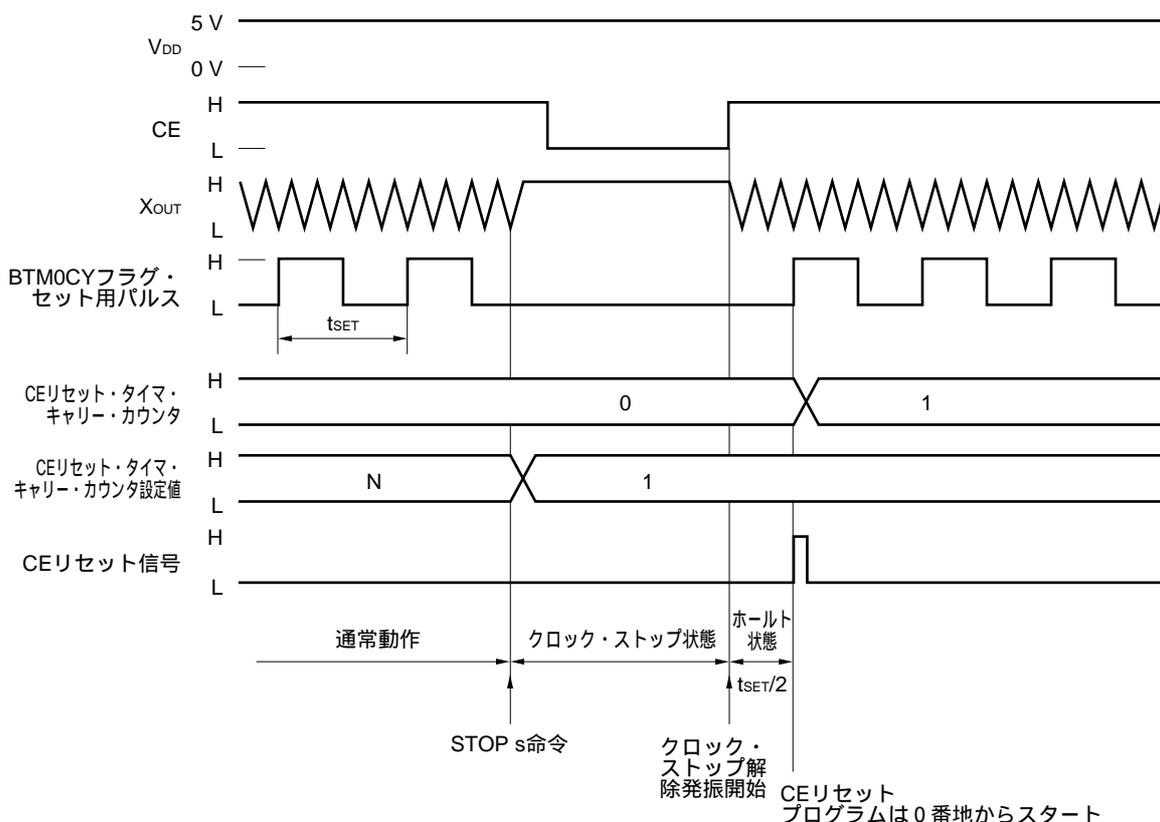
CE端子がハイ・レベルに立ち上がるとクロック・ストップ状態が解除され発振が開始します（クロック・ストップの解除条件にはそのほかにP0Dのハイ・レベル入力，またはINT端子の割り込みがあります。詳しくは“20.スタンバイ”を参照してください）。

CE端子が立ち上がったあと，ベーシック・タイマ0キャリアFFセット用パルスがハイ・レベルに立ち上がるとホールト状態が解除されプログラムが0番地からスタートします（CEリセット）。

ベーシック・タイマ0キャリアFFセット用パルスの設定時間（ t_{SET} ）はクロック・ストップ命令直前の値を保持しています。

また，CEリセット・タイマ・キャリア・カウンタ設定値は1に初期化されるため，CE端子がハイ・レベルに立ち上がったから $t_{SET}/2$ 後にCEリセットがかかります。

図21 - 4 クロック・ストップを使用するときのCEリセット動作



21.2.3 CEリセット時の注意

CEリセットは、実行中の命令に関係なくかかるため次の(1)および(2)に示す点に注意が必要です。

(1) 時計などのタイマ処理を実行する時間

ベーシック・タイマ0キャリーを使用して時計のプログラムを作成する場合は、そのプログラムの処理時間を一定時間以内に終了させる必要があります。

詳しくは、“13.2.6 ベーシック・タイマ0使用時の注意”を参照してください。

(2) プログラムに使用しているデータやフラグなどの処理

1命令で処理できないデータやフラグなどにおいて、CEリセットがかかっても内容が変化してはいけないようなもの、たとえばセキュリティ・コードなどはその内容を書き換えるときに注意が必要です。

次に例を用いて説明します。

例 1 .

R1	MEM	0.01H	; セキュリティ・コードのキー入力データの 1 桁目
R2	MEM	0.02H	; セキュリティ・コードのキー入力データの 2 桁目
R3	MEM	0.03H	; セキュリティ・コード変更時の 1 桁目のデータ
R4	MEM	0.04H	; セキュリティ・コード変更時の 2 桁目のデータ
M1	MEM	0.11H	; 現在のセキュリティ・コードの 1 桁目
M2	MEM	0.12H	; 現在のセキュリティ・コードの 2 桁目

START :

キー入力処理	
R1	キー A の内容 ; セキュリティ・コード入力待ちモード
R2	キー B の内容 ; 押されたキー内容を , R1, R2 に代入する

SET2	CMP, Z	; ; セキュリティ・コードと入力されたデータの比較
SUB	R1, M1	
SUB	R2, M2	
SKT1	Z	
BR	ERROR	; 入力されたデータがセキュリティ・コードと異なる

MAIN :

キー入力処理	
R3	キー C の内容 ; セキュリティ・コードの書き換えモード
R4	キー D の内容 ; 押されたキーの内容を , R3, R4 に代入する

ST	M1, R3	; ; セキュリティ・コードの書き換え
ST	M2, R4	; ;
BR	MAIN	

ERROR :

動作しないようにする

例 1 のプログラムにおいて、いま仮にセキュリティ・コードが“12H”であったとすると、データ・メモリ M1, M2 の内容はそれぞれ“1H”、“2H”になります。

このとき、CEリセットがかかると、でキー入力の内容とセキュリティ・コード“12H”を比較して、同一であれば通常処理を行います。

また、メイン処理でセキュリティ・コードが変更される時は、変更されたコードを、で M1, M2 に書き換えます。

ここで、仮にセキュリティ・コードが“34H”に変更されたとすると、で M1, M2 に“3H”、“4H”を書き込みます。

ところが、を実行した時点で CEリセットがかかったとすると、プログラムはを実行しないで 0000H 番地から実行してしまいます。

したがって、セキュリティ・コードは“32H”になってしまうため、セキュリティの解除ができなくなってしまいます。

このような場合は、例 2 に示すようなプログラムで対処してください。

例 2 .

```
R1      MEM      0.01H      ; セキュリティ・コードのキー入力データの 1 桁目
R2      MEM      0.02H      ; セキュリティ・コードのキー入力データの 2 桁目
R3      MEM      0.03H      ; セキュリティ・コード変更時の 1 桁目のデータ
R4      MEM      0.04H      ; セキュリティ・コード変更時の 2 桁目のデータ
M1      MEM      0.11H      ; 現在のセキュリティ・コードの 1 桁目
M2      MEM      0.12H      ; 現在のセキュリティ・コードの 2 桁目
CHANGE  FLG      0.13H.0    ; セキュリティ・コード変更中は “ 1 ”
```

START :

キー入力処理

```
R1 キー A の内容 ; セキュリティ・コード入力待ちモード
R2 キー B の内容 ; 押されたキーの内容を , R1 , R2 に代入する
```

```
SKT1    CHANGE ; ; CHANGEフラグが “ 1 ” であれば
BR      SECURITY_CHK
ST      M1, R3 ; M1, M2 に再度書き込みを行う
ST      M2, R4
CLR1    CHANGE
SECURITY_CHK :
SET2    CMP, Z ; ; セキュリティ・コードと入力されたデータの比較
SUB     R1, M1
SUB     R2, M2
SKT1    Z
BR      ERROR ; 入力されたデータがセキュリティ・コードと異なる
```

MAIN :

キー入力処理

```
R3 キー C の内容 ; セキュリティ・コードの書き換えモード
R4 キー D の内容 ; 押されたキーの内容を , R3 , R4 に代入する
```

```
SET1    CHANGE ; ; セキュリティ・コードの変更が終わるまで
; CHANGEフラグを “ 1 ” に設定する
ST      M1, R3 ; ; セキュリティ・コードの書き換え
ST      M2, R4 ;
CLR1    CHANGE ; セキュリティ・コードの変更が終わったら
; CHANGEフラグを “ 0 ” に設定する
BR      MAIN
```

ERROR :

動作しないようにする

例 2 のプログラムでは , , でセキュリティ・コードの書き換えを行う前に , でCHANGEフラグを “ 1 ” に設定しています。

したがって , を実行する前にCEリセットがかかってしまった場合でも , で再度書き込みを行います。

21.3 パワーオン・リセット

パワーオン・リセットは、デバイスの電源電圧 V_{DD} を一定電圧（パワーオン・クリア電圧と呼ぶ）以下から立ち上げることにより行います。

電源電圧 V_{DD} がパワーオン・クリア電圧以下のときは、図21 - 1 に示した電圧検出回路からパワーオン・クリア信号（POC）が出力されます。

パワーオン・クリア信号がリセット制御回路に入力されると、水晶発振回路を停止しデバイス動作を停止します。

その時点で、プログラム・カウンタ、スタック、システム・レジスタおよびコントロール・レジスタは初期化されます（初期値については各項を参照してください）。

電源電圧 V_{DD} がパワーオン・クリア電圧を越えるとパワーオン・クリア信号が切れ、水晶発振を開始し、100 msに初期化されたベーシック・タイマ0 キャリーによるホールド解除待ち状態になります。そして、パワーオン・クリア電圧を越えてから50 ms後のベーシック・タイマ0 キャリーFFセット用信号の立ち上がりエッジで、プログラムが0番地からスタートします。

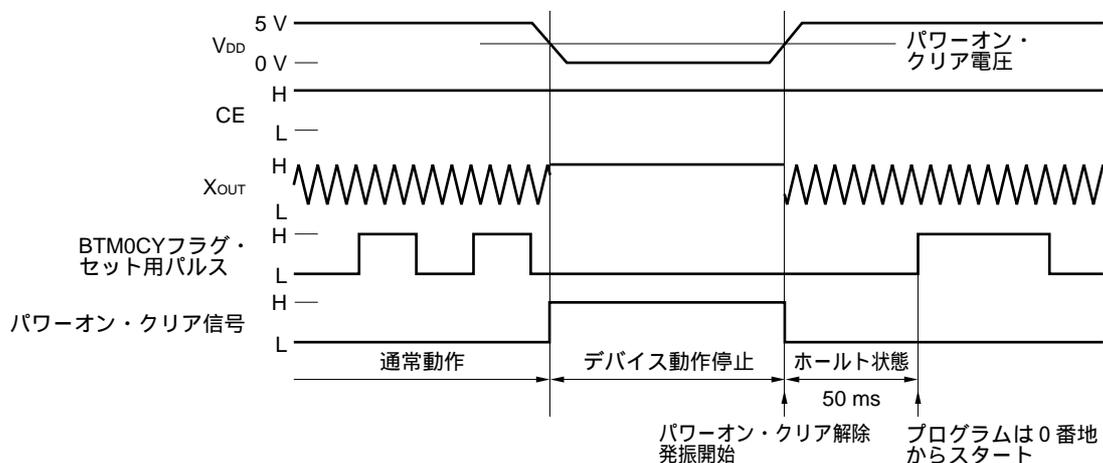
パワーオン・クリア電圧は通常動作時は3.5 Vであり、クロック・ストップ状態中は2.2 Vになります。

このときの動作を21.3.1および21.3.2に示します。

また電源電圧 V_{DD} を0 Vから立ち上げたときの動作を21.3.3に示します。

注意 この項ではパワーオン・クリア電圧値を通常動作時は3.5 V（MAX.）、クロック・ストップ時は2.2 V（MAX.）と規定して説明しています。実際のパワーオン・クリア電圧値は、これらのMAX.値を越えない値で発生します。

図21 - 5 パワーオン・リセットの動作



21.3.1 通常動作時のパワーオン・リセット

図21 - 6の(a)に動作を示します。

図21 - 6の(a)に示すようにCE端子の入力レベルに関係なく電源電圧 V_{DD} が3.5 Vより下がるとパワーオン・クリア信号が出力されデバイスの動作が停止します。

次に電源電圧 V_{DD} が再度3.5 V以上に立ち上がると、50 msのホールド後プログラムが0000H番地からスタートします。

通常動作時とは、クロック・ストップ命令を使用していないときで、ホールド命令によるホールド状態中も含まれません。

21.3.2 クロック・ストップ状態中のパワーオン・リセット

図21 - 6の(b)に動作を示します。

図21 - 6の(b)に示すように電源電圧 V_{DD} が2.2 Vより下がるとパワーオン・クリア信号が出力されデバイス動作が停止します。

ただし、クロック・ストップ状態であるため、見かけ上デバイス動作は変化しません。

次に電源電圧 V_{DD} が3.5 V以上に立ち上がると50 msのホールド後プログラムが0000H番地からスタートします。

21.3.3 電源電圧 V_{DD} が0 Vから立ち上がったときのパワーオン・リセット

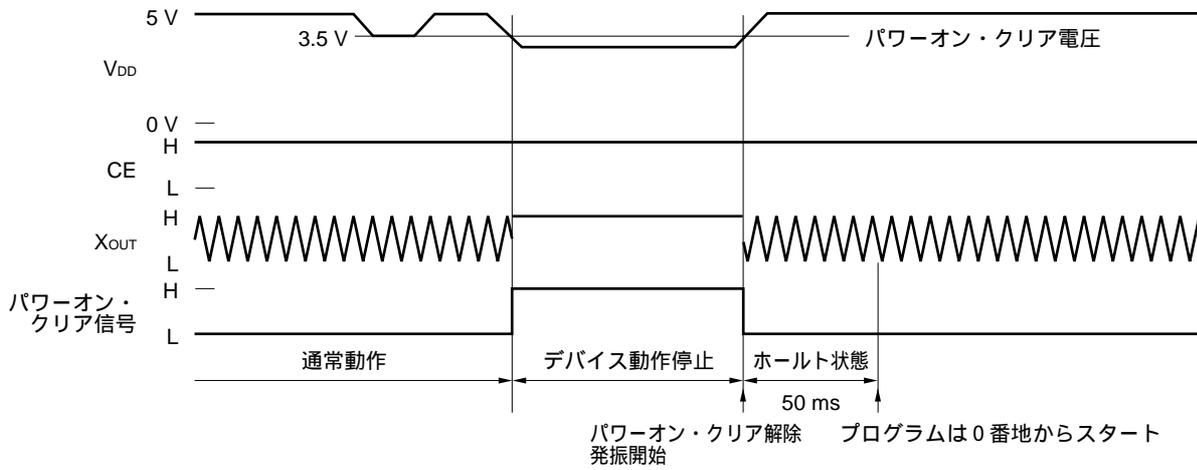
図21 - 6の(c)に動作を示します。

図21 - 6の(c)に示すように電源電圧 V_{DD} が0 Vから3.5 Vに立ち上がるまでパワーオン・クリア信号が出力されません。

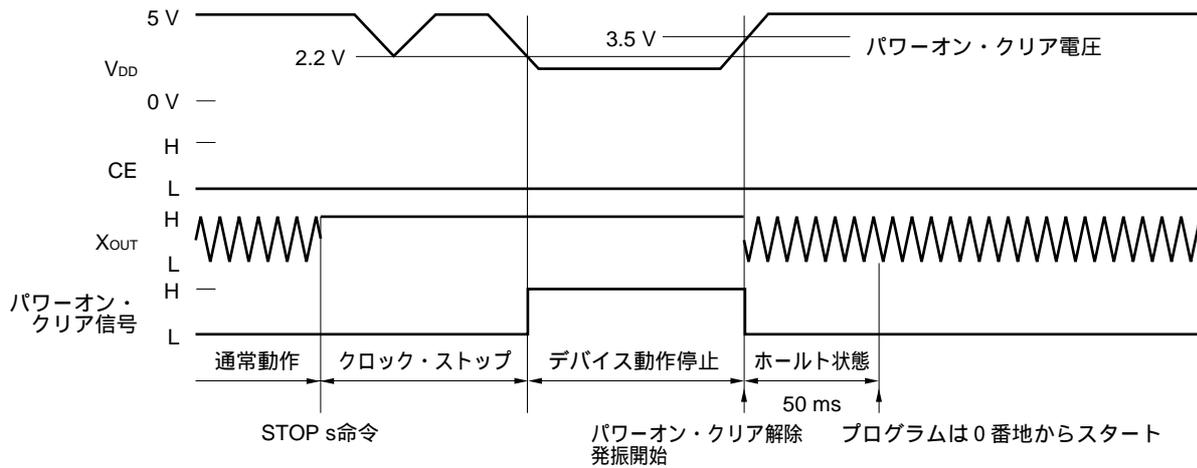
電源電圧 V_{DD} がパワーオン・クリア電圧を越えると水晶発振回路が動作を開始し、50 msのホールド後にプログラムが0000H番地からスタートします。

図21 - 6 パワーオン・リセットと電源電圧 V_{DD}

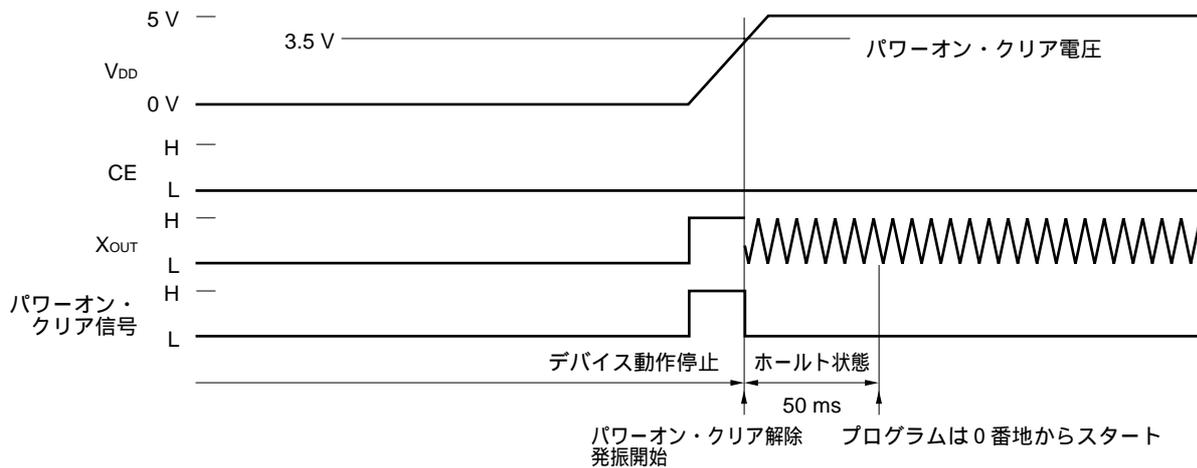
(a) 通常動作時 (ホールト状態も含む)



(b) クロック・ストップ時



(c) 電源電圧 V_{DD} を0 Vから立ち上げたとき



21.4 CEリセットとパワーオン・リセットの関係

最初の電源電圧 V_{DD} 投入時などは、パワーオン・リセットとCEリセットが同時にかかる可能性があります。

このときのリセット動作を21.4.1-21.4.3に示します。

また、21.4.4に電源電圧 V_{DD} 立ち上げ時の注意を示します。

21.4.1 V_{DD} 端子とCE端子が同時に立ち上がったとき

図21-7の(a)に動作を示します。

このときは、パワーオン・リセットによりプログラムが0000H番地からスタートします。

21.4.2 パワーオン・リセットの強制ホールド中にCE端子が立ち上がったとき

図21-7の(b)に動作を示します。

このときは、21.4.1と同様にパワーオン・リセットによりプログラムが0000H番地からスタートします。

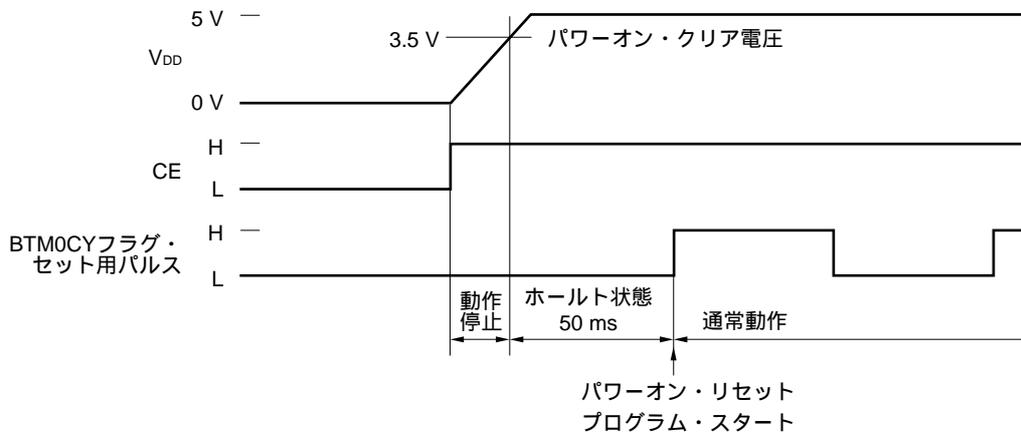
21.4.3 パワーオン・リセット後にCE端子が立ち上がったとき

図21-7の(c)に動作を示します。

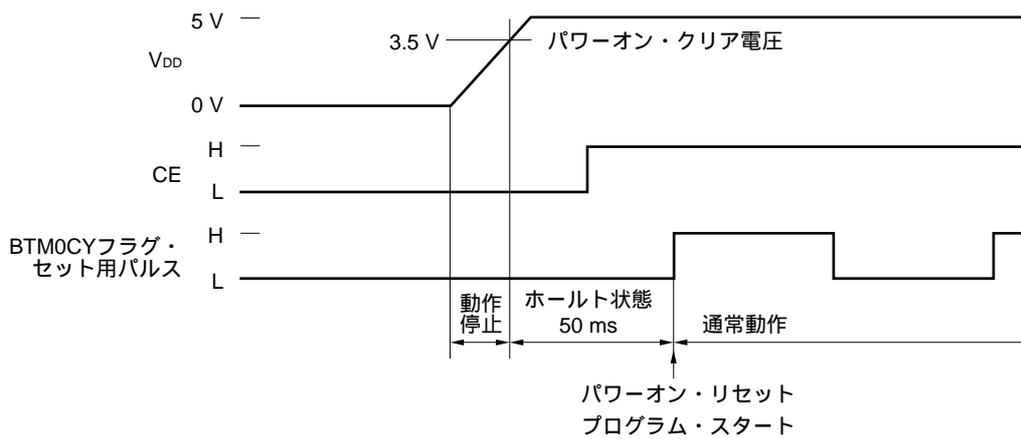
このときは、パワーオン・リセットによりプログラムが0000H番地からスタートし、さらにCEリセットにより次のベーシック・タイマ0キャリーFFセット用信号の立ち上がりでプログラムが0000H番地から再度スタートします。

図21 - 7 パワーオン・リセットとCEリセットの関係

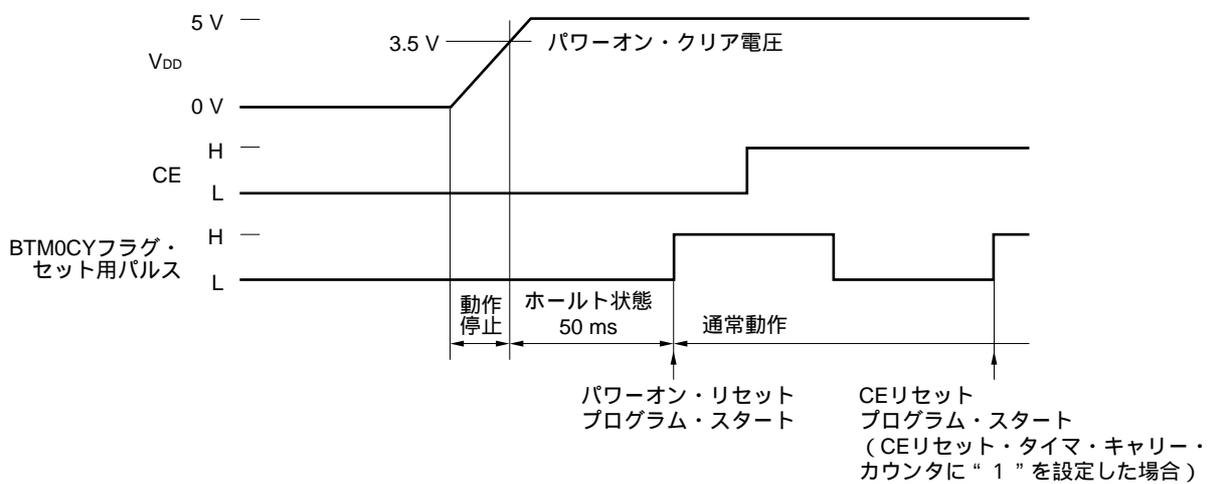
(a) V_{DD} とCE端子が同時に立ち上がったとき



(b) ホールト状態中にCE端子が立ち上がったとき



(c) パワーオン・リセット後にCE端子が立ち上がったとき



21.4.4 電源電圧V_{DD}立ち上げ時の注意

電源電圧V_{DD}を立ち上げるときは、次の(1)および(2)に示す注意が必要です。

(1) 電源電圧V_{DD}をパワーオン・クリア電圧以下から立ち上げるとき

電源電圧V_{DD}を立ち上げるときは、一度3.5 V以上に立ち上げる必要があります。

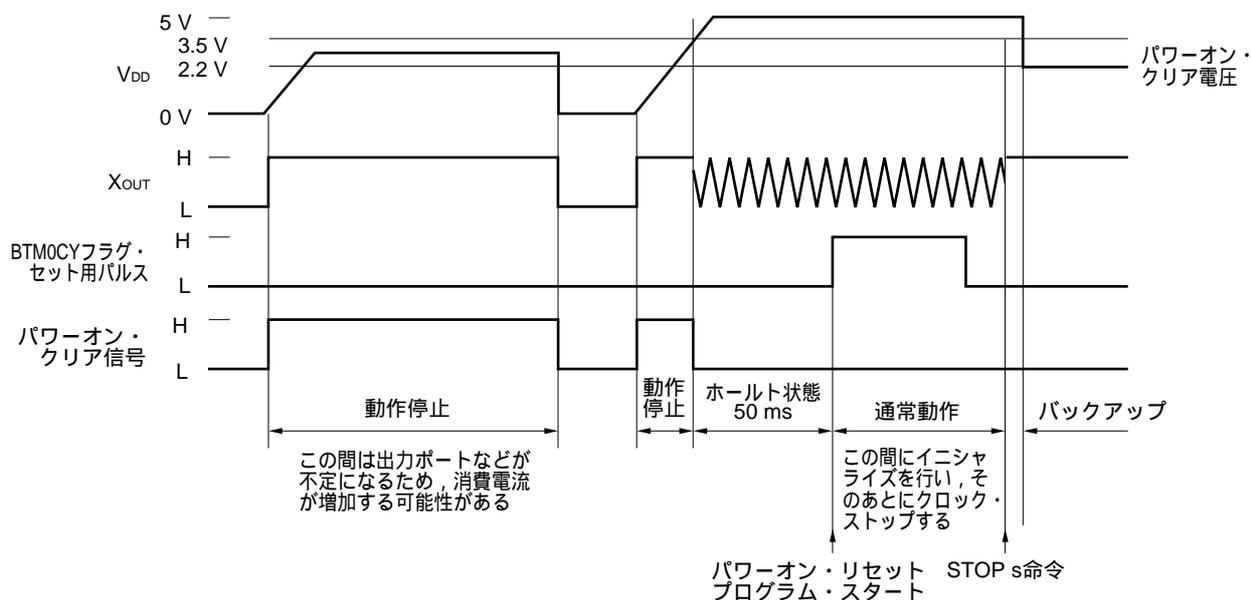
これを図21 - 8に示します。

図21 - 8に示すように、たとえばクロック・ストップを使用してV_{DD}を2.2 Vでバックアップするようなプログラムにおいて、V_{DD}投入時に3.5 V未満の電圧しか印加されなかったとすると、パワーオン・クリア信号が出力されたままになりプログラムは動作しません。

このとき、デバイスの出力ポート等は不定な値を出力するため、場合により消費電流が増加します。

すなわち、電池などによるバックアップ時はバックアップ時間が大幅に減少してしまいます。

図21 - 8 V_{DD}立ち上げ時の注意



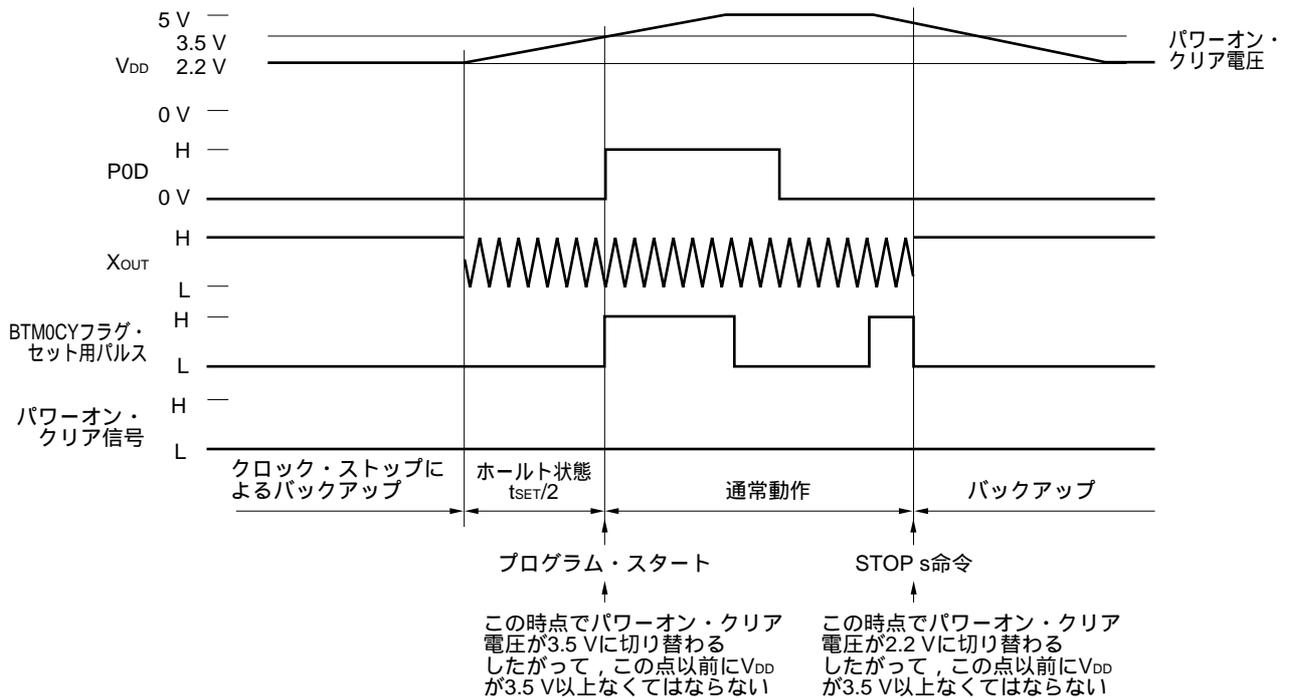
(2) クロック・ストップ状態からの復帰時

クロック・ストップを使用して電源電圧V_{DD}を2.2 Vでバックアップしているときに、バックアップ状態から復帰する場合は、INT端子などによる割り込み要因の発生またはポート0Dへのハイ・レベル入力によりクロック・ストップが解除されてからt_{SET}/2以内にV_{DD}を3.5 V以上に立ち上げる必要があります。

図21 - 9 に示すようにクロック・ストップ状態からの復帰はCEリセットにより行いますが、クロック・ストップが解除されてからt_{SET}/2後にパワーオン・クリア電圧が3.5 Vに切り替わるため、この時点でV_{DD}が3.5 V以上ないとパワーオン・リセットがかかってしまいます。

またV_{DD}を立ち下げるときも同様に注意が必要です。

図21 - 9 クロック・ストップ状態からの復帰



t_{SET} : ベーシック・タイマ 0 設定時間

21.5 $\overline{\text{RESET}}$ 端子によるリセット

$\overline{\text{RESET}}$ 端子によるリセットの用途には次のものが考えられます。

- ・パワーオン・クリア電圧よりも上の電圧でリセットをかけたい場合
- ・ソフトウェア暴走時の外部リセット入力

注意 プログラム実行中に $\overline{\text{RESET}}$ 端子によるリセットを行うと、データ・メモリのデータが破壊される場合があります。したがって、 $\overline{\text{RESET}}$ 端子によるリセットを行うときには注意してください。

リセット動作はパワーオン・リセットと同様になります。

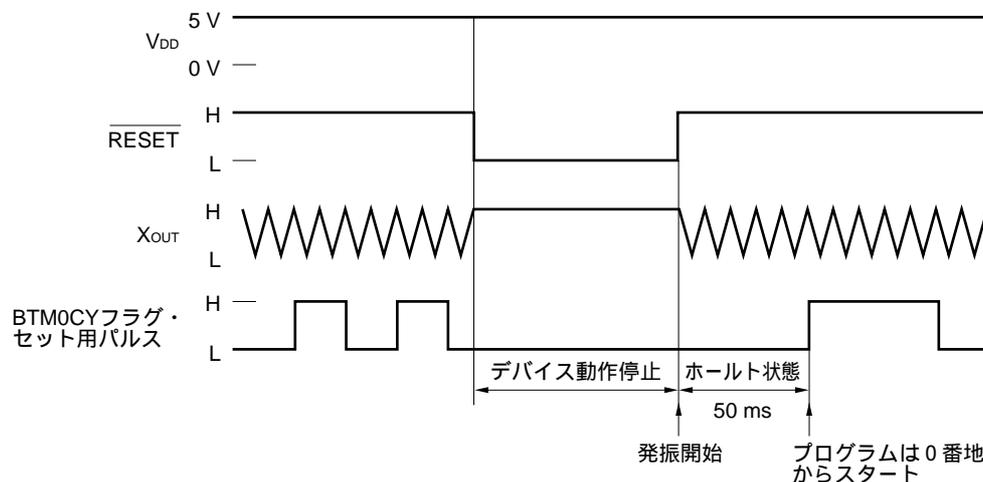
$\overline{\text{RESET}}$ 端子にロウ・レベルを入力すると内部リセット信号が発生し、水晶発振回路を停止しデバイス動作を停止します。

その時点で、プログラム・カウンタ、スタック、システム・レジスタおよびコントロール・レジスタは初期化されます（初期値については各項を参照してください）。

次に $\overline{\text{RESET}}$ 端子をハイ・レベルにすると水晶発振を開始し、100 ms周期に初期化されたベーシック・タイマ0キャリーによるホールド解除待ち状態になります。 $\overline{\text{RESET}}$ 端子にハイ・レベルを入力してから50 ms後のベーシック・タイマ0キャリーFFセット用信号の立ち上がりエッジでプログラムが0番地からスタートします。

μ PD17709にはパワーオン・リセット機能が内蔵されていますので、上述した用途などで $\overline{\text{RESET}}$ 端子を使用しない場合には抵抗を介して V_{DD} に接続してください。

図21 - 10 $\overline{\text{RESET}}$ 端子によるリセットの動作

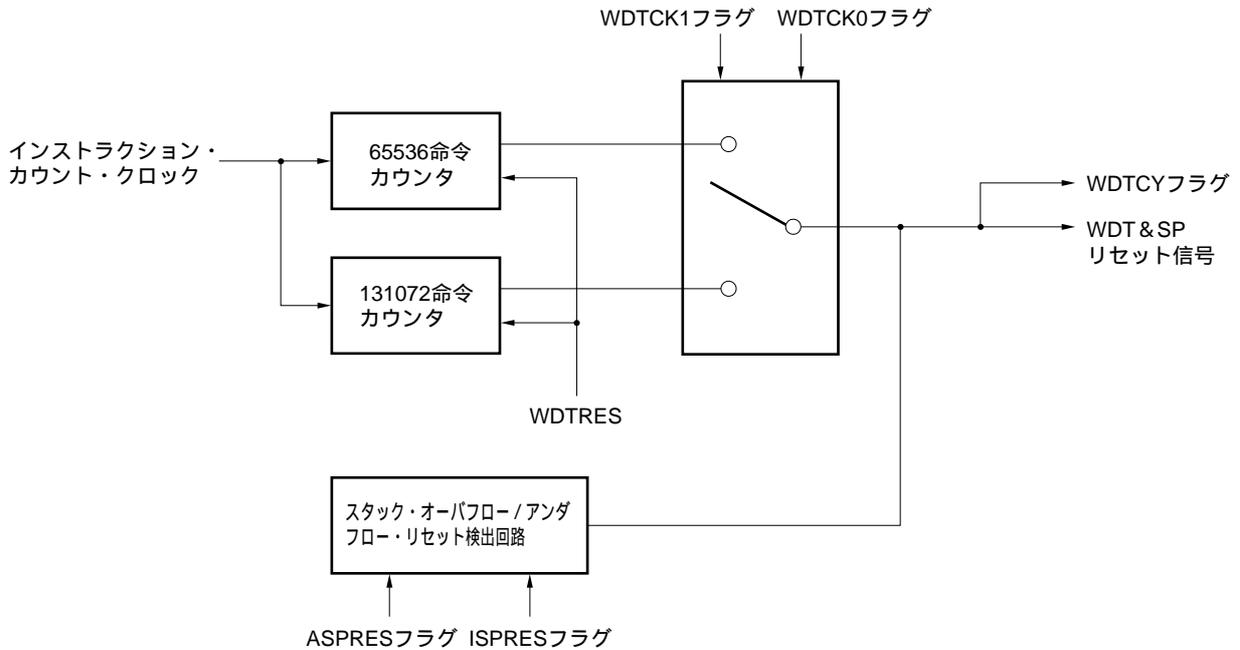


21.6 WDT & SPリセット

WDT & SPリセットは、次のリセットを表します。

- ・ウォッチドッグ・タイマ・リセット
- ・スタック・ポインタ・オーバフロー/アンダフロー・リセット

図21-11 WDT & SPリセットの概要



21.6.1 ウォッチドッグ・タイマ・リセット

ウォッチドッグ・タイマは、プログラムの実行シーケンスが不良動作（暴走）を起こしたとき、リセット信号を発生する回路です。

不良動作（暴走）とは、外部ノイズなどによりプログラムが意図しないルーチンに飛んでいき、特定の無限ループに陥り、システムがデッド・ロックされた状態になることです。ウォッチドッグ・タイマを利用すると一定基準時間ごとにウォッチドッグ・タイマからのリセット信号が発生し、プログラムを0番地から実行することで、不良動作から回復することが可能です。

クロック・ストップ・モード，ホールド・モード時には機能を停止します。

ウォッチドッグ・タイマでのリセットは、スタック・オーバフロー選択レジスタ，ウォッチドッグ・タイマ・カウンタ・リセット・レジスタ，ベーシック・タイマ0キャリー・レジスタ，CEリセット・タイマ・キャリー・カウンタを除いて、すべて初期化されます。

ウォッチドッグ・タイマ・リセットの発生検出はWDTCYフラグ（R & Reset）により行います。

21.6.2 ウォッチドッグ・タイマ設定フラグ

電源投入時のパワーオン・リセットおよびRESET端子によるリセット後，1回のみ設定可能です。

WDTCK0，WDTCK1フラグは，リセット信号を出力する間隔を設定します。

基準時間は，次の3種類が選択できます。

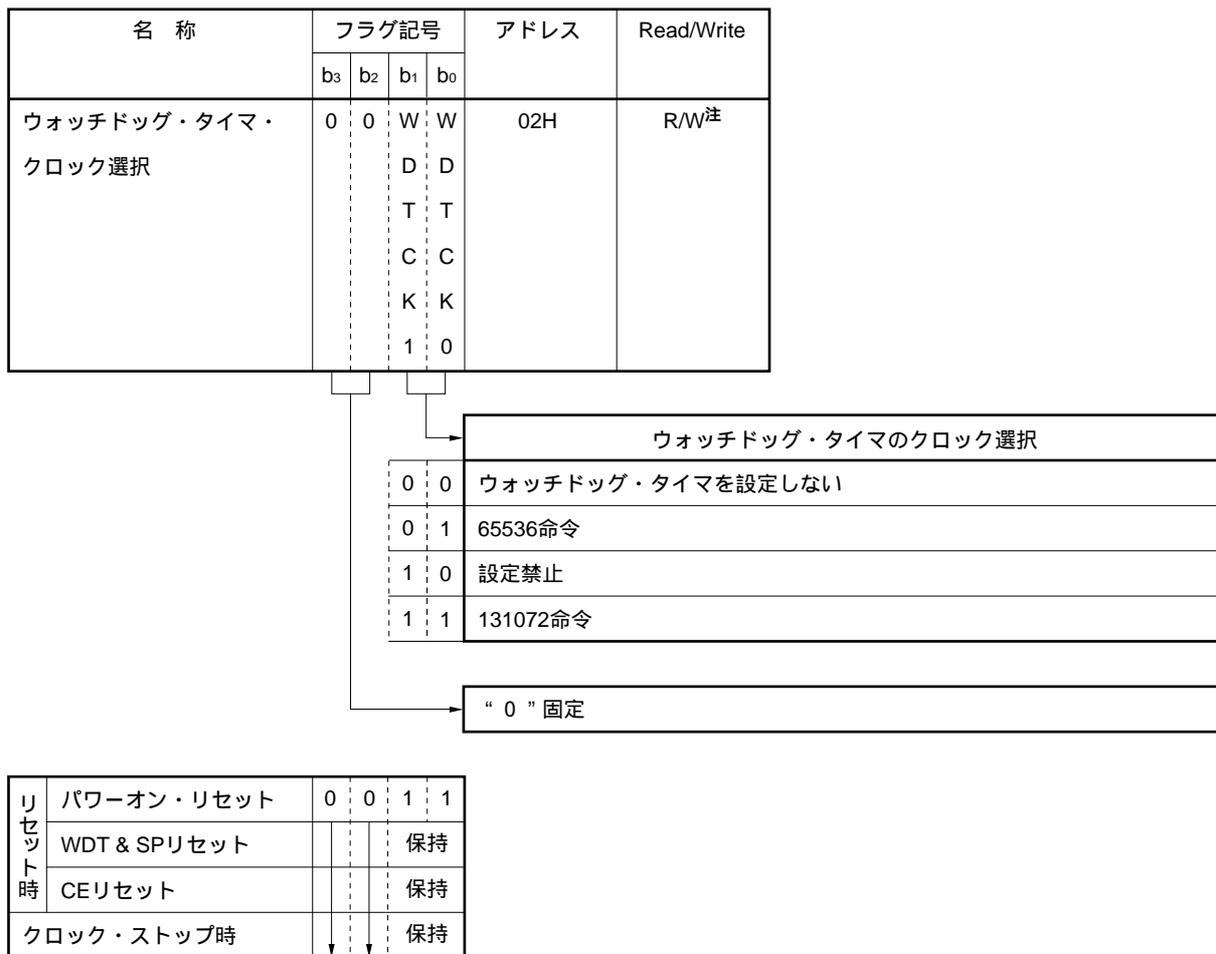
- ・ 65536命令
- ・ 131072命令
- ・ ウォッチドッグ・タイマを設定しない

電源投入時は，131072命令が選択されています。

リセット信号発生間隔が131072命令の場合，131072命令を越えない間隔でウォッチドッグ・タイマFFをリセットする必要があります。リセットの有効期間は1命令～131071命令の間です。

リセット信号発生間隔が65536命令の場合，65536命令を越えない間隔でウォッチドッグ・タイマFFをリセットする必要があります。リセットの有効期間は1命令～65535命令の間です。

図21 - 12 ウォッチドッグ・タイマ・クロック選択レジスタの構成

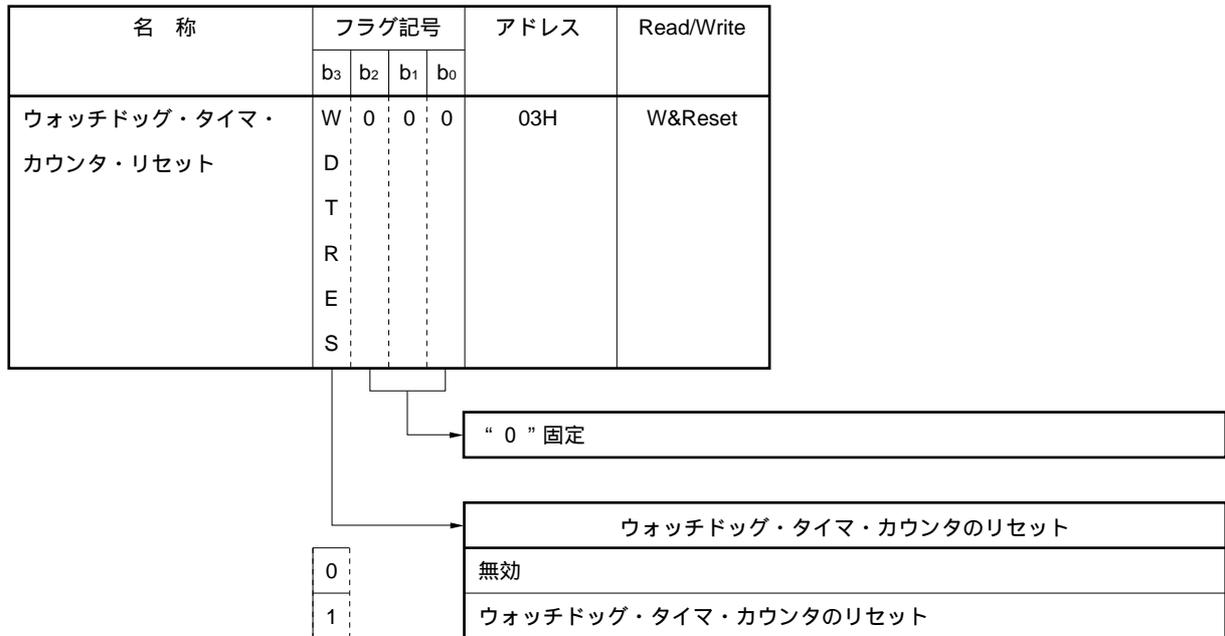


注 1回のみ書き込み可能

WDTRESフラグはウォッチドッグ・タイマ・カウンタをリセットするためのフラグです。

WDTRESフラグをセット（1）すると、自動的にウォッチドッグ・タイマ・カウンタがリセットされます。WDTCK0, WDTCK1フラグで設定した基準時間以内に1回WDTRESフラグをセット（1）すると、ウォッチドッグ・タイマによるリセット信号は出力されません。

図21 - 13 ウォッチドッグ・タイマ・カウンタ・リセット・レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	不	0	0	0
	WDT & SPリセット	不			
	CEリセット	不			
	クロック・ストップ時	不			

不：不定

21.6.3 スタック・ポインタ・オーバフロー/アンダフロー・リセット

アドレスまたは割り込みのスタックが、オーバフローまたはアンダフローしたとき、リセット信号が発生します。スタック・ポインタ・オーバフロー/アンダフロー・リセットは、ウォッチドッグ・タイマ・リセットと同様に、不良動作（暴走）を検出することに使用できます。

リセットの発生する条件は次のとおりです。

- ・割り込みスタック（4レベル）のオーバフローまたはアンダフローによる割り込み
- ・アドレス・スタック（15レベル）のオーバフローまたはアンダフローによる割り込み

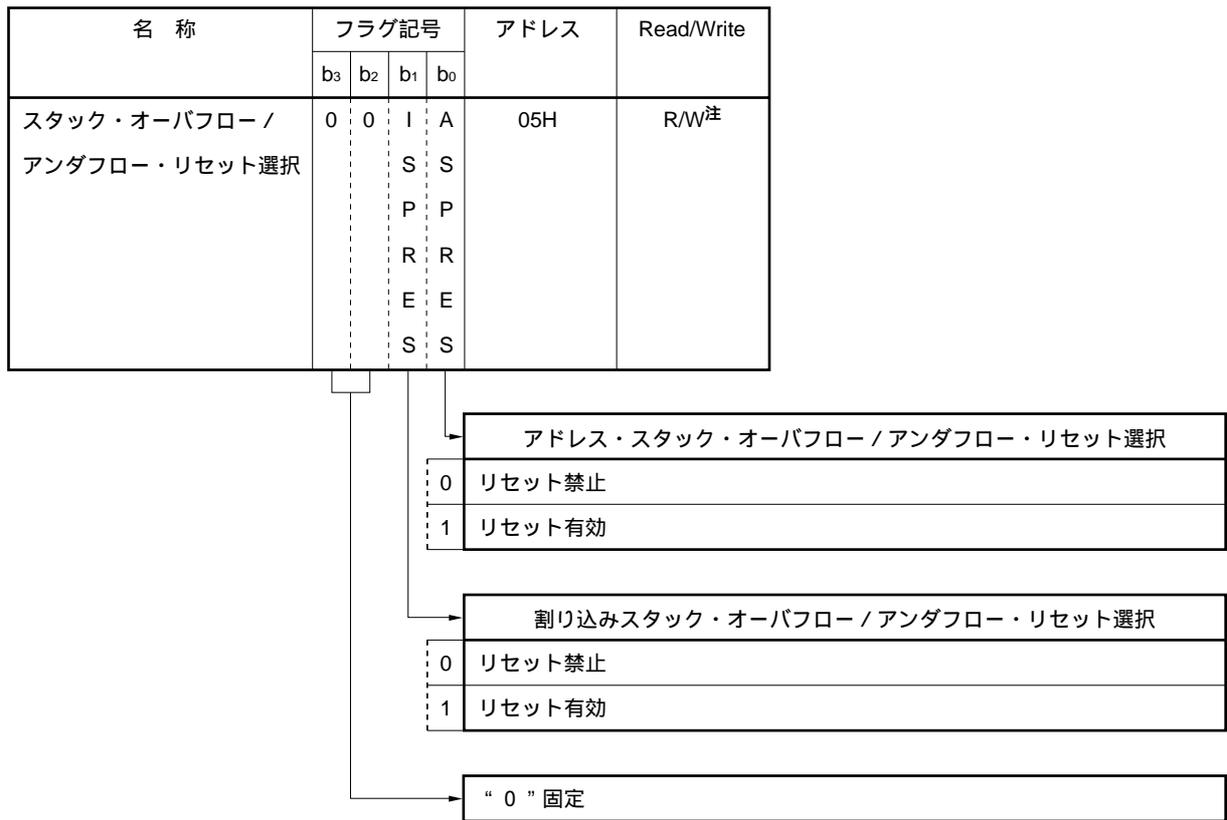
スタック・ポインタ・オーバフロー/アンダフローでのリセットは、スタック・オーバフロー選択レジスタ、ウォッチドッグ・タイマ・カウンタ・リセット・レジスタ、ベーシック・タイマ0キャリー・レジスタ、CEリセット・タイマ・キャリー・カウンタを除いて、すべて初期化されます。

スタック・ポインタ・オーバフロー/アンダフロー・リセットの発生検出はWDTCYフラグ（R & Reset）により行います。

21.6.4 スタック・ポインタ設定フラグ

スタック・オーバフロー/アンダフロー・リセット選択レジスタは、電源投入時のパワーオン・リセットおよびRESET端子によるリセット後、1回のみ設定可能です。アドレス・スタック・オーバフロー/アンダフローおよび割り込みスタック・オーバフロー/アンダフローによるリセットを有効にするか禁止するかを設定します。

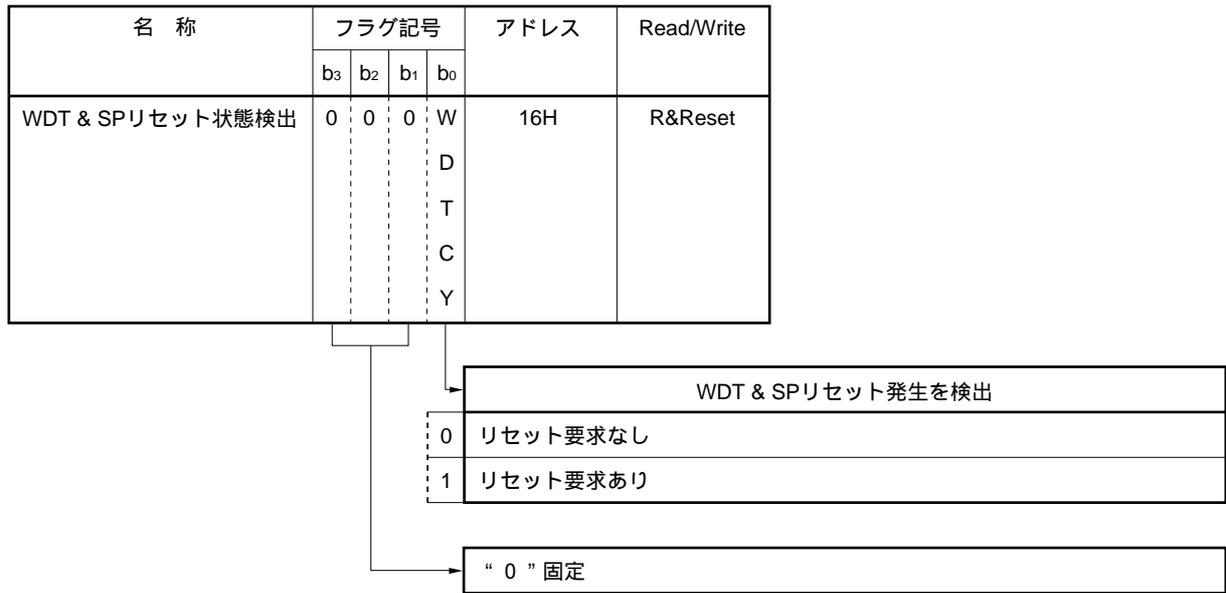
図21 - 14 スタック・オーバーフロー/アンダフロー・リセット選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	1	1
	WDT & SPリセット				保持
	CEリセット				保持
	クロック・ストップ時				保持

注 1 回のみ書き込み可能

図21 - 15 WDT & SPリセット選択レジスタの構成



リ セ ッ ト 時	パワーオン・リセット	0	0	0	0
	WDT & SPリセット				1
	CEリセット				保
クロック・ストップ時				保	

保：保持

21.7 停電検出

停電検出は、図21 - 16に示すようにデバイスにリセットがかかったときに電源電圧 V_{DD} の投入またはRESET端子入力であったか、CE端子によるリセットであったかを判断するために使用します。

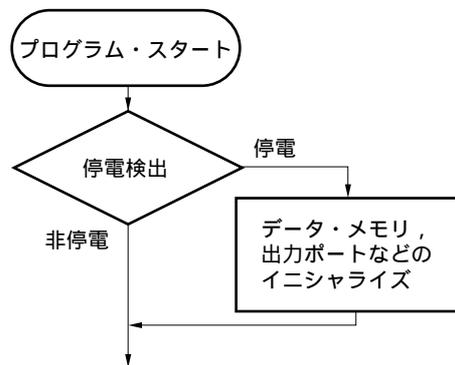
電源電圧投入時は、データ・メモリや出力ポートなどの内容が“不定”になっているため、停電検出によりこれらの内容を初期化します。

停電検出方法には、停電検出回路を使用してBTM0CYフラグを検出する方法およびデータ・メモリの内容を検出する方法（RAMジャッジ）の2通りがあります。

21.7.1および21.7.2に停電検出回路およびBTM0CYフラグによる停電検出方法を説明します。

21.7.3および21.7.4にRAMジャッジ方法による停電検出を説明します。

図21 - 16 停電検出フロー・チャート



21.7.1 停電検出回路

停電検出回路は図21 - 1に示したように電圧検出回路と、電圧検出回路の出力（パワーオン・クリア信号）によりセットされるベーシック・タイマ0キャリー・ディスエーブル・フリップフロップおよびタイマ・キャリーで構成されます。

ベーシック・タイマ0キャリー・ディスエーブルFFは、パワーオン・クリア信号によりセット（1）され、BTM0CYフラグを読み込む命令が実行されるとリセット（0）されます。

ベーシック・タイマ0キャリー・ディスエーブルFFがセット（1）されているときは、BTM0CYフラグはセット（1）されません。

すなわち、パワーオン・クリア信号が出力される（パワーオン・リセット時）と、BTM0CYフラグはリセットされた状態でプログラムがスタートし、以後BTM0CYフラグを読み込む命令が実行されるまでセット禁止状態になります。

一度BTM0CYフラグを読み込む命令が実行されれば、以後ベーシック・タイマ0キャリーFFセット用パルスの立ち上がりごとにBTM0CYフラグがセットされます。したがってデバイスにリセットがかかったときにBTM0CYフラグの内容を検出し、リセット（0）されていればパワーオン・リセット（停電）であり、セット（1）されていればCEリセット（非停電）であることを判断できます。

停電を検出できる電圧はパワーオン・リセットのかかる電圧と同じになるため、水晶発振時で $V_{DD} = 3.5\text{V}$ 、クロック・ストップ時で $V_{DD} = 2.2\text{V}$ になります。

なお、BTM0CYフラグの動作はRESET端子によるリセット入力時もパワーオン・リセット時と同じになります。

21.7.2 BTM0CYフラグによる停電検出時の注意

BTM0CYフラグで時計のカウントなどを行うときは次の点に注意が必要です。

(1) 時計の更新

タイマ・キャリアを使用して時計などのプログラムを作成するときは、停電検出後に時計を更新する必要があります。

これは停電検出時にBTM0CYフラグを読み込むためにBTM0CYフラグがリセット(0)され、1回分時計のカウントを取り逃がすためです。

(2) 時計更新処理時間

時計の更新を行うときは、その処理を次のベーシック・タイマ0キャリアFFセット用パルスが立ち上がるまでに終了させる必要があります。

これは、時計更新処理中にCE端子がハイ・レベルに立ち上がると時計更新処理を最後まで実行しないでCEリセットがかかってしまうためです。

上記(1)および(2)については、“13.2.6(3)CEリセット時におけるベーシック・タイマ0キャリアの補正”を参照してください。

また、停電時の処理を行うときは次の点に注意が必要です。

(3) 停電検出を行うタイミング

BTM0CYフラグで時計のカウントなどを行うときは、停電検出のためのBTM0CYフラグの読み込みをプログラムが0000H番地からスタートしてから次のベーシック・タイマ0キャリアFFセット用パルスが立ち上がる時間以内に行う必要があります。

これは、ベーシック・タイマ0キャリアFFセット時間をたとえば10msに設定し、停電検出をプログラムがスタートしてから11ms後に行うとすると、1回分BTM0CYフラグを取り逃がしてしまうためです。

“13.2.6(3)CEリセット時におけるベーシック・タイマ0キャリアの補正”を参照してください。

また、次頁の例に示すように、停電検出およびイニシャル処理は、ベーシック・タイマ0キャリアFFセット時間以内に行う必要があります。

これは停電処理およびイニシャル処理中にCE端子が立ち上がりCEリセットがかかると、これらの処理が途中で中断されてしまい、不具合が発生する可能性があるためです。

また、イニシャル処理でベーシック・タイマ0キャリアFFセット時間を変更する場合、変更する命令はイニシャル処理の一番最後に1命令で行う必要があります。

これも、次頁の例に示すようにイニシャル処理よりさきにベーシック・タイマ0キャリアFFのセット時間が切り替わると、CEリセットによりイニシャル処理が最後まで実行できない可能性があるためです。

例

```
START : ; プログラム・アドレス0000H
;
```

リセット時の処理

```

;
SKT1 BTMOCY ; 停電検出
BR INITIAL
BACKUP :
;
```

時計更新

```
BR MAIN
INITIAL :
```

イニシャル処理

```

;
INITFLG BTMOCK1, BTMOCK0 ; 組み込みマクロ
; ベーシック・タイマ0 キャリーFFセット
; 時間を10msに設定
MAIN :
```

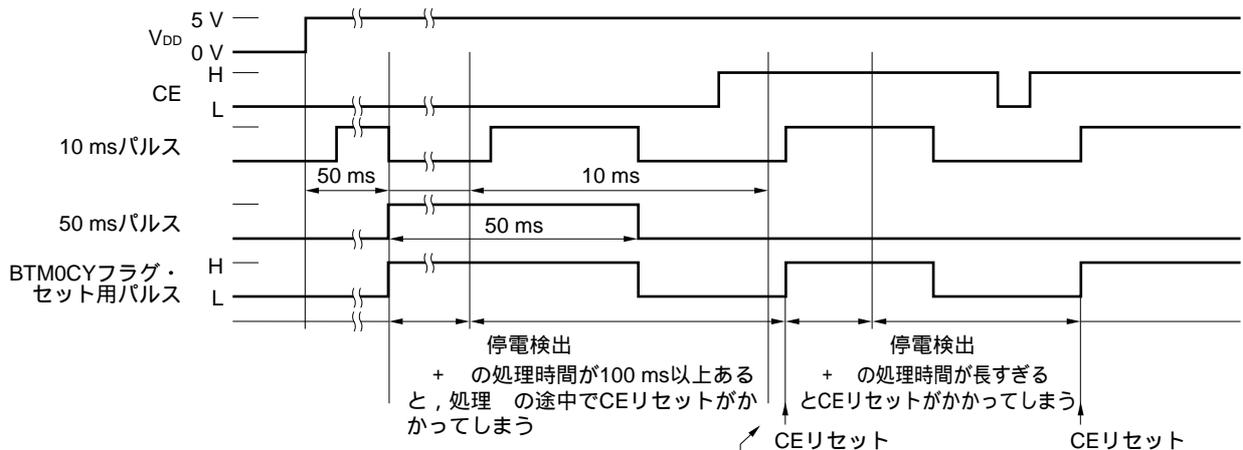
メイン処理

```
SKT1 BTMOCY
BR MAIN
```

時計更新

```
BR MAIN
```

動作例 (CEリセット・タイマ・キャリー・カウンタに“1”を設定している場合)



ベーシック・タイマ0 キャリーFFセット時間を切り替えるタイミングにより、すぐにCEリセットがかかってしまう場合がある。したがって、より先に を実行すると停電処理 が最後まで実行されないような不具合が生じる

21.7.3 RAMジャッジ方法による停電検出

RAMジャッジ方法は、デバイスにリセットがかかったときに、所定アドレスのデータ・メモリの内容が所定の値になっているかを判断することにより停電検出を行います。

次頁にRAMジャッジによる停電検出のプログラム例を示します。

RAMジャッジ方法は、電源電圧 V_{DD} 投入時のデータ・メモリの内容は“不定”になっており、“不定”の値と“所定”の値を比較することにより停電検出を行います。

したがって“21.7.4 RAMジャッジによる停電検出時の注意”に示すように停電検出を誤判断する可能性があります。

例 RAMジャッジによる停電検出プログラム例

```

M012    MEM    0.12H
M034    MEM    0.34H
M056    MEM    0.56H
M107    MEM    1.07H
M128    MEM    1.28H
M16F    MEM    1.6FH
DATA0   DAT    1010B
DATA1   DAT    0101B
DATA2   DAT    0110B
DATA3   DAT    1001B
DATA4   DAT    1100B
DATA5   DAT    0011B

START :
      SET2    CMP, Z
      SUB     M012, # DATA0    ; M012=DATA0かつ
      SUB     M034, # DATA1    ; M034=DATA1かつ
      SUB     M056, # DATA2    ; M056=DATA2かつ
      BANK1
      SUB     M107, # DATA3    ; M107=DATA3かつ
      SUB     M128, # DATA4    ; M128=DATA4かつ
      SUB     M16F, # DATA5    ; M16F=DATA5であれば
      BANK0
      SKF1   Z
      BR     BACKUP            ; BACKUPへ分岐
; INITIAL :

      イニシャル処理

      MOV     M012, # DATA0
      MOV     M034, # DATA1
      MOV     M056, # DATA2
      BANK1
      MOV     M107, # DATA3
      MOV     M128, # DATA4
      MOV     M16F, # DATA5
      BR     MAIN

BACKUP :

      バックアップ処理

MAIN :

      メイン処理

```

21.7.4 RAMジャッジによる停電検出時の注意

電源電圧 V_{DD} 投入時のデータ・メモリの値は基本的には“不定”の値であるため、次の(1)および(2)に示す点に注意が必要です。

(1) 比較するデータ

RAMジャッジにより比較するデータ・メモリのビット数を“ n ビット”とすると、 V_{DD} 投入時にデータ・メモリの値がたまたま比較する値と一致する確率は $(1/2)^n$ になります。

すなわち、RAMジャッジによる停電検出は $(1/2)^n$ の確率でバックアップと判断されてしまうことになります。

したがってこの確率を小さくするためには、できる限り多くのビット数を比較するようにします。

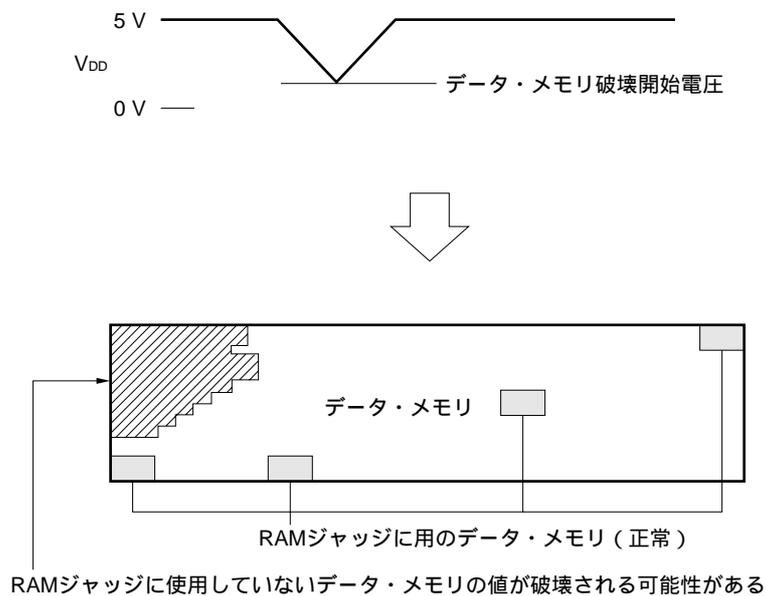
また、経験上、 V_{DD} 投入時のデータ・メモリの内容は“0000B”や“1111B”のような同一の値になりやすいため、比較するためのデータを“1010B”や“0110B”のように、“0”と“1”が混在するような値にした方が、判断を誤る可能性が少なくなります。

(2) プログラム上の注意

図21-17に示すように V_{DD} がデータ・メモリが破壊され始める電圧から立ち上がったときは、比較するデータ・メモリの値が正常であっても、その他の部分が破壊される場合があります。

このときRAMジャッジによる停電検出ではバックアップと判断されるため、プログラム上、データ・メモリが破壊されていても暴走しないよう配慮する必要があります。

図21-17 V_{DD} とデータ・メモリの破壊



(3) RESET端子についての注意

プログラム実行中にRESET端子によるリセットを行うと、データ・メモリのデータが破壊される場合があります。したがって、RESET端子によるリセットを行うときには注意してください。

22. 命令セット

22.1 命令セット概要

b ₁₄ -b ₁₁		b ₁₅		0		1	
BIN	HEX						
0000	0	ADD	r, m	ADD	m, #n4		
0001	1	SUB	r, m	SUB	m, #n4		
0010	2	ADDC	r, m	ADDC	m, #n4		
0011	3	SUBC	r, m	SUBC	m, #n4		
0100	4	AND	r, m	AND	m, #n4		
0101	5	XOR	r, m	XOR	m, #n4		
0110	6	OR	r, m	OR	m, #n4		
0111	7	INC	AR				
		INC	IX				
		RORC	r				
		MOVT	DBF, @AR				
		PUSH	AR				
		POP	AR				
		GET	DBF, p				
		PUT	p, DBF				
		PEEK	WR, rf				
		POKE	rf, WR				
		BR	@AR				
		CALL	@AR				
		SYSCAL	entry				
		RET					
		RETSK					
RETI							
EI							
DI							
STOP	s						
HALT	h						
NOP							
1000	8	LD	r, m	ST	m, r		
1001	9	SKE	m, #n4	SKGE	m, #n4		
1010	A	MOV	@r, m	MOV	m, @r		
1011	B	SKNE	m, #n4	SKLT	m, #n4		
1100	C	BR	addr (ページ 0)	CALL	addr (ページ 0)		
1101	D	BR	addr (ページ 1)	MOV	m, #n4		
1110	E	BR	addr (ページ 2)	SKT	m, #n		
1111	F	BR	addr (ページ 3)	SKF	m, #n		

22.2 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (下位11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
entry	: プログラム・メモリ・アドレス (ビット10-ビット8, ビット3-ビット0)
entry _H	: プログラム・メモリ・アドレス (ビット10-ビット8)
entry _L	: プログラム・メモリ・アドレス (ビット3-ビット0)
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: m _R , m _C で示されるデータ・メモリ・アドレス
m _R	: データ・メモリ・ロウ・アドレス (上位)
m _C	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4ビット)
n4	: イミューディエト・データ (4ビット)
PAGE	: ページ (プログラム・カウンタのビット12, 11)
PC	: プログラム・カウンタ
p	: 周辺アドレス
p _H	: 周辺アドレス (上位3ビット)
p _L	: 周辺アドレス (下位4ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rf _R	: レジスタ・ファイル・ロウ・アドレス (上位3ビット)
rf _C	: レジスタ・ファイル・カラム・アドレス (下位4ビット)
SGR	: セグメント・レジスタ (プログラム・カウンタのビット13)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
(x)	: xでアドレスされる内容

22.3 命令一覧表

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード		オペランド	
加算	ADD	r, m	(r) (r) + (m)	00000	m _R	m _C	r
		m, #n4	(m) (m) + n4	10000	m _R	m _C	n4
	ADDC	r, m	(r) (r) + (m) + CY	00010	m _R	m _C	r
		m, #n4	(m) (m) + n4 + CY	10010	m _R	m _C	n4
	INC	AR	AR AR + 1	00111	000	1001	0000
IX		IX IX + 1	00111	000	1000	0000	
減算	SUB	r, m	(r) (r) - (m)	00001	m _R	m _C	r
		m, #n4	(m) (m) - n4	10001	m _R	m _C	n4
	SUBC	r, m	(r) (r) - (m) - CY	00011	m _R	m _C	r
		m, #n4	(m) (m) - n4 - CY	10011	m _R	m _C	n4
論理演算	OR	r, m	(r) (r) (m)	00110	m _R	m _C	r
		m, #n4	(m) (m) n4	10110	m _R	m _C	n4
	AND	r, m	(r) (r) (m)	00100	m _R	m _C	r
		m, #n4	(m) (m) n4	10100	m _R	m _C	n4
	XOR	r, m	(r) (r) - (m)	00101	m _R	m _C	r
		m, #n4	(m) (m) - n4	10101	m _R	m _C	n4
判断	SKT	m, #n	CMP 0, if (m) n = n, then skip	11110	m _R	m _C	n
	SKF	m, #n	CMP 0, if (m) n = 0, then skip	11111	m _R	m _C	n
比較	SKE	m, #n4	(m) - n4, skip if zero	01001	m _R	m _C	n4
	SKNE	m, #n4	(m) - n4, skip if not zero	01011	m _R	m _C	n4
	SKGE	m, #n4	(m) - n4, skip if not borrow	11001	m _R	m _C	n4
	SKLT	m, #n4	(m) - n4, skip if borrow	11011	m _R	m _C	n4
回転	RORC	r		00111	000	0111	r

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード		オペランド	
転送	LD	r, m	(r) (m)	01000	m _R	m _C	r
	ST	m, r	(m) (r)	11000	m _R	m _C	r
	MOV	@r, m	if MPE = 1 : (MP, (r)) (m) if MPE = 0 : (BANK, m _R , (r)) (m)	01010	m _R	m _C	r
		m, @r	if MPE = 1 : (m) (MP, (r)) if MPE = 0 : (m) (BANK, m _R , (r))	11010	m _R	m _C	r
		m, #n4	(m) n4	11101	m _R	m _C	n4
	MOVT	DBF, @AR	SP SP - 1, ASR PC, PC AR, DBF (PC), PC ASR, SP SP + 1	00111	000	0001	0000
	PUSH	AR	SP SP - 1, ASR AR	00111	000	1101	0000
	POP	AR	AR ASR, SP SP + 1	00111	000	1100	0000
	GET	DBF, p	DBF (p)	00111	p _H	1011	p _L
	PUT	p, DBF	(p) DBF	00111	p _H	1010	p _L
	PEEK	WR, rf	WR (rf)	00111	r _{fR}	0011	r _{fC}
	POKE	rf, WR	(rf) WR	00111	r _{fR}	0010	r _{fC}
分岐	BR	addr	PC ₁₀₋₀ addr, PAGE 0	01100	addr		
			PC ₁₀₋₀ addr, PAGE 1	01101			
			PC ₁₀₋₀ addr, PAGE 2	01110			
			PC ₁₀₋₀ addr, PAGE 3	01111			
	@AR	PC AR	00111	000	0100	0000	
サブルーチン	CALL	addr	SP SP - 1, ASR PC PC ₁₁ 0, PC ₁₀₋₀ addr	11100	addr		
		@AR	SP SP - 1, ASR PC PC AR	00111	000	0101	0000
	SYSCAL	entry	SP SP - 1, ASR PC, SGR 1 PC _{12,11} 0, PC ₁₀₋₈ entry _H , PC ₇₋₄ 0, PC ₃₋₀ entry _L	00111	entry _H	0010	entry _L
	RET		PC ASR, SP SP + 1	00111	000	1110	0000
	RETSK		PC ASR, SP SP + 1 and skip	00111	001	1110	0000
	RETI		PC ASR, INTR INTSK, SP SP + 1	00111	010	1110	0000
割り込み	EI		INTEF 1	00111	000	1111	0000
	DI		INTEF 0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

22.4 アセンブラ (RA17K) 組み込みマクロ命令

凡 例

- flag n : FLG型シンボル
- n : ビット番号
- : 内は省略可能

	二モニック	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, ... flag n	if (flag 1) ~ (flag n) = all " 1 " , then skip	1 n 4
	SKFn	flag 1, ... flag n	if (flag 1) ~ (flag n) = all " 0 " , then skip	1 n 4
	SETn	flag 1, ... flag n	(flag 1) ~ (flag n) 1	1 n 4
	CLRN	flag 1, ... flag n	(flag 1) ~ (flag n) 0	1 n 4
	NOTn	flag 1, ... flag n	if (flag n) = " 0 " , then (flag n) 1 if (flag n) = " 1 " , then (flag n) 0	1 n 4
	INITFLG	NOT flag 1, ... NOT flag n	if description = NOT flag n, then (flag n) 0 if description = flag n, then (flag n) 1	1 n 4
	BANKn		(BANK) n	0 n 15
拡張命令	BRX	Label	Jump Label	-
	CALLX	function-name	CALL sub-routine	-
	SYSCALX	function-name or expression	CALL system sub-routine	-
	INITFLGX	NOT/INV flag 1, ... NOT/INV flag n	if description = NOT (or INV) flag, (flag) 0 if description = flag, (flag) 1	n 4

23. 予約シンボル

23.1 データ・バッファ (DBF)

シンボル名	属性	値	R/W	説	明
DBF3	MEM	0.0CH	R/W	データ・バッファのビット15-12	
DBF2	MEM	0.0DH	R/W	データ・バッファのビット11-8	
DBF1	MEM	0.0EH	R/W	データ・バッファのビット7-4	
DBF0	MEM	0.0FH	R/W	データ・バッファのビット3-0	

23.2 システム・レジスタ (SYSREG)

シンボル名	属性	値	R/W	説	明
AR3	MEM	0.74H	R/W	アドレス・レジスタのビット15-12	
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11-8	
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7-4	
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3-0	
WR	MEM	0.78H	R/W	ウインドウ・レジスタ	
BANK	MEM	0.79H	R/W	バンク・レジスタ	
IXH	MEM	0.7AH	R/W	インデクス・レジスタのビット10-8	
MPH	MEM	0.7AH	R/W	メモリ・ポインタのビット6-4	
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ	
IXM	MEM	0.7BH	R/W	インデクス・レジスタのビット7-4	
MPL	MEM	0.7BH	R/W	メモリ・ポインタのビット3-0	
IXL	MEM	0.7CH	R/W	インデクス・レジスタのビット3-0	
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタのビット6-3	
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタのビット2-0	
BCD	FLG	0.7EH.0	R/W	BCD演算フラグ	
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード	
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ	
CY	FLG	0.7FH.2	R/W	キャリー・フラグ	
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ	
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ	

23.3 ポート・レジスタ

シンボル名	属性	値	R/W	説 明
P0A3	FLG	0.70H.3	R/W	ポート0 Aのビット3
P0A2	FLG	0.70H.2	R/W	ポート0 Aのビット2
P0A1	FLG	0.70H.1	R/W	ポート0 Aのビット1
P0A0	FLG	0.70H.0	R/W	ポート0 Aのビット0
P0B3	FLG	0.71H.3	R/W	ポート0 Bのビット3
P0B2	FLG	0.71H.2	R/W	ポート0 Bのビット2
P0B1	FLG	0.71H.1	R/W	ポート0 Bのビット1
P0B0	FLG	0.71H.0	R/W	ポート0 Bのビット0
P0C3	FLG	0.72H.3	R/W	ポート0 Cのビット3
P0C2	FLG	0.72H.2	R/W	ポート0 Cのビット2
P0C1	FLG	0.72H.1	R/W	ポート0 Cのビット1
P0C0	FLG	0.72H.0	R/W	ポート0 Cのビット0
P0D3	FLG	0.73H.3	R ^注	ポート0 Dのビット3
P0D2	FLG	0.73H.2	R ^注	ポート0 Dのビット2
P0D1	FLG	0.73H.1	R ^注	ポート0 Dのビット1
P0D0	FLG	0.73H.0	R ^注	ポート0 Dのビット0
P1A3	FLG	1.70H.3	R ^注	ポート1 Aのビット3
P1A2	FLG	1.70H.2	R ^注	ポート1 Aのビット2
P1A1	FLG	1.70H.1	R ^注	ポート1 Aのビット1
P1A0	FLG	1.70H.0	R ^注	ポート1 Aのビット0
P1B3	FLG	1.71H.3	R/W	ポート1 Bのビット3
P1B2	FLG	1.71H.2	R/W	ポート1 Bのビット2
P1B1	FLG	1.71H.1	R/W	ポート1 Bのビット1
P1B0	FLG	1.71H.0	R/W	ポート1 Bのビット0
P1C3	FLG	1.72H.3	R ^注	ポート1 Cのビット3
P1C2	FLG	1.72H.2	R ^注	ポート1 Cのビット2
P1C1	FLG	1.72H.1	R ^注	ポート1 Cのビット1
P1C0	FLG	1.72H.0	R/W	ポート1 Cのビット0

注 入力専用ポートですが、ポートに出力する命令を記述してもアセンブラ、インサーキット・エミュレータはエラー・メッセージを出力しません。また、実際にデバイスで実行させても動作上は何も変化は起こりません。

シンボル名	属性	値	R/W	説 明
P1D3	FLG	1.73H.3	R/W	ポート1 Dのビット3
P1D2	FLG	1.73H.2	R/W	ポート1 Dのビット2
P1D1	FLG	1.73H.1	R/W	ポート1 Dのビット1
P1D0	FLG	1.73H.0	R/W	ポート1 Dのビット0
P2A2	FLG	2.70H.2	R/W	ポート2 Aのビット2
P2A1	FLG	2.70H.1	R/W	ポート2 Aのビット1
P2A0	FLG	2.70H.0	R/W	ポート2 Aのビット0
P2B3	FLG	2.71H.3	R/W	ポート2 Bのビット3
P2B2	FLG	2.71H.2	R/W	ポート2 Bのビット2
P2B1	FLG	2.71H.1	R/W	ポート2 Bのビット1
P2B0	FLG	2.71H.0	R/W	ポート2 Bのビット0
P2C3	FLG	2.72H.3	R/W	ポート2 Cのビット3
P2C2	FLG	2.72H.2	R/W	ポート2 Cのビット2
P2C1	FLG	2.72H.1	R/W	ポート2 Cのビット1
P2C0	FLG	2.72H.0	R/W	ポート2 Cのビット0
P2D2	FLG	2.73H.2	R/W	ポート2 Dのビット2
P2D1	FLG	2.73H.1	R/W	ポート2 Dのビット1
P2D0	FLG	2.73H.0	R/W	ポート2 Dのビット0
P3A3	FLG	3.70H.3	R/W	ポート3 Aのビット3
P3A2	FLG	3.70H.2	R/W	ポート3 Aのビット2
P3A1	FLG	3.70H.1	R/W	ポート3 Aのビット1
P3A0	FLG	3.70H.0	R/W	ポート3 Aのビット0
P3B3	FLG	3.71H.3	R/W	ポート3 Bのビット3
P3B2	FLG	3.71H.2	R/W	ポート3 Bのビット2
P3B1	FLG	3.71H.1	R/W	ポート3 Bのビット1
P3B0	FLG	3.71H.0	R/W	ポート3 Bのビット0
P3C3	FLG	3.72H.3	R/W	ポート3 Cのビット3
P3C2	FLG	3.72H.2	R/W	ポート3 Cのビット2
P3C1	FLG	3.72H.1	R/W	ポート3 Cのビット1
P3C0	FLG	3.72H.0	R/W	ポート3 Cのビット0
P3D3	FLG	3.73H.3	R/W	ポート3 Dのビット3
P3D2	FLG	3.73H.2	R/W	ポート3 Dのビット2
P3D1	FLG	3.73H.1	R/W	ポート3 Dのビット1
P3D0	FLG	3.73H.0	R/W	ポート3 Dのビット0

23.4 レジスタ・ファイル(コントロール・レジスタ)

シンボル名	属性	値	R/W	説明
SP	MEM	0.81H	R/W	スタック・ポインタ
WDTCK	MEM	0.82H	R/W	ウォッチドッグ・タイマ・クロック選択フラグ(電源投入後一度だけ設定可能)
WDTCK1	FLG	0.82H.1	R/W	ウォッチドッグ・タイマ・クロック選択フラグ(電源投入後一度だけ設定可能)
WDTCK0	FLG	0.82H.0	R/W	ウォッチドッグ・タイマ・クロック選択フラグ(電源投入後一度だけ設定可能)
WDTRES	FLG	0.83H.3	R/W	ウォッチドッグ・タイマ・カウンタ・リセット(読み出し時:0)
DBFSP	MEM	0.84H	R	DBFスタック・ポインタ
SPRSEL	MEM	0.85H	R/W	スタック・オーバフロー/アンダフロー・リセット選択フラグ(電源投入後一度だけ設定可能)
ISPRES	FLG	0.85H.1	R/W	スタック・オーバフロー/アンダフロー・リセット選択フラグ(電源投入後一度だけ設定可能)
ASPRES	FLG	0.85H.0	R/W	スタック・オーバフロー/アンダフロー・リセット選択フラグ(電源投入後一度だけ設定可能)
CECNT3	FLG	0.86H.3	R/W	CEリセット・タイマ・キャリア・カウンタ
CECNT2	FLG	0.86H.2	R/W	CEリセット・タイマ・キャリア・カウンタ
CECNT1	FLG	0.86H.1	R/W	CEリセット・タイマ・キャリア・カウンタ
CECNT0	FLG	0.86H.0	R/W	CEリセット・タイマ・キャリア・カウンタ
MOVTSSEL1	FLG	0.87H.1	R/W	MOVTSビット選択フラグ
MOVTSSEL0	FLG	0.87H.0	R/W	MOVTSビット選択フラグ
SYSRSP	MEM	0.88H	R	システム・レジスタ・スタック・ポインタ
SIO0WSTT	FLG	0.8AH.0	R	シリアル・インタフェース0ウェイト状態判定フラグ
SBMD	FLG	0.8BH.2	R/W	I ² Cバスのスレーブ送信時の動作モード選択フラグ
SIO0CK1	FLG	0.8BH.1	R/W	シリアル・インタフェース0入出力クロック選択フラグ
SIO0CK0	FLG	0.8BH.0	R/W	シリアル・インタフェース0入出力クロック選択フラグ
SIO0IMD3	FLG	0.8CH.3	R/W	シリアル・インタフェース0割り込みモード選択フラグ(ダミー)
SIO0IMD2	FLG	0.8CH.2	R/W	シリアル・インタフェース0割り込みモード選択フラグ(ダミー)
SIO0IMD1	FLG	0.8CH.1	R/W	シリアル・インタフェース0割り込みモード選択フラグ
SIO0IMD0	FLG	0.8CH.0	R/W	シリアル・インタフェース0割り込みモード選択フラグ
SIO0SF8	FLG	0.8DH.3	R	シリアル・インタフェース0クロック・カウンタの8カウント検出フラグ
SIO0SF9	FLG	0.8DH.2	R	シリアル・インタフェース0クロック・カウンタの9カウント検出フラグ
SBSTT	FLG	0.8DH.1	R	シリアル・インタフェース0(I ² Cモード)交信状態検出フラグ (1:スタート条件検出)
SBBSY	FLG	0.8DH.0	R	シリアル・インタフェース0(I ² Cモード)交信状態検出フラグ (1:スタート条件検出, 0:ストップ条件検出)
SBACK	FLG	0.8EH.3	R/W	シリアル・インタフェース0(I ² Cモード)ACK信号の設定/検出フラグ
SIO0NWT	FLG	0.8EH.2	R/W	シリアル・インタフェース0ウェイト状態設定/検出フラグ (1:ウェイト状態解除(ノー・ウェイト))
SIO0WRQ1	FLG	0.8EH.1	R/W	シリアル・インタフェース0ウェイト条件の設定フラグのビット1
SIO0WRQ0	FLG	0.8EH.0	R/W	シリアル・インタフェース0ウェイト条件の設定フラグのビット0

シンボル名	属性	値	R/W	説明
SIO0CH	FLG	0.8FH.3	R/W	シリアル・インタフェース0モード選択フラグ
SB	FLG	0.8FH.2	R/W	シリアル・インタフェース0モード選択フラグ
SIO0MS	FLG	0.8FH.1	R/W	シリアル・インタフェース0シフト・クロック・モード選択フラグ
SIO0TX	FLG	0.8FH.0	R/W	シリアル・インタフェース0送信(TX)/受信(RX)選択フラグ
PLLSCNF	FLG	0.90H.3	R/W	スワロ・カウンタの最下位ビット設定フラグ
PLLMD1	FLG	0.90H.1	R/W	PLLモード選択フラグ
PLLMD0	FLG	0.90H.0	R/W	PLLモード選択フラグ
PLLRFCCK3	FLG	0.91H.3	R/W	PLL基準周波数選択フラグ
PLLRFCCK2	FLG	0.91H.2	R/W	PLL基準周波数選択フラグ
PLLRFCCK1	FLG	0.91H.1	R/W	PLL基準周波数選択フラグ
PLLRFCCK0	FLG	0.91H.0	R/W	PLL基準周波数選択フラグ
PLLUL	FLG	0.92H.0	R&Reset	PLLアンロックFFフラグ
BEEP1SEL	FLG	0.93H.1	R/W	BEEP1/汎用ポート端子 機能選択フラグ
BEEP0SEL	FLG	0.93H.0	R/W	BEEP0/汎用ポート端子 機能選択フラグ
BEEP1CK1	FLG	0.94H.3	R/W	BEEP1クロック選択フラグ
BEEP1CK0	FLG	0.94H.2	R/W	BEEP1クロック選択フラグ
BEEP0CK1	FLG	0.94H.1	R/W	BEEP0クロック選択フラグ
BEEP0CK0	FLG	0.94H.0	R/W	BEEP0クロック選択フラグ
WDTCY	FLG	0.96H.0	R	ウォッチドッグ・タイマ/スタック・ポインタ・リセット・ステータス検出フラグ
BTM0CY	FLG	0.97H.0	R	ベーシック・タイマ0キャリー・フラグ
BTM0CK1	FLG	0.98H.1	R/W	ベーシック・タイマ0クロック選択フラグ
BTM0CK0	FLG	0.98H.0	R/W	ベーシック・タイマ0クロック選択フラグ
SIO1TS	FLG	0.9DH.3	R/W	シリアル・インタフェース1送受信スタート・フラグ
SIO1HIZ	FLG	0.9DH.2	R/W	シリアル・インタフェース1/汎用ポート選択フラグ
SIO1CK1	FLG	0.9DH.1	R/W	シリアル・インタフェース1入出力クロック選択フラグ
SIO1CK0	FLG	0.9DH.0	R/W	シリアル・インタフェース1入出力クロック選択フラグ
IEG4	FLG	0.9EH.3	R/W	INT4端子割り込み要求検出のエッジ方向選択フラグ
INT4SEL	FLG	0.9EH.2	R/W	INT4端子割り込み要求フラグ・セット禁止
IEG3	FLG	0.9EH.1	R/W	INT3端子割り込み要求検出のエッジ方向選択フラグ
INT3SEL	FLG	0.9EH.0	R/W	INT3端子割り込み要求フラグ・セット禁止
IEG2	FLG	0.9FH.2	R/W	INT2端子割り込み要求検出のエッジ方向選択フラグ
IEG1	FLG	0.9FH.1	R/W	INT1端子割り込み要求検出のエッジ方向選択フラグ
IEG0	FLG	0.9FH.0	R/W	INT0端子割り込み要求検出のエッジ方向選択フラグ
FCGCH1	FLG	0.0A0H.1	R/W	FCGチャンネル選択フラグ
FCGCH0	FLG	0.0A0H.0	R/W	FCGチャンネル選択フラグ
IFCGOSTT	FLG	0.0A1H.0	R	IFカウンタ・ゲート状態検出フラグ(1:オープン, 0:クローズ)

シンボル名	属性	値	R/W	説明
IFCMD1	FLG	0.0A2H.3	R/W	IFカウンタ・モード選択フラグ (10 : AMIF, 11 : FCG)
IFCMD0	FLG	0.0A2H.2	R/W	IFカウンタ・モード選択フラグ (00 : CGP, 11 : FMIF)
IFCCK1	FLG	0.0A2H.1	R/W	IFカウンタ・クロック選択フラグ
IFCCK0	FLG	0.0A2H.0	R/W	IFカウンタ・クロック選択フラグ
IFCSTRT	FLG	0.0A3H.1	W	IFカウンタ・カウント開始フラグ
IFCRES	FLG	0.0A3H.0	W	IFカウンタ・リセット・フラグ
ADCCH3	FLG	0.0A4H.3	R/W	A/Dコンバータ・チャンネル選択フラグ (ダミー)
ADCCH2	FLG	0.0A4H.2	R/W	A/Dコンバータ・チャンネル選択フラグ
ADCCH1	FLG	0.0A4H.1	R/W	A/Dコンバータ・チャンネル選択フラグ
ADCCH0	FLG	0.0A4H.0	R/W	A/Dコンバータ・チャンネル選択フラグ
ADCMD	FLG	0.0A5H.2	R/W	A/Dコンバータ比較モード選択フラグ
ADCSTT	FLG	0.0A5H.1	R	A/Dコンバータ動作状態検出フラグ (0 : 変換終了, 1 : 変換中)
ADCCMP	FLG	0.0A5H.0	R	A/Dコンバータ比較結果検出フラグ
PWMBIT	FLG	0.0A6H.2	R/W	PWMカウンタ・ビット選択フラグ (0 : 8ビット, 1 : 9ビット)
PWMCK	FLG	0.0A6H.0	R/W	PWMタイマ出力クロック選択フラグ
PWM2SEL	FLG	0.0A7H.2	R/W	PWM2/汎用ポート端子 機能選択フラグ
PWM1SEL	FLG	0.0A7H.1	R/W	PWM1/汎用ポート端子 機能選択フラグ
PWM0SEL	FLG	0.0A7H.0	R/W	PWM0/汎用ポート端子 機能選択フラグ
TM3SEL	FLG	0.0A8H.3	R/W	PWM/モジュロ・タイマ3 選択フラグ
TM3EN	FLG	0.0A8H.1	R/W	モジュロ・タイマ3 カウント開始フラグ
TM3RES	FLG	0.0A8H.0	R/W	モジュロ・タイマ3リセット・フラグ (読み出し時 : 0)
TM2EN	FLG	0.0A9H.3	R/W	モジュロ・タイマ2 カウント開始フラグ
TM2RES	FLG	0.0A9H.2	R/W	モジュロ・タイマ2リセット・フラグ (読み出し時 : 0)
TM2CK1	FLG	0.0A9H.1	R/W	モジュロ・タイマ2クロック選択フラグ
TM2CK0	FLG	0.0A9H.0	R/W	モジュロ・タイマ2クロック選択フラグ
TM1EN	FLG	0.0AAH.3	R/W	モジュロ・タイマ1 カウント開始フラグ
TM1RES	FLG	0.0AAH.2	R/W	モジュロ・タイマ1リセット・フラグ (読み出し時 : 0)
TM1CK1	FLG	0.0AAH.1	R/W	モジュロ・タイマ1クロック選択フラグ
TM1CK0	FLG	0.0AAH.0	R/W	モジュロ・タイマ1クロック選択フラグ
TM0EN	FLG	0.0ABH.3	R/W	モジュロ・タイマ0 カウント開始フラグ
TM0RES	FLG	0.0ABH.2	R/W	モジュロ・タイマ0リセット・フラグ (読み出し時 : 0)
TM0CK1	FLG	0.0ABH.1	R/W	モジュロ・タイマ0クロック選択フラグ
TM0CK0	FLG	0.0ABH.0	R/W	モジュロ・タイマ0クロック選択フラグ
TM0OVF	FLG	0.0ACH.3	R	モジュロ・タイマ0 オーバフロー検出フラグ
TM0GCEG	FLG	0.0ACH.2	R/W	モジュロ・タイマ0ゲート・クローズ入力信号エッジ選択フラグ
TM0GOEG	FLG	0.0ACH.1	R/W	モジュロ・タイマ0ゲート・オープン入力信号エッジ選択フラグ
TM0MD	FLG	0.0ACH.0	R/W	モジュロ・タイマ0モジュロ・カウンタ/ゲート・カウンタ切り替えフラグ

シンボル名	属性	値	R/W	説明
IPSIO1	FLG	0.0ADH.3	R/W	シリアル・インタフェース 1 割り込み許可フラグ
IPSIO0	FLG	0.0ADH.2	R/W	シリアル・インタフェース 0 割り込み許可フラグ
IPTM3	FLG	0.0ADH.1	R/W	PWMタイマ割り込み許可フラグ
IPTM2	FLG	0.0ADH.0	R/W	モジュロ・タイマ 2 割り込み許可フラグ
IPTM1	FLG	0.0AEH.3	R/W	モジュロ・タイマ 1 割り込み許可フラグ
IPTM0	FLG	0.0AEH.2	R/W	モジュロ・タイマ 0 割り込み許可フラグ
IP4	FLG	0.0AEH.1	R/W	INT4端子割り込み許可フラグ
IP3	FLG	0.0AEH.0	R/W	INT3端子割り込み許可フラグ
IP2	FLG	0.0AFH.3	R/W	INT2端子割り込み許可フラグ
IP1	FLG	0.0AFH.2	R/W	INT1端子割り込み許可フラグ
IP0	FLG	0.0AFH.1	R/W	INT0端子割り込み許可フラグ
IPCE	FLG	0.0AFH.0	R/W	CE端子割り込み許可フラグ
IRQSIO1	FLG	0.0B4H.0	R/W	シリアル・インタフェース 1 割り込み要求検出フラグ
IRQSIO0	FLG	0.0B5H.0	R/W	シリアル・インタフェース 0 割り込み要求検出フラグ
IRQTM3	FLG	0.0B6H.0	R/W	PWMタイマ割り込み要求検出フラグ
IRQTM2	FLG	0.0B7H.0	R/W	モジュロ・タイマ 2 割り込み要求検出フラグ
IRQTM1	FLG	0.0B8H.0	R/W	モジュロ・タイマ 1 割り込み要求検出フラグ
IRQTM0	FLG	0.0B9H.0	R/W	モジュロ・タイマ 0 割り込み要求検出フラグ
INT4	FLG	0.0BAH.3	R	INT4端子状態検出フラグ
IRQ4	FLG	0.0BAH.0	R/W	INT4端子割り込み要求検出フラグ
INT3	FLG	0.0BBH.3	R	INT3端子状態検出フラグ
IRQ3	FLG	0.0BBH.0	R/W	INT3端子割り込み要求検出フラグ
INT2	FLG	0.0BCH.3	R	INT2端子状態検出フラグ
IRQ2	FLG	0.0BCH.0	R/W	INT2端子割り込み要求検出フラグ
INT1	FLG	0.0BDH.3	R	INT1端子状態検出フラグ
IRQ1	FLG	0.0BDH.0	R/W	INT1端子割り込み要求検出フラグ
INT0	FLG	0.0BEH.3	R	INT0端子状態検出フラグ
IRQ0	FLG	0.0BEH.0	R/W	INT0端子割り込み要求検出フラグ
CE	FLG	0.0BFH.3	R	CE端子状態検出フラグ
CECNTSTT	FLG	0.0BFH.1	R	CEリセット・カウンタ状態検出フラグ
IRQCE	FLG	0.0BFH.0	R/W	CE端子割り込み要求検出フラグ
P0DPLD3	FLG	15.66H.3	R/W	P0D3端子プルダウン抵抗切り替えフラグ
P0DPLD2	FLG	15.66H.2	R/W	P0D2端子プルダウン抵抗切り替えフラグ
P0DPLD1	FLG	15.66H.1	R/W	P0D1端子プルダウン抵抗切り替えフラグ
P0DPLD0	FLG	15.66H.0	R/W	P0D0端子プルダウン抵抗切り替えフラグ

シンボル名	属性	値	R/W	説 明
P3DGIO	FLG	15.67H.3	R/W	P3D入力 / 出力選択フラグ
P3CGIO	FLG	15.67H.2	R/W	P3C入力 / 出力選択フラグ
P3BGIO	FLG	15.67H.1	R/W	P3B入力 / 出力選択フラグ
P3AGIO	FLG	15.67H.0	R/W	P3A入力 / 出力選択フラグ
P2DBIO3	FLG	15.68H.3	R/W	P2D3入力 / 出力選択フラグ (ダミー)
P2DBIO2	FLG	15.68H.2	R/W	P2D2入力 / 出力選択フラグ
P2DBIO1	FLG	15.68H.1	R/W	P2D1入力 / 出力選択フラグ
P2DBIO0	FLG	15.68H.0	R/W	P2D0入力 / 出力選択フラグ
P2CBIO3	FLG	15.69H.3	R/W	P2C3入力 / 出力選択フラグ
P2CBIO2	FLG	15.69H.2	R/W	P2C2入力 / 出力選択フラグ
P2CBIO1	FLG	15.69H.1	R/W	P2C1入力 / 出力選択フラグ
P2CBIO0	FLG	15.69H.0	R/W	P2C0入力 / 出力選択フラグ
P2BBIO3	FLG	15.6AH.3	R/W	P2B3入力 / 出力選択フラグ
P2BBIO2	FLG	15.6AH.2	R/W	P2B2入力 / 出力選択フラグ
P2BBIO1	FLG	15.6AH.1	R/W	P2B1入力 / 出力選択フラグ
P2BBIO0	FLG	15.6AH.0	R/W	P2B0入力 / 出力選択フラグ
P2ABIO3	FLG	15.6BH.3	R/W	P2A3入力 / 出力選択フラグ (ダミー)
P2ABIO2	FLG	15.6BH.2	R/W	P2A2入力 / 出力選択フラグ
P2ABIO1	FLG	15.6BH.1	R/W	P2A1入力 / 出力選択フラグ
P2ABIO0	FLG	15.6BH.0	R/W	P2A0入力 / 出力選択フラグ
P1DBIO3	FLG	15.6CH.3	R/W	P1D3入力 / 出力選択フラグ
P1DBIO2	FLG	15.6CH.2	R/W	P1D2入力 / 出力選択フラグ
P1DBIO1	FLG	15.6CH.1	R/W	P1D1入力 / 出力選択フラグ
P1DBIO0	FLG	15.6CH.0	R/W	P1D0入力 / 出力選択フラグ
P0CBIO3	FLG	15.6DH.3	R/W	P0C3入力 / 出力選択フラグ
P0CBIO2	FLG	15.6DH.2	R/W	P0C2入力 / 出力選択フラグ
P0CBIO1	FLG	15.6DH.1	R/W	P0C1入力 / 出力選択フラグ
P0CBIO0	FLG	15.6DH.0	R/W	P0C0入力 / 出力選択フラグ
P0BBIO3	FLG	15.6EH.3	R/W	P0B3入力 / 出力選択フラグ
P0BBIO2	FLG	15.6EH.2	R/W	P0B2入力 / 出力選択フラグ
P0BBIO1	FLG	15.6EH.1	R/W	P0B1入力 / 出力選択フラグ
P0BBIO0	FLG	15.6EH.0	R/W	P0B0入力 / 出力選択フラグ
P0ABIO3	FLG	15.6FH.3	R/W	P0A3入力 / 出力選択フラグ
P0ABIO2	FLG	15.6FH.2	R/W	P0A2入力 / 出力選択フラグ
P0ABIO1	FLG	15.6FH.1	R/W	P0A1入力 / 出力選択フラグ
P0ABIO0	FLG	15.6FH.0	R/W	P0A0入力 / 出力選択フラグ

23.5 周辺ハードウェア・レジスタ

シンボル名	属性	値	R/W	説 明
ADCR	DAT	02H	R/W	A/Dコンバータ基準電圧設定レジスタ
SIO0SFR	DAT	03H	R/W	シリアル・インタフェース0プリセットアップ・シフト・レジスタ
SIO1SFR	DAT	04H	R/W	シリアル・インタフェース1プリセットアップ・シフト・レジスタ
TM0M	DAT	1AH	R/W	タイマ・モジュール0レジスタ
TM0C	DAT	1BH	R	タイマ・モジュール0カウンタ
TM1M	DAT	1CH	R/W	タイマ・モジュール1レジスタ
TM1C	DAT	1DH	R	タイマ・モジュール1カウンタ
TM2M	DAT	1EH	R/W	タイマ・モジュール2レジスタ
TM2C	DAT	1FH	R	タイマ・モジュール2カウンタ
AR	DAT	40H	R/W	アドレス・レジスタ
DBFSTK	DAT	41H	R/W	DBFスタック・レジスタ
PLL	DAT	42H	R/W	PLLデータ・レジスタ
IFC	DAT	43H	R	IFカウンタ・データ・レジスタ
PWMR0	DAT	44H	R/W	PWM0データ・レジスタ
PWMR1	DAT	45H	R/W	PWM1データ・レジスタ
PWMR2	DAT	46H	R/W	PWM2データ・レジスタ
TM3M	DAT	46H	R/W	タイマ・モジュール3レジスタ

23.6 その他

シンボル名	属性	値	説 明
DBF	DAT	0FH	GET/PUT/MOVT/MOVTH/MOVTL命令のオペランド (DBF)
IX	DAT	01H	INC命令のオペランド (IX)
AR_EPA1	DAT	8040H	CALL/BR/MOVT/MOVTH/MOVTL命令のオペランド (EPAビット・オン)
AR_EPA0	DAT	4040H	CALL/BR/MOVT/MOVTH/MOVTL命令のオペランド (EPAビット・オフ)

24. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.0	V
入力電圧	V _I	CE, INT0-INT4, $\overline{\text{RESET}}$ 端子以外	- 0.3 ~ V _{DD} + 0.3	V
		CE, INT0-INT4, $\overline{\text{RESET}}$ 端子	- 0.3 ~ V _{DD} + 0.6	V
出力電圧	V _O	P1B0-P1B3を除く	- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1 端子	- 8.0	mA
		P2A0-P2A2, P3A0-P3A3, P3B0-P3B3合計	- 15.0	mA
		P0A0-P0A3, P0B0-P0B3, P0C0-P0C3, P1D0-P1D3, P2B0-P2B3, P2C0-P2C3, P2D0-P2D2, P3C0-P3C3, P3D0-P3D3合計	- 25.0	mA
ロウ・レベル出力電流	I _{OL}	P1B0-P1B3の 1 端子	12.0	mA
		P1B0-P1B3以外の 1 端子	8.0	mA
		P2A0-P2A2, P3A0-P3A3, P3B0-P3B3合計	15.0	mA
		P0A0-P0A3, P0B0-P0B3, P0C0-P0C3, P1D0-P1D3, P2B0-P2B3, P2C0-P2C3, P2D0-P2D2, P3C0-P3C3, P3D0-P3D3合計	25.0	mA
		P1B0-P1B3端子合計	25.0	mA
出力耐圧	V _{BDS}	P1B0-P1B3	14.0	V
全損失	P _t		200	mW
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 55 ~ + 125	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作範囲 (TA = - 40 ~ + 85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD1}	CPU, PLL動作時	4.5	5.0	5.5	V
	V _{DD2}	CPU動作, PLL停止時	3.5	5.0	5.5	V

推奨出力耐圧 (TA = - 40 ~ + 85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力耐圧	V _{BDS}	P1B0-P1B3			12	V

DC特性 (T_A = -40 ~ +85 , V_{DD} = 3.5 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD1}	CPU動作, PLL停止, X _{IN} 端子正弦波入力 (f _{IN} = 4.5 MHz ± 1%, V _{IN} = V _{DD})		1.5	3.0	mA
	I _{DD2}	CPU停止, PLL停止, X _{IN} 端子正弦波入力 (f _{IN} = 4.5 MHz ± 1%, V _{IN} = V _{DD}) HALT命令使用		0.7	1.5	mA
データ保持電圧	V _{DDR1}	水晶発振時	3.5		5.5	V
	V _{DDR2}	水晶発振停止時	2.2		5.5	V
	V _{DDR3}	データ・メモリ保持	2.0		5.5	V
データ保持電流	I _{DDR1}	水晶発振停止時	V _{DD} = 5 V, T _A = 25	2.0	4.0	μA
	I _{DDR2}			2.0	30.0	μA
ハイ・レベル入力電圧	V _{IH1}	P0A0, P0B1, P0C0-P0C3, P1A0, P1A1, P1C0-P1C3, P1D0-P1D3, P2A2, P2B0-P2B3, P2C0-P2C3, P2D0-P2D2, P3A0-P3A3, P3B0-P3B3, P3C0-P3C3, P3D0-P3D3	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P0A1-P0A3, P0B0, P0B2, P0B3, P2A0, P2A1, CE, INT0-INT4, $\overline{\text{RESET}}$	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P0D0-P0D3	0.55V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P0A0, P0B1, P0C0-P0C3, P1A0, P1A1, P1C0-P1C3, P1D0-P1D3, P2A2, P2B0-P2B3, P2C0-P2C3, P2D0-P2D2, P3A0-P3A3, P3B0-P3B3, P3C0-P3C3, P3D0-P3D3	0		0.3V _{DD}	V
	V _{IL2}	P0A1-P0A3, P0B0, P0B2, P0B3, P2A0, P2A1, CE, INT0-INT4, $\overline{\text{RESET}}$	0		0.2V _{DD}	V
	V _{IL3}	P0D0-P0D3	0		0.15V _{DD}	V
ハイ・レベル出力電流	I _{OH1}	P0A0-P0A3, P0B0-P0B3, P0C0-P0C3, P1D0-P1D3, P2A0-P2A2, P2B0-P2B3, P2C0-P2C3, P2D0-P2D2, P3A0-P3A3, P3B0-P3B3, P3C0-P3C3, P3D0-P3D3 V _{OH} = V _{DD} - 1 V	- 1.0			mA
	I _{OH2}	E00, $\overline{\text{E01}}$ V _{DD} = 4.5 ~ 5.5 V, V _{OH} = V _{DD} - 1 V	- 3.0			mA
ロウ・レベル出力電流	I _{OL1}	P0A0-P0A3, P0B0-P0B3, P0C0-P0C3, P1D0-P1D3, P2A0-P2A2, P2B0-P2B3, P2C0-P2C3, P2D0-P2D2, P3A0-P3A3, P3B0-P3B3, P3C0-P3C3, P3D0-P3D3 V _{OL} = 1 V	1.0			mA
	I _{OL2}	E00, $\overline{\text{E01}}$ V _{DD} = 4.5 ~ 5.5 V, V _{OL} = 1 V	3.0			mA
	I _{OL3}	P1B0-P1B3 V _{OL} = 1 V	7.0			mA
ハイ・レベル入力電流	I _{IH}	P0D0-P0D3プルダウン時 V _{IN} = V _{DD}	5.0		150	μA
出力オフ・リーク電流	I _{LO1}	P1B0-P1B3 V _{IN} = 12 V			1.0	μA
	I _{LO2}	E00, $\overline{\text{E01}}$ V _{IN} = V _{DD} , V _{IN} = 0 V			± 1.0	μA
ハイ・レベル入カリーク電流	I _{LIH}	入力端子 V _{IN} = V _{DD}			1.0	μA
ロウ・レベル入カリーク電流	I _{LIL}	入力端子 V _{IN} = 0 V			- 1.0	μA

AC特性 (TA = -40 ~ +85 , VDD = 5 V ± 10 %)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{IN1}	VCOL端子 MFモード 正弦波入力V _{IN} = 0.1V _{p-p} 注	0.5		3	MHz
	f _{IN2}	VCOL端子 HFモード 正弦波入力V _{IN} = 0.1V _{p-p} 注	10		40	MHz
	f _{IN3}	VCOH端子 VHFモード 正弦波入力V _{IN} = 0.1V _{p-p} 注	60		130	MHz
	f _{IN4}	AMIFC端子 正弦波入力V _{IN} = 0.15V _{p-p}	0.4		0.5	MHz
	f _{IN5}	FMIFC端子 FMIFカウント・モード 正弦波入力V _{IN} = 0.20V _{p-p}	10		11	MHz
	f _{IN6}	FMIFC端子 AMIFカウント・モード 正弦波入力V _{IN} = 0.15V _{p-p}	0.4		0.5	MHz
SIO0入力周波数	f _{IN7}	外部クロック			1	MHz
SIO1入力周波数	f _{IN8}	外部クロック			0.7	MHz

注 正弦波入力V_{IN} = 0.1 V_{p-p}の条件はμPD17704, 17705, 17707, 17708, 17709単体動作における規格値であるため、ほかにノイズの影響などが考えられる場合には、入力振幅条件がV_{IN} = 0.15 V_{p-p}での動作を推奨します。

A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = 5 V ± 10 %)

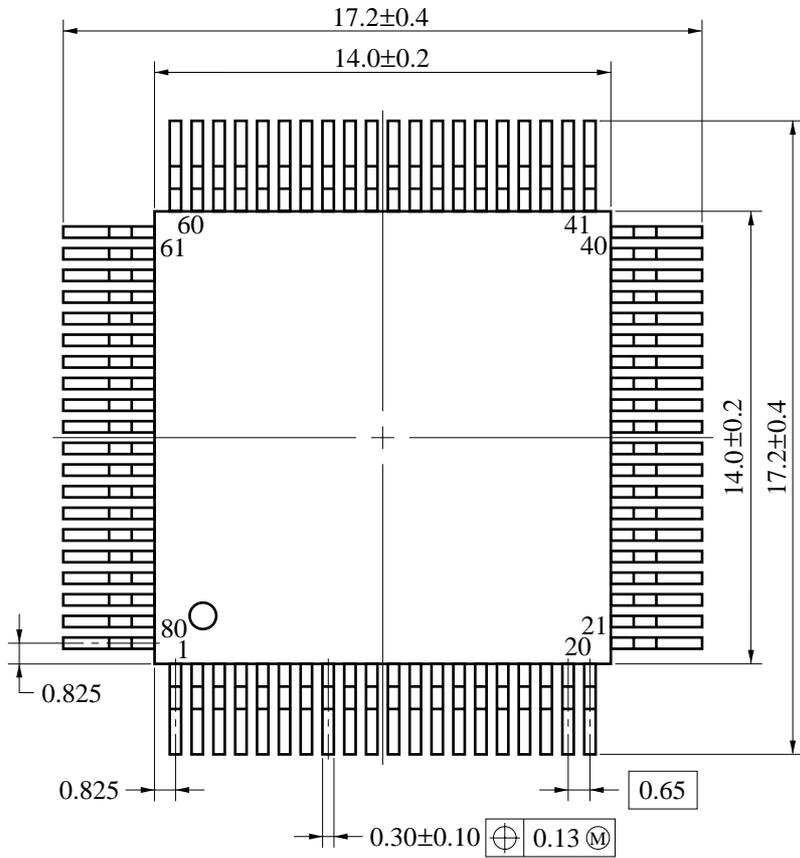
項目	略号	条件	MIN.	TYP.	MAX.	単位
A/D変換総合誤差		8 BIT			± 3.0	LSB
A/D変換総合誤差		8 BIT TA = 0 ~ 85			± 2.5	LSB

参考特性 (TA = +25 , VDD = 5.0 V)

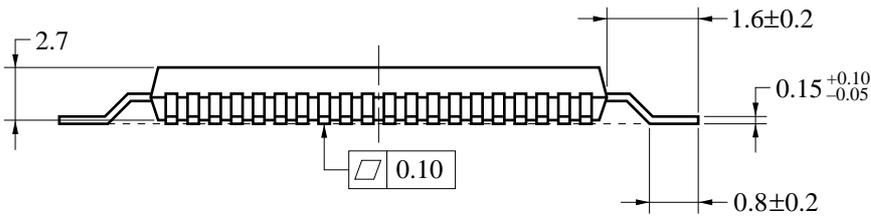
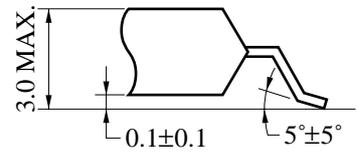
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{DD3}	CPUおよびPLL動作, VCOH端子正弦波入力 (f _{IN} = 130 MHz, V _{IN} = 0.3 V _{p-p})		6.0	12.0	mA

25. 外形図

80ピン・プラスチック QFP (14×14) 外形図 (単位: mm)



端子先端形状詳細図



S80GC-65-3B9-4

備考 ES品の外形や材質は量産品と同じです。

26. 半田付け推奨条件

μPD17709の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)をご参照ください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表26 - 1 表面実装タイプの半田付け条件

μPD17704GC- x x x -3B9 : 80ピン・プラスチックQFP (14 mm , 0.65 mmピッチ)

μPD17705GC- x x x -3B9 : "

μPD17707GC- x x x -3B9 : "

μPD17708GC- x x x -3B9 : "

μPD17709GC- x x x -3B9 : "

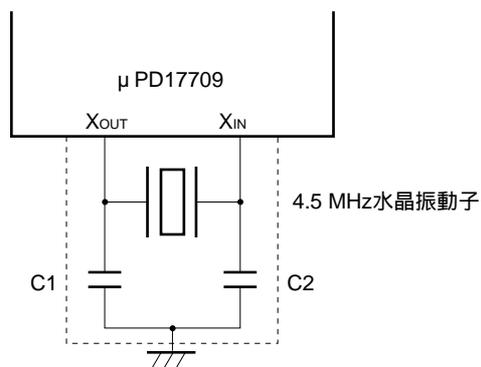
半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内	VP15-00-2
ウエーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A．水晶振動子を接続するときの注意

システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分に次のような注意が必要です。

- ・配線は極力短くしてください。
- ・C1, C2をあまり大きくすると、発振起動特性が悪化したり、消費電力が増加したりします。
- ・発振周波数調整用のトリマ・コンデンサは一般的にはX_{IN}端子に接続します。ただし、使用する水晶振動子によっては発振安定感が異なることがあります。したがって、実際に使用する水晶振動子で評価してください。
- ・水晶周波数の調整は、X_{OUT}端子やX_{IN}端子にエミュレーション・プローブなどを接続するとプローブの容量により正確に調整できません。VCO発振周波数を測定しながら行ってください。



付録B．開発ツール

μPD17709のプログラムを開発するために、次の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ 〔 IE-17K IE-17K-ET ^{注1} EMU-17K ^{注2} 〕	IE-17K, IE-17K-ET, EMU-17Kは、17Kシリーズ共通のインサーキット・エミュレータです。IE-17KおよびIE-17K-ETは、ホスト・マシンであるPC-9800シリーズまたはIBM PC/AT™とRS-232-Cを介して接続して使用します。EMU-17Kは、ホスト・マシンであるPC-9800シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード（SEボード）と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアであるSIMPLEHOST®を使用すると、さらに高度なデバッグ環境を実現できます。 なお、EMU-17Kは、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SEボード (SE-17709)	SE-17709は、μPD17709サブシリーズ用のSEボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ (EP-17K80GC)	EP-17K80GCは、μPD17709サブシリーズ用のエミュレーション・プローブです。EV-9200GC-80 ^{注3} とともに使用することで、SEボードとターゲット・システムを接続します。
変換ソケット (EV-9200GC-80 ^{注3})	EV-9200GC-80は、80ピン・プラスチックQFP（14mm）用の変換ソケットです。EP-17K80GCとターゲット・システムを接続するために使用します。
PROMプログラマ (PG-1500)	PG-1500は、μPD17709に対応したPROMプログラマです。PG-1500用アダプタPA-17KDZとプログラマ・アダプタPA-17P709GCを接続することにより、μPD17709をプログラミングすることができます。
プログラマ・アダプタ (PA-17P709GC)	PA-17P709GCは、μPD17709をプログラミングするためのアダプタです。PG-1500と組み合わせて使用します。

注1．廉価版：電源外付けタイプ

- 2．株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー（東京（03）3447-3793）までお問い合わせください。
- 3．EP-17K80GCには、EV-9200GC-80が1個添付されています。また、EV-9200GC-80を5個1組で別売もしています。

備考 3rdパーティ製PROMプログラマとして、安藤電気株式会社製のAF-9703, AF-9704, AF-9705, AF-9706を用意しています。プログラマ・アダプタPA-17P709GCと組み合わせて使用してください。詳細につきましては、安藤電気株式会社（東京（03）3733-1151）までお問い合わせください。

ソフトウェア

名 称	概 要	ホスト・マシン	OS		供給媒体	オーダ名称
17Kシリーズ アセンブラ (AS17K)	AS17Kは17Kシリーズ共通に使用できるアセンブラです。 μ PD17709のプログラム開発には、このAS17Kとデバイス・ファイル(AS17707)を組み合わせて使用します。	PC-9800シリーズ	MS-DOS™		5 インチ2HD	μ S5A10AS17K
					3.5インチ2HD	μ S5A13AS17K
		IBM PC/AT	PC DOS™		5 インチ2HC	μ S7B10AS17K
					3.5インチ2HC	μ S7B13AS17K
デバイス・ファイル (AS17707)	AS17707 には μ PD17709 サブシリーズ用のデバイス・ファイルが入っています。 17Kシリーズ共通のアセンブラ(AS17K)と組み合わせて使用します。	PC-9800シリーズ	MS-DOS		5 インチ2HD	μ S5A10AS17707
					3.5インチ2HD	μ S5A13AS17707
		IBM PC/AT	PC DOS		5 インチ2HC	μ S7B10AS17707
					3.5インチ2HC	μ S7B13AS17707
サポート・ソフトウェア (SIMPLEHOST)	SIMPLEHOSTはインサーキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときにWindows™上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800シリーズ	MS-DOS	Windows	5 インチ2HD	μ S5A10IE17K
					3.5インチ2HD	μ S5A13IE17K
		IBM PC/AT	PC DOS		5 インチ2HC	μ S7B10IE17K
					3.5インチ2HC	μ S7B13IE17K

備考 対応しているOSのバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver.3.30 ~ Ver.5.00A ^注
PC DOS	Ver.3.1 ~ Ver.5.0 ^注
Windows	Ver.3.0 ~ Ver.3.1

注 MS-DOSのVer.5.00/5.00A, PC DOSのVer.5.0にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意：本製品はI²Cバス・インタフェース回路を内蔵しています。

I²Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

SIMPLEHOST は、日本電気株式会社の登録商標です。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161 東北支社 仙台 (022)267-8740 岩手支店 盛岡 (0196)51-4344 山形支店 山形 (0236)23-5511 郡山支店 郡山 (0249)23-5511 いわき支店 いわき (0246)21-5511 長岡支店 長岡 (0258)36-2155 土浦支店 土浦 (0298)23-6161 水戸支店 水戸 (029)226-1717 神奈川支社 横浜 (045)324-5524 群馬支店 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支店 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支店 大宮 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 北陸支店 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	