

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD17203A, 17204

大容量スタティック RAM, 3チャンネル・タイマ内蔵

赤外線リモート・コントローラ用 4ビット・シングルチップ・マイクロコントローラ

μ PD17203A, 17204 は、大容量スタティック RAM (XRAM), 3チャンネル・タイマ, リモコン用キャリア発生回路, リモコン受信信号増幅用アンプ, 波形整形回路を内蔵した赤外線リモート・コントローラ用 4ビット・シングルチップ・マイクロコントローラです。

CPUとして汎用レジスタ方式である 17K アーキテクチャを採用しており、従来アキュムレータを介して行っていた演算に代わって直接データ・メモリ間の演算が行えます。さらに、すべての命令は 16ビット/1語で構成されていますので、効率のよいプログラミングが可能です。

また、一度だけ書き込み可能なワン・タイム PROM 製品の μ PD17P203A, 17P204 も用意しており、 μ PD17203A, 17204 のプログラム評価や少量生産に便利です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD172 \times \times サブシリーズ ユーザーズ・マニュアル: IEU-762

特 徴

- 赤外線リモコン用キャリア発生回路内蔵 (REM 出力)
- 赤外線リモコン受信信号増幅用アンプ内蔵
- 赤外線リモコン受信信号波形整形回路内蔵
- 17K アーキテクチャ採用 : 汎用レジスタ方式

	μ PD17203A	μ PD17204
プログラム・メモリ (ROM)	8 K バイト (4096 \times 16 ビット)	16 K バイト (7936 \times 16 ビット)
データ・メモリ (RAM)	336 \times 4 ビット	
スタティック RAM (XRAM)	4096 \times 4 ビット	2048 \times 4 ビット

★

- 命令実行時間 : 4 μ s (メイン・クロック : 4 MHz 動作時)
488 μ s (サブクロック : 32.768 kHz 動作時)
- 8ビット・タイマ/カウンタ : 1チャンネル
- 10ビット・タイマ : 1チャンネル
- 16ビット・タイマ : 1チャンネル
- 時計用タイマ/ウォッチドッグ・タイマ : 1チャンネル ($\overline{\text{WDOUT}}$ 出力)
- 3線式シリアル・インタフェース : 1チャンネル
- 外部割り込み端子 : 1本 (INT)
- 入出力端子 : 29本 (INT 含む)
- 電源電圧 : $V_{\text{DD}}=2.2\sim 5.5$ V (メイン・クロック : 4 MHz 動作時)
 $V_{\text{DD}}=2.0\sim 5.5$ V (サブクロック : 32.768 kHz 動作時)

★

この資料では、特に断りがないかぎり μ PD17203A を代表品種として説明しています。

本資料の内容は、後日変更する場合があります。

★ 用 途

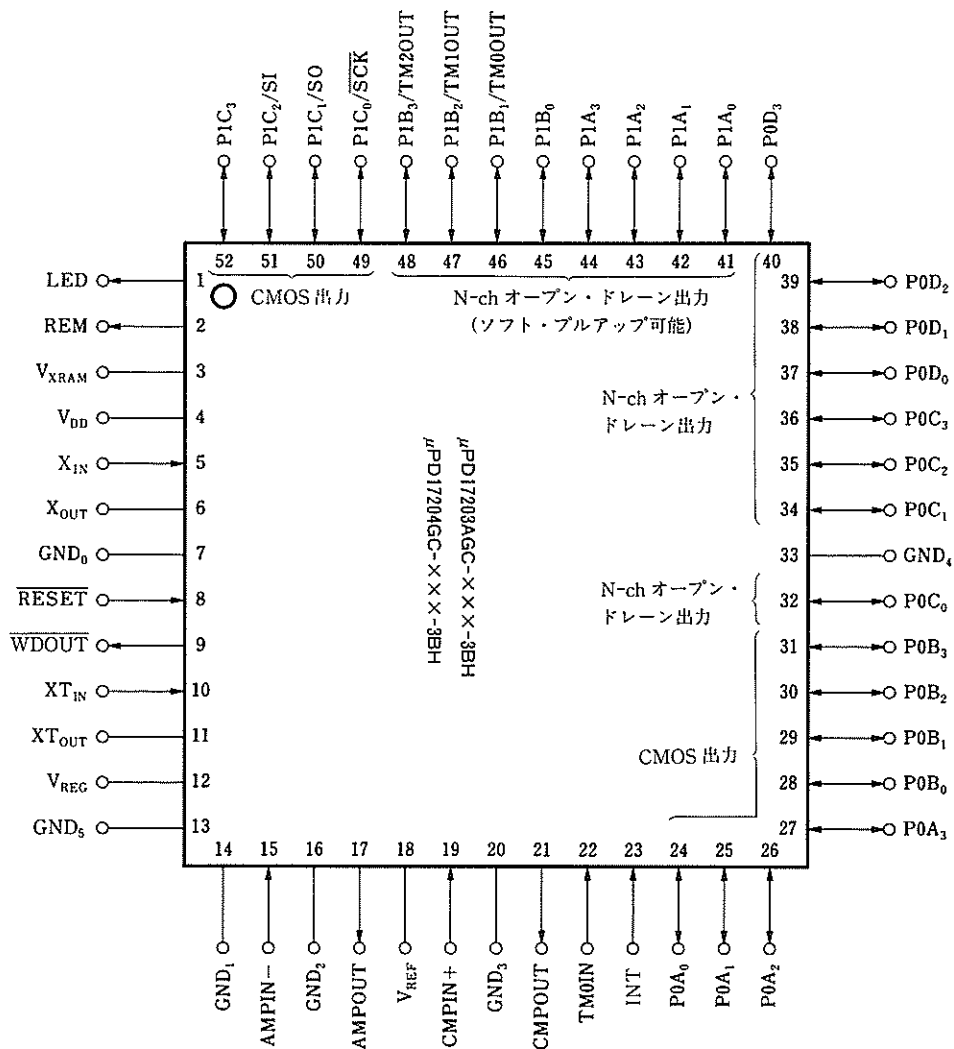
学習用赤外線リモコンなど

オーダー情報

オーダー名称	パッケージ
μPD17203AGC-×××-3BH	52ピン・プラスチック QFP (□14 mm)
★ μPD17204GC-×××-3BH	"

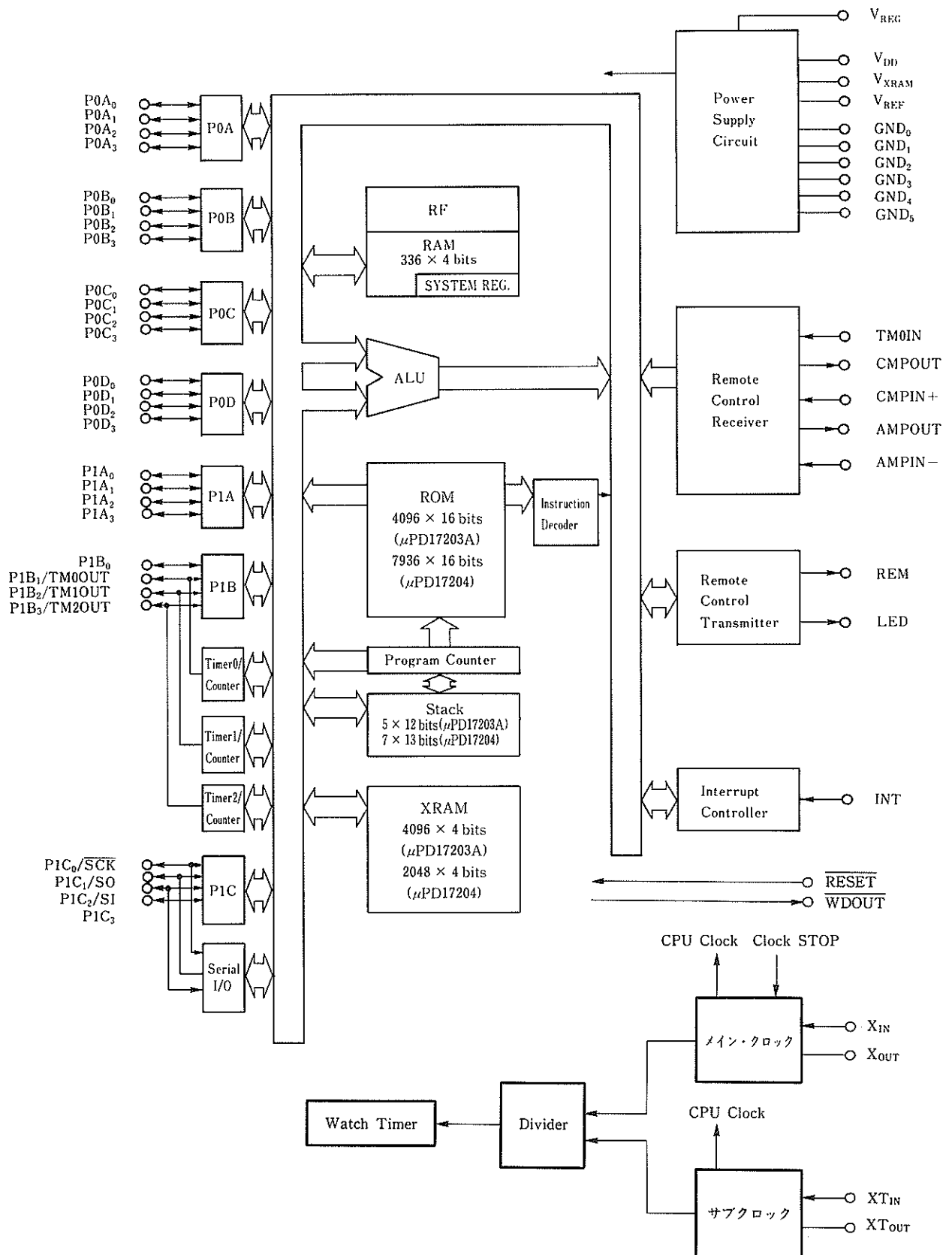
備考 ×××はROMコード番号です。

端子接続図 (Top View)



- | | | | |
|------------------------------------|---------------|--------------------------------------|------------------------|
| AMPIN- | : オペアンプ入力 | RESET | : リセット入力 |
| AMPOUT | : オペアンプ出力 | SCK | : シリアル・クロック入出力 |
| CMPIN+ | : コンパレータ入力 | SI | : シリアル・データ入力 |
| CMPOUT | : コンパレータ出力 | SO | : シリアル・データ出力 |
| GND ₀ -GND ₅ | : グランド | TM0IN | : タイマ0 入力 |
| INT | : 外部インタラプト入力 | TM0OUT | : タイマ0 出力 |
| LED | : リモコン送信出力表示用 | TM1OUT | : タイマ1 出力 |
| P0A ₀ -P0A ₃ | : 入出力ポート 0A | TM2OUT | : タイマ2 出力 |
| P0B ₀ -P0B ₃ | : 入出力ポート 0B | V _{DD} | : 電源 |
| P0C ₀ -P0C ₃ | : 入出力ポート 0C | V _{REG} | : ボルテージ・レギュレータ出力 |
| P0D ₀ -P0D ₃ | : 入出力ポート 0D | V _{REF} | : レファレンス電圧出力 |
| P1A ₀ -P1A ₃ | : 入出力ポート 1A | V _{XRAM} | : スタティック RAM (XRAM) 電源 |
| P1B ₀ -P1B ₃ | : 入出力ポート 1B | WDOUT | : 暴走検出用出力 |
| P1C ₀ -P1C ₃ | : 入出力ポート 1C | X _{IN} , X _{OUT} | : メイン・クロック発振用 |
| REM | : リモコン送信出力 | XT _{IN} , XT _{OUT} | : サブクロック発振用 |

ブロック図



目 次

- 1. 端子機能 … 7
 - 1.1 端子機能一覧 … 7
 - 1.2 端子の等価回路 … 9
 - 1.3 未使用端子の処理 … 10
 - 1.4 INT 端子および $\overline{\text{RESET}}$ 端子の使用上の注意 … 10

- 2. メモリ空間 … 11
 - 2.1 プログラム・カウンタ (PC) … 11
 - 2.2 プログラム・メモリ (ROM) … 11
 - 2.3 スタック … 13
 - 2.4 データ・メモリ (RAM) … 15
 - 2.5 レジスタ・ファイル (RF) … 23

- 3. ポート … 26
 - 3.1 ポート 0A (P0A₀-P0A₃) … 26
 - 3.2 ポート 0B (P0B₀-P0B₃) … 26
 - 3.3 ポート 0C (P0C₀-P0C₃) … 26
 - 3.4 ポート 0D (P0D₀-P0D₃) … 26
 - 3.5 ポート 1A (P1A₀-P1A₃) … 26
 - 3.6 ポート 1B (P1B₀-P1B₃) … 27
 - 3.7 ポート 1C (P1C₀-P1C₃) … 27
 - 3.8 INT 端子 … 28
 - 3.9 ポート制御レジスタ・ファイル … 29

- 4. クロック発生回路 … 35
 - 4.1 システム・クロックの切り替え … 35
 - 4.2 メイン・クロックの発振制御機能 … 36

- 5. タイマ機能 … 37
 - 5.1 8ビット・タイマ0, リモコン用キャリア発生回路 … 37
 - 5.2 10ビット・タイマ1 … 46
 - 5.3 16ビット・タイマ2 … 50

- 6. 時計用タイマ/ウォッチドッグ・タイマ … 52
 - 6.1 時計用タイマ/ウォッチドッグ・タイマの構成 … 52
 - 6.2 時計用タイマ/ウォッチドッグ・タイマの機能 … 53
 - 6.3 ウォッチドッグ・タイマ動作タイミング … 54

- 7. リモコン用キャリア受信回路 … 55
 - 7.1 アナログ回路, クロック・ノイズ除去回路, エンベロープ回路 … 55

★

- 8. シリアル・インタフェース … 60
 - 8.1 シリアル・インタフェースの機能 … 60
 - 8.2 シリアル・インタフェースの動作 … 60
- 9. スタティック RAM (XRAM) … 64
- 10. 割り込み機能 … 67
 - 10.1 割り込み要因 … 67
 - ★ 10.2 割り込み制御回路の各種ハードウェア … 67
 - 10.3 割り込みシーケンス … 73
- 11. スタンバイ機能 … 74
 - 11.1 HALT モード … 74
 - 11.2 HALT 命令の実行条件 … 75
 - 11.3 STOP モード … 75
 - 11.4 STOP 命令の実行条件 … 76
 - 11.5 スタンバイ・モード解除後の動作 … 76
- 12. リセット … 78
 - 12.1 リセット信号入力によるリセット … 78
 - 12.2 ウォッチドッグ・タイマによるリセット ($\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続) … 78
 - 12.3 スタック・ポインタによるリセット ($\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続) … 78
- 13. アセンブラ予約語 … 80
 - 13.1 マスク・オプション疑似命令 … 80
 - 13.2 予約シンボル … 81
- 14. 命令セット … 88
 - 14.1 命令セット概要 … 88
 - 14.2 凡 例 … 89
 - 14.3 命令一覧表 … 90
 - ★ 14.4 アセンブラ (AS17K) 組み込みマクロ命令 … 92
- 15. 応用回路例 … 93
- 16. 電気的特性 … 94
- 17. 外形図 … 100
- 18. 半田付け推奨条件 … 102
- 付録A. 学習リモコン用マイクロコントローラ・ファミリー一覧表 … 103
- 付録B. 開発ツール … 104

1. 端子機能

1.1 端子機能一覧

端子番号	記号	機能	出力形式	リセット時
1	LED	赤外線リモコン信号に同期した NRZ 信号を出力します。リモコン・キャリアが出力されている期間はロウ・レベルとなります。	CMOS プッシュプル	ハイ・レベル出力
2	REM	赤外線リモコン信号の出力です。アクティブ・ハイの出力です。	CMOS プッシュプル	ロウ・レベル出力
3	V _{XRAM}	XRAM の電源です。V _{DD} と接続してください。	—	—
4	V _{DD}	正電源です。	—	—
5	X _{IN}	メイン・クロック発振用の 4 MHz セラミック発振子を接続します。	—	(発振停止)
6	X _{OUT}			
7	GND ₀	グラウンドです。	—	—
8	$\overline{\text{RESET}}$	システム・リセット用の入力です。ロウ・レベル入力によりリセットがかかります。ロウ・レベル入力中は、メイン・クロックの発振が停止します。マスク・オプションによりプルアップ抵抗を内蔵することができます。	—	—
9	$\overline{\text{WDOUT}}$	暴走検出用の出力です。ウォッチドッグ・タイマのオーバフローまたはスタックのオーバフロー/アンダフロー時にロウ・レベルを出力します。 $\overline{\text{RESET}}$ 端子と接続して使用してください。	N-ch オープン・ドレイン	ハイ・インピーダンス
10	X _{TIN}	サブクロック用の 32.768 kHz 水晶振動子を接続します。	—	(発振)
11	X _{TOUT}			
12	V _{REG}	サブクロック発振回路用ボルテージ・レギュレータの出力です。サブクロック使用時は、外部に 0.1 μF のコンデンサを接続してください。	—	—
13	GND ₅	グラウンドです。	—	—
14, 16, 20	GND ₁ -GND ₃	オペアンプのグラウンドです。	—	—
15	AMPIN ₋	オペアンプの反転入力です。	—	入力
17	AMPOUT	オペアンプの出力です。	—	出力
18	V _{REF}	レファレンス電圧の出力です。1/2 V _{DD} を出力します。外部に 0.1 μF のコンデンサを接続して使用します。	—	—
19	CMPIN ₊	コンパレータの非反転入力です。このコンパレータの出力は、CMPOUT より得ることができます。	—	入力
21	CMPOUT	コンパレータの出力です。学習リモコンとして使用する場合は CMPOUT と TM0IN を外部で接続して使用します。	—	出力

★

備考 GND₁-GND₃ はオペアンプのグラウンドです。

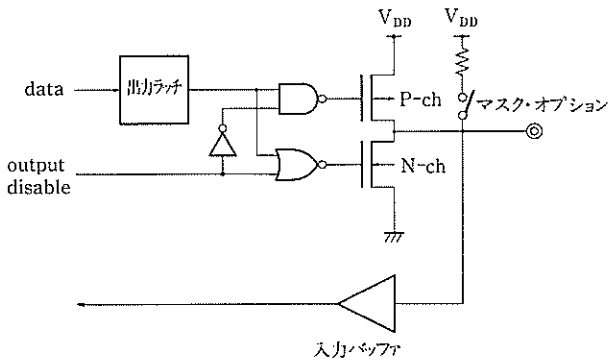
オペアンプの動作を安定させるため、これらはすべて同電位にしてください。

端子番号	記号	機能	出力形式	リセット時
22	TM0IN	タイマ0へのクロック入力です。 入力したクロックは、タイマ0とエンベロープ信号生成回路に入力されます。 タイマ1と連動させることにより、TM0INに入力したクロックの周波数測定ができます。	-	入力
23	INT	外部からのインタラプト信号の入力です。	-	入力
24 27	P0A ₀ P0A ₃	4ビットの入出力ポートです。 4ビット単位で入力/出力の設定ができます。 マスク・オプションによりプルアップ抵抗を内蔵することができます。 スタンバイ・モード時、少なくとも1本の端子がロウ・レベルになるとスタンバイ・モードを解除します。	CMOS プッシュプル	入力
28 31	P0B ₀ P0B ₃	4ビットの入出力ポートです。 4ビット単位で入力/出力の設定ができます。 マスク・オプションによりプルアップ抵抗を内蔵することができます。 スタンバイ・モード時、少なくとも1本の端子がロウ・レベルになるとスタンバイ・モードを解除します。	CMOS プッシュプル	入力
32 34 36	P0C ₀ P0C ₁ P0C ₃	4ビットの入出力ポートです。 4ビット単位で入力/出力の設定ができます。	N-ch オープン・ ドレイン	入力
33	GND ₄	グラウンドです。	-	-
37 40	P0D ₀ P0D ₃	4ビットの入出力ポートです。 4ビット単位で入力/出力の設定ができます。	N-ch オープン・ ドレイン	入力
41 44	P1A ₀ P1A ₃	4ビットの入出力ポートです。 1ビット単位で入力/出力の設定ができます。 プログラムによりプルアップ抵抗を内蔵することができます。	N-ch オープン・ ドレイン	入力
45 46 47 48	P1B ₀ P1B ₁ /TM0OUT P1B ₂ /TM1OUT P1B ₃ /TM2OUT	ポート1Bとタイマ出力です。 ●P1B ₀ -P1B ₃ ・4ビットの入出力ポート ・1ビット単位で入力/出力の設定可能 ・プログラムによりプルアップ抵抗内蔵可能 ●TM0OUT-TM2OUT ・タイマの出力	N-ch オープン・ ドレイン	入力 (P1B ₀ -P1B ₃)
49 50 51 52	P1C ₀ /SCK P1C ₁ /SO P1C ₂ /SI P1C ₃	ポート1Cとシリアル・インタフェース用の入出力です。 ●P1C ₀ -P1C ₃ ・4ビットの入出力ポート ・1ビット単位で入力/出力の設定可能 ●SCK, SO, SI ・SCK: シリアル・クロック入出力 ・SO: シリアル・データ出力 ・SI: シリアル・データ入力	CMOS プッシュプル	入力 (P1C ₀ -P1C ₃)

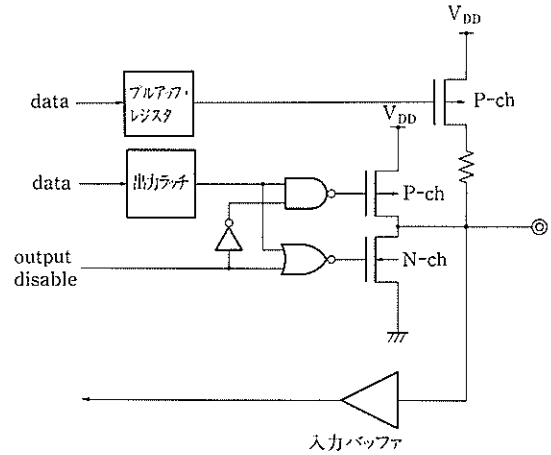
1.2 端子の等価回路

μPD17203A の各端子の入出力回路を一部簡略化した形式を用いて示します。

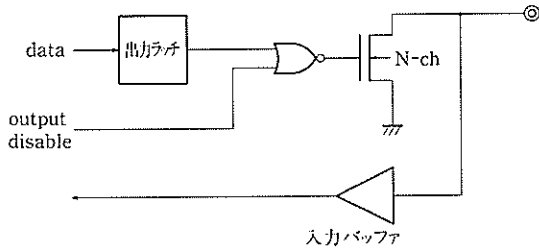
(1) P0A₀-P0A₃, P0B₀-P0B₃



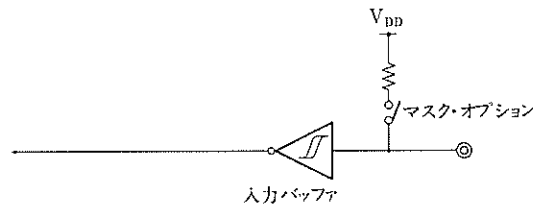
(4) PIC₀-PIC₃



(2) P0C₀-P0C₃, P0D₀-P0D₃

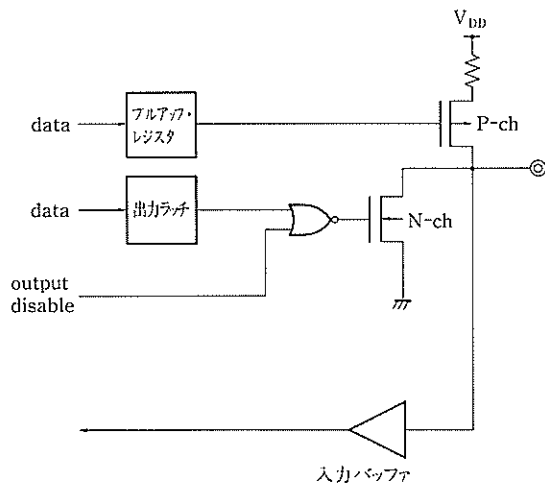


(5) RESET



ヒステリシス特性を持つシュミット・トリガ入力となっています。

(3) P1A₀-P1A₃, P1B₀-P1B₃



(6) INT



ヒステリシス特性を持つシュミット・トリガ入力となっています。

1.3 未使用端子の処理

未使用端子は、次に示すように処置をしてください。

表 1-1 未使用端子の処理

端 子	推奨接続方法
INT, TM0IN	V _{DD} または GND に接続
P0A ₀ -P0A ₃ , P0B ₀ -P0B ₃	入力状態: V _{DD} に接続 出力状態: オープン (ハイ・レベル出力)
P0C ₀ -P0C ₃ , P0D ₀ -P0D ₃ P1A ₀ -P1A ₃ , P1B ₀ -P1B ₃	入力状態: V _{DD} または GND に接続 出力状態: オープン (ロウ・レベル出力)
P1C ₀ -P1C ₃	入力状態: V _{DD} または GND に接続 出力状態: オープン
LED	オープン
REM	オープン
$\overline{\text{WDOUT}}$	GND に接続
X _{IN}	
X _{OUT}	V _{DD} に接続
XT _{IN}	GND に接続
XT _{OUT}	V _{REG} に接続
AMPIN-	GND または AMPOUT に接続
AMPOUT, CMPOUT	オープン
CMPIN+	GND に接続
V _{REG}	オープン

★

★ 1.4 INT 端子および $\overline{\text{RESET}}$ 端子の使用上の注意

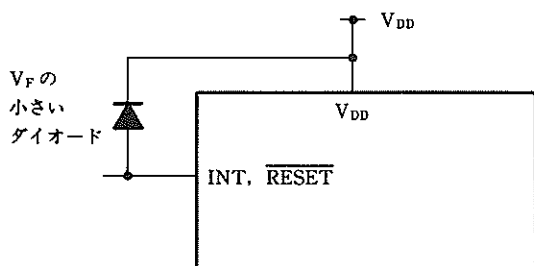
INT 端子および $\overline{\text{RESET}}$ 端子は、1.1 端子機能一覧に示した機能のほかに、μPD17203A の内部動作をテストするテスト・モードを設定する機能 (IC テスト専用) を持っています。

これらの端子のいずれかに V_{DD} を越えた電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であっても V_{DD} を越えるようなノイズが加わった場合にはテスト・モードに入ってしまう、通常動作に支障をきたすことがあります。

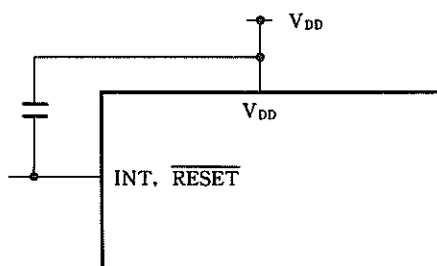
たとえば、INT 端子および $\overline{\text{RESET}}$ 端子の配線の引き回しが長い場合などでは、これらの端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は、下図のような外付け部品によるノイズ対策を実施してください。

○V_{DD} との間に V_F の小さいダイオードを接続



○V_{DD} との間にコンデンサを接続



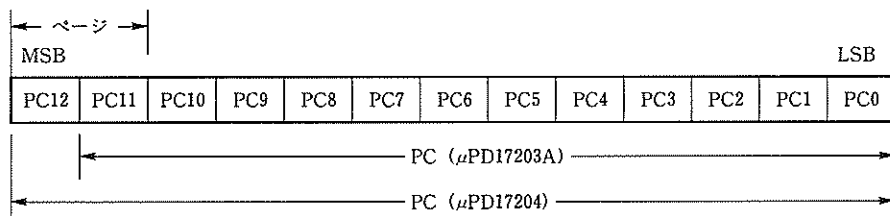
2. メモリ空間

★

2.1 プログラム・カウンタ (PC)

プログラム・カウンタ (PC) は、プログラム・メモリ (ROM) の番地を指定します。
 プログラム・カウンタは、図 2-1 に示すように、12/13ビットのバイナリ・カウンタで構成されています。
 リセット時には、0000H 番地にイニシャライズされます。

図 2-1 プログラム・カウンタの構成



2.2 プログラム・メモリ (ROM)

プログラム・メモリ構成を以下に示します。

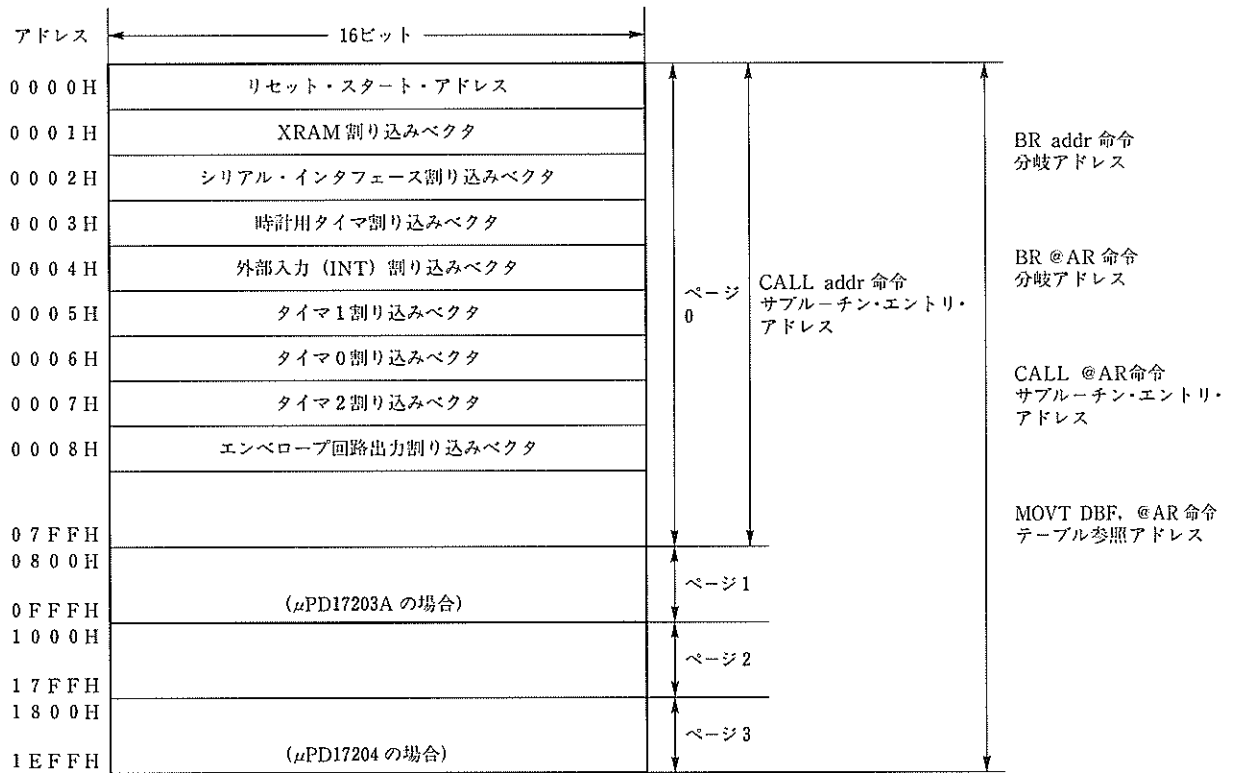
品 名	プログラム・メモリ容量	プログラム・メモリ番地
μPD17203A	4096×16ビット	0000H-0FFFH
μPD17204	7936×16ビット	0000H-1EFFH

プログラム・メモリには、プログラム、割り込みベクタ・テーブル、および固定データ・テーブルなどを格納します。

プログラム・メモリは、プログラム・カウンタによってアドレス指定されます。

図 2-2 にプログラム・メモリ・マップを示します。BR addr, BR @AR, CALL @AR, MOVT DBF, @AR の各命令によるアドレス指定可能な範囲は、それぞれのプログラム・メモリの全範囲です。ただし、CALL addr 命令のサブルーチン・エントリ・アドレスは、0000H-07FFH までです。

図 2-2 プログラム・メモリ・マップ



2.3 スタック

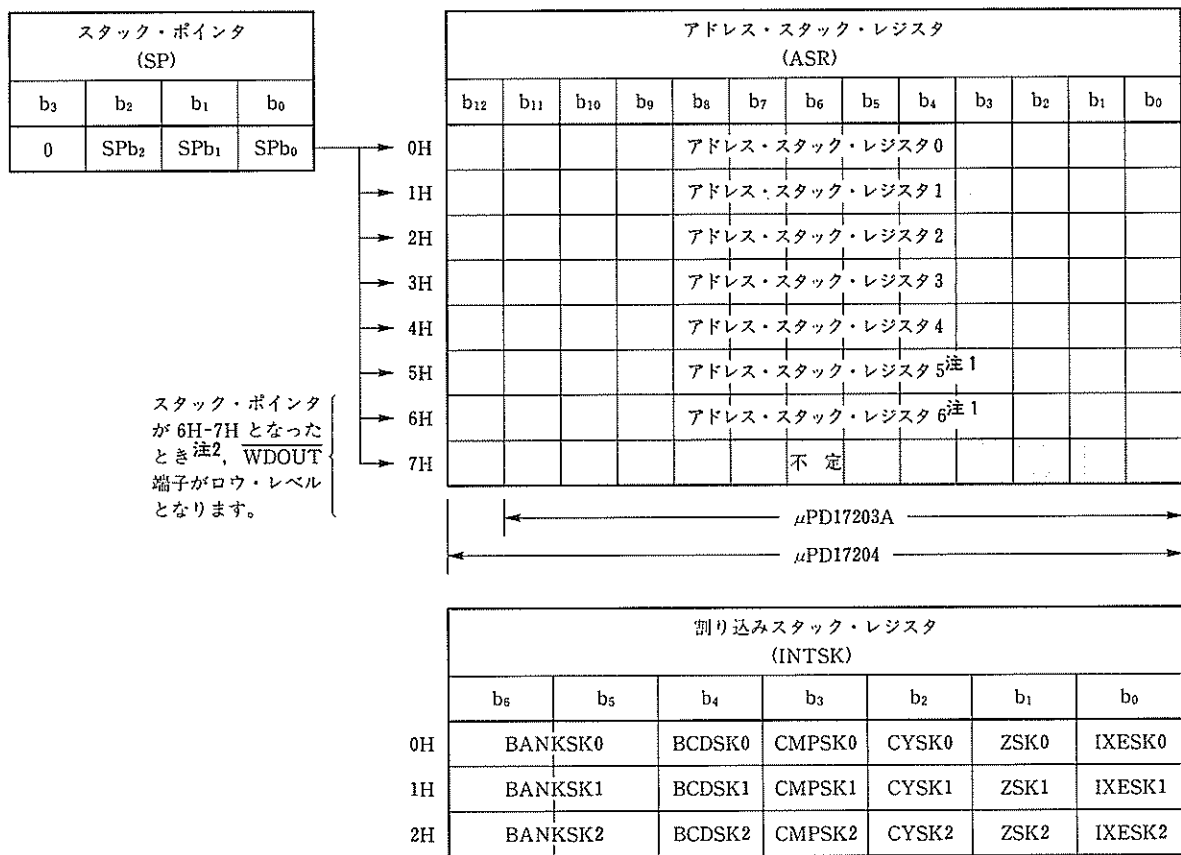
スタックとはサブルーチン・コール時や割り込み受け付け時にプログラムの戻り番地や後述するシステム・レジスタの内容を退避するためのレジスタです。

2.3.1 スタックの構成

スタックの構成を図 2-3 に示します。

スタックは、4ビット（上位1ビットは0に固定）のバイナリ・カウンタであるスタック・ポインタ（SP）を1個と12ビット（μPD17203A）/13ビット（μPD17204）のアドレス・スタック・レジスタを5個（μPD17203A）/7個（μPD17204）と、7ビットの割り込みスタック・レジスタ3個より構成されています。

図 2-3 スタックの構成



注 1. μPD17203A では不定になります。

2. μPD17204 : 7H を越えたとき。

2.3.2 スタックの機能

アドレス・スタック・レジスタ (ASR) は、サブルーチン・コール命令、テーブル参照命令 (第 1 命令サイクル) 実行時および割り込み受け付け時に、戻り番地を格納します。また、スタック操作命令 (PUSH AR) 実行時に、アドレス・レジスタ (AR) の内容を格納します。

5 レベル^注を越えるサブルーチン・コールや割り込みを実行すると、 $\overline{\text{WDOUT}}$ 端子がロウ・レベルになります。

割り込みスタック・レジスタ (INTSK) は、割り込み受け付け時に、バンク・レジスタ (BANK) およびプログラム・ステータス・ワード (PSWORD) の内容を退避します。割り込みリターン命令 (RETI) の実行により、復帰されます。

INTSK は、割り込みが受け付けられるごとにデータを退避していきますが、3 レベルを越える割り込みが受け付けられると、最初のデータは失われてしまいます。

注 μPD17204 : 7 レベル。

2.3.3 スタック・ポインタ (SP) と割り込みスタック・レジスタ

スタック・ポインタ (SP) の動作を表 2-1 に示します。

スタック・ポインタの取り得る値は 0H-7H の 8 通りになりますが、μPD17203A ではアドレス・スタック・レジスタは 5 個しかないため、SP の値が 6 以上になると $\overline{\text{WDOUT}}$ 端子がロウ・レベルになります。μPD17204 ではアドレス・スタック・レジスタは 7 個しかないため、SP の値が 7 を越えると $\overline{\text{WDOUT}}$ 端子がロウ・レベルになります。

表 2-1 スタック・ポインタの動作

命 令	スタック・ポインタ (SP) の値	割り込みスタック・レジスタのカウント
CALL addr CALL @AR MOVT DBF, @AR (第 1 命令サイクル) PUSH AR	-1	0
割り込み受け付け	-1	-1
RET RETSK MOVT DBF, @AR (第 2 命令サイクル) POP AR	+1	0
RETI	+1	+1

2.4 データ・メモリ (RAM)

データ・メモリ (RAM) とは、演算、制御などのデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

2.4.1 データ・メモリの構成

図 2-4 にデータ・メモリ (RAM) の構成を示します。

データ・メモリ (RAM) は“バンク”と呼ぶ単位で 3 つに分割されています。3 つのバンクはそれぞれ BANK0, BANK1, BANK2 と呼びます。

各バンクは 4 ビット単位のデータごとに番地 (アドレス) が割り付けられており、上位 3 ビットを“ロウ・アドレス”, 下位 4 ビットを“コラム・アドレス”と呼びます。たとえば、ロウ・アドレスが 1H でコラム・アドレスが 0AH のデータ・メモリはアドレス 1AH のデータ・メモリと呼ばれます。また 1 つのアドレスは 4 ビットのメモリで構成されており、これを“1 ニブル”と呼びます。

データ・メモリは、上記アドレス以外に機能別として次に示すブロックに分けられます。

(1) システム・レジスタ (SYSREG)

データ・メモリのアドレス 74H-7FH に割り当てられた 12 ニブルで構成されています。システム・レジスタ (SYSREG) はバンクに無関係に割り当てられており、すなわちどのバンクであってもアドレス 74H-7FH には同一のシステム・レジスタ (SYSREG) が存在します。

(2) データ・バッファ (DBF)

データ・メモリの BANK0 のアドレス 0CH-0FH に割り当てられた 4 ニブルで構成されています。リセット時は 0320H になります。

(3) ジェネラル・レジスタ (GR)

データ・メモリの任意のバンクの任意のロウ・アドレスで指定される 16 ニブルで構成されています。

ただし、任意のバンクの任意のロウ・アドレスとは、システム・レジスタ (SYSREG) 中のジェネラル・レジスタ・ポインタ (RP) により指定されます。

(4) ポート・レジスタ

データ・メモリのバンク 0 のアドレス 70H-73H とバンク 1 のアドレス 70H-72H に割り当てられた 7 ニブルで構成されています。

(5) XRAM データ・レジスタ (XRAM レジスタ)

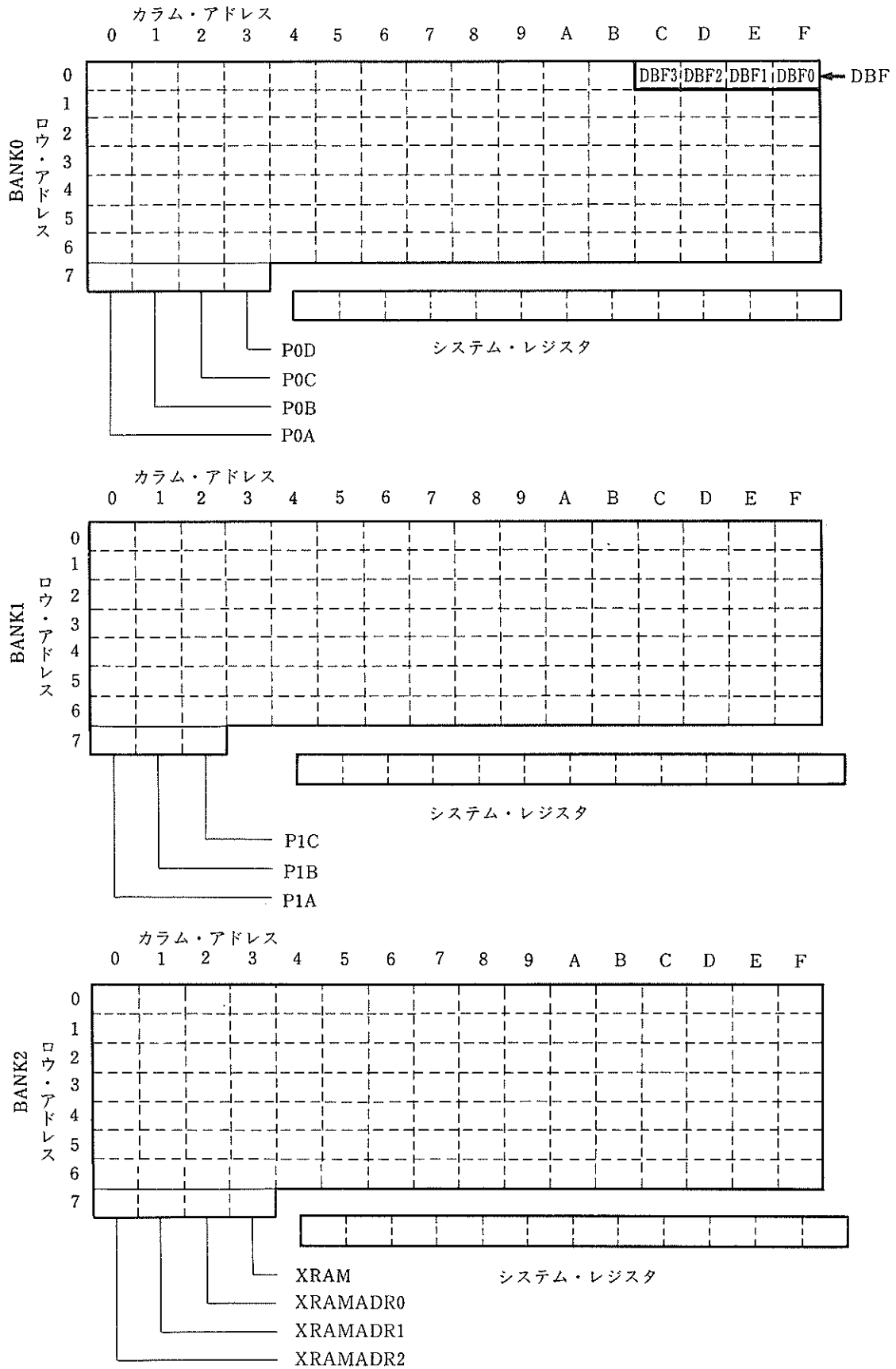
データ・メモリのバンク 2 のアドレス 70H-73H に割り当てられた 4 ニブルで構成されています。

9. スタティック RAM (XRAM) を参照してください。

(6) 汎用データ・メモリ

データ・メモリからシステム・レジスタ (SYSREG), ポート・レジスタおよび XRAM レジスタを除いた部分で BANK0-BANK2 の計 336 ニブルから構成されます。

図 2-4 RAM の構成



2.4.2 システム・レジスタ (SYSREG)

システム・レジスタは、CPU の制御に直接関係するレジスタ類の総称です。データ・メモリ上の 74H-7FH 番地に配置されており、バンク指定に関係なく参照できます。

システム・レジスタには以下のものがあります。

- アドレス・レジスタ (AR0-AR3)
- ウインドウ・レジスタ (WR)
- バンク・レジスタ (BANK)
- メモリ・ポインタ・イネーブル・フラグ (MPE)
- メモリ・ポインタ (MPH, MPL)
- インデクス・レジスタ (IXH, IXM, IXL)
- ジェネラル・レジスタ・ポインタ (RPH, RPL)
- プログラム・ステータス・ワード (PSWORD)

図 2-5 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)		プログラム・ステータス・ワード (PSWORD)
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀
データ	000	← (AR) (μPD17204) ← (AR) (μPD17203A)			(WR)	(BANK) 00	MPE	← (IX) ← (MP)		00	← (RP)	BC CM YZ DE
リセット時の初期値	000	000	000	000	不定	000	000	000	000	000	000	000

2.4.3 ジェネラル・レジスタ (GR)

ジェネラル・レジスタ (GR) はデータ・メモリ上に配置されるレジスタで、データ・メモリとの直接演算や、転送を行います。

(1) ジェネラル・レジスタの構成

ジェネラル・レジスタの構成を図 2-6 に示します。

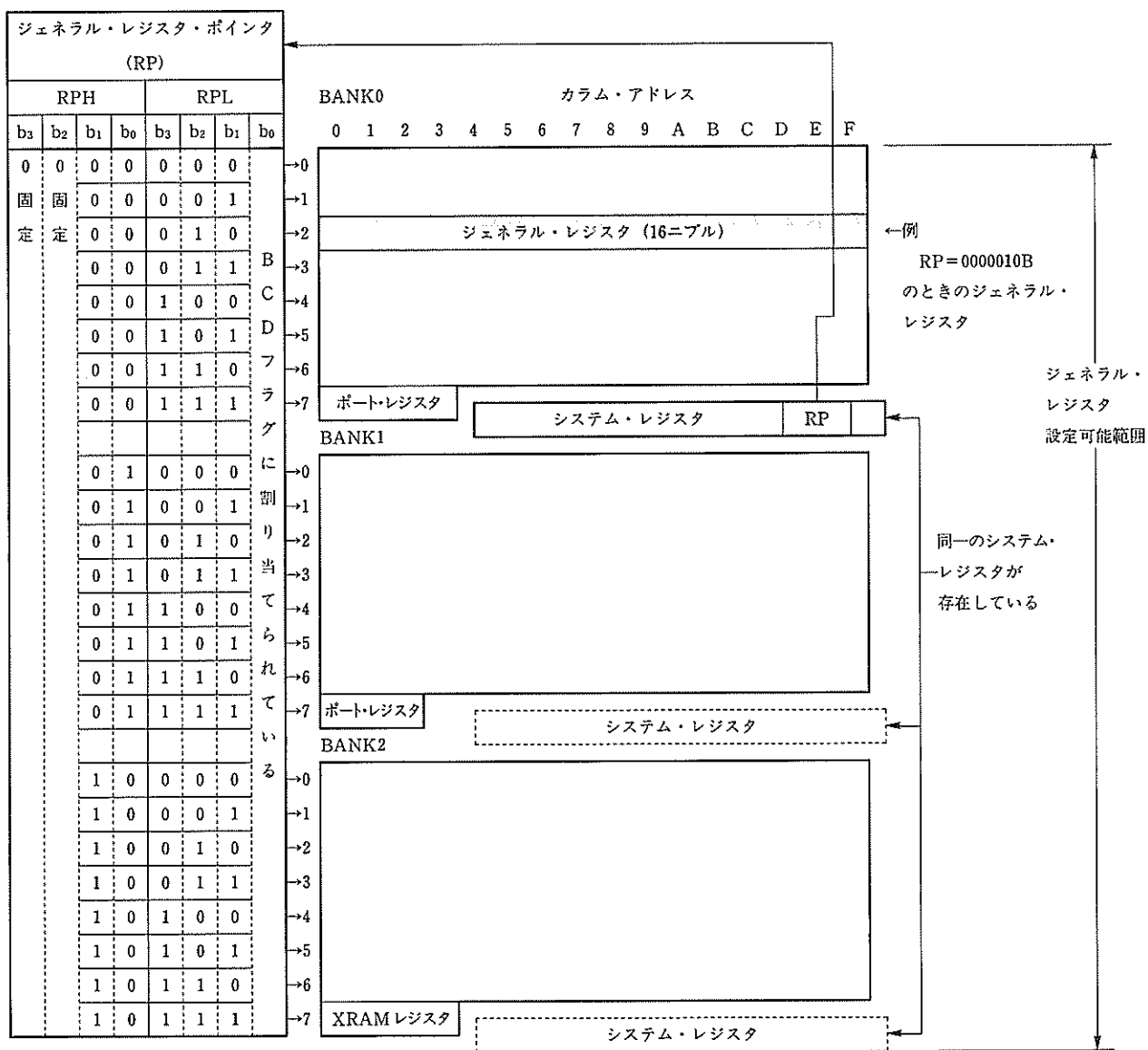
図 2-6 に示すように、データ・メモリ上で同一ロウ・アドレスである 16ニブル (16×4ビット) をジェネラル・レジスタとして使用できます。

どのロウ・アドレスを使用するかは、システム・レジスタのジェネラル・レジスタ・ポインタ (RP) によって設定します。RP は 5 ビットが有効であり、ジェネラル・レジスタとして使用できるデータ・メモリは BANK0-BANK2 のロウ・アドレス 0H-7H になります。

(2) ジェネラル・レジスタの機能

ジェネラル・レジスタを使用することにより、データ・メモリとジェネラル・レジスタとの間で演算や転送を 1 命令で行うことが可能になります。ジェネラル・レジスタはすなわちデータ・メモリであるため、言い換えれば 1 命令でデータ・メモリ同士の演算や転送が可能になります。また、ジェネラル・レジスタは、データ・メモリ上にあるので他のデータ・メモリと同様にデータ・メモリ操作命令で制御することができます。

図 2-6 ジェネラル・レジスタの構成



2.4.4 データ・バッファ (DBF)

データ・バッファは周辺ハードウェアとのデータ転送およびテーブル参照時のデータ読み込み時に使用するバッファでデータ・メモリ上に配置されています。

(1) データ・バッファの機能

データ・バッファは、大別して2つの機能があります。

1つは周辺ハードウェアとのデータ転送機能で、もう1つはプログラム・メモリ上の定数データの読み込み(テーブル参照)機能です。図2-7にデータ・バッファと周辺ハードウェアの関係を示します。

図2-7 データ・バッファと周辺ハードウェア

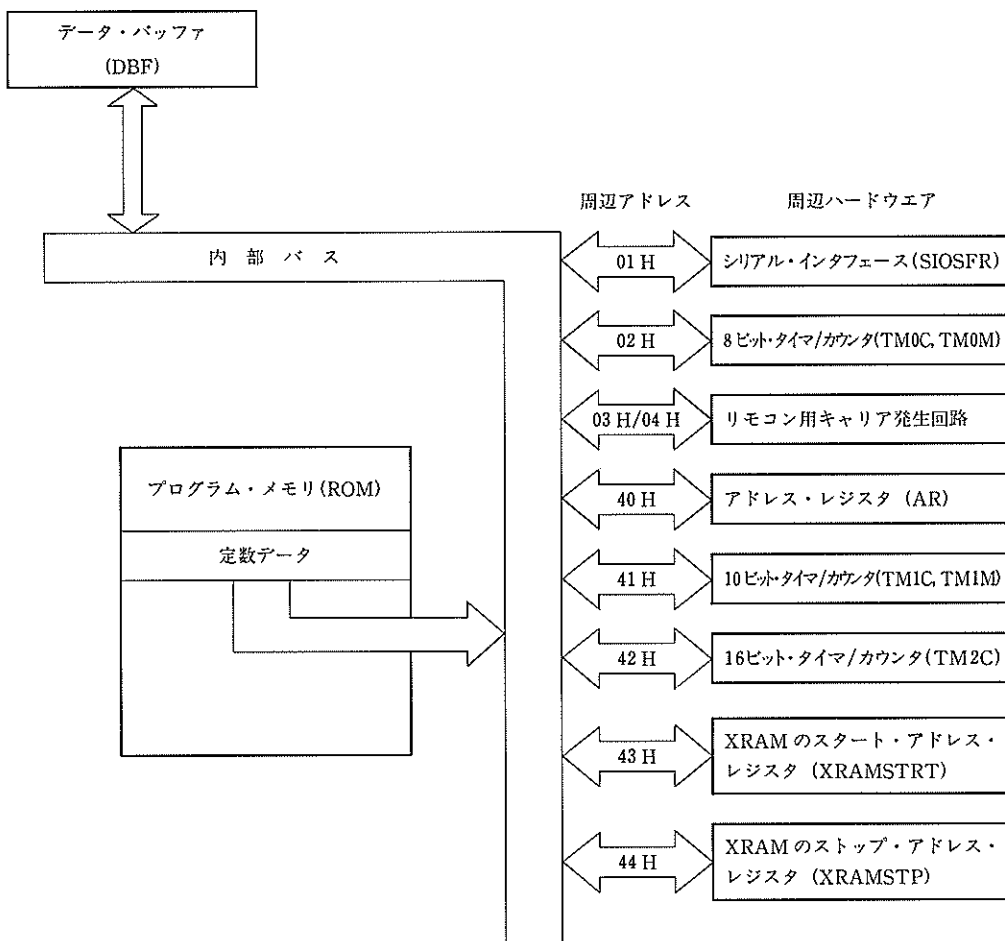


表 2-2 周辺ハードウェアとデータ・バッファの関係

周辺ハードウェア	データ・バッファと転送を行う周辺レジスタ				
	名称	記号	周辺アドレス	使用データ・バッファ	PUT/GET の可否
シリアル・インタフェース	シフト・レジスタ	SIOSFR	01H	DBF0, DBF1	PUT, GET 可
8ビット・タイマ/カウンタ	8ビット・カウンタ	TM0C	02H	DBF0, DBF1	GET のみ可
	8ビット・モジュロ・レジスタ	TM0M	02H	DBF0, DBF1	PUT のみ可
リモコン用キャリア発生回路	NRZ ロウ・レベル期間設定用モジュロ・レジスタ	NRZLTMM	03H	DBF0, DBF1	PUT, GET 可
	NRZ ハイ・レベル期間設定用モジュロ・レジスタ	NRZHTMM	04H	DBF0, DBF1	PUT 可 (DBF1のビット2,3は0にすること) GET 可 (DBF1のビット2,3は常に0)
アドレス・レジスタ	アドレス・レジスタ	AR	40H	DBF0-DBF3	PUT 可 (AR3のビット0-3は任意) ^{注1} GET 可 (AR3のビット0-3は常に0) ^{注2}
10ビット・タイマ/カウンタ	10ビット・カウンタ	TM1C	41H	DBF0-DBF3	GET のみ可
	10ビット・モジュロ・レジスタ	TM1M	41H	DBF0-DBF3	PUT のみ可
16ビット・タイマ/カウンタ	16ビット・カウンタ	TM2C	42H	DBF0-DBF3	GET のみ可
XRAM アドレス・レジスタ	XRAM のスタート・アドレス・レジスタ	XRAMSTRT	43H	DBF0-DBF3	PUT, GET 可
	XRAM のストップ・アドレス・レジスタ	XRAMSTP	44H	DBF0-DBF3	PUT, GET 可

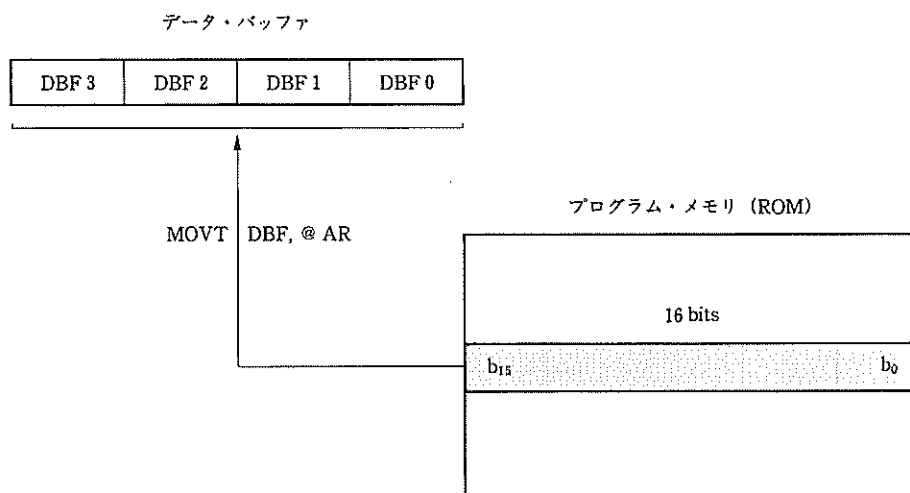
注 1. μPD17204 のとき (AR3 のビット 1-3 は任意)
 2. μPD17204 のとき (AR3 のビット 1-3 は常に 0)

(2) テーブル参照

MOVT 命令を用いることにより、プログラム・メモリ (ROM) 上の定数データを、データ・バッファ上に読み込むことができます。

以下に MOVT 命令について説明します。

MOVT DBF, @AR ; アドレス・レジスタ (AR) の内容によって指定されるプログラム・メモリの内容を、データ・バッファ (DBF) に読み出します。



(3) データ・バッファ使用時の注意

データ・バッファを介して周辺ハードウェアとデータ転送を行うとき、未使用周辺アドレスや書き込み専用周辺レジスタ (PUT のみ) および読み出し専用周辺レジスタ (GET のみ) に対して以下に示すような注意が必要です。

- デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用アドレスを読み出すと“不定な値”が読み出され、書き込んでも何も変化しません。

- アセンブラ (AS17K) 使用時

書き込み専用レジスタを読み出す命令に“エラー”が発生します。

読み出し専用レジスタに書き込む命令に“エラー”が発生します。

未使用アドレスを読み出す命令および書き込む命令に“エラー”が発生します。

- インサーキット・エミュレータ (IE-17K, IE-17K-ET) 使用時 (パッチ処理などで命令を実行したとき)

書き込み専用レジスタを読み出すと“不定な値”が読み出されます。“エラー”は発生しません。

読み出し専用レジスタに書き込みを行っても何も変化しません。“エラー”は発生しません。

未使用アドレスを読み出すと“不定な値”が読み出され、書き込んでも何も変化しません。“エラー”は発生しません。

2.5 レジスタ・ファイル (RF)

レジスタ・ファイルは主として周辺ハードウェアの条件設定を行うためのレジスタです。

専用命令である PEEK, POKE 命令または AS17K の組み込みマクロ命令である SETn, CLRn および INITFLG 命令などで制御することができます。

2.5.1 レジスタ・ファイルの構成

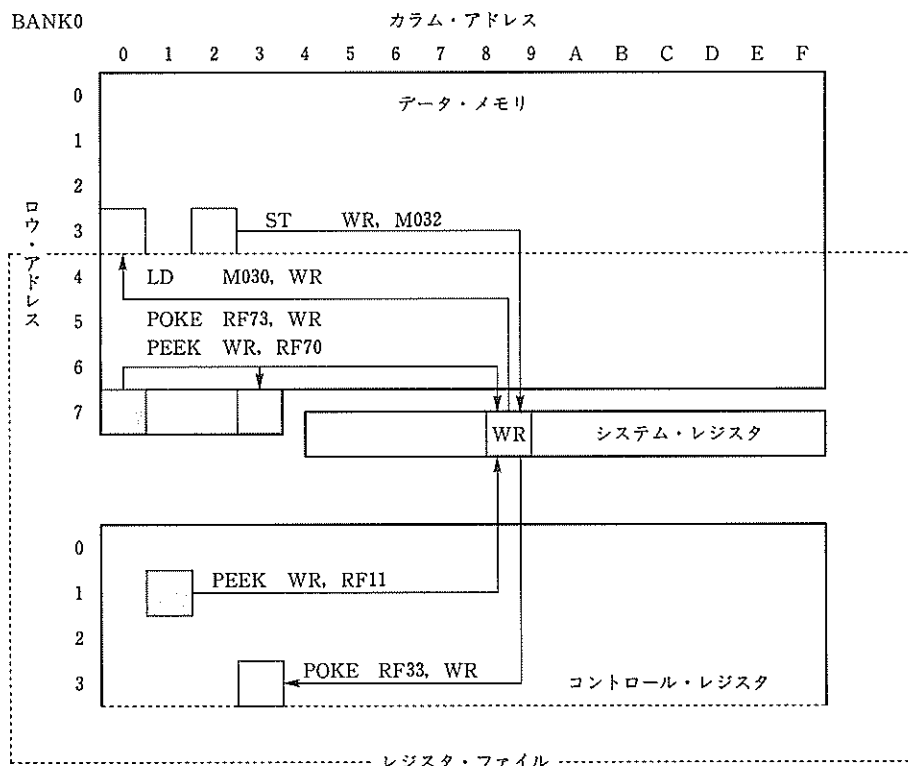
図 2-8 にレジスタ・ファイルの構成および PEEK, POKE 命令によるレジスタ・ファイルのアクセスの様子を示します。

コントロール・レジスタは、専用命令である PEEK, POKE 命令を用いて制御を行います。このときコントロール・レジスタは、バンクに関係なくアドレス 00H-3FH 番地に割り付けられているため、PEEK, POKE 命令を用いた場合に汎用データ・メモリのアドレス 00H-3FH 番地はアクセス不能になります。

したがって、PEEK, POKE 命令でアクセスできる範囲は、コントロール・レジスタのアドレス 00H-3FH および汎用データ・メモリの 40H-7FH となります。この範囲を“レジスタ・ファイル”と呼びます。

なおコントロール・レジスタは、デバッグを容易にするために、IE-17K 上では 80H-BFH 番地に割り付けられています。

図 2-8 レジスタ・ファイルの構成および PEEK, POKE 命令によるレジスタ・ファイルのアクセス



2.5.2 コントロール・レジスタ

コントロール・レジスタは、レジスタ・ファイルのアドレス 00H-3FH 番地の計64ニブル (64×4ビット) から構成されています。

ただし、そのうち実際に使用しているのは33ニブルです。残りの31ニブルは未使用レジスタで、読み出しおよび書き込みは禁止されています。

“PEEK WR, rf” 命令の実行によって、“rf” でアドレス指定されるレジスタ・ファイルの内容がウインドウ・レジスタに読み込まれます。

“POKE rf, WR” 命令の実行によって、ウインドウ・レジスタの内容が“rf” でアドレス指定されるレジスタ・ファイルに書き込まれます。

アセンブラ (AS17K) を使用する場合は、フラグ型シンボル操作命令として組み込まれている次のマクロ命令が使用できます。マクロ命令を使用することにより、レジスタ・ファイルの内容を1ビット単位で操作することができます。

コントロール・レジスタの構成については、図 13-1 レジスタ・ファイルの一覧を参照してください。

SETn	: フラグに “1” をセット
CLRn	: フラグを “0” にクリア
SKTn	: フラグがすべて “1” であればスキップ
SKFn	: フラグがすべて “0” であればスキップ
NOTn	: フラグを反転
INITFLG	: フラグをイニシャライズ

2.5.3 レジスタ・ファイル使用時の注意

レジスタ・ファイルを使用する場合は、次に示すような注意が必要です。詳細については μPD172××サブシリーズ ユーザーズ・マニュアルを参照してください。

(1) コントロール・レジスタ (読み出し専用および未使用レジスタ) 操作時

コントロール・レジスタの書き込み専用レジスタ (W)、読み出し専用レジスタ (R) および未使用レジスタを操作するときは、アセンブラ使用時およびインサーキット・エミュレータ使用時に注意が必要です。

• デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用部分を読み出すと、“不定な値” が読み出され、書き込みを行っても何も変化しません。

• アセンブラ (AS17K) 使用時

書き込み専用レジスタを読み出す命令に“エラー”が発生します。

読み出し専用レジスタに書き込みを行う命令に、“エラー”が発生します。

未使用部分を読み出したり、書き込みを行う命令に、“エラー”が発生します。

• インサーキット・エミュレータ (IE-17K, IE-17K-ET) 使用時 (パッチ処理などで操作したとき)

書き込み専用レジスタを読み出すと“不定な値”が読み出されます。“エラー”は発生しません。

読み出し専用レジスタに書き込みを行っても何も変化しません。“エラー”は発生しません。

未使用部分を読み出すと、“不定な値”が読み出され、書き込みを行っても何も変化しません。“エラー”は発生しません。

(2) レジスタ・ファイルのシンボル定義

17Kシリーズのアセンブラ (AS17K) を使用する上では、“PEEK WR, rf” および “POKE rf, WR” 命令のオペランド “rf” に直接数値でレジスタ・ファイル・アドレスを記述すると、“エラー”が発生します。

したがって、レジスタ・ファイルのアドレスをあらかじめシンボルとして定義する必要があります。

コントロール・レジスタのアドレスをシンボル定義する場合は、BANK0のアドレス 80H-BFHとして定義してください。ただし、データ・メモリと重なっているレジスタ・ファイル (40H-7FH) は、そのままのアドレスでシンボル定義することができます。

3. ポート

3.1 ポート 0A (P0A₀-P0A₃)

4ビットの汎用入出力ポートです。4ビット単位で入力または出力ポートに指定できます。入出力の指定はレジスタ・ファイルの P0AGIO により行います。入力データの読み込みおよび出力データ設定はポート・レジスタの P0A レジスタを介して行います。

入力モードでは CMOS 入力になります。出力モードでは、CMOS 出力となります。出力モード時、P0A レジスタを読み出すと出力端子の状態が読み出せます。

スタンバイ・モード時、少なくとも1本の端子にロウ・レベルを入力すると、スタンバイ・モードは解除されます。

ビット単位で、プルアップ抵抗内蔵可能です (マスク・オプション)。

3.2 ポート 0B (P0B₀-P0B₃)

4ビットの汎用入出力ポートです。4ビット単位で入力または出力ポートに指定できます。入出力の指定はレジスタ・ファイルの P0BGIO により行います。入力データの読み込みおよび出力データ設定はポート・レジスタの P0B レジスタを介して行います。

入力モードでは CMOS 入力になります。出力モードでは、CMOS 出力となります。出力モード時、P0B レジスタを読み出すと出力端子の状態が読み出せます。

スタンバイ・モード時、少なくとも1本の端子にロウ・レベルを入力すると、スタンバイ・モードは解除されます。

ビット単位で、プルアップ抵抗内蔵可能です (マスク・オプション)。

3.3 ポート 0C (P0C₀-P0C₃)

4ビットの汎用入出力ポートです。4ビット単位で入力または出力ポートに指定できます。入出力の指定はレジスタ・ファイルの P0CGIO により行います。入力データの読み込みおよび出力データ設定はポート・レジスタの P0C レジスタを介して行います。

入力モードでは CMOS 入力になります。出力モードでは、N-ch オープン・ドレイン出力となります。出力モード時、P0C レジスタを読み出すと出力端子の状態が読み出せます。

3.4 ポート 0D (P0D₀-P0D₃)

4ビットの汎用入出力ポートです。4ビット単位で入力または出力ポートに指定できます。入出力の指定はレジスタ・ファイルの P0DGIO により行います。入力データの読み込みおよび出力データ設定はポート・レジスタの P0D レジスタを介して行います。

入力モードでは CMOS 入力になります。出力モードでは、N-ch オープン・ドレイン出力となります。出力モード時、P0D レジスタを読み出すと出力端子の状態が読み出せます。

3.5 ポート 1A (P1A₀-P1A₃)

4ビットの汎用入出力ポートです。ビット単位で入力または出力ポートに指定できます。入出力の指定はレジスタ・ファイルの P1ABIO0-P1ABIO3 により行います。入力データの読み込みおよび出力データ設定はポート・レジスタの P1A レジスタを介して行います。

入力モードでは CMOS 入力になります。出力モードでは、N-ch オープン・ドレイン出力となります。出力モード時、P1A レジスタを読み出すと出力端子の状態が読み出せます。

ビット単位で、P1ABPU0-P1ABPU3 によりプルアップ抵抗内蔵可能です。

3.6 ポート 1B (P1B₀-P1B₃)

4ビットの汎用入出力ポートおよびタイマの外部信号出力の兼用端子です。入出力ポートと内部タイマの外部信号出力の切り替えは、レジスタ・ファイルの TM00E, TM10E, TM20E により行います。

(1) 4ビットの入出力ポートとして使用するとき

ビット単位で入力または出力ポートに指定できます。入出力の指定はレジスタ・ファイルの P1BBIO0-P1BBIO3 により行います。入力データの読み込みおよび出力データ設定はポート・レジスタの P0D レジスタを介して行います。

入力モードでは CMOS 入力になります。出力モードでは、N-ch オープン・ドレイン出力となります。出力モード時、P1B レジスタを読み出すと出力端子の状態が読み出せます。

ビット単位で、P1BBPU0-P1BBPU3 により、プルアップ抵抗内蔵可能です。

(2) 内部タイマの外部信号出力として使用するとき

TM00E, TM10E, TM20E で、入出力ポート (P1B₀, P1B₁, P1B₂, P1B₃) と内部タイマの外部信号出力端子 (TM00OUT, TM10OUT, TM20OUT) の切り替えを行います。

3.7 ポート 1C (P1C₀-P1C₃)

4ビットの汎用入出力ポートおよびシリアル・インタフェース兼用端子です。入出力ポートとシリアル・インタフェースの切り替えは、レジスタ・ファイルの SIOEN により行います。

(1) 4ビットの入出力ポートとして使用するとき

ビット単位で入力または出力ポートに指定できます。入出力の指定はレジスタ・ファイルの P1CBIO0-P1CBIO3 により行います。入力データの読み込みおよび出力データ設定はポート・レジスタの P1C レジスタを介して行います。

入力モードでは CMOS 入力になります。出力モードでは、CMOS 出力となります。出力モード時、P1C レジスタを読み出すと出力端子の状態が読み出せます。

ビット単位で、P1CBPU0-P1CBPU3 により、プルアップ抵抗内蔵可能です。

(2) シリアル・インタフェースとして使用するとき

SIOEN で、入出力ポート (P1C₀, P1C₁, P1C₂, P1C₃) とシリアル・インタフェースの選択を行います。

3.8 INT 端子

外部割り込み要求信号の入力です。入力信号の立ち上がり、立ち下がりエッジにより、IRQ フラグ (RF : 3BH 番地, ビット 1) をセットします。

INTフラグ (RF : 0FH 番地, ビット 0) により, 端子の状態を読むことができます。INT 端子にハイ・レベルが入力されているときはINT フラグが“1”に, ロウ・レベルが入力されているときには“0”になります。(図 10-2 INT, INTENV フラグ参照)。

★ 図 3-1 ポート・レジスタと各端子の関係

バンク	アドレ	対象ポート	ビット		出力形式	読み出し時の内容		書き込み時の内容		リセット時
						入力モード時	出力モード時	入力モード時	出力モード時	
0	70H	ポート 0A	b ₃	P0A ₃	CMOS プッシュプル	端子の状態	出力ラッチ	入力モード (マスク・オプションでプルアップ) 抵抗内蔵可能	入力モード	
			b ₂	P0A ₂						
			b ₁	P0A ₁						
			b ₀	P0A ₀						
	71H	ポート 0B	b ₃	P0B ₃	CMOS プッシュプル					
			b ₂	P0B ₂						
			b ₁	P0B ₁						
			b ₀	P0B ₀						
	72H	ポート 0C	b ₃	P0C ₃	N-ch オープン・ドレイン					
			b ₂	P0C ₂						
			b ₁	P0C ₁						
			b ₀	P0C ₀						
73H	ポート 0D	b ₃	P0D ₃	N-ch オープン・ドレイン						
		b ₂	P0D ₂							
		b ₁	P0D ₁							
		b ₀	P0D ₀							
1	70H	ポート 1A	b ₃	P1A ₃	N-ch オープン・ドレイン	端子の状態	出力ラッチ	入力モード		
			b ₂	P1A ₂						
			b ₁	P1A ₁						
			b ₀	P1A ₀						
	71H	ポート 1B	b ₃	P1B ₃ ^{注1}	N-ch オープン・ドレイン					
			b ₂	P1B ₂ ^{注1}						
			b ₁	P1B ₁ ^{注1}						
			b ₀	P1B ₀						
	72H	ポート 1C	b ₃	P1C ₃	CMOS プッシュプル					
			b ₂	P1C ₂ ^{注2}						
			b ₁	P1C ₁ ^{注2}						
			b ₀	P1C ₀ ^{注2}						

注 1. TM0OE, TM1OE, TM2OE フラグをセット (1) すると, 入力/出力モードに関係なく, 書き込み時, 読み出し時ともに出力ラッチをアクセスします。

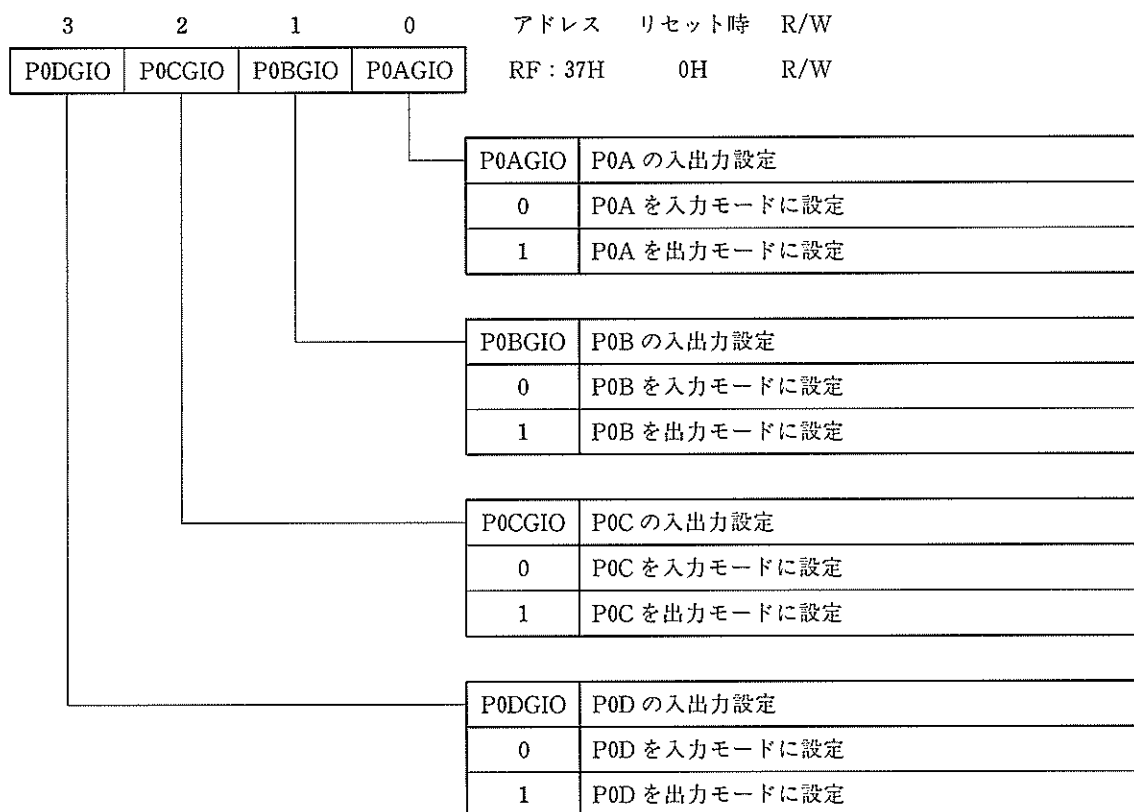
2. SIOEN フラグをセット (1) すると, シリアル・インタフェース用端子となり, 入力/出力モードに関係なく, 読み出し時には端子の状態が読み出されます。また, 書き込みは無効となります。

3.9 ポート制御レジスタ・ファイル

3.9.1 グループ I/O 入力/出力切り替え

4ビット単位で入力/出力を切り替える I/O をグループ I/O といいます。グループ I/O のポートとして P0A, P0B, P0C, P0D があり、これらの入力/出力状態の切り替えは、以下に示すレジスタ・ファイルで行います。入力モードから出力モードに設定変更した場合、設定変更と同時にポート・レジスタの内容がそれぞれのポートに出力されます。

図 3-2 グループ I/O の入力/出力制御レジスタ



3.9.2 ビット I/O 入力/出力切り替え

1ビット単位で入力/出力を切り替える I/O をビット I/O といいます。ビット I/O のポートとして P1A, P1B, P1C があり, これらの入力/出力状態の切り替えは, 以下に示すレジスタ・ファイルで行います。入力モードから出力モードに設定変更した場合, 設定変更と同時に P1A, P1B, P1C の各ビットのポート・レジスタの内容がそれぞれのビット・ポートに出力されます。

図 3-3 ビット I/O の入力/出力制御レジスタ : P1A

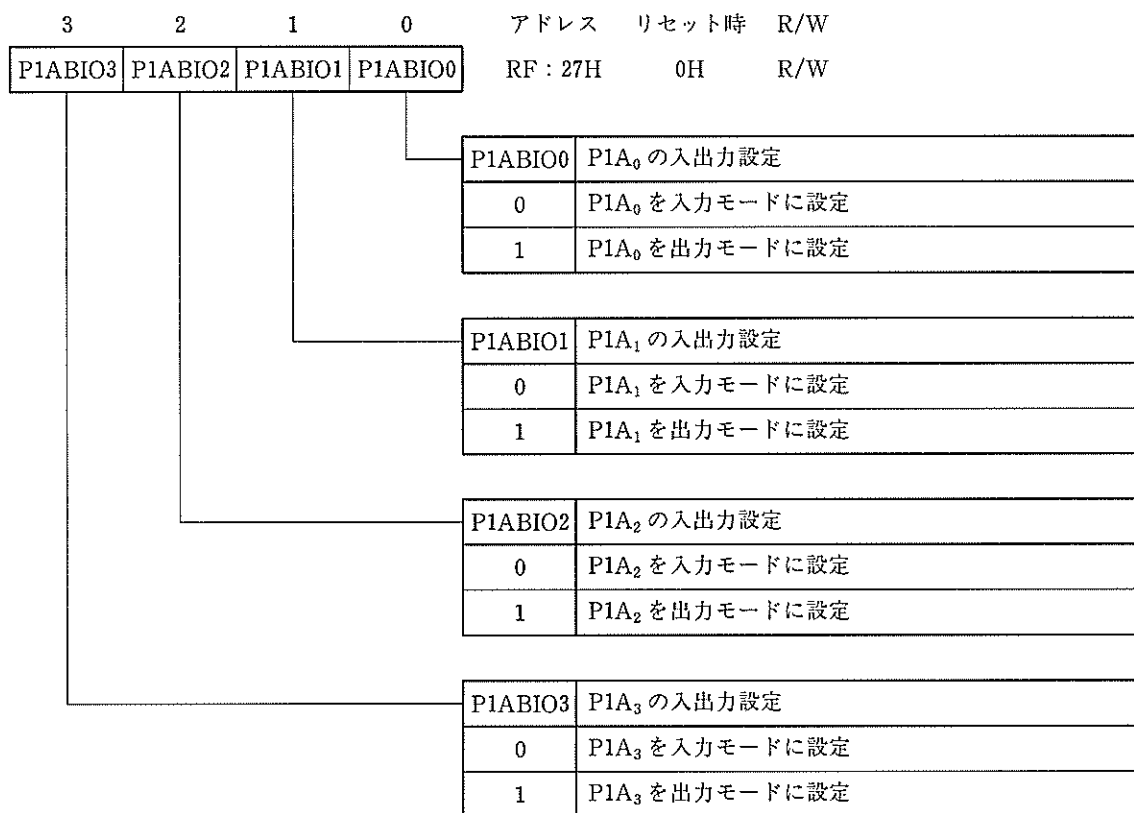


図 3-4 ビット I/O の入力/出力制御レジスタ : PIB

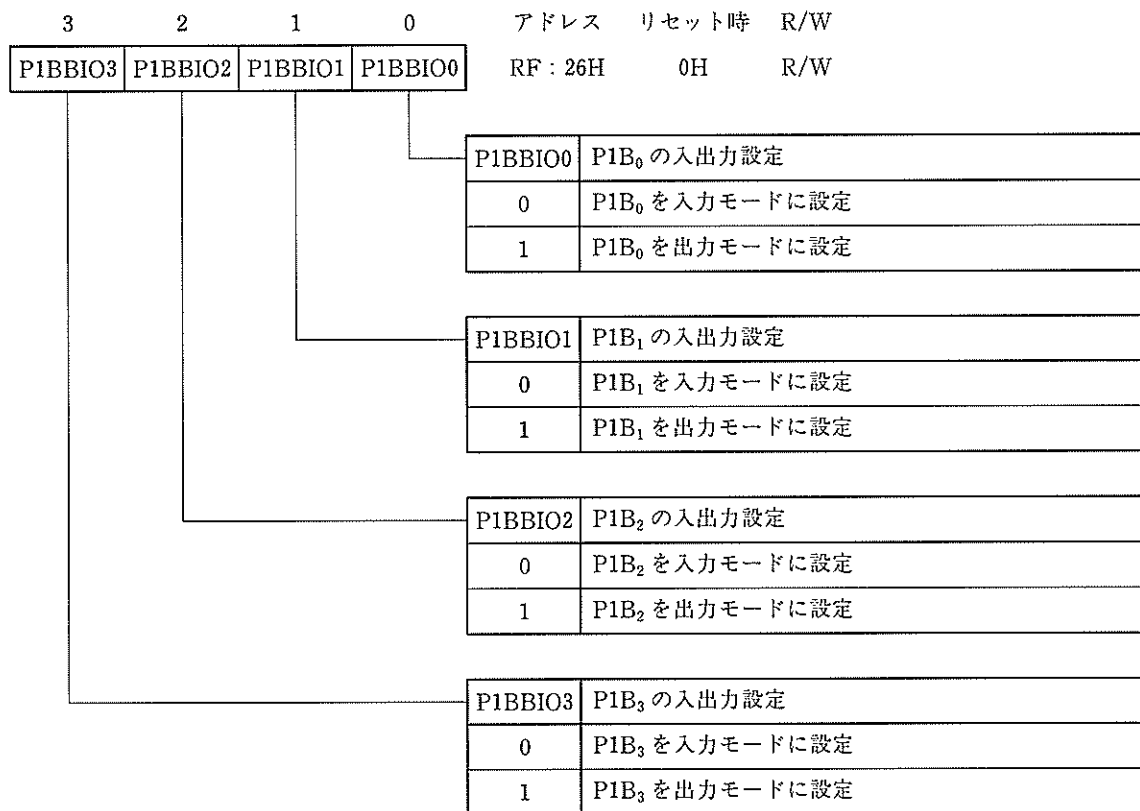
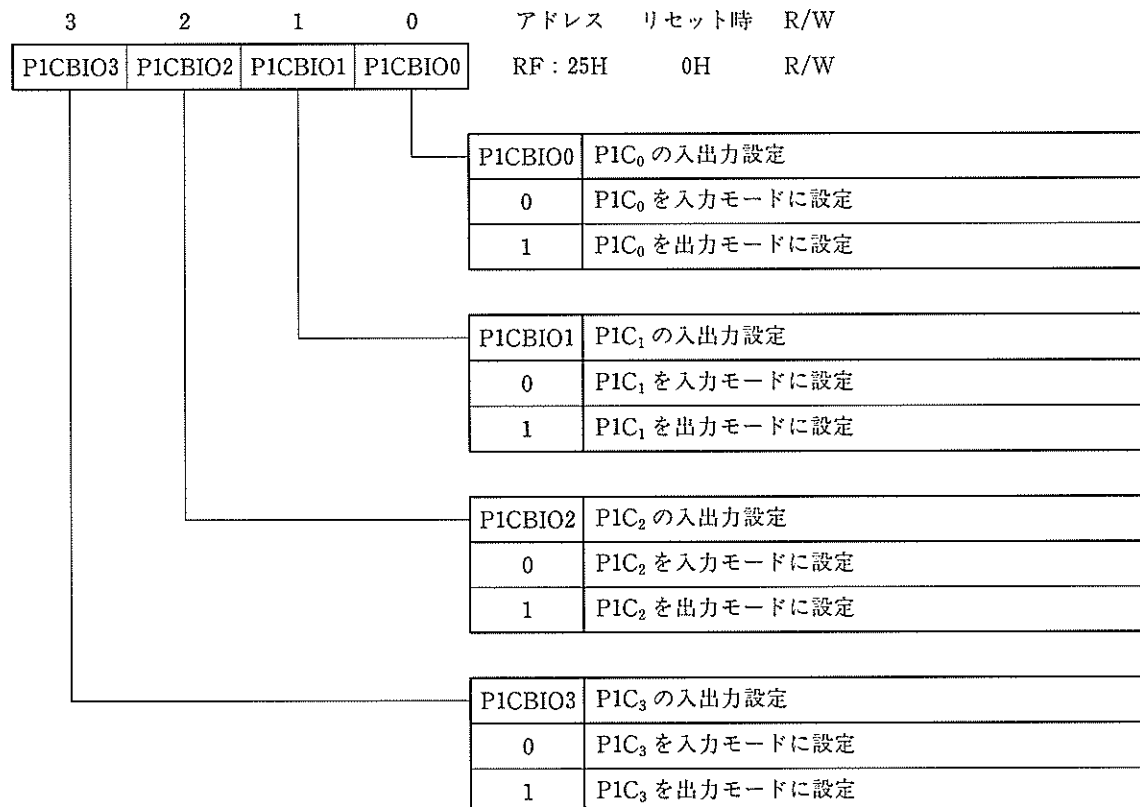


図 3-5 ビット I/O の入力/出力制御レジスタ : PIC



3.9.3 プルアップ抵抗オン/オフ制御

P1A, P1B のポートは、N-ch オープン・ドレインで、PIC は CMOS で構成されています。これらのポートは、プルアップ抵抗を付加するか、しないかの選択をポート 1 本ごとに設定することができます。プルアップ抵抗の選択設定は次に示すレジスタ・ファイルで行います。

図 3-6 プルアップ抵抗オン/オフ制御レジスタ : P1A

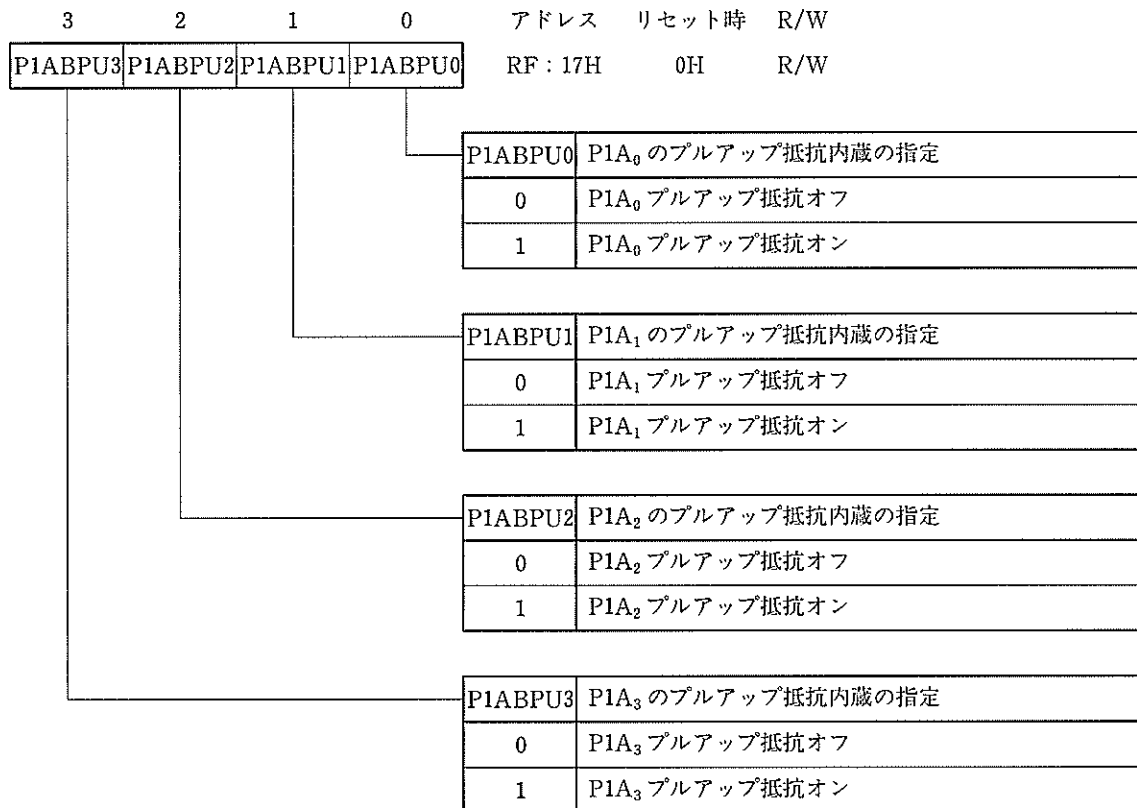


図 3-7 プルアップ抵抗オン/オフ制御レジスタ : PIB

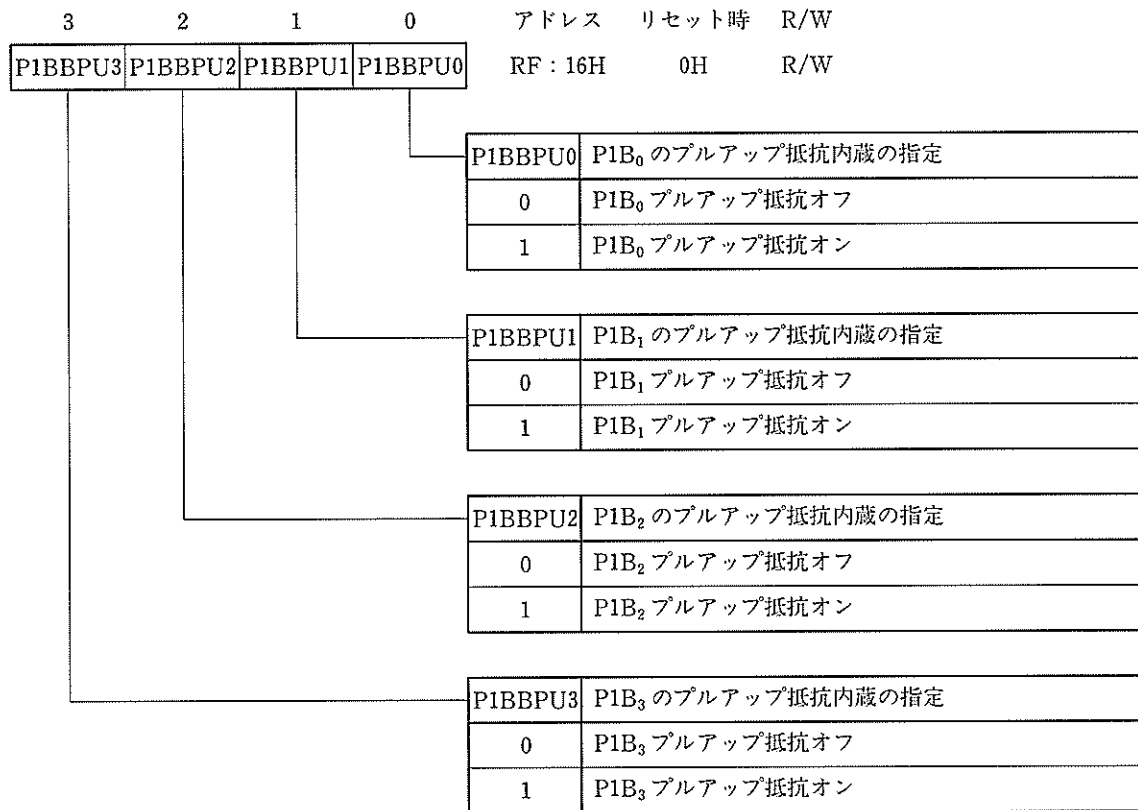
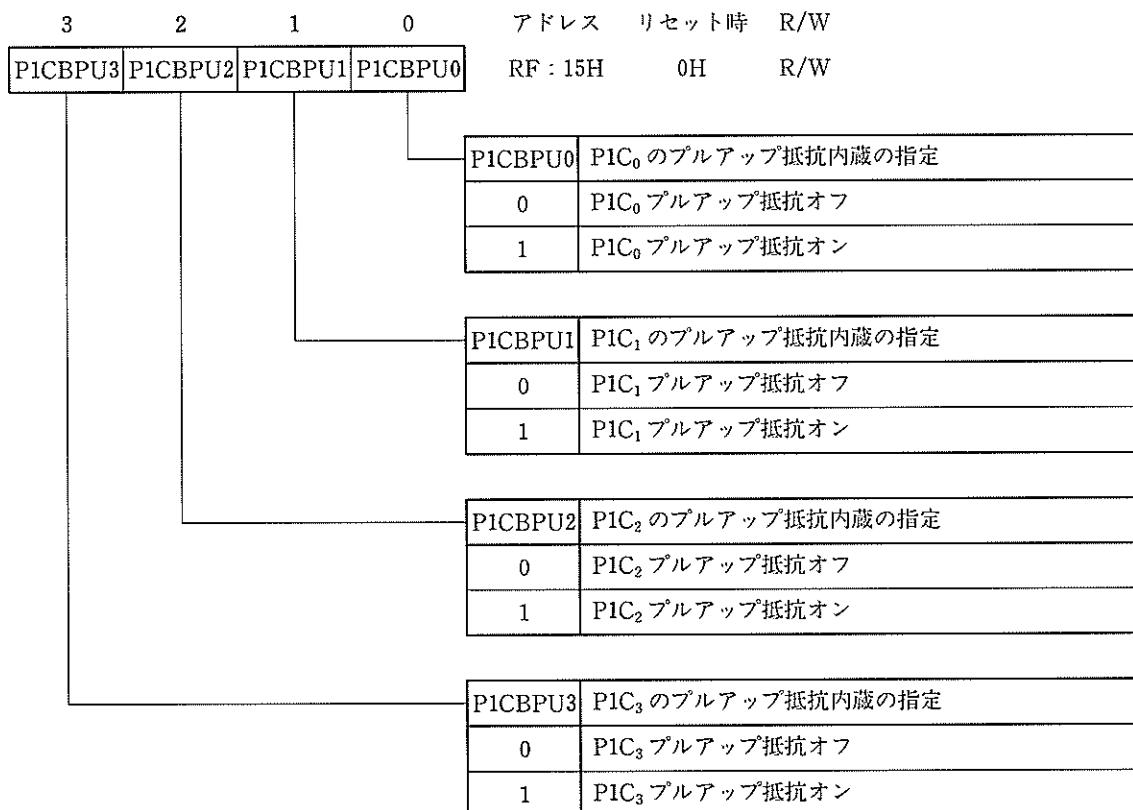


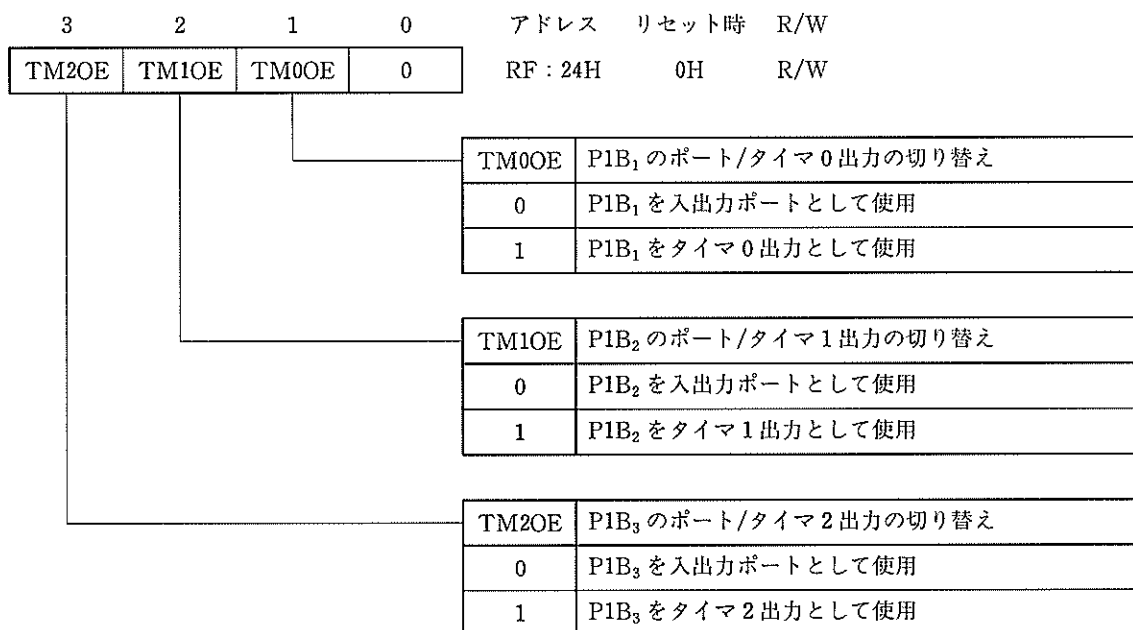
図 3-8 プルアップ抵抗オン/オフ制御レジスタ : PIC



3.9.4 タイマ出力切り替え

PIBポートは、レジスタ・ファイルの設定によりタイマの出力端子として使用できます。

図 3-9 PIB/タイマ出力制御レジスタ

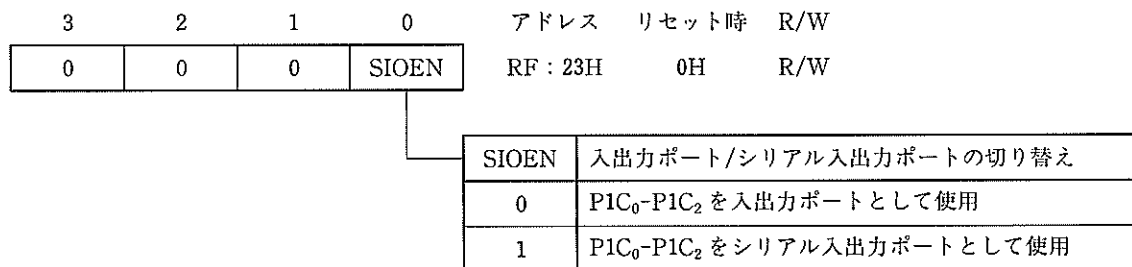


3.9.5 シリアル入出力切り替え

PIC₀-PIC₂ は、レジスタ・ファイルの設定によりシリアル入出力ポートとして使用できます。シリアル入出力として使用する場合においても PIC₃ は、通常の入出力ポートとして使用できます。

シリアル入出力モードの制御は、レジスタ・ファイル上のビット SIOCK0, SIOCK1, SIOHIZ, SIOTS を使用して行います（詳細は、8. シリアル・インタフェースを参照してください）。

図 3-10 PIC/シリアル入出力制御レジスタ



4. クロック発生回路

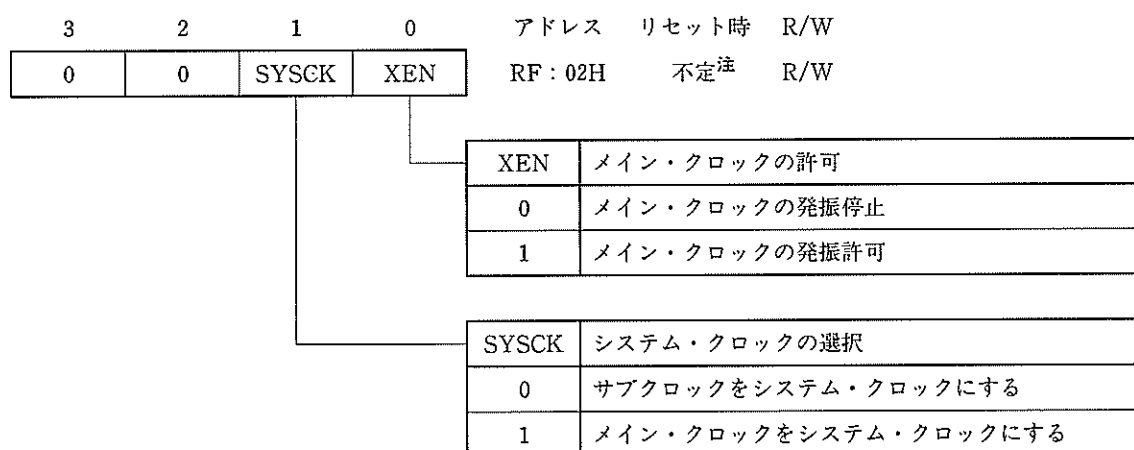
μPD17203A は、メイン・クロック (X) とサブクロック (XT) の 2 系統の発振回路を内蔵しています。どちらのクロックもシステム・クロックとして使用することができます。

図 4-1 に、システム・クロック制御レジスタの構成を示します。

システム・クロックとしてどちらのクロックを使用するかは、SYSCK フラグ (RF: 02H 番地, ビット 1) で行います。また、XEN フラグ (RF: 02H 番地, ビット 0) をリセットすることにより、メイン・クロックの発振を停止させ、消費電流を低減することができます。

サブクロックを使用する場合は、サブクロック発振安定のために、必ず V_{REG} 端子に 0.1 μF のコンデンサを接続してください。サブクロックを使用しない場合 (マスク・オプションで指定) は、XT_{IN} 端子を GND に接続し、XT_{OUT} 端子を V_{REG} 端子に接続してください。

図 4-1 システム・クロック制御レジスタ



注 マスク・オプションによる

★

4.1 システム・クロックの切り替え

システム・クロックの切り替えは、図 4-1 に示すように SYSCK フラグ (RF: 02H 番地, ビット 1) によって行います。

(1) メイン・クロックからサブクロックへの切り替え

SYSCK フラグをリセット(0)することによって、メイン・クロックからサブクロックにシステム・クロックを切り替えることができます。

マスク・オプションで NOXT を設定した場合、サブクロックへは切り替わりません (SYSCK=0, XEN=0 には設定できません)。

注意 電源立ち上げ時は、サブクロック発振安定のための十分な時間をとってください (プログラムにより IRQWTM フラグ (RF: 3AH 番地, ビット 0) が一定周期でセットされることを確認してください)。

(2) サブクロックからメイン・クロックへの切り替え

SYSCK フラグをセット(1)することによって、サブクロックからメイン・クロックにシステム・クロックを切り替えることができます。

マスク・オプションで NOX を設定した場合、メイン・クロックへは切り替わりません (SYSCK=1, XEN=1 には設定できません)。

注意 SYSCKフラグをセット(1)する場合は、XEN フラグのセット(1)後、プログラムで10 ms 程度の発振安定時間をとってから行ってください。

4.2 メイン・クロックの発振制御機能

サブクロックをシステム・クロックとして動作させている場合、XEN フラグ (RF: 02H 番地, ビット 0) を操作することにより、メイン・クロックの発振停止や発振開始を制御することができます。

メイン・クロックを発振停止状態から発振開始状態に変更 (XEN フラグのセット) したあと、システム・クロックをサブクロックからメイン・クロックに切り替える (SYSCK フラグのセット) 場合、プログラムで10 ms 程度の発振安定時間をとってから行ってください。

注意 XEN フラグと SYSCK フラグは、同時に操作できません (POKE 命令を 2 回実行してください)。

5. タイマ機能

μPD17203Aには、リモコン信号読み取りに使用するタイマ0、タイマ1、タイマ2と時計用タイマの4系統のタイマがあります。

各タイマの制御は、GET/PUT 命令およびレジスタ・ファイル上のビット操作により行います。

タイマ一覧

- (1) タイマ0…8ビット・タイマ/カウンタ (モジュロ機能付き)
- (2) タイマ1…10ビット・タイマ (モジュロ機能付き)
- (3) タイマ2…16ビット・タイマ
- (4) 時計用タイマ

5.1 8ビット・タイマ0, リモコン用キャリア発生回路

5.1.1 8ビット・タイマ (モジュロ機能付き) の構成

図5-1に8ビット・タイマの構成を示します。

図5-1に示すように、8ビット・タイマは8ビット・カウンタ(TM0C)、8ビット・モジュロ・レジスタ(TM0M)、タイマとモジュロ・レジスタの値を一致比較するコンパレータおよび8ビット・タイマの動作クロックを選択するセレクタで構成されています。

8ビット・タイマのスタート/ストップと8ビット・カウンタのリセットの制御は、レジスタ・ファイルのTM0EN (33H 番地, ビット 3) と TM0RES (33H 番地, ビット 2) で行います。8ビット・タイマの動作クロックの選択は、レジスタ・ファイルのTM0CK1 (33H 番地, ビット 1), TM0CK0 (33H 番地, ビット 0) で行います。また、タイマ0の入力クロックを外部入力またはクロック・ノイズ除去回路出力モードに設定する場合は、TM0CK0, TM0CK1, TM0EXCK (14H 番地, ビット 0), TM0INEN (13H 番地, ビット 3) で行います。

8ビット・カウンタの値の読み取りは、GET 命令により DBF (データ・バッファ) を介して行います。8ビット・カウンタへの値の設定はできません。モジュロ・レジスタに対する値の設定は、PUT 命令により DBF (データ・バッファ) を介して行います。モジュロ・レジスタの読み取りはできません。8ビット・カウンタとモジュロ・レジスタのデータ・レジスタが同一の番地であるために、読み取り時は8ビット・カウンタを、書き込み時は8ビット・モジュロ・レジスタをアクセスします。

カウンタとモジュロ・レジスタの値が一致した場合、レジスタ・ファイルの割り込み要求フラグ (IRQTM0 : 3DH 番地, ビット 0) をセットし、PIB₁/TM0OUT 端子の出力を反転します。また、TM0RES のセットにより、TM0OUT は初期化され、ハイ・レベルを出力します。

TM0C

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
8ビット・カウンタ								周辺レジスタ : 0 2 H	0 0 H	R

★

TM0M

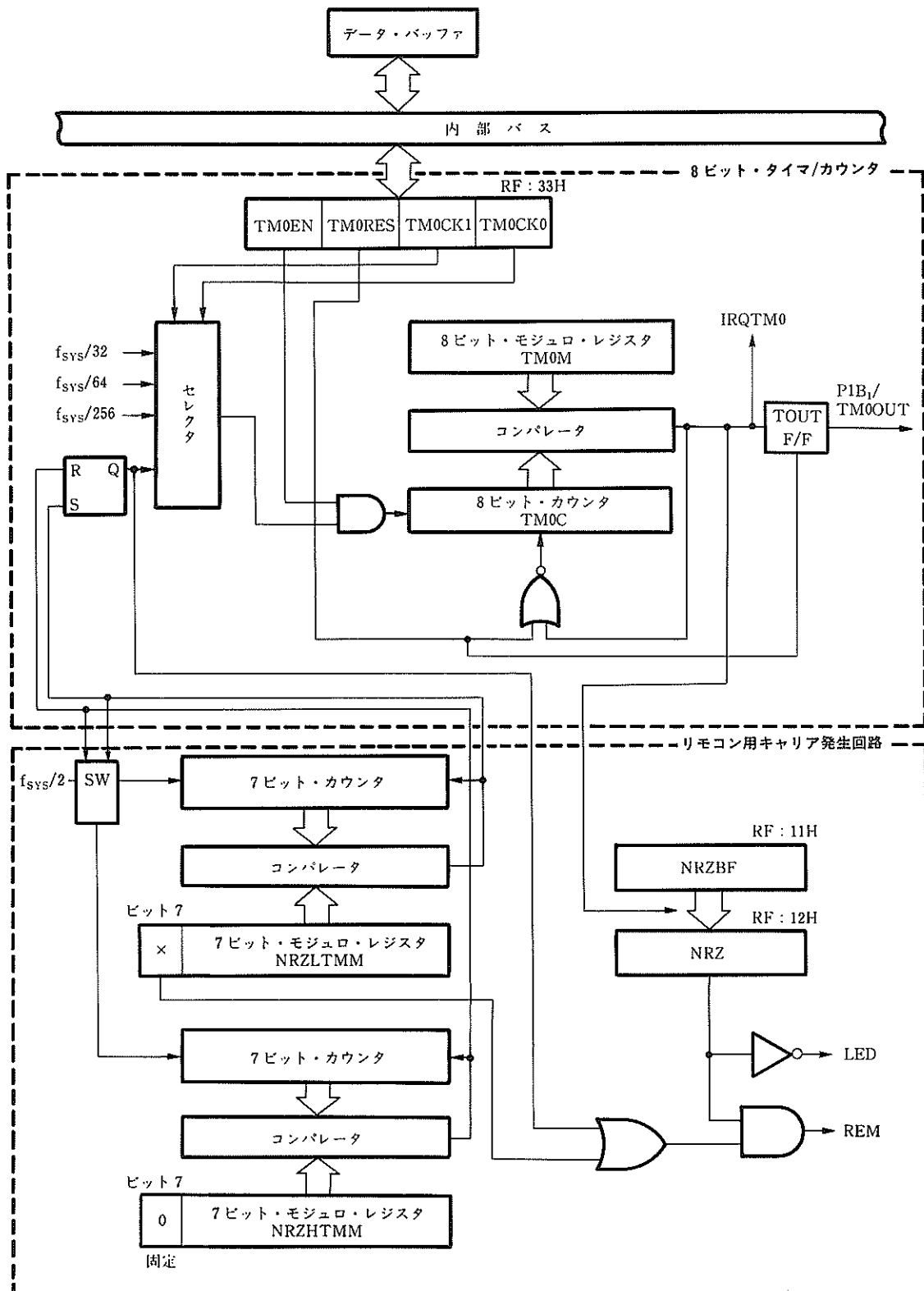
7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
8ビット・モジュロ・レジスタ								周辺レジスタ : 0 2 H	F F H	W

★

注意 TM0M に 0 を設定しないでください (IRQTM0 はセットされません)。

★

図 5-1 8ビット・タイマ/カウンタ, リモコン用キャリア発生回路の構成

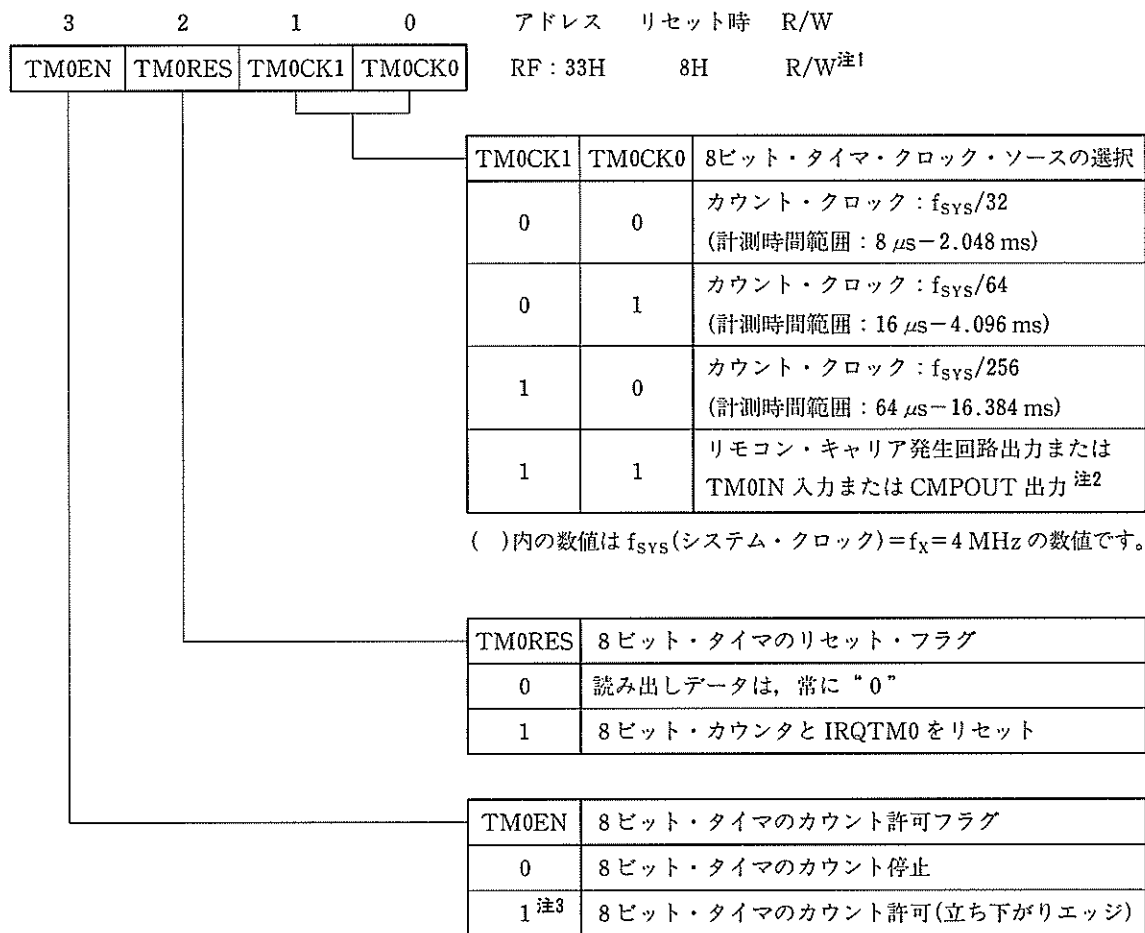


備考 1. f_{SYS} (システム・クロック周波数): f_X または f_{XT}

2. TM0M, TM0C, NRZLTMM, NRZHTMM は周辺レジスタです。

タイマ0に関するレジスタ・ファイルを以下に説明します。

図 5-2 タイマ0の制御レジスタ (1/2)



★

★

注1. ビット2は Write Only です。

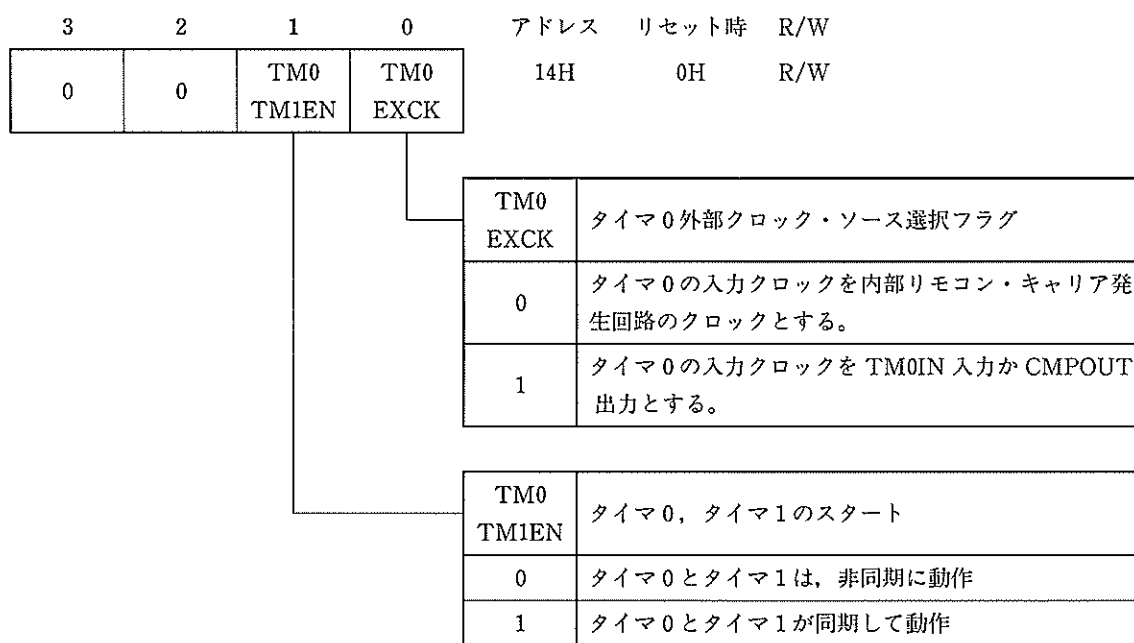
2. リモコン・キャリア発生回路出力/TM0IN 入力/CMPOUT 出力の切り替えは、レジスタ・ファイル上の
TM0EXCK ビットで行います。

★

3. STOP モード解除時は、必ずセット (1) されます。

★

図 5-2 タイマ0の制御レジスタ (2/2)



注意 1. TM0TM1EN=1 のとき、タイマ0, 1の許可フラグ TM0EN または、TM1EN の一方を許可(セット)することにより、タイマ0, タイマ1は同期してスタートします。

また、タイマ0の一致信号により、タイマ1はストップします。そのとき TM0EN, TM1EN は停止(リセット)されます。

★

2. TM0TM1EN=1 のとき、必ず TM0EXCK=1, (TM0CK1, TM0CK0) = (1, 1) に設定してください(それ以外の設定では動作しません)。

また、タイマ1はエンベロープ出力(7.1.3 エンベロープ回路参照)がハイ・レベル期間中のみカウントします。

TM0TM1EN は、タイマ0へのクロック入力の立ち上がり同期させてタイマ1のカウントを開始させ、タイマ0のカウント値がモジュロ・レジスタの値と一致したタイミングでタイマ1のカウントを停止させるために使用します。この場合タイマ0, タイマ1のカウント動作は自動的に停止し、それぞれの値を保持します。この制御ビットを使用することにより、タイマ0のモジュロ・レジスタに設定した値とタイマ0のカウントが一致するまでの時間を計測することができます。応用として、リモコン受信パルスのキャリア周波数を計測するのに最適です。

5.1.2 リモコン用キャリア発生回路

μPD17203A は、リモコン用キャリア発生回路を内蔵しています。

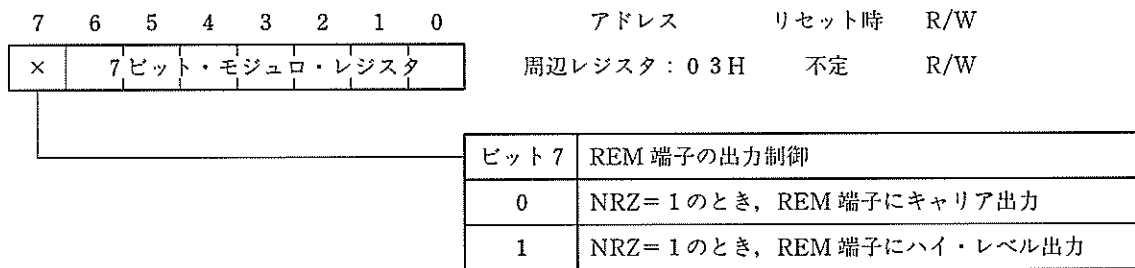
リモコン用キャリア発生回路は、7ビット・カウンタ、NRZハイ・レベル期間設定用モジュロ・レジスタ(NRZHTMM)、NRZロウ・レベル期間設定用モジュロ・レジスタ(NRZLTMM)で構成されます。ハイ・レベル期間とロウ・レベル期間とをそれぞれ対応するモジュロ・レジスタに設定し、キャリア・デューティ比およびキャリア周波数を決定します。モジュロ・レジスタへの値の設定は、DBFを介して行います。

7ビット・カウンタの入力は、システム・クロックを2分周したクロックとなります。つまり、4MHzの発振子(f_x)で動作している場合は、2MHzが、32.768kHz(f_{XT})で動作している場合は、16.384kHzが入力クロックとなります。

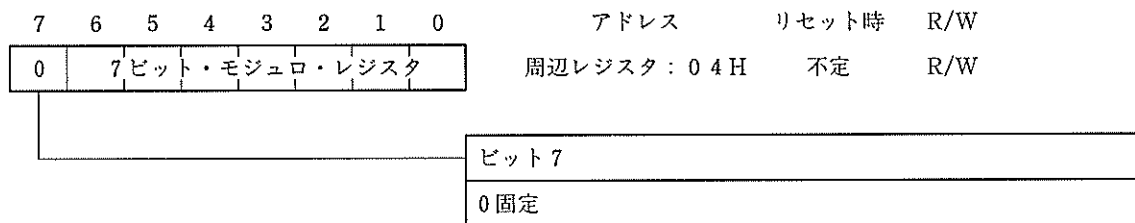
NRZハイ・レベル出力期間設定用モジュロ・レジスタ、およびNRZロウ・レベル期間設定用モジュロ・レジスタのレジスタ名は、それぞれNRZHTMM、NRZLTMMです。これらのレジスタへのデータの書き込みは、PUT命令で、データの読み取りは、GET命令で行います。

また、NRZLTMMのビット7は、REM端子にキャリア出力をするかハイ・レベルを出力するかの制御ビットになっています。キャリア出力する場合は、ビット7は必ず0にしてください。

NRZLTMM



NRZHTMM



5.1.3 リモコン信号出力制御

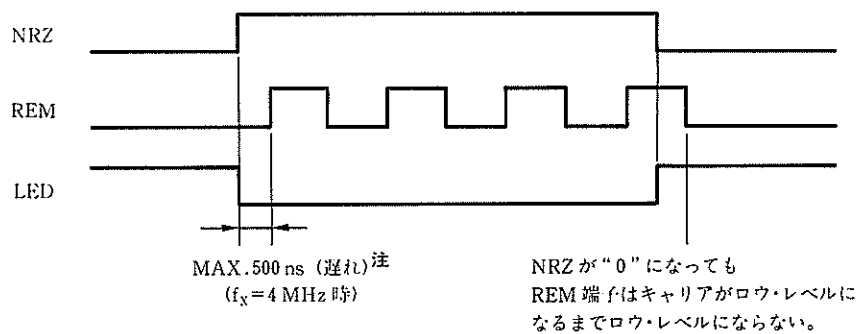
キャリアを出力するREM端子への出力制御は、レジスタ・ファイル上のビットNRZ、NRZBFおよびタイマ0で行います。NRZの内容が“1”の期間は、リモコン・キャリア発生回路で生成されたクロックがREM端子に出力されます。NRZの内容が“0”の期間は、REM端子出力は、ロウ・レベルとなります。またNRZには、タイマ0により発生するインタラプト信号により、自動的にNRZBFの内容が転送されます。あらかじめNRZBFにデータを設定しておくこととタイマ0のカウント動作に同期して、REM端子の状態が変化します。NRZの内容はLED端子に出力されます。つまり、NRZが“0”のときLED端子はハイ・レベルを出力し、NRZが“1”のときはロウ・レベルを出力します。

REM 端子がハイ・レベルのとき、つまり NRZ が “1” でかつキャリア・クロックがハイ・レベルのときにタイマ 0 のインタラプト信号が発生した場合は、REM 端子の出力は、キャリア・クロックがロウ・レベルになるまで更新された NRZ の内容に従いません。この処理は、出力するキャリアのハイ・レベル・パルス幅を一定にする場合に有効です (図 5-3 参照)。

NRZ の内容が “0” の場合は、リモコン・キャリア発生回路は停止します。ただしリモコン・キャリア発生回路の出力をタイマ 0 のクロックとしている場合は、NRZ の内容が “0” となってもクロックは継続して動作します。実際に REM 端子にリモコン信号を出力する例を紹介します。

図 5-3 リモコン・キャリア出力の波形例

★ NRZLTMM のビット 7 が 0 のとき (キャリアあり)



★ 注 (TM0CK1, TM0CK0) ≠ (1, 1) のときの値です。

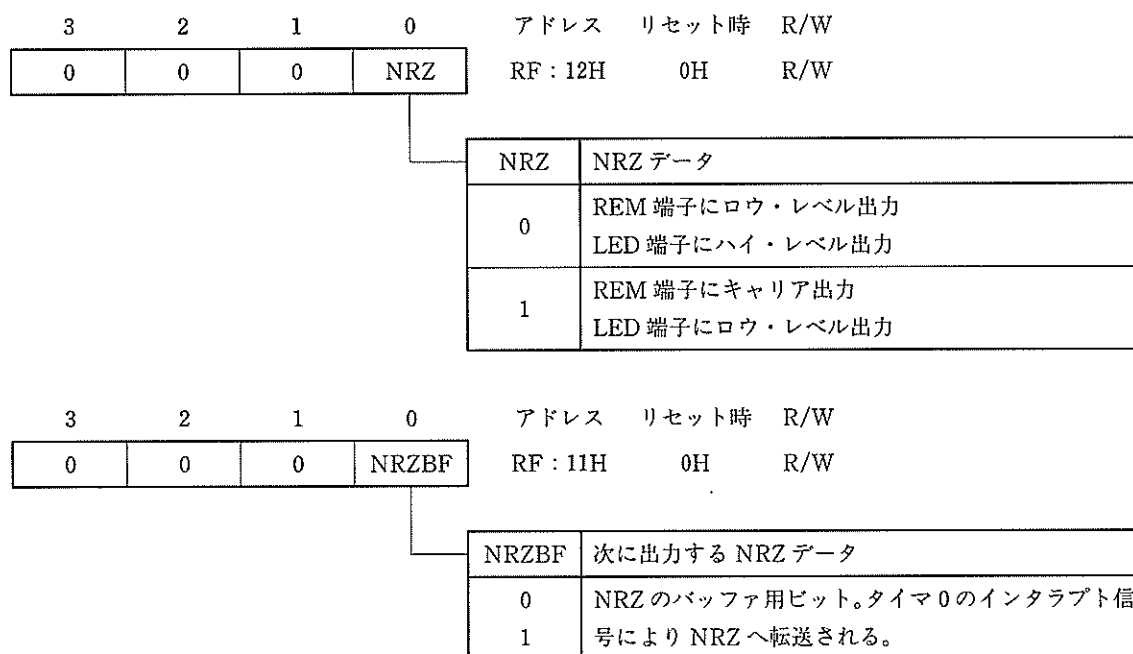
(TM0CK1, TM0CK0) = (1, 1) のときの値は、NRZ の操作によって異なります。

NRZ を命令でセットした場合、1 発目のハイ・レベル・パルス幅が短くなることがあります。NRZBF からの転送によりセットした場合は、キャリア・クロックのロウ・レベル・パルス幅分遅れます。

★ NRZLTMM のビット 7 が 1 のとき (キャリアなし)



図 5-4 NRZ, NRZBF のレジスタ・ファイル



キャリア周波数とデューティ比の設定方法

システム・クロックがメイン・クロック (X) のときの周波数を f_x , キャリア周波数を f_c とします。

$$\ell \text{ (分周比)} = f_x / (2 \times f_c)$$

ℓ をデューティ比 $m : n$ に分けて、次のようにモジュロ・レジスタに値を設定します。

$$\text{ハイ・レベル期間設定値} = \{ \ell \times m / (m+n) \} - 1$$

$$\text{ロウ・レベル期間設定値} = \{ \ell \times n / (m+n) \} - 1$$

例 $f_c = 38 \text{ kHz}$, デューティ比 (ハイ・レベル期間) $1/3$, $f_x = 4 \text{ MHz}$ のとき

$$\ell = 4 \text{ MHz} / (2 \times 38 \text{ kHz}) = 52.6$$

$$m : n = 1 : 2$$

以上より、モジュロ・レジスタ値は

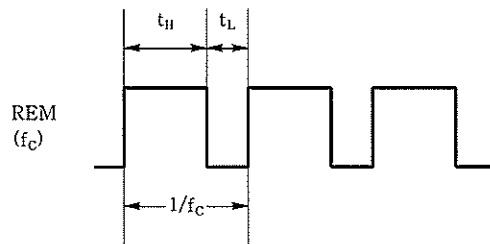
ハイ・レベル期間 (NRZHTMM) ≈ 17 (11H)

ロウ・レベル期間 (NRZLTMM) ≈ 34 (22H) となり、キャリア周波数は 37.74 kHz となります。

★

表 5-1 キャリア周波数一覧 ($f_x = f_{sys} = 4 \text{ MHz}$)

設定値		t_{H1} (μs)	t_{L1} (μs)	$1/f_c$ (μs)	f_c (kHz)	デューティ
NRZHTMM	NRZLTMM					
0 0 H	0 0 H	0.5	0.5	1.0	1000	1/2
0 1 H	0 2 H	1.0	1.5	2.5	400	2/5
0 4 H	0 4 H	2.5	2.5	5.0	200	1/2
0 9 H	0 9 H	5.0	5.0	10.0	100	1/2
0 FH	1 0 H	8.0	8.5	16.5	60.6	1/2
0 FH	2 1 H	8.0	17.0	25.0	40.0	1/3
1 1 H	2 1 H	9.0	17.0	26.0	38.5	1/3
1 1 H	2 2 H	9.0	17.5	26.5	37.7	1/3
1 9 H	3 5 H	13.0	27.0	40.0	25.0	1/3
3 FH	3 FH	32.0	32.0	64.0	15.6	1/2
7 FH	7 FH	64.0	64.0	120.0	7.8	1/2



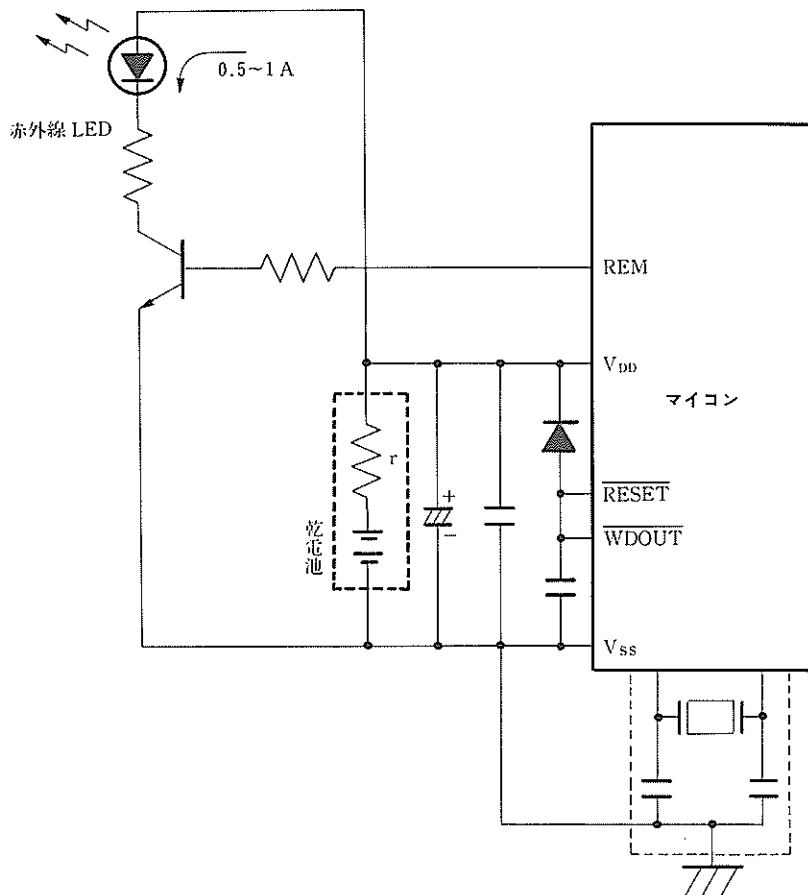
5.1.4 送信（キャリア出力）時のノイズ対策

リモコン送信機として送信したとき、赤外線 LED には、ピーク電流で0.5~1 A 程度流れることが考えられます。リモコン送信機の電源には、通常乾電池 2 個を使用しているため、下の図のように電源部は等価的に数 Ω の抵抗 (r) が存在していることとなります。この抵抗値は、電源電圧が 2 V まで低下した場合、10~20 Ω となります。そのため、REM 端子からキャリア出力（赤外線 LED 発光）中の際は、電源電圧の変動、特にスイッチング時に高周波成分のノイズが、電源ラインに発生します。

したがって、マイコンへの影響を極力抑えるためには、次の点にご注意ください。

- ① マイコンへの電源ラインと、赤外線 LED の電源ラインを乾電池の端子を中心に分離する。また、電源ラインは太く短く配線する。
- ② 発振子はできるだけマイコンに近づけ、GND ラインでシールドする（図中の [] の部分）。
- ③ 電源安定用のコンデンサは、マイコンの電源ラインの近くに配置する。また、高周波ノイズ除去用のコンデンサも配置する。
- ④ キャリア出力中は、データが変わるのを防ぐために、キー・スキャンなどのデータのリード/ライト処理およびスタックを必要とする割り込み、CALL/RET 命令などを極力行わない。
- ⑤ 暴走に対する信頼性を高めるために、ウォッチドッグ・タイマを使用する ($\overline{\text{WDOUT}}$ 端子と $\overline{\text{RESET}}$ 端子を接続する)。

★



備考 1. INT 端子と $\overline{\text{RESET}}$ 端子は、テスト端子と兼用になっています(1.4 INT 端子および $\overline{\text{RESET}}$ 端子の使用上の注意参照)。

★

2. この図では、 $\overline{\text{RESET}}$ 端子はマスク・オプションによりプルアップ抵抗を内蔵しています。

★

5.2 10ビット・タイマ1

おもに、タイマ0とともにリモコン受信パルスのキャリア周波数を測定するのに使用します。

タイマ1は、10ビット・タイマ、モジュロ・レジスタ、モジュロ・レジスタとタイマとの値を一致比較するコンパレータで構成されています。

10ビット・タイマの動作クロックの選択は、レジスタ・ファイル上のビット TMICK0 と TMICK1 で行います。10ビット・タイマのリセットとスタート/ストップの制御は、それぞれレジスタ・ファイル上のビット TM1RES と TM1EN で行います。10ビット・タイマの値の読み取りは、“GET DBF, TM1C” 命令により DBF (データ・バッファ) を介して行います。10ビット・タイマへの値の設定はできません。

モジュロ・レジスタに対する値の設定は、“PUT TM1M, DBF” 命令により DBF (データ・バッファ) を介して行います。モジュロ・レジスタの読み取りはできません。モジュロ・レジスタと10ビット・カウンタのアドレスは、同一で書き込み時はモジュロ・レジスタが、読み取り時は10ビット・カウンタがアクセスされます。

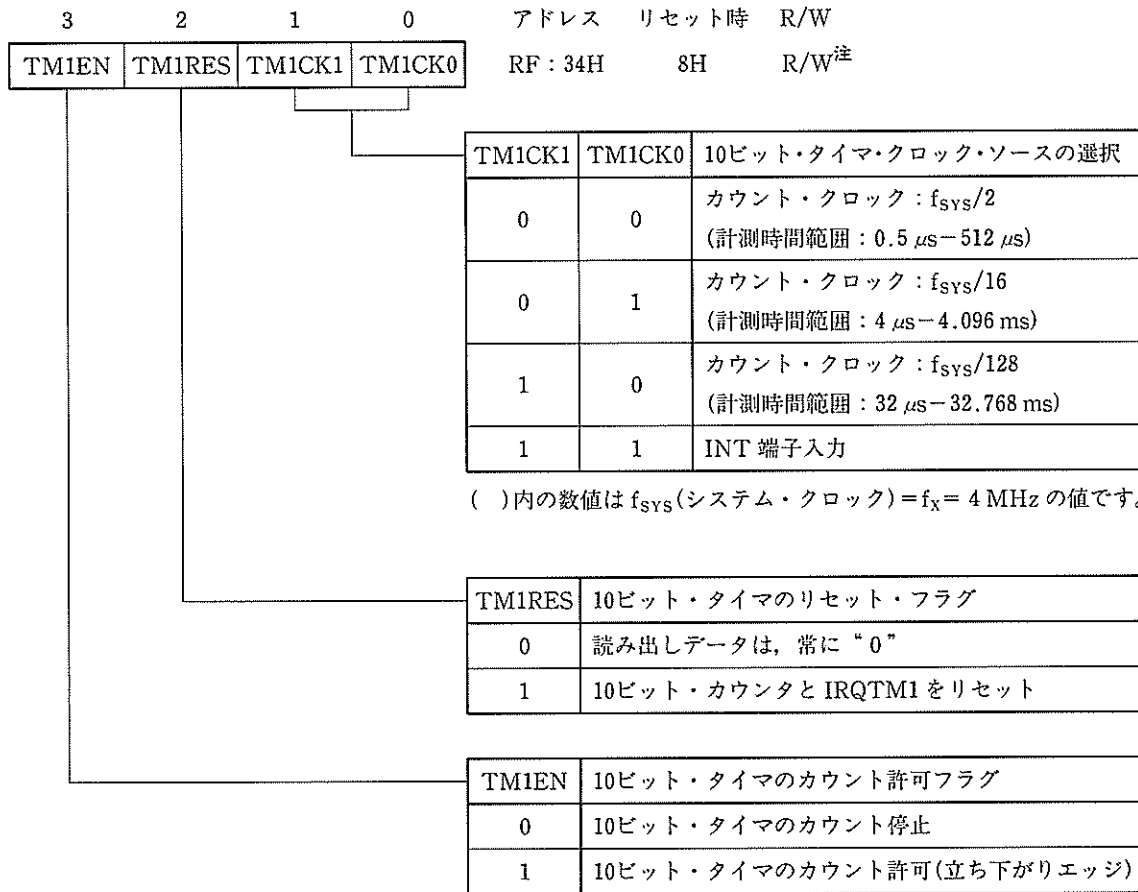
タイマ1の使用に際しては、TMICK0 と TMICK1 による動作クロックの選択、モジュロ・レジスタへの値の設定 (DBF を介して設定)、TM1RES による10ビット・タイマのリセットを実行してください。その後 TM1EN を操作することによりタイマ1はその動作を開始します。

タイマ1がクロックのカウントを実行しその値がモジュロ・レジスタの値と一致した場合は、割り込み要求が発生し、割り込み許可フラグ (IPTM1) がセットされていれば割り込み機能を行うと同時に、10ビット・タイマの値は、“0” にリセットされます。カウント動作はその後継続されます。割り込み要求フラグは、レジスタ・ファイルの IRQTM1 に出力されます (10.2 割り込み制御回路の各種ハードウェア参照)。

タイマ1の出力信号は、TM1OUT 端子に出力されます。TM1OUT 端子は、PIB₂ 端子と共用になっています。タイマ1として使用するか、ポートとして使用するかの切り替えは、レジスタ・ファイル上のビット TM1OE で行います。TM1OUT 端子は、TM1RES 操作によりロウ・レベルに初期化され、その後タイマ1の動作にともない、モジュロ・レジスタと10ビット・タイマとの値が一致するごとにロウ・レベルからハイ・レベルに、またハイ・レベルからロウ・レベルに反転します。ただし TM1OUT 端子は、N-ch オープン・ドレイン構成ですから、ハイ・レベル出力時は、ハイ・インピーダンス状態となります。

タイマ1に関するレジスタ・ファイルを以下に説明します。

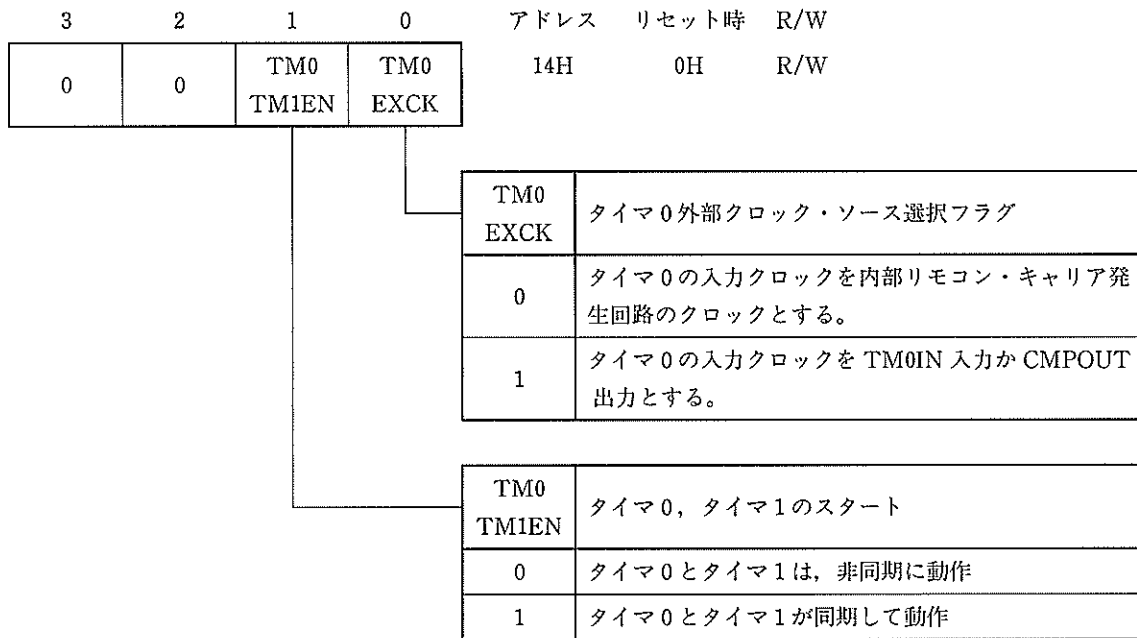
図 5-5 タイマ1の制御レジスタ (1/2)



★

注 ビット2は Write Only です。

図 5-5 タイマ1の制御レジスタ (2/2)



注意 1. TM0TM1EN=1 のとき, タイマ0, 1の許可フラグ TM0EN または, TM1EN の一方を許可(セット)することにより, タイマ0, タイマ1は同期してスタートします。

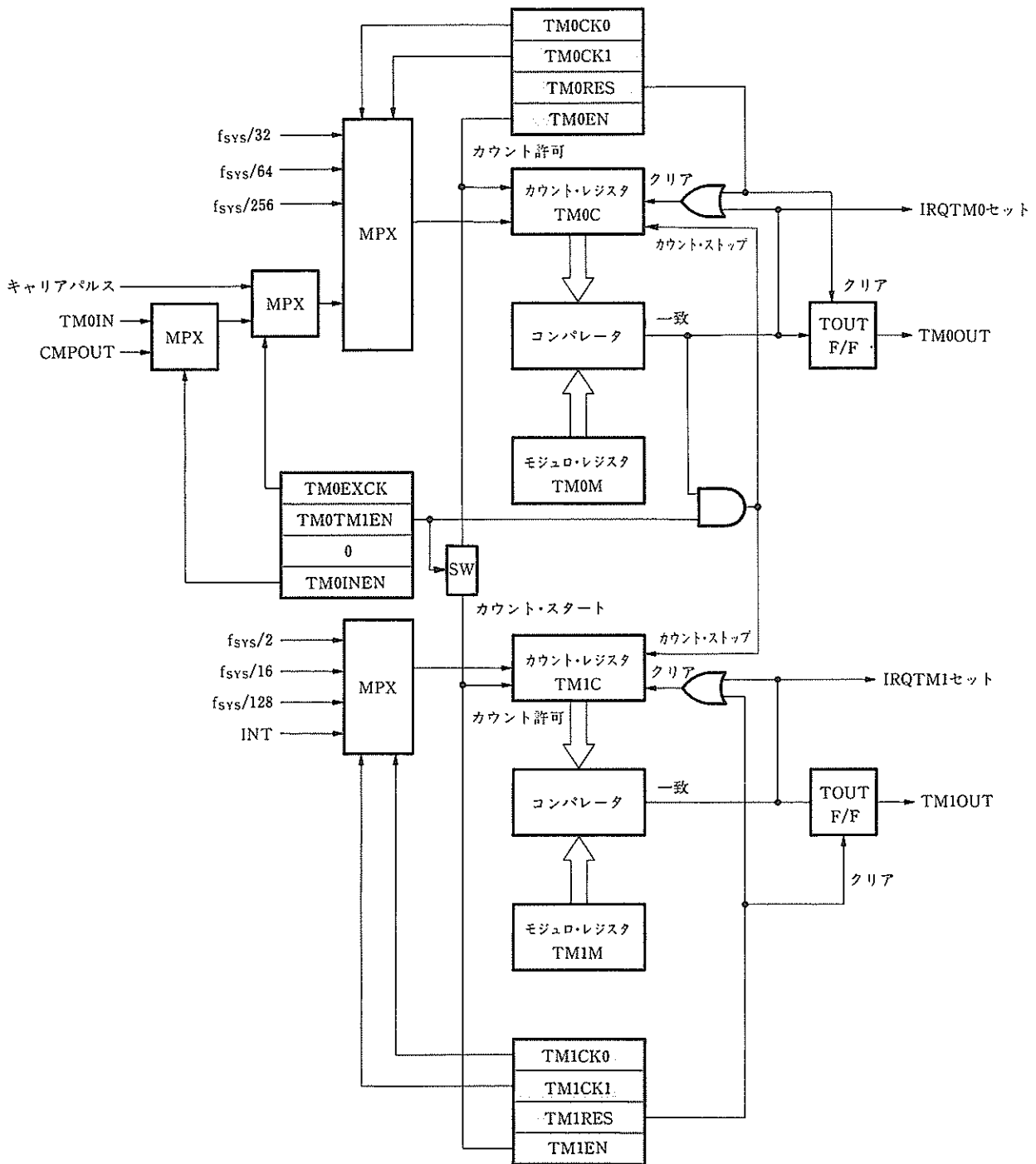
また, タイマ0の一致信号により, タイマ1はストップします。そのとき TM0EN, TM1EN は停止(リセット)されます。

★

2. TM0TM1EN=1 のとき, 必ず TM0EXCK=1, (TM0CK1, TM0CK0) = (1, 1) に設定してください (それ以外の設定では動作しません)。

また, タイマ1はエンベロープ出力 (7.1.3 エンベロープ回路参照) がハイ・レベル期間中のみカウントします。

図 5-6 タイマ0, タイマ1のブロック図



5.3 16ビット・タイマ2

おもに、リモコン受信パルスのキャリアなし、キャリアありのパルス幅をエンベロープ回路出力より計測するのに使用します。

タイマ2は、16ビット・タイマのみで構成されています。タイマ2には、モジュロ・レジスタは、ありません。

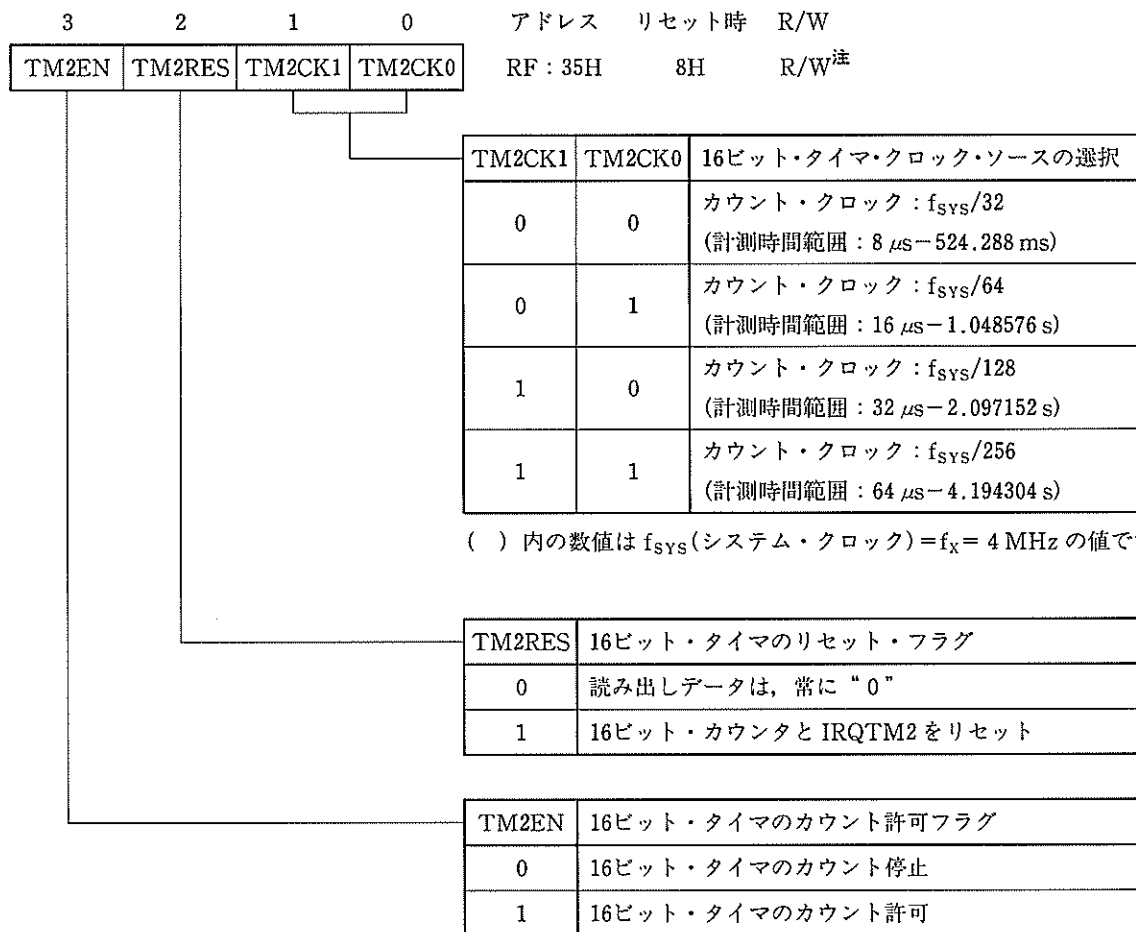
16ビット・タイマの動作クロックの選択は、レジスタ・ファイル上のビット TM2CK0 と TM2CK1 で行います。16ビット・タイマのリセットとスタート/ストップの制御は、それぞれレジスタ・ファイル上のビット TM2RES と TM2EN (RF: 35H, ビット 3) で行います。16ビット・タイマの値の読み取りは、GET 命令により DBF (データ・バッファ) を介して行います。16ビット・タイマへの値の設定はできません。タイマ2のアドレス・ネームは、TM2C です。

タイマ2の使用に際しては、TM2CK0 と TM2CK1 による動作クロックの選択、TM2RES による16ビット・タイマのリセットを実行してください。その後 TM2EN を操作することによりタイマ2はその動作を開始します。

タイマ2の出力信号は、TM2OUT 端子に出力されます。TM2OUT 端子は、P1B₃ 端子と共用になっています。タイマ2として使用するか、ポートとして使用するかの切り替えは、レジスタ・ファイル上のビット TM2OE で行います。TM2OUT 端子は、TM2RES 操作によりロウ・レベルに初期化され、その後16ビット・タイマのオーバフローごとにロウ・レベルからハイ・レベルに、またハイ・レベルからロウ・レベルに反転します。ただし TM2OUT 端子は、N-ch オープン・ドレイン構成ですから、ハイ・レベル出力時は、ハイ・インピーダンス状態となります。

タイマ2に関するレジスタ・ファイルを以下に説明します。

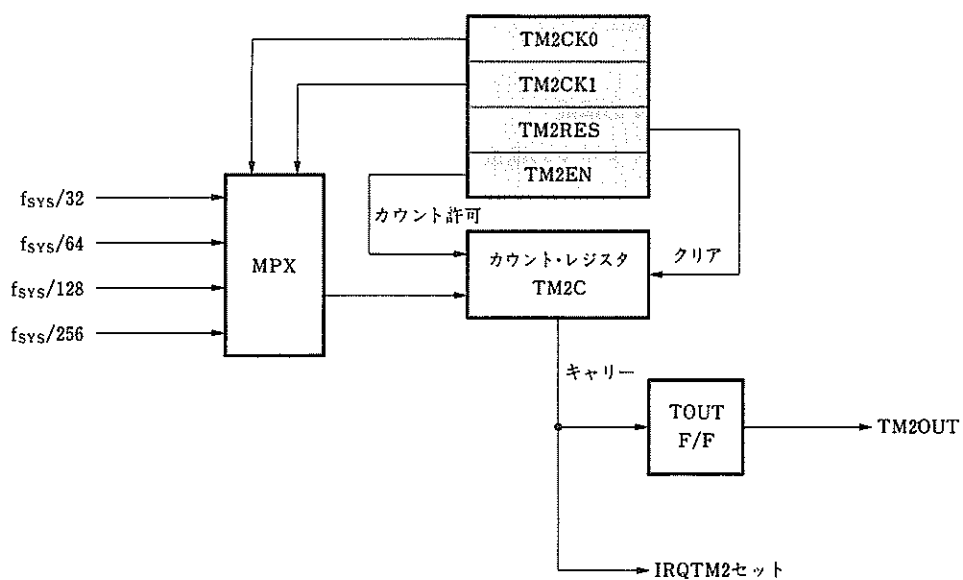
図 5-7 タイマ2の制御レジスタ



★

注 ビット 2 は Write Only です。

図 5-8 タイマ2のブロック図



6. 時計用タイマ/ウォッチドッグ・タイマ

時計用タイマは、時計用の割り込み信号発生とウォッチドッグ・タイマのリセット信号発生に使用します。

6.1 時計用タイマ/ウォッチドッグ・タイマの構成

図 6-1 に時計用タイマ/ウォッチドッグ・タイマの構成を示します。

図 6-1 に示すように、時計用タイマはソース・クロックをサブクロック (XT) の 32.768 kHz 発振回路出力とメイン・クロック (X) の分周出力 ($f_x/2^7$) からマスク・オプションで選択するセレクト A と、選択したソース・クロックの分周器と、割り込み信号として使用する周波数を選択するセレクト B で構成されています。

時計用タイマのリセットおよびセレクト B の制御は、レジスタ・ファイルの WTMRES (03H 番地, ビット 1) と WTMMD (03H 番地, ビット 2) で行います。

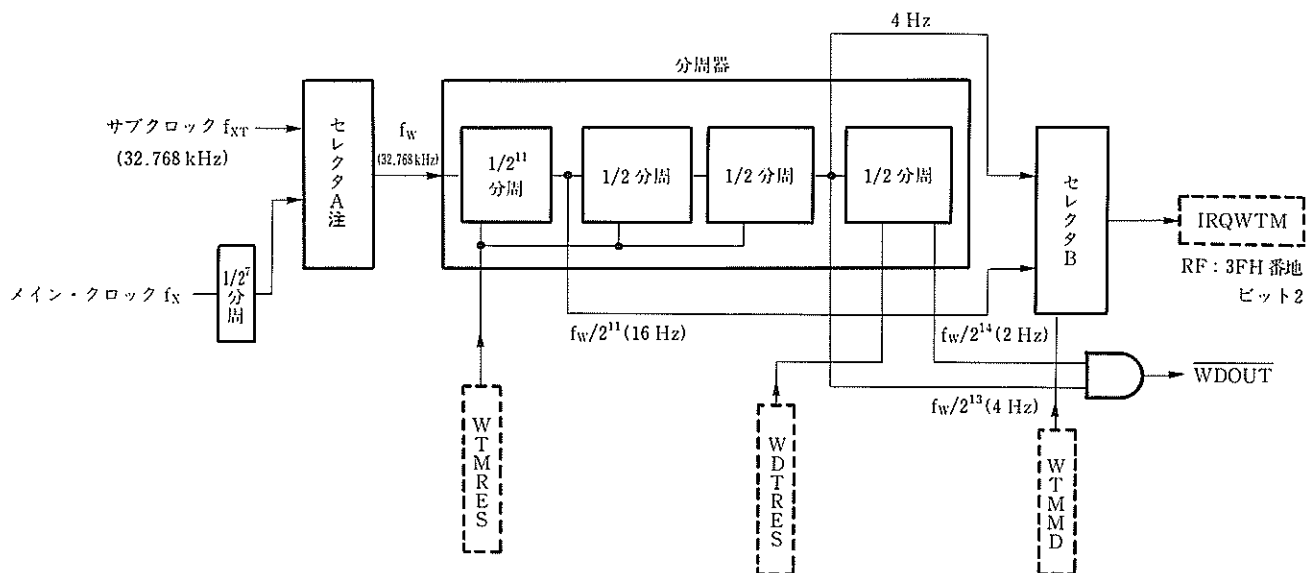
ウォッチドッグ・タイマのリセットは、レジスタ・ファイルの WDTRES (03H 番地, ビット 3) で行います。

なお、サブクロック (f_{XT}) がソース・クロックの場合は、時計用タイマのカウンタ動作を停止できません。つまり、CPU が STOP モードの場合においても、サブクロックは停止しないで発振動作を継続します。

メイン・クロックの分周出力 ($f_x/2^7$) がソース・クロックの場合 (サブクロック使用時) は CPU が STOP モードになると時計用タイマの動作も停止します。

図 6-1 時計用タイマ/ウォッチドッグ・タイマの構成

(カッコ内はサブクロック使用時)

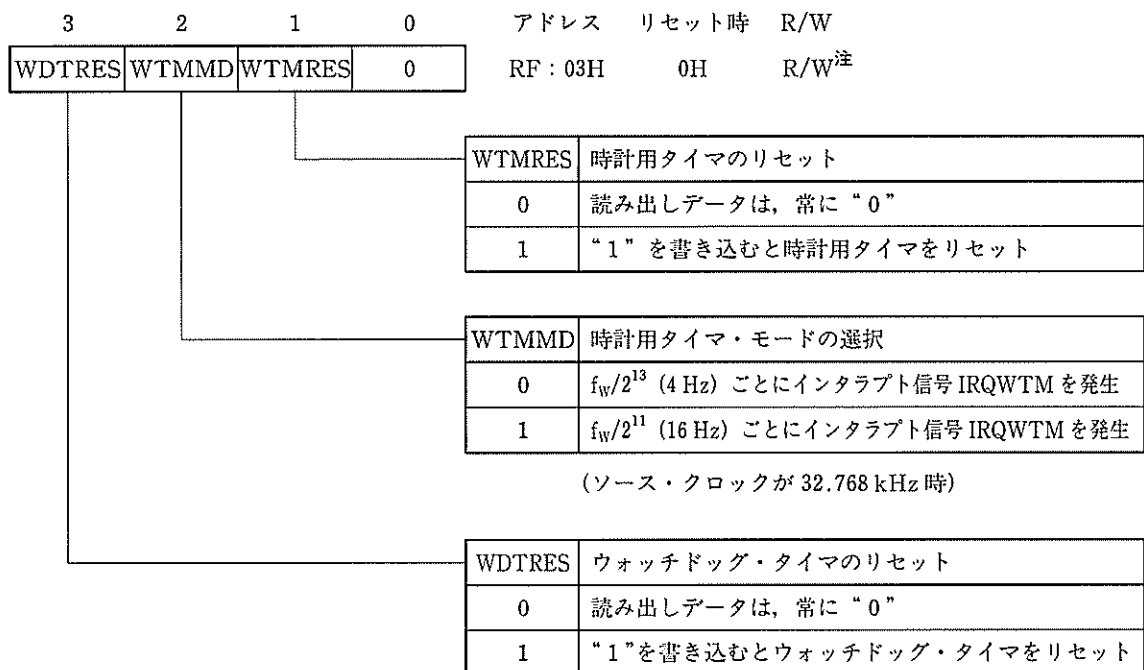


注意 時計用タイマのソース・クロックは、マスク・オプションで次のように固定されます。

- ① マスク・オプションでサブクロックの使用を選択する場合
サブクロックに固定されます。
- ② マスク・オプションでサブクロックの使用を選択しない場合
 $f_x/2^7$ に固定されます。

6.2 時計用タイマ/ウォッチドッグ・タイマの機能

図 6-2 時計用タイマの制御レジスタ




注 ビット1, ビット3は Write Only です。

6.3 ウォッチドッグ・タイマ動作タイミング

ウォッチドッグ・タイマは、一定時間以内でリセットしないと $\overline{\text{WDOUT}}$ 端子より、ロウ・レベルが出力されます。 $\overline{\text{WDOUT}}$ 端子を $\overline{\text{RESET}}$ 端子と接続することにより、プログラムの暴走検出用に使用できます。

ウォッチドッグ・タイマのリセットは、WDTRES をセット (WDTRES=1) することで行います。

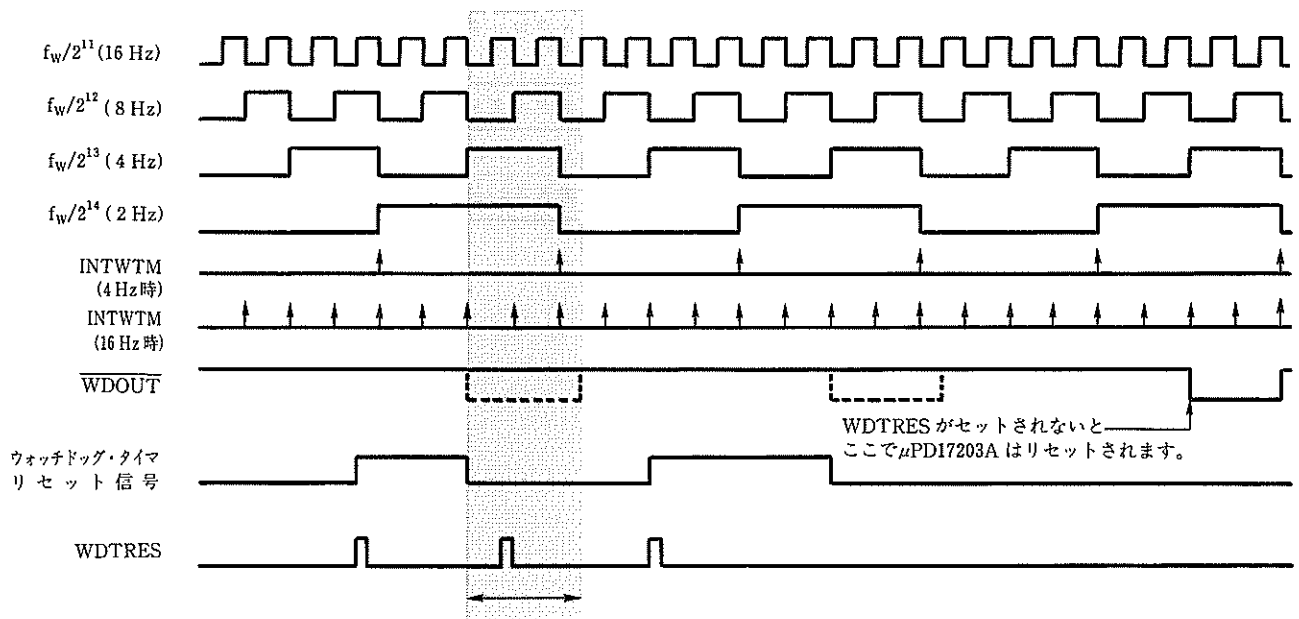
サブクロック使用時にウォッチドッグ・タイマによる暴走検出を禁止するには、約340 ms 以下の周期で WDTRES をセットするプログラムにしてください。

注意 1. ウォッチドッグ・タイマは、 の範囲ではリセットできません。したがって、WDTRES は、 $f_w/2^{14}$ (2 Hz) 信号と $f_w/2^{13}$ (4 Hz) 信号がともにハイ・レベルになる前に行ってください。

★ 2. $\overline{\text{WDOUT}}$ 端子の機能については、12. リセットも参照してください。

図 6-3 ウォッチドッグ・タイマの動作タイミング

(カッコ内はサブクロック使用時)



このタイミングで WDTRES をセットしても無効となります。

7. リモコン用キャリア受信回路

7.1 アナログ回路、クロック・ノイズ除去回路、エンベロープ回路

μPD17203A は、リモコン用キャリアを直接受信できる回路を内蔵しています。

受信回路とその機能を次の表に示します。

回 路	機能 ($f_{SYS}=f_X=4$ MHz 時)
アナログ回路 (オペアンプ, コンパレータ)	受信したリモコン用キャリアの増幅
クロック・ノイズ除去回路	キャリア信号の波形整形 (4 μ s 以上の幅に置き換え)
エンベロープ回路	キャリア信号受信期間中は, ハイ・レベル出力を維持

7.1.1 アナログ回路

アナログ回路にはオペアンプとコンパレータが内蔵され、受信したリモコン用キャリアを増幅させます。

オペアンプでは、AMPIN $-$ 、AMPOUT を外に出し、増幅度を変更できるようにしています。AMPIN $+$ 側には、基準電圧として、 $1/2 V_{DD}$ が印加されています。増幅されたオペアンプの出力を、コンパレータの CMPIN $+$ に入力すると、さらに GND と V_{DD} レベルにまで増幅されます。

CMPIN $-$ 側には、基準電圧として、約 $1/2 V_{DD}$ が印加されています。

なお、受信精度を上げるために V_{REF} 端子に基準電圧の安定化用コンデンサの外付けと、受信したキャリア信号のレベルなどにより、抵抗を外付けしてください。

7.1.2 クロック・ノイズ除去回路

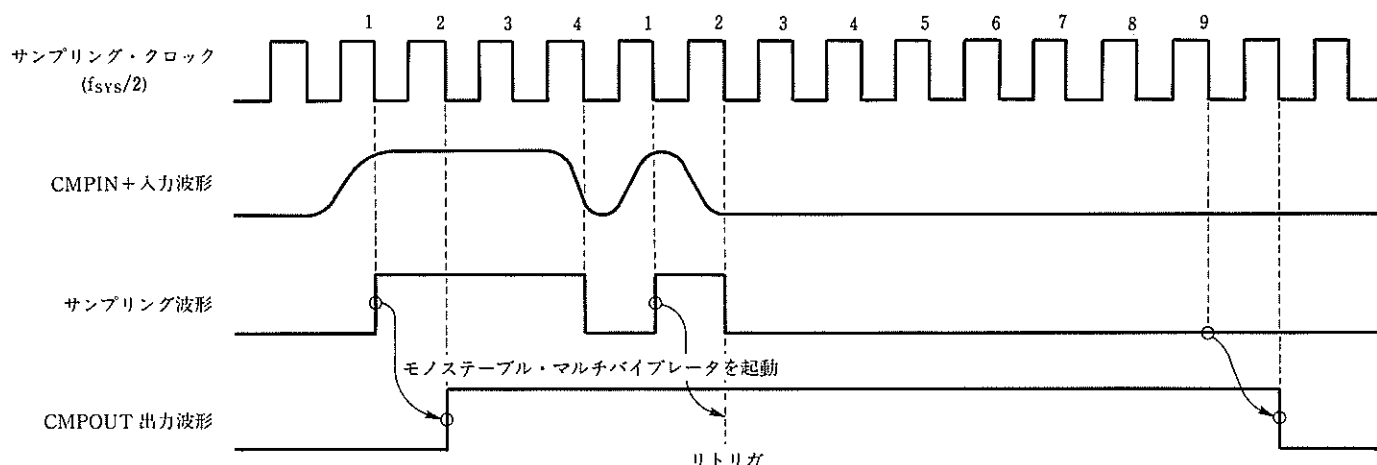
クロック・ノイズ除去回路では、アナログ回路で増幅された信号の波形を整形します。

アナログ回路のコンパレータ出力を、システム・クロックの $1/2$ 周期 ($f_{SYS}/2$) のクロックでサンプリングし、波形を整形します。

サンプリング・クロックの立ち下がりでコンパレータ出力のレベルを検知し、ハイ・レベルを検知したクロックを 1 発目とすると、サンプリング・クロックの 9 発目までの間 ($f_{SYS}=f_X=4$ MHz 時、4 μ s) は CMPOUT 端子からハイ・レベルを出力します。

また、ハイ・レベル出力期間中にいったんコンパレータ出力のロウ・レベルを検知したのち、再度ハイ・レベルを検知すると、リトリガとなり、リトリガした立ち下がりクロックから 9 発目までハイ・レベル期間が延長されます。

図 7-1 クロック・ノイズ除去回路出力



7.1.3 エンベロープ回路

エンベロープ回路では、リモコン用キャリアを連続して受信している間はハイ・レベル出力を維持できるように波形を整形します。

クロック・ノイズ除去回路の出力または TM0IN 端子入力 (TM0INEN で選択) をシステム・クロックの $1/16$ 周期 ($f_{SYS}/16$) のクロックでサンプリングし、波形を整形します。

サンプリング・クロックの立ち上がりでレベルを検知し、ハイ・レベルを検知すると、一定期間、ハイ・レベル出力 (エンベロープ出力) されますが、その期間を 4 段階まで設定できます。

$f_{SYS}=f_X=4\text{ MHz}$ のとき、エンベロープ最大出力時間として $16\ \mu\text{s}$, $32\ \mu\text{s}$, $64\ \mu\text{s}$, $128\ \mu\text{s}$ の 4 段階をレジスタ・ファイル上のビット ENVCK0, ENVCK1 で設定できます。

なお、連続してエンベロープ出力をハイ・レベルにするには、入力波形間隔を (設定したエンベロープ出力時間 - サンプリング・クロック時間) 以内にしてください。また、TM0IN 端子から直接パルスを入力する場合は、システム・クロックの $1/2$ 周期 ($f_{SYS}/2$) 以下のハイ・レベル幅は検知しない可能性がありますので、注意してください。

注意 入力レベルがハイ・レベルのままだと、エンベロープ出力は 1 回で終わります (リトリガはかかりません)。連続してエンベロープ出力をハイ・レベルにするには、必ず一度ロウ・レベル ($f_{SYS}/2$ 周期以上) を入力してエンベロープ回路をリセットし、リトリガがかかる状態にしてください。

エンベロープ出力レベルは、INTENV フラグ (RF : 0FH) で検出できます。また、割り込み検出フラグの IEGENVM0, IEGENVM1 の値により、設定された検出エッジで割り込み要求フラグ (IRQENV) がセットされます。

エンベロープ波形例 (ENVCK1=1, ENVCK0=1 設定時)

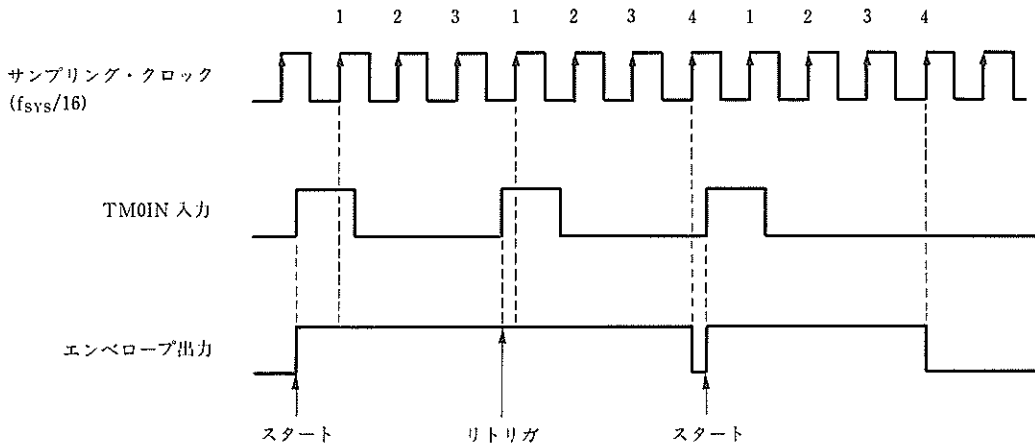


図 7-2 エンベロープ時間制御レジスタ

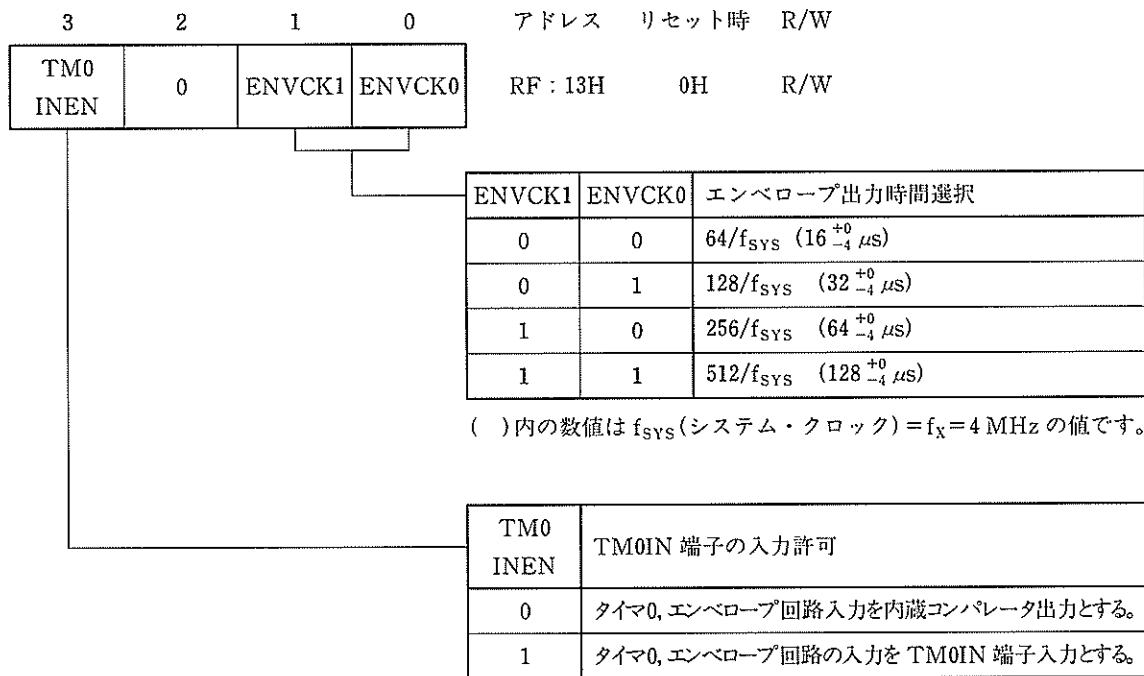


図 7-3 INT, INTENV フラグ

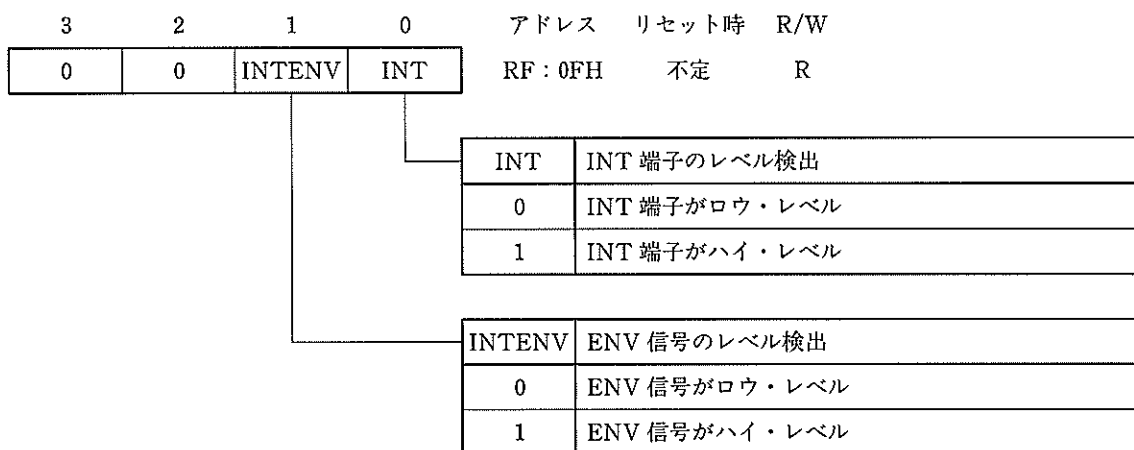


図 7-4 割り込み検出エッジ選択フラグ

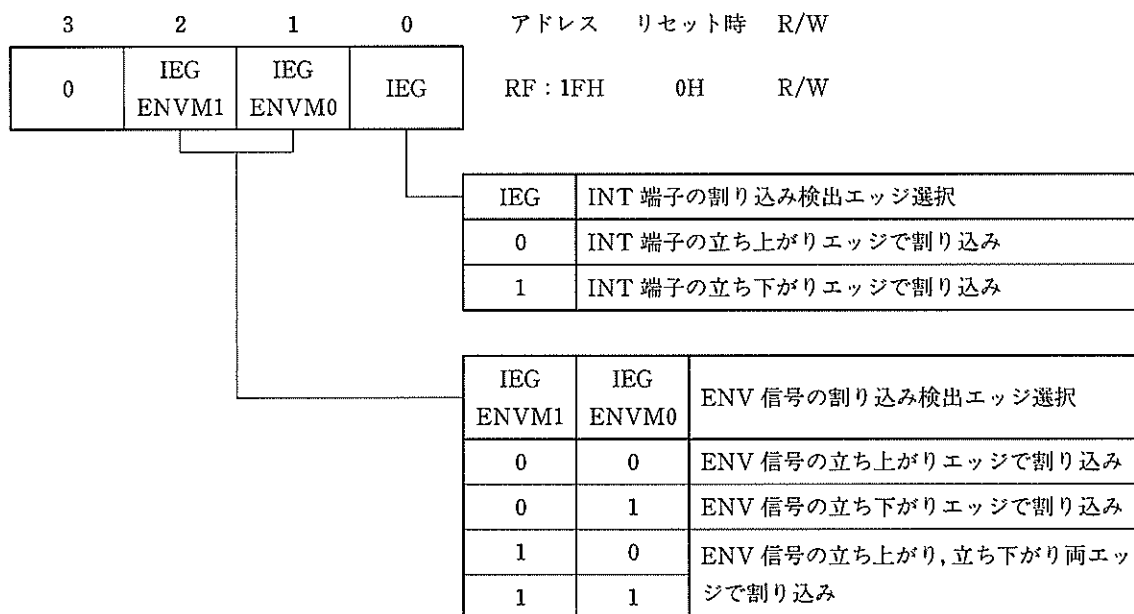
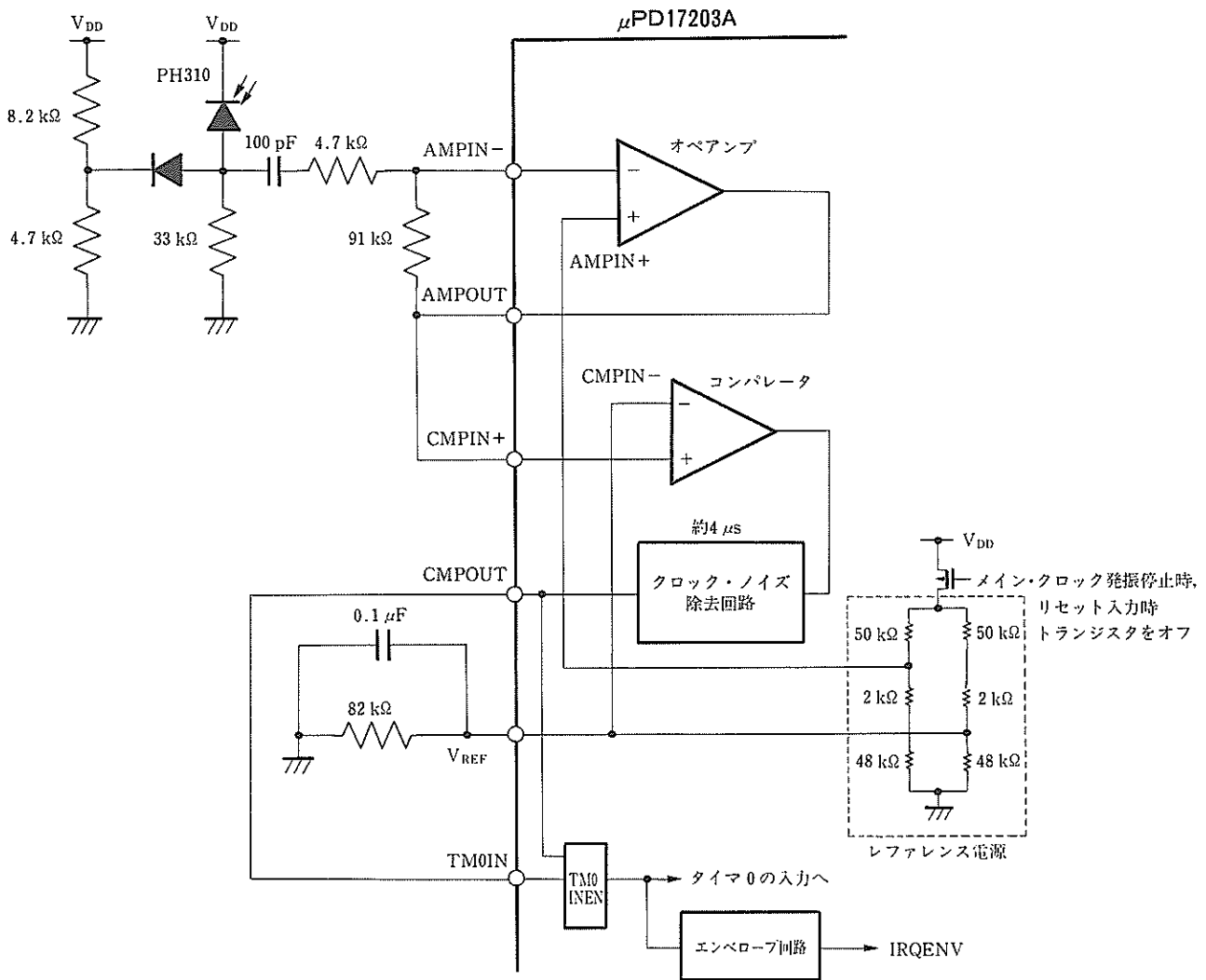


図 7-5 μ PD17203A 内蔵プリアンプ等価回路



備考 レファレンス電源内の抵抗誤差は、-50~+100%と考えてください (相対誤差 \pm 5%以内)。

8. シリアル・インタフェース

シリアル・インタフェースは、8ビット・シフト・レジスタ、4ビットのシフト・モード・レジスタ、3ビット・カウンタで構成され、シリアル・データの入出力に使用します。

8.1 シリアル・インタフェースの機能

8.1.1 クロック同期8ビット送受信動作（同時送受信）

シリアル・データの入出力はシリアル・クロックによって制御されます。シリアル・クロック ($\overline{\text{SCK}}$ 信号) の立ち下がりでシフト・レジスタの最上位ビット (第7ビット) がSOラインより出力され、立ち上がりでシフト・レジスタの内容が1ビット・シフト (第nビット→第n+1ビット) されると同時に、SIライン上のデータがシフト・レジスタの最下位ビット (第0ビット) にロードされます。

3ビット・カウンタ (8進カウンタ) はシリアル・クロックをカウントし、8回カウントする (8ビット・シリアル・データの転送終了) ごとにシフト終了信号を発生し割り込み要求フラグ (IRQSIO) をセットします。

8.1.2 クロック同期8ビット受信動作 (SO 出力ハイ・インピーダンス)

動作は送受信の場合と同一ですが、SO端子は出力ハイ・インピーダンスとなり、シリアル・データは出力されません。したがって、SO端子をポートとしてデータ入力することができます。

8.2 シリアル・インタフェースの動作

8.2.1 シリアル・インタフェース動作モード

PIC₀-PIC₂ はSIOENの値が“1”のときは、シリアル・インタフェース・モードに設定されます。SIOENの値が“0”のときは、PIC₀-PIC₂ はポート・モードに設定されます。このモードではシリアル転送は行われません。シフト・レジスタは、通常の8ビット・レジスタとして利用可能です。

8.2.2 シリアル動作モード

シリアル動作モードはSIOHIZの値によって設定し、“0”でシリアル送受信モード、“1”でシリアル受信モードとなり、動作タイミングは図8-1のようになります。2つのモードの違いは、SO端子からシリアル・データが出力されるか、出力されずにSO端子がハイ・インピーダンスになるかということだけです。

シリアル・データ送信の場合は、PUT命令によりDBF (データ・バッファ) を介してシフト・レジスタに送信データをセットしたあと、SIOTSの値を“1”にすることで転送をスタートさせます。8ビット転送が終了すると自動的にSIOTSの値が“0”にリセットされ、IRQSIOフラグの値が“1”にセットされ割り込みが発生します。割り込み受け付けを禁止した場合はSIOTSかIRQSIOフラグの値を参照することで転送終了を確認します。

シリアル・データ受信もSOからデータが出力されるか否かの違いで動作はシリアル・データ送信と同様です。

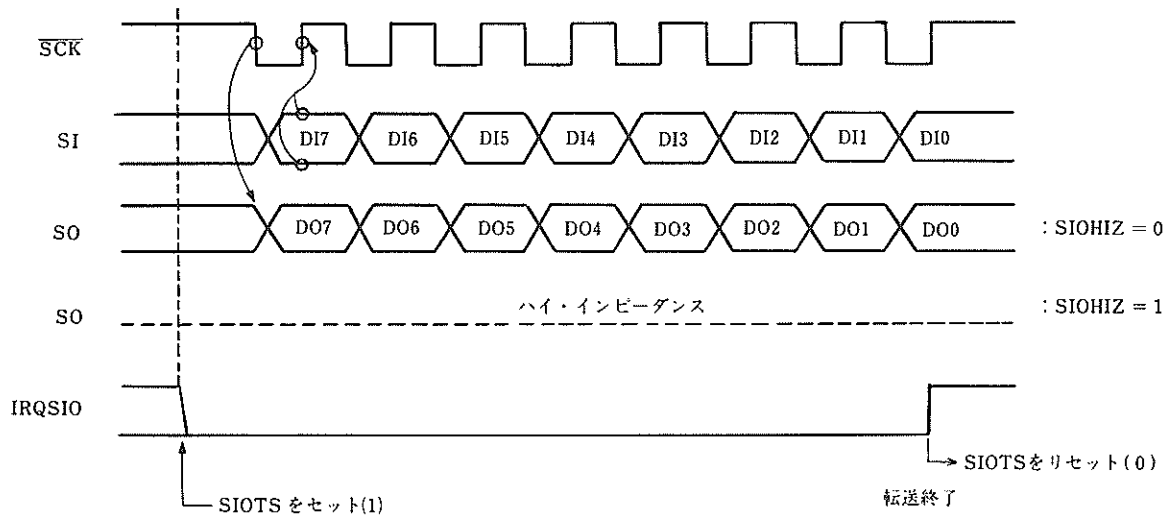
SIOCK1, SIOCK0の設定によりシリアル・クロック・ソースとして内部クロック3種類と外部クロック1種類の合計4種類のクロックから選択できます。

内部クロックを選択した場合、そのクロックがSIOTSの値を“1”にすることによりシリアル・インタフェースに供給され、シリアル・データの入出力を制御する一方、 $\overline{\text{SCK}}$ 端子より出力されます。シリアル・クロックが8回供給されると自動的にSIOTSが“0”にリセットされ、シリアル・インタフェースへのクロックの供給は停止されます。そして $\overline{\text{SCK}}$ 出力はハイ・レベルに保持されます。また、割り込み要求フラグ (IRQSIO) が“1”にセットされます。

外部クロックを選択した場合は、 $\overline{\text{SCK}}$ 端子から与えられるクロックが SIOTS の値を “1” にすることにより、シリアル・インタフェースに供給されます。この場合も外部からシリアル・クロックが 8 回与えられると SIOTS の値が “0” にリセット、または IRQSIO フラグの値が “1” にセットされ、シリアル・インタフェースへのクロックの供給は停止され、シリアル・データの入出力は停止します。なお IRQSIO フラグの値は SIOTS の値を “1” にセットすると自動的に “0” にリセットされます。したがって、プログラムによって IRQSIO フラグのリセットを行う必要はありません。

シリアル・データの入出力は SIOTS の値を強制的に “0” にすることにより停止することができます。ただし、これはデータ入出力の強制終了であり、停止した状態から再開することはできません。

図 8-1 シフト・タイミング



備考 DI : シリアル・データの入力
DO : シリアル・データの出力

図 8-2 シフト・レジスタのデータ転送

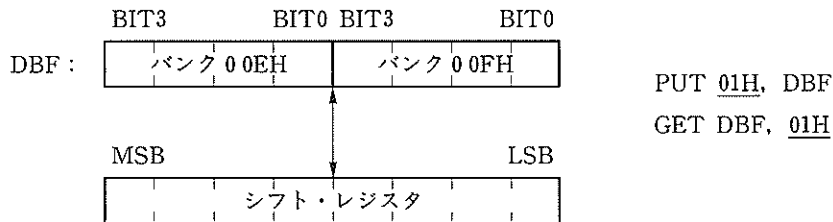
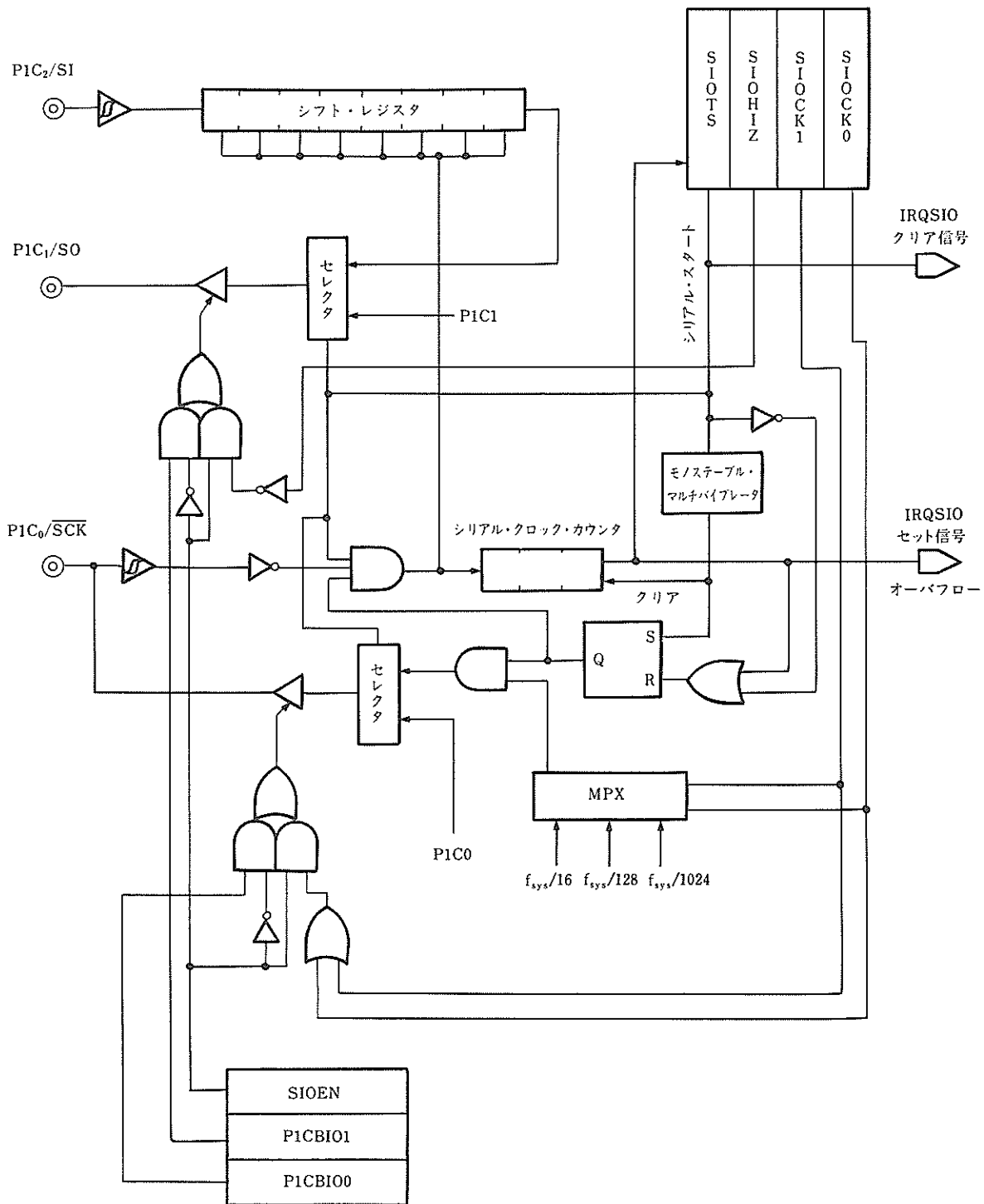


図 8-3 シリアル I/O 制御レジスタ



注意 シリアル・クロック・ソースの選択 (SIOCK0, SIOCK1 の設定) とシフト開始 (SLOTS への “1” 書き込み) は同時には行わないでください。

図 8-4 シリアル・インタフェース・ブロック図



9. スタティック RAM (XRAM)

μPD17203A は、スタティック RAM を 4096×4 ビット^{注1}持っています。

このメモリをアクセスする場合は、アドレスを DBF を介して周辺アドレス上の XRAMSTRT (12ビット) または、データ・メモリ上の XRAMADR0-XRAMADR2 (BANK2, 70-72H) に設定します。データのリード/ライトは、XRAM (BANK2, 73H) をアクセスして実行します。XRAM をアクセスするごとにアドレスはインクリメントされます。

XRAMSTRT と XRAMSTP が一致すると、そのあと XRAM をアクセス (リード/ライト) してもアドレスはインクリメントされず、“XRAMSTP - 1” 番地のデータをアクセスし続けますので、注意してください。XRAMSTRT (または XRAMADR0-XRAMADR2) が FFFH ^{注2}の場合に XRAM をアクセスすると、000H にインクリメントされ、動作は継続されます。

なお、DBF を介してレジスタ・ファイル上の XRAMSTP にあらかじめ“アクセス終了アドレス+1”を設定しておく、XRAMSTRT と XRAMSTP が一致した場合にインタラプト信号 IRQXRAM が発生されます。

注 1. μPD17204 : 2048×4 ビット

2. μPD17204 : 7FFH

注意 スタティック RAM をアクセスする際は、必ず XRAMSTP をあらかじめ設定してください。

XRAMSTRT と XRAMSTP の値を同じ値にすると、XRAM をアクセスする前に割り込み信号 IRQXRAM がセットされますので注意してください。

例 1. スタティック RAM のクリア

000H 番地から 0FFH 番地の SRAM をクリアする (XRAMSTP=100H に設定)

```

MOV    DBF3, #0           ; スタート・アドレス (000H) の設定
MOV    DBF2, #0           ;
MOV    DBF1, #0           ;
MOV    DBF0, #0           ;
PUT    XRAMSTRT, DBF      ;

```

```

MOV    DBF3, #0           ; エンド・アドレス (100H) の設定
MOV    DBF2, #1           ; (エンド・アドレス=終了番地+1)
MOV    DBF1, #0           ;
MOV    DBF0, #0           ;
PUT    XRAMSTP, DBF      ;

```

```

BANK2          ; バンク 2 に設定

```

RAM_ CLEAR :

```

MOV    XRAM, #0          ; 指定範囲の SRAM に 0H を書き込む
SKT1   IRQXRAM           ; 指定範囲 (000H-0FFH) のクリアが完了か
BR     RAM_ CLEAR        ; いいえ
                                ; はい

```

```

BANK0          ;

```

例 2. スタティック RAM のリード

130H 番地から13FH 番地の SRAM 内容を読み出す (XRAMSTP=140H に設定)

```

WORK    MEM    0.00H

MOV     DBF3, #0           ; スタート・アドレス (130H) の設定
MOV     DBF2, #1           ;
MOV     DBF1, #3           ;
MOV     DBF0, #0           ;
PUT     XRAMSTRT, DBF      ;

MOV     DBF3, #0           ; エンド・アドレス (140H) の設定
MOV     DBF2, #1           ; (エンド・アドレス=終了番地+1)
MOV     DBF1, #4           ;
MOV     DBF0, #0           ;
PUT     XRAMSTP, DBF      ;

MOV     RPH, #0010B        ; XRAM をレジスタとして使用
MOV     RPL, #1110B        ;

MOV     IXH, #0            ; インデクス・レジスタ設定
MOV     IXM, #0            ;
MOV     IXL, #0            ;

SRAM_ READ :
SET1    IXE                ; 指定範囲の SRAM 内容をワーク・エリア
ST      WORK, XRAM         ; (0.00H-0.0FH) に読み出す
CLR1    IXE                ;
INC     IX                 ; インデクス・レジスタをインクリメントする

SKT1    IRQXRAM            ; 読み出しが終了か
BR      SRAM_ READ         ; いいえ
                          ; はい

MOV     RPH, #0            ;
MOV     RPL, #0            ;

```

例3. スタティック RAM のライト

200H 番地から20FH 番地の SRAM に 0AH を書き込む (XRAMSTP=210H に設定)

```
MOV    DBF3, #0           ; スタート・アドレス (200H) の設定
MOV    DBF2, #2           ;
MOV    DBF1, #0           ;
MOV    DBF0, #0           ;
PUT    XRAMSTRT, DBF      ;
```

```
MOV    DBF3, #0           ; エンド・アドレス (210H) の設定
MOV    DBF2, #2           ; (エンド・アドレス=終了番地+1)
MOV    DBF1, #1           ;
MOV    DBF0, #0           ;
PUT    XRAMSTP, DBF      ;
```

```
BANK2           ; バンク2 に設定
```

RAM_ WRITE :

```
MOV    XRAM, #0AH        ; 指定範囲の SRAM に 0AH を書き込む
★ SKT1  IRQXRAM          ; 指定範囲 (200H-20FH) の書き込みが完了か
BR     RAM_ WRITE        ; いいえ
                               ; はい
BANK0           ;
```

10. 割り込み機能

10.1 割り込み要因

割り込み要因は、8つあります。

割り込みが受け付けられると、プログラムの流れは、自動的に決められた番地に変わります。このアドレスを、ベクタ・アドレスと呼び、各割り込み要因ごとに表 10-1 のようになっています。

表 10-1 ベクタ・アドレス

優先順位	割り込み要因	内部/外部	ベクタ・アドレス
1	エンベロープ回路出力の立ち上がり、立ち下がりエッジ、または両エッジ	内部	8 H
2	タイマ2	内部	7 H
3	タイマ0	内部	6 H
4	タイマ1	内部	5 H
5	INT 端子入力の立ち上がり、立ち下がりエッジ	外部	4 H
6	時計用タイマ	内部	3 H
7	シリアル I/O	内部	2 H
8	XRAM アドレス	内部	1 H

複数の割り込み要求が同時に発行された場合、優先度の高い割り込み要求から順に受け付けられます。

割り込みの受け付けの許可/禁止は、EI 命令および DI 命令により行います。割り込みを受け付ける基本条件は、EI 命令によって割り込み許可状態になっていることです。DI 命令実行中または割り込み受け付け中は、割り込み禁止状態になります。

割り込み終了後に再度割り込み受け付けを許可するには、RETI 命令の直前に EI 命令を実行する必要があります。

なお、EI 命令によって割り込みの受け付けが許可されるのは、次の命令の実行が終了したあとになっているので、EI 命令と RETI 命令の間に割り込みが受け付けられることはありません。

注意 割り込み処理において、ハードウェアにより自動的にスタックに退避されるのは、BCD, CMP, CY, Z, IXE の各フラグのみで、最大3レベルまでです。また、割り込み処理の内容において、周辺ハードウェア（タイマ、シリアル・インタフェースなど）をアクセスする場合には、DBF, WR の内容はハードウェアでは退避されません。したがって、割り込み処理の最初に DBF および WR をソフトウェアにより RAM 上に退避し、割り込み処理終了直前に退避した内容をもとに戻すことをおすすめします。

★

10.2 割り込み制御回路の各種ハードウェア

★

次に、割り込み制御回路の各フラグについて説明します。

(1) 割り込み要求フラグ、割り込み許可フラグ

割り込み要求フラグ (IRQ×××) は、割り込み要求発生でセット(1)され、割り込み処理が実行されると自動的にクリア(0)されます。

割り込み許可フラグ (IP×××) は、各割り込み要求フラグに対応して個別に備わっており、内容が“1”のとき割り込みを許可し、“0”のとき禁止します。

(2) EI/DI 命令

受け付けた割り込みを実行するかどうかは、EI/DI 命令によって指定します。

EI 命令を実行すると、割り込みを受け付け可能とする INTE (インタラプト・イネーブル・フラグ) をセット (1) します。INTE フラグは、レジスタ・ファイル上には登録されていません。このため、命令等により、フラグの状態を確認することはできません。

DI 命令は INTE フラグを “0” にクリアして、すべての割り込みを禁止します。

また、リセット時にも INTE フラグはクリア (0) され、すべての割り込みは禁止状態になります。

表 10-2 割り込み要求フラグと割り込み許可フラグ

割り込み要求フラグ	割り込み要求フラグのセット信号	割り込み許可フラグ
IRQENV	エンベロープ回路出力の立ち上がり、立ち下がり、両エッジによりセット	IPENV
IRQTM2	タイマ 2	IPTM2
IRQTM0	タイマ 0	IPTM0
IRQTM1	タイマ 1	IPTM1
IRQ	INT 端子入力信号の立ち上がり/立ち下がりのエッジ検出によりセット	IP
IRQWTM	時計用タイマからの割り込み要求信号の発生間隔は、WTMMD フラグ (RF: 03H, ビット 2) により選択	IPWTM
IRQSIO	シリアル・インタフェースからのシリアル・データ転送動作終了信号によりセット	IPSIO
IRQXRAM	XRAM アドレス一致によりセット	IPXRAM

10.2.1 INT

INT 端子の状態を読むフラグです。

INT 端子にハイ・レベルが入力されているときは “1”，ロウ・レベルが入力されているときは “0” となります。

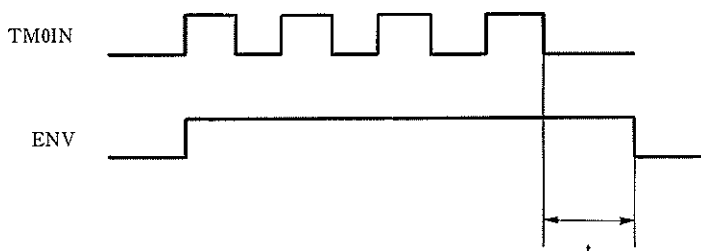
10.2.2 INTENV

内部エンベロープ回路出力 (ENV 信号) の状態を示すフラグです。

ENV 信号がハイ・レベルの場合 “1” に、ロウ・レベルの場合 “0” になります。

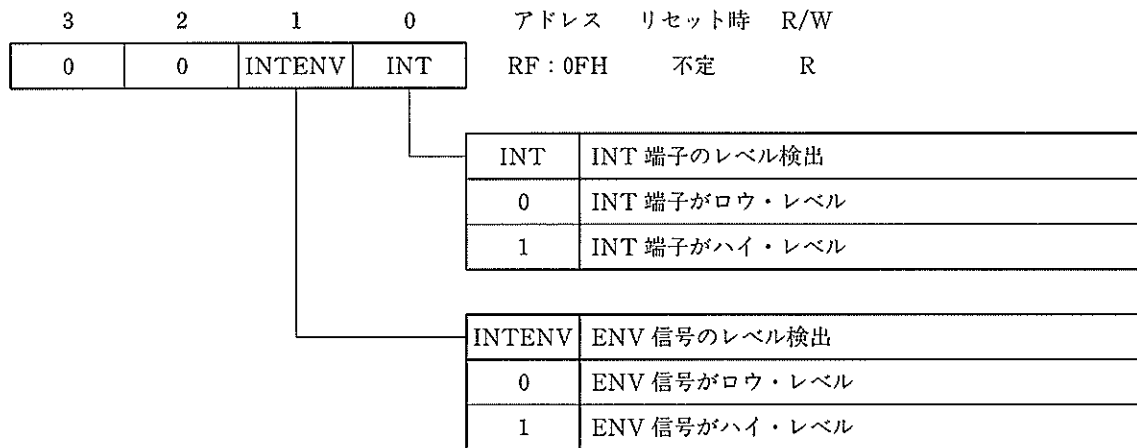
ENV 信号は、TM0IN 端子に入力される信号のハイ・レベル幅を、ENVCK0, ENVCK1 で指定されたエンベロープ時間だけ広げた信号です。

図 10-1 内部エンベロープ回路出力の波形



t: ENVCK0, ENVCK1 で指定したエンベロープ時間

図 10-2 INT, INTENV フラグ



10.2.3 IEG

INT 端子の割り込み検出エッジを選択するフラグです。

“0” にすると立ち上がりエッジで割り込みがかかり，“1” にすると立ち下がりエッジで割り込みがかかります。

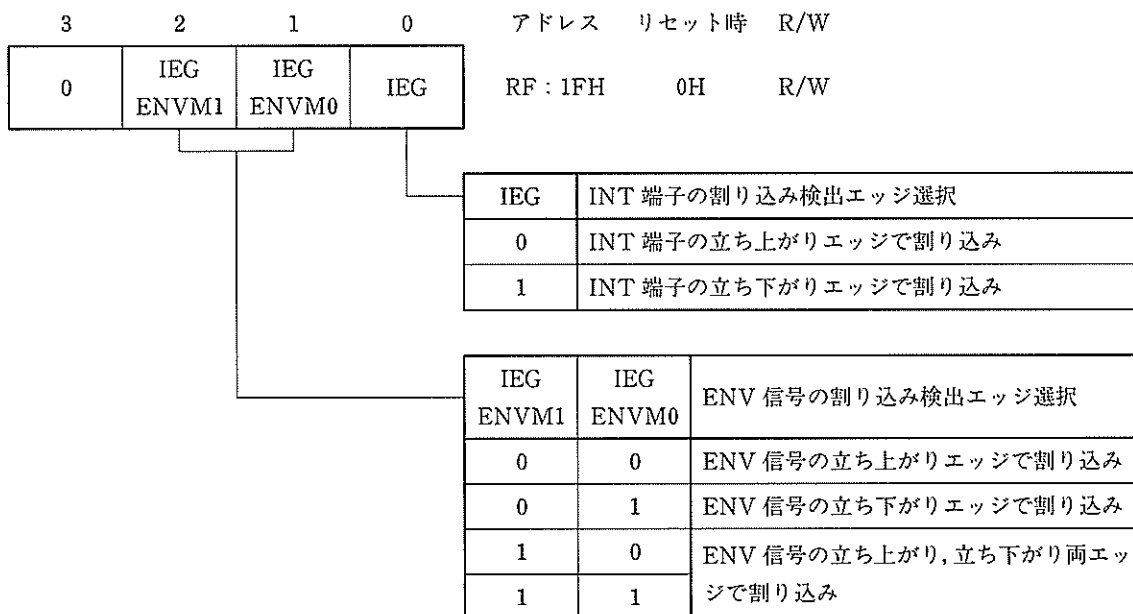
10.2.4 IEGENVM0, IEGENVM1

ENV 信号の割り込み検出エッジを選択するフラグです。

IEGENVM1 = 0 のとき IEGENVM0 を “0” にすると立ち上がりエッジで割り込みがかかり，“1” にすると立ち下がりエッジで割り込みがかかります。

また IEGENVM1 = 1 とすると立ち上がり、立ち下がり両エッジで割り込みがかかります。

図 10-3 割り込み検出エッジ選択フラグ



10.2.5 割り込み許可フラグ

各割り込み要因ごとの割り込みを許可するフラグです。“1”にすると割り込みが可能です。“0”にすると割り込みは、禁止されます。

図 10-4 割り込み許可フラグ (1/2)

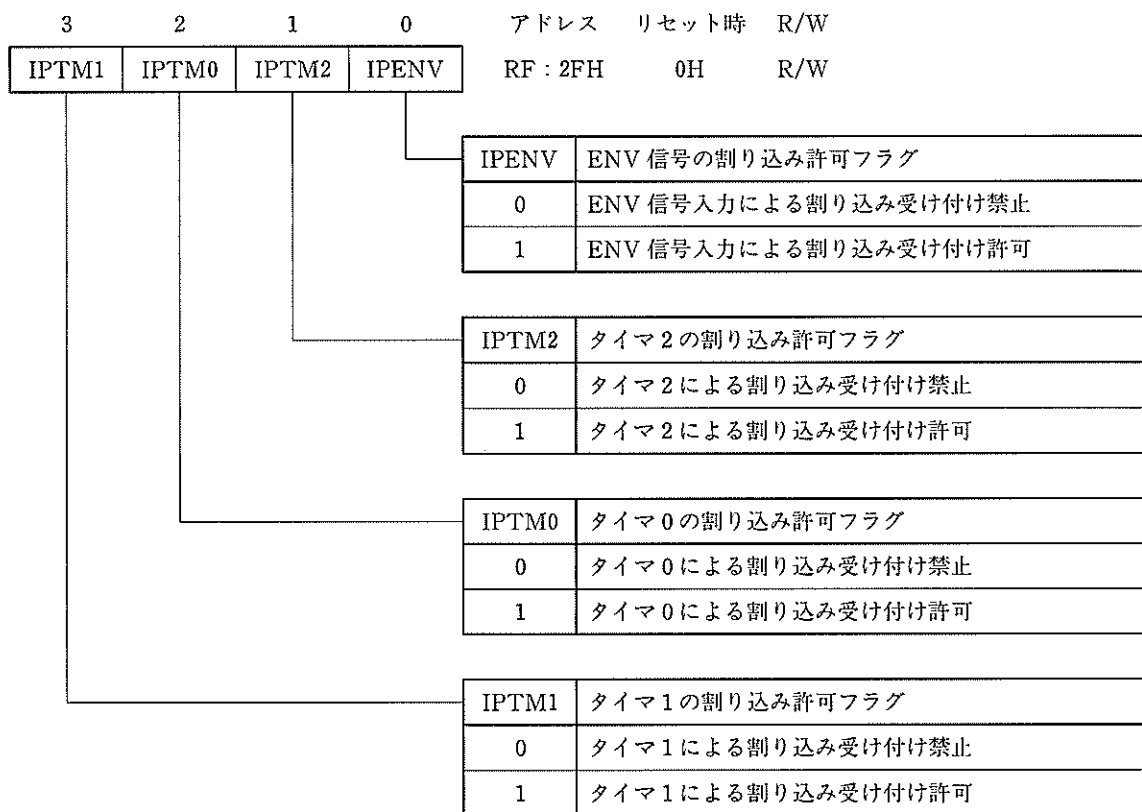
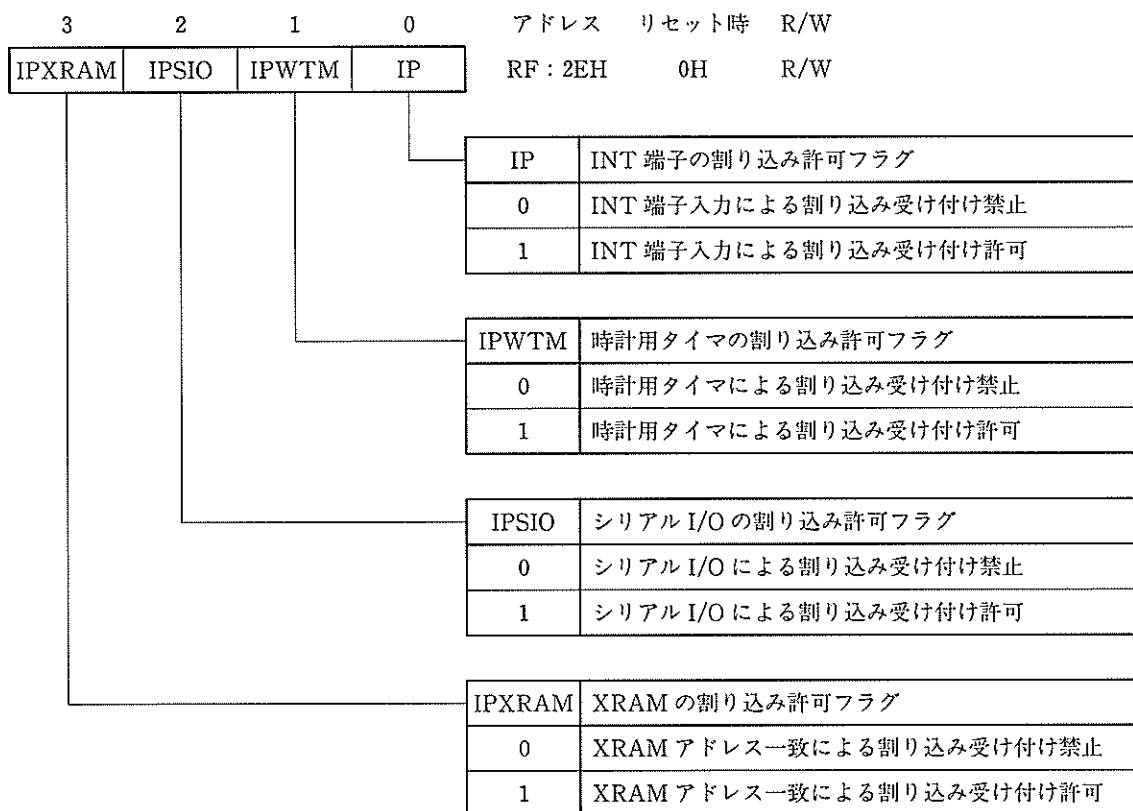


図 10-4 割り込み許可フラグ (2/2)

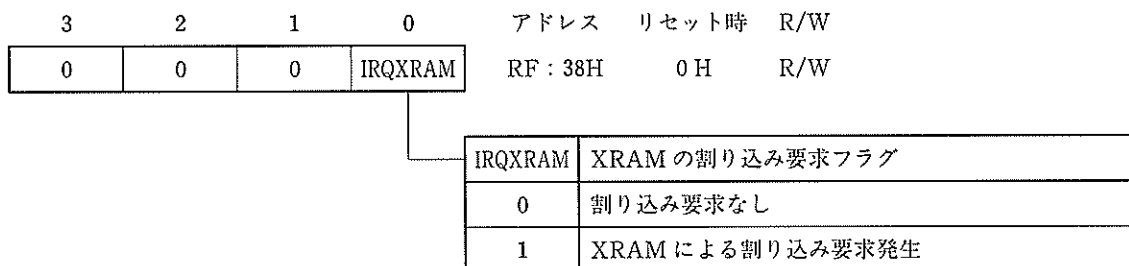


10.2.6 割り込み要求フラグ

割り込み要求状態を示す割り込み要求フラグです。

割り込み要求が発生すると“1”にセットされます。そして割り込みが受け付けられる（割り込みがかかる）と、割り込み要求フラグは、“0”にリセットされます。

割り込み要求フラグは、プログラムで読み書きができます。したがって“1”を書き込むと、ソフトウェアによる割り込みを発生させることができ、“0”を書き込むことにより、その割り込み保留状態を解除することができます。



3	2	1	0	アドレス	リセット時	R/W
0	0	0	IRQWTM	RF : 3AH	0 H	R/W

IRQWTM	時計用タイマの割り込み要求フラグ
0	割り込み要求なし
1	時計用タイマによる割り込み要求発生

3	2	1	0	アドレス	リセット時	R/W
0	0	0	IRQ	RF : 3BH	0 H	R/W

IRQ	INT 端子の割り込み要求フラグ
0	割り込み要求なし
1	INT 端子による割り込み要求発生

3	2	1	0	アドレス	リセット時	R/W
0	0	0	IRQTM1	RF : 3CH	0 H	R/W

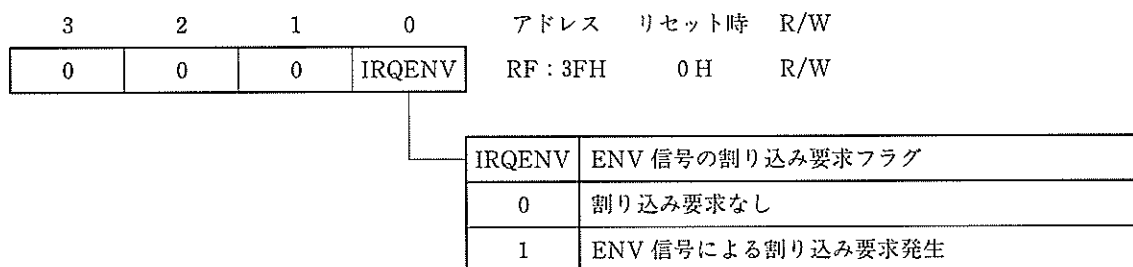
IRQTM1	タイマ1の割り込み要求フラグ
0	割り込み要求なし
1	タイマ1による割り込み要求発生

3	2	1	0	アドレス	リセット時	R/W
0	0	0	IRQTM0	RF : 3DH	0 H	R/W

IRQTM0	タイマ0の割り込み要求フラグ
0	割り込み要求なし
1	タイマ0による割り込み要求発生

3	2	1	0	アドレス	リセット時	R/W
0	0	0	IRQTM2	RF : 3EH	0 H	R/W

IRQTM2	タイマ2の割り込み要求フラグ
0	割り込み要求なし
1	タイマ2による割り込み要求発生



10.3 割り込みシーケンス

IP××フラグが“1”の場合、IRQ××フラグが“1”にセットされると IRQ××フラグがセットされた時点に実行していた命令の命令サイクル終了後に割り込み処理を開始します。MOV_T 命令は 2 命令サイクルで動作するため、この命令実行中の割り込みは第 2 命令サイクル終了後に処理を開始します。

IP××フラグが“0”の場合は、IRQ××フラグがセットされても IP××フラグがセットされるまで割り込み処理は行われません。

複数の割り込みが同時に許可される状態になったときは、優先度の高い順に割り込み処理が行われて、優先度の低い割り込み処理は優先度の高い割り込みが終了されるまで保留されます。

10.3.1 割り込み受け付け時の動作

割り込みが受け付けられると、CPU は次の順に処理を行います。

- (1) 受け付けられた割り込みに対する IRQ××フラグを“0”にリセットする。
- (2) スタック・ポインタの値を-1する。
- (3) プログラム・カウンタの内容をスタック・ポインタで指定されるアドレス・スタック・レジスタ (ASR) に待避する。
- (4) ベクタ・アドレスをプログラム・カウンタにロードする。
- (5) バンク・レジスタ (BANK) とインデクス・イネーブル・フラグ (IXE) の内容を割り込みスタック (割り込みスタックは 3 レベルしかありません) に待避する。

この処理を行うために、1 命令サイクルの時間が費やされます。

10.3.2 割り込み処理ルーチンからの復帰

割り込みルーチンから復帰するときは RETI 命令を実行します。

すると、以下の処理が命令サイクル内に行われます。

- (1) スタック・ポインタで指定されるアドレス・スタック・レジスタ (ASR) の内容をプログラム・カウンタにロードする。
- (2) 割り込みスタックの内容をバンク・レジスタとインデクス・イネーブル・フラグにロードする。
- (3) スタック・ポインタの値を+1する。

割り込み終了後に再度割り込み受付を許可する場合は、RETI 命令を実行する直前に EI 命令を実行する必要があります。

なお、EI 命令によって割り込みの受付が許可されるのは、次の命令の実行が終了したあとになっているので、EI 命令と RETI 命令の間に割り込みが受け付けられることはありません。

11. スタンバイ機能

μPD17203Aには、スタンバイ機能としてHALTモードとSTOPモードがあります。

スタンバイ機能を使用することにより消費電流を低減することができます。

HALTモードは、メイン・クロックを停止させない状態でHALT解除条件が成立するまで待機している状態で、プログラムの実行を行いません。

STOPモードは、メイン・クロックを停止させた状態でSTOP解除条件が成立するまで待機している状態で、プログラムの実行を行いません。

HALT命令を実行することによりHALTモードになり、STOP命令を実行することによりSTOPモードになります。

- ★ **注意** HALT 8H命令の直前に、割り込み許可フラグ (IP×××) がセットされている割り込み要求フラグ (IRQ×××) のクリア命令を行わないでください。行くとHALTモードに入らないことがあります。

11.1 HALTモード

HALTモードは、メイン・クロックを発振させた状態でプログラムの実行を一時停止させ、消費電流を抑えるときに使用します。

HALTモードの設定はHALT命令を使用します。

HALTモードの解除条件は、HALT命令のオペランドにより表11-1のように指定できます。

表 11-1 HALTモードの解除条件

オペランドの値	解 除 条 件
0010B (02H)	8ビット・タイマTM0の割り込み要求 (IRQTM0) が発生したとき (IPTM0には無関係)
1000B (08H)	①割り込み許可フラグ(IP×××, IP)がセットされている割り込みに対し、割り込み要求(IRQ×××, IRQ)が発生したとき ②P0A ₀ -P0A ₃ , P0B ₀ -P0B ₃ のいずれかの端子がロウ・レベルまたは出力モードになったとき
1010B (0AH)	①8ビット・タイマTM0の割り込み要求 (IRQTM0) が発生したとき (IPTM0には無関係) ②割り込み許可フラグ(IP×××, IP)がセットされている割り込みに対し、割り込み要求(IRQ×××, IRQ)が発生したとき
上記以外の値	設定禁止

11.2 HALT 命令の実行条件

HALT 命令および STOP 命令はプログラムの誤動作を防止するため、特定の条件でのみ実行されるようになっていいます。この条件を表11-2に示します。

表11-2の条件を満足しないとき HALT 命令は NOP 命令として扱われます。

表 11-2 HALT 命令の実行条件

オペランドの値	実行条件
0010B (02H)	① 8ビット・タイマ TM0 の割り込み要求フラグ (IRQTM0) がリセットされていること
1000B (08H)	① 割り込み許可フラグ (IP×××, IP) がセットされている割り込みに対する割り込み要求フラグ (IRQ×××, IRQ) がリセットされていること ② P0A ₀ -P0A ₃ , P0B ₀ -P0B ₃ のすべての端子を入力モードでハイ・レベルにすること
0101B (0AH)	① 8ビット・タイマ TM0 の割り込み要求フラグ (IRQTM0) がリセットされていること ② 割り込み許可フラグ (IP×××, IP) がセットされている割り込みに対する割り込み要求フラグ (IRQ×××, IRQ) がセットされていること
上記以外の値	設定禁止

★

11.3 STOP モード

STOP モードは、メイン・クロックの発振を停止させた状態でプログラムの実行を一時停止させ、消費電流を最小にするときに使用します。

STOP モードの設定は STOP 命令を使用します。

STOP 命令は、サブクロックのみのシステムでは無効です。システム・クロックとしてサブクロックを選択しているとき、すなわち SYSCK = 0 のとき、STOP 命令は NOP 命令として処理されます。

STOP モードの解除条件は、STOP 命令のオペランドにより表11-3のように指定できます。

STOP モード解除後の動作は以下ようになります。

- ① IRQTM0, IRQTM1, IRQTM2 のクリア
- ② 時計用タイマとウォッチドッグ・タイマのスタート (リセットされません)
- ③ タイマ/カウンタ TM0, TM1, TM2 のリセット/スタート
- ④ 8ビット・タイマ/カウンタ (TM0C) の値がモジュロ・レジスタ (TM0M) の値と一致したとき (IRQTM0 のセット), 「STOP 8H」の次の命令または割り込みベクタ・アドレスの次の命令を実行します。

注意 サブクロック使用時は、時計用タイマとウォッチドッグ・タイマは STOP モード中でも停止しません。

★

「STOP 8H」解除後、最初の命令を実行するまでの発振安定待ち時間は8ビット・タイマのモジュロ・レジスタの値を TM0M としたとき下記ようになります。

$$(TM0M+1) \times 1024/f_x [s] \quad (f_x: \text{システム・クロック周波数})$$

例 メイン・クロックとして 4 MHz の発振子を使用している場合の、STOP 解除から次の命令を実行するまでの時間

$$(TM0M+1) \times 256 [\mu s]$$

注意 STOP 8H 命令の直前に、割り込み許可フラグ (IP×××) がセットされている割り込み要求フラグ (IRQ×××) のクリア命令を行わないでください。行くと STOP モードに入らないことがあります。

★

表 11-3 STOP モードの解除条件

オペランドの値	解 除 条 件
1000B (08H)	①割り込み許可フラグ (IPENV, IPTM1, IP, IPWTM, IPSIO) がセットされている割り込みに対し割り込み要求 (IRQENV, IRQTM1, IRQ, IRQWTM, IRQSIO) が発生したとき ②P0A ₀ -P0A ₃ , P0B ₀ -P0B ₃ のいずれかの端子がロウ・レベルまたは出力モードになったとき
上記以外の値	設定禁止

★

11.4 STOP 命令の実行条件

STOP 命令はプログラムの誤動作を防止するため、特定の条件でのみ実行されるようになっています。この条件を表11-4に示します。

表11-4の条件を満足しないとき STOP 命令は NOP 命令として扱われます。

表 11-4 STOP 命令の実行条件

オペランドの値	実 行 条 件
1000B (08H)	①割り込み許可フラグ (IPENV, IPTM1, IP, IPWTM, IPSIO) がセットされている割り込みに対する割り込み要求フラグ (IRQENV, IRQTM1, IRQ, IRQWTM, IRQSIO) がリセットされていること ②P0A ₀ -P0A ₃ , P0B ₀ -P0B ₃ のすべての端子を入力モードでハイ・レベルにすること
上記以外の値	設定禁止

★

11.5 スタンバイ・モード解除後の動作

STOP モード, HALT モードの解除後の動作は、次のようになっています。

表 11-5 スタンバイ・モード解除後の動作

(a) HALT 08H, 0AH, STOP 08H のとき

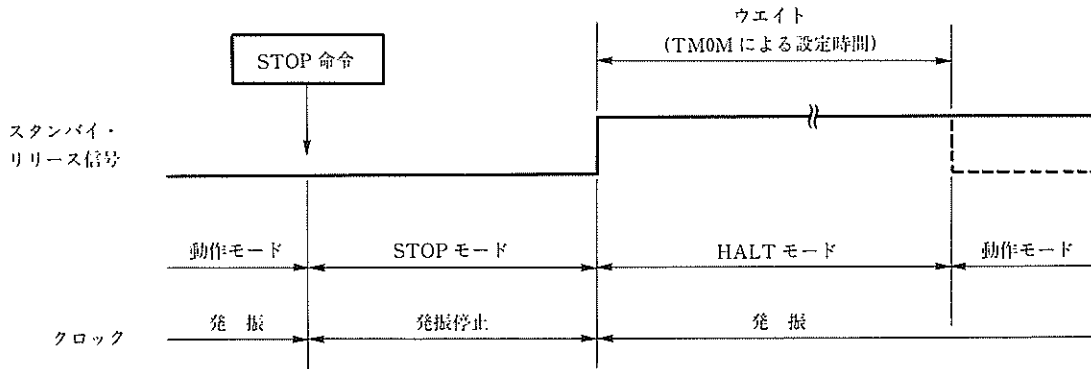
スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
P0A ₀ -P0A ₃ , P0B ₀ -P0B ₃ のロウ・レベル入力	任意	—	STOP, HALT 命令の次の命令から実行する
割り込み要求による解除条件 の成立	DI	禁止	スタンバイ・モードは解除されない
		許可	STOP, HALT 命令の次の命令から実行する
	EI	禁止	スタンバイ・モードは解除されない
		許可	割り込みのベクタ・アドレスに分岐する

(b) HALT 02H のとき

スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
IRQTM0 のセット	DI	任意	HALT 命令の次の命令から実行する
		禁止	HALT 命令の次の命令から実行する
	EI	許可	割り込みのベクタ・アドレスに分岐する

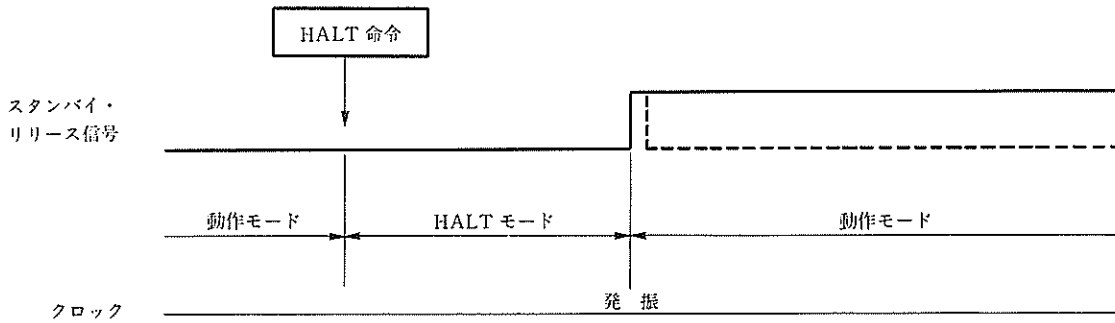
図 11-1 スタンバイ・モードの解除動作

(a) STOP モードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) HALT モードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

12. リセット

12.1 リセット信号入力によるリセット

$\overline{\text{RESET}}$ 端子に50 μs 以上のロウ・レベル信号を入力するとリセットがかかります。

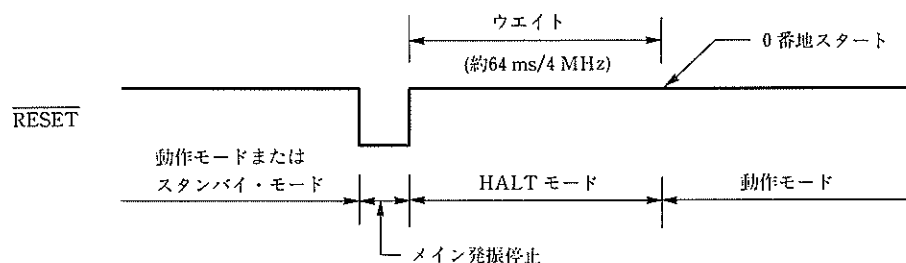
電源投入時には内部回路の動作が不定となるため、少なくとも1回はリセットをかけてください。

リセットがかかると以下の回路が初期化されます。

- ① プログラム・カウンタが0にリセットされます。
- ② レジスタ・ファイル内のフラグが初期化されます(初期値は図13-1 レジスタ・ファイルの一覧を参照してください)。
- ③ データ・バッファ (DBF) に初期値0320Hが書き込まれます。
- ④ 周辺ハードウェアが初期化されます。
- ⑤ メイン・クロック (X) の発振が停止します。

$\overline{\text{RESET}}$ 端子をロウ・レベルからハイ・レベルに立ち上げると、メイン・クロックの発振を開始し約64 ms 後($f_x = 4 \text{ MHz}$ のとき)、0番地からプログラムの実行を開始します。

図 12-1 $\overline{\text{RESET}}$ 入力によるリセット動作



12.2 ウォッチドッグ・タイマによるリセット ($\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続)

プログラム実行中にウォッチドッグ・タイマが働くとき $\overline{\text{WDOUT}}$ 端子にロウ・レベルを出力し、プログラム・カウンタを0にリセットします。

すなわち、一定時間ウォッチドッグ・タイマのリセットが行われないような状態になった場合、プログラムを0番地からリスタートさせることができます。

プログラム作成の際は340 ms ($f_x = 4 \text{ MHz}$ のとき) 以内の間隔でウォッチドッグ・タイマをリセットしてください (WDTRES フラグをセットする)。

12.3 スタック・ポインタによるリセット ($\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続)

プログラム実行中にスタック・ポインタが6Hあるいは7Hになると $\overline{\text{WDOUT}}$ 端子にロウ・レベルを出力し、プログラム・カウンタを0にリセットします。

すなわち、割り込みやサブルーチン・コールなどのネスティングが5レベル以上になった場合 (スタック・オーバフロー) や、CALL 命令とリターン (RET) 命令の対応がうまくとれずスタック・レベルが0であるにもかかわらずリターン命令を実行した場合 (スタック・アンダフロー) にプログラムを0番地からリスタートさせることができます。

表 12-1 各ハードウェアのリセット後の状態

★

ハードウェア		スタンバイ・モード中の RESET 入力	動作中の RESET 入力
プログラム・カウンタ (PC)		0 0 0 0 H	0 0 0 0 H
ポート	入力/出力	入力	入力
	出力ラッチ	0	0
データ・メモリ (RAM)	汎用データ・メモリ (DBF, ポート・レジスタを除く)	以前の状態を保持	不 定
	DBF	0 3 2 0 H	0 3 2 0 H
	システム・レジスタ (SYSREG)	0	0
	WR	以前の状態を保持	不 定
コントロール・レジスタ		図 13-1 レジスタ・ファイルの一覧参照	
8ビット・タイマ/カウンタ	カウンタ (TM0C)	0 0 H	0 0 H
	モジュロ・レジスタ (TM0M)	F F H	F F H
10ビット・タイマ/カウンタ	カウンタ (TM1C)	0 0 H	0 0 H
	モジュロ・レジスタ (TM1M)	F F H	F F H
16ビット・タイマ/カウンタ	カウンタ (TM2C)	0 0 H	0 0 H
スタティック RAM (XRAM)	XRAM のスタート・アドレス・ レジスタ (XRAMSTRT)	不 定	不 定
	XRAM のストップ・アドレス・ レジスタ (XRAMSTP)	不 定	不 定
リモコン用キャリア発生回路	NRZ ハイ・レベル期間設定用 モジュロ・レジスタ (NRZHTMM)	以前の状態を保持	不 定
	NRZ ロー・レベル期間設定用 モジュロ・レジスタ (NRZLTMM)		
シリアル・インタフェースのシフト・レジスタ (SIOSFR)		以前の状態を保持	不 定
リモコン用キャリア受信回路	エンベロープ時間制御レジスタ (ENVCTR)	0 0 H	0 0 H
時計用タイマ/ウォッチドッグ・タイマのカウンタ		0 0 H	0 0 H

13. アセンブラ予約語

13.1 マスク・オプション疑似命令

μPD17203A のプログラムを作成する場合、アセンブラのソース・プログラム中にマスク・オプション疑似命令を使用してマスク・オプションを指定する必要があります。

マスク・オプションの指定が必要な項目は以下のとおりです。

- P0A₀, P0A₁, P0A₂, P0A₃
- P0B₀, P0B₁, P0B₂, P0B₃
- $\overline{\text{RESET}}$
- SYSTEM CLOCK

13.1.1 OPTION, ENDOP 疑似命令

OPTION 疑似命令以降 ENDOP 疑似命令までをマスク・オプション定義ブロックとします。マスク・オプション定義ブロックの記述形式を以下に示します。

記述形式：

シンボル欄	ニモニック欄	オペラント欄	コメント欄
[レーベル:]	OPTION		[; コメント]
	⋮		
	ENDOP		

13.1.2 マスク・オプション定義疑似命令

マスク・オプション定義ブロック内で使用可能な疑似命令を表 13-1 に示します。

マスク・オプション定義の一例を以下に示します。

記述例：

シンボル欄	ニモニック欄	オペラント欄	コメント欄
	OPTION		
	OPTRES	OPEN	; リセット端子はプルアップ抵抗なし
	OPTP0A	P0APLUP, P0APLUP, P0APLUP, P0APLUP	; ポート 0A はすべてプルアップ抵抗内蔵
	OPTP0B	P0BPLUP, P0BPLUP, P0BPLUP, P0BPLUP	; ポート 0B はすべてプルアップ抵抗内蔵
	OPTCK	USEX, NOXT	; メイン・クロック使用, サブクロック使用せず

表 13-1 マスク・オプション定義疑似命令一覧

名 称	マスク・オプション 定義疑似命令	オペランド の 数	第 1 オペランド	第 2 オペランド	第 3 オペランド	第 4 オペランド
RESET	OPTRES	1	RESPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)			
P0A0-P0A3	OPTP0A	4	P0APLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0APLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0APLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0APLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)
P0B0-P0B3	OPTP0B	4	P0BPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0BPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0BPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0BPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)
SYSTEM CLOCK	OPTCK	2	USEX (メイン・クロックを使用) NOX (メイン・クロックを未使用)	USEXT (サブクロックを使用) NOXT (サブクロックを未使用)		

13.2 予約シンボル

μPD17203A のデバイス・ファイルで定義されているシンボルを表 13-2 に示します。

定義されているシンボルは、以下のコントロール・レジスタ名、ポート名、周辺ハードウェア名などです。

13.2.1 レジスタ・ファイル上のコントロール・レジスタ

バンク 0 のデータ・メモリ・アドレス 80H-BFH に割り当てられたコントロール・レジスタ名を定義しています。これらのレジスタは、PEEK, POKE 命令によって WR (ウィンドウ・レジスタ) を介してアクセスします。

図 13-1 にレジスタ・ファイルの一覧を示します。

13.2.2 データ・メモリ上のレジスタおよびポート

データ・メモリ・アドレスの 00H-7FH に割り当てられたレジスタおよび 70H 番地以後に実装されているポート名およびシステム・レジスタ名を定義しています。

図 13-2 にデータ・メモリの構成を示します。

13.2.3 周辺ハードウェア

GET, PUT 命令によってアクセスする周辺ハードウェア名を定義しています。

表 13-3 に周辺ハードウェアを示します。

表 13-2 予約シンボル一覧 (1/4)

名 前	属 性	値	R/W	説 明
DBF3	MEM	0.0CH	R/W	データ・バッファのビット15-ビット12
DBF2	MEM	0.0DH	R/W	データ・バッファのビット11-ビット8
DBF1	MEM	0.0EH	R/W	データ・バッファのビット7-ビット4
DEF0	MEM	0.0FH	R/W	データ・バッファのビット3-ビット0
★ XRAMADR2	MEM	2.70H	R/W	XRAM アドレス・レジスタのビット11-ビット8
★ XRAMADR1	MEM	2.71H	R/W	XRAM アドレス・レジスタのビット7-ビット4
★ XRAMADR0	MEM	2.72H	R/W	XRAM アドレス・レジスタのビット3-ビット0
XRAM	MEM	2.73H	R/W	XRAM データ
AR3	MEM	0.74H	R	アドレス・レジスタのビット15-ビット12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11-ビット8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7-ビット4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3-ビット0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタのビット11-ビット8
MPH	MEM	0.7AH	R/W	メモリ・ポインタのビット7-ビット4
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタのビット7-ビット4
MPL	MEM	0.7BH	R/W	メモリ・ポインタのビット3-ビット0
IXL	MEM	0.7CH	R/W	インデクス・レジスタのビット3-ビット0
RPH	MEM	0.7DH	R/W	レジスタ・ポインタのビット7-ビット4
RPL	MEM	0.7EH	R/W	レジスタ・ポインタのビット3-ビット0
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCD 演算フラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ
P0A0	FLG	0.70H.0	R/W	ポート 0A のビット 0
P0A1	FLG	0.70H.1	R/W	ポート 0A のビット 1
P0A2	FLG	0.70H.2	R/W	ポート 0A のビット 2
P0A3	FLG	0.70H.3	R/W	ポート 0A のビット 3
P0B0	FLG	0.71H.0	R/W	ポート 0B のビット 0
P0B1	FLG	0.71H.1	R/W	ポート 0B のビット 1
P0B2	FLG	0.71H.2	R/W	ポート 0B のビット 2
P0B3	FLG	0.71H.3	R/W	ポート 0B のビット 3
P0C0	FLG	0.72H.0	R/W	ポート 0C のビット 0
P0C1	FLG	0.72H.1	R/W	ポート 0C のビット 1
P0C2	FLG	0.72H.2	R/W	ポート 0C のビット 2
P0C3	FLG	0.72H.3	R/W	ポート 0C のビット 3

表 13-2 予約シンボル一覧 (2/4)

名 前	属 性	値	R/W	説 明
P0D0	FLG	0.73H.0	R/W	ポート 0D のビット 0
P0D1	FLG	0.73H.1	R/W	ポート 0D のビット 1
P0D2	FLG	0.73H.2	R/W	ポート 0D のビット 2
P0D3	FLG	0.73H.3	R/W	ポート 0D のビット 3
P1A0	FLG	1.70H.0	R/W	ポート 1A のビット 0
P1A1	FLG	1.70H.1	R/W	ポート 1A のビット 1
P1A2	FLG	1.70H.2	R/W	ポート 1A のビット 2
P1A3	FLG	1.70H.3	R/W	ポート 1A のビット 3
P1B0	FLG	1.71H.0	R/W	ポート 1B のビット 0
P1B1	FLG	1.71H.1	R/W	ポート 1B のビット 1
P1B2	FLG	1.71H.2	R/W	ポート 1B のビット 2
P1B3	FLG	1.71H.3	R/W	ポート 1B のビット 3
P1C0	FLG	1.72H.0	R/W	ポート 1C のビット 0
P1C1	FLG	1.72H.1	R/W	ポート 1C のビット 1
P1C2	FLG	1.72H.2	R/W	ポート 1C のビット 2
P1C3	FLG	1.72H.3	R/W	ポート 1C のビット 3
SP	MEM	0.81H	R/W	スタック・ポインタ
SYSCK	FLG	0.82H.1	R/W	システム・クロックの選択
XEN	FLG	0.82H.0	R/W	メイン・クロックの発振許可
WDTRES	FLG	0.83H.3	R	ウォッチドッグ・タイマ・リセット・フラグ
WTMMD	FLG	0.83H.2	R/W	時計用タイマ割り込み周期の選択
WTMRES	FLG	0.83H.1	R	時計用タイマのリセット
INTENV	FLG	0.8FH.1	R	TM0IN 端子の状態
INT	FLG	0.8FH.0	R	INT 端子の状態
NRZBF	FLG	0.91H.0	R/W	NRZ データ・バッファ
NRZ	FLG	0.92H.0	R/W	NRZ データ
TM0INEN	FLG	0.93H.3	R/W	TM0IN の許可
ENVCK1	FLG	0.93H.1	R/W	エンベロープのクロック選択
ENVCK0	FLG	0.93H.0	R/W	エンベロープのクロック選択
TM0TM1EN	FLG	0.94H.1	R/W	タイマ 0, タイマ 1 のスタート
TM0EXCK	FLG	0.94H.0	R/W	タイマ 0 外部クロック・ソース選択フラグ
P1CBPU3	FLG	0.95H.3	R/W	P1C3 プルアップ抵抗 有/無
P1CBPU2	FLG	0.95H.2	R/W	P1C2 プルアップ抵抗 有/無
P1CBPU1	FLG	0.95H.1	R/W	P1C1 プルアップ抵抗 有/無
P1CBPU0	FLG	0.95H.0	R/W	P1C0 プルアップ抵抗 有/無
P1BBPU3	FLG	0.96H.3	R/W	P1B3 プルアップ抵抗 有/無
P1BBPU2	FLG	0.96H.2	R/W	P1B2 プルアップ抵抗 有/無
P1BBPU1	FLG	0.96H.1	R/W	P1B1 プルアップ抵抗 有/無
P1BBPU0	FLG	0.96H.0	R/W	P1B0 プルアップ抵抗 有/無

表 13-2 予約シンボル一覧 (3/4)

名 前	属 性	値	R/W	説 明
P1ABPU3	FLG	0.97H.3	R/W	P1A3プルアップ抵抗 有/無
P1ABPU2	FLG	0.97H.2	R/W	P1A2プルアップ抵抗 有/無
P1ABPU1	FLG	0.97H.1	R/W	P1A1プルアップ抵抗 有/無
P1ABPU0	FLG	0.97H.0	R/W	P1A0プルアップ抵抗 有/無
IEGENVM1	FLG	0.9FH.2	R/W	TM0IN の割り込みエッジ選択
IEGENVM0	FLG	0.9FH.1	R/W	TM0IN の割り込みエッジ選択
IEG	FLG	0.9FH.0	R/W	INT の割り込みエッジ選択
SIOTS	FLG	0.0A2H.3	R/W	SIO の動作状態
SIOHIZ	FLG	0.0A2H.2	R/W	SO 端子の状態
SIOCK1	FLG	0.0A2H.1	R/W	シリアル・クロックの選択
SIOCK0	FLG	0.0A2H.0	R/W	シリアル・クロックの選択
SIOEN	FLG	0.0A3H.0	R/W	SIO 出力の許可フラグ
TM2OE	FLG	0.0A4H.3	R/W	タイマ2の出力許可フラグ
TM1OE	FLG	0.0A4H.2	R/W	タイマ1の出力許可フラグ
TM0OE	FLG	0.0A4H.1	R/W	タイマ0の出力許可フラグ
PICBIO3	FLG	0.0A5H.3	R/W	PIC3の入出力選択
PICBIO2	FLG	0.0A5H.2	R/W	PIC2の入出力選択
PICBIO1	FLG	0.0A5H.1	R/W	PIC1の入出力選択
PICBIO0	FLG	0.0A5H.0	R/W	PIC0の入出力選択
P1BBIO3	FLG	0.0A6H.3	R/W	P1B3の入出力選択
P1BBIO2	FLG	0.0A6H.2	R/W	P1B2の入出力選択
P1BBIO1	FLG	0.0A6H.1	R/W	P1B1の入出力選択
P1BBIO0	FLG	0.0A6H.0	R/W	P1B0の入出力選択
P1ABIO3	FLG	0.0A7H.3	R/W	P1A3の入出力選択
P1ABIO2	FLG	0.0A7H.2	R/W	P1A2の入出力選択
P1ABIO1	FLG	0.0A7H.1	R/W	P1A1の入出力選択
P1ABIO0	FLG	0.0A7H.0	R/W	P1A0の入出力選択
IPXRAM	FLG	0.0AEH.3	R/W	XRAM 割り込み許可フラグ
IPSIO	FLG	0.0AEH.2	R/W	SIO 割り込み許可フラグ
IPWTM	FLG	0.0AEH.1	R/W	時計用タイマ割り込み許可フラグ
IP	FLG	0.0AEH.0	R/W	INT 割り込み許可フラグ
IPTM1	FLG	0.0AFH.3	R/W	タイマ1割り込み許可フラグ
IPTM0	FLG	0.0AFH.2	R/W	タイマ0割り込み許可フラグ
IPTM2	FLG	0.0AFH.1	R/W	タイマ2割り込み許可フラグ
IPENV	FLG	0.0AFH.0	R/W	TM0IN 割り込み許可フラグ

表 13-2 予約シンボル一覧 (4/4)

名 前	属 性	値	R/W	説 明
TM0EN	FLG	0.0B3H.3	R/W	タイマ0カウント許可フラグ
TM0RES	FLG	0.0B3H.2	R/W	タイマ0のリセット・フラグ
TM0CK1	FLG	0.0B3H.1	R/W	タイマ0のクロック選択
TM0CK0	FLG	0.0B3H.0	R/W	タイマ0のクロック選択
TM1EN	FLG	0.0B4H.3	R/W	タイマ1カウント許可フラグ
TM1RES	FLG	0.0B4H.2	R/W	タイマ1のリセット・フラグ
TM1CK1	FLG	0.0B4H.1	R/W	タイマ1のクロック選択
TM1CK0	FLG	0.0B4H.0	R/W	タイマ1のクロック選択
TM2EN	FLG	0.0B5H.3	R/W	タイマ2カウント許可フラグ
TM2RES	FLG	0.0B5H.2	R/W	タイマ2のリセット・フラグ
TM2CK1	FLG	0.0B5H.1	R/W	タイマ2のクロック選択
TM2CK0	FLG	0.0B5H.0	R/W	タイマ2のクロック選択
P0DGIO	FLG	0.0B7H.3	R/W	ポート 0D の入出力選択
P0CGIO	FLG	0.0B7H.2	R/W	ポート 0C の入出力選択
P0BGIO	FLG	0.0B7H.1	R/W	ポート 0B の入出力選択
P0AGIO	FLG	0.0B7H.0	R/W	ポート 0A の入出力選択
IRQXRAM	FLG	0.0B8H.0	R/W	XRAM 割り込み要求フラグ
IRQSIO	FLG	0.0B9H.0	R/W	SIO 割り込み要求フラグ
IRQWTM	FLG	0.0BAH.0	R/W	時計用タイマ割り込み要求フラグ
IRQ	FLG	0.0BBH.0	R/W	INT 割り込み要求フラグ
IRQTM1	FLG	0.0BCH.0	R/W	タイマ1割り込み要求フラグ
IRQTM0	FLG	0.0BDH.0	R/W	タイマ0割り込み要求フラグ
IRQTM2	FLG	0.0BEH.0	R/W	タイマ2割り込み要求フラグ
IRQENV	FLG	0.0BFH.0	R/W	TM0IN 割り込み要求フラグ
DBF	DAT	0FH	R/W	GET,PUT 命令のオペランド
IX	DAT	01H	R/W	インデクス・レジスタ
SIOSFR	DAT	01H	R/W	SIO シフト・レジスタ
TM0M	DAT	02H	W	タイマ0のモジュロ・レジスタ
TM0C	DAT	02H	R	タイマ0のカウント・レジスタ
NRZLTMM	DAT	03H	R/W	NRZ ロー・レベル期間設定用モジュロ・レジスタ
NRZHTMM	DAT	04H	R/W	NRZ ハイ・レベル期間設定用モジュロ・レジスタ
AR	DAT	40H	R/W	GET,PUT などの命令のオペランド
TM1M	DAT	41H	W	タイマ1のモジュロ・レジスタ
TM1C	DAT	41H	R	タイマ1のカウント・レジスタ
TM2C	DAT	42H	R	タイマ2のカウント・レジスタ
XRAMSTRT	DAT	43H	R/W	XRAM のスタート・アドレス設定レジスタ
XRAMSTP	DAT	44H	R/W	XRAM のストップ・アドレス検出レジスタ

図 13-1 レジスタ・ファイルの一覧 (1/2)

カラム・アドレス		0	1	2	3	4	5	6	7							
ロウ・アドレス		注1	注1	注1	注1	注1	注1	注1	注1							
(8)	ビット 3		0	0	0	WDTRES	0		0	0						
	ビット 2		SP ^{注3}	1	0	0	WTMMD	0		0						
	ビット 1		0	0	0	WTMRES	0		0	0						
	ビット 0		1	XEN	注2	0	0		0	0						
(9)	ビット 3		0	0	0	0	0	P1CBPU3	0	P1BBPU3	0	P1ABPU3	0			
	ビット 2		0	0	0	0	0	0	P1CBPU2	0	P1BBPU2	0	P1ABPU2	0		
	ビット 1		0	0	0	0	ENVCK1	0	TM0TMEN	0	P1CBPU1	0	P1BBPU1	0	P1ABPU1	0
	ビット 0		NRZBF	0	NRZ	0	ENVCK0	0	TM0EXCK	0	P1CBPU0	0	P1BBPU0	0	P1ABPU0	0
(A)	ビット 3			SIOTS	0	0	0	TM2OE	0	P1CBIO3	0	P1BBIO3	0	P1ABIO3	0	
	ビット 2			SIOHIZ	0	0	0	TM1OE	0	P1CBIO2	0	P1BBIO2	0	P1ABIO2	0	
	ビット 1			SIOCK1	0	0	0	TM0OE	0	P1CBIO1	0	P1BBIO1	0	P1ABIO1	0	
	ビット 0			SIOCK0	0	SIOEN	0	0	0	P1CBIO0	0	P1BBIO0	0	P1ABIO0	0	
(B)	ビット 3				TM0EN	1	TM1EN	1	TM2EN	1				P0DGIO	0	
	ビット 2				TM0RES	0	TM1RES	0	TM2RES	0				P0CGIO	0	
	ビット 1				TM0CK1	0	TM1CK1	0	TM2CK1	0				P0BGIO	0	
	ビット 0				TM0CK0	0	TM1CK0	0	TM2CK0	0				P0AGIO	0	

注 1. リセット時の状態

2. マスク・オプションでメイン・クロック使用 (USEX) を選択したとき 1, メイン・クロック未使用 (NOX) を選択したとき 0 となります。
3. μPD17204 の場合, SP のリセット値は 0111B となります。

★ 図 13-2 データ・メモリの構成

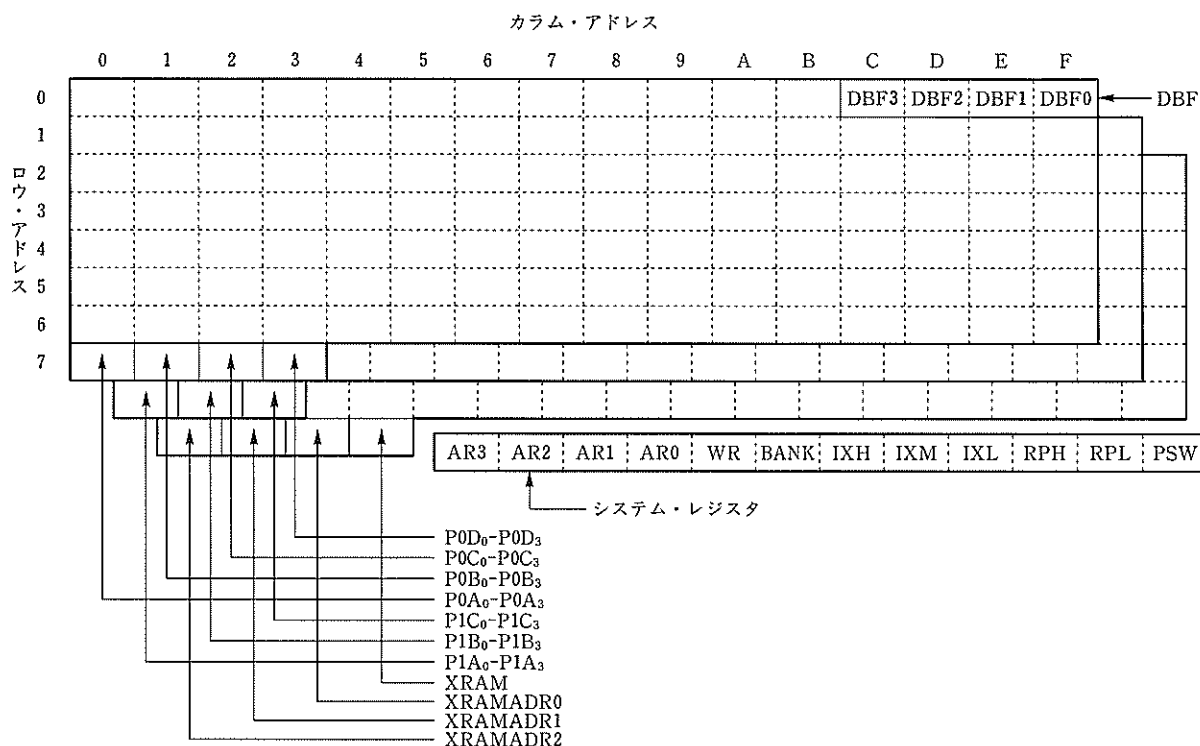


図 13-1 レジスタ・ファイルの一覧 (2/2)

カラム・アドレス		8		9		A		B		C		D		E		F	
ロウ・アドレス		注1		注1		注1		注1		注1		注1		注1		注1	
0 (8)	ビット3															0	0
	ビット2															0	0
	ビット1															INTENV	1
	ビット0															INT	注2
1 (9)	ビット3															0	0
	ビット2															IEGENVM1	0
	ビット1															IEGENVM0	0
	ビット0															IEG	0
2 (A)	ビット3													IPXRAM	0	IPTM1	0
	ビット2													IPSIO	0	IPTM0	0
	ビット1													IPWTM	0	IPTM2	0
	ビット0													IP	0	IPENV	0
3 (B)	ビット3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	ビット2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	ビット1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	ビット0	IRQXRAM	0	IRQSIO	0	IRQWTM	0	IRQ	0	IRQTM1	1	IRQTM0	1	IRQTM2	0	IRQENV	0

注1. リセット時の状態

2. INT 端子がハイ・レベルのとき1, ロウ・レベルのとき0となります。

表 13-3 周辺ハードウェア

★

名称	アドレス	有効ビット	説明
SIOSFR	01H	8	シリアル・インタフェースのシフト・レジスタ
TM0C	02H	8	8ビット・タイマのカウンタ・レジスタ
TM0M	02H	8	8ビット・タイマのモジュロ・レジスタ
NRZLTMM	03H	8	リモコン・キャリア発生用ロウ・レベル期間設定用モジュロ・レジスタ
NRZHTMM	04H	8	リモコン・キャリア発生用ハイ・レベル期間設定用モジュロ・レジスタ
AR	40H	16	アドレス・レジスタ
TM1C	41H	16	10ビット・タイマのカウンタ・レジスタ
TM1M	41H	16	10ビット・タイマのモジュロ・レジスタ
TM2C	42H	16	16ビット・タイマのカウンタ・レジスタ
XRAMSTRT	43H	16	XRAMのスタート・アドレス設定用レジスタ
XRAMSTP	44H	16	XRAMのストップ・アドレス設定用レジスタ

14. 命令セット

14.1 命令セット概要

b ₁₄ -b ₁₁ \ b ₁₅		0		1	
		BIN	HEX		
0 0 0 0	0	ADD	r, m	ADD	m, #n4
0 0 0 1	1	SUB	r, m	SUB	m, #n4
0 0 1 0	2	ADDC	r, m	ADDC	m, #n4
0 0 1 1	3	SUBC	r, m	SUBC	m, #n4
0 1 0 0	4	AND	r, m	AND	m, #n4
0 1 0 1	5	XOR	r, m	XOR	m, #n4
0 1 1 0	6	OR	r, m	OR	m, #n4
0 1 1 1	7	INC	AR		
		INC	IX		
		MOVT	DBF, @AR		
		BR	@AR		
		CALL	@AR		
		RET			
		RETSK			
		EI			
		DI			
		RETI			
		PUSH	AR		
		POP	AR		
		GET	DBF, p		
		PUT	p, DBF		
		PEEK	WR, rf		
		POKE	rf, WR		
		RORC	r		
		STOP	s		
		HALT	h		
		NOP			
1 0 0 0	8	LD	r, m	ST	m, r
1 0 0 1	9	SKE	m, #n4	SKGE	m, #n4
1 0 1 0	A	MOV	@r, m	MOV	m, @r
1 0 1 1	B	SKNE	m, #n4	SKLT	m, #n4
1 1 0 0	C	BR	addr (ページ0)	CALL	addr (ページ0)
1 1 0 1	D	BR	addr (ページ1)	MOV	m, #n4
1 1 1 0	E	BR	addr (ページ2)	SKT	m, #n
1 1 1 1	F	BR	addr (ページ3)	SKF	m, #n

14.2 凡 例

★

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (下位11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: m _R , m _C で示されるデータ・メモリ・アドレス
m _R	: データ・メモリ・ロウ・アドレス (上位)
m _C	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4ビット)
n4	: イミディエイト・データ (4ビット)
PAGE	: ページ (プログラム・カウンタのビット 11, 12)
PC	: プログラム・カウンタ
p	: 周辺アドレス
p _H	: 周辺アドレス (上位 3 ビット)
p _L	: 周辺アドレス (下位 4 ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rf _R	: レジスタ・ファイル・アドレス (上位 3 ビット)
rf _C	: レジスタ・ファイル・アドレス (下位 4 ビット)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
(x)	: xでアドレスされる内容

14.3 命令一覧表

命令群	ニモニック	オペランド	オペレーション	命令コード			
				オペ・コード	オペランド		
加算	ADD	r, m	$(r) \leftarrow (r) + (m)$	00000	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) + n4$	10000	m _R	m _C	n4
	ADDC	r, m	$(r) \leftarrow (r) + (m) + CY$	00010	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) + n4 + CY$	10010	m _R	m _C	n4
	INC	AR	$AR \leftarrow AR + 1$	00111	000	1001	0000
IX		$IX \leftarrow IX + 1$	00111	000	1000	0000	
減算	SUB	r, m	$(r) \leftarrow (r) - (m)$	00001	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) - n4$	10001	m _R	m _C	n4
	SUBC	r, m	$(r) \leftarrow (r) - (m) - CY$	00011	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) - n4 - CY$	10011	m _R	m _C	n4
論理演算	OR	r, m	$(r) \leftarrow (r) \vee (m)$	00110	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \vee n4$	10110	m _R	m _C	n4
	AND	r, m	$(r) \leftarrow (r) \wedge (m)$	00100	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \wedge n4$	10100	m _R	m _C	n4
	XOR	r, m	$(r) \leftarrow (r) \nabla (m)$	00101	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \nabla n4$	10101	m _R	m _C	n4
判断	SKT	m, #n	$CMP \leftarrow 0$, if $(m) \wedge n = n$, then skip	11110	m _R	m _C	n
	SKF	m, #n	$CMP \leftarrow 0$, if $(m) \wedge n = 0$, then skip	11111	m _R	m _C	n
比較	SKE	m, #n4	$(m) - n4$, skip if zero	01001	m _R	m _C	n4
	SKNE	m, #n4	$(m) - n4$, skip if not zero	01011	m _R	m _C	n4
	SKGE	m, #n4	$(m) - n4$, skip if not borrow	11001	m _R	m _C	n4
	SKLT	m, #n4	$(m) - n4$, skip if borrow	11011	m _R	m _C	n4
回転	RORC	r	$\rightarrow CY \rightarrow (r)_{b3} \rightarrow (r)_{b2} \rightarrow (r)_{b1} \rightarrow (r)_{b0} \leftarrow$	00111	000	0111	r
転送	LD	r, m	$(r) \leftarrow (m)$	01000	m _R	m _C	r
	ST	m, r	$(m) \leftarrow (r)$	11000	m _R	m _C	r
	MOV	@r, m	if MPE=1 : $(MP, (r)) \leftarrow (m)$ if MPE=0 : $(BANK, m_R, (r)) \leftarrow (m)$	01010	m _R	m _C	r
		m, @r	if MPE=1 : $(m) \leftarrow (MP, (r))$ if MPE=0 : $(m) \leftarrow (BANK, m_R, (r))$	11010	m _R	m _C	r
		m, #n4	$(m) \leftarrow n4$	11101	m _R	m _C	n4
	MOVT	DBF, @AR	$SP \leftarrow SP - 1, ASR \leftarrow PC, PC \leftarrow AR,$ $DBF \leftarrow (PC), PC \leftarrow ASR, SP \leftarrow SP + 1$	00111	000	0001	0000

命令群	ニモニック	オペランド	オペレーション		命令コード			
					オペ・コード	オペランド		
転送	PUSH	AR	SP ← SP - 1, ASR ← AR		00111	000	1101	0000
	POP	AR	AR ← ASR, SP ← SP + 1		00111	000	1100	0000
	PEEK	WR, rf	WR ← (rf)		00111	rf _R	0011	rf _C
	POKE	rf, WR	(rf) ← WR		00111	rf _R	0010	rf _C
	GET	DBF, p	DBF ← (p)		00111	p _H	1011	p _L
	PUT	p, DBF	(p) ← DBF		00111	p _H	1010	p _L
分岐	BR	addr	μPD17203A	PC ₁₀₋₀ ← addr, PAGE ← 0	01100	addr		
				PC ₁₀₋₀ ← addr, PAGE ← 1	01101			
			μPD17204	PC ₁₀₋₀ ← addr, PAGE ← 0	01100			
				PC ₁₀₋₀ ← addr, PAGE ← 1	01101			
				PC ₁₀₋₀ ← addr, PAGE ← 2	01110			
				PC ₁₀₋₀ ← addr, PAGE ← 3	01111			
	@AR	PC ← AR	00111	000	0100	0000		
サブルーチン	CALL	addr	SP ← SP - 1, ASR ← PC, PC ₁₀₋₀ ← addr, PAGE ← 0		11100	addr		
		@AR	SP ← SP - 1, ASR ← PC, PC ← AR		00111	000	0101	0000
	RET		PC ← ASR, SP ← SP + 1		00111	000	1110	0000
	RETSK		PC ← ASR, SP ← SP + 1 and skip		00111	001	1110	0000
	RETI		PC ← ASR, INTR ← INTSK, SP ← SP + 1		00111	100	1110	0000
割り込み	EI		INTEF ← 1		00111	000	1111	0000
	DI		INTEF ← 0		00111	001	1111	0000
その他	STOP	s	STOP		00111	010	1111	s
	HALT	h	HALT		00111	011	1111	h
	NOP		No operation		00111	100	1111	0000

★ 14.4 アセンブラ (AS17K) 組み込みマクロ命令

凡 例

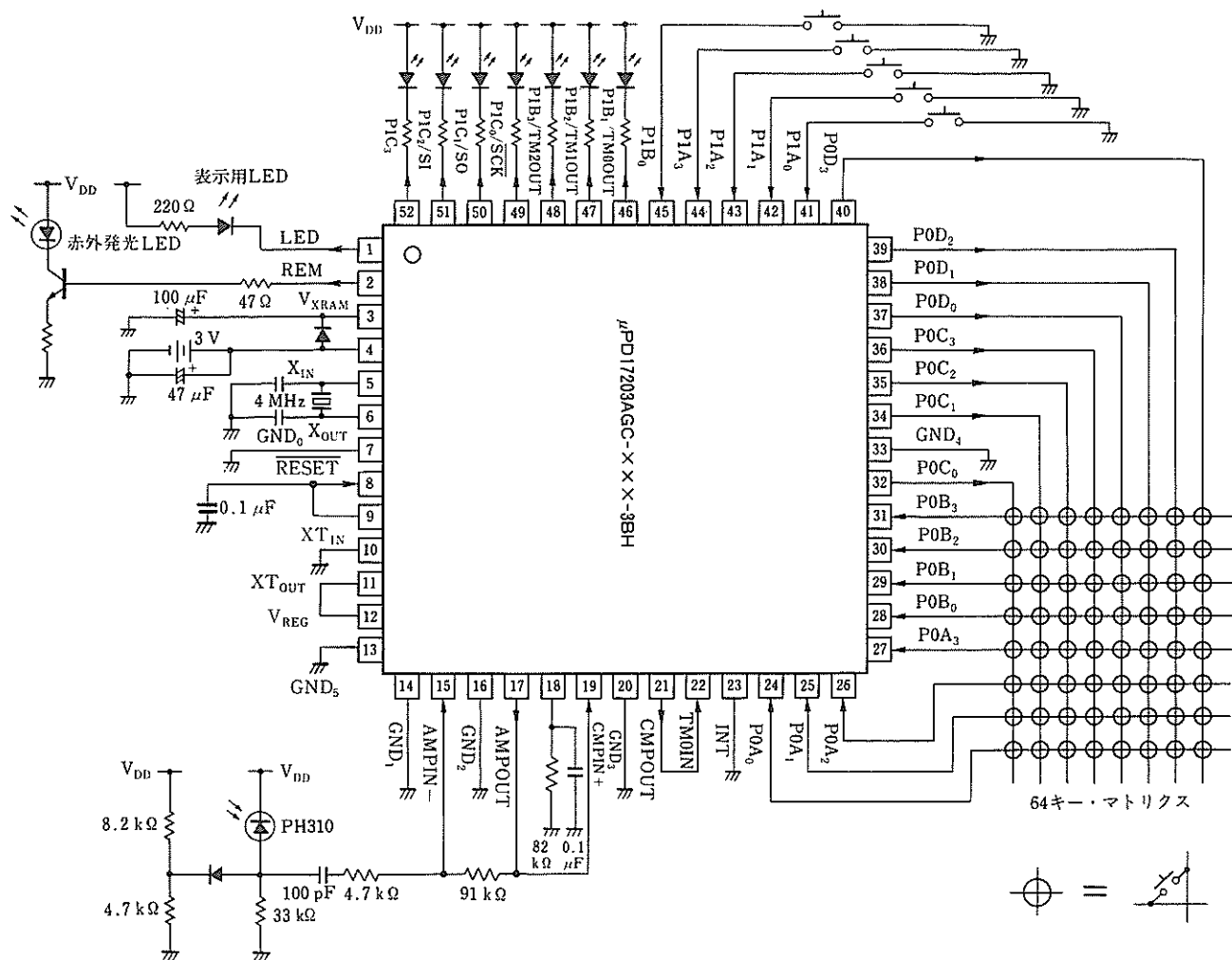
flag n : FLG型シンボル

n : ビット番号

< > : < > 内は省略可能

	ニモニック	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, …flag n	if (flag 1) ~ (flag n) = all "1", then skip	$1 \leq n \leq 4$
	SKFn	flag 1, …flag n	if (flag 1) ~ (flag n) = all "0", then skip	$1 \leq n \leq 4$
	SETn	flag 1, …flag n	(flag 1) ~ (flag n) ← 1	$1 \leq n \leq 4$
	CLRn	flag 1, …flag n	(flag 1) ~ (flag n) ← 0	$1 \leq n \leq 4$
	NOTn	flag 1, …flag n	if (flag n) = "0", then (flag n) ← 1 if (flag n) = "1", then (flag n) ← 0	$1 \leq n \leq 4$
	INITFLG	<NOT> flag 1, … <<NOT> flag n>	if description=NOT flag n, then (flag n) ← 0 if description=flag n, then (flag n) ← 1	$1 \leq n \leq 4$
	BANKn		(BANK) ← n	$0 \leq n \leq 2$

15. 応用回路例



16. 電気的特性

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格		単 位
電 源 電 圧	V _{DD}		- 0.3 ~ + 7.0		V
入 力 電 圧	V _I		- 0.3 ~ V _{DD} + 0.3		V
動 作 周 圍 温 度	T _A		- 20 ~ + 75		°C
保 存 温 度	T _{stg}		- 40 ~ + 125		°C
ハイ・レベル出力電流	I _{OH1}	REM 端子	ピーク値	-30.0	mA
	I _{OH2}		実効値	-20.0	mA
	I _{OH3}	1 端子 (REM 端子を除く)	ピーク値	-7.5	mA
	I _{OH4}		実効値	-5.0	mA
	I _{OH5}	全端子合計 (REM 端子を除く)	ピーク値	-22.5	mA
	I _{OH6}		実効値	-15.0	mA
ロウ・レベル出力電流	I _{OL1}	1 端子	ピーク値	7.5	mA
	I _{OL2}		実効値	5.0	mA
	I _{OL3}	全端子合計	ピーク値	30.0	mA
	I _{OL4}		実効値	20.0	mA

備考 実効値は [実効値] = [ピーク値] × √デューティ で計算してください。

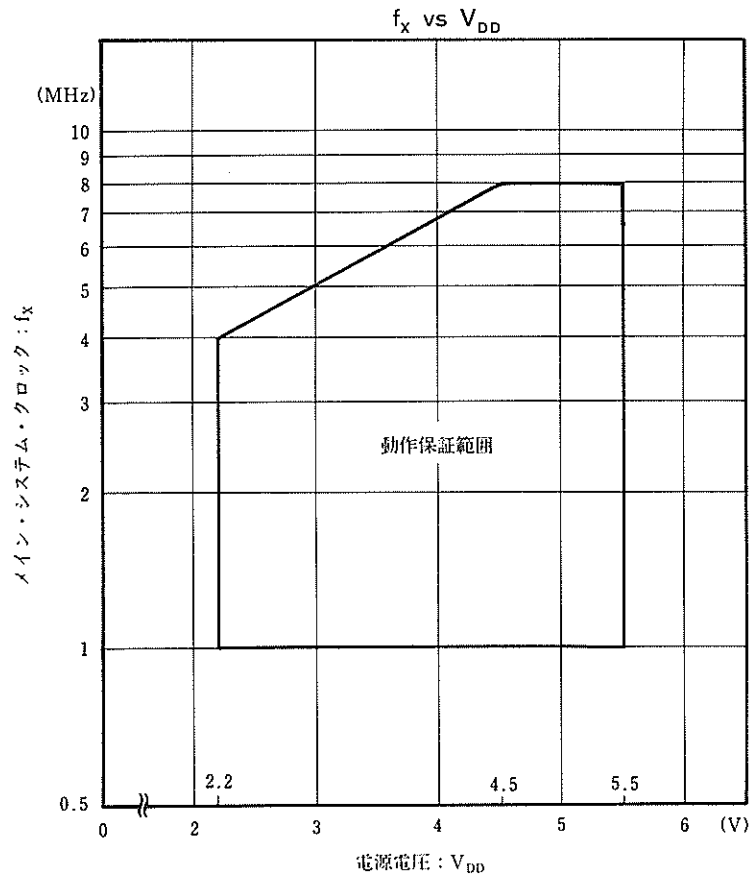
- ★ 注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 (T_A = 25 °C, V_{DD} = 0 V)

項 目	略 号	条 件	最小	標準	最大	単 位
入 力 容 量	C _{IN}	INT, $\overline{\text{RESET}}$ 端子			10	pF
	C _{PIN}	INT, $\overline{\text{RESET}}$ 端子以外			10	pF

推奨動作範囲 (T_A = -20 ~ +75 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD1}	システム・クロックが f _X = 4 MHz のとき	2.2	3.0	5.5	V
	V _{DD2}	システム・クロックが f _X 8 MHz のとき	4.5	5.0	5.5	V
	V _{DD3}	システム・クロックが f _{XT} = 32.768 kHz のとき	2.0	3.0	5.5	V
メイン・クロック発振周波数	f _X		1.0	4.0	8.0	MHz
サブクロック発振周波数	f _{XT}			32.768		kHz



メイン・システム・クロック発振回路特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = 2.2 \sim 5.5\text{ V}$)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
注3 セラミック 発振子		注1 発振周波数 (f_X)		1.0	4.0	8.0	MHz
		注2 発振安定時間	V_{DD} が発振電圧範囲の MIN. に達した後			4	ms
注3 水晶振動子		注1 発振周波数 (f_X)		1.0	4.0	8.0	MHz
		注2 発振安定時間	$V_{DD} = 4.5 \sim 5.5\text{ V}$			10	ms
						30	ms

★

注1. 発振周波数は、発振回路の特性だけを示すものです。命令実行時間は AC 特性を参照してください。

2. 発振安定時間は、 V_{DD} 印加後、または、STOP モード解除後、発振が安定するのに必要な時間です。

3. セラミック発振子と水晶振動子は次頁のものを推奨します。

サブシステム・クロック発振回路特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$)

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT})			32.768		kHz
		発振安定時間				10	s

注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の [] の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に GND と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロック発振回路よりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振子

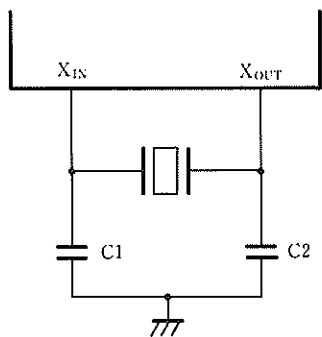
メイン・システム・クロック：セラミック発振子

メーカ	品名	外付け容量 (pF)		発振電圧範囲 (V)		備考
		C1	C2	MIN.	MAX.	
株式会社村田製作所	CSA3.58MG	30	30	2.0	6.0	C内蔵タイプ
	CSA4.00MG					
	CSA4.19MG					
	CST3.58MGW	不要	不要			
	CST4.00MGW					
	CST4.19MGW					
京セラ株式会社	KBR3.58MS	33	33	2.0	6.0	
	KBR4.0MS					
	KBR4.19MS					
東光株式会社	CRHF4.00	18	18	2.0	6.0	
株式会社大真空	PRS0400BCSAN	39	33	2.0	6.0	

メイン・システム・クロック：水晶振動子

メーカ	周波数 (MHz)	保持器	外付け容量 (pF)		発振電圧範囲 (V)		備考
			C1	C2	MIN.	MAX.	
キンセキ株式会社	4.0	HC-49U-S	22	22	2.0	6.0	

発振回路



DC 特性 (T_A = -20 ~ +75 °C, V_{DD} = 3 V, f_X = 4 MHz, f_{XT} = 32.768 kHz)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	RESET, INT 端子		2.4		3.0	V
	V _{IH2}	RESET, INT 端子以外		2.1		3.0	V
ロウ・レベル入力電圧	V _{IL1}	RESET, INT 端子		0		0.6	V
	V _{IL2}	RESET, INT 端子以外		0		0.9	V
ハイ・レベル入力電流	I _{IH1}	INT	V _{IH} = 3.0 V			0.2	μA
	I _{IH2}	TM0IN	V _{IH} = 3.0 V			0.2	μA
	I _{IH3}	RESET	V _{IH} = 3.0 V			0.2	μA
	I _{IH4}	P0A-P0D	V _{IH} = 3.0 V			0.2	μA
	I _{IH5}	P1A-P1C	V _{IH} = 3.0 V			0.2	μA
ロウ・レベル入力電流	I _{IL1}	INT	V _{IL} = 0 V			-0.2	μA
	I _{IL2}	TM0IN	V _{IL} = 0 V			-0.2	μA
	I _{IL3}	RESET	V _{IL} = 0 V, プルアップ抵抗なし			-0.2	μA
	I _{IL4}		V _{IL} = 0 V, プルアップ抵抗内蔵	-30	-60	-120	μA
	I _{IL5}	P0A, P0B	V _{IL} = 0 V, プルアップ抵抗なし			-0.2	μA
	I _{IL6}		V _{IL} = 0 V, プルアップ抵抗内蔵	-8	-15	-30	μA
	I _{IL7}	P0C, P0D	V _{IL} = 0 V			-0.2	μA
	I _{IL8}	P1A-P1C	V _{IL} = 0 V, プルアップ抵抗なし			-0.2	μA
	I _{IL9}		V _{IL} = 0 V, プルアップ抵抗内蔵	-30	-60	-120	μA
ハイ・レベル出力電流	I _{OH1}	P0A, P0B	V _{OH} = 2.7 V	-0.6	-2.0	-4.0	mA
	I _{OH2}	P1C	V _{OH} = 2.7 V	-0.6	-2.0	-4.0	mA
	I _{OH3}	REM	V _{OH} = 1.0 V	-7.0	-15.0	-25.0	mA
	I _{OH4}	LED	V _{OH} = 2.7 V	-0.3	-1.0	-2.0	mA
	I _{OH5}	CMPOUT	V _{OH} = 2.7 V	-0.3	-1.0	-2.0	mA
ロウ・レベル出力電流	I _{OL1}	P0A, P0B, PIC	V _{OL} = 0.3 V	0.5	1.5	2.5	mA
	I _{OL2}	P0C, P0D, PIB	V _{OL} = 0.3 V	0.5	1.5	2.5	mA
	I _{OL3}	REM	V _{OL} = 0.3 V	0.5	1.5	2.5	mA
	I _{OL4}	LED, WDOUT	V _{OL} = 0.3 V	0.5	1.5	2.5	mA
	I _{OL5}	CMPOUT	V _{OL} = 0.3 V	0.5	1.5	2.5	mA
	I _{OL6}	P1A	V _{OL} = 0.3 V	1.5	4.5	7.5	mA
V _{REF} 出力電圧	V _{REF}	C = 0.1 μF, R = 82 kΩ		0.8	1.1	1.6	V
電 源 電 流	I _{DD1}	動作	XT, X ともに発振	0.5	1.0	2.0	mA
	I _{DD2}	モード	XT のみ発振		15	30	μA
	I _{DD3}	HALT	XT, X ともに発振			2.0	mA
	I _{DD4} 注	モード	XT のみ発振		7	15	μA
XRAM 保持電圧	V _{XRAM}			1.3	3.0	5.5	V
XRAM 電源電流	I _{XRAM1}	動作モード, V _{XRAM} = 3 V		3.0	5.0	7.0	μA
	I _{XRAM2}	HALT モード, V _{XRAM} = 3 V, T _A = 25 °C			0.2	1.0	μA

注 メイン STOP モード (サブ実装) は, サブ HALT モード (メイン発振停止) と同規格です。

オペアンプ/コンパレータ特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = 3\text{V}$, $f_X = 4\text{MHz}$, $f_{XT} = 32.768\text{kHz}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
オペアンプ・ユニティ・ゲイン周波数			0.5	1.0	5	MHz
オペアンプ入力オフセット電圧				20		mV
オペアンプ同相入力電圧範囲			0.3		2.7	V
オペアンプ出力電圧範囲			0.1		2.9	V
オペアンプ・スルーレート			1			V/ μs
コンパレータ入力オフセット電圧			40	60	80	mV
コンパレータ同相入力電圧範囲			0		3.0	V
CMPOUT 出力最小パルス幅			3	4	5	μs

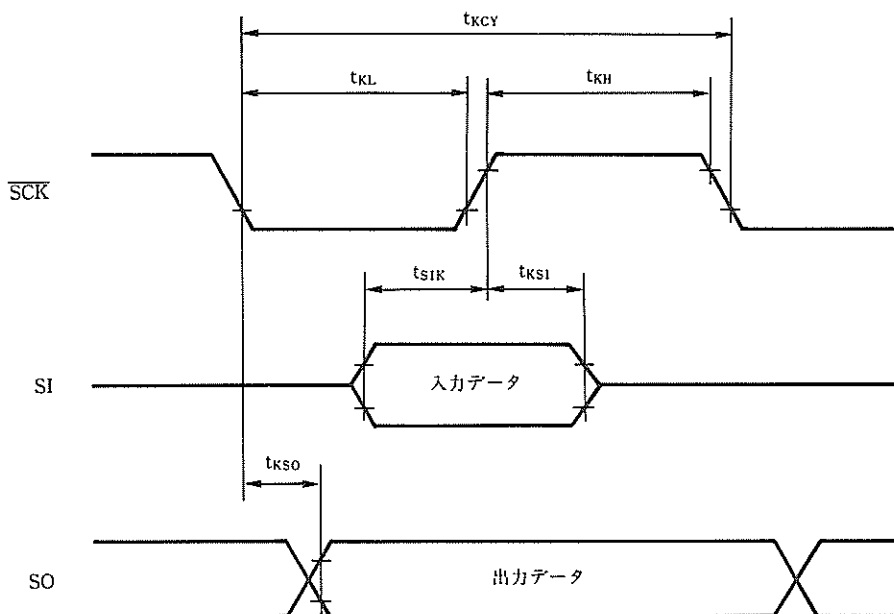
AC 特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = 3\text{V}$)

★

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ 入力サイクル・タイム	t_{KCY}	データ入力時	5.0			μs
		データ出力時	13.0			μs
$\overline{\text{SCK}}$ 入力ハイ, ロウ・レベル幅	t_{KH} , t_{KL}	データ入力時	2.5			μs
		データ出力時	6.5			μs
SI セットアップ時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{SIK}		100			ns
SI ホールド時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{KSI}		100			ns
$\overline{\text{SCK}} \downarrow \rightarrow \text{SO}$ 出力遅延時間	t_{KSO}	$C_L = 100\text{pF}$			4.5	μs
INT ハイ, ロウ・レベル幅	t_{IOH} , t_{IOL}		50			μs
$\overline{\text{RESET}}$ ロウ・レベル幅	t_{RSL}		50			μs

シリアル転送タイミング

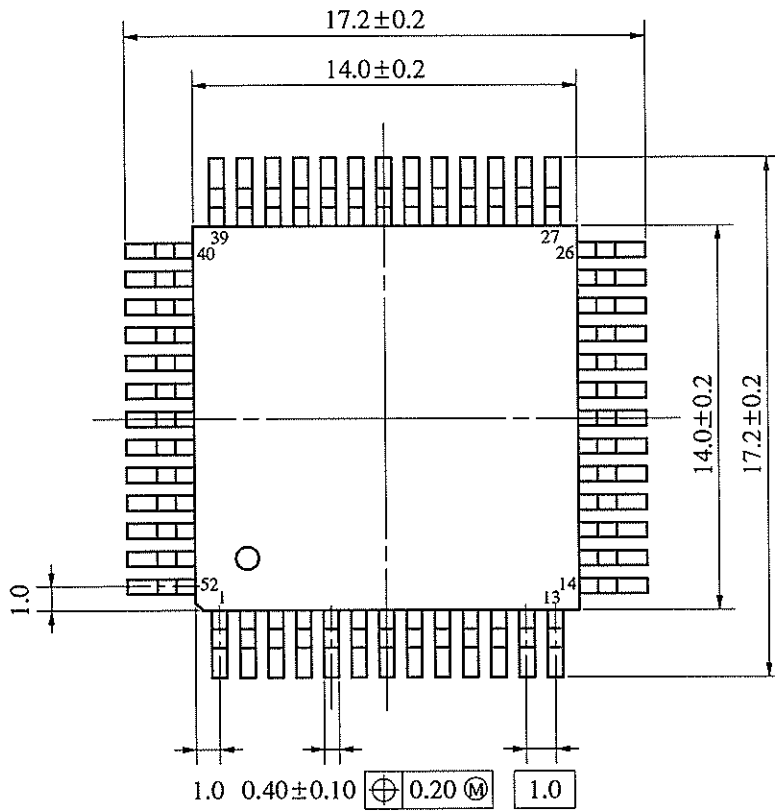
3線式シリアル I/O モード :



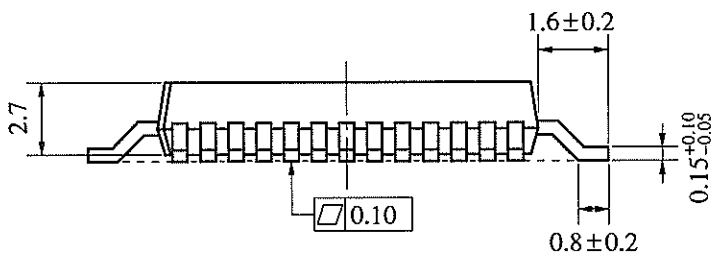
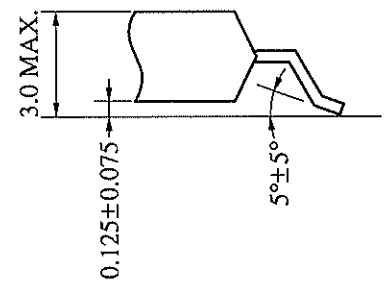
17. 外形図

量産品の外形図

52ピン・プラスチック QFP (□14) 外形図 (単位: mm)



端子先端形状詳細図

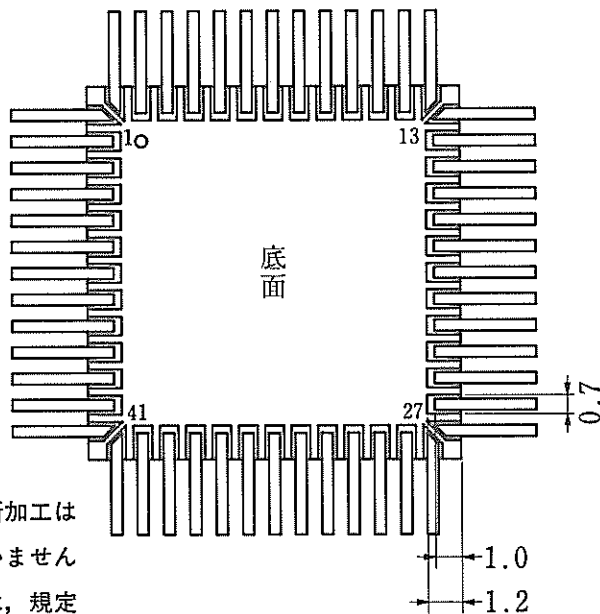
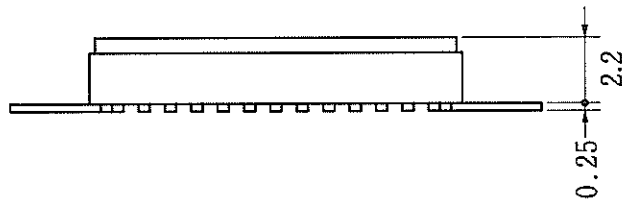
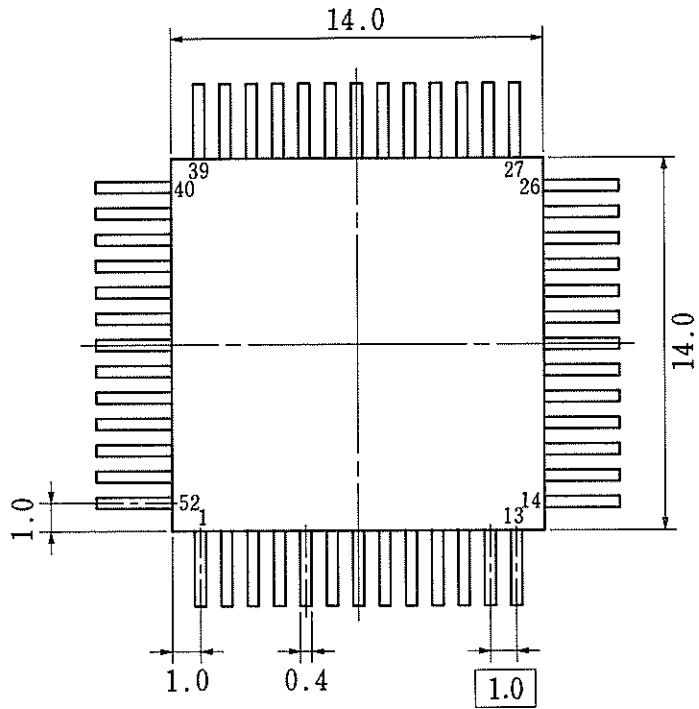


S52GC-100-3BH-2

★ 注意 ES 品は量産品とは外形や材質が異なります。ES 品の外形図を参照してください。

ES 品の外形図

52ピン・セラミックQFP (□14)(ES用) 外形図(単位: mm)



注意 リード先端の切断加工は
 工程管理されていません
 ので、リード長は、規定
 していません。

X52B-100B

18. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 18-1 表面実装タイプの半田付け条件

μPD17203AGC-×××-3BH : 52ピン・プラスチック QFP (□14mm)

μPD17204GC-×××-3BH : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃、時間：30秒以内 (210℃以上)、回数：1回 制限日数 ^注 ：2日間 (以降は125℃プリベーク16時間必要)	IR30-162-1
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内 (200℃以上)、回数：1回 制限日数 ^注 ：2日間 (以降は125℃プリベーク16時間必要)	VP15-162-1
ウェーブ・ソルダリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回 予備加熱温度：120℃ MAX. (パッケージ表面温度) 制限日数 ^注 ：2日間 (以降は125℃プリベーク16時間必要)	WS60-162-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

付録 A. 学習リモコン用マイクロコントローラ・ファミリー一覧表

品名		μPD17203A	μPD17P203A	μPD17204	μPD17P204
ROM 容量		8 K バイト (4096×16)		16 K バイト (7936×16)	
		(マスク ROM)	(ワン・タイム PROM)	(マスク ROM)	(ワン・タイム PROM)
RAM 容量		336×4 ビット			
スタティック RAM 容量		4096×4 ビット		2048×4 ビット	
赤外線リモコン用キャリア発生回路		内蔵			
赤外線リモコン用受信プリアンプ		内蔵			
入出力ポート		28本			
外部割り込み (INT)		1本			
タイマ		4 系統 { 8 ビット・タイマ : 3 チャンネル 時計用タイマ : 1 チャンネル			
ウォッチドッグ・タイマ		内蔵 (WDOOUT 出力)			
シリアル・インタフェース		1 チャンネル			
スタック		5 レベル (多重割り込みは 3 レベルまで)		7 レベル (多重割り込みは 3 レベルまで)	
スタンバイ機能		STOP モード, HALT モード			
命令実行時間 (電源電圧) T _A = -20~+75°C	メイン・システム・ クロック	4 μs : @ 4 MHz			
	サブシステム・ クロック	(V _{DD} = 2.2~5.5 V)	(V _{DD} = 2.9~5.5 V ^注)	(V _{DD} = 2.2~5.5 V)	(V _{DD} = 2.9~5.5 V ^注)
		488 μs : @ 32.768 kHz (V _{DD} = 2.0~5.5 V)			
パッケージ		52ピン・プラスチック QFP			

注 電源電圧は、動作周囲温度によって異なります。詳しくは、16. 電気的特性を参照してください。

付録 B. 開発ツール

μPD17203A のプログラムを開発するために、次の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ (IE-17K IE-17K-ET ^{注1} EMU-17K ^{注2})	IE-17K, IE-17K-ET, EMU-17K は、17K シリーズ共通のインサーキット・エミュレータです。 IE-17K および IE-17K-ET は、ホスト・マシンである PC-9800 シリーズまたは IBM PC/AT TM と RS-232-C を介して接続して使用します。EMU-17K は、ホスト・マシンである PC-9800 シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード (SE ボード) と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアである SIMPLEHOST TM を使用すると、さらに高度なデバッグ環境を実現できます。 また、EMU-17K は、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SE ボード (SE-17204)	SE-17204 は μPD17203A, 17204, 17P203A, 17P204 用の SE ボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ (EP-17203GC)	EP-17203GC は、μPD17203A, 17204 用のエミュレーション・プローブです。EV-9200G-52 ^{注3} とともに使用することにより、SE ボードとターゲット・システムを接続します。
変換ソケット (EV-9200G-52 ^{注3})	EV-9200G-52 は52ピン・プラスチック QFP (□14 mm) 用の変換ソケットです。EP-17203GC とターゲット・システムを接続するために使用します。
★ PROM プログラム (AF-9703 ^{注4} , AF-9704 ^{注4} , AF-9705 ^{注4} , AF-9706 ^{注4})	AF-9703, 9704, 9705, 9706 は、μPD17P203A, 17P204 に対応した PROM プログラムです。プログラムアダプタ AF-9808B を接続することにより、μPD17P203A, 17P204 をプログラミングできます。
★ プログラムアダプタ (AF-9808B ^{注4})	AF-9808B は μPD17P203A, 17P204 をプログラミングするためのアダプタです。AF-9703, AF-9704, AF-9705 または AF-9706 と組み合わせて使用します。

注 1. 廉価版：電源外付けタイプ

- ★ 2. 株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー (東京(03)3447-3793) までお問い合わせください。
- ★ 3. EP-17203GC には EV-9200G-52 が 1 個添付されています。また、EV-9200G-52 を 5 個 1 組で別売りもしています。
- ★ 4. 安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社 (東京(03)3733-1151) までお問い合わせください。

ソフトウェア

★

名 称	概 要	ホスト・マシン	OS	供給媒体	オーダ名称	
17K シリーズ アセンブラ (AS17K)	AS17K は17K シリーズ共通の アセンブラです。 μPD17203A, 17204のプログラ ム開発には、この AS17Kとデ バイス・ファイル (AS17203, AS17204) を組み合わせて使用 します。	PC-9800 シリーズ	MS-DOS™	5 インチ2HD	μS5A10AS17K	
				3.5 インチ2HD	μS5A13AS17K	
		IBM PC/AT	PC DOS™	5 インチ2HC	μS7B10AS17K	
				3.5 インチ2HC	μS7B13AS17K	
デバイス・ファイル (AS17203)	AS17203 は μPD17203A, 17P203A 用のデバイス・ファ イルです。 17K シリーズ共通のアセンブ ラ (AS17K) と組み合わせて 使用します。	PC-9800 シリーズ	MS-DOS	5 インチ2HD	μS5A10AS17203	
				3.5 インチ2HD	μS5A13AS17203	
		IBM PC/AT	PC DOS	5 インチ2HC	μS7B10AS17203	
				3.5 インチ2HC	μS7B13AS17203	
デバイス・ファイル (AS17204)	AS17204 は μPD17204, 17P204 用のデバイス・ファ イルです。 17K シリーズ共通のアセンブ ラ (AS17K) と組み合わせて 使用します。	PC-9800 シリーズ	MS-DOS	5 インチ2HD	μS5A10AS17204	
				3.5 インチ2HD	μS5A13AS17204	
		IBM PC/AT	PC DOS	5 インチ2HC	μS7B10AS17204	
				3.5 インチ2HC	μS7B13AS17204	
サポート・ソフトウェア (SIMPLEHOST)	SIMPLEHOST はインサー キット・エミュレータとパー ソナル・コンピュータを用いて プログラム開発を行うときに Windows™上でマン・マシン・ インタフェースを行うソフトウ ェアです。	PC-9800 シリーズ	MS-DOS	Windows	5 インチ2HD	μS5A10IE17K
					3.5 インチ2HD	μS5A13IE17K
		IBM PC/AT	PC DOS		5 インチ2HC	μS7B10IE17K
					3.5 インチ2HC	μS7B13IE17K

備考 対応している OS のバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver.3.30~Ver.5.00A ^注
PC DOS	Ver.3.1~Ver.5.0 ^注
Windows	Ver.3.0~Ver.3.1

注 MS-DOS の Ver.5.00/5.00A, PC DOS
の Ver.5.0 にはタスク・スワップ機能があ
りますが、このソフトウェアではタスク・
スワップ機能は使用できません。

[× ㊦]

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

SIMPLEHOST は、日本電気株式会社の商標です。

MS-DOS, Windows は、米国マイクロソフト社の商標です。

PC/AT, PC DOS は、米国 IBM 社の商標です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザ(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

—— お問い合わせは、最寄りのNECへ ——

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店 太田支店 宇都宮支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 横浜 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011 宇都宮 (0286)21-2281	小山支店 (0285)24-5011 長野支社 (0262)35-1444 松本支店 (0263)35-1666 諏訪支店 (0266)53-5350 甲府支社 (0552)24-4141 玉川支店 (048)641-1411 立川支社 (0425)26-5981 千葉支社 (043)238-8116 静岡支社 (054)255-2211 沼津支店 (0559)63-4455 浜松支店 (053)452-2711 北陸支社 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社 北九州支店	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (0899)45-4111 福岡 (092)271-7700 北九州 (093)541-2887	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	