

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## LCD コントローラ/ドライバ内蔵

## 赤外線リモート・コントローラ用 4ビット・シングルチップ・マイクロコントローラ

$\mu$ PD17202A は LCD コントローラ/ドライバ, リモコン用キャリア発生回路を 1 チップに収めた赤外線リモート・コントローラ用 4ビット・シングルチップ・マイクロコントローラです。

CPU として汎用レジスタ方式である 17K アーキテクチャを採用しており, 従来アキュムレータを介して行っていた演算に代わって直接データ・メモリ間の演算が行えます。さらに, すべての命令は 16ビット/1 語で構成されていますので, 効率のよいプログラミングが可能です。

また, 一度だけ書き込み可能なワン・タイム PROM 製品の  $\mu$ PD17P202A も用意しており,  $\mu$ PD17202A のプログラム評価や少量生産に便利です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

$\mu$ PD172 $\times$ シリーズ ユーザーズ・マニュアル: IEU-762

## 特 徴

- 赤外線リモコン用キャリア発生回路内蔵 (REM 出力)
- LCD コントローラ/ドライバ : 最大 96 セグメントの表示が可能
  - ・ コモン端子 : 4 本 (2 本はセグメント端子として使用可能)
  - ・ セグメント端子 : 24 本
  - ・ LCD 駆動用定電圧昇圧回路内蔵 : 外付け抵抗により LCD 駆動電圧を 2.4~5.4 V まで任意に設定可能
- 17K アーキテクチャ採用 : 汎用レジスタ方式
- プログラム・メモリ (ROM) : 2048 $\times$ 16ビット
- データ・メモリ (RAM) : 112 $\times$ 4ビット
- 命令実行時間 : 4  $\mu$ s (メイン・クロック 4 MHz 動作時)  
488  $\mu$ s (サブクロック 32.768 kHz 動作時) ★
- 8ビット・タイマ/カウンタ : 1 チャンネル
- 時計用タイマ/ウォッチドッグ・タイマ : 1 チャンネル ( $\overline{\text{WDOUT}}$  出力)
- 入出力端子 : 17 本 (INT 含む)
- 動作電圧範囲 : 2.2~5.5 V (メイン・クロック : 4 MHz 動作時)  
2.0~5.5 V (サブクロック : 32.768 kHz 動作時)

本資料の内容は, 後日変更する場合があります。

**用 途**

赤外線リモコン，LCD表示付き赤外線リモコンなど

**オーダー情報**

オーダー名称	パッケージ	品質水準
μPD17202AGF-×××-3BE	64ピン・プラスチック QFP	標準 (一般電子機器用)

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

## 目 次

1. 端子接続図 (Top View) …	6
2. ブロック図 …	7
3. 端 子 …	8
3.1 端子機能 …	8
3.2 端子の等価回路 …	11
3.3 未使用端子の処理 …	12
3.4 $\overline{\text{RESET}}$ 端子と INT 端子の使用上の注意 …	13
4. メモリ空間 …	14
4.1 プログラム・カウンタ (PC) …	14
4.2 プログラム・メモリ (ROM) …	14
4.3 スタック …	15
4.4 データ・メモリ (RAM) …	17
4.5 レジスタ・ファイル (RF) …	25
5. ポート …	27
5.1 ポート 0A (P0A <sub>0</sub> -P0A <sub>3</sub> ) …	27
5.2 ポート 0B (P0B <sub>0</sub> -P0B <sub>3</sub> ) …	27
5.3 ポート 0C (P0C <sub>0</sub> -P0C <sub>3</sub> ) …	27
5.4 ポート 0D (P0D <sub>0</sub> -P0D <sub>3</sub> ) …	27
5.5 グループ I/O 入出力切り替え …	28
5.6 INT 端子 …	29
6. クロック発生回路 …	30
6.1 システム・クロックの切り替え …	31
6.2 メイン・クロックの発振制御機能 …	31
7. 8ビット・タイマ/カウンタ, リモコン用キャリア発生回路 …	32
7.1 8ビット・タイマ (モジュロ機能付き) の構成 …	32
7.2 8ビット・タイマ (モジュロ機能付き) の機能 …	34
7.3 リモコン用キャリア発生回路 …	35
8. 時計用タイマ/ウォッチドッグ・タイマ …	40
8.1 時計用タイマ/ウォッチドッグ・タイマの構成 …	40
8.2 時計用タイマ/ウォッチドッグ・タイマの機能 …	41
8.3 ウォッチドッグ・タイマ動作タイミング …	42

★

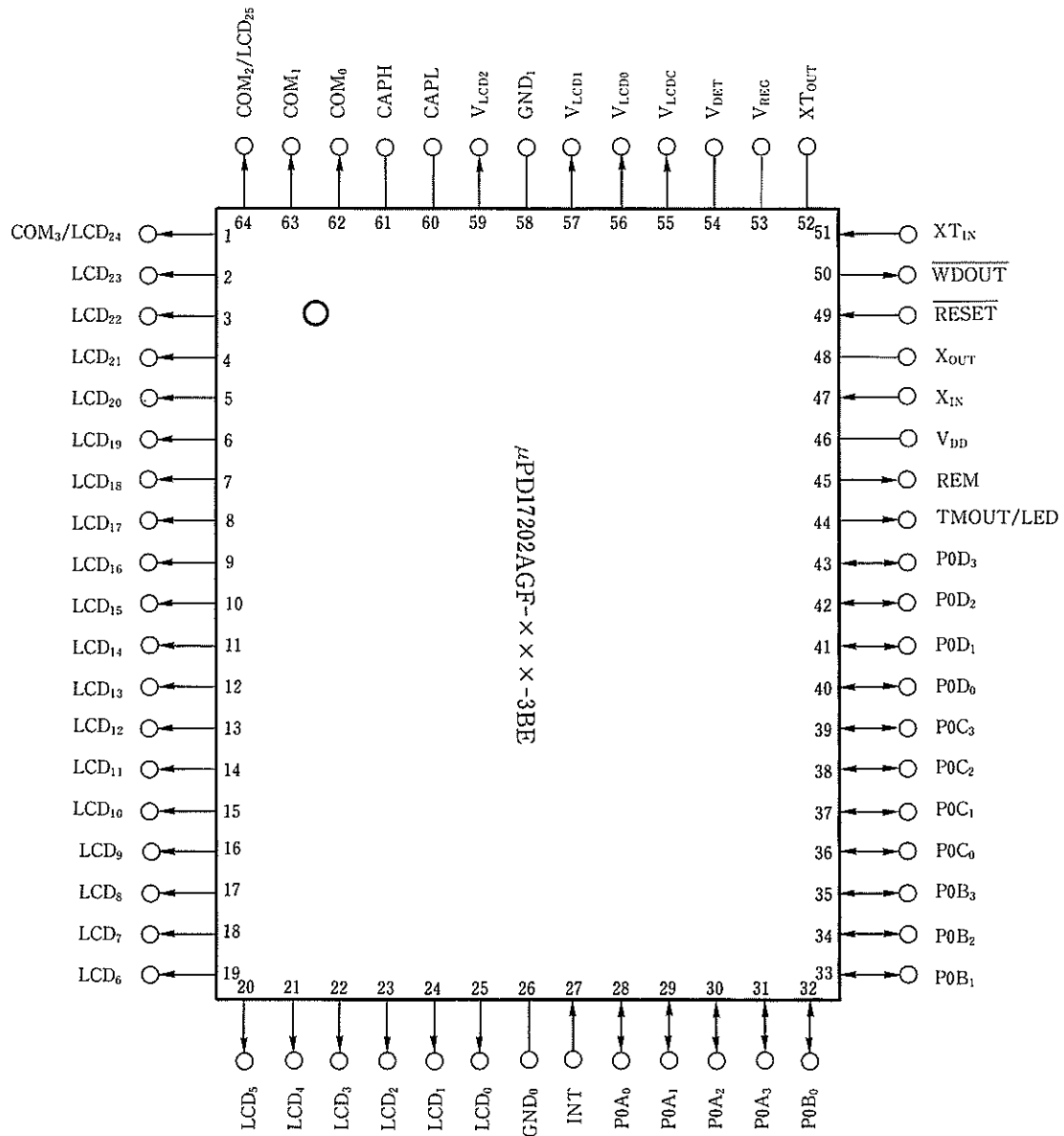
- 9. LCD コントローラ/ドライバ … 43
  - 9.1 LCD コントローラ/ドライバの構成 … 43
  - 9.2 LCD コントローラ/ドライバの機能 … 44
  - 9.3 表示モード・レジスタ … 44
  - 9.4 表示データ・メモリ … 47
  - 9.5 セグメント信号とコモン信号 … 51
  - 9.6 LCD ドライバ用定電圧昇圧回路 … 54
- 10. 電圧検出回路 … 56
- 11. 割り込み機能 … 57
  - 11.1 割り込み要因 … 57
  - ★ 11.2 割り込み制御回路の各種ハードウェア … 57
  - ★ 11.3 割り込みシーケンス … 61
- 12. スタンバイ機能 … 62
  - 12.1 HALT モード … 62
  - 12.2 HALT 命令の実行条件 … 62
  - 12.3 STOP モード … 63
  - 12.4 STOP 命令の実行条件 … 64
  - 12.5 スタンバイ・モード解除後の動作 … 64
- 13. リセット … 66
  - 13.1 リセット信号入力によるリセット … 66
  - 13.2 ウォッチドッグ・タイマによるリセット ( $\overline{\text{RESET}}$  端子と  $\overline{\text{WDOOUT}}$  端子を接続) … 66
  - 13.3 スタック・ポインタによるリセット ( $\overline{\text{RESET}}$  端子と  $\overline{\text{WDOOUT}}$  端子を接続) … 66
- 14. アセンブラ予約語 … 68
  - 14.1 マスク・オプション疑似命令 … 68
  - 14.2 予約シンボル … 69
- 15. 命令セット … 76
  - 15.1 命令セット概要 … 76
  - 15.2 凡例 … 77
  - 15.3 命令一覧表 … 78
- 16. 電気的特性 … 80
- 17. 外形図 … 85
- 18. 応用回路例 … 87
- 19. 半田付け推奨条件 … 88

付録 A.  $\mu$ PD17P202A と  $\mu$ PD17202A の違い … 89

付録 B.  $\mu$ PD17202A 関連製品の機能比較 … 90

付録 C. 開発ツール … 91

1. 端子接続図 (Top View)

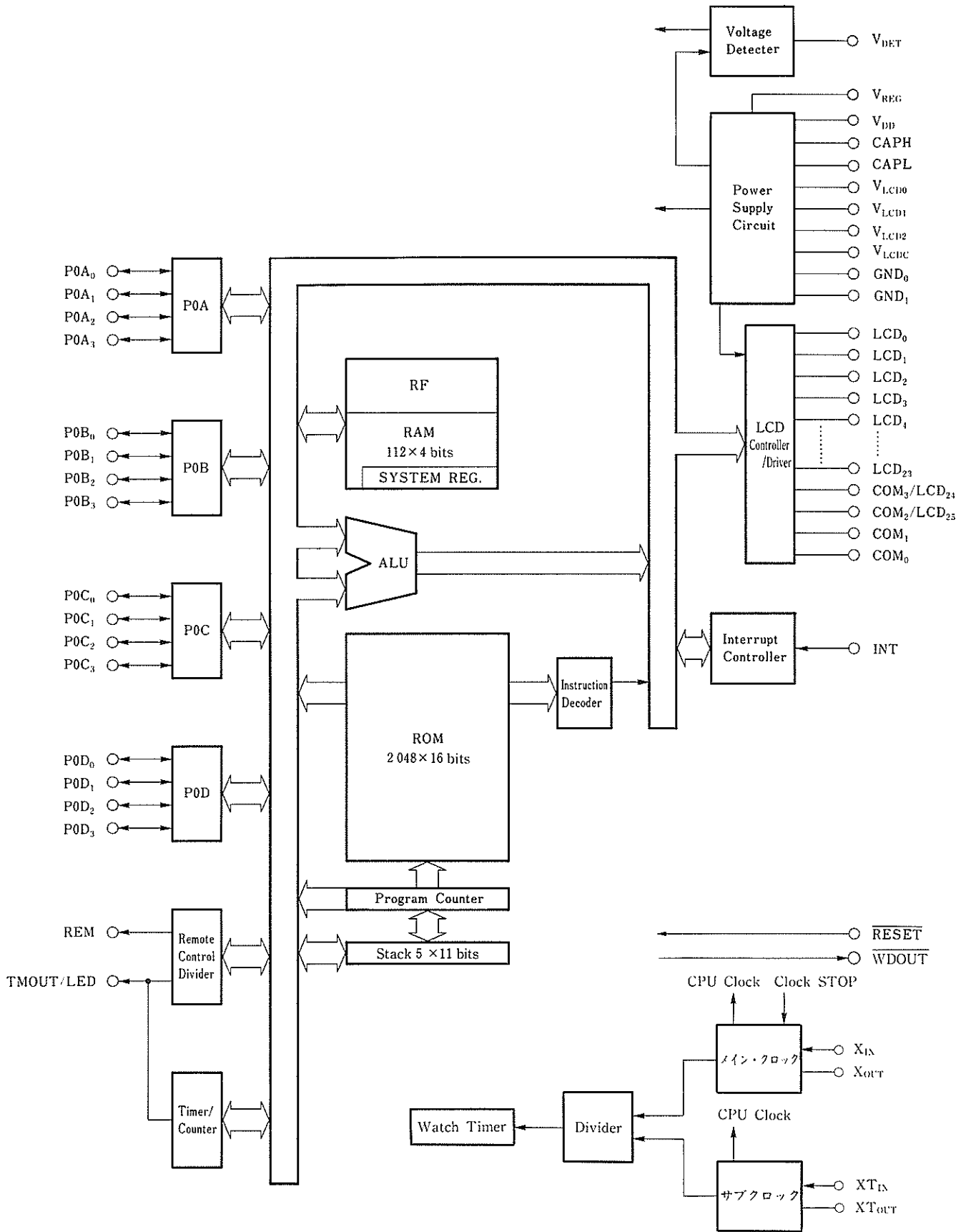


CAPH, CAPL : 昇圧用コンデンサ接続  
 COM<sub>0</sub>-COM<sub>3</sub> : LCD コモン信号出力  
 GND<sub>0</sub>, GND<sub>1</sub> : グランド  
 INT : 外部割り込み要求信号入力  
 LCD<sub>0</sub>-LCD<sub>25</sub> : LCD セグメント信号出力  
 LED : リモコン送信表示用出力  
 P0A<sub>0</sub>-P0A<sub>3</sub> : 入出力ポート  
 P0B<sub>0</sub>-P0B<sub>3</sub> : 入出力ポート  
 P0C<sub>0</sub>-P0C<sub>3</sub> : 入出力ポート  
 P0D<sub>0</sub>-P0D<sub>3</sub> : 入出力ポート  
 REM : リモコン送信出力

$\overline{\text{RESET}}$  : リセット信号入力  
 TMOUT : 8ビット・タイマ出力  
 V<sub>DD</sub> : 電源  
 V<sub>DET</sub> : ボルテージ・ディテクタ検出電圧調整  
 V<sub>LCD0</sub>-V<sub>LCD2</sub> : LCD ドライバ用電圧出力  
 V<sub>LDC</sub> : LCD ドライバ用基準電圧調整  
 V<sub>REG</sub> : ボルテージ・レギュレータ出力  
 $\overline{\text{WDOUT}}$  : 暴走検出出力  
 X<sub>IN</sub>, X<sub>OUT</sub> : メイン・クロック用発振回路  
 XT<sub>IN</sub>, XT<sub>OUT</sub> : サブクロック用発振回路



2. ブロック図



3. 端 子

3.1 端子機能

端子番号	記 号	機 能	出力形式	リセット時
62 63 64 1 2   25	COM <sub>0</sub> COM <sub>1</sub> LCD <sub>25</sub> /COM <sub>2</sub> LCD <sub>24</sub> /COM <sub>3</sub> LCD <sub>23</sub>   LCD <sub>0</sub>	LCD コントローラ/ドライバのセグメント信号と LCD コントローラ/ドライバのコモン信号の出力です。 ●LCD <sub>25</sub> -LCD <sub>0</sub> ・LCD コントローラ/ドライバのセグメント信号出力 ●COM <sub>0</sub> -COM <sub>3</sub> ・LCD コントローラ/ドライバのコモン信号出力	CMOS プッシュプル	-
26	GND <sub>0</sub>	グラウンドです。	-	-
27	INT	外部割り込み要求信号を入力します。割り込み要求の有効エッジとして、立ち上がりまたは立ち下がりのいずれかのエッジを選択することができます。	-	入 力
28   31	P0A <sub>0</sub>   P0A <sub>3</sub>	4ビットの CMOS 入出力ポートです。 4ビット単位で入力/出力の設定ができます。入力モードでは CMOS 入力となり、キー・マトリクスのキー・リターン入力として使用できます。ビット単位で、プルアップ抵抗内蔵可能です (マスク・オプション)。 スタンバイ・モード時、少なくとも 1本の端子にロウ・レベルを入力すると、スタンバイ・モードは解除されます。	CMOS プッシュプル	入 力
32   35	P0B <sub>0</sub>   P0B <sub>3</sub>	4ビットの CMOS 入出力ポートです。 4ビット単位で入力/出力の設定ができます。入力モードでは CMOS 入力となり、キー・マトリクスのキー・リターン入力として使用できます。ビット単位で、プルアップ抵抗内蔵可能です (マスク・オプション)。 スタンバイ・モード時、少なくとも 1本の端子にロウ・レベルを入力すると、スタンバイ・モードは解除されます。	CMOS プッシュプル	入 力
36   39	P0C <sub>0</sub>   P0C <sub>3</sub>	4ビットの CMOS 入出力ポートです。 4ビット単位で入力/出力の設定ができます。出力モードでは N-ch オープン・ドレインとなり、キー・マトリクスのキー・ソース出力として使用できます。	N-ch オープン・ドレイン	入 力
40   43	P0D <sub>0</sub>   P0D <sub>3</sub>	4ビットの CMOS 入出力ポートです。 4ビット単位で入力/出力の設定ができます。出力モードでは N-ch オープン・ドレインとなり、キー・マトリクスのキー・ソース出力として使用できます。	N-ch オープン・ドレイン	入 力

端子番号	記号	機能	出力形式	リセット時
44	TMOUT/LED	赤外線リモコン信号に同期した NRZ 信号 (LED) と 8 ビット・タイマ (TMOUT) の出力です。 ●TMOUT ・ 8 ビット・タイマ出力 ●LED ・ リモコン送信表示用出力 REM 端子からリモコン・キャリアが出力されている間はロウ・レベルになります。	CMOS プッシュプル	ハイ・レベル出力
45	REM	赤外線リモコン信号の出力です。 アクティブ・ハイの出力です。	CMOS プッシュプル	ロウ・レベル出力
46	V <sub>DD</sub>	正電源です。2.2~5.5 V を印加します。	-	-
47 48	X <sub>IN</sub> X <sub>OUT</sub>	メイン・クロック用発振回路を接続します。 4 MHz セラミック発振子または水晶振動子を接続してください。	-	(発振停止)
49	$\overline{\text{RESET}}$	システム・リセット用の入力です。 ロウ・レベル入力によってリセットがかかります。 ロウ・レベル入力中はメイン・クロックが発振停止します。 マスク・オプションにより、プルアップ抵抗を内蔵することができます。	-	入力
50	$\overline{\text{WDOUT}}$	暴走検出用の出力です。 ウォッチドッグ・タイマのオーバフローまたはスタックのオーバフロー/アンダフロー時にロウ・レベルを出力します。 $\overline{\text{RESET}}$ 端子と接続して使用してください。	N-ch オープン・ドレイン	ハイ・インピーダンス
51 52	XT <sub>IN</sub> XT <sub>OUT</sub>	サブクロック用発振回路を接続します。32 kHz 水晶振動子を接続してください。	-	(発振)
53	V <sub>REG</sub>	サブクロック発振回路用ボルテージ・レギュレータの出力です。 サブクロック使用時は、外部に 0.1 μF のコンデンサを付加して使用してください。	-	-
54	V <sub>DET</sub>	ボルテージ・ディテクタの検出電圧レベルを調整するための抵抗を接続します。この端子と GND 間に数 MΩ の可変抵抗を付加して電圧レベルを調整します。	-	-
55	V <sub>LCDC</sub>	LCD ドライバ用基準電圧を調整します。 使用例 	-	-
56 57	V <sub>LCD0</sub> V <sub>LCD1</sub>	LCD ドライバ用基準電圧の出力 (ダブル出力) です。 V <sub>LCD0</sub> の電圧が基準電圧になります。V <sub>LCD1</sub> の端子には、GND 間に 0.47 μF の容量を付加して使用してください。	-	-
58	GND <sub>1</sub>	グラウンドです。	-	-

★

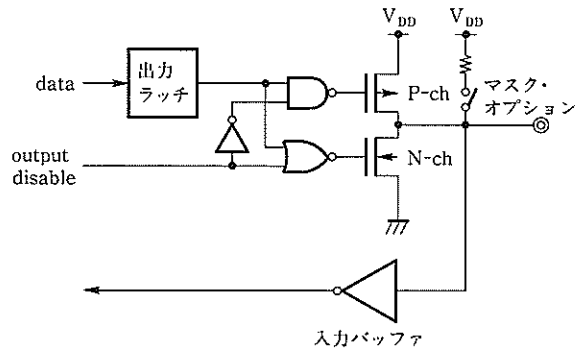
★

端子番号	記号	機能	出力形式	リセット時
59	V <sub>LCD2</sub>	LCDドライバ用基準電圧の出力（トリプラ出力）です。 この端子とGND間に0.47μFの容量を付加して使用してください。	—	—
60 61	CAPL CAPH	LCDドライバ電圧の昇圧用コンデンサを接続します。 0.47μFの容量を、CAPH-CAPL間に付加してください。	—	—

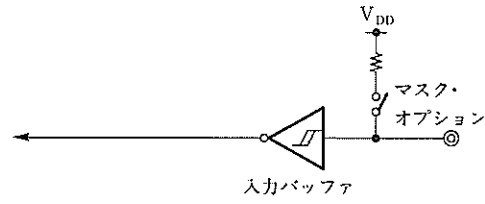
3.2 端子の等価回路

μPD17202A の各端子の入出力回路を一部簡略化した形式を用いて示します。

(1) P0A<sub>0</sub>-P0A<sub>3</sub>, P0B<sub>0</sub>-P0B<sub>3</sub>

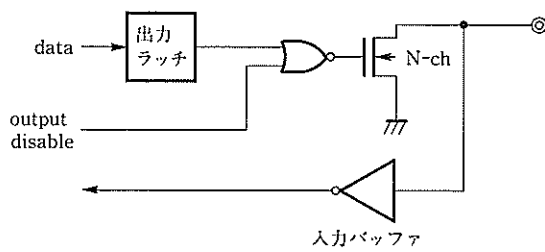


(3)  $\overline{\text{RESET}}$

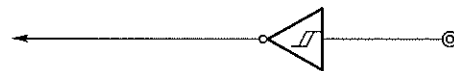


ヒステリシス特性を持つシュミット・トリガ入力となっています。

(2) P0C<sub>0</sub>-P0C<sub>3</sub>, P0D<sub>0</sub>-P0D<sub>3</sub>



(4) INT



ヒステリシス特性を持つシュミット・トリガ入力となっています。

## 3.3 未使用端子の処理

未使用端子は、誤動作を防止するため以下のような処理をしてください。

表 3-1 未使用端子の処理

端 子	推奨接続方法
INT	GND に接続
P0A <sub>0</sub> -P0A <sub>3</sub> P0B <sub>0</sub> -P0B <sub>3</sub>	入力状態：V <sub>DD</sub> に接続 出力状態：オープン (ハイ・レベル出力)
P0C <sub>0</sub> -P0C <sub>3</sub> P0D <sub>0</sub> -P0D <sub>3</sub>	入力状態：V <sub>DD</sub> または GND に接続 出力状態：オープン (ロウ・レベル出力)
TMOUT/LED	オープン
V <sub>DET</sub>	オープンまたは V <sub>DD</sub> に接続
REM	オープン
$\overline{\text{WDOUT}}$	GND に接続
X <sub>IN</sub>	
X <sub>OUT</sub>	V <sub>DD</sub> に接続
XT <sub>IN</sub>	GND に接続
XT <sub>OUT</sub>	V <sub>REG</sub> に接続
COM <sub>0</sub> -COM <sub>3</sub> LCD <sub>0</sub> -LCD <sub>23</sub> CAPL, CAPH	オープン
V <sub>LCDC</sub>	
V <sub>LCD0</sub>	V <sub>DD</sub> または V <sub>LCD0</sub> に接続
V <sub>LCD1</sub> , V <sub>LCD2</sub>	

注

注 LCD コントローラ/ドライバを使用しないときは、表示モード・レジスタで昇圧回路を停止してください。

3.4  $\overline{\text{RESET}}$  端子と INT 端子の使用上の注意

★

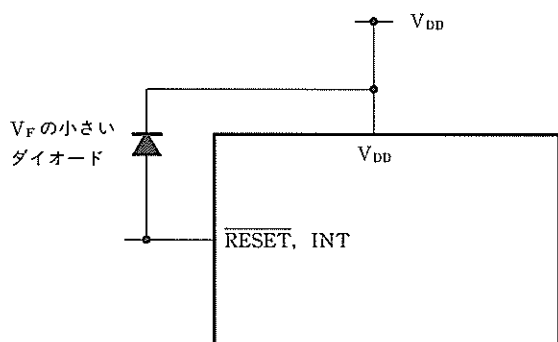
$\overline{\text{RESET}}$  端子と INT 端子は、3.1 端子機能に示した機能のほかに、μPD17202A の内部動作をテストする、テスト・モードを設定する機能 (IC テスト専用) を持っています。

これらの端子のいずれかに  $V_{DD}$  を越える電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であっても  $V_{DD}$  を越えるようなノイズが加わった場合にはテスト・モードに入ってしまう、通常動作に支障をきたすことがあります。

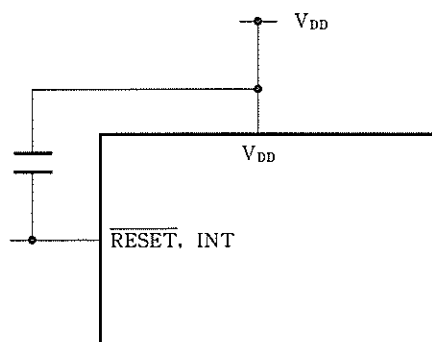
たとえば、 $\overline{\text{RESET}}$  端子または INT 端子の配線の引き回しが長い場合などでは、これらの端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は、下図のような外付け部品によるノイズ対策を実施してください。

$0V_{DD}$  との間に  $V_F$  の小さいダイオードを接続



$0V_{DD}$  との間にコンデンサを接続

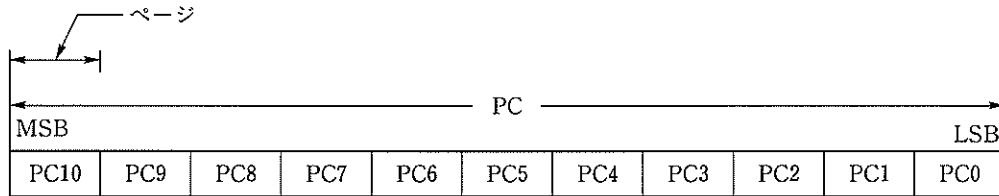


#### 4. メモリ空間

##### 4.1 プログラム・カウンタ (PC)

プログラム・カウンタ (PC) は、プログラム・メモリ (ROM) の番地を指定します。  
 プログラム・カウンタは、図 4-1 に示すように、11ビットのバイナリ・カウンタで構成されています。  
 リセット時には、0000H 番地にイニシャライズされます。

図 4-1 プログラム・カウンタの構成



##### 4.2 プログラム・メモリ (ROM)

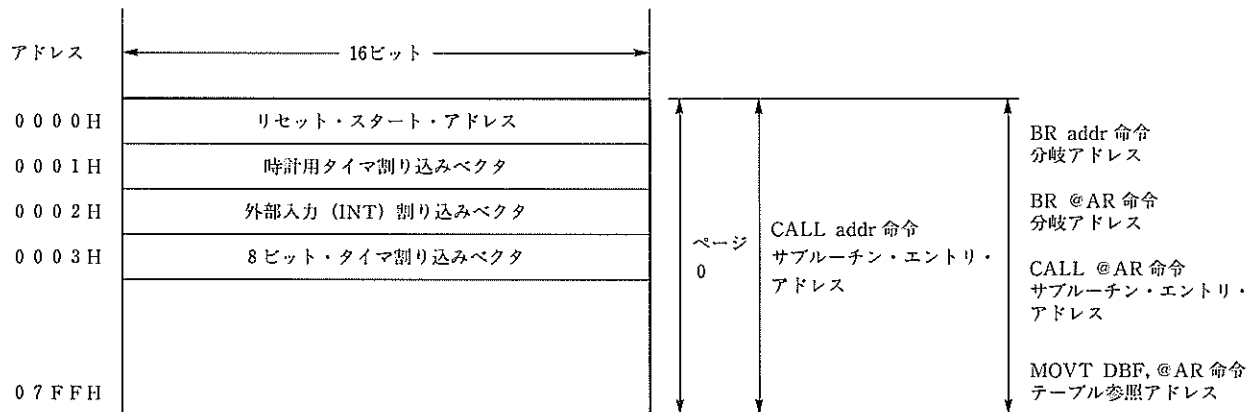
プログラム・メモリ容量	プログラム・メモリ番地
2048×16ビット	0000H-07FFH

プログラム・メモリには、プログラム、割り込みベクタ・テーブル、および固定データ・テーブルなどを格納します。

プログラム・メモリは、プログラム・カウンタによってアドレス指定されます。

図 4-2 にプログラム・メモリ・マップを示します。BR addr, BR @AR, CALL addr, CALL @AR, MOVT DBF, @AR の各命令によるアドレス指定可能な範囲は、プログラム・メモリの全範囲である 0000H-07FFH です。

図 4-2 プログラム・メモリ・マップ





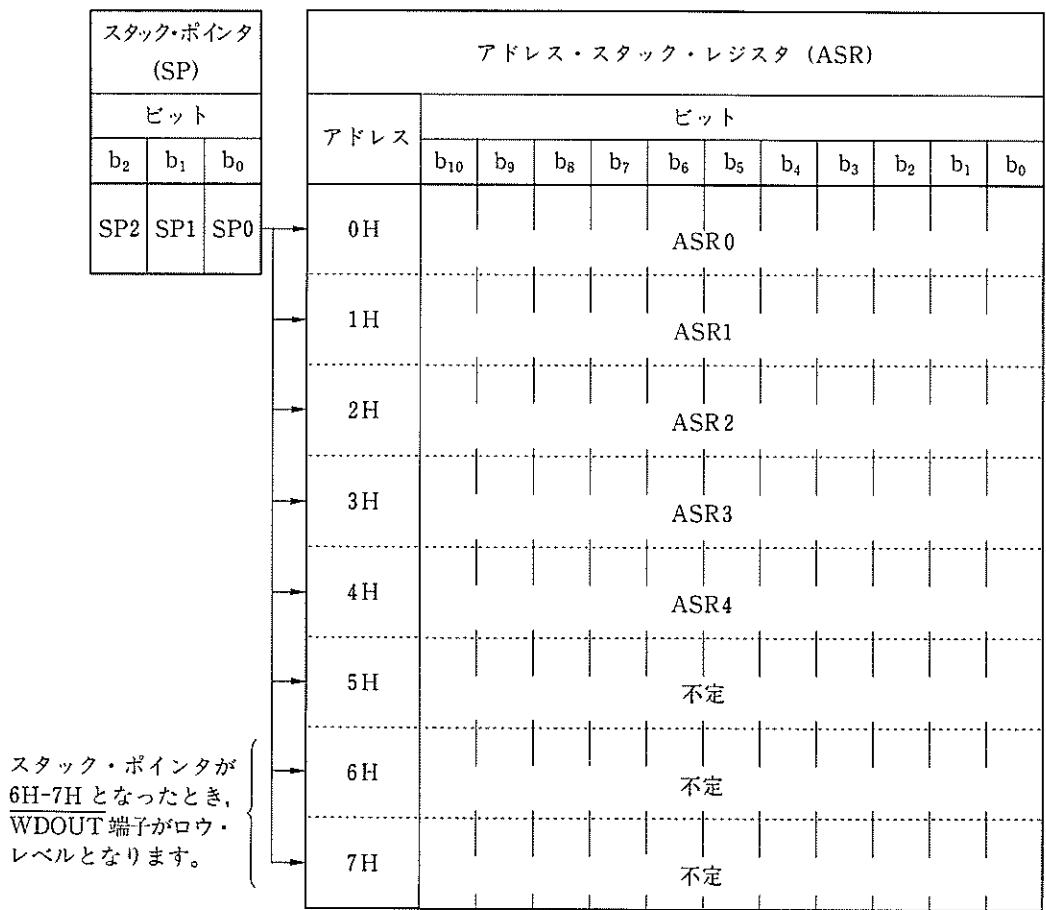
4.3 スタック

スタックとはサブルーチン・コール時や割り込み受け付け時にプログラムの戻り番地や後述するシステム・レジスタの内容を退避するためのレジスタです。

4.3.1 スタックの構成

図4-3に示すように3ビットのバイナリ・カウンタであるスタック・ポインタ1個と11ビットのアドレス・スタック・レジスタ5個および5ビットの割り込みスタック・レジスタ (INTSK) 3個で構成されています。

図4-3 スタックの構成



割り込みスタック・レジスタ (INTSK)					
アドレス	ステータス・スタック (PSWSK)				
	ビット				
	b <sub>4</sub>	b <sub>3</sub>	b <sub>2</sub>	b <sub>1</sub>	b <sub>0</sub>
0H	BCDSK0	CMPSK0	CYSK0	ZSK0	IXESK0
1H	BCDSK1	CMPSK1	CYSK1	ZSK1	IXESK1
2H	BCDSK2	CMPSK2	CYSK2	ZSK2	IXESK2

#### 4.3.2 スタックの機能

アドレス・スタック・レジスタ (ASR) は、サブルーチン・コール命令、テーブル参照命令 (第1命令サイクル) 実行時および割り込み受け付け時に、戻り番地を格納します。また、スタック操作命令 (PUSH AR) 実行時に、アドレス・レジスタ (AR) の内容を格納します。

5 レベルを越えるサブルーチン・コールや割り込みを実行すると、 $\overline{\text{WDOUT}}$  端子がロウ・レベルになります。

割り込みスタック・レジスタ (INTSK) は、割り込み受け付け時に、プログラム・ステータス・ワード (PSWORD) の内容を退避します。割り込みリターン命令 (RETI) の実行により、復帰されます。

INTSKは、割り込みが受け付けられるごとにデータを退避していきますが、3 レベルを越える割り込みが受け付けられると、最初のデータは失われてしまいます。

#### 4.3.3 スタック・ポインタ (SP) と割り込みスタック・レジスタ

スタック・ポインタ (SP) の動作を表 4-1 に示します。

スタック・ポインタの取り得る値は 0H-7H の 8 通りになりますが、アドレス・スタック・レジスタは 5 個しかないため、SP の値が 6 以上になると  $\overline{\text{WDOUT}}$  端子がロウ・レベルになります。

表 4-1 スタック・ポインタの動作

命 令	スタック・ポインタ (SP) の値	割り込みスタック・レジスタのカウンタ
CALL addr CALL @AR MOVT DBF, @AR (第1命令サイクル) PUSH AR	-1	0
割り込み受け付け	-1	-1
RET RETSK MOVT DBF, @AR (第2命令サイクル) POP AR	+1	0
RETI	+1	+1

★

#### 4.4 データ・メモリ (RAM)

データ・メモリ (RAM) とは、演算、制御などのデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

##### 4.4.1 データ・メモリの構成

★

図 4-4 にデータ・メモリ (RAM) の構成を示します。

データ・メモリ (RAM) は“バンク”と呼ぶ単位で分割されていますが、本製品では BANK0 に固定となっています。

4 ビット単位のデータごとに番地 (アドレス) が割り付けられており、上位 3 ビットを“ロウ・アドレス”，下位 4 ビットを“カラム・アドレス”と呼びます。たとえば、ロウ・アドレスが 1H でカラム・アドレスが 0AH のデータ・メモリはアドレス 1AH のデータ・メモリと呼びます。また 1 つのアドレスは 4 ビットのメモリで構成されており、これを“1 ニブル”と呼びます。

データ・メモリは、上記アドレス以外に機能別として次に示すブロックに分けられます。

##### (1) システム・レジスタ (SYSREG)

データ・メモリのアドレス 74H-7FH に割り当てられた 12 ニブルで構成されています。システム・レジスタ (SYSREG) はバンクに無関係に割り当てられており、アドレス 74H-7FH には同一のシステム・レジスタ (SYSREG) が存在します。

##### (2) データ・バッファ (DBF)

データ・メモリのアドレス 0CH-0FH に割り当てられた 4 ニブルで構成されています。

リセット時は 0320H になります。

##### (3) ジェネラル・レジスタ (GR)

データ・メモリの任意のロウ・アドレスで指定される 16 ニブルで構成されています。

ただし、任意のロウ・アドレスとは、システム・レジスタ (SYSREG) 中のジェネラル・レジスタ・ポイント (RP) により指定されます。

##### (4) LCDセグメント・データ・レジスタ (LCDレジスタ)

データ・メモリのアドレス 40H-59H に割り当てられた 26 ニブルで構成されます。

9. LCD コントローラ/ドライバを参照してください。

##### (5) ポート・レジスタ

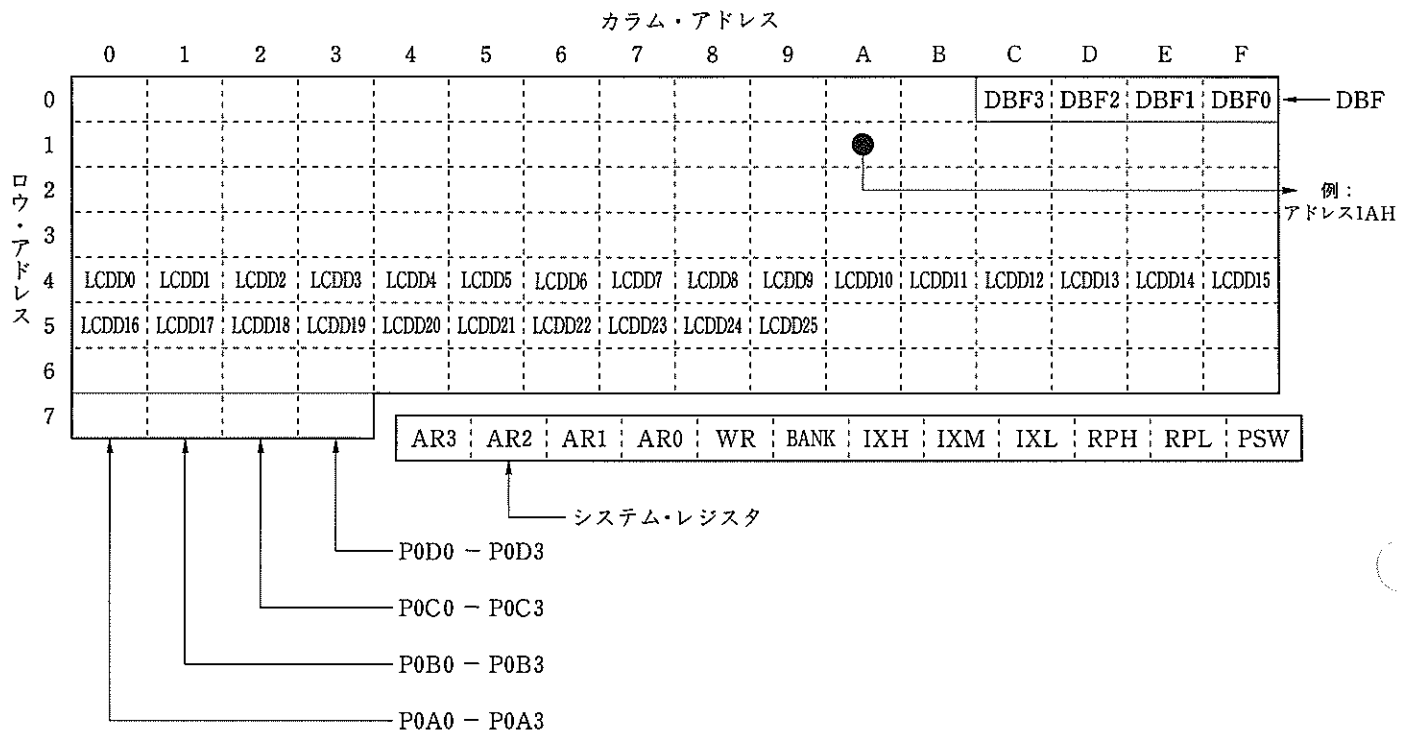
データ・メモリのアドレス 70H-73H に割り当てられた 4 ニブルで構成されます。

リセット時は 0H になります。

##### (6) 汎用データ・メモリ

データ・メモリからシステム・レジスタ (SYSREG)、LCD レジスタおよびポート・レジスタを除いた部分で 86 ニブルから構成されます。

図 4-4 データ・メモリの構成



4.4.2 システム・レジスタ (SYSREG)

★

システム・レジスタは、CPU の制御に直接関係するレジスタ類の総称です。データ・メモリ上の 74H-7FH 番地に配置されており、バンク指定に関係なく参照できます。

システム・レジスタには以下のものがあります。

- アドレス・レジスタ (AR0-AR3)
- ウインドウ・レジスタ (WR)
- バンク・レジスタ (BANK)<sup>注</sup>
- メモリ・ポインタ・イネーブル・フラグ (MPE)
- メモリ・ポインタ (MPH, MPL)
- インデクス・レジスタ (IXH, IXM, IXL)
- ジェネラル・レジスタ・ポインタ (RPH, RPL)
- プログラム・ステータス・ワード (PSWORD)

注 バンク・レジスタは 0 に固定です。

図 4-5 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)	プログラム・ステータス・ワード (PSWORD)	
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW
ビット	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>	b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>
データ	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	(WR)	0 0 0 0	MPE	0 0 0 0	(IX)	0 0 0 0	(RP)	B C C I C M Y Z D P X E
リセット時の初期値	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	不定	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

4.4.3 ジェネラル・レジスタ (GR)

ジェネラル・レジスタはデータ・メモリ上に配置されるレジスタで、データ・メモリとの直接演算や、転送を行います。

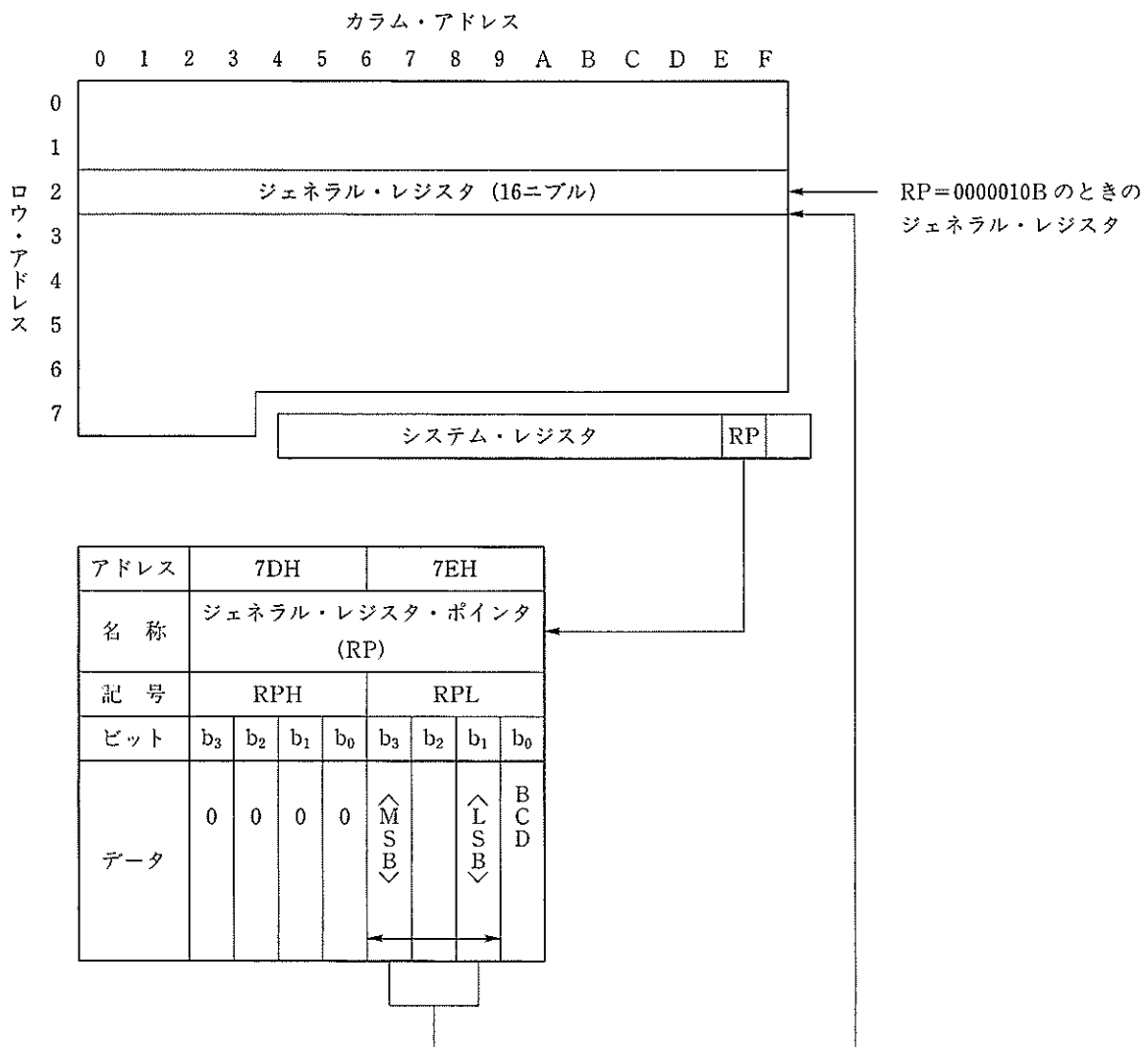
(1) ジェネラル・レジスタの構成

ジェネラル・レジスタの構成を図4-6に示します。

図4-6に示すように、データ・メモリ上でロウ・アドレスである16ニブル (16×4ビット) をジェネラル・レジスタとして使用できます。

どのロウ・アドレスを使用するかは、システム・レジスタのジェネラル・レジスタ・ポインタによって設定します。

図4-6 ジェネラル・レジスタの構成



## (2) ジェネラル・レジスタの機能

ジェネラル・レジスタを使用することにより、データ・メモリとジェネラル・レジスタとの間で演算や転送を1命令で行うことが可能となります。

ジェネラル・レジスタはすなわちデータ・メモリであるため、言い替えば1命令でデータ・メモリ同士の演算や転送が可能になります。

また、ジェネラル・レジスタは、データ・メモリ上に存在しているため他のデータ・メモリと同様にデータ・メモリ操作命令で制御することができます。

### 4.4.4 データ・バッファ (DBF)

データ・バッファは周辺ハードウェアとのデータ転送時およびテーブル参照のデータ読み込み時に使用するバッファで、データ・メモリ上に配置されています。

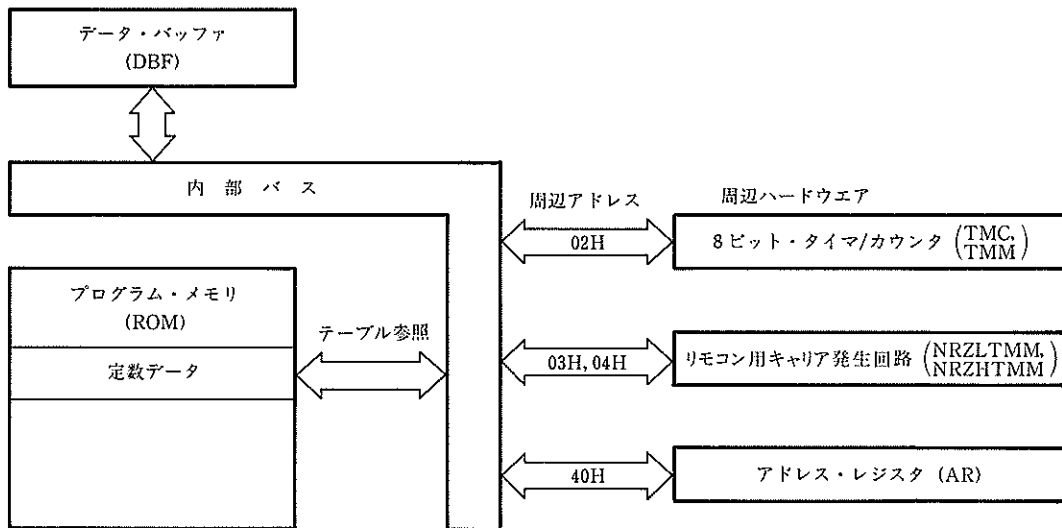
#### (1) データ・バッファの機能

データ・バッファには、以下の(1)および(2)に示す2つの機能があります。

- ① 周辺ハードウェアとのデータ転送機能
- ② プログラム・メモリ上の定数データの読み込み（テーブル参照）機能

図4-7にデータ・バッファと周辺ハードウェアおよびテーブル参照の関係を示します。

図 4-7 データ・バッファと周辺ハードウェアおよびテーブル参照との関係



★

表 4-2 周辺ハードウェアとデータ・バッファの関係

周辺ハードウェア	データ・バッファと転送を行う周辺レジスタ				
	名称	記号	周辺アドレス	使用データ・バッファ	PUT/GETの可否
8ビット・タイマ・カウンタ	8ビット・タイマ・カウンタ	TMC	02H	DBF0, DBF1	GETのみ可
	8ビット・モジュロ・レジスタ	TMM	02H	DBF0, DBF1	PUTのみ可
リモコン用キャリア発生回路	NRZ ロー・レベル 期間設定用 モジュロ・レジスタ	NRZLTMM	03H	DBF0, DBF1	PUT可 GET可
	NRZ ハイ・レベル 期間設定用 モジュロ・レジスタ	NRZHTMM	04H	DBF0, DBF1	PUT可 (DBF1のビット3は0にすること) GET可 (DBF1のビット3は常に0)
アドレス・レジスタ	アドレス・レジスタ	AR	40H	DBF0 - DBF3	PUT可 (AR3とAR2のビット3は任意) GET可 (AR3とAR2のビット3は常に0)

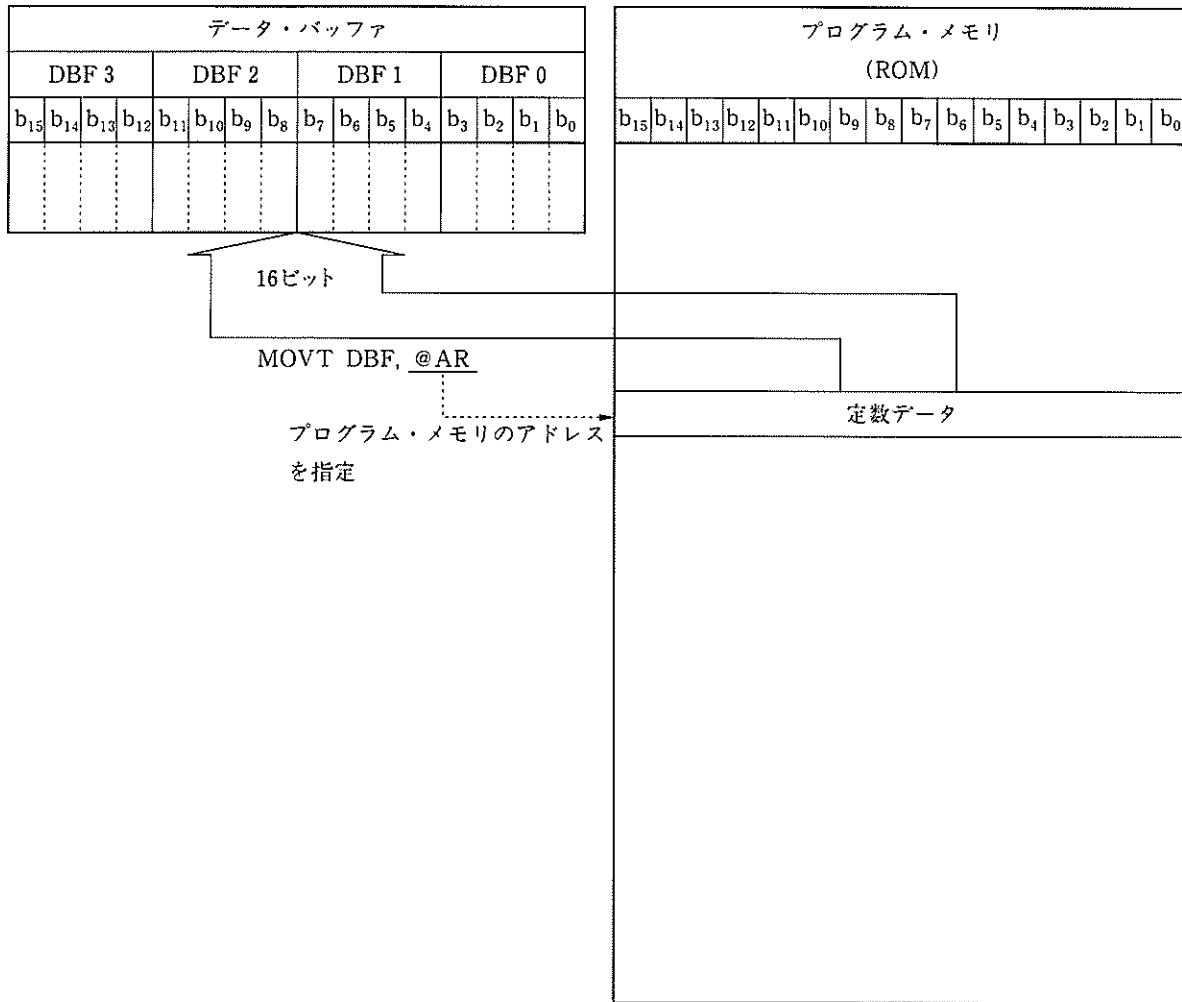


(2) テーブル参照

テーブル参照は“MOVT DBF, @AR”命令を用いることにより、プログラム・メモリ上の定数データを、データ・バッファ上に読み込むことができます。

以下に“MOVT”命令について説明します。

MOVT DBF, @AR ; 下図に示すようにアドレス・レジスタの内容によってアドレス指定されるプログラム・メモリの内容を、データ・バッファに読み出します。



テーブル参照命令実行時はスタックが1レベル使用されます。

### (3) データ・バッファ使用時の注意

データ・バッファを介して周辺ハードウェアとデータ転送を行うとき、未使用周辺アドレスや書き込み専用周辺レジスタ（PUTのみ）および読み出し専用周辺レジスタ（GETのみ）に対して以下に示すような注意が必要です。

#### • デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用アドレスを読み出すと“不定な値”が読み出され、書き込んでも何も変化しません。

#### • アセンブラ（AS17K）使用時

書き込み専用レジスタを読み出す命令に“エラー”が発生します。

読み出し専用レジスタに書き込む命令に“エラー”が発生します。

未使用アドレスを読み出す命令および書き込む命令に“エラー”が発生します。

#### • インサーキット・エミュレータ（IE-17K, IE-17K-ET）使用時（パッチ処理などで命令を実行したとき）

書き込み専用レジスタを読み出すと“不定な値”が読み出されます。“エラー”は発生しません。

読み出し専用レジスタに書き込みを行っても何も変化しません。“エラー”は発生しません。

未使用アドレスを読み出すと“不定な値”が読み出され、書き込んでも何も変化しません。“エラー”は発生しません。

4.5 レジスタ・ファイル (RF)

★

レジスタ・ファイルは主として周辺ハードウェアの条件設定を行うためのレジスタです。

専用命令である PEEK, POKE 命令または AS17K の組み込みマクロ命令である SETn, CLRn および INITFLG 命令などで制御することができます。

4.5.1 レジスタ・ファイルの構成

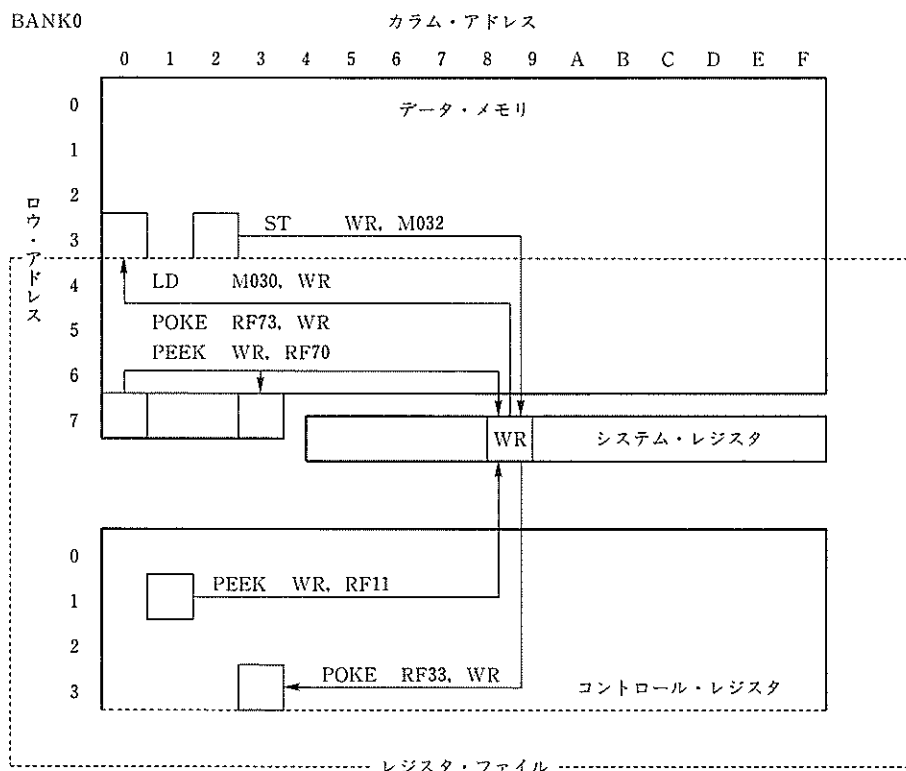
図 4-8 にレジスタ・ファイルの構成および PEEK, POKE 命令によるレジスタ・ファイルのアクセスの様子を示します。

コントロール・レジスタは、専用命令である PEEK, POKE 命令を用いて制御を行います。このときコントロール・レジスタは、アドレス 00H-3FH 番地に割り付けられているため、PEEK, POKE 命令を用いた場合に汎用データ・メモリのアドレス 00H-3FH 番地はアクセス不能になります。

したがって、PEEK, POKE 命令でアクセスできる範囲は、コントロール・レジスタのアドレス 00H-3FH および汎用データ・メモリの 40H-7FH となります。この範囲を“レジスタ・ファイル”と呼びます。

なおコントロール・レジスタは、デバッグを容易にするために、IE-17K 上では 80H-BFH 番地に割り付けられています。

図 4-8 レジスタ・ファイルの構成および PEEK, POKE 命令によるレジスタ・ファイルのアクセス



4.5.2 コントロール・レジスタ

★

コントロール・レジスタは、レジスタ・ファイルのアドレス 00H-3FH 番地の計64ニブル (64×4 ビット) から構成されています。

ただし、そのうち実際に使用しているのは17ニブルです。残りの47ニブルは未使用レジスタで、読み出しおよび書き込みは禁止されています。

“PEEK WR, rf” 命令の実行によって、“rf” でアドレス指定されるレジスタ・ファイルの内容がウィンドウ・

レジスタに読み込まれます。

“POKE rf, WR”命令の実行によって、ウインドウ・レジスタの内容が“rf”でアドレス指定されるレジスタ・ファイルに書き込まれます。

アセンブラ（AS17K）を使用する場合は、フラグ型シンボル操作命令として組み込まれている次のマクロ命令が使用できます。マクロ命令を使用することにより、レジスタ・ファイルの内容を1ビット単位で操作することができます。

コントロール・レジスタの構成については、図 14-1 レジスタ・ファイルの一覧を参照してください。

SETn	: フラグに“1”をセット
CLRn	: フラグを“0”にクリア
SKTn	: フラグがすべて“1”であればスキップ
SKFn	: フラグがすべて“0”であればスキップ
NOTn	: フラグを反転
INITFLG	: フラグをイニシャライズ

#### 4.5.3 レジスタ・ファイル使用時の注意

レジスタ・ファイルを使用する場合は、次に示すような注意が必要です。詳細についてはμPD172××シリーズ ユーザーズ・マニュアル（IEU-762）を参照してください。

##### (1) コントロール・レジスタ（読み出し専用および未使用レジスタ）操作時

コントロール・レジスタの読み出し専用レジスタ（R）および未使用レジスタを操作するときは、アセンブラ使用時およびインサーキット・エミュレータ使用時に注意が必要です。

##### • デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用部分を読み出すと、“不定な値”が読み出され、書き込みを行っても何も変化しません。

##### • アセンブラ（AS17K）使用時

読み出し専用レジスタに書き込みを行う命令に、“エラー”が発生します。

未使用部分を読み出したたり、書き込みを行う命令に、“エラー”が発生します。

##### • インサーキット・エミュレータ（IE-17K, IE-17K-ET）使用時（パッチ処理などで操作したとき）

読み出し専用レジスタに書き込みを行っても何も変化しません。“エラー”は発生しません。

未使用部分を読み出すと、“不定な値”が読み出され、書き込みを行っても何も変化しません。“エラー”は発生しません。

##### (2) レジスタ・ファイルのシンボル定義

17Kシリーズのアセンブラ（AS17K）を使用する上では、“PEEK WR, rf”および“POKE rf, WR”命令のオペランド“rf”に直接数値でレジスタ・ファイル・アドレスを記述すると、“エラー”が発生します。

したがって、レジスタ・ファイルのアドレスをあらかじめシンボルとして定義する必要があります。

コントロール・レジスタのアドレスをシンボル定義する場合は、BANK0のアドレス 80H-BFh として定義してください。ただし、データ・メモリと重なっているレジスタ・ファイル（40H-7FH）は、そのままのアドレスでシンボル定義することができます。

## 5. ポート

### 5.1 ポート 0A (P0A<sub>0</sub>-P0A<sub>3</sub>)

4ビットの入出力ポートです。このポートは、4ビット単位で入出力を指定することができます。この設定は、レジスタ・ファイル上の P0AGIO で行います。このポートのラッチは、データ・メモリの 70H 番地に配置されています。

入力モードでは、CMOS 入力となり、キー・マトリクスのキー・リターン入力として使用できます。

出力モードでは CMOS 出力となります。出力モード時にデータ・メモリの 70H を読み出すと出力端子の状態が読み出せます。

スタンバイ・モード時、少なくとも 1 本の端子にロウ・レベルを入力すると、スタンバイ・モードは解除されま  
す (出力モードでは、スタンバイ・モードには入りません)。 ★

ビット単位で、プルアップ抵抗内蔵可能です (マスク・オプション)。

### 5.2 ポート 0B (P0B<sub>0</sub>-P0B<sub>3</sub>)

4ビットの入出力ポートです。このポートは、4ビット単位で入出力を指定することができます。この設定は、レジスタ・ファイル上の P0BGIO で行います。このポートのラッチは、データ・メモリの 71H 番地に配置されています。

入力モードでは、CMOS 入力となり、キー・マトリクスのキー・リターン入力として使用できます。

出力モードでは、CMOS 出力となります。出力モード時にデータ・メモリの 71H を読み出すと出力端子の状態が読み出せます。

スタンバイ・モード時、少なくとも 1 本の端子にロウ・レベルを入力すると、スタンバイ・モードは解除されま  
す (出力モードでは、スタンバイ・モードには入りません)。 ★

ビット単位で、プルアップ抵抗内蔵可能です (マスク・オプション)。

### 5.3 ポート 0C (P0C<sub>0</sub>-P0C<sub>3</sub>)

4ビットの入出力ポートです。このポートは、4ビット単位で入出力を指定することができます。この設定は、レジスタ・ファイル上の P0CGIO で行います。このポートのラッチは、データ・メモリの 72H 番地に配置されています。

出力モードでは、N-ch オープン・ドレイン出力となり、キー・マトリクスのキー・ソースとして使用できます。

出力モード時にデータ・メモリの 72H を読み出すと、出力端子の状態が読み出せます。

入力モードでは CMOS 入力となります。

### 5.4 ポート 0D (P0D<sub>0</sub>-P0D<sub>3</sub>)

4ビットの入出力ポートです。このポートは、4ビット単位で入出力を指定することができます。この設定は、レジスタ・ファイル上の P0DGIO で行います。このポートのラッチは、データ・メモリの 73H 番地に配置されています。

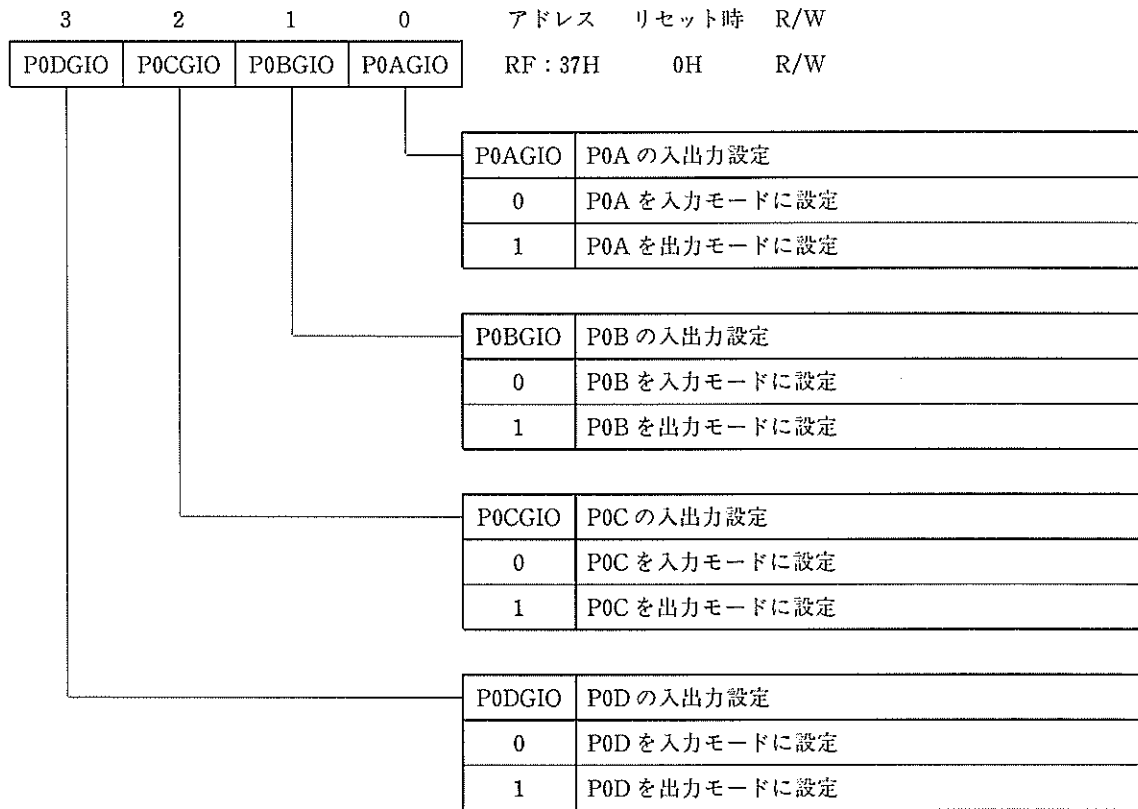
出力モードでは、N-ch オープン・ドレイン出力となり、キー・マトリクスのキー・ソースとして使用できます。

出力モード時にデータ・メモリの 73H を読み出すと、出力端子の状態が読み出せます。

入力モードでは CMOS 入力となります。

5.5 グループ I/O 入出力切り替え

4ビット単位で入出力を切り替える I/O をグループ I/O といいます。グループ I/O のポートとして P0A, P0B, P0C, P0D があり、これらの入出力状態の切り替えは、以下に示すレジスタ・ファイルで行います。入力モードから出力モードに設定変更した場合、設定変更と同時に P0A, P0B, P0C, P0D の各ラッチの内容がそれぞれのポートに出力されます。



5.6 INT 端子

外部割り込み要求信号の入力です。入力信号の立ち上がりエッジにより、IRQ フラグ (RF : 3EH 番地, ビット 0) をセットします。

INT フラグ (RF : 0FH 番地, ビット 0) により、端子の状態を読むことができます。INT 端子にハイ・レベルが入力されているときは INT フラグが “1” に、ロウ・レベルが入力されているときには “0” になります (11.2.1 INT 参照)。

図 5-1 ポート・レジスタと各端子の関係

★

バンク	アドレス	対象ポート	ビット	出力形式	読み出し時の内容		書き込み時の内容		リセット時	
					入力モード時	出力モード時	入力モード時	出力モード時		
0	70H	ポート 0A	b <sub>3</sub>	P0A <sub>3</sub>	CMOS プッシュプル	端子の状態	出力ラッチ	入力モード (マスク・オプションで プルアップ抵抗内蔵可 能)		
			b <sub>2</sub>	P0A <sub>2</sub>						
			b <sub>1</sub>	P0A <sub>1</sub>						
			b <sub>0</sub>	P0A <sub>0</sub>						
	71H	ポート 0B	b <sub>3</sub>	P0B <sub>3</sub>	CMOS プッシュプル					
			b <sub>2</sub>	P0B <sub>2</sub>						
			b <sub>1</sub>	P0B <sub>1</sub>						
			b <sub>0</sub>	P0B <sub>0</sub>						
	72H	ポート 0C	b <sub>3</sub>	P0C <sub>3</sub>	N-ch オープン・ドレイン					入力モード
			b <sub>2</sub>	P0C <sub>2</sub>						
			b <sub>1</sub>	P0C <sub>1</sub>						
			b <sub>0</sub>	P0C <sub>0</sub>						
	73H	ポート 0D	b <sub>3</sub>	P0D <sub>3</sub>	N-ch オープン・ドレイン					
			b <sub>2</sub>	P0D <sub>2</sub>						
			b <sub>1</sub>	P0D <sub>1</sub>						
			b <sub>0</sub>	P0D <sub>0</sub>						

## 6. クロック発生回路

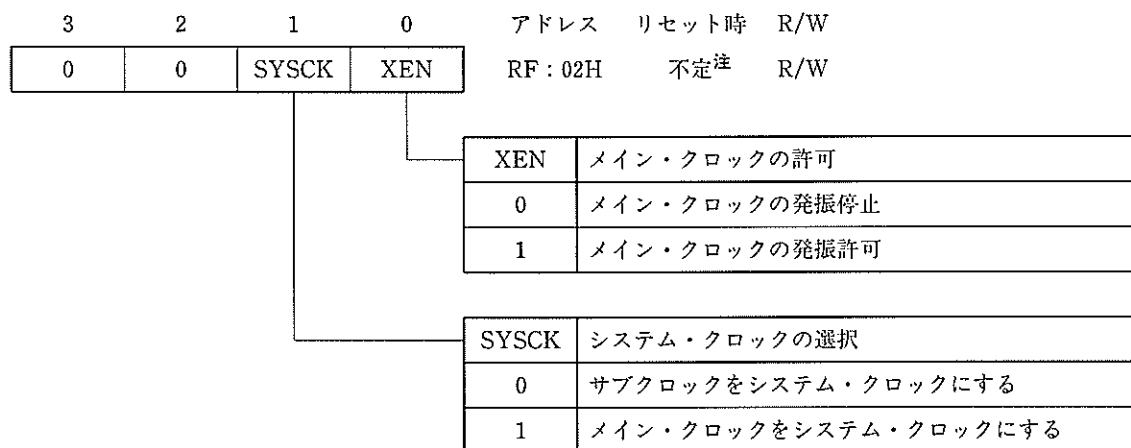
μPD17202Aは、メイン・クロック (X) とサブクロック (XT) の2系統の発振回路を内蔵しています。どちらのクロックもシステム・クロックとして使用することができます。

図6-1に、システム・クロック制御レジスタの構成を示します。

システム・クロックとしてどちらのクロックを使用するかを選択は、SYSCK フラグ (RF: 02H 番地, ビット1)で行います。また、XEN フラグ (RF: 02H 番地, ビット0) をリセットすることにより、メイン・クロックの発振を停止させ、消費電流を低減することができます。

サブクロックを使用する場合は、サブクロック発振安定のために、必ず V<sub>REG</sub> 端子に0.1 μF のコンデンサを接続してください。サブクロックを使用しない場合 (マスク・オプションで指定) は、XT<sub>IN</sub> 端子を GND に接続し、XT<sub>OUT</sub> 端子を V<sub>REG</sub> 端子に接続してください。

図6-1 システム・クロック制御レジスタ



★ 注 マスク・オプションによる



## 6.1 システム・クロックの切り替え

システム・クロックの切り替えは、図 6-1 に示すように SYSCK フラグ (RF: 02H 番地, ビット 1) によって行います。

### (1) メイン・クロックからサブクロックへの切り替え

SYSCK フラグをリセット(0)することによって、メイン・クロックからサブクロックにシステム・クロックを切り替えることができます。

マスク・オプションで NOXT を設定した場合、サブクロックへは切り替わりません (SYSCK=0, XEN=0 には設定できません)。

**注意** 電源立ち上げ時は、サブクロック発振安定のための十分な時間をとってください(プログラムにより IRQWTM フラグ (RF: 3CH 番地, ビット 2) が一定周期でセットされることを確認してください)。

### (2) サブクロックからメイン・クロックへの切り替え

SYSCK フラグをセット(1)することによって、サブクロックからメイン・クロックにシステム・クロックを切り替えることができます。

マスク・オプションで NOX を設定した場合、メイン・クロックへは切り替わりません (SYSCK=1, XEN=1 には設定できません)。

**注意** SYSCK フラグをセット(1)する場合は、XEN フラグのセット(1)後、プログラムで 10 ms 程度の発振安定時間をとってから行ってください。

## 6.2 メイン・クロックの発振制御機能

サブクロックをシステム・クロックとして動作させている場合、XEN フラグ (RF: 02H 番地, ビット 0) を操作することにより、メイン・クロックの発振停止や発振開始を制御することができます。

メイン・クロックを発振停止状態から発振開始状態に変更 (XEN フラグのセット) したあと、システム・クロックをサブクロックからメイン・クロックに切り替える (SYSCK フラグのセット) 場合、プログラムで 10 ms 程度の発振安定時間をとってから行ってください。

**注意** XEN フラグと SYSCK フラグは同時に操作できません (POKE 命令を 2 回実行してください)。

## 7. 8ビット・タイマ/カウンタ, リモコン用キャリア発生回路

8ビット・タイマ/カウンタは、おもにリモコン信号のリーダ・パルスの作成やコード出力時に使用します。各タイマの制御は、GET/PUT 命令およびレジスタ・ファイル上のレジスタの操作により行います。

### 7.1 8ビット・タイマ (モジュロ機能付き) の構成

図7-1に8ビット・タイマの構成を示します。

図7-1に示すように、8ビット・タイマは8ビット・カウンタ, 8ビット・モジュロ・レジスタ, タイマとモジュロ・レジスタの値を一致比較するコンパレータおよび8ビット・タイマの動作クロックを選択するセレクトで構成されています。

8ビット・タイマのスタート/ストップと8ビット・カウンタのリセット制御は、レジスタ・ファイルの TMEN (33H 番地, ビット3) と TMRES (33H 番地, ビット2) で行います。8ビット・タイマの動作クロックの選択は、レジスタ・ファイルの TMCK1 (33H 番地, ビット1), TMCK0 (33H 番地, ビット0) で行います。

8ビット・カウンタの値の読み取りは、GET 命令により DBF (データ・バッファ) を介して行います。8ビット・カウンタへの値の設定はできません。モジュロ・レジスタに対する値の設定は、PUT 命令により DBF (データ・バッファ) を介して行います。モジュロ・レジスタの読み取りはできません。8ビット・カウンタ (TMC) とモジュロ・レジスタ (TMM) のデータ・レジスタが同一の番地であるために、読み取り時は8ビット・カウンタを、書き込み時は8ビット・モジュロ・レジスタをアクセスします。

カウンタとモジュロ・レジスタの値が一致した場合、割り込み要求フラグ (IRQTM: 3FH 番地, ビット0) をセットし、TMOUT の出力を反転します。また、TMRES のセットにより、TMOUT は初期化され、ハイ・レベルを出力します。

#### TMC

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
8ビット・カウンタ								周辺レジスタ: 05H	00H	R

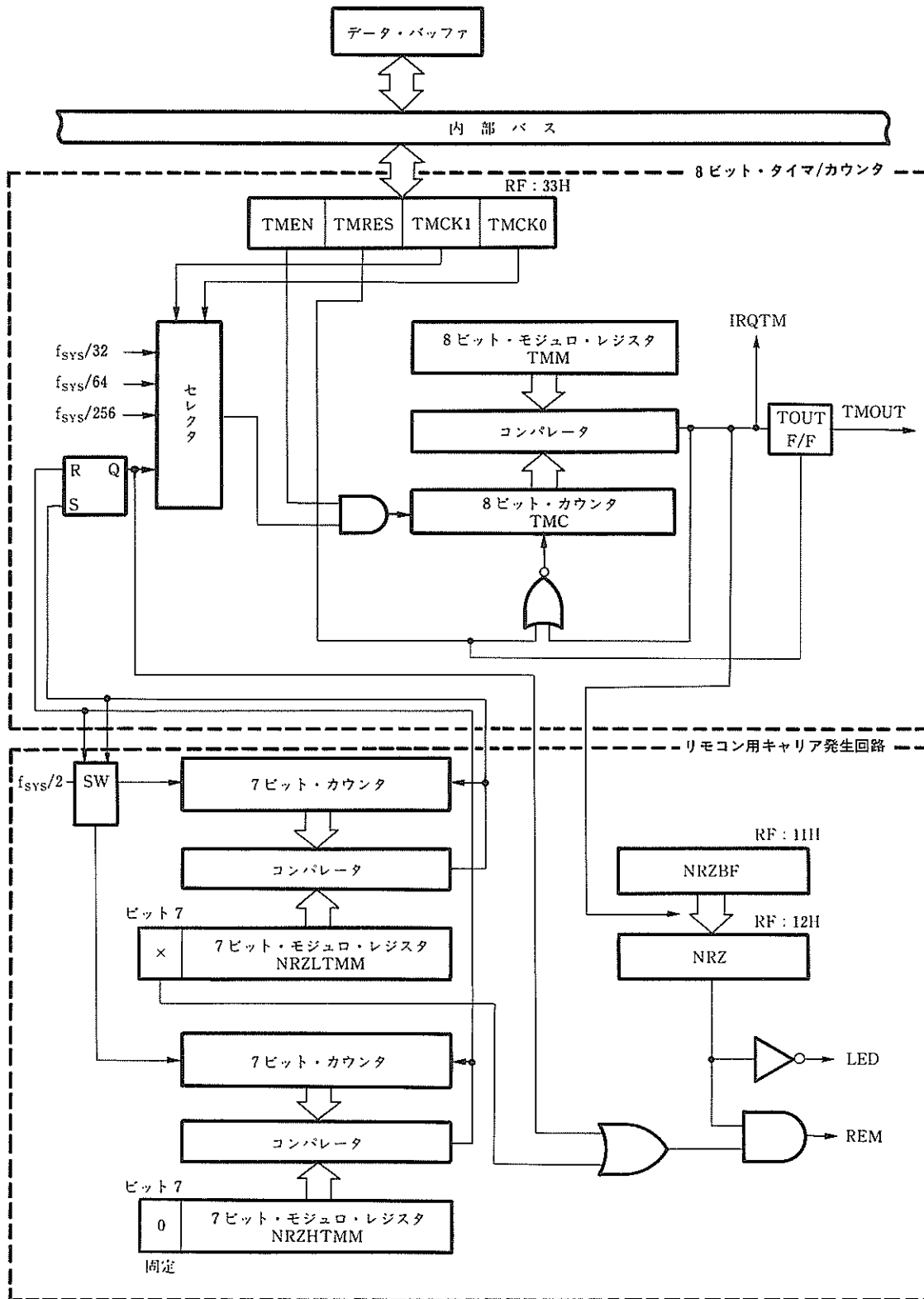
#### TMM

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
8ビット・モジュロ・レジスタ								周辺レジスタ: 06H	FFH	W

注意 TMM に0を設定しないでください (IRQTM はセットされません)。

図7-1 8ビット・タイマ/カウンタ, リモコン用キャリア発生回路の構成

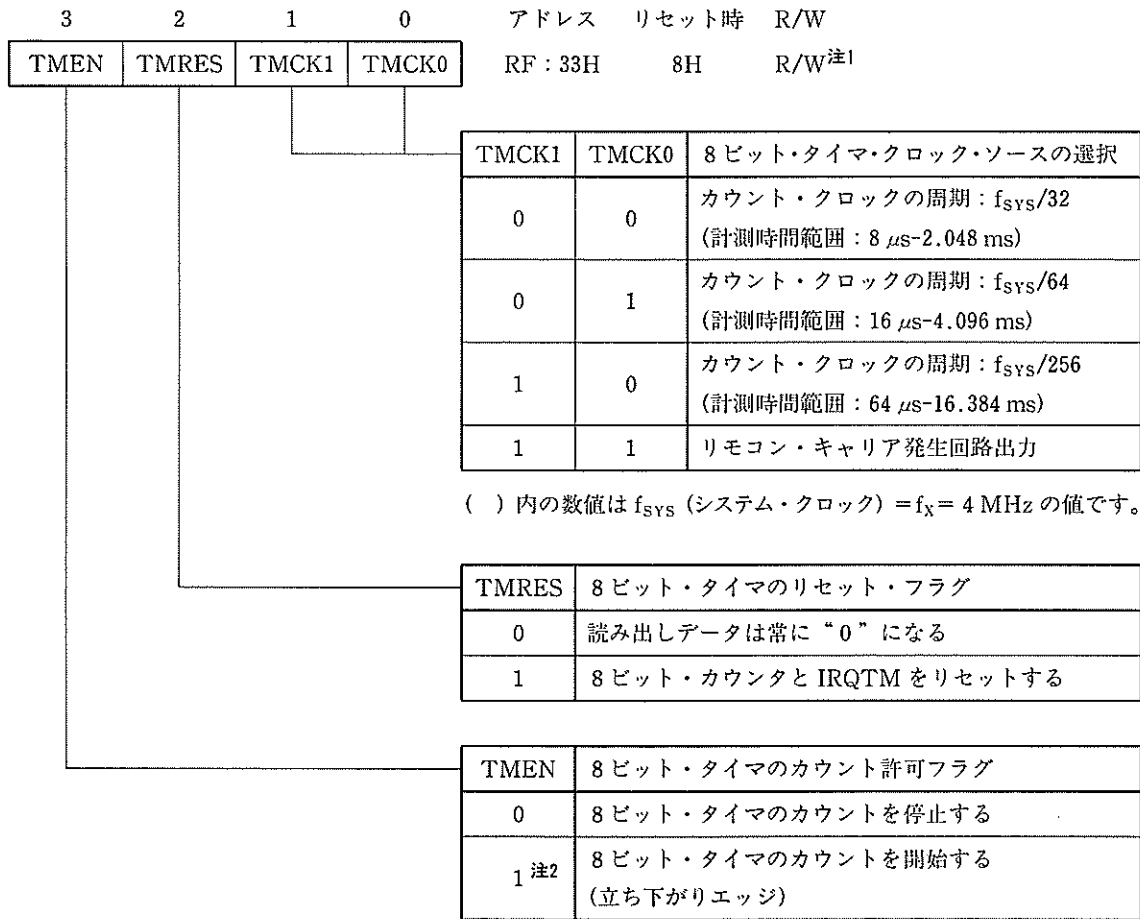
★



備考1.  $f_{sys}$  (システム・クロック周波数) :  $f_x$  または  $f_{XT}$

2. TMM, TMC, NRZLTMM, NRZHTMM は周辺レジスタです。

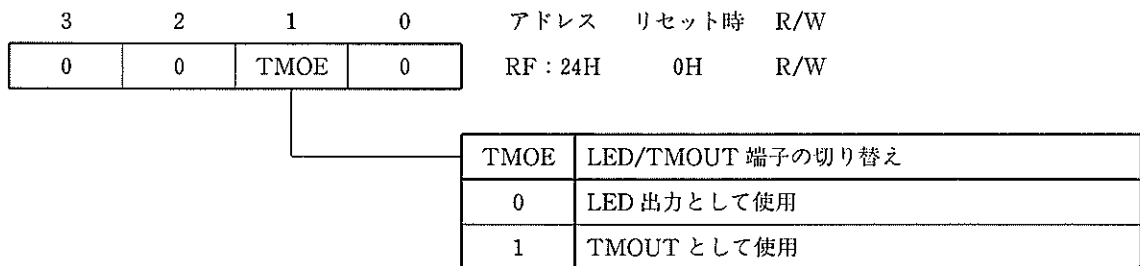
7.2 8ビット・タイマ (モジュロ機能付き) の機能



注1. ビット2は Write Only です。

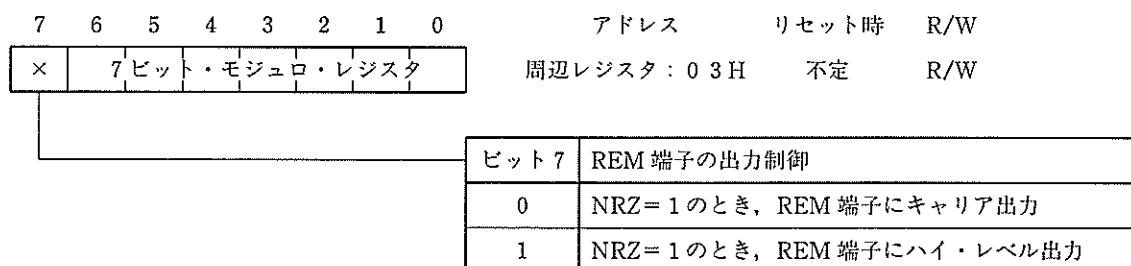
★

2. STOP モード解除時は、必ずセット (1) されます。



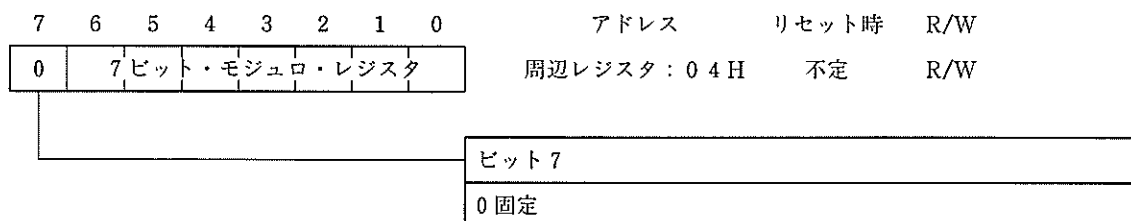
NRZLTMM

★



NRZHTMM

★



7.3 リモコン用キャリア発生回路

μPD17202A は、リモコン用キャリア発生回路を内蔵しています。

リモコン用キャリア発生回路は、7ビット・カウンタ、NRZハイ・レベル期間設定用モジュロ・レジスタ (NRZHTMM)、NRZロウ・レベル期間設定用モジュロ・レジスタ (NRZLTMM) で構成されます。ハイ・レベル期間とロウ・レベル期間とをそれぞれ対応するモジュロ・レジスタに設定し、キャリア・デューティ比およびキャリア周波数を決定します。モジュロ・レジスタへの値の設定は、DBF を介して行います。

★

7ビット・カウンタの入力は、システム・クロックを2分周したクロックとなります。つまり、4 MHz の発振子 (f<sub>X</sub>) で動作している場合は、2 MHz が、32 kHz (f<sub>XT</sub>) で動作している場合は、16 kHz が入力クロックとなります。

★

NRZハイ・レベル出力期間設定用モジュロ・レジスタ、およびNRZロウ・レベル期間設定用モジュロ・レジスタのレジスタ名は、それぞれNRZHTMM、NRZLTMMです。これらのレジスタへのデータの書き込みは、PUT 命令で、データの読み出しは、GET 命令で行います。

また、NRZLTMMのビット7は、REM端子にキャリア出力をするかハイ・レベルを出力するかの制御ビットになっています。キャリア出力する場合は、ビット7は必ず0にしてください。

★

7.3.1 リモコン信号出力制御

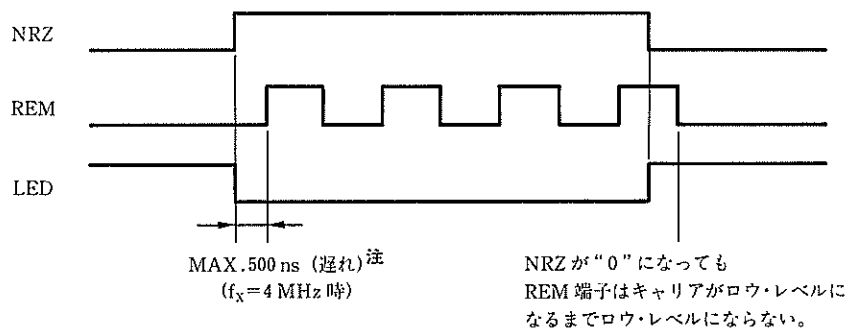
キャリアを出力するREM端子への出力制御は、レジスタ・ファイル上のビットNRZ、NRZBFおよびタイマ0で行います。NRZの内容が“1”の期間は、リモコン・キャリア発生回路で生成されたクロックがREM端子に出力されます。NRZの内容が“0”の期間は、REM端子出力は、ロウ・レベルとなります。また、NRZには、タイマ0により発生するインタラプト信号により、自動的にNRZBFの内容が転送されます。あらかじめ、NRZBFにデータを設定しておくタイマ0のカウント動作に同期して、REM端子の状態が変化します。NRZの内容は、LED端子に出力されます。つまり、NRZが“0”のときLED端子はハイ・レベルを出力し、NRZが“1”のときはロウ・レベルを出力します。

REM 端子がハイ・レベルのとき、つまり、NRZ が“1”でかつキャリア・クロックがハイ・レベルのときにタイマ0のインタラプト信号が発生した場合は、REM 端子の出力は、キャリア・クロックがロウ・レベルになるまで更新された NRZ の内容に従いません。この処理は、出力するキャリアのハイ・レベル・パルス幅を一定にする場合に有効です（下図参照）。

NRZ の内容が“0”の場合は、リモコン・キャリア発生回路は停止します。ただしリモコン・キャリア発生回路の出力を8ビット・タイマのクロックとしている場合は、NRZ の内容が“0”となってもクロックは継続して動作します。

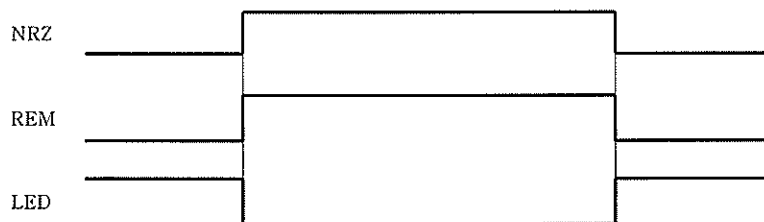
実際に REM 端子にリモコン信号を出力する例を紹介します。

NRZLTMM のビット7が0のとき（キャリアあり）



- ★ 注 (TMCK1, TMCK0) ≠ (1, 1) のときの値です。  
(TMCK1, TMCK0) = (1, 1) のときの値は、NRZ の操作によって異なります。  
NRZ を命令でセットした場合、1 発目のハイ・レベル・パルス幅が短くなる場合があります。NRZBF からの転送によりセットした場合は、キャリア・クロックのロウ・レベル・パルス幅分遅れます。

★ NRZLTMM のビット7が1のとき（キャリアなし）



3	2	1	0
0	0	0	NRZ

アドレス	リセット時	R/W
RF : 12H	0H	R/W

NRZ	NRZ データ
0	REM 端子にロウ・レベル出力 LED 端子にハイ・レベル出力
1	REM 端子にキャリア出力 LED 端子にロウ・レベル出力

3	2	1	0
0	0	0	NRZBF

アドレス	リセット時	R/W
RF : 11H	0H	R/W

NRZBF	次に出力する NRZ データ
0	NRZ のバッファ用ビット。8 ビット・タイマのインタラプト信号により NRZ へ転送される。
1	

**キャリア周波数とデューティ比の設定方法**

メイン・クロック (X) の周波数を  $f_x$ , キャリア周波数を  $f_c$  とします。

$$l \text{ (分周比)} = f_x / (2 \times f_c)$$

$l$  をデューティ比  $m : n$  に分けて、次のようにモジュロ・レジスタに値を設定します。

$$\text{ハイ・レベル期間設定値} = \{ l \times m / (m + n) \} - 1$$

$$\text{ロウ・レベル期間設定値} = \{ l \times n / (m + n) \} - 1$$

例  $f_c = 38 \text{ kHz}$ , デューティ比 (ハイ・レベル期間)  $1 / 3$ ,  $f_x = 4 \text{ MHz}$  のとき

$$l = 4 \text{ MHz} / (2 \times 38 \text{ kHz}) = 52.6$$

$$m : n = 1 : 2$$

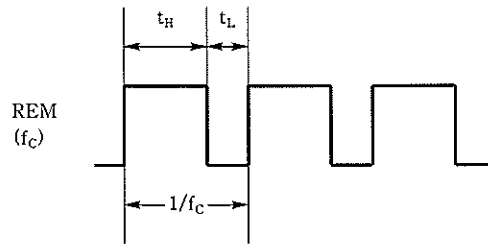
以上より、モジュロ・レジスタ値は

$$\text{ハイ・レベル期間 (NRZHTMM)} \doteq 17 \text{ (11H)}$$

ロウ・レベル期間 (NRZLTMM)  $\doteq 34 \text{ (22H)}$  となり、キャリア周波数は  $37.74 \text{ kHz}$  となります。

★ 表 7-1 キャリア周波数一覧 ( $f_x = f_{sys} = 4 \text{ MHz}$ )

設定値		$t_H (\mu s)$	$t_L (\mu s)$	$1/f_C (\mu s)$	$f_C (\text{kHz})$	デューティ
NRZHTMM	NRZLTMM					
0 0 H	0 0 H	0.5	0.5	1.0	1000	1/2
0 1 H	0 2 H	1.0	1.5	2.5	400	2/5
0 4 H	0 4 H	2.5	2.5	5.0	200	1/2
0 9 H	0 9 H	5.0	5.0	10.0	100	1/2
0 FH	1 0 H	8.0	8.5	16.5	60.6	1/2
0 FH	2 1 H	8.0	17.0	25.0	40.0	1/3
1 1 H	2 1 H	9.0	17.0	26.0	38.5	1/3
1 1 H	2 2 H	9.0	17.5	26.5	37.7	1/3
1 9 H	3 5 H	13.0	27.0	40.0	25.0	1/3
3 FH	3 FH	32.0	32.0	64.0	15.6	1/2
7 FH	7 FH	64.0	64.0	120.0	7.8	1/2





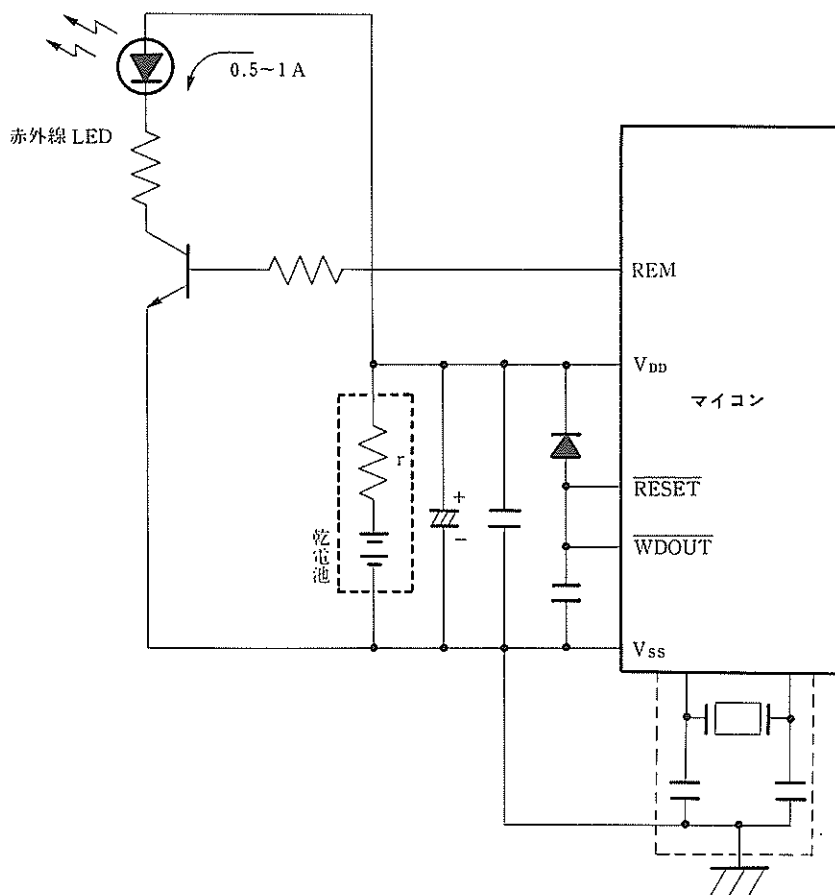
### 7.3.1 送信（キャリア出力）時のノイズ対策

リモコン送信機として送信したとき、赤外線 LED には、ピーク電流で0.5~1 A 程度流れることが考えられます。リモコン送信機の電源には、通常乾電池 2 個を使用しているため、下の図のように電源部は等価的に数 $\Omega$ の抵抗 ( $r$ ) が存在していることになります。この抵抗値は、電源電圧が 2 V まで低下した場合、10~20  $\Omega$  となります。そのため、REM 端子からキャリア出力（赤外線 LED 発光）中の際は、電源電圧の変動、特にスイッチング時に高周波成分のノイズが、電源ラインに発生します。

したがって、マイコンへの影響を極力抑えるためには、次の点にご注意ください。

- ① マイコンへの電源ラインと、赤外線 LED の電源ラインを乾電池の端子を中心に分離する。また、電源ラインは太く短く配線する。
- ② 発振子はできるだけマイコンに近づけ、GND ラインでシールドする（図中の          の部分）。
- ③ 電源安定用のコンデンサは、マイコンの電源ラインの近くに配置する（できれば、高周波ノイズ除去用のコンデンサも配置する）。
- ④ キャリア出力中は、データが変わるのを防ぐために、キー・スキャンなどのデータのリード/ライト処理およびスタックを必要とする割り込み、CALL/RET 命令などを極力行わない。
- ⑤ 暴走に対する信頼性を高めるために、ウォッチドッグ・タイマを使用する（ $\overline{\text{WDOUT}}$  端子と  $\overline{\text{RESET}}$  端子を接続する）。

★



備考 1. INT 端子と  $\overline{\text{RESET}}$  端子は、テスト端子と兼用になっています。(3.4  $\overline{\text{RESET}}$  端子と INT 端子の使用上の注意参照)。

★

2. この図では、 $\overline{\text{RESET}}$  端子はマスク・オプションによりプルアップ抵抗を内蔵しています。

★

### 8. 時計用タイマ/ウォッチドッグ・タイマ

時計用タイマは、時計用の割り込み信号発生とウォッチドッグ・タイマのリセット信号発生に使用します。

#### 8.1 時計用タイマ/ウォッチドッグ・タイマの構成

図 8-1 に時計用タイマ/ウォッチドッグ・タイマの構成を示します。

図 8-1 に示すように、時計用タイマはソース・クロックをサブクロック (XT) の 32 kHz 発振回路出力とメイン・クロック (X) の分周出力 ( $f_x/2^7$ ) からマスク・オプションで選択するセレクタ A と、選択したソース・クロックの分周器と、割り込み信号として使用する周波数を選択するセレクタ B で構成されています。

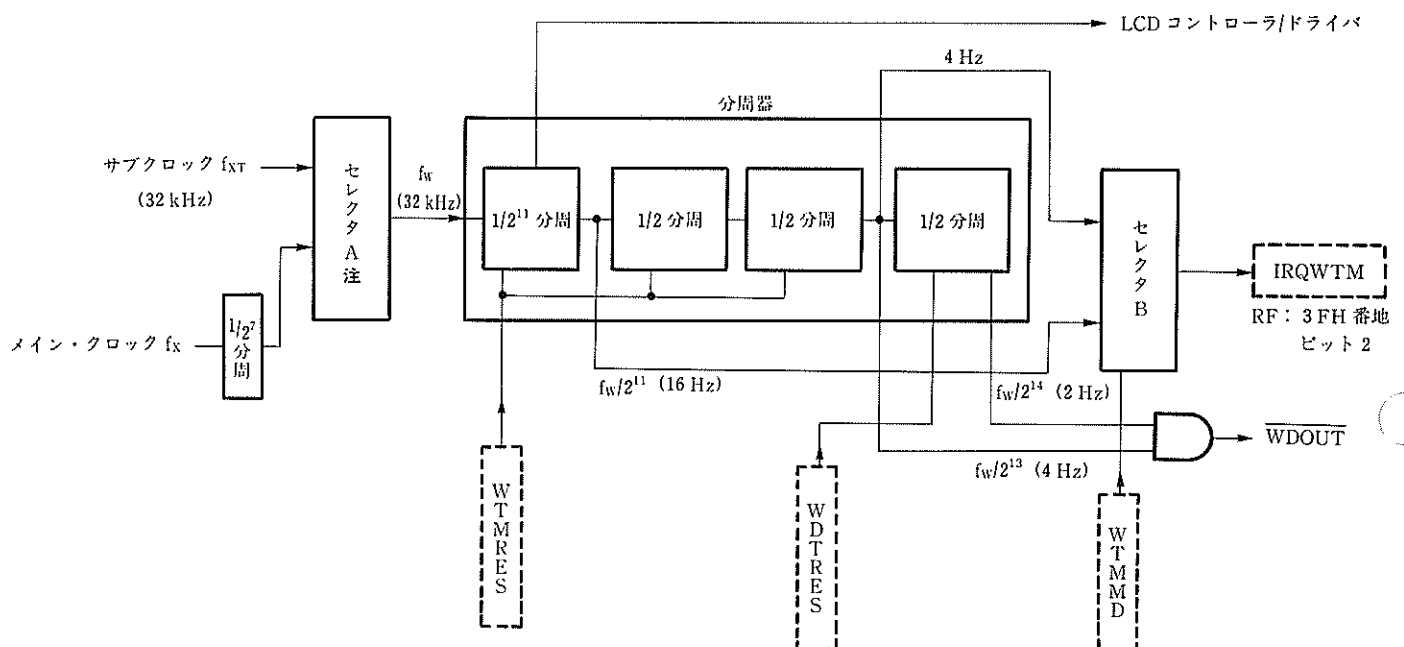
時計用タイマのリセットおよびセレクタ B の制御は、レジスタ・ファイルの WTMRES (03H 番地, ビット 1) と WTMMD (03H 番地, ビット 2) で行います。

ウォッチドッグ・タイマのリセットは、レジスタ・ファイルの WDTRES (03H 番地, ビット 3) で行います。

なお、サブクロック ( $f_{XT}$ ) がソース・クロックの場合は、時計用タイマのカウンタ動作を停止できません。つまり、CPU が STOP モードの場合においても、サブクロックは停止しないで、発振動作を続けます。

メイン・クロックの分周出力 ( $f_x/2^7$ ) がソース・クロックの場合 (サブクロック未使用時) は、CPU が STOP モードになると時計用タイマおよび LCD コントローラ/ドライバの動作も停止します。

図 8-1 時計用タイマ/ウォッチドッグ・タイマの構成 (カッコ内はサブクロック使用時)

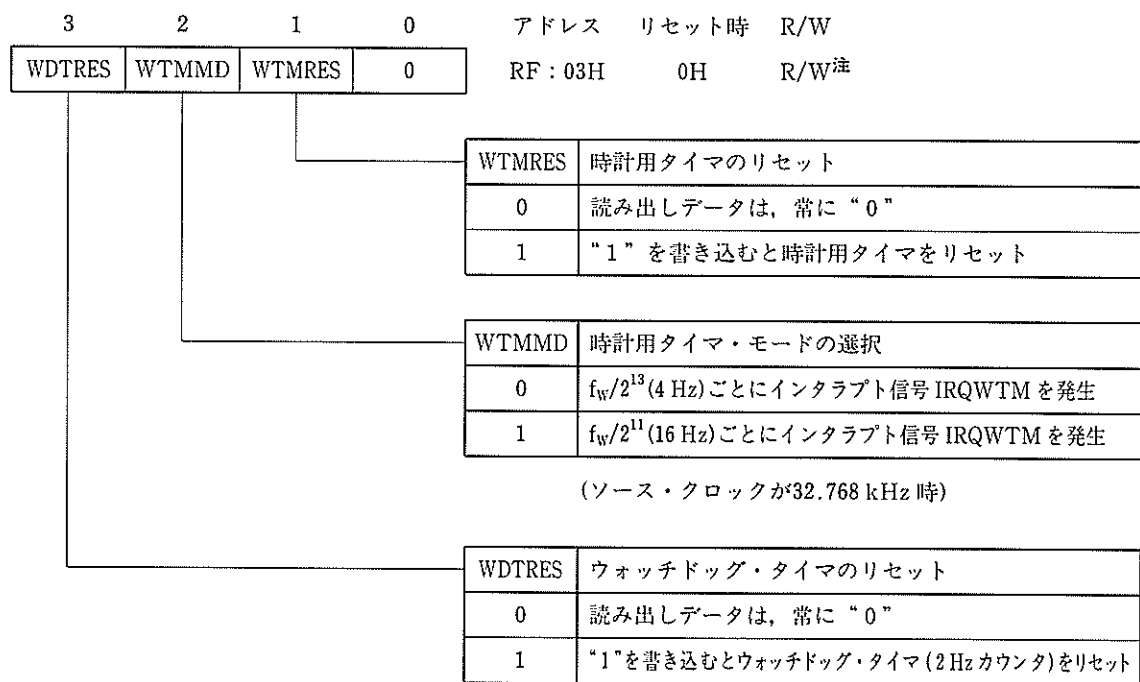


注意 時計用タイマのソース・クロックは、マスク・オプションで次のように固定されます。

- ① マスク・オプションでサブクロックの使用を選択する場合  
サブクロックに固定されます。
- ② マスク・オプションでサブクロックの使用を選択しない場合  
 $f_x/2^7$ に固定されます。

★

8.2 時計用タイマ/ウォッチドッグ・タイマの機能



注 ビット1, ビット3は Write Only です。

8.3 ウォッチドッグ・タイマ動作タイミング

ウォッチドッグ・タイマは、一定時間以内でリセットしないと  $\overline{\text{WDOUT}}$  端子より、ロウ・レベルが出力されます。  
 $\overline{\text{WDOUT}}$  端子を  $\overline{\text{RESET}}$  端子と接続することにより、プログラムの暴走検出用に使用できます。

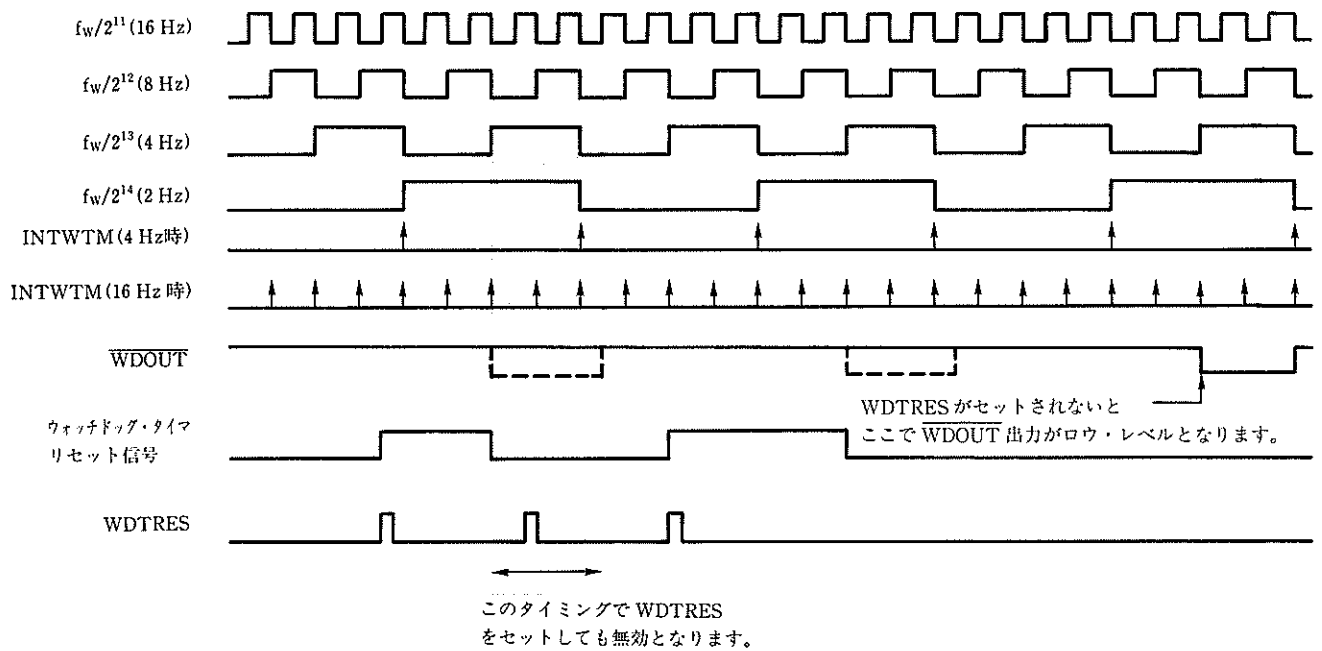
ウォッチドッグ・タイマのリセットは、WDTRES をセット (WDTRES = 1) することで行います。

サブクロック使用時にウォッチドッグ・タイマによる暴走検出を禁止するには、約340 ms 以下の周期で WDTRES をセットするプログラムにしてください。

注意 1. ウォッチドッグ・タイマは、 $f_w/2^{14}$  の範囲ではリセットできません。したがって、WDTRES は、 $f_w/2^{14}$  (2 Hz) 信号と  $f_w/2^{13}$  (4 Hz) 信号がともにハイ・レベルになる前に行ってください。

★ 2.  $\overline{\text{WDOUT}}$  端子の機能については、13. リセットも参照してください。

図 8-2 ウォッチドッグ・タイマの動作タイミング (カッコ内はサブクロック使用時)



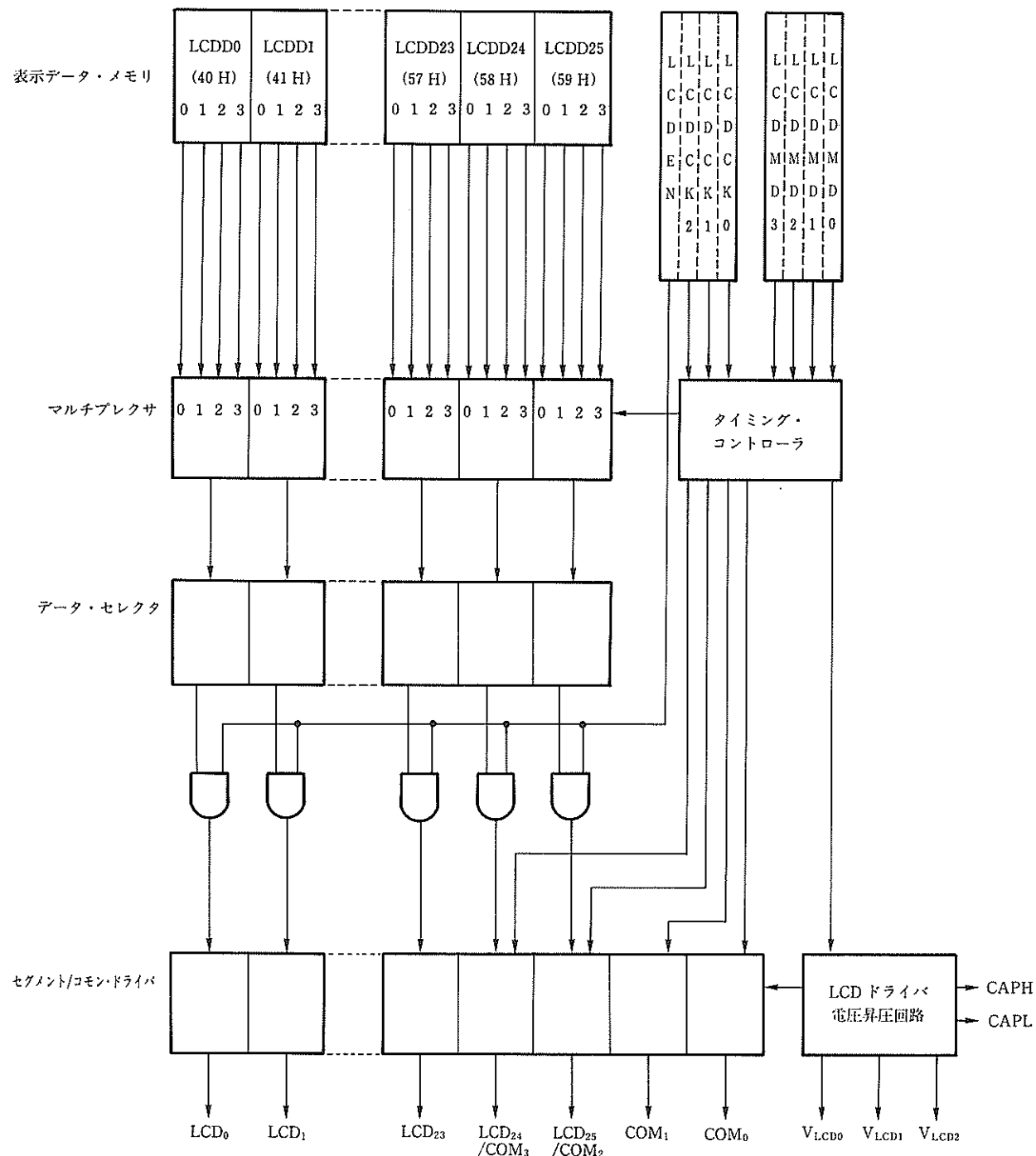
9. LCD コントローラ/ドライバ

9.1 LCD コントローラ/ドライバの構成

μPD17202A は、表示データ・メモリのデータに従い、セグメント信号とコモン信号を発生する LCD 表示コントローラと、LCD パネルを直接駆動可能なセグメント・ドライバ、コモン・ドライバを内蔵しています。

LCD コントローラ/ドライバの構成は図 9-1 のようになっています。

図 9-1 LCD コントローラ/ドライバのブロック図



## 9.2 LCD コントローラ/ドライバの機能

μPD17202A に内蔵されている LCD コントローラ/ドライバの機能は次のようなものです。

- (1) DMA 動作により自動的に表示データ・メモリを読み出してセグメント信号とコモン信号を発生します。
- (2) 3 種類の表示モードが選択できます。

表示モード 1 : 1/2 デューティ, 1/3 バイアス

表示モード 2 : 1/3 デューティ, 1/3 バイアス

表示モード 3 : 1/4 デューティ, 1/3 バイアス

- (3) 各表示モードにおいて, 4 種類のフレーム周波数が選択できます。
- (4) LCD 駆動用定電圧昇圧回路を内蔵していますので, 電源電圧の変動に関係なく一定の出力電圧を保持できます。
- (5) 表示に使用していない表示データ・メモリは通常のリデータ・メモリとして使用できます。

各表示モードにおける表示可能な最大画素数を表 9-1 に示します。

表 9-1 最大表示画素数

表示モード	デューティ	使用コモン信号	最大画素数
1	1/2	COM <sub>0</sub> , COM <sub>1</sub>	52 (セグメント 26 × コモン 2)
2	1/3	COM <sub>0</sub> , COM <sub>1</sub> , COM <sub>2</sub>	75 (セグメント 25 × コモン 3)
3	1/4	COM <sub>0</sub> , COM <sub>1</sub> , COM <sub>2</sub> , COM <sub>3</sub>	96 (セグメント 24 × コモン 4)

## 9.3 表示モード・レジスタ

表示モード・レジスタは LCD コントローラ/ドライバの表示モードの選択, フレーム周波数の選択および LCD 表示のオン/オフを設定するレジスタです。

表示モード・レジスタにはレジスタ・ファイルの LCDMD0-LCDMD3 (RF: 32H, 表示モードの選択), LCDEN (RF: 31H, LCD 表示のオン/オフ), および LCDCK0-LCDCK2 (RF: 31H, フレーム周波数の選択) があります。

図9-2 表示モード・レジスタ

3	2	1	0	アドレス	リセット時	R/W
LCDMD3	LCDMD2	LCDMD1	LCDMD0	RF: 32H	1H	R/W <sup>注1</sup>

LCDMD3	LCDMD2	LCDMD1	LCDMD0	表示モードの選択
0	0	0	0	昇圧回路停止 <sup>注2</sup>
0	0	0	1	表示モード: 1(リセット時の初期値)
0	0	1	0	表示モード: 2
0	0	1	1	表示モード: 3
上 記 以 外				設定禁止

注1. ビット2, ビット3は Read Only.

2. 全セグメント信号および全コモン信号が一定電圧 (V<sub>LCD0</sub>) となります。

図 9-3 LCD コントローラ/ドライバの制御レジスタ



注 ビット 2 は Read Only です。

注意 1. LCD クロックは時計用タイマから供給されています。したがって、LCD 表示中に時計用タイマをリセットすると LCD 表示がちらつきます。LCD 表示中は、時計用タイマのリセットを行わないようにしてください。

2. メイン・クロックとサブクロックを使用している場合、LCD クロック・ソースはサブクロックになります。したがって、電源立ち上げ時、サブクロックが発振安定するまで LCD 表示がちらつくことがあります。十分な発振安定時間をとってから LCD 表示をオンしてください (電源立ち上げ直後は、全点灯モードにすることをおすすめします)。

★ 3. メイン・クロックのみを使用している場合、STOP モード設定直後に LCD 表示側の容量によりにじみが出る場合があります。したがって、次のどちらかの方法で対処することをおすすめします。

- 昇圧回路停止後 STOP モードに入るまでに、2 ms 程度のウエイト時間をとる。
- LCD 表示をオフ (LCDEN = 0) 後に 1 フレームのウエイト時間をとる。



9.4 表示データ・メモリ

表示データ・メモリは LCDD0-LCDD25 (BANK0 の40H 番地-59H 番地) にマッピングされています。

表示データ・メモリは CPU の動作とは無関係に LCD コントローラ/ドライバが DMA 動作によって読み出すデータ・メモリ・エリアです。

LCD コントローラは表示データ・メモリのデータに従ってセグメント信号を制御します。

LCD 表示に使用しない領域は、通常のデータ・メモリとして使用できます。

表示データ・メモリの各ビットとセグメント出力の対応を図 9-4 に示します。

図 9-4 表示データ・メモリとセグメント信号、コモン信号との対応

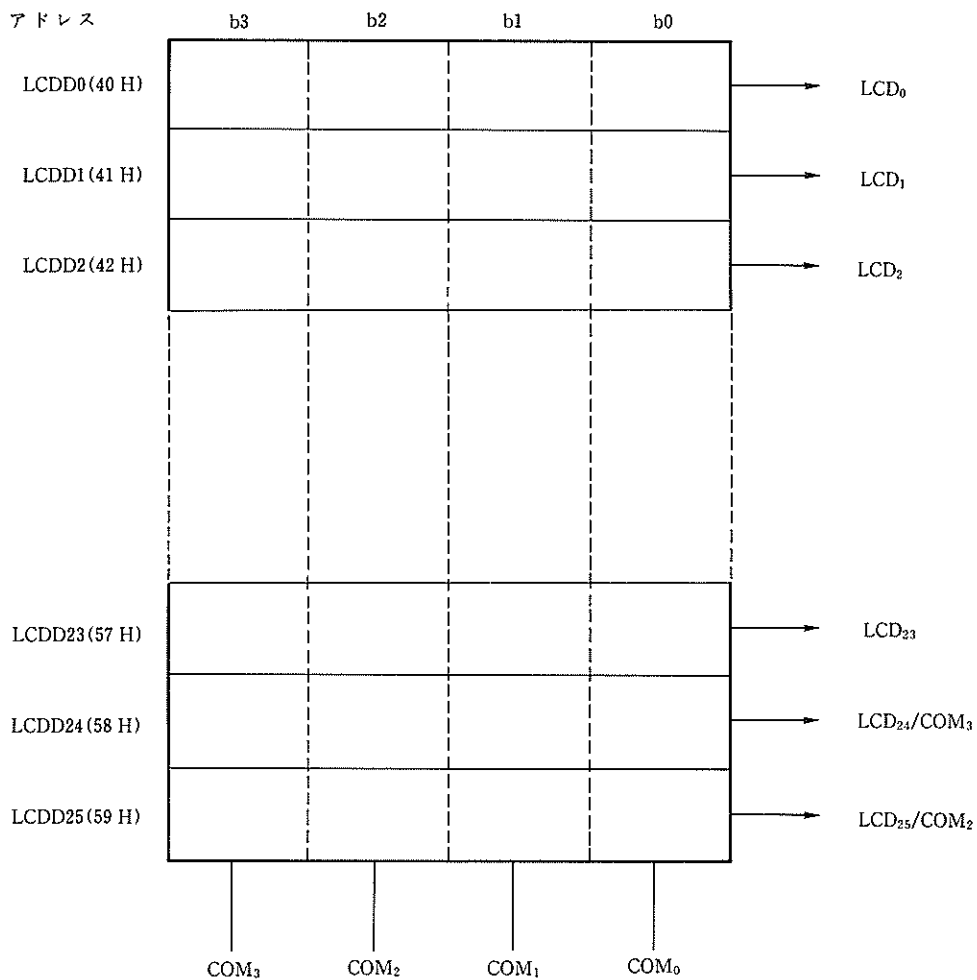


図 9-5 2 時分割 LCD パネルの結線例

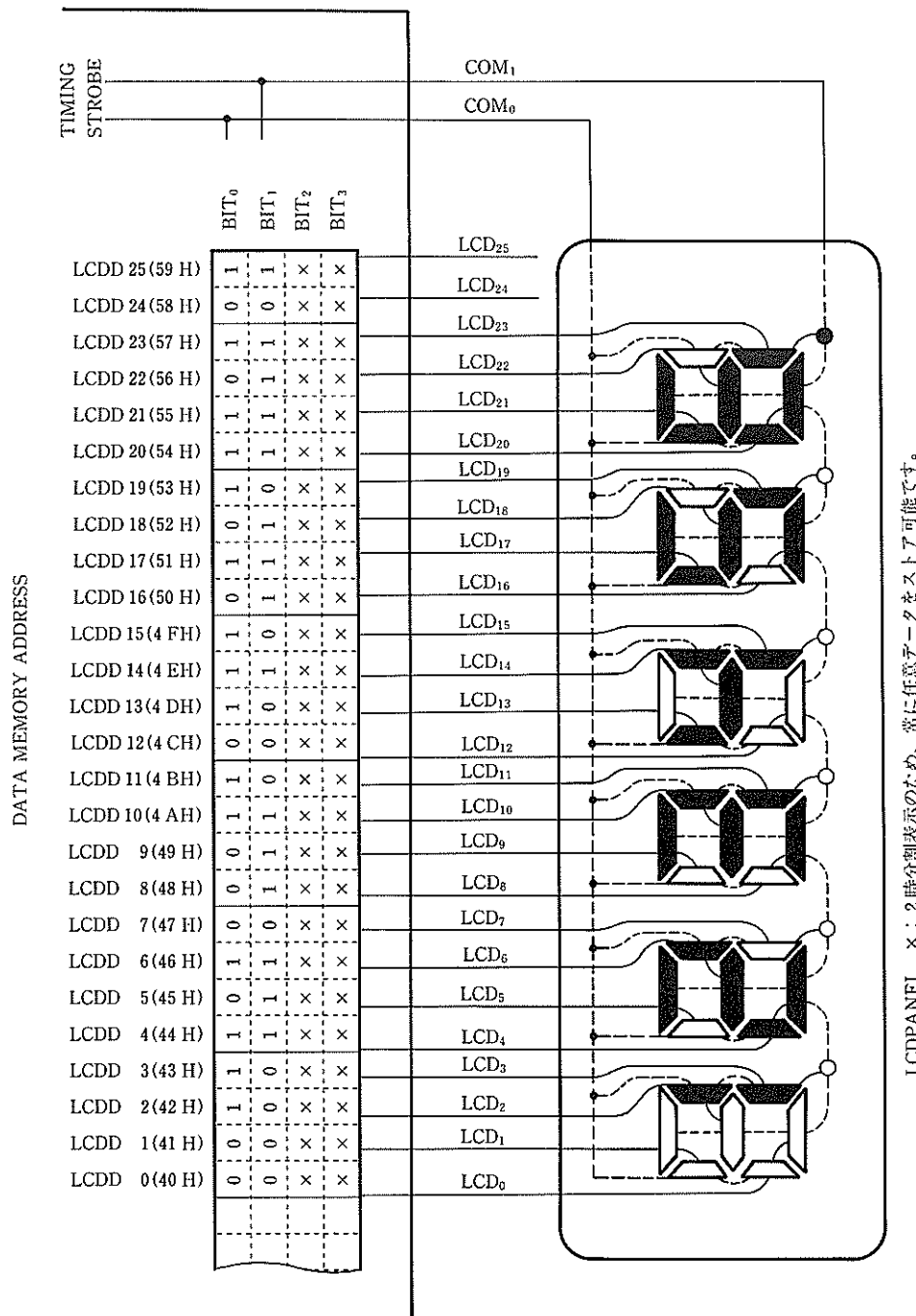


図 9-6 3 時分割 LCD パネルの結線例

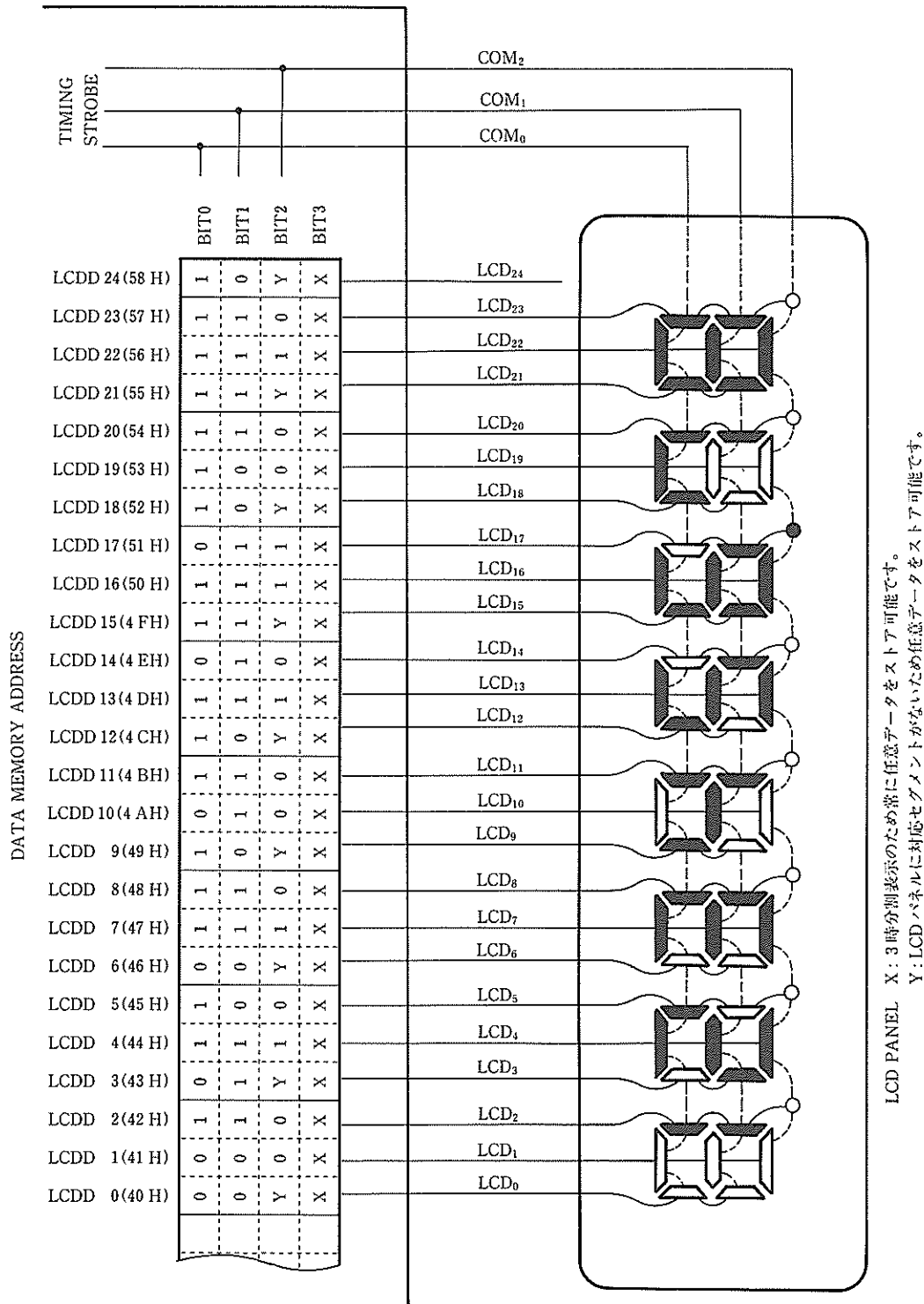
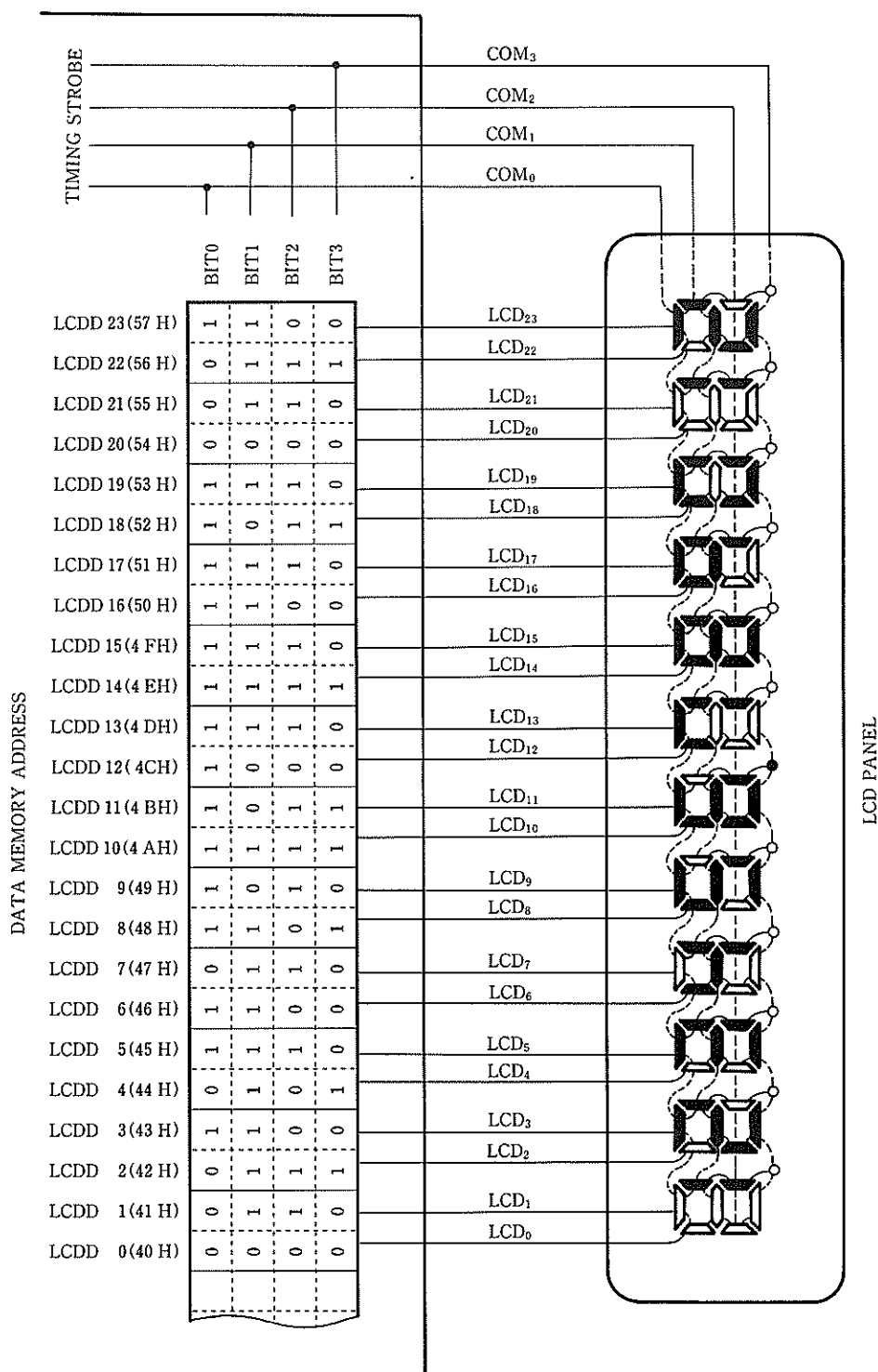


図 9-7 4 時分割 LCD パネルの結線例

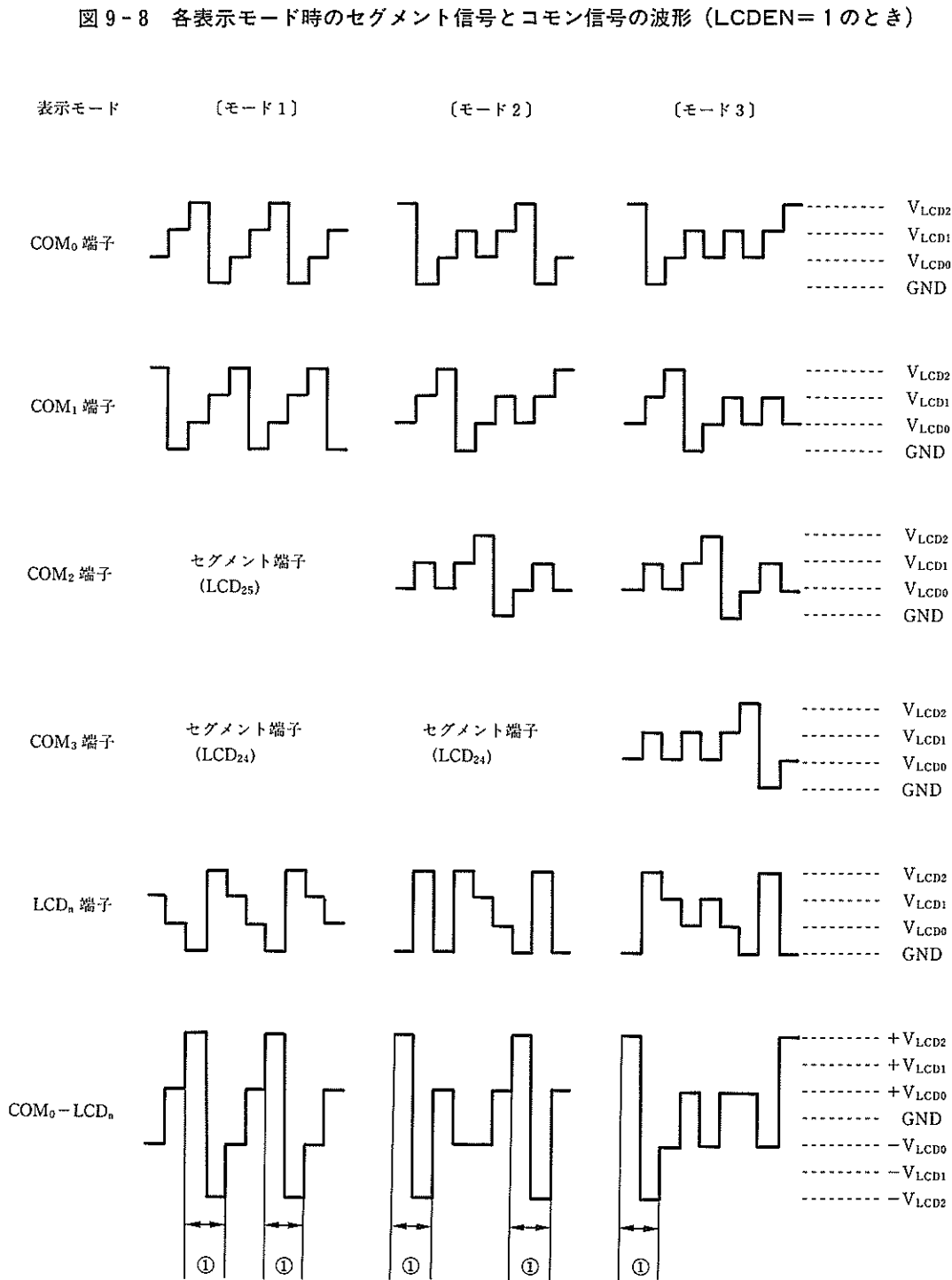


9.5 セグメント信号とコモン信号

LCD パネルの前面電極にセグメント端子 (LCD<sub>0</sub>-LCD<sub>25</sub>), 背面電極にコモン端子 (COM<sub>0</sub>-COM<sub>3</sub>) を接続すると, セグメント信号とコモン信号の電位差が一定電圧以上になったときに点灯します。

LCD パネルは, セグメント信号とコモン信号との間に DC 電圧を印加し続けていると劣化するため, AC 電圧によって駆動します。

図 9-8 に各表示モード時のセグメント信号波形とコモン信号波形を示します。



①のタイミングで LCD 選択電圧 (点灯) 状態となります。

図 9-9 LCDEN=0 (LCD 表示オフ) のときのセグメント信号とコモン信号の波形

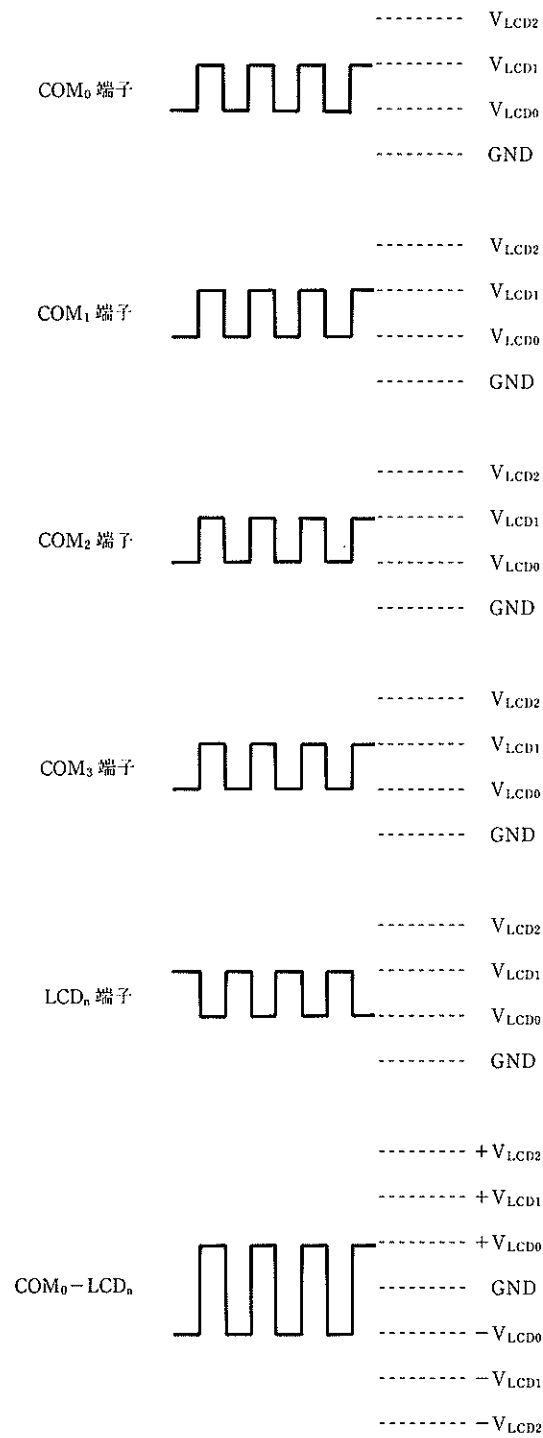
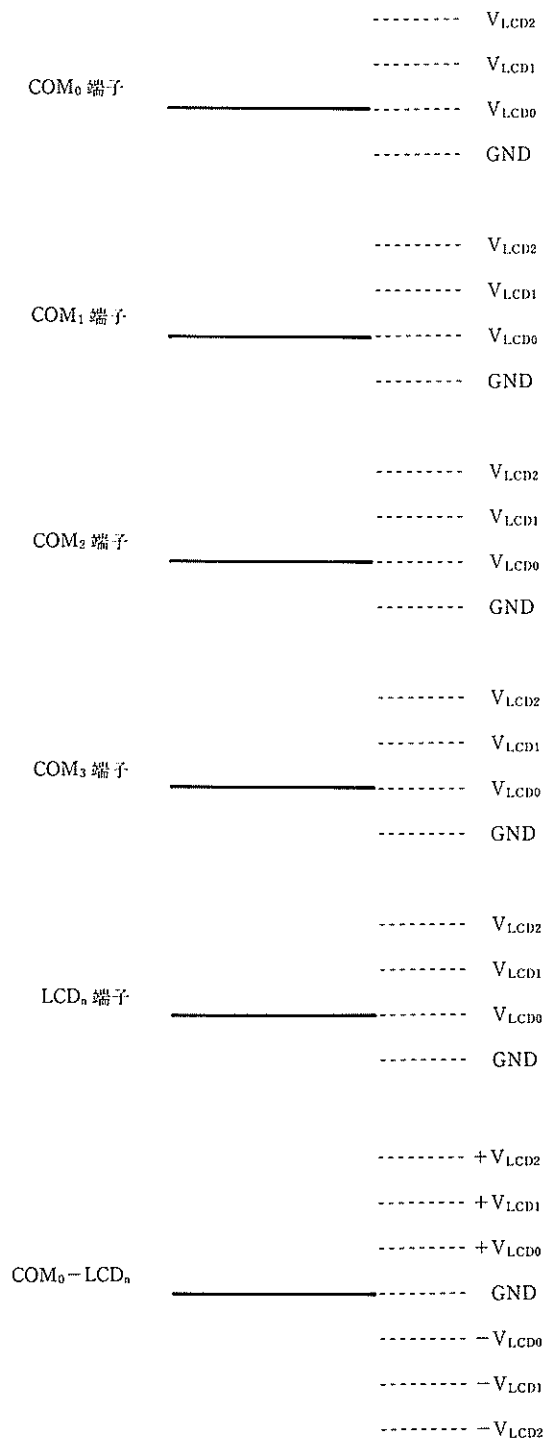


図 9 - 10 LCDMD0=0, LCDMD1=0 (昇圧回路停止) のときのセグメント信号とコモン信号の波形



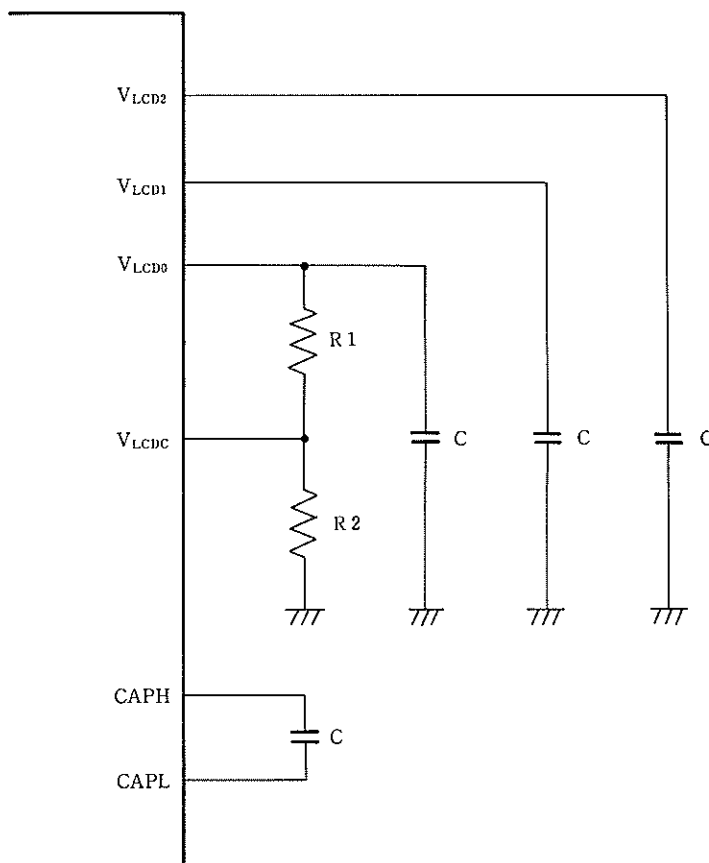
9.6 LCDドライバ用定電圧昇圧回路

μPD17202Aは電源電圧が変動してもLCD表示がちらつかないようにLCDドライバ用定電圧昇圧回路を内蔵しています。

セグメント信号とコモン信号の出力電圧 ( $V_{LCD2}$ ,  $V_{LCD1}$ ,  $V_{LCD0}$ ) は基準電圧発生回路の出力電圧 ( $V_{LCD0}$ ) を基準として、2倍 ( $V_{LCD1}$ ) と3倍 ( $V_{LCD2}$ ) の電圧を出力します。この基準となる電圧  $V_{LCD0}$  は、LCDドライバ用基準電圧調整端子  $V_{LDC}$  に付ける抵抗により調整することができます。

LCDドライバ用基準電圧調整回路の例を図9-11に示します。また、動作原理図を図9-12に示します。

図9-11 LCDドライバ用基準電圧調整回路例



$$R1 + R2 = 2 \text{ M}\Omega$$

$$C = 0.47 \mu\text{F}$$

$V_{LCD0}$  は、 $R1$  と  $R2$  の抵抗の分圧比で調整できます。

$V_{LDC} = 0.6 \text{ V}$  とすると

$$V_{LCD0} = \frac{R1 + R2}{R2} \times 0.6 \text{ (V)}$$

$$V_{LCD1} = 2 \times V_{LCD0} \text{ (V)}$$

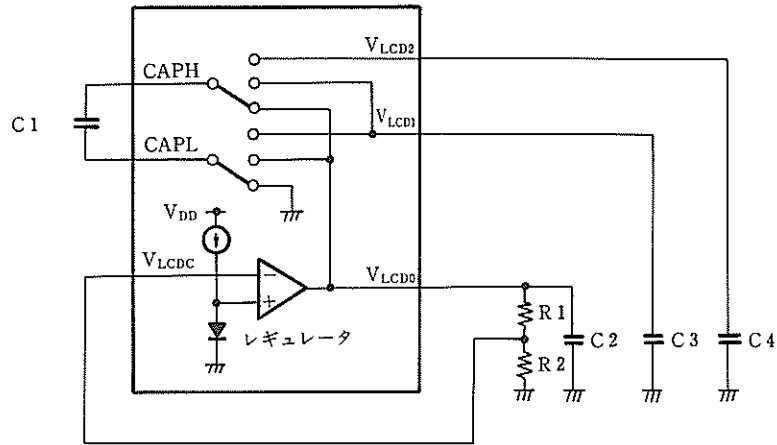
$$V_{LCD2} = 3 \times V_{LCD0} \text{ (V)}$$

★ 注意 LCD表示に昇圧回路を用いているので、電源立ち上げ時などでは、昇圧用コンデンサおよびドライバ用コンデンサの電圧が不定のため、電圧が安定するまでLCD表示が点灯することがあります。したがって、電源立ち上げ直後は全点灯モードにすることをおすすめします。

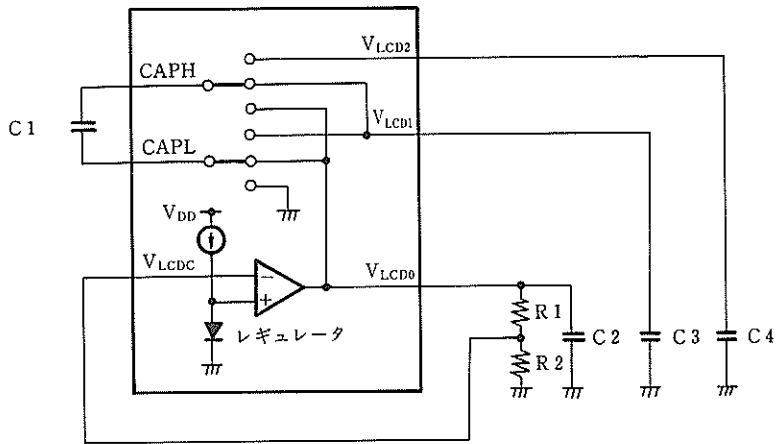


図 9-12 LCD ドライバ用昇圧回路動作原理

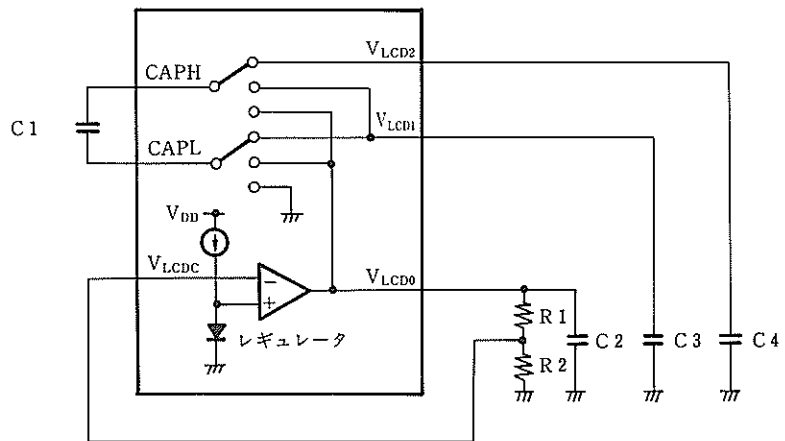
(1) C1 を充電する。



(2) C3 (C1+C2) を充電する。



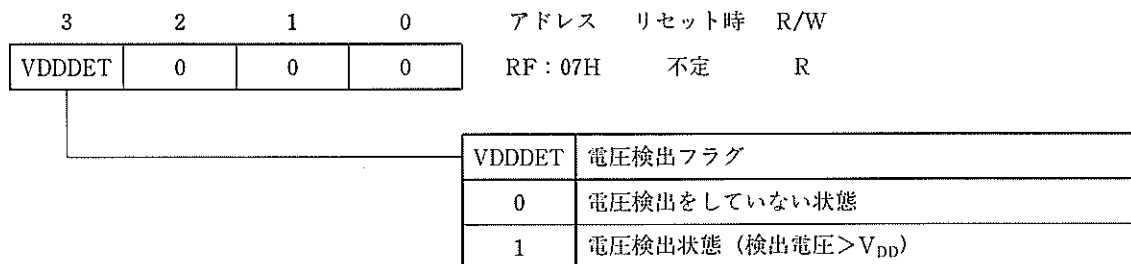
(3) C4 (C1+C3) を充電する。



(1) - (3) を繰り返す、昇圧を行います。

10. 電圧検出回路

μPD17202A は、電源電圧がある電圧以下になった場合に検出する電圧検出回路を内蔵しています。  
電圧検出後、電圧検出フラグをセットします。このフラグ (VDDDET) は、読み出すと同時にリセットされます。



検出電圧調整方法

検出電圧の調整は、V<sub>DET</sub> 端子と GND との間に 2.2 MΩ の可変抵抗を接続し、この抵抗値を可変することにより行います。

まず、V<sub>DD</sub> の電圧を検出したい電圧と同電位に設定します。

この状態で可変抵抗を調整し、検出電圧が V<sub>DD</sub> の電圧以下になると  $\overline{\text{WDOUT}}$  端子がハイ・レベルになります。検出電圧が V<sub>DD</sub> の電圧よりも高い場合は、 $\overline{\text{WDOUT}}$  端子は、ロウ・レベルとなります。

## 11. 割り込み機能

### 11.1 割り込み要因

割り込み要因は、3つあります。

割り込みが受け付けられると、プログラムの流れは、自動的に決められた番地に変わります。このアドレスを、ベクタ・アドレスと呼び、各割り込み要因ごとに表 11-1 のようになっています。

表 11-1 ベクタ・アドレス

優先順位	割り込み要因	内部/外部	ベクタ・アドレス
1	8ビット・タイマのオーバーフロー	内 部	0003H
2	INT 端子の立ち上がり, 立ち下がりエッジ	外 部	0002H
3	時計用タイマ	内 部	0001H

複数の割り込み要求が同時に発行された場合、優先度の高い割り込み要求から順に受け付けます。

割り込みの受け付けの許可/禁止は、EI 命令および DI 命令により行います。割り込みを受け付ける基本条件は、EI 命令によって割り込み許可状態になっていることです。DI 命令実行中または割り込み受け付け中は、割り込み禁止状態になります。

割り込み終了後に再度割り込み受け付けを許可するには、RETI 命令の前に EI 命令を実行する必要があります。

なお、EI 命令によって割り込みの受け付けが許可されるのは、次の命令の実行が終了したあとになっているので、EI 命令と RETI 命令の間に割り込みが受け付けられることはありません。

**注意** 割り込み処理において、ハードウェアにより自動的にスタックに退避されるのは、BCD, CMP, CY, Z, IXE の各フラグのみで、最大 3 レベルまでです。また、割り込み処理の内容において、周辺ハードウェア (タイマ, A/D コンバータなど) をアクセスする場合には、DBF, WR の内容はハードウェアでは退避されません。したがって、割り込み処理の最初に DBF および WR をソフトウェアにより RAM 上に退避し、割り込み処理終了直前に退避した内容をもとに戻すことをおすすめします。

★

### 11.2 割り込み制御回路の各種ハードウェア

★

次に、割り込み制御回路の各フラグについて説明します。

#### (1) 割り込み要求フラグ, 割り込み許可フラグ

割り込み要求フラグ (IRQ×××) は、割り込み要求発生でセット (1) され、割り込み処理が実行されると自動的にクリア (0) されます。

割り込み許可フラグ (IP×××) は、各割り込み要求フラグに対応して個別に備わっており、内容が "1" のとき割り込みを許可し、"0" のとき禁止します。

(2) EI/DI 命令

受け付けた割り込みを実行するかどうかは、EI/DI 命令によって指定します。

EI 命令を実行すると、割り込みを受け付け可能とする INTE (インタラプト・イネーブル・フラグ) をセット(1)します。INTE フラグは、レジスタ・ファイル上には登録されていません。このため、命令等により、フラグの状態を確認することはできません。

DI 命令は INTE フラグを “0” にクリアして、すべての割り込みを禁止します。

また、リセット時にも INTE フラグはクリア(0)され、すべての割り込みは禁止状態になります。

表 11-2 割り込み要求フラグと割り込み許可フラグ

割り込み要求フラグ	割り込み要求フラグのセット信号	割り込み許可フラグ
IRQ	INT 端子入力信号の立ち上がりエッジ検出によりセット。	IP
IRQTM	8ビット・タイマ/カウンタのオーバーフローによりセット。	IPTM
IRQWTM	時計用タイマからの割り込み要求信号によりセット。割り込み要求信号の発生間隔は、WTMMD フラグ (RF : 03H, ビット 2) により選択	IPWTM

11.2.1 INT

INT 端子の状態を読むフラグです。

INT 端子にハイ・レベルが入力されているときは“1”，ロウ・レベルが入力されているときは“0”となります。

3	2	1	0	アドレス	リセット時	R/W
0	0	0	INT	RF : 0FH	不定	R

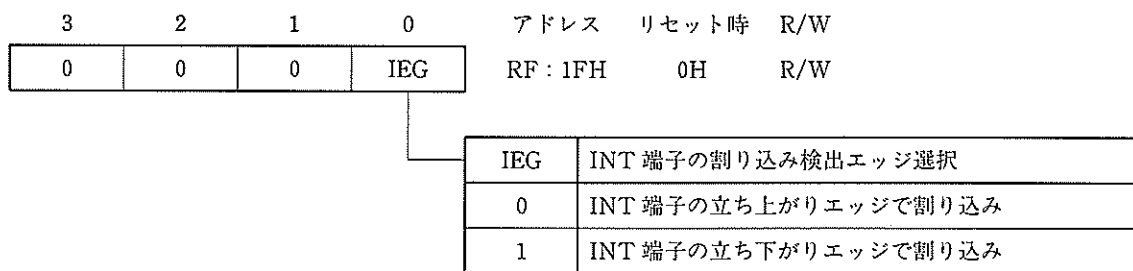
  

INT	INT 端子のレベル検出
0	INT 端子がロウ・レベル
1	INT 端子がハイ・レベル

11.2.2 IEG

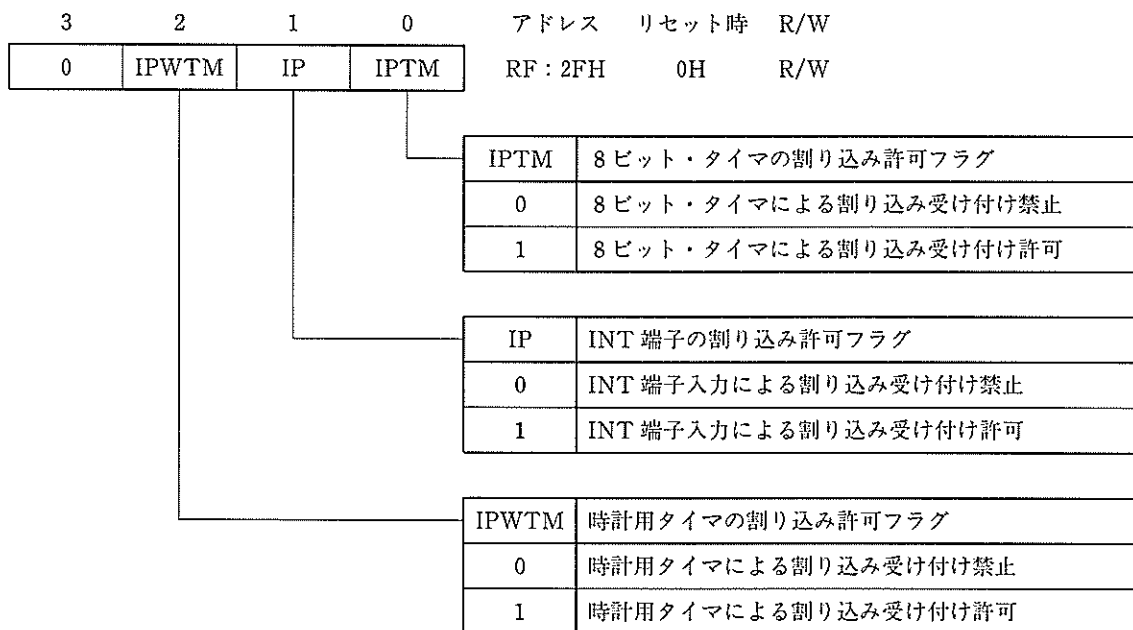
INT 端子の割り込み検出エッジを選択するフラグです。

“0” にすると立ち上がりエッジで割り込みがかかり，“1” にすると立ち下がりエッジで割り込みがかかります。



11.2.3 割り込み許可フラグ

各割り込み要因ごとの割り込みを許可するフラグです。“1” にすると割り込みが可能です。“0” にすると割り込みは、禁止されます。

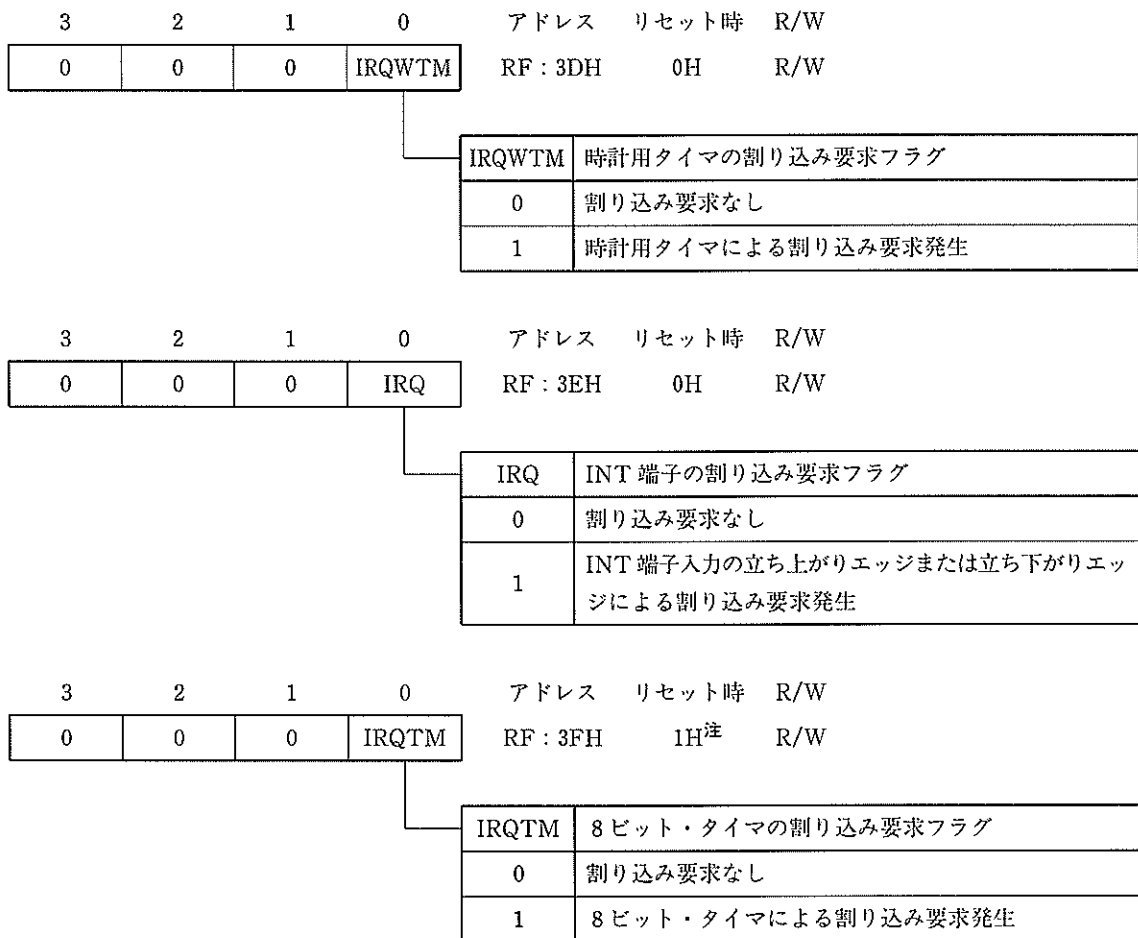


11.2.4 IRQ

割り込み要求状態を示す割り込み要求フラグです。

割り込み要求が発生すると“1”にセットされます。そして割り込みが受け付けられる（割り込みがかかる）と、割り込み要求フラグは，“0”にリセットされます。

割り込み要求フラグは、プログラムで読み書きができます。したがって“1”を書き込むと、ソフトウェアによる割り込みを発生させることができ、“0”を書き込むことにより、その割り込み保留状態を解除することができます。



注 STOPモード解除後も1Hとなります。

### 11.3 割り込みシーケンス

★

IP××フラグが“1”の場合、IRQ××フラグが“1”にセットされると IRQ××フラグがセットされた時点に実行していた命令の命令サイクル終了後に割り込み処理を開始します。MOVT 命令は 2 命令サイクルで動作するため、この命令実行中の割り込みは第 2 命令サイクル終了後に処理を開始します。

IP××フラグが“0”の場合は、IRQ××フラグがセットされても IP××フラグがセットされるまで割り込み処理は行われません。

複数の割り込みが同時に許可される状態になったときは、優先度の高い順に割り込み処理が行われて、優先度の低い割り込み処理は優先度の高い割り込みが終了されるまで保留されます。

#### 11.3.1 割り込み受け付け時の動作

割り込みが受け付けられると、CPU は次の順に処理を行います。

- (1) プログラム・カウンタ (PC) の値を + 1 する。  
ただし、割り込み受け付け時の命令が分岐命令 (BR) およびサブルーチン・コール命令 (CALL) であるときは、分岐またはコールするプログラム・メモリのアドレスになります。
- (2) スタック・ポインタ (SP) の値を - 1 する。
- (3) SP で指定されるアドレス・スタック・レジスタ (ASR) に PC の値を退避する。
- (4) 割り込みスタック・レジスタ (INTSK, 3 レベル) へプログラム・ステータス・ワード (PSWORD) の各フラグ (BCD, CMP, CY, Z, IXE) の値を退避する。
- (5) ベクタ・アドレスを PC へ転送する。

この処理を行うために、1 命令サイクルの時間が費やされます。

#### 11.3.2 割り込み処理ルーチンからの復帰

割り込み処理ルーチンから復帰するときは RETI 命令を実行します。

RETI 命令を実行すると、以下の処理が命令サイクル内に行われます。

- (1) プログラム・ステータス・ワード (PSWORD) の各フラグ (BCD, CMP, CY, Z, IXE) へ割り込みスタック・レジスタ (INTSK) の値を復帰する。
- (2) スタック・ポインタ (SP) で指定されるアドレス・スタック・レジスタ (ASR) の値を PC へ復帰する。
- (3) SP の値を + 1 する。

割り込み終了後に再度割り込み受け付けを許可する場合は、RETI 命令を実行する前に EI 命令を実行する必要があります。

なお、EI 命令によって割り込みの受け付けが許可されるのは、次の命令の実行が終了したあとになっているので、EI 命令と RETI 命令の間に割り込みが受け付けられることはありません。

## 12. スタンバイ機能

μPD17202Aには、スタンバイ機能としてHALTモードとSTOPモードがあります。

スタンバイ機能を使用することにより消費電流を低減することができます。

HALTモードは、メイン・クロックを停止させない状態でHALT解除条件が成立するまで待機している状態で、プログラムの実行を行いません。

STOPモードは、メイン・クロックを停止させた状態でSTOP解除条件が成立するまで待機している状態で、プログラムの実行を行いません。

HALT命令を実行することによりHALTモードになり、STOP命令を実行することによりSTOPモードになります。

- ★ 注意 HALT 8H命令の直前に、割り込み許可フラグ (IP×××) がセットされている割り込み要求フラグ (IRQ×××) のクリア命令を行わないでください。行くとHALTモードに入らないことがあります。

### 12.1 HALTモード

HALTモードは、メイン・クロックを発振させた状態でプログラムの実行を一時停止させ、消費電流を抑えるときに使用します。

HALTモードの設定はHALT命令を使用します。

HALTモードの解除条件は、HALT命令のオペランドにより表12-1のように指定できます。

★ 表 12-1 HALTモードの解除条件

オペランドの値	解除条件
0010B (02H)	① 8ビット・タイマの割り込み要求 (IRQTM) が発生したとき
1000B (08H)	① 割り込み許可フラグ (IPTM, IPWTM, IP) がセットされている割り込みに対し割り込み要求 (IRQTM, IRQWTM, IRQ) が発生したとき ② P0A <sub>0</sub> -P0A <sub>3</sub> , P0B <sub>0</sub> -P0B <sub>3</sub> のいずれかの端子がロウ・レベルまたは出力モードになったとき
上記以外の値	設定禁止

### 12.2 HALT命令の実行条件

HALT命令はプログラムの誤動作を防止するため、特定の条件でのみ実行されるようになっています。この条件を表12-2に示します。

表12-2の条件を満足しないときHALT命令はNOP命令として扱われます。

★ 表 12-2 HALT命令の実行条件

オペランドの値	実行条件
0010B (02H)	① 8ビット・タイマの各割り込み要求フラグ (IRQTM) がリセットされていること
1000B (08H)	① 割り込み許可フラグ (IPTM, IPWTM, IP) がセットされている割り込みに対する割り込み要求フラグがリセットされていること ② P0A <sub>0</sub> -P0A <sub>3</sub> , P0B <sub>0</sub> -P0B <sub>3</sub> のすべての端子を入力モードでハイ・レベルにすること
上記以外の値	設定禁止



### 12.3 STOP モード

STOP モードは、メイン・クロックの発振を停止させた状態でプログラムの実行を一時停止させ、消費電流を最小にするときに使用します。

STOP モードの設定は STOP 命令を使用します。

STOP 命令は、サブクロックのみのシステムでは無効です。システム・クロックとしてサブクロックを選択しているとき、すなわち  $SYSCK = 0$  のとき、STOP 命令は NOP 命令として処理されます。

STOP モードの解除条件は、STOP 命令のオペランドにより表 12-3 のように指定できます。

STOP モード解除後の動作は以下のようになります。

- ① IRQTM のクリア
- ② 時計用タイマとウォッチドッグ・タイマのスタート (リセットされません)
- ③ 8ビット・タイマ/カウンタのリセット, スタート
- ④ 8ビット・タイマ/カウンタの値がモジュロ・レジスタの値と一致したとき (IRQTM のセット), 「STOP 8H」の次の命令または割り込みベクタ・アドレスの次の命令を実行します。

**注意** サブクロック使用時は、時計用タイマとウォッチドッグ・タイマは STOP モード中でも停止しません。

「STOP 8H」解除後、最初の命令を実行するまでの発振安定待ち時間は 8 ビット・タイマのモジュロ・レジスタの値を TMM としたとき下記のようになります。

$$(TMM + 1) \times 1024 / f_x \quad [s]$$

$f_x$ : システム・クロックの周波数

**例** メイン・クロックとして 4 MHz の発振子を使用している場合の、STOP 解除から次の命令を実行するまでの時間

$$(TMM + 1) \times 256 \quad [\mu s]$$

**注意** STOP 8H 命令の直前に、割り込み許可フラグ (IP×××) がセットされている割り込み要求フラグ (IRQ×××) のクリア命令を行わないでください。行くと STOP モードに入らないことがあります。 ★

表 12-3 STOP モードの解除条件

オペランドの値	解除条件
1000B (08H)	① 割り込み許可フラグ (IPWTM, IP) がセットされている割り込みに対し割り込み要求 (IRQWTM, IRQ) が発生したとき ② P0A <sub>0</sub> -P0A <sub>3</sub> , P0B <sub>0</sub> -P0B <sub>3</sub> のいずれかの端子がロウ・レベルまたは出力モードになったとき
上記以外の値	設定禁止

12.4 STOP 命令の実行条件

STOP 命令はプログラムの誤動作を防止するため、特定の条件でのみ実行されるようになっています。この条件を表 12-4 に示します。

表 12-4 の条件を満足しないとき STOP 命令は NOP 命令として扱われます。

表 12-4 STOP 命令の実行条件

オペランドの値	実行条件
1000B (08H)	① 割り込み許可フラグ (IPTM, IPWTM, IP) がセットされている割り込みに対する割り込み要求フラグがリセットされていること ② P0A <sub>0</sub> -P0A <sub>3</sub> , P0B <sub>0</sub> -P0B <sub>3</sub> のすべての端子を入力モードでハイ・レベルにすること
上記以外の値	設定禁止

12.5 スタンバイ・モード解除後の動作

STOP モード、HALT モードの解除後の動作は、次のようになっています。

表 12-5 スタンバイ・モード解除後の動作

★ (a) STOP 08H, HALT 08H のとき

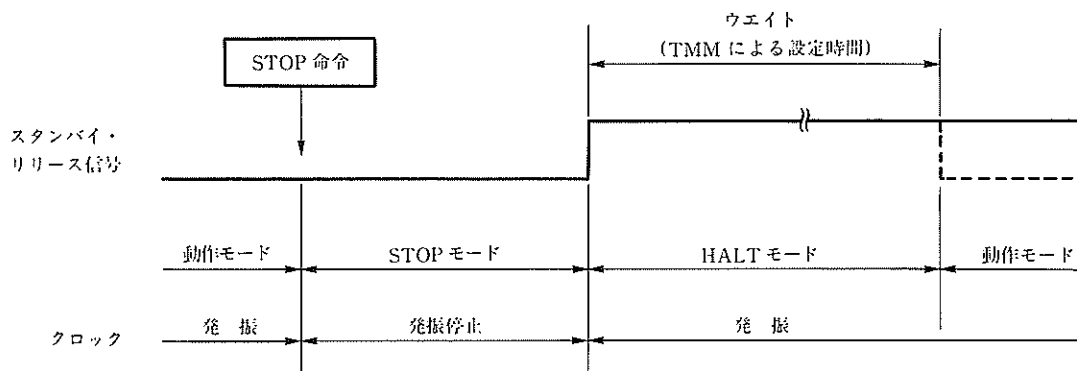
スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
P0A <sub>0</sub> -P0A <sub>3</sub> , P0B <sub>0</sub> -P0B <sub>3</sub> のロウ・レベル入力	任意	任意	STOP, HALT 命令の次の命令から実行する
割り込み要求による解除条件の成立	DI	禁止	スタンバイ・モードは解除されない
		許可	STOP, HALT 命令の次の命令から実行する
	EI	禁止	スタンバイ・モードは解除されない
		許可	割り込みのベクタ・アドレスに分岐する

★ (b) HALT 02H のとき

スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
割り込み要求 (INTTM) による解除条件の成立	DI	禁止	HALT 命令の次の命令から実行する
		許可	
	EI	禁止	割り込みのベクタ・アドレスに分岐する
		許可	

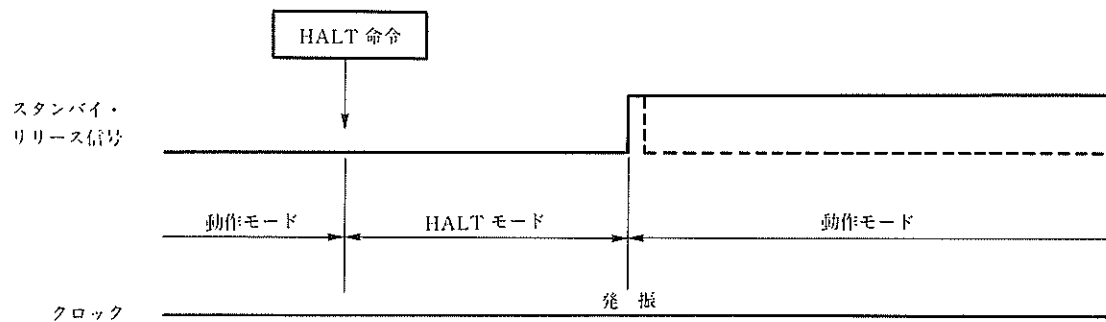
図 12-1 スタンバイ・モードの解除動作

(a) STOP モードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) HALT モードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

### 13. リセット

#### 13.1 リセット信号入力によるリセット

$\overline{\text{RESET}}$  端子に50 μs 以上のロウ・レベル信号を入力するとリセットがかかります。

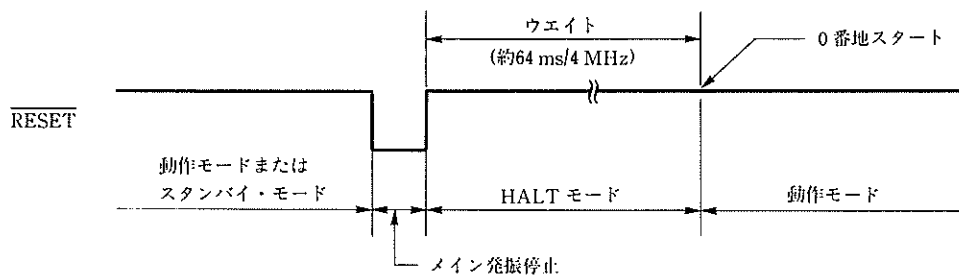
電源投入時には内部回路の動作が不定となるため、少なくとも1回はリセットをかけてください。

リセットがかかると以下の回路が初期化されます。

- ① プログラム・カウンタが0にリセットされます。
- ② レジスタ・ファイル内のフラグが初期化されます(初期値は図 14-1 レジスタ・ファイルの一覧を参照してください)。
- ③ データ・バッファ (DBF) に初期値 0320H が書き込まれます。
- ④ 周辺ハードウェアが初期化されます。
- ⑤ メイン・クロック (X) の発振が停止します。

$\overline{\text{RESET}}$  端子をロウ・レベルからハイ・レベルに立ち上げると、メイン・クロックの発振を開始し、約64 ms 後  $f_X=4\text{ MHz}$  のとき、0 番地からプログラムの実行を開始します。

図 13-1  $\overline{\text{RESET}}$  入力によるリセット動作



#### 13.2 ウォッチドッグ・タイマによるリセット ( $\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続)

プログラム実行中にウォッチドッグ・タイマが働くと  $\overline{\text{WDOUT}}$  端子にロウ・レベルを出力し、プログラム・カウンタを0にリセットします。

すなわち、一定時間ウォッチドッグ・タイマのリセットが行われないような状態になった場合、プログラムを0番地からリスタートさせることができます。

プログラム作成の際は340 ms ( $f_X=4\text{ MHz}$  のとき) 以内の間隔でウォッチドッグ・タイマをリセットしてください (WDTRES フラグをセットする)。

#### 13.3 スタック・ポインタによるリセット ( $\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続)

プログラム実行中にスタック・ポインタが6H あるいは7H になると  $\overline{\text{WDOUT}}$  端子にロウ・レベルを出力し、プログラム・カウンタを0にリセットします。

すなわち、割り込みやサブルーチン・コールなどのネスティングが5 レベル以上になった場合 (スタック・オーバフロー) や、CALL 命令とリターン (RET) 命令の対応がうまくとれないまま、スタック・レベルが0 であるにもかかわらずリターン命令を実行した場合 (スタック・アンダフロー) に、プログラムを0 番地からリスタートさせることができます。

表 13-1 各ハードウェアのリセット後の状態

★

ハードウェア		スタンバイ・モード中の RESET 入力	動作中の RESET 入力
プログラム・カウンタ (PC)		0 0 0 0 H	0 0 0 0 H
ポート	入力/出力	入力	入力
	出力ラッチ	0	0
データ・メモリ (RAM)	汎用データ・メモリ (DBF, ポート・レジスタを除く)	以前の状態を保持	不 定
	DBF	0 3 2 0 H	0 3 2 0 H
	システム・レジスタ (SYSREG)	0	0
	WR	以前の状態を保持	不 定
コントロール・レジスタ		図 14-1 レジスタ・ファイルの一覧参照	
8ビット・タイマ/カウンタ	カウンタ (TMC)	0 0 H	0 0 H
	モジュロ・レジスタ (TMM)	F F H	F F H
リモコン用キャリア発生回路	NRZ ハイ・レベル期間設定用 モジュロ・レジスタ (NRZHTMM)	以前の状態を保持	不 定
	NRZ ロー・レベル期間設定用 モジュロ・レジスタ (NRZLTMM)		
時計用タイマ/ウォッチドッグ・タイマのカウンタ		0 0 H	0 0 H

14. アセンブラ予約語

14.1 マスク・オプション疑似命令

μPD17202A のプログラムを作成する場合、アセンブラのソース・プログラム中にマスク・オプション疑似命令を使用してマスク・オプションを指定する必要があります。

マスク・オプションの指定が必要な項目は以下のとおりです。

- P0A<sub>0</sub>, P0A<sub>1</sub>, P0A<sub>2</sub>, P0A<sub>3</sub>
- P0B<sub>0</sub>, P0B<sub>1</sub>, P0B<sub>2</sub>, P0B<sub>3</sub>
- $\overline{\text{RESET}}$
- SYSTEM CLOCK

14.1.1 OPTION,ENDOP 疑似命令

OPTION 疑似命令以降 ENDOP 疑似命令までをマスク・オプション定義ブロックとします。マスク・オプション定義ブロックの記述形式を以下に示します。

記述形式：

シンボル欄	ニモニク欄	オペラント欄	コメント欄
[レベル:]	OPTION		[;コメント]
	⋮		
	ENDOP		

14.1.2 マスク・オプション定義疑似命令

マスク・オプション定義ブロック内で使用可能な疑似命令を表 14-1 に示します。

マスク・オプション定義の一例を以下に示します。

記述例：

シンボル欄	ニモニク欄	オペラント欄	コメント欄
	OPTION		
	OPTRES	RESPLUP	;リセット端子はプルアップ抵抗内蔵
	OPTP0A	P0APLUP, P0APLUP, P0APLUP, P0APLUP	;ポート 0A はすべてプルアップ抵抗内蔵
	OPTP0B	P0BPLUP, P0BPLUP, P0BPLUP, P0BPLUP	;ポート 0B はすべてプルアップ抵抗内蔵
	OPTCK	USEX, USEXT	;メイン・クロック使用, サブクロック使用
	ENDOP		

表 14-1 マスク・オプション定義疑似命令一覧表

名称	マスク・オプション 定義疑似命令	オペランド の数	第 1 オペランド	第 2 オペランド	第 3 オペランド	第 4 オペランド
RESET	OPTRES	1	RESET の マスク・オプション RESPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)			
P0A3- P0A0	OPTP0A	4	P0A3 の マスク・オプション P0APLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0A2 の マスク・オプション P0APLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0A1 の マスク・オプション P0APLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0A0 の マスク・オプション P0APLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)
P0B3- P0B0	OPTP0B	4	P0B3 の マスク・オプション P0BPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0B2 の マスク・オプション P0BPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0B1 の マスク・オプション P0BPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	P0B0 の マスク・オプション P0BPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)
SYSTEM CLOCK	OPTCK	2	メイン・クロックの 使用の有無 USEX (メイン・クロックを使用) NOX (メイン・クロックを未使用)	サブクロックの 使用の有無 USEXT (サブクロックを使用) NOXT (サブクロックを未使用)		

## 14.2 予約シンボル

μPD17202A のデバイス・ファイルで定義されているシンボルを表 14-2 に示します。

定義されているシンボルは、以下のレジスタ・ファイル名、ポート名、周辺ハードウェア名などです。

### 14.2.1 レジスタ・ファイル

レジスタ・ファイルに割り当てられたシンボル名を定義しています。これらのレジスタは、PEEK, POKE 命令によって WR (ウインドウ・レジスタ) を介してアクセスします。図 14-1 にレジスタ・ファイルの一覧を示します。

### 14.2.2 データ・メモリ上のレジスタおよびポート

データ・メモリ・アドレスの 00H-7FH に割り当てられたレジスタおよび 70H 番地以後に実装されているポート名およびシステム・レジスタ名を定義しています。図 14-2 にデータ・メモリの構成を示します。

### 14.2.3 周辺ハードウェア

GET, PUT 命令によってアクセスする周辺ハードウェア名を定義しています。表 14-3 に周辺ハードウェアを示します。

表 14-2 予約シンボル一覧表 (1/3)

シンボル名	属 性	値	R/W	説 明
DBF3	MEM	0.0CH	R/W	データ・バッファのビット15-12
DBF2	MEM	0.0DH	R/W	データ・バッファのビット11-8
DBF1	MEM	0.0EH	R/W	データ・バッファのビット7-4
DBF0	MEM	0.0FH	R/W	データ・バッファのビット3-0
AR3	MEM	0.74H	R	アドレス・レジスタのビット15-12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11-8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7-4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3-0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタのビット11-8
MPH	MEM	0.7AH	R/W	メモリ・ポインタのビット7-4
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタのビット7-4
MPL	MEM	0.7BH	R/W	メモリ・ポインタのビット3-0
IXL	MEM	0.7CH	R/W	インデクス・レジスタのビット3-0
RPH	MEM	0.7DH	R/W	レジスタ・ポインタのビット7-4
RPL	MEM	0.7EH	R/W	レジスタ・ポインタのビット3-0
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCDフラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・レジスタ・イネーブル・フラグ
LCDD0	MEM	0.40H	R/W	LCDセグメント0
LCDD1	MEM	0.41H	R/W	LCDセグメント1
LCDD2	MEM	0.42H	R/W	LCDセグメント2
LCDD3	MEM	0.43H	R/W	LCDセグメント3
LCDD4	MEM	0.44H	R/W	LCDセグメント4
LCDD5	MEM	0.45H	R/W	LCDセグメント5
LCDD6	MEM	0.46H	R/W	LCDセグメント6
LCDD7	MEM	0.47H	R/W	LCDセグメント7
LCDD8	MEM	0.48H	R/W	LCDセグメント8
LCDD9	MEM	0.49H	R/W	LCDセグメント9
LCDD10	MEM	0.4AH	R/W	LCDセグメント10
LCDD11	MEM	0.4BH	R/W	LCDセグメント11
LCDD12	MEM	0.4CH	R/W	LCDセグメント12
LCDD13	MEM	0.4DH	R/W	LCDセグメント13
LCDD14	MEM	0.4EH	R/W	LCDセグメント14
LCDD15	MEM	0.4FH	R/W	LCDセグメント15



表 14-2 予約シンボル一覧表 (2/3)

シンボル名	属性	値	R/W	説明
LCDD16	MEM	0.50H	R/W	LCD セグメント 16
LCDD17	MEM	0.51H	R/W	LCD セグメント 17
LCDD18	MEM	0.52H	R/W	LCD セグメント 18
LCDD19	MEM	0.53H	R/W	LCD セグメント 19
LCDD20	MEM	0.54H	R/W	LCD セグメント 20
LCDD21	MEM	0.55H	R/W	LCD セグメント 21
LCDD22	MEM	0.56H	R/W	LCD セグメント 22
LCDD23	MEM	0.57H	R/W	LCD セグメント 23
LCDD24	MEM	0.58H	R/W	LCD セグメント 24
LCDD25	MEM	0.59H	R/W	LCD セグメント 25
P0A0	FLG	0.70H.0	R/W	ポート 0A のビット 0
P0A1	FLG	0.70H.1	R/W	ポート 0A のビット 1
P0A2	FLG	0.70H.2	R/W	ポート 0A のビット 2
P0A3	FLG	0.70H.3	R/W	ポート 0A のビット 3
P0B0	FLG	0.71H.0	R/W	ポート 0B のビット 0
P0B1	FLG	0.71H.1	R/W	ポート 0B のビット 1
P0B2	FLG	0.71H.2	R/W	ポート 0B のビット 2
P0B3	FLG	0.71H.3	R/W	ポート 0B のビット 3
P0C0	FLG	0.72H.0	R/W	ポート 0C のビット 0
P0C1	FLG	0.72H.1	R/W	ポート 0C のビット 1
P0C2	FLG	0.72H.2	R/W	ポート 0C のビット 2
P0C3	FLG	0.72H.3	R/W	ポート 0C のビット 3
P0D0	FLG	0.73H.0	R/W	ポート 0D のビット 0
P0D1	FLG	0.73H.1	R/W	ポート 0D のビット 1
P0D2	FLG	0.73H.2	R/W	ポート 0D のビット 2
P0D3	FLG	0.73H.3	R/W	ポート 0D のビット 3
SP	MEM	0.81H	R/W	スタック・ポインタ
SYSCK	FLG	0.82H.1	R/W	システム・クロックの選択
XEN	FLG	0.82H.0	R/W	メイン・クロックの許可
WDTRES	FLG	0.83H.3	R/W	ウォッチドッグ・タイマのリセット
WTMMD	FLG	0.83H.2	R/W	時計用タイマ・モードの選択
WTMRES	FLG	0.83H.1	R/W	時計用タイマ・モードのリセット
VDDDET	FLG	0.87H.3	R/W	VDD 検出フラグ
INT	FLG	0.8FH.0	R	INT 端子の状態
NRZBF	FLG	0.91H.0	R/W	NRZ バッファ・データ
NRZ	FLG	0.92H.0	R/W	NRZ データ
IEG	FLG	0.9FH.0	R/W	INT 端子の割り込みエッジ選択
TMOE	FLG	0.A4H.1	R/W	8 ビット・タイマ出力の許可フラグ
IPWTM	FLG	0.AFH.2	R/W	時計用タイマの割り込み許可フラグ
IP	FLG	0.AFH.1	R/W	INT の割り込み許可フラグ

表 14 - 2 予約シンボル一覧表 (3/3)

シンボル名	属 性	値	R/W	説 明
IPTM	FLG	0.AFH.0	R/W	8ビット・タイマの割り込み許可フラグ
LCDEN	FLG	0.B1H.3	R/W	LCD表示の許可フラグ
LCDCK2	FLG	0.B1H.2	R/W	LCD表示クロック選択フラグ
LCDCK1	FLG	0.B1H.1	R/W	LCD表示クロック選択フラグ
LCDCK0	FLG	0.B1H.0	R/W	LCD表示クロック選択フラグ
LCDMD3	FLG	0.B2H.3	R/W	LCD表示モード・レジスタのビット3
LCDMD2	FLG	0.B2H.2	R/W	LCD表示モード・レジスタのビット2
LCDMD1	FLG	0.B2H.1	R/W	LCD表示モード・レジスタのビット1
LCDMD0	FLG	0.B2H.0	R/W	LCD表示モード・レジスタのビット0
TMEN	FLG	0.B3H.3	R/W	8ビット・タイマのカウント許可フラグ
TMRES	FLG	0.B3H.2	R/W	8ビット・タイマのリセット・フラグ
TMCK1	FLG	0.B3H.1	R/W	8ビット・タイマ・クロック・ソースの選択
TMCK0	FLG	0.B3H.0	R/W	8ビット・タイマ・クロック・ソースの選択
P0DGIO	FLG	0.B7H.3	R/W	P0Dポートの入出力設定フラグ
P0CGIO	FLG	0.B7H.2	R/W	P0Cポートの入出力設定フラグ
P0BGIO	FLG	0.B7H.1	R/W	P0Bポートの入出力設定フラグ
P0AGIO	FLG	0.B7H.0	R/W	P0Aポートの入出力設定フラグ
IRQWTM	FLG	0.BDH.0	R/W	時計用タイマの割り込み要求フラグ
IRQ	FLG	0.BEH.0	R/W	INTの割り込み要求フラグ
IRQTM	FLG	0.BFH.0	R/W	8ビット・タイマの割り込み要求フラグ
DBF	DAT	0FH	R/W	GET命令, PUT命令のオペランド
IX	DAT	01H	R/W	インデクス・レジスタ
TMC	DAT	02H	R	8ビット・タイマ・カウンタ
TMM	DAT	02H	W	8ビット・タイマのモジュロ・レジスタ
NRZLTMM	DAT	03H	R/W	NRZのモジュロ・レジスタのロウ
NRZHTMM	DAT	04H	R/W	NRZのモジュロ・レジスタのハイ
AR	DAT	40H	R/W	アドレス・レジスタ

[× ㉔]

図 14-1 レジスタ・ファイルの一覧 (1/2)

カラム・アドレス		0	1	2	3	4	5	6	7			
ロウ・アドレス		注	注	注	注	注	注	注	注			
0	ビット 3			0	0	0	WDTRES	0		VDDDET	V	
	ビット 2		SP	1	0	0	WTMMD	0		0	0	
	ビット 1			0	SYSCK	*	WTMRES	0		0	0	
	ビット 0			1	XEN	*	0	0		0	0	
ビット 3		0		0	0	0						
1	ビット 2		0	0	0	0						
	ビット 1		0	0	0	0						
	ビット 0		NRZBF	0	NRZ	0						
	ビット 3							0	0			
2	ビット 2							0	0			
	ビット 1							TMOE	0			
	ビット 0							0	0			
	ビット 3		LCDEN	0	LCDMD3	0	TMEN	1			P0DGIO	0
3	ビット 2		LCDCK2	0	LCDMD2	0	TMRES	0			P0CGIO	0
	ビット 1		LCDCK1	0	LCDMD1	0	TMCK1	0			P0BGIO	0
	ビット 0		LCDCK0	0	LCDMD0	1	TMCK0	0			P0AGIO	0

注 リセット時の状態

\* : リセット時は、マスク・オプションでメイン・クロックを使用 (USEX) を選択したとき 1、メイン・クロック未使用 (NOX) を選択したとき 0 となります。

★ 図 14-2 データ・メモリの構成

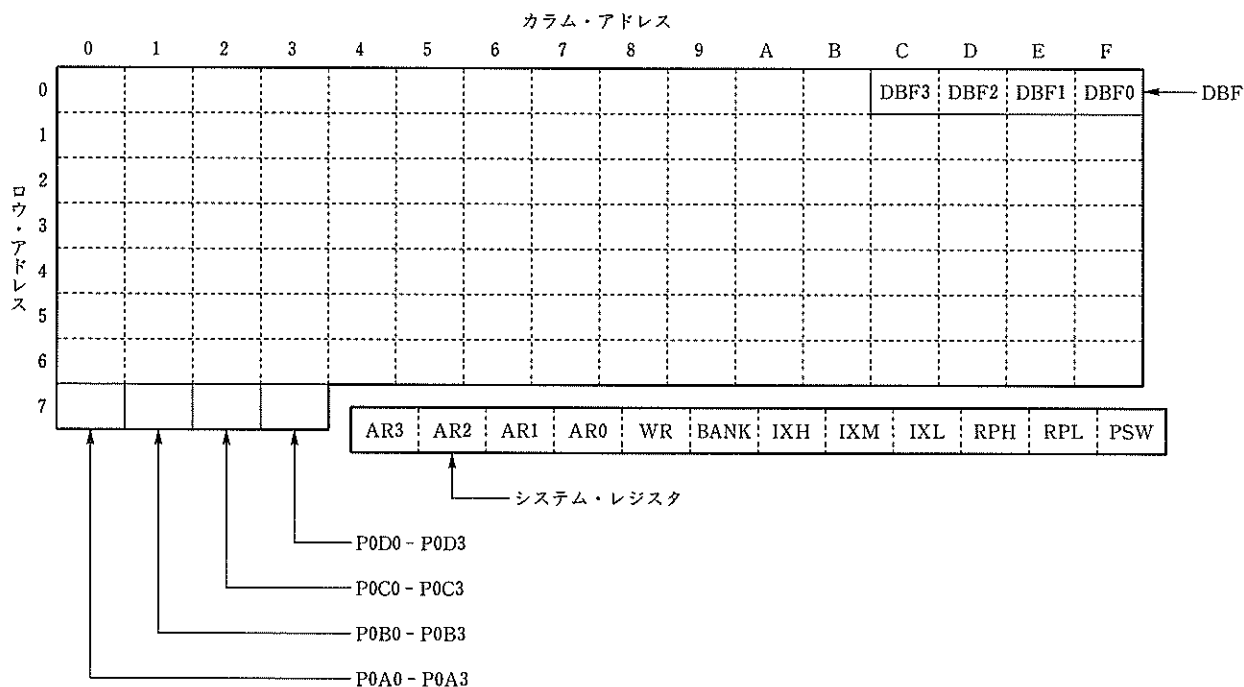


図 14-1 レジスタ・ファイルの一覧 (2/2)

カラム・アドレス / ロウ・アドレス		8	9	A	B	C	D	E	F		
		注	注	注	注	注	注	注	注		
0	ビット3								0	0	
	ビット2								0	0	
	ビット1								0	0	
	ビット0								INT	P	
1	ビット3								0	0	
	ビット2								0	0	
	ビット1								0	0	
	ビット0								IEG	0	
2	ビット3								0	0	
	ビット2								IPWTM	0	
	ビット1								IP	0	
	ビット0								IPTM	0	
3	ビット3						0	0	0	0	
	ビット2						0	0	0	0	
	ビット1						0	0	0	0	
	ビット0						IRQWTM	0	IRQ	0	IRQTM

注 リセット時の状態

P : INT 端子がハイ・レベルのとき1, ロウ・レベルのとき0となります。

表 14-3 周辺ハードウェア

名 称	アドレス	有効ビット	説 明
TMC	02H	8	8ビット・タイマのカウント・レジスタ
TMM	02H	8	8ビット・タイマのモジュロ・レジスタ
NRZLTMM	03H	8	リモコン・キャリア発生用ロウ・レベル期間設定用モジュロ・レジスタ
NRZHTMM	04H	8	リモコン・キャリア発生用ハイ・レベル期間設定用モジュロ・レジスタ
AR	40H	16	アドレス・レジスタ

15. 命令セット

15.1 命令セット概要

b <sub>14</sub> -b <sub>11</sub>		b <sub>15</sub>			
		0	1		
2進	16進				
0 0 0 0	0	ADD	r, m	ADD	m, #n4
0 0 0 1	1	SUB	r, m	SUB	m, #n4
0 0 1 0	2	ADDC	r, m	ADDC	m, #n4
0 0 1 1	3	SUBC	r, m	SUBC	m, #n4
0 1 0 0	4	AND	r, m	AND	m, #n4
0 1 0 1	5	XOR	r, m	XOR	m, #n4
0 1 1 0	6	OR	r, m	OR	m, #n4
0 1 1 1	7	INC	AR		
		INC	IX		
		MOVT	DBF, @AR		
		BR	@AR		
		CALL	@AR		
		RET			
		RETSK			
		EI			
		DI			
		RETI			
		PUSH	AR		
		POP	AR		
		GET	DBF, p		
		PUT	p, DBF		
		PEEK	WR, rf		
POKE	rf, WR				
RORC	r				
STOP	s				
HALT	h				
NOP					
1 0 0 0	8	LD	r, m	ST	m, r
1 0 0 1	9	SKE	m, #n4	SKGE	m, #n4
1 0 1 0	A	MOV	@r, m	MOV	m, @r
1 0 1 1	B	SKNE	m, #n4	SKLT	m, #n4
1 1 0 0	C	BR	addr	CALL	addr
1 1 0 1	D			MOV	m, #n4
1 1 1 0	E			SKT	m, #n
1 1 1 1	F			SKF	m, #n

## 15.2 凡例

AR	: アドレス・レジスタ
(AR) <sub>ROM</sub>	: AR で指定するアドレスの ROM の内容
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (下位11ビット)
BANK	: バンク・レジスタ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
IXE	: インデクス・イネーブル・フラグ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: m <sub>R</sub> , m <sub>C</sub> で示されるデータ・メモリ・アドレス
m <sub>R</sub>	: データ・メモリ・ロウ・アドレス (上位)
m <sub>C</sub>	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4 ビット)
n4	: イミューディエト・データ (4 ビット)
PAGE	: ページ (プログラム・カウンタのビット11)
PC	: プログラム・カウンタ
p	: 周辺アドレス
p <sub>H</sub>	: 周辺アドレス (上位 3 ビット)
p <sub>L</sub>	: 周辺アドレス (下位 4 ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
RP	: ジェネラル・レジスタ・ポインタ
rf	: レジスタ・ファイル・アドレス
rf <sub>R</sub>	: レジスタ・ファイル・アドレス (上位 3 ビット)
rf <sub>C</sub>	: レジスタ・ファイル・アドレス (下位 4 ビット)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
(×)	: ×でアドレスされる内容 ×: m, r などのダイレクト・アドレスまたは ASR などのレジスタ

15.3 命令一覧表

命令群	ニモニック	オペランド	オペレーション	命令コード			
				オペ・コード	オペランド		
加算	ADD	r, m	$(r) \leftarrow (r) + (m)$	00000	m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	$(m) \leftarrow (m) + n4$	10000	m <sub>R</sub>	m <sub>C</sub>	n4
	ADDC	r, m	$(r) \leftarrow (r) + (m) + CY$	00010	m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	$(m) \leftarrow (m) + n4 + CY$	10010	m <sub>R</sub>	m <sub>C</sub>	n4
	INC	AR	$AR \leftarrow AR + 1$	00111	000	1001	0000
IX		$IX \leftarrow IX + 1$	00111	000	1000	0000	
減算	SUB	r, m	$(r) \leftarrow (r) - (m)$	00001	m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	$(m) \leftarrow (m) - n4$	10001	m <sub>R</sub>	m <sub>C</sub>	n4
	SUBC	r, m	$(r) \leftarrow (r) - (m) - CY$	00011	m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	$(m) \leftarrow (m) - n4 - CY$	10011	m <sub>R</sub>	m <sub>C</sub>	n4
論理演算	OR	r, m	$(r) \leftarrow (r) \vee (m)$	00110	m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	$(m) \leftarrow (m) \vee n4$	10110	m <sub>R</sub>	m <sub>C</sub>	n4
	AND	r, m	$(r) \leftarrow (r) \wedge (m)$	00100	m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	$(m) \leftarrow (m) \wedge n4$	10100	m <sub>R</sub>	m <sub>C</sub>	n4
	XOR	r, m	$(r) \leftarrow (r) \nabla (m)$	00101	m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	$(m) \leftarrow (m) \nabla n4$	10101	m <sub>R</sub>	m <sub>C</sub>	n4
判断	SKT	m, #n	CMP ← 0, if (m) ∧ n=n, then skip	11110	m <sub>R</sub>	m <sub>C</sub>	n
	SKF	m, #n	CMP ← 0, if (m) ∧ n=0, then skip	11111	m <sub>R</sub>	m <sub>C</sub>	n
比較	SKE	m, #n4	(m) - n4, skip if zero	01001	m <sub>R</sub>	m <sub>C</sub>	n4
	SKNE	m, #n4	(m) - n4, skip if not zero	01011	m <sub>R</sub>	m <sub>C</sub>	n4
	SKGE	m, #n4	(m) - n4, skip if not borrow	11001	m <sub>R</sub>	m <sub>C</sub>	n4
	SKLT	m, #n4	(m) - n4, skip if borrow	11011	m <sub>R</sub>	m <sub>C</sub>	n4
回転	RORC	r	$\rightarrow CY \rightarrow (r)_{b3} \rightarrow (r)_{b2} \rightarrow (r)_{b1} \rightarrow (r)_{b0}$	00111	000	0111	r
転送	LD	r, m	$(r) \leftarrow (m)$	01000	m <sub>R</sub>	m <sub>C</sub>	r
	ST	m, r	$(m) \leftarrow (r)$	11000	m <sub>R</sub>	m <sub>C</sub>	r
	MOV	@r, m	if MPE=1 : (MP, (r)) ← (m) if MPE=0 : (BANK, m <sub>R</sub> , (r)) ← (m)	01010	m <sub>R</sub>	m <sub>C</sub>	r
		m, @r	if MPE=1 : (m) ← (MP, (r)) if MPE=0 : (m) ← (BANK, m <sub>R</sub> , (r))	11010	m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	$(m) \leftarrow n4$	11101	m <sub>R</sub>	m <sub>C</sub>	n4
	MOVT	DBF, @AR	SP ← SP - 1, ASR ← PC, PC ← AR, DBF ← (AR) <sub>ROM</sub> , PC ← ASR, SP ← SP + 1	00111	000	0001	0000



命令群	ニモニック	オペランド	オペレーション	命令コード			
				オペ・コード	オペランド		
転送	PUSH	AR	SP ← SP - 1, ASR ← AR	00111	000	1101	0000
	POP	AR	AR ← ASR, SP ← SP + 1	00111	000	1100	0000
	PEEK	WR, rf	WR ← (rf)	00111	rf <sub>R</sub>	0011	rf <sub>C</sub>
	POKE	rf, WR	(rf) ← WR	00111	rf <sub>R</sub>	0010	rf <sub>C</sub>
	GET	DBF, p	DBF ← (p)	00111	p <sub>H</sub>	1011	p <sub>L</sub>
	PUT	p, DBF	(p) ← DBF	00111	p <sub>H</sub>	1010	p <sub>L</sub>
分岐	BR	addr	PC <sub>10-0</sub> ← addr	01100	addr		
		@AR	PC ← AR	00111	000	0100	0000
サブルーチン	CALL	addr	SP ← SP - 1, ASR ← PC + 1, PC <sub>10-0</sub> ← addr, PAGE ← 0	11100	addr		
		@AR	SP ← SP - 1, ASR ← PC + 1, PC ← AR	00111	000	0101	0000
	RET		PC ← ASR, SP ← SP + 1	00111	000	1110	0000
	RETSK		PC ← ASR, SP ← SP + 1 and skip	00111	001	1110	0000
	RETI		PC ← ASR, INTR ← INTSK, SP ← SP + 1	00111	100	1110	0000
割り込み	EI		INTEF ← 1	00111	000	1111	0000
	DI		INTEF ← 0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

16. 電気的特性

絶対最大定格 (T<sub>a</sub> = 25 °C)

項目	略号	条件	定格	単位	
電源電圧	V <sub>DD</sub>		-0.3 ~ +7.0	V	
入力電圧	V <sub>i</sub>		-0.3 ~ V <sub>DD</sub> +0.3	V	
出力電圧	V <sub>O</sub>		-0.3 ~ V <sub>DD</sub> ~ +0.3	V	
ハイ・レベル出力電流	I <sub>OH</sub>	REM 端子	ピーク時	-30	mA
			実効値	-20	mA
		1 端子 (REM 端子以外)	ピーク時	-7.5	mA
			実効値	-5.0	mA
		全端子合計 (REM 端子以外)	ピーク時	-22.5	mA
			実効値	-15.0	mA
ロウ・レベル出力電流	I <sub>OL</sub>	1 端子	ピーク時	7.5	mA
			実効値	5.0	mA
		全端子合計	ピーク時	30	mA
			実効値	20	mA
動作温度	T <sub>opt</sub>		-20 ~ +75	°C	
保存温度	T <sub>stg</sub>		-40 ~ +125	°C	

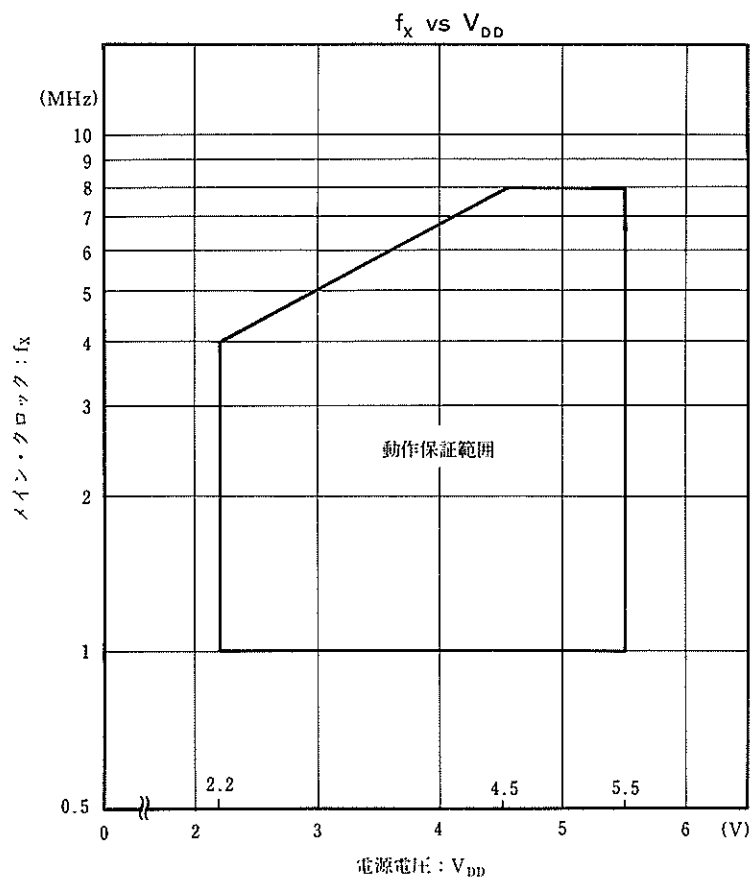
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 (T<sub>a</sub> = 25 °C, V<sub>DD</sub> = 0 V)

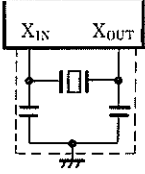
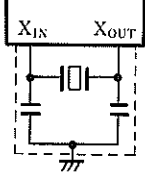
項目	略号	条件	最小	標準	最大	単位
入力容量	C <sub>IN</sub>	INT, RESET 端子			10	pF
	C <sub>PIN</sub>	INT, RESET 端子以外			10	pF

推奨動作範囲 (T<sub>a</sub> = -20 ~ +75 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V <sub>DD1</sub>	システム・クロックが f <sub>X</sub> = 4 MHz のとき	2.2	3.0	5.5	V
	V <sub>DD2</sub>	システム・クロックが f <sub>X</sub> = 8 MHz のとき	4.5	5.0	5.5	V
	V <sub>DD3</sub>	システム・クロックが f <sub>XT</sub> = 32 kHz のとき	2.0	3.0	5.5	V
メイン・クロック発振周波数	f <sub>X</sub>		1.0	4.0	8.0	MHz
サブクロック発振周波数	f <sub>XT</sub>			32.768		kHz

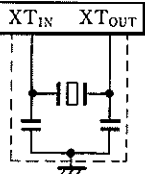



メイン・システム・クロック発振回路特性 ( $T_a = -20 \sim +75^\circ\text{C}$ ,  $V_{DD} = 2.2 \sim 5.5\text{ V}$ )

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
注3 セラミック 発振子		注1 発振周波数 ( $f_X$ )		1.0	4.0	8.0	MHz
		注2 発振安定時間	$V_{DD}$ が発振電圧範囲の MIN. に達した後			4	ms
注3 水晶振動子		注1 発振周波数 ( $f_X$ )		1.0	4.0	8.0	MHz
		注2 発振安定時間	$V_{DD} = 4.5 \sim 6.0\text{ V}$			10	ms
						30	ms

- 注1. 発振周波数は、発振回路の特性だけを示すものです。命令実行時間は AC 特性を参照してください。  
 2. 発振安定時間は、 $V_{DD}$  印加後、または、STOP モード解除後、発振が安定するのに必要な時間です。  
 3. セラミック発振子と水晶振動子は以下のものを推奨します。

サブシステム・クロック発振回路特性 ( $T_a = -20 \sim +75^\circ\text{C}$ ,  $V_{DD} = 2.0 \sim 5.5\text{ V}$ )

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 ( $f_{XT}$ )			32.768		kHz
		発振安定時間				10	s

注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の  の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に GND と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路から信号を取り出さない。

サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロック発振回路よりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振子

メイン・クロック：セラミック発振子

メーカー	品名	外付け容量 (pF)		発振電圧範囲 (V)		備考
		C1	C2	MIN.	MAX.	
株式会社村田製作所	CSA3.58MG	30	30	2.0	6.0	C内蔵タイプ
	CSA4.00MG	30	30	2.0	6.0	
	CSA4.19MG	30	30	2.0	6.0	
	CST3.58MGW	不要	不要	2.0	6.0	
	CST4.00MGW			2.0	6.0	
	CST4.19MGW			2.0	6.0	
京セラ株式会社	KBR3.58MS	33	33	2.0	6.0	
	KBR4.0MS	33	33	2.0	6.0	
	KBR4.19MS	33	33	2.0	6.0	
東光株式会社	CRHF4.00	18	18	2.0	6.0	
株式会社大真空	PRS0400BCSAN	39	33	2.0	6.0	

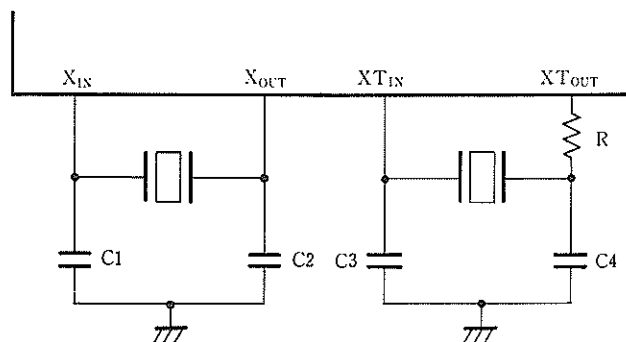
メイン・クロック：水晶振動子

メーカー	周波数 (MHz)	保持器	外付け容量 (pF)		発振電圧範囲 (V)		備考
			C1	C2	MIN.	MAX.	
キンセキ株式会社	4.0	HC-49U-S	22	22	2.0	6.0	

サブクロック：水晶振動子 (T<sub>a</sub> = 0 ~ 40 °C)

メーカー	周波数 (kHz)	品名	外付け容量 (pF)		外付け抵抗 (kΩ)	発振電圧範囲 (V)		備考
			C3	C4	R	MIN.	MAX.	
株式会社大真空	32.768	DT-38	8	8	0	2.0	6.0	

発振回路



DC 特性 ( $V_{DD} = 3V$ ,  $T_a = -20 \sim +75^\circ C$ ,  $f_X = 4MHz$ ,  $f_{XT} = 32kHz$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
低電圧検出電圧	$V_{DET}$	$R = 2.2M\Omega$	1.3	2.0	2.9	V	
ハイ・レベル入力電圧	$V_{IH1}$	RESET, INT 端子	$0.8V_{DD}$		$V_{DD}$	V	
	$V_{IH2}$	RESET, INT 端子以外	$0.7V_{DD}$		$V_{DD}$	V	
ロウ・レベル入力電圧	$V_{IL1}$	RESET, INT 端子	0		$0.2V_{DD}$	V	
	$V_{IL2}$	RESET, INT 端子以外	0		$0.3V_{DD}$	V	
ハイ・レベル入力電流	$I_{IH1}$	INT 端子	$V_{IH} = V_{DD}$		0.2	μA	
	$I_{IH2}$	RESET 端子	$V_{IH} = V_{DD}$		0.2	μA	
	$I_{IH3}$	P0A-P0D 端子	$V_{IH} = V_{DD}$		0.2	μA	
ロウ・レベル入力電流	$I_{IL1}$	INT 端子	$V_{IL} = 0V$		-0.2	μA	
	$I_{IL2}$	RESET 端子	$V_{IL} = 0V$ プルアップ抵抗なし		-0.2	μA	
	$I_{IL3}$		$V_{IL} = 0V$ プルアップ抵抗内蔵	-30	-60	-120	μA
	$I_{IL4}$	P0A, P0B 端子	$V_{IL} = 0V$ プルアップ抵抗なし		-0.2	μA	
	$I_{IL5}$		$V_{IL} = 0V$ プルアップ抵抗内蔵	-8	-15	-30	μA
	$I_{IL6}$	P0C, P0D 端子	$V_{IL} = 0V$		-0.2	μA	
ハイ・レベル出力電流	$I_{OH1}$	P0A, P0B 端子	$V_{OH} = V_{DD} - 0.3V$	-0.6	-2.0	-4.0	mA
	$I_{OH2}$	REM 端子	$V_{OH} = V_{DD} - 2.0V$	-7.0	-15.0	-25.0	mA
	$I_{OH3}$	LED 端子	$V_{OH} = V_{DD} - 0.3V$	-0.3	-1.0	-2.0	mA
ロウ・レベル出力電流	$I_{OL1}$	P0A, P0B 端子	$V_{OL} = 0.3V$	0.5	1.5	2.5	mA
	$I_{OL2}$	P0C, P0D 端子	$V_{OL} = 0.3V$	0.5	1.5	2.5	mA
	$I_{OL3}$	REM 端子	$V_{OL} = 0.3V$	0.5	1.5	2.5	mA
	$I_{OL4}$	LED, WDOOUT 端子	$V_{OL} = 0.3V$	0.5	1.5	2.5	mA
電源電流	$I_{DD1}$	動作モード	XT, X ともに発振		0.6	1.5	mA
	$I_{DD2}$		XTのみ発振		15	30	μA
	$I_{DD3}$	HALT モード	XT, X ともに発振		0.5	1.5	mA
	$I_{DD4}$ 注		XTのみ発振		10	15	μA
$V_{LDCD}$ 電圧	$V_{LDCD}$	$V_{DD} = 3V, T_a = 25^\circ C, R1 = R2 = 1M\Omega$	0.5	0.6	0.7	V	
LCD 出力電圧可変範囲	$V_{LCD0}$	外付け可変抵抗 (0~2.2MΩ)	0.8		1.8	V	
ダブル出力電圧	$V_{LCD1}$	$C1 \sim C4 = 0.47\mu F$	$1.9V_{LCD0}$	$2V_{LCD0}$		V	
トリプル出力電圧	$V_{LCD2}$	$C1 \sim C4 = 0.47\mu F$	$2.85V_{LCD0}$	$3V_{LCD0}$		V	
コモン出力電流	$I_{COM}$	$V_{DS} = 0.2V$	30			μA	
セグメント出力電流	$I_{LCD}$	$V_{DS} = 0.2V$	5			μA	

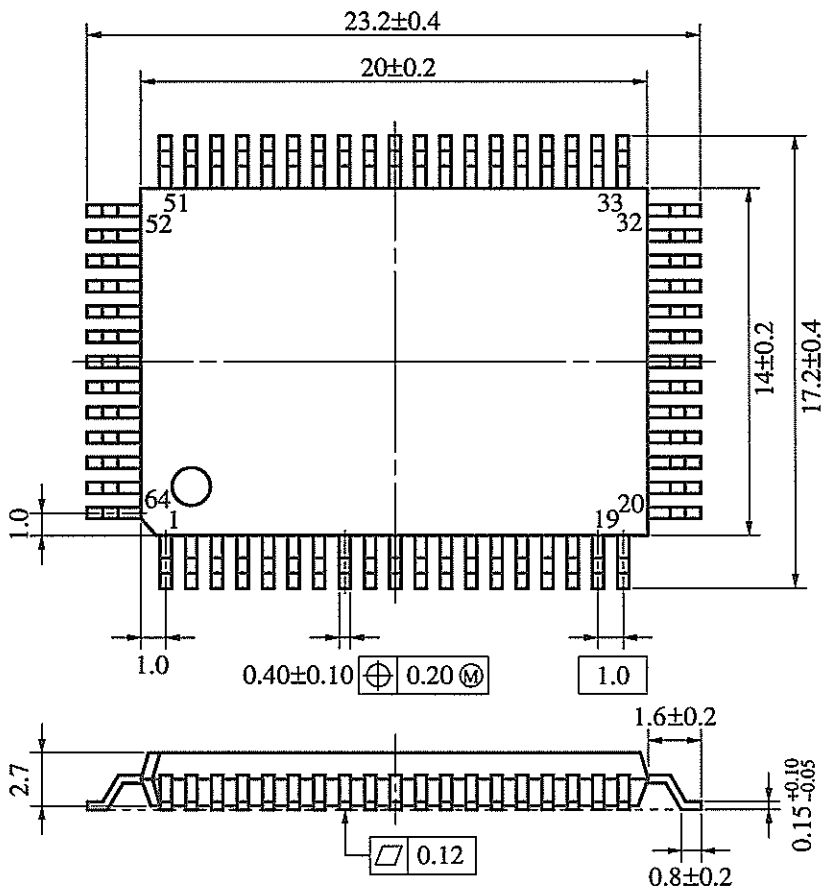
AC 特性 ( $T_a = -20 \sim +75^\circ C$ ,  $V_{DD} = 3V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
INT ハイ, ロウ・レベル幅	$t_{IOH}$		50			μs
	$t_{IOL}$		50			μs
RESET ロウ・レベル幅	$t_{RSL}$		50			μs

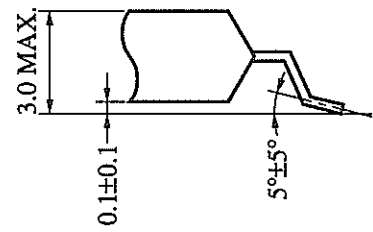
注 メイン STOP モード (サブ実装) は, サブ HALT モード (メイン発振停止) と同規格です。

17. 外形図

64ピン・プラスチック QFP (14×20) 外形図 (単位: mm)

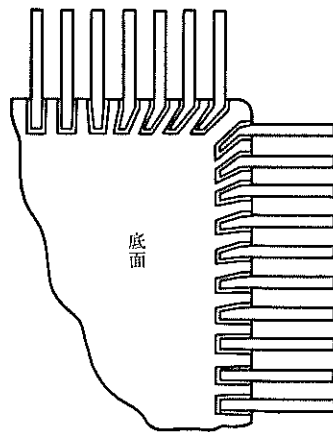
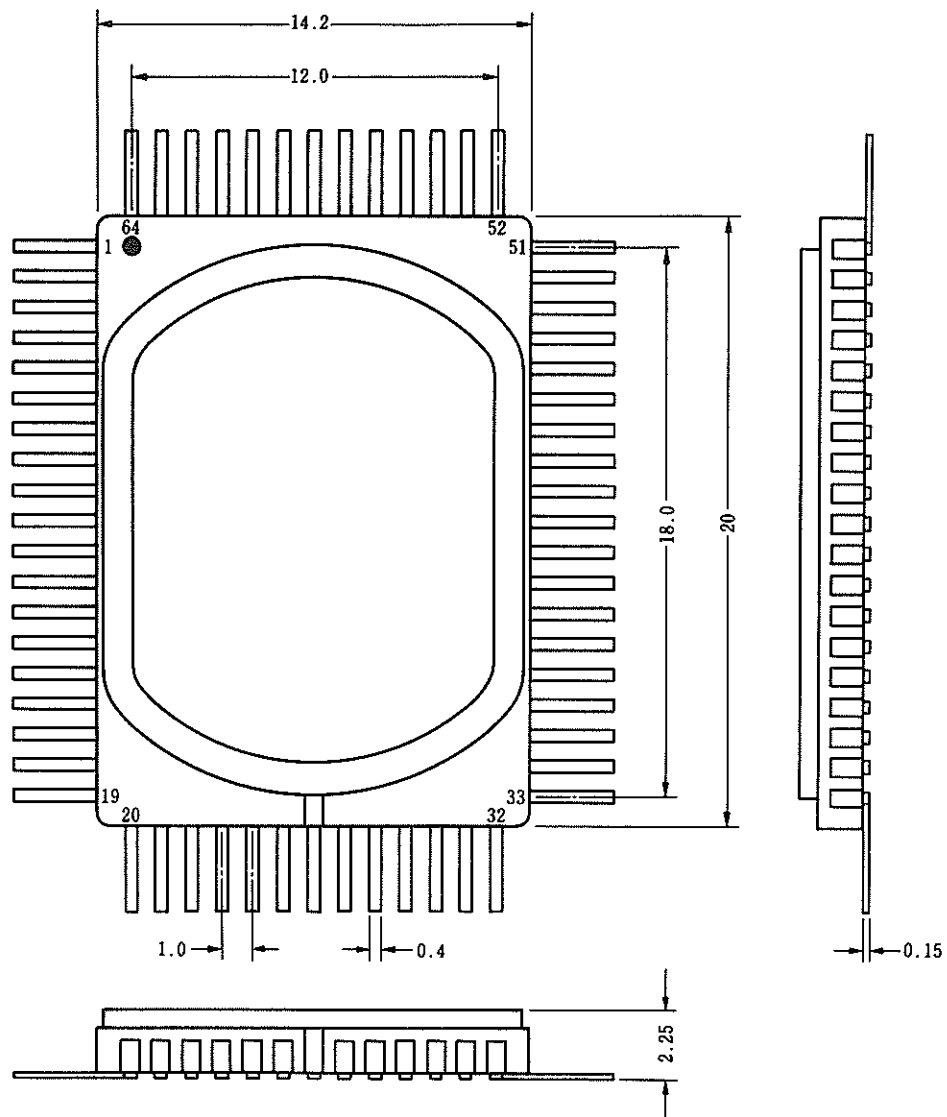


端子先端形状詳細図



S64GF-100-3B8,3BE-1

ES用64ピン・セラミック QFP (参考図) (単位: mm)

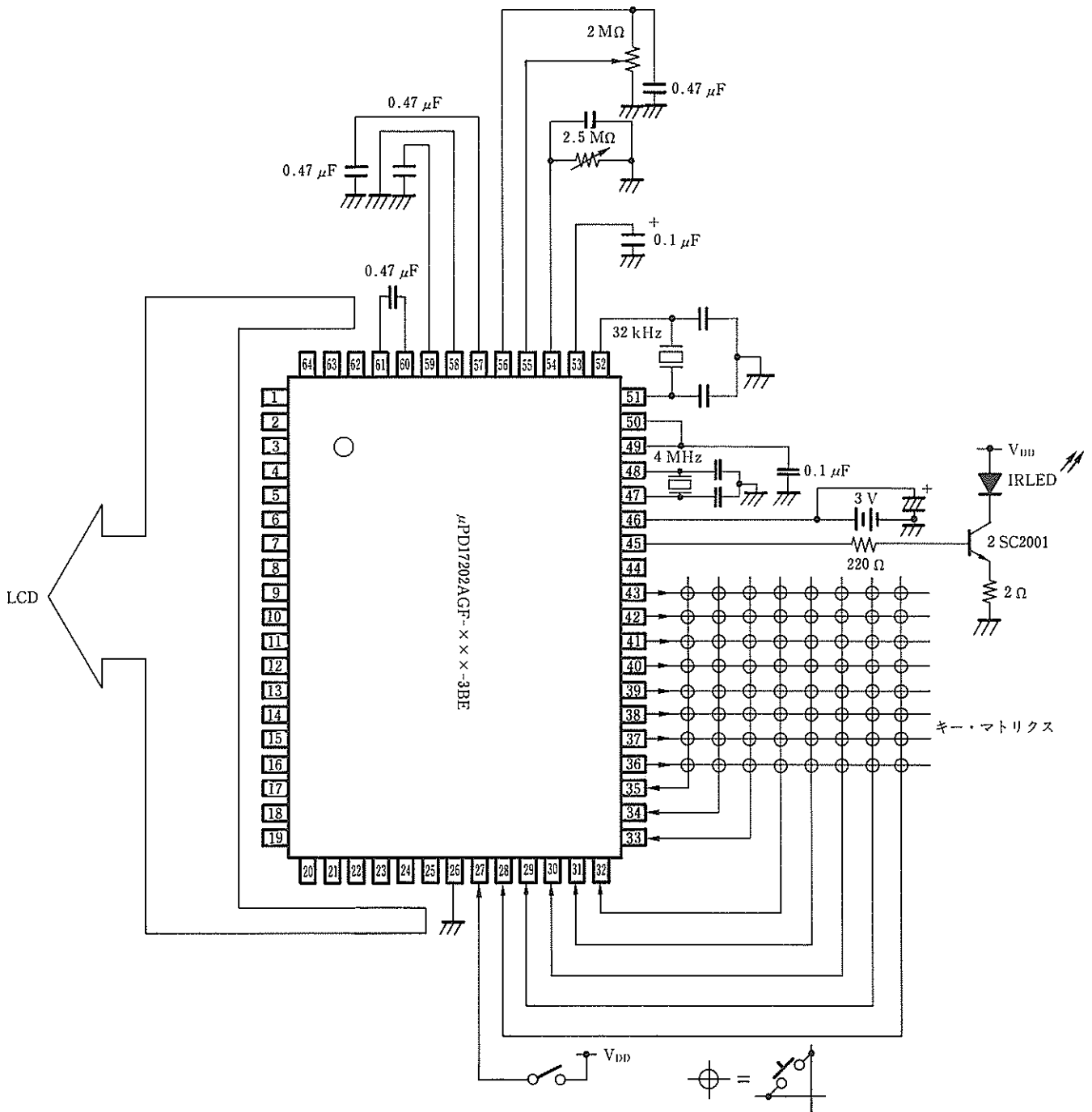


注意事項

1. メタル・キャップは26ピンと接続されており、グランド・レベルとなりますので注意してください。
2. 底面のリードは斜めに形成されていますので、注意してください。
3. リード先端の切断加工は工程管理されていませんので、リード長は規定していません。



18. 応用回路例



## ★ 19. 半田付け推奨条件

本製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)をご参照ください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 19-1 表面実装タイプの半田付け条件

μPD17202AGF-×××-3BE : 64ピン・プラスチック QFP (14×20 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃、時間：30秒以内（210℃以上）、回数：1回 制限日数 <sup>注</sup> ：2日間（以降は125℃プリベーク20時間必要）	IR30-202-1
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：1回 制限日数 <sup>注</sup> ：2日間（以降は125℃プリベーク20時間必要）	VP15-202-1
ウェーブ・ソルダリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回 制限日数 <sup>注</sup> ：2日間（以降は125℃プリベーク20時間必要）	WS60-202-1
端子部分加熱	端子部温度：300℃以下、時間：3秒以内（デバイスの一辺あたり）	—

注 ドライパック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用は避けください（ただし、端子部分加熱方式は除く）。

付録 A. μPD17P202A と μPD17202A の違い

μPD17P202A は、μPD17202A の内蔵マスク ROM (プログラム・メモリ) をユーザによる書き込み可能な PROM に置き換えた製品です。したがって、プログラム・メモリとマスク・オプションが異なるだけで、CPU 機能や内蔵しているハードウェアは同じです。また、μPD17P202A は、電源電流などの電気的特性の一部が μPD17202A とは異なりますので注意してください。

次に、μPD17P202A と μPD17202A の違いを示します。

項目 \ 品名	μPD17P202A-001	μPD17P202A-002	μPD17P202A-003	μPD17202A
プログラム・メモリ	<ul style="list-style-type: none"> <li>• PROM</li> <li>• 0000H-07FFH</li> <li>• 2048×16ビット</li> </ul>			<ul style="list-style-type: none"> <li>• マスク ROM</li> <li>• 0000H-07FFH</li> <li>• 2048×16ビット</li> </ul>
RESET 端子のプルアップ抵抗	あり	なし	なし	任意 (マスク・オプション)
P0A, P0B 端子のプルアップ抵抗		あり		
メイン・クロック発振回路使用の有無		なし	あり	
サブクロック発振回路使用の有無			なし	
端子接続	V <sub>PP</sub> 端子, PROM プログラム用端子あり			V <sub>PP</sub> 端子, PROM プログラム用端子なし
動作電源電圧範囲	2.2~5.5 V (4 MHz 動作時)			
パッケージ	64ピン・プラスチック QFP (14×20 mm)			

注意 μPD17P202A-001 を使用する場合は、必ずメイン・クロック発振回路とサブクロック発振回路の両方に発振子を接続してください。

★

★ 付録 B. μPD17202A 関連製品の機能比較

項目	品名							
	μPD17201A	μPD17207	μPD17P207	μPD17202A	μPD17P202A	μPD17215	μPD17216	μPD17P218
ROM 容量 (ビット)	3072×16	4096×16		2048×16			4096×16	8192×16
RAM 容量 (ビット)	336×4			112×4		111×4		223×4
LCD コントローラ/ドライバ	最大136セグメント			最大96セグメント		なし		
赤外線リモコン用キャリア発生回路 (REM)	LED 出力はハイ・アクティブ			LED 出力はロウ・アクティブ		内蔵 (LED 出力はなし)		
入出力ポート数	19本			16本		20本		
外部割り込み (INT)	1本 (立ち上がりエッジ検出)			1本 (立ち上がり, 立ち下がりエッジ検出)				
アナログ入力	4チャンネル (8ビット A/D)			なし				
タイマ	2チャンネル { 8ビット・タイマ 時計用タイマ				2チャンネル { 8ビット・タイマ ベース・インターバル・タイマ			
ウォッチドッグ・タイマ	内蔵 (WDOOUT 出力)							
低電圧検出回路 <sup>注</sup>	なし					内蔵 (WDOOUT 出力)		
シリアル・インタフェース	1チャンネル			なし				
スタック	5レベル (多重割り込みは3レベル)							
命令実行時間	メイン・システム・クロック	4 μs (4 MHz : セラミック発振子または水晶振動子使用時)				・2 μs (8 MHz セラミック発振子 : 高速モード時) ・4 μs (4 MHz セラミック発振子 : 高速モード時) ・16 μs (1 MHz セラミック発振子 : 高速モード時)		
	サブシステム・クロック	488 μs (32.768 kHz : 水晶振動子使用時)				なし		
動作電源電圧 (サブシステム・クロック動作時)	2.2~5.5 V (2.0~5.5 V)					2.2~5.5 V		
スタンバイ機能	STOP, HALT							
パッケージ	80ピン・プラスチック QFP			64ピン・プラスチック QFP		28ピン・プラスチック SOP 28ピン・プラスチック・シュリンク DIP		

注 回路構成上は同じですが、電気的特性が製品によって異なりますので注意してください。

## 付録 C. 開発ツール

★

μPD17202A のプログラムを開発するために、以下の開発ツールを用意しています。

## ハードウェア

名	称	概	要
インサーキット・エミュレータ (IE-17K IE-17K-ET <sup>注1</sup> EMU-17K <sup>注2</sup> )		IE-17K, IE-17K-ET, EMU-17K は、17K シリーズ共通のインサーキット・エミュレータです。 IE-17K および IE-17K-ET は、ホスト・マシンである PC-9800 シリーズまたは IBM PC/AT <sup>TM</sup> と RS-232-C を介して接続して使用します。EMU-17K は、ホスト・マシンである PC-9800 シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エミュレーション・ボード (SE ボード) と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアである SIMPLEHOST <sup>TM</sup> を使用すると、さらに高度なデバッグ環境を実現できます。 なお、EMU-17K は、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。	
SE ボード (SE-17202)		SE-17202 は、μPD17202A 用の SE ボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。	
エミュレーション・プローブ (EP-17202GF)		EP-17202GF は、μPD17202A 用のエミュレーション・プローブです。SE ボードとターゲット・システムを接続します。	
変換ソケット (EV-9200G-64 <sup>注3</sup> )		EV-9200G-64 は、64ピン QFP (14×20 mm) 用のソケットです。EP-17202GF とターゲット・システムを接続するために使用します。	
PROM プログラム (AF-9704 <sup>注4</sup> )		AF-9704 は、μPD17202A に対応した PROM プログラムです。プログラムアダプタ AF-9808B を接続することにより、μPD17202A をプログラミングすることができます。	
プログラムアダプタ (AF-9808B <sup>注4</sup> )		AF-9808B は、μPD17202A をプログラミングするためのアダプタです。AF-9704 と組み合わせて使用します。	

注 1. 廉価版：電源外付けタイプ

- 株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー (東京 (03)3447-3793) までお問い合わせください。
- EP-17202GF をご購入になると、EV-9200G-64 が 2 個付属されています。また、EV-9200G-64 を 5 個 1 組で別売もしています。
- 安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社 (東京 (03)3733-1151) までお問い合わせください。

ソフトウェア

名称	概要	ホスト・マシン	OS	供給媒体	オーダ名称	
17K シリーズ アセンブラ (AS17K)	AS17K は 17K シリーズ共通のアセンブラです。 μPD17202A のプログラム開発には、この AS17K とデバイス・ファイル (AS17202) を組み合わせて使用します。	PC-9800 シリーズ	MS-DOS™ (Ver.3.30 ↓ Ver.5.00A <sup>注</sup> )	5 インチ 2HD	μS5A10AS17K	
				3.5 インチ 2HD	μS5A13AS17K	
		IBM PC/AT	PC DOS™ (Ver.3.1)	5 インチ 2HC	μS7B10AS17K	
デバイス・ファイル (AS17202)	AS17202 は、μPD17202A 用のデバイス・ファイルです。 17K シリーズ共通のアセンブラ (AS17K) と組み合わせて使用します。	PC-9800 シリーズ	MS-DOS (Ver.3.30 ↓ Ver.5.00A <sup>注</sup> )	5 インチ 2HD	μS5A10AS17202	
				3.5 インチ 2HD	μS5A13AS17202	
		IBM PC/AT	PC DOS (Ver.3.1)	5 インチ 2HC	μS7B10AS17202	
サポート・ソフトウェア (SIMPLEHOST)	SIMPLEHOST は、インサートキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときに Windows™ 上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800 シリーズ	MS-DOS (Ver.3.30 ↓ Ver.5.00A <sup>注</sup> )	Windows (Ver.3.0 ↓ Ver.3.1)	5 インチ 2HD	μS5A10IE17K
					3.5 インチ 2HD	μS5A13IE17K
		IBM PC/AT	PC DOS (Ver.3.1)	5 インチ 2HC	μS7B10IE17K	

注 Ver.5.00/5.00A にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

## CMOSデバイスの一般的注意事項

## ①静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

## ②未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

## ③初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

[メモ]

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザー(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

当社推奨の用途例

標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等

特別：輸送機器（列車、自動車等）、交通信号機器、防災／防犯装置等

- この製品は耐放射線設計をしておりません。

M4 92.6

SIMPLEHOST は、日本電気株式会社の商標です。  
 MS-DOS, Windows は、米国マイクロソフト社の商標です。  
 PC/AT, PC DOS は、米国IBM社の商標です。

—— お問い合わせは、最寄りのNECへ ——

**【営業関係お問い合わせ先】**

コンシューマ半導体販売事業部 OA半導体販売事業部 インダストリー半導体販売事業部		〒108-01 東京都港区芝五丁目7番1号(NEC本社ビル)	東京 (03)3454-1111 (大代表)		
中部支社 半導体販売部		〒460 名古屋市中区栄四丁目14番5号(松下中日ビル)	名古屋 (052)242-2755		
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部		〒540 大阪市中央区城見一丁目4番24号(NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208		
北海道支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 水戸支店 神奈川支社 群馬支店 太田支店 宇都宮支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 水戸 (0292)26-1717 横浜 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011 宇都宮 (0286)21-2281	小山支店 長野支社 松本支店 上諏訪支店 甲府支店 埼玉支社 立川支店 千葉支社 静岡支店 浜松支店 北陸支社	小山 (0285)24-5011 長野 (0262)35-1444 松本 (0263)35-1666 諏訪 (0266)53-5350 甲府 (0552)24-4141 大宮 (048)641-1411 立川 (0425)26-5981 千葉 (043)238-8116 静岡 (054)255-2211 沼津 (0559)63-4455 浜松 (053)452-2711 金沢 (0762)23-1621	福井支店 富山支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社 北九州支店	福井 (0776)22-1866 富山 (0764)31-8461 京都 (075)344-7824 神戸 (078)332-3311 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (0899)45-4111 福岡 (092)271-7700 北九州 (093)541-2887

**【本資料に関する技術お問い合わせ先】**

半導体応用技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体応用技術本部 中部応用システム技術部	〒460 名古屋市中区栄四丁目14番5号(松下中日ビル)	名古屋 (052)242-2762	
半導体応用技術本部 西日本応用システム技術部	〒540 大阪市中央区城見一丁目4番24号(NEC関西ビル)	大阪 (06) 945-3383	