

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD17201A, 17207

LCD コントローラ/ドライバ, A/D コンバータ内蔵
赤外線リモート・コントロール送信機用 4 ビット・シングルチップ・マイクロコントローラ

μ PD17201A, 17207 は LCD コントローラ/ドライバ, A/D コンバータ, リモコン用キャリア発生回路を 1 チップに収めた赤外線リモート・コントロール送信機用 4 ビット・シングルチップ・マイクロコントローラです。

CPU として汎用レジスタ方式である 17K アーキテクチャを採用しており, 従来アキュムレータを介して行っていた演算に代わって直接データ・メモリ間の演算が行えます。さらに, すべての命令は 16 ビット/1 語で構成されていますので, 効率のよいプログラミングが可能です。

また, 一度だけ書き込み可能なワン・タイム PROM 製品の μ PD17P207 も用意しており, μ PD17201A, 17207 のプログラム評価に便利です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD172 $\times$ $\times$ サブシリーズ ユーザーズ・マニュアル: IEU-762

特 徴

- 17K アーキテクチャ採用 : 汎用レジスタ方式
- プログラム・メモリ (ROM) : 3072 $\times$ 16 ビット (μ PD17201A)
4096 $\times$ 16 ビット (μ PD17207)
- データ・メモリ (RAM) : 336 $\times$ 4 ビット (LCD レジスタ 36 $\times$ 4 ビットを含む)
- 赤外線リモコン用キャリア発生回路内蔵 (REM 出力)
- LCD コントローラ/ドライバ : 最大 136 セグメントの表示が可能
 - ・コモン端子 : 4 本 (2 本はセグメント端子として使用可能)
 - ・セグメント端子 : 34 本
 - ・LCD ドライバ用定電圧昇圧回路内蔵 : 外付け抵抗により LCD 駆動電圧を 2.4~5.4 V まで任意に設定可能
- 8 ビット A/D コンバータ : 4 チャンネル (プログラムによる逐次比較方式)
- 8 ビット・タイマ : 1 チャンネル
- 時計用タイマ/ウォッチドッグ・タイマ : 1 チャンネル ($\overline{\text{WDOUT}}$ 出力)
- 3 線式シリアル・インタフェース : 1 チャンネル
- 外部割り込み端子 (INT) : 1 本
- 入出力端子 : 20 本 (INT 含む)
- 命令実行時間 : 4 μ s (メイン・クロック: $f_X=4$ MHz 動作時)
488 μ s (サブクロック: $f_{XT}=32.768$ kHz 動作時)
- 電源電圧 : $V_{DD}=2.2\sim 5.5$ V (メイン・クロック: $f_X=4$ MHz 動作時)
 $V_{DD}=2.0\sim 5.5$ V (サブクロック: $f_{XT}=32.768$ kHz 動作時)

この資料では, 特に断りがないかぎり μ PD17207 を代表品種として説明しています。

本資料の内容は, 後日変更する場合があります。

用 途

エアコン用赤外線リモコン, LCD 表示付き赤外線リモコンなど

オーダ情報

オーダ名称	パッケージ
μPD17201AGF-×××-3B9	80 ピン・プラスチック QFP (14×20 mm)
μPD17207GF-×××-3B9	"

備考 ×××はROMコード番号です。

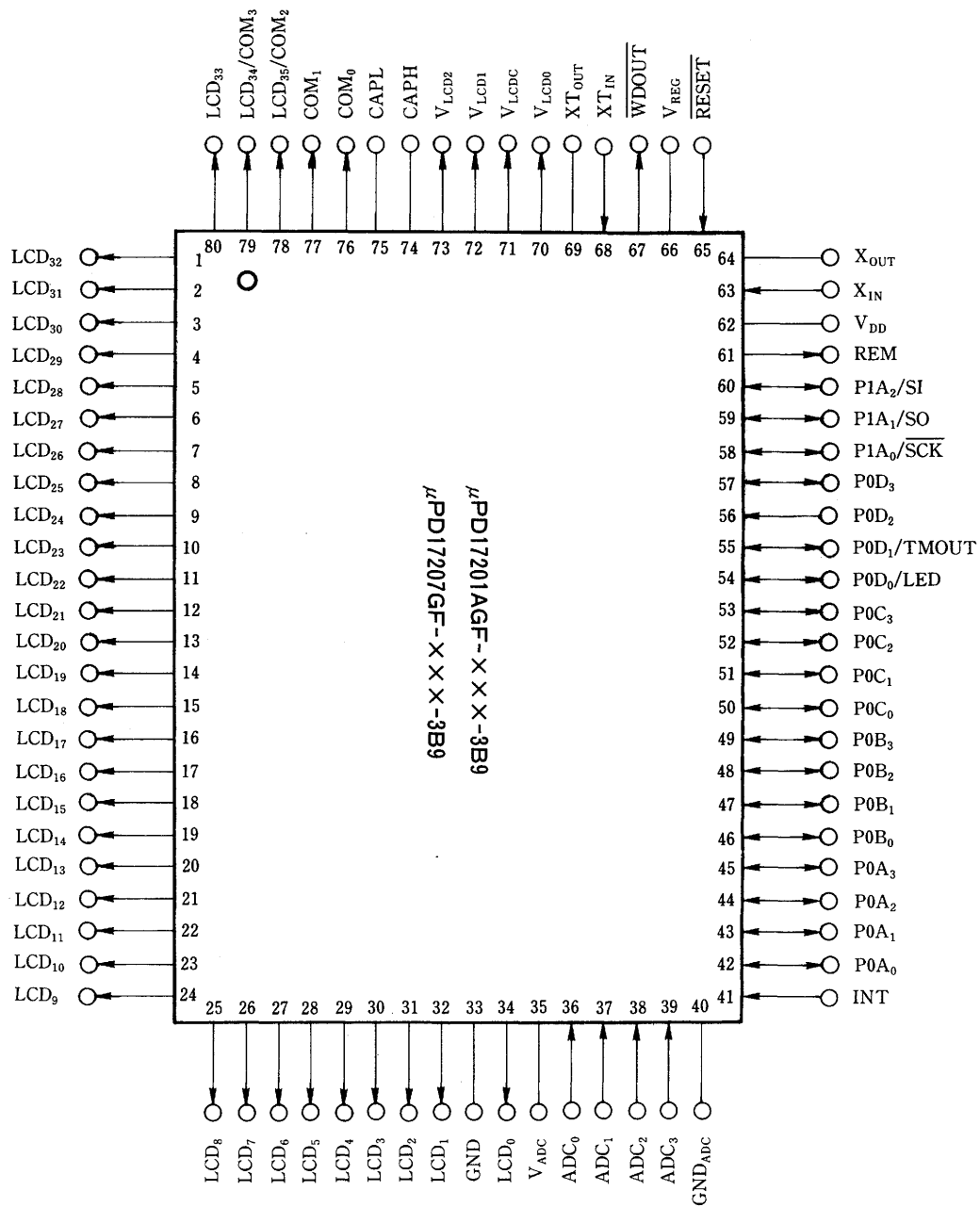
目 次

1. 端子接続図 (Top View) ...	6
2. ブロック図 ...	8
3. 端 子 ...	9
3.1 端子機能 ...	9
3.2 端子の等価回路 ...	11
3.3 未使用端子の処理 ...	12
3.4 $\overline{\text{RESET}}$ 端子と INT 端子の使用上の注意 ...	13
4. メモリ空間 ...	14
4.1 プログラム・カウンタ (PC) ...	14
4.2 プログラム・メモリ (ROM) ...	14
4.3 スタック ...	15
4.4 データ・メモリ (RAM) ...	17
4.5 レジスタ・ファイル (RF) ...	25
5. ポ ー ト ...	28
5.1 ポート 0A ...	28
5.2 ポート 0B ...	28
5.3 ポート 0C ...	28
5.4 ポート 0D ...	28
5.5 ポート 1A ...	29
5.6 INT 端子 ...	29
5.7 ポート制御レジスタ ...	30
6. クロック発生回路 ...	33
6.1 システム・クロックの切り替え ...	34
6.2 メイン・クロックの発振制御機能 ...	34
7. 8ビット・タイマ, リモコン用キャリア発生回路 ...	35
7.1 8ビット・タイマ (モジュロ機能付き) の構成 ...	35
7.2 8ビット・タイマ (モジュロ機能付き) の機能 ...	37
7.3 リモコン用キャリア発生回路 ...	38
8. 時計用タイマ/ウォッチドッグ・タイマ ...	43
8.1 時計用タイマ/ウォッチドッグ・タイマの構成 ...	43
8.2 時計用タイマ/ウォッチドッグ・タイマの機能 ...	44
8.3 ウォッチドッグ・タイマ動作タイミング ...	45

9. A/D コンバータ	46
9.1 A/D コンバータの構成	46
9.2 A/D コンバータの機能	47
9.3 A/D コンバータの制御レジスタ	48
9.4 A/D 変換モードの動作	50
9.5 コンペア・モードの動作	52
10. シリアル・インタフェース	54
10.1 シリアル・インタフェースの機能	54
10.2 シリアル・インタフェースの動作	54
11. LCD コントローラ/ドライバ	58
11.1 LCD コントローラ/ドライバの構成	58
11.2 LCD コントローラ/ドライバの機能	59
11.3 表示モード・レジスタ	59
11.4 LCDレジスタ	63
11.5 セグメント信号とコモン信号	67
11.6 LCD ドライバ用定電圧昇圧回路	70
12. 割り込み機能	72
12.1 割り込み要因	72
12.2 割り込み制御回路の各種ハードウェア	72
12.3 割り込みシーケンス	77
13. スタンバイ機能	78
13.1 HALT モード	78
13.2 HALT 命令の実行条件	80
13.3 STOP モード	81
13.4 STOP 命令の実行条件	82
14. リセット	83
14.1 リセット信号入力によるリセット	83
14.2 ウォッチドッグ・タイマによるリセット ($\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続)	83
14.3 スタック・ポインタによるリセット ($\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続)	83
15. アセンブラ予約語	85
15.1 マスク・オプション疑似命令	85
15.2 予約シンボル	86
16. 命令セット	94
16.1 命令セット概要	94
16.2 凡 例	95
16.3 命令一覧表	96

16.4 アセンブラ (AS17K) 組み込みマクロ命令	98
17. 電気的特性	99
18. 特性曲線 (参考値)	106
19. 応用回路例	110
20. 外形図	111
21. 半田付け推奨条件	113
付録 A. μ PD17P207と μ PD17201A, 17207との違い	114
付録 B. μ PD17201A, 17207関連製品の機能比較	115
付録 C. 開発ツール	116

1. 端子接続図 (Top View)

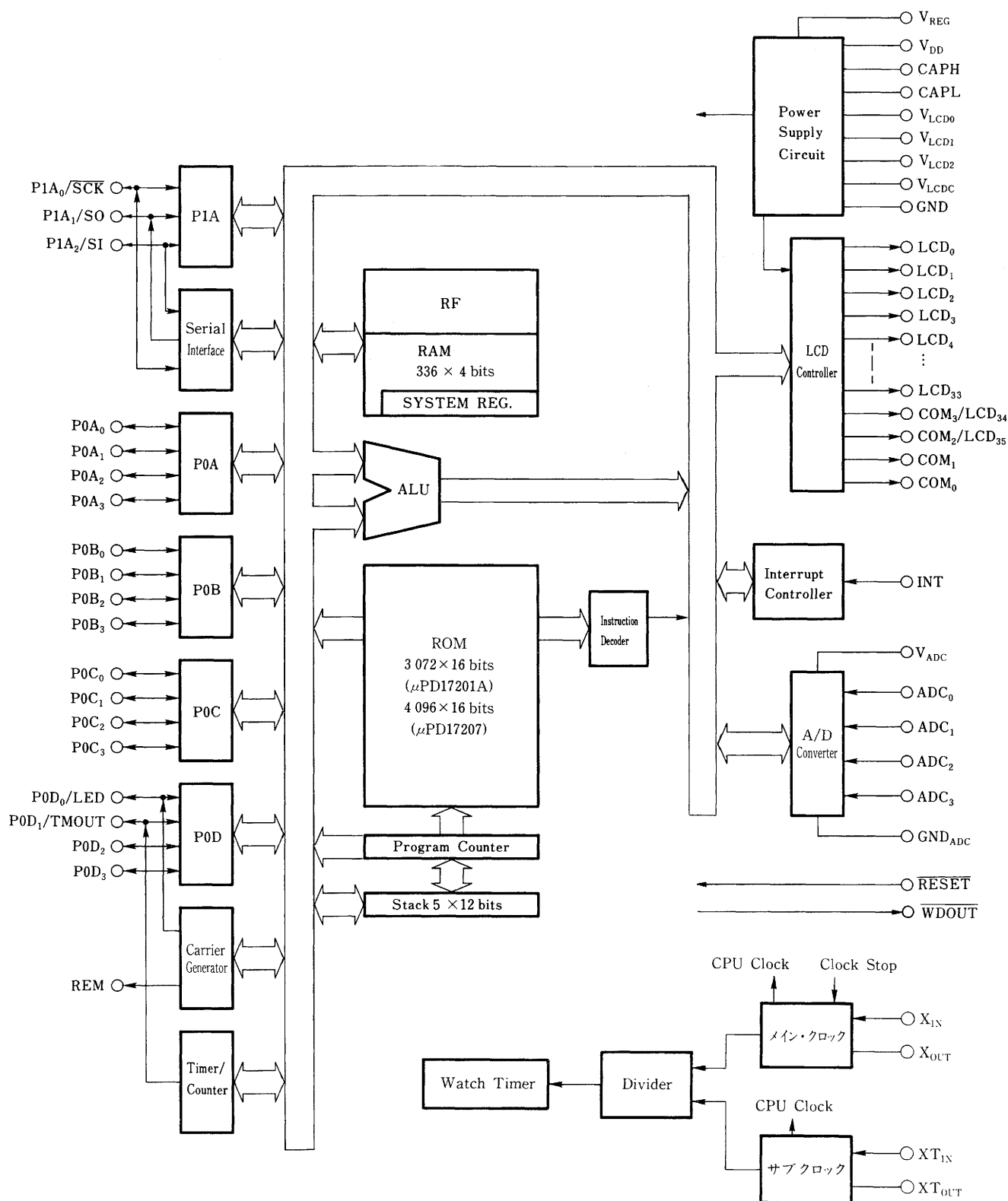


端子名称

ADC₀-ADC₃ : A/D コンバータ入力
CAPH, CAPL : 昇圧用コンデンサ接続
COM₀-COM₃ : LCD コモン信号出力
GND, GND_{ADC} : グランド
INT : 外部割り込み要求信号入力
LCD₀-LCD₃₅ : LCD セグメント信号出力
LED : リモコン送信表示用出力
P0A₀-P0A₃ : 入出力ポート
P0B₀-P0B₃ : 入出力ポート
P0C₀-P0C₃ : 入出力ポート
P0D₀-P0D₃ : 入出力ポート
P1A₀-P1A₂ : 入出力ポート
REM : リモコン送信出力

$\overline{\text{RESET}}$: リセット信号入力
 $\overline{\text{SCK}}$: シリアル・クロック入出力
SI : シリアル・データ入力
SO : シリアル・データ出力
TMOUT : タイマ出力
V_{ADC} : A/D コンバータ用電源
V_{DD} : 電源
V_{LCD0}-V_{LCD2} : LCD ドライバ用電圧出力
V_{LCDC} : LCD ドライバ用基準電圧調整
V_{REG} : ボルテージ・レギュレータ出力
 $\overline{\text{WDOUT}}$: 暴走検出用出力
X_{IN}, X_{OUT} : メイン・クロック用発振回路
XT_{IN}, XT_{OUT} : サブクロック用発振回路

2. ブロック図



3. 端 子

3.1 端子機能

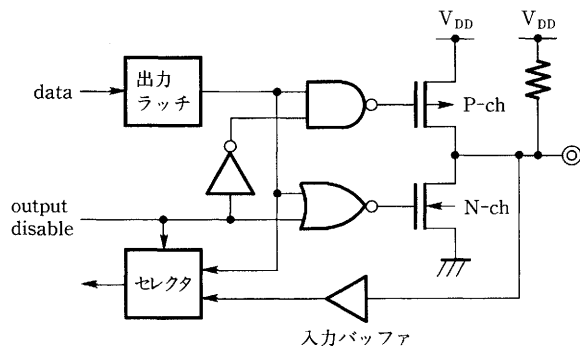
端子番号	記 号	機 能	出力形式	リセット時
76 77 78 79 80 1 32 34	COM ₀ COM ₁ LCD ₃₅ /COM ₂ LCD ₃₄ /COM ₃ LCD ₃₃ LCD ₃₂ LCD ₁ LCD ₀	LCDドライバのコモン信号とセグメント信号の出力です。 セグメント信号出力とコモン信号出力の切り替えは、レジスタ・ファイルの LCDMD3-LCDMD0 によって行います。 ●COM ₀ -COM ₃ ・LCDドライバのコモン信号出力 ●LCD ₃₅ -LCD ₀ ・LCDドライバのセグメント信号出力	CMOS プッシュプル	—
33	GND	グラウンドです。	—	—
35	V _{ADC}	A/Dコンバータの正電源です。 V _{ADC} =V _{DD} で使用してください。	—	—
36 39	ADC ₀ ADC ₃	8ビット分解能の A/D コンバータのアナログ入力です。	—	—
40	GND _{ADC}	A/Dコンバータのグラウンドです。	—	—
41	INT	外部割り込み要求信号の入力です。 入力信号の立ち上がりエッジにより割り込み要求を発生します。	—	入 力
42 45	P0A ₀ P0A ₃	4ビットの入出力ポートです。4ビット単位で入力/出力の設定ができます（グループ I/O）。 プルアップ抵抗を内蔵しています。	CMOS プッシュプル	入 力
46 49	P0B ₀ P0B ₃	4ビットの入出力ポートです。4ビット単位で入力/出力の設定ができます（グループ I/O）。	N-ch オープン・ ドレイン	入 力
50 53	P0C ₀ P0C ₃	4ビットの入出力ポートです。4ビット単位で入力/出力の設定ができます（グループ I/O）。	N-ch オープン・ ドレイン	入 力
54 55 56 57	P0D ₀ /LED P0D ₁ /TMOUT P0D ₂ P0D ₃	ポート 0D, LED 出力および 8ビット・タイマ出力です。 P0D ₀ と LED 出力の切り替えは、レジスタ・ファイルの NRZEN によって行います。 また、P0D ₁ と 8ビット・タイマ出力の切り替えは、レジスタ・ファイルの TMOE によって行います。 ●P0D ₀ -P0D ₃ ・4ビットの入出力ポート ・1ビット単位で入力/出力の設定可能（ビット I/O） ●LED ・赤外線リモコン信号（REM）に同期した NRZ 信号を出力 ・REM 端子からリモコン・キャリアが出力されている間、ハイ・レベルを出力 ●TMOUT ・8ビット・タイマ出力	CMOS プッシュプル	入 力

端子番号	記 号	機 能	出力形式	リセット時
58 59 60	P1A ₀ / $\overline{\text{SCK}}$ P1A ₁ /SO P1A ₂ /SI	ポート 1A とシリアル・インタフェースです。 ポート 1A とシリアル・インタフェースの切り替えは、レジスタ・ファイルの SIOEN によって行います。 ●P1A₀-P1A₂ • 3 ビットの入出力ポート • 3 ビット単位で入力/出力の設定可能(グループ I/O) ●$\overline{\text{SCK}}$, SO, SI • $\overline{\text{SCK}}$: シリアル・クロック入出力 • SO: シリアル・データ出力 • SI: シリアル・データ入力	CMOS プッシュプル	入 力
61	REM	赤外線リモコン信号の出力です。 アクティブ・ハイの出力です。	CMOS プッシュプル	ロウ・レベル出力
62	V _{DD}	正電源です。	—	—
63 64	X _{IN} X _{OUT}	メイン・クロック発振用の 4 MHz セラミック発振子、または水晶振動子を接続します。	—	(発振停止)
65	$\overline{\text{RESET}}$	システム・リセット用の入力です。 ロウ・レベル入力によってリセットがかかります。 ロウ・レベル入力中は、メイン・クロックの発振が停止します。 マスク・オプションにより、プルアップ抵抗を内蔵することができます。	—	入 力
66	V _{REG}	サブクロック発振回路用ボルテージ・レギュレータの出力です。 サブクロック使用時は、外部に 0.1 μF のコンデンサを接続して使用してください。	—	—
67	$\overline{\text{WDOUT}}$	暴走検出用の出力です。 ウォッチドッグ・タイマのオーバフローまたはスタックのオーバフロー/アンダフロー時にロウ・レベルを出力します。$\overline{\text{RESET}}$ 端子と接続して使用してください。	N-ch オープン・ ドレイン	ハイ・ インピーダンス
68 69	XT _{IN} XT _{OUT}	サブクロック発振用の 32.768 kHz 水晶振動子を接続します。	—	(発振)
71	V _{LCDC}	LCD ドライバ用基準電圧を調整するための入力です。	—	—
70 72 73	V _{LCD0} V _{LCD1} V _{LCD2}	LCD ドライバ用基準電圧の出力です。 • V_{LCD0}: 基準電圧出力 • V_{LCD1}: ダブラ出力 (2 倍の電圧) • V_{LCD2}: トリブラ出力 (3 倍の電圧)	—	—
74 75	CAPH CAPL	LCD ドライブ電圧の昇圧用コンデンサを接続します。	—	—

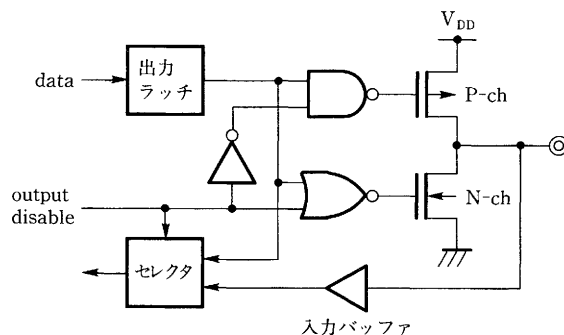
3.2 端子の等価回路

μPD17207 の各端子の等価回路を一部簡略化した形式を用いて示します。

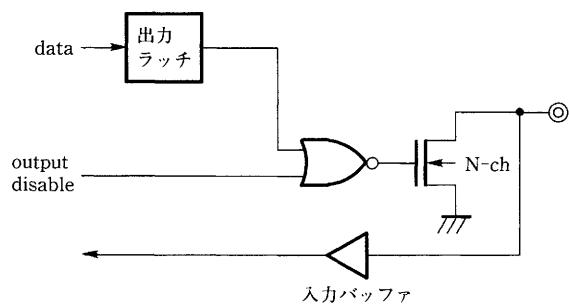
(1) P0A



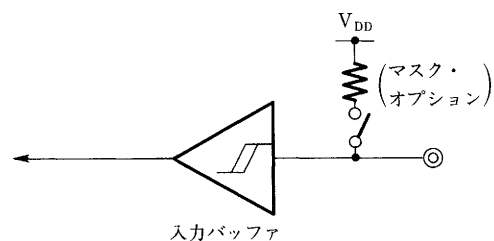
(4) P0D, P1A



(2) P0B

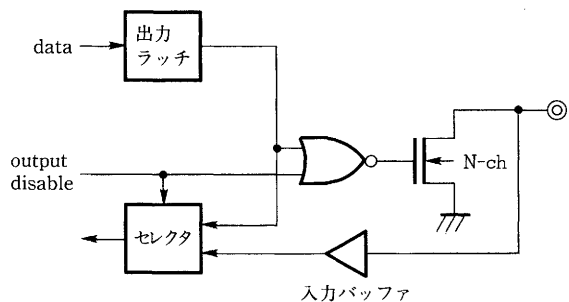


(5) RESET

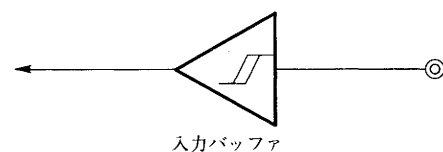


ヒステリシス特性を有するシュミット・トリガ入力となっています。

(3) P0C



(6) INT



ヒステリシス特性を有するシュミット・トリガ入力となっています。

3.3 未使用端子の処理

未使用端子は、次に示すような処置をしてください。

表 3-1 未使用端子の処理

(a) ポート端子

端子名		未使用時の推奨処理	
		マイコン内部	マイコン外部
入力モード	P0A	(プルアップ抵抗を内蔵)	オープン
	P0C	—	GND に直接接続
	P0D, P1A	—	各端子ごとに抵抗を介して、 V_{DD} または GND に接続 ^注
出力モード	P0A (CMOS ポート)	ハイ・レベルを出力する	オープン
	P0D, P1A (CMOS ポート)	—	
	P0B, P0C (N-ch オープン・ドレイン・ポート)	ロウ・レベルを出力する	

注 外部でプルアップ（抵抗を介して V_{DD} に接続）またはプルダウン（抵抗を介して GND に接続）する場合には、ポートのドライブ能力や消費電流に注意してください。また、高い抵抗値でプルアップまたはプルダウンする場合には、その端子にノイズが乗らないように注意してください。

(b) ポート以外の端子

端子名	入出力方式	未使用時の推奨処理
ADC ₀ ~ADC ₃	入力	GND に直接接続
CAPH, CAPL	出力	オープン
COM ₀ , COM ₁ , COM ₂ /LCD ₃₅ , COM ₃ /LCD ₃₄	出力	オープン
INT ^注	入力	GND に直接接続
LCD ₀ ~LCD ₃₃	出力	オープン
REM	出力	オープン
V _{ADC}	—	V_{DD} に直接接続
V _{LCD0} ~V _{LCD2}	出力	オープン
V _{LCDC}	—	V_{DD} または V_{LCD0} に直接接続
$\overline{WDOU\overline{T}}$	出力	GND に直接接続
X _{IN} , XT _{IN}	入力	GND に直接接続
X _{OUT}	—	V_{DD} に直接接続
XT _{OUT}	—	V_{REG} に直接接続

注 INT 端子はテスト・モードの設定機能を兼用しているので、未使用の場合は直接 GND に接続してください。

注意 1. 入出力モード、端子の出力レベルは、プログラムの各グループ内で繰り返し設定することによって固定することを推奨します。

2. LCDドライバ/コントローラを使用しないときは、表示モード・レジスタで昇圧回路を停止してください。

3.4 $\overline{\text{RESET}}$ 端子と INT 端子の使用上の注意

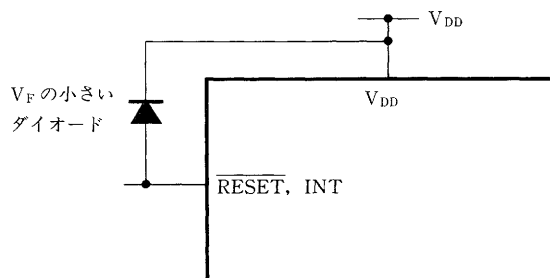
$\overline{\text{RESET}}$ 端子と INT 端子は、3.1 端子機能に示した機能のほかに、 μ PD17207 の内部動作をテストするテスト・モードを設定する機能 (IC テスト専用) を持っています。

これらの端子のいずれかに V_{DD} を越える電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であっても V_{DD} を越えるようなノイズが加わった場合にはテスト・モードに入ってしまう、通常動作に支障をきたすことがあります。

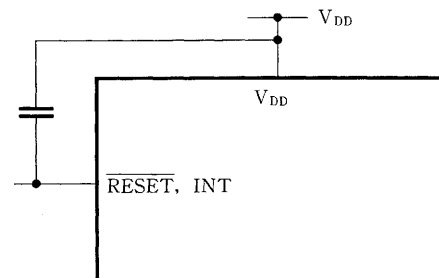
たとえば、 $\overline{\text{RESET}}$ 端子または INT 端子の配線の引き回しが長い場合などでは、これらの端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は、下図のような外付け部品によるノイズ対策を実施してください。

○ V_{DD} との間に V_F の小さいダイオードを接続



○ V_{DD} との間にコンデンサを接続



4. メモリ空間

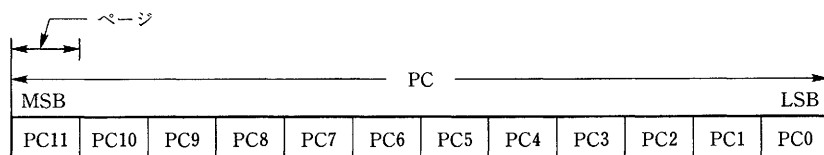
4.1 プログラム・カウンタ (PC)

プログラム・カウンタ (PC) は、プログラム・メモリ (ROM) の番地を指定します。

プログラム・カウンタは、図 4-1 に示すように、12ビットのバイナリ・カウンタで構成されています。

リセット時には、0000H 番地にイニシャライズされます。

図 4-1 プログラム・カウンタの構成



4.2 プログラム・メモリ (ROM)

μPD17201A, 17207のプログラム・メモリ構成を以下に示します。

品 名	プログラム・メモリ容量	プログラム・メモリ番地
μPD17201A	3072×16ビット	0000H-0BFFH
μPD17207	4096×16ビット	0000H-0FFFH

プログラム・メモリには、プログラム、割り込みベクタ・テーブル、および固定データ・テーブルなどを格納します。

プログラム・メモリは、プログラム・カウンタによってアドレス指定されます。

図 4-2 にプログラム・メモリ・マップを示します。BR addr, BR @AR, CALL @AR, MOVT DBF, @AR の各命令によるアドレス指定可能な範囲は、それぞれのプログラム・メモリの全範囲です。ただし、CALL addr 命令のサブルーチン・エントリ・アドレスは、0000H-07FFH までです。

図 4-2 プログラム・メモリ・マップ



4.3 スタック

スタックとはサブルーチン・コール時や割り込み受け付け時にプログラムの戻り番地や後述するシステム・レジスタの内容を退避するためのレジスタです。

4.3.1 スタックの構成

スタックは図4-3に示すように3ビットのバイナリ・カウンタであるスタック・ポインタ (SP) を1個と12ビットのアドレス・スタック・レジスタ (ASR) を5個と、7ビットの割り込みスタック・レジスタ (INTSK) 3個より構成されています。

スタック・ポインタは、アドレス・スタック・レジスタのアドレスを指定します。

リセット時には、5H にイニシャライズされます。

スタック・ポインタが6H および 7H となったとき、 $\overline{\text{WDOUT}}$ 端子がロウ・レベルとなります。

図4-3 スタックの構成

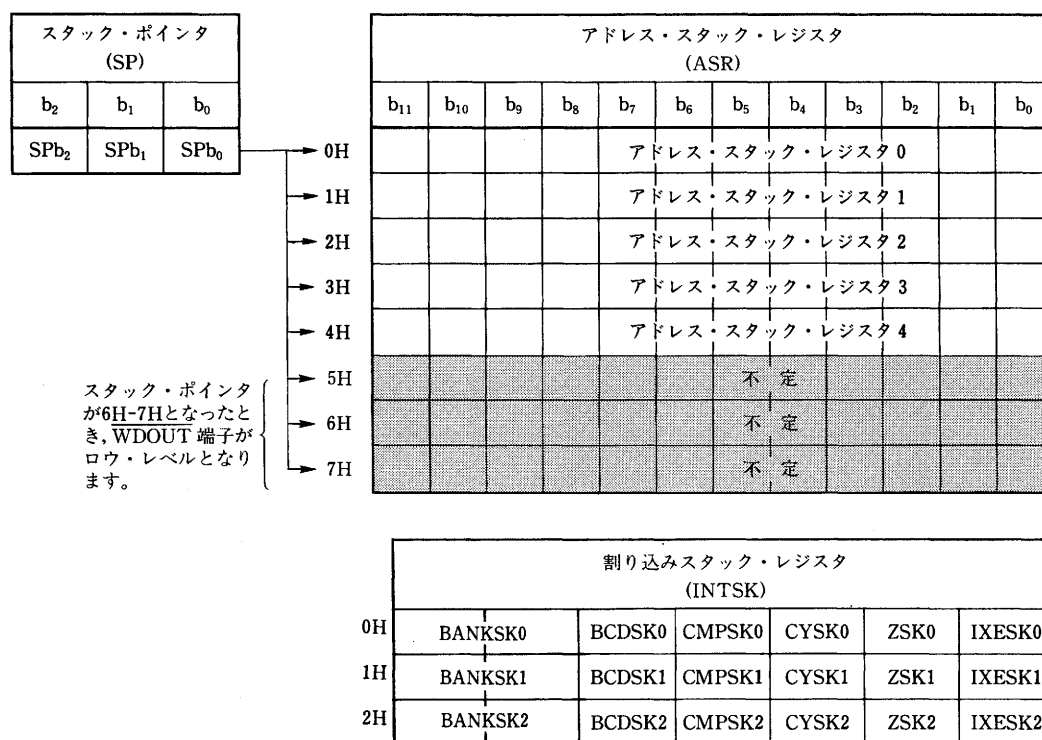


図4-4 スタック・ポインタ

RF : 01 番地	ビット 3	ビット 2	ビット 1	ビット 0
	0	SP		
リード/ライト	R/W			
リセット時の初期値	0	1	0	1

リード=R, ライト=W

4.3.2 スタックの機能

アドレス・スタック・レジスタ (ASR) は、サブルーチン・コール命令、テーブル参照命令 (第1 命令サイクル) 実行時および割り込み受け付け時に、戻り番地を格納します。また、スタック操作命令 (PUSH AR) 実行時に、アドレス・レジスタ (AR) の内容を格納します。

5 レベルを超えるサブルーチン・コールや割り込みを実行すると、 $\overline{\text{WDOUT}}$ 端子がロウ・レベルになります。

割り込みスタック・レジスタ (INTSK) は、割り込み受け付け時に、バンク・レジスタ (BANK) およびプログラム・ステータス・ワード (PSWORD) の内容を退避します。割り込みリターン命令 (RETI) の実行により、復帰されます。

INTSK は、割り込みが受け付けられるごとにデータを退避していきますが、3 レベルを超える割り込みが受け付けられると、最初のデータは失われてしまいます。

4.3.3 スタック・ポインタ (SP) と割り込みスタック・レジスタ

スタック・ポインタ (SP) の動作を表 4-1 に示します。

スタック・ポインタの取り得る値は 0H-7H の 8 通りになりますが、アドレス・スタック・レジスタは 5 個しかないため、SP の値が 6 以上になると $\overline{\text{WDOUT}}$ 端子がロウ・レベルになります。

表 4-1 スタック・ポインタの動作

命 令	スタック・ポインタ (SP) の値	割り込みスタック・レジスタのカウント
CALL addr CALL @AR MOVT DBF, @AR (第1 命令サイクル) PUSH AR	-1	0
割り込み受け付け	-1	-1
RET RETSK MOVT DBF, @AR (第2 命令サイクル) POP AR	+1	0
RETI	+1	+1

4.4 データ・メモリ (RAM)

データ・メモリ (RAM) とは、演算、制御などのデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

4.4.1 データ・メモリの構成

図 4-4 にデータ・メモリ (RAM) の構成を示します。

データ・メモリ (RAM) は“バンク”と呼ぶ単位で 3 つに分割されています。3 つのバンクはそれぞれ BANK0, BANK1 および BANK2 と呼びます。

各バンクは 4 ビット単位のデータごとに番地 (アドレス) が割り付けられており、上位 3 ビットを“ロウ・アドレス”, 下位 4 ビットを“カラム・アドレス”と呼びます。たとえば, ロウ・アドレスが 1H でカラム・アドレスが 0AH のデータ・メモリはアドレス 1AH のデータ・メモリと呼びます。また 1 つのアドレスは 4 ビットのメモリで構成されており, これを“1 ニブル”と呼びます。

データ・メモリは, 上記アドレス以外に機能別として次に示すブロックに分けられます。

(1) システム・レジスタ (SYSREG)

データ・メモリのアドレス 74H-7FH に割り当てられた 12 ニブルで構成されています。システム・レジスタ (SYSREG) はバンクに無関係に割り当てられており, すなわちどのバンクであってもアドレス 74H-7FH には同一のシステム・レジスタ (SYSREG) が存在します。

(2) データ・バッファ (DBF)

データ・メモリの BANK0 のアドレス 0CH-0FH に割り当てられた 4 ニブルで構成されています。
リセット時は 0320H になります。

(3) ジェネラル・レジスタ (GR)

データ・メモリの任意のバンクの任意のロウ・アドレスで指定される 16 ニブルで構成されています。

ただし, 任意のバンクの任意のロウ・アドレスとは, システム・レジスタ (SYSREG) の中のジェネラル・レジスタ・ポインタ (RP) により指定されます。

(4) LCDセグメント・データ・レジスタ (LCDレジスタ)

LCD のセグメント出力データを設定するレジスタです。

データ・メモリの BANK0 のアドレス 40H-63H に割り当てられた 36 ニブルで構成されます。

11. LCD コントローラ/ドライバを参照してください。

(5) ポート・レジスタ

データ・メモリの各バンクのアドレス 70H-73H に割り当てられた 12 ニブルで構成されます。

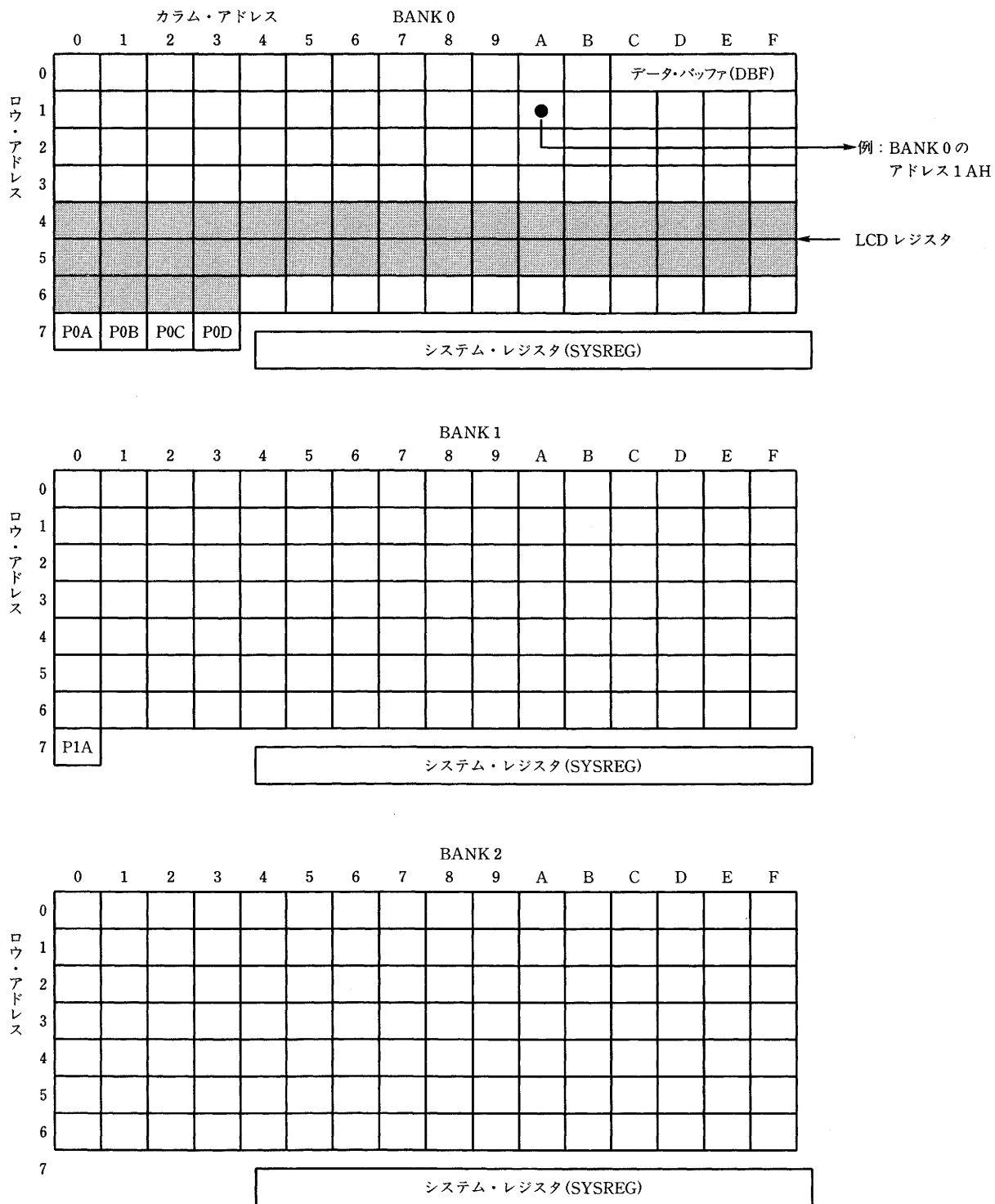
ただし, BANK1 のアドレス 71H-73H と BANK2 の 70H-73H には何も割り当てられていないため実際は 4 ニブルで構成されます。

リセット時は 0 になります。

(6) 汎用データ・メモリ

データ・メモリからシステム・レジスタ (SYSREG), LCD レジスタおよびポート・レジスタを除いた部分で BANK0 の 76 ニブルと BANK1, BANK2 の計 300 ニブルから構成されます。

図 4-5 データ・メモリの構成



4.4.2 システム・レジスタ (SYSREG)

システム・レジスタは、CPU の制御に直接関係するレジスタ類の総称です。データ・メモリ上の 74H-7FH 番地に配置されており、バンク指定に関係なく参照できます。

システム・レジスタには次のものがあります。

アドレス・レジスタ (AR0-AR3)

ウインドウ・レジスタ (WR)

バンク・レジスタ (BANK)

メモリ・ポインタ・イネーブル・フラグ (MPE)

メモリ・ポインタ (MPH, MPL)

インデクス・レジスタ (IXH, IXM, IXL)

ジェネラル・レジスタ・ポインタ (RPH, RPL)

プログラム・ステータス・ワード (PSWORD)

図 4-6 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名 称	アドレス・レジスタ (AR)				ウインドウ・ レジスタ (WR)	バンク・レ ジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・ アドレス・ポインタ(MP)			ジェネラル・レジスタ・ ポインタ (RP)	プログラム・ス テータス・ワード (PSWORD)	
記 号	AR3	AR2	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀
データ	0 0 0 0	(AR)				(BANK) 0 0	M P E	0 0	(IX)	0 0	(RP)	B C C I C M Y Z D P X E
リセット時 の初期値	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	不定	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

4.4.3 ジェネラル・レジスタ (GR)

ジェネラル・レジスタ (GR) はデータ・メモリ上に配置されるレジスタで、データ・メモリとの直接演算や、転送を行います。

(1) ジェネラル・レジスタの構成

ジェネラル・レジスタの構成を図 4-7 に示します。

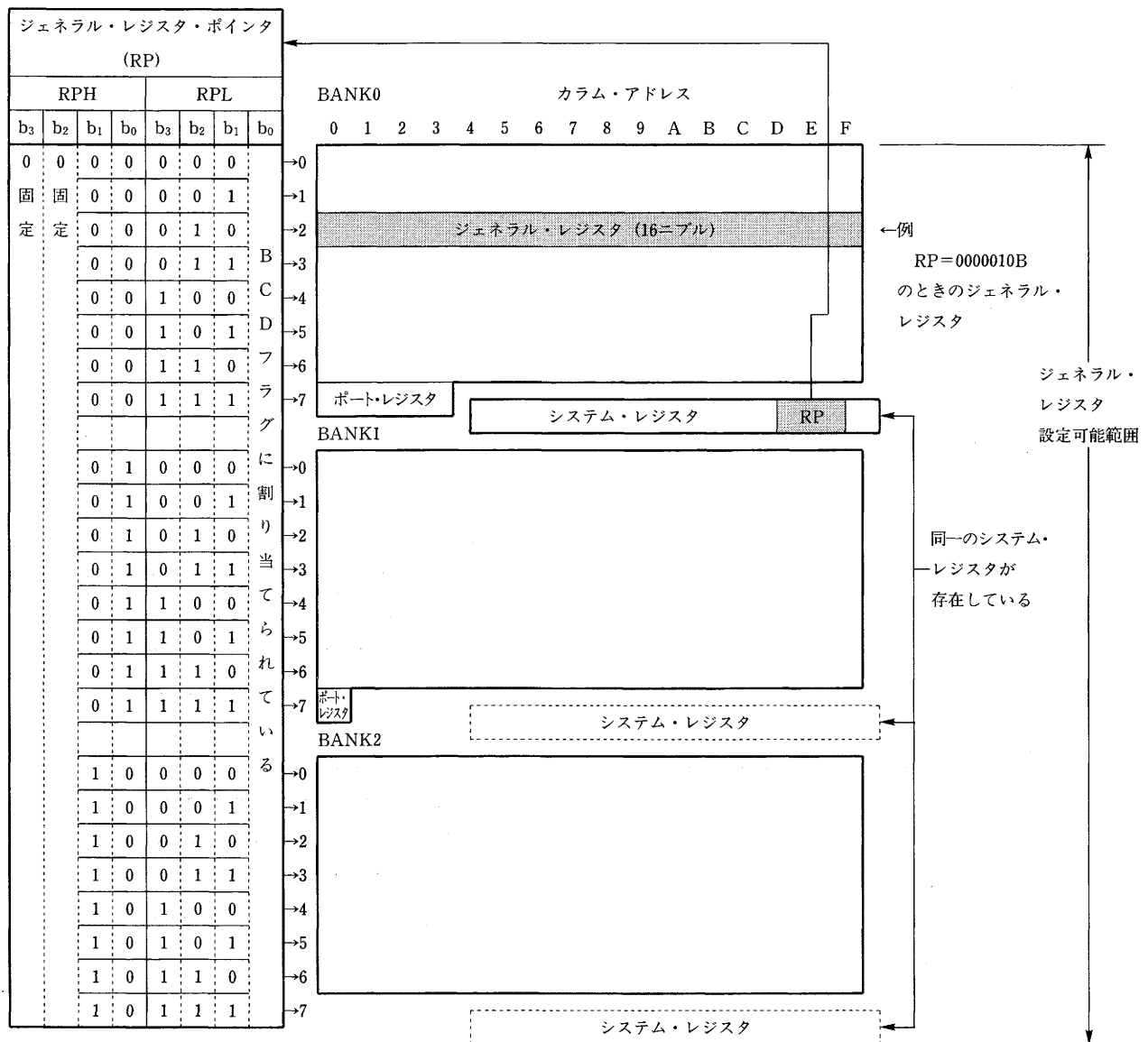
図 4-7 に示すように、データ・メモリ上で同一ロウ・アドレスである 16ニブル (16×4 ビット) をジェネラル・レジスタとして使用できます。

どのロウ・アドレスを使用するかは、システム・レジスタのジェネラル・レジスタ・ポインタ (RP) によって設定します。RP は 5 ビットが有効であるためジェネラル・レジスタとして使用できるデータ・メモリは BANK 0 から BANK2 のロウ・アドレス 0H-7H になります。

(2) ジェネラル・レジスタの機能

ジェネラル・レジスタを使用することにより、データ・メモリとジェネラル・レジスタとの間で演算や転送を 1 命令で行うことが可能になります。ジェネラル・レジスタはすなわちデータ・メモリであるため、言い換えれば 1 命令でデータ・メモリ同士の演算や転送が可能になります。また、ジェネラル・レジスタは、データ・メモリ上にあるので他のデータ・メモリと同様にデータ・メモリ操作命令で制御することができます。

図4-7 ジェネラル・レジスタの構成



4.4.4 データ・バッファ (DBF)

データ・バッファは周辺ハードウェアとのデータ転送およびテーブル参照時のデータ読み込み時に使用するバッファでデータ・メモリ上に配置されています。

(1) データ・バッファの機能

データ・バッファは、大別して2つの機能があります。

1つは周辺ハードウェアとのデータ転送機能で、もう1つはプログラム・メモリ上の定数データの読み込み(テーブル参照)機能です。図4-8にデータ・バッファと周辺ハードウェアの関係を示します。

図4-8 データ・バッファと周辺ハードウェア

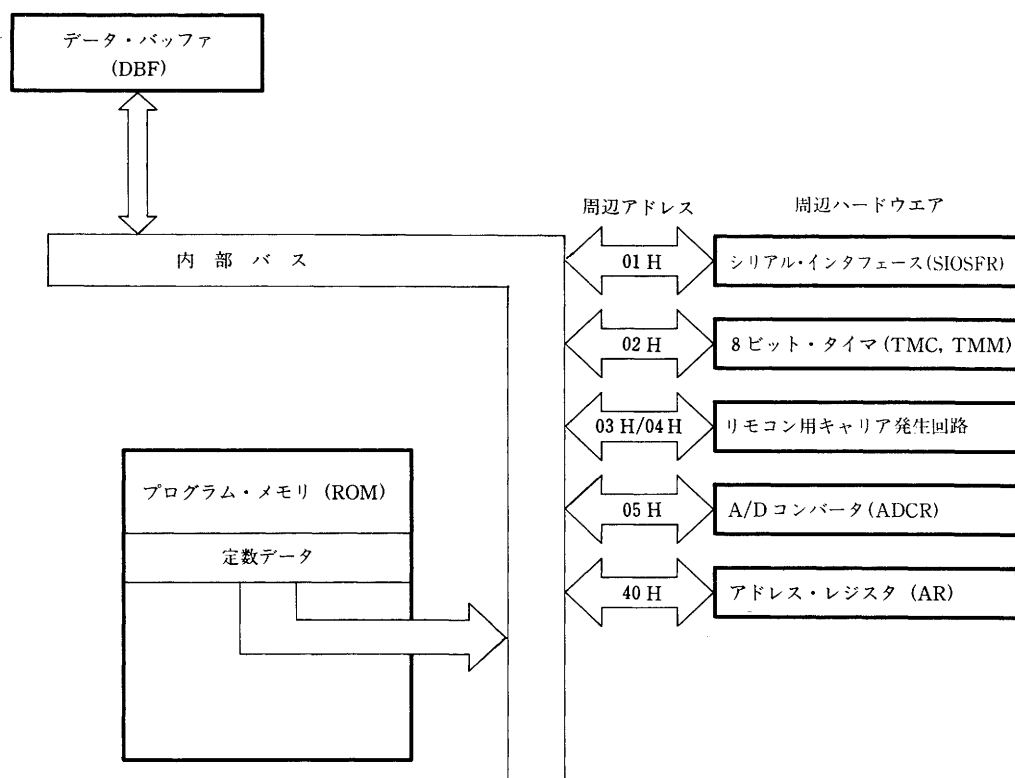


表 4-2 周辺ハードウェアとデータ・バッファの関係

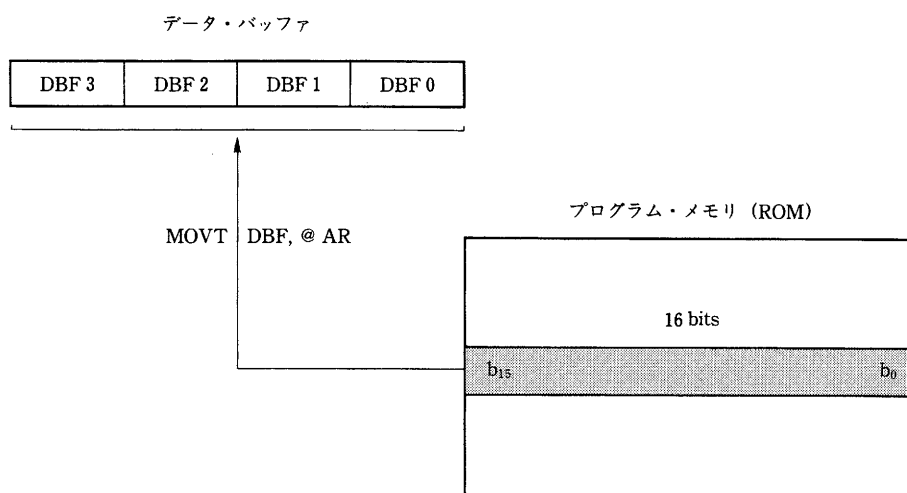
周辺ハードウェア	データ・バッファと転送を行う周辺レジスタ				
	名称	記号	周辺アドレス	使用データ・バッファ	PUT/GET の可否
シリアル・インタフェース	シフト・レジスタ	SIOFR	01H	DBF0, DBF1	PUT, GET 可
8 ビット・タイマ	8 ビット・カウンタ	TMC	02H	DBF0, DBF1	GET のみ可
	8 ビット・モジュロ・レジスタ	TMM	02H	DBF0, DBF1	PUT のみ可
リモコン用キャリア発生回路	NRZ ロウ・レベル期間設定用モジュロ・レジスタ	NRZLTMM	03H	DBF0, DBF1	PUT, GET 可
	NRZ ハイ・レベル期間設定用モジュロ・レジスタ	NRZHTMM	04H	DBF0, DBF1	PUT 可 (DBF1 のビット 2, 3 は 0 にすること) GET 可 (DBF1 のビット 2, 3 は 常に 0)
A/D コンバータ	A/D コンバータ内部基準電圧設定レジスタ	ADCR	05H	DBF0, DBF1	PUT, GET 可
アドレス・レジスタ	アドレス・レジスタ	AR	40H	DBF0-DBF3	PUT 可 (AR3 のビット 0-3 は任意) GET 可 (AR3 のビット 0-3 は常に 0)

(2) テーブル参照

MOVT 命令を用いることにより、プログラム・メモリ (ROM) 上の定数データを、データ・バッファ上に読み込むことができます。

次に MOVT 命令について説明します。

MOVT DBF, @AR ; アドレス・レジスタ (AR) の内容によって指定されるプログラム・メモリの内容を、データ・バッファ (DBF) に読み出します。



(3) データ・バッファ使用時の注意

データ・バッファを介して周辺ハードウェアとデータ転送を行うとき、未使用周辺アドレスや書き込み専用周辺レジスタ（PUTのみ）および読み出し専用周辺レジスタ（GETのみ）に対して次に示すような注意が必要です。

• デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用アドレスを読み出すと“不定な値”が読み出され、書き込んでも何も変化しません。

• 17Kシリーズのアセンブラ使用時

書き込み専用レジスタを読み出す命令に“エラー”が発生します。

読み出し専用レジスタに書き込む命令に“エラー”が発生します。

未使用アドレスを読み出す命令および書き込む命令に“エラー”が発生します。

• インサーキット・エミュレータ（IE-17K, IE-17K-ET）使用時（パッチ処理などで命令を実行したとき）

書き込み専用レジスタを読み出すと“不定な値”が読み出されます。“エラー”は発生しません。

読み出し専用レジスタに書き込みを行っても何も変化しません。“エラー”は発生しません。

未使用アドレスを読み出すと“不定な値”が読み出され、書き込んでも何も変化しません。“エラー”は発生しません。

4.5 レジスタ・ファイル (RF)

レジスタ・ファイルは主として周辺ハードウェアの条件設定を行うためのレジスタです。

専用命令である PEEK, POKE 命令または AS17K の組み込みマクロ命令である SETn, CLRn および INITFLG 命令などで制御することができます。

4.5.1 レジスタ・ファイルの構成

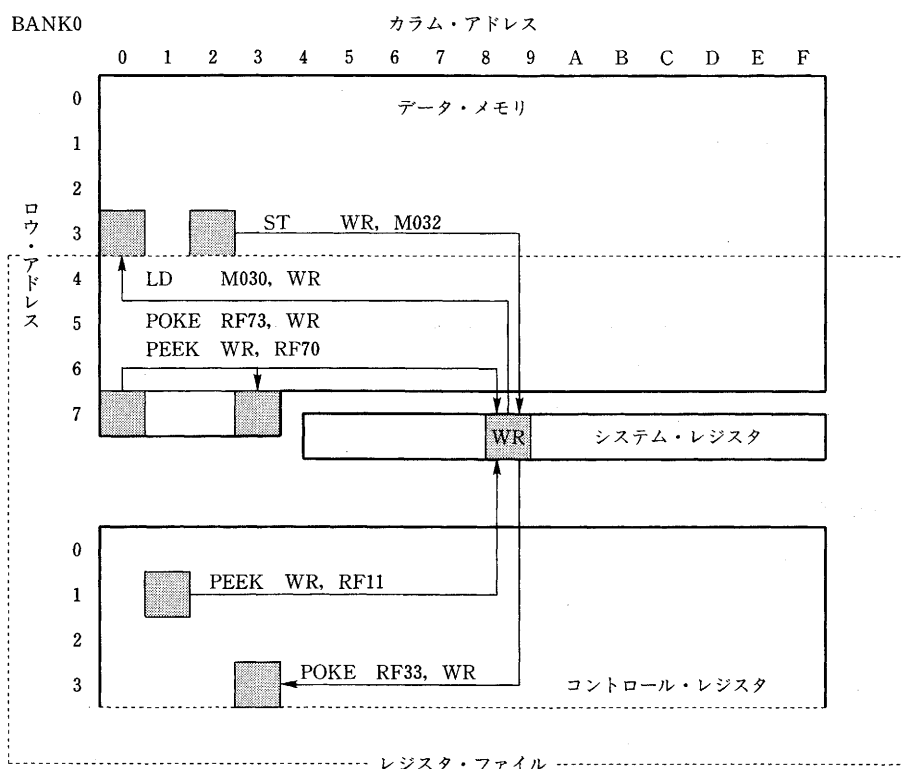
図 4-9 にレジスタ・ファイルの構成および PEEK, POKE 命令によるレジスタ・ファイルのアクセスの様子を示します。

コントロール・レジスタは、専用命令である PEEK, POKE 命令を用いて制御を行います。このときコントロール・レジスタは、バンクに関係なくアドレス 00H-3FH 番地に割り付けられているため、PEEK, POKE 命令を用いた場合に汎用データ・メモリのアドレス 00H-3FH 番地はアクセス不能になります。

したがって、PEEK, POKE 命令でアクセスできる範囲は、コントロール・レジスタのアドレス 00H-3FH および汎用データ・メモリの 40H-7FH となります。この範囲を“レジスタ・ファイル”と呼びます。

なおコントロール・レジスタは、ディバグを容易にするために、IE-17K 上では 80H-BFH 番地に割り付けられています。

図 4-9 レジスタ・ファイルの構成および PEEK, POKE 命令によるレジスタ・ファイルのアクセス



4.5.2 コントロール・レジスタ

コントロール・レジスタは、レジスタ・ファイルのアドレス 00H-3FH 番地の計64ニブル (64×4ビット) から構成されています。

ただし、そのうち実際に使用しているのは20ニブルです。残りの44ニブルは未使用レジスタで、読み出しおよび書き込みは禁止されています。

“PEEK WR, rf” 命令の実行によって、“rf” でアドレス指定されるレジスタ・ファイルの内容がウインドウ・レジスタに読み込まれます。

“POKE rf, WR” 命令の実行によって、ウインドウ・レジスタの内容が“rf” でアドレス指定されるレジスタ・ファイルに書き込まれます。

17K シリーズのアセンブラを使用する場合は、フラグ型シンボル操作命令として組み込まれている次のマクロ命令が使用できます。マクロ命令を使用することにより、レジスタ・ファイルの内容を1ビット単位で操作することができます。

コントロール・レジスタの構成については、図 15-1 レジスタ・ファイルの一覧を参照してください。

SETn	: フラグに“1”をセット
CLRn	: フラグを“0”にクリア
SKTn	: フラグがすべて“1”であればスキップ
SKFn	: フラグがすべて“0”であればスキップ
NOTn	: フラグを反転
INITFLG	: フラグをイニシャライズ

4.5.3 レジスタ・ファイル使用時の注意

レジスタ・ファイルを使用する場合は、次に示すような注意が必要です。詳細についてはμPD172××サブシリーズ ユーザーズ・マニュアルを参照してください。

(1) コントロール・レジスタ（読み出し専用および未使用レジスタ）操作時

コントロール・レジスタの読み出し専用レジスタ (R) および未使用レジスタを操作するときは、アセンブラ使用時およびインサーキット・エミュレータ使用時に注意が必要です。

• デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用部分を読み出すと、“不定な値”が読み出され、書き込みを行っても何も変化しません。

• 17K シリーズのアセンブラ使用時

読み出し専用レジスタに書き込みを行う命令に、“エラー”が発生します。

未使用部分を読み出したたり、書き込みを行う命令に、“エラー”が発生します。

• インサーキット・エミュレータ (IE-17K, IE-17K-ET) 使用時（パッチ処理などで操作したとき）

読み出し専用レジスタに書き込みを行っても何も変化しません。“エラー”は発生しません。

未使用部分を読み出すと、“不定な値”が読み出され、書き込みを行っても何も変化しません。“エラー”は発生しません。

(2) レジスタ・ファイルのシンボル定義

17Kシリーズのアセンブラを使用する上では、“PEEK WR, rf” および “POKE rf, WR” 命令のオペランド “rf” に直接数値でレジスタ・ファイル・アドレスを記述すると、“エラー”が発生します。

したがって、レジスタ・ファイルのアドレスをあらかじめシンボルとして定義する必要があります。

コントロール・レジスタのアドレスをシンボル定義する場合は、BANK0のアドレス 80H-BFH として定義してください。ただし、データ・メモリと重なっているレジスタ・ファイル (40H-7FH) は、そのままのアドレスでシンボル定義することができます。

5. ポート

5.1 ポート 0A

4ビットの入出力ポートです。4ビット単位で入力/出力モードの指定ができます。入力/出力モードの指定は、レジスタ・ファイルの P0AGIO によって行います。入力データの読み込みおよび出力データの設定は、ポート・レジスタの P0A（バンク 0 の 70H 番地）を介して行います。

リセット時は入力モードになります。

スタンバイ・モード時、ポートの状態がすべてハイ・レベルでなくなったとき、スタンバイ・モードを解除する機能があります。

入力/出力モードの指定にかかわらず、プルアップ抵抗を内蔵しています。

5.2 ポート 0B

4ビットの入出力ポートです。4ビット単位で入力/出力モードの指定ができます。入力/出力モードの指定は、レジスタ・ファイルの P0BGIO によって行います。入力データの読み込みおよび出力データの設定は、ポート・レジスタの P0B（バンク 0 の 71H 番地）を介して行います。

リセット時は入力モードになります。

スタンバイ・モード時、ポートの状態がすべてロウ・レベルでなくなったとき、スタンバイ・モードを解除する機能があります。

出力モードでは N-ch オープン・ドレイン出力になるため、外部にプルアップ抵抗が必要です。

5.3 ポート 0C

4ビットの入出力ポートです。4ビット単位で入力/出力モードの指定ができます。入力/出力モードの指定は、レジスタ・ファイルの P0CGIO によって行います。入力データの読み込みおよび出力データの設定は、ポート・レジスタの P0C（バンク 0 の 72H 番地）を介して行います。

リセット時は入力モードになります。

出力モードでは N-ch オープン・ドレイン出力になるため、外部にプルアップ抵抗が必要です。

5.4 ポート 0D

4ビットの入出力ポートおよび LED 出力、8ビット・タイマの外部信号出力の兼用端子です。入出力ポートと LED 出力、内部タイマの外部信号出力の切り替えはレジスタ・ファイルの NRZEN と TMOE により行います。

(1) 4ビットの入出力ポートとして使用するとき

1ビット単位で入力/出力モードの指定ができます。入力/出力モードの指定はレジスタ・ファイルの P0DBIO3-P0DBIO0により行います。入力データの読み込みおよび出力データの設定はポート・レジスタの P0D（バンク 0 の 73H 番地）を介して行います。

(2) P0D₀ 端子を LED 出力として使用するとき

NRZEN で LED 出力端子と入出力ポート（P0D₀）端子の選択を行います。LED 出力は REM 出力と同期した NRZ 信号を出力します。

(3) P0D₁ 端子を 8ビット・タイマの外部信号出力に使用するとき

TMOE で 8ビット・タイマの外部信号出力端子と入出力ポート（P0D₁）端子の選択を行います。

5.5 ポート 1A

3ビットの汎用入出力ポートおよびシリアル・インタフェース兼用端子です。入出力ポートとシリアル・インタフェースの切り替えはレジスタ・ファイルのSIOENにより行います。

(1) 3ビットの入出力ポートとして使用するとき

3ビット単位で入力/出力モードの指定できます。入力/出力モードの指定はレジスタ・ファイルのPIAGIOにより行います。入力データの読み込みおよび出力データの設定はポート・レジスタのP1A (バンク1の70H番地) を介して行います。

(2) シリアル・インタフェースとして使用するとき

SIOENで入出力ポート (P1A₀, P1A₁, P1A₂) 端子とシリアル・インタフェース・モードの選択を行います。

5.6 INT 端子

外部割り込み要求信号の入力です。入力信号の立ち上がりエッジにより、IRQフラグ (RF: 3DH番地, ビット1) をセットします。

INTフラグ (RF: 0FH番地, ビット0) により、端子の状態を読むことができます。INT端子にハイ・レベルが入力されているときはINTフラグが“1”に、ロウ・レベルが入力されているときには“0”になります。(図12-1 INTフラグ参照)。

表 5-1 ポート・レジスタと各端子の関係

バンク	アドレス	対象ポート	ビット	出力形式	読み出し時の内容		書き込み時の内容		リセット時
					入力モード時	出力モード時	入力モード時	出力モード時	
0	70H	ポート0A	b ₃	P0A ₃	CMOS プッシュプル	端子の状態	出力ラッチ	出力ラッチ	入力モード (プルアップ抵抗あり)
			b ₂	P0A ₂					
			b ₁	P0A ₁					
			b ₀	P0A ₀					
	71H	ポート0B	b ₃	P0B ₃	N-ch オープン・ドレイン		端子の状態		
			b ₂	P0B ₂					
			b ₁	P0B ₁					
			b ₀	P0B ₀					
	72H	ポート0C	b ₃	P0C ₃	N-ch オープン・ドレイン		端子の状態		
			b ₂	P0C ₂					
			b ₁	P0C ₁					
			b ₀	P0C ₀					
	73H	ポート0D	b ₃	P0D ₃	CMOS プッシュプル		出力ラッチ		
			b ₂	P0D ₂					
			b ₁	P0D ₁ ^{注1}					
			b ₀	P0D ₀ ^{注1}					
1	70H	ポート1A	b ₃	—	CMOS プッシュプル				
			b ₂	P1A ₂ ^{注2}					
			b ₁	P1A ₁ ^{注2}					
			b ₀	P1A ₀ ^{注2}					

注1. NRZEN, TMOE フラグをセット(1)すると、入力/出力モードに関係なく、書き込み時、読み出し時ともに出力ラッチをアクセスします。

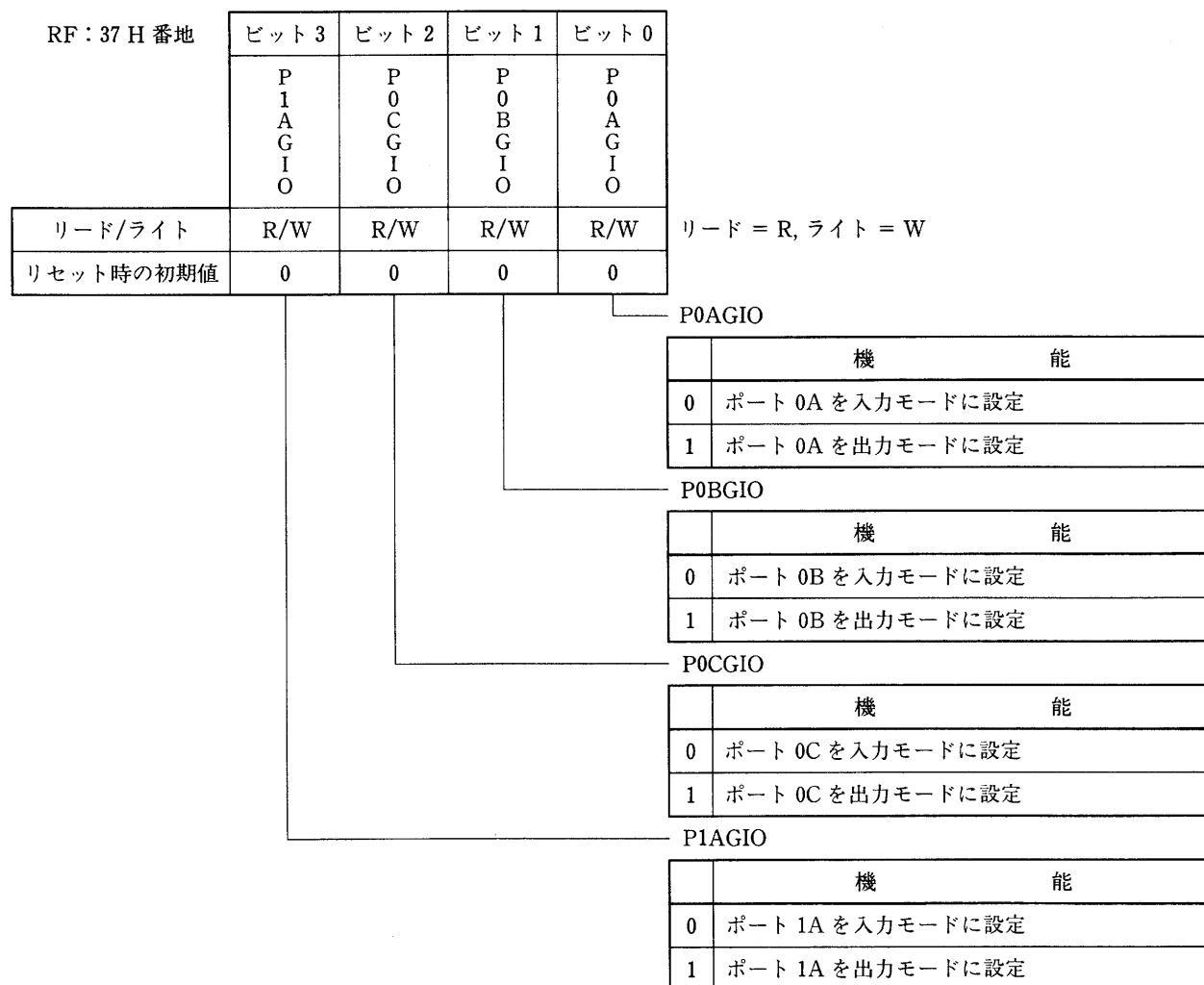
2. SIOEN フラグをセット(1)すると、シリアル・インタフェース用端子となり、入力/出力モードに関係なく、読み出し時には端子の状態が読み出されます。また、書き込みは無効となります。

5.7 ポート制御レジスタ

5.7.1 グループ I/O の入力/出力切り替え

4 ビット単位で入力/出力を切り替えるポートをグループ I/O といいます。グループ I/O として P0A, P0B, P0C, P0D, P1A があり、これらの入力/出力の切り替えは次に示すレジスタで行います。入力モードから出力モードに設定変更した場合、変更と同時に P0A, P0B, P0C, P0D, P1A の各出力ラッチがそれぞれのポートに出力されます。

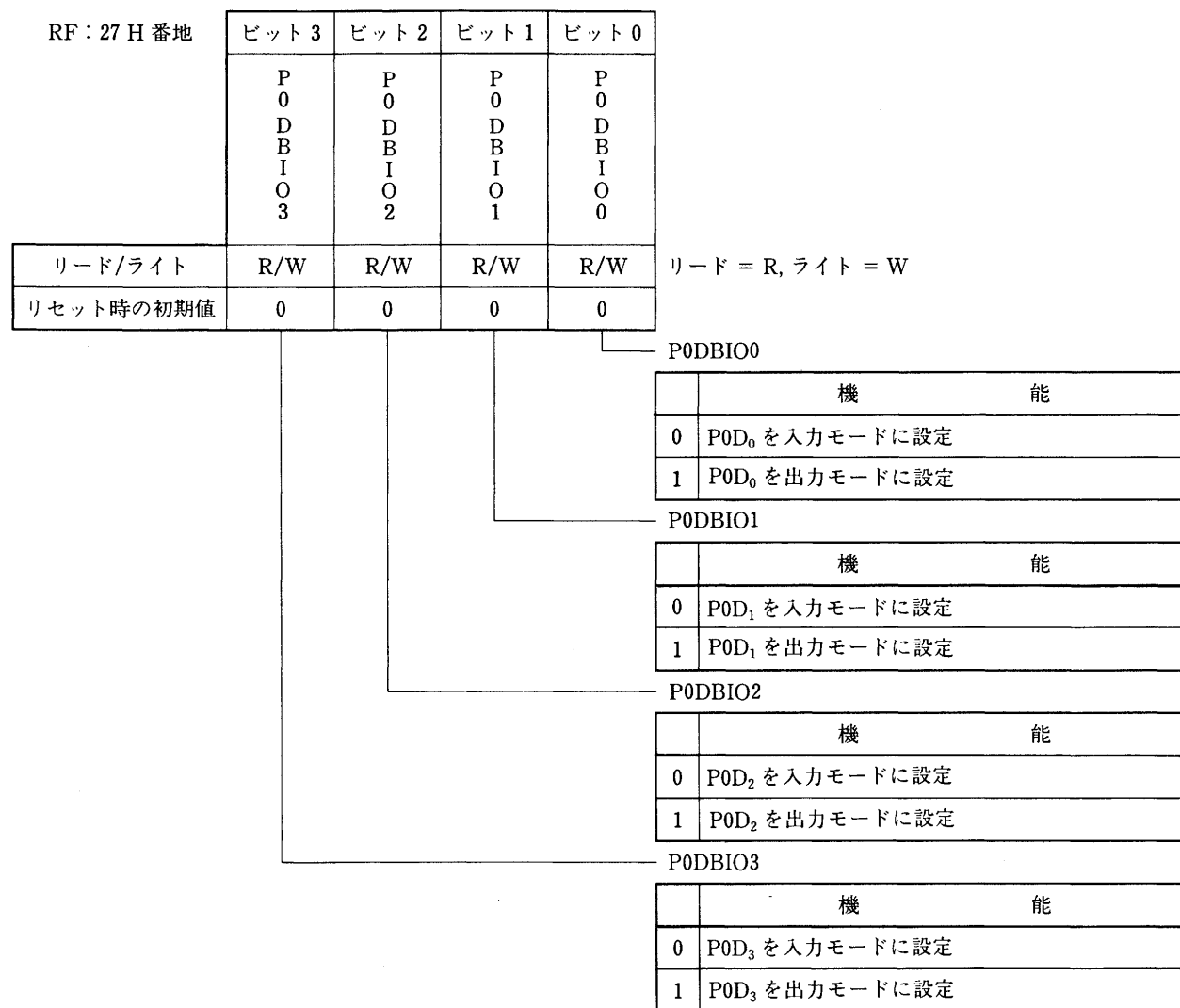
図 5-1 グループ I/O の入力/出力制御レジスタ



5.7.2 ビット I/O の入力/出力切り替え

1 ビット単位で入力/出力を切り替えるポートをビット I/O といいます。ビット I/O として P0D があり、これらの入力/出力の切り替えは次に示すレジスタで行います。入力モードから出力モードに設定変更した場合、変更と同時に P0A, P0B, P0C, P0D, P1A の各出力ラッチがそれぞれのポートに出力されます。

図 5-2 ビット I/O の入力/出力制御レジスタ



5.7.3 ポートとタイマ出力, LED 出力の切り替え

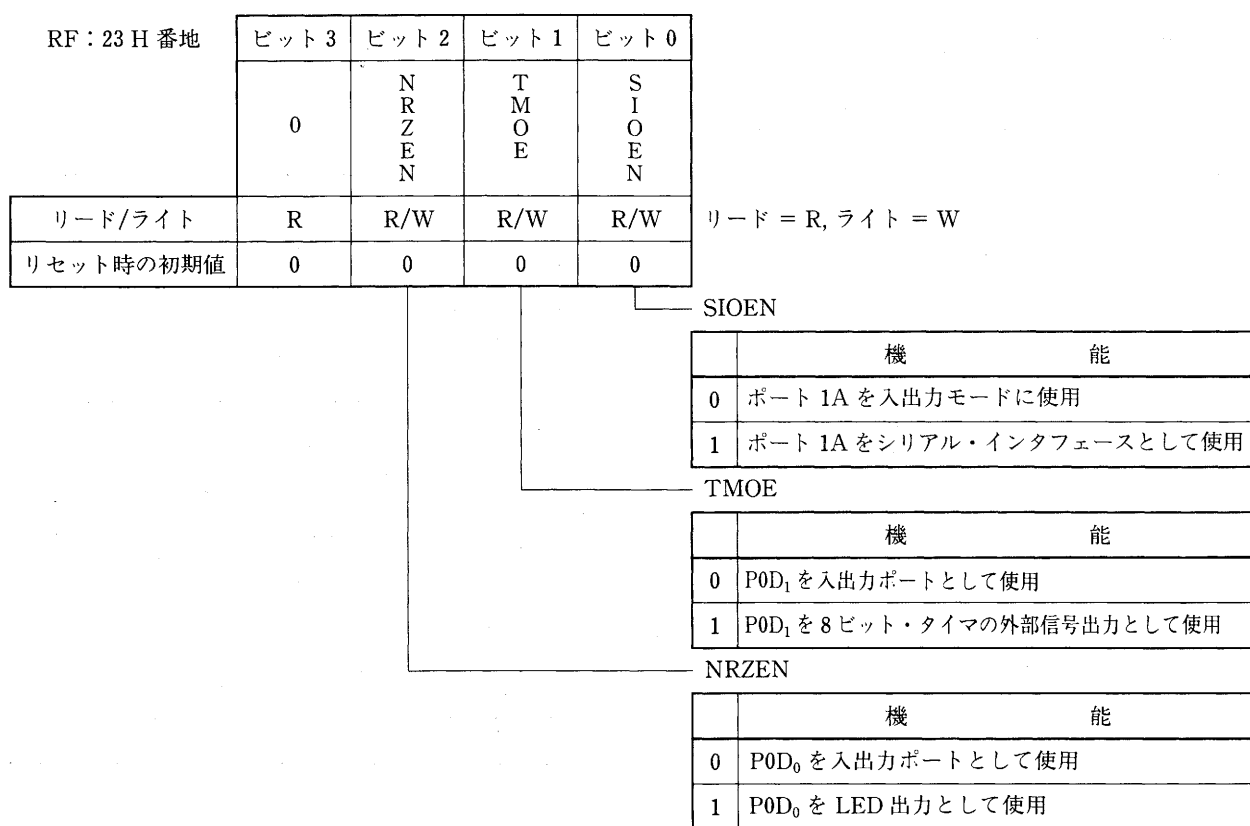
ポート 0D は, 図 5-3 に示すように TMOE, NRZEN の設定で P0D₀ 端子を LED 出力に, P0D₁ 端子を 8 ビット・タイマの外部信号出力に切り替えることができます。

5.7.4 ポートとシリアル・インタフェースの切り替え

ポート 1A は, 図 5-3 に示すように SIOEN の設定でポートとシリアル・インタフェースを切り替えて使用できます。

シリアル・インタフェースのモード制御は, レジスタ・ファイルの SIOTS (22H 番地, ビット 3), SIOHIZ (22H 番地, ビット 2), SIOCK1 (22H 番地, ビット 1), SIOCK0 (22H 番地, ビット 0) を使用して行います。

図 5-3 ポート/タイマ出力, LED 出力, シリアル・インタフェースの入力/出力制御レジスタ



6. クロック発生回路

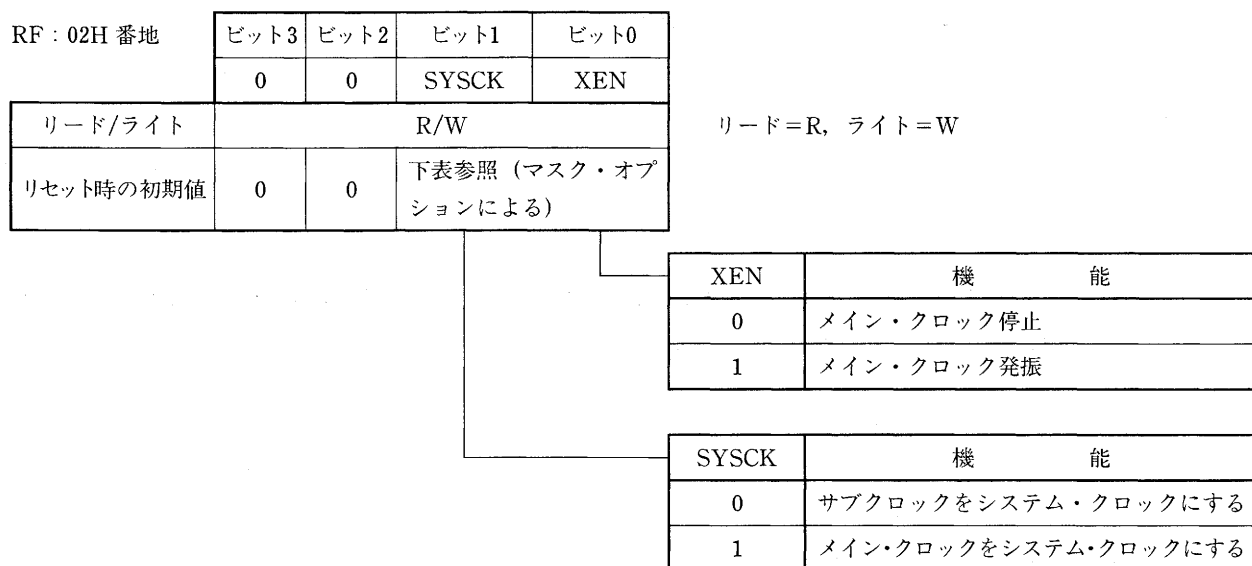
μPD17207 は、メイン・クロック (X) とサブクロック (XT) の2系統の発振回路を内蔵しています。どちらのクロックもシステム・クロックとして使用することができます。

図 6-1 に、システム・クロック制御レジスタの構成を示します。

システム・クロックとしてどちらのクロックを使用するかを選択は、SYSCK フラグ (RF: 02H 番地, ビット1)で行います。また、XEN フラグ (RF: 02H 番地, ビット0) をリセットすることにより、メイン・クロックの発振を停止させ、消費電流を低減することができます。

サブクロックを使用する場合は、サブクロック発振安定のために、必ず V_{REG} 端子に $0.1\mu F$ のコンデンサを接続してください。サブクロックを使用しない場合(マスク・オプションで指定)は、 XT_{IN} 端子を GND に接続し、 XT_{OUT} 端子を V_{REG} 端子に接続してください。

図 6-1 システム・クロック制御レジスタ



マスク・オプションの指定		リセット時の初期値		備 考
メイン・クロック	サブクロック	SYSCK	XEN	
使用する (USEX)	使用する (USEXT)	1	1	値変更可 ^注
	使用しない (NOXT)	1	1	固定値 (プログラムによる変更不可)
使用しない (NOX)	使用する (USEXT)	0	0	

注 SYSCK = 1, XEN = 0 には変更できません。

6.1 システム・クロックの切り替え

システム・クロックの切り替えは、図 6-1 に示すように SYSCK フラグ (RF: 02H 番地, ビット 1) によって行います。

(1) メイン・クロックからサブクロックへの切り替え

SYSCK フラグをリセット(0)することによって、メイン・クロックからサブクロックにシステム・クロックを切り替えることができます。

マスク・オプションで NOXT を設定した場合、サブクロックへは切り替わりません (SYSCK=0, XEN=0 には設定できません)。

注意 電源立ち上げ時は、サブクロック発振安定のための十分な時間をとってください (プログラムにより IRQWTM フラグ (RF: 3CH 番地, ビット 2) が一定周期でセットされることを確認してください)。

(2) サブクロックからメイン・クロックへの切り替え

SYSCK フラグをセット(1)することによって、サブクロックからメイン・クロックにシステム・クロックを切り替えることができます。

マスク・オプションで NOX を設定した場合、メイン・クロックへは切り替わりません (SYSCK=1, XEN=1 には設定できません)。

注意 SYSCK フラグをセット(1)する場合は、XEN フラグのセット(1)後、プログラムで 10 ms 程度の発振安定時間をとってから行ってください。

6.2 メイン・クロックの発振制御機能

サブクロックをシステム・クロックとして動作させている場合、XEN フラグ (RF: 02H 番地, ビット 0) を操作することにより、メイン・クロックの発振を制御することができます。

メイン・クロックを停止状態から発振状態に変更 (XEN フラグのセット) したあと、システム・クロックをサブクロックからメイン・クロックに切り替える (SYSCK フラグのセット) 場合、プログラムで 10 ms 程度の発振安定時間をとってから行ってください。

注意 XEN フラグと SYSCK フラグは同時に操作できません (POKE 命令を 2 回実行してください)。

7. 8ビット・タイマ，リモコン用キャリア発生回路

8ビット・タイマは，おもにリモコン信号のリーダ・パルスの作成やコード出力時に使用します。
タイマの制御は，GET/PUT 命令およびレジスタ・ファイル上のレジスタの操作により行います。

7.1 8ビット・タイマ（モジュロ機能付き）の構成

図7-1に8ビット・タイマの構成を示します。

図7-1に示すように，8ビット・タイマは8ビット・カウンタ(TMC)，8ビット・モジュロ・レジスタ(TMM)，タイマとモジュロ・レジスタの値を一致比較するコンパレータおよび8ビット・タイマのカウント・クロックを選択するセレクトで構成されています。

8ビット・タイマのスタート/ストップと8ビット・カウンタのリセットの制御は，レジスタ・ファイルのTMEN (33H 番地，ビット 3) と TMRES (33H 番地，ビット 2) で行います。8ビット・タイマのカウント・クロックの選択は，レジスタ・ファイルの TMCK 1 (33H 番地，ビット 1)，TMCK0 (33H 番地，ビット 0) で行います。

8ビット・カウンタの値の読み取りは，GET 命令により DBF (データ・バッファ) を介して行います。8ビット・カウンタへの値の設定はできません。モジュロ・レジスタに対する値の設定は，PUT 命令により DBF (データ・バッファ) を介して行います。モジュロ・レジスタの読み取りはできません。8ビット・カウンタ (TMC) とモジュロ・レジスタ (TMM) のデータ・レジスタが同一番地であるために，読み取り時は8ビット・カウンタを，書き込み時は8ビット・モジュロ・レジスタをアクセスします。

カウンタとモジュロ・レジスタの値が一致した場合，割り込み要求フラグ (IRQTM : 3EH 番地，ビット 0) をセットし，P0D₁/TMOUT 端子の出力を反転します。

TMRES のセットにより，TMOUT は初期化され，ハイ・レベルを出力します。

TMC

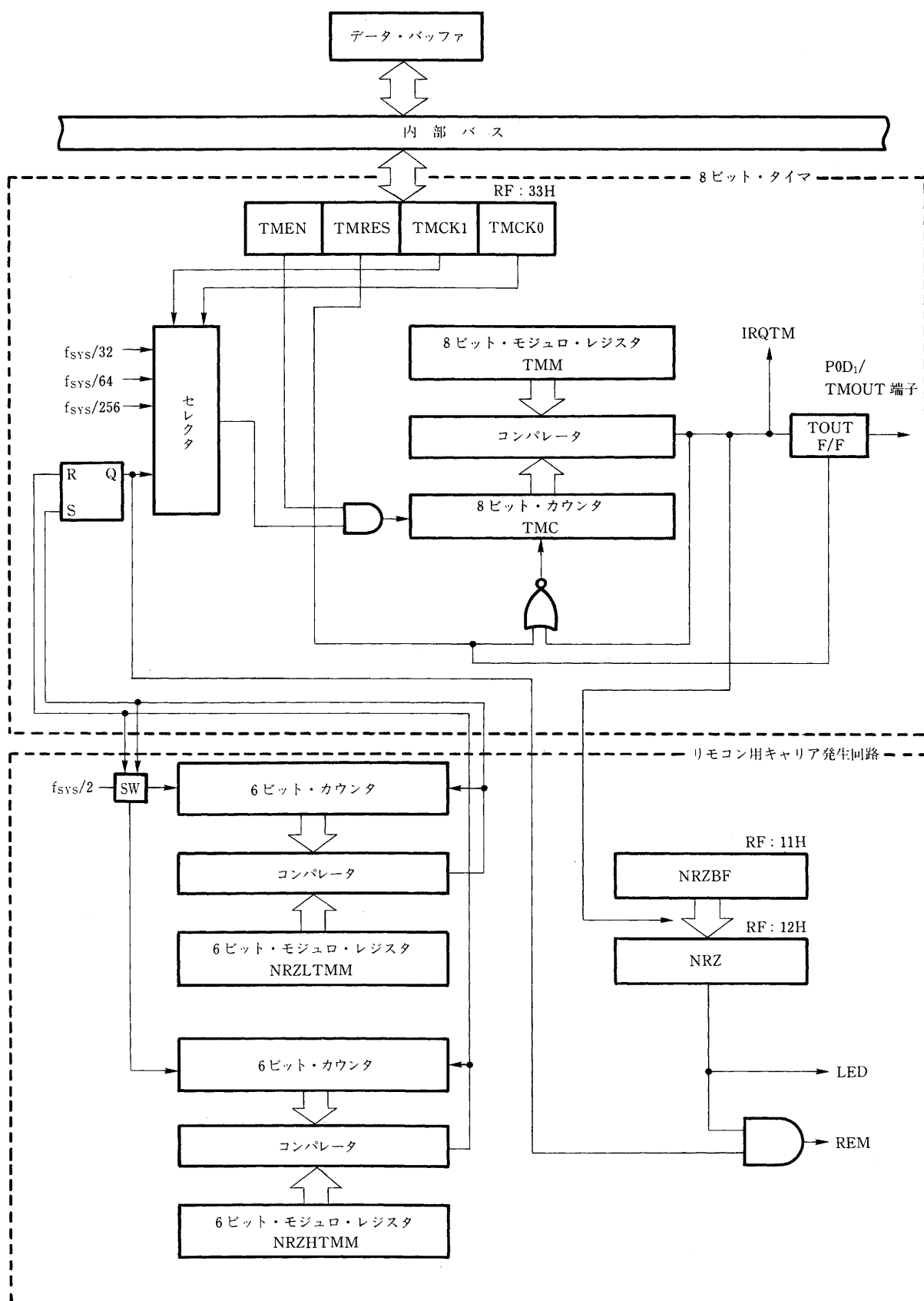
7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
8ビット・カウンタ								周辺レジスタ：02H	00H	R

TMM

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
8ビット・モジュロ・レジスタ								周辺レジスタ：02H	FFH	W

注意 TMM に 0 を設定しないでください (IRQTMはセットされません)。

図7-1 8ビット・タイマ, リモコン用キャリア発生回路の構成

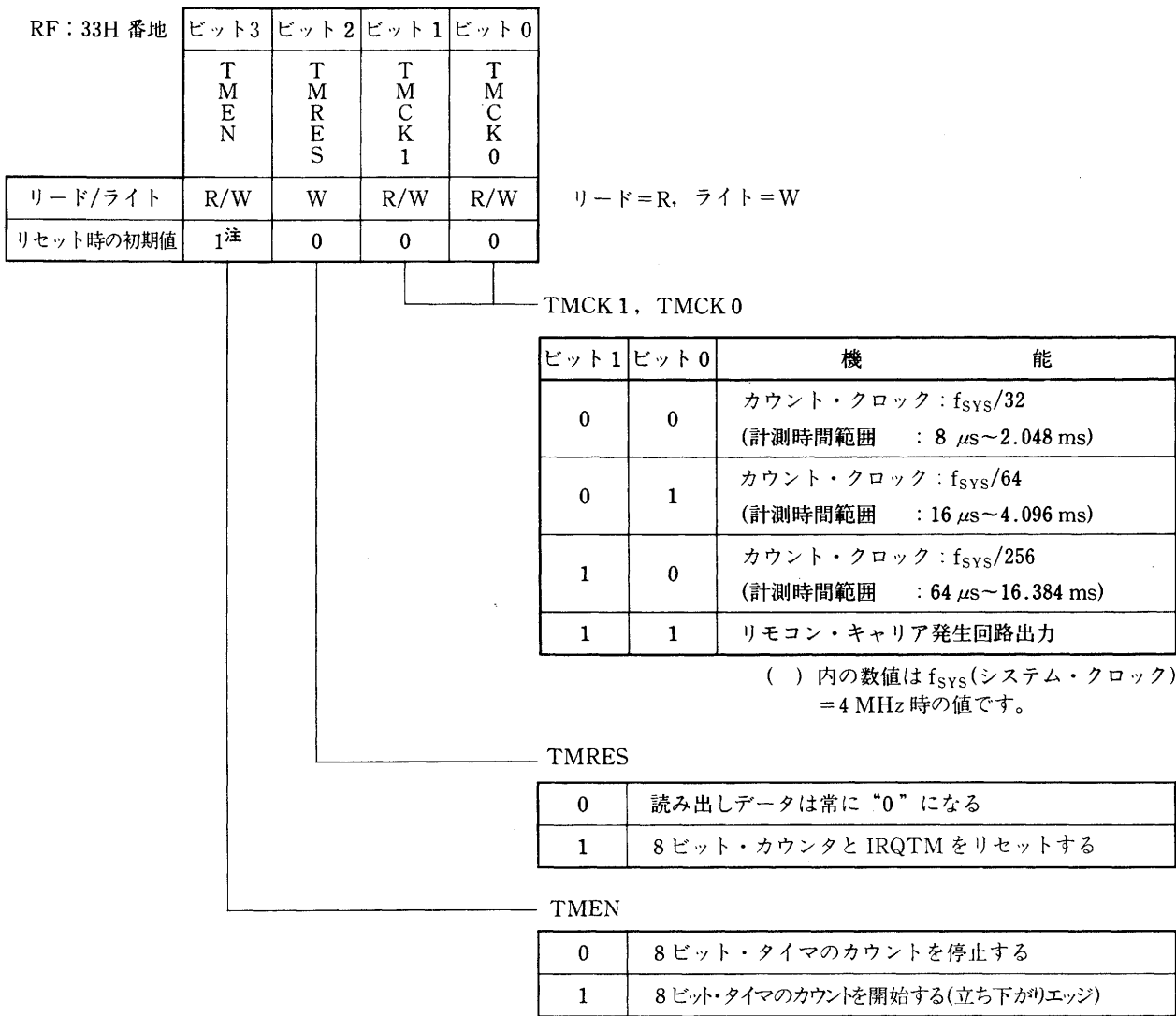


備考1. f_{SYS} (システム・クロック周波数): f_X または f_{XT}

2. TMM, TMC, NRZLTMM, NRZHTMM は周辺レジスタです。

7.2 8ビット・タイマ（モジュロ機能付き）の機能

図 7-2 8ビット・タイマの制御レジスタ



注 STOP モード解除時は、必ずセット(1)されます。

7.3 リモコン用キャリア発生回路

μPD17207 は、リモコン用キャリア発生回路を内蔵しています。

リモコン用キャリア発生回路は、6ビット・カウンタ、NRZ ハイ・レベル期間設定用モジュロ・レジスタ(NRZHTMM)、NRZ ロウ・レベル期間設定用モジュロ・レジスタ (NRZLTMM) とコンパレータで構成されています。ハイ・レベル期間とロウ・レベル期間とをそれぞれに対応するモジュロ・レジスタに設定することで、キャリア・デューティ比およびキャリア周波数を決定します。モジュロ・レジスタへの値の設定は、DBF を介して行います。

6ビット・カウンタの入力クロックは、システム・クロックを2分周したクロックとなります。つまり、4 MHz の発振子 (f_X) で動作している場合は 2 MHz が、 $f_{XT}=32.768$ kHz で動作している場合は 16.384 kHz が入力クロックとなります。

NRZ ハイ・レベル期間設定用モジュロ・レジスタおよび NRZ ロウ・レベル期間設定用モジュロ・レジスタのレジスタ名は、それぞれ NRZHTMM (周辺アドレス: 04H)、NRZLTMM (周辺アドレス: 03H) です。これらのレジスタへのデータの書き込みは PUT 命令で行い、データの読み取りは GET 命令で行います。

7.3.1 リモコン信号出力制御

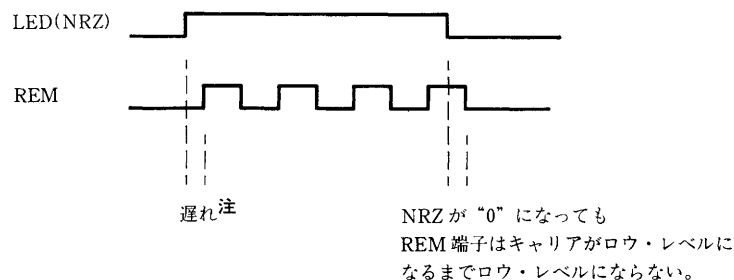
キャリアを出力する REM 端子の出力制御は、レジスタ・ファイル上の NRZ (12H 番地, ビット 0)、NRZBF (11H 番地, ビット 0) および 8ビット・タイマで行います。NRZ の内容が“1”の期間は、リモコン用キャリア発生回路で生成したキャリア信号を REM 端子に出力します。NRZ の内容が“0”の期間は、REM 端子の出力はロウ・レベルになります。また NRZ には、8ビット・タイマにより発生するインタラプト信号により、自動的に NRZBF の内容が転送されます。あらかじめ NRZBF にデータを設定しておくことで 8ビット・タイマのカウンタ動作に同期して、REM 端子の出力状態が変化します。

NRZ の内容は LED 端子に出力されます。つまり、NRZ が“1”のとき LED 端子はハイ・レベルを出力し、NRZ が“0”のときはロウ・レベルを出力します。

REM 端子がハイ・レベルのとき、つまり NRZ が“1”でかつキャリアがハイ・レベルのときに 8ビット・タイマによるインタラプト信号が発生した場合は、REM 端子の出力はキャリアがロウ・レベルになるまで更新された NRZ の内容に従いません。この処理は、出力するキャリアのハイ・レベルのパルス幅を一定にするために必要です (図 7-3 参照)。

NRZ の内容が“0”の場合は、リモコン用キャリア発生回路は停止します。ただし、リモコン用キャリア発生回路の出力を 8ビット・タイマのクロックとしている場合は、NRZ の内容が“0”になってもクロックは継続して動作します。

図 7-3 リモコン・キャリア出力の波形



注 (TMCK1, TMCK0) ≠ (1, 1) のときの値です。

(TMCK1, TMCK0) = (1, 1) のときの値は、NRZ の操作によって異なります。

NRZ を命令でセットした場合、1 発目のハイ・レベル・パルス幅が短くなることがあります。NRZBF からの転送によりセットした場合は、キャリア・クロックのロウ・レベル・パルス幅分遅れます。

図7-4 リモコン信号出力の制御レジスタ

RF: 12 H 番地	ビット3	ビット2	ビット1	ビット0	
	0	0	0	N R Z	
リード/ライト	R	R	R	R/W	リード = R, ライト = W
リセット時の初期値	0	0	0	0	

NRZ

0	REM端子にロウ・レベル出力, LED端子にロウ・レベル出力
1	REM端子にキャリア出力, LED端子にハイ・レベル出力

RF: 11 H 番地	ビット3	ビット2	ビット1	ビット0	
	0	0	0	N R Z B F	
リード/ライト	R	R	R	R/W	リード = R, ライト = W
リセット時の初期値	0	0	0	0	

NRZBF

0	NRZのバッファ用ビット。8ビット・タイマのイ
1	ンタラプト信号によりNRZへ転送される。

図 7-5 ポート/タイマ出力, LED 出力, シリアル・インタフェースの入力/出力制御レジスタ

RF: 23 H 番地	ビット 3	ビット 2	ビット 1	ビット 0	
	0	NRZEN	TMOE	SIOEN	
リード/ライト	R	R/W	R/W	R/W	リード = R, ライト = W
リセット時の初期値	0	0	0	0	

	機 能
0	P0D ₁ を入出力ポートとして使用
1	P0D ₁ を 8 ビット・タイマの外部信号出力として使用

	機 能
0	P0D ₀ を入出力ポートとして使用
1	P0D ₀ を LED 出力として使用

7.3.2 キャリア周波数とデューティ比の設定方法

メイン・クロック (X) の周波数が f_X の場合にキャリア周波数 f_C を得るために必要な分周比 ℓ は、次の式で求められます。

$$\ell = f_X / (2 \times f_C)$$

この ℓ をデューティ比 $m:n$ に分けるためモジュロ・レジスタに次のように値を設定します。

$$\text{ハイ・レベル期間設定値 (NRZHTMM)} = \ell \times m / (m+n) - 1$$

$$\text{ロウ・レベル期間設定値 (NRZLTMM)} = \ell \times n / (m+n) - 1$$

例 $f_X = 4 \text{ MHz}$, $f_C = 38 \text{ kHz}$, デューティ比 $= 1/3 (m:n = 1:2)$ の場合

$$\ell = 4 \text{ MHz} / (2 \times 38 \text{ kHz}) \doteq 52.6$$

以上より、モジュロ・レジスタ値は次のようになります。

$$\text{ハイ・レベル期間 (NRZHTMM)} \doteq 17 \text{ (11H)}$$

$$\text{ロウ・レベル期間 (NRZLTMM)} \doteq 34 \text{ (22H)}$$

また、この設定値でのキャリア周波数を計算し直すと

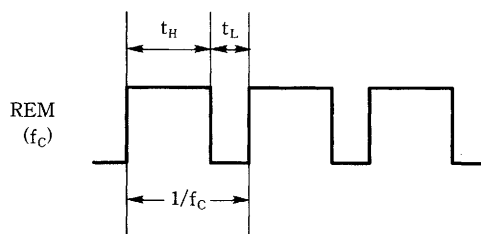
$$f_C = f_X / (2 \times \ell) = 4 \text{ MHz} / (2 \times 53) \doteq 37.74 \text{ kHz}$$

$$(\text{ただし } \ell = (17+1) + (34+1) = 53)$$

となります。

表 7-1 キャリア周波数の例 ($f_x = f_{sys} = 4 \text{ MHz}$)

設定値		$t_H (\mu\text{s})$	$t_L (\mu\text{s})$	$1/f_C (\mu\text{s})$	$f_C (\text{kHz})$	デューティ
NRZHTMM	NRZLTMM					
00H	00H	0.5	0.5	1.0	1000	1/2
01H	02H	1.0	1.5	2.5	400	2/5
04H	04H	2.5	2.5	5.0	200	1/2
09H	09H	5.0	5.0	10.0	100	1/2
0FH	10H	8.0	8.5	16.5	60.6	1/2
0FH	21H	8.0	17.0	25.0	40.0	1/3
11H	21H	9.0	17.0	26.0	38.5	1/3
11H	22H	9.0	17.5	26.5	37.7	1/3
19H	35H	13.0	27.0	40.0	25.0	1/3
3FH	3FH	32.0	32.0	64.0	15.6	1/2



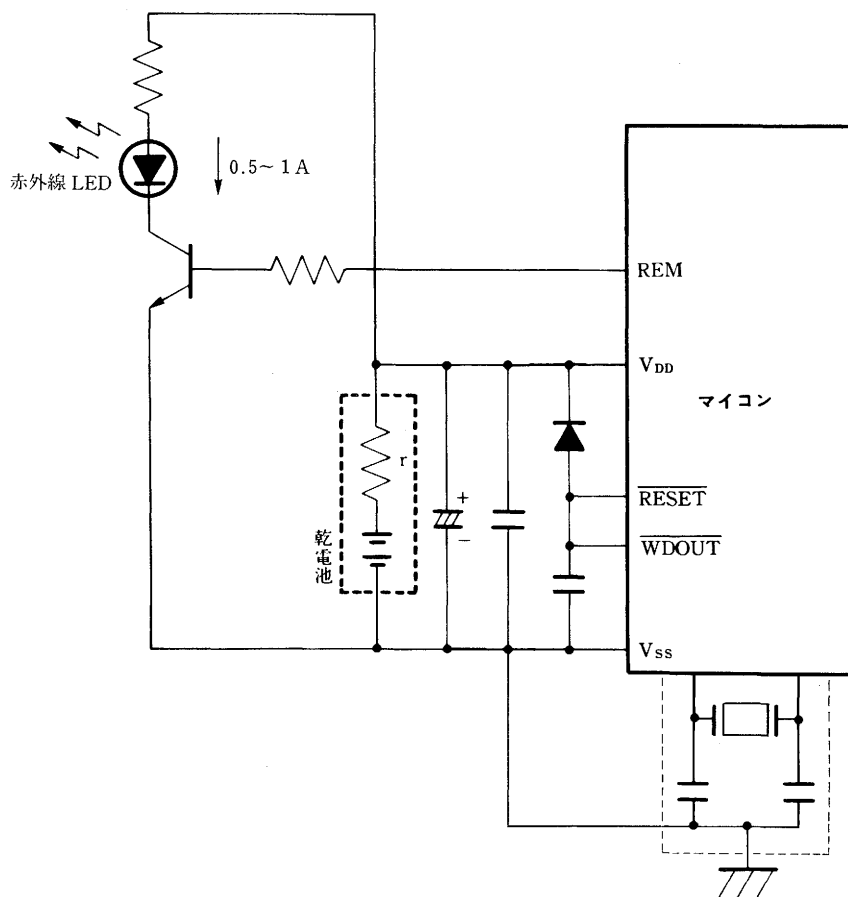
7.3.3 送信（キャリア出力）時のノイズ対策

リモコン送信機として送信したとき、赤外線 LED には、ピーク電流で 0.5~1 A 程度流れることが考えられます。リモコン送信機の電源には、通常乾電池 2 個を使用しているため、図 7-6 のように電源部は等価的に数 Ω の抵抗 (r) が存在していることになります。この抵抗値は、電源電圧が 2 V まで低下した場合、10-20 Ω となります。そのため、REM 端子からキャリア出力（赤外線 LED 発光）中の際は、電源電圧の変動、特にスイッチング時に高周波成分のノイズが、電源ラインに発生します。

したがって、マイコンへの影響を極力抑えるためには、次の点にご注意ください。

- ① マイコンへの電源ラインと、赤外線 LED の電源ラインを乾電池の端子を中心に分離する。また、電源ラインは太く短く配線する。
- ② 発振子はできるだけマイコンに近づけ、GND ラインでシールドする（図中の細破線の部分）。
- ③ 電源安定用のコンデンサは、マイコンの電源ラインの近くに配置する。また、高周波ノイズ除去用のコンデンサも配置する。
- ④ キャリア出力中は、データが変わるのを防ぐために、キー・スキャンなどのデータのリード/ライト処理およびスタックを必要とする割り込み、CALL/RET 命令などを極力行わない。
- ⑤ 暴走に対する信頼性を高めるために、ウォッチドッグ・タイマを使用する ($\overline{\text{WDOUT}}$ 端子と $\overline{\text{RESET}}$ 端子を接続する)。

図 7-6 ノイズ対策例



備考 1. INT 端子と $\overline{\text{RESET}}$ 端子は、テスト端子と兼用になっています (3.4 $\overline{\text{RESET}}$ 端子と INT 端子の使用上の注意参照)。

2. この図では、 $\overline{\text{RESET}}$ 端子はマスク・オプションによりプルアップ抵抗を内蔵しています。

8. 時計用タイマ/ウォッチドッグ・タイマ

時計用タイマは、時計用の割り込み信号発生とウォッチドッグ・タイマのリセット信号発生に使用します。

8.1 時計用タイマ/ウォッチドッグ・タイマの構成

図 8-1 に時計用タイマ/ウォッチドッグ・タイマの構成を示します。

図 8-1 に示すように、時計用タイマはソース・クロックをサブクロック (XT) の 32.768 kHz 発振回路出力とメイン・クロック (X) の分周出力 ($f_X/2^7$) からマスク・オプションで選択するセレクト A と、選択したソース・クロックの分周器と、割り込み信号として使用する周波数を選択するセレクト B で構成されています。

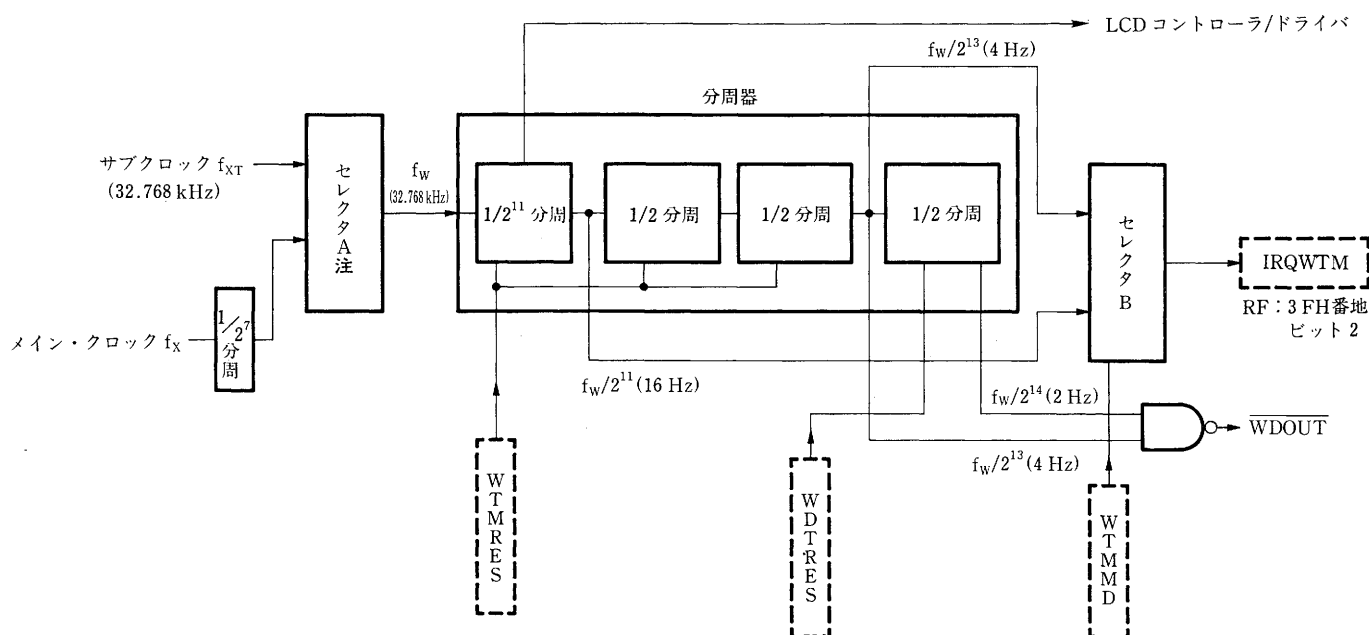
時計用タイマのリセットおよびセレクト B の制御は、レジスタ・ファイルの WTMRES (03H 番地, ビット 1) と WTMMD (03H 番地, ビット 2) で行います。

ウォッチドッグ・タイマのリセットは、レジスタ・ファイルの WDTRES (03H 番地, ビット 3) で行います。

なお、サブクロック (f_{XT}) がソース・クロックの場合は、時計用タイマのカウント動作を停止できません。したがって、CPU が STOP モードの場合においても、サブクロックは停止しないで発振動作を継続します。

メイン・クロックの分周出力 ($f_X/2^7$) がソース・クロックの場合 (サブクロック未使用時) は、CPU が STOP モードになると時計用タイマの動作も停止します。

図 8-1 時計用タイマ/ウォッチドッグ・タイマの構成



備考 ()内はサブクロック使用時の値です。

注 時計用タイマ/ウォッチドッグ・タイマのソース・クロックは、マスク・オプションで次のように固定されます。

- ① マスク・オプションでサブクロックの使用を選択する場合
サブクロックに固定されます。
- ② マスク・オプションでサブクロックの使用を選択しない場合
 $f_X/2^7$ に固定されます。

8.2 時計用タイマ/ウォッチドッグ・タイマの機能

図 8-2 時計用タイマ/ウォッチドッグ・タイマの制御レジスタ



8.3 ウォッチドッグ・タイマ動作タイミング

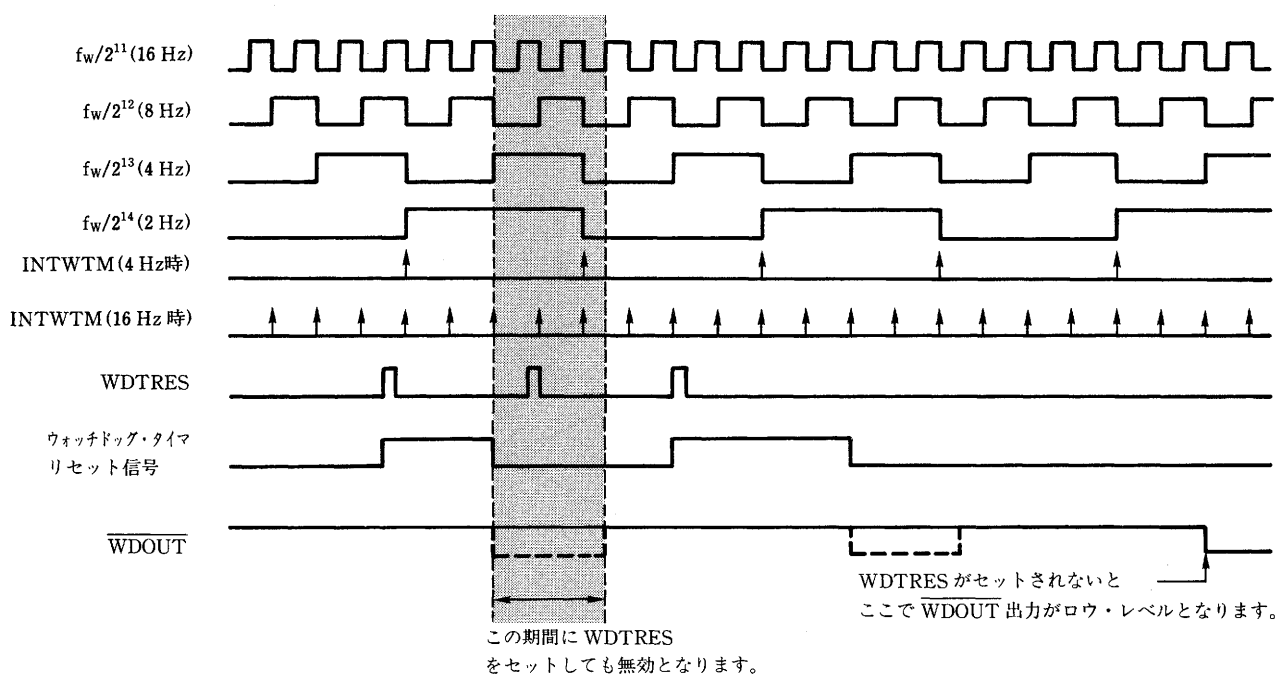
ウォッチドッグ・タイマは、一定時間以内でリセットしないと $\overline{\text{WDOUT}}$ 端子よりロウ・レベルが出力されるタイマです。 $\overline{\text{WDOUT}}$ 端子と $\overline{\text{RESET}}$ 端子を接続することにより、プログラムの暴走検出に使用できます。

ウォッチドッグ・タイマのリセットは、WDTRES をセット (WDTRES=1) することで行います。

サブクロック使用時に、ウォッチドッグ・タイマによる暴走検出を禁止するには、約340 ms 以下の周期で WDTRES をセットするプログラムにしてください。

- 注意1. ウォッチドッグ・タイマは、図8-3に示す  の範囲ではリセットできません。したがって、WDTRES は $f_w/2^{13}$ 信号と $f_w/2^{14}$ 信号がともにハイ・レベルになる前にセットしてください。
2. $\overline{\text{WDOUT}}$ 端子の機能については、14. リセットも参照してください。

図8-3 ウォッチドッグ・タイマの動作タイミング



備考 () 内はサブクロック使用時の値です。

★ 9. A/D コンバータ

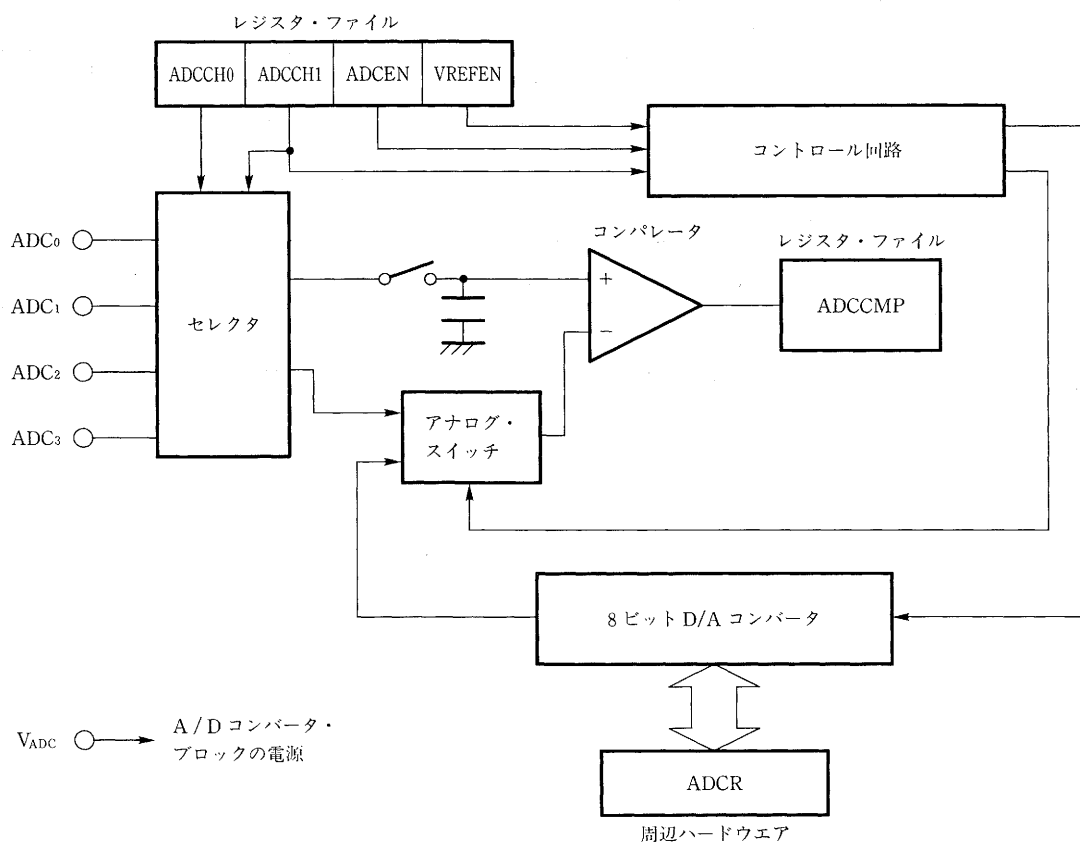
μPD17207 は、プログラムによる逐次比較方式の 8 ビット A/D コンバータを内蔵しています。
この A/D コンバータには次の 2 つのモードがあります。

モード	説 明
A/D 変換モード	1 つの端子に入力されているアナログ電圧を A/D 変換します
コンペア・モード	2 つの端子に入力されているアナログ電圧を比較します

9.1 A/D コンバータの構成

8 ビットの A/D コンバータは、入力端子切り替え用のセクタ、アナログ・スイッチ、コントロール回路、抵抗ストリング方式の 8 ビット D/A コンバータ、およびコンパレータから構成されています。

図 9-1 A/D コンバータのブロック図



9.2 A/D コンバータの機能

9.2.1 A/D 変換モードの機能

ADC₃-ADC₀端子のうちの1端子から入力されているアナログ電圧と、内部基準電圧を比較し、比較結果をレジスタ・ファイル上のADCCMPに出力します。

アナログ電圧を入力する端子の選択は、動作モード・レジスタで行います（図9-2参照）。同時に2端子以上のA/D変換はできません。

内部基準電圧は、内部基準電圧設定レジスタ（ADCR）で設定されたデータにより、8ビットD/Aコンバータで生成されます。8ビットD/Aコンバータは、256段階の内部基準電圧を生成できます。

プログラムにより内部基準電圧を切り替え、逐次比較を行うことにより、アナログ電圧をデジタル値に変換できます。

動作モード・レジスタ				選択される 入力端子	機 能
VREFEN	ADCEN	ADCCH1	ADCCH0		
1	1	0	0	ADC ₀	ADC ₀ 端子に入力されているアナログ電圧と内部基準電圧を比較します
		0	1	ADC ₁	ADC ₁ 端子に入力されているアナログ電圧と内部基準電圧を比較します
		1	0	ADC ₂	ADC ₂ 端子に入力されているアナログ電圧と内部基準電圧を比較します
		1	1	ADC ₃	ADC ₃ 端子に入力されているアナログ電圧と内部基準電圧を比較します

9.2.2 コンペア・モードの機能

ADC₃-ADC₀端子のうちの2端子に入力されているアナログ電圧を比較し、比較結果をレジスタ・ファイル上のADCCMPに出力します。アナログ電圧を入力する2端子の設定は、動作モード・レジスタで行います（図9-2参照）。

選択される入力端子は、ADC₂端子とADC₀端子、ADC₃端子とADC₁端子の2組です。同時に2組の比較はできません。

動作モード・レジスタ				選択される 入力端子	機 能
VREFEN	ADCEN	ADCCH1	ADCCH0		
0	0	1	0	ADC ₂ ADC ₀	ADC ₂ 端子とADC ₀ 端子に入力されているアナログ電圧を比較します
		1	1	ADC ₃ ADC ₁	ADC ₃ 端子とADC ₁ 端子に入力されているアナログ電圧を比較します

9.3 A/D コンバータの制御レジスタ

9.3.1 動作モード・レジスタ

動作モードとアナログ入力端子の選択は次に示すようにレジスタ・ファイル上のフラグの設定で行います。

図 9-2 動作モード・レジスタ

RF：21H番地	ビット3	ビット2	ビット1	ビット0	
	V R E F E N	A D C E N	A D C C H 1	A D C C H 0	
リード/ライト	R/W				リード=R, ライト=W
リセット時の初期値	0	0	0	0	

VREFEN	ADCEN	ADCCH1	ADCCH0	動作モード	選択されるアナログ入力端子	
					内部コンパレータの+側	内部コンパレータの-側
0	0	1	0	コンペア	ADC ₂ 端子	ADC ₀ 端子
0	0	1	1	コンペア	ADC ₃ 端子	ADC ₁ 端子
1	1	0	0	A/D変換	ADC ₀ 端子	(内部基準電圧)
1	1	0	1	A/D変換	ADC ₁ 端子	(内部基準電圧)
1	1	1	0	A/D変換	ADC ₂ 端子	(内部基準電圧)
1	1	1	1	A/D変換	ADC ₃ 端子	(内部基準電圧)
0	0	0	Don't Care	動作停止	なし	
上記以外				設定禁止	不定	

注意 A/D コンバータを使用しない場合は、消費電流を押さえるために動作停止モードに設定してください。

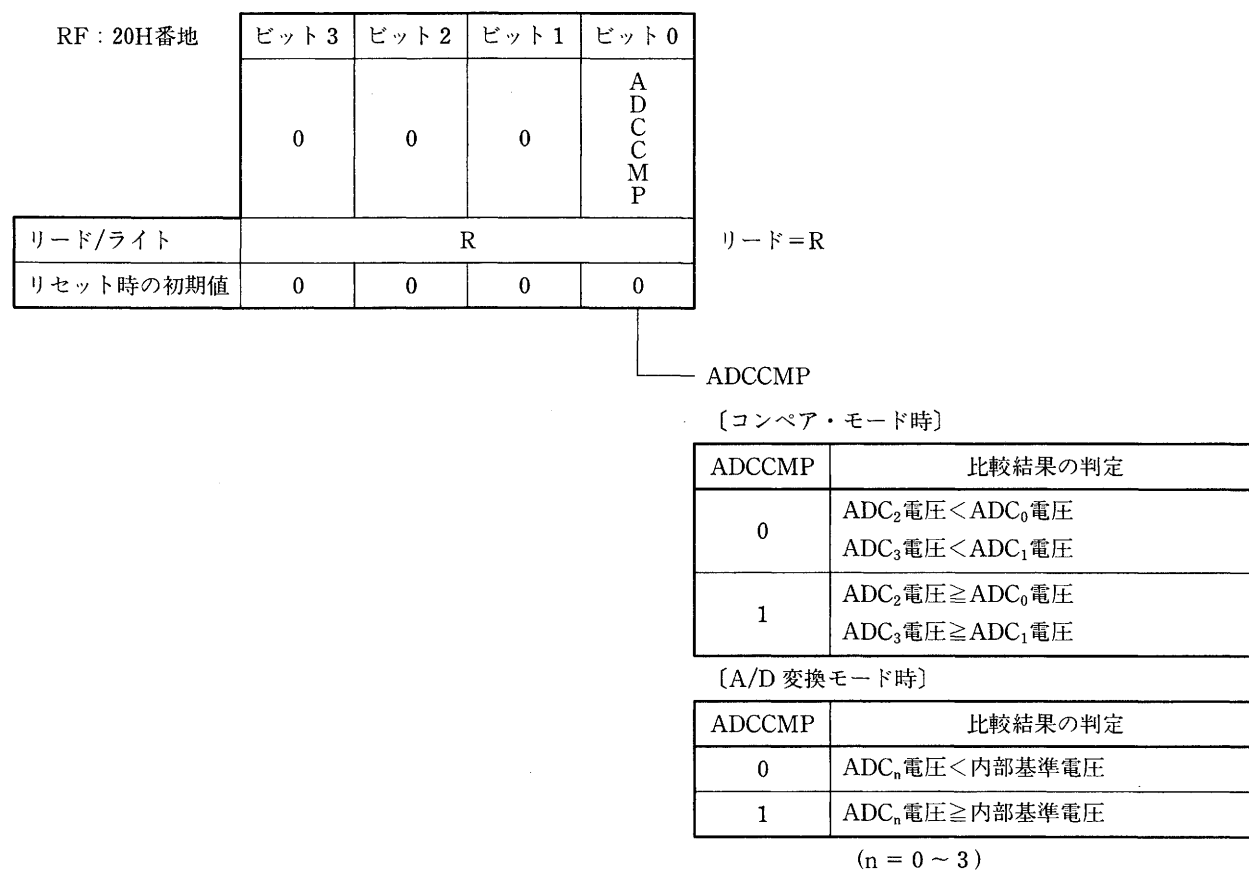
9.3.2 内部基準電圧設定レジスタ (ADCR)

内部基準電圧設定レジスタ (ADCR) は、コンパレータの基準電圧を設定するための8ビットのレジスタで、周辺ハードウェアに割り当てられています。ADCR へのデータの書き込みは、データ・バッファ (DBF) を介して行います。すなわち“PUT ADCR, DBF” 命令を用いて DBF0 と DBF 1 に設定した8ビット・データを ADCR に書き込みます。

9.3.3 比較結果レジスタ

コンパレータの比較結果はレジスタ・ファイル上の ADCCMP フラグに格納されます。

図 9-3 比較結果レジスタ



9.4 A/D 変換モードの動作

システム・クロックとしてメイン・クロックまたはサブクロックのどちらを選択しているかにより、A/D 変換に必要なタイミングは異なります。

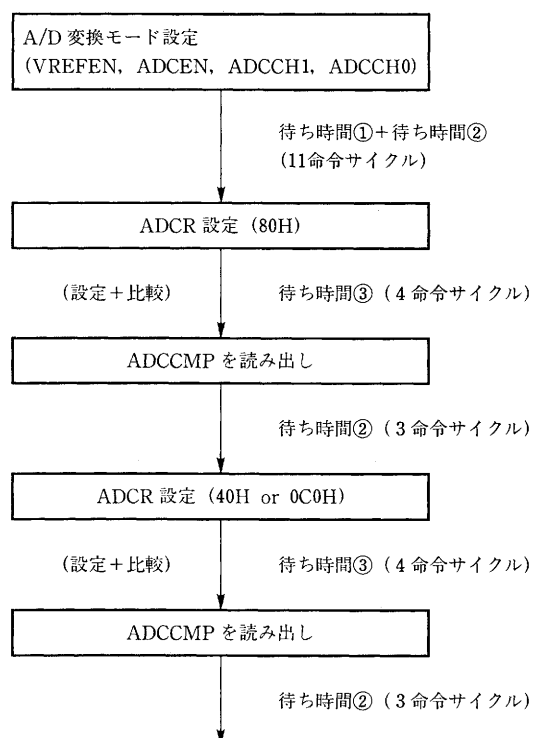
(1) システム・クロックとしてメイン・クロックを選択している場合

A/D 変換モードでは、次のような待ち時間をプログラムにより設定する必要があります。

待ち時間①：動作停止モードから A/D 変換モード への移行待ち時間 (8 命令サイクル)

待ち時間②：ADCR に値を設定できるようになるまでの待ち時間 (3 命令サイクル)

待ち時間③：比較結果レジスタを読み出せるようになるまでの待ち時間 (4 命令サイクル)



次にメイン・クロック選択時の A/D 変換のプログラム例を示します。

CMPVAL	DAT	80H	: 基準電圧 = $V_{ADC} \times \text{CMPVAL} / 256$		
ADCNV :					
BANK0					
INITFLG	VREFEN, ADCEN, NOT ADCCH1, NOT ADCCH0	:	ADC ₀ の入力をサンプリング開始		
MOV	DBF0, #CMPVAL AND 0FH	}	ADCR 設定まで 11命令サイクル以上待つこと		
MOV	DBF1, #CMPVAL SHR 4 AND 0FH				
REPT	9				
NOP					
ENDR					
PUT	ADCR, DBF	:	入力をホールドし, 比較開始		
NOP		}	ADCCMP 判断まで 4 命令サイクル以上待つこと		
NOP					
NOP					
NOP					
NOP					
PEEK	WR, .MF.ADCCMP SHR 4 AND 0FFFH	:	比較結果の読み出し(サンプリング開始)		
MOV	DBF0, #CMPVAL AND 0FH	}	ADCR 設定まで 3 命令サイクル以上 待つこと		
MOV	DBF1, #CMPVAL SHR 4 AND 0FH				
NOP					
PUT	ADCR, DBF			:	入力をホールドし, 比較開始
NOP				}	ADCCMP 判断まで, 4 命令サイクル以上 待つこと
NOP					
NOP					
NOP					
NOP					
PEEK	WR, .MF.ADCCMP SHR 4 AND 0FFFH	:	比較結果の読み出し(サンプリング開始)		

(2) システム・クロックとしてサブクロックを選択している場合

サブクロック選択時はメイン・クロック選択時とは異なり, 待ち時間をプログラムにより設定する必要はありません。A/D 変換モード設定, ADCR 設定, ADCCMP の読み出しは, それぞれ 1 命令サイクルで完了します。

次にサブクロック選択時の A/D 変換 のプログラム例を示します。

CMPVAL	DAT	80H	: 基準電圧 = $V_{ADC} \times \text{CMPVAL} / 256$
ADCNV :			
BANK0			
INITFLG	VREFEN, ADCEN, NOT ADCCH1, NOT ADCCH0	:	ADC ₀ の入力をサンプリング開始
MOV	DBF0, #CMPVAL AND 0FH		
MOV	DBF1, #CMPVAL SHR 4 AND 0FH		
PUT	ADCR, DBF	:	入力をホールドし, 比較開始
PEEK	WR, .MF.ADCCMP SHR 4 AND 0FFFH	:	比較結果の読み出し(サンプリング開始)

9.5 コンペア・モードの動作

コンペア・モードでは、ADCCMP に格納された比較結果を読み出したあと、すぐに次の比較を行い ADCCMP フラグの値を書き換える連続比較を行います。

システム・クロックとしてメイン・クロックまたはサブクロックのどちらを選択しているかにより、コンペア・モードに必要なタイミングは異なります。

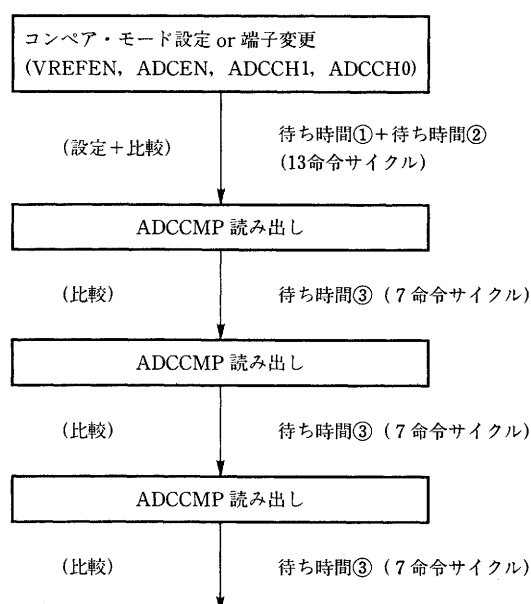
(1) システム・クロックとしてメイン・クロックを選択している場合

コンペア・モードでは、次のような待ち時間をプログラムにより設定する必要があります。

待ち時間①：動作停止モードからコンペア・モード への移行待ち時間 (10 命令サイクル)

待ち時間②：比較結果レジスタを読み出せるようになるまでの待ち時間 (1 回目のみ) (3 命令サイクル)

待ち時間③：比較結果レジスタを読み出せるようになるまでの待ち時間 (2 回目以降) (7 命令サイクル)



次にメイン・クロック選択時のコンペア・モードのプログラム例を示します。

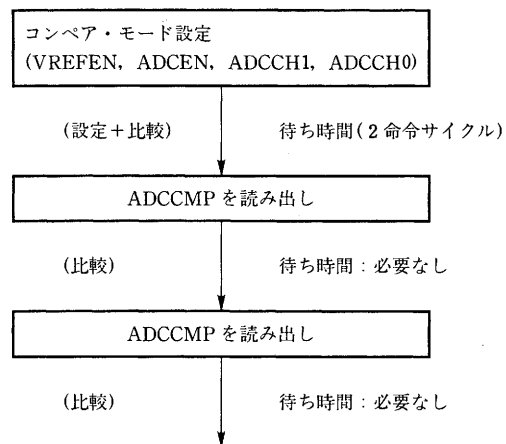
COMPARE :

INITFLG	NOT VREFEN, NOT ADCEN, ADCCH1, ADCCH0	: ADC ₃ と ADC ₁ との電圧比較開始
REPT	13	} 比較終了まで13命令サイクル以上 待つこと
NOP		
ENDR		
PEEK	WR, .MF, ADCCMP SHR 4 AND 0FFFH	: 比較結果の読み出し
REPT	7	} 比較終了まで7命令サイクル以上 待つこと
NOP		
ENDR		
PEEK	WR, .MF, ADCCMP SHR 4 AND 0FFFH	: 比較結果の読み出し

(2) システム・クロックとしてサブクロックを選択している場合

コンペア動作中には、次のような待ち時間をプログラムにより設定する必要があります。

待ち時間：動作停止モードからコンペア・モードへの移行待ち時間（2 命令サイクル）



次にサブクロック選択時のコンペア・モードのプログラム例を示します。

COMPARE :

INITFLG	NOT VREFEN, NOT ADCEN, ADCCH1, ADCCH0	: ADC ₃ と ADC ₁ との電圧比較開始
NOP		} 比較終了まで 2 命令サイクル以上 待つこと
NOP		
PEEK	WR, .MF, ADCCMP SHR 4 AND 0FFFH	: 比較結果の読み出し
PEEK	WR, .MF, ADCCMP SHR 4 AND 0FFFH	: 比較結果の読み出し

10. シリアル・インタフェース

シリアル・インタフェースは、8ビット・シフト・レジスタ、4ビットのシフト・モード・レジスタ、3ビット・カウンタで構成され、シリアル・データの入出力に使用します。

10.1 シリアル・インタフェースの機能

10.1.1 クロック同期8ビット送受信動作（同時送受信）

シリアル・データの入出力はシリアル・クロックによって制御されます。シリアル・クロック ($\overline{\text{SCK}}$ 信号) の立ち上がりでシフト・レジスタの最上位ビットが SO 端子 (59ピン: P1A₁ 端子と兼用) より出力され、立ち上がりでシフト・レジスタの内容が1ビット・シフトされると同時に、SI 端子 (60ピン: P1A₂ 端子と兼用) のデータがシフト・レジスタの最下位ビットにロードされます。

3ビット・カウンタは、シリアル・クロックをカウントし、8回カウント（8ビット・シリアル・データの転送完了）ごとに、レジスタ・ファイルの IRQSIO (3BH 番地, ビット3) をセットして割り込み要求を発生します。

10.1.2 クロック同期8ビット受信動作（SO 出力ハイ・インピーダンス）

動作は送受信の場合と同一ですが、SO 端子 (59ピン: P1A₁ 端子と兼用) は、出力がハイ・インピーダンスとなり、シリアル・データは出力されません。したがって、SO 端子をポート (P1A₁) として使用することができます。

10.2 シリアル・インタフェースの動作

10.2.1 シリアル・インタフェースの動作モード

P1A₂/SI (60ピン), P1A₁/SO (59ピン), P1A₀/ $\overline{\text{SCK}}$ (58ピン) は、レジスタ・ファイルの SIOEN (23H 番地, ビット0) を“1”にしたとき、シリアル・インタフェース・モードに設定されます。SIOEN が“0”のときは、ポートとして使用できます。このモードでは、シリアル・データの送受信は行わないのでシフト・レジスタは通常の8ビット・レジスタとして利用が可能です。

10.2.2 シリアル動作モード

シリアル動作モードはレジスタ・ファイルの SIOHIZ (22H 番地, ビット2) の値によって設定し、“0”でクロック同期8ビット送受信動作のモードになり、“1”でクロック同期8ビット受信動作のモードになります。動作タイミングを図10-1に示します。2つのモードの違いは、SO 端子 (59ピン: P1A₁ 端子と兼用) がハイ・インピーダンスになるかということだけです。

シリアル・データ送信の場合は、PUT 命令により DBF(データ・バッファ)を介してシフト・レジスタ(SIOSFR/周辺アドレス: 01H) に送信データをセットしたのち、レジスタ・ファイルの SIOTS (22H 番地, ビット3) の値を“1”にすることでシリアル転送をスタートさせます。8ビットのシリアル転送が終了すると自動的に SIOTS の値が“0”にリセットされます。そして、レジスタ・ファイルの IRQSIO (3BH 番地, ビット3) の値を“1”にセットして割り込みを発生します。割り込みを禁止している場合は、SIOTS か IRQSIO の値を参照することで転送の終了が確認できます。

シリアル・データの受信も SO 端子からデータが出力されるか否かの違いで、動作はシリアル・データ送信と同様です。

レジスタ・ファイルの SIOCK1 (22H 番地, ビット1), SIOCK0 (22H 番地, ビット0) の設定によりシリアル・クロックのソースとして内部3種類と外部1種類の合計4種類のクロックから選択できます。

内部クロックを選択した場合は、SIOTS の値を“1”にすることで、そのクロックがシリアル・インタフェース

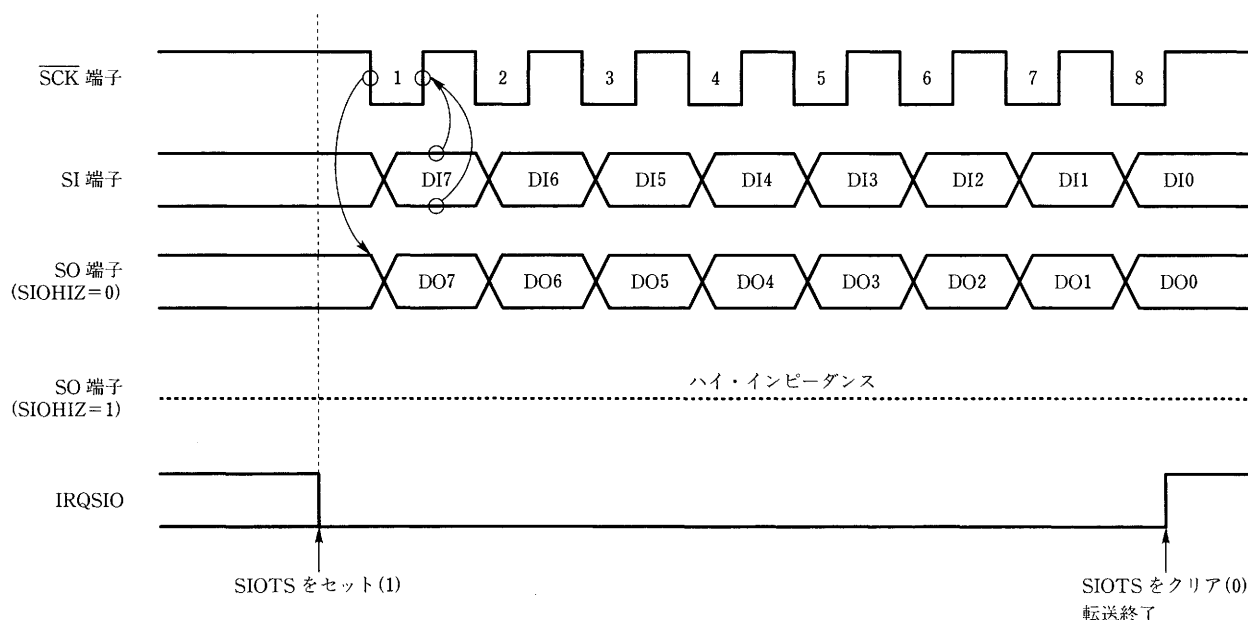
に供給されます。供給されたクロックはシリアル・データの入出力を制御し、 $\overline{\text{SCK}}$ 端子 (58ピン, P1A₀) から出力されます。シリアル・クロックが8回供給されると自動的に SIOTS が“0”にリセットされ、シリアル・インタフェースへのクロックの供給が停止されます。そして、 $\overline{\text{SCK}}$ 端子はハイ・レベルに保持されます。このときレジスタ・ファイルの IRQSIO (3BH 番地, ビット 3) の値が“1”にセットされます。

外部クロックを選択した場合は、 $\overline{\text{SCK}}$ 端子から与えられるクロックが SIOTS の値を“1”にすることで、シリアル・インタフェースに供給されます。この場合も外部からシリアル・クロックが8回与えられると SIOTS の値が“0”にリセットされシリアル・インタフェースへのクロック供給が停止されます。これによりシリアル・データ転送は停止します。このときレジスタ・ファイルの IRQSIO (3BH 番地, ビット 3) の値が“1”にセットされます。

IRQSIO は SIOTS の値を“1”にセットすると自動的に“0”にリセットされます。

シリアル・データ転送は、SIOTS の値を強制的に“0”にすることにより強制停止をすることができます。ただし、強制停止を行った時点からの再開は行えません。

図 10-1 シフト・タイミング



備考 DI : シリアル・データの入力

DO : シリアル・データの出力

図 10-2 ポート/タイマ出力, LED 出力, シリアル・インタフェースの入力/出力制御レジスタ

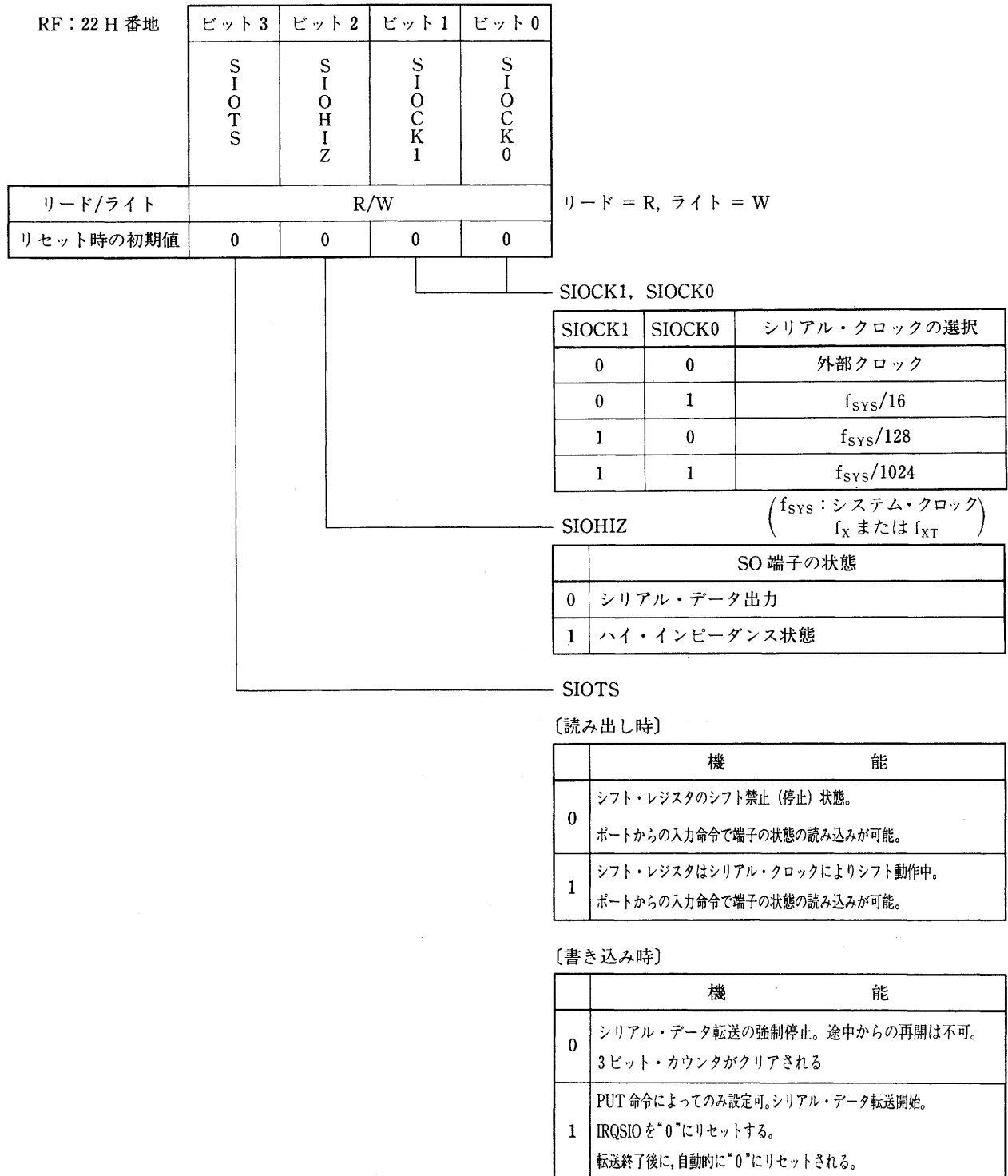
RF: 23 H 番地	ビット 3	ビット 2	ビット 1	ビット 0
	0	N R Z E N	T M O E	S I O E N
リード/ライト	R	R/W	R/W	R/W
リセット時の初期値	0	0	0	0

リード = R, ライト = W

SIOEN

	機 能
0	ポート 1A を入出力ポートとして使用
1	ポート 1A をシリアル・インタフェースとして使用

図 10-3 シリアル・インタフェースの制御レジスタ



注意 シリアル・データの転送開始は、あらかじめシリアル・クロックを選択したあとで行ってください。これらの設定を同時に行わないでください。

備考 8ビットのシリアル・データ転送終了時は、IRQSIO (RF: 3BH 番地, ビット 3) がセットされて割り込み要求が発生します。

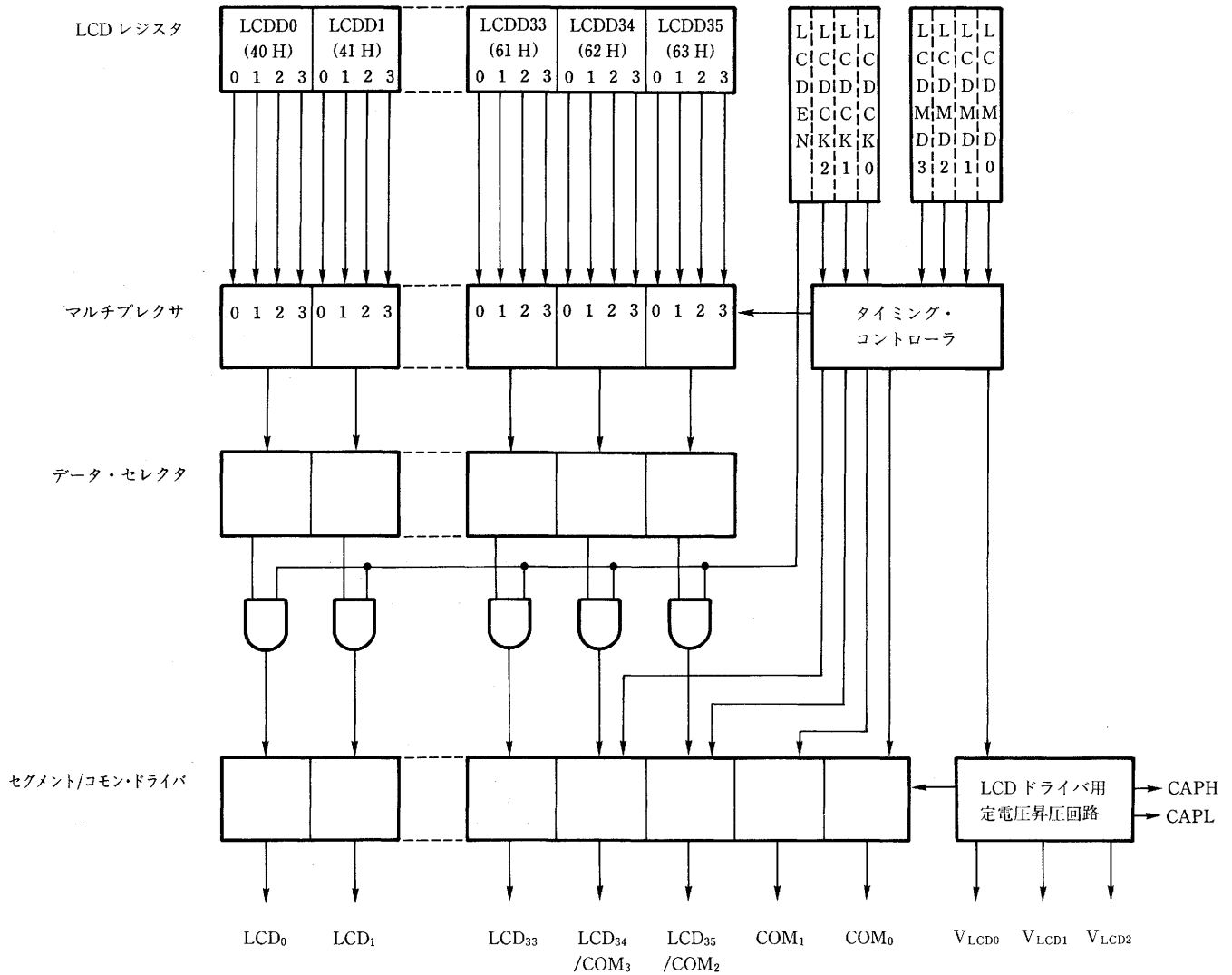
11. LCD コントローラ/ドライバ

11.1 LCD コントローラ/ドライバの構成

μPD17207 は、LCD レジスタに設定されたデータに従い、セグメント信号とコモン信号を発生する LCD コントローラと、LCD パネルを直接駆動可能なセグメント・ドライバ、コモン・ドライバを内蔵しています。

LCD コントローラ/ドライバの構成は図 11-1 のようになっています。

図 11-1 LCD コントローラ/ドライバのブロック図



11.2 LCD コントローラ/ドライバの機能

μPD17207 に内蔵されている LCD コントローラ/ドライバの機能を次に示します。

- (1) 自動的に LCD レジスタを読み出してセグメント信号とコモン信号を発生します。
- (2) 3 種類の表示モードが選択できます。
 表示モード 1 : 1/2 デューティ, 1/3 バイアス
 表示モード 2 : 1/3 デューティ, 1/3 バイアス
 表示モード 3 : 1/4 デューティ, 1/3 バイアス
- (3) 各表示モードにおいて, 4 種類のフレーム周波数が選択できます。
- (4) LCD ドライバ用定電圧昇圧回路を内蔵していますので, 電源電圧の変動に関係なく一定の出力電圧を保持できます。
- (5) 表示に使用していない LCD レジスタは通常のデータ・メモリとして使用できます。

各表示モードにおける表示可能な最大画素数を表 11-1 に示します。

表 11-1 最大表示画素数

表示モード	デューティ	使用コモン信号	最大画素数
1	1/2	COM ₀ , COM ₁	72 (セグメント 36 × コモン 2)
2	1/3	COM ₀ , COM ₁ , COM ₂	105 (セグメント 35 × コモン 3)
3	1/4	COM ₀ , COM ₁ , COM ₂ , COM ₃	136 (セグメント 34 × コモン 4)

11.3 表示モード・レジスタ

表示モード・レジスタは LCD コントローラ/ドライバの表示モードの選択, フレーム周波数の選択および LCD 表示のオン/オフを設定するレジスタです。

表示モード・レジスタにはレジスタ・ファイルの LCDMD0-LCDMD3 (RF : 32H, 表示モードの選択), LCDEN (RF : 31H, LCD 表示のオン/オフ), および LCDCK0-LCDCK2 (RF : 31H, フレーム周波数) があります。

図 11-2 表示モード・レジスタ

RF : 32H 番地	ビット 3	ビット 2	ビット 1	ビット 0
	L C D M D 3	L C D M D 2	L C D M D 1	L C D M D 0
リード/ライト	R	R	R/W	R/W
リセット時の初期値	0	0	0	1

リード=R, ライト=W

LCDMD0-LCDMD3

LCDMD3	LCDMD2	LCDMD1	LCDMD0	表示モード
0	0	0	0	昇圧回路停止 ^注
0	0	0	1	表示モード 1 (1/2デューティ)
0	0	1	0	表示モード 2 (1/3デューティ)
0	0	1	1	表示モード 3 (1/4デューティ)
上記以外				設定禁止

注 全セグメント信号および全コモン信号が一定電圧 (V_{LCD0}) となります。

図 11-3 LCD コントローラ/ドライバの制御レジスタ

RF : 31H 番地	ビット3	ビット2	ビット1	ビット0
	L C D E N	L C D C K 2	L C D C K 1	L C D C K 0
リード/ライト	R/W	R	R/W	R/W
リセット時の初期値	0	0	0	0

リード=R, ライト=W

LCDCK0-LCDCK2

LCDCK2	LCDCK1	LCDCK0	フレーム周波数		
			表示モード 1	表示モード 2	表示モード 3
			1/2デューティ	1/3デューティ	1/4デューティ
0	0	0	$f_w/(2 \times 2^6)$ 〔256 Hz〕	$f_w/(3 \times 2^6)$ 〔170 Hz〕	$f_w/(4 \times 2^6)$ 〔128 Hz〕
0	0	1	$f_w/(2 \times 2^5)$ 〔512 Hz〕	$f_w/(3 \times 2^5)$ 〔341.3 Hz〕	$f_w/(4 \times 2^5)$ 〔256 Hz〕
0	1	0	$f_w/(2 \times 2^8)$ 〔64 Hz〕	$f_w/(3 \times 2^8)$ 〔42.6 Hz〕	$f_w/(4 \times 2^8)$ 〔32 Hz〕
0	1	1	$f_w/(2 \times 2^7)$ 〔128 Hz〕	$f_w/(3 \times 2^7)$ 〔85.3 Hz〕	$f_w/(4 \times 2^7)$ 〔64 Hz〕
上記以外			設定禁止		

備考1. $f_w = f_{XT}$ または $f_x/2^7$

2. [] 内の数値は $f_w = 32.768 \text{ kHz}$ 時の値です。

LCDEN

LCDEN	機 能
0	LCD 表示をオフ (全セグメント信号が非選択レベルとなる)
1	LCD 表示をオン

- 注意1. LCD クロックは時計用タイマから供給されています。したがって、LCD 表示中に時計用タイマをリセットすると LCD 表示がちらつきます。LCD 表示中は時計用タイマのリセットを行わないようにしてください。
2. メイン・クロックとサブクロックを使用している場合、LCD のソース・クロックはサブクロックになります。したがって、電源立ち上げ時、サブクロックが発振安定するまで LCD 表示がちらつくことがあります。十分な発振安定時間をとってから LCD 表示をオンしてください（また電源立ち上げ直後は、全点灯にすることを勧めします）。
3. 電源オン/オフ時、リセット時、STOP モード設定時、または STOP モード解除時、LCD 表示電圧 (V_{LCD0} , V_{LCD1} , V_{LCD2}) が一瞬不安定になるため、そのときに LCD 表示をオンしてしまうことがあります（LCD のにじみ）。この現象はメイン・クロックのみを使用している場合や LCD 表示側の容量が大きい場合に顕著に現れます。したがって、次のいずれかの方法で対処することをお勧めします。
- LCD 表示をオフしてから表示モード・レジスタで昇圧回路を停止するまでに 1 フレーム周期以上のウエイト時間を設ける。
 - 昇圧回路停止から STOP 命令が実行されるまでに、2 ms 程度のウエイト時間を設ける。

11.4 LCD レジスタ

LCD レジスタは LCDD0-LCDD35 (BANK0 の 40H 番地-63H 番地) にマッピングされています。

LCD レジスタは CPU の動作とは無関係に LCD コントローラ/ドライバによって読み出されるデータ・メモリ・エリアです。

LCD コントローラは LCD レジスタのデータにしたがってセグメント信号を制御します。

LCD 表示に使用しない領域は、通常のデータ・メモリとして使用できます。

LCD レジスタの各ビットとセグメント出力の対応を図 11-4 に示します。

図 11-4 LCD レジスタとセグメント信号, コモン信号との対応

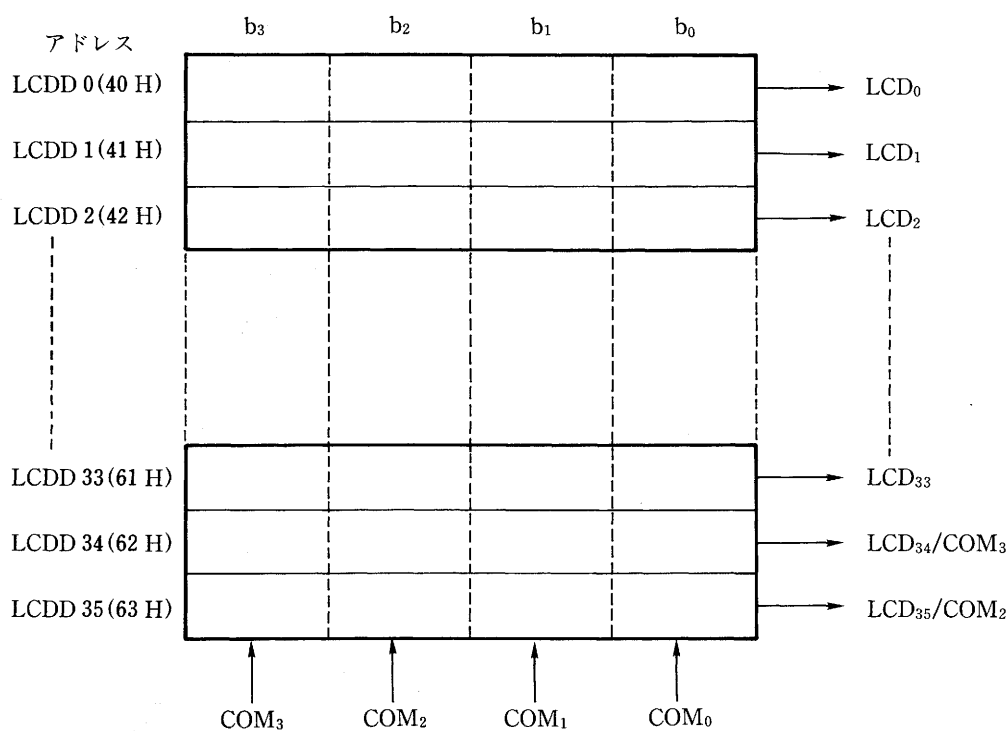
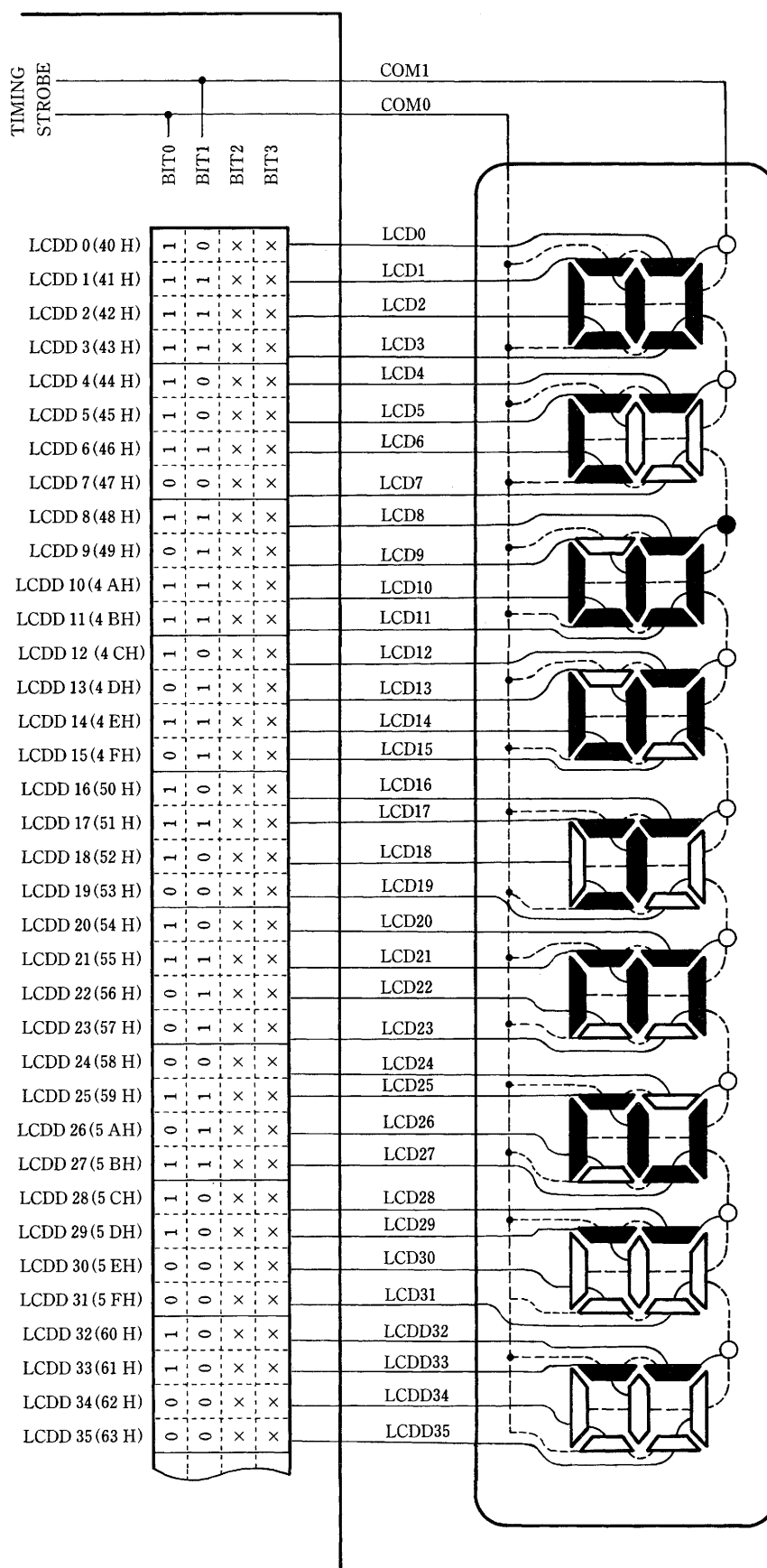


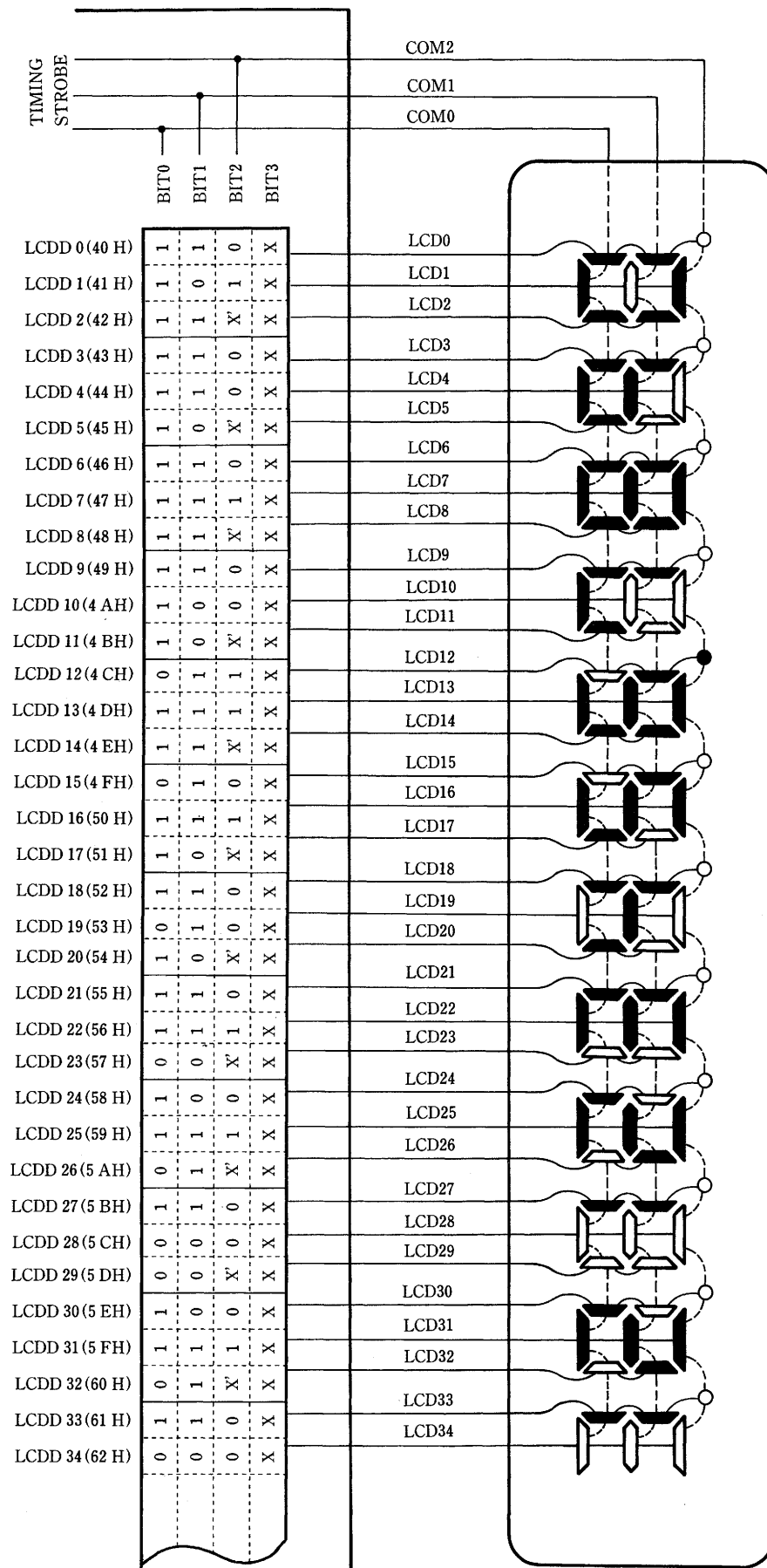
図 11-5 2時分割 LCD パネルの結線例



LCDPANEL

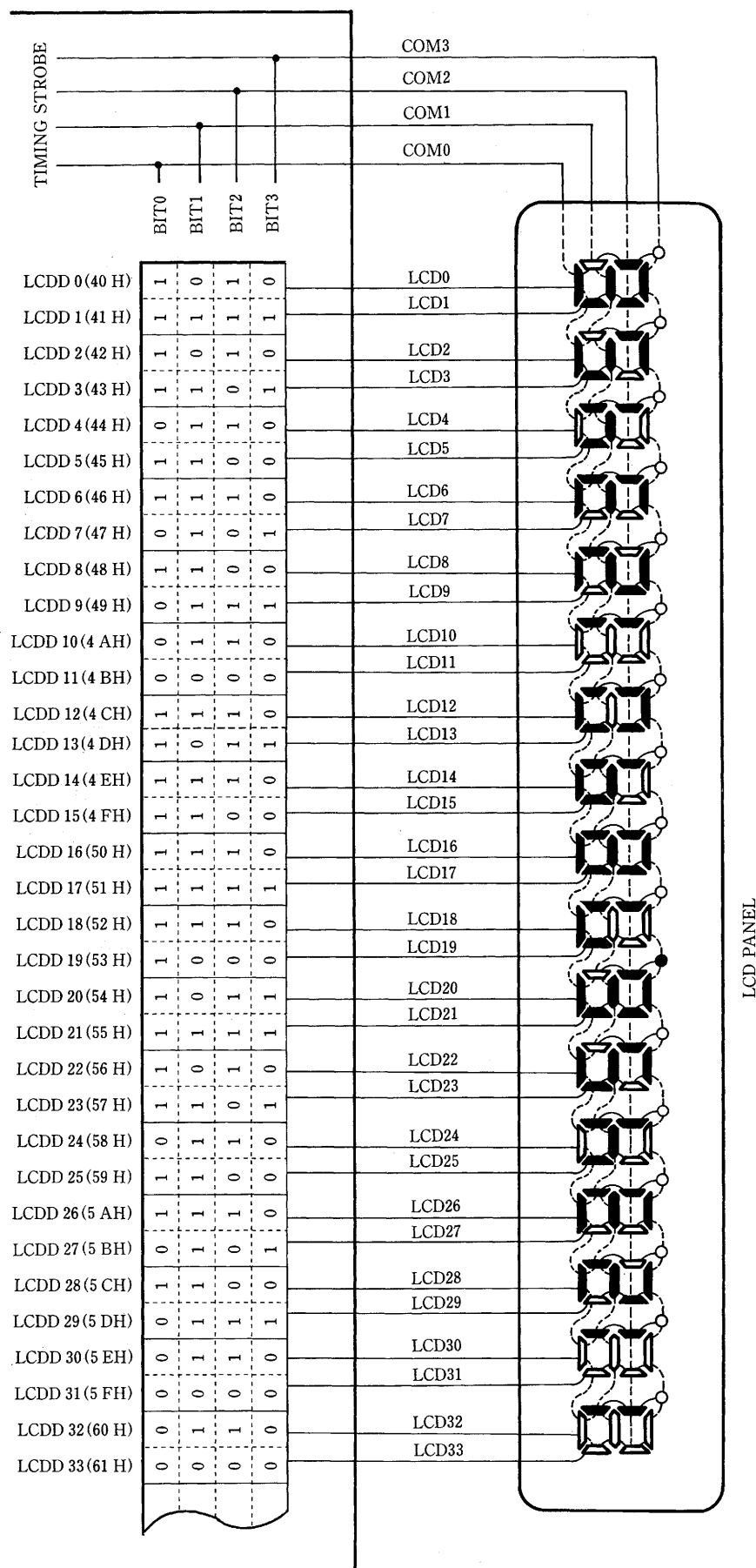
× : 2 時分割表示のため、常に任意データをストア可能です。

図 11-6 3 時分割 LCD パネルの結線例



LCD PANEL X: LCD パネルに対応セグメントがないため任意データをストア可能です。
X: 3 時分割表示のため常に任意データをストア可能です。

図 11-7 4 時分割 LCD パネルの結線例



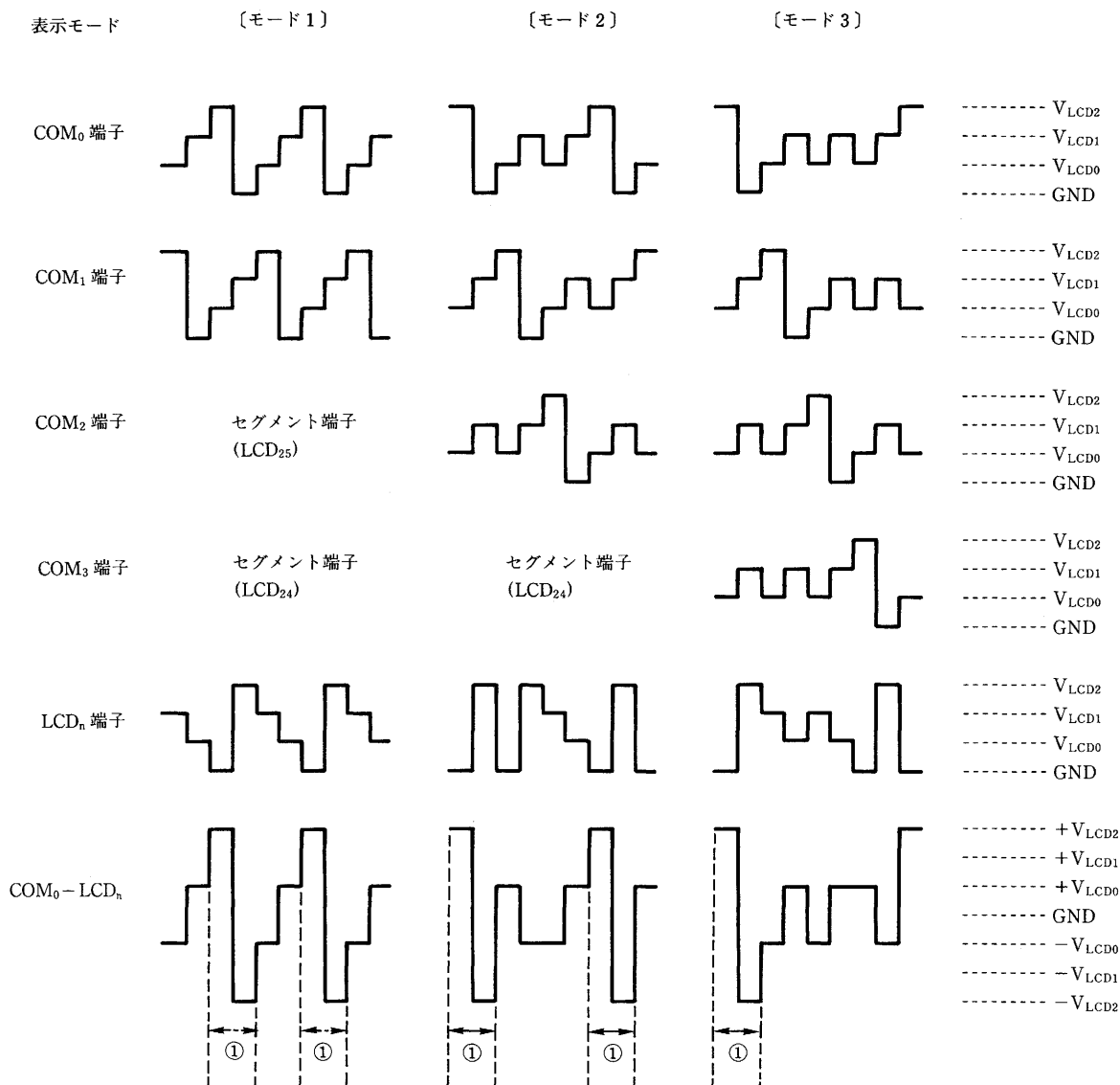
11.5 セグメント信号とコモン信号

LCD パネルの前面電極にセグメント端子 (LCD₀-LCD₃₅), 背面電極にコモン端子 (COM₀-COM₃) を接続するとセグメント信号とコモン信号の電位差が一定電圧以上になると点灯します。

LCD パネルは, セグメント信号とコモン信号との間に DC 電圧を印加し続けていると劣化するため, AC 電圧によって駆動されます。

図 11-8 から図 11-10 に各表示モード時のセグメント信号波形とコモン信号波形を示します。

図 11-8 各表示モード時のセグメント信号とコモン信号の波形 (LCDEN=1 のとき)



①のタイミングで LCD 選択電圧 (点灯) 状態となります。

図 11-9 LCDEN=0 (LCD 表示オフ) のときのセグメント信号とコモン信号の波形

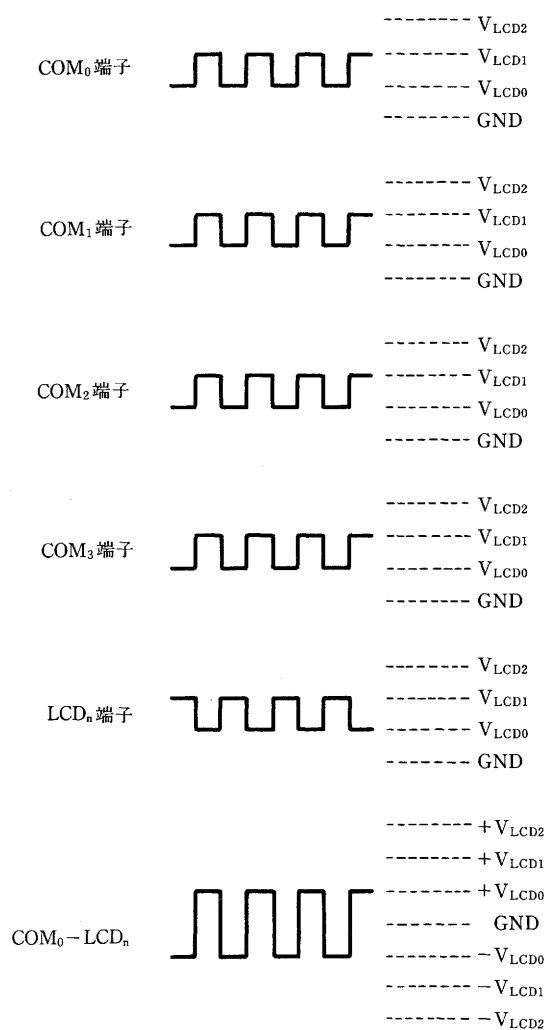
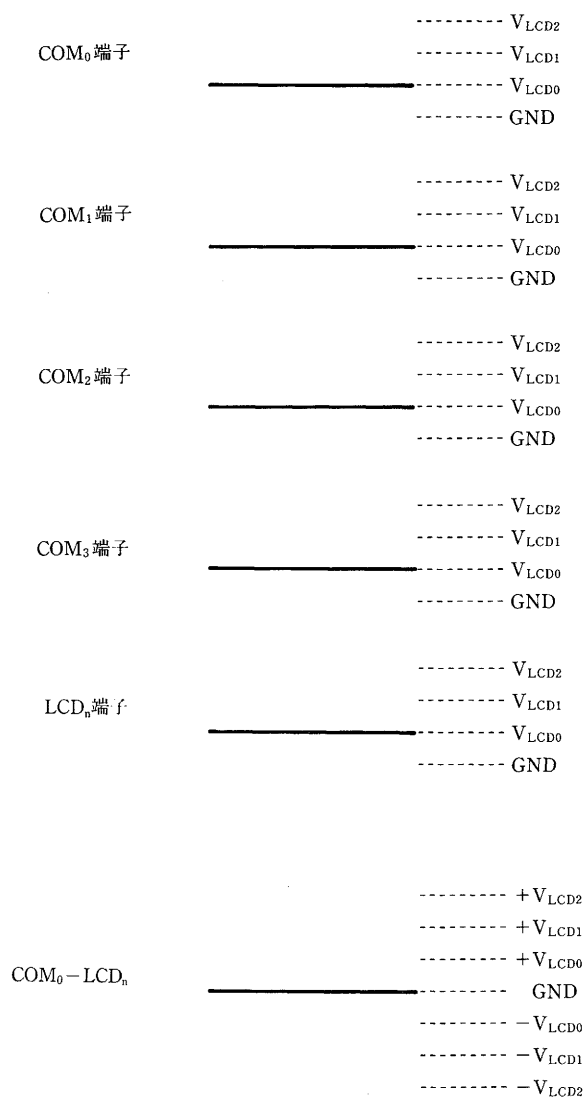


図 11 - 10 LCDMD0=0, LCDMD1=0 (昇圧回路停止) のときのセグメント信号とコモン信号の波形



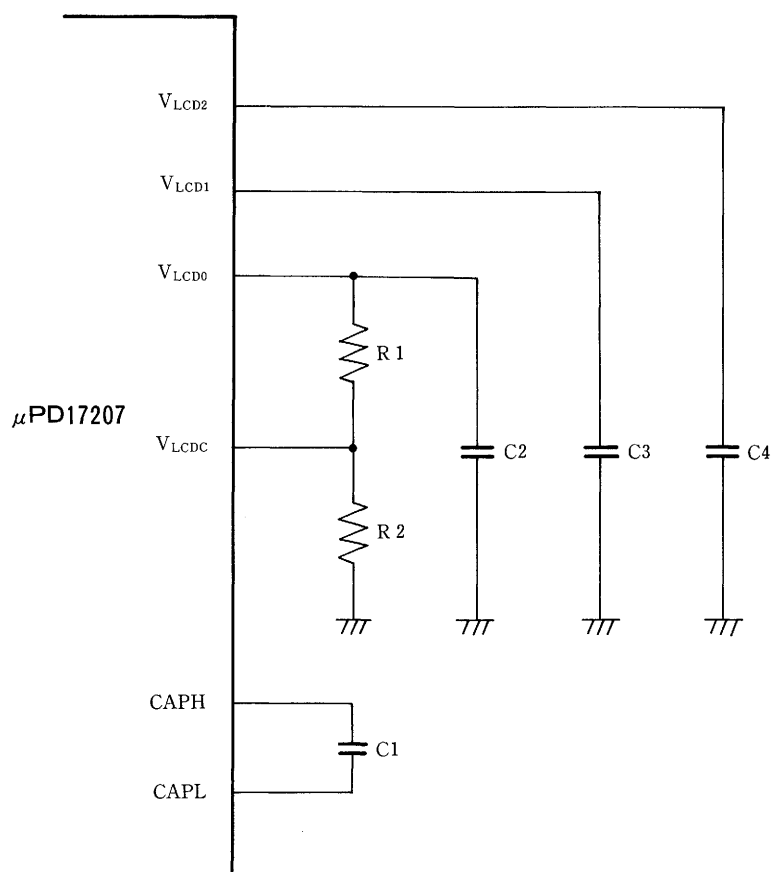
11.6 LCD ドライバ用定電圧昇圧回路

μPD17207 は電源電圧が変動しても LCD 表示がちらつかないように LCD ドライバ用定電圧昇圧回路を内蔵しています。

セグメント信号とコモン信号の出力電圧 (V_{LCD2} , V_{LCD1} , V_{LCD0}) は基準電圧発生回路の出力電圧 (V_{LCD0}) を基準として、2 倍 (V_{LCD1}) と 3 倍 (V_{LCD2}) の電圧を出力します。この基準となる電圧 V_{LCD0} は、LCD ドライバ用基準電圧調整端子 V_{LDC} に付ける抵抗により調整することができます。

LCD ドライバ用基準電圧調整回路の例を図 11-11 に示します。また、動作原理図を図 11-12 に示します。

図 11-11 LCD ドライバ用基準電圧調整回路例



$$R1 + R2 = 2 \text{ M}\Omega$$

$$C1 = C2 = C3 = C4 = 0.47 \text{ }\mu\text{F}$$

V_{LCD0} は、 $R1$ と $R2$ の抵抗の分圧比で調整できます。

$V_{LDC} = 0.6 \text{ V}$ とすると

$$V_{LCD0} = \frac{R1 + R2}{R2} \times 0.6 \text{ (V)}$$

$$V_{LCD1} = 2 \times V_{LCD0} \text{ (V)}$$

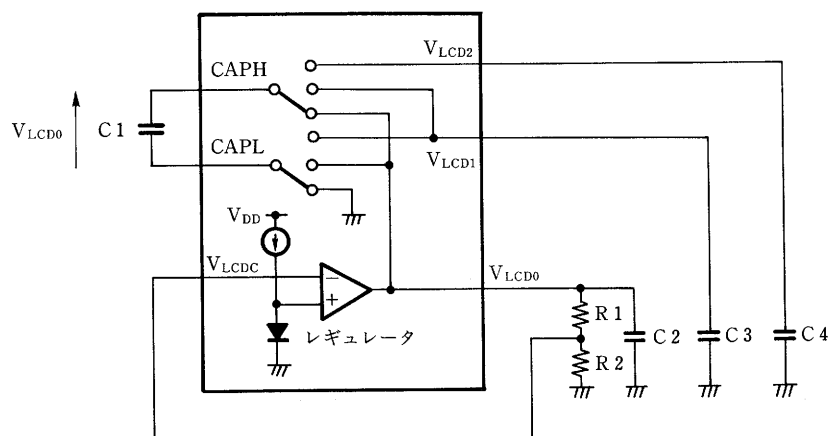
$$V_{LCD2} = 3 \times V_{LCD0} \text{ (V)}$$

注意 電源立ち上げ時などでは、昇圧用コンデンサおよびドライバ用コンデンサの電圧が不定のため、電圧が安定するまで LCD 表示が点灯することがあります。したがって、電源立ち上げ直後は全点灯にすることをお勧めします。

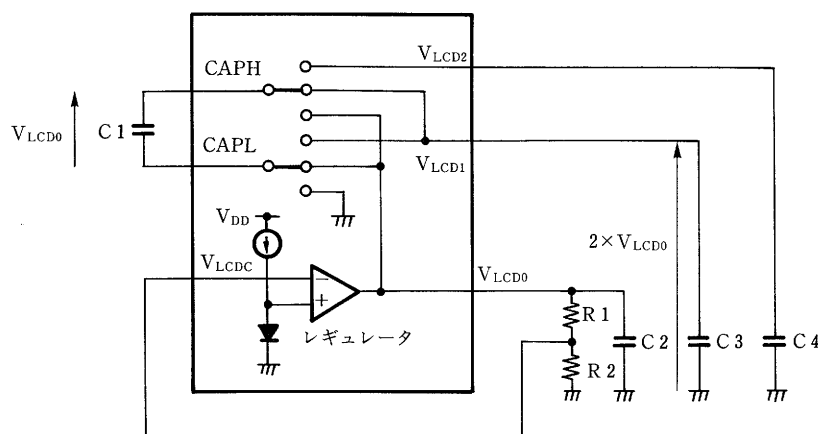
図 11-12 LCD ドライバ用昇圧回路動作原理



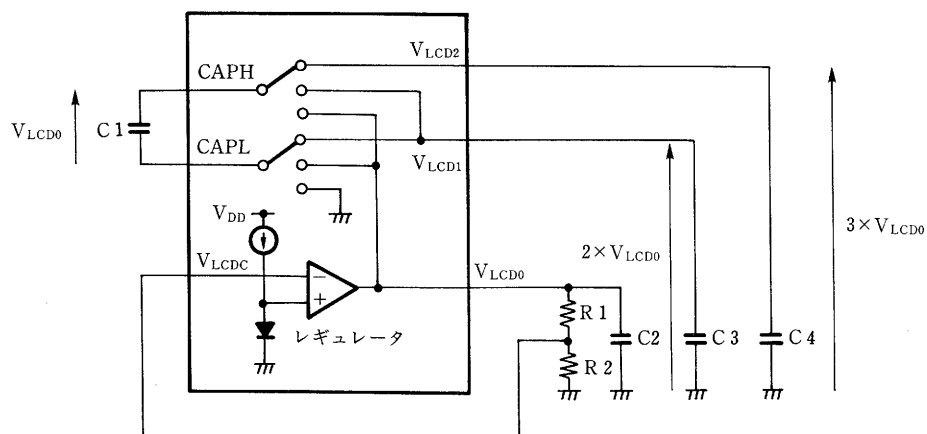
- (1) C1 を V_{LCD0} で充電する (V_{LCD0})。



- (2) C3 を V_{LCD0} と C1 の電圧で充電する ($V_{LCD0} + V_{LCD0} = 2 \times V_{LCD0}$)。



- (3) C4 を C3 の電圧と C1 の電圧で充電する ($2 \times V_{LCD0} + V_{LCD0} = 3 \times V_{LCD0}$)。



(1)~(3)を繰り返して、昇圧を行います。()内は最終的に到達する理論値です。
一度に()内の電圧まで昇圧されるわけではありません。

12. 割り込み機能

割り込みは、周辺ハードウェア（INT 端子、8ビット・タイマ、時計用タイマ、シリアル・インタフェース）から割り込み要求が発生したとき、現在実行しているプログラムを一時中断して、あらかじめ決められた番地（ベクタ・アドレスと呼ぶ）へプログラムの流れを移します。

12.1 割り込み要因

μPD17207 では割り込み要因は、表 12-1 のように 4 つあります。

割り込みが受け付けられると、プログラムの流れは自動的に決められた番地に変わります。このアドレスを、ベクタ・アドレスと呼びます。

表 12-1 ベクタ・アドレス

優先順位	割 り 込 み 要 因	ベクタ・アドレス
1	8ビット・タイマ (内部)	0004H
2	INT 端子入力の立ち上がりエッジ (外部)	0003H
3	時計用タイマ (内部)	0002H
4	シリアル・インタフェース (内部)	0001H

複数の割り込み要因が同時に発行された場合、優先度の高い割り込み要求から順に受け付けます。

割り込みの受け付けの許可/禁止は、EI 命令および DI 命令により行います。割り込みを受け付ける基本条件は、EI 命令によって割り込み許可状態になっていることです。DI 命令実行中または割り込み受け付け中は、割り込み禁止状態になります。

割り込み終了後に再度割り込み受け付けを許可するには、RETI 命令の前に EI 命令を実行する必要があります。

なお、EI 命令によって割り込みの受け付けが許可されるのは、次の命令の実行が終了したあとになっているので、EI 命令と RETI 命令の間に割り込みが受け付けられることはありません。

12.2 割り込み制御回路の各種ハードウェア

次に、割り込み制御回路の各フラグについて説明します。

(1) 割り込み要求フラグ、割り込み許可フラグ

割り込み要求フラグ (IRQ×××) は、割り込み要求発生でセット(1)され、割り込み処理が実行されると自動的にクリア(0)されます。

割り込み許可フラグ (IP×××) は、各割り込み要求フラグに対応して個別に備わっており、内容が“1”のとき割り込みを許可し、“0”のとき禁止します。

(2) EI/DI 命令

受け付けた割り込みを実行するかどうかは、EI/DI 命令によって指定します。

EI 命令を実行すると、割り込みを受け付け可能とする INTE (インタラプト・イネーブル・フラグ) をセット(1)します。INTE フラグは、レジスタ・ファイル上には登録されていません。このため、命令等により、フラグの状態を確認することはできません。

DI 命令は INTE フラグを “0” にクリアして、すべての割り込みを禁止します。

また、リセット時にも INTE フラグはクリア(0)され、すべての割り込みは禁止状態になります。

表 12-2 割り込み要求フラグと割り込み許可フラグ

割り込み 要求フラグ	割り込み要求フラグのセット信号	割り込み 許可フラグ
IRQ	INT 端子入力信号の立ち上がりエッジ検出によりセット。	IP
IRQTM	8 ビット・タイマの一致信号によりセット。	IPTM
IRQWTM	時計用タイマからの割り込み要求信号によりセット。割り込み要求信号の発生間隔は、WTMMD フラグ (RF : 03H, ビット 2) により選択	IPWTM
IRQSIO	シリアル・インタフェースからのシリアル・データ転送動作終了信号によりセット	IPSIO

12.2.1 INT

INT 端子の状態を読むフラグです。INT 端子にハイ・レベルが入力時は “1”，ロウ・レベルが入力されているときは “0” になります。

図 12-1 INT フラグ

RF : 0 FH 番地	ビット 3	ビット 2	ビット 1	ビット 0
	0	0	0	I N T
リード/ライト	R			
リセット時の初期値	0	0	0	—

リード = R
— : 不定

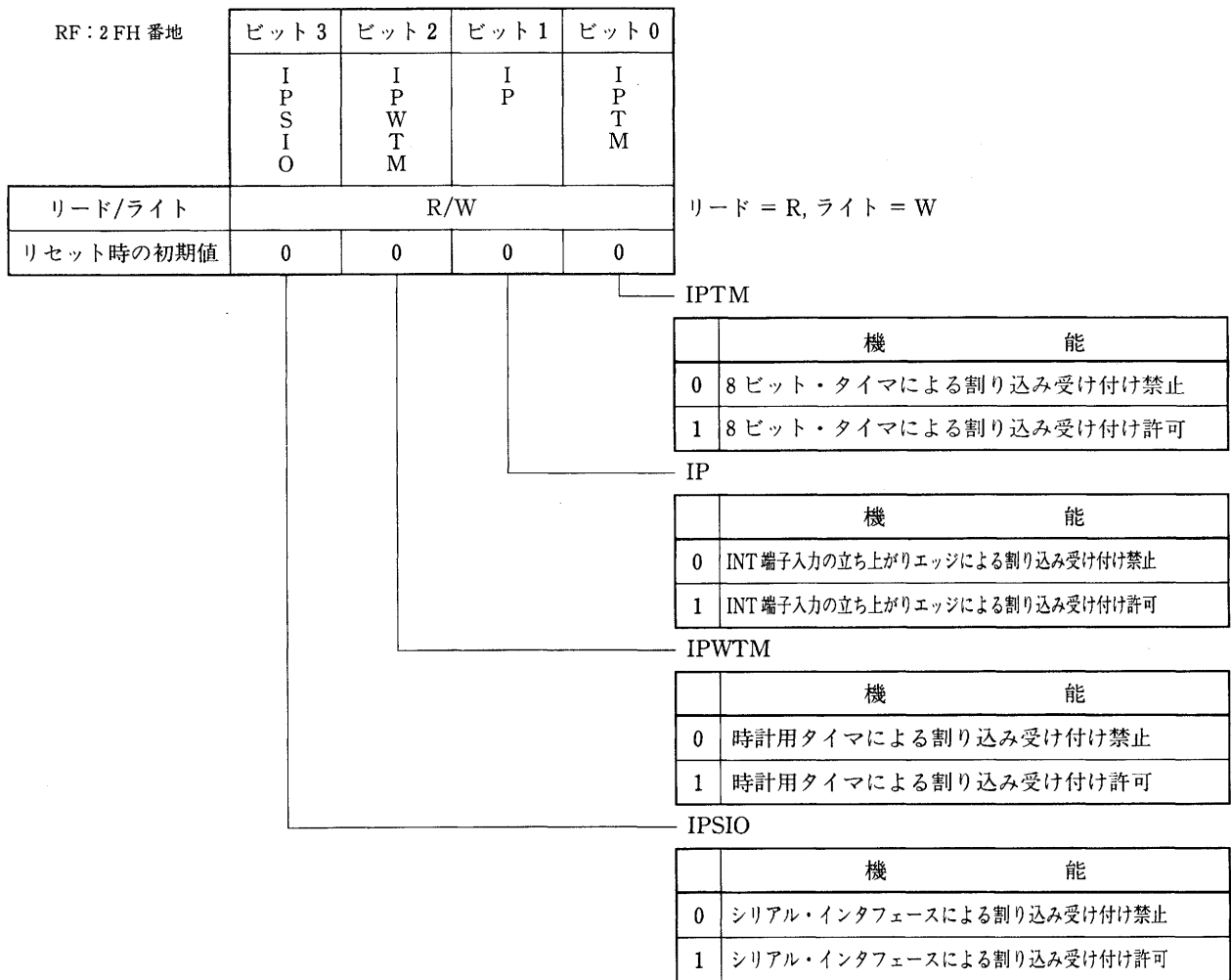
INT

	機 能
0	INT 端子がロウ・レベル
1	INT 端子がハイ・レベル

12.2.2 割り込み許可フラグ

各割り込み要因ごとの割り込みを許可するフラグです。“1”にすると割り込みが可能になります。“0”にすると割り込みは、禁止されます。

図 12-2 割り込み許可フラグ



12.2.3 割り込み要求フラグ

割り込みの要求状態を示す割り込み要求フラグです。

割り込み要求が発生すると“1”にセットされます。そして、割り込みが受け付けられる（割り込みがかかる）と、割り込み要求フラグは“0”にリセットされます。

割り込み要求フラグは、プログラムで読み書きができます。したがって、“1”を書き込むとソフトウェアによる割り込みを発生させることができ、“0”を書き込むことでその割り込みの保留状態を解除することができます。

図 12-3 割り込み要求フラグ (1/4)

RF: 3BH 番地	ビット 3	ビット 2	ビット 1	ビット 0	
	IRQ SIO	0	0	0	
リード/ライト	R/W	R	R	R	リード=R, ライト=W
リセット時の初期値	0	0	0	0	

IRQSIO	
	機 能
0	割り込み要求なし
1	シリアル・インタフェースによる割り込み要求発生

図 12-3 割り込み要求フラグ (2/4)

RF: 3CH 番地	ビット 3	ビット 2	ビット 1	ビット 0	
	0	IRQ WTM	0	0	
リード/ライト	R	R/W	R	R	リード=R, ライト=W
リセット時の初期値	0	0	0	0	

IRQWTM	
	機 能
0	割り込み要求なし
1	時計用タイマによる割り込み要求発生

図 12-3 割り込み要求フラグ (3/4)

RF: 3DH 番地	ビット 3	ビット 2	ビット 1	ビット 0	
	0	0	I R Q	0	
リード/ライト	R	R	R/W	R	リード=R, ライト=W
リセット時の初期値	0	0	0	0	

└──────────────────┘ IRQ

	機 能
0	割り込み要求なし
1	INT 端子入力の立ち上がりエッジによる割り込み要求発生

図 12-3 割り込み要求フラグ (4/4)

RF: 3EH 番地	ビット 3	ビット 2	ビット 1	ビット 0	
	0	0	0	I R Q T M	
リード/ライト	R	R	R	R/W	リード=R, ライト=W
リセット時の初期値	0	0	0	1 ^注	

└──────────────────┘ IRQTM

	機 能
0	割り込み要求なし
1	8 ビット・タイマによる割り込み要求発生

注 STOP モード解除後も 1H となります。

12.3 割り込みシーケンス

IP××フラグが“1”の場合、IRQ××フラグが“1”にセットされると IRQ××フラグがセットされた時点に実行していた命令の命令サイクル終了後に割り込み処理を開始します。MOVT 命令は2命令サイクルで動作するため、この命令実行中の割り込みは第2命令サイクル終了後に処理を開始します。

IP××フラグが“0”の場合は、IRQ××フラグがセットされても IP××フラグがセットされるまで割り込み処理は行われません。

複数の割り込みが同時に許可される状態になったときは、優先度の高い順に割り込み処理が行われて、優先度の低い割り込み処理は優先度の高い割り込みが終了されるまで保留されます。

12.3.1 割り込み受け付け時の動作

割り込みが受け付けられると、CPU は次の順に処理を行います。

- (1) スタック・ポインタ (SP) の値を－1する。
- (2) SP で指定されるアドレス・スタック・レジスタ (ASR) に PC の値を退避する。
割り込み受け付け時の命令が分岐命令 (BR) およびサブルーチン・コール命令 (CALL) であるときは、分岐またはコールするプログラム・メモリのアドレスになります。
- (3) 割り込みスタック・レジスタ (INTSK, 3 レベル) へバンク・レジスタ (BANK) およびプログラム・ステータス・ワード (PSWORD) の各フラグ (BCD, CMP, CY, Z, IXE) の値を退避する。
- (4) ベクタ・アドレスを PC へ転送する。

以上の処理を行うために、1命令サイクルの時間が費やされます。

12.3.2 割り込み処理ルーチンからの復帰

割り込み処理ルーチンから復帰するときは RETI 命令を実行します。

RETI 命令を実行すると、次の処理が命令サイクル内に行われます。

- (1) プログラム・ステータス・ワード (PSWORD) の各フラグ (BCD, CMP, CY, Z, IXE) へ割り込みスタック・レジスタ (INTSK) の値を復帰する。
- (2) スタック・ポインタ (SP) で指定されるアドレス・スタック・レジスタ (ASR) の値を PC へ復帰する。
- (3) SP の値を＋1する。

割り込み終了後に再度割り込み受け付けを許可する場合は、RETI 命令を実行する前に EI 命令を実行する必要があります。

なお、EI 命令によって割り込みの受け付けが許可されるのは、次の命令の実行が終了したあとになっているので、EI 命令と RETI 命令の間に割り込みが受け付けられることはありません。

13. スタンバイ機能

μPD17207 には、スタンバイ機能として HALT モードと STOP モードがあります。スタンバイ機能を使用することにより消費電流を低減することができます。

HALT モードは、メイン・クロックを停止させない状態でプログラムを実行しない(CPU の動作を停止する)モードです。HALT 解除条件が成立するまでその状態を保持します。

STOP モードは、メイン・クロックを停止してプログラムの実行を停止します。したがって、HALT モードよりもさらに消費電力を低減できます。

HALT 命令を実行することにより HALT モードになり、STOP 命令を実行することにより STOP モードになります。

13.1 HALT モード

HALT モードは、メイン・クロックを発振させた状態でプログラムの実行を一時停止させ、消費電流を抑えるときに使用します。

HALT モードの設定は HALT 命令を使用します。

HALT モードの解除条件は、HALT 命令のオペランドにより表 13-1 のように指定できます。

HALT モード解除後の動作は表 13-2 のようになります。

注意 HALT 8H および HALT 0AH 命令の直前に、割り込み許可フラグ (IP×××) がセットされている割り込み要求フラグ (IRQ×××) のクリア命令を行わないでください。行くと HALT モードに入らないことがあります。

表 13-1 HALT モードの解除条件

オペランドの値	解 除 条 件
0010B (02H)	① 8ビット・タイマの割り込み要求 (IRQTM) が発生したとき
1000B (08H)	① 割り込み許可フラグ (IPTM, IPWTM, IPSIO, IP) がセットされている割り込みに対し、割り込み要求 (IRQTM, IRQWTM, IRQSIO, IRQ) が発生したとき ② P0A ₀ -P0A ₃ のいずれかの端子がロウ・レベルになったとき
1010B (0AH)	① 8ビット・タイマの割り込み要求 (IRQTM) が発生したとき ② 割り込み許可フラグ (IPWTM, IPSIO, IP) がセットされている割り込みに対し、割り込み要求 (IRQWTM, IRQSIO, IRQ) が発生したとき
上記以外の値	設定禁止

表 13-2 HALT モード解除後の動作

(a) HALT 02H

スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
割り込み要求 (IRQTM) による解除条件の成立	DI	禁 止	HALT 命令の次の命令から実行する
		許 可	
	EI	禁 止	割り込みのベクタ・アドレスに分岐する
		許 可	

(b) HALT 08H

スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
ポート 0A のロウ・レベル入力	任 意	任 意	HALT 命令の次の命令から実行する
割り込み要求 (IRQTM, IRQWTM, IRQSIO, IRQ) による解除条件の成立	DI	禁 止	スタンバイ・モードは解除されない
		許 可	HALT 命令の次の命令から実行する
	EI	禁 止	スタンバイ・モードは解除されない
		許 可	割り込みのベクタ・アドレスに分岐する

(c) HALT 0AH

スタンバイ・モード解除要因	割り込み許可状態	割り込み許可フラグ	スタンバイ・モード解除後の動作
割り込み要求 (IRQTM) による解除条件の成立	DI	禁 止	HALT 命令の次の命令から実行する
		許 可	
	EI	禁 止	割り込みのベクタ・アドレスに分岐する
		許 可	
割り込み要求 (IRQWTM, IRQSIO, IRQ) による解除条件の成立	DI	禁 止	スタンバイ・モードは解除されない
		許 可	HALT 命令の次の命令から実行する
	EI	禁 止	スタンバイ・モードは解除されない
		許 可	割り込みのベクタ・アドレスに分岐する

13.2 HALT 命令の実行条件

HALT 命令は誤動作を防止するため、特定の条件でのみ実行できます。この条件を表 13-3 に示します。

表 13-3 の条件を満足しないときに HALT 命令は NOP 命令として扱われます。

表 13-3 HALT 命令の実行条件

オペランドの値	実 行 条 件
0010B (02H)	① 8ビット・タイマの割り込み要求フラグ (IRQTM) がリセットされていること
1000B (08H)	① 割り込み許可フラグ (IPTM, IPWTM, IPSIO, IP) がセットされている割り込みに対する割り込み要求フラグ (IRQTM, IRQWTM, IRQSIO, IRQ) がリセットされていること ② P0A ₀ -P0A ₃ のすべての端子にハイ・レベルが入力あるいは出力されていること ③ P0B ₀ -P0B ₃ のすべての端子が出力モードで出力ラッチが“0”になっていること
1010B (0AH)	① 8ビット・タイマの割り込み要求フラグ (IRQTM) がリセットされていること ② 割り込み許可フラグ (IPWTM, IPSIO, IP) がセットされている割り込みに対する割り込み要求フラグ (IRQWTM, IRQSIO, IRQ) がリセットされていること
上記以外の値	設定禁止

13.3 STOP モード

STOP モードは、メイン・クロックの発振を停止させた状態でプログラムの実行を一時停止させ、消費電流をきわめて低くするときに使用します。

STOP モードの設定は STOP 命令を使用します。

STOP 命令はサブクロックのみのシステムでは無効です。システム・クロックとしてサブクロックを選択しているとき、すなわち $\text{SYSCK} = 0$ のとき、STOP 命令は NOP 命令として処理されます。

STOP モードの解除条件は、STOP 命令のオペランドにより表 13-4 のように指定できます。

STOP モード解除後の動作は次のようになります。

- ① IRQTM のクリア
- ② 時計用タイマとウォッチドッグ・タイマのスタート（リセットされません）
- ③ 8ビット・タイマのリセット、スタート
- ④ 8ビット・カウンタの値がモジュロ・レジスタの値と一致したとき (IRQTM のセット), STOP 8H の次の命令または割り込みベクタ・アドレスの次の命令を実行します。

注意 サブクロック使用時、時計用タイマとウォッチドッグ・タイマは STOP モード中でも停止しません。

STOP モード解除後、最初の命令を実行するまでの発振安定待ち時間は、8ビット・タイマのモジュロ・レジスタに設定した値で決まります。モジュロ・レジスタの値を TMM とした場合のこの時間は、次のとおりです。

$$(TMM+1) \times 1024/f_X \text{ [秒]}$$

f_X : メイン・クロックの周波数

例 メイン・クロックとして 4 MHz を使用した場合の、STOP 解除から次の命令を実行するまでの時間

$$(TMM+1) \times 256 \text{ [μsec]}$$

注意 STOP 8H 命令の直前に、割り込み許可フラグ(IP×××)がセットされている割り込み要求フラグ(IRQ×××)のクリア命令を行わないでください。行くと STOP モードに入らないことがあります。

表 13-4 STOP モードの解除条件

オペランドの値	解 除 条 件
1000B (08H)	① 割り込み許可フラグ (IPWTM, IPSIO, IP) がセットされている割り込みに対し、割り込み要求 (IRQWTM, IRQSIO, IRQ) が発生したとき ② P0A ₀ -P0A ₃ のいずれかの端子がロウ・レベルになったとき
上記以外の値	設定禁止

13.4 STOP 命令の実行条件

STOP 命令は誤動作を防止するため、特定の条件でのみ実行できます。この条件を表 13-5 に示します。

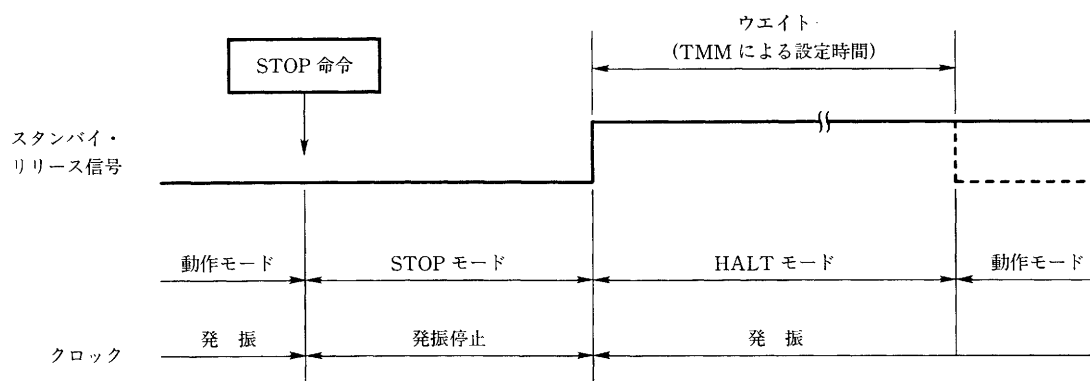
表 13-5 の条件を満足しないとき STOP 命令は NOP 命令として扱われます。

表 13-5 STOP 命令の実行条件

オペランドの値	実行条件
1000B (08H)	① 割り込み許可フラグ (IPWTM, IPSIO, IP) がセットされている割り込みに対して、割り込み要求フラグがリセットされていること。 ② P0A ₀ -P0A ₃ のすべての端子にハイ・レベルが入力あるいは出力されていること。 ③ P0B ₀ -P0B ₃ のすべての端子が出力モードで出力ラッチが“0”になっていること。
上記以外の値	設定禁止

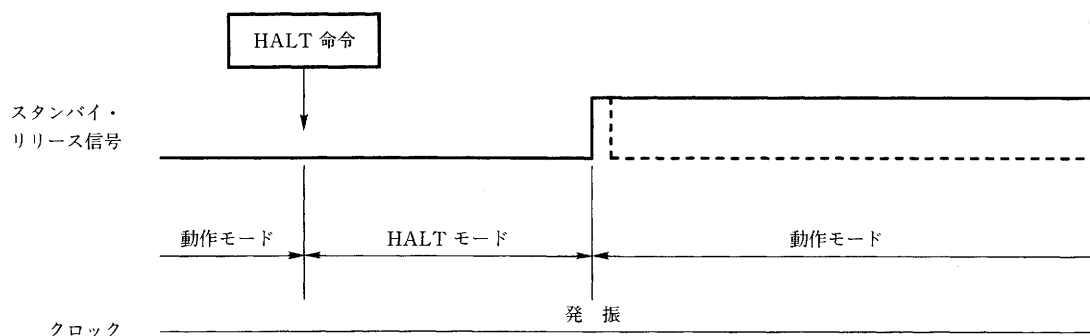
図 13-1 スタンバイ・モードの解除動作

(a) STOP モードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) HALT モードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

14. リセット

14.1 リセット信号入力によるリセット

$\overline{\text{RESET}}$ 端子に $50\ \mu\text{s}$ 以上のロウ・レベル信号を入力するとリセットがかかります。

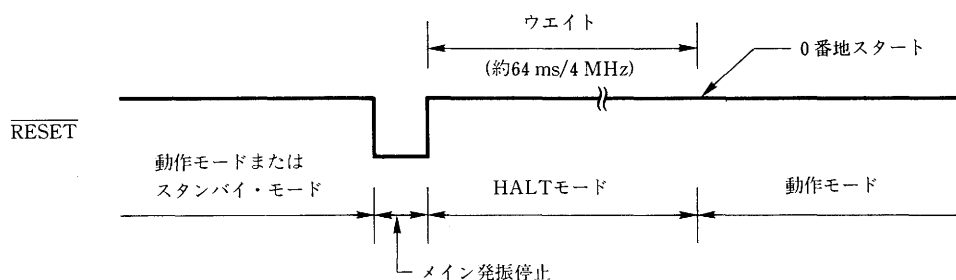
電源投入時には内部回路の動作が不定となるため、少なくとも 1 回はリセットをかけてください。

リセットがかかると次の回路が初期化されます。

- ① プログラム・カウンタが 0 にリセットされます。
- ② レジスタ・ファイル内のフラグが初期化されます(初期値は図 15-1 レジスタ・ファイルの一覧を参照してください)。
- ③ データ・バッファ (DBF) に初期値 0320H が書き込まれます。
- ④ 周辺ハードウェアが初期化されます。
- ⑤ メイン・クロック (X) の発振が停止します。

$\overline{\text{RESET}}$ 端子をロウ・レベルからハイ・レベルに立ち上げると、メイン・クロックの発振を開始し約 64 ms 後 (メイン・クロックが 4 MHz のとき)、0 番地からプログラムの実行を開始します。

図 14-1 $\overline{\text{RESET}}$ 入力によるリセット動作



14.2 ウォッチドッグ・タイマによるリセット ($\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続)

プログラム実行中にウォッチドッグ・タイマが働くと $\overline{\text{WDOUT}}$ 端子にロウ・レベルを出力し、プログラム・カウンタを 0 にリセットします。

すなわち、一定時間ウォッチドッグ・タイマのリセットが行われないような状態になった場合、プログラムを 0 番地からリスタートさせることができます。

プログラム作成の際は 340 ms ($f_x = 4\ \text{MHz}$ のとき) 以内の間隔でウォッチドッグ・タイマをリセットしてください (WDTRES フラグをセットする)。

14.3 スタック・ポインタによるリセット ($\overline{\text{RESET}}$ 端子と $\overline{\text{WDOUT}}$ 端子を接続)

プログラム実行中にスタック・ポインタが 6H あるいは 7H になると $\overline{\text{WDOUT}}$ 端子にロウ・レベルを出力し、プログラム・カウンタを 0 にリセットします。

すなわち、割り込みやサブルーチン・コールなどのネスティングが 5 レベル以上になった場合 (スタック・オーバフロー) や、コール命令とリターン (RET) 命令の対応がうまくとれずスタック・レベルが 0 であるにもかかわらずリターン命令を実行した場合 (スタック・アンダフロー) にプログラムを 0 番地からリスタートさせることができます。

表 14-1 各ハードウェアのリセット後の状態

ハードウェア		スタンバイ・モード中の RESET 入力	動作中の RESET 入力
プログラム・カウンタ (PC)		0000H	0000H
ポート	入力/出力	入力	入力
	出力ラッチ	0	0
データ・メモリ (RAM)	汎用データ・メモリ (DBF, ポート・レジスタを除く)	以前の状態を保持	不 定
	DBF	0320H	0320H
	システム・レジスタ (SYSREG)	0	0
	WR	以前の状態を保持	不 定
コントロール・レジスタ		図 15-1 レジスタ・ファイルの一覧参照	
8ビット・タイマ	カウンタ (TMC)	00H	00H
	モジュロ・レジスタ (TMM)	FFH	FFH
リモコン用キャリア発生回路	NRZ ハイ・レベル期間設定用 モジュロ・レジスタ (NRZHTMM)	以前の状態を保持	不 定
	NRZ ロウ・レベル期間設定用 モジュロ・レジスタ (NRZLTMM)		
時計用タイマ/ウォッチドッグ・タイマのカウンタ		00H	00H
シリアル・インタフェースのシフト・レジスタ (SIOSFR)		以前の状態を保持	不 定
A/D コンバータの内部基準電圧設定レジスタ (ADCR)		以前の状態を保持	不 定

15. アセンブラ予約語

15.1 マスク・オプション疑似命令

μPD17207 のプログラムを作成する場合、アセンブラのソース・プログラム中にマスク・オプション疑似命令を使用してマスク・オプションを指定する必要があります。

マスク・オプションの指定が必要な項目は次のとおりです。

- $\overline{\text{RESET}}$ 端子のプルアップ抵抗
- メイン・クロックおよびサブクロックの接続（システム・クロックの選択）

15.1.1 OPTION, ENDOP 疑似命令

OPTION 疑似命令以降、ENDOP 疑似命令までをマスク・オプション定義ブロックと呼びます。

マスク・オプション定義ブロックの記述形式を次に示します。

記述形式：

<u>シンボル欄</u>	<u>ニモニック欄</u>	<u>オペランド欄</u>	<u>コメント欄</u>
[レーベル:]	OPTION ⋮ ENDOP		[; コメント]

15.1.2 マスク・オプション定義疑似命令

マスク・オプション定義ブロック内で使用可能な疑似命令を表 15-1 に示します。

表 15-1 マスク・オプション定義疑似命令一覧表

項 目	マスクオプション 定義疑似命令	オペランド の数	第 1 オペランド	第 2 オペランド
RESET 端子の プルアップ抵抗	OPTRES	1	RESET のマスク・オプション	
			RESPLUP (プルアップ抵抗内蔵) OPEN (プルアップ抵抗なし)	
システム・クロック	OPTCK	2	メイン・クロック	サブクロック
			USEX (メイン・クロックをシステム・ クロックとして使用) NOX (メイン・クロックなし)	USEXT (サブクロックをシステム・クロッ クとして使用) NOXT (サブクロックなし)

備考 メイン・クロックとサブクロックの両方をシステム・クロックとして“使用する”にした場合、リセット時にはメイン・クロックが選択されます。そのあとは、プログラム中の命令を用いてサブクロックを選択することもできます。

マスク・オプション定義の一例を次に示します。

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル:]	OPTION OPTRES OPTCK ENDOP	RESPLUP USEX,USEXT	[;コメント] ;プルアップする ;メイン・クロック使用, サブクロック使用

15.2 予約シンボル

μPD17207 のデバイス・ファイルで定義されているシンボルを表 15-2 に示します。

定義されているシンボルは、次のレジスタ・ファイル名、ポート名、周辺ハードウェア名などです。

15.2.1 レジスタ・ファイル

レジスタ・ファイルに割り当てられたシンボル名を定義しています。これらのレジスタは、PEEK, POKE 命令によって WR (ウインドウ・レジスタ) を介してアクセスします。図 15-1 にレジスタ・ファイルの一覧を示します。

15.2.2 データ・メモリ上のレジスタおよびポート

データ・メモリ・アドレスの 00H-7FH に割り当てられたレジスタおよび 70H 番地以後に実装されているポート名およびシステム・レジスタ名を定義しています。図 15-2 にデータ・メモリの構成を示します。

15.2.3 周辺ハードウェア

GET, PUT 命令によってアクセスする周辺ハードウェア名を定義しています。表 15-3 に周辺ハードウェアを示します。

表 15-2 予約シンボル一覧 (1/4)

シンボル名	属 性	値	R/W	説 明
DBF3	MEM	0.0CH	R/W	データ・バッファのビット15-ビット12
DBF2	MEM	0.0DH	R/W	データ・バッファのビット11-ビット8
DBF1	MEM	0.0EH	R/W	データ・バッファのビット7-ビット4
DBF0	MEM	0.0FH	R/W	データ・バッファのビット3-ビット0
AR3	MEM	0.74H	R	アドレス・レジスタのビット15-ビット12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11-ビット8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7-ビット4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3-ビット0
WR	MEM	0.78H	R/W	ウィンドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタのビット11-ビット8
MPH	MEM	0.7AH	R/W	メモリ・ポインタのビット7-ビット4
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタのビット7-ビット4
MPL	MEM	0.7BH	R/W	メモリ・ポインタのビット3-ビット0
IXL	MEM	0.7CH	R/W	インデクス・レジスタのビット3-ビット0
RPH	MEM	0.7DH	R/W	レジスタ・ポインタのビット7-ビット4
RPL	MEM	0.7EH	R/W	レジスタ・ポインタのビット3-ビット0
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCD 演算フラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・レジスタ・イネーブル・フラグ
LCDD0	MEM	0.40H	R/W	LCD セグメント 0
LCDD1	MEM	0.41H	R/W	LCD セグメント 1
LCDD2	MEM	0.42H	R/W	LCD セグメント 2
LCDD3	MEM	0.43H	R/W	LCD セグメント 3
LCDD4	MEM	0.44H	R/W	LCD セグメント 4
LCDD5	MEM	0.45H	R/W	LCD セグメント 5
LCDD6	MEM	0.46H	R/W	LCD セグメント 6
LCDD7	MEM	0.47H	R/W	LCD セグメント 7
LCDD8	MEM	0.48H	R/W	LCD セグメント 8
LCDD9	MEM	0.49H	R/W	LCD セグメント 9
LCDD10	MEM	0.4AH	R/W	LCD セグメント 10
LCDD11	MEM	0.4BH	R/W	LCD セグメント 11
LCDD12	MEM	0.4CH	R/W	LCD セグメント 12
LCDD13	MEM	0.4DH	R/W	LCD セグメント 13
LCDD14	MEM	0.4EH	R/W	LCD セグメント 14
LCDD15	MEM	0.4FH	R/W	LCD セグメント 15

表 15 - 2 予約シンボル一覧 (2/4)

シンボル名	属 性	値	R/W	説 明
LCDD16	MEM	0.50H	R/W	LCD セグメント 16
LCDD17	MEM	0.51H	R/W	LCD セグメント 17
LCDD18	MEM	0.52H	R/W	LCD セグメント 18
LCDD19	MEM	0.53H	R/W	LCD セグメント 19
LCDD20	MEM	0.54H	R/W	LCD セグメント 20
LCDD21	MEM	0.55H	R/W	LCD セグメント 21
LCDD22	MEM	0.56H	R/W	LCD セグメント 22
LCDD23	MEM	0.57H	R/W	LCD セグメント 23
LCDD24	MEM	0.58H	R/W	LCD セグメント 24
LCDD25	MEM	0.59H	R/W	LCD セグメント 25
LCDD26	MEM	0.5AH	R/W	LCD セグメント 26
LCDD27	MEM	0.5BH	R/W	LCD セグメント 27
LCDD28	MEM	0.5CH	R/W	LCD セグメント 28
LCDD29	MEM	0.5DH	R/W	LCD セグメント 29
LCDD30	MEM	0.5EH	R/W	LCD セグメント 30
LCDD31	MEM	0.5FH	R/W	LCD セグメント 31
LCDD32	MEM	0.60H	R/W	LCD セグメント 32
LCDD33	MEM	0.61H	R/W	LCD セグメント 33
LCDD34	MEM	0.62H	R/W	LCD セグメント 34
LCDD35	MEM	0.63H	R/W	LCD セグメント 35
P0A0	FLG	0.70H.0	R/W	ポート 0A のビット 0
P0A1	FLG	0.70H.1	R/W	ポート 0A のビット 1
P0A2	FLG	0.70H.2	R/W	ポート 0A のビット 2
P0A3	FLG	0.70H.3	R/W	ポート 0A のビット 3
P0B0	FLG	0.71H.0	R/W	ポート 0B のビット 0
P0B1	FLG	0.71H.1	R/W	ポート 0B のビット 1
P0B2	FLG	0.71H.2	R/W	ポート 0B のビット 2
P0B3	FLG	0.71H.3	R/W	ポート 0B のビット 3
P0C0	FLG	0.72H.0	R/W	ポート 0C のビット 0
P0C1	FLG	0.72H.1	R/W	ポート 0C のビット 1
P0C2	FLG	0.72H.2	R/W	ポート 0C のビット 2
P0C3	FLG	0.72H.3	R/W	ポート 0C のビット 3
P0D0	FLG	0.73H.0	R/W	ポート 0D のビット 0
P0D1	FLG	0.73H.1	R/W	ポート 0D のビット 1
P0D2	FLG	0.73H.2	R/W	ポート 0D のビット 2
P0D3	FLG	0.73H.3	R/W	ポート 0D のビット 3
P1A0	FLG	1.70H.0	R/W	ポート 1A のビット 0
P1A1	FLG	1.70H.1	R/W	ポート 1A のビット 1
P1A2	FLG	1.70H.2	R/W	ポート 1A のビット 2
P1A3	FLG	1.70H.3	R/W	ポート 1A のビット 3

表 15-2 予約シンボル一覧 (3/4)

シンボル名	属 性	値	R/W	説 明
SP	MEM	0.81H	R/W	スタック・ポインタ
SYSCK	FLG	0.82H.1	R/W	システム・クロックの選択
XEN	FLG	0.82H.0	R/W	メイン・クロックの許可
WDTRES	FLG	0.83H.3	R/W	ウォッチドッグ・タイマのリセット
WTMMD	FLG	0.83H.2	R/W	時計用タイマ・モードの選択
WTMRES	FLG	0.83H.1	R/W	時計用タイマ・モードのリセット
INT	FLG	0.8FH.0	R	インタラプト端子の状態
NRZBF	FLG	0.91H.0	R/W	NRZ バッファ・データ
NRZ	FLG	0.92H.0	R/W	NRZ データ
ADCCMP	FLG	0.0A0H.0	R/W	コンパレータの結果
VREFEN	FLG	0.0A1H.3	R/W	A/D コンバータ許可フラグ
ADCEN	FLG	0.0A1H.2	R/W	A/D コンバータ許可フラグ
ADCCH1	FLG	0.0A1H.1	R/W	A/D コンバータ・チャネル選択フラグ
ADCCH0	FLG	0.0A1H.0	R/W	A/D コンバータ・チャネル選択フラグ
SIOTS	FLG	0.0A2H.3	R/W	シリアル・インタフェース・スタート・フラグ
SIOHIZ	FLG	0.0A2H.2	R/W	SO 端子の状態
SIOCK1	FLG	0.0A2H.1	R/W	シリアル・インタフェースのシリアル・クロック選択フラグ
SIOCK0	FLG	0.0A2H.0	R/W	シリアル・インタフェースのシリアル・クロック選択フラグ
NRZEN	FLG	0.0A3H.2	R/W	NRZ の許可フラグ
TMOE	FLG	0.0A3H.1	R/W	タイマ出力の許可フラグ
SIOEN	FLG	0.0A3H.0	R/W	SIO の許可フラグ
P0DBIO3	FLG	0.0A7H.3	R/W	P0D ポート, ビット 3 の入出力設定フラグ
P0DBIO2	FLG	0.0A7H.2	R/W	P0D ポート, ビット 2 の入出力設定フラグ
P0DBIO1	FLG	0.0A7H.1	R/W	P0D ポート, ビット 1 の入出力設定フラグ
P0DBIO0	FLG	0.0A7H.0	R/W	P0D ポート, ビット 0 の入出力設定フラグ
IPSIO	FLG	0.0AFH.3	R/W	INTSIO の割り込み許可フラグ
IPWTM	FLG	0.0AFH.2	R/W	時計用タイマの割り込み許可フラグ
IP	FLG	0.0AFH.1	R/W	INT の割り込み許可フラグ
IPTM	FLG	0.0AFH.0	R/W	8 ビット・タイマの割り込み許可フラグ
LCDEN	FLG	0.0B1H.3	R/W	LCD 表示の許可フラグ
LCDCK2	FLG	0.0B1H.2	R/W	LCD 表示クロック選択フラグ
LCDCK1	FLG	0.0B1H.1	R/W	LCD 表示クロック選択フラグ
LCDCK0	FLG	0.0B1H.0	R/W	LCD 表示クロック選択フラグ
LCDMD3	FLG	0.0B2H.3	R/W	LCD 表示モード・レジスタのビット 3
LCDMD2	FLG	0.0B2H.2	R/W	LCD 表示モード・レジスタのビット 2
LCDMD1	FLG	0.0B2H.1	R/W	LCD 表示モード・レジスタのビット 1
LCDMD0	FLG	0.0B2H.0	R/W	LCD 表示モード・レジスタのビット 0
TMEN	FLG	0.0B3H.3	R/W	タイマの許可フラグ
TMRES	FLG	0.0B3H.2	R/W	タイマのリセット・フラグ
TMCK1	FLG	0.0B3H.1	R/W	タイマ・クロック・ソースの選択

表 15-2 予約シンボル一覧 (4/4)

シンボル名	属 性	値	R/W	説 明
TMCK0	FLG	0.0B3H.0	R/W	タイマ・クロック・ソースの選択
PIAGIO	FLG	0.0B7H.3	R/W	ポート 1A の入力/出力設定フラグ
P0CGIO	FLG	0.0B7H.2	R/W	ポート 0C の入力/出力設定フラグ
P0BGIO	FLG	0.0B7H.1	R/W	ポート 0B の入力/出力設定フラグ
P0AGIO	FLG	0.0B7H.0	R/W	ポート 0A の入力/出力設定フラグ
IRQSIO	FLG	0.0BBH.3	R/W	SIO の割り込み要求フラグ
IRQWTM	FLG	0.0BCH.2	R/W	時計用タイマの割り込み要求フラグ
IRQ	FLG	0.0BDH.1	R/W	INT の割り込み要求フラグ
IRQTM	FLG	0.0BEH.0	R/W	8 ビット・タイマの割り込み要求フラグ
SIOSFR	DAT	01H	R/W	シリアル・インタフェース・シフト・レジスタ
TMM	DAT	02H	W	8 ビット・タイマのモジュロ・レジスタ
TMC	DAT	02H	R	8 ビット・タイマのカウント・レジスタ
NRZLTMM	DAT	03H	R/W	NRZ ロウ・レベル期間設定用モジュロ・レジスタ
NRZHTMM	DAT	04H	R/W	NRZ ハイ・レベル期間設定用モジュロ・レジスタ
ADCR	DAT	05H	R/W	A/D コンバータ内部基準電圧設定レジスタ
AR	DAT	40H	R/W	GET/PUT/PUSH/CALL/BR/MOVT/INC 命令用アドレス・ レジスタの周辺アドレス

(メ モ)

図 15-1 レジスタ・ファイルの一覧 (1/2)

カラム・アドレス		0	1	2	3	4	5	6	7
ロウ・アドレス		注	注	注	注	注	注	注	注
0	ビット 3		0	0	0	WDTRES	0		
	ビット 2			1	0	WTMMD	0		
	ビット 1		SP	0	SYSCK	*	WTMRES	0	
	ビット 0			1	XEN	*	0	0	
1	ビット 3		0	0	0				
	ビット 2		0	0	0				
	ビット 1		0	0	0				
	ビット 0		NRZBF	0	NRZ	0			
2	ビット 3	0	0	VREFEN	0	SIOTS	0	0	P0DBIO3
	ビット 2	0	0	ADCEN	0	SIOHIZ	0	NRZEN	P0DBIO2
	ビット 1	0	0	ADCCH1	0	SIOCK1	0	TMOE	P0DBIO1
	ビット 0	ADCCMP	0	ADCCH0	0	SIOCK0	0	SIOEN	P0DBIO0
3	ビット 3		LCDEN	0	LCDMD3	0	TMEN	1	P1AGIO
	ビット 2		LCDCK2	0	LCDMD2	0	TMRES	0	P0CGIO
	ビット 1		LCDCK1	0	LCDMD1	0	TMCK1	0	P0BGIO
	ビット 0		LCDCK0	0	LCDMD0	1	TMCK0	0	P0AGIO

注 リセット時の状態

* : マスク・オプションでメイン・クロック使用 (USEX) を選択したとき 1,
メイン・クロック未使用 (NOX) を選択したとき 0 となります。

図 15-2 データ・メモリの構成

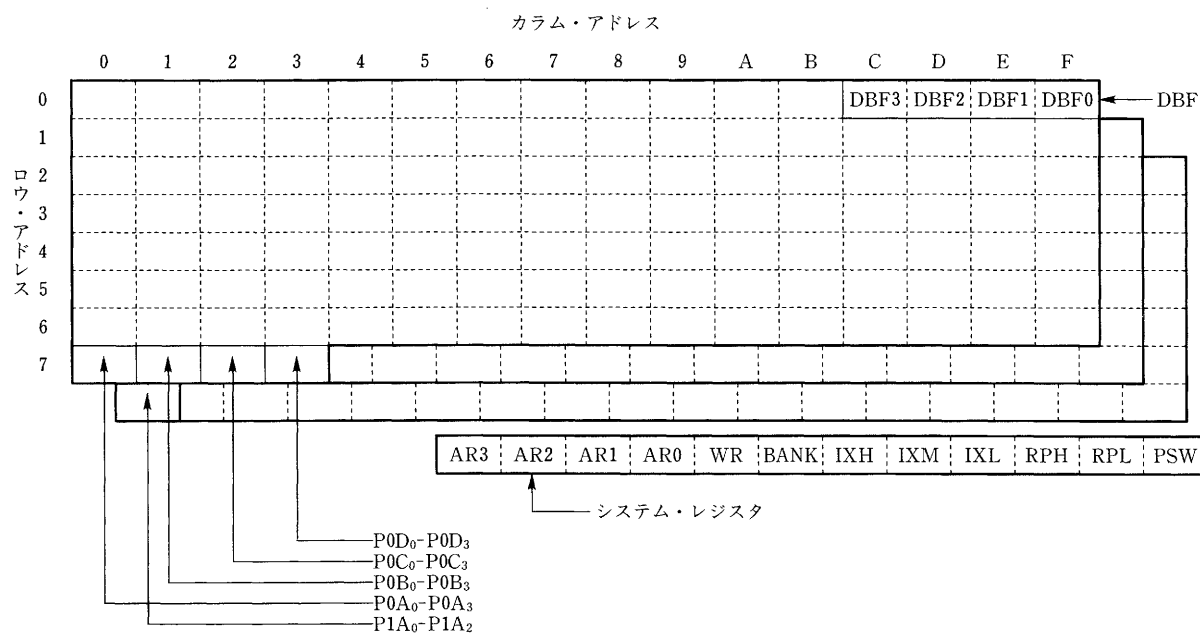


図 15-1 レジスタ・ファイルの一覧 (2/2)

カラム・アドレス		8	9	A	B	C	D	E	F	
ロウ・アドレス		注	注	注	注	注	注	注	注	
0 (8)	ビット 3								0	0
	ビット 2								0	0
	ビット 1								0	0
	ビット 0								INT	P
1 (9)	ビット 3									
	ビット 2									
	ビット 1									
	ビット 0									
2 (A)	ビット 3								IPSIO	0
	ビット 2								IPWTM	0
	ビット 1								IP	0
	ビット 0								IPTM	0
3 (B)	ビット 3				IRQSIO	0	0	0	0	0
	ビット 2				0	0	IRQWTM	0	0	0
	ビット 1				0	0	0	0	IRQ	0
	ビット 0				0	0	0	0	0	IRQTM 1

注 リセット時の状態

P : INT 端子がハイ・レベルのとき 1, ロウ・レベルのとき 0 となります。

備考 () 内は, アセンブラを使用する際の番地です。

なお, コントロール・レジスタのプラグはすべて, アセンブラ予約語としてデバイス・ファイルに登録されていますので, プログラム作成時には予約語を使用すると便利です。

表 15-3 周辺ハードウェア

名 称	アドレス	有効ビット	説 明
SIOFR	01H	8	シリアル・インタフェースのシフト・レジスタ
TMC	02H	8	8ビット・タイマのカウント・レジスタ
TMM	02H	8	8ビット・タイマのモジュロ・レジスタ
NRZLTMM	03H	8	リモコン・キャリア発生用ロウ・レベル期間設定用モジュロ・レジスタ
NRZHTMM	04H	8	リモコン・キャリア発生用ハイ・レベル期間設定用モジュロ・レジスタ
ADCR	05H	8	A/D コンバータの比較電圧設定レジスタ
AR	40H	16	アドレス・レジスタ

16. 命令セット

16.1 命令セット概要

b ₁₄ -b ₁₁ \ b ₁₅		0	1
BIN	HEX		
0 0 0 0	0	ADD r, m	ADD m, #n4
0 0 0 1	1	SUB r, m	SUB m, #n4
0 0 1 0	2	ADDC r, m	ADDC m, #n4
0 0 1 1	3	SUBC r, m	SUBC m, #n4
0 1 0 0	4	AND r, m	AND m, #n4
0 1 0 1	5	XOR r, m	XOR m, #n4
0 1 1 0	6	OR r, m	OR m, #n4
0 1 1 1	7	INC AR INC IX MOVT DBF, @AR BR @AR CALL @AR RET RETSK EI DI RETI PUSH AR POP AR GET DBF, p PUT p, DBF PEEK WR, rf POKE rf, WR RORC r STOP s HALT h NOP	
1 0 0 0	8	LD r, m	ST m, r
1 0 0 1	9	SKE m, #n4	SKGE m, #n4
1 0 1 0	A	MOV @r, m	MOV m, @r
1 0 1 1	B	SKNE m, #n4	SKLT m, #n4
1 1 0 0	C	BR addr (ページ 0)	CALL addr (ページ 0)
1 1 0 1	D	BR addr (ページ 1)	MOV m, #n4
1 1 1 0	E		SKT m, #n
1 1 1 1	F		SKF m, #n

16.2 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (下位11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: m _R , m _C で示されるデータ・メモリ・アドレス
m _R	: データ・メモリ・ロウ・アドレス (上位)
m _C	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4 ビット)
n4	: イミディエイト・データ (4 ビット)
PAGE	: ページ (プログラム・カウンタのビット11)
PC	: プログラム・カウンタ
p	: 周辺アドレス
p _H	: 周辺アドレス (上位 3 ビット)
p _L	: 周辺アドレス (下位 4 ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rf _R	: レジスタ・ファイル・アドレス (上位 3 ビット)
rf _C	: レジスタ・ファイル・アドレス (下位 4 ビット)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
(×)	: ×でアドレスされる内容

★

16.3 命令一覧表

命令群	ニモニック	オペランド	オペレーション	命令コード			
				オペ・コード	オペランド		
加算	ADD	r, m	$(r) \leftarrow (r) + (m)$	00000	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) + n4$	10000	m _R	m _C	n4
	ADDC	r, m	$(r) \leftarrow (r) + (m) + CY$	00010	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) + n4 + CY$	10010	m _R	m _C	n4
	INC	AR	$AR \leftarrow AR + 1$	00111	000	1001	0000
		IX	$IX \leftarrow IX + 1$	00111	000	1000	0000
減算	SUB	r, m	$(r) \leftarrow (r) - (m)$	00001	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) - n4$	10001	m _R	m _C	n4
	SUBC	r, m	$(r) \leftarrow (r) - (m) - CY$	00011	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) - n4 - CY$	10011	m _R	m _C	n4
論理演算	OR	r, m	$(r) \leftarrow (r) \vee (m)$	00110	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \vee n4$	10110	m _R	m _C	n4
	AND	r, m	$(r) \leftarrow (r) \wedge (m)$	00100	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \wedge n4$	10100	m _R	m _C	n4
	XOR	r, m	$(r) \leftarrow (r) \nabla (m)$	00101	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \nabla n4$	10101	m _R	m _C	n4
判断	SKT	m, #n	$CMP \leftarrow 0$, if $(m) \wedge n=n$, then skip	11110	m _R	m _C	n
	SKF	m, #n	$CMP \leftarrow 0$, if $(m) \wedge n=0$, then skip	11111	m _R	m _C	n
比較	SKE	m, #n4	$(m) - n4$, skip if zero	01001	m _R	m _C	n4
	SKNE	m, #n4	$(m) - n4$, skip if not zero	01011	m _R	m _C	n4
	SKGE	m, #n4	$(m) - n4$, skip if not borrow	11001	m _R	m _C	n4
	SKLT	m, #n4	$(m) - n4$, skip if borrow	11011	m _R	m _C	n4
回転	RORC	r	$\rightarrow CY \rightarrow (r)_{b3} \rightarrow (r)_{b2} \rightarrow (r)_{b1} \rightarrow (r)_{b0} \rightarrow$	00111	000	0111	r
転送	LD	r, m	$(r) \leftarrow (m)$	01000	m _R	m _C	r
	ST	m, r	$(m) \leftarrow (r)$	11000	m _R	m _C	r
	MOV	@r, m	if MPE=1 : $(MP, (r)) \leftarrow (m)$ if MPE=0 : $(BANK, m_R, (r)) \leftarrow (m)$	01010	m _R	m _C	r
		m, @r	if MPE=1 : $(m) \leftarrow (MP, (r))$ if MPE=0 : $(m) \leftarrow (BANK, m_R, (r))$	11010	m _R	m _C	r
		m, #n4	$(m) \leftarrow n4$	11101	m _R	m _C	n4
	MOVT ^注	DBF, @AR	$SP \leftarrow SP - 1$, $ASR \leftarrow PC$, $PC \leftarrow AR$, $DBF \leftarrow (PC)$, $PC \leftarrow ASR$, $SP \leftarrow SP + 1$	00111	000	0001	0000

注 MOV^T 命令の実行には例外的に 2 命令サイクルを必要とします。

命令群	ニモニク	オペランド	オペレーション	命令コード			
				オペ・コード	オペランド		
転送	PUSH	AR	$SP \leftarrow SP - 1, ASR \leftarrow AR$	00111	000	1101	0000
	POP	AR	$AR \leftarrow ASR, SP \leftarrow SP + 1$	00111	000	1100	0000
	PEEK	WR, rf	$WR \leftarrow (rf)$	00111	rf_R	0011	rf_C
	POKE	rf, WR	$(rf) \leftarrow WR$	00111	rf_R	0010	rf_C
	GET	DBF, p	$DBF \leftarrow (p)$	00111	p_H	1011	p_L
	PUT	p, DBF	$(p) \leftarrow DBF$	00111	p_H	1010	p_L
分岐	BR	addr	$PC_{10-0} \leftarrow addr, PAGE \leftarrow 0$	01100	addr		
			$PC_{10-0} \leftarrow addr, PAGE \leftarrow 1$	01101			
		@AR	$PC \leftarrow AR$	00111	000	0100	0000
サブルーチン	CALL	addr	$SP \leftarrow SP - 1, ASR \leftarrow PC$ $PC_{10-0} \leftarrow addr, PAGE \leftarrow 0$	11100	addr		
		@AR	$SP \leftarrow SP - 1, ASR \leftarrow PC$ $PC \leftarrow AR$	00111	000	0101	0000
	RET		$PC \leftarrow ASR, SP \leftarrow SP + 1$	00111	000	1110	0000
	RETSK		$PC \leftarrow ASR, SP \leftarrow SP + 1$ and skip	00111	001	1110	0000
	RETI		$PC \leftarrow ASR, INTR \leftarrow INTSK, SP \leftarrow SP + 1$	00111	100	1110	0000
割り込み	EI		$INTEF \leftarrow 1$	00111	000	1111	0000
	DI		$INTEF \leftarrow 0$	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

★ 16.4 アセンブラ (AS17K) 組み込みマクロ命令

凡 例

flag n : FLG型シンボル

n : ビット番号

< > : < > 内は省略可能

	ニモニック	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, ..., flag n	if (flag 1) ~ (flag n) = all "1", then skip	$1 \leq n \leq 4$
	SKFn	flag 1, ..., flag n	if (flag 1) ~ (flag n) = all "0", then skip	$1 \leq n \leq 4$
	SETn	flag 1, ..., flag n	(flag 1) ~ (flag n) ← 1	$1 \leq n \leq 4$
	CLRn	flag 1, ..., flag n	(flag 1) ~ (flag n) ← 0	$1 \leq n \leq 4$
	NOTn	flag 1, ..., flag n	if (flag n) = "0", then (flag n) ← 1 if (flag n) = "1", then (flag n) ← 0	$1 \leq n \leq 4$
	INITFLG	<NOT> flag 1, ... <<NOT> flag n>	if description = NOT flag n, then (flag n) ← 0 if description = flag n, then (flag n) ← 1	$1 \leq n \leq 4$
	BANKn		(BANK) ← n	$0 \leq n \leq 2$

17. 電気的特性

絶対最大定格 ($T_A = 25^\circ\text{C}$)

項 目	略号	条 件		定 格	単位
電 源 電 圧	V_{DD}			$-0.3 \sim +7.0$	V
ア ナ ロ グ 電 源 電 圧	V_{ADC}			$-0.3 \sim V_{DD} + 0.3$	V
入 力 電 圧	V_I			$-0.3 \sim V_{DD} + 0.3$	V
出 力 電 圧	V_O			$-0.3 \sim V_{DD} + 0.3$	V
ハイ・レベル出力電流	I_{OH}	REM 端子	ピーク値	-30	mA
			実効値	-20	mA
		1 端子 (REM 除く)	ピーク値	-7.5	mA
			実効値	-5	mA
		全端子合計 (REM 除く)	ピーク値	-22.5	mA
			実効値	-15	mA
ロウ・レベル出力電流	I_{OL}	1 端子	ピーク値	7.5	mA
			実効値	5	mA
		全端子合計 (REM 除く)	ピーク値	22.5	mA
			実効値	15	mA
動 作 周 囲 温 度	T_A			$-20 \sim +75$	$^\circ\text{C}$
保 存 温 度	T_{stg}			$-40 \sim +125$	$^\circ\text{C}$

注 実効値 = ピーク $\times \sqrt{\text{デューティ}}$ で計算してください。

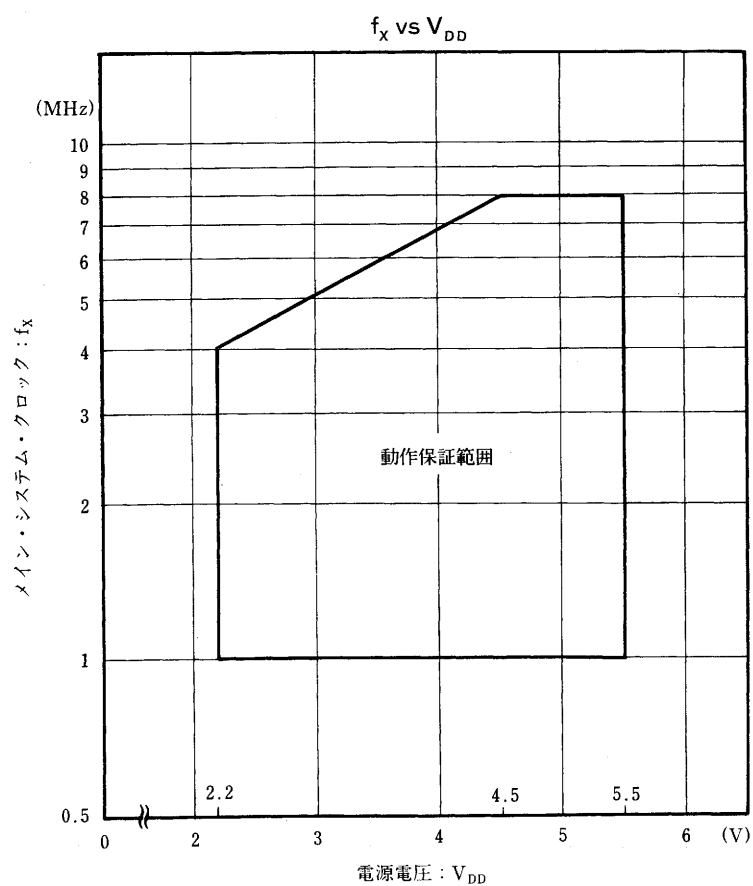
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 ($T_A = 25^\circ\text{C}$, $V_{DD} = 0\text{V}$)

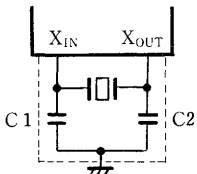
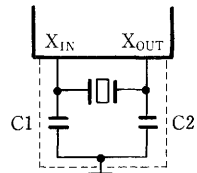
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入 力 容 量	C_{IN}	INT, SI, $\overline{\text{RESET}}$ 端子			10	pF

推奨動作範囲 ($T_A = -20 \sim +75^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
電 源 電 圧	V_{DD1}	システム・クロックが $f_X = 4\text{ MHz}$ のとき	2.2	3.0	5.5	V
	V_{DD2}	システム・クロックが $f_X = 8\text{ MHz}$ のとき	4.5	5.0	5.5	V
	V_{DD3}	システム・クロックが $f_{XT} = 32.768\text{ kHz}$ のとき	2.0	3.0	5.5	V
メイン・クロック発振周波数	f_X		1.0	4	8.0	MHz
サブクロック発振周波数	f_{XT}			32.768		kHz



メイン・システム・クロック発振回路特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = 2.2 \sim 5.5\text{ V}$)

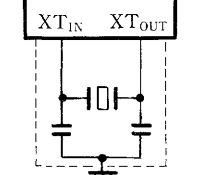
発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 ^{注3}		発振周波数 (f_X) ^{注1}		1.0	4	8.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲の MIN.に達した後			4	ms
水晶振動子 ^{注3}		発振周波数 (f_X) ^{注1}		1.0	4	8.0	MHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5\text{ V}$			10	ms
						30	ms

注1. 発振周波数は、発振回路の特性だけを示すものです。

2. 発振安定時間は、 V_{DD} 印加後、またはSTOPモード解除後、発振が安定するのに必要な時間です。

3. セラミック発振子と水晶振動子は、次頁のものを推奨します。

サブシステム・クロック発振回路特性

発振子	推奨定数	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT})			32.768		kHz
		発振安定時間			5	10	s

注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常にGNDと同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作が、メイン・システム・クロック発振回路よりも起こしやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振子

メイン・システム・クロック：セラミック発振子

メーカ	品名	外付け容量 (pF)		発振電圧範囲 (V)		備考
		C1	C2	MIN.	MAX.	
株式会社村田製作所	CSA3.58MG	30	30	2.0	6.0	
	CSA4.00MG	30	30	2.0	6.0	
	CSA4.19MG	30	30	2.0	6.0	
	CST3.58MGW	不要	不要	2.0	6.0	C内蔵タイプ
	CST4.00MGW	不要	不要	2.0	6.0	
	CST4.19MGW	不要	不要	2.0	6.0	
京セラ株式会社	KBR3.58MS	33	33	2.0	6.0	
	KBR4.0MS	33	33	2.0	6.0	
	KBR4.19MS	33	33	2.0	6.0	
東光株式会社	CRHF4.00	18	18	2.0	6.0	
株式会社大真空	PRS0400BCSAN	39	33	2.0	6.0	

メイン・システム・クロック：水晶振動子

メーカ	周波数 (MHz)	保持器	外付け容量 (pF)		発振電圧範囲 (V)		備考
			C1	C2	MIN.	MAX.	
キンセキ株式会社	4.0	HC-49U-S	22	22	2.0	6.0	

DC 特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = V_{ADC} = 2.2 \sim 3.6\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	$\overline{\text{RESET}}$, INT 端子	$0.8V_{DD}$		V_{DD}	V
	V_{IH2}	$\overline{\text{RESET}}$, INT 端子以外	$0.7V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	$\overline{\text{RESET}}$, INT 端子	0		$0.2V_{DD}$	V
	V_{IL2}	$\overline{\text{RESET}}$, INT 端子以外	0		$0.3V_{DD}$	V
ハイ・レベル入力リーク電流	I_{LH1}	XT_{IN} , XT_{OUT} , X_{IN} , X_{OUT} 端子			20	μA
	I_{LH2}	XT_{IN} , XT_{OUT} , X_{IN} , X_{OUT} 端子以外			3	μA
ロウ・レベル入力リーク電流	I_{LIL1}	XT_{IN} , XT_{OUT} , X_{IN} , X_{OUT} 端子			-20	μA
	I_{LIL2}	XT_{IN} , XT_{OUT} , X_{IN} , X_{OUT} 端子以外			-3	μA
ハイ・レベル出力電流	I_{OH1}	REM 端子 $V_{OH} = V_{DD} - 1.2\text{ V}$	-7	-15		mA
	I_{OH2}	注1 $V_{OH} = V_{DD} - 0.3\text{ V}$	-0.3	-0.7		mA
ロウ・レベル出力電流	I_{OL}	注2 $V_{OL} = 0.3\text{ V}$	0.5	0.9		mA
内蔵プルアップ抵抗	R_{P0A}	P0A ₀ -P0A ₃ 端子	100	200	350	kΩ
	R_{RES}	$\overline{\text{RESET}}$ 端子 (マスク・オプション)	24	47	94	kΩ
A / D 絶 対 精 度					± 2	LSB
A / D 分 解 能				8		bits
A/D コンバータ消費電流	I_{ADC}			60	120	μA
コンパレータ誤差		コンパレータ・モード時		10	20	mV
電 源 電 流	I_{DD1}	X 実装 ($f_X = 4.19\text{ MHz}$)	動作モード	0.8	2.0	mA
	I_{DD2}	XT 非実装	HALT モード	0.3	1.5	mA
	I_{DD3}	$V_{DD} = 3\text{ V}$	STOP モード	2.0	10	μA
	I_{DD4}	X 非実装または STOP モード	動作モード	7.0	25	μA
	I_{DD5} 注3	XT 実装 ($f_{XT} = 32.768\text{ kHz}$) $V_{DD} = 3\text{ V}$	HALT モード	3.0	15	μA

注1. P0A₀-P0A₃, P0D₀-P0D₃, P1A₀-P1A₂ 端子

2. P0A₀-P0A₃, P0B₀-P0B₃, P0C₀-P0C₃, P0D₀-P0D₃, P1A₀-P1A₂, $\overline{\text{WDOOUT}}$, REM 端子

3. メイン STOP モード (サブ実装) は, サブ HALT モード (メイン発振停止) と同規格です。

LCD 特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = 2.2 \sim 3.6\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
V_{LDCD} 電 圧	V_{LDCD}	$V_{DD} = 3\text{ V}$, $T_A = 25^\circ\text{C}$, $R1 = R2 = 1\text{ M}\Omega$	0.5	0.6	0.7	V
LCD 基 準 出 力 電 圧	V_{LCD0}	外付け可変抵抗値 (0 ~ 2.2 MΩ)	0.8		1.8	V
ダ ブ ラ 出 力 電 圧	V_{LCD1}	$C1 \sim C4 = 0.47\text{ }\mu\text{F}$	1.9	2.0		V_{LCD0}
ト リ プ ラ 出 力 電 圧	V_{LCD2}	$C1 \sim C4 = 0.47\text{ }\mu\text{F}$	2.85	3.0		V_{LCD0}
LCD COMMON出力電流	I_{COM}	出力電圧偏差 = 0.2 V	30			μA
LCD SEGMENT出力電流	I_{LCD}	出力電圧偏差 = 0.2 V	5			μA

DC 特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = V_{ADC} = 5\text{V} \pm 10\%$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	$\overline{\text{RESET}}$, INT 端子	$0.8V_{DD}$		V_{DD}	V
	V_{IH2}	$\overline{\text{RESET}}$, INT 端子以外	$0.7V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	$\overline{\text{RESET}}$, INT 端子	0		$0.2V_{DD}$	V
	V_{IL2}	$\overline{\text{RESET}}$, INT 端子以外	0		$0.3V_{DD}$	V
ハイ・レベル入力リーク電流	I_{LH1}	XT_{IN} , XT_{OUT} , X_{IN} , X_{OUT} 端子			20	μA
	I_{LH2}	XT_{IN} , XT_{OUT} , X_{IN} , X_{OUT} 端子以外			3	μA
ロウ・レベル入力リーク電流	I_{LIL1}	XT_{IN} , XT_{OUT} , X_{IN} , X_{OUT} 端子			-20	μA
	I_{LIL2}	XT_{IN} , XT_{OUT} , X_{IN} , X_{OUT} 端子以外			-3	μA
ハイ・レベル出力電流	I_{OH1}	REM 端子 $V_{OH} = V_{DD} - 0.6\text{V}$	-7	-15		mA
	I_{OH2}	注1 $V_{OH} = V_{DD} - 0.3\text{V}$	-0.8	-1.2		mA
ロウ・レベル出力電流	I_{OL}	注2 $V_{OL} = 0.3\text{V}$	1.0	1.5		mA
内蔵プルアップ抵抗	R_{P0A}	P0A ₀ -P0A ₃ 端子	140	200	350	kΩ
	R_{RES}	$\overline{\text{RESET}}$ 端子 (マスク・オプション)	27	47	94	kΩ
A / D 絶 対 精 度					± 2	LSB
A / D 分 解 能				8		bits
A/D コンバータ消費電流	I_{ADC}			60	120	μA
コンパレータ誤差		コンパレータ・モード時		10	20	mV
電 源 電 流	I_{DD1}	X 実装 ($f_X = 4.19\text{MHz}$)	動作モード	1.8	5.0	mA
	I_{DD2}	XT 非実装		0.6	2.0	mA
	I_{DD3}	$V_{DD} = 5\text{V}$	STOP モード	2.6	20	μA
	I_{DD4}	X 非実装または STOP モード	動作モード	10.5	40	μA
	I_{DD5} 注3	XT 実装 ($f_{XT} = 32.768\text{kHz}$) $V_{DD} = 5\text{V}$		6.0	20	μA

注1. P0A₀-P0A₃, P0D₀-P0D₃, P1A₀-P1A₂ 端子

2. P0A₀-P0A₃, P0B₀-P0B₃, P0C₀-P0C₃, P0D₀-P0D₃, P1A₀-P1A₂, REM, $\overline{\text{WDOUT}}$ 端子

3. メイン STOP モード (サブ実装) は, サブ HALT モード (メイン発振停止) と同規格です。

LCD 特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = 5\text{V} \pm 10\%$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
LCD 基 準 出 力 電 圧	V_{LCD0}	外付け可変抵抗値 (0 ~ 2.2 MΩ)	0.8		1.8	V
ダ ブ ラ 出 力 電 圧	V_{LCD1}	C1~C4=0.47 μF	1.9	2.0		V_{LCD0}
ト リ プ ラ 出 力 電 圧	V_{LCD2}	C1~C4=0.47 μF	2.85	3.0		V_{LCD0}
LCD COMMON出力電流	I_{COM}	出力電圧偏差=0.2 V	30			μA
LCD SEGMENT出力電流	I_{LCD}	出力電圧偏差=0.2 V	5			μA

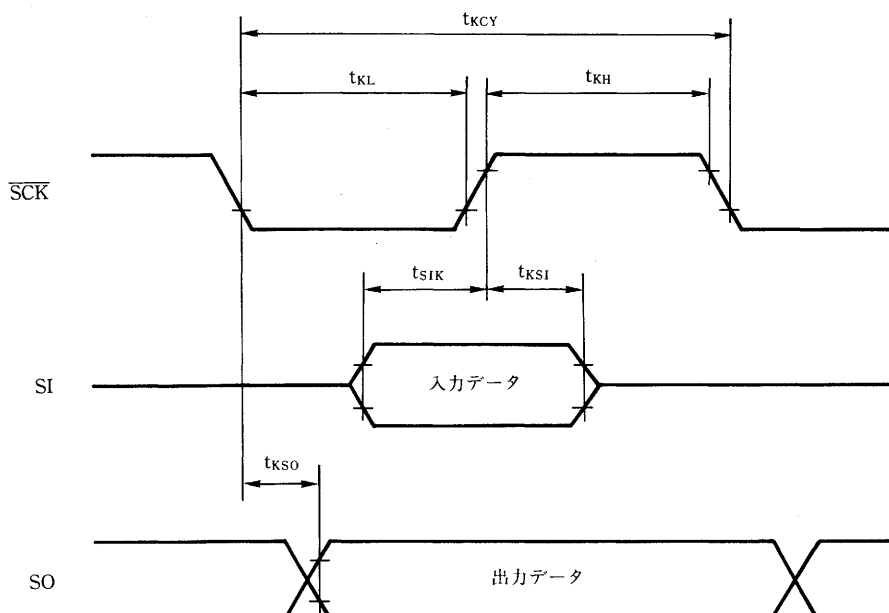
AC 特性 ($T_A = -20 \sim +75^\circ\text{C}$, $V_{DD} = 2.2 \sim 5.5\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ 入力サイクル・タイム	t_{KCY}	$V_{DD} = 5\text{ V} \pm 10\%$	データ入力時	2.0		μS
			データ出力時	10		μS
			データ入力時	5		μS
			データ出力時	13		μS
$\overline{\text{SCK}}$ 入力ハイ, ロウ・レベル幅	$t_{\text{KH}}, t_{\text{KL}}$	$V_{DD} = 5\text{ V} \pm 10\%$	データ入力時	1.0		μS
			データ出力時	5.0		μS
			データ入力時	2.5		μS
			データ出力時	6.5		μS
SI セットアップ時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{SIK}		100			ns
SI ホールド時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{KSI}		100			ns
$\overline{\text{SCK}} \downarrow \rightarrow \text{SO}$ 出力遅延時間	t_{KSO}	$C_L = 100\text{ pF}$			4.5	μS
INT ハイ, ロウ・レベル幅	$t_{\text{IOH}}, t_{\text{IOL}}$		50			μS
$\overline{\text{RESET}}$ ロウ・レベル幅	t_{RSL}		50			μS
P0A ロウ・レベル幅	t_{RLSL}	スタンバイ解除時	10			μS

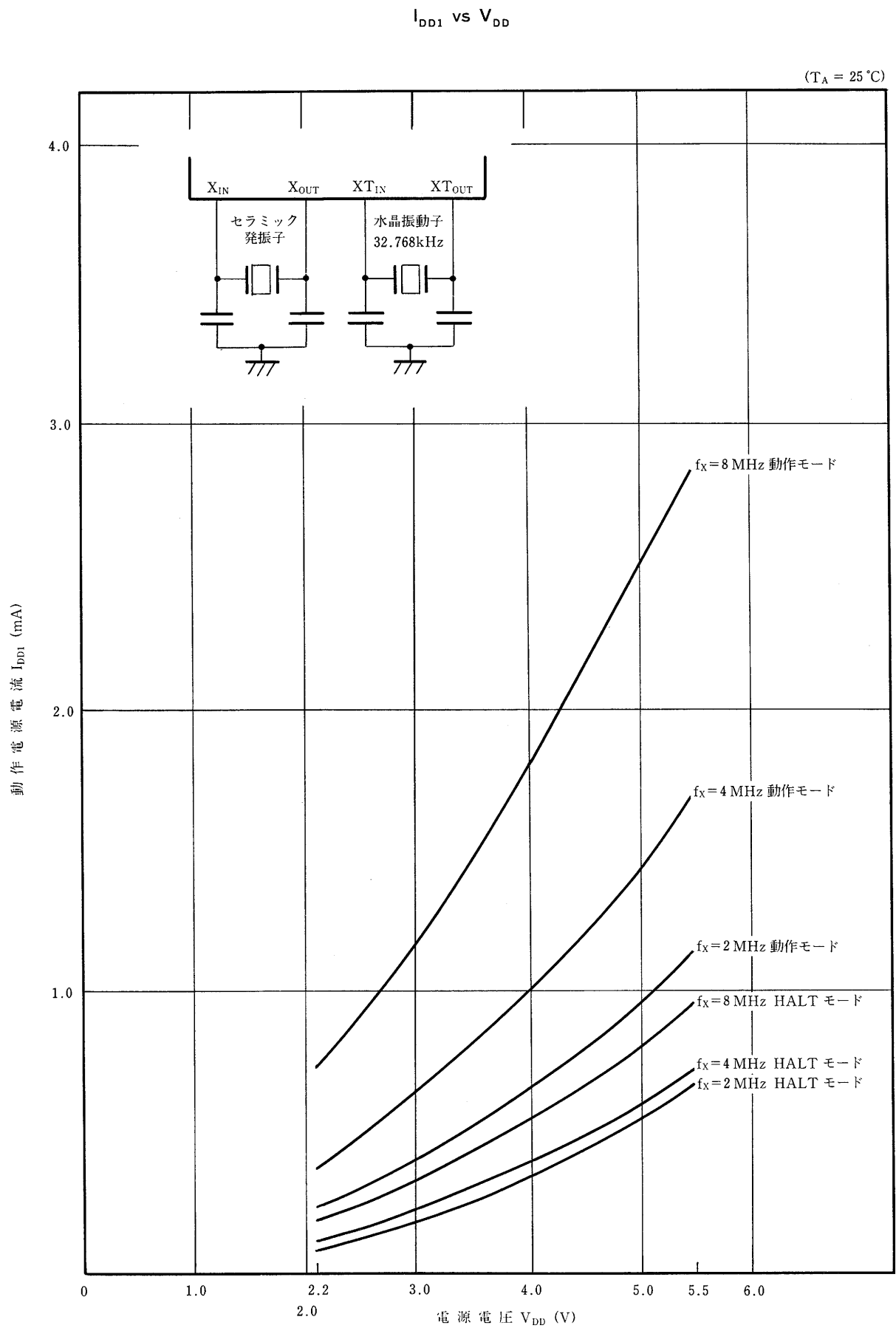
★

シリアル転送タイミング

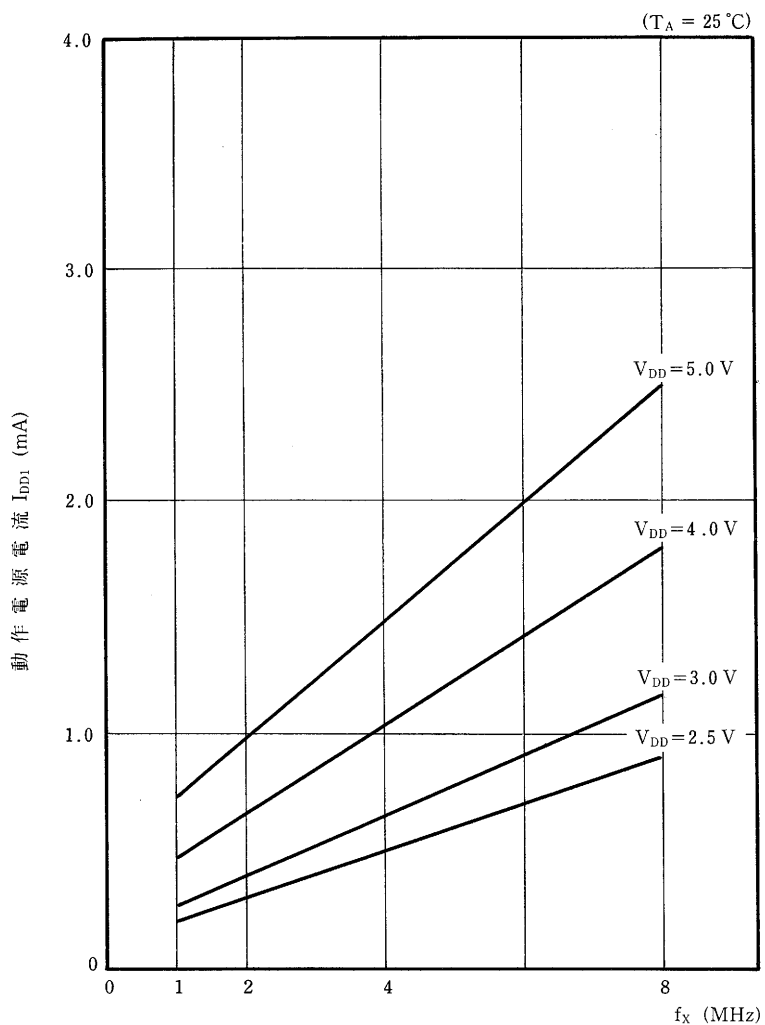
3 線式シリアル I/O モード :



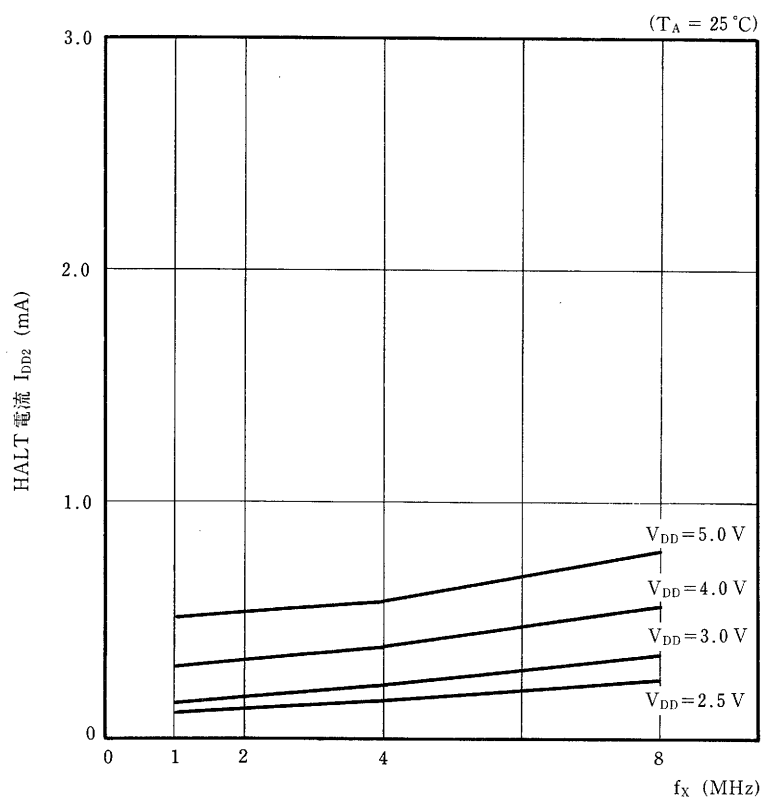
18. 特性曲線 (参考値)



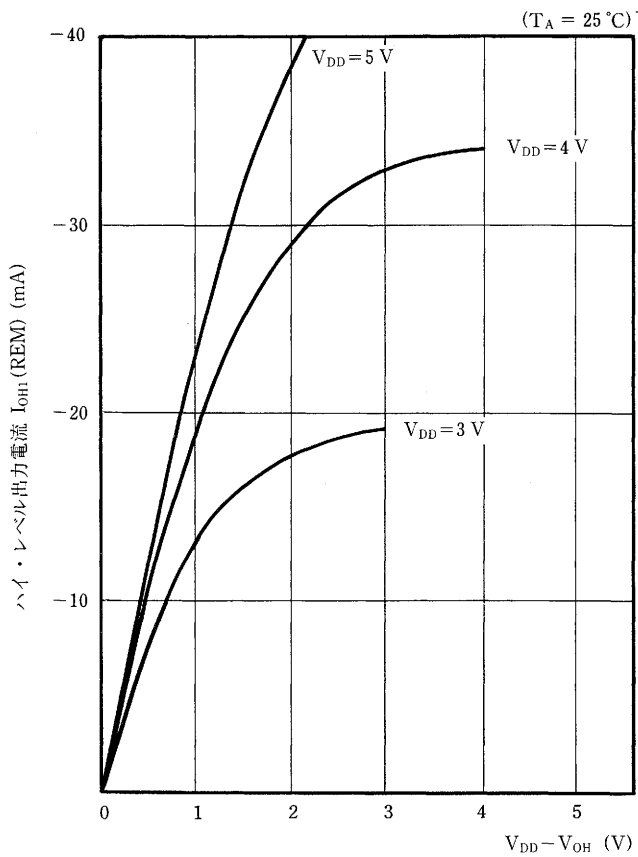
I_{DD1} vs f_x (動作モード)



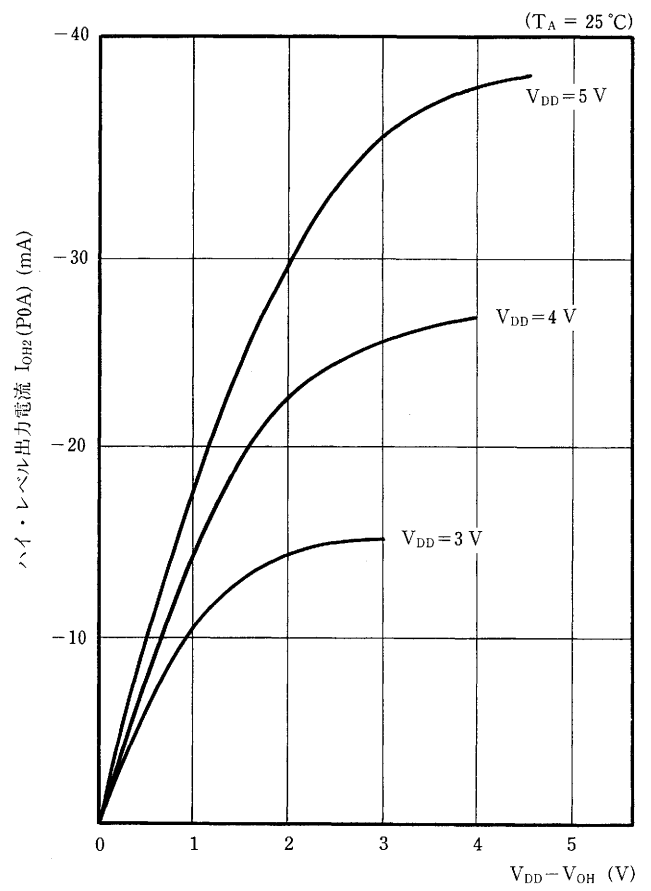
I_{DD2} vs f_x (HALT モード)



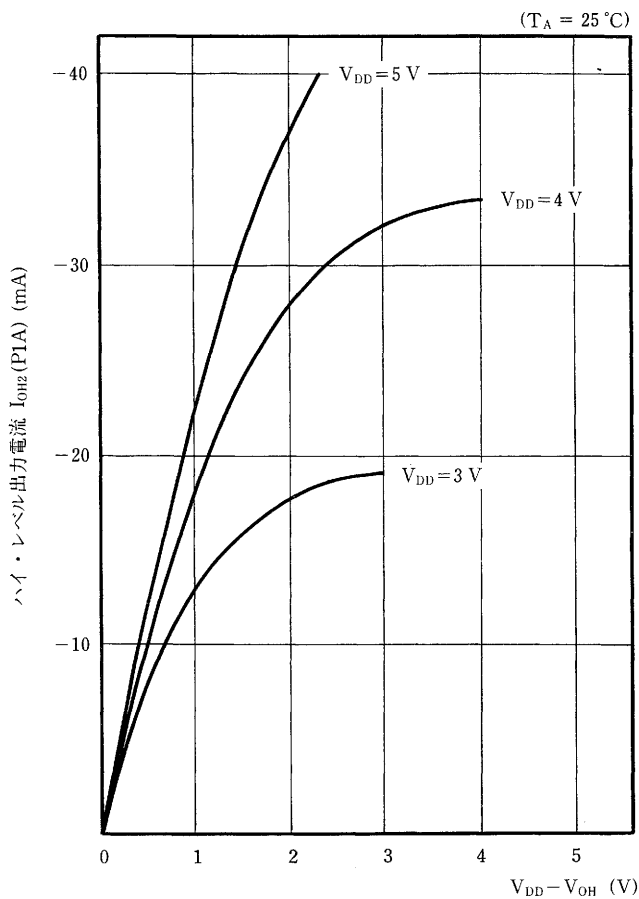
I_{OH1} (REM) vs $V_{DD} - V_{OH}$



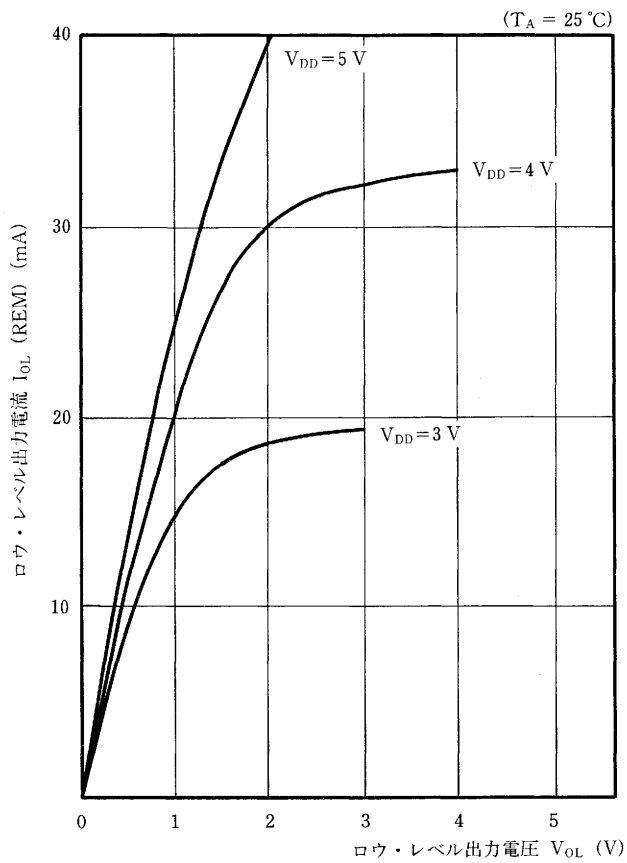
I_{OH2} (P0A) vs $V_{DD} - V_{OH}$



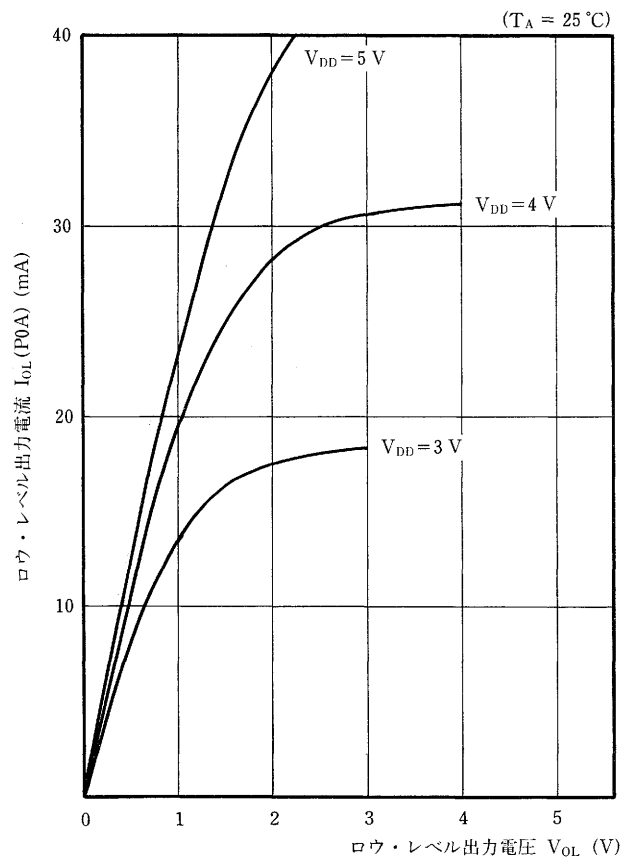
I_{OH2} (P1A) vs $V_{DD} - V_{OH}$



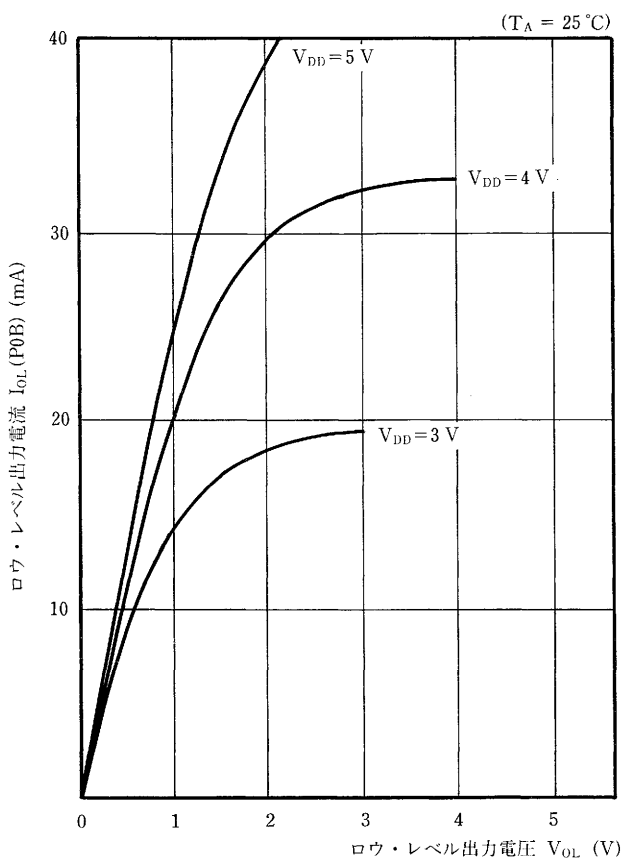
I_{OL} (REM) vs V_{OL}



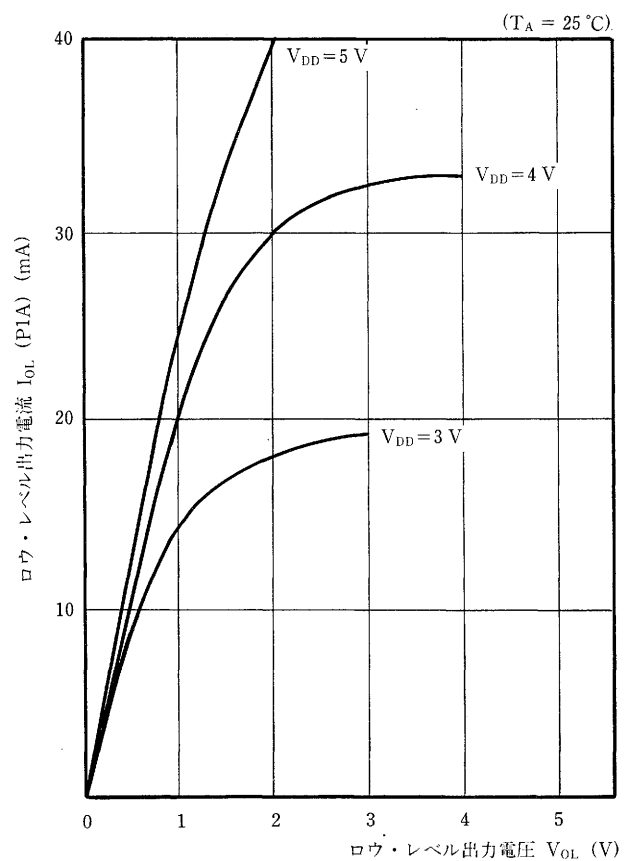
I_{OL} (P0A) vs V_{OL}



I_{OL} (P0B) vs V_{OL}

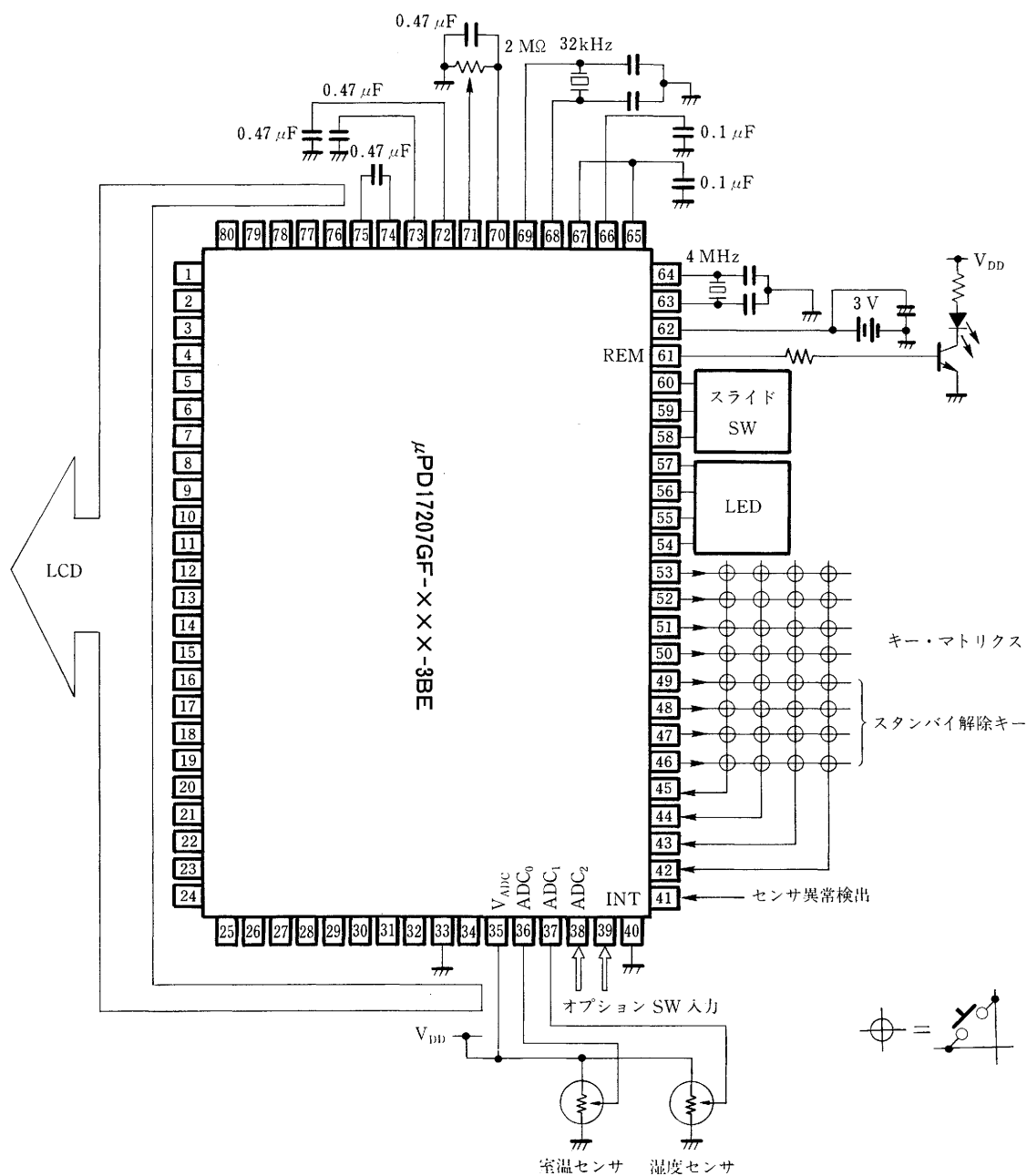


I_{OL} (P1A) vs V_{OL}



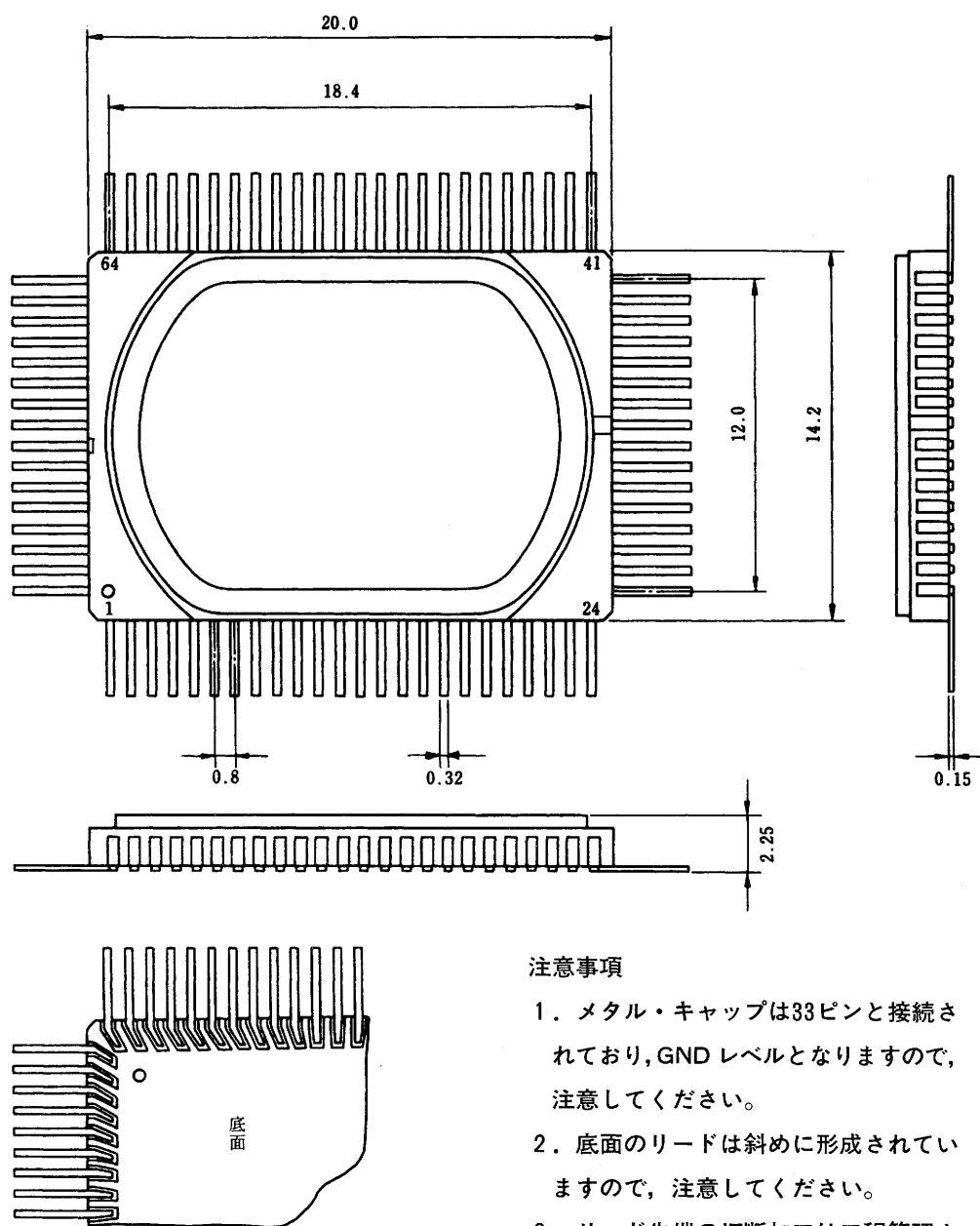
19. 応用回路例

●エアコン用リモコン



ES 品の外形図

ES 用 80 ピン・セラミック QFP (参考図) (単位 : mm)



注意事項

1. メタル・キャップは33ピンと接続されており, GND レベルとなりますので, 注意してください。
2. 底面のリードは斜めに形成されていますので, 注意してください。
3. リード先端の切断加工は工程管理されていませんので, リード長は規定していません。

21. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 21-1 表面実装タイプの半田付け条件

★

μPD17201AGF-×××-3B9 : 80ピン・プラスチック QFP (14×20 mm)

μPD17207GF-×××-3B9 : //

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、 回数：2回以内、制限日数：7日間 ^注 （以降は125℃プリベーク20時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーク キングができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、 回数：2回以内、制限日数：7日間 ^注 （以降は125℃プリベーク20時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン、テーピング、非耐熱トレイ）は、包装状態でのベーク キングができません。	VP15-207-2
ウェーブ・ソルダリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回、 予備加熱温度：120℃MAX.（パッケージ表面温度）、 制限日数：7日間 ^注 （以降は125℃プリベーク20時間必要）	WS60-207-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用は避けください（ただし、端子部分加熱は除く）。

付録 A. μPD17P207 と μPD17201A, 17207 との違い

μPD17P207 は、μPD17201A, 17207 の内蔵マスク ROM (プログラム・メモリ) をユーザによる書き込み可能な PROM に置き換えた製品です。したがって、プログラム・メモリとマスク・オプションが異なるだけで、CPU 機能や内蔵しているハードウェアは同じです。また、μPD17P207 は、電源電流、 V_{LDD0} 電圧などの電気的特性の一部が μPD17201A, 17207 とは異なりますので注意してください。

次に、μPD17P207 と μPD17201A, 17207 との違いを示します。

品 名 項 目	μPD17P207 -001	μPD17P207 -002	μPD17P207 -003	μPD17201A	μPD17207
プログラム・メモリ	ワン・タイム PROM			マスク ROM	
	0000H-0FFFH			0000H-0BFFH	0000H-0FFFH
	4096×16ビット			3072×16ビット	4096×16ビット
RESET 端子のプルアップ抵抗	あり	なし	なし	任意 (マスク・オプション)	
メイン・クロック発振回路の有無		あり			
サブクロック発振回路の有無		なし	あり		
V _{PP} 端子, PROM プログラム端子	あり			なし	
電源電圧 (T _A = -20 ~ +75 °C)	V _{DD} = 2.5 ~ 5.5 V (f _X = 4 MHz動作時) V _{DD} = 2.4 ~ 5.5 V (f _X = 4 MHz動作時, T _A = -20 ~ +60 °C)			V _{DD} = 2.2 ~ 5.5 V (f _X = 4 MHz動作時)	
パッケージ	80ピン・プラスチックQFP (14×20 mm)				

注意 μPD17P207-001を使用する場合は、必ずメイン・クロック発振回路とサブクロック発振回路の両方に発振子を接続してください。

付録 B. μPD17201A, 17207 関連製品の機能比較

品 名		μPD17201A	μPD17207	μPD17215	μPD17216	μPD17217	μPD17218
項 目							
ROM 容量 (ビット)		3072×16	4096×16	2048×16	4096×16	6144×16	8192×16
RAM 容量 (ビット)		336×4		111×4		223×4	
LCD コントローラ/ドライバ		最大136セグメント		な し			
赤外線リモコン用キャリア発生回路(REM)		LED 出力はハイ・アクティブ		内蔵 (LED 出力はなし)			
入出力ポート数		19本		20本			
外部割り込み (INT)		1 本 (立ち上がりエッジ検出)		1 本 (立ち上がり, 立ち下がりエッジ検出)			
アナログ入力		4 チャンネル (8 ビット A/D)		な し			
タイマ		2 チャンネル { 8ビット・タイマ 時計用タイマ		2 チャンネル { 8ビット・タイマ ベーシック・インターバル・タイマ			
ウォッチドッグ・タイマ		内蔵 (WDOOUT 出力)					
低電圧検出回路		な し		内蔵 (WDOOUT 出力)			
シリアル・インタフェース		1 チャンネル		な し			
スタック		5 レベル (多重割り込みは 3 レベル)					
命令実行時間	メイン・システム・クロック	4 μS (4 MHz : セラミック発振子 または水晶振動子使用時)		• 2 μS (8 MHz セラミック発振子 : 高速モード時) • 4 μS (4 MHz セラミック発振子 : 高速モード時) • 16 μS (1 MHz セラミック発振子 : 高速モード時)			
	サブシステム・クロック	488 μS (32.768 kHz : 水晶振動子使用時)		な し			
電源電圧	メイン・システム・クロック	2.2~5.5 V (f _X =4 MHz 動作時)		2.2~5.5 V (f _X =4 MHz 動作時, 高速モード時)			
	サブシステム・クロック	2.0~5.5 V (f _{XT} =32.768 kHz 動作時)		な し			
スタンバイ機能		STOP, HALT					
パッケージ		80ピン・プラスチック QFP		28ピン・プラスチック SOP 28ピン・プラスチック・シュリンク DIP			
ワン・タイム PROM 製品		μPD17P207		μPD17P218			

注意 マスク ROM 製品とワン・タイム PROM 製品では、電気的特性が異なりますので注意してください。

付録 C. 開発ツール

μPD17207 のプログラムを開発するために、次の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ (IE-17K IE-17K-ET ^{注1} EMU-17K ^{注2})	IE-17K, IE-17K-ET, EMU-17K は、17K シリーズ共通のインサーキット・エミュレータです。 IE-17K および IE-17K-ET は、ホスト・マシンである PC-9800 シリーズまたは IBM PC/AT TM と RS-232-C を介して接続して使用します。EMU-17K は、ホスト・マシンである PC-9800 シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード (SE ボード) と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアである <i>SIMPLEHOST</i> [®] を使用すると、さらに高度なデバッグ環境を実現できます。 なお、EMU-17K は、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SE ボード (SE-17207)	SE-17207 は、μPD17201A, 17207, 17P207 用の SE ボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ (EP-17201GF)	EP-17201GF は、μPD17201A, 17207, 17P207 用のエミュレーション・プローブです。SE ボードとターゲット・システムを接続します。
変換ソケット (EV-9200G-80 ^{注3})	EV-9200G-80 は、80ピン QFP (14×20 mm) 用のソケットです。EP-17201GF とターゲット・システムを接続するために使用します。
PROM プログラム (AF-9703 ^{注4} , AF-9704 ^{注4} , AF-9705 ^{注4} , AF-9706 ^{注4})	AF-9703, AF-9704, AF-9705, AF-9706 は、μPD17P207 に対応した PROM プログラムです。プログラムアダプタ AF-9808A を接続することにより、μPD17P207 をプログラミングすることができます。
プログラムアダプタ (AF-9808A ^{注4})	AF-9808A は、μPD17P207 をプログラミングするためのアダプタです。AF-9703, AF-9704, AF-9705 または AF-9706 と組み合わせて使用します。

注1. 廉価版：電源外付けタイプ

2. 株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー（東京(03)3447-3793）までお問い合わせください。
3. EP-17201GF には EV-9200G-80 が 2 個添付されています。また、EV-9200G-80 を 5 個 1 組で別売もしています。
4. 安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社（東京(03)3733-1151）までお問い合わせください。

ソフトウェア

名 称	概 要	ホスト・マシン	OS		供給媒体	オーダ名称
17K シリーズ アセンブラ (AS17K)	AS17K は17K シリーズ共通のアセンブラです。 μPD17201A, 17207のプログラム開発には、この AS17Kとデバイス・ファイル (AS17201, AS17207) を組み合わせて使用します。	PC-9800 シリーズ	MS-DOS™		5 インチ2HD	μS5A10AS17K
					3.5 インチ2HD	μS5A13AS17K
		IBM PC/AT	PC DOS™		5 インチ2HC	μS7B10AS17K
					3.5 インチ2HC	μS7B13AS17K
デバイス・ファイル (AS17201)	AS17201 は μPD17201A 用のデバイス・ファイルです。 17K シリーズ共通のアセンブラ (AS17K) と組み合わせて使用します。	PC-9800 シリーズ	MS-DOS		5 インチ2HD	μS5A10AS17201
					3.5 インチ2HD	μS5A13AS17201
		IBM PC/AT	PC DOS		5 インチ2HC	μS7B10AS17201
					3.5 インチ2HC	μS7B13AS17201
デバイス・ファイル (AS17207)	AS17207 は μPD17207 用のデバイス・ファイルです。 17K シリーズ共通のアセンブラ (AS17K) と組み合わせて使用します。	PC-9800 シリーズ	MS-DOS		5 インチ2HD	μS5A10AS17207
					3.5 インチ2HD	μS5A13AS17207
		IBM PC/AT	PC DOS		5 インチ2HC	μS7B10AS17207
					3.5 インチ2HC	μS7B13AS17207
サポート・ソフトウェア (SIMPLEHOST)	SIMPLEHOST はインサートキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときに Windows™ 上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800 シリーズ	MS-DOS	Windows	5 インチ2HD	μS5A10IE17K
					3.5 インチ2HD	μS5A13IE17K
		IBM PC/AT	PC DOS		5 インチ2HC	μS7B10IE17K
					3.5 インチ2HC	μS7B13IE17K

備考 対応している OS のバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver.3.30~Ver.5.00A ^注
PC DOS	Ver.3.1~Ver.5.0 ^注
Windows	Ver.3.0~Ver.3.1

注 MS-DOS の Ver.5.00/5.00A, PC DOS の Ver.5.0 にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

[メ モ]

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

SIMPLEHOST は、日本電気株式会社の登録商標です。

MS-DOS, Windows は、米国マイクロソフト社の商標です。

PC/AT, PC DOS は、米国 IBM 社の商標です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザ(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部			
半導体第二販売事業部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
半導体第三販売事業部			
中部支社 半導体販売部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部			大阪 (06) 945-3178
半導体第二販売部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3200
半導体第三販売部			大阪 (06) 945-3208
北海道支社 札幌	(011)231-0161	宇都宮支店 宇都宮	(028)621-2281
東北支社 仙台	(022)261-5511	小山支店 小山	(0285)24-5011
岩手支店 盛岡	(0196)51-4344	長野支店 長野	(026)235-1444
山形支店 山形	(0236)23-5511	松本支店 松本	(0263)35-1666
郡山支店 郡山	(0249)23-5511	上野支店 上野	(0266)53-5350
いわき支店 いわき	(0246)21-5511	甲府支店 甲府	(0552)24-4141
長岡支店 長岡	(0258)36-2155	埼玉支店 埼玉	(048)641-1411
土浦支店 土浦	(0298)23-6161	立川支店 立川	(0425)26-5981
水戸支店 水戸	(0292)26-1717	千葉支店 千葉	(043)238-8116
神奈川支店 横浜	(045)324-5511	静岡支店 静岡	(054)255-2211
群馬支店 高崎	(0273)26-1255	北陸支店 金沢	(0762)23-1621
太田支店 太田	(0276)46-4011	福井支店 福井	(0776)22-1866
富山支店 富山	(0764)31-8461	富山支店 富山	(0764)31-8461
三重支店 津	(0592)25-7341	三重支店 津	(0592)25-7341
京都支店 京都	(075)344-7824	京都支店 京都	(075)344-7824
神戸支店 神戸	(078)333-3854	神戸支店 神戸	(078)333-3854
中国支店 広島	(082)242-5504	中国支店 広島	(082)242-5504
鳥取支店 鳥取	(0857)27-5311	鳥取支店 鳥取	(0857)27-5311
岡山支店 岡山	(086)225-4455	岡山支店 岡山	(086)225-4455
四国支店 高松	(0878)36-1200	四国支店 高松	(0878)36-1200
新居浜支店 新居浜	(0897)32-5001	新居浜支店 新居浜	(0897)32-5001
松山支店 松山	(089)945-4111	松山支店 松山	(089)945-4111
九州支店 福岡	(092)271-7700	九州支店 福岡	(092)271-7700
北九州支店 北九州	(093)541-2887	北九州支店 北九州	(093)541-2887

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部				
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
東日本販売技術部				
半導体販売技術本部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
中部販売技術部				
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	
西日本販売技術部				