

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

小型汎用

4ビット・シングルチップ・マイクロコントローラ

μ PD17134B, 17136B は、8ビット A/D コンバータ (4チャンネル)、タイマ機能 (3チャンネル)、ACゼロクロス検出回路、パワーオン/パワーダウン・リセット回路、シリアル・インタフェースを内蔵している4ビット・シングルチップ・マイクロコントローラです。

CPUとして汎用レジスタ方式である17Kアーキテクチャを採用しており、従来アキュムレータを介して行っていた演算に代わって直接データ・メモリ間で演算が行えます。さらに、すべての命令は16ビット/1語で構成されていますので、効率のよいプログラミングが可能です。

μ PD17134B, 17136B には、プログラム評価用または少量生産用としてワン・タイム PROM 製品の μ PD17P136B を用意しています。

μ PD17134B, 17136B は、 μ PD17134A, 17136A の発振安定待ち時間を短縮した製品であり、 μ PD17134A, 17136A の代替製品ではありません。

特 徴

- 17K アーキテクチャ採用 : 汎用レジスタ方式
- プログラム・メモリ (ROM)
 - μ PD17134B : 2K バイト (1024×16ビット)
 - μ PD17136B : 4K バイト (2048×16ビット)
- データ・メモリ (RAM) : 112×4 ビット
- 外部割り込み : 1本 (INT 端子, センス入力付き)
- 命令実行時間 : 8 μ s ($f_{CC}=2$ MHz 動作時: RC^{注1}発振)
- 8ビット A/D コンバータ : 4チャンネル 絶対精度 ± 1.5 LSB 以下 ($V_{DD}=5$ V ± 10 %)
- タイマ機能 : 3チャンネル
- シリアル・インタフェース : 1チャンネル (クロック同期3線式)
- 入出力端子 : 22本 (入力1本, センス入力1本含む)
- パワーオン/パワーダウン・リセット回路機能^{注2}
- 動作電源電圧範囲 : $V_{DD}=2.7\sim 5.5$ V

注1. RC 発振の C は μ PD17136B に内蔵しています。

2. 発振安定待ち時間が極めて短いため、パワーオン/パワーダウン・リセット機能が有効に動作しない場合があります。その場合には、外部から $\overline{\text{RESET}}$ 信号を入力するようにしてください。

この資料では、特に断りがなければ μ PD17136B を代表品種として説明しています。

本資料の内容は、後日変更する場合があります。

用 途

カメラの AF レンズ制御など

オーダ情報

オーダ名称	パッケージ
μPD17134BCT-×××	28ピン・プラスチック・シュリンク DIP (400 mil)
μPD17134BGT-×××	28ピン・プラスチック SOP (375 mil)
μPD17136BCT-×××	28ピン・プラスチック・シュリンク DIP (400 mil)
μPD17136BGT-×××	28ピン・プラスチック SOP (375 mil)

備考 ×××は ROM コード番号です。

μPD17134B サブシリーズと μPD17134A サブシリーズの違い

項 目	μPD17134B	μPD17136B	μPD17134A	μPD17136A
発振安定待ち時間	2×512/ f_{cc}		256×512/ f_{cc}	
タイマ 1 のモジュロ・レジスタのリセット時の値	01H		FFH	
品質水準	標 準		標準	<ul style="list-style-type: none"> • 標準 • 特別水準
ワン・タイム PROM 製品	μPD17P136B		μPD17P136A	

機能一覧

項目	品名	μPD17134B	μPD17136B
ROM 容量		2 K バイト (1024×16 ビット)	4 K バイト (2048×16 ビット)
RAM 容量		112 × 4 ビット (スタックはデータ・メモリ外に確保)	
スタック		アドレス・スタック×5, 割り込みスタック×3	
入出力ポート数		22 本 { <ul style="list-style-type: none"> • 入出力 : 20 本 • 入力専用 : 1 本 • センス入力 (INT 端子^注) : 1 本 (割り込み, AC ゼロクロス入力兼用) 	
A/D コンバータ入力		4 チャンネル (ポート端子兼用) 絶対精度 ± 1.5 LSB 以下 (電源電圧 : 5 V ± 10 %)	
タイマ		3 チャンネル { <ul style="list-style-type: none"> • 8 ビット・タイマ : 2 チャンネル (16 ビット・タイマ 1 チャンネル応用可) • 7 ビット・ベーシック・インターバル・タイマ : 1 チャンネル (ウォッチドッグ・タイマ応用可) 	
シリアル・インタフェース		1 チャンネル (3 線式)	
割り込み		<ul style="list-style-type: none"> • ハードウェアによる多重割り込み可, 最大 3 レベル • 外部割り込み : 1 本 (INT) { <ul style="list-style-type: none"> • AC ゼロクロス検出入力兼用 • 立ち上がり検出, 立ち下がり検出, 立ち上がり, 立ち下がり (両エッジ) 検出選択可 • センス入力付き • 内部割り込み : 4 本 { <ul style="list-style-type: none"> • タイマ 0 (TM0) • タイマ 1 (TM1) • ベーシック・インターバル・タイマ (BTM) • シリアル・インタフェース (SIO) 	
命令実行時間		8 μs (f _{cc} = 2 MHz 動作時 : RC 発振)	
スタンバイ機能		STOP/HALT	
パワーオン/パワーダウン・リセット回路		内蔵 (V _{DD} = 4.5 ~ 5.5 V の応用回路で使用可)	
発振安定待ち時間		2 × 512 / f _{cc}	
動作電源電圧		<ul style="list-style-type: none"> • 2.7 ~ 5.5 V • 4.5 ~ 5.5 V (パワーオン/パワーダウン・リセット機能使用時) 	
パッケージ		<ul style="list-style-type: none"> • 28 ピン・プラスチック・シュリンク DIP (400 mil) • 28 ピン・プラスチック SOP (375 mil) 	
ワン・タイム PROM 製品		μPD17P136B	

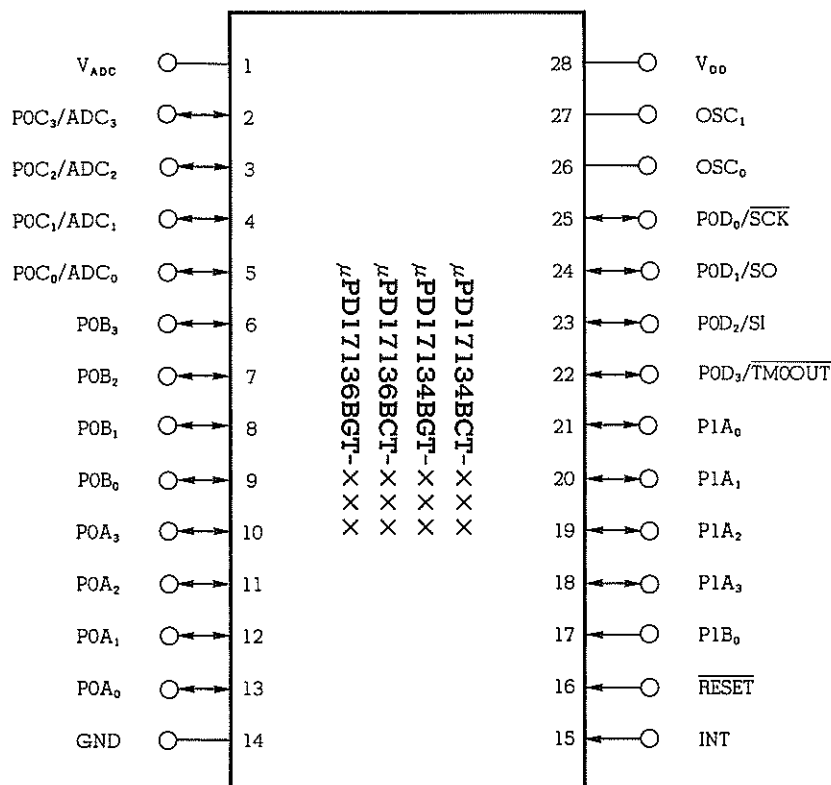
注 INT 端子は外部割り込み機能を使用しない場合に, 入力専用端子 (センス入力) として使用できます。センス入力では端子の状態をポート・レジスタではなく, コントロール・レジスタの INT フラグで読みます。

注意 PROM 製品は, マスク ROM 製品と機能的には高い互換性がありますが, 内部 ROM 回路や電気的特性の一部などに違いがあります。PROM 製品からマスク ROM 製品に切り替える際には, マスク ROM 製品のサンプルによる応用評価を十分に行ってください。

端子接続図 (Top View)

28ピン・プラスチック・シュリンク DIP

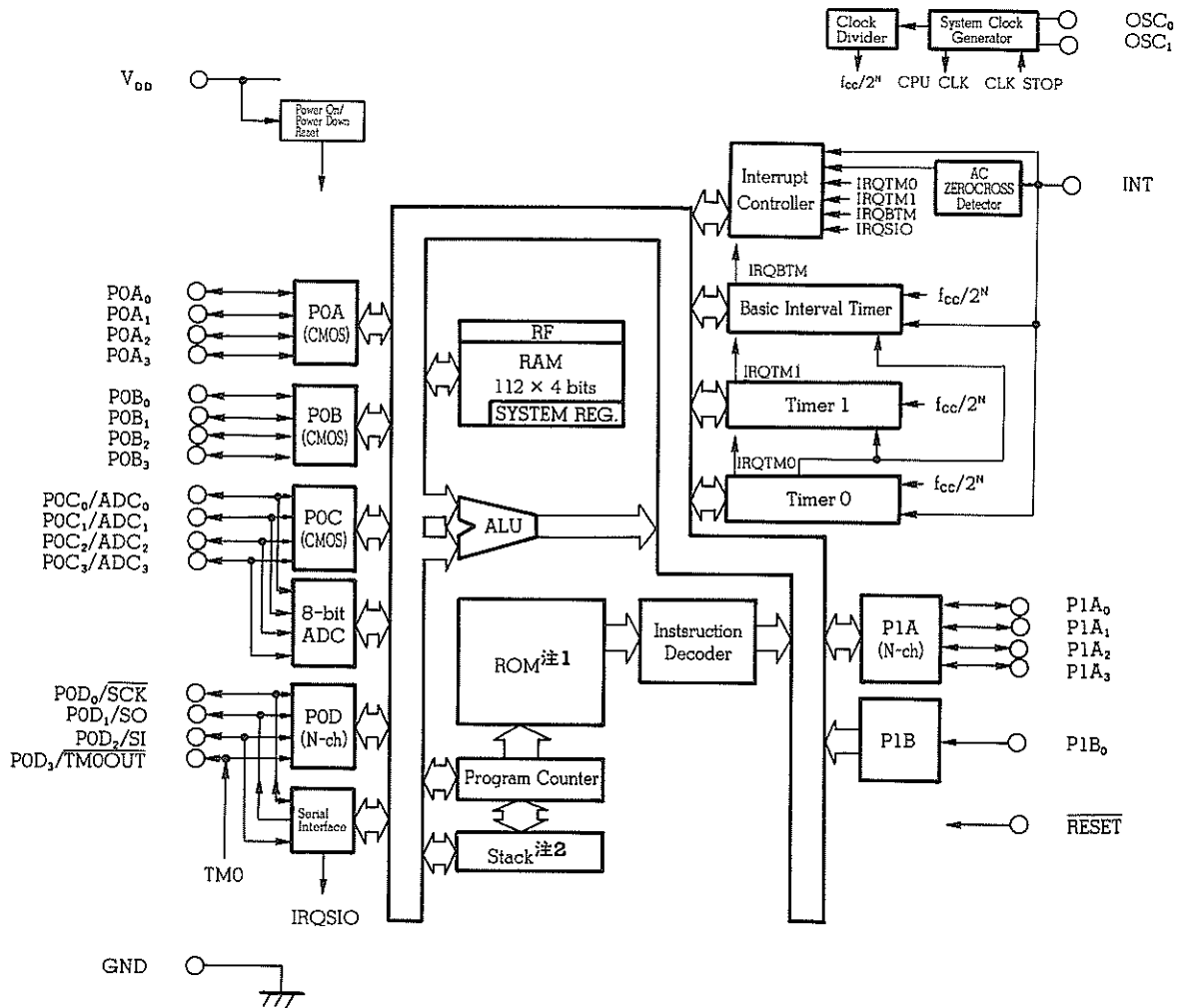
28ピン・プラスチック SOP



- ADC₀-ADC₃ : アナログ入力
- GND : グランド
- INT : 外部割り込み入力
- OSC₀, OSC₁ : システム・クロック発振用
- POA₀-POA₃ : ポート 0A
- POB₀-POB₃ : ポート 0B
- POC₀-POC₃ : ポート 0C
- POD₀-POD₃ : ポート 0D

- P1A₀-P1A₃ : ポート 1A
- P1B₀ : ポート 1B
- RESET : リセット入力
- SCK : シリアル・クロック入出力
- SI : シリアル・データ入力
- SO : シリアル・データ出力
- TMOOUT : タイマ 0 出力
- V_{ADC} : アナログ電源
- V_{DD} : 電源

ブロック図



備考 () 内の CMOS, N-ch はポートの出力形式を表します。

CMOS : CMOS プッシュプル出力

N-ch : N-ch オープン・ドレイン出力 (N-ch オープン・ドレインの各端子は、マスク・オプションによりビット単位でプルアップ抵抗を内蔵することができます)

注 1. 各製品の ROM の容量は次のとおりです。

1024 × 16 bits : μPD17134B

2048 × 16 bits : μPD17136B

2. 各製品のスタックの容量は次のとおりです。

5 × 10 bits : μPD17134B

5 × 11 bits : μPD17136B

目 次

1. 端 子	9
1.1 端子機能	9
1.2 端子の等価回路	10
1.3 未使用端子の処理	13
1.4 $\overline{\text{RESET}}$ 端子と P1B_0 端子の使用上の注意	14
2. プログラム・メモリ (ROM)	15
2.1 プログラム・メモリの構成	15
3. プログラム・カウンタ (PC)	16
3.1 プログラム・カウンタの構成	16
3.2 プログラム・カウンタの動作	16
4. スタック	17
5. データ・メモリ (RAM)	18
5.1 データ・メモリの構成	18
6. ジェネラル・レジスタ (GR)	19
6.1 ジェネラル・レジスタ・ポインタ (RP)	19
7. システム・レジスタ (SYSREG)	20
7.1 システム・レジスタの構成	20
8. レジスタ・ファイル (RF)	22
8.1 レジスタ・ファイルの構成	22
8.2 コントロール・レジスタ	23
9. データ・バッファ (DBF)	24
9.1 データ・バッファの構成	24
9.2 データ・バッファの機能	25
10. ALU ブロック	26
10.1 ALU ブロックの構成	26
11. ポート	28
11.1 ポート OA ($\text{POA}_0, \text{POA}_1, \text{POA}_2, \text{POA}_3$)	28
11.2 ポート OB ($\text{POB}_0, \text{POB}_1, \text{POB}_2, \text{POB}_3$)	29
11.3 ポート OC ($\text{POC}_0/\text{ADC}_0, \text{POC}_1/\text{ADC}_1, \text{POC}_2/\text{ADC}_2, \text{POC}_3/\text{ADC}_3$)	30
11.4 ポート OD ($\text{POD}_0/\overline{\text{SCK}}, \text{POD}_1/\text{SO}, \text{POD}_2/\text{SI}, \text{POD}_3/\overline{\text{TM0OUT}}$)	31

- 11.5 ポート 1A (P1A₀, P1A₁, P1A₂, P1A₃) … 32
- 11.6 ポート 1B (P1B₀) … 32

- 12. 8ビット・タイマ・カウンタ (TMO, TM1) … 33
 - 12.1 8ビット・タイマ・カウンタの構成 … 33

- 13. ベーシック・インターバル・タイマ (BTM) … 36
 - 13.1 ベーシック・インターバル・タイマの構成 … 36
 - 13.2 ベーシック・インターバル・タイマを制御するレジスタ … 38
 - 13.3 ウォッチドッグ・タイマ機能 … 40

- 14. A/D コンバータ … 42
 - 14.1 A/D コンバータの構成 … 42
 - 14.2 A/D コンバータの機能 … 43
 - 14.3 A/D コンバータの動作 … 44

- 15. シリアル・インタフェース (SIO) … 47
 - 15.1 シリアル・インタフェースの機能 … 47
 - 15.2 3線式シリアル・インタフェースの動作モード … 49

- 16. 割り込み機能 … 51
 - 16.1 割り込み要因の種類とベクタ・アドレス … 51
 - 16.2 割り込み制御回路の各種ハードウェア … 52

- 17. ACゼロクロス検出回路 … 53

- 18. スタンバイ機能 … 55
 - 18.1 スタンバイ機能の概要 … 55
 - 18.2 HALT モード … 56
 - 18.3 STOP モード … 58

- 19. リセット … 60
 - 19.1 リセット機能 … 60
 - 19.2 リセット動作 … 61
 - 19.3 パワーオン/パワーダウン・リセット機能 … 62

- 20. 命令セット … 67
 - 20.1 凡 例 … 67
 - 20.2 命令セット一覧 … 68

- 21. アセンブラ予約語 … 70
 - 21.1 マスク・オプション疑似命令 … 70
 - 21.2 予約シンボル … 73

- 22. 電気的特性 … 80
- 23. 特性曲線 (参考値) … 86
- 24. 外形図 … 89
- 25. 半田付け推奨条件 … 93
- 付録 開発ツール … 94

1. 端子

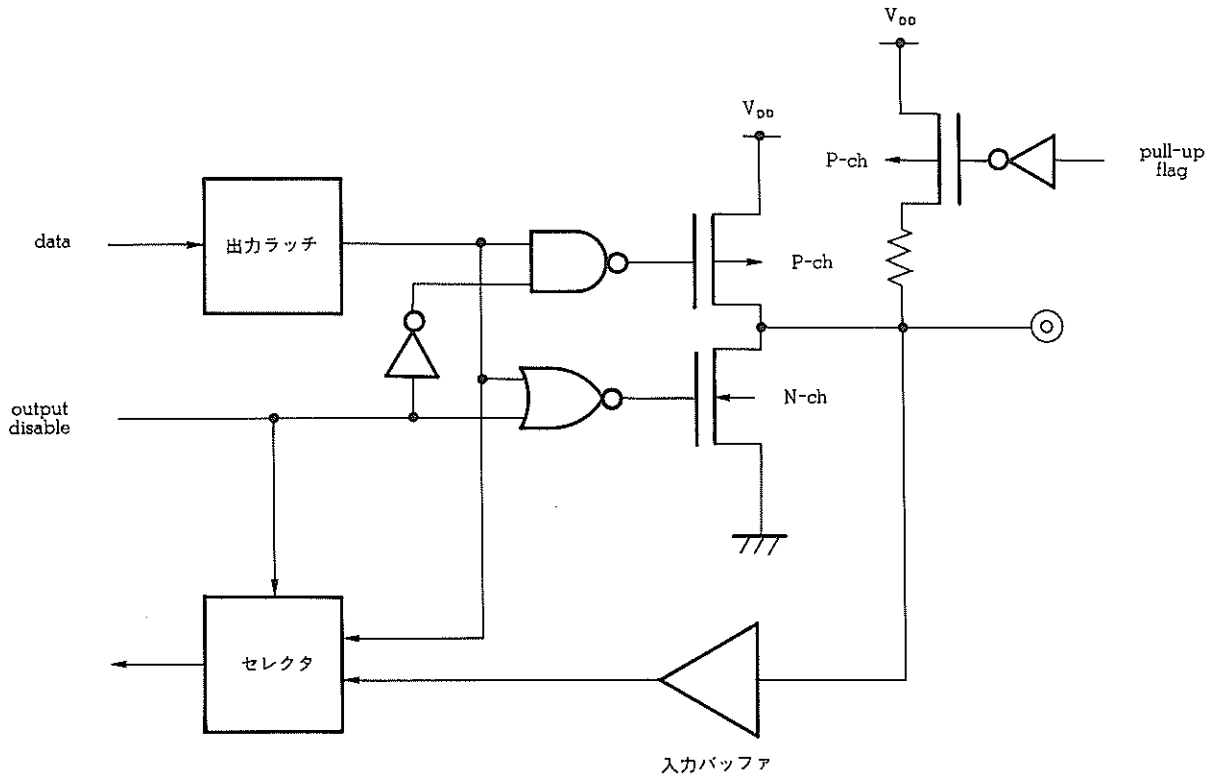
1.1 端子機能

端子番号	記号	機能	出力形式	リセット時
1	V _{ADC}	A/D コンバータの電源、および基準電圧発生用電源	入 力	-
2 5	POC ₃ /ADC ₃ POC ₀ /ADC ₀	ポート 0C および A/D コンバータのアナログ入力です。 ● POC ₃ -POC ₀ ・ 4 ビット入出力ポート ・ 1 ビット単位で入力/出力設定可能 ● ADC ₃ -ADC ₀ ・ A/D コンバータのアナログ入力	CMOSプッシュプル	入 力 (POC)
6 9	POB ₃ POB ₀	ポート 0B です。 ・ 4 ビット入出力ポート ・ 4 ビット単位で入力/出力設定可能 ・ 4 ビット単位でソフトウェアによるプルアップ抵抗を内蔵可能	CMOSプッシュプル	入 力
10 13	POA ₃ POA ₀	ポート 0A です。 ・ 4 ビット入出力ポート ・ 4 ビット単位で入力/出力設定可能 ・ 4 ビット単位でソフトウェアによるプルアップ抵抗を内蔵可能	CMOSプッシュプル	入 力
14	GND	GND です。	-	-
15	INT	外部割り込み要求信号の入力およびセンス入力です。	-	入 力
16	$\overline{\text{RESET}}$	システム・リセット入力です。 ・ マスク・オプションによるプルアップ抵抗を内蔵可能	-	入 力
17	P1B ₀	ポート 1B です。 ・ 1 ビット入力ポート ・ マスク・オプションによるプルアップ抵抗を内蔵可能	入 力	入 力
18 21	P1A ₃ P1A ₀	ポート 1A です。 ・ 4 ビット入出力ポート ・ 4 ビット単位で入力/出力設定可能 ・ 1 ビット単位でマスク・オプションによるプルアップ抵抗を内蔵可能	N-ch オープン・ドレイン	入 力
22 23 24 25	POD ₃ /TMOOUT POD ₂ /SI POD ₁ /SO POD ₀ / $\overline{\text{SCK}}$	ポート 0D, タイマ 0 出力, シリアル・データ入力, シリアル・データ出力, およびシリアル・クロック入出力です。 ・ 1 ビット単位でマスク・オプションによるプルアップ抵抗を内蔵可能 ● POD ₃ -POD ₀ ・ 4 ビット入出力ポート ・ 1 ビット単位で入力/出力設定可能 ● $\overline{\text{TMOOUT}}$ ・ タイマ 0 出力 ● SI ・ シリアル・データ入力 ● SO ・ シリアル・データ出力 ● $\overline{\text{SCK}}$ ・ シリアル・クロック入出力	N-ch オープン・ドレイン	入 力 (POD)
26 27	OSC ₀ OSC ₁	システム・クロック発振用です。 OSC ₀ , OSC ₁ 間に抵抗を接続します。	-	-
28	V _{DD}	電源	-	-

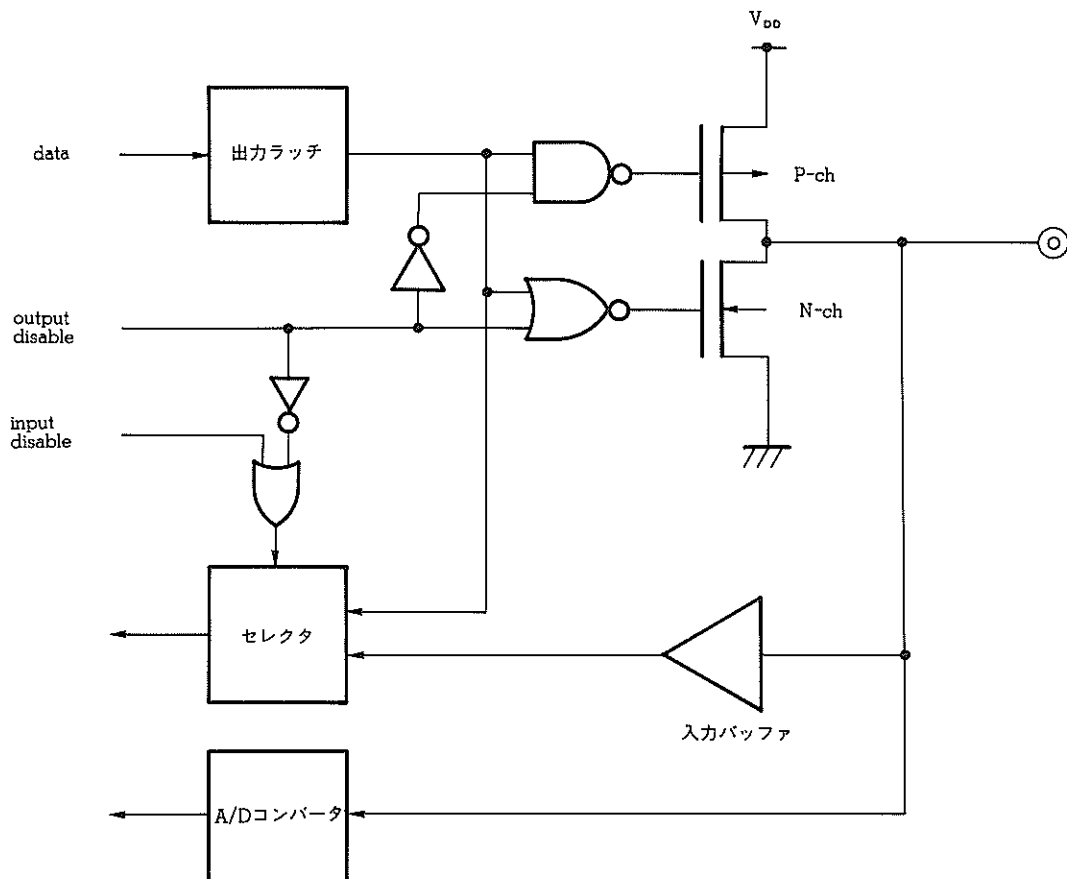
1.2 端子の等価回路

μPD17136Bの各端子の入出力回路を一部簡略化した形式を用いて示します。

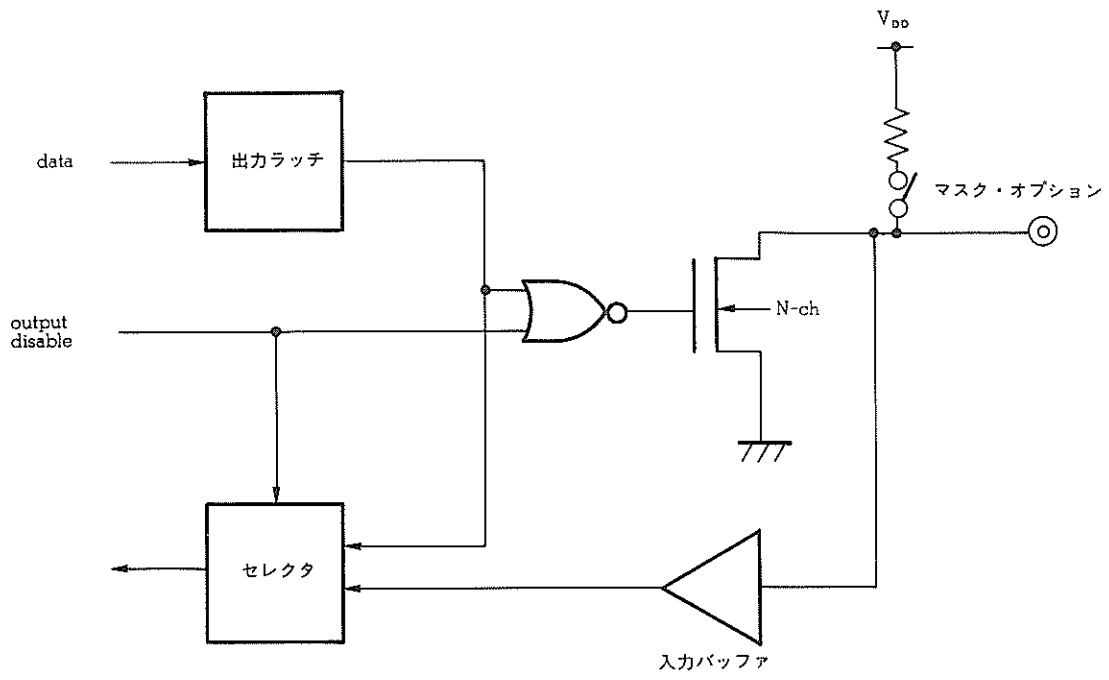
(1) POA₀-POA₃, POB₀-POB₃



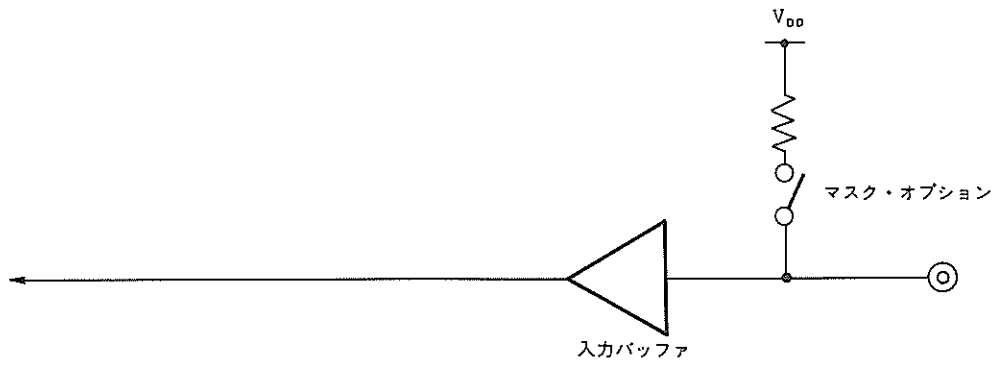
(2) POC₀/ADC₀-POC₃/ADC₃



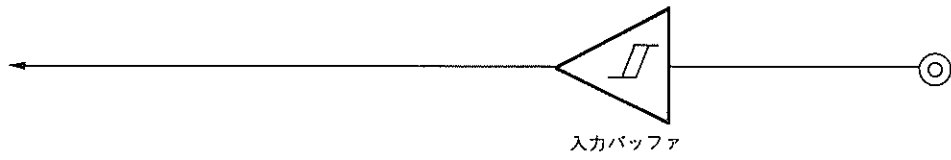
(3) POD_0 - POD_3 , $P1A_0$ - $P1A_3$



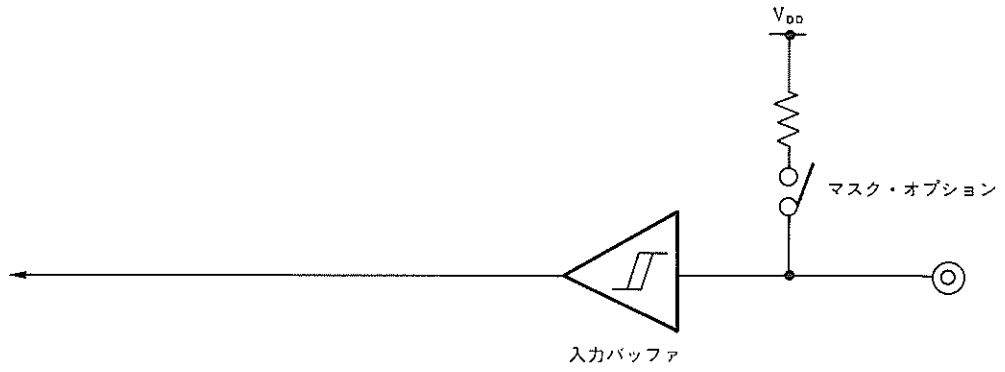
(4) $P1B_0$



(5) INT



(6) $\overline{\text{RESET}}$



1.3 未使用端子の処理

未使用端子には、次に示すような処置を推奨します。

表 1-1 未使用端子の処理

端子名		推奨処理方法		
		マイコン内部	マイコン外部	
ポート	入力モード	POA, POB	ソフトウェアによるプルアップ抵抗を内蔵する	オープン
		POC	—	各端子ごとに抵抗を介して V_{DD} または GND に接続 ^{注1}
		POD, P1A	マスク・オプションによるプルアップ抵抗を内蔵しない	GND に直接接続
			マスク・オプションによるプルアップ抵抗を内蔵する	オープン
		P1B ₀ ^{注2}	マスク・オプションによるプルアップ抵抗を内蔵しない	GND に直接接続
	出力モード	POA, POB, POC (CMOS ポート)	—	オープン
		POD, P1A (N-ch オープン・ドレイン・ポート)	マスク・オプションによるプルアップ抵抗を内蔵しないで、ロウ・レベルを出力する マスク・オプションによるプルアップ抵抗を内蔵して、ハイ・レベルを出力する	
	外部割り込み (INT)		マスク・オプションによるプルアップ抵抗を内蔵しない	V_{DD} または GND に直接接続
			マスク・オプションによるプルアップ抵抗を内蔵する	オープン
	RESET ^{注3}		マスク・オプションによるプルアップ抵抗を内蔵しない	V_{DD} に直接接続
マスク・オプションによるプルアップ抵抗を内蔵する				
V _{ADC}		—	V_{DD} に直接接続	

注 1. 外部でプルアップ（抵抗を介して V_{DD} に接続）またはプルダウン（抵抗を介して GND に接続）する場合には、ポートのドライブ能力や消費電流に注意してください。また、高い抵抗値でプルアップまたはプルダウンする場合には、その端子にノイズが乗らないように注意してください。応用回路にもよりますが、プルアップまたはプルダウンの抵抗値は、数十kΩ が一般的です。

2. P1B₀ 端子はテスト・モードの設定機能を兼用しているので、未使用の場合はマスク・オプションによるプルアップ抵抗を内蔵しないで、直接 GND に接続してください。

3. 高い信頼性を必要とする応用回路では、必ず外部から RESET 信号を入力するように設計してください。また、RESET 端子はテスト・モードの設定機能を兼用しているので、未使用の場合は直接 V_{DD} に接続してください。

注意 入出力モード、ソフトウェアによるプルアップ抵抗、端子の出力レベルは、プログラムの各グループ内で繰り返し設定することによって固定することを推奨します。

1.4 $\overline{\text{RESET}}$ 端子と P1B₀ 端子の使用上の注意

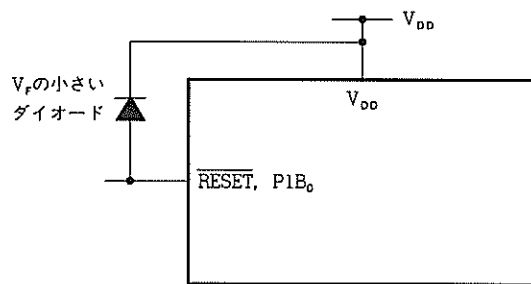
$\overline{\text{RESET}}$ 端子と P1B₀ 端子は、1.1 端子機能に示した機能のほかに、μPD17136B の内部動作をテストするテスト・モードを設定する機能（IC テスト専用）を持っています。

これらの端子のいずれかに V_{DD} を越える電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であっても V_{DD} を越えるようなノイズが加わった場合にはテスト・モードに入ってしまい、通常動作に支障をきたすことがあります。

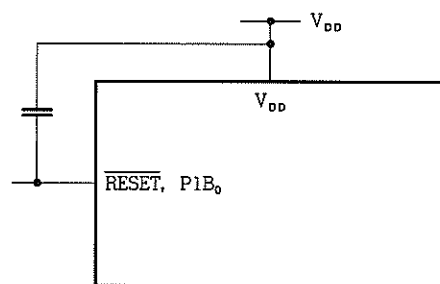
たとえば、 $\overline{\text{RESET}}$ 端子または P1B₀ 端子の配線の引き回しが長い場合などでは、これらの端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は、下図のような外付け部品によるノイズ対策を実施してください。

○ V_{DD} との間に V_f の小さいダイオードを接続



○ V_{DD} との間にコンデンサを接続



2. プログラム・メモリ (ROM)

表 2-1 に μPD17134B, 17136B のプログラム・メモリ構成を示します。

表 2-1 プログラム・メモリ構成

品 名	プログラム・メモリ容量	プログラム・メモリ番地
μPD17134B	2K バイト (1024×16ビット)	0000H-03FFH
μPD17136B	4K バイト (2048×16ビット)	0000H-07FFH

プログラム・メモリは、プログラムおよび定数データ・テーブルなどを格納します。

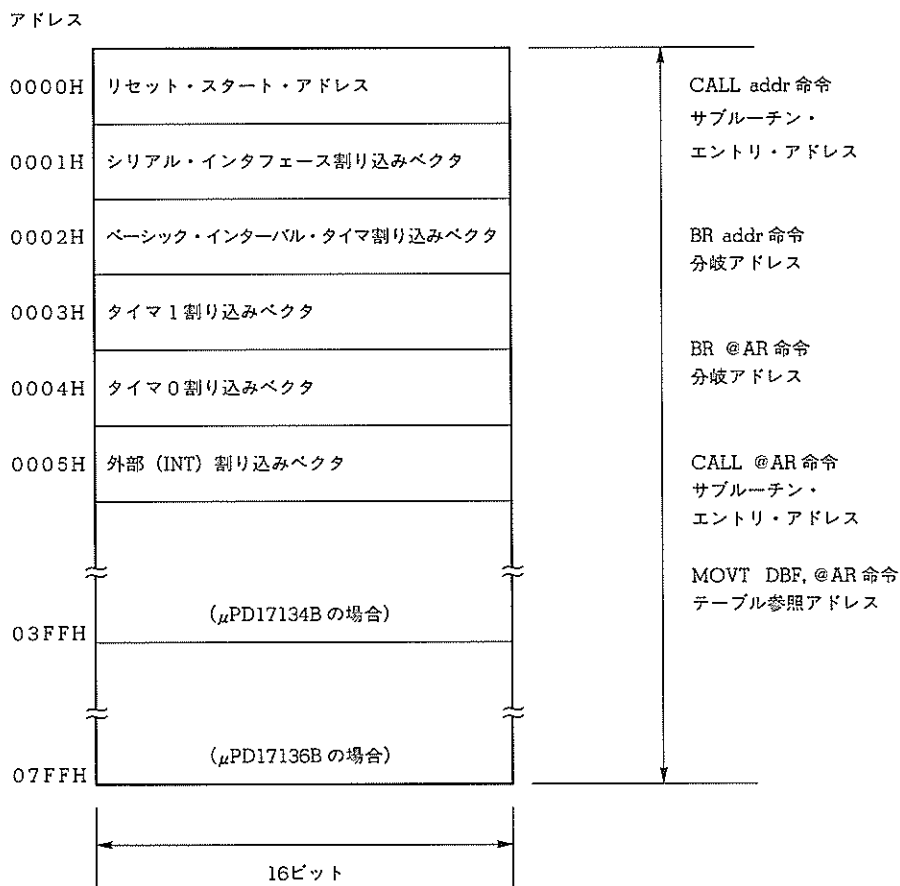
プログラム・メモリは、プログラム・カウンタによってそのアドレスが指定されます。

プログラム・メモリの 0000H-0005H は、リセット・スタート・アドレスおよび各種の割り込みベクタ・アドレスに割り当てられています。

2.1 プログラム・メモリの構成

図 2-1 にプログラム・メモリ・マップを示します。分岐命令、サブルーチン・コール命令、テーブル参照命令によるアドレス指定は、プログラム・メモリの全範囲で可能です。

図 2-1 プログラム・メモリ・マップ



3. プログラム・カウンタ (PC)

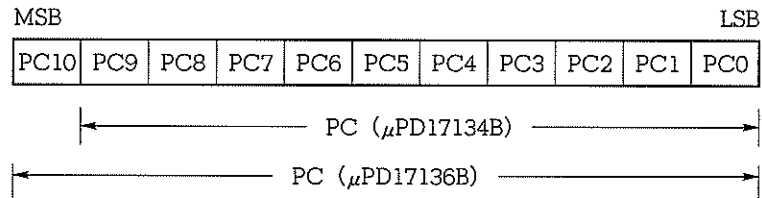
プログラム・カウンタは、プログラム・メモリのアドレスを指定するために使用します。

3.1 プログラム・カウンタの構成

μPD17134Bのプログラム・カウンタは、10ビットのバイナリ・カウンタで構成されています。

μPD17136Bのプログラム・カウンタは、11ビットのバイナリ・カウンタで構成されています。

図 3-1 プログラム・カウンタ



3.2 プログラム・カウンタの動作

プログラム・カウンタは、通常、命令を1つ実行するたびに自動的にインクリメントされます。また、リセット時、分岐命令、サブルーチン・コール命令、リターン命令、テーブル参照命令が実行されたときおよび割り込みが受け付けられたときには、次に実行すべきプログラム・メモリのアドレスがプログラム・カウンタに設定されます。

図 3-2 命令実行後のプログラム・カウンタの値

命令	プログラム・カウンタの値										
	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
リセット時	0	0	0	0	0	0	0	0	0	0	0
BR addr	addr で指定した値										
CALL addr	addr で指定した値										
BR @AR CALL @AR (MOVT DBF, @AR)	アドレス・レジスタ (AR) の内容										
RET RETSK RETI	スタック・ポインタで指定される アドレス・スタックの内容 (戻り番地)										
割り込み受け付け時	各割り込みのベクタ・アドレス										

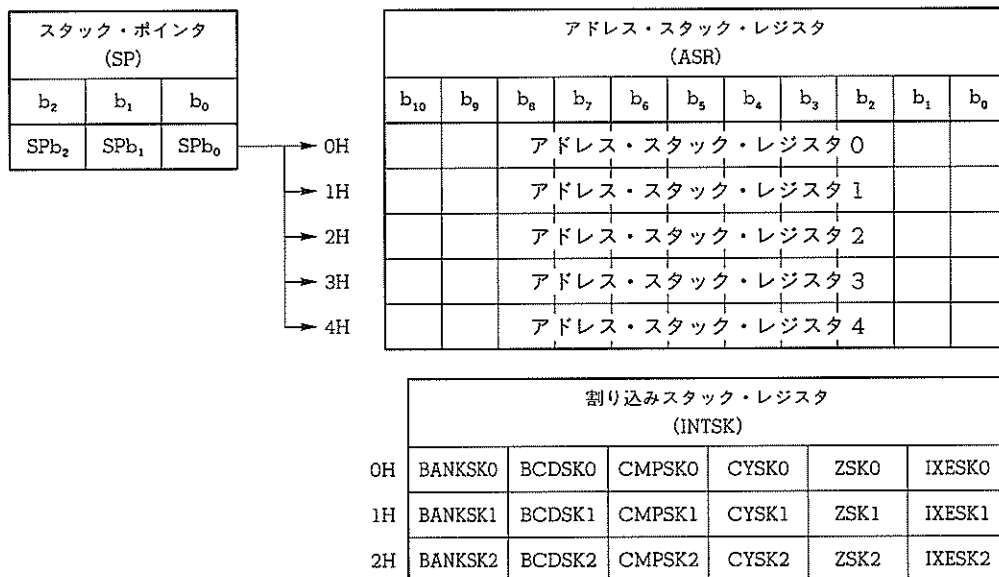
備考 μPD17134B には、PC10 はありません。

4. スタック

スタックの構成を図4-1に示します。スタックはアドレス・スタック・レジスタと割り込みスタック・レジスタから構成されています。

スタックは、サブルーチン・コール命令実行時やテーブル参照命令実行時に戻り番地を退避するために使用します。また、割り込み受け付け時には、プログラムの戻り番地およびプログラム・ステータス・ワード (PSWORD) が自動的に退避されます。なお、退避後バンクおよび PSWORD は全ビットが0にクリアされます。

図 4-1 スタックの構成



備考 μPD17134B には、 b_{10} はありません。

5. データ・メモリ (RAM)

データ・メモリ (RAM) とは、演算・制御等のデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

5.1 データ・メモリの構成

データ・メモリには、7ビットの番地 (アドレス) が付けられています。アドレスの上位3ビットを“ロウ・アドレス”，下位4ビットを“カラム・アドレス”と呼びます。

たとえば、1AH というアドレスのロウ・アドレスは 1H で、カラム・アドレスは 0AH です。

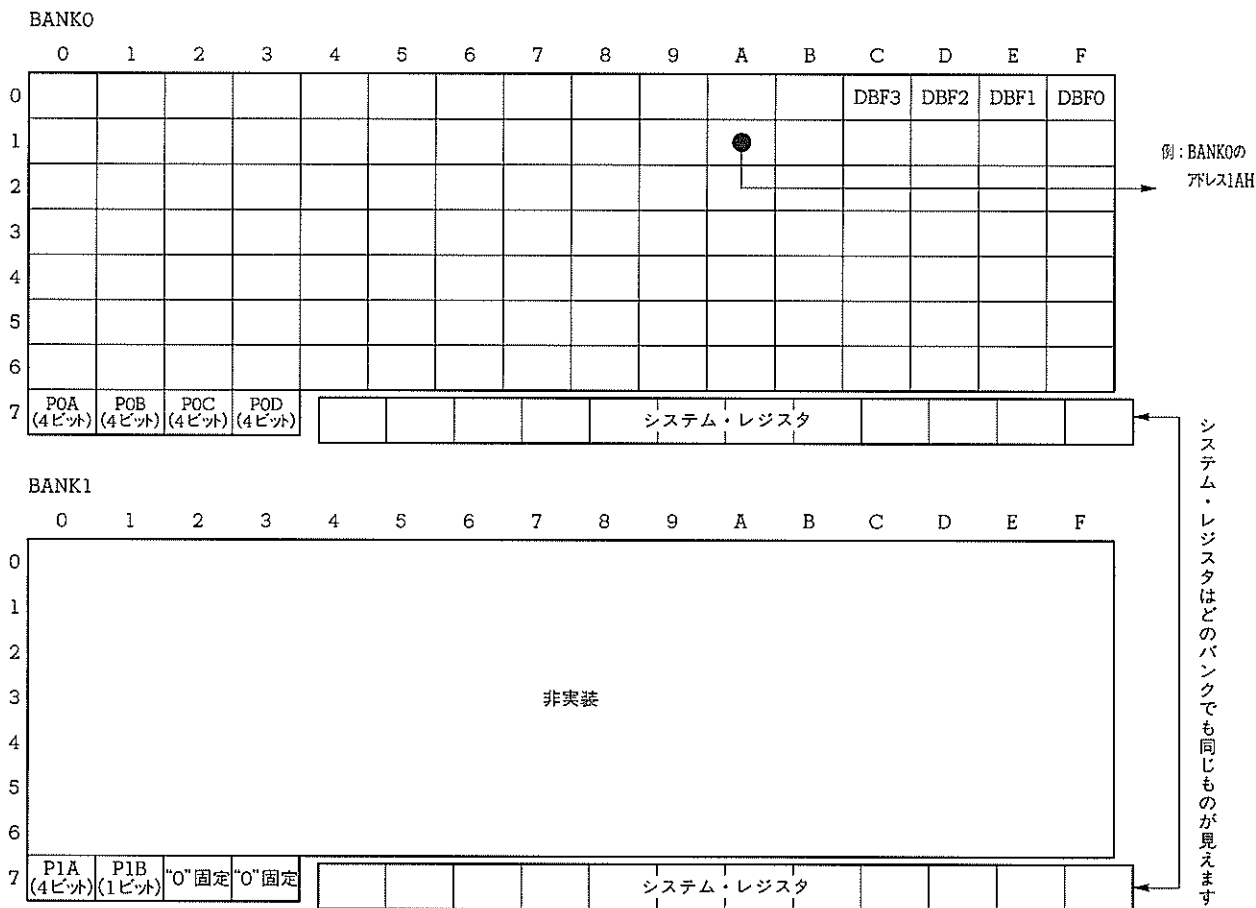
データ・メモリは、1つのアドレスにつき4ビット (=1ニブル) のメモリで構成されています。

データ・メモリには、ユーザが自由にデータなどを格納することができる領域と、あらかじめ特別な機能が割り当てられている領域があります。

特別な機能を持つ領域は次のとおりです。

- システム・レジスタ (SYSREG) (7. システム・レジスタ (SYSREG) 参照)
- データ・バッファ (DBF) (9. データ・バッファ (DBF) 参照)
- ポート・レジスタ (11. ポート参照)

図 5-1 データ・メモリの構成



注意 BANK1 のアドレス 00H-6FH にはハードウェア上は何も実装されていません。この領域は使用しないでください。この領域の内容を読み出したときは、不定の値が読み出されます。また、この領域に対するデータの書き込み命令は無効になります。

6. ジェネラル・レジスタ (GR)

ジェネラル・レジスタは、その名が示すように汎用のレジスタで、データ転送、演算などに使用します。

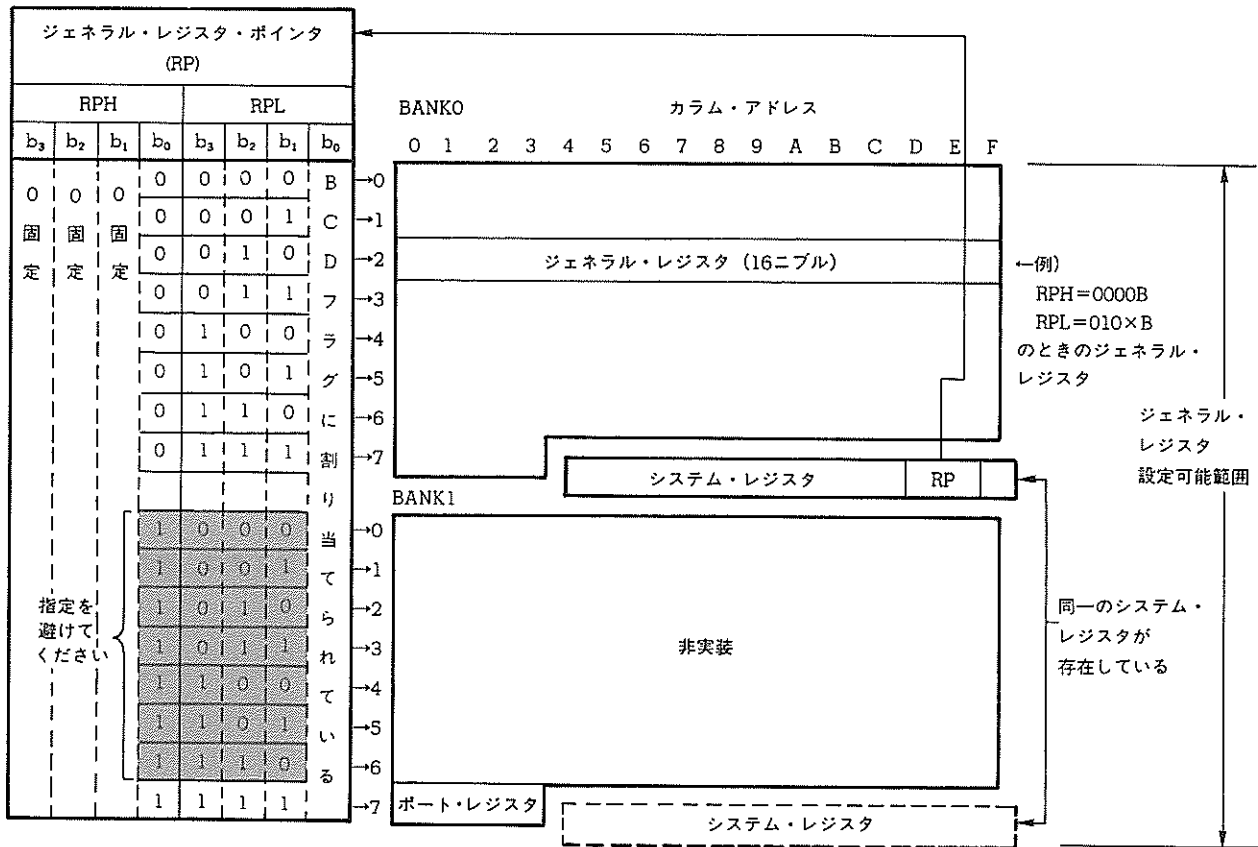
17K シリーズでは、ジェネラル・レジスタは固定された領域ではなく、ジェネラル・レジスタ・ポインタ (RP) により、データ・メモリ上に指定される領域です。データ・メモリ領域の一部を必要に応じて、汎用のレジスタとして指定できますので、データ・メモリ間のデータ転送やデータ・メモリに対する演算などを 1 命令で実現できます。

6.1 ジェネラル・レジスタ・ポインタ (RP)

RP は、データ・メモリの一部をジェネラル・レジスタに指定するポインタです。RP には、ジェネラル・レジスタに指定したいデータ・メモリのバンクとロウ・アドレスを設定します。RP はシステム・レジスタ (7. システム・レジスタ (SYSREG) 参照) の 7DH (RPH) と 7EH (RPL) の上位 3 ビットの計 7 ビットに割り付けられています。

RPH にはバンクを、RPL にはデータ・メモリ・ロウ・アドレスを設定します。

図 6-1 ジェネラル・レジスタ・ポインタの構成



7. システム・レジスタ (SYSREG)

システム・レジスタ (SYSREG) は、直接 CPU の制御を行うためのレジスタでデータ・メモリ上に配置されています。

7.1 システム・レジスタの構成

図 7-1 にシステム・レジスタのデータ・メモリ上の配置を示します。図 7-1 に示すようにシステム・レジスタは、データ・メモリの 74H-7FH 番地にバンクに無関係に配置されています。つまり、どのバンクであっても 74H-7FH 番地には同一のシステム・レジスタが存在しています。

また、システム・レジスタはデータ・メモリ上に配置されているので、すべてのデータ・メモリ操作命令で操作することができます。したがって、システム・レジスタをジェネラル・レジスタに指定することも可能です。

図 7-1 システム・レジスタのデータ・メモリ上の配置

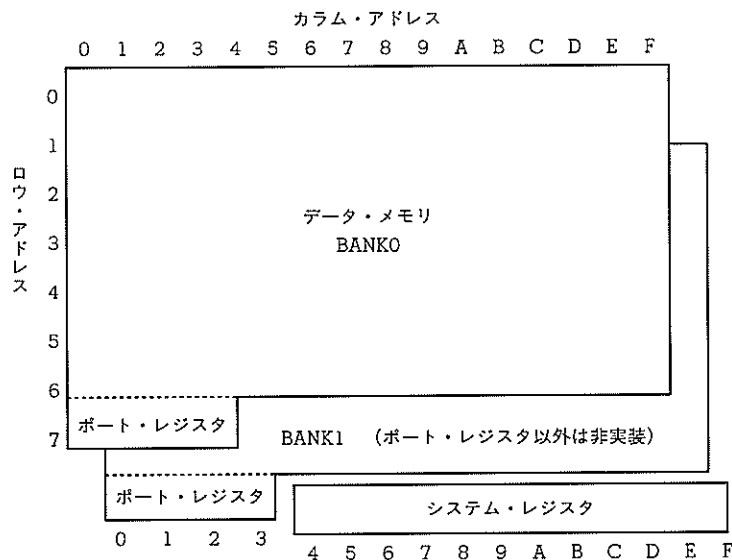


図 7-2 にシステム・レジスタの構成を示します。図 7-2 に示すようにシステム・レジスタは、次の 7 個のレジスタで構成されています。

- アドレス・レジスタ (AR)
- ウィンドウ・レジスタ (WR)
- バンク・レジスタ (BANK)
- インデクス・レジスタ (IX)
- データ・メモリ・ロウ・アドレス・ポインタ (MP)
- ジェネラル・レジスタ・ポインタ (RP)
- プログラム・ステータス・ワード (PSW)

図 7-2 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポイント (MP)			ジェネラル・レジスタ・ポイント (RP)	プログラム・ステータス・ワード (PSWORD)	
記号	AR3	AR2注1	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀
データ注2	0 0 0 0 0 0				← (AR) →		← (BANK) →	← (MP) →	← (IX) →	← (RP) →		B C C I C M Y Z X D P E
リセット時の初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0				不定	0 0 0 0 0 0 0 0 0 0 0 0 0 0		0 0 0 0 0 0 0 0 0 0 0 0 0 0		0 0 0 0 0 0 0 0 0 0 0 0 0 0		0 0 0 0 0 0

注 1. μPD17134B では、AR2 のビット 2 は “0 固定” です。
 2. この欄の 0 が書かれている部分は “0 固定” を意味します。

8. レジスタ・ファイル (RF)

レジスタ・ファイルは主として周辺ハードウェアの条件設定を行うためのレジスタです。

設定には PEEK, POKE 命令または AS17K の組み込みマクロ命令である SETn, CLRn および INITFLG 命令を使用します。

8.1 レジスタ・ファイルの構成

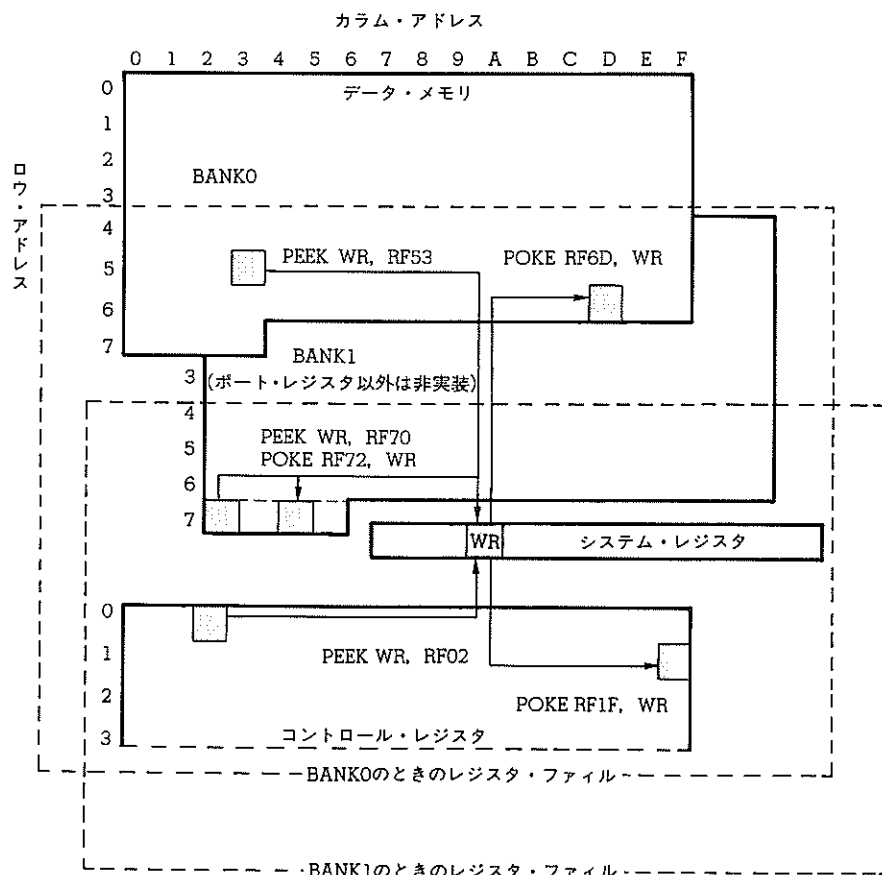
図 8-1 にレジスタ・ファイルの構成および PEEK, POKE 命令によるレジスタ・ファイルのアクセスの様子を示します。

コントロール・レジスタは、バンクに関係なくアドレス 00H-3FH 番地に割り付けられています。

したがって、PEEK, POKE 命令でアクセスできる範囲は、コントロール・レジスタのアドレス 00H-3FH および汎用データ・メモリのうち BANK で指定された 40H-7FH となります。この範囲を“レジスタ・ファイル”と呼びます。

なおコントロール・レジスタは、デバッグを容易にするために、インサーキット・エミュレータ IE-17K 上では 80H-BFH 番地に割り付けられています。

図 8-1 レジスタ・ファイルの構成および PEEK, POKE 命令によるレジスタ・ファイルのアクセス



8.2 コントロール・レジスタ

コントロール・レジスタは、レジスタ・ファイルのアドレス 00H-3FH の計64ニブル (64×4ビット) から構成されています。コントロール・レジスタの構成については図 21-2 コントロール・レジスタの構成を参照してください。

コントロール・レジスタのうち実際に使用しているのは26ニブルです。残りの38ニブルは未使用レジスタで読み出しおよび書き込みは禁止されています。

各コントロール・レジスタは1ニブルずつ属性を持っており、それぞれ読み出し書き込み可能 (R/W)、読み出し専用 (R) の2種類があります。

ただし、次に示す読み出し書き込み可能 (R/W) なフラグは、読み出し時、必ず“0”が読み出されますので、注意してください。

- WDTRES (RF: 03H, ビット 3)
- WDTEN (RF: 03H, ビット 0)
- TMORES (RF: 11H, ビット 2)
- TM1RES (RF: 12H, ビット 2)
- BTMRES (RF: 13H, ビット 2)
- ADCSTRT (RF: 20H, ビット 0)

また、1ニブルの中の4ビット・データのうち、“0”に固定されているビットは、読み出したときは常に“0”となり、書き込みを行っても“0”を保持します。

未使用レジスタの38ニブルは、内容を読み出すと不定の値が読み出され、書き込みを行っても何も変化しません。

9. データ・バッファ (DBF)

データ・バッファは、データ・メモリの BANK0 のアドレス 0CH-0FH に割り当てられた 4 ニブルで構成されています。

この領域は GET, PUT 命令によって CPU の周辺ハードウェア (アドレス・レジスタ, シリアル・インタフェース, タイマ 0, タイマ 1, ベーシック・インターバル・タイマ, A/D コンバータ) とデータの受け渡しを行うデータ格納領域です。また, MOVT DBF, @AR 命令によりプログラム・メモリ上の定数データをデータ・バッファ上に読み込むことができます。

9.1 データ・バッファの構成

図 9-1 にデータ・バッファのデータ・メモリ上の配置を示します。

図 9-1 に示すように, データ・バッファは, データ・メモリの BANK0 のアドレス 0CH-0FH が割り当てられており, 4 ニブル (4×4 ビット) から構成されています。

図 9-1 データ・バッファの配置

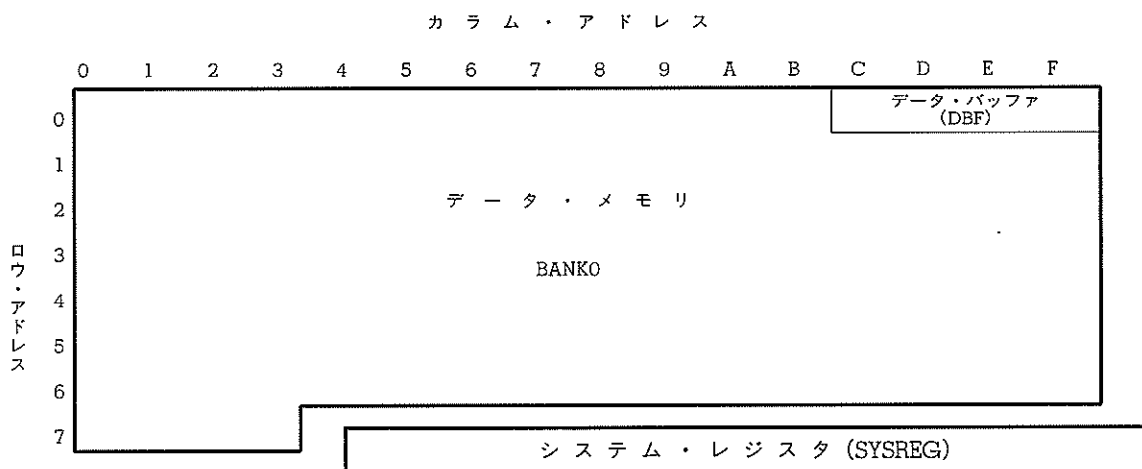


図 9-2 にデータ・バッファの構成を示します。図 9-2 に示すようにデータ・バッファはデータ・メモリの 0FH 番地のビット 0 を LSB とし, 0CH 番地のビット 3 を MSB とする 16 ビットで構成されています。

図 9-2 データ・バッファの構成

データ・メモリ BANK0	アドレス	0CH				0DH				0EH				0FH			
	ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ・バッファ	ビット	b ₁₅	b ₁₄	b ₁₃	b ₁₂	b ₁₁	b ₁₀	b ₉	b ₈	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
	記号	DBF3				DBF2				DBF1				DBF0			
	データ	↑MSB				データ								LSB↓			

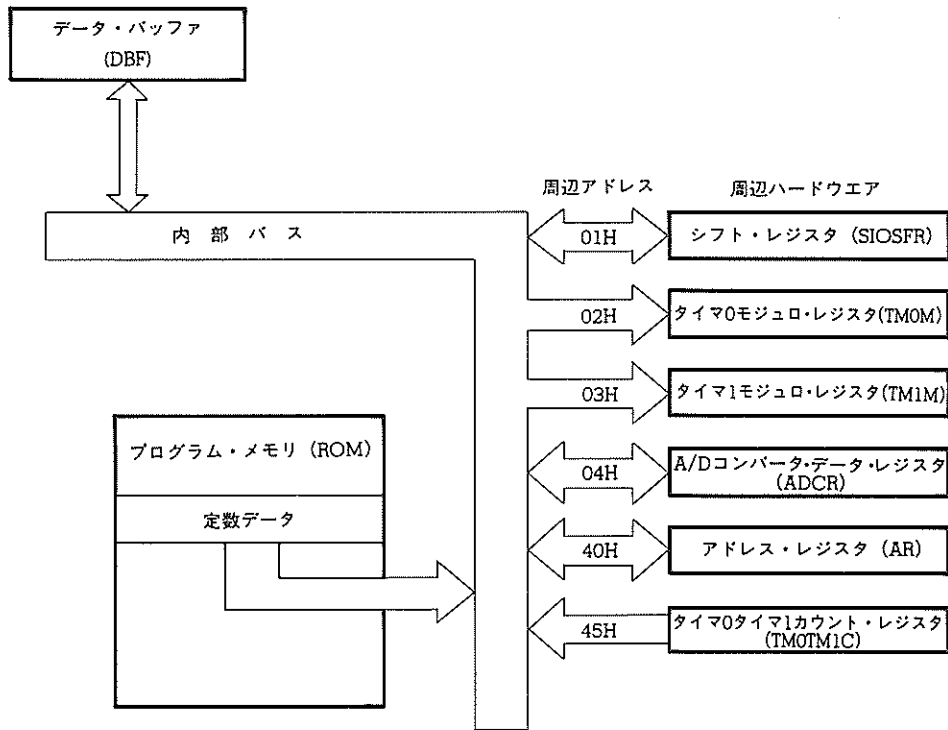
データ・バッファは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作できます。

9.2 データ・バッファの機能

データ・バッファは、大別して2つの機能があります。

1つは周辺ハードウェアとのデータ転送機能で、もう1つはプログラム・メモリ上の定数データの読み込み(テーブル参照)機能です。図9-3にデータ・バッファと周辺ハードウェアの関係を示します。

図9-3 データ・バッファと周辺ハードウェア



10. ALU ブロック

ALU は 4 ビット・データの算術演算, 論理演算, ビット判断および回転処理を行います。

10.1 ALU ブロックの構成

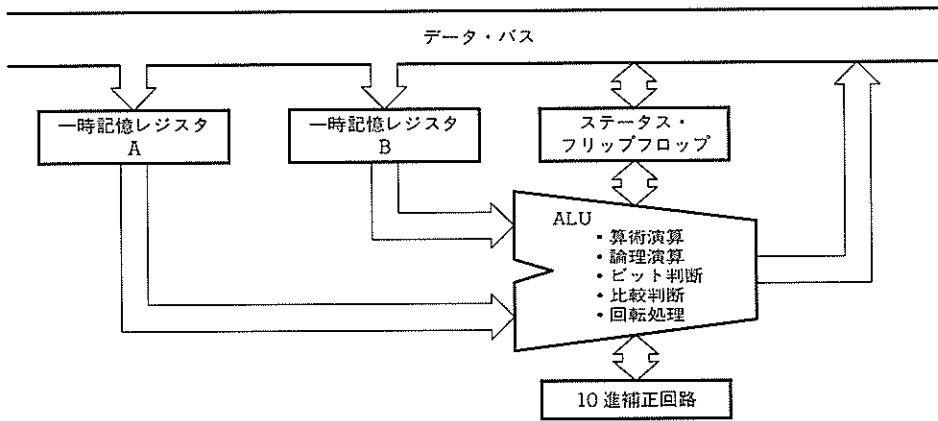
図 10-1 に ALU ブロックの構成を示します。

図 10-1 に示すように ALU ブロックは 4 ビットのデータ処理を行う ALU 本体と, ALU の周辺回路である一時記憶用レジスタ A, B と, ALU の状態を制御するステータス・フリップフロップと, BCD 演算使用時の 10 進補正回路から構成されています。

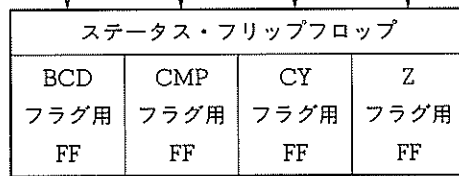
ステータス・フリップフロップは図 10-1 に示すように, ゼロ・フラグ用 FF, キャリー・フラグ用 FF, コンペア・フラグ用 FF および BCD フラグ用 FF から構成されています。

ステータス・フリップフロップはシステム・レジスタの中のプログラム・ステータス・ワード (PSWORD: アドレス 7EH, 7FH) の各フラグであるゼロ・フラグ (Z), キャリー・フラグ (CY), コンペア・フラグ (CMP) および BCD フラグ (BCD) と 1 対 1 に対応しています。

図 10-1 ALU ブロックの構成



アドレス	7EH	7FH			
名 称	プログラム・ステータス・ワード (PSWORD)				
ビット	b ₀	b ₃	b ₂	b ₁	b ₀
フラグ	BCD	CMP	CY	Z	IXE



機能の概要	
→	算術演算結果が0であることを示す
→	算術演算時のキャリーまたはボローを格納
→	算術演算結果を格納するかを指定
→	算術演算時に10進補正を行うかを指定

11. ポート

11.1 ポート OA (POA₀, POA₁, POA₂, POA₃)

ポート OA は、出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリの BANK0 の 70H 番地にマッピングされています。出力形式は CMOS プッシュプル出力です。

4 ビット単位で入力または出力の指定をすることができます。入力/出力の指定はレジスタ・ファイル上の POAGIO (2CH 番地のビット 0) により行います。

POAGIO=0 のとき、ポート OA のすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。

POAGIO=1 のとき、ポート OA のすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み出し命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

また、ソフトウェア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか、しないかの選択は、レジスタ・ファイルの POAGPU (0CH 番地のビット 0) によって行います。POAGPU=1 で 4 ビットの端子すべてがプルアップされ、POAGPU=0 でプルアップ抵抗は内蔵されません。

リセット時には POAGIO および POAGPU は "0" になり、POA の端子はすべてプルアップ抵抗なしの入力ポートになります。また、ポートの出力ラッチの値も "0" になります。

表 11-1 ポート・レジスタ (0.70H) への書き込みと読み出し

POAGIO RF: 2CH, ビット 0	端子の入力/出力	BANK0 70H	
		書き込み	読み出し
0	入力	可能	POA の端子の状態
1	出力	POA ラッチに書き込み	POA のラッチの内容

11.2 ポートOB (POB₀, POB₁, POB₂, POB₃)

ポートOBは、出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK0の71H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

4ビット単位で入力または出力の指定をすることができます。入力/出力の指定は、レジスタ・ファイル上のPOBGIO(2CH番地のビット1)により行います。

POBGIO=0のとき、ポートOBのすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。

POBGIO=1のとき、ポートOBのすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み出し命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

また、ソフトウェア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか、しないかの選択は、レジスタ・ファイルのPOBGPU(0CH番地のビット1)によって行います。POBGPU=1で4ビットの端子すべてがプルアップされ、POBGPU=0でプルアップ抵抗は内蔵されません。

リセット時にはPOBGIOおよびPOBGPUは“0”になり、POBの端子はすべてプルアップ抵抗なしの入力ポートになります。また、ポートの出力ラッチの値も“0”になります。

表 11-2 ポート・レジスタ (0.71H) への書き込みと読み出し

POBGIO RF: 2CH, ビット 1	端子の入力/出力	BANK0 71H	
		書き込み	読み出し
0	入力	可能	POBの端子の状態
1	出力	POBラッチに書き込み	POBのラッチの内容

11.3 ポート OC (POC₀/ADC₀, POC₁/ADC₁, POC₂/ADC₂, POC₃/ADC₃)

ポート OC は、出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリの BANK0 の 72H 番地にマッピングされています。出力形式は CMOS プッシュプル出力です。

1 ビットごとに入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上の POCBIO0-POCBIO3 (1CH 番地) により行います。

POCBIO_n=0 のとき (n=0-3), POC_n 端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。また、POCBIO_n=1 のとき (n=0-3), POC_n 端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み出し命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

リセット時には POCBIO0-POCBIO3 は "0" になり、POC の端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も "0" になります。

ポート OC は A/D コンバータのアナログ入力として使用できます。ポートまたは、アナログ入力端子としての切り替えは、レジスタ・ファイル上の POC0IDI-POC3IDI (1BH 番地) によって行います。

POCnIDI=0 のとき (n=0-3), POC_n/ADC_n 端子はポートとして機能し、POCnIDI=1 のとき (n=0-3), POC_n/ADC_n 端子は、A/D コンバータのアナログ入力端子として機能します。

A/D 変換を行う入力端子の選択はレジスタ・ファイル上の ADCCH0, ADCCH1 (22H 番地のビット 1 とビット 0) で行います。

なお、A/D コンバータの入力端子として使用する場合、端子は、POCBIO_n=0 を指定し、入力ポートに設定しなければなりません (14. A/D コンバータ参照)。

リセット時、POCBIO0-POCBIO3, POC0IDI-POC3IDI, ADCCH0, ADCCH1 は "0" に設定され、入力ポートとなります。

表 11-3 ポートと A/D コンバータの切り替え

(n=0-3)

POCnIDI RF: 1BH	POCBIO _n RF: 1CH	機 能	BANK0 72H	
			書き込み	読み出し
0	0	入力ポート	可能 POC ラッチ	端子の状態
	1	ポート出力	可能 POC ラッチ	POC の ラッチの内容
1	0	A/D のアナログ入力 ^{注1}	可能 POC ラッチ	POC の ラッチの内容
	1	出力ポートおよび A/D のアナログ入力 ^{注2}	可能 POC ラッチ	POC の ラッチの内容

- 注 1. 端子を A/D コンバータのアナログ入力として使用する場合の通常の設定です。
2. 出力ポートとして機能しています。このときアナログ入力電圧は、ポートからの出力の影響を受けて変化してしまいます。端子をアナログ入力として使用する場合には、必ず POCBIO_n=0 に設定してください。

11.4 ポート OD ($\overline{POD_0}/\overline{SCK}$, POD_1/SO , POD_2/SI , $POD_3/\overline{TM0OUT}$)

ポート OD は出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリの BANK0 の 73H 番地にマッピングされています。出力形式は N-ch オープン・ドレイン出力です。また、マスク・オプションにより 1 ビットごとに端子にプルアップ抵抗を内蔵することが指定できます。

1 ビット単位で入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上の PO DBIO0-PO DBIO3 (2BH 番地) により行います。

PO DBIO_n=0 のとき (n=0-3), POD_n 端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。また、PO DBIO_n=1 のとき, POD_n 端子は出力ポートとなり、出力ラッチに書かれた値が端子に出力されます。端子が出力ポートのとき、読み出し命令を実行すると、端子の状態ではなく、出力ラッチの値が取り込まれます。

リセット時には、PO DBIO_n は “0” になり、POD の端子はすべて入力になり、ポートの出力ラッチの内容もすべて “0” になります。なお、PO DBIO_n を “1” から “0” に変化させても出力ラッチの内容は変わりません。

また、ポートとして使用できるほかに、シリアル・インタフェース用の入出力やタイマ 0 の出力として使用できます。ポート ($\overline{POD_0}$ - POD_2) とシリアル・インタフェース用入出力 (\overline{SCK} , SO, SI) の切り替えは、レジスタ・ファイル上の SIOEN (OBH のビット 0) によって行います。また、ポート (POD_3) とタイマ 0 出力 ($\overline{TM0OUT}$) の切り替えはレジスタ・ファイル上の TM0OSEL (OBH のビット 3) によって行います。TM0OSEL=1 を選択すると、タイマ 0 のリセット時には “1” を出力し、タイマ 0 のカウント値がモジュロ・レジスタの内容と一致することにその出力を反転します。

表 11-4 レジスタ・ファイルの内容と端子の機能

(n=0-3)

レジスタ・ファイルの値			端子の機能			
TM0OSEL RF : OBH ビット 3	SIOEN RF : OBH ビット 0	PO DBIO _n RF : 2BH ビット n	$\overline{POD_0}/\overline{SCK}$	POD_1/SO	POD_2/SI	$POD_3/\overline{TM0OUT}$
0	0	0	入力ポート			
		1	出力ポート			
	1	0	\overline{SCK}	SO	SI	入力ポート
		1				出力ポート
1	0	0	入力ポート			
		1	出力ポート			
	1	0	\overline{SCK}	SO	SI	$\overline{TM0OUT}$
		1				

表 11-5 ポート・レジスタ (0.73H) を読み出したときの内容

ポートのモード		ポート・レジスタ (0.73H) を読み出したときの内容
入力ポート		端子の状態
出力ポート		出力ラッチの内容
SCK	シリアル・クロックに内部クロックを選択	出力ラッチの内容
	シリアル・クロックに外部クロックを選択	端子の状態
SI		端子の状態
SO		不定
TMOOUT		出力ラッチの内容

注意 シリアル・インタフェース使用後の POD₁/SO 端子の出力ラッチの内容は、SIOSFR (シフト・レジスタ) の内容に影響され不定となっています。したがって、出力ポートとして使用する場合は出力ラッチの内容を再設定してください。

11.5 ポート 1A (P1A₀, P1A₁, P1A₂, P1A₃)

ポート 1A は出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリの BANK1 の 70H 番地にマッピングされています。出力形式は N-ch オープン・ドレイン出力です。また、マスク・オプションにより 1 ビットごとに端子にプルアップ抵抗を内蔵することが指定できます。

4 ビット単位で入力または出力の指定をすることができます。入力/出力の指定はレジスタ・ファイル上の P1AGIO (2CH 番地のビット 2) により行います。

P1AGIO=0 のとき、ポート 1A のすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。または、P1AGIO=1 のとき、ポート 1A のすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み出し命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

リセット時には P1AGIO は "0" になり、P1A の端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も "0" になります。

表 11-6 ポート・レジスタ (1.70H) への書き込みと読み出し

(n=0-3)

P1AGIO _n RF: 2CH, ビット 2	端子の入力/出力	BANK1 70H	
		書き込み	読み出し
0	入力	可能	P1A の端子の状態
1	出力	P1A ラッチに書き込み	P1A のラッチの内容

11.6 ポート 1B (P1B₀)

ポート 1B は 1 ビットの入力専用ポートです。データ・メモリの BANK1 の 71H 番地にマッピングされています。また、マスク・オプションにより P1B₀ 端子にプルアップ抵抗を内蔵することが指定できます。

入力専用ポートなので、読み出し時は最下位ビットの 1 ビットのみが有効で、値が読み出され、書き込み時は何も変化しません。またポート・レジスタの上位 3 ビットは常に "0" が読まれます。

12. 8ビット・タイマ・カウンタ (TMO, TM1)

μPD17136Bの8ビット・タイマ・カウンタには、タイマ0 (TMO) とタイマ1 (TM1) の2系統のタイマがあります。

タイマ0のカウント・アップ信号をタイマ1のカウント・パルスとして用いることにより、1系統の16ビット・タイマとして用いることも可能です。

各タイマの制御は、PUT/GET 命令を使ったハードウェアの操作と PEEK/POKE 命令を使ったレジスタ・ファイル上のレジスタの操作により行います。

12.1 8ビット・タイマ・カウンタの構成

図 12-1 に8ビット・タイマ・カウンタの構成を示します。8ビット・タイマ・カウンタは8ビットのカウンタ・レジスタ、8ビットのモジュロ・レジスタ、カウンタ・レジスタとモジュロ・レジスタの値を比較するコンパレータおよびカウント・パルスを選択するセレクタで構成されています。

注意 1. モジュロ・レジスタは、書き込み専用レジスタです。

2. カウンタ・レジスタは、読み出し専用レジスタです。

図 12-1 8ビット・タイマ・カウンタの構成

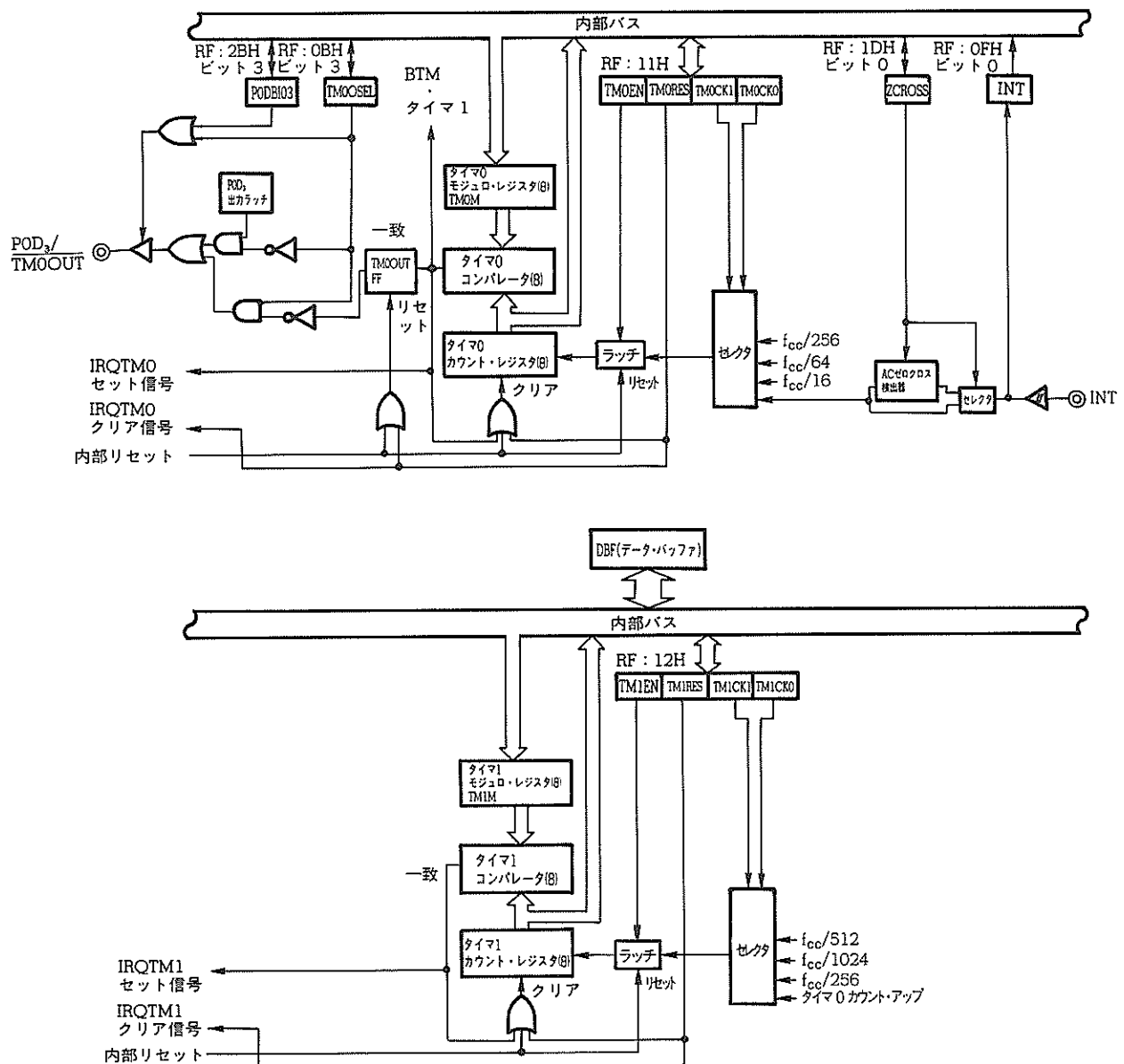


図 12-2 タイマ0モード・レジスタ

RF: 11H

	ビット3	ビット2	ビット1	ビット0
	TMOEN	TMORES	TMOCK1	TMOCK0
リード/ライト	R/W			
リセット時の初期値	0	0	0	0

リード=R, ライト=W

TMOCK1	TMOCK0	タイマ0のカウンタ・パルスの選択
0	0	$f_{cc}/256$
0	1	$f_{cc}/64$
1	0	$f_{cc}/16$
1	1	INT 端子

TMORES	タイマ0のリセット
0	タイマ0に影響なし
1	タイマ0カウンタ・レジスタとIRQTMOをリセット

備考 TMORES は、セット (1) 後、自動的にクリア (0) されます。読み出し時は常に "0" が読み出されます。

TMOEN	タイマ0のスタート指示
0	タイマ0のカウンタを停止する
1	タイマ0のカウンタを開始する

備考 TMOEN は、タイマ0のカウンタ状態を検出するステータス・フラグとして使用することができます (1:カウンタ動作中, 0:カウンタ停止状態)。

図 12-3 タイマ 1 モード・レジスタ

RF: 12H

	ビット 3	ビット 2	ビット 1	ビット 0
	TM1EN	TM1RES	TM1CK1	TM1CK0
リード/ライト	R/W			
リセット時の初期値	1	0	0	0

リード=R, ライト=W

TM1CK1	TM1CK0	タイマ 1 のカウント・パルスの選択
0	0	$f_{cc}/512$
0	1	$f_{cc}/1024$
1	0	$f_{cc}/256$
1	1	タイマ 0 からのカウント・アップ信号

TM1RES	タイマ 1 のリセット
0	タイマ 1 に影響なし
1	タイマ 1 カウント・レジスタと IRQTM1 をリセット

備考 TM1RES は、セット (1) 後、自動的にクリア (0) されます。読み出し時は常に "0" が読み出されます。

TM1EN	タイマ 1 のスタート指示
0	タイマ 1 のカウントを停止する
1	タイマ 1 のカウントを開始する

備考 TM1EN は、タイマ 1 のカウント状態を検出するステータス・フラグとして使用することができます (1: カウント動作中, 0: カウント停止状態)。

13. ベーシック・インターバル・タイマ (BTM)

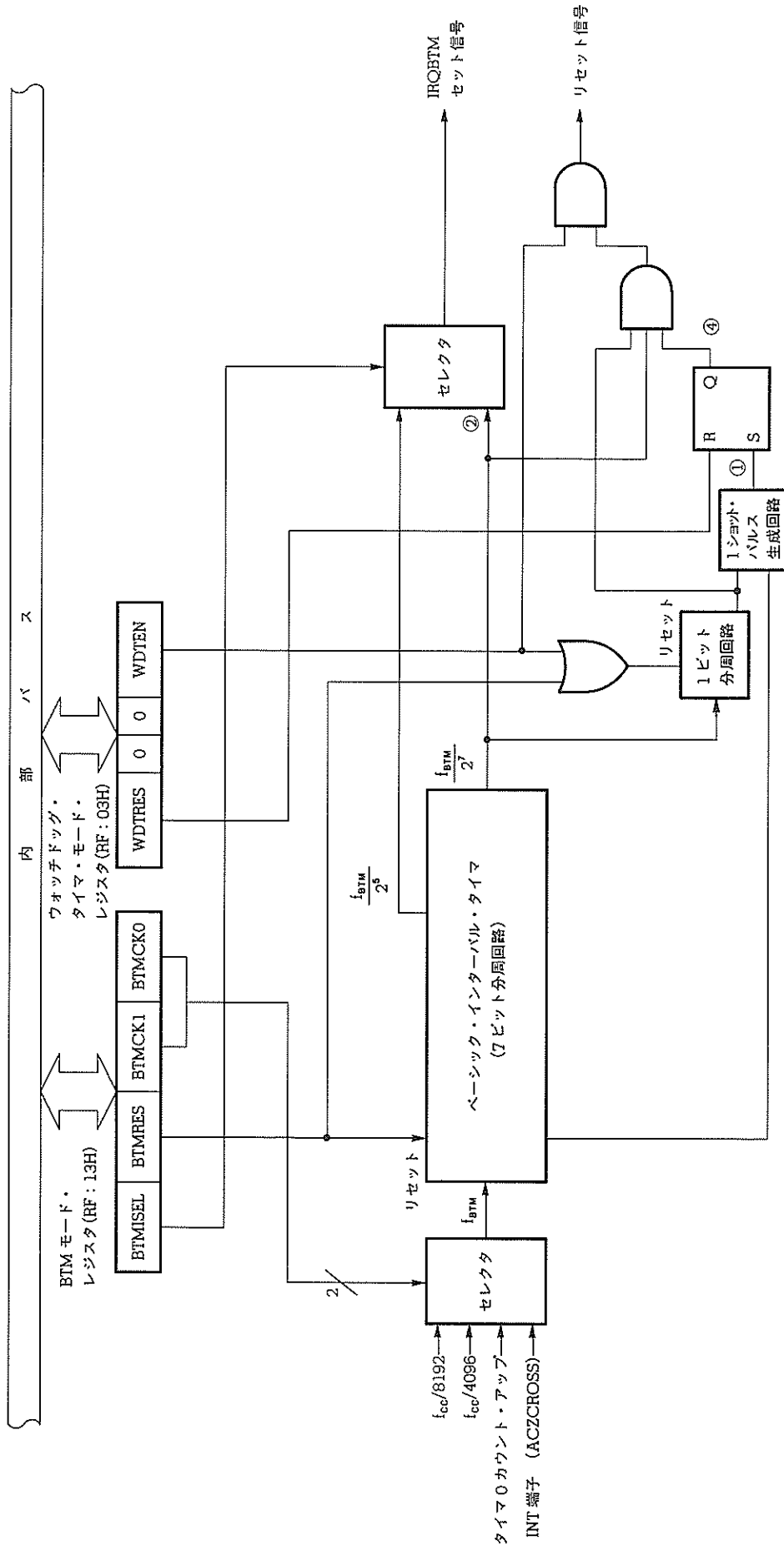
μPD17136B は、7ビットのベーシック・インターバル・タイマを内蔵しています。
ベーシック・インターバル・タイマには、次に示す機能があります。

- (1) 基準時間発生
- (2) スタンバイ・モード解除時のウエイト時間の選択とカウント
- (3) プログラムの暴走を検出するウォッチドッグ・タイマ機能

13.1 ベーシック・インターバル・タイマの構成

図 13-1 にベーシック・インターバル・タイマの構成を示します。

図 13-1 ベーシック・インターバル・タイムの構成



0-255カウント中の0-7
カウント時に“1”を出力

備考 図中の①-④は図13-4のタイミング・チャート中の信号を示します。

13.2 ベーシック・インターバル・タイマを制御するレジスタ

ベーシック・インターバル・タイマは、BTM モード・レジスタおよびウォッチドッグ・タイマ・モード・レジスタによって制御します。

図 13-2, 13-3 にそれぞれのレジスタの構成を示します。

図 13-2 BTM モード・レジスタ

RF: 13H

	ビット3	ビット2	ビット1	ビット0
	BTMISEL	BTMRES	BTMCK1	BTMCK0
リード/ライト	R/W			
リセット時の初期値	0	0	0	0

リード=R, ライト=W

BTMCK1	BTMCK0	BTM のカウント・パルスの選択
0	0	$f_{cc}/8192$
0	1	$f_{cc}/4096$
1	0	タイマ0のカウント・アップ
1	1	INT 端子 (ZCROSS=1 のとき、AC ゼロクロス検出回路を経由した INT 端子の情報)

BTMRES	BTM のリセット
0	ベーシック・インターバル・タイマ(BTM) には影響ありません。
1	ベーシック・インターバル・タイマ(BTM) のカウンタをリセットします。

備考 BTMRES は、セット (1) 後、自動的にクリア (0) されます。読み出し時は常に“0”が読み出されます。

BTMISEL	インターバル時間の選択
0	インターバル時間をカウント・パルスの128分周に設定
1	インターバル時間をカウント・パルスの32分周に設定

図 13-3 ウォッチドッグ・タイマ・モード・レジスタ

RF : 03H

	ビット3	ビット2	ビット1	ビット0
	WDTRES	0	0	WDTEN
リード/ライト	R/W			
リセット時の初期値	0	0	0	0

リード=R, ライト=W

WDTEN	ウォッチドッグ・タイマ機能の許可
0	ウォッチドッグ・タイマが停止の状態です。
1	ウォッチドッグ・タイマの動作を開始します。

備考 1. WDTEN は、プログラムではクリア (0) できません。

2. WDTEN は、セット (1) 後、自動的にクリア (0) されます。読み出し時は常に“0”が読み出されます。

WDTRES	ウォッチドッグ・タイマのリセット
0	ウォッチドッグ・タイマに影響はありません。
1	ウォッチドッグ・タイマに用いる BTM のオーバフロー・キャリーを保持するフリップ・フロップがリセットされます。

備考 WDTRES は、セット (1) 後、自動的にクリア (0) されます。読み出し時は常に“0”が読み出されます。

13.3 ウォッチドッグ・タイマ機能

13.3.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、リセット信号を一定周期で発生するカウンタです。プログラムにより毎回このリセット信号の発生を禁止することにより、外部ノイズなどによりシステムが暴走した（ウォッチドッグ・タイマが所定の時間内にリセットされなかった）場合に、システムに対してリセット（0000H 番地スタート）をかけることができます。

この機能によって、プログラムが外部ノイズなどにより意図しないルーチンに跳び、無限ループに陥った場合でも、一定時間内にリセット信号が発生するため暴走状態から脱出できます。

13.3.2 ウォッチドッグ・タイマの動作

WDTEN をセット (1) すると、1 ビット分周回路が動作可能状態になり、ベーシック・インターバル・タイマは 8 ビットのウォッチドッグ・タイマとして動作を開始します。

ウォッチドッグ・タイマは、いったん動作させるとデバイスにリセットがかかり、WDTEN がクリア (0) されるまで止めることはできません。

ウォッチドッグ・タイマによるリセットを禁止するには、次の 2 つの方法があります。

- (1) WDTRES をセットすることをプログラム中で繰り返す。
- (2) BTMRES をセットすることをプログラム中で繰り返す。

(1) の場合、図 13-4 に示すように、ウォッチドッグ・タイマのカウント値が 8 から 191 (192 になる直前) までの期間に WDTRES をセットする必要があります。したがって、ウォッチドッグ・タイマが 184 カウントする周期より短いタイミングで少なくとも 1 回は “SET1 WDTRES” が実行されるようにプログラムします。

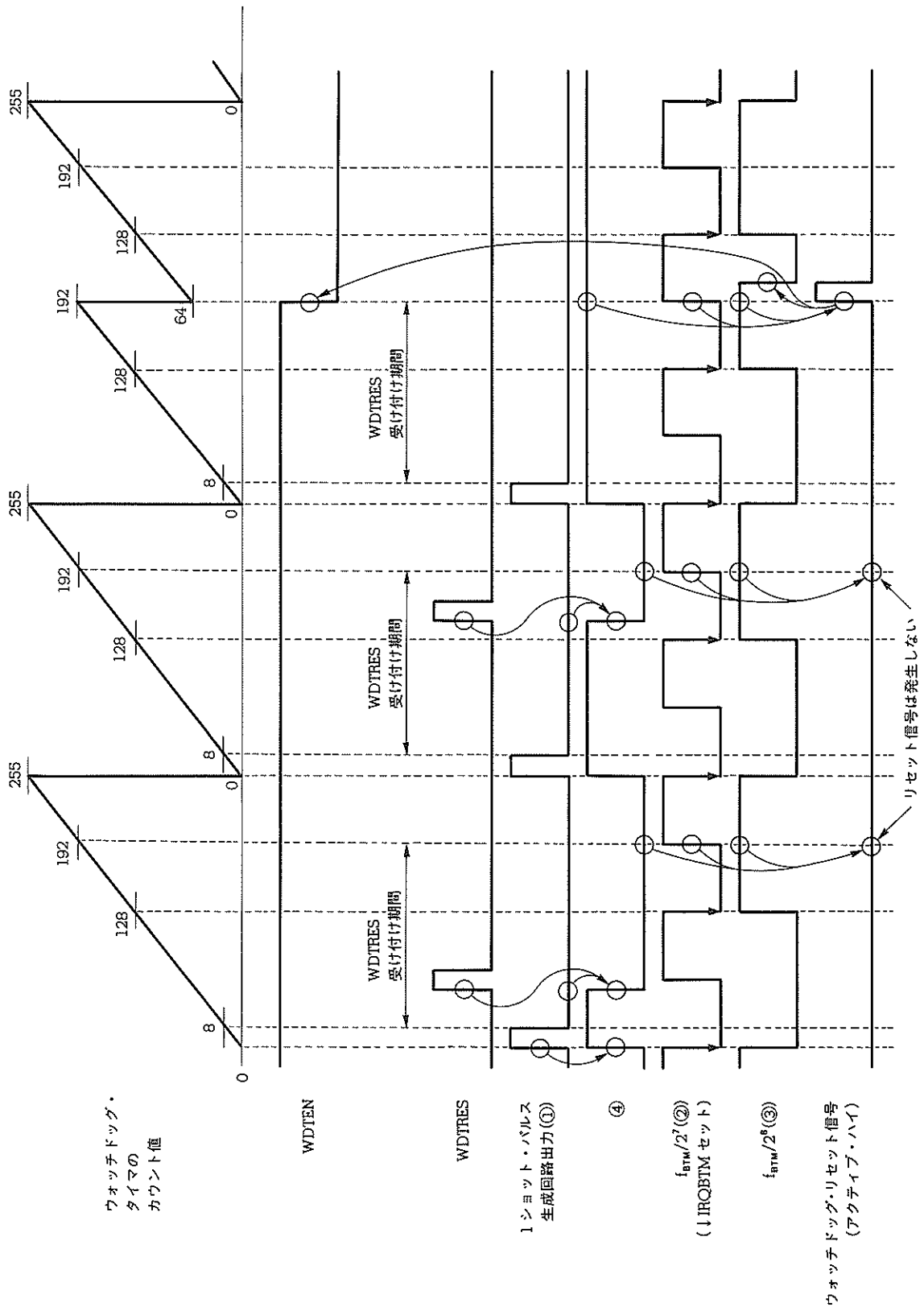
(2) の場合、ベーシック・インターバル・タイマ (BTM) が 128 カウントするまでの期間に BTMRES をセットする必要があります。したがって、BTM が 128 カウントする周期より短いタイミングで少なくとも 1 回は “SET1 BTMRES” が実行されるようにプログラムします。ただし、この方法では BTM による割り込み処理はできなくなります。

注意 WDTEN をセットしても BTM はリセットされません。したがって、最初に WDTEN をセットする前に、必ず BTMRES をセットして、BTM をリセットするようにしてください。

例

```
      :  
      SET1 BTMRES  
      SET2 WDTEN, WDTRES  
      :
```

図 13-4 ウォッチドッグ・タイマのタイミング・チャート (WDTRES フラグを利用した場合)



14. A/D コンバータ

μPD17136B は、4 チャンネルのアナログ入力 (POC₀/ADC₀-POC₃/ADC₃) を持つ 8 ビット分解能の A/D コンバータを内蔵しています。

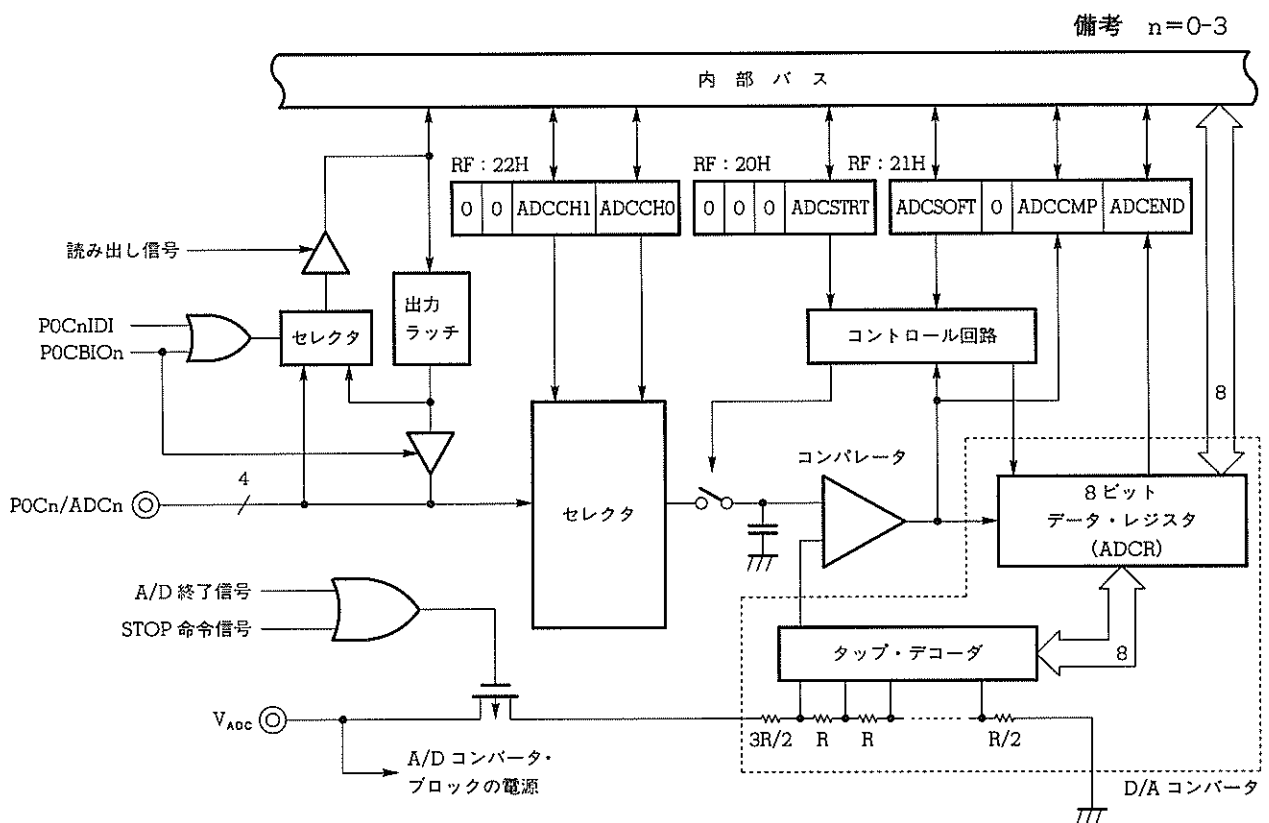
A/D コンバータは逐次比較法を採用しています。動作モードは、次の 2 つです。

- ① 8 ビットの A/D 変換を上位ビットから順に行う連続モード
- ② 8 ビット・データ・レジスタで設定した任意の電圧値と大小比較を行う単発モード

14.1 A/D コンバータの構成

A/D コンバータは、図 14-1 に示すように構成されています。

図 14-1 A/D コンバータのブロック図



注意 1. STOP 命令実行時、8 ビット・データ・レジスタ (ADCR) は OOH にクリアされます。

2. A/D 変換中に HALT 命令が実行されると、V_{ADC}-GND 間に電流が流れたままになりますのでご注意ください。

14.2 A/D コンバータの機能

(1) ADC₀-ADC₃ 端子

A/D コンバータへの4チャンネルのアナログ電圧の入力端子です。A/D 変換するアナログ信号を入力します。A/D コンバータ内部にはサンプル・ホールド回路が内蔵されており、A/D 変換中のアナログ入力電圧は内部で保持されています。

(2) V_{ADC} 端子

A/D コンバータの基準電圧および A/D コンバータ・ブロックの電源電圧を入力する端子です。

V_{ADC}-GND 間にかかる電圧に基づいて、ADC₀-ADC₃ に入力される信号をデジタル信号に変換します。なお、μPD17136B の A/D コンバータは、消費電流を抑えるため、A/D コンバータが動作していないときは、自動的に V_{ADC} 端子に流れ込む電流を止める機能が内蔵されています。V_{ADC} 端子に電流が流れるときは、次の場合です。

① 連続モード (ADCSOFT=0) のとき

ADCSTRT フラグがセット(1) されてから ADCEND フラグがセット(1) されるまでの間

② 単発モード (ADCSOFT=1) のとき

ADCSTRT フラグがセット(1) または 8 ビット・データ・レジスタの値が書き込まれてからコンパレータの比較結果が ADCCMP フラグに書き込まれるまでの間

注意 A/D 変換中に HALT 命令が実行されると変換を中断します。このとき V_{ADC} 端子に電流が流れたまま、HALT モードになりますのでご注意ください。なお、HALT モードが解除されると、A/D 変換を再開しますが、このとき ADCR は不定値となり正しい変換結果は得られません。

備考 A/D 変換中に STOP 命令が実行されると変換を中断します。また、A/D コンバータは初期状態にイニシャライズされ、V_{ADC} 端子の電流もカットされます。なお、STOP モードが解除されても、A/D コンバータは停止したままです。

(3) 8 ビット・データ・レジスタ (ADCR)

連続モード時、逐次比較の A/D 変換の結果を格納する 8 ビットのレジスタです。GET 命令により読み出します。単発モード時、8 ビット・データ・レジスタの内容が内部の D/A コンバータでアナログ電圧に変換され、コンパレータが ADC_n 端子から入力されたアナログ信号と大小比較を行うのに使います。PUT 命令により値を書き込むことができます。

(4) コンパレータ

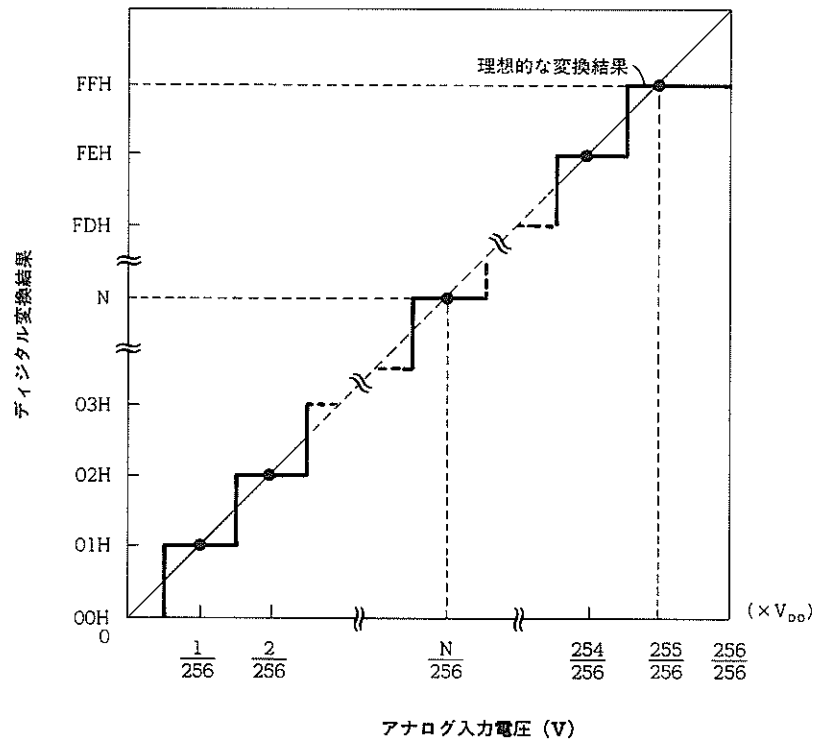
コンパレータは、アナログ入力電圧と、D/A コンバータから出力された電圧を比較します。アナログ入力電圧が高ければ“1”を、低ければ“0”を出力します。比較結果は、連続モード時は 8 ビット・データ・レジスタ (ADCR) に、単発モード時は ADCCMP フラグに格納されます。

14.3 A/Dコンバータの動作

A/Dコンバータの動作は ADCSOFT フラグの設定により、連続モードと単発モードの2種類のモードに切り替えることができます。

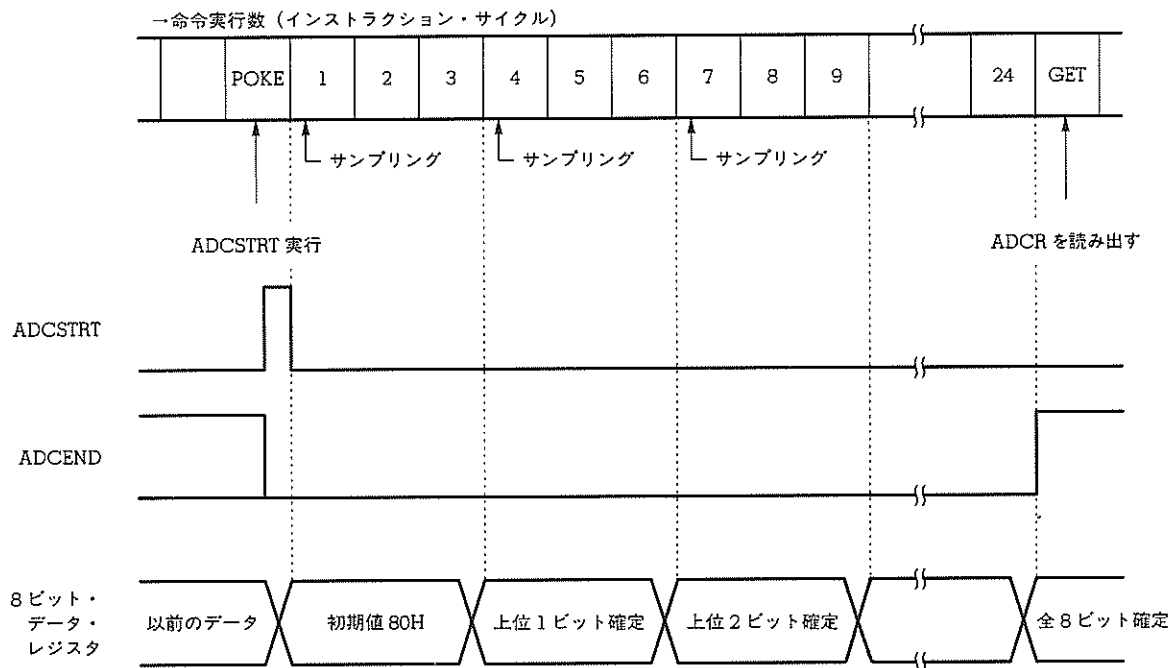
ADCSOFT	A/Dコンバータの動作モード
0	連続モード (A/D変換)
1	単発モード (コンペア動作)

図 14 - 2 アナログ入力電圧とデジタル変換結果との関係



(1) 連続モード (A/D 変換) のタイミング

図 14-3 連続モード (A/D 変換) のタイミング

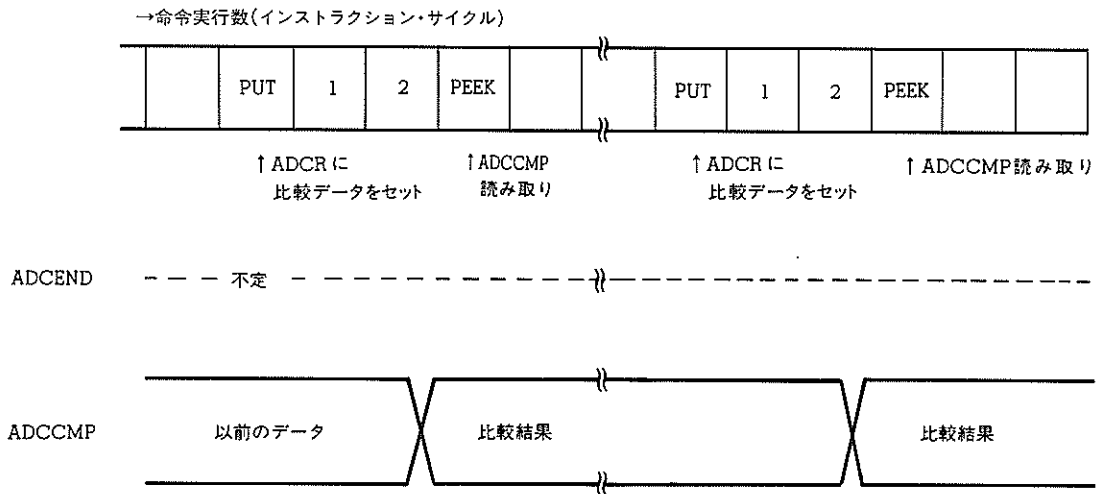


注意 1 回の A/D 変換中に 8 回のサンプリングを行います。
 したがって、A/D 変換中にアナログ入力電圧が大きく変化すると、正確な A/D 変換が行われません。
 正確な変換結果を得るためには、A/D 変換中のアナログ入力電圧の変化ができるだけ小さくなるようにする必要があります。

1 回のサンプリング時間 = $14/f_{CC}$ (7 μs, 2 MHz 時)
 サンプリングの繰り返し周期 = $48/f_{CC}$ (24 μs, 2 MHz 時)

(2) 単発モード (コンペア動作) のタイミング

図 14-4 単発モード (コンペア動作) のタイミング



ADCR に比較データをセット (PUT 命令の実行) 後、3 命令目以後に比較結果を読み出すことができます。

注意 ADCR に値を設定する前に、必ず ADCSOFT=1 にしておいてください。

ADCSOFT=0 の場合には、ADCR に値を設定できません。

PUT ADCR, DBF 命令は無効になります。

15. シリアル・インタフェース (SIO)

μPD17136Bのシリアル・インタフェースは、8ビットのシフト・レジスタ (SIOSFR)、シリアル・モード・レジスタ、シリアル・クロック・カウンタで構成され、シリアル・データの入出力に使用します。

SIOEN をセット (1) すると、ポート OD ($\overline{\text{POD}}_0/\overline{\text{SCK}}$, POD_1/SO , POD_2/SI) の各端子は、シリアル・インタフェースの端子として機能します。また、SIOTS をセット (1) することにより、外部クロックまたは内部クロックの立ち下がり同期して動作を開始します。なお、機能および動作の詳細は下記を参照してください。

15.1 シリアル・インタフェースの機能

シリアル・クロック入力端子 ($\overline{\text{SCK}}$)、シリアル・データ出力端子 (SO)、シリアル・データ入力端子 (SI) の3線式で、クロック同期の8ビット送受信動作が可能なシリアル・インタフェースです。μPD7500 シリーズや 75X シリーズで用いられている方式とコンパチブルなモードで各種周辺 I/O デバイスと接続が可能です。

(1) シリアル・クロック

内部クロック 3 種類、外部クロック 1 種類の合計 4 種類選択することができます。シリアル・クロックに内部クロックを選択した場合には、 $\overline{\text{POD}}_0/\overline{\text{SCK}}$ 端子にそのクロックを自動的に出力します。

表 15-1 シリアル・クロック一覧

SIOCK1	SIOCK0	選択されるシリアル・クロック
0	0	$\overline{\text{SCK}}$ 端子からの外部クロック
0	1	$f_{\text{cc}}/16$
1	0	$f_{\text{cc}}/128$
1	1	$f_{\text{cc}}/1024$

(2) 転送動作

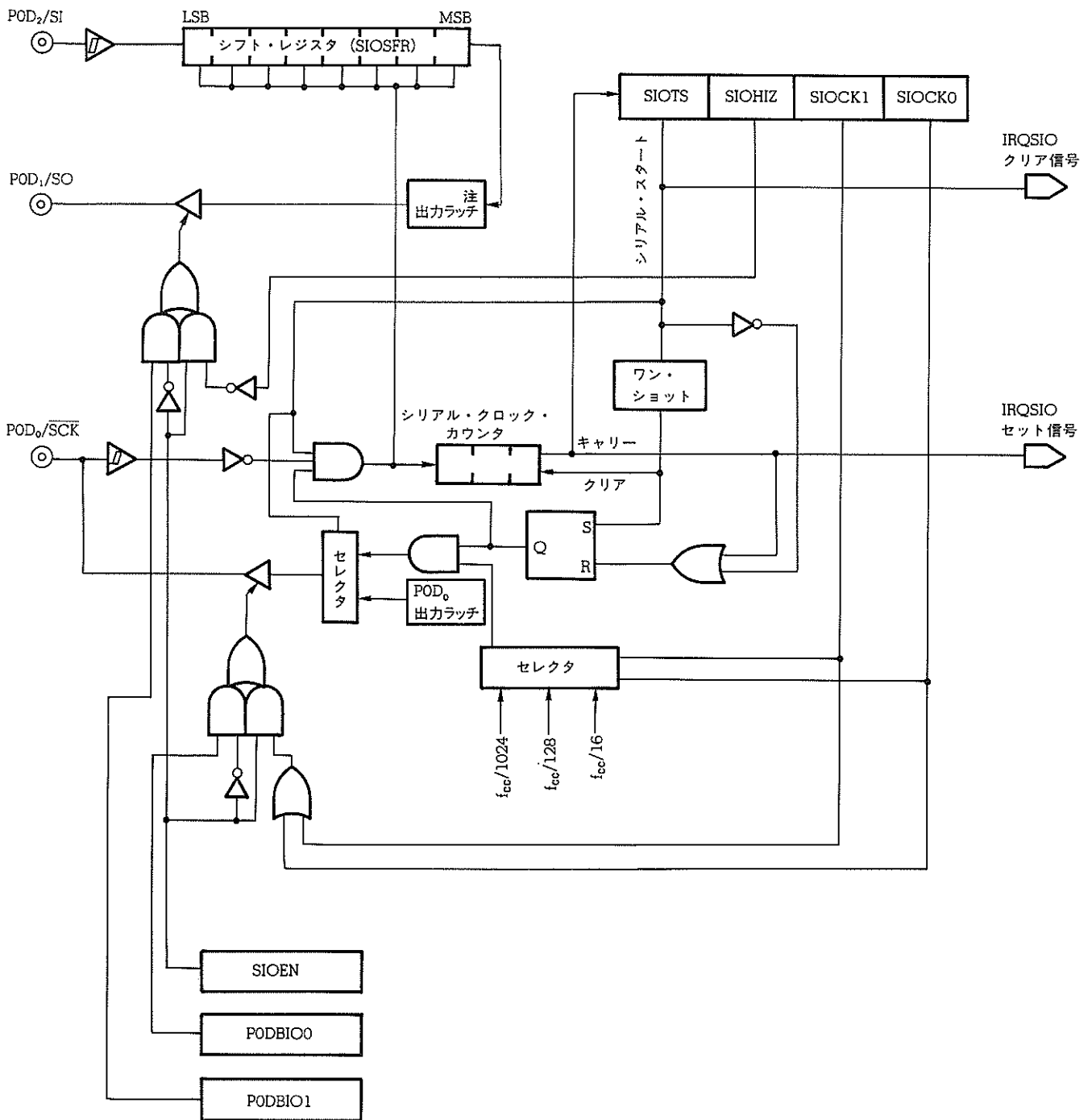
SIOEN をセット (1) することにより、ポート OD ($\overline{\text{POD}}_0/\overline{\text{SCK}}$, POD_1/SO , POD_2/SI) の各端子は、シリアル・インタフェース用の端子として機能します。このとき、SIOTS をセット (1) すれば、外部クロックまたは内部クロックの立ち下がり同期して動作を開始します。なお、SIOTS をセットすると、IRQSIO は自動的にクリアされます。

シリアル・クロックの立ち下がり同期して、シフト・レジスタの最上位ビットから転送を開始し、シリアル・クロックの立ち上がり同期して SI 端子の情報を最下位ビットからシフト・レジスタに格納します。

8ビットのデータ転送が終了すれば、自動的に SIOTS はクリアされ、IRQSIO がセットされます。

備考 シリアル転送を行う際、シフト・レジスタの内容の最上位ビットからのみ、転送を開始します。最下位ビットからの転送は行えません。シリアル・クロックの立ち上がり同期して、常に SI 端子の状態はシフト・レジスタに取り込まれます。

図 15-1 シリアル・インタフェースのブロック図



注 シフト・レジスタの出力ラッチは、 POD_1 の出力ラッチと兼用になっています。そのため POD_1 に対して出力命令を実行すると、シフト・レジスタの出力ラッチの状態も変化します。

15.2 3線式シリアル・インタフェースの動作モード

シリアル・インタフェースは、2つのモードを選択することができます。シリアル・インタフェース機能を選択した場合、シリアル・クロックに同期して、POD₂/SI 端子は常にデータを取り込みます。

- 8ビット送受信モード（同時送受信）
- 8ビット受信モード（SO 端子：ハイ・インピーダンス状態）

表 15-2 シリアル・インタフェースの動作モード

SIOEN	SIOHIZ	POD ₂ /SI 端子	POD ₁ /SO 端子	シリアル・インタフェース動作モード
1	0	SI	SO	8ビット送受信モード
1	1	SI	POD ₁ (入力)	8ビット受信モード
0	×	POD ₂ (入出力)	POD ₁ (入出力)	汎用ポート・モード

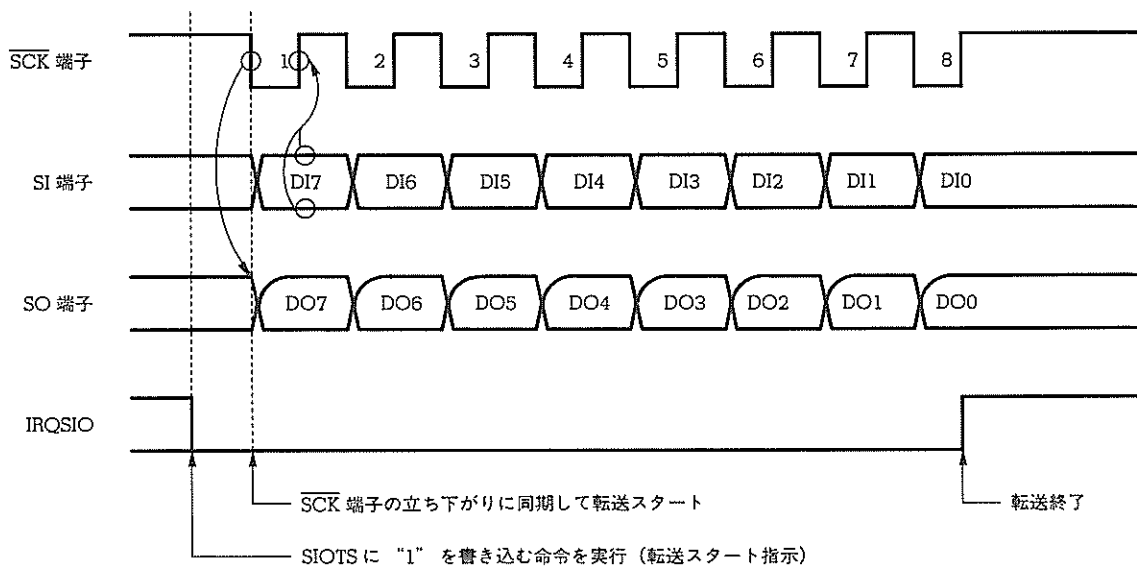
× : Don't care

(1) 8ビット送受信モード（同時送受信）

シリアル・データの入出力はシリアル・クロックによって制御されます。シリアル・クロック (\overline{SCK}) の立ち下がりでシフト・レジスタの MSB が SO ラインに出力され、立ち上がりでシフト・レジスタの内容が1ビット・シフトされると同時に、SI ライン上のデータがシフト・レジスタの LSB にロードされます。

シリアル・クロック・カウンタは、シリアル・クロックを8カウントするごとに割り込み要求フラグをセットします (IRQSIO←1)。

図 15-2 8ビット送受信モード（同時送受信）のタイミング



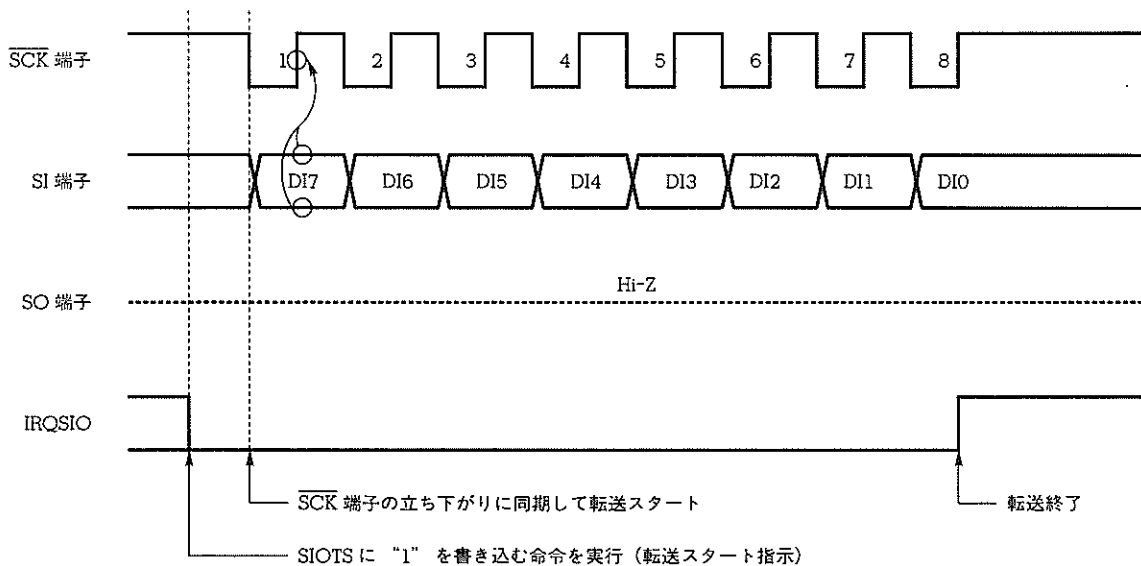
備考 DI : シリアル・データの入力
DO : シリアル・データの出力

(2) 8ビット受信モード (SO 端子：ハイ・インピーダンス状態)

SIOHIZ=1 のとき、POD₁/SO 端子はハイ・インピーダンス状態になります。このとき SIOTS に “1” を書き込んでシリアル・クロックの供給を開始すると、シリアル・インタフェースは受信機能だけが動作します。

また、POD₁/SO 端子はハイ・インピーダンス状態になっていますので、入力ポート (POD₁) として使用することができます。

図 15-3 8ビット受信モードのタイミング



備考 DI：シリアル・データの入力

(3) 動作停止モード

SIOTS (RF: 02H 番地, ビット 3) の値が 0 のときは、シリアル・インタフェースは動作停止モードに設定されます。このモードではシリアル転送は行われません。

この動作ではシフト・レジスタはシフト動作を行いませんので、通常の 8 ビット・レジスタとして利用可能です。

16. 割り込み機能

μPD17136Bには、5種類の割り込み要因があります。4つの内部割り込み機能と1つの外部割り込み機能があり、多彩な応用が可能です。

また、この製品の割り込み制御回路には次のような特色があり、非常に高速な割り込み処理が可能となります。

- (a) 割り込みマスタ許可フラグ (INTE) と割り込み許可フラグ (IP×××) により受け付けの可否を制御可能
- (b) 割り込み要求フラグ (IRQ×××) のテスト & クリア可能 (ソフトウェアで割り込み発生の確認可能)
- (c) 3レベルまでの多重割り込みが可能
- (d) 割り込み要求によるスタンバイ・モード (STOP, HALT) の解除可能 (割り込み許可フラグによる解除条件の選択可能)

注意 割り込み処理において、ハードウェアにより自動的にスタックに退避されるのは、**BANK** レジスタおよび **BCD, CMP, CY, Z, IXE** の各フラグのみで、最大3レベルまでです。また、割り込み処理の内容において、周辺ハードウェア (タイマ, A/D コンバータなど) をアクセスする場合には、**DBF, WR** の内容はハードウェアでは退避されません。したがって、割り込み処理の最初に **DBF** および **WR** をソフトウェアにより **RAM** 上に退避し、割り込み処理終了直前に退避した内容をもとに戻すことをおすすめします。

16.1 割り込み要因の種類とベクタ・アドレス

この製品の割り込みはすべて、割り込みが受け付けられると、割り込み要因に対応するベクタ・アドレスへ分岐するベクタ割り込み方式となっています。割り込み要因の種類とベクタ・アドレスは、表 16-1 のようになっています。

なお、複数の割り込み要求が同時に発生した場合や、保留された複数の割り込み要求が一斉に許可された場合は、表 16-1 の優先順位に従い、処理します。

表 16-1 割り込み要因の種類

割り込み要因	優先順位	ベクタ・アドレス	IRQ フラグ	IP フラグ	IEG フラグ	内部/外部	備考
INT 端子 (RF: OFH, ビット 0)	1	0005H	IRQ RF: 3FH, ビット 0	IP RF: 2FH, ビット 0	IEGMD0, 1 RF: 1FH	外部/INT	立ち上がり, 立ち下がり, 両エッジ選択可能
タイマ 0	2	0004H	IRQTM0 RF: 3EH, ビット 0	IPTM0 RF: 2FH, ビット 1	—	内部	
タイマ 1	3	0003H	IRQTM1 RF: 3DH, ビット 0	IPTM1 RF: 2FH, ビット 2	—	内部	
ベーシック・インター バル・タイマ	4	0002H	IRQBTM RF: 3CH, ビット 0	IPBTM RF: 2FH, ビット 3	—	内部	
シリアル・インタフェ ース	5	0001H	IRQSIO RF: 3BH, ビット 0	IPSIO RF: 2EH, ビット 0	—	内部	

16.2 割り込み制御回路の各種ハードウェア

次に、割り込み制御回路の各フラグについて説明します。

(1) 割り込み要求フラグ、割り込み許可フラグ

割り込み要求フラグ (IRQ×××) は、割り込み要求発生でセット (1) され、割り込み処理が実行されると自動的にクリア (0) されます。

割り込み許可フラグ (IP×××) は、各割り込み要求フラグに対応して個別に備わっており、内容が“1”のとき割り込みを許可し、“0”のとき禁止します。

(2) EI/DI 命令

受け付けた割り込みを実行するかどうかは、EI/DI 命令によって指定します。

EI 命令を実行すると、割り込みを受け付け可能とする INTE (インタラプト・イネーブル・フラグ) をセット (1) します。INTE フラグは、レジスタ・ファイル上には登録されていません。このため、命令等により、フラグの状態を確認することはできません。

DI 命令は INTE フラグを“0”にクリアして、すべての割り込みを禁止します。

また、リセット時にも INTE フラグはクリア (0) され、すべての割り込みは禁止状態になります。

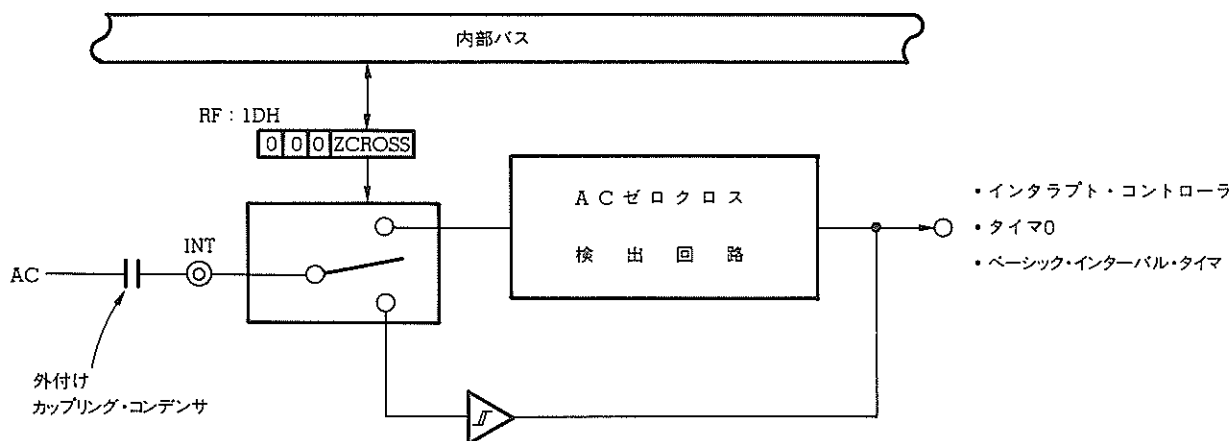
表 16-2 割り込み要求フラグと割り込み許可フラグ

割り込み要求フラグ	割り込み要求フラグのセット信号	割り込み許可フラグ
IRQ	INT 端子入力信号のエッジ検出によりセット。検出エッジは IEGMD0, IEGMD1 フラグにより選択。	IP
IRQTMO	タイマ 0 からの一致信号でセット。	IPTMO
IRQTM1	タイマ 1 からの一致信号でセット。	IPTM1
IRQBTM	ベーシック・インターバル・タイマからのオーバーフロー (基準時間間隔信号) でセット。	IPBTM
IRQSIO	シリアル・インタフェースのシリアル・データ転送動作終了信号によりセット。	IPSIO

17. AC ゼロクロス検出回路

INT 端子は、割り込み信号の入力およびタイマのカウント・クロックの入力端子であるとともに、AC ゼロクロス検出回路の入力端子にもなっており、ZCROSS (RF: 1DH のビット 0) に“1”を書くことにより、選択することができます。

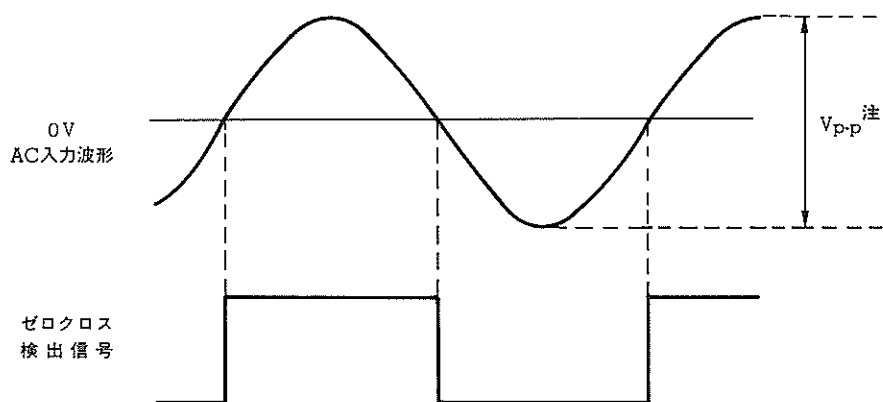
図 17-1 AC ゼロクロス検出回路ブロック図



注意 AC ゼロクロス検出回路を使用するとスタンバイ・モード時も含めて、消費電流が若干 (15 μA TYP.) 増加します。消費電流を抑えるためには、ZCROSS ← 0 としたうえで、INT 端子の入力電圧を、ハイ・レベルまたはロウ・レベルに固定します。

ゼロクロス検出回路は、セルフ・バイアス方式の高利得アンプによって構成されており、その入力をスイッチング・ポイントにバイアスし、INT 端子入力のわずかな変位に应答して、デジタル変位を起こします。ゼロクロス検出回路は、外付けのカップリング・コンデンサを通して入力される AC 信号の負から正、正から負への変化をとらえ、それぞれの変位点で 0 → 1, 1 → 0 へ変化します。

図 17-2 ゼロクロス検出信号



注 INT 端子を AC ゼロクロス検出回路の入力として使用する場合の入力電圧範囲は、 $1.0V_{p-p} \sim 3.0V_{p-p}$ です。
また、AC ゼロクロス検出回路にはノイズを除去する機能がないため、信号を入力するときには、あらかじめノイズを除去した信号を入力してください。

ゼロクロス検出回路で生成されたパルスは、ゼロクロス検出回路を介さない場合と同様に、タイマ 0 のカウント・パルス、ベーシック・インターバル・タイマのカウント・パルスに使用できるとともに、割り込み制御回路にも送られており、INT 端子の割り込みが許可状態であれば、割り込み許可をスタートさせます。なお、割り込みを受け付けるタイミングは、IEGMDO (RF: 1FH のビット 0) および IEGMD1 (RF: 1FH のビット 1) を設定することにより、信号の立ち上がりエッジ、立ち下がりエッジ、または立ち上がり立ち下がりの両エッジのいずれかを選択することができます。

18. スタンバイ機能

18.1 スタンバイ機能の概要

μPD17136B は、スタンバイ機能を利用することにより、消費電流を低減できます。スタンバイ・モードには用途に応じて、STOP モードと HALT モードが用意されています。

STOP モードは、システム・クロックを停止させてしまうモードです。このモードでは CPU の消費電流は、ほとんどリーク電流だけとなります。したがって、CPU を動作させず、データ・メモリの内容保持を行う場合に有効です。

HALT モードはシステム・クロックの発振は継続しますが、CPU に対してクロックの供給が停止されるため、CPU の動作が停止するモードです。このモードは、STOP モードに比べて消費電流は低減できませんが、システム・クロックが発振しているため、HALT 解除後にすぐ動作を開始させることができます。また、STOP モード、HALT モードどちらの場合でも、スタンバイ・モードに設定される直前のデータ・メモリ、レジスタ、出力ポートの出力ラッチなどの状態が保持されます (STOP 0000B を除く)。したがって、スタンバイ・モードにする前にシステム全体の消費電流を抑えるように、ポートの状態を設定してください。

表 18-1 スタンバイ・モード中の状態

		STOP モード	HALT モード
設定命令		STOP 命令	HALT 命令
クロック発振回路		発振停止	発振継続
動作状態	CPU	・動作停止	
	RAM	・直前の状態を維持	
	ポート	・直前の状態を維持 ^注	
	TM0	・カウント・パルスに INT 入力を選択した場合のみ動作可能 ・システム・クロックを選択した場合は停止 (カウント値は保持)	・動作可能
	TM1	・動作停止 (カウント値は“0”にリセット) (カウント・アップも禁止状態)	・動作可能
	BTM	・動作停止 (カウント値は保持)	・動作可能
	SIO	・シリアル・クロックに外部クロックを選択した場合のみ動作可能 ^注	・動作可能
	A/D	・動作停止 ^注 (ADCR ← 00H)	・動作可能
INT	・動作可能	・動作可能	

注 STOP 0000B を実行した場合には命令実行時点で、兼用端子機能で使用している場合も含めて、端子の状態は入力ポート・モードになります。

注意 1. STOP 命令、HALT 命令の直前には、必ず NOP 命令を置いてください。

2. 割り込み要求フラグと割り込み許可フラグの両方がセットされており、その割り込みがスタンバイ・モードの解除条件に指定されている場合は、STOP、HALT 命令を実行してもスタンバイ・モードには入りません。

18.2 HALT モード

18.2.1 HALT モードの設定

HALT 命令を実行することにより、HALT モードに入ります。

HALT 命令のオペランド $b_3b_2b_1b_0$ は、HALT モードの解除条件です。

表 18-2 HALT モードの解除条件

書式：HALT $b_3b_2b_1b_0$ B

ビット	HALT モードの解除条件 ^{注1}
b_3	1 のとき $IRQ_{\times\times\times}$ による解除を許可する。 ^{注2, 4}
b_2	"0 固定"
b_1	1 のとき $IRQTM1$ による強制解除を許可する。 ^{注3, 4}
b_0	"0 固定"

注 1. HALT 0000B のときは、リセット (\overline{RESET} 入力、パワーオン/パワーダウン・リセット) だけが有効です。

2. $IP_{\times\times\times} = 1$ である必要があります。
3. IP_{TM1} の状態によらず、HALT モードが解除されます。
4. $IRQ_{\times\times\times} = 1$ の状態で、HALT 命令が実行されても、HALT 命令は無視 (NOP 命令扱い) され、HALT モードには入りません。

18.2.2 HALT モード解除後のスタート番地

解除条件、割り込み許可条件によって変わります。

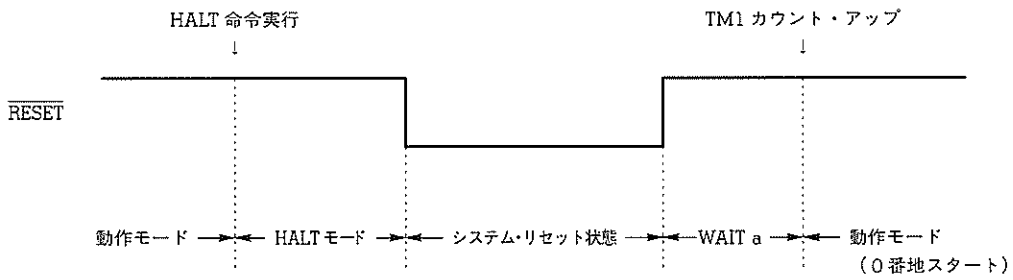
表 18-3 HALT モード解除後のスタート番地

解除条件	解除後のスタート番地
リセット ^{注1}	0 番地
^{注2} $IRQ_{\times\times\times}$	DI の場合、HALT 命令の次の番地 EI の場合、割り込みベクタ (複数の $IRQ_{\times\times\times}$ がセットされている場合には、優先順位の高い割り込みベクタ)

- 注 1. リセットは、 \overline{RESET} 入力、パワーオン/パワーダウン・リセットが有効です。
2. $IRQTM1$ による強制解除の場合を除き、 $IP_{\times\times\times} = 1$ である必要があります。

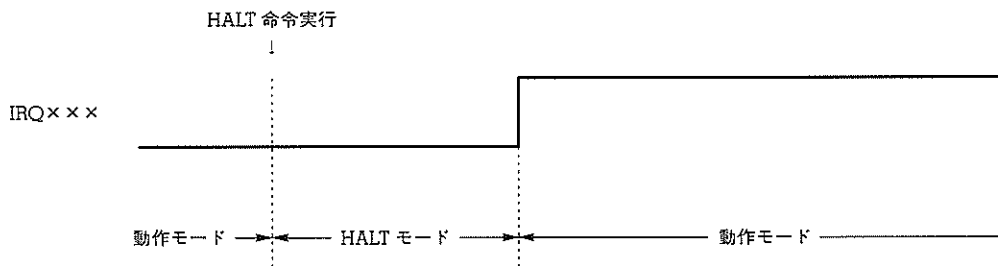
図 18-1 HALT モードの解除

(a) $\overline{\text{RESET}}$ 入力による HALT 解除

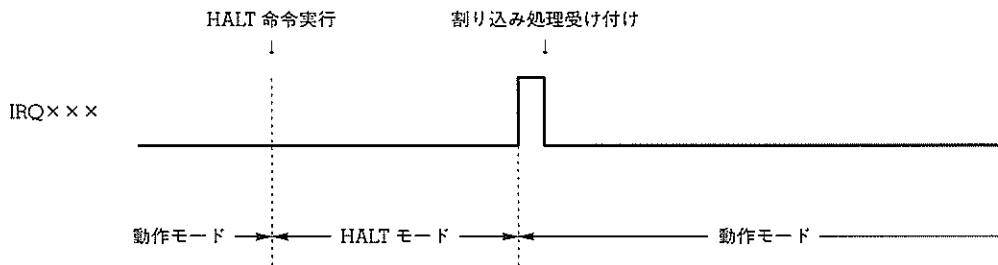


WAIT a : TM1 がS12分周のクロックを2カウントするまでの待ち時間です。
 ただし、TM1 のカウントには最大-1.5カウントの誤差が含まれるため、最短ではTM1 が0.5カウントする時間になります。
 $2 \times 512 / f_{cc}$ (約512 μs , 最短で約128 μs , $f_{cc} = 2 \text{ MHz}$ 時)

(b) $\text{IRQ} \times \times \times$ による HALT 解除 (DI の場合)



(c) $\text{IRQ} \times \times \times$ による HALT 解除 (EI の場合)



18.3 STOP モード

18.3.1 STOP モードの設定

STOP 命令を実行することにより、STOP モードに入ります。

STOP 命令のオペランド $b_3b_2b_1b_0$ は、STOP モードの解除条件です。

表18-4 STOP モードの解除条件

書式 : STOP $b_3b_2b_1b_0B$

ビット	STOP モードの解除条件 ^{注1}
b_3	1 のとき $IRQ \times \times \times$ による解除を許可する。 ^{注2}
b_2	"0 固定"
b_1	"0 固定"
b_0	"0 固定"

注 1. STOP 0000B のときは、リセット (\overline{RESET} 入力、パワーオン/パワーダウン・リセット) だけが有効です。また、STOP 0000B を実行した時点でマイコン内部はリセット直後の状態に初期化されます。

2. $IP \times \times \times = 1$ である必要があります。また、 $IRQTM1$ による解除はできません。
 $IRQ \times \times \times = 1$ の状態で、STOP 命令が実行されても、STOP 命令は無視 (NOP 命令扱い) され、STOP モードには入りません。

18.3.2 STOP モード解除後のスタート番地

解除条件、割り込み許可条件によって変わります。

表 18-5 STOP モード解除後のスタート番地

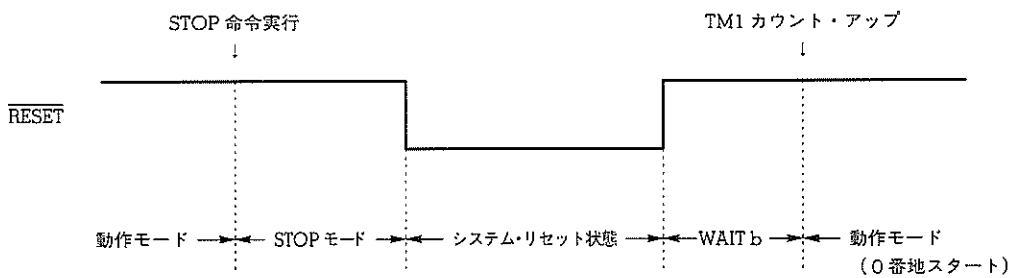
解除条件	解除後のスタート番地
リセット ^{注1}	0 番地
^{注2} $IRQ \times \times \times$	DI の場合、STOP 命令の次の番地
	EI の場合、割り込みベクタ (複数の $IRQ \times \times \times$ がセットされている場合には、優先順位の高い割り込みベクタ)

注 1. リセットは、 \overline{RESET} 入力、パワーオン/パワーダウン・リセットが有効です。

2. $IP \times \times \times = 1$ である必要があります。また、 $IRQTM1$ による解除はできません。

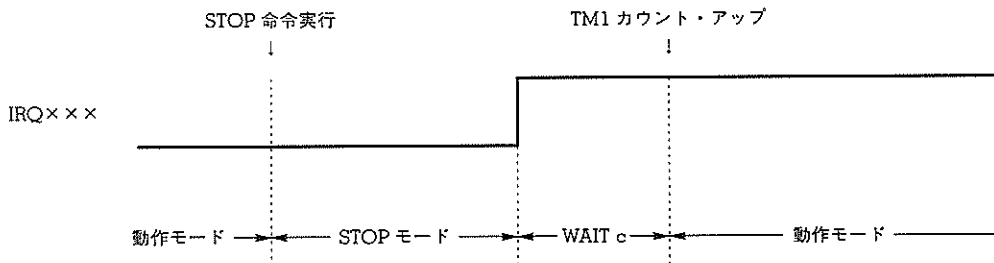
図 18-2 STOP モードの解除

(a) $\overline{\text{RESET}}$ 入力による STOP 解除



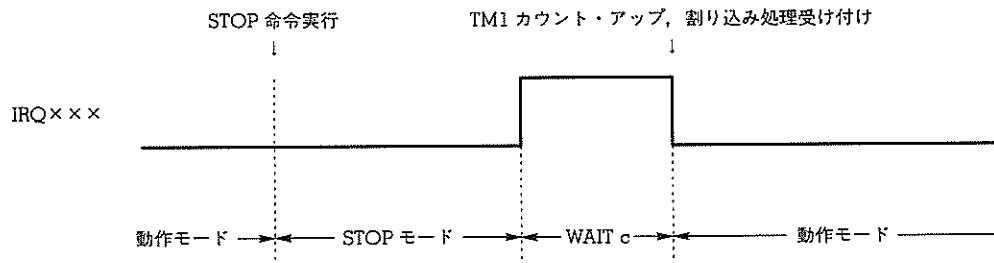
WAIT b : TM1 が 512 分周のクロックを 2 カウントするまでの待ち時間です。
 ただし、TM1 のカウントには最大 -1.5 カウントの誤差が含まれるため、最短では TM1 が 0.5 カウントする時間になります。
 $2 \times 512 / f_{cc} + \alpha$ (約 $512 \mu\text{s} + \alpha$, 最短で約 $128 \mu\text{s} + \alpha$, $f_{cc} = 2 \text{ MHz}$ 時)
 α : 発振成長時間

(b) $\text{IRQ} \times \times \times$ による STOP 解除 (DI の場合)



WAIT c : TM1 が m 分周のクロックを (n+1) カウントするまでの待ち時間
 $(n+1) \times m / f_{cc} + \alpha$ (n, m は、STOP モードに入る直前の値)
 α : 発振成長時間

(c) $\text{IRQ} \times \times \times$ による STOP 解除 (EI の場合)



WAIT c : TM1 が m 分周のクロックを (n+1) カウントするまでの待ち時間
 $(n+1) \times m / f_{cc} + \alpha$ (n, m は、STOP モードに入る直前の値)
 α : 発振成長時間

19. リセット

μPD17136Bのリセットには、次の4種類があります。

- ① $\overline{\text{RESET}}$ 入力によるリセット
- ② 電源投入時および電源電圧降下時にリセットをかけるパワーオン/パワーダウン・リセット機能
- ③ プログラムの暴走時にリセットするためのウォッチドッグ・タイマ機能
- ④ アドレス・スタックのオーバフロー/アンダフローによるリセット機能

なお、パワーオン/パワーダウン・リセット機能は電源電圧を4.5~5.5Vでご使用になる場合のみ有効な機能です。

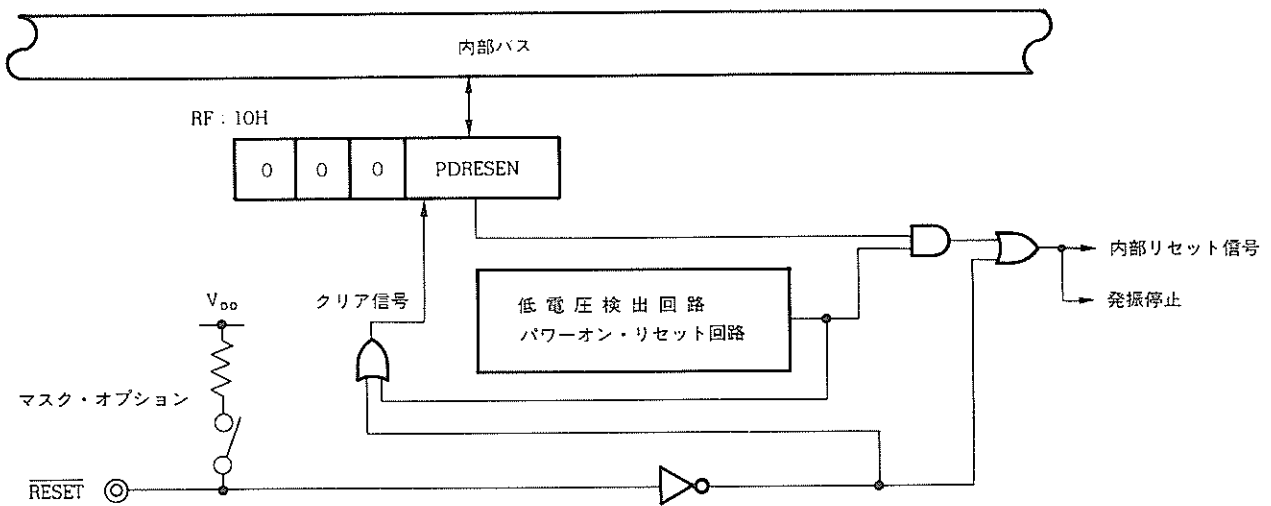
19.1 リセット機能

リセット機能は、デバイス動作の初期化を行うために使用します。なお、リセットの種類により、初期化される内容が異なります。

表 19-1 リセット時の各ハードウェアの状態

リセットの種類		• 動作中の $\overline{\text{RESET}}$ 入力 • 動作中の内蔵パワーオン/パワーダウン・リセット	• スタンバイ・モード中の $\overline{\text{RESET}}$ 入力 • スタンバイ・モード中の内蔵パワーオン/パワーダウン・リセット	• ウォッチドッグ・タイマのオーバフロー • スタックのオーバフローおよびアンダフロー
ハードウェア				
プログラム・カウンタ		0000H	0000H	0000H
ポート	入出力モード	入力	入力	入力
	出力ラッチ	0	0	不定
汎用データ・メモリ	DBF 以外	不定	リセット直前の状態を保持	不定
	DBF	不定	不定	不定
システム・レジスタ	WR 以外	0	0	0
	WR	不定	リセット直前の状態を保持	不定
コントロール・レジスタ		SP=5H, IRQTM1=1, TM1EN=1, IRQBTM=0, INTはそのときのINT端子の状態, それ以外はすべて0。 8. レジスタ・ファイル (RF) 参照。		SP=5H, INTはそのときのINT端子の状態, それ以外はすべてリセット直前の状態を保持。
タイマ0, および タイマ1	カウンタ・レジスタ	00H	00H	タイマ0:00H, タイマ1:不定
	モジュロ・レジスタ	01H	01H	01H
ベーシック・インターバル・タイマのカウンタ		不定	不定	不定 (ただし、ウォッチドッグ・タイマのオーバフローの場合は40H)
シリアル・インタフェースのシフト・レジスタ (SIOSFR)		不定	リセット直前の状態を保持	不定
A/D コンバータのデータ・レジスタ (ADCR)		00H	00H	00H

図 19-1 リセット・ブロックの構成



19.2 リセット動作

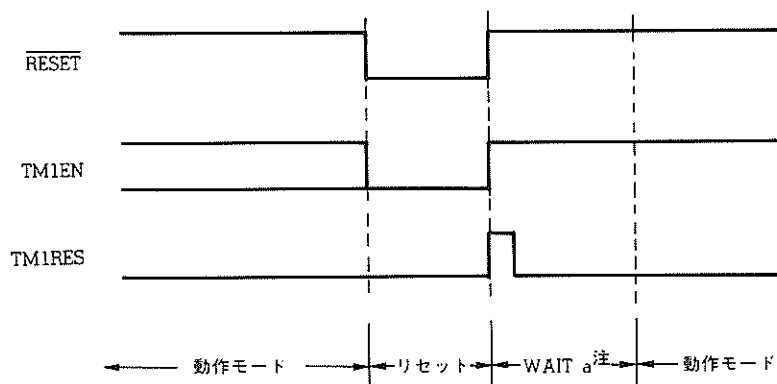
RESET 入力によりリセットをかけたときの動作を図 19-2 に示します。

RESET 端子をロウ・レベルからハイ・レベルに立ち上げると、システム・クロックの発振を開始し、タイマ 1 を用いた発振安定待ちをしたのち、0000H 番地よりプログラムの実行を開始します。

パワーオン・リセット機能によるリセットの場合も、図 19-2 のようなりセット信号を内部で生成し、RESET 入力により外部からリセットをかけたときと同様の動作をします。

なお、ウォッチドッグ・タイマのオーバフローおよびスタックのオーバフローとアンダフローによるリセットでは発振安定待ち時間 (WAIT a) は発生せず、内部を初期状態にしたのち、0000H 番地スタートとなります。

図 19-2 リセット動作



注 発振安定待ち時間です。タイマ 1 によりシステム・クロックを 512×2 カウント (約 512 μs, 最短で約 128 μs, f_{cc}=2 MHz 時) すると動作モードになります。

19.3 パワーオン/パワーダウン・リセット機能

μPD17136Bには、電源の立ち上がりおよび電源電圧の低下を監視し、マイコン内部にリセットをかけるパワーオン/パワーダウン・リセット機能があり、マイコンの誤動作防止に威力を発揮します。

この機能は、通常のマイコン・ロジック部とは動作電源電圧範囲が異なる電源監視回路と、リセットがかかると発振を停止し、マイコンを一時動作停止状態にする発振回路部により構成されています。次にパワーオン/パワーダウン・リセット機能が有効に働く条件と機能について説明します。

注意 高い信頼性が要求される応用回路を設計する際には、リセットが内部のパワーオン/パワーダウン・リセット機能だけに依存した設計をしないでください。必ず外部からの $\overline{\text{RESET}}$ 信号を入力するように設計してください。

19.3.1 パワーオン・リセット機能が有効に働く条件

パワーオン・リセット機能は、実際に使用する環境においてはパワーダウン・リセット機能とともに使用したときに初めて有効になる機能です。

パワーオン・リセット機能は、次の条件において有効です。

- ① 通常動作時（スタンバイ時も含む）において、電源電圧範囲が4.5～5.5 Vであること。
- ② 通常動作時（スタンバイ時も含む）において、パワーダウン・リセット機能を使用すること。
- ③ 電源が0 Vから立ち上がること。
- ④ 0～2.7 Vまでの電源の立ち上がり時間が、μPD17136Bのタイマ1で生成される発振安定待ち時間（システム・クロック 512×2 カウント、約512 μs、最短で約128 μs、 $f_{\text{CC}}=2$ MHz時）以内であること。

注意 1. 上記条件が満たされない場合は、内蔵されたパワーオン・リセット回路が有効に動作しません。このため、外付けにリセット回路が必要となります。

2. スタンバイ時、パワーダウン・リセット機能が働いた場合でも $V_{\text{DD}}=2.7$ Vまでは汎用データ・メモリ（DBFは除く）はデータを保持しています。なお外乱などにより、データが変化した場合のデータ保持については保証されていません。
3. μPD17134B, 17136Bは、発振安定待ち時間が極めて短いため、パワーオン/パワーダウン・リセット機能が有効に動作しない場合があります。その場合には、外部から $\overline{\text{RESET}}$ 信号を入力するようにしてください。

19.3.2 パワーオン・リセット機能と動作

パワーオン・リセット機能は、内蔵されているハードウェアにより、ソフトウェアに関係なく電源を監視し、電源立ち上がり時に内部システムにリセットをかける機能です。

このパワーオン・リセット回路は、μPD17136Bのほかの内部回路より低電圧で動作し、発振の有無に関係なくマイコン内部を初期化します。そして、リセットが解除されると、発振子からの発振パルスでタイマ1によりカウントし、発振安定待ちを行います。この発振安定待ちは、発振子の発振安定待ちはもとより、マイコンに印加される電源電圧が、マイコンの動作保証電圧範囲内（ $V_{\text{DD}}=2.7\sim 5.5$ V）になるのを待つことにも使用されています。

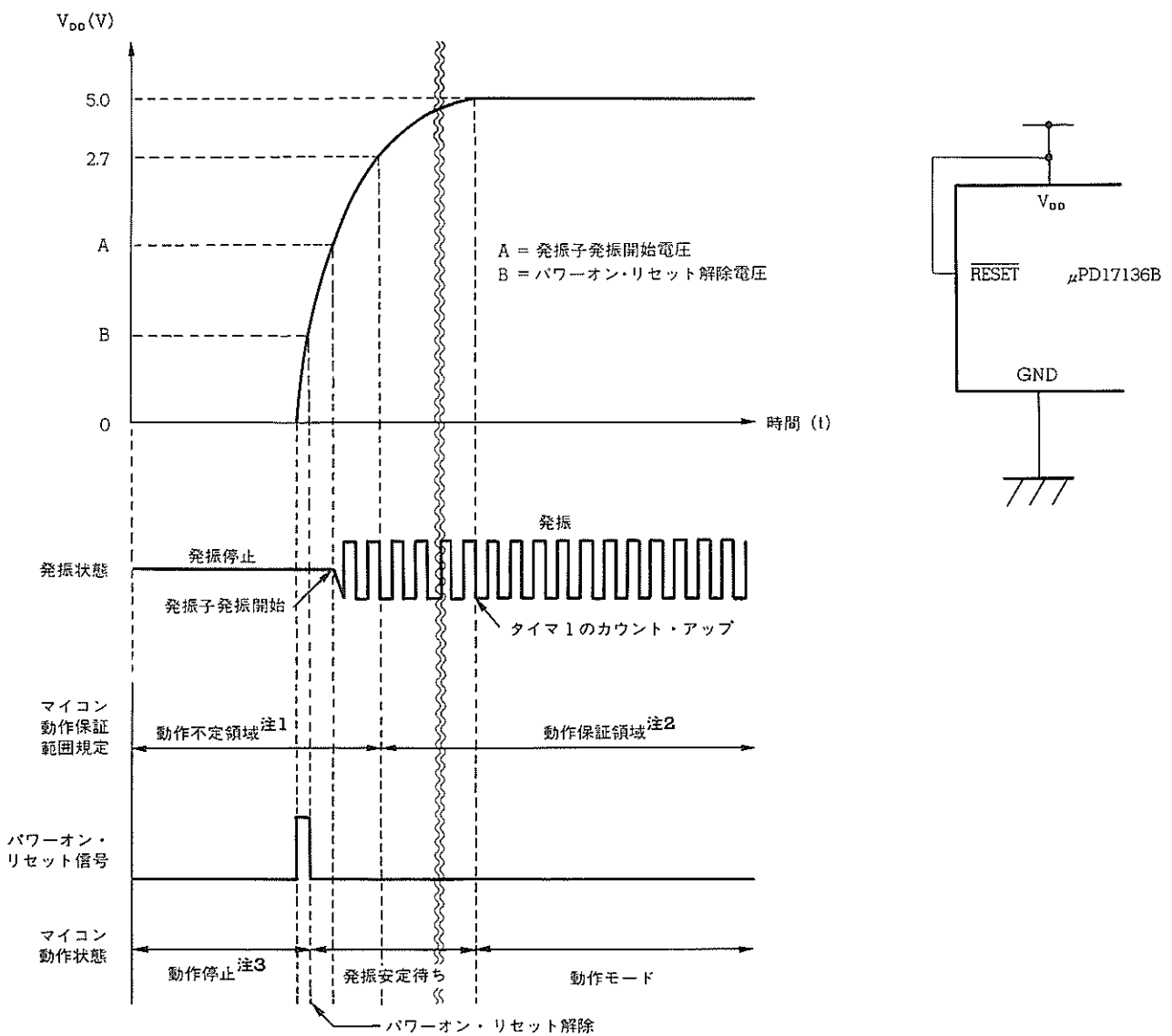
この発振安定待ちから解除されると、マイコンは動作状態となります。その動作例について図 19-3 に示します。

パワーオン・リセットの機能

- ① V_{DD} 端子に印加されている電圧レベルを常に監視。
- ② 電源の立ち上がりにおいて、パワーオン・リセット解除電圧 ($V_{DD}=1.5V$ TYP.) までは、発振の有無に関係なくマイコン内部にリセットをかける。^注
- ③ リセットがかかっている間は発振を停止。
- ④ リセットが解除されると、タイマ1により発振安定待ちおよび電源電圧が $V_{DD}=2.7V$ 以上になるのを待つ。

注 マイコン内部にリセットがかかるのは、内部回路が動作できる（内部リセット信号を受け付けられる）電圧に電源電圧が達した時点からです。

図 19-3 内蔵パワーオン・リセット動作例



注 1. 動作不定領域とは、 $\mu PD17136B$ に規定されている動作が保証されていない領域のことです。ただし、この領域においてもパワーオン・リセット機能は動作します。

2. 動作保証領域とは、 $\mu PD17136B$ に規定されている動作のすべてが保証される領域のことです。

3. マイコンの動作状態において動作停止とは、マイコンのすべての機能が止まっている状態のことです。

19.3.3 パワーダウン・リセット機能が使用できる条件

パワーダウン・リセット機能は、ソフトウェアによりその使用の有無を選択することができます。使用できる条件は以下のとおりです。

- 通常動作時（スタンバイ時も含む）の電源電圧範囲が4.5～5.5 Vであること。

注意 2.7～4.5 Vの範囲で通常動作を行う場合には、内蔵されたパワーダウン・リセット機能を使用せず、リセット回路を外付けしてください。2.7～4.5 Vの動作電圧範囲においてパワーダウン・リセット機能を使用すると、リセットが解除されなくなる可能性があります。

19.3.4 パワーダウン・リセット機能と動作

パワーダウン・リセット機能は、ソフトウェアによりパワーダウン・リセット・イネーブル・フラグ(PDRESEN)をセットすると機能します。

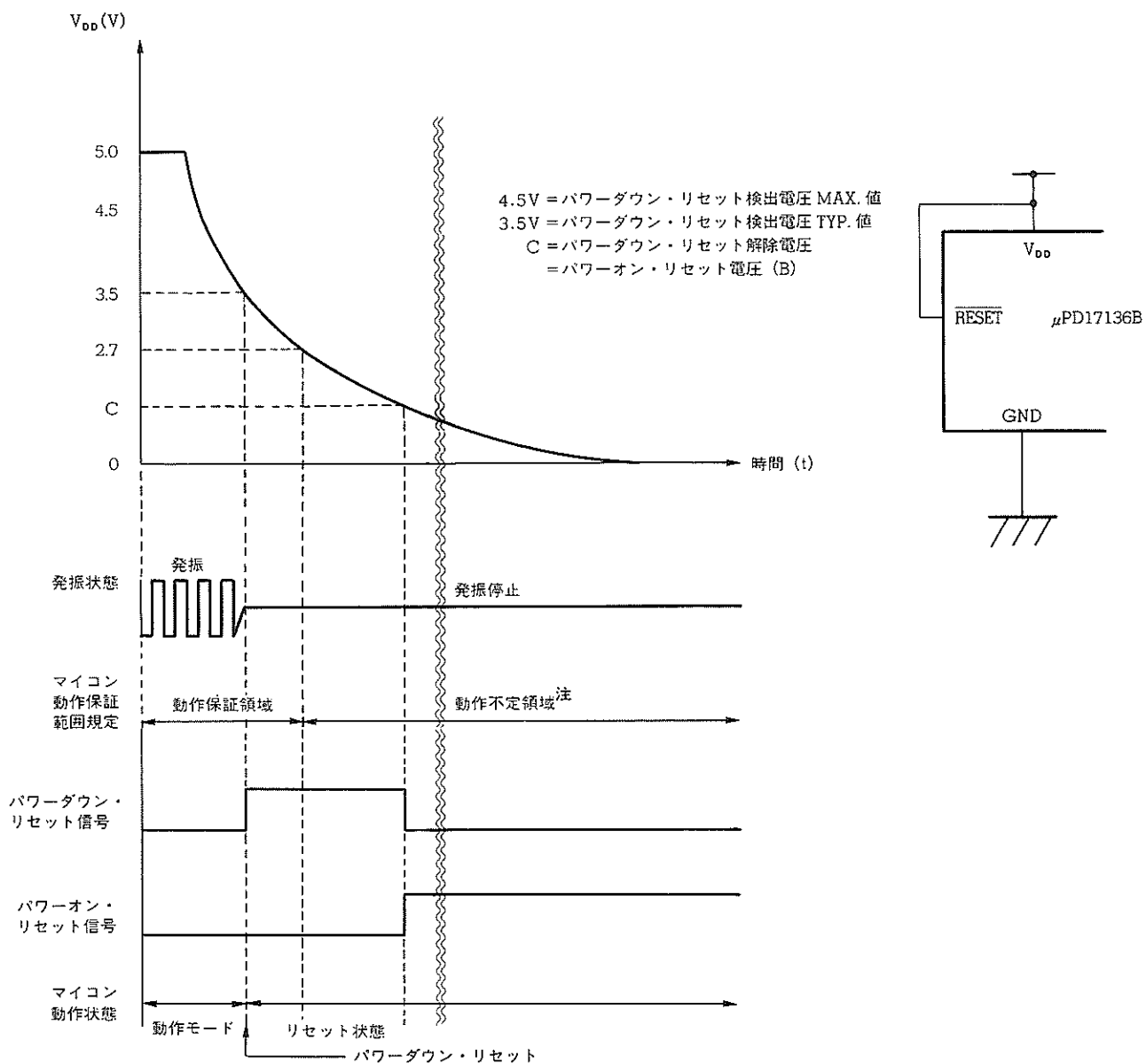
この機能が動作している間に、電源電圧の低下を検出するとマイコン内部に対しリセット信号を発生し、マイコン内部を初期化します。また、リセットがかかっている間は発振が停止しているため、マイコンが電源電圧の乱れにより暴走することを防ぐことができます。電源電圧が復帰し、パワーダウン・リセットが解除された場合は、タイマによる発振安定待ち状態を介したのち、通常の動作状態（0番地スタート）となります。

図 19-4 に内蔵パワーダウン・リセットの動作例、図 19-5 にはパワーダウン→電源復帰時のリセット動作例について示します。

パワーダウン・リセット機能

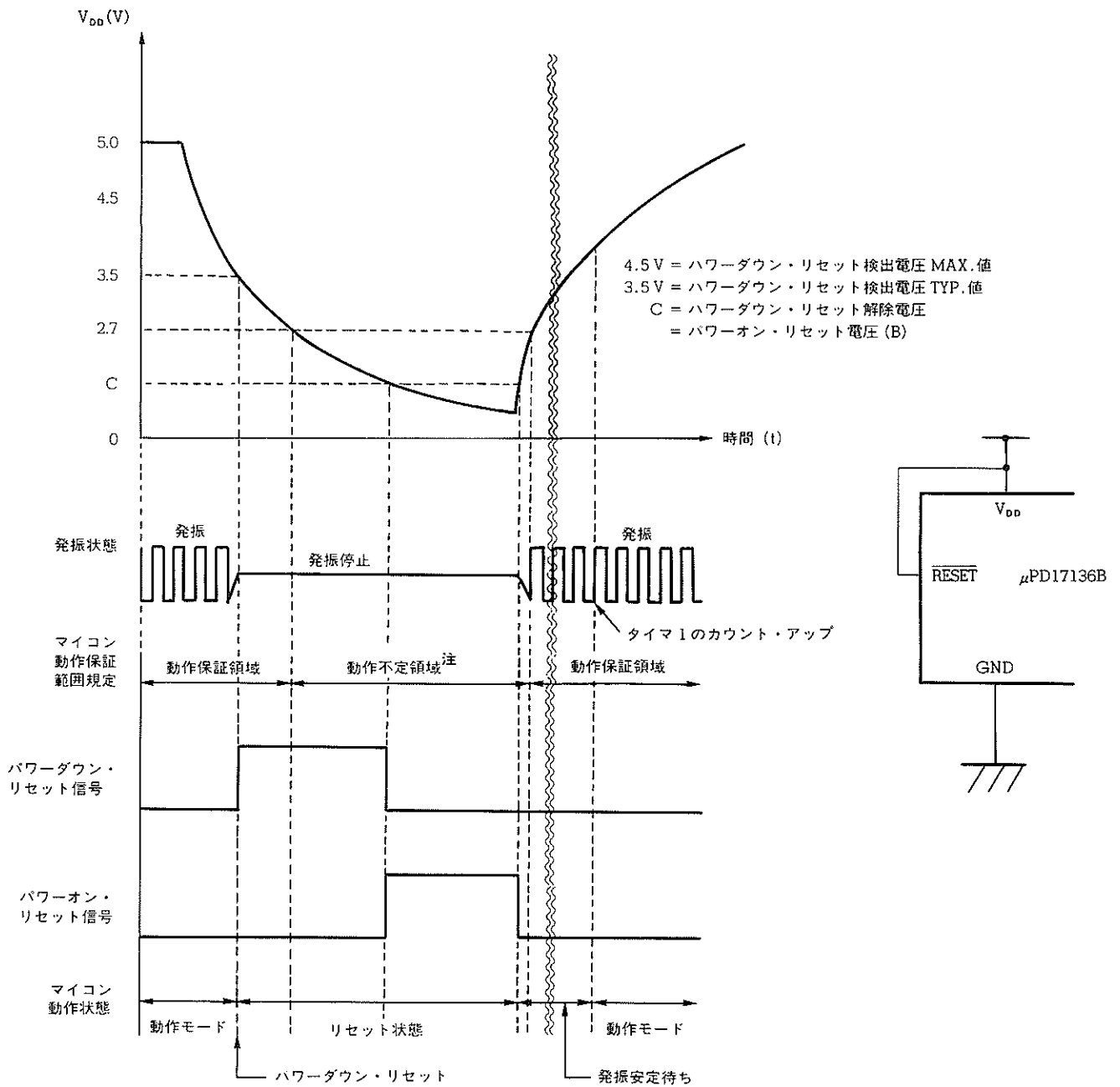
- ① V_{DD} 端子に印加されている電圧レベルを常に監視。
- ② 電源電圧の低下を検出すると、リセット信号をマイコン内部に対し発生。電源電圧が復帰するか、またはマイコンのすべての機能が停止するまでリセット信号を発生し続ける。
- ③ リセットがかかっている間は発振を停止（暴走防止対策）。
パワーダウン・リセット機能が停止する前に電源が復帰した場合は、低電圧検出レベル（3.5 V TYP., 4.5 V MAX.）以上になったとき、タイマ1による発振安定待ちを介したのち、通常の動作モードに移る。
- ④ 0 Vから電源電圧が復帰した場合は、その機能をパワーオン・リセット機能に譲る。
- ⑤ パワーダウン・リセット機能が停止したのち、電源電圧が0 Vに達する前に復帰した場合は、タイマ1により発振安定待ちおよび電源電圧が $V_{DD}=2.7 V$ 以上になるのを待ち、通常の動作モードに移る。

図 19-4 内蔵パワーダウン・リセット動作例



注 動作不定領域とは、μPD17136B に規定されている動作が保証されていない領域のことです。ただし、この領域においても、パワーダウン・リセット機能は動作し、マイコン内部のそのほかの機能がすべて停止するまでリセットを発生し続けます。

図 19-5 パワーダウン→電源復帰時のリセット動作例



注 動作不定領域とは、μPD17136B に規定されている動作が保証されていない領域のことです。ただし、この領域においても、パワーダウン・リセット機能は動作し、マイコン内部のそのほかの機能がすべて停止するまでリセットを発生し続けます。

20. 命令セット

20.1 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: m_R , m_C で示されるデータ・メモリ・アドレス
m_R	: データ・メモリ・ロウ・アドレス (上位)
m_C	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4ビット)
n4	: イミディエイト・データ (4ビット)
PC	: プログラム・カウンタ
p	: 周辺アドレス
p_H	: 周辺アドレス (上位3ビット)
p_L	: 周辺アドレス (下位4ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rf_R	: レジスタ・ファイル・ロウ・アドレス (上位3ビット)
rf_C	: レジスタ・ファイル・カラム・アドレス (下位4ビット)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
(×)	: ×でアドレスされる内容

20.2 命令セット一覧

命令群	ニモニック	オペランド	オペレーション	マシン・コード			
				オペ・コード	オペランド		
加算	ADD	r, m	$(r) \leftarrow (r) + (m)$	00000	m_R	m_C	r
		m, #n4	$(m) \leftarrow (m) + n4$	10000	m_R	m_C	n4
	ADDC	r, m	$(r) \leftarrow (r) + (m) + CY$	00010	m_R	m_C	r
		m, #n4	$(m) \leftarrow (m) + n4 + CY$	10010	m_R	m_C	n4
	INC	AR	$AR \leftarrow AR + 1$	00111	000	1001	0000
IX		$IX \leftarrow IX + 1$	00111	000	1000	0000	
減算	SUB	r, m	$(r) \leftarrow (r) - (m)$	00001	m_R	m_C	r
		m, #n4	$(m) \leftarrow (m) - n4$	10001	m_R	m_C	n4
	SUBC	r, m	$(r) \leftarrow (r) - (m) - CY$	00011	m_R	m_C	r
		m, #n4	$(m) \leftarrow (m) - n4 - CY$	10011	m_R	m_C	n4
論理演算	OR	r, m	$(r) \leftarrow (r) \vee (m)$	00110	m_R	m_C	r
		m, #n4	$(m) \leftarrow (m) \vee n4$	10110	m_R	m_C	n4
	AND	r, m	$(r) \leftarrow (r) \wedge (m)$	00100	m_R	m_C	r
		m, #n4	$(m) \leftarrow (m) \wedge n4$	10100	m_R	m_C	n4
	XOR	r, m	$(r) \leftarrow (r) \nabla (m)$	00101	m_R	m_C	r
		m, #n4	$(m) \leftarrow (m) \nabla n4$	10101	m_R	m_C	n4
判断	SKT	m, #n	$CMP \leftarrow 0$, if $(m) \wedge n = n$, then skip	11110	m_R	m_C	n
	SKF	m, #n	$CMP \leftarrow 0$, if $(m) \wedge n = 0$, then skip	11111	m_R	m_C	n
比較	SKE	m, #n4	$(m) - n4$, skip if zero	01001	m_R	m_C	n4
	SKNE	m, #n4	$(m) - n4$, skip if not zero	01011	m_R	m_C	n4
	SKGE	m, #n4	$(m) - n4$, skip if not borrow	11001	m_R	m_C	n4
	SKLT	m, #n4	$(m) - n4$, skip if borrow	11011	m_R	m_C	n4
回転	RORC	r	$\rightarrow CY \rightarrow (r)_{b3} \rightarrow (r)_{b2} \rightarrow (r)_{b1} \rightarrow (r)_{b0}$	00111	000	0111	r
転送	LD	r, m	$(r) \leftarrow (m)$	01000	m_R	m_C	r
	ST	m, r	$(m) \leftarrow (r)$	11000	m_R	m_C	r
	MOV	@r, m	if MPE = 1: $(MP, (r)) \leftarrow (m)$ if MPE = 0: $(BANK, m_R, (r)) \leftarrow (m)$	01010	m_R	m_C	r
		m, @r	if MPE = 1: $(m) \leftarrow (MP, (r))$ if MPE = 0: $(m) \leftarrow (BANK, m_R, (r))$	11010	m_R	m_C	r
		m, #n4	$(m) \leftarrow n4$	11101	m_R	m_C	n4
	MOVT	DBF, @AR	$SP \leftarrow SP - 1$, $ASR \leftarrow PC$, $PC \leftarrow AR$, $DEF \leftarrow (PC)$, $PC \leftarrow ASR$, $SP \leftarrow SP + 1$	00111	000	0001	0000

命令群	二モニツク	オペランド	オペレーション	マシン・コード			
				オペ・コード	オペランド		
転送	PUSH	AR	SP ← SP-1, ASR ← AR	00111	000	1101	0000
	POP	AR	AR ← ASR, SP ← SP+1	00111	000	1100	0000
	PEEK	WR, rf	WR ← (rf)	00111	rf _R	0011	rf _C
	POKE	rf, WR	(rf) ← WR	00111	rf _R	0010	rf _C
	GET	DBF, p	DBF ← (p)	00111	p _H	1011	p _L
	PUT	p, DBF	(p) ← DBF	00111	p _H	1010	p _L
分岐	BR	addr	PC ← addr	01100	addr		
		@AR	PC ← AR	00111	000	0100	0000
サブルーチン	CALL	addr	SP ← SP-1, ASR ← PC, PC ← addr	11100	addr		
		@AR	SP ← SP-1, ASR ← PC, PC ← AR	00111	000	0101	0000
	RET		PC ← ASR, SP ← SP+1	00111	000	1110	0000
	RETSK		PC ← ASR, SP ← SP+1 and skip	00111	001	1110	0000
	RETI		PC ← ASR, INTR ← INTSK, SP ← SP+1	00111	100	1110	0000
割り込み	EI		INTEF ← 1	00111	000	1111	0000
	DI		INTEF ← 0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

21. アセンブラ予約語

21.1 マスク・オプション疑似命令

μPD17136B のプログラムを作成する場合、アセンブラのソース・プログラム中にマスク・オプション疑似命令を使用して、プルアップ抵抗が内蔵可能な端子すべてにプルアップ抵抗の有無を指定する必要があります。また、マスク・オプションを設定するためには、アSEMBル時に AS17136B(μPD17136B 用デバイス・ファイル)中の D17136B.OPT ファイルをカレント・ディレクトリに入れておかなければなりませんので注意してください。

以下の端子すべてにマスク・オプションを指定してください。

- $\overline{\text{RESET}}$ 端子
- ポート OD (POD₃, POD₂, POD₁, POD₀)
- ポート 1A (P1A₃, P1A₂, P1A₁, P1A₀)
- ポート 1B (P1B₀)

21.1.1 OPTION, ENDOP 疑似命令

OPTION 疑似命令から、ENDOP 疑似命令までをマスク・オプション定義ブロックとします。

マスク・オプション定義ブロックの記述形式を以下に示します。このブロック内では、表 21-1 に示す 4 つの疑似命令だけが記述可能です。

記述形式：

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[ラベル:]	OPTION		[; コメント]
	⋮		
	ENDOP		

21.1.2 マスク・オプション定義疑似命令

各端子のマスク・オプションを定義する疑似命令を表 21-1 に示します。

表 21-1 マスク・オプション定義疑似命令一覧表

端子名	マスク・オプション 疑似命令	オペランドの数	パラメータ名
$\overline{\text{RESET}}$	OPTRES	1	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)
POD ₃ -POD ₀	OPTPOD	4	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)
PIA ₃ -PIA ₀	OPTPIA	4	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)
PIB ₀	OPTPIB	1	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)

OPTRES の記述形式を以下に示します。オペランド欄には $\overline{\text{RESET}}$ のマスク・オプションを指定してください。

シンボル欄	ニモニク欄	オペランド欄	コメント欄
[レーベル:]	OPTRES	($\overline{\text{RESET}}$)	[; コメント]

OPTPOD の記述形式を以下に示します。オペランド欄には第一オペランドから POD₃, POD₂, POD₁, POD₀ の順にポート OD すべての端子にマスク・オプションを指定してください。

シンボル欄	ニモニク欄	オペランド欄	コメント欄
[レーベル:]	OPTPOD	(POD ₃), (POD ₂), (POD ₁), (POD ₀)	[; コメント]

OPTPIA の記述形式を以下に示します。オペランド欄には第一オペランドから PIA₃, PIA₂, PIA₁, PIA₀ の順にポート IA すべての端子に、マスク・オプションを指定してください。

シンボル欄	ニモニク欄	オペランド欄	コメント欄
[レーベル:]	OPTPIA	(PIA ₃), (PIA ₂), (PIA ₁), (PIA ₀)	[; コメント]

OPTPIB の記述形式を以下に示します。オペランド欄には PIB₀ のマスク・オプションを指定してください。

シンボル欄	ニモニク欄	オペランド欄	コメント欄
[レーベル:]	OPTPIB	(PIB ₀)	[; コメント]

マスク・オプションの記述例

$\overline{\text{RESET}}$ 端子 … プルアップ

POD₃ … オープン, POD₂ … オープン, POD₁ … プルアップ, POD₀ … プルアップ

P1A₃ … プルアップ, P1A₂ … オープン, P1A₁ … オープン, P1A₀ … オープン

P1B₀ … オープン

シンボル欄	ニモニック欄	オペランド欄	コメント欄
; μPD17136B			
マスク・オプション設定 :	OPTION		
;			
	OPTRES	PULLUP	
	OPTPOD	OPEN, OPEN, PULLUP, PULLUP	
	OPTP1A	PULLUP, OPEN, OPEN, OPEN	
	OPTP1B	OPEN	
;			
	ENDOP		

21.2 予約シンボル

μPD17136B のデバイス・ファイル (AS17136B) 内で定義されている予約シンボルの一覧表を次に示します。

システム・レジスタ (SYSREG)

シンボル名	属性	値	Read/ Write	説 明
AR3	MEM	0.74H	R	アドレス・レジスタのビット b15-b12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット b11-b8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット b7-b4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット b3-b0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタ・ハイ
MPH	MEM	0.7AH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ハイ
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタ・ミドル
MPL	MEM	0.7BH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ロウ
IXL	MEM	0.7CH	R/W	インデクス・レジスタ・ロウ
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタ・ハイ
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタ・ロウ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCD フラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ

図 21 - 1 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)	プログラム・ステータス・ワード (PSWORD)	
記号	AR3	AR2 ^{注1}	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀
データ ^{注2}	0 0 0 0 0 0 0 0 (AR)				0 0 0 (BANK)		M P 0 0 0 E (IX) (MP)			0 0 0 (RP)		B C C I C M Y Z D P X E
リセット時の初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0				不定		0 0 0 0 0 0 0 0 0 0 0 0 0 0			0 0 0 0 0 0 0 0 0 0 0 0 0 0		0 0 0 0 0 0 0 0 0 0 0 0 0 0

注 1. μPD17134B では、AR2 のビット 2 は “0 固定” です。

2. この欄の 0 が書かれている部分は “0 固定” を意味します。

データ・バッファ (DBF)

シンボル名	属性	値	Read/ Write	説明
DBF3	MEM	0.0CH	R/W	DBFのビット b15-b12
DBF2	MEM	0.0DH	R/W	DBFのビット b11-b8
DBF1	MEM	0.0EH	R/W	DBFのビット b7-b4
DBF0	MEM	0.0FH	R/W	DBFのビット b3-b0

ポート・レジスタ

シンボル名	属性	値	Read/ Write	説明
POA3	FLG	0.70H.3	R/W	ポート 0A のビット b3
POA2	FLG	0.70H.2	R/W	ポート 0A のビット b2
POA1	FLG	0.70H.1	R/W	ポート 0A のビット b1
POA0	FLG	0.70H.0	R/W	ポート 0A のビット b0
POB3	FLG	0.71H.3	R/W	ポート 0B のビット b3
POB2	FLG	0.71H.2	R/W	ポート 0B のビット b2
POB1	FLG	0.71H.1	R/W	ポート 0B のビット b1
POB0	FLG	0.71H.0	R/W	ポート 0B のビット b0
POC3	FLG	0.72H.3	R/W	ポート 0C のビット b3
POC2	FLG	0.72H.2	R/W	ポート 0C のビット b2
POC1	FLG	0.72H.1	R/W	ポート 0C のビット b1
POC0	FLG	0.72H.0	R/W	ポート 0C のビット b0
POD3	FLG	0.73H.3	R/W	ポート 0D のビット b3
POD2	FLG	0.73H.2	R/W	ポート 0D のビット b2
POD1	FLG	0.73H.1	R/W	ポート 0D のビット b1
POD0	FLG	0.73H.0	R/W	ポート 0D のビット b0
P1A3	FLG	1.70H.3	R/W	ポート 1A のビット b3
P1A2	FLG	1.70H.2	R/W	ポート 1A のビット b2
P1A1	FLG	1.70H.1	R/W	ポート 1A のビット b1
P1A0	FLG	1.70H.0	R/W	ポート 1A のビット b0
P1B0	FLG	1.71H.0	R	ポート 1B のビット b0

レジスタ・ファイル (コントロール・レジスタ)

(1/2)

シンボル名	属性	値	Read/ Write	説明
SP	MEM	0.81H	R/W	スタック・ポインタ
SIOTS	FLG	0.82H.3	R/W	シリアル・インタフェース・スタート・フラグ
SIOHIZ	FLG	0.82H.2	R/W	POD ₁ /SO 端子機能選択フラグ
SIOCK1	FLG	0.82H.1	R/W	シリアル・クロック選択フラグ・ビット1
SIOCK0	FLG	0.82H.0	R/W	シリアル・クロック選択フラグ・ビット0
WDTRES	FLG	0.83H.3	R/W	ウォッチドッグ・タイマ・リセット・フラグ
WDTEN	FLG	0.83H.0	R/W	ウォッチドッグ・タイマ・イネーブル・フラグ
TMOOSEL	FLG	0.8BH.3	R/W	POD ₃ /TMOOUT 端子機能選択フラグ
SIOEN	FLG	0.8BH.0	R/W	シリアル・インタフェース・イネーブル・フラグ
POBGPU	FLG	0.8CH.1	R/W	POB グループ・ブルアップ 選択フラグ (ブルアップ=1)
POAGPU	FLG	0.8CH.0	R/W	POA グループ・ブルアップ 選択フラグ (ブルアップ=1)
INT	FLG	0.8FH.0	R	INT 端子ステータス・フラグ
PDRESEN	FLG	0.90H.0	R/W	パワーダウン・リセット・イネーブル・フラグ
TMOEN	FLG	0.91H.3	R/W	タイマ0 イネーブル・フラグ
TMORES	FLG	0.91H.2	R/W	タイマ0 リセット・フラグ
TMOCK1	FLG	0.91H.1	R/W	タイマ0 カウント・パルス選択フラグ・ビット1
TMOCK0	FLG	0.91H.0	R/W	タイマ0 カウント・パルス選択フラグ・ビット0
TM1EN	FLG	0.92H.3	R/W	タイマ1 イネーブル・フラグ
TM1RES	FLG	0.92H.2	R/W	タイマ1 リセット・フラグ
TM1CK1	FLG	0.92H.1	R/W	タイマ1 カウント・パルス選択フラグ・ビット1
TM1CK0	FLG	0.92H.0	R/W	タイマ1 カウント・パルス選択フラグ・ビット0
BTMISEL	FLG	0.93H.3	R/W	BTM 割り込み要求クロック選択フラグ
BTMRES	FLG	0.93H.2	R/W	BTM リセット・フラグ
BTMCK1	FLG	0.93H.1	R/W	BTM カウント・パルス選択フラグ・ビット1
BTMCK0	FLG	0.93H.0	R/W	BTM カウント・パルス選択フラグ・ビット0
POC3IDI	FLG	0.9BH.3	R/W	POC ₃ 入力ポート禁止フラグ (ADC ₃ /POC ₃ 端子機能選択)
POC2IDI	FLG	0.9BH.2	R/W	POC ₂ 入力ポート禁止フラグ (ADC ₂ /POC ₂ 端子機能選択)
POC1IDI	FLG	0.9BH.1	R/W	POC ₁ 入力ポート禁止フラグ (ADC ₁ /POC ₁ 端子機能選択)
POC0IDI	FLG	0.9BH.0	R/W	POC ₀ 入力ポート禁止フラグ (ADC ₀ /POC ₀ 端子機能選択)
POCBIO3	FLG	0.9CH.3	R/W	POC ₃ 入力/出力選択フラグ (1 = 出力ポート)
POCBIO2	FLG	0.9CH.2	R/W	POC ₂ 入力/出力選択フラグ (1 = 出力ポート)
POCBIO1	FLG	0.9CH.1	R/W	POC ₁ 入力/出力選択フラグ (1 = 出力ポート)
POCBIO0	FLG	0.9CH.0	R/W	POC ₀ 入力/出力選択フラグ (1 = 出力ポート)
ZCROSS	FLG	0.9DH.0	R/W	ゼロクロス検出回路イネーブル・フラグ
IEGMD1	FLG	0.9FH.1	R/W	INT 端子エッジ検出選択フラグ・ビット1
IEGMD0	FLG	0.9FH.0	R/W	INT 端子エッジ検出選択フラグ・ビット0
ADCSTRT	FLG	0.0A0H.0	R/W	A/D コンバータ・スタート・フラグ (読み出し時: 常に "0")
ADCSOFT	FLG	0.0A1H.3	R/W	A/D コンバータ動作モード選択フラグ (1 = 単発モード)
ADCCMP	FLG	0.0A1H.1	R/W	A/D コンバータ・コンパレータ比較結果フラグ (単発モード時のみ有効)
ADCEND	FLG	0.0A1H.0	R/W	A/D コンバータ変換終了フラグ

レジスタ・ファイル (コントロール・レジスタ)

(2/2)

シンボル名	属性	値	Read/ Write	説 明
ADCCH3	FLG	0.0A2H.3	R/W	ダミー・フラグ
ADCCH2	FLG	0.0A2H.2	R/W	ダミー・フラグ
ADCCH1	FLG	0.0A2H.1	R/W	A/D コンバータ・チャンネル選択フラグ ビット1
ADCCH0	FLG	0.0A2H.0	R/W	A/D コンバータ・チャンネル選択フラグ ビット0
PODBIO3	FLG	0.0ABH.3	R/W	POD ₃ 入力/出力選択フラグ (1 = 出力ポート)
PODBIO2	FLG	0.0ABH.2	R/W	POD ₂ 入力/出力選択フラグ (1 = 出力ポート)
PODBIO1	FLG	0.0ABH.1	R/W	POD ₁ 入力/出力選択フラグ (1 = 出力ポート)
PODBIO0	FLG	0.0ABH.0	R/W	POD ₀ 入力/出力選択フラグ (1 = 出力ポート)
P1AGIO	FLG	0.0ACH.2	R/W	P1A グループ入力/出力選択フラグ (1 = P1A すべて出力ポート)
POBGIO	FLG	0.0ACH.1	R/W	POB グループ入力/出力選択フラグ (1 = POB すべて出力ポート)
POAGIO	FLG	0.0ACH.0	R/W	POA グループ入力/出力選択フラグ (1 = POA すべて出力ポート)
IPSIO	FLG	0.0AEH.0	R/W	シリアル・インタフェース割り込み許可フラグ
IPBTM	FLG	0.0AFH.3	R/W	BTM 割り込み許可フラグ
IPTM1	FLG	0.0AFH.2	R/W	タイマ1 割り込み許可フラグ
IPTM0	FLG	0.0AFH.1	R/W	タイマ0 割り込み許可フラグ
IP	FLG	0.0AFH.0	R/W	INT 端子割り込み許可フラグ
IRQSIO	FLG	0.0BBH.0	R/W	シリアル・インタフェース割り込み要求フラグ
IRQBTM	FLG	0.0BCH.0	R/W	BTM 割り込み要求フラグ
IRQTM1	FLG	0.0BDH.0	R/W	タイマ1 割り込み要求フラグ
IRQTM0	FLG	0.0BEH.0	R/W	タイマ0 割り込み要求フラグ
IRQ	FLG	0.0BFH.0	R/W	INT 端子割り込み要求フラグ

周辺ハードウェア・レジスタ

シンボル名	属性	値	Read/ Write	説 明
SIOFR	DAT	01H	R/W	シフト・レジスタの周辺アドレス
TMOM	DAT	02H	W	タイマ0 モジュロ・レジスタの周辺アドレス
TM1M	DAT	03H	W	タイマ1 モジュロ・レジスタの周辺アドレス
ADCR	DAT	04H	R/W	A/D コンバータ・データ・レジスタの周辺アドレス
TMOTM1C	DAT	45H	R	タイマ0 タイマ1 カウント・レジスタの周辺アドレス
AR	DAT	40H	R/W	GET/PUT/PUSH/CALL/BR/MOVT/INC 命令用のアドレス・レジスタの周辺アドレス

その他

シンボル名	属性	値	説 明
DBF	DAT	0FH	PUT 命令, GET 命令, MOVT 命令の固定オペランド値
IX	DAT	01H	INC 命令の固定オペランド値

図 21-2 コントロール・レジスタの構成 (1/2)

カラム・アドレス ロウ・ アドレス 項目		0		1		2		3		4		5		6		7	
0 (8)	記号									S	S	S	S	W			W
	リセット時					0	1	0	1	0	0	0	0	0	0	0	0
	Read/ Write					R/W		R/W		R/W							
1 (9)	記号					P	T	T	T	T	T	T	T	B	B	B	B
	リセット時	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	Read/ Write	R/W		R/W		R/W		R/W									
2 (A)	記号					A	A		A	A	A	A	A				
	リセット時	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Read/ Write	R/W		R/W	R	R/W											
3 (B)	記号																
	リセット時																
	Read/ Write																

備考 () 内は、アセンブラ (AS17K) を使用する際の番地です。

なお、コントロール・レジスタのフラグはすべて、アセンブラ予約語としてデバイス・ファイルに登録されていますので、プログラム作成時には予約語を使用すると便利です。

図 21-2 コントロール・レジスタの構成 (2/2)

8			9			A			B			C			D			E			F										
									T M O O S E L	0	0	0	S I O E N	0	0	0	P P O B A G P P U										0	0	0	I N T	
									0	0	0	0	0	0	0	0	0										0	0	0	注	
									R/W			R/W												R							
									P C C 3	P C C 2	P C C 1	P C C 0	P C C B	P C C B	P C C B	P C C B	0	0	0	Z C R O S S				0	0	0	I E G M D 1	I E G M D 0			
									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				0	0	0	0	
									R/W			R/W			R/W									R/W							
									P D B I O 3	P D B I O 2	P D B I O 1	P D B I O 0	P 1 A G I O	P 0 B G I O	P 0 A G I O							0	0	0	I P S I O	I P B T M	I P T M	I P T M	I P T M		
									0	0	0	0	0	0	0	0	0				0	0	0	0	0	0	0	0	0	0	
									R/W			R/W						R/W						R/W							
												I R Q S I O				I R Q B T M				I R Q T M 1				I R Q T M 0				0	0	0	I R Q
									0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
									R/W			R/W			R/W						R/W						R/W				

注 INT フラグは、そのときの INT 端子の状態により異なります。

22. 電気的特性

絶対最大定格 ($T_A = 25^\circ\text{C}$)

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		-0.3~+7.0	V	
アナログ電源電圧	V_{ADC}	$V_{ADC}=V_{DD}\pm 0.3\text{V}$	-0.3~+7.0	V	
入力電圧	V_i	POA, POB, POC, P1B, INT, RESET	-0.3~ $V_{DD}+0.3$	V	
		POD, P1A	注1	-0.3~ $V_{DD}+0.3$	V
			注2	-0.3~+11.0	
出力電圧	V_o	POA, POB, POC	-0.3~ $V_{DD}+0.3$	V	
		POD, P1A	注1	-0.3~ $V_{DD}+0.3$	V
			注2	-0.3~+11.0	
ハイ・レベル出力電流	I_{OH}	POA, POB, POC 1端子当たり	-15	mA	
		全端子合計	-30	mA	
ロウ・レベル出力電流	I_{OL}	POA, POB, POC 1端子当たり	15	mA	
		POD, P1A 1端子当たり	30	mA	
		全端子合計	100	mA	
動作周囲温度	T_A		-40~+85	$^\circ\text{C}$	
保存温度	T_{stg}		-65~+150	$^\circ\text{C}$	
許容損失	P_d	$T_A=85^\circ\text{C}$	28ピン・プラスチック・シュリンクDIP	140	mW
			28ピン・プラスチックSOP	85	

注 1. マスク・オプションによりプルアップ抵抗を内蔵した場合。

2. プルアップ抵抗を内蔵しない場合。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨電源電圧範囲 ($T_A = -40\sim+85^\circ\text{C}$)

項目	条件	MIN.	TYP.	MAX.	単位
CPU注		2.7		5.5	V
A/Dコンバータ	絶対精度 ±1.5LSB以内	4.5		5.5	V
ゼロクロス検出回路	ゼロクロス精度 $A_{ZX}=120\text{mV}$ 以内	4.5		5.5	V
パワーオン/パワーダウン・リセット回路	電源電圧立ち上がり時間($V_{DD}=0\rightarrow 2.7\text{V}$) $16t_{CY}$ 以内	4.5		5.5	V

注 A/Dコンバータ、ゼロクロス検出回路、パワーオン/パワーダウン・リセット回路は除く。

備考 $t_{CY}=16/f_{CC}$ (f_{CC} はシステム・クロック発振周波数)

システム・クロック発振器特性 ($T_A = -40\sim+85^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック 発振周波数	f_{CC}	$V_{DD}=4.5\sim 5.5\text{V}$, $R_{OSC}=9.1\text{k}\Omega$	1.6	2	2.4	MHz
		$V_{DD}=4.5\sim 5.5\text{V}$, $R_{OSC}=22\text{k}\Omega$	0.8	1	1.2	MHz
		$V_{DD}=2.7\sim 5.5\text{V}$, $R_{OSC}=22\text{k}\Omega$	0.6	1	1.2	MHz
		$V_{DD}=2.7\sim 3.3\text{V}$, $R_{OSC}=47\text{k}\Omega$	400	500	600	kHz

DC 特性 ($V_{DD} = 2.7 \sim 5.5 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

(1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V_{IH1}	POA, POB, POC, P1B	$0.7 V_{DD}$		V_{DD}	V
	V_{IH2}	POD, P1A	注1	$0.7 V_{DD}$	V_{DD}	V
			注2		9	
V_{IH3}	$\overline{\text{RESET}}$, $\overline{\text{SCK}}$, SI, INT	$0.8 V_{DD}$		V_{DD}	V	
ロウ・レベル入力電圧	V_{IL1}	POA, POB, POC, P1B	0		$0.3 V_{DD}$	V
	V_{IL2}	POD, P1A, $\overline{\text{RESET}}$, $\overline{\text{SCK}}$, SI, INT	0		$0.2 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	POA, POB, POC	$V_{DD} = 4.5 \sim 5.5 \text{ V}$ $I_{OH} = -1.0 \text{ mA}$	$V_{DD} - 0.3$		V
		注2	$V_{DD} = 2.7 \sim 4.5 \text{ V}$ $I_{OH} = -0.5 \text{ mA}$	$V_{DD} - 0.3$		V
ロウ・レベル出力電圧	V_{OL1}	POA, POB, POC	$V_{DD} = 4.5 \sim 5.5 \text{ V}$ $I_{OL} = 1.0 \text{ mA}$		0.3	V
		POD, P1A	$V_{DD} = 2.7 \sim 4.5 \text{ V}$ $I_{OL} = 0.5 \text{ mA}$		0.3	V
	V_{OL2}	POD, P1A $I_{OL} = 15 \text{ mA}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		1.0	V
			$V_{DD} = 2.7 \sim 4.5 \text{ V}$		2.0	V
ハイ・レベル入力リーク電流	I_{LIH1}	POA, POB, POC, POD, P1A, P1B $V_{IN} = V_{DD}$			3	μA
	I_{LIH2}	POD, P1A, $V_{IN} = 9 \text{ V}$ 注2			10	μA
ロウ・レベル入力リーク電流	I_{LIL}	POA, POB, POC, POD, P1A, P1B $V_{IN} = 0 \text{ V}$			-5	μA
ハイ・レベル出力リーク電流	I_{LOH1}	POA, POB, POC, POD, P1A $V_{OUT} = V_{DD}$			3	μA
	I_{LOH2}	POD, P1A, $V_{OUT} = 9 \text{ V}$ 注2			10	μA
ロウ・レベル出力リーク電流	I_{LOL}	POA, POB, POC, POD, P1A $V_{OUT} = 0 \text{ V}$			-5	μA
内蔵プルアップ抵抗	R_{PULL}	POA, POB, POD, P1A, P1B, $\overline{\text{RESET}}$	50	100	200	kΩ

注 1. プルアップ抵抗を内蔵した場合。

2. プルアップ抵抗を内蔵しない場合。

DC 特性 ($V_{DD} = 2.7 \sim 5.5 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

(2/2)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
電源電流 ^注	I_{DD1}	動作 モード	$f_{CC} =$ 2.0 MHz	$V_{DD} = 5\text{V} \pm 10\%$		0.8	2.0	mA
				$V_{DD} = 3\text{V} \pm 10\%$		0.5	1.5	mA
			$f_{CC} =$ 1.0 MHz	$V_{DD} = 5\text{V} \pm 10\%$		0.4	1.0	mA
				$V_{DD} = 3\text{V} \pm 10\%$		0.25	0.75	mA
			$f_{CC} =$ 500 kHz	$V_{DD} = 5\text{V} \pm 10\%$		250	500	μA
				$V_{DD} = 3\text{V} \pm 10\%$		125	375	μA
	I_{DD2}	HALT モード	$f_{CC} =$ 2.0 MHz	$V_{DD} = 5\text{V} \pm 10\%$		0.6	1.5	mA
				$V_{DD} = 3\text{V} \pm 10\%$		0.3	1.0	mA
			$f_{CC} =$ 1.0 MHz	$V_{DD} = 5\text{V} \pm 10\%$		0.3	0.8	mA
				$V_{DD} = 3\text{V} \pm 10\%$		0.15	0.5	mA
			$f_{CC} =$ 500 kHz	$V_{DD} = 5\text{V} \pm 10\%$		150	300	μA
				$V_{DD} = 3\text{V} \pm 10\%$		100	200	μA
I_{DD3}	STOP モード	$V_{DD} = 5\text{V} \pm 10\%$			3.0	10	μA	
		$V_{DD} = 3\text{V} \pm 10\%$			2.0	10	μA	

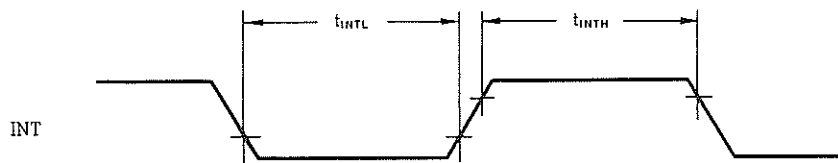
注 A/D コンバータ, ゼロクロス検出回路および内蔵プルアップ抵抗に流れる電流は除く。

AC 特性 ($V_{DD} = 2.7 \sim 5.5 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

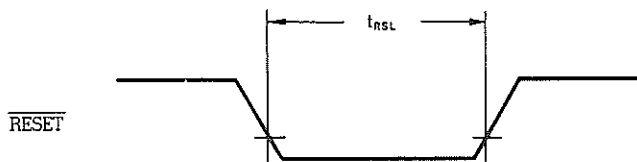
項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック・サイクル・タイム (命令実行時間)	t_{CY}		6.6		41	μs
INT ハイ、ロウ・レベル幅 (外部割り込み入力)	t_{INTH}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	10			μs
	t_{INTL}		50			μs
$\overline{\text{RESET}}$ ロウ・レベル幅	t_{RSL}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	10			μs
			50			μs

備考 $t_{CY} = 16/f_{CC}$ (f_{CC} : システム・クロック発振周波数)

割り込み入力タイミング



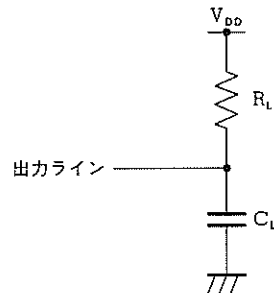
$\overline{\text{RESET}}$ 入力タイミング



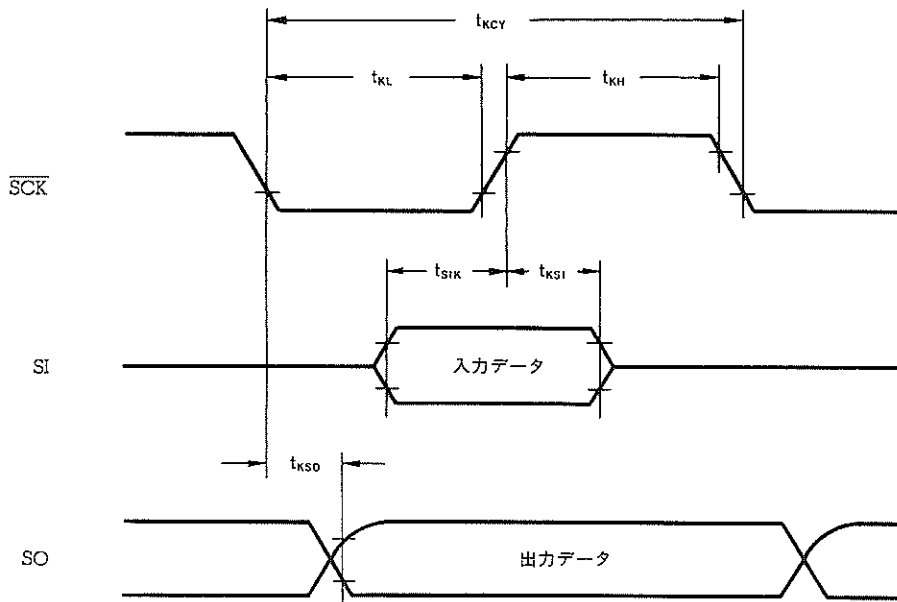
シリアル転送オペレーション ($V_{DD} = 2.7 \sim 5.5 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
$\overline{\text{SCK}}$ サイクル・タイム	入力	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	2.0			μs	
			10			μs	
	出力	$R_L = 1 \text{ k}\Omega$, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	8.0			μs
				16			μs
		内蔵プルアップ, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	150			μs
				300			μs
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	入力	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.0			μs	
			5.0			μs	
	出力	$R_L = 1 \text{ k}\Omega$, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	$t_{\text{KCY}}/2 - 0.6$			μs
				$t_{\text{KCY}}/2 - 1.2$			μs
		内蔵プルアップ, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	$t_{\text{KCY}}/2 - 70$			μs
				$t_{\text{KCY}}/2 - 140$			μs
SI セットアップ時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{SIK}		100			ns	
SI ホールド時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{KSI}		100			ns	
$\overline{\text{SCK}} \downarrow \rightarrow \text{SO}$ 出力遅延時間	t_{KSO}	$R_L = 1 \text{ k}\Omega$, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		0.8	μs	
					1.4	μs	
		内蔵プルアップ $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		70	μs	
					140	μs	

備考 R_L : 出力ラインの負荷抵抗
 C_L : 出力ラインの負荷容量

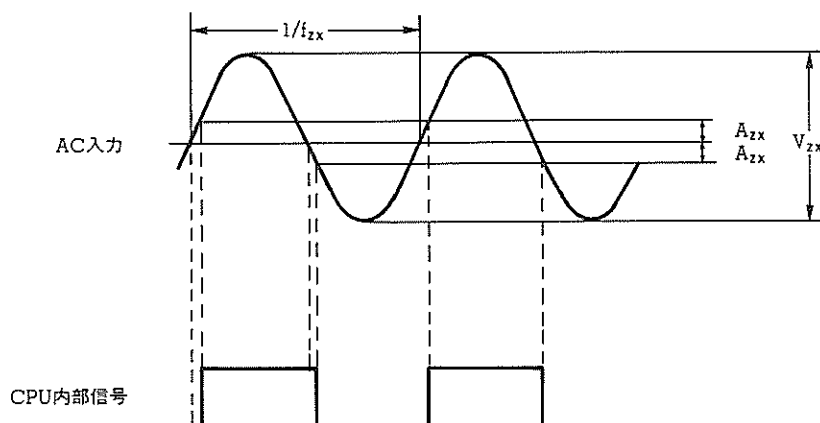


シリアル転送タイミング



ゼロクロス検出回路特性 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ゼロクロス検出入力レベル	V_{ZX}	AC入力, カップリング容量 $1 \mu\text{F}$	1.0		3.0	V_{P-P}
ゼロクロス検出入力周波数	f_{ZX}		40	50 または 60	1000	Hz
ゼロクロス確度	A_{ZX}	50Hz または 60 Hz		40	120	mV
ゼロクロス検出回路電流	I_{ZX}	AC 無入力時		15	90	μA



注意 A_{ZX} のずれ方は、図で立ち上がり、立ち下がりエッジとも原波形から遅れていますが、原波形より進むこともあり、一概ではありません。

A/D コンバータ特性 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$, $T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{ADC} = V_{DD} \pm 0.5 \%$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
絶対確度 ^{注1}		$V_{ADC} = V_{DD}$			± 1.5	LSB
ADC 回路電流	I_{ADC}			1.5	2.0	mA
変換時間 ^{注2}	t_{CONV}				$25t_{CY}$	μs

注 1. 量子化誤差 ($\pm 1/2 \text{ LSB}$) は含んでいません。

2. 変換スタート命令実行後 (変換スタート命令実行時間は含まず), $\text{ADCEND} = 1$ までの時間 ($200 \mu\text{s}$, $f_{CC} = 2 \text{ MHz}$ 時)。

備考 $t_{CY} = 16/f_{CC}$ (f_{CC} はシステム・クロック発振周波数)

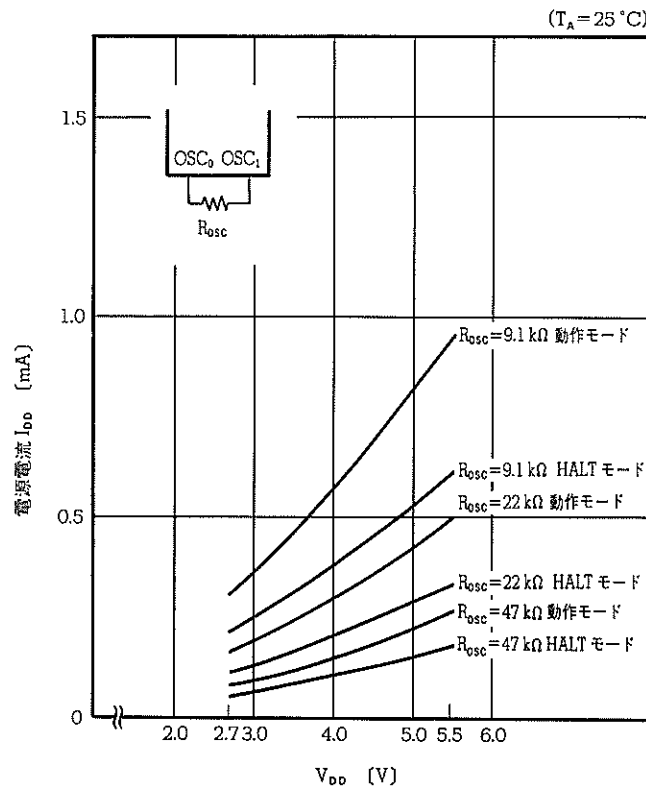
パワーオン/パワーダウン・リセット回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
パワーオン・リセット有効電源電圧立ち上がり時間	t_{POR}	$V_{DD} = 0 \rightarrow 2.7 \text{ V}$ GND レベルから立ち上がる			$16t_{CY}$	μs
パワーダウン・リセット回路低電圧検出電圧	V_{PDR}	$\text{PDRESEN} = 1$ のとき		3.5	4.5	V

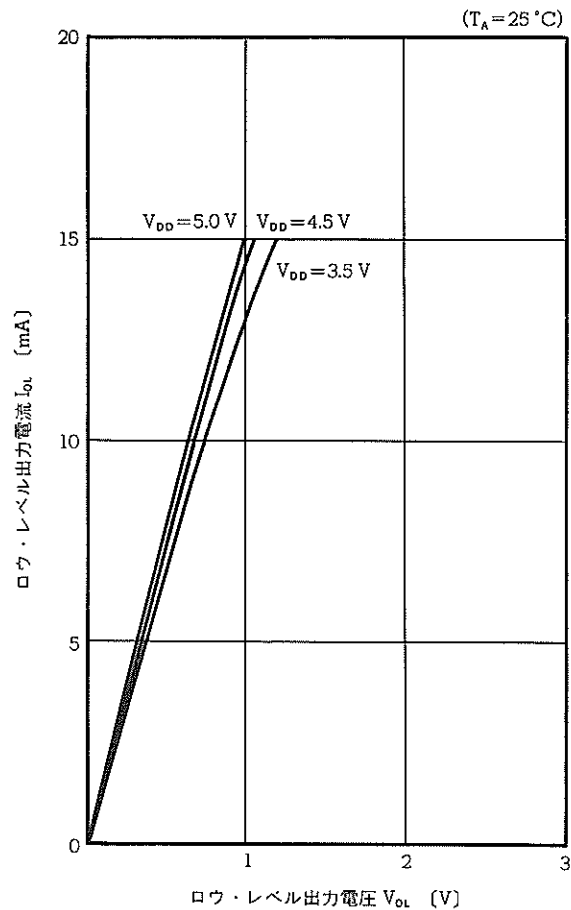
備考 $t_{CY} = 16/f_{CC}$ (f_{CC} はシステム・クロック発振周波数)

23. 特性曲線 (参考値)

I_{DD} vs V_{DD} 特性例

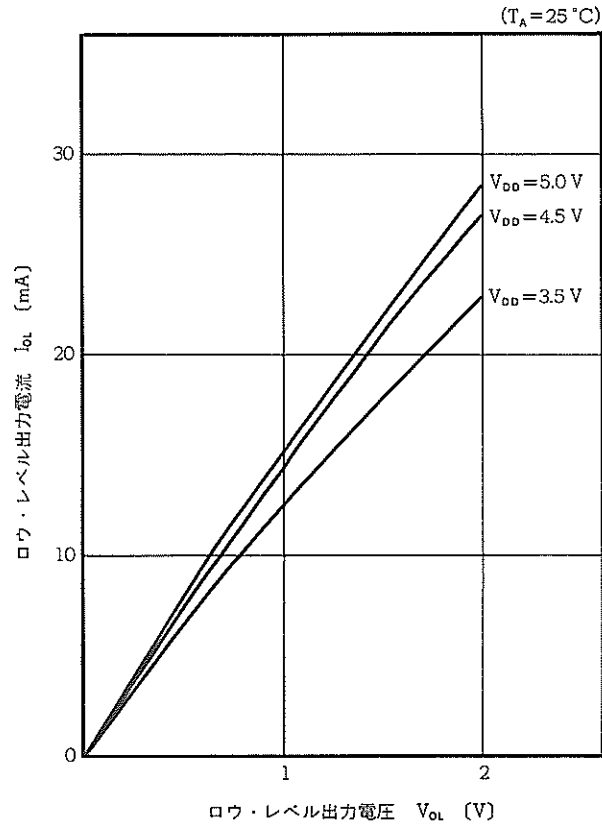


I_{OL} vs V_{OL} 特性例 1 (POA, POB, POC)



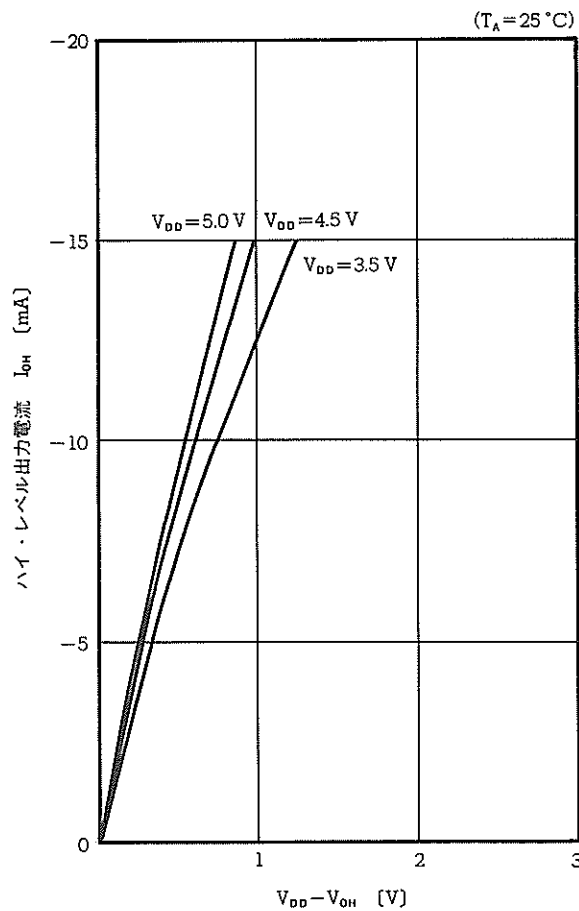
注意 絶対最大定格は、1端子当たり 15 mA です。

I_{OL} vs V_{OL} 特性例 2 (POD, P1A)



注意 絶対最大定格は、1端子当たり 30 mA です。

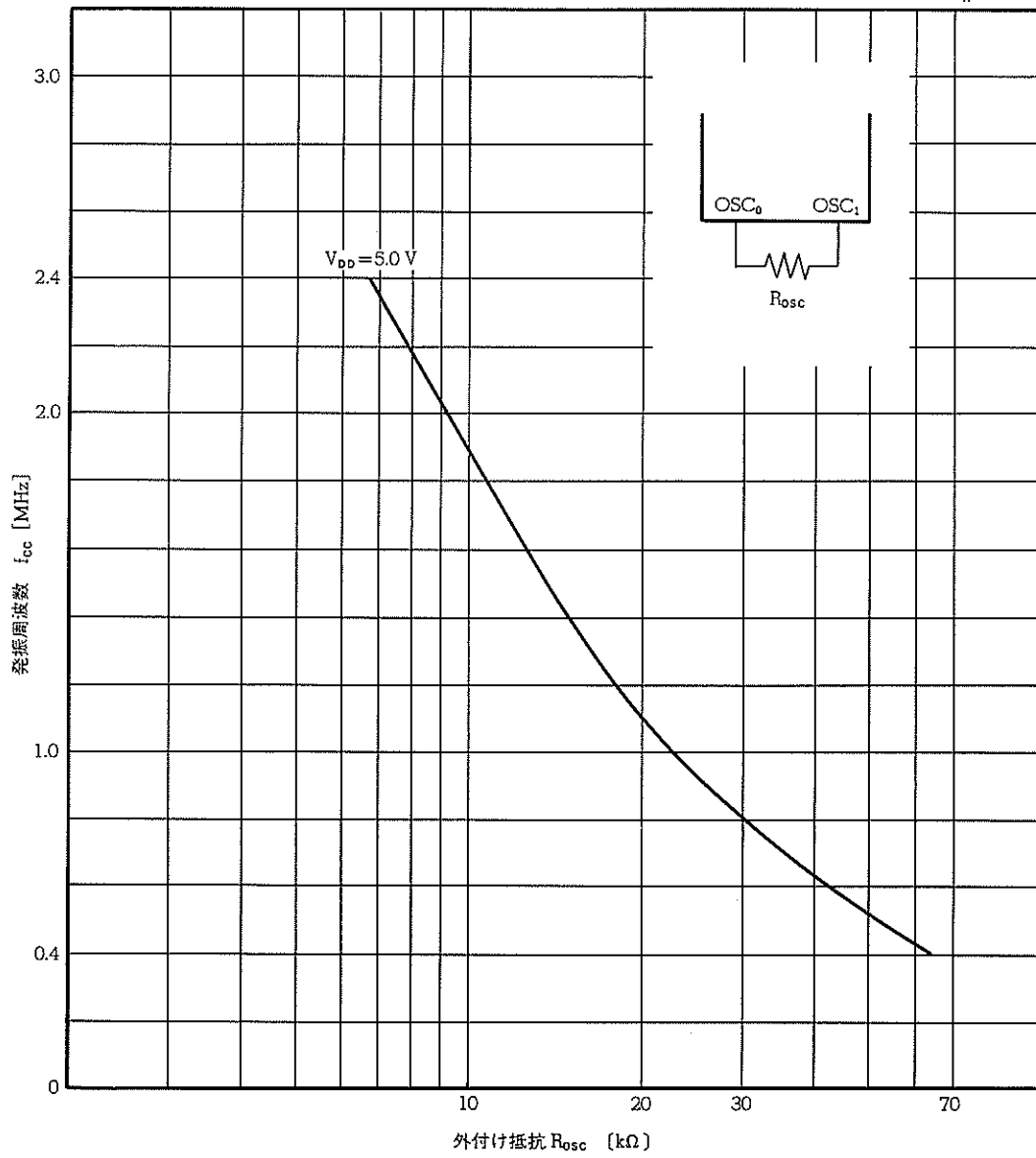
I_{OH} vs ($V_{DD} - V_{OH}$) 特性例



注意 絶対最大定格は、1端子当たり -15 mA です。

f_{cc} vs R_{osc} 特性例

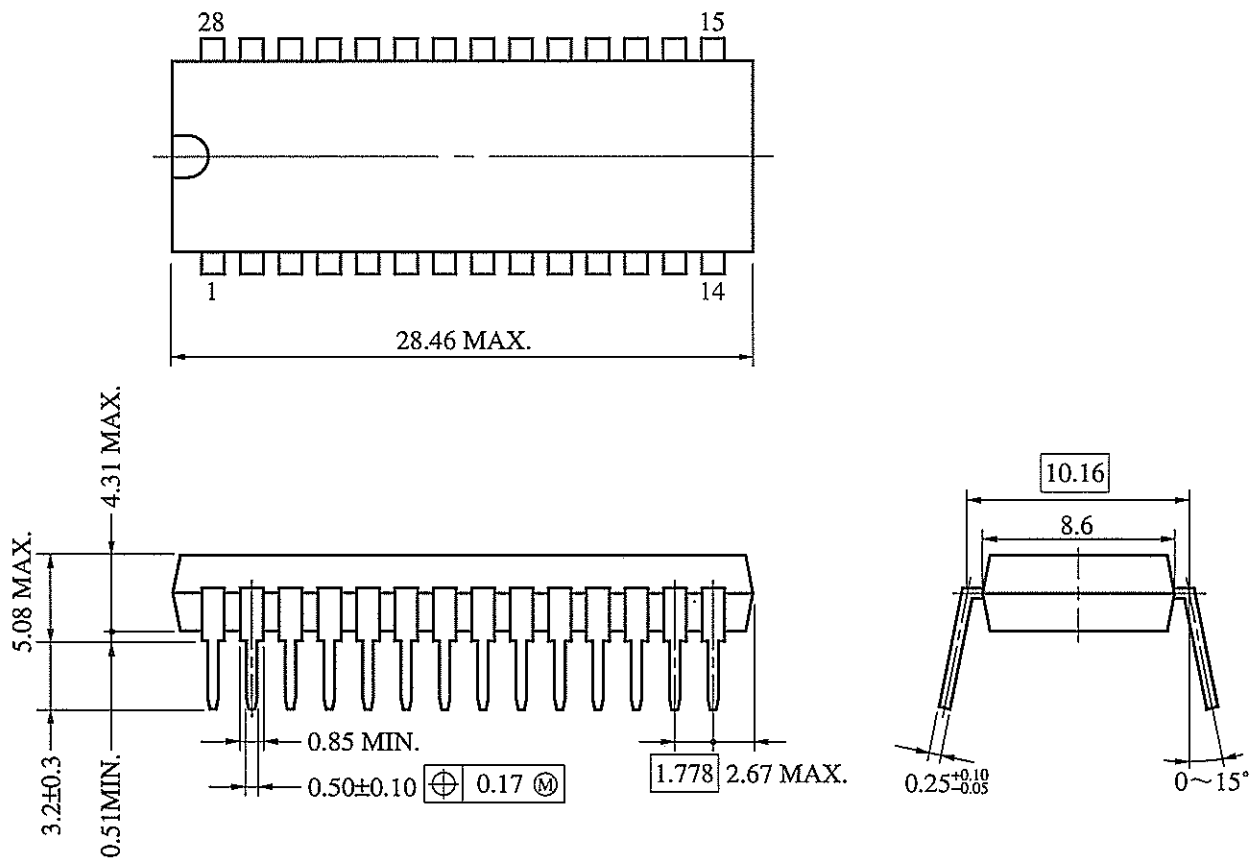
($T_A=25^\circ\text{C}$)



24. 外形図

量産品の外形図 (1/2)

28ピン・プラスチック・シュリンク DIP (400 mil) 外形図 (単位: mm)

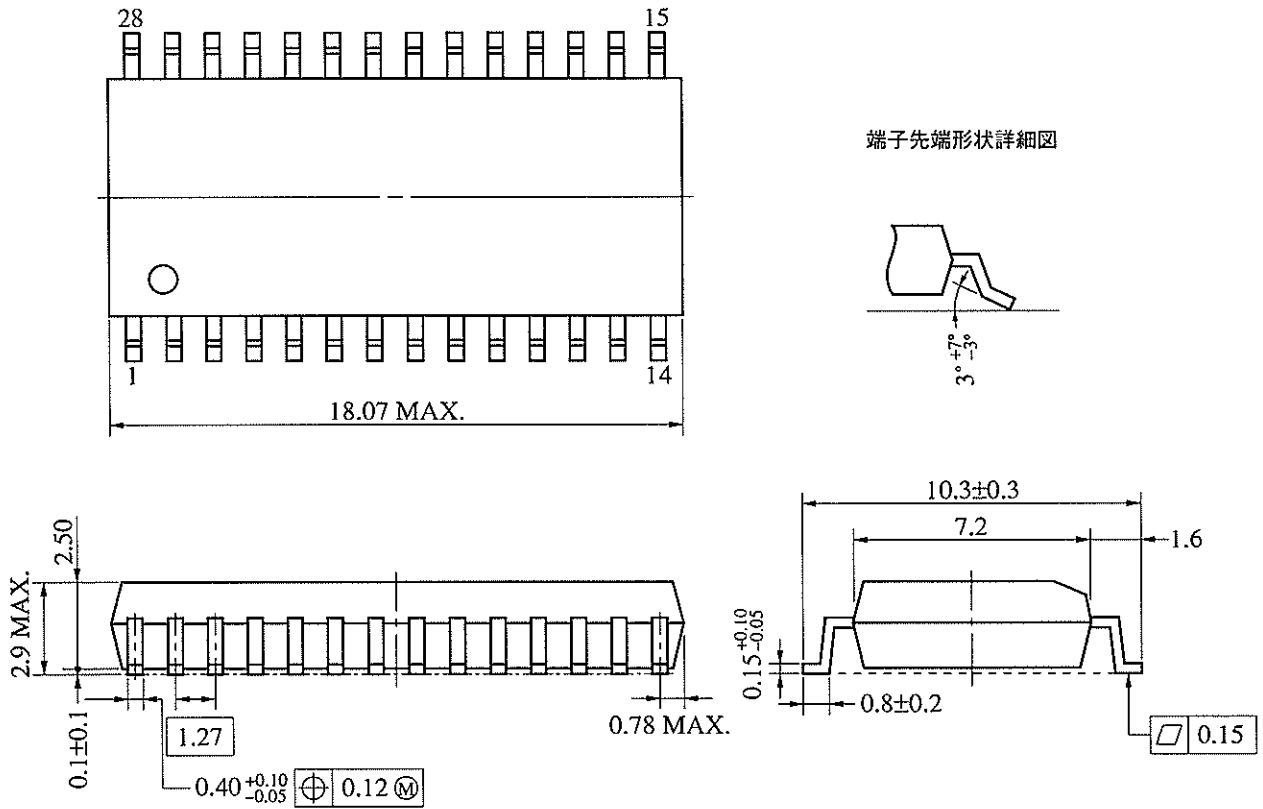


S28C-70-400B-1

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図(1/2)を参照してください。

量産品の外形図 (2/2)

28ピン・プラスチック SOP (375 mil) 外形図 (単位: mm)

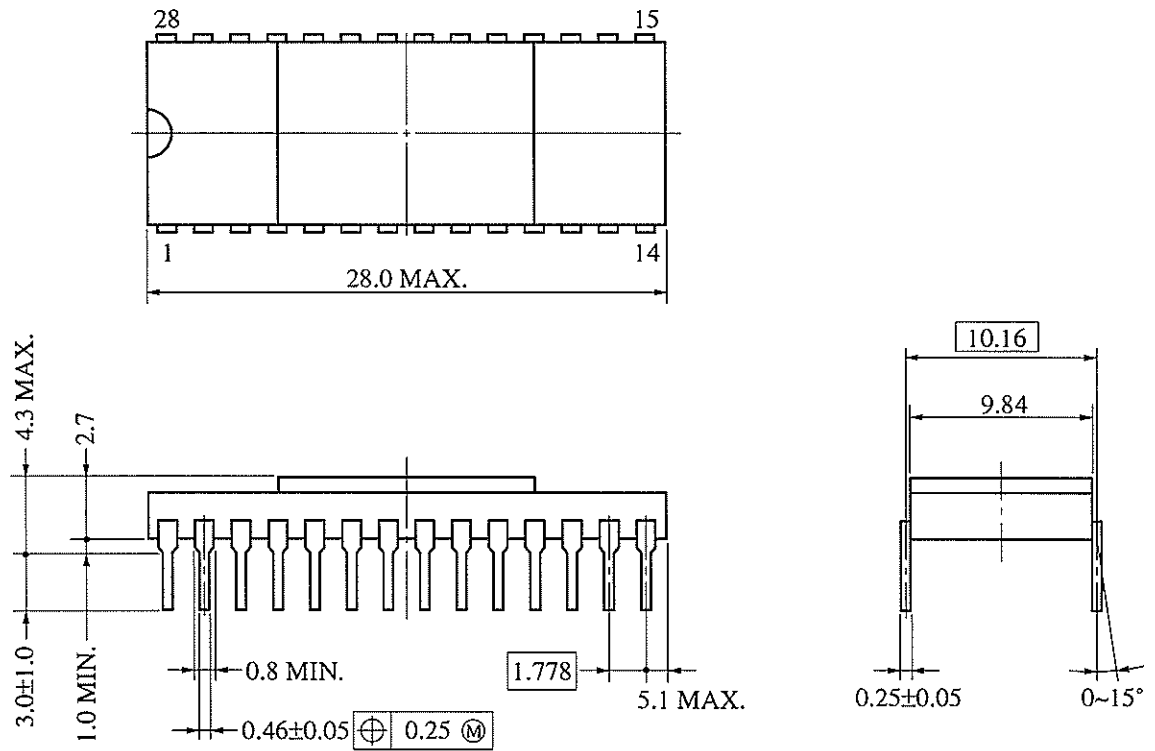


P28GM-50-375B-3

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図 (2/2) を参照してください。

ES品の外形図 (1/2)

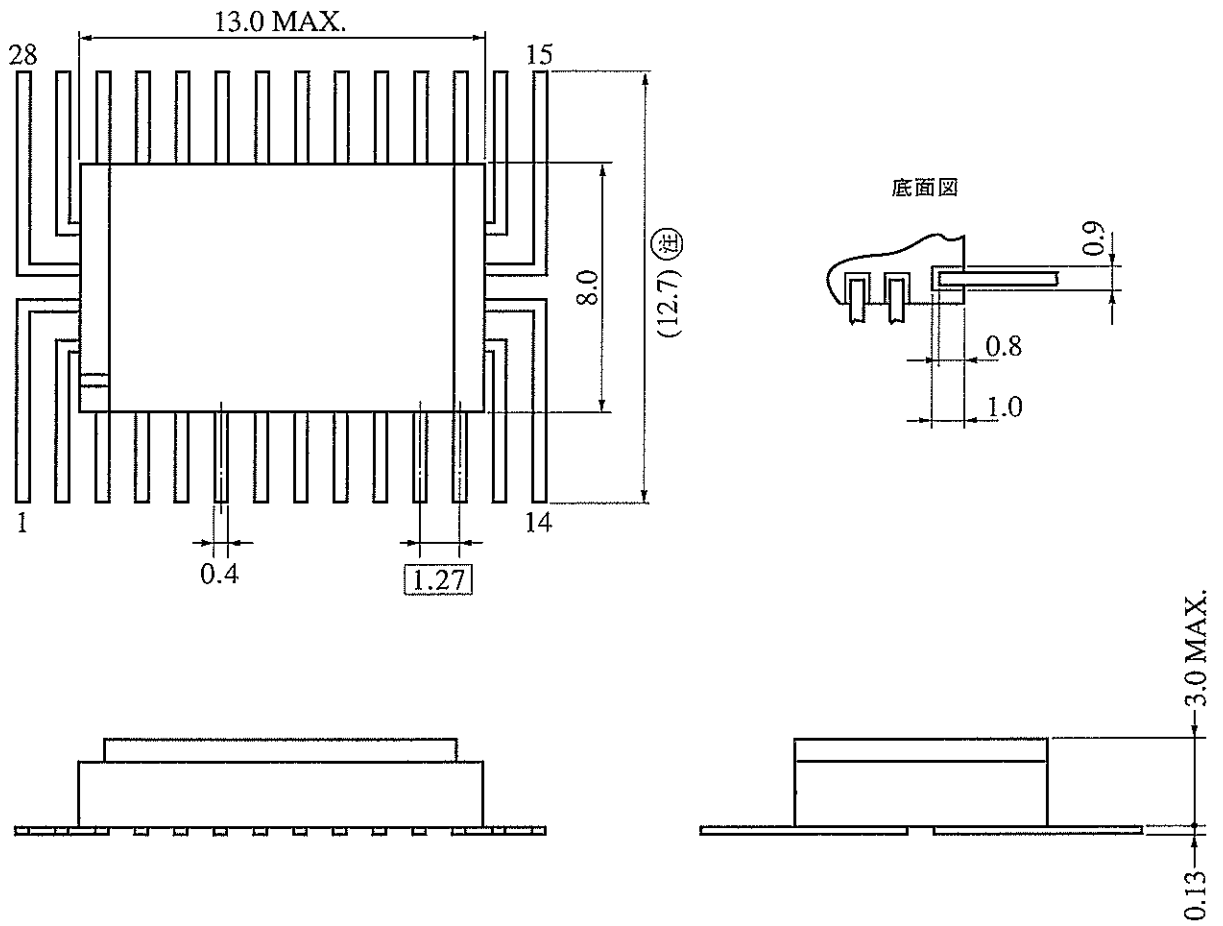
28ピン・セラミック・シュリンク DIP (400 mil) (ES品) 外形図 (単位: mm)



P28D-70-400B-1

ES品の外形図 (2/2)

28ピン・セラミック SOP (ES用) 外形図 (単位: mm)



⑨ リード先端の切断加工は工程管理されていませんので、リード長は規定していません。

X28B-50B

25. 半田付け推奨条件

μPD17134B, 17136Bの半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)をご参照ください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 25 - 1 表面実装タイプの半田付け条件

μPD17134BGT-××× : 28ピン・プラスチック SOP (375 mil)

μPD17136BGT-××× : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃, 時間：30秒以内 (210℃以上), 回数：1回	IR30-00-1
VPS	パッケージ・ピーク温度：215℃, 時間：40秒以内 (200℃以上), 回数：1回	VP15-00-1
ウェーブ・ソルダリング	半田槽温度：260℃以下, 時間：10秒以内, 回数：1回 予備加熱温度：120℃ MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下, 時間：3秒以内 (デバイスの一辺当たり)	端子部分加熱

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表 25 - 2 挿入タイプの半田付け条件

μPD17134BCT-××× : 28ピン・プラスチック・シュリンク DIP (400 mil)

μPD17136BCT-××× : //

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260℃以下, 時間：10秒以内
端子部分加熱	端子温度：300℃以下, 時間：3秒以内 (1端子当たり)

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

付録 開発ツール

μPD17134B, 17136B のプログラムを開発するために、以下の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ (IE-17K IE-17K-ET ^{注1} EMU-17K ^{注2})	IE-17K, IE-17K-ET, EMU-17K は、17K シリーズ共通のインサーキット・エミュレータです。 IE-17K および IE-17K-ET は、ホスト・マシンである PC-9800 シリーズまたは IBM PC/AT TM と RS-232-C を介して接続して使用します。EMU-17K は、ホスト・マシンである PC-9800 シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード (SE ボード) と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアである SIMPLEHOST TM を使用すると、さらに高度なデバッグ環境を実現できます。 なお、EMU-17K は、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SEボード (SE-17134)	SE-17134 は、μPD17134A, 17135A, 17136A および 17137A 用の SE ボードです。別売の本チップ μPD17134BCT-002 または μPD17136BCT-001 を搭載することにより、μPD17134B または 17136B の SE ボードとして使用できます。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
本チップ (μPD17134BCT-002 μPD17136BCT-001)	μPD17134BCT-002 および μPD17136BCT-001 は、エミュレーション用のチップ (本チップ) です。SE-17134 に搭載して使用します。1 台の SE-17134 に対して同じチップが 2 個必要です。
エミュレーション・プローブ (EP-17K28CT)	EP-17K28CT は、17K シリーズ 28ピン・シュリンク DIP (400 mil) 用のエミュレーション・プローブです。
エミュレーション・プローブ (EP-17K28GT)	EP-17K28GT は、17K シリーズ 28ピン SOP (375 mil) 用のエミュレーション・プローブです。EV-9500GT-28 ^{注3} とともに使用することで、SE ボードとターゲット・システムを接続します。
変換アダプタ (EV-9500GT-28 ^{注3})	EV-9500GT-28 は、28ピン SOP (375 mil) 用の変換アダプタです。EP-17K28GT とターゲット・システムを接続するために使用します。
PROM プログラム (AF-9703 ^{注4} AF-9704 ^{注4} AF-9705 ^{注4} AF-9706 ^{注4})	AF-9703, AF-9704, AF-9705 および AF-9706 は、μPD17136B に対応した PROM プログラムです。プログラムアダプタ AF-9808F を接続することにより、μPD17136B をプログラミングすることができます。
プログラムアダプタ (AF-9808F ^{注4})	AF-9808F は、μPD17136B をプログラミングするためのアダプタです。 AF-9703, AF-9704, AF-9705 または AF-9706 と組み合わせて使用します。

注 1. 廉価版：電源外付けタイプ

- 株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー (東京 (03)3447-3793) までお問い合わせください。
- EP-17K28GT には、EV-9500GT-28 が 2 個添付されています。また、EV-9500GT-28 を 5 個 1 組で別売もしています。
- 安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社 (東京 (03)3733-1151) までお問い合わせください。

ソフトウェア

名称	概要	ホスト・マシン	OS		供給媒体	オーダ名称
17K シリーズ アセンブラ (AS17K)	AS17Kは17Kシリーズ共通に 使用できるアセンブラです。 μPD17134B, 17136Bのプロ グラム開発には、このAS17K とデバイス・ファイル (AS17134B, AS17136B)を 組み合わせて使用します。	PC-9800シリーズ	MS-DOS™		5インチ2HD	μSSA10AS17K
					3.5インチ2HD	μSSA13AS17K
		IBM PC/AT	PC DOS™		5インチ2HC	μS7B10AS17K
					3.5インチ2HC	μS7B13AS17K
デバイス・ファイル (AS17134B, AS17136B)	AS17134B, AS17136Bは μPD17134B, 17136Bおよび μPD17P136B用のデバイス・ ファイルです。 17Kシリーズ共通のアセンブ ラ(AS17K)と組み合わせて 使用します。	PC-9800シリーズ	MS-DOS		5インチ2HD	μSSA10AS17134B ^注
					3.5インチ2HD	μSSA13AS17134B ^注
		IBM PC/AT	PC DOS		5インチ2HC	μS7B10AS17134B ^注
					3.5インチ2HC	μS7B13AS17134B ^注
サポート・ソフトウェア (SIMPLEHOST)	SIMPLEHOSTはインサーキット・ エミュレータとパーソナル・ コンピュータを用いてプロ グラム開発を行うときに Windows™上でマン・マシ ン・インタフェースを行うソ フトウェアです。	PC-9800シリーズ	MS-DOS	Windows	5インチ2HD	μSSA10IE17K
					3.5インチ2HD	μSSA13IE17K
		IBM PC/AT	PC DOS		5インチ2HC	μS7B10IE17K
					3.5インチ2HC	μS7B13IE17K

注 μS××××AS17134Bには、AS17134B, AS17136Bが入っています。

備考 対応しているOSのバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver.3.30~Ver.5.00A ^注
PC DOS	Ver.3.1~Ver.5.0 ^注
Windows	Ver.3.0~Ver.3.1

注 MS-DOSのVer.5.00/5.00A, PC DOS
のVer.5.0にはタスク・スワップ機能が
ありますが、このソフトウェアではタス
ク・スワップ機能は使用できません。

{x ㄱ}

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザ(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器(自動車、列車、船舶等)、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

SIMPLEHOST は日本電気株式会社の商標です。

MS-DOS, Windows は、米国マイクロソフト社の商標です。

PC/AT, PC DOS は、米国 IBM 社の商標です

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中ビル)	名古屋 (052)242-2755
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161 東北支社 仙台 (022)261-5511 岩手支店 盛岡 (0196)51-4344 山形支店 山形 (0236)23-5511 郡山支店 郡山 (0249)23-5511 いわき支店 いわき (0246)21-5511 長岡支店 長岡 (0258)36-2155 土浦支店 土浦 (0298)23-6161 水戸支店 水戸 (0292)26-1717 神奈川支社 横浜 (045)324-5511 群馬支店 高崎 (0273)26-1255 太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (0286)21-2281	小山支店 小山 (0285)24-5011 長野支社 長野 (0262)35-1444 松本支店 松本 (0263)35-1666 上諏訪支店 諏訪 (0266)53-5350 甲府支店 甲府 (0552)24-4141 埼玉支社 埼玉 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 沼津支店 沼津 (0559)63-4455 浜松支店 浜松 (053)452-2711 北陸支店 福井 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (0899)45-4111 九州支社 福岡 (092)271-7700 北九州支店 北九州 (093)541-2887

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中ビル)	名古屋 (052)242-2762	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	