

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

小型汎用

4ビット・シングルチップ・マイクロコントローラ

μPD17137A (A1) は、8ビットA/Dコンバータ（4チャンネル）、タイマ機能（3チャンネル）、ACゼロクロス検出回路、パワーオン/パワーダウン・リセット回路、シリアル・インタフェースを内蔵している4ビット・シングルチップ・マイクロコントローラです。

CPUとして汎用レジスタ方式である17Kアーキテクチャを採用しており、従来アキュムレータを介して行っていた演算に代わって直接データ・メモリ間で演算が行えます。さらに、すべての命令は16ビット/1語で構成されていますので、効率のよいプログラミングが可能です。

μPD17137A (A1) には、プログラム評価用としてワン・タイムPROM製品のμPD17P137Aを用意しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD17134Aサブシリーズ ユーザーズ・マニュアル：IEU-826

特 徴

- 17Kアーキテクチャ採用 : 汎用レジスタ方式、命令長16ビット固定
- プログラム・メモリ (ROM) : 4 Kバイト (2048×16ビット)
- データ・メモリ (RAM) : 112×4ビット
- 外部割り込み : 1本 (INT端子、センス入力付き)
- 命令実行時間 : 2 μs (fx = 8 MHz動作時: セラミック発振)
- 8ビットA/Dコンバータ : 4チャンネル 絶対精度 ±1.5 LSB以下 (V_{DD} = 5 V ± 10%)
- タイマ機能 : 3チャンネル
- シリアル・インタフェース : 1チャンネル (クロック同期3線式)
- 入出力端子 : 22本 (入力1本、センス入力1本含む)
- パワーオン/パワーダウン・リセット機能
- 電源電圧 : V_{DD} = 2.7 ~ 5.5 V (fx = 400 kHz ~ 4 MHz動作時)
V_{DD} = 4.5 ~ 5.5 V (fx = 400 kHz ~ 8 MHz動作時)

本資料の内容は、後日変更する場合があります。

用 途

自動車電装など

オーダー情報

オーダー名称	パッケージ	品質水準
μPD17137ACT (A1) -XXX	28ピン・プラスチック・シュリンクDIP (400 mil)	特別 (高信頼度電子機器用)
μPD17137AGT (A1) -XXX	28ピン・プラスチックSOP (375 mil)	〃

備考 XXXはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

機能一覧

項目	機能
ROM容量	4 Kバイト (2048×16ビット)
RAM容量	112×4ビット (スタックはデータ・メモリ外に確保)
スタック	アドレス・スタック×5、割り込みスタック×3
入出力ポート数	22本 <ul style="list-style-type: none"> ・入出力 : 20本 ・入力専用 : 1本 ・センス入力 (INT端子^注) : 1本 (割り込み、ACゼロクロス入力兼用)
A/Dコンバータ入力	4チャンネル (ポート端子兼用) 絶対精度 ±1.5 LSB以下 (電源電圧: 5 V ± 10%)
タイマ	3チャンネル <ul style="list-style-type: none"> ・8ビット・タイマ: 2チャンネル (16ビット・タイマ1チャンネル応用可) ・7ビット・ベーシック・インターバル・タイマ: 1チャンネル (ウォッチドッグ・タイマ応用可)
シリアル・インタフェース	1チャンネル (3線式)
割り込み	<ul style="list-style-type: none"> ・ハードウェアによる多重割り込み可、最大3レベル ・外部割り込み: 1本 (INT) <ul style="list-style-type: none"> ・ACゼロクロス検出入力兼用 ・立ち上がり検出、立ち下がり検出、立ち上がり、立ち下がり (両エッジ) 検出選択可 ・センス入力付き ・内部割り込み: 4本 <ul style="list-style-type: none"> ・タイマ0 (TM0) ・タイマ1 (TM1) ・ベーシック・インターバル・タイマ (BTM) ・シリアル・インタフェース (SIO)
命令実行時間	2 μs (fx=8 MHz動作時: セラミック発振)
スタンバイ機能	STOP/HALT
パワーオン/パワーダウン・リセット回路	内蔵 (V _{DD} =4.5 ~ 5.5 V, fx=400 kHz ~ 4 MHzの応用回路で使用可)
電源電圧	<ul style="list-style-type: none"> ・V_{DD}=2.7 ~ 5.5 V (fx=400 kHz ~ 4 MHz動作時) ・V_{DD}=4.5 ~ 5.5 V (fx=400 kHz ~ 8 MHz動作時)
パッケージ	<ul style="list-style-type: none"> ・28ピン・プラスチック・シュリンクDIP (400 mil) ・28ピン・プラスチックSOP (375 mil)
ワン・タイムPROM製品	μPD17P137A (品質水準は「標準」であり、(A1)ではありません。動作周囲温度: T _A =-40 ~ +85 °C)

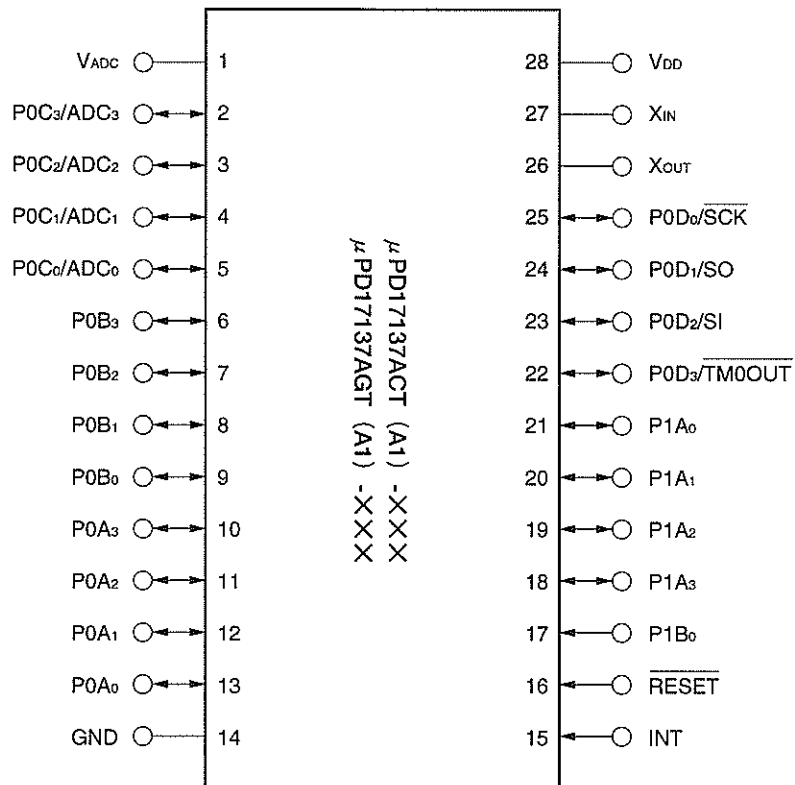
注 INT端子は外部割り込み機能を使用しない場合に、入力専用端子 (センス入力) として使用できます。センス入力では端子の状態をポート・レジスタではなく、コントロール・レジスタのINTフラグで読みます。

注意 PROM製品は、マスクROM製品と機能的には高い互換性がありますが、内部ROM回路や電気的特性の一部などに違いがあります。PROM製品からマスクROM製品に切り替える際には、マスクROM製品のサンプルによる応用評価を十分に行ってください。

端子接続図 (Top View)

28ピン・プラスチック・シュリンクDIP

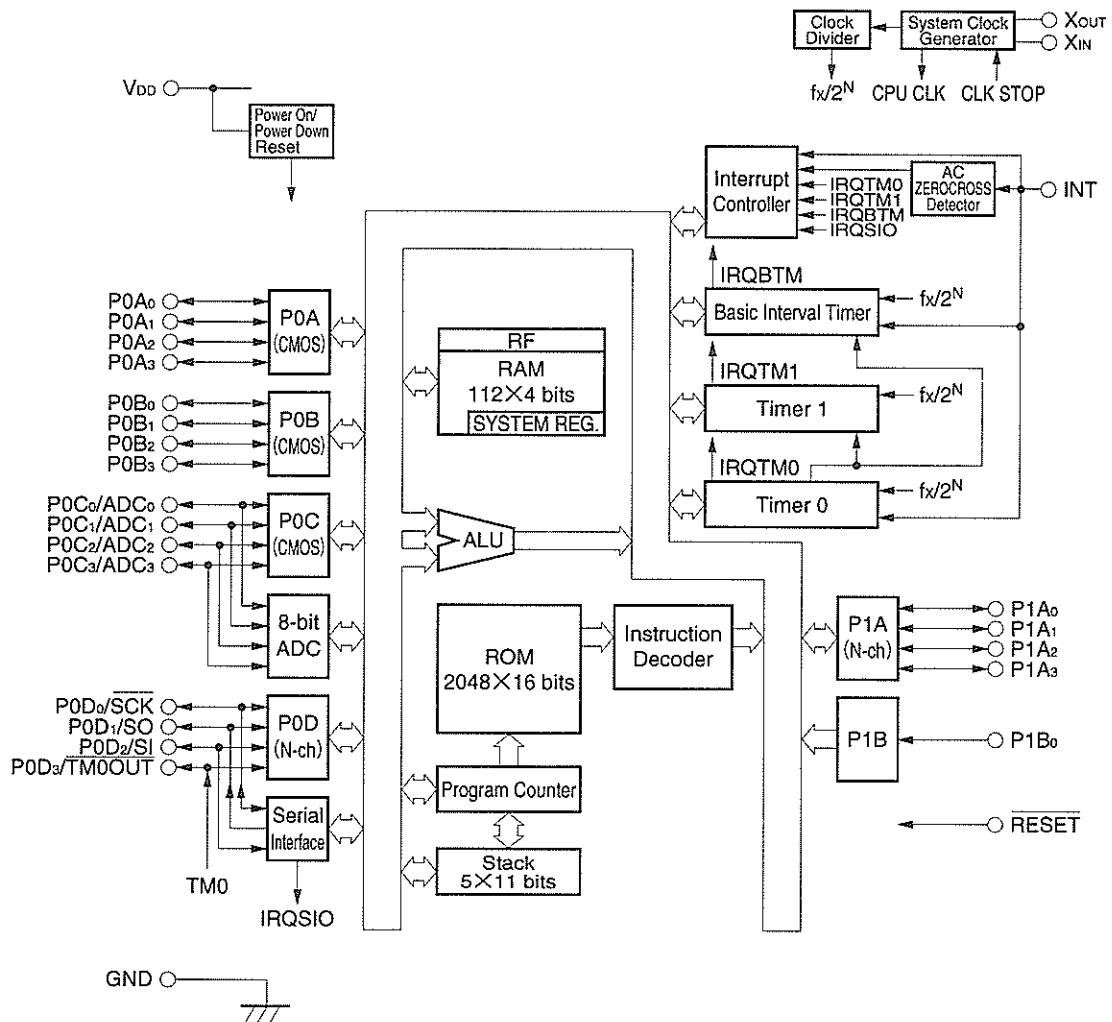
28ピン・プラスチックSOP



ADC₀-ADC₃ : アナログ入力
 GND : グランド
 INT : 外部割り込み入力
 P0A₀-P0A₃ : ポート0A
 P0B₀-P0B₃ : ポート0B
 P0C₀-P0C₃ : ポート0C
 P0D₀-P0D₃ : ポート0D
 P1A₀-P1A₃ : ポート1A
 P1B₀ : ポート1B

RESET : リセット入力
 SCK : シリアル・クロック入出力
 SI : シリアル・データ入力
 SO : シリアル・データ出力
 TM0OUT : タイマ0の出力
 V_{ADC} : アナログ電源
 V_{DD} : 電源
 X_{IN}, X_{OUT} : システム・クロック発振用

ブロック図



備考 () 内のCMOS, N-chはポートの出力形式を表します。

CMOS : CMOSプッシュプル出力

N-ch : N-chオープン・ドレイン出力 (N-chオープン・ドレインの各端子は、マスク・オプションによりビット単位でプルアップ抵抗を内蔵することができます)

目 次

1. 端 子	9
1.1 端子機能	9
1.2 端子の等価回路	10
1.3 未使用端子の処理	13
1.4 $\overline{\text{RESET}}$ 端子とP1B ₀ 端子の使用上の注意	14
2. プログラム・メモリ (ROM)	15
2.1 プログラム・メモリの構成	15
3. プログラム・カウンタ (PC)	16
3.1 プログラム・カウンタの構成	16
3.2 プログラム・カウンタの動作	16
4. スタック	17
5. データ・メモリ (RAM)	18
5.1 データ・メモリの構成	18
6. ジェネラル・レジスタ (GR)	19
6.1 ジェネラル・レジスタ・ポインタ (RP)	19
7. システム・レジスタ (SYSREG)	20
7.1 システム・レジスタの構成	20
8. レジスタ・ファイル (RF)	22
8.1 レジスタ・ファイルの構成	22
8.2 コントロール・レジスタ	23
9. データ・バッファ (DBF)	24
9.1 データ・バッファの構成	24
9.2 データ・バッファの機能	25
10. ALUブロック	26
10.1 ALUブロックの構成	26
11. ポ ー ト	28
11.1 ポート0A (P0A ₀ , P0A ₁ , P0A ₂ , P0A ₃)	28
11.2 ポート0B (P0B ₀ , P0B ₁ , P0B ₂ , P0B ₃)	29
11.3 ポート0C (P0C ₀ /ADC ₀ , P0C ₁ /ADC ₁ , P0C ₂ /ADC ₂ , P0C ₃ /ADC ₃)	30
11.4 ポート0D (P0D ₀ / $\overline{\text{SCK}}$, P0D ₁ /SO, P0D ₂ /SI, P0D ₃ / $\overline{\text{TM0OUT}}$)	31
11.5 ポート1A (P1A ₀ , P1A ₁ , P1A ₂ , P1A ₃)	32

- 11.6 ポート1B (P1B₀) … 32
- 12. 8ビット・タイマ・カウンタ (TM0, TM1) … 33
 - 12.1 8ビット・タイマ・カウンタの構成 … 33
- 13. ベーシック・インターバル・タイマ (BTM) … 37
 - 13.1 ベーシック・インターバル・タイマの構成 … 37
 - 13.2 ベーシック・インターバル・タイマを制御するレジスタ … 39
 - 13.3 ウォッチドッグ・タイマ機能 … 41
- 14. A/Dコンバータ … 43
 - 14.1 A/Dコンバータの構成 … 43
 - 14.2 A/Dコンバータの機能 … 44
 - 14.3 A/Dコンバータの動作 … 45
- 15. シリアル・インタフェース (SIO) … 48
 - 15.1 シリアル・インタフェースの機能 … 48
 - 15.2 3線式シリアル・インタフェースの動作モード … 50
- 16. 割り込み機能 … 52
 - 16.1 割り込み要因の種類とベクタ・アドレス … 52
 - 16.2 割り込み制御回路の各種ハードウェア … 53
- 17. ACゼロクロス検出回路 … 54
- 18. スタンバイ機能 … 56
 - 18.1 スタンバイ機能の概要 … 56
 - 18.2 HALTモード … 57
 - 18.3 STOPモード … 59
- 19. リセット … 61
 - 19.1 リセット機能 … 61
 - 19.2 リセット動作 … 62
 - 19.3 パワーオン/パワーダウン・リセット機能 … 63
- 20. 命令セット … 69
 - 20.1 凡 例 … 69
 - 20.2 命令セット一覧 … 70
- 21. アセンブラ予約語 … 72
 - 21.1 マスク・オプション疑似命令 … 72
 - 21.2 予約シンボル … 75

- 22. 電気的特性 … 82
- 23. 特性曲線 (参考値) … 88
- 24. 外形図 … 89
- 25. μ PD17134Aサブシリーズ一覧表 … 93
- 26. 半田付け推奨条件 … 94
- 付録 開発ツール … 95

1. 端子

1.1 端子機能 (1/2)

端子番号	記号	機能	出力形式	リセット時
1	V _{ADC}	A/Dコンバータの電源、および基準電圧発生用電源	入 力	—
2 5	P0C ₃ /ADC ₃ P0C ₀ /ADC ₀	ポート0CおよびA/Dコンバータのアナログ入力です。 ●P0C ₃ -P0C ₀ ・4ビット入出力ポート ・1ビット単位で入力/出力設定可能 ●ADC ₃ -ADC ₀ ・A/Dコンバータのアナログ入力	CMOS プッシュプル	入 力 (P0C)
6 9	P0B ₃ P0B ₀	ポート0Bです。 ・4ビット入出力ポート ・4ビット単位で入力/出力設定可能 ・4ビット単位でソフトウェアによるプルアップ抵抗を内蔵可能	CMOS プッシュプル	入 力
10 13	P0A ₃ P0A ₀	ポート0Aです。 ・4ビット入出力ポート ・4ビット単位で入力/出力設定可能 ・4ビット単位でソフトウェアによるプルアップ抵抗を内蔵可能	CMOS プッシュプル	入 力
14	GND	GNDです。	—	—
15	INT	外部割り込み要求信号の入力およびセンス入力です。	—	入 力
16	RESET	システム・リセット入力です。 ・マスク・オプションによるプルアップ抵抗を内蔵可能	—	入 力
17	P1B ₀	ポート1Bです。 ・1ビット入力ポート ・マスク・オプションによるプルアップ抵抗を内蔵可能	入 力	入 力
18 21	P1A ₃ P1A ₀	ポート1Aです。 ・4ビット入出力ポート ・4ビット単位で入力/出力設定可能 ・1ビット単位でマスク・オプションによるプルアップ抵抗を内蔵可能	N-chオープン・ドレイン	入 力

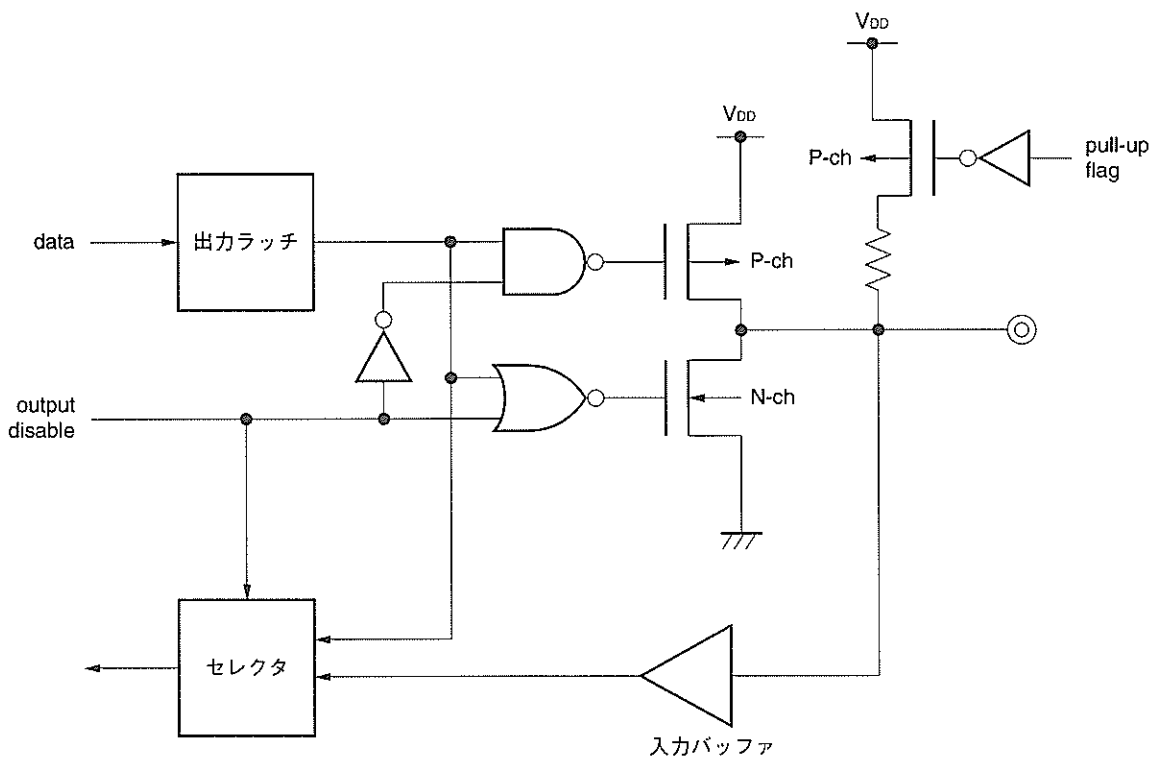
1.1 端子機能 (2/2)

端子番号	記号	機能	出力形式	リセット時
22	P0D ₃ /TM0OUT	ポート0D, タイマ0出力, シリアル・データ入力, シリアル・データ出力, およびシリアル・クロック入出力です。 ・1ビット単位でマスク・オプションによるプルアップ抵抗を内蔵可能 ●P0D ₃ -P0D ₀ ・4ビット入出力ポート ・1ビット単位で入力/出力設定可能 ●TM0OUT ・タイマ0出力	N-chオープン・ドレイン	入力 (P0D)
23	P0D ₂ /SI	●SI ・シリアル・データ入力		
24	P0D ₁ /SO	●SO ・シリアル・データ出力		
25	P0D ₀ /SCK	●SCK ・シリアル・クロック入出力		
26	X _{OUT}	システム・クロック発振用です。	—	—
27	X _{IN}	セラミック発振子を接続します。		
28	V _{DD}	電源	—	—

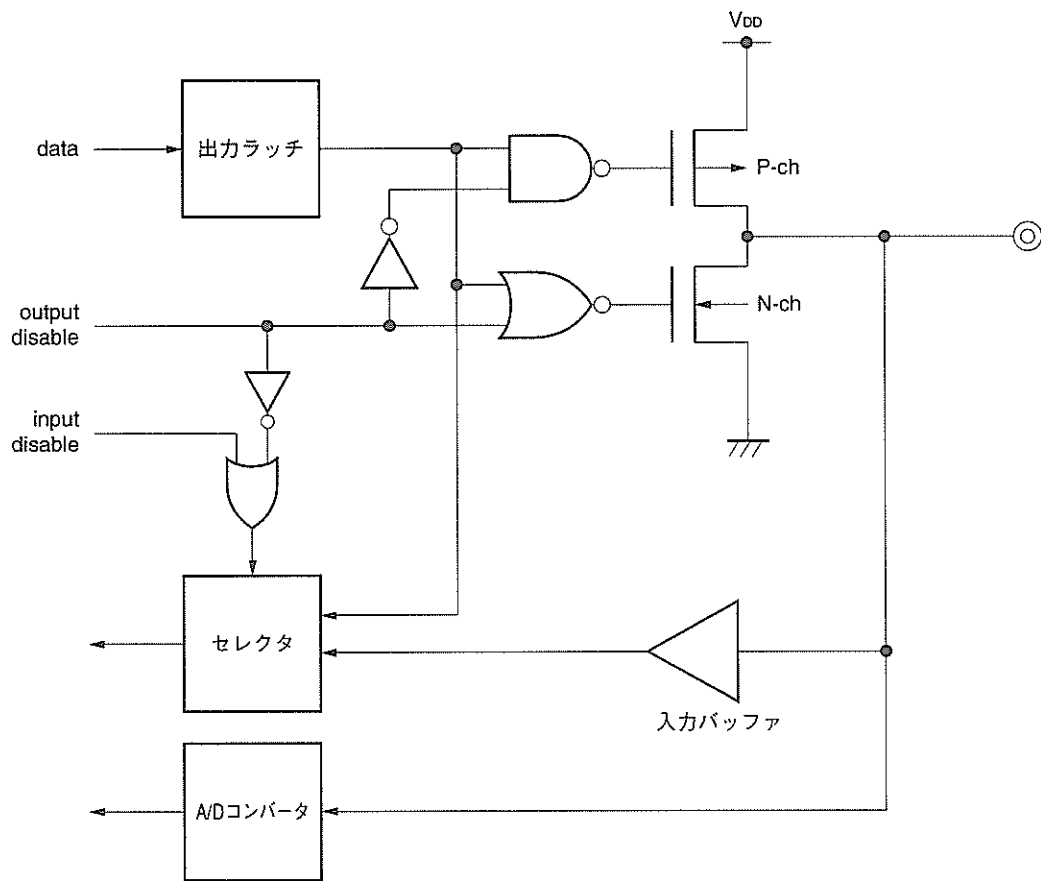
1.2 端子の等価回路

μPD17137A (A1) の各端子の入出力回路を一部簡略化した形式を用いて示します。

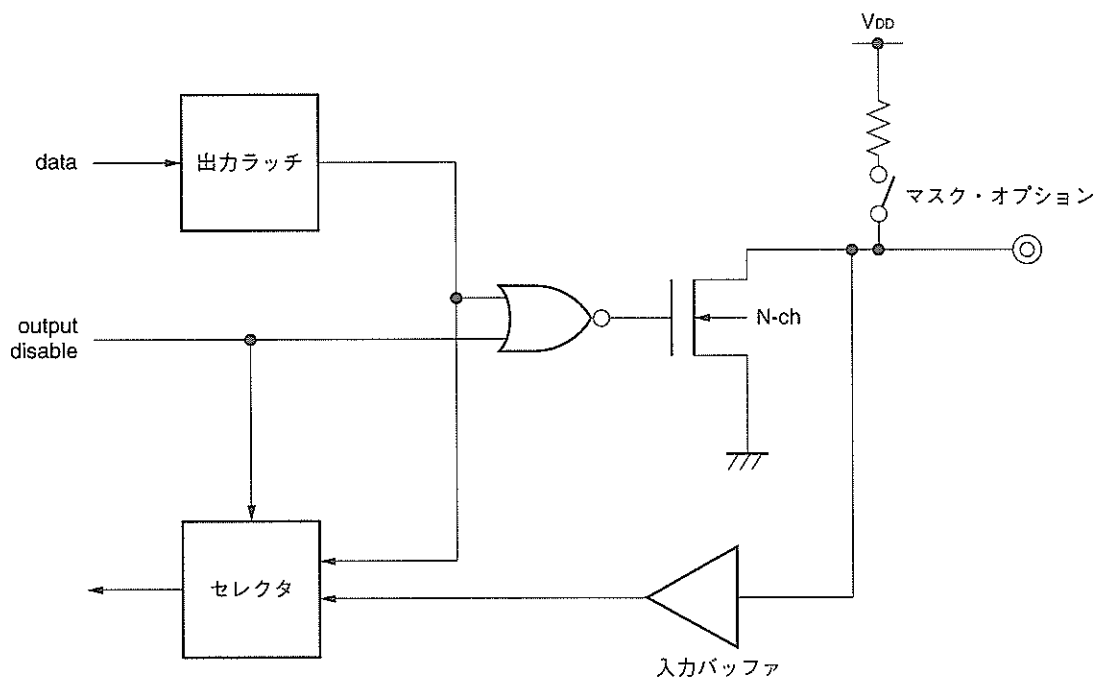
(1) P0A₀-P0A₃, P0B₀-P0B₃



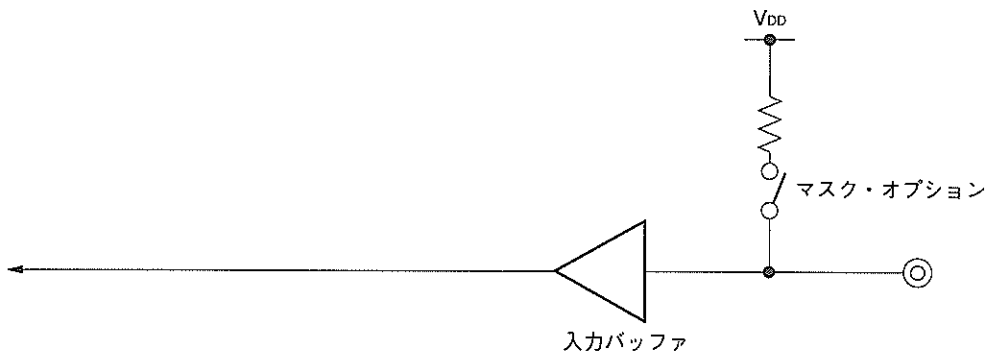
(2) P0C0/ADC0-P0C3/ADC3



(3) P0D0-P0D3, P1A0-P1A3



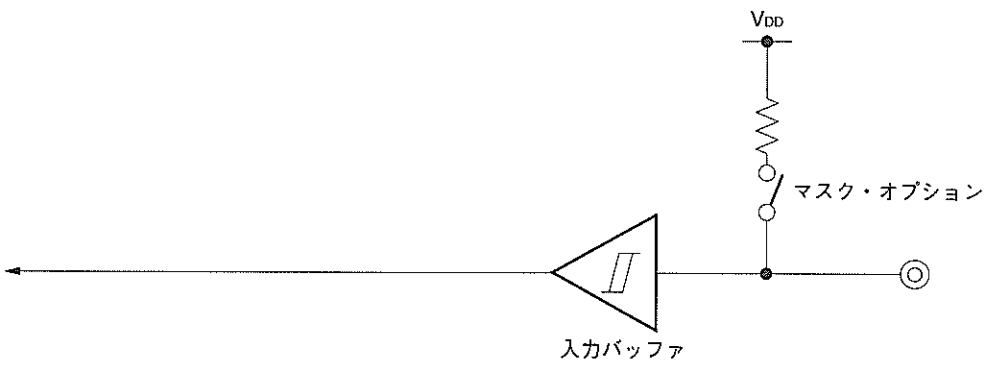
(4) P1B₀



(5) INT



(6) $\overline{\text{RESET}}$



1.3 未使用端子の処理

未使用端子には、次に示すような処置を推奨します。

表 1-1 未使用端子の処理

端子名		推奨処理方法		
		マイコン内部	マイコン外部	
ポート	入力モード	P0A, P0B	ソフトウェアによるプルアップ抵抗を内蔵する	オープン
		P0C	—	各端子ごとに抵抗を介してV _{DD} またはGNDに接続 ^{注1}
		P0D, P1A	マスク・オプションによるプルアップ抵抗を内蔵しない	GNDに直接接続
			マスク・オプションによるプルアップ抵抗を内蔵する	オープン
		P1B ₀ ^{注2}	マスク・オプションによるプルアップ抵抗を内蔵しない	GNDに直接接続
	出力モード	P0A, P0B, P0C (CMOSポート)	—	オープン
		P0D, P1A (N-chオープン・ドレイン・ポート)	マスク・オプションによるプルアップ抵抗を内蔵しないで、ロウ・レベルを出力する マスク・オプションによるプルアップ抵抗を内蔵して、ハイ・レベルを出力する	
	外部割り込み (INT)		マスク・オプションによるプルアップ抵抗を内蔵しない	V _{DD} またはGNDに直接接続
			マスク・オプションによるプルアップ抵抗を内蔵する	オープン
	RESET ^{注3}		マスク・オプションによるプルアップ抵抗を内蔵しない	V _{DD} に直接接続
マスク・オプションによるプルアップ抵抗を内蔵する				
V _{ADC}		—	V _{DD} に直接接続	

注1. 外部でプルアップ（抵抗を介してV_{DD}に接続）またはプルダウン（抵抗を介してGNDに接続）する場合には、ポートのドライブ能力や消費電流に注意してください。また、高い抵抗値でプルアップまたはプルダウンする場合には、その端子にノイズが乗らないように注意してください。応用回路にもよりますが、プルアップまたはプルダウンの抵抗値は、数十kΩが一般的です。

2. P1B₀端子はテスト・モードの設定機能を兼用しているので、未使用の場合はマスク・オプションによるプルアップ抵抗を内蔵しないで、直接GNDに接続してください。

3. 高い信頼性を必要とする応用回路では、必ず外部からRESET信号を入力するように設計してください。また、RESET端子はテスト・モードの設定機能を兼用しているので、未使用の場合は直接V_{DD}に接続してください。

注意 入出力モード、ソフトウェアによるプルアップ抵抗、端子の出力レベルは、プログラムの各グループ内で繰り返し設定することによって固定することを推奨します。

1.4 RESET端子とP1B₀端子の使用上の注意

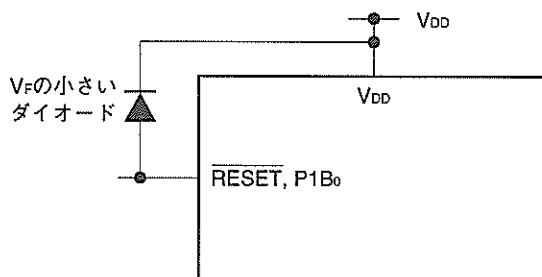
RESET端子とP1B₀端子は、1.1 端子機能に示した機能のほかに、μPD17137A (A1) の内部動作をテストするテスト・モードを設定する機能 (ICテスト専用) を持っています。

これらの端子のいずれかにV_{DD}を越える電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であってもV_{DD}を越えるようなノイズが加わった場合にはテスト・モードに入ってしまう、通常動作に支障をきたすことがあります。

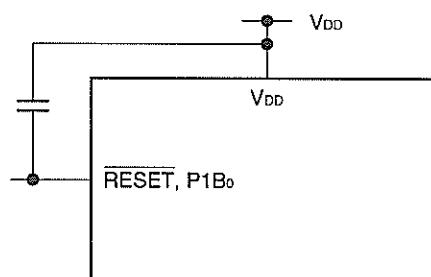
たとえば、RESET端子またはP1B₀端子の配線の引き回しが長い場合などでは、これらの端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は、下図のような外付け部品によるノイズ対策を実施してください。

○V_{DD}との間にV_Fの小さいダイオードを接続



○V_{DD}との間にコンデンサを接続



2. プログラム・メモリ (ROM)

μPD17137A (A1) は、プログラム・メモリとして4 Kバイト (2048×16ビット) のマスクROMを内蔵しています。

プログラム・メモリは、プログラムおよび定数データ・テーブルなどを格納します。

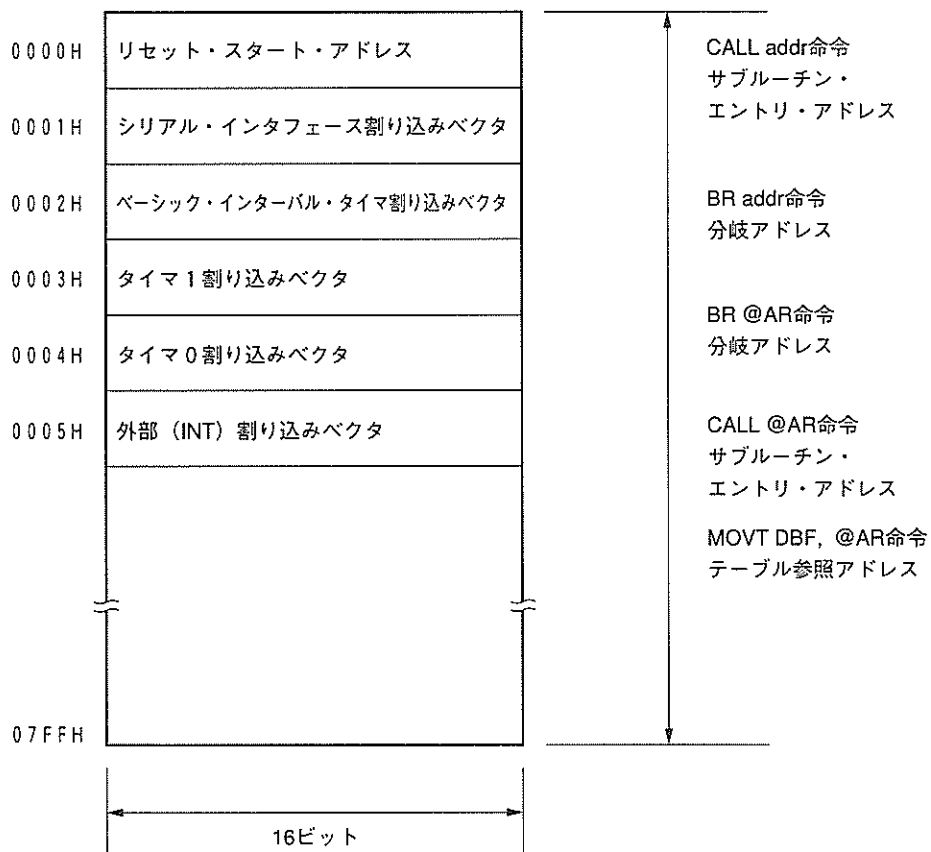
プログラム・メモリは、プログラム・カウンタによってそのアドレスが指定されます。

プログラム・メモリの0000H-0005Hは、リセット・スタート・アドレスおよび各種の割り込みベクタ・アドレスに割り当てられています。

2.1 プログラム・メモリの構成

図2-1にプログラム・メモリ・マップを示します。分岐命令、サブルーチン・コール命令、テーブル参照命令によるアドレス指定は、プログラム・メモリの全範囲に対して可能です。

図2-1 プログラム・メモリ・マップ



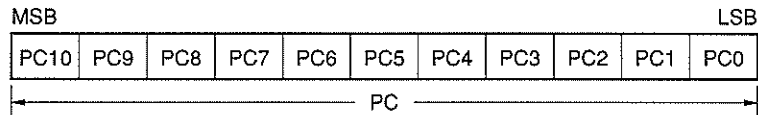
3. プログラム・カウンタ (PC)

プログラム・カウンタは、プログラム・メモリのアドレスを指定するために使用します。

3.1 プログラム・カウンタの構成

プログラム・カウンタは、11ビットのバイナリ・カウンタで構成されています。

図3-1 プログラム・カウンタ



3.2 プログラム・カウンタの動作

プログラム・カウンタは、通常、命令を1つ実行するたびに自動的にインクリメントされます。また、リセット時、分岐命令、サブルーチン・コール命令、リターン命令、テーブル参照命令が実行されたときおよび割り込みが受け付けられたときには、次に実行すべきプログラム・メモリのアドレスがプログラム・カウンタに設定されます。

表3-1 命令実行後のプログラム・カウンタの値

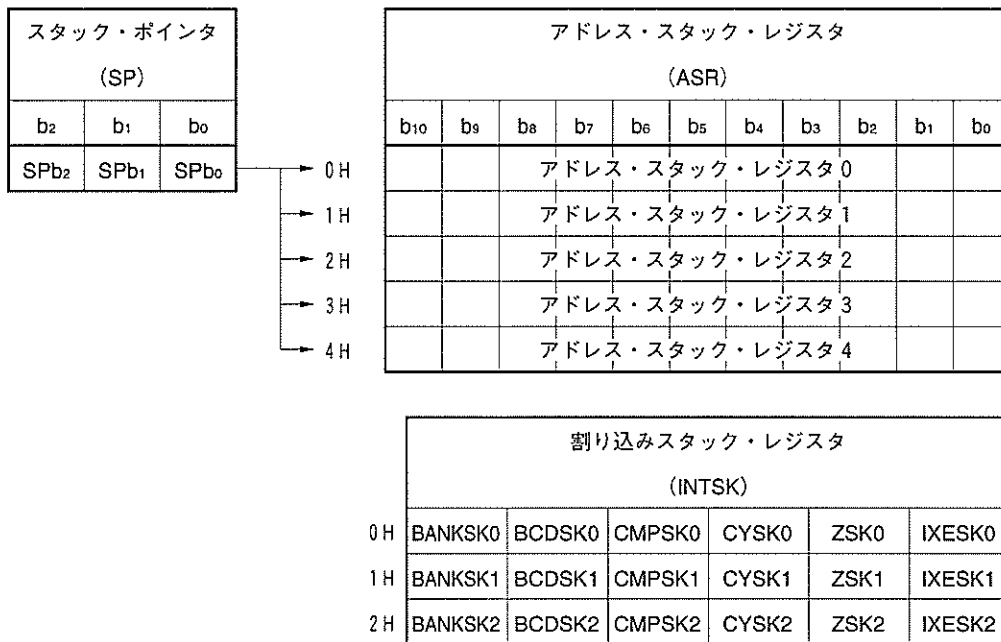
命令	プログラム・カウンタのビット										
	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
リセット時	0	0	0	0	0	0	0	0	0	0	0
BR addr	addrで指定した値										
CALL addr	addrで指定した値										
BR @AR	アドレス・レジスタ (AR) の内容										
CALL @AR	アドレス・レジスタ (AR) の内容										
(MOVT DBF, @AR)	アドレス・レジスタ (AR) の内容										
RET	スタック・ポインタで指定される										
RETSK	アドレス・スタックの内容 (戻り番地)										
RETI	アドレス・スタックの内容 (戻り番地)										
割り込み受け付け時	各割り込みのベクタ・アドレス										

4. スタック

スタックの構成を図4-1に示します。スタックはアドレス・スタック・レジスタと割り込みスタック・レジスタから構成されています。

スタックは、サブルーチン・コール命令実行時やテーブル参照命令実行時に戻り番地を退避するために使用します。また、割り込み受け付け時には、プログラムの戻り番地およびプログラム・ステータス・ワード (PSWORD) が自動的に退避されます。なお、退避後バンクおよびPSWORDは全ビットが0にクリアされます。

図4-1 スタックの構成



5. データ・メモリ (RAM)

データ・メモリ (RAM) は、演算・制御等のデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

5.1 データ・メモリの構成

データ・メモリには、7ビットの番地 (アドレス) が付けられています。アドレスの上位3ビットを“ロウ・アドレス”，下位4ビットを“カラム・アドレス”と呼びます。

たとえば、1AHというアドレスのロウ・アドレスは1Hで、カラム・アドレスは0AHです。

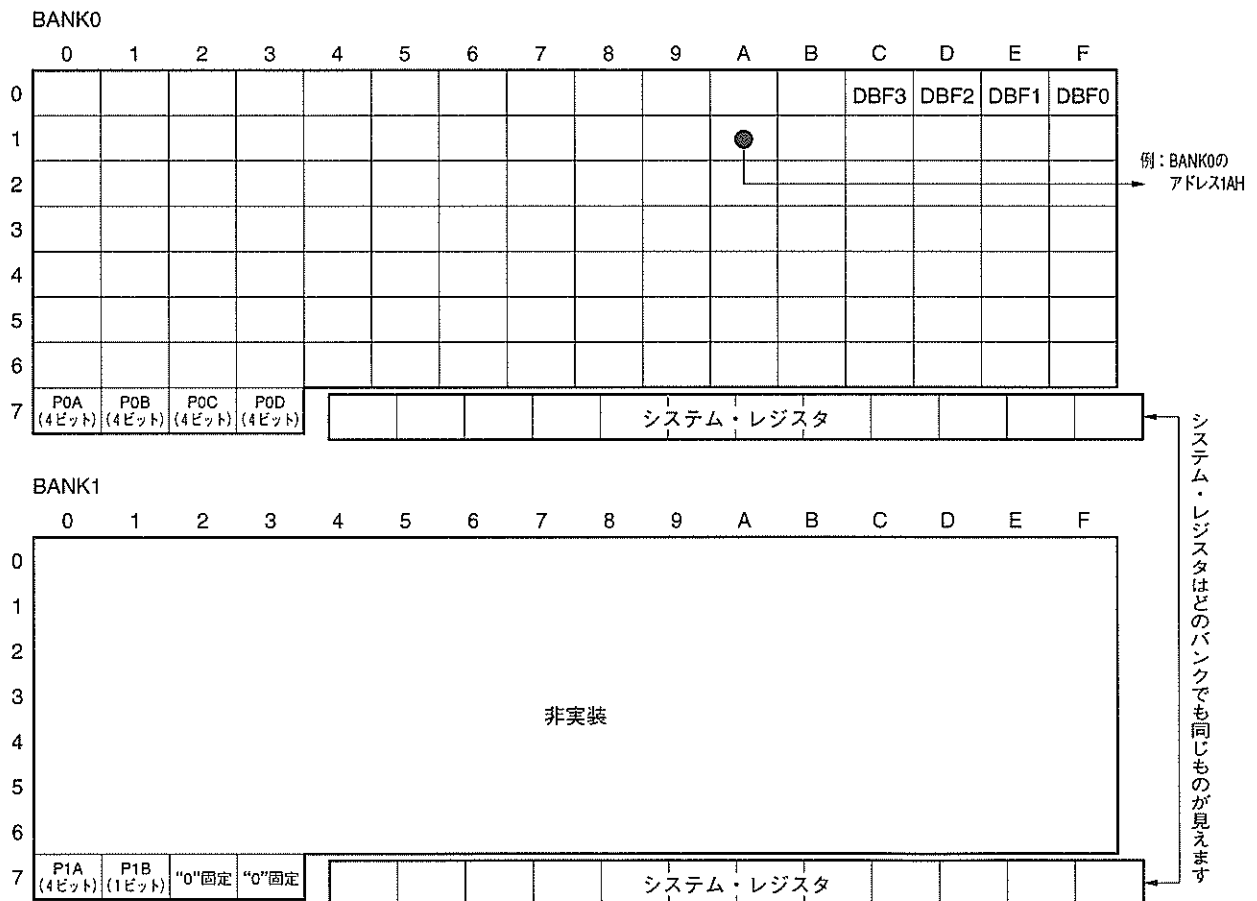
データ・メモリは、1つのアドレスにつき4ビット (=1ニブル) のメモリで構成されています。

データ・メモリには、ユーザが自由にデータなどを格納することができる領域と、あらかじめ特別な機能が割り当てられている領域があります。

特別な機能を持つ領域は次のとおりです。

- システム・レジスタ (SYSREG) (7. システム・レジスタ (SYSREG) 参照)
- データ・バッファ (DBF) (9. データ・バッファ (DBF) 参照)
- ポート・レジスタ (11. ポート参照)

図5-1 データ・メモリの構成



注意 BANK1のアドレス00H-6FHにはハードウェア上は何も実装されていません。この領域は使用しないでください。この領域の内容を読み出したときは、不定の値が読み出されます。また、この領域に対するデータの書き込み命令は無効になります。

6. ジェネラル・レジスタ (GR)

ジェネラル・レジスタは、その名が示すように汎用のレジスタで、データ転送、演算などに使用します。

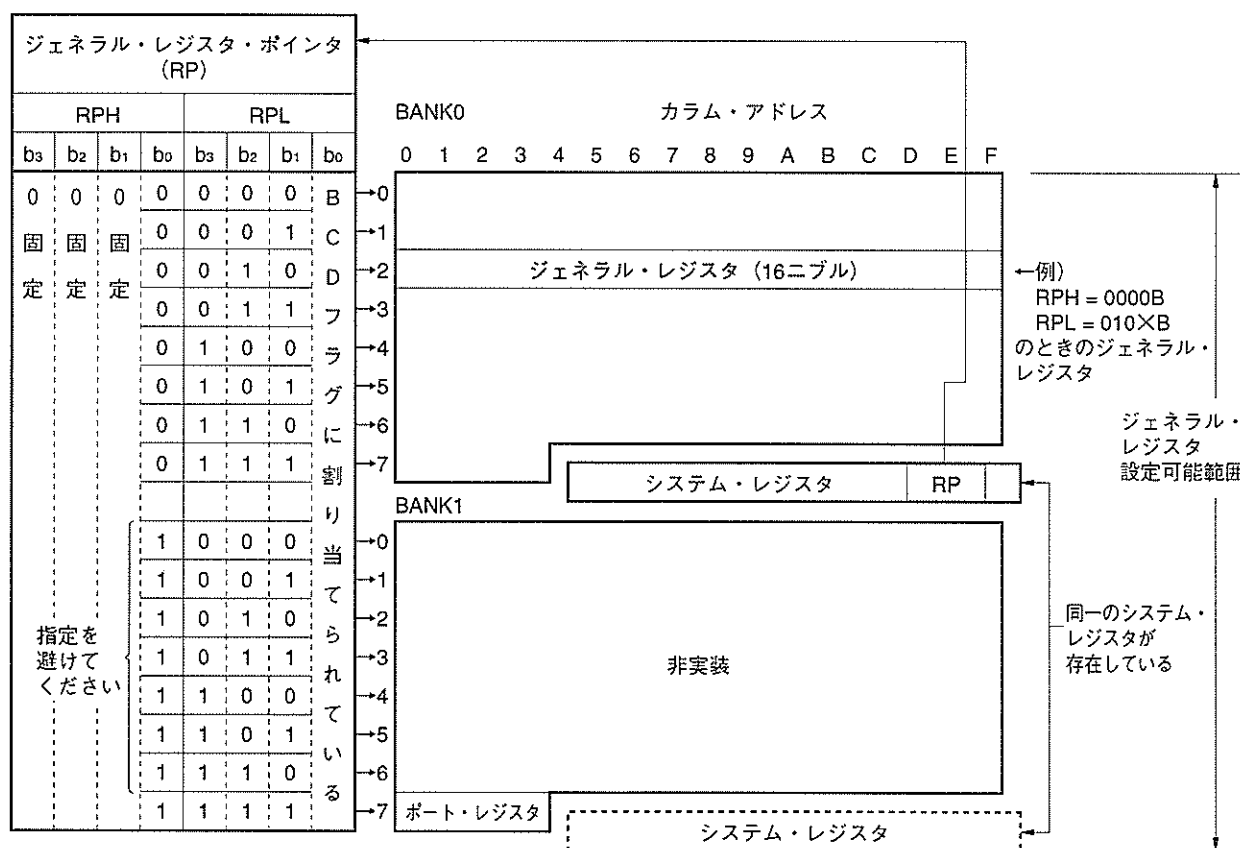
17Kシリーズでは、ジェネラル・レジスタは固定された領域ではなく、ジェネラル・レジスタ・ポインタ (RP) により、データ・メモリ上に指定される領域です。データ・メモリ領域の一部を必要に応じて、汎用のレジスタとして指定できますので、データ・メモリ間のデータ転送やデータ・メモリに対する演算などを1命令で実現できます。

6.1 ジェネラル・レジスタ・ポインタ (RP)

RPは、データ・メモリの一部をジェネラル・レジスタに指定するポインタです。RPには、ジェネラル・レジスタに指定したいデータ・メモリのバンクとロウ・アドレスを設定します。RPはシステム・レジスタ (7. システム・レジスタ (SYSREG) 参照) の7DH (RPH) と7EH (RPL) の上位3ビットの計7ビットに割り付けられています。

RPHにはバンクを、RPLにはデータ・メモリ・ロウ・アドレスを設定します。

図6-1 ジェネラル・レジスタ・ポインタの構成



7. システム・レジスタ (SYSREG)

システム・レジスタ (SYSREG) は、直接CPUの制御を行うためのレジスタでデータ・メモリ上に配置されています。

7.1 システム・レジスタの構成

図7-1にシステム・レジスタのデータ・メモリ上の配置を示します。図7-1に示すようにシステム・レジスタは、データ・メモリの74H-7FH番地にバンクに無関係に配置されています。つまり、どのバンクであっても74H-7FH番地には同一のシステム・レジスタが存在しています。

また、システム・レジスタはデータ・メモリ上に配置されているので、すべてのデータ・メモリ操作命令で操作することができます。したがって、システム・レジスタをジェネラル・レジスタに指定することも可能です。

図7-1 システム・レジスタのデータ・メモリ上の配置

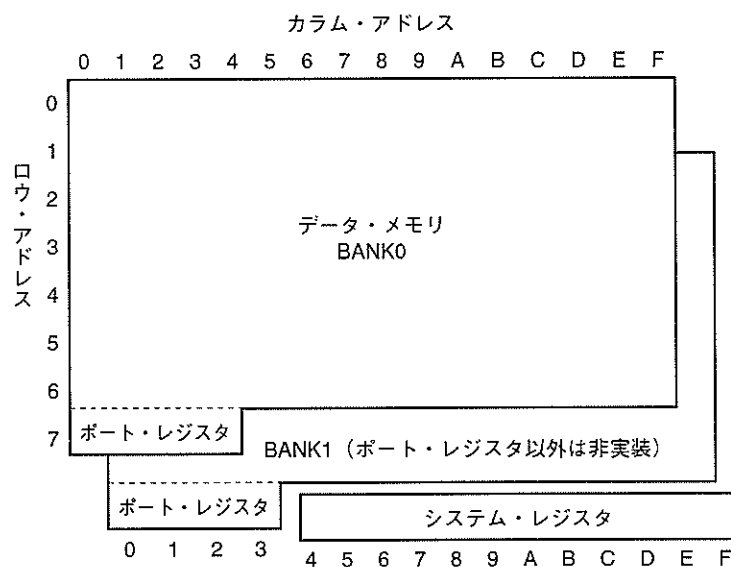


図7-2にシステム・レジスタの構成を示します。図7-2に示すようにシステム・レジスタは、次の7個のレジスタで構成されています。

- ・アドレス・レジスタ (AR)
- ・ウインドウ・レジスタ (WR)
- ・バンク・レジスタ (BANK)
- ・インデクス・レジスタ (IX)
- ・データ・メモリ・row・アドレス・ポインタ (MP)
- ・ジェネラル・レジスタ・ポインタ (RP)
- ・プログラム・ステータス・ワード (PSW)

図 7-2 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称	アドレス・レジスタ (AR)				ウィンドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)		プログラム・ステータス・ワード (PSWORD)
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀
データ注	0 0 0 0 0 0 (AR)				0 0 0 0 (BANK)	0 0 0 0 (IX)	0 0 0 0 (MP)			0 0 0 0 (RP)		B C C I C M Y Z D P X E
リセット時の初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0				不定	0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0			0 0 0 0 0 0 0 0 0 0 0 0 0 0		0 0 0 0 0 0

注 この欄の0が書かれている部分は“0固定”を意味します。

8. レジスタ・ファイル (RF)

レジスタ・ファイルは主として周辺ハードウェアの条件設定を行うためのレジスタです。

設定にはPEEK, POKE命令またはAS17Kの組み込みマクロ命令であるSETn, CLRnおよびINITFLG命令を使用します。

8.1 レジスタ・ファイルの構成

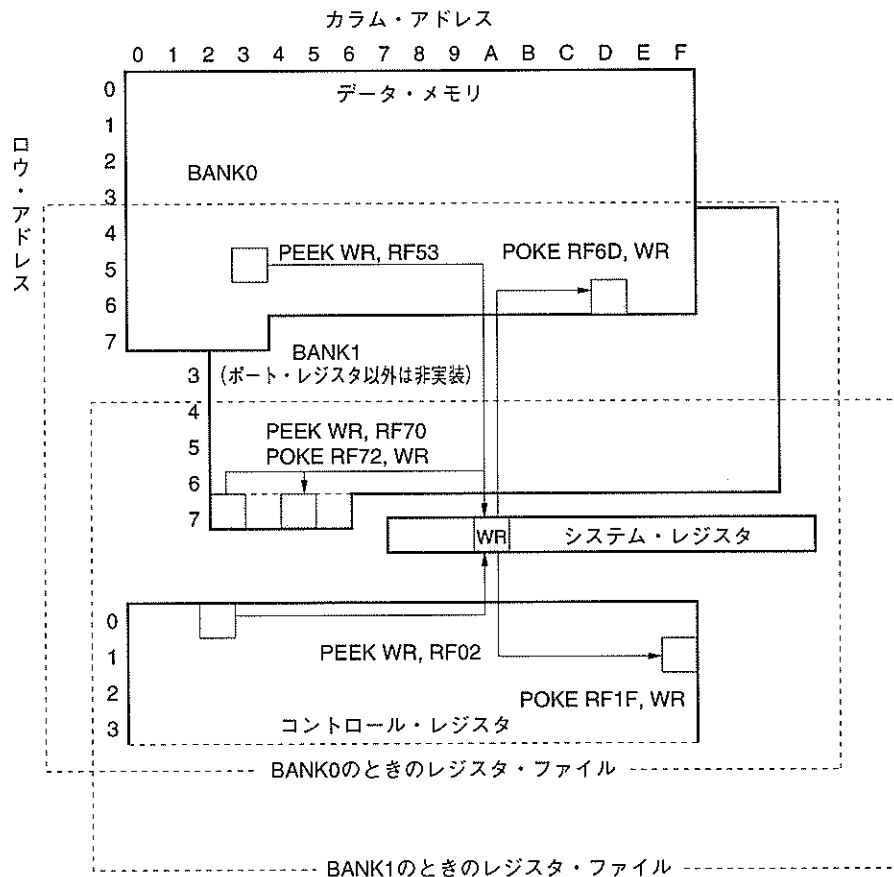
図8-1にレジスタ・ファイルの構成およびPEEK, POKE命令によるレジスタ・ファイルのアクセスの様子を示します。

コントロール・レジスタは、バンクに関係なくアドレス00H-3FH番地に割り付けられています。

したがって、PEEK, POKE命令でアクセスできる範囲は、コントロール・レジスタのアドレス00H-3FHおよび汎用データ・メモリのうちBANKで指定された40H-7FHとなります。この範囲を“レジスタ・ファイル”と呼びます。

なおコントロール・レジスタは、ディバグを容易にするために、インサーキット・エミュレータIE-17K上では80H-BFH番地に割り付けられています。

図8-1 レジスタ・ファイルの構成およびPEEK, POKE命令によるレジスタ・ファイルのアクセス



8.2 コントロール・レジスタ

コントロール・レジスタは、レジスタ・ファイルのアドレス00H-3FHの計64ニブル（64×4ビット）から構成されています。コントロール・レジスタの構成については図21-2 コントロール・レジスタの構成を参照してください。

コントロール・レジスタのうち実際に使用しているのは26ニブルです。残りの38ニブルは未使用レジスタで読み出しおよび書き込みは禁止されています。

各コントロール・レジスタは1ニブルずつ属性を持っており、それぞれ読み出し書き込み可能（R/W）、読み出し専用（R）の2種類があります。

ただし、次に示す読み出し書き込み可能（R/W）なフラグは、読み出し時、必ず“0”が読み出されますので、注意してください。

- ・WDTRES（RF：03H、ビット3）
- ・WDTEN（RF：03H、ビット0）
- ・TM0RES（RF：11H、ビット2）
- ・TM1RES（RF：12H、ビット2）
- ・BTMRES（RF：13H、ビット2）
- ・ADCSTRT（RF：20H、ビット0）

また、1ニブルの中の4ビット・データのうち、“0”に固定されているビットは、読み出したときは常に“0”となり、書き込みを行っても“0”を保持します。

未使用レジスタの38ニブルは、内容を読み出すと不定の値が読み出され、書き込みを行っても何も変化しません。

9. データ・バッファ (DBF)

データ・バッファは、データ・メモリのBANK0のアドレス0CH-0FHに割り当てられた4ニブルで構成されています。

この領域はGET、PUT命令によってCPUの周辺ハードウェア（アドレス・レジスタ、シリアル・インタフェース、タイマ0、タイマ1、ベーシック・インターバル・タイマ、A/Dコンバータ）とデータの受け渡しを行うデータ格納領域です。また、MOVTD BF, @AR命令によりプログラム・メモリ上の定数データをデータ・バッファ上に読み込むことができます。

9.1 データ・バッファの構成

図9-1にデータ・バッファのデータ・メモリ上の配置を示します。

図9-1に示すように、データ・バッファは、データ・メモリのBANK0のアドレス0CH-0FHが割り当てられており、4ニブル（4×4ビット）から構成されています。

図9-1 データ・バッファの配置

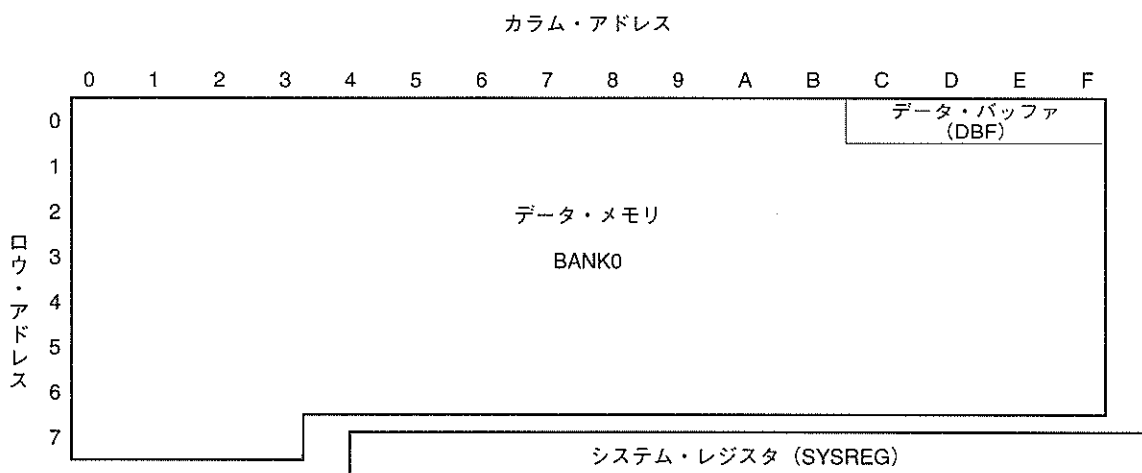


図9-2にデータ・バッファの構成を示します。図9-2に示すようにデータ・バッファはデータ・メモリの0FH番地のビット0をLSBとし、0CH番地のビット3をMSBとする16ビットで構成されています。

図9-2 データ・バッファの構成

データ・メモリ BANK0	アドレス	0CH				0DH				0EH				0FH			
	ビット	b3	b2	b1	b0	b3	b2	b1	b0	b3	b2	b1	b0	b3	b2	b1	b0
データ・バッファ	ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	記号	DBF3				DBF2				DBF1				DBF0			
	データ	(MSB) ← データ				データ				データ (LSB)							

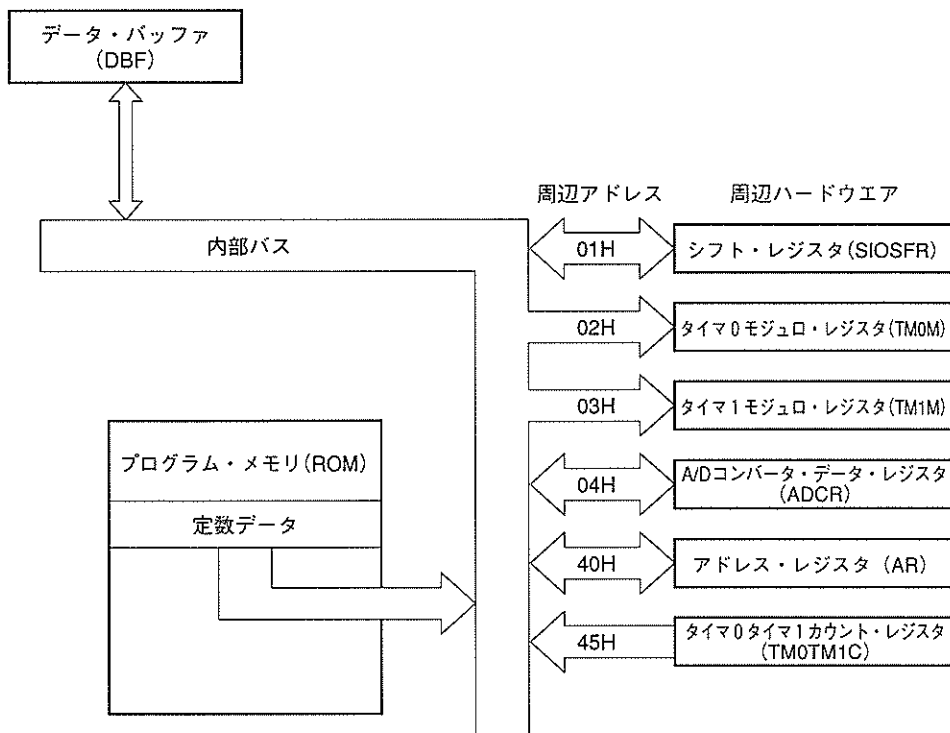
データ・バッファは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作できます。

9.2 データ・バッファの機能

データ・バッファは、大別して2つの機能があります。

1つは周辺ハードウェアとのデータ転送機能で、もう1つはプログラム・メモリ上の定数データの読み込み（テーブル参照）機能です。図9-3にデータ・バッファと周辺ハードウェアの関係を示します。

図9-3 データ・バッファと周辺ハードウェア



10. ALUブロック

ALUは4ビット・データの算術演算、論理演算、ビット判断および回転処理を行います。

10.1 ALUブロックの構成

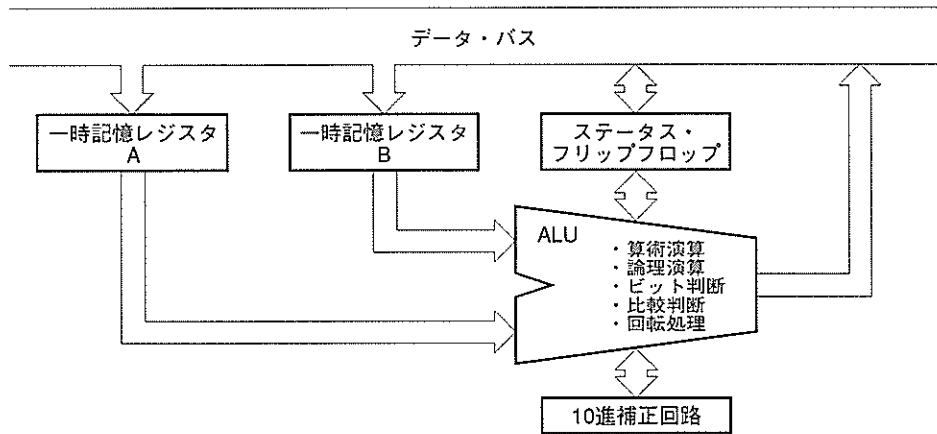
図10-1にALUブロックの構成を示します。

図10-1に示すようにALUブロックは4ビットのデータ処理を行うALU本体と、ALUの周辺回路である一時記憶用レジスタA、Bと、ALUの状態を制御するステータス・フリップフロップと、BCD演算使用時の10進補正回路から構成されています。

ステータス・フリップフロップは図10-1に示すように、ゼロ・フラグ用FF、キャリー・フラグ用FF、コンペア・フラグ用FFおよびBCDフラグ用FFから構成されています。

ステータス・フリップフロップはシステム・レジスタの中のプログラム・ステータス・ワード（PSWORD：アドレス7EH, 7FH）の各フラグであるゼロ・フラグ（Z）、キャリー・フラグ（CY）、コンペア・フラグ（CMP）およびBCDフラグ（BCD）と1対1に対応しています。

図10-1 ALUブロックの構成



アドレス	7EH	7FH			
名称	プログラム・ステータス・ワード (PSWORD)				
ビット	b ₀	b ₃	b ₂	b ₁	b ₀
フラグ	BCD	CMP	CY	Z	IXE

ステータス・フリップフロップ			
BCD	CMP	CY	Z
フラグ用	フラグ用	フラグ用	フラグ用
FF	FF	FF	FF

機能の概要	
→	算術演算結果が0であることを示す
→	算術演算時のキャリーまたはボローを格納
→	算術演算結果を格納するかを指定
→	算術演算時に10進補正を行うかを指定

11. ポート

11.1 ポート0A (P0A₀, P0A₁, P0A₂, P0A₃)

ポート0Aは、出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK0の70H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

4ビット単位で入力または出力の指定をすることができます。入力／出力の指定はレジスタ・ファイル上のP0AGIO (2CH番地のビット0) により行います。

P0AGIO = 0のとき、ポート0Aのすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。

P0AGIO = 1のとき、ポート0Aのすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み出し命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

また、ソフトウェア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか、しないかの選択は、レジスタ・ファイルのP0AGPU (0CH番地のビット0) によって行います。P0AGPU = 1で4ビットの端子すべてがプルアップされ、P0AGPU = 0でプルアップ抵抗は内蔵されません。

リセット時にはP0AGIOおよびP0AGPUは“0”になり、P0Aの端子はすべてプルアップ抵抗なしの入力ポートになります。また、ポートの出力ラッチの値も“0”になります。

表11-1 ポート・レジスタ (0.70H) への書き込みと読み出し

P0AGIO RF:2CH, ビット0	端子の入力／出力	BANK0 70H	
		書き込み	読み出し
0	入力	可能	P0Aの端子の状態
1	出力	P0Aラッチに書き込み	P0Aのラッチの内容

11.2 ポート0B (P0B0, P0B1, P0B2, P0B3)

ポート0Bは、出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK0の71H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

4ビット単位で入力または出力の指定をすることができます。入力/出力の指定は、レジスタ・ファイル上のP0BGIO (2CH番地のビット1) により行います。

P0BGIO = 0のとき、ポート0Bのすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。

P0BGIO = 1のとき、ポート0Bのすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されま。端子が出力ポートのとき読み出し命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

また、ソフトウェア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか、しないかの選択は、レジスタ・ファイルのP0BGPU (0CH番地のビット1) によって行います。P0BGPU = 1で4ビットの端子すべてがプルアップされ、P0BGPU = 0でプルアップ抵抗は内蔵されません。

リセット時にはP0BGIOおよびP0BGPUは“0”になり、P0Bの端子はすべてプルアップ抵抗なしの入力ポートになります。また、ポートの出力ラッチの値も“0”になります。

表11-2 ポート・レジスタ (0.71H) への書き込みと読み出し

P0BGIO RF:2CH, ビット1	端子の入力/出力	BANK0 71H	
		書き込み	読み出し
0	入力	可能	P0Bの端子の状態
1	出力	P0Bラッチに書き込み	P0Bのラッチの内容

11.3 ポート0C (P0C0/ADC0, P0C1/ADC1, P0C2/ADC2, P0C3/ADC3)

ポート0Cは、出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK0の72H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

1ビット単位で入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上のP0CBIO0-P0CBIO3 (1CH番地) により行います。

P0CBIO_n = 0のとき (n = 0-3), P0C_n端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。また、P0CBIO_n = 1のとき (n = 0-3), P0C_n端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み出し命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

リセット時にはP0CBIO0-P0CBIO3は“0”になり、P0Cの端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も“0”になります。

ポート0CはA/Dコンバータのアナログ入力として使用できます。ポートまたは、アナログ入力端子としての切り替えは、レジスタ・ファイル上のP0C0IDI-P0C3IDI (1BH番地) によって行います。

P0C_nIDI = 0のとき (n = 0-3), P0C_n/ADC_n端子はポートとして機能し、P0C_nIDI = 1のとき (n = 0-3), P0C_n/ADC_n端子は、A/Dコンバータのアナログ入力端子として機能します。

A/D変換を行う入力端子の選択はレジスタ・ファイル上のADCCH0, ADCCH1 (22H番地のビット1とビット0) で行います。

なお、A/Dコンバータの入力端子として使用する場合、端子は、P0CBIO_n = 0を指定し、入力ポートに設定しなければなりません (14. A/Dコンバータ参照)。

リセット時、P0CBIO0-P0CBIO3, P0C0IDI-P0C3IDI, ADCCH0, ADCCH1は“0”に設定され、入力ポートとなります。

表11-3 ポートとA/Dコンバータの切り替え

(n = 0-3)

P0C _n IDI RF: 1BH	P0CBIO _n RF: 1CH	機 能	BANK0 72H	
			書き込み	読み出し
0	0	入力ポート	可能 P0Cラッチ	端子の状態
	1	出力ポート	可能 P0Cラッチ	P0Cの ラッチの内容
1	0	A/Dのアナログ入力 ^{注1}	可能 P0Cラッチ	P0Cの ラッチの内容
	1	出力ポートおよび A/Dのアナログ入力 ^{注2}	可能 P0Cラッチ	P0Cの ラッチの内容

注1. 端子をA/Dコンバータのアナログ入力として使用する場合の通常の設定です。

2. 出力ポートとして機能しています。このときアナログ入力電圧は、ポートからの出力の影響を受けて変化してしまいます。端子をアナログ入力として使用する場合には、必ずP0CBIO_n = 0に設定してください。

11.4 ポート0D (P0D₀/ $\overline{\text{SCK}}$, P0D₁/SO, P0D₂/SI, P0D₃/ $\overline{\text{TM0OUT}}$)

ポート0Dは出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK0の73H番地にマッピングされています。出力形式はN-chオープン・ドレイン出力です。また、マスク・オプションにより1ビットごとに端子にプルアップ抵抗を内蔵することが指定できます。

1ビット単位で入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上のP0DBIO0-P0DBIO3 (2BH番地) により行います。

P0DBIO_n = 0のとき (n = 0-3)、P0D_n端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。また、P0DBIO_n = 1のとき、P0D_n端子は出力ポートとなり、出力ラッチに書かれた値が端子に出力されます。端子が出力ポートのとき、読み出し命令を実行すると、端子の状態ではなく、出力ラッチの値が取り込まれます。

リセット時には、P0DBIO_nは“0”になり、P0Dの端子はすべて入力になり、ポートの出力ラッチの内容もすべて“0”になります。なお、P0DBIO_nを“1”から“0”に変化させても出力ラッチの内容は変わりません。

また、ポートとして使用できるほかに、シリアル・インタフェース用の入出力やタイマ0出力として使用できます。ポート (P0D₀-P0D₂) とシリアル・インタフェース用入出力 ($\overline{\text{SCK}}$, SO, SI) の切り替えは、レジスタ・ファイル上のSIOEN (0BHのビット0) によって行います。また、ポート (P0D₃) とタイマ0出力 ($\overline{\text{TM0OUT}}$) の切り替えはレジスタ・ファイル上のTMOSEL (0BHのビット3) によって行います。TMOSEL = 1を選択すると、タイマ0のリセット時には“1”を出力し、タイマ0のカウント値がモジュロ・レジスタの内容と一致するごとにその出力を反転します。

表11-4 レジスタ・ファイルの内容と端子の機能

(n = 0-3)

レジスタ・ファイルの値			端子の機能			
TMOSEL RF : 0BH ビット3	SIOEN RF : 0BH ビット0	P0DBIO _n RF : 2BH ビットn	P0D ₀ / $\overline{\text{SCK}}$	P0D ₁ /SO	P0D ₂ /SI	P0D ₃ / $\overline{\text{TM0OUT}}$
0	0	0	入力ポート			
		1	出力ポート			
	1	0	$\overline{\text{SCK}}$	SO	SI	入力ポート
		1				出力ポート
1	0	0	入力ポート			
		1	出力ポート			
	1	0	SCK	SO	SI	$\overline{\text{TM0OUT}}$
		1				

表11-5 ポート・レジスタ (0.73H) を読み出したときの内容

ポートのモード		ポート・レジスタ (0.73H) を読み出したときの内容
入力ポート		端子の状態
出力ポート		出力ラッチの内容
SCK	シリアル・クロックに内部クロックを選択	出力ラッチの内容
	シリアル・クロックに外部クロックを選択	端子の状態
SI		端子の状態
SO		不定
TM0OUT		出力ラッチの内容

注意 シリアル・インタフェース使用後のP0D_i/SO端子の出力ラッチの内容は、SIOSFR (シフト・レジスタ) の内容に影響され不定となっています。したがって、出力ポートとして使用する場合は出力ラッチの内容を再設定してください。

11.5 ポート1A (P1A₀, P1A₁, P1A₂, P1A₃)

ポート1Aは出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK1の70H番地にマッピングされています。出力形式はN-chオープン・ドレイン出力です。また、マスク・オプションにより1ビットごとに端子にプルアップ抵抗を内蔵することが指定できます。

4ビット単位で入力または出力の指定をすることができます。入力/出力の指定はレジスタ・ファイル上のP1AGIO (2CH番地のビット2) により行います。

P1AGIO = 0のとき、ポート1Aのすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み出し命令を実行すると、端子の状態が読み出されます。または、P1AGIO = 1のとき、ポート1Aのすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み出し命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

リセット時にはP1AGIOは“0”になり、P1Aの端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も“0”になります。

表11-6 ポート・レジスタ (1.70H) への書き込みと読み出し

(n = 0-3)

P1AGIO _n RF:2CH, ビット2	端子の入力/出力	BANK1 70H	
		書き込み	読み出し
0	入力	可能	P1Aの端子の状態
1	出力	P1Aラッチに書き込み	P1Aのラッチの内容

11.6 ポート1B (P1B₀)

ポート1Bは1ビットの入力専用ポートです。データ・メモリのBANK1の71H番地にマッピングされています。また、マスク・オプションによりP1B₀端子にプルアップ抵抗を内蔵することが指定できます。

入力専用ポートなので、読み出し時は最下位ビットの1ビットのみが有効で、値が読み出され、書き込み時は何も変化しません。またポート・レジスタの上位3ビットは常に“0”が読まれます。

12. 8ビット・タイマ・カウンタ (TM0, TM1)

μPD17137A (A1) の8ビット・タイマ・カウンタには、タイマ0 (TM0) とタイマ1 (TM1) の2系統のタイマがあります。

タイマ0のカウント・アップ信号をタイマ1のカウント・パルスとして用いることにより、1系統の16ビット・タイマ・カウンタとして用いることも可能です。

各タイマの制御は、PUT/GET命令を使ったハードウェアの操作とPEEK/POKE命令を使ったレジスタ・ファイル上のレジスタの操作により行います。

12.1 8ビット・タイマ・カウンタの構成

図12-1に8ビット・タイマ・カウンタの構成を示します。8ビット・タイマ・カウンタは8ビットのカウント・レジスタ、8ビットのモジュロ・レジスタ、カウント・レジスタとモジュロ・レジスタの値を比較するコンパレータおよびカウント・パルスを選択するセレクタで構成されています。

- 注意1. モジュロ・レジスタは、書き込み専用レジスタです。
- 2. カウント・レジスタは、読み出し専用レジスタです。

図12-1 8ビット・タイマ・カウンタの構成

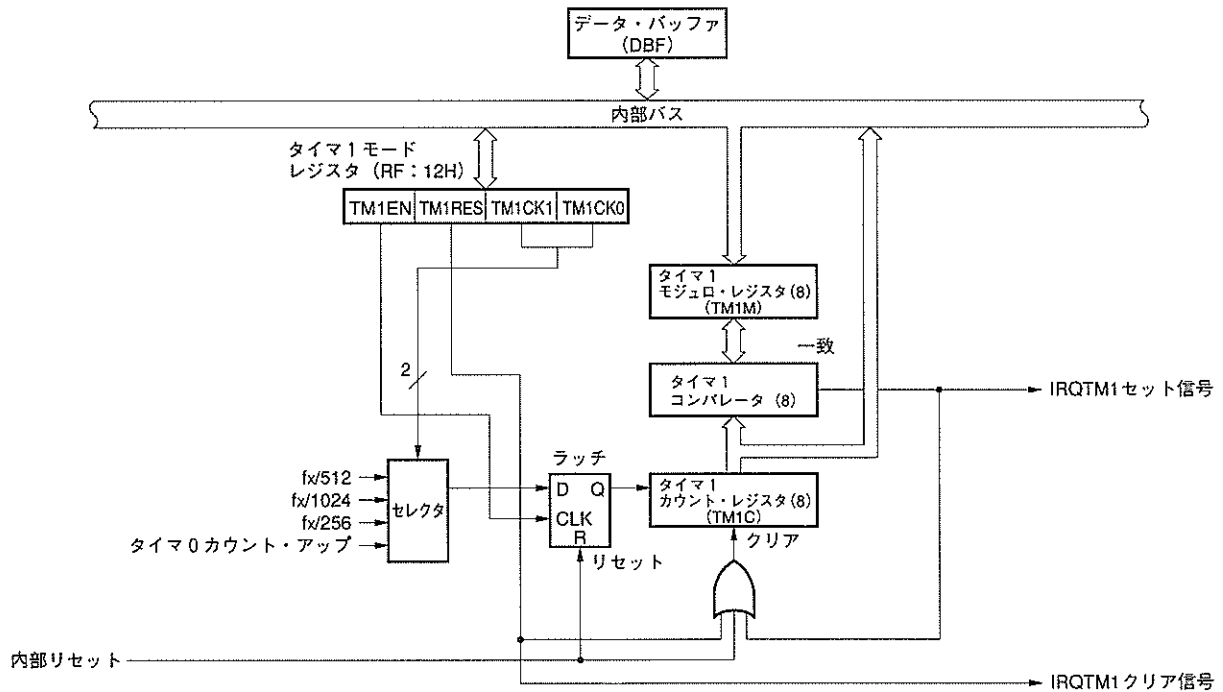
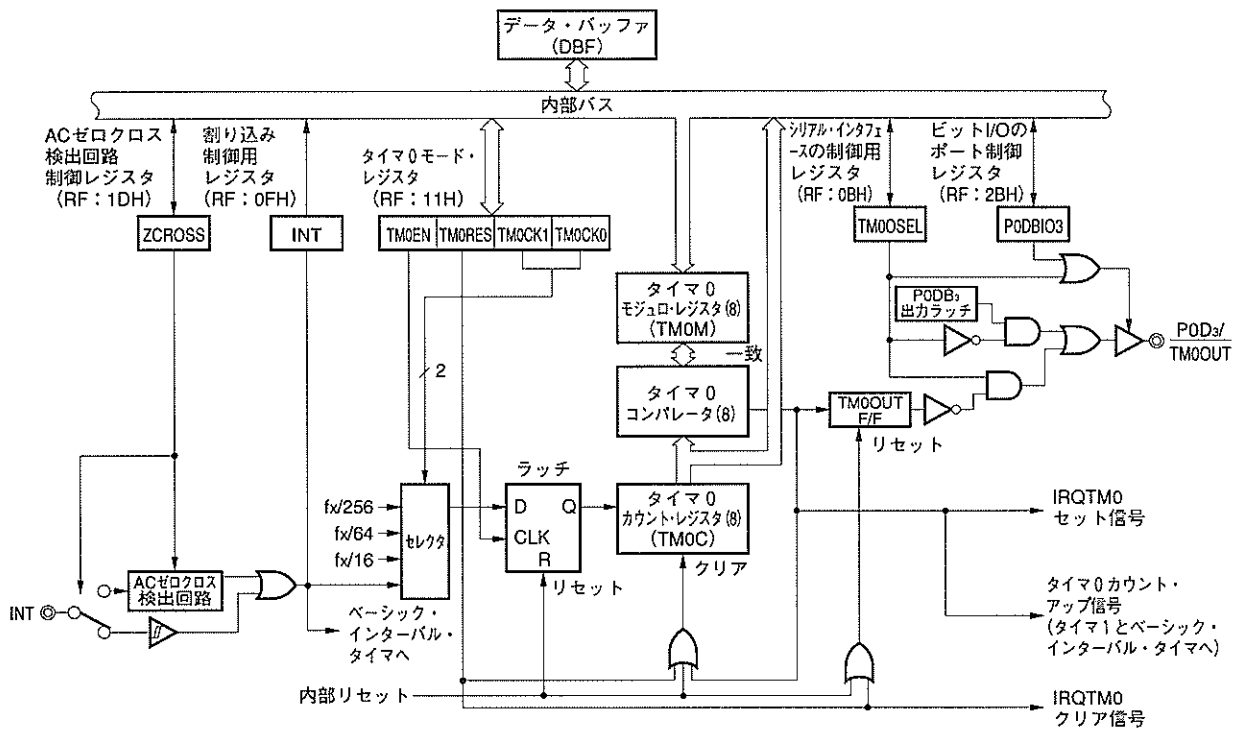


図12-2 タイマ0モード・レジスタ

RF: 11H

	ビット3	ビット2	ビット1	ビット0
	TMOEN	TMORES	TMOCK1	TMOCK0
リード/ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

TMOCK1	TMOCK0	タイマ0のカウンタ・パルスの選択
0	0	fx/256
0	1	fx/64
1	0	fx/16
1	1	INT端子

TMORES	タイマ0のリセット
0	タイマ0に影響なし
1	タイマ0カウンタ・レジスタとIRQTM0をリセット

備考 TMORESは、セット(1)後、自動的にクリア(0)されます。読み出し時は常に“0”が読み出されます。

TMOEN	タイマ0のスタート指示
0	タイマ0のカウンタを停止する
1	タイマ0のカウンタを開始する

備考 TMOENは、タイマ0のカウンタ状態を検出するステータス・フラグとして使用することができます(1:カウンタ動作中, 0:カウンタ停止状態)。

図12-3 タイマ1モード・レジスタ

RF: 12H

	ビット3	ビット2	ビット1	ビット0
	TM1EN	TM1RES	TM1CK1	TM1CK0
リード/ライト	R/W			
リセット時の初期値	1	0	0	0

リード = R, ライト = W

TM1CK1	TM1CK0	タイマ1のカウンタ・パルスの選択
0	0	fx/512
0	1	fx/1024
1	0	fx/256
1	1	タイマ0からのカウンタ・アップ信号

TM1RES	タイマ1のリセット
0	タイマ1に影響なし
1	タイマ1カウンタ・レジスタとIRQTM1をリセット

備考 TM1RESは、セット (1) 後、自動的にクリア (0) されます。読み出し時は常に“0”が読み出されます。

TM1EN	タイマ1のスタート指示
0	タイマ1のカウンタを停止する
1	タイマ1のカウンタを開始する

備考 TM1ENは、タイマ1のカウンタ状態を検出するステータス・フラグとして使用することができます (1:カウンタ動作中, 0:カウンタ停止状態)。

13. ベーシック・インターバル・タイマ (BTM)

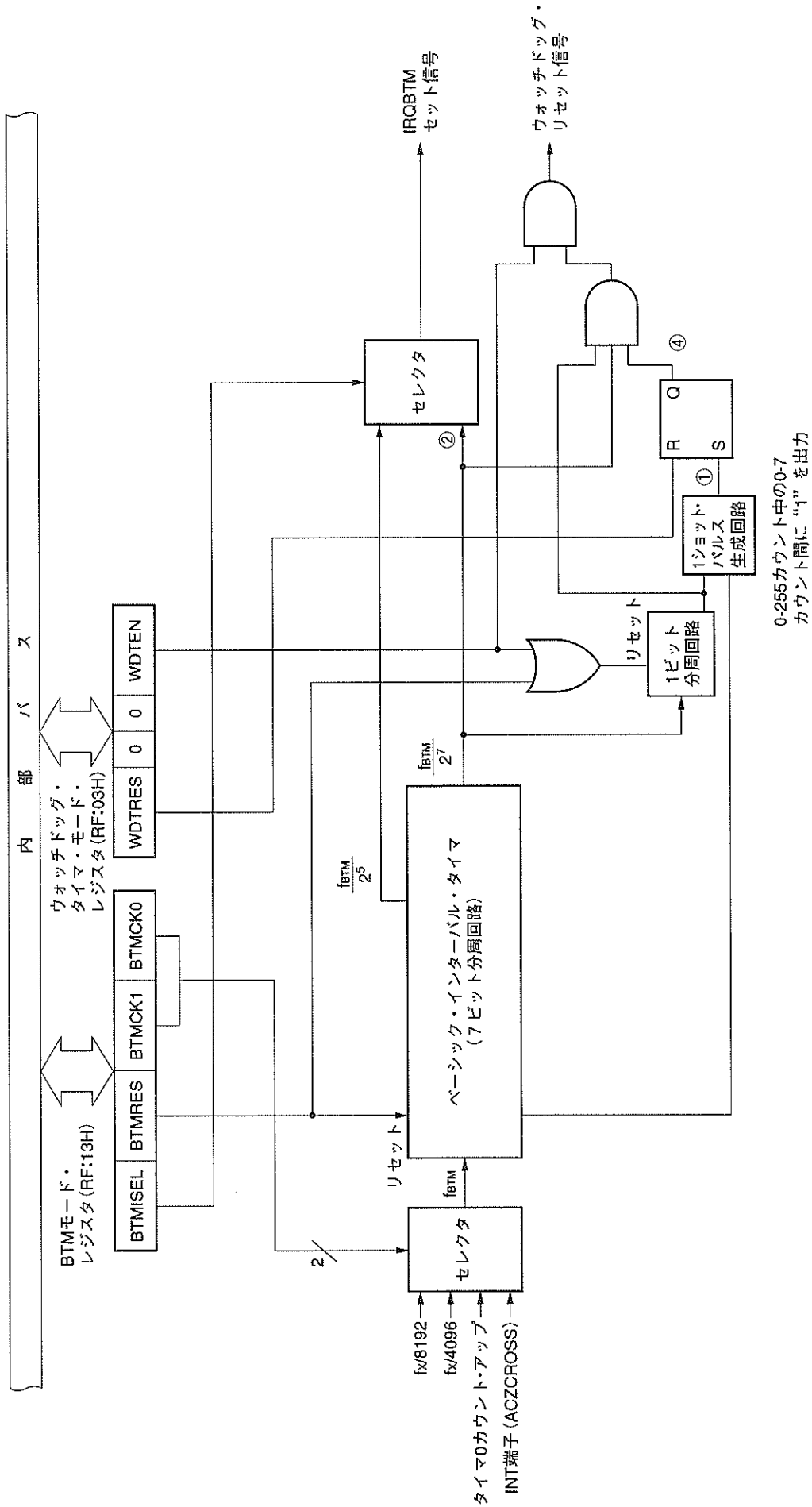
μPD17137A (A1) は、7ビットのベーシック・インターバル・タイマを内蔵しています。
ベーシック・インターバル・タイマには、次に示す機能があります。

- (1) 基準時間発生
- (2) スタンバイ・モード解除時のウエイト時間の選択とカウント
- (3) プログラムの暴走を検出するウォッチドッグ・タイマ機能

13.1 ベーシック・インターバル・タイマの構成

図13-1 にベーシック・インターバル・タイマの構成を示します。

図13-1 ベーシック・インターバル・タイマの構成



備考 図中の①-④は図13-4のタイミング・チャート中の信号を示します。

13.2 ベーシック・インターバル・タイマを制御するレジスタ

ベーシック・インターバル・タイマは、BTMモード・レジスタおよびウォッチドッグ・タイマ・モード・レジスタによって制御します。

図13-2、13-3にそれぞれのレジスタの構成を示します。

図13-2 BTMモード・レジスタ

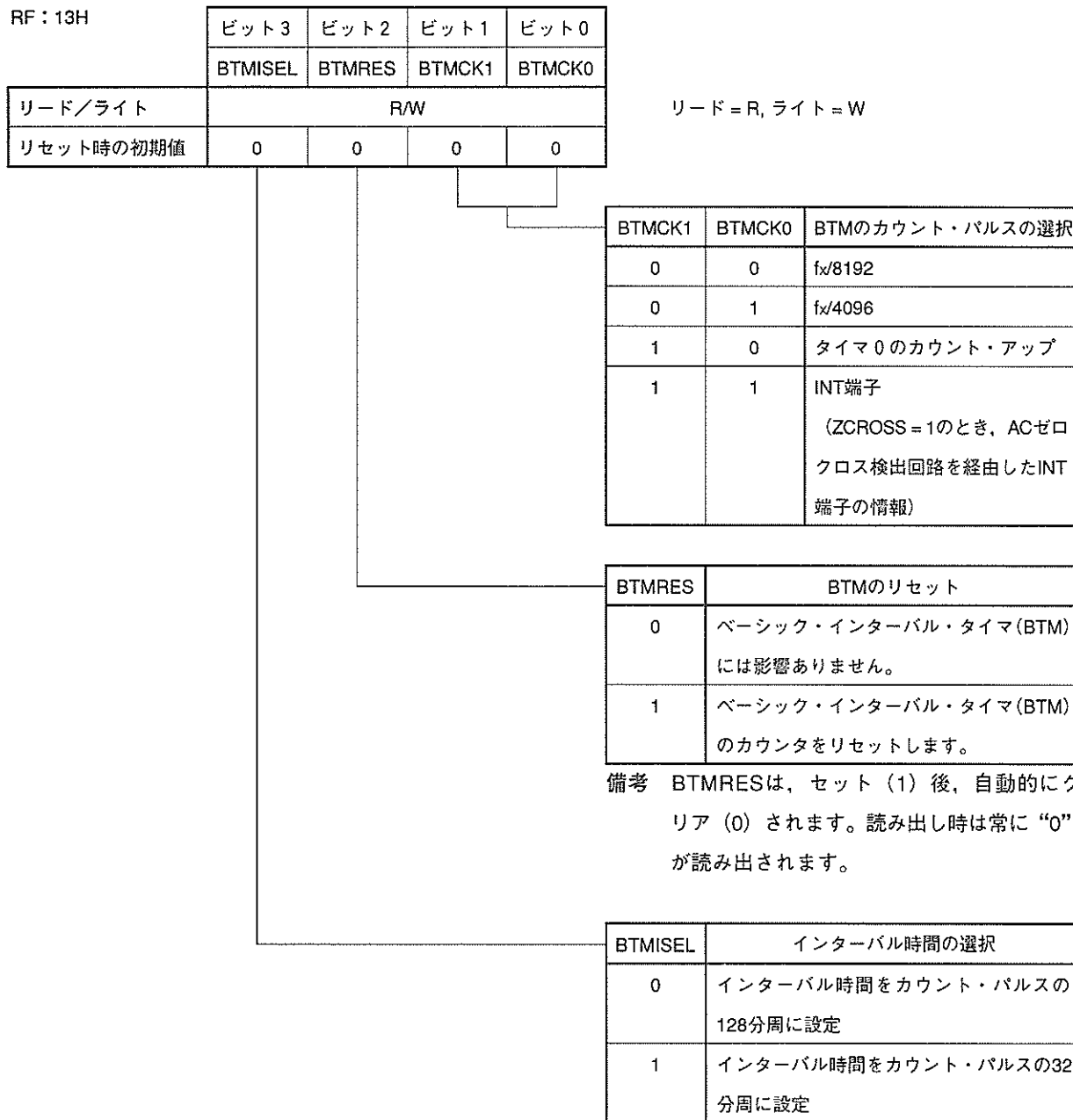


図13-3 ウォッチドッグ・タイマ・モード・レジスタ

RF : 03H

	ビット3	ビット2	ビット1	ビット0
	WDTRES	0	0	WDTEN
リード/ライト	R/W			
リセット時の初期値	0	0	0	0

リード=R, ライト=W

WDTEN	ウォッチドッグ・タイマ機能の許可
0	ウォッチドッグ・タイマが停止の状態です。
1	ウォッチドッグ・タイマの動作を開始します。

- 備考 1. WDTENは、プログラムではクリア (0) できません。
2. WDTENは、セット (1) 後、自動的にクリア (0) されます。読み出し時は常に“0”が読み出されます。

WDTRES	ウォッチドッグ・タイマのリセット
0	ウォッチドッグ・タイマに影響はありません。
1	ウォッチドッグ・タイマに用いるBTMのオーバーフロー・キャリーを保持するフリップ・フロップがリセットされます。

- 備考 WDTRESは、セット (1) 後、自動的にクリア (0) されます。読み出し時は常に“0”が読み出されます。

13.3 ウォッチドッグ・タイマ機能

13.3.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、リセット信号を一定周期で発生するカウンタです。プログラムにより毎回のリセット信号の発生を禁止することにより、外部ノイズなどによりシステムが暴走した（ウォッチドッグ・タイマが所定の時間内にリセットされなかった）場合に、システムに対してリセット（0000H番地スタート）をかけることができます。

この機能によって、プログラムが外部ノイズなどにより意図しないルーチンに跳び、無限ループに陥った場合でも、一定時間内にリセット信号が発生するため暴走状態から脱出できます。

13.3.2 ウォッチドッグ・タイマの動作

WDTENをセット（1）すると、1ビット分周回路が動作可能状態になり、ベーシック・インターバル・タイマは8ビットのウォッチドッグ・タイマとして動作を開始します。

ウォッチドッグ・タイマは、いったん動作させるとデバイスにリセットがかかり、WDTENがクリア（0）されるまで止めることはできません。

ウォッチドッグ・タイマによるリセットを禁止するには、次の2つの方法があります。

- (1) WDTRESをセットすることをプログラム中で繰り返す。
- (2) BTMRESをセットすることをプログラム中で繰り返す。

(1) の場合、図13-4に示すように、ウォッチドッグ・タイマのカウント値が8から191（192になる直前）までの期間にWDTRESをセットする必要があります。したがって、ウォッチドッグ・タイマが184カウントする周期より短いタイミングで少なくとも1回は“SET1 WDTRES”が実行されるようにプログラムします。

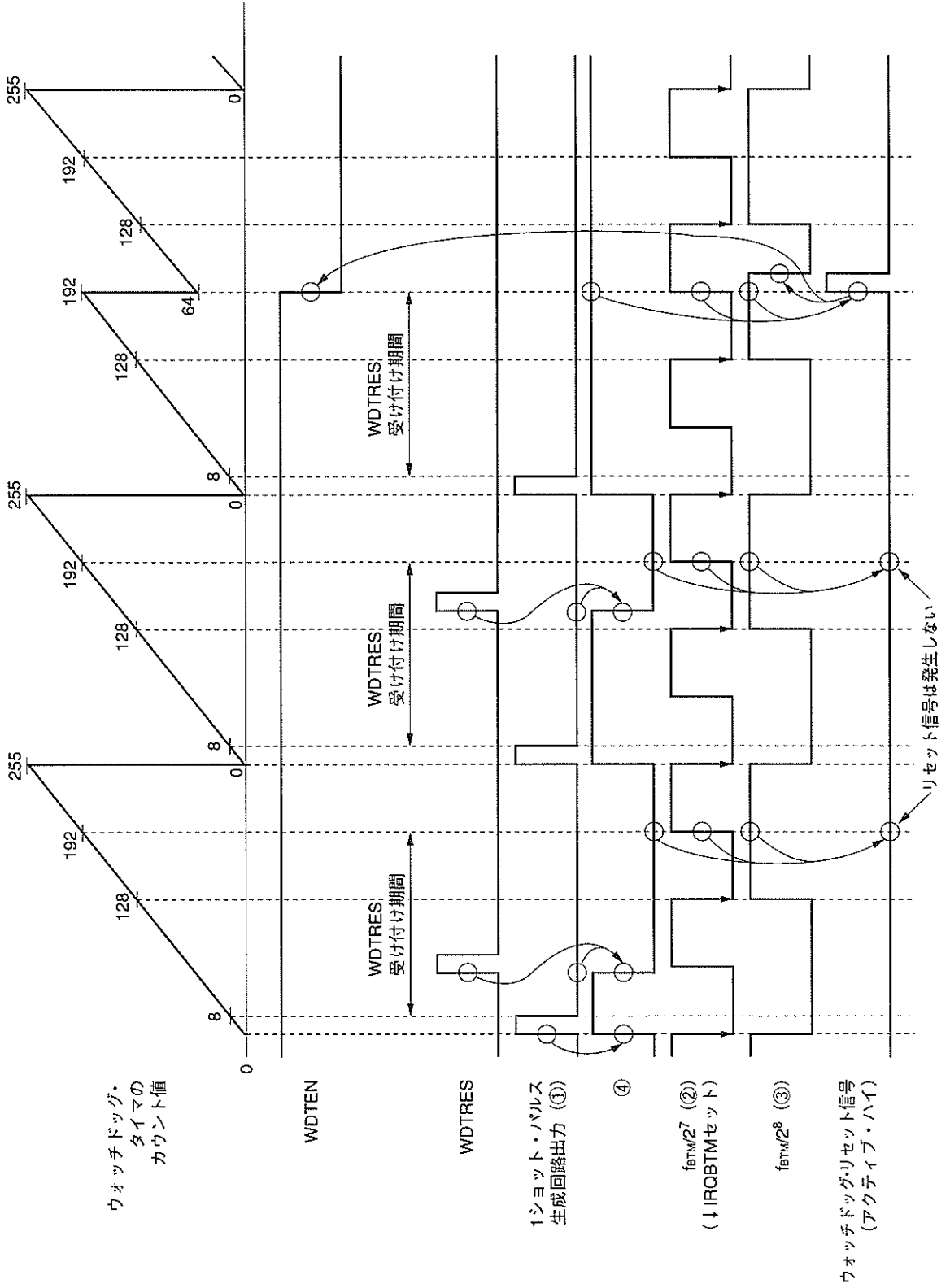
(2) の場合、ベーシック・インターバル・タイマ（BTM）が128カウントするまでの期間にBTMRESをセットする必要があります。したがって、BTMが128カウントする周期より短いタイミングで少なくとも1回は“SET1 BTMRES”が実行されるようにプログラムします。ただし、この方法ではBTMによる割り込み処理はできなくなります。

注意 WDTENをセットしてもBTMはリセットされません。したがって、最初にWDTENをセットする前に、必ずBTMRESをセットして、BTMをリセットするようにしてください。

例

```
      ⋮  
SET1  BTMRES  
SET2  WDTEN, WDTRES  
      ⋮
```

図13-4 ウォッチドッグ・タイマのタイミング・チャート (WDTRESフラグを利用した場合)



14. A/Dコンバータ

μPD17137A (A1) は、4チャンネルのアナログ入力 (P0C0/ADC0-P0C3/ADC3) を持つ8ビット分解能のA/Dコンバータを内蔵しています。

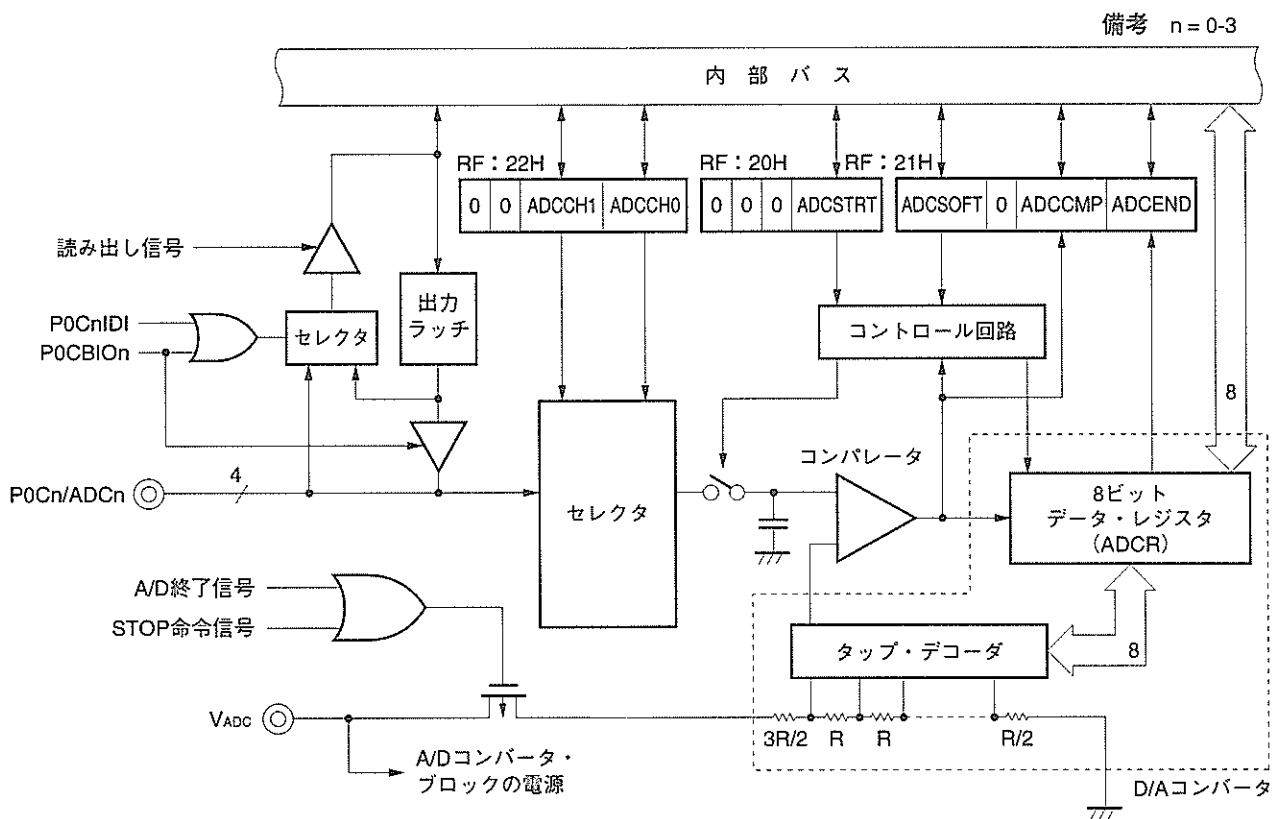
A/Dコンバータは逐次比較法を採用しています。動作モードは、次の2つです。

- ① 8ビットのA/D変換を上位ビットから順に行う連続モード
- ② 8ビット・データ・レジスタで設定した任意の電圧値と大小比較を行う単発モード

14.1 A/Dコンバータの構成

A/Dコンバータは、図14-1に示すように構成されています。

図14-1 A/Dコンバータのブロック図



- 注意1. STOP命令実行時、8ビット・データ・レジスタ (ADCR) は00Hにクリアされます。
- 2. A/D変換中にHALT命令が実行されると、V_{ADC}-GND間に電流が流れたままになりますのでご注意ください。

14.2 A/Dコンバータの機能

(1) ADC₀-ADC₃端子

A/Dコンバータへの4チャンネルのアナログ電圧の入力端子です。A/D変換するアナログ信号を入力します。A/Dコンバータ内部にはサンプル・ホールド回路が内蔵されており、A/D変換中のアナログ入力電圧は内部で保持されています。

(2) V_{ADC}端子

A/Dコンバータの基準電圧およびA/Dコンバータ・ブロックの電源電圧を入力する端子です。

V_{ADC}-GND間にかかる電圧に基づいて、ADC₀-ADC₃に入力される信号をデジタル信号に変換します。なお、μPD17137A(A1)のA/Dコンバータは、消費電流を抑えるため、A/Dコンバータが動作していないときは、自動的にV_{ADC}端子に流れ込む電流を止める機能が内蔵されています。V_{ADC}端子に電流が流れるときは、次の場合です。

① 連続モード (ADCSOFT = 0) のとき

ADCSTRTフラグがセット (1) されてからADCENDフラグがセット (1) されるまでの間

② 単発モード (ADCSOFT = 1) のとき

ADCSTRTフラグがセット (1) または8ビット・データ・レジスタの値が書き込まれてからコンパレータの比較結果がADCCMPフラグに書き込まれるまでの間

注意 A/D変換中にHALT命令が実行されると変換を中断します。このときV_{ADC}端子に電流が流れたまま、HALTモードになりますのでご注意ください。なお、HALTモードが解除されると、A/D変換を再開しますが、このときADCRは不定値となり正しい変換結果は得られません。

備考 A/D変換中にSTOP命令が実行されると変換を中断します。また、A/Dコンバータは初期状態にイニシャライズされ、V_{ADC}端子の電流もカットされます。なお、STOPモードが解除されても、A/Dコンバータは停止したままです。

(3) 8ビット・データ・レジスタ (ADCR)

連続モード時、逐次比較のA/D変換の結果を格納する8ビットのレジスタです。GET命令により読み出します。単発モード時、8ビット・データ・レジスタの内容が内部のD/Aコンバータでアナログ電圧に変換され、コンパレータがADC_n端子から入力されたアナログ信号と大小比較を行うのに使います。PUT命令により値を書き込むことができます。

(4) コンパレータ

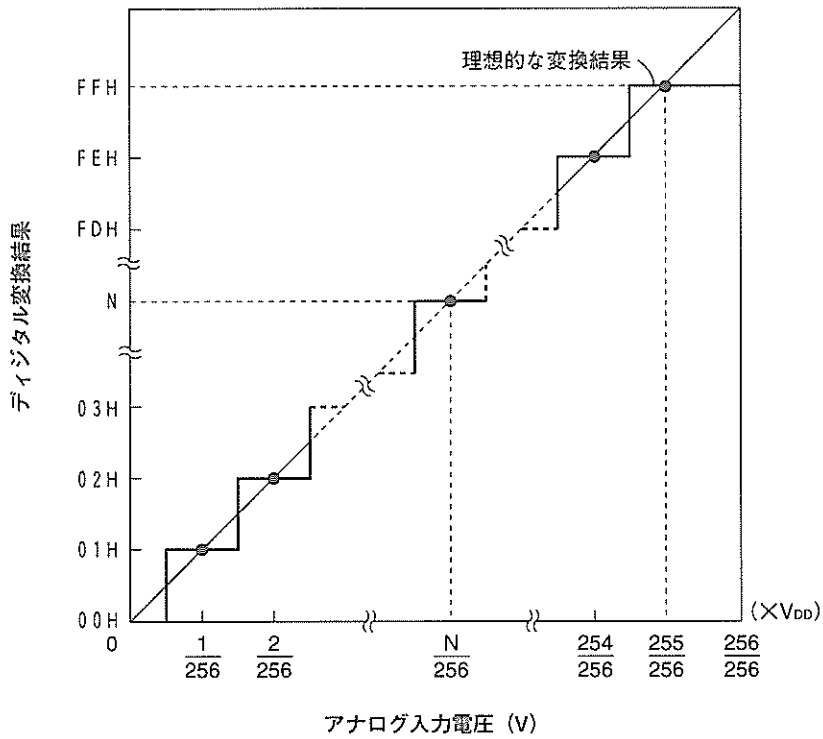
コンパレータは、アナログ入力電圧と、D/Aコンバータから出力された電圧を比較します。アナログ入力電圧が高ければ“1”を、低ければ“0”を出力します。比較結果は、連続モード時は8ビット・データ・レジスタ (ADCR) に、単発モード時はADCCMPフラグに格納されます。

14.3 A/Dコンバータの動作

A/Dコンバータの動作はADCSOFTフラグの設定により、連続モードと単発モードの2種類のモードに切り替えることができます。

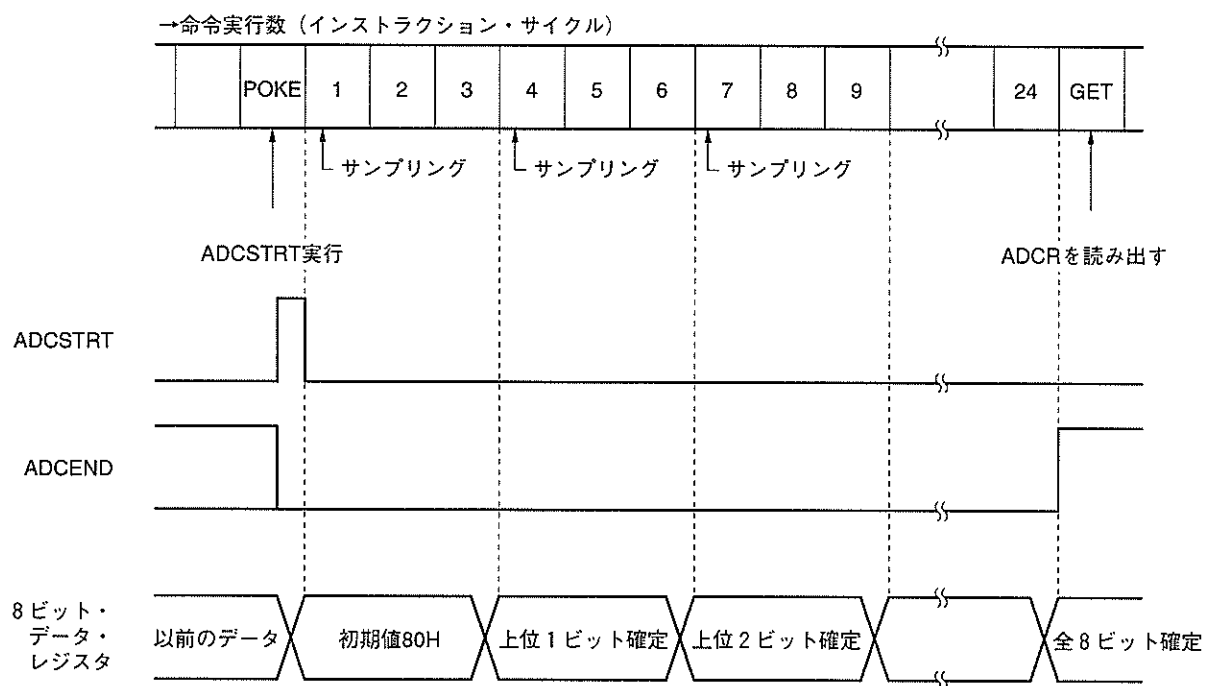
ADCSOFT	A/Dコンバータの動作モード
0	連続モード (A/D変換)
1	単発モード (コンペア動作)

図14-2 アナログ入力電圧とデジタル変換結果との関係



(1) 連続モード (A/D変換) のタイミング

図14-3 連続モード (A/D変換) のタイミング



注意 1回のA/D変換中に8回のサンプリングを行います。

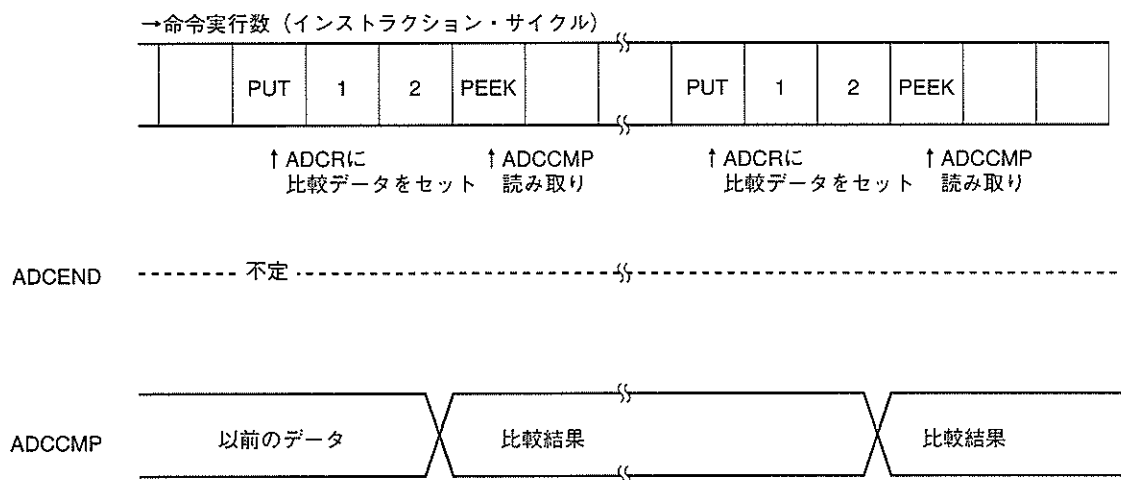
したがって、A/D変換中にアナログ入力電圧が大きく変化すると、正確なA/D変換が行われません。正確な変換結果を得るためには、A/D変換中のアナログ入力電圧の変化ができるだけ小さくなるようにする必要があります。

備考 1回のサンプリング時間 = $14/f_x$ ($1.75 \mu s$, $f_x = 8 \text{ MHz}$ 時)

サンプリングの繰り返し周期 = $48/f_x$ ($6 \mu s$, $f_x = 8 \text{ MHz}$ 時)

(2) 単発モード (コンペア動作) のタイミング

図14-4 単発モード (コンペア動作) のタイミング



ADCRに比較データをセット (PUT命令の実行) 後、3命令目以後に比較結果を読み出すことができます。

注意 ADCRに値を設定する前に、必ずADCSOFT = 1 にしておいてください。

ADCSOFT = 0 の場合には、ADCRに値を設定できません。

PUT ADCR, DBF命令は無効になります。

15. シリアル・インタフェース (SIO)

μPD17137A (A1) のシリアル・インタフェースは、8ビットのシフト・レジスタ (SIOSFR)、シリアル・モード・レジスタ、シリアル・クロック・カウンタで構成され、シリアル・データの入出力に使用します。

SIOENをセット (1) すると、ポート0D (P0D₀/SCK, P0D₁/SO, P0D₂/SI) の各端子は、シリアル・インタフェースの端子として機能します。また、SIOTSをセット (1) することにより、外部クロックまたは内部クロックの立ち下がり同期して動作を開始します。なお、機能および動作の詳細は下記を参照してください。

15.1 シリアル・インタフェースの機能

シリアル・クロック入力端子 (SCK)、シリアル・データ出力端子 (SO)、シリアル・データ入力端子 (SI) の3線式で、クロック同期の8ビット送受信動作が可能なシリアル・インタフェースです。μPD7500シリーズや75Xシリーズで用いられている方式とコンパチブルなモードで各種周辺I/Oデバイスと接続が可能です。

(1) シリアル・クロック

内部クロック3種類、外部クロック1種類の合計4種類選択することができます。シリアル・クロックに内部クロックを選択した場合には、P0D₀/SCK端子にそのクロックを自動的に出力します。

表15-1 シリアル・クロック一覧

SIOCK1	SIOCK0	選択されるシリアル・クロック
0	0	SCK端子からの外部クロック
0	1	fx/16
1	0	fx/128
1	1	fx/1024

(2) 転送動作

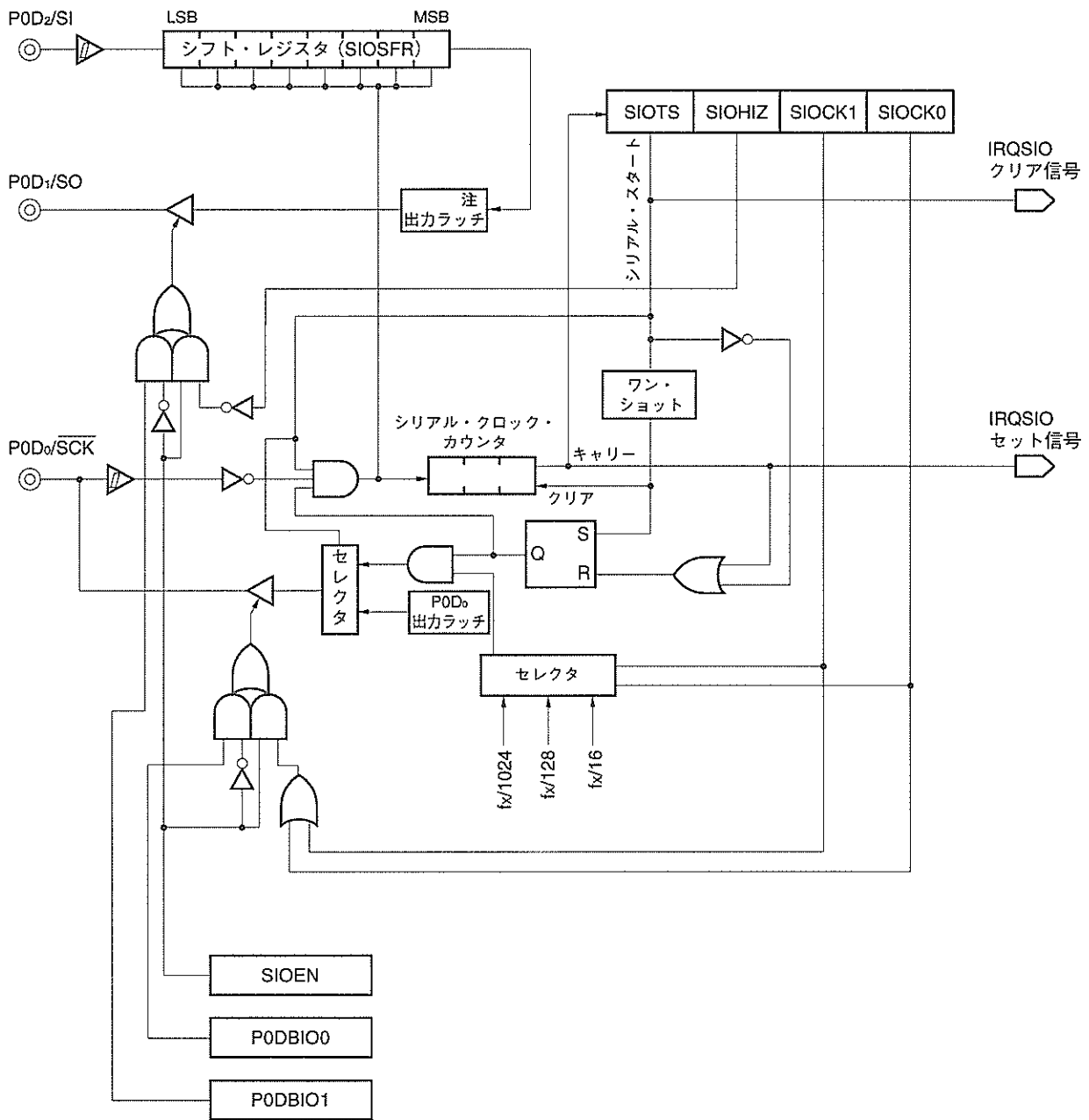
SIOENをセット (1) することにより、ポート0D (P0D₀/SCK, P0D₁/SO, P0D₂/SI) の各端子は、シリアル・インタフェース用の端子として機能します。このとき、SIOTSをセット (1) すれば、外部クロックまたは内部クロックの立ち下がり同期して動作を開始します。なお、SIOTSをセットすると、IRQSIOは自動的にクリアされます。

シリアル・クロックの立ち下がり同期して、シフト・レジスタの最上位ビットから転送を開始し、シリアル・クロックの立ち上がり同期してSI端子の情報を最下位ビットからシフト・レジスタに格納します。

8ビットのデータ転送が終了すれば、自動的にSIOTSはクリアされ、IRQSIOがセットされます。

備考 シリアル転送を行う際、シフト・レジスタの内容の最上位ビットからのみ、転送を開始します。最下位ビットからの転送は行えません。シリアル・クロックの立ち上がり同期して、常にSI端子の状態はシフト・レジスタに取り込まれます。

図15-1 シリアル・インタフェースのブロック図



注 シフト・レジスタの出力ラッチは、P0D₁の出力ラッチと兼用になっています。そのためP0D₁に対して出力命令を実行すると、シフト・レジスタの出力ラッチの状態も変化します。

15.2 3線式シリアル・インタフェースの動作モード

シリアル・インタフェースは、2つのモードを選択することができます。シリアル・インタフェース機能を選択した場合、シリアル・クロックに同期して、P0D₂/SI端子は常にデータを取り込みます。

- ・ 8ビット送受信モード（同時送受信）
- ・ 8ビット受信モード（SO端子：ハイ・インピーダンス状態）

表15-2 シリアル・インタフェースの動作モード

SIOEN	SIOHIZ	P0D ₂ /SI端子	P0D ₁ /SO端子	シリアル・インタフェース動作モード
1	0	SI	SO	8ビット送受信モード
1	1	SI	P0D ₁ （入力）	8ビット受信モード
0	X	P0D ₂ （入出力）	P0D ₁ （入出力）	汎用ポート・モード

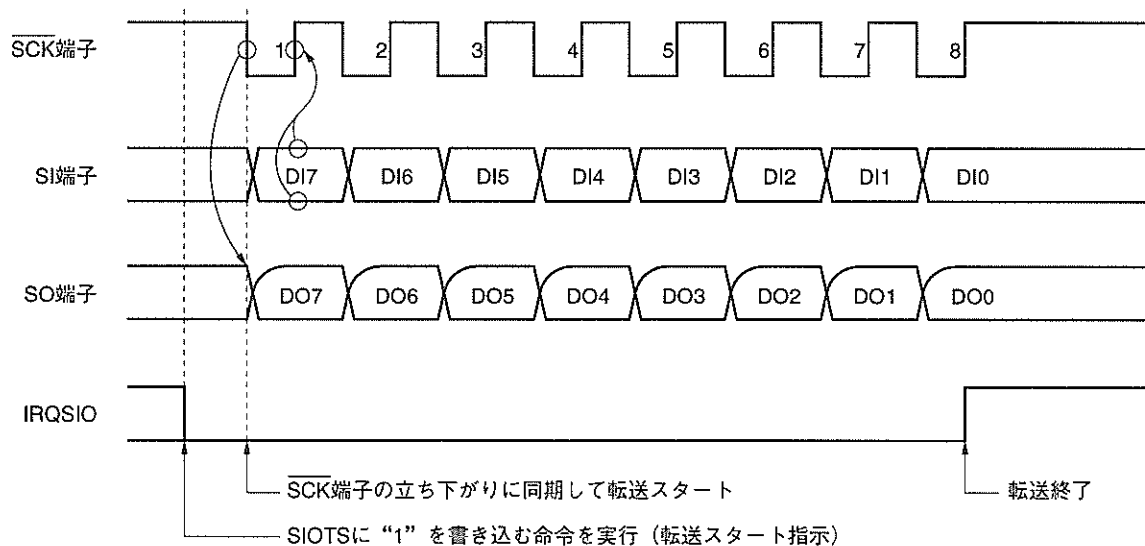
X：Don't care

(1) 8ビット送受信モード（同時送受信）

シリアル・データの入出力はシリアル・クロックによって制御されます。シリアル・クロック ($\overline{\text{SCK}}$) の立ち下がりでシフト・レジスタのMSBがSOラインに出力され、立ち上がりでシフト・レジスタの内容が1ビット・シフトされると同時に、SIライン上のデータがシフト・レジスタのLSBにロードされます。

シリアル・クロック・カウンタは、シリアル・クロックを8カウントするごとに割り込み要求フラグをセットします（IRQSIO+1）。

図15-2 8ビット送受信モード（同時送受信）のタイミング



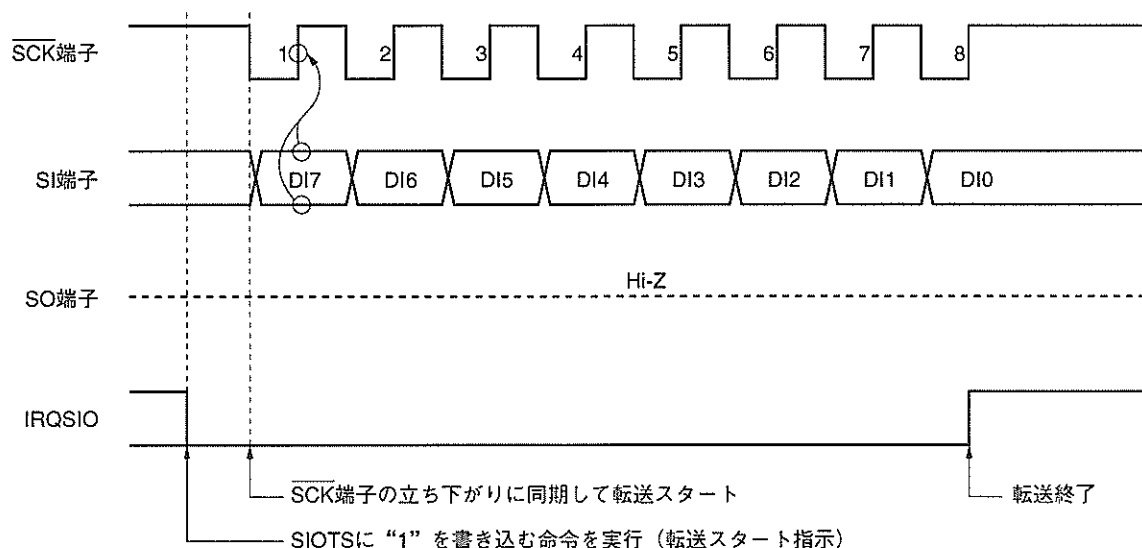
備考 DI : シリアル・データの入力
DO : シリアル・データの出力

(2) 8ビット受信モード (SO端子：ハイ・インピーダンス状態)

SIOHIZ = 1 のとき、P0Di/SO端子はハイ・インピーダンス状態になります。このときSIOTSに“1”を書き込んでシリアル・クロックの供給を開始すると、シリアル・インタフェースは受信機能だけが動作します。

また、P0Di/SO端子はハイ・インピーダンス状態になっていますので、入力ポート (P0Di) として使用することができます。

図15-3 8ビット受信モードのタイミング



備考 DI：シリアル・データの入力

(3) 動作停止モード

SIOTS (RF: 02H番地, ビット3) の値が0のときは、シリアル・インタフェースは動作停止モードに設定されます。このモードではシリアル転送は行われません。

この動作ではシフト・レジスタはシフト動作を行いませんので、通常の8ビット・レジスタとして利用可能です。

16. 割り込み機能

μPD17137A (A1) には、5種類の割り込み要因があります。4つの内部割り込み機能と1つの外部割り込み機能があり、多彩な応用が可能です。

また、この製品の割り込み制御回路には次のような特色があり、非常に高速な割り込み処理が可能となります。

- (a) 割り込みマスタ許可フラグ (INTE) と割り込み許可フラグ (IP×××) により受け付けの可否を制御可能
- (b) 割り込み要求フラグ (IRQ×××) のテスト&クリア可能 (ソフトウェアで割り込み発生の確認可能)
- (c) 3レベルまでの多重割り込みが可能
- (d) 割り込み要求によるスタンバイ・モード (STOP, HALT) の解除可能 (割り込み許可フラグによる解除条件の選択可能)

注意 割り込み処理において、ハードウェアにより自動的にスタックに退避されるのは、BANKレジスタおよびBCD, CMP, CY, Z, IXEの各フラグのみで、最大3レベルまでです。また、割り込み処理の内容において、周辺ハードウェア (タイマ, A/Dコンバータなど) をアクセスする場合には、DBF, WRの内容はハードウェアでは退避されません。したがって、割り込み処理の最初にDBFおよびWRをソフトウェアによりRAM上に退避し、割り込み処理終了直前に退避した内容をもとに戻すことをおすすめします。

16.1 割り込み要因の種類とベクタ・アドレス

この製品の割り込みはすべて、割り込みが受け付けられると、割り込み要因に対応するベクタ・アドレスへ分岐するベクタ割り込み方式となっています。割り込み要因の種類とベクタ・アドレスは、表16-1のようになっています。

なお、複数の割り込み要求が同時に発生した場合や、保留された複数の割り込み要求が一斉に許可された場合は、表16-1の優先順位に従い、処理します。

表16-1 割り込み要因の種類

割り込み要因	優先順位	ベクタ・アドレス	IRQフラグ	IPフラグ	IEGフラグ	内部/外部	備考
INT端子 (RF: 0FH, ビット0)	1	0005H	IRQ RF: 3FH, ビット0	IP RF: 2FH, ビット0	IEGMD0, 1 RF: 1FH	外部	立ち上がり, 立ち下がり, 両エッジ選択可能
タイマ0	2	0004H	IRQTM0 RF: 3EH, ビット0	IPTM0 RF: 2FH, ビット1	—	内部	
タイマ1	3	0003H	IRQTM1 RF: 3DH, ビット0	IPTM1 RF: 2FH, ビット2	—	内部	
ベーシック・ インターバル・タイマ	4	0002H	IRQBTM RF: 3CH, ビット0	IPBTM RF: 2FH, ビット3	—	内部	
シリアル・ インタフェース	5	0001H	IRQSIO RF: 3BH, ビット0	IPSIO RF: 2EH, ビット0	—	内部	

16.2 割り込み制御回路の各種ハードウェア

次に、割り込み制御回路の各フラグについて説明します。

(1) 割り込み要求フラグ、割り込み許可フラグ

割り込み要求フラグ (IRQ×××) は、割り込み要求発生でセット (1) され、割り込み処理が実行されると自動的にクリア (0) されます。

割り込み許可フラグ (IP×××) は、各割り込み要求フラグに対応して個別に備わっており、内容が“1”のとき割り込みを許可し、“0”のとき禁止します。

(2) EI/DI命令

受け付けた割り込みを実行するかどうかは、EI/DI命令によって指定します。

EI命令を実行すると、割り込みを受け付け可能とするINTE (インタラプト・イネーブル・フラグ) をセット (1) します。INTEフラグは、レジスタ・ファイル上には登録されていません。このため、命令等により、フラグの状態を確認することはできません。

DI命令はINTEフラグを“0”にクリアして、すべての割り込みを禁止します。

また、リセット時にもINTEフラグはクリア (0) され、すべての割り込みは禁止状態になります。

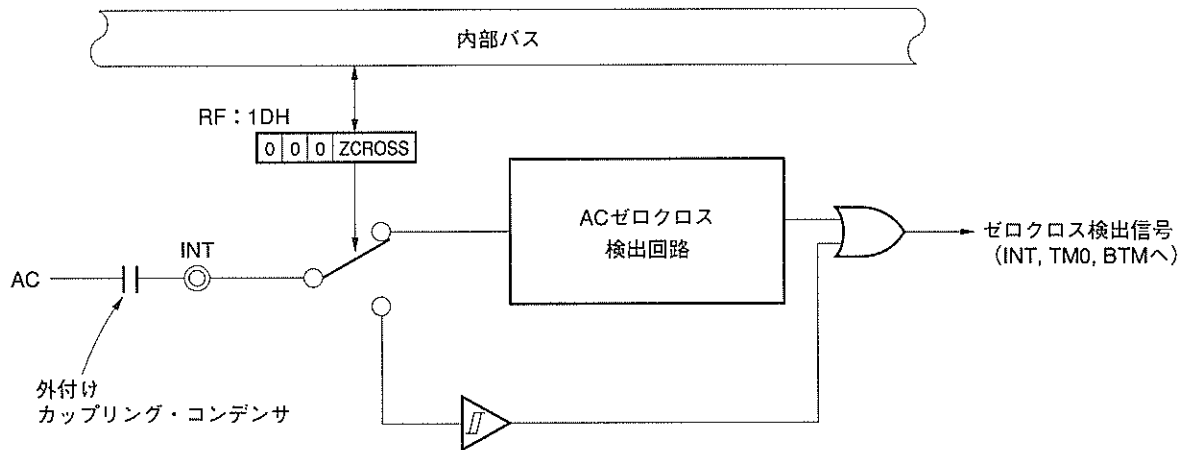
表16-2 割り込み要求フラグと割り込み許可フラグ

割り込み要求フラグ	割り込み要求フラグのセット信号	割り込み許可フラグ
IRQ	INT端子入力信号のエッジ検出によりセット。検出エッジはIEGMD0, IEGMD1フラグにより選択。	IP
IRQTM0	タイマ0からの一致信号でセット。	IPTM0
IRQTM1	タイマ1からの一致信号でセット。	IPTM1
IRQBTM	ベーシック・インターバル・タイマからのオーバーフロー (基準時間間隔信号) でセット。	IPBTM
IRQSIO	シリアル・インタフェースのシリアル・データ転送動作終了信号によりセット。	IPSIO

17. ACゼロクロス検出回路

INT端子は、割り込み信号の入力およびタイマのカウント・クロックの入力端子であるとともに、ACゼロクロス検出回路の入力端子にもなっており、ZCROSS (RF: 1DHのビット0) に“1”を書くことにより、選択することができます。

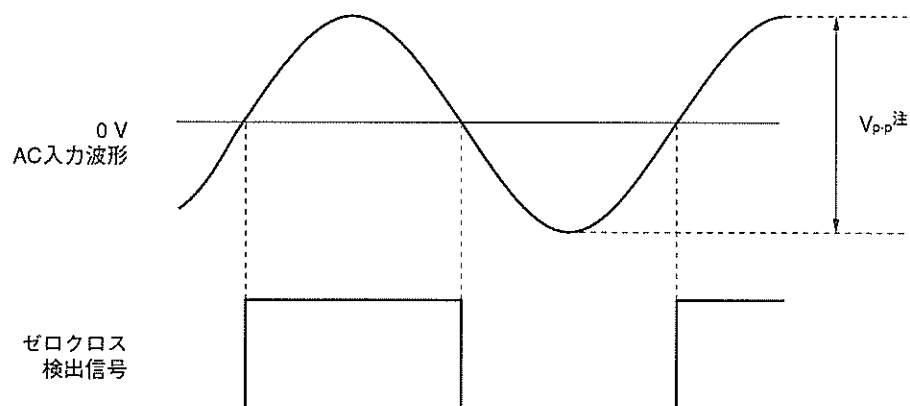
図17-1 ACゼロクロス検出回路のブロック図



注意 ACゼロクロス検出回路を使用するとスタンバイ・モード時も含めて、消費電流が若干 (15 μA TYP.) 増加します。消費電流を抑えるためには、ZCROSS←0としたうえで、INT端子の入力電圧を、ハイ・レベルまたはロウ・レベルに固定します。

ゼロクロス検出回路は、セルフ・バイアス方式の高利得アンプによって構成されており、その入力をスイッチング・ポイントにバイアスし、INT端子入力のわずかな変位にตอบสนองして、デジタル変位を起こします。ゼロクロス検出回路は、外付けのカップリング・コンデンサを通して入力されるAC信号の負から正、正から負への変化をとらえ、それぞれの変位点で0→1、1→0へ変化します。

図17-2 ゼロクロス検出信号



注 INT端子をACゼロクロス検出回路の入力として使用する場合の入力電圧範囲は、1.0 V_{P-P}～3.0 V_{P-P}です。
また、ACゼロクロス検出回路にはノイズを除去する機能がないため、信号を入力するときには、あらかじめノイズを除去した信号を入力してください。

ゼロクロス検出回路で生成されたパルスは、ゼロクロス検出回路を介さない場合と同様に、タイマ0のカウント・パルス、ベーシック・インターバル・タイマのカウント・パルスに使用できるとともに、割り込み制御回路にも送られており、INT端子の割り込みが許可状態であれば、割り込み許可をスタートさせます。なお、割り込みを受け付けるタイミングは、IEGMD0 (RF: 1FHのビット0) およびIEGMD1 (RF: 1FHのビット1) を設定することにより、信号の立ち上がりエッジ、立ち下がりエッジ、または立ち上がり立ち下がりの両エッジのいずれかを選択することができます。

18. スタンバイ機能

18.1 スタンバイ機能の概要

μPD17137A (A1) は、スタンバイ機能を利用することにより、消費電流を低減できます。スタンバイ・モードには用途に応じて、STOPモードとHALTモードが用意されています。

STOPモードは、システム・クロックを停止させてしまうモードです。このモードではCPUの消費電流は、ほとんどリーク電流だけとなります。したがって、CPUを動作させず、データ・メモリの内容保持を行う場合に有効です。

HALTモードはシステム・クロックの発振は継続しますが、CPUに対してクロックの供給が停止されるため、CPUの動作が停止するモードです。このモードは、STOPモードに比べて消費電流は低減できませんが、システム・クロックが発振しているため、HALT解除後にすぐ動作を開始させることができます。また、STOPモード、HALTモードどちらの場合でも、スタンバイ・モードに設定される直前のデータ・メモリ、レジスタ、出力ポートの出力ラッチなどの状態が保持されます (STOP 0000Bを除く)。したがって、スタンバイ・モードにする前にシステム全体の消費電流を抑えるように、ポートの状態を設定してください。

表18-1 スタンバイ・モード中の状態

		STOPモード	HALTモード
設定命令		STOP命令	HALT命令
クロック発振回路		発振停止	発振継続
動作状態	CPU	・動作停止	
	RAM	・直前の状態を維持	
	ポート	・直前の状態を維持 ^注	
	TM0	・カウント・パルスにINT入力を選択した場合のみ動作可能 ・システム・クロックを選択した場合は停止 (カウント値は保持)	・動作可能
	TM1	・動作停止 (カウント値は“0”にリセット) (カウント・アップも禁止状態)	・動作可能
	BTM	・動作停止 (カウント値は保持)	・動作可能
	SIO	・シリアル・クロックに外部クロックを選択した場合のみ動作可能 ^注	・動作可能
	A/D	・動作停止 ^注 (ADCR ← 00H)	・動作可能
INT	・動作可能	・動作可能	

注 STOP 0000Bを実行した場合には命令実行時点で、兼用端子機能で使用している場合も含めて、端子の状態は入力ポート・モードになります。

注意1. STOP命令、HALT命令の直前には、必ずNOP命令を置いてください。

2. 割り込み要求フラグと割り込み許可フラグの両方がセットされており、その割り込みがスタンバイ・モードの解除条件に指定されている場合は、STOP、HALT命令を実行してもスタンバイ・モードには入りません。

18.2 HALTモード

18.2.1 HALTモードの設定

HALT命令を実行することにより、HALTモードに入ります。

HALT命令のオペランドb₃b₂b₁b₀は、HALTモードの解除条件です。

表18-2 HALTモードの解除条件

書式：HALT b₃b₂b₁b₀B

ビット	HALTモードの解除条件 ^{注1}
b ₃	1 のときIRQ×××による解除を許可する。 ^{注2, 4}
b ₂	“0 固定”
b ₁	1 のときIRQTM1による強制解除を許可する。 ^{注3, 4}
b ₀	“0 を固定”

注1. HALT 0000Bのときは、リセット(RESET入力, パワーオン/パワーダウン・リセット)だけが有効です。

- 2. IP×××=1 である必要があります。
- 3. IPTM1の状態によらず、HALTモードが解除されます。
- 4. IRQ×××=1 の状態で、HALT命令が実行されても、HALT命令は無視(NOP命令扱い)され、HALTモードには入りません。

18.2.2 HALTモード解除後のスタート番地

解除条件、割り込み許可条件によって変わります。

表18-3 HALTモード解除後のスタート番地

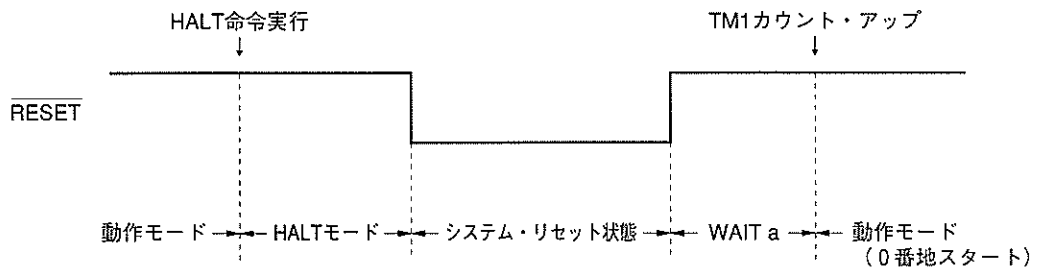
解除条件	解除後のスタート番地
リセット ^{注1}	0 番地
IRQ××× ^{注2}	DIの場合、HALT命令の次の番地
	EIの場合、割り込みベクタ (複数のIRQ×××がセットされている場合には、優先順位の高い割り込みベクタ)

注1. リセットは、RESET入力、パワーオン/パワーダウン・リセットが有効です。

- 2. IRQTM1による強制解除の場合を除き、IP×××=1 である必要があります。

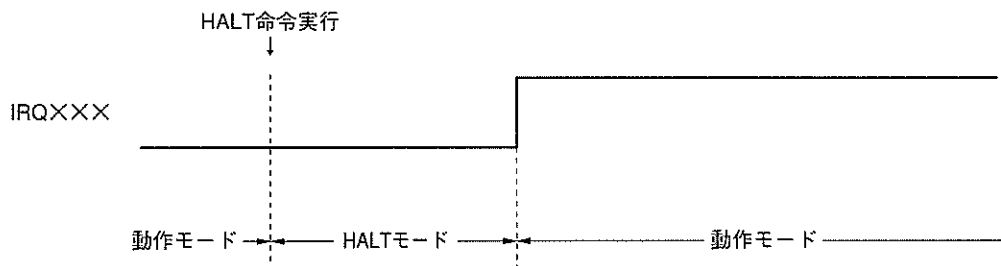
図18-1 HALTモードの解除

(a) RESET入力によるHALT解除

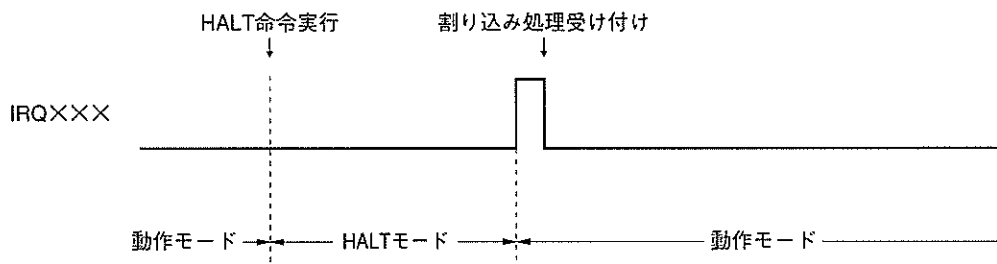


WAIT a : TM1が512分周のクロックを256カウントするまでの待ち時間です。
 $256 \times 512 / f_x$ (約16 ms, $f_x = 8$ MHz時)

(b) IRQ×××によるHALT解除 (DIの場合)



(c) IRQ×××によるHALT解除 (EIの場合)



18.3 STOPモード

18.3.1 STOPモードの設定

STOP命令を実行することにより、STOPモードに入ります。
 STOP命令のオペランドb3b2b1b0は、STOPモードの解除条件です。

表18-4 STOPモードの解除条件

書式：STOP b3b2b1b0B

ビット	STOPモードの解除条件 ^{注1}
b3	1のときIRQXXXによる解除を許可する。 ^{注2}
b2	“0固定”
b1	“0固定”
b0	“0固定”

注1. STOP 0000Bのときは、リセット ($\overline{\text{RESET}}$ 入力、パワーオン/パワーダウン・リセット) だけが有効です。また、STOP 0000Bを実行した時点でマイコン内部はリセット直後の状態に初期化されます。

- IPXXX=1である必要があります。また、IRQTM1による解除はできません。IRQXXX=1の状態でも、STOP命令が実行されても、STOP命令は無視 (NOP命令扱い) され、STOPモードには入りません。

18.3.2 STOPモード解除後のスタート番地

解除条件、割り込み許可条件によって変わります。

表18-5 STOPモード解除後のスタート番地

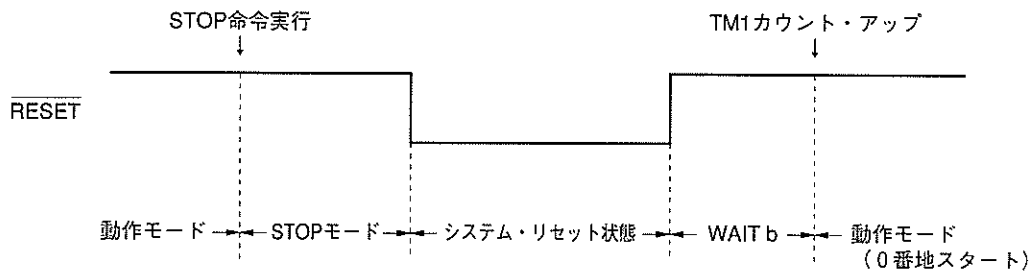
解除条件	解除後のスタート番地
リセット ^{注1}	0番地
IRQXXX ^{注2}	DIの場合、STOP命令の次の番地
	EIの場合、割り込みベクタ (複数のIRQXXXがセットされている場合には、優先順位の高い割り込みベクタ)

注1. リセットは、 $\overline{\text{RESET}}$ 入力、パワーオン/パワーダウン・リセットが有効です。

- IPXXX=1である必要があります。また、IRQTM1による解除はできません。

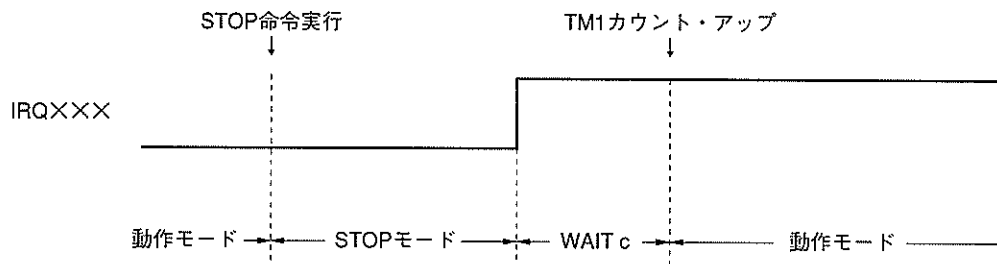
図18-2 STOPモードの解除

(a) RESET入力によるSTOP解除



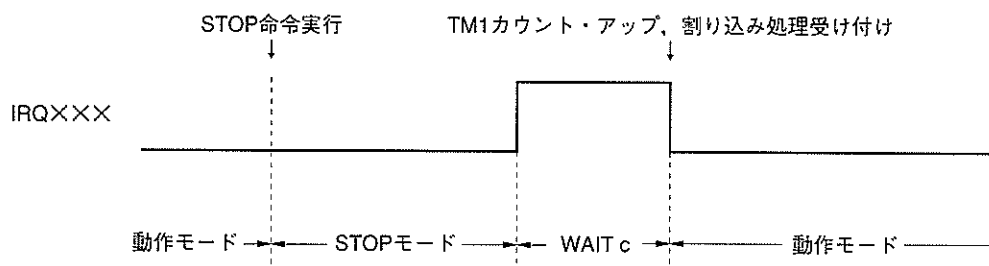
WAIT b: TM1が512分周のクロックを256カウントするまでの待ち時間です。
 $256 \times 512 / f_x + \alpha$ (約16 ms + α , $f_x = 8$ MHz時)
 α : 発振成長時間 (発振子により異なります。)

(b) IRQ×××によるSTOP解除 (DIの場合)



WAIT c: TM1がm分周のクロックを(n+1)カウントするまでの待ち時間
 $(n+1) \times m / f_x + \alpha$ (n, mは, STOPモードに入る直前の値)
 α : 発振成長時間 (発振子により異なります。)

(c) IRQ×××によるSTOP解除 (EIの場合)



WAIT c: TM1がm分周のクロックを(n+1)カウントするまでの待ち時間
 $(n+1) \times m / f_x + \alpha$ (n, mは, STOPモードに入る直前の値)
 α : 発振成長時間 (発振子により異なります。)

19. リセット

μPD17137A (A1) のリセットには、次の4種類があります。

- ① $\overline{\text{RESET}}$ 入力によるリセット
- ② 電源投入時および電源電圧降下時にリセットをかけるパワーオン／パワーダウン・リセット機能
- ③ プログラムの暴走時にリセットするためのウォッチドッグ・タイマ機能
- ④ アドレス・スタックのオーバフロー／アンダフローによるリセット機能

なお、パワーオン／パワーダウン・リセット機能は電源電圧を4.5～5.5Vでご使用になる場合のみ有効な機能です。

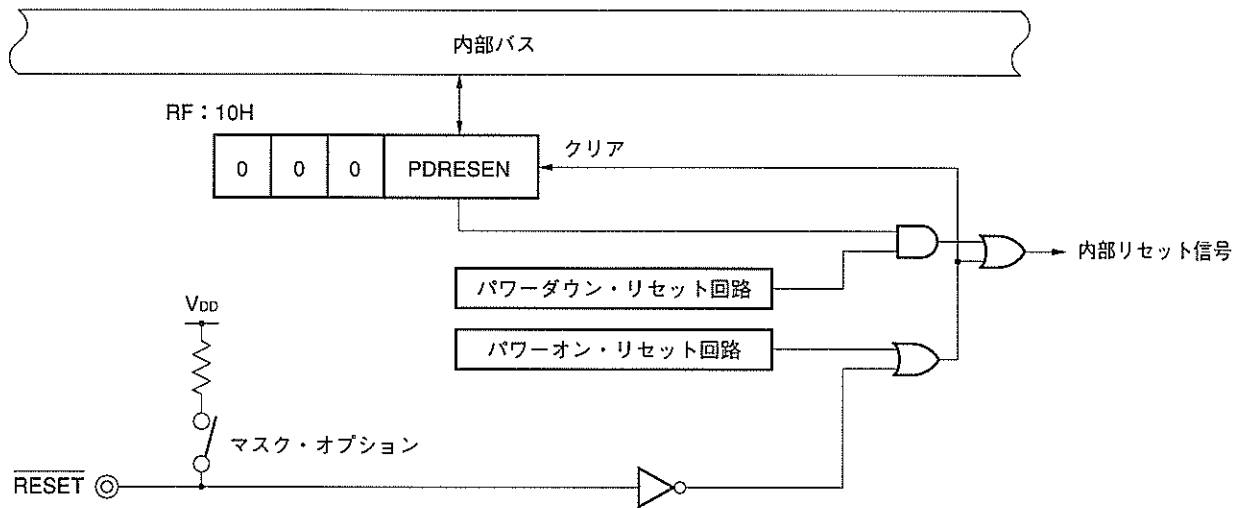
19.1 リセット機能

リセット機能は、デバイス動作の初期化を行うために使用します。なお、リセットの種類により、初期化される内容が異なります。

表19-1 リセット時の各ハードウェアの状態

ハードウェア		リセットの種類	・動作中の $\overline{\text{RESET}}$ 入力 ・動作中の内蔵パワーオン／パワーダウン・リセット	・スタンバイ・モード中の $\overline{\text{RESET}}$ 入力 ・スタンバイ・モード中の内蔵パワーオン／パワーダウン・リセット	・ウォッチドッグ・タイマのオーバフロー ・スタックのオーバフローおよびアンダフロー
		ハードウェア			
プログラム・カウンタ			0000H	0000H	0000H
ポート	入出力モード		入力	入力	入力
	出力ラッチ		0	0	不定
汎用データ・メモリ	DBF以外		不定	リセット直前の状態を保持	不定
	DBF		不定	不定	不定
システム・レジスタ	WR以外		0	0	0
	WR		不定	リセット直前の状態を保持	不定
コントロール・レジスタ			SP = 5H, IRQTM1 = 1, TM1EN = 1, IRQBTM = 0, INTはそのときのINT端子の状態、それ以外はすべて0。 8. レジスタ・ファイル (RF) 参照。		SP = 5H, INTはそのときのINT端子の状態、それ以外はすべてリセット直前の状態を保持。
タイマ0, および タイマ1	カウント・レジスタ		00H	00H	タイマ0:00H, タイマ1:不定
	モジュロ・レジスタ		FFH	FFH	FFH
ベーシック・インターバル・タイマの カウンタ			不定	不定	不定 (ただし、ウォッチドッグ・ タイマのオーバフロー の場合は40H)
シリアル・インタフェースのシフト・ レジスタ (SIOSFR)			不定	リセット直前の状態を保持	不定
A/Dコンバータのデータ・レジスタ (ADCR)			00H	00H	00H

図19-1 リセット・ブロックの構成



19.2 リセット動作

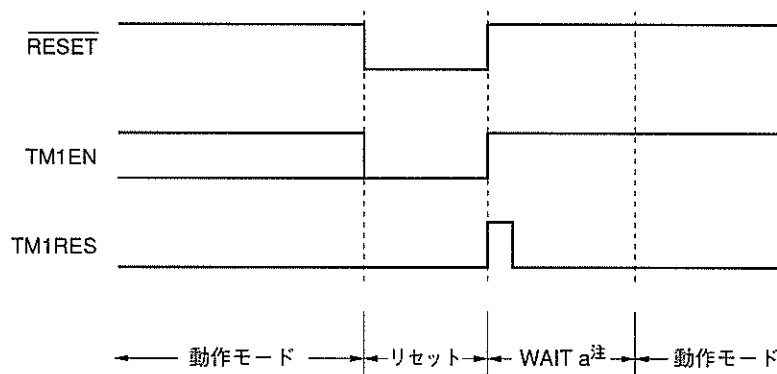
RESET入力によりリセットをかけたときの動作を図19-2に示します。

RESET端子をロウ・レベルからハイ・レベルに立ち上げると、システム・クロックの発振を開始し、タイマ1を用いた発振安定待ちをしたのち、0000H番地よりプログラムの実行を開始します。

パワーオン・リセット機能によるリセットの場合も、図19-2のようなリセット信号を内部で生成し、RESET入力により外部からリセットをかけたときと同様の動作をします。

なお、ウォッチドッグ・タイマのオーバーフローおよびスタックのオーバーフローとアンダフローによるリセットでは発振安定待ち時間 (WAIT a) は発生せず、内部を初期状態にしたのち、0000H番地スタートとなります。

図19-2 リセット動作



注 発振安定待ち時間です。タイマ1によりシステム・クロック (fx) を512×256カウント (約16 ms, fx = 8 MHz 時) すると動作モードになります。

19.3 パワーオン/パワーダウン・リセット機能

μPD17137A (A1) には、電源の立ち上がりおよび電源電圧の低下を監視し、マイコン内部にリセットをかけるパワーオン/パワーダウン・リセット機能があり、マイコンの誤動作防止に威力を発揮します。

この機能は、通常のマイコン・ロジック部とは動作電源電圧範囲が異なる電源監視回路と、リセットがかかると発振を停止し、マイコンを一時動作停止状態にする発振回路部により構成されています。次にパワーオン/パワーダウン・リセット機能が有効に働く条件と機能について説明します。

注意 高い信頼性が要求される応用回路を設計する際には、リセットが内部のパワーオン/パワーダウン・リセット機能だけに依存した設計をしないでください。必ず外部からのRESET信号を入力するように設計してください。

19.3.1 パワーオン・リセット機能が有効に働く条件

パワーオン・リセット機能は、実際に使用する環境においてはパワーダウン・リセット機能とともに使用したときに初めて有効になる機能です。

パワーオン・リセット機能は、次の条件において有効です。

- ① 通常動作時（スタンバイ時も含む）において、電源電圧範囲が4.5～5.5Vであること。
- ② システム・クロック発振周波数（fx）が400 kHz～4 MHzであること。
- ③ 通常動作時（スタンバイ時も含む）において、パワーダウン・リセット機能を使用すること。
- ④ 電源が0Vから立ち上がること。
- ⑤ 0～2.7Vまでの電源の立ち上がり時間が、μPD17137A (A1) のタイマ1で生成される発振安定待ち時間（システム・クロック（fx）512×256カウント、約32 ms、fx = 4 MHz時）以内であること。

注意1. 上記条件が満たされない場合は、内蔵されたパワーオン・リセット回路が有効に動作しません。このため、外付けにリセット回路が必要となります。

2. スタンバイ時、パワーダウン・リセット機能が働いた場合でもV_{DD} = 2.7Vまでは汎用データ・メモリ（DBFは除く）はデータを保持しています。なお外乱などにより、データが変化した場合のデータ保持については保証されていません。

19.3.2 パワーオン・リセット機能と動作

パワーオン・リセット機能は、内蔵されているハードウェアにより、ソフトウェアに関係なく電源を監視し、電源立ち上がり時に内部システムにリセットをかける機能です。

このパワーオン・リセット回路は、μPD17137A (A1) のほかの内部回路より低電圧で動作し、発振の有無に関係なくマイコン内部を初期化します。そして、リセットが解除されると、発振子からの発振パルスをタイマ1によりカウントし、発振安定待ちを行います。この発振安定待ちは、発振子の発振安定待ちはもとより、マイコンに印加される電源電圧が、マイコンの動作保証電圧範囲内 ($V_{DD}=2.7 \sim 5.5 \text{ V}$, $f_x=400 \text{ kHz} \sim 4 \text{ MHz}$) になるのを待つことにも使用されています。

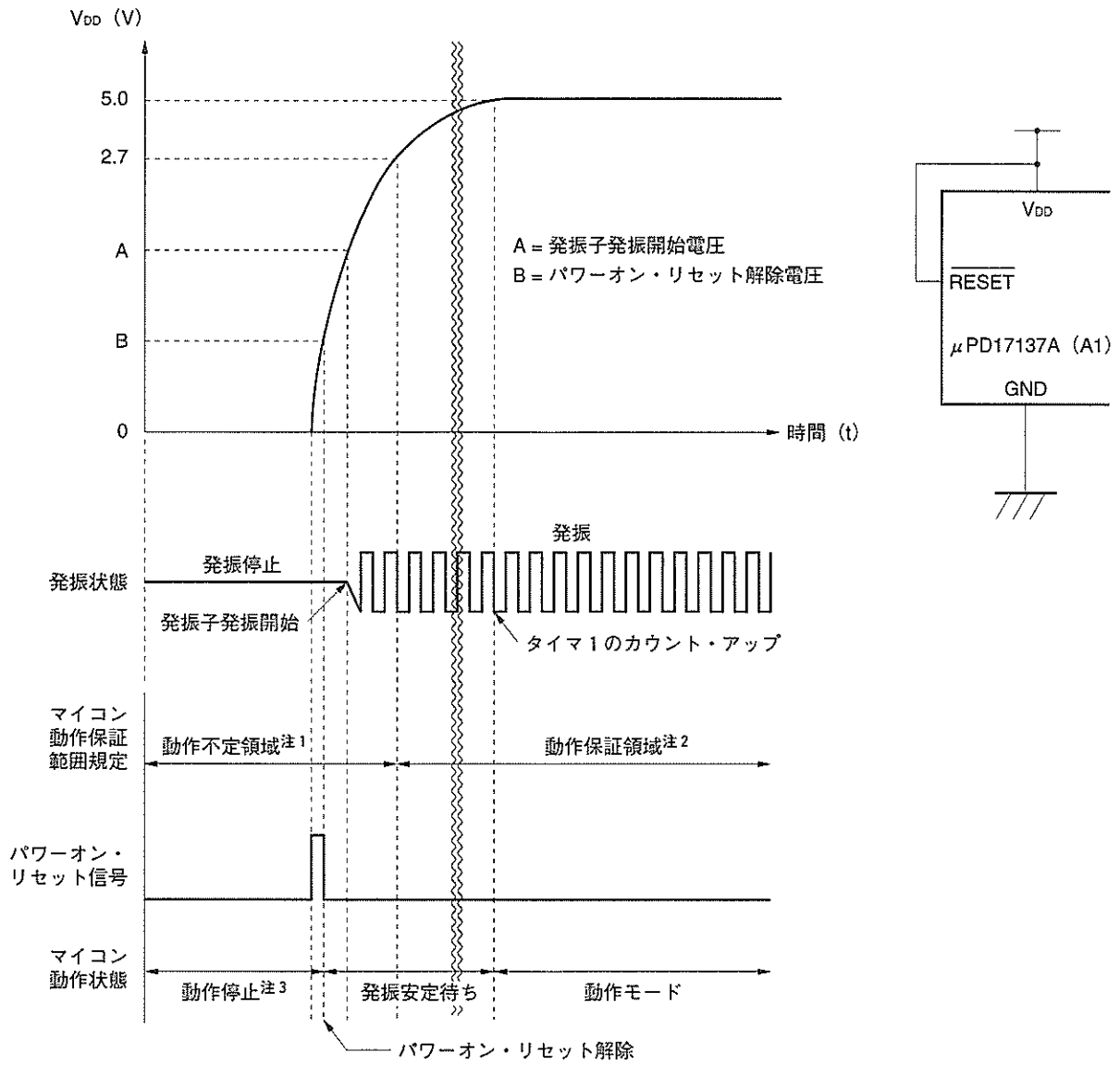
この発振安定待ちから解除されると、マイコンは動作状態となります。その動作例について図19-3に示します。

パワーオン・リセットの機能

- ① V_{DD} 端子に印加されている電圧レベルを常に監視。
- ② 電源の立ち上がりにおいて、パワーオン・リセット解除電圧 ($V_{DD}=1.5 \text{ V TYP.}$) までは、発振の有無に関係なくマイコン内部にリセットをかける。^注
- ③ リセットがかかっている間は発振を停止。
- ④ リセットが解除されると、タイマ1により発振安定待ちおよび電源電圧が $V_{DD}=2.7 \text{ V}$ 以上になるのを待つ。

注 マイコン内部にリセットがかかるのは、内部回路が動作できる（内部リセット信号を受け付けられる）電圧に電源電圧が達した時点からです。

図19-3 内蔵パワーオン・リセット動作例



- 注1. 動作不定領域とは、μPD17137A (A1) に規定されている動作が保証されていない領域のことです。ただし、この領域においてもパワーオン・リセット機能は動作します。
- 注2. 動作保証領域とは、μPD17137A (A1) に規定されている動作のすべてが保証される領域のことです。
- 注3. マイコンの動作状態において動作停止とは、マイコンのすべての機能が止まっている状態のことです。

19.3.3 パワーダウン・リセット機能が使用できる条件

パワーダウン・リセット機能は、ソフトウェアによりその使用の有無を選択することができます。使用できる条件は以下のとおりです。

- 通常動作時（スタンバイ時も含む）の電源電圧範囲が4.5～5.5 Vであること。
- システム・クロック発振周波数（fx）が400 kHz～4 MHzであること。

注意 2.7～4.5 Vの範囲で通常動作を行う場合には、内蔵されたパワーダウン・リセット機能を使用せず、リセット回路を外付けしてください。2.7～4.5 Vの動作電圧範囲においてパワーダウン・リセット機能を使用すると、リセットが解除されなくなる可能性があります。

19.3.4 パワーダウン・リセット機能と動作

パワーダウン・リセット機能は、ソフトウェアによりパワーダウン・リセット・イネーブル・フラグ（PDRESEN）をセットすると機能します。

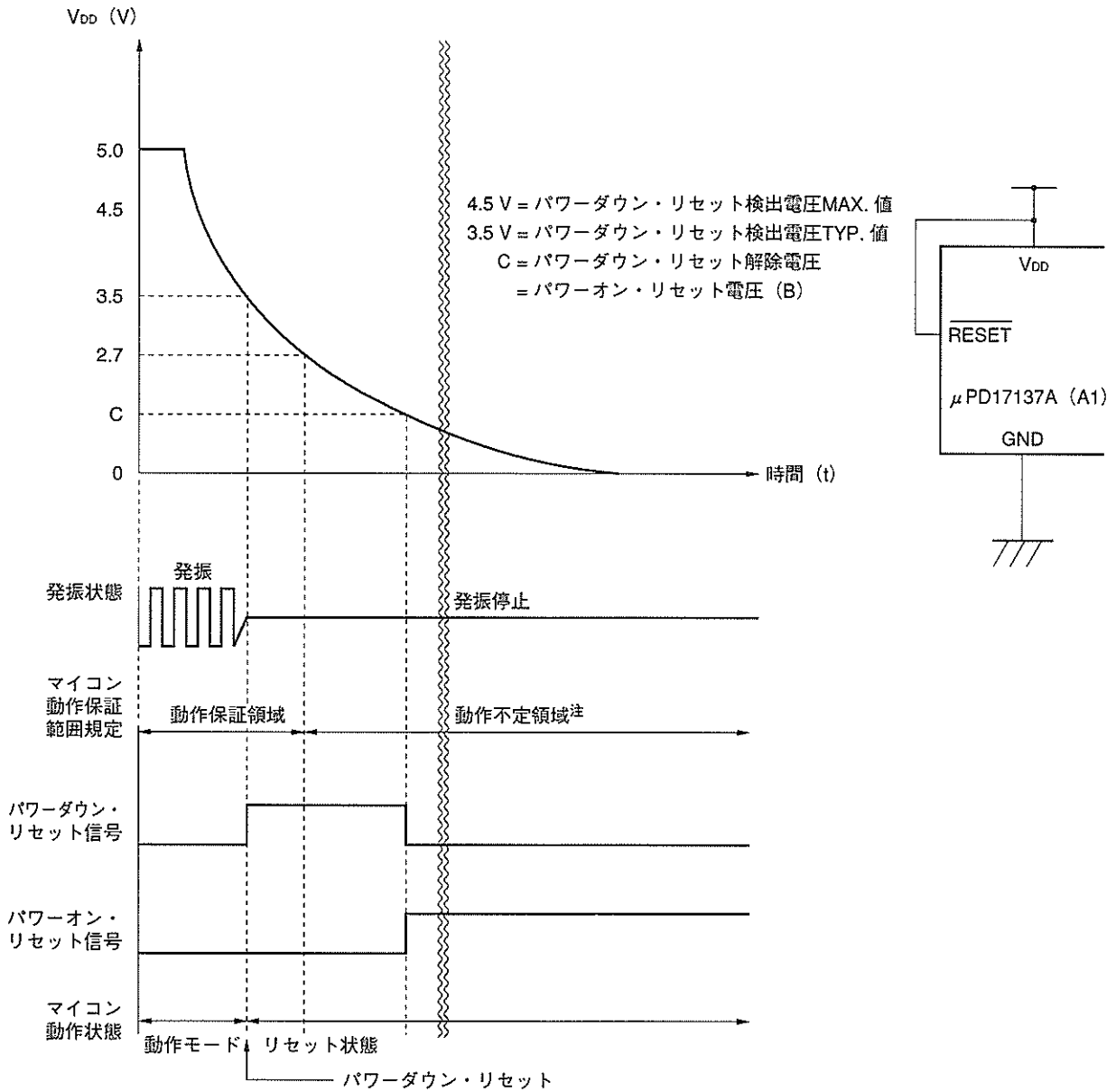
この機能が動作している間に、電源電圧の低下を検出するとマイコン内部に対しリセット信号を発生し、マイコン内部を初期化します。また、リセットがかかっている間は発振が停止しているため、マイコンが電源電圧の乱れにより暴走することを防ぐことができます。電源電圧が復帰し、パワーダウン・リセットが解除された場合は、タイマによる発振安定待ち状態を介したのち、通常の動作状態（0番地スタート）となります。

図19-4に内蔵パワーダウン・リセットの動作例、図19-5にはパワーダウン→電源復帰時のリセット動作例について示します。

パワーダウン・リセット機能

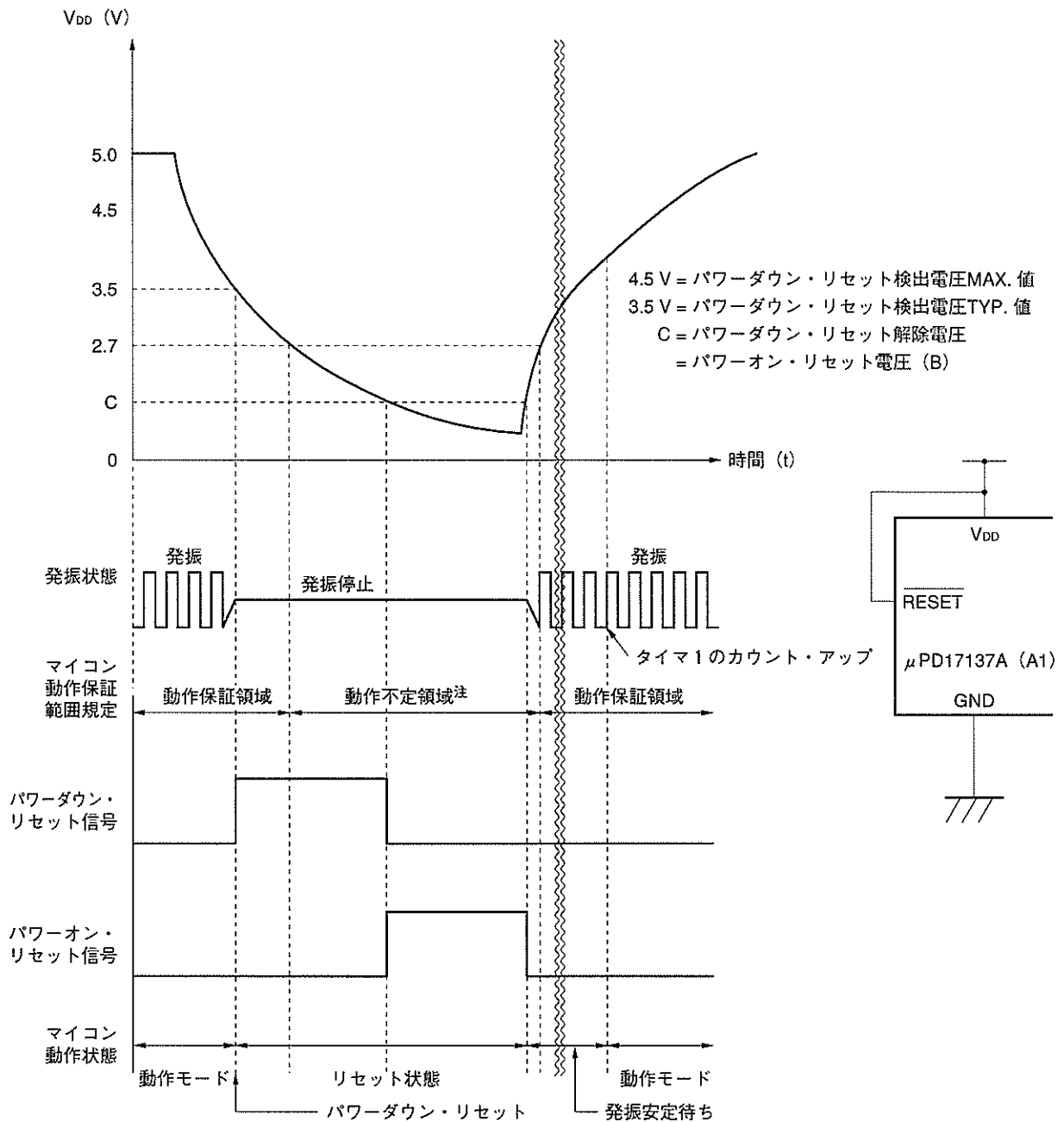
- ① V_{DD}端子に印加されている電圧レベルを常に監視。
- ② 電源電圧の低下を検出すると、リセット信号をマイコン内部に対し発生。電源電圧が復帰するか、またはマイコンのすべての機能が停止するまでリセット信号を発生し続ける。
- ③ リセットがかかっている間は発振を停止（暴走防止対策）。
パワーダウン・リセット機能が停止する前に電源が復帰した場合は、低電圧検出レベル（3.5 V TYP., 4.5 V MAX.）以上になったとき、タイマ1による発振安定待ちを介したのち、通常の動作モードに移る。
- ④ 0 Vから電源電圧が復帰した場合は、その機能をパワーオン・リセット機能に譲る。
- ⑤ パワーダウン・リセット機能が停止したのち、電源電圧が0 Vに達する前に復帰した場合は、タイマ1により発振安定待ちおよび電源電圧がV_{DD} = 2.7 V以上になるのを待ち、通常の動作モードに移る。

図19-4 内蔵パワーダウン・リセット動作例



注 動作不定領域とは、μPD17137A (A1) に規定されている動作が保証されていない領域のことです。ただし、この領域においても、パワーダウン・リセット機能は動作し、マイコン内部のそのほかの機能がすべて停止するまでリセットを発生し続けます。

図19-5 パワーダウン→電源復帰時のリセット動作例



注 動作不定領域とは、μPD17137A (A1) に規定されている動作が保証されていない領域のことです。ただし、この領域においても、パワーダウン・リセット機能は動作し、マイコン内部のそのほかの機能がすべて停止するまでリセットを発生し続けます。

20. 命令セット

20.1 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: mR, mCで示されるデータ・メモリ・アドレス
mR	: データ・メモリ・ロウ・アドレス (上位)
mC	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4ビット)
n4	: イミューディエト・データ (4ビット)
PC	: プログラム・カウンタ
p	: 周辺アドレス
pH	: 周辺アドレス (上位3ビット)
pL	: 周辺アドレス (下位4ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rR	: レジスタ・ファイル・ロウ・アドレス (上位3ビット)
rC	: レジスタ・ファイル・カラム・アドレス (下位4ビット)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
(X)	: Xでアドレスされる内容

20.2 命令セット一覧

命令群	ニモニック	オペランド	オペレーション	マシン・コード			
				オペ・コード	オペランド		
加算	ADD	r, m	$(r) \leftarrow (r) + (m)$	00000	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) + n4$	10000	m _R	m _C	n4
	ADDC	r, m	$(r) \leftarrow (r) + (m) + CY$	00010	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) + n4 + CY$	10010	m _R	m _C	n4
	INC	AR	AR ← AR + 1	00111	000	1001	0000
		IX	IX ← IX + 1	00111	000	1000	0000
減算	SUB	r, m	$(r) \leftarrow (r) - (m)$	00001	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) - n4$	10001	m _R	m _C	n4
	SUBC	r, m	$(r) \leftarrow (r) - (m) - CY$	00011	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) - n4 - CY$	10011	m _R	m _C	n4
論理演算	OR	r, m	$(r) \leftarrow (r) \vee (m)$	00110	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \vee n4$	10110	m _R	m _C	n4
	AND	r, m	$(r) \leftarrow (r) \wedge (m)$	00100	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \wedge n4$	10100	m _R	m _C	n4
	XOR	r, m	$(r) \leftarrow (r) \oplus (m)$	00101	m _R	m _C	r
		m, #n4	$(m) \leftarrow (m) \oplus n4$	10101	m _R	m _C	n4
判断	SKT	m, #n	CMP ← 0, if (m) ∧ n = n, then skip	11110	m _R	m _C	n
	SKF	m, #n	CMP ← 0, if (m) ∧ n = 0, then skip	11111	m _R	m _C	n
比較	SKE	m, #n4	(m) - n4, skip if zero	01001	m _R	m _C	n4
	SKNE	m, #n4	(m) - n4, skip if not zero	01011	m _R	m _C	n4
	SKGE	m, #n4	(m) - n4, skip if not borrow	11001	m _R	m _C	n4
	SKLT	m, #n4	(m) - n4, skip if borrow	11011	m _R	m _C	n4
回転	RORC	r	$\rightarrow CY \rightarrow (r)_{b3} \rightarrow (r)_{b2} \rightarrow (r)_{b1} \rightarrow (r)_{b0} \leftarrow$	00111	000	0111	r
転送	LD	r, m	$(r) \leftarrow (m)$	01000	m _R	m _C	r
	ST	m, r	$(m) \leftarrow (r)$	11000	m _R	m _C	r
	MOV	@r, m	if MPE = 1 : (MP, (r)) ← (m) if MPE = 0 : (BANK, m _R , (r)) ← (m)	01010	m _R	m _C	r
		m, @r	if MPE = 1 : (m) ← (MP, (r)) if MPE = 0 : (m) ← (BANK, m _R , (r))	11010	m _R	m _C	r
		m, #n4	(m) ← n4	11101	m _R	m _C	n4
	MOV _T	DBF, @AR	SP ← SP - 1, ASR ← PC, PC ← AR, DBF ← (PC), PC ← ASR, SP ← SP + 1	00111	000	0001	0000

命令群	ニモニック	オペランド	オペレーション	マシン・コード			
				オペ・コード	オペランド		
転送	PUSH	AR	SP ← SP-1, ASR ← AR	00111	000	1101	0000
	POP	AR	AR ← ASR, SP ← SP+1	00111	000	1100	0000
	PEEK	WR, rf	WR ← (rf)	00111	rf _R	0011	rf _C
	POKE	rf, WR	(rf) ← WR	00111	rf _R	0010	rf _C
	GET	DBF, p	DBF ← (p)	00111	p _H	1011	p _L
	PUT	p, DBF	(p) ← DBF	00111	p _H	1010	p _L
分岐	BR	addr	PC ← addr	01100	addr		
		@AR	PC ← AR	00111	000	0100	0000
サブ ルー チ ン	CALL	addr	SP ← SP-1, ASR ← PC, PC ← addr	11100	addr		
		@AR	SP ← SP-1, ASR ← PC, PC ← AR	00111	000	0101	0000
	RET		PC ← ASR, SP ← SP+1	00111	000	1110	0000
	RETSK		PC ← ASR, SP ← SP+1 and skip	00111	001	1110	0000
	RETI		PC ← ASR, INTR ← INTSK, SP ← SP+1	00111	100	1110	0000
割 り 込 み	EI		INTEF ← 1	00111	000	1111	0000
	DI		INTEF ← 0	00111	001	1111	0000
そ の 他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

21. アセンブラ予約語

21.1 マスク・オプション疑似命令

μPD17137A (A1) のプログラムを作成する場合、アセンブラのソース・プログラム中にマスク・オプション疑似命令を使用して、プルアップ抵抗が内蔵可能な端子すべてにプルアップ抵抗の有無を指定する必要があります。また、マスク・オプションを設定するためには、アセンブル時にAS17137A (μPD17137A (A1) 用デバイス・ファイル) 中のD17137A.OPTファイルをカレント・ディレクトリに入れておかなければなりませんので注意してください。

以下の端子すべてにマスク・オプションを指定してください。

- ・ RESET端子
- ・ ポート0D (P0D3, P0D2, P0D1, P0D0)
- ・ ポート1A (P1A3, P1A2, P1A1, P1A0)
- ・ ポート1B (P1B0)

21.1.1 OPTION, ENDOP疑似命令

OPTION疑似命令から、ENDOP疑似命令までをマスク・オプション定義ブロックとします。

マスク・オプション定義ブロックの記述形式を以下に示します。このブロック内では、表21-1に示す4つの疑似命令だけが記述可能です。

記述形式：

シンボル欄	ニモニク欄	オペラント欄	コメント欄
[レーベル:]	OPTION		[; コメント]
	⋮		
	ENDOP		

21.1.2 マスク・オプション定義疑似命令

各端子のマスク・オプションを定義する疑似命令を表21-1に示します。

表21-1 マスク・オプション定義疑似命令一覧表

端子名	マスク・オプション疑似命令	オペランドの数	パラメータ名
RESET	OPTRES	1	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)
P0D ₃ -P0D ₀	OPTP0D	4	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)
P1A ₃ -P1A ₀	OPTP1A	4	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)
P1B ₀	OPTP1B	1	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)

OPTRESの記述形式を以下に示します。オペランド欄にはRESETのマスク・オプションを指定してください。

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル:]	OPTRES	(RESET)	[; コメント]

OPTP0Dの記述形式を以下に示します。オペランド欄には第一オペランドからP0D₃, P0D₂, P0D₁, P0D₀の順にポート0Dすべての端子にマスク・オプションを指定してください。

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル:]	OPTP0D	(P0D ₃),(P0D ₂),(P0D ₁),(P0D ₀)	[; コメント]

OPTP1Aの記述形式を以下に示します。オペランド欄には第一オペランドからP1A₃, P1A₂, P1A₁, P1A₀の順にポート1Aすべての端子に、マスク・オプションを指定してください。

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル:]	OPTP1A	(P1A ₃),(P1A ₂),(P1A ₁),(P1A ₀)	[; コメント]

OPTP1Bの記述形式を以下に示します。オペランド欄にはP1B₀のマスク・オプションを指定してください。

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル:]	OPTP1B	(P1B ₀)	[; コメント]

マスク・オプションの記述例

RESET端子…プルアップ

P0D3…オープン, P0D2…オープン, P0D1…プルアップ, P0D0…プルアップ

P1A3…プルアップ, P1A2…オープン, P1A1…オープン, P1A0…オープン

P1B0…オープン

シンボル欄	ニモニック欄	オペランド欄	コメント欄
; μPD17137A (A1)			
マスク・オプション設定:	OPTION		
;			
	OPTRES	PULLUP	
	OPTP0D	OPEN, OPEN, PULLUP, PULLUP	
	OPTP1A	PULLUP, OPEN, OPEN, OPEN	
	OPTP1B	OPEN	
;			
	ENDOP		

21.2 予約シンボル

μPD17137A (A1) のデバイス・ファイル (AS17137A) 内で定義されている予約シンボルの一覧表を次に示します。

システム・レジスタ (SYSREG)

シンボル名	属性	値	Read/ Write	説明
AR3	MEM	0.74H	R	アドレス・レジスタのビットb15-b12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビットb11-b8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビットb7-b4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビットb3-b0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタ・ハイ
MPH	MEM	0.7AH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ハイ
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタ・ミドル
MPL	MEM	0.7BH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ロウ
IXL	MEM	0.7CH	R/W	インデクス・レジスタ・ロウ
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタ・ハイ
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタ・ロウ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCDフラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ

図21-1 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH	
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データメモリ・ロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)		プログラム・ステータスワード (PSWORD)	
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW	
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	
データ注	0 0 0 0 0 0 (AR)				0 0 0 0 (BANK)	0 0 0 0 (MP)	0 0 0 0 (IX)			0 0 0 0 (RP)		B C C I C M Y Z X D P D E	
リセット時の初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0				不定	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

注 この欄の0が書かれている部分は“0固定”を意味します。

データ・バッファ (DBF)

シンボル名	属性	値	Read/ Write	説明
DBF3	MEM	0.0CH	R/W	DBFのビットb15-b12
DBF2	MEM	0.0DH	R/W	DBFのビットb11-b8
DBF1	MEM	0.0EH	R/W	DBFのビットb7-b4
DBF0	MEM	0.0FH	R/W	DBFのビットb3-b0

ポート・レジスタ

シンボル名	属性	値	Read/ Write	説明
P0A3	FLG	0.70H.3	R/W	ポート0Aのビットb3
P0A2	FLG	0.70H.2	R/W	ポート0Aのビットb2
P0A1	FLG	0.70H.1	R/W	ポート0Aのビットb1
P0A0	FLG	0.70H.0	R/W	ポート0Aのビットb0
P0B3	FLG	0.71H.3	R/W	ポート0Bのビットb3
P0B2	FLG	0.71H.2	R/W	ポート0Bのビットb2
P0B1	FLG	0.71H.1	R/W	ポート0Bのビットb1
P0B0	FLG	0.71H.0	R/W	ポート0Bのビットb0
P0C3	FLG	0.72H.3	R/W	ポート0Cのビットb3
P0C2	FLG	0.72H.2	R/W	ポート0Cのビットb2
P0C1	FLG	0.72H.1	R/W	ポート0Cのビットb1
P0C0	FLG	0.72H.0	R/W	ポート0Cのビットb0
P0D3	FLG	0.73H.3	R/W	ポート0Dのビットb3
P0D2	FLG	0.73H.2	R/W	ポート0Dのビットb2
P0D1	FLG	0.73H.1	R/W	ポート0Dのビットb1
P0D0	FLG	0.73H.0	R/W	ポート0Dのビットb0
P1A3	FLG	1.70H.3	R/W	ポート1Aのビットb3
P1A2	FLG	1.70H.2	R/W	ポート1Aのビットb2
P1A1	FLG	1.70H.1	R/W	ポート1Aのビットb1
P1A0	FLG	1.70H.0	R/W	ポート1Aのビットb0
P1B0	FLG	1.71H.0	R	ポート1Bのビットb0

レジスタ・ファイル (コントロール・レジスタ)

(1/2)

シンボル名	属性	値	Read/ Write	説 明
SP	MEM	0.81H	R/W	スタック・ポインタ
SIOTS	FLG	0.82H.3	R/W	シリアル・インタフェース・スタート・フラグ
SIOHIZ	FLG	0.82H.2	R/W	P0D ₁ /SO端子機能選択フラグ
SIOCK1	FLG	0.82H.1	R/W	シリアル・クロック選択フラグ・ビット1
SIOCK0	FLG	0.82H.0	R/W	シリアル・クロック選択フラグ・ビット0
WDTRES	FLG	0.83H.3	R/W	ウォッチドッグ・タイマ・リセット・フラグ
WDTEN	FLG	0.83H.0	R/W	ウォッチドッグ・タイマ・イネーブル・フラグ
TM0OSEL	FLG	0.8BH.3	R/W	P0D ₃ /TM0OUT端子機能選択フラグ
SIOEN	FLG	0.8BH.0	R/W	シリアル・インタフェース・イネーブル・フラグ
P0BGPU	FLG	0.8CH.1	R/W	P0Bグループ・プルアップ 選択フラグ (プルアップ=1)
P0AGPU	FLG	0.8CH.0	R/W	P0Aグループ・プルアップ 選択フラグ (プルアップ=1)
INT	FLG	0.8FH.0	R	INT端子ステータス・フラグ
PDRESEN	FLG	0.90H.0	R/W	パワーダウン・リセット・イネーブル・フラグ
TM0EN	FLG	0.91H.3	R/W	タイマ0 イネーブル・フラグ
TM0RES	FLG	0.91H.2	R/W	タイマ0 リセット・フラグ
TM0CK1	FLG	0.91H.1	R/W	タイマ0 カウント・パルス選択フラグ・ビット1
TM0CK0	FLG	0.91H.0	R/W	タイマ0 カウント・パルス選択フラグ・ビット0
TM1EN	FLG	0.92H.3	R/W	タイマ1 イネーブル・フラグ
TM1RES	FLG	0.92H.2	R/W	タイマ1 リセット・フラグ
TM1CK1	FLG	0.92H.1	R/W	タイマ1 カウント・パルス選択フラグ・ビット1
TM1CK0	FLG	0.92H.0	R/W	タイマ1 カウント・パルス選択フラグ・ビット0
BTMISEL	FLG	0.93H.3	R/W	BTM割り込み要求クロック選択フラグ
BTMRES	FLG	0.93H.2	R/W	BTMリセット・フラグ
BTMCK1	FLG	0.93H.1	R/W	BTMカウント・パルス選択フラグ・ビット1
BTMCK0	FLG	0.93H.0	R/W	BTMカウント・パルス選択フラグ・ビット0
P0C3IDI	FLG	0.9BH.3	R/W	P0C ₃ 入力ポート禁止フラグ (ADC ₃ /P0C ₃ 端子機能選択)
P0C2IDI	FLG	0.9BH.2	R/W	P0C ₂ 入力ポート禁止フラグ (ADC ₂ /P0C ₂ 端子機能選択)
P0C1IDI	FLG	0.9BH.1	R/W	P0C ₁ 入力ポート禁止フラグ (ADC ₁ /P0C ₁ 端子機能選択)
P0C0IDI	FLG	0.9BH.0	R/W	P0C ₀ 入力ポート禁止フラグ (ADC ₀ /P0C ₀ 端子機能選択)
P0CBIO3	FLG	0.9CH.3	R/W	P0C ₃ 入力/出力選択フラグ (1=出力ポート)
P0CBIO2	FLG	0.9CH.2	R/W	P0C ₂ 入力/出力選択フラグ (1=出力ポート)
P0CBIO1	FLG	0.9CH.1	R/W	P0C ₁ 入力/出力選択フラグ (1=出力ポート)
P0CBIO0	FLG	0.9CH.0	R/W	P0C ₀ 入力/出力選択フラグ (1=出力ポート)
ZCROSS	FLG	0.9DH.0	R/W	ゼロクロス検出回路イネーブル・フラグ
IEGMD1	FLG	0.9FH.1	R/W	INT端子エッジ検出選択フラグ・ビット1
IEGMD0	FLG	0.9FH.0	R/W	INT端子エッジ検出選択フラグ・ビット0
ADCSTRT	FLG	0.0A0H.0	R/W	A/Dコンバータ・スタート・フラグ (読み出し時:常に“0”)
ADCSOFT	FLG	0.0A1H.3	R/W	A/Dコンバータ動作モード選択フラグ (1=単発モード)
ADCCMP	FLG	0.0A1H.1	R/W	A/Dコンバータ・コンパレータ比較結果フラグ (単発モード時のみ有効)
ADCEND	FLG	0.0A1H.0	R/W	A/Dコンバータ変換終了フラグ

レジスタ・ファイル (コントロール・レジスタ)

(2/2)

シンボル名	属性	値	Read/ Write	説 明
ADCCH3	FLG	0.0A2H.3	R/W	ダミー・フラグ
ADCCH2	FLG	0.0A2H.2	R/W	ダミー・フラグ
ADCCH1	FLG	0.0A2H.1	R/W	A/Dコンバータ・チャンネル選択フラグ ビット1
ADCCH0	FLG	0.0A2H.0	R/W	A/Dコンバータ・チャンネル選択フラグ ビット0
P0DBIO3	FLG	0.0ABH.3	R/W	P0D ₃ 入力/出力選択フラグ (1 = 出力ポート)
P0DBIO2	FLG	0.0ABH.2	R/W	P0D ₂ 入力/出力選択フラグ (1 = 出力ポート)
P0DBIO1	FLG	0.0ABH.1	R/W	P0D ₁ 入力/出力選択フラグ (1 = 出力ポート)
P0DBIO0	FLG	0.0ABH.0	R/W	P0D ₀ 入力/出力選択フラグ (1 = 出力ポート)
P1AGIO	FLG	0.0ACH.2	R/W	P1Aグループ入力/出力選択フラグ (1 = P1Aすべて出力ポート)
P0BGIO	FLG	0.0ACH.1	R/W	P0Bグループ入力/出力選択フラグ (1 = P0Bすべて出力ポート)
P0AGIO	FLG	0.0ACH.0	R/W	P0Aグループ入力/出力選択フラグ (1 = P0Aすべて出力ポート)
IPSIO	FLG	0.0AEH.0	R/W	シリアル・インタフェース割り込み許可フラグ
IPBTM	FLG	0.0AFH.3	R/W	BTM割り込み許可フラグ
IPTM1	FLG	0.0AFH.2	R/W	タイマ1 割り込み許可フラグ
IPTM0	FLG	0.0AFH.1	R/W	タイマ0 割り込み許可フラグ
IP	FLG	0.0AFH.0	R/W	INT端子割り込み許可フラグ
IRQSIO	FLG	0.0BBH.0	R/W	シリアル・インタフェース割り込み要求フラグ
IRQBTM	FLG	0.0BCH.0	R/W	BTM割り込み要求フラグ
IRQTM1	FLG	0.0BDH.0	R/W	タイマ1 割り込み要求フラグ
IRQTM0	FLG	0.0BEH.0	R/W	タイマ0 割り込み要求フラグ
IRQ	FLG	0.0BFH.0	R/W	INT端子割り込み要求フラグ

周辺ハードウェア・レジスタ

シンボル名	属性	値	Read/ Write	説 明
SIOSFR	DAT	01H	R/W	シフト・レジスタの周辺アドレス
TM0M	DAT	02H	W	タイマ0 モジュール・レジスタの周辺アドレス
TM1M	DAT	03H	W	タイマ1 モジュール・レジスタの周辺アドレス
ADCR	DAT	04H	R/W	A/Dコンバータ・データ・レジスタの周辺アドレス
TM0TM1C	DAT	45H	R	タイマ0 タイマ1 カウント・レジスタの周辺アドレス
AR	DAT	40H	R/W	GET/PUT/PUSH/CALL/BR/MOVT/INC命令用のアドレス・レジスタの周辺アドレス

その他

シンボル名	属性	値	説 明
DBF	DAT	0FH	PUT命令, GET命令, MOVT命令の固定オペランド値
IX	DAT	01H	INC命令の固定オペランド値

図21-2 コントロール・レジスタの構成 (1/2)

カラム・アドレス ロウ・ アドレス 項目		0	1	2	3	4	5	6	7
0 (8)	記号			S S S S	W	W			
			S	I I I I	D	D			
			P	O I O I O I	T	T			
	リセット時		0 1 0 1	0 0 0 0	0 0 0 0				
	Read/ Write		R/W	R/W	R/W				
1 (9)	記号		P	T T T T	T T T T	B B B B			
			D	M M M M	M M M M	T T T T			
			R	0 0 0 0	1 1 1 1	M M M M			
	リセット時	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0				
	Read/ Write	R/W	R/W	R/W	R/W				
2 (A)	記号		A	A A A A	A A A A				
			D	D D D D	D D D D				
			C	C C C C	C C C C				
	リセット時	0 0 0 0	0 0 0 0	0 0 0 0					
	Read/ Write	R/W	R/W R	R/W					
3 (B)	記号								
	リセット時								
	Read/ Write								

備考 () 内は、アセンブラ (AS17K) を使用する際の番地です。

なお、コントロール・レジスタのフラグはすべて、アセンブラ予約語としてデバイス・ファイルに登録されていますので、プログラム作成時には予約語を使用すると便利です。

図21-2 コントロール・レジスタの構成 (2/2)

8	9	A	B	C	D	E	F
			T M O O S E L	S I O E N	P P O B G P U		I N T
			0 0 0 0	0 0 0 0			0 0 0 注
			R/W	R/W			R
			P P P P	P P P P			I I I I
			0 0 0 0	0 0 0 0			E E E E
			C C C C	C C C C			G G G G
			3 2 1 0	B B B B	0 0 0 0		0 0 M M
			I I I I	I I I I			D D
			D D D D	O O O O			1 0
			I I I I	3 2 1 0			
			0 0 0 0	0 0 0 0	0 0 0 0		0 0 0 0
			R/W	R/W	R/W		R/W
			P P P P	P P P			I I I I I
			0 0 0 0	1 0 0			P P P P P
			D D D D	A B A			S B T T T
			B B B B	0 G G G		0 0 0 0	I T M M
			I I I I	I I I I			0 M 1 0
			O O O O	O O O			
			3 2 1 0				
			0 0 0 0	0 0 0 0		0 0 0 0	0 0 0 0
			R/W	R/W		R/W	R/W
				I R Q			I R Q
			0 0 0 0	S 0 0 0	B	0 0 0 0	T 0 0 0
					T M		M 0
			0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0
			R/W	R/W	R/W	R/W	R/W

注 INTフラグは、そのときのINT端子の状態により異なります。

22. 電気的特性

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}		-0.3~+7.0	V	
アナログ電源電圧	V _{ADC}	V _{ADC} = V _{DD} ± 0.3 V	-0.3~+7.0	V	
入力電圧	V _I	P0A, P0B, P0C, P1B, INT, RESET	-0.3~V _{DD} +0.3	V	
		P0D, P1A	ブルアップ抵抗を内蔵する場合	-0.3~V _{DD} +0.3	V
			ブルアップ抵抗を内蔵しない場合	-0.3~+11.0	V
出力電圧	V _O	P0A, P0B, P0C	-0.3~V _{DD} +0.3	V	
		P0D, P1A	ブルアップ抵抗を内蔵する場合	-0.3~V _{DD} +0.3	V
			ブルアップ抵抗を内蔵しない場合	-0.3~+11.0	V
ハイ・レベル出力電流	I _{OH}	P0A, P0B, P0C 1端子当たり	-15	mA	
		全端子合計	-30	mA	
ロウ・レベル出力電流	I _{OL}	P0A, P0B, P0C 1端子当たり	15	mA	
		P0D, P1A 1端子当たり	30	mA	
		全端子合計	70	mA	
動作周囲温度	T _A		-40~+110	°C	
保存温度	T _{stg}		-65~+150	°C	
許容損失	P _d	TA = 110°C			
		28ピン・プラスチック・シュリンクDIP	140	mW	
		28ピン・プラスチックSOP	85	mW	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨電源電圧範囲 (TA = -40 ~ +110 °C)

項目	条件	MIN.	TYP.	MAX.	単位
CPU ^注	発振周波数 fx = 400 kHz~4 MHz	2.7		5.5	V
	発振周波数 fx = 400 kHz~8 MHz	4.5		5.5	V
A/Dコンバータ	絶対確度 ±1.5 LSB以内	4.5		5.5	V
ゼロクロス検出回路	ゼロクロス確度 Azx = 120 mV以内	4.5		5.5	V
パワーオン/パワーダウン・リセット回路	電源電圧立ち上がり時間 (V _{DD} = 0 → 2.7 V) 8192tcv以内, fx = 400 kHz~4 MHz	4.5		5.5	V

注 A/Dコンバータ、ゼロクロス検出回路、パワーオン/パワーダウン・リセット回路は除く。

備考 tcv = 16/fx (fxはシステム・クロック発振周波数)

DC特性 (V_{DD} = 2.7~5.5 V, T_A = -40~+110 °C)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P0A, P0B, P0C, P1B		0.7 V _{DD}		V _{DD}	V	
	V _{IH2}	P0D, P1A	注1	0.7 V _{DD}		V _{DD}	V	
			注2					9
V _{IH3}	RESET, SCK, SI, INT		0.8 V _{DD}		V _{DD}	V		
ロウ・レベル入力電圧	V _{IL1}	P0A, P0B, P0C, P1B		0		0.3 V _{DD}	V	
	V _{IL2}	P0D, P1A, RESET, SCK, SI, INT		0		0.2 V _{DD}	V	
ハイ・レベル出力電圧	V _{OH}	P0A, P0B, P0C	V _{DD} = 4.5~5.5 V I _{OH} = -1.0 mA	V _{DD} - 0.3			V	
			注2 V _{DD} = 2.7~4.5 V I _{OH} = -0.5 mA	V _{DD} - 0.3			V	
ロウ・レベル出力電圧	V _{OL1}	P0A, P0B, P0C P0D, P1A	V _{DD} = 4.5~5.5 V I _{OL} = 1.0 mA			0.3	V	
			注2 V _{DD} = 2.7~4.5 V I _{OL} = 0.5 mA			0.3	V	
	V _{OL2}	P0D, P1A	I _{OL} = 15 mA V _{DD} = 4.5~5.5 V			1.0	V	
			V _{DD} = 2.7~4.5 V			2.0	V	
ハイ・レベル入力リーク電流	I _{LH1}	P0A, P0B, P0C, P0D, P1A, P1B V _{IN} = V _{DD}				5	μA	
	I _{LH2}	P0D, P1A, V _{IN} = 9 V ^{注2}				12	μA	
ロウ・レベル入力リーク電流	I _{LL}	P0A, P0B, P0C, P0D, P1A, P1B V _{IN} = 0 V				-7	μA	
ハイ・レベル出力リーク電流	I _{LOH1}	P0A, P0B, P0C, P0D, P1A V _{OUT} = V _{DD}				5	μA	
	I _{LOH2}	P0D, P1A, V _{OUT} = 9 V ^{注2}				12	μA	
ロウ・レベル出力リーク電流	I _{LCL}	P0A, P0B, P0C, P0D, P1A V _{OUT} = 0 V				-7	μA	
内蔵プルアップ抵抗	R _{PULL}	P0A, P0B, P0D, P1A, P1B, RESET		50	100	220	kΩ	
電源電流 ^{注3}	I _{DD1}	動作 モード	fx = 8.0 MHz V _{DD} = 5 V ± 10 %		2.0	5.4	mA	
			fx = 4.0 MHz V _{DD} = 5 V ± 10 %		1.3	3.6	mA	
			fx = 2.0 MHz V _{DD} = 3 V ± 10 %		0.5	1.8	mA	
			fx = 455 kHz	V _{DD} = 5 V ± 10 %		0.9	2.2	mA
				V _{DD} = 3 V ± 10 %		0.3	1.2	mA
	I _{DD2}	HALT モード	fx = 8.0 MHz V _{DD} = 5 V ± 10 %		1.0	2.4	mA	
			fx = 4.0 MHz V _{DD} = 5 V ± 10 %		0.7	1.8	mA	
			fx = 2.0 MHz V _{DD} = 3 V ± 10 %		0.3	1.2	mA	
			fx = 455 kHz	V _{DD} = 5 V ± 10 %		0.7	1.8	mA
				V _{DD} = 3 V ± 10 %		0.3	1.2	mA
I _{DD3}	STOP モード	V _{DD} = 5 V ± 10 %		3.0	50	μA		
		V _{DD} = 3 V ± 10 %		2.0	50	μA		

注1. プルアップ抵抗を内蔵する場合。

2. プルアップ抵抗を内蔵しない場合。

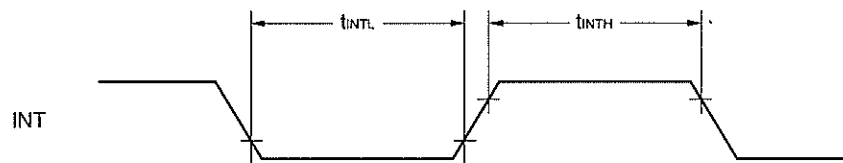
3. A/Dコンバータ、ゼロクロス検出回路および内蔵プルアップ抵抗に流れる電流は除く。

AC特性 ($V_{DD} = 2.7 \sim 5.5 \text{ V}$, $T_A = -40 \sim +110 \text{ }^\circ\text{C}$)

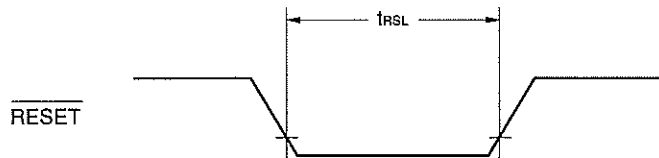
項目	略号	条件	MIN.	TYP.	MAX.	単位
CPUクロック・サイクル・ タイム (命令実行時間)	tcy	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.9		41	μs
			3.9		41	μs
INTハイ、ロウ・レベル幅 (外部割り込み入力)	tINTH	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	10			μs
	tINTL		50			μs
RESETロウ・レベル幅	trSL	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	10			μs
			50			μs

備考 tcy = 16/fx (fx: システム・クロック発振周波数)

割り込み入力タイミング



RESET入力タイミング

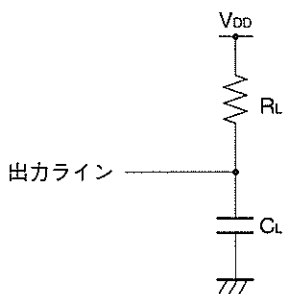


シリアル転送オペレーション (V_{DD} = 2.7~5.5 V, T_A = -40~+110 °C)

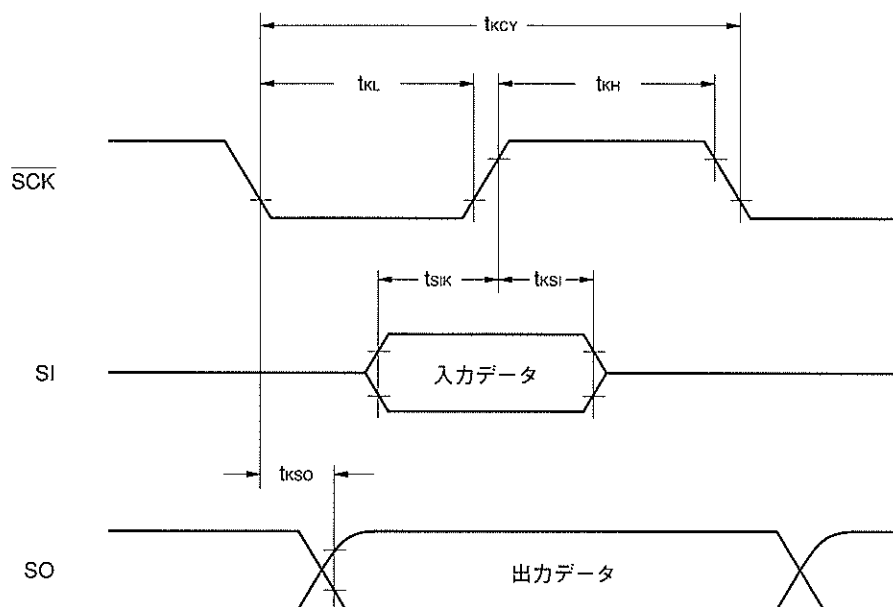
項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
SCKサイクル・タイム	tkcy	入力	V _{DD} = 4.5~5.5 V	2.0			μs
				10			μs
	出力	R _L = 1 kΩ, C _L = 100 pF	V _{DD} = 4.5~5.5 V	2.0			μs
				16			μs
		内蔵プルアップ, C _L = 100 pF	V _{DD} = 4.5~5.5 V	150			μs
			300			μs	
SCKハイ, ロウ・レベル幅	tkH, tkL	入力	V _{DD} = 4.5~5.5 V	1.0			μs
				5.0			μs
	出力	R _L = 1 kΩ, C _L = 100 pF	V _{DD} = 4.5~5.5 V	tkcy/2-0.6			μs
				tkcy/2-1.2			μs
		内蔵プルアップ, C _L = 100 pF	V _{DD} = 4.5~5.5 V	tkcy/2-70			μs
			tkcy/2-140			μs	
SIセットアップ時間(対SCK↑)	tsik			100			ns
SIホールド時間(対SCK↑)	tsis			100			ns
SCK↓→SO出力遅延時間	tkso	R _L = 1 kΩ, C _L = 100 pF	V _{DD} = 4.5~5.5 V			0.8	μs
						1.4	μs
		内蔵プルアップ, C _L = 100 pF	V _{DD} = 4.5~5.5 V			70	μs
						140	μs

備考 R_L : 出力ラインの負荷抵抗

C_L : 出力ラインの負荷容量

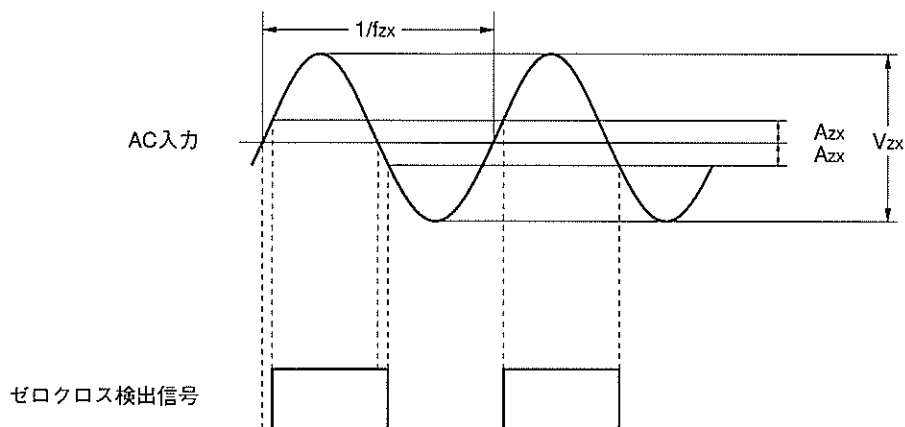


シリアル転送タイミング



ゼロクロス検出回路特性 (V_{DD} = 4.5~5.5 V, T_A = -40~+110 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ゼロクロス検出入力レベル	V _{ZX}	AC入力, カップリング容量 1 μF	1.0		3.0	V _{PP}
ゼロクロス検出入力周波数	f _{ZX}		40	50または60	1000	Hz
ゼロクロス確度	A _{ZX}	50 Hzまたは60 Hz		40	120	mV
ゼロクロス検出回路電流	I _{ZX}	AC無入力時		15	90	μA



注意 上の図ではゼロクロス検出信号は、立ち上がりエッジ, 立ち下がりエッジともにAC入力波形から遅れていますが, 実際には進むこともあり, ゼロクロス検出位置のずれ方は一様ではありません。

A/Dコンバータ特性 (V_{DD} = 4.5~5.5 V, T_A = -40~+110 °C, V_{ADC} = V_{DD} ± 0.5 %)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
絶対精度 ^{注1}		V _{ADC} = V _{DD}			±1.5	LSB
ADC回路電流	I _{ADC}			1.5	2.0	mA
変換時間 ^{注2}	t _{CONV}				25t _{cy}	μs

注1. 量子化誤差 (±1/2 LSB) は含んでいません。

2. 変換スタート命令実行後 (変換スタート命令実行時間は含まず), ADCEND = 1までの時間 (50 μs, f_x = 8 MHz時)。

備考 t_{cy} = 16/f_x (f_xはシステム・クロック発振周波数)

パワーオン/パワーダウン・リセット回路特性 (T_A = -40~+110 °C)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
パワーオン・リセット有効 電源電圧立ち上がり時間	I _{POR}	V _{DD} = 0 → 2.7 V GNDレベルから立ち上がること f _x = 400 kHz~4 MHz			8192t _{cy}	μs
パワーダウン・リセット 回路低電圧検出電圧	V _{PDR}	PDRESEN = 1のとき f _x = 400 kHz~4 MHz		3.5	4.5	V

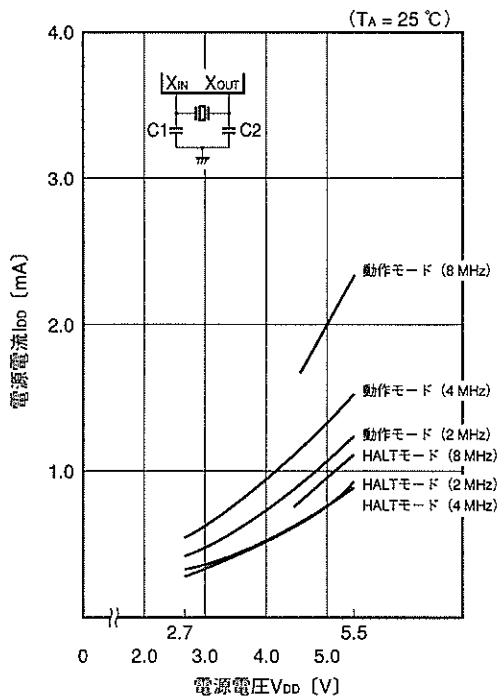
備考 t_{cy} = 16/f_x (f_xはシステム・クロック発振周波数)

システム・クロック発振回路特性 (V_{DD} = 2.7~5.5 V, T_A = -40~+110 °C)

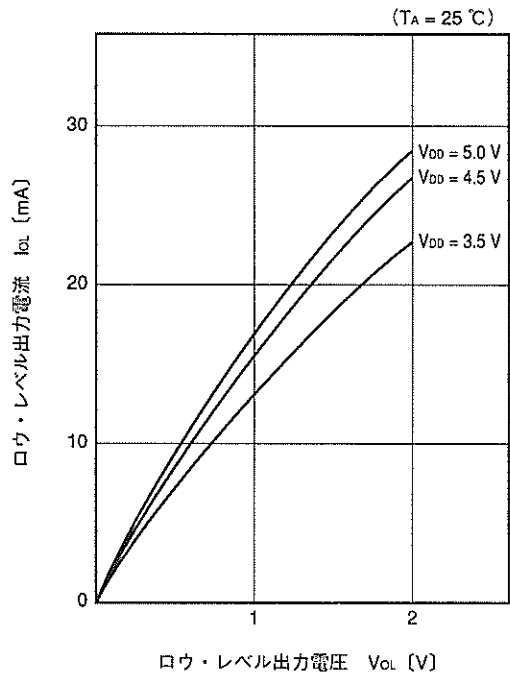
発 振 子	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック発振子	発振周波数 (f _x)	V _{DD} = 2.7~5.5 V	0.39		4.08	MHz

23. 特性曲線 (参考値)

I_{DD} vs V_{DD} 特性例

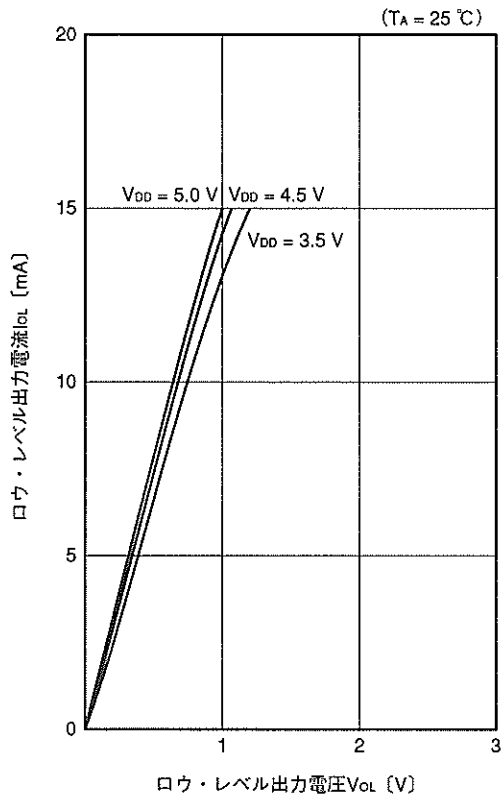


I_{OL} vs V_{OL} 特性例 2 (P0D, P1A)



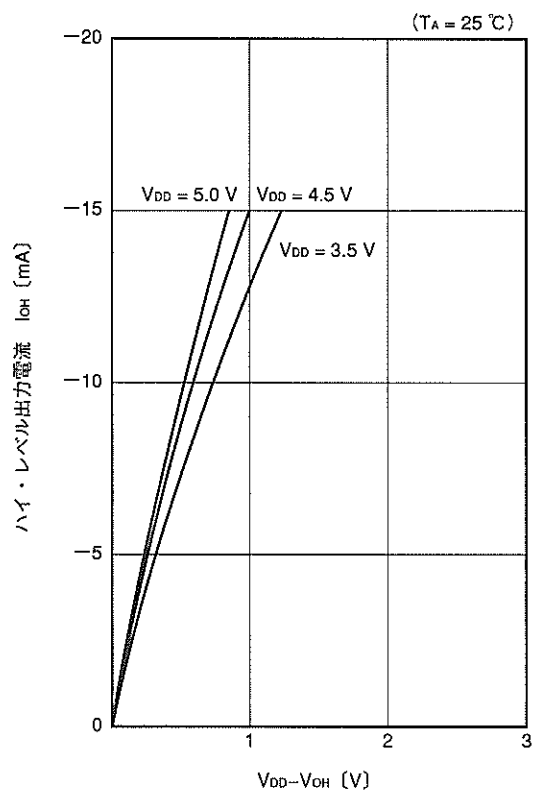
注意 絶対最大定格は、1端子当たり30 mAです。

I_{OL} vs V_{OL} 特性例 1 (P0A, P0B, P0C)



注意 絶対最大定格は、1端子当たり15 mAです。

I_{OH} vs ($V_{DD} - V_{OH}$) 特性例

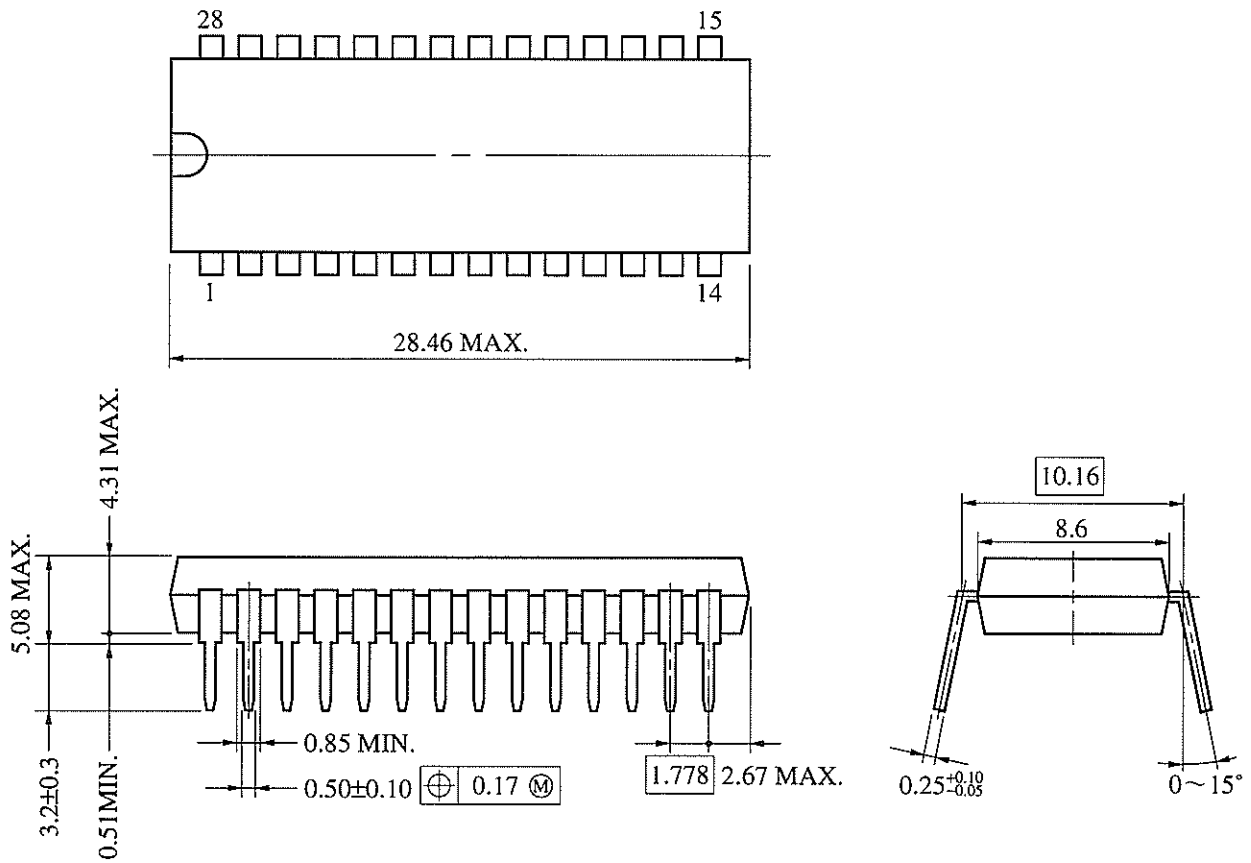


注意 絶対最大定格は、1端子当たり-15 mAです。

24. 外形図

量産品の外形図 (1/2)

28ピン・プラスチック・シュリンク DIP (400 mil) 外形図 (単位: mm)

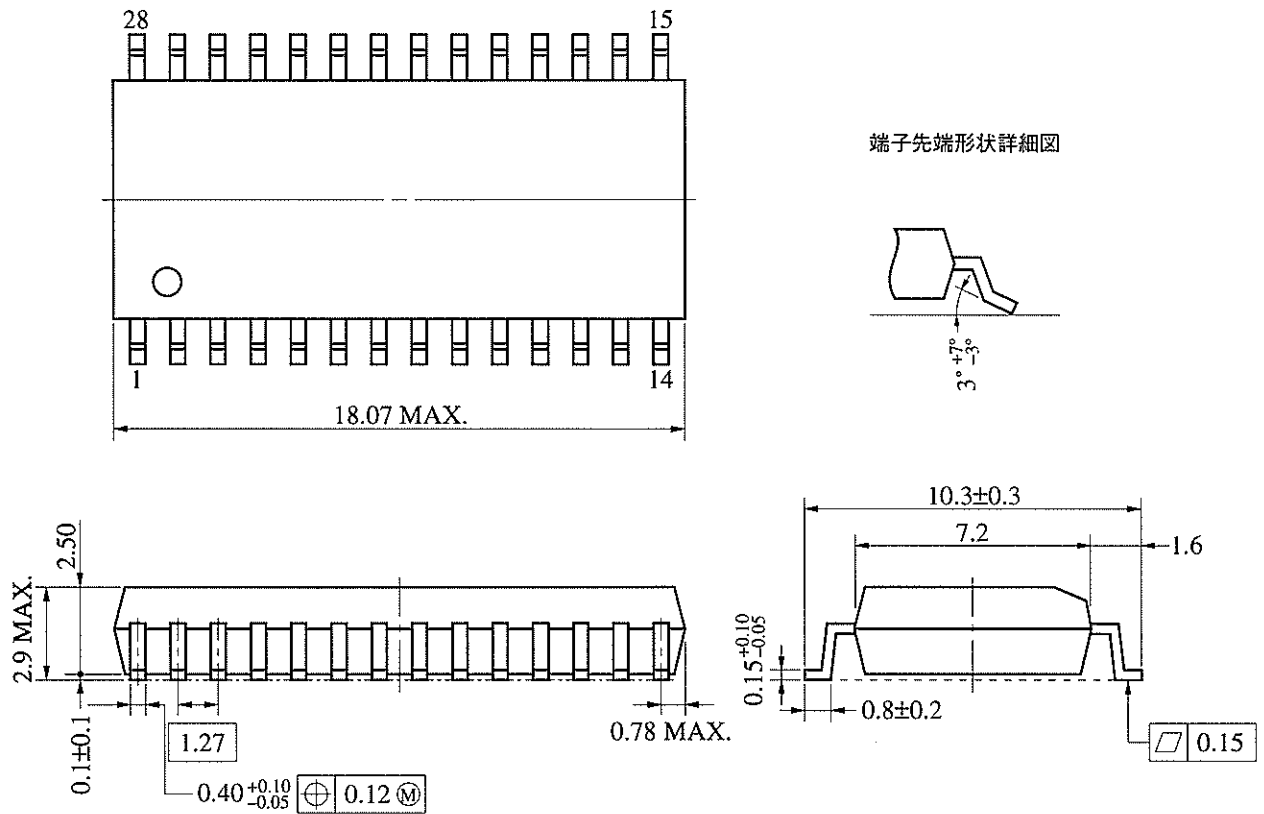


S28C-70-400B-1

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図 (1/2) を参照してください。

量産品の外形図 (2/2)

28ピン・プラスチック SOP (375 mil) 外形図 (単位: mm)

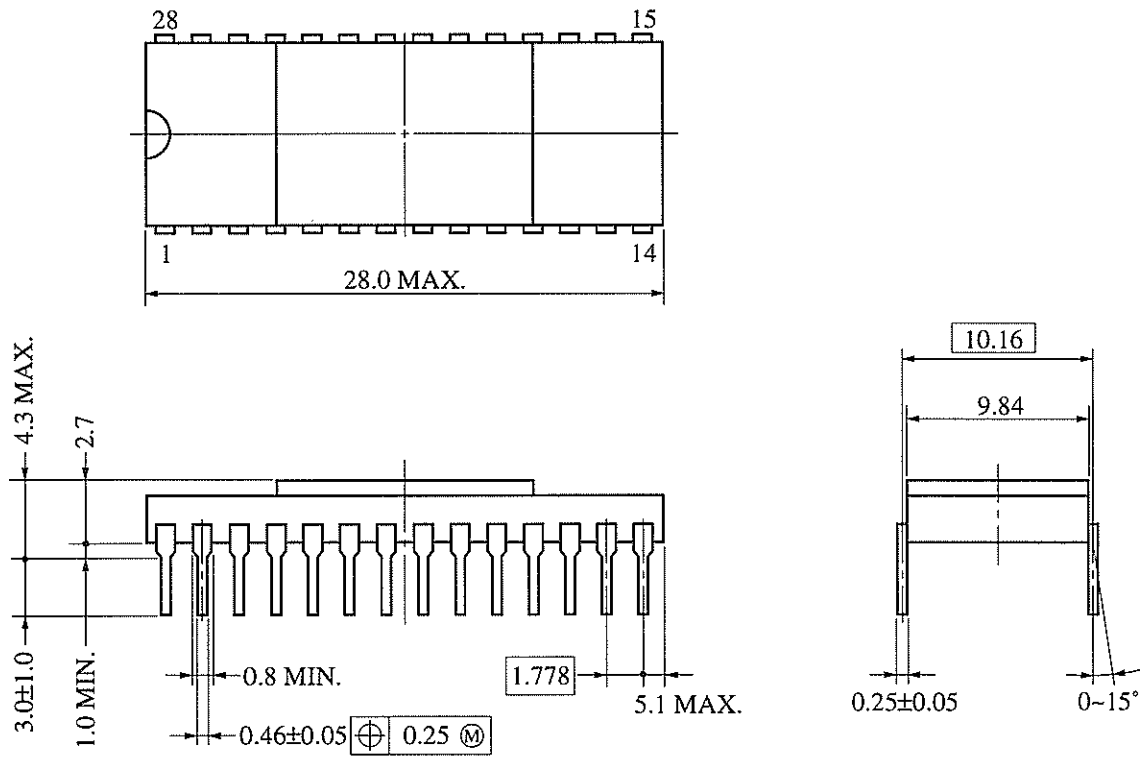


P28GM-50-375B-3

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図 (2/2) を参照してください。

ES品の外形図 (1/2)

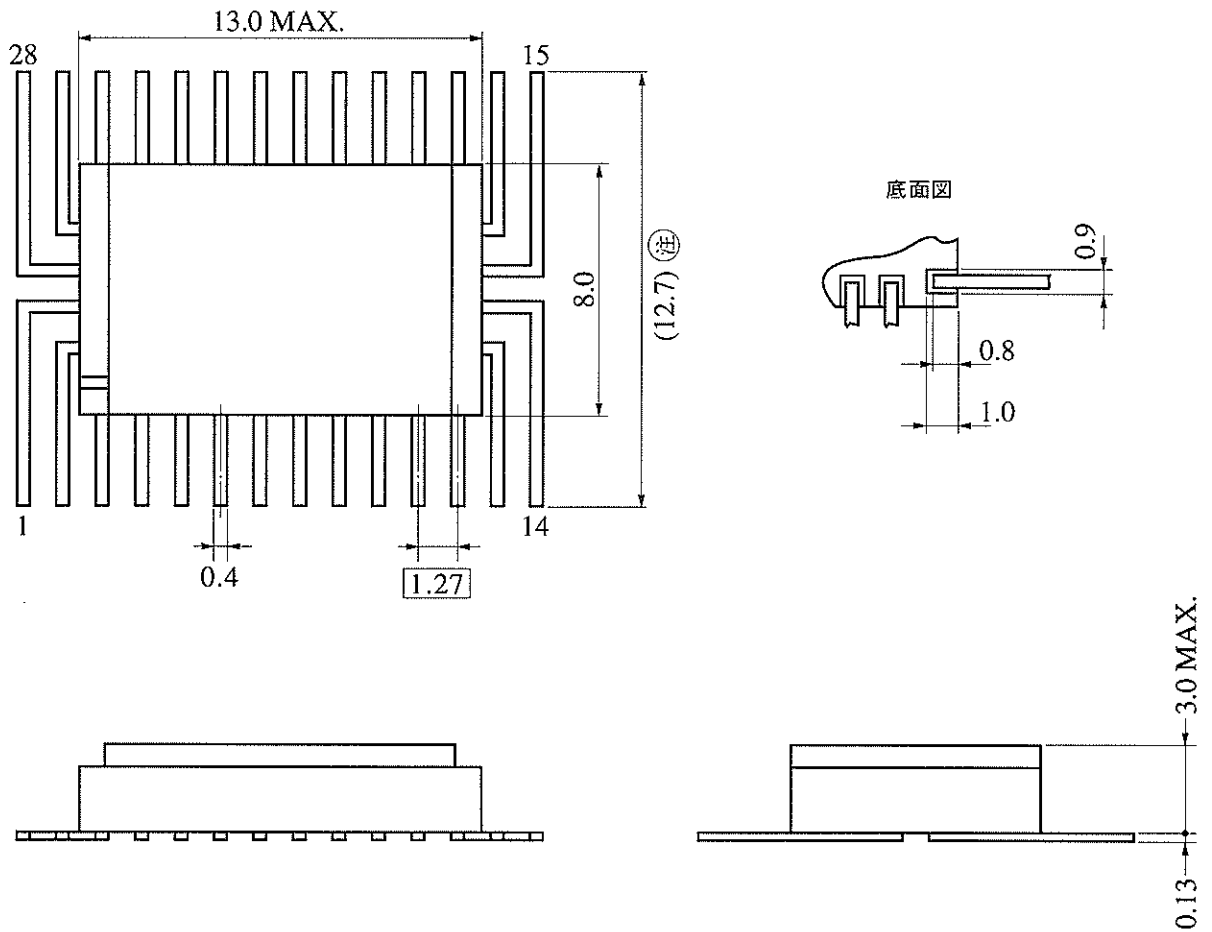
28ピン・セラミック・シュリンク DIP (400 mil) (ES品) 外形図 (単位: mm)



P28D-70-400B-1

ES品の外形図 (2/2)

28ピン・セラミック SOP (ES用) 外形図 (単位 : mm)



⑨ リード先端の切断加工は工程管理されていませんので、リード長は規定していません。

X28B-50B

25. μPD17134Aサブシリーズ一覧表

項 目	μPD17134A	μPD17136A	μPD17135A	μPD17137A
ROM容量	1024×16ビット	2048×16ビット	1024×16ビット	2048×16ビット
RAM容量	112×4ビット			
入出力ポート数	22本 (入力1本, センス入力1本含む)			
外部割り込み	1本			
アナログ入力	8ビットA/Dコンバータ (4チャンネル) (V _{DD} = 5V ± 10%の応用回路で使用可)			
タイマ	3チャンネル			
シリアル・インタフェース	1チャンネル			
スタック	アドレス・スタック×5, 割り込みスタック×3			
パワーオン/ パワーダウン・リセット	内蔵 (V _{DD} = 5V ± 10%の応用回路で使用可)		内蔵 (V _{DD} = 5V ± 10%, f _x = 400kHz~4MHzの 応用回路で使用可)	
システム・クロック	RC発振		セラミック発振	
命令実行時間	8 μs (f _{cc} = 2MHz時)		2 μs (f _x = 8MHz時)	
スタンバイ機能	HALT, STOP			
電源電圧	V _{DD} = 2.7~5.5V		V _{DD} = 2.7~5.5V (f _x = 4MHz時) V _{DD} = 4.5~5.5V (f _x = 8MHz時)	
パッケージ	28ピン・シュリンクDIP (400 mil) 28ピン・プラスチックSOP (375 mil)			
ワン・タイムPROM製品	μPD17P136A		μPD17P137A	

26. 半田付け推奨条件

μPD17137A (A1) の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)をご参照ください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表26-1 表面実装タイプの半田付け条件

μPD17137AGT (A1) -XXX : 28ピン・プラスチックSOP (375 mil)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、回数：2回以内 〈留意事項〉 (1) 2回目のリフロは1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロの後の水によるフラックス洗浄はお避けください。	IR35-00-2
VPS	半田槽温度：215℃、時間：25~40秒（200℃以上）、回数：2回以内 〈留意事項〉 (1) 2回目のリフロは1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロの後の水によるフラックス洗浄はお避けください。	VP15-00-2
端子部分加熱	端子部温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

表26-2 挿入タイプの半田付け条件

μPD17137ACT (A1) -XXX : 28ピン・プラスチック・シュリンクDIP (400 mil)

半田付け方式	半田付け条件
ウェーブ・ソルダーリング (端子のみ)	半田槽温度：260℃以下、時間：10秒以内
端子部分加熱	端子温度：300℃以下、時間：3秒以内（1端子当たり）

注意 ウェーブ・ソルダーリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

付録 開発ツール

μPD17137A (A1) のプログラムを開発するために、以下の開発ツールを用意しています。

ハードウエア

名 称	概 要
インサーキット・エミュレータ (IE-17K IE-17K-ET ^{注1} EMU-17K ^{注2})	IE-17K, IE-17K-ET, EMU-17Kは、17Kシリーズ共通のインサーキット・エミュレータです。 IE-17KおよびIE-17K-ETは、ホスト・マシンであるPC-9800シリーズまたはIBM PC/AT™とRS-232-Cを介して接続して使用します。EMU-17Kは、ホスト・マシンであるPC-9800シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード(SEボード)と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアであるSIMPLEHOST™を使用すると、さらに高度なデバッグ環境を実現できます。 なお,EMU-17Kは、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SEボード (SE-17134)	SE-17134は、μPD17134A, 17135A, 17136Aおよび17137A用のSEボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ (EP-17K28CT)	EP-17K28CTは、17Kシリーズ28ピン・シュリンクDIP (400 mil) 用のエミュレーション・プローブです。
エミュレーション・プローブ (EP-17K28GT)	EP-17K28GTは、17Kシリーズ28ピンSOP (375 mil) 用のエミュレーション・プローブです。EV-9500GT-28 ^{注3} とともに使用することで、SEボードとターゲット・システムを接続します。
変換アダプタ (EV-9500GT-28 ^{注3})	EV-9500GT-28は、28ピンSOP (375 mil) 用の変換アダプタです。EP-17K28GTとターゲット・システムを接続するために使用します。
PROMプログラマ (AF-9703 ^{注4} AF-9704 ^{注4} AF-9705 ^{注4} AF-9706 ^{注4})	AF-9703, AF-9704, AF-9705およびAF-9706は、μPD17P136A, 17P137Aに対応したPROMプログラマです。プログラムアダプタAF-9808Fを接続することにより、μPD17P136A, 17P137Aをプログラミングすることができます。
プログラムアダプタ (AF-9808F ^{注4})	AF-9808Fは、μPD17P136A, 17P137Aをプログラミングするためのアダプタです。AF-9703, AF-9704, AF-9705またはAF-9706と組み合わせて使用します。

注1. 廉価版：電源外付けタイプ

2. 株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー (東京 (03) 3447-3793) までお問い合わせください。
3. EP-17K28GTには、EV-9500GT-28が2個添付されています。また、EV-9500GT-28を5個1組で別売もしています。
4. 安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社 (東京 (03) 3733-1151) までお問い合わせください。

ソフトウェア

名 称	概 要	ホスト・マシン	OS		供給媒体	オーダ名称
17Kシリーズ アセンブラ (AS17K)	AS17Kは17Kシリーズ共通に使用できるアセンブラです。 μPD17135A, 17137Aのプログラム開発には、このAS17Kとデバイス・ファイル (AS17135A, AS17137A) を組み合わせて使用します。	PC-9800シリーズ	MS-DOS™		5 インチ2HD	μS5A10AS17K
					3.5インチ2HD	μS5A13AS17K
		IBM PC/AT	PC DOS™		5 インチ2HC	μS7B10AS17K
					3.5インチ2HC	μS7B13AS17K
デバイス・ ファイル (AS17135A, AS17137A)	AS17135A, AS17137Aは μPD17135A, 17137Aおよび μPD17P137A用のデバイス・ ファイルです。 17Kシリーズ共通のアセンブラ (AS17K) と組み合わせて使用 します。	PC-9800シリーズ	MD-DOS		5 インチ2HD	μS5A10AS17134 ^注
					3.5インチ2HD	μS5A13AS17134 ^注
		IBM PC/AT	PC DOS		5 インチ2HC	μS7B10AS17134 ^注
					3.5インチ2HC	μS7B13AS17134 ^注
サポート・ソフト ウェア (SIMPLEHOST)	SIMPLEHOSTはインサーキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときにWindows™上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800シリーズ	MS-DOS	Windows	5 インチ2HD	μS5A10IE17K
					3.5インチ2HD	μS5A13IE17K
		IBM PC/AT	PC DOS		5 インチ2HC	μS7B10IE17K
					3.5インチ2HC	μS7B13IE17K

注 μSXXXXAS17134には、AS17134A, AS17135A, AS17136A, AS17137Aが入っています。

備考 対応しているOSのバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver.3.30~Ver.5.00A ^注
PC DOS	Ver.3.1~Ver.5.0 ^注
Windows	Ver.3.0~Ver.3.1

注 MS-DOSのVer.5.00/5.00A, PC DOSのVer.5.0にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

SIMPLEHOSTは日本電気株式会社の商標です。

MS-DOS, Windowsは, 米国マイクロソフト社の商標です。

PC/AT, PC DOSは, 米国IBM社の商標です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは, ユーザ(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して, 当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合, 当社はその責を負うものではありませんのでご了承ください。
- 当社は品質, 信頼性の向上に努めていますが, 半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として, 人身事故, 火災事故, 社会的な損害等を生じさせない冗長設計, 延焼対策設計, 誤動作防止設計等安全設計に十分ご注意願います。
- 当社は, 当社製品の品質水準を「標準水準」, 「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また, 各品質水準は以下に示す用途に製品が使われることを意図しておりますので, 当社製品の品質水準をご確認の上ご使用願います。
 標準水準: コンピュータ, OA機器, 通信機器, 計測機器, AV機器, 家電, 工作機械, パーソナル機器, 産業用ロボット
 特別水準: 輸送機器(自動車, 列車, 船舶等), 交通用信号機器, 防災/防犯装置, 各種安全装置, 生命維持を直接の目的としない医療機器
 特定水準: 航空機器, 航空宇宙機器, 海底中継機器, 原子力制御システム, 生命維持のための医療機器, 生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で, 特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は, 必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

お問い合わせは, 最寄りのNECへ

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店 太田支店 宇都宮支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 横浜 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011 宇都宮 (0286)21-2281	小山支店 (0285)24-5011 長野支店 (0262)35-1444 松本支店 (0263)35-1666 諏訪支店 (0266)53-5350 甲府支店 (0552)24-4141 甲府宮 (048)641-1411 立川支店 (0425)26-5981 千葉支店 (043)238-8116 静岡支店 (054)255-2211 沼津支店 (0559)63-4455 浜松支店 (053)452-2711 北陸支店 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社 北九州支店	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (0899)45-4111 福岡 (092)271-7700 北九州 (093)541-2887	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	