

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

小型汎用

4ビット・シングルチップ・マイクロコントローラ

μ PD17120 は、タイマ機能、パワーオン/パワーダウン・リセット回路、シリアル・インタフェースを内蔵している4ビット・シングルチップ・マイクロコントローラです。

CPUとして汎用レジスタ方式である17Kアーキテクチャを採用しており、従来アキュムレータを介して行っていた演算に代わって直接データ・メモリ間で演算が行えます。さらに、すべての命令は16ビット/1語で構成されていますので、効率のよいプログラミングが可能です。

μ PD17120には、プログラム評価用および少量生産用としてワン・タイム PROM 製品の μ PD17P132 を用意しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD17120サブシリーズ ユーザーズ・マニュアル：IEU-835

特 徴

- | | |
|----------------------|--|
| ○17K アーキテクチャ採用 | : 汎用レジスタ方式、命令長16ビット固定 |
| ○プログラム・メモリ (ROM) | : 1.5K バイト (768×16ビット) |
| ○データ・メモリ (RAM) | : 64×4 ビット |
| ○命令実行時間 | : 8 μ s (2 MHz動作時: RC ^注 発振) |
| ○外部割り込み | : 1本 (INT 端子, センス入力付き) |
| ○タイマ機能 | : 1チャンネル |
| ○3線式シリアル・インタフェース | : 1チャンネル |
| ○入出力端子 | : 19本 (センス入力1本含む) |
| ○パワーオン/パワーダウン・リセット機能 | |
| ○電源電圧 | : $V_{DD}=2.7\sim 5.5$ V |

注 RC 発振の C は μ PD17120 に内蔵しています。

用 途

扇風機など家電製品の電子制御化

本資料の内容は、後日変更する場合があります。

オーダ情報

オーダ名称	パッケージ
μPD17120CS-×××	24ピン・プラスチック・シュリンク DIP (300 mil)
μPD17120GT-×××	24ピン・プラスチック SOP (375 mil)

備考 ×××は ROM コード番号です。

機能一覧

項目	機能
ROM 容量	1.5 K バイト (768×16ビット)
RAM 容量	64×4 ビット (スタックはデータ・メモリ外に確保)
スタック	アドレス・スタック×5, 割り込みスタック×1
入出力ポート数	19本 { <ul style="list-style-type: none"> ・入出力 : 18本 ・センス入力 (INT 端子^注) : 1本
タイマ	1 チャンネル (8 ビット・タイマ)
シリアル・インタフェース	1 チャンネル (3 線式)
割り込み	<ul style="list-style-type: none"> ・外部割り込み : 1 本 { <ul style="list-style-type: none"> 立ち上がり検出 立ち下がり検出 立ち上がりと立ち下がりの両エッジ検出 } 選択可 ・内部割り込み : 2 本 { <ul style="list-style-type: none"> ・タイマ (TM) ・シリアル・インタフェース (SIO)
命令実行時間	8 μs (2 MHz 動作時 : RC 発振)
スタンバイ機能	STOP, HALT
パワーオン/パワーダウン・リセット回路	内蔵 (V _{DD} =5 V±10 %の応用回路で使用可)
電源電圧	<ul style="list-style-type: none"> ・V_{DD}=2.7~5.5 V ・V_{DD}=4.5~5.5 V (パワーオン/パワーダウン・リセット機能使用時)
パッケージ	<ul style="list-style-type: none"> ・24ピン・プラスチック・シュリンク DIP (300 mil) ・24ピン・プラスチック SOP (375 mil)
ワン・タイム PROM 製品	μPD17P132

- ★ 注 INT 端子は外部割り込み機能を使用しない場合に、入力専用端子 (センス入力) として使用できます。センス入力では端子の状態をポート・レジスタではなく、コントロール・レジスタの INT フラグで読みます。
- ★ 注意 PROM 製品は、マスク ROM 製品と機能的には高い互換性がありますが、内部 ROM 回路や電気的特性の一部などに違いがあります。PROM 製品からマスク ROM 製品に切り替える際には、マスク ROM 製品のサンプルによる応用評価を十分に行ってください。

目 次

1. 端子接続図 (Top View) … 6
2. ブロック図 … 7
3. 端 子 … 8
 - 3.1 端子機能 … 8
 - 3.2 端子の等価回路 … 9
 - 3.3 未使用端子の処理 … 10
 - 3.4 $\overline{\text{RESET}}$ 端子と INT 端子の使用上の注意 … 11
4. プログラム・メモリ (ROM) … 12
 - 4.1 プログラム・メモリの構成 … 12
5. プログラム・カウンタ (PC) … 13
 - 5.1 プログラム・カウンタの構成 … 13
 - 5.2 プログラム・カウンタの動作 … 13
 - 5.3 プログラム・カウンタの使用上の注意 … 13
6. スタック … 14
7. データ・メモリ (RAM) … 15
 - 7.1 データ・メモリの構成 … 15
 - 7.2 実装されていないデータ・メモリ … 15
8. ジェネラル・レジスタ (GR) … 16
 - 8.1 ジェネラル・レジスタ・ポインタ (RP) … 16
9. システム・レジスタ (SYSREG) … 17
 - 9.1 システム・レジスタの構成 … 17
10. レジスタ・ファイル (RF) … 19
 - 10.1 レジスタ・ファイルの構成 … 19
 - 10.2 レジスタ・ファイルの機能 … 20
11. データ・バッファ (DBF) … 21
 - 11.1 データ・バッファの構成 … 21
 - 11.2 データ・バッファの機能 … 22

- 12. ALUブロック … 23
 - 12.1 ALUブロックの構成 … 23

- 13. ポート … 25
 - 13.1 ポートOA (POA₀, POA₁, POA₂, POA₃) … 25
 - 13.2 ポートOB (POB₀, POB₁, POB₂, POB₃) … 25
 - 13.3 ポートOC (POC₀, POC₁, POC₂, POC₃) … 25
 - 13.4 ポートOD (POD₀/SCK, POD₁/SO, POD₂/SI, POD₃/TMOUT) … 26
 - 13.5 ポートOE (POE₀, POE₁) … 27
 - 13.6 ポート・レジスタの操作時の注意 … 28

- 14. 8ビット・タイマ・カウンタ (TM) … 29
 - 14.1 8ビット・タイマ・カウンタの構成 … 29
 - 14.2 タイマ出力 … 30

- 15. シリアル・インタフェース (SIO) … 31
 - 15.1 シリアル・インタフェースの機能 … 31
 - 15.2 3線式シリアル・インタフェースの動作モード … 33

- 16. 割り込み機能 … 35
 - 16.1 割り込み要因とベクタ・アドレス … 35
 - 16.2 割り込み制御回路の各種ハードウェア … 36

- 17. スタンバイ機能 … 37
 - 17.1 スタンバイ機能の概要 … 37
 - 17.2 HALTモード … 38
 - 17.3 STOPモード … 39

- 18. リセット … 40
 - 18.1 リセット機能 … 40
 - 18.2 リセット動作 … 41
 - 18.3 パワーオン/パワーダウン・リセット機能 … 42

- 19. 命令セット … 47
 - 19.1 凡 例 … 47
 - 19.2 命令セット一覧 … 48
 - 19.3 アセンブラ (AS17K) 組み込みマクロ命令 … 49

- 20. アセンブラ予約語 … 50
 - 20.1 マスク・オプション疑似命令 … 50
 - 20.2 予約シンボル … 52

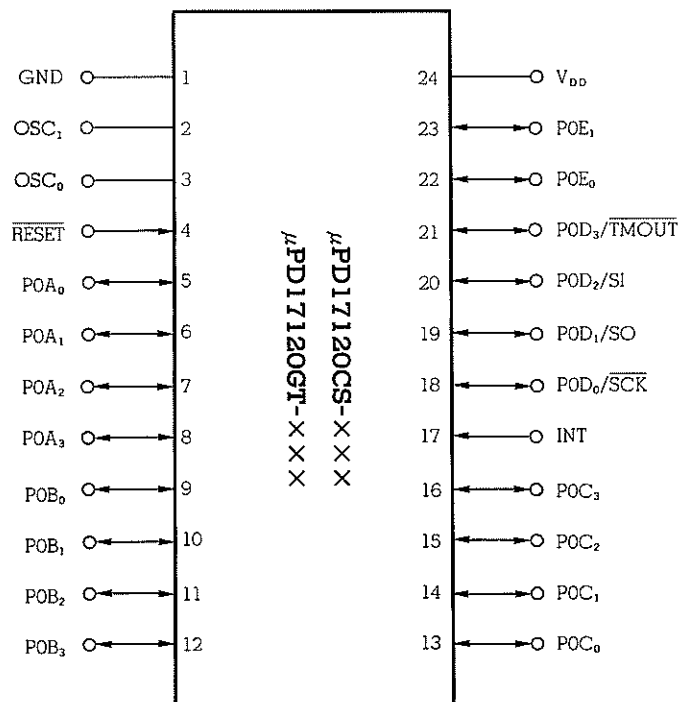
- 21. 電気的特性 … 58

- 22. 特性曲線（参考値） … 63
- 23. 外形図 … 68
- 24. μ PD17120サブシリーズの機能比較 … 72
- 25. 半田付け推奨条件 … 73
- 付録 開発ツール … 74

1. 端子接続図 (Top View)

24ピン・プラスチック・シュリンク DIP

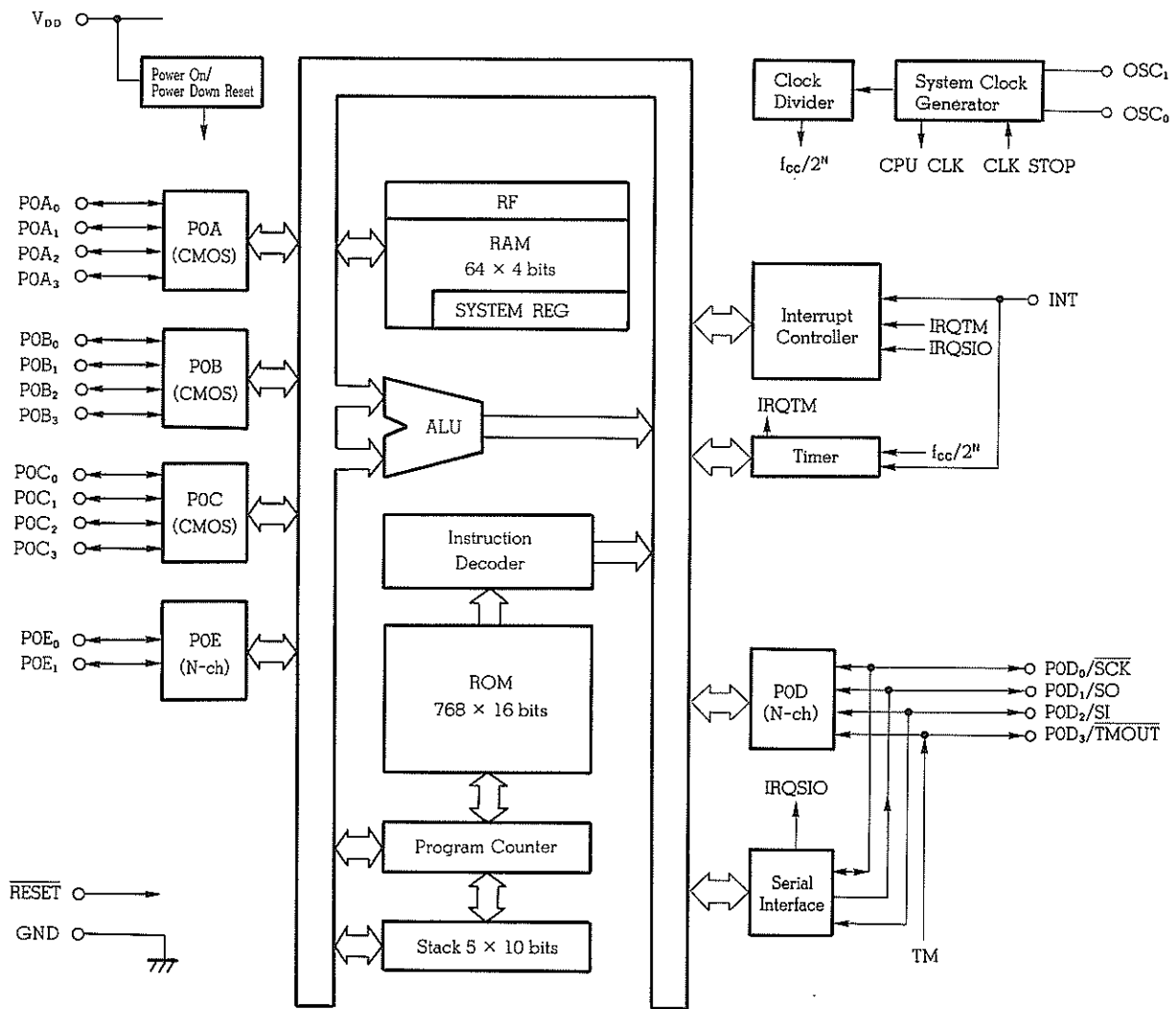
24ピン・プラスチック SOP



$\overline{\text{RESET}}$: リセット入力
 $\overline{\text{TMOUT}}$: タイマ出力
 INT : 外部割り込み入力
 SI : シリアル・データ入力
 SO : シリアル・データ出力
 $\overline{\text{SCK}}$: シリアル・クロック入出力
 $\text{OSC}_0, \text{OSC}_1$: システム・クロック発振用

$\text{POA}_0\text{-POA}_3$: ポート OA
 $\text{POB}_0\text{-POB}_3$: ポート OB
 $\text{POC}_0\text{-POC}_3$: ポート OC
 $\text{POD}_0\text{-POD}_3$: ポート OD
 $\text{POE}_0, \text{POE}_1$: ポート OE
 V_{DD} : 電源
 GND : グランド

2. ブロック図



備考 () の CMOS, N-ch はポートの出力形式を表します。

CMOS : CMOS プッシュプル出力

N-ch : N-ch オープン・ドレイン出力 (N-ch オープン・ドレインの各端子はマスク・オプションによりビット単位でプルアップ抵抗を内蔵することができます)

3. 端 子

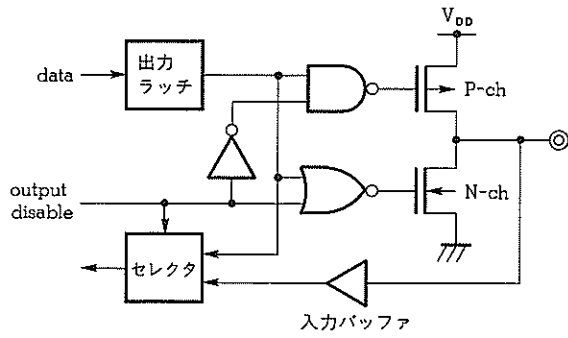
3.1 端子機能

端子番号	記 号	機 能	出力形式	リセット時
1	GND	GND です。	—	—
2	OSC ₁	システム・クロック発振用端子です。	—	—
3	OSC ₀	OSC ₀ , OSC ₁ 間に抵抗を接続します。	—	—
4	$\overline{\text{RESET}}$	リセット入力です。 ・マスク・オプションによるプルアップ抵抗内蔵可能	—	入 力
5 8	POA ₀ POA ₃	ポート 0A です。 ・4ビット入出力ポート ・1ビット単位で入力/出力設定可能	CMOS プッシュプル	入 力
9 12	POB ₀ POB ₃	ポート 0B です。 ・4ビット入出力ポート ・4ビット単位で入力/出力設定可能	CMOS プッシュプル	入 力
13 16	POC ₀ POC ₃	ポート 0C です。 ・4ビット入出力ポート ・1ビット単位で入力/出力設定可能	CMOS プッシュプル	入 力
17	INT	外部割り込み要求信号の入力およびセンス入力です。	—	入 力
18 19 20 21	POD ₀ / $\overline{\text{SCK}}$ POD ₁ /SO POD ₂ /SI POD ₃ / $\overline{\text{TMOUT}}$	ポート 0D, タイマ出力, シリアル・データ入力, シリアル・データ出力, およびシリアル・クロック入出力です。 ●POD ₀ -POD ₃ ・4ビット入出力ポート ・1ビット単位で入力/出力設定可能 ・1ビット単位でマスク・オプションによるプルアップ抵抗内蔵可能 ● $\overline{\text{SCK}}$ ・シリアル・クロック入出力 ●SO ・シリアル・データ出力 ●SI ・シリアル・データ入力 ● $\overline{\text{TMOUT}}$ ・タイマ出力	N-ch オープン・ドレイン	入 力 (POD)
22 23	POE ₀ POE ₁	ポート 0E です。 ・2ビット入出力ポート ・1ビット単位で入力/出力設定可能 ・1ビット単位でマスク・オプションによるプルアップ抵抗内蔵可能	N-ch オープン・ドレイン	入 力
24	V _{DD}	電源	—	—

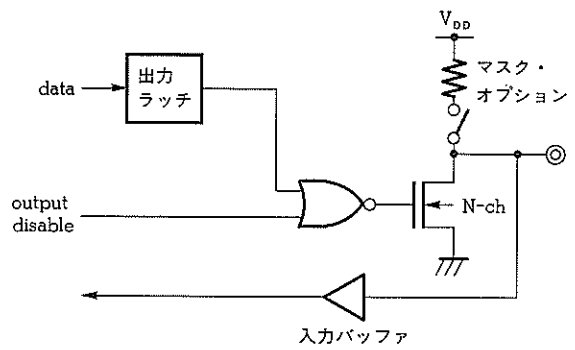
3.2 端子の等価回路

μPD17120の各入出力端子の等価回路を一部簡略化した形式を用いて示します。

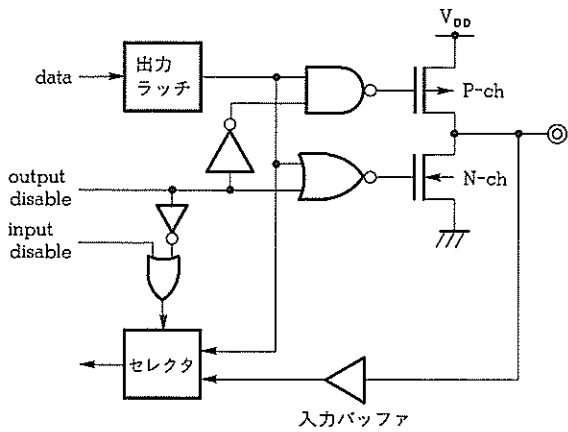
(1) POA₀-POA₃, POB₀-POB₃



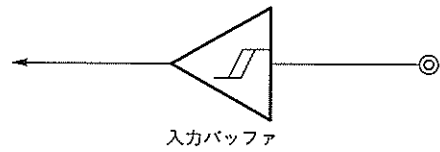
(4) POE₀, POE₁



(2) POC₀-POC₃

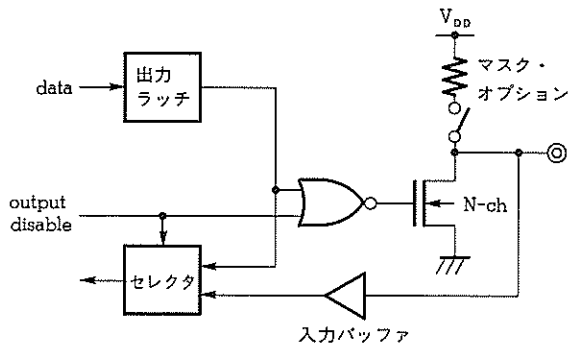


(5) INT

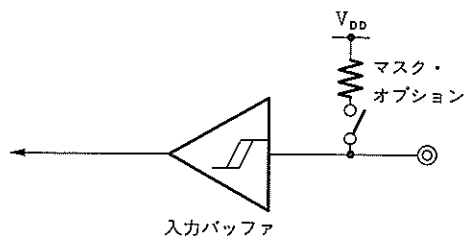


ヒステリシス特性を有するシュミット・トリガ入力となっています。

(3) POD₀-POD₃



(6) $\overline{\text{RESET}}$



ヒステリシス特性を有するシュミット・トリガ入力となっています。

★ 3.3 未使用端子の処理

未使用端子には、次に示すような処置を推奨します。

表 3-1 未使用端子の処理

端子名		推奨処理方法		
		マイコン内部	マイコン外部	
ポート	入力モード	POA, POB, POC	—	各端子ごとに抵抗を介して V_{DD} または GND に接続 ^{注1}
		POD, POE	マスク・オプションによるプルアップ抵抗を内蔵しない	
	マスク・オプションによるプルアップ抵抗を内蔵する			
	出力モード	POA, POB, POC (CMOS ポート)	—	オープン
		POD, POE (N-ch オープン・ドレイン・ポート)	マスク・オプションによるプルアップ抵抗を内蔵しないで、ロウ・レベルを出力する	
			マスク・オプションによるプルアップ抵抗を内蔵して、ハイ・レベルを出力する	
外部割り込み (INT) ^{注2}		—	GND に直接接続	
$\overline{\text{RESET}}$ ^{注3} [内蔵のパワーオン/パワーダウン・リセットだけを使用する場合]		マスク・オプションによるプルアップ抵抗を内蔵しない	V_{DD} に直接接続	
		マスク・オプションによるプルアップ抵抗を内蔵する		

注 1. 外部でプルアップ（抵抗を介して V_{DD} に接続）またはプルダウン（抵抗を介して GND に接続）する場合には、ポートのドライブ能力や消費電流に注意してください。

また、高い抵抗値でプルアップまたはプルダウンする場合には、その端子にノイズが乗らないように注意してください。応用回路にもよりますが、プルアップまたはプルダウンの抵抗値は、数十 kΩ 程度に選ぶことが一般的です。

2. INT 端子はテスト・モードの設定機能を兼用しているので、未使用の場合は直接 GND に接続してください。

3. 高い信頼性を必要とする応用回路では、必ず外部から $\overline{\text{RESET}}$ 信号を入力するように設計してください。また、 $\overline{\text{RESET}}$ 端子はテスト・モードの設定機能を兼用しているので、未使用の場合は直接 V_{DD} に接続してください。

注意 入出力モード、端子の出力レベルは、プログラムの各ループ内で繰り返し設定することによって固定することを推奨します。

3.4 $\overline{\text{RESET}}$ 端子と INT 端子の使用上の注意

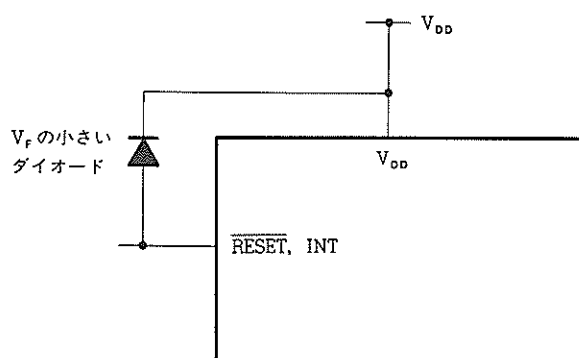
$\overline{\text{RESET}}$ 端子と INT 端子は、3.1 端子機能に示した機能のほかに、μPD17120 の内部動作をテストする、テスト・モードを設定する機能（IC テスト専用）を持っています。

これらの端子のいずれかに V_{DD} を越える電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であっても V_{DD} を越えるようなノイズが加わった場合にはテスト・モードに入ってしまう、通常動作に支障をきたすことがあります。

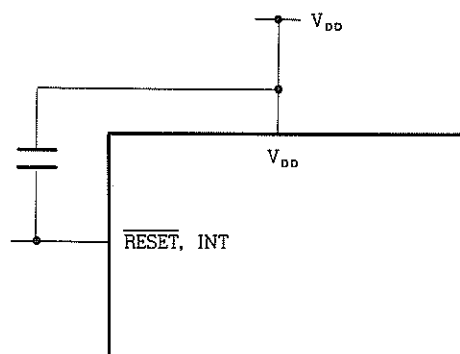
たとえば、 $\overline{\text{RESET}}$ 端子または INT 端子の配線の引き回しが長い場合などでは、これらの端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は、下図のような外付け部品によるノイズ対策を実施してください。

○ V_{DD} との間に V_F の小さいダイオードを接続



○ V_{DD} との間にコンデンサを接続



4. プログラム・メモリ (ROM)

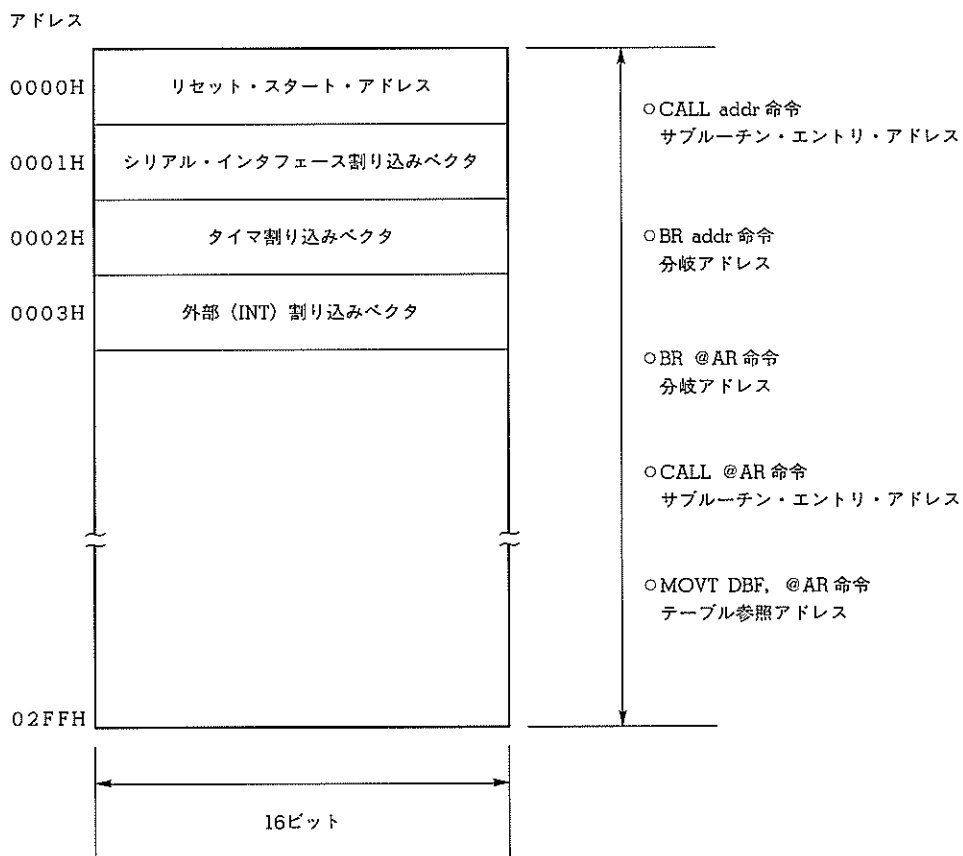
μPD17120 は、プログラム・メモリとして 1.5 K バイト (768×16ビット) のマスク ROM を内蔵しています。プログラム・メモリは、プログラム・カウンタによってそのアドレスが指定されます。

★ プログラム・メモリは、プログラムおよび定数データ・テーブルなどを格納します。プログラム・メモリの 0000H-0003H 番地は、リセット・スタート・アドレスと割り込みベクタ・アドレスに割り当てられています。

4.1 プログラム・メモリの構成

図 4-1 にプログラム・メモリ・マップを示します。分岐命令、サブルーチン・コール命令、テーブル参照命令によるアドレス指定は、プログラム・メモリの全範囲に対して可能です。

図 4-1 μPD17120 のプログラム・メモリ・マップ



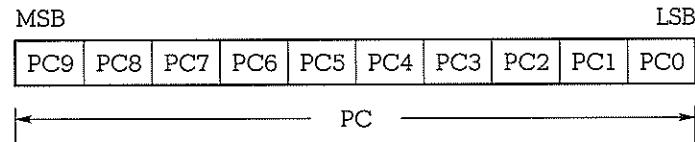
5. プログラム・カウンタ (PC)

プログラム・カウンタは、プログラム・メモリのアドレスを指定するために使用します。

5.1 プログラム・カウンタの構成

プログラム・カウンタは、図 5-1 に示すように10ビットのバイナリ・カウンタで構成されています。

図 5-1 プログラム・カウンタ



5.2 プログラム・カウンタの動作

プログラム・カウンタは、通常、命令を1つ実行するたびに自動的にインクリメントされます。また、リセット時、分岐命令、サブルーチン・コール命令、リターン命令、テーブル参照命令が実行されたときおよび割り込みが受け付けられたときには、次に実行すべきプログラム・メモリのアドレスがプログラム・カウンタに設定されます。

表 5-1 命令実行後のプログラム・カウンタの値

命令	プログラム・カウンタの値									
	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
リセット時	0	0	0	0	0	0	0	0	0	0
BR addr	addr で指定した値									
CALL addr										
BR @AR CALL @AR MOV T DBF, @AR	アドレス・レジスタ (AR) の内容									
RET RETSK RETI	スタック・ポインタで指定される アドレス・スタックの内容 (戻り番地)									
割り込み受け付け時	各割り込みのベクタ・アドレス									

5.3 プログラム・カウンタの使用上の注意

μPD17120 のプログラム・カウンタ (PC) は、10ビットで構成されているため、最大1024ステップ分のプログラムを指定できる構成になっています。これに対し ROM サイズは768ステップ (0000H-02FFH 番地) しかありません。もしプログラム・カウンタの値が 300H 番地以降を指定すると、プログラムの内容としては FFFFH が読み込まれ、「SKF PSW, #0FH」命令を実行していることと等価になります。

このため、次の点に注意してください。

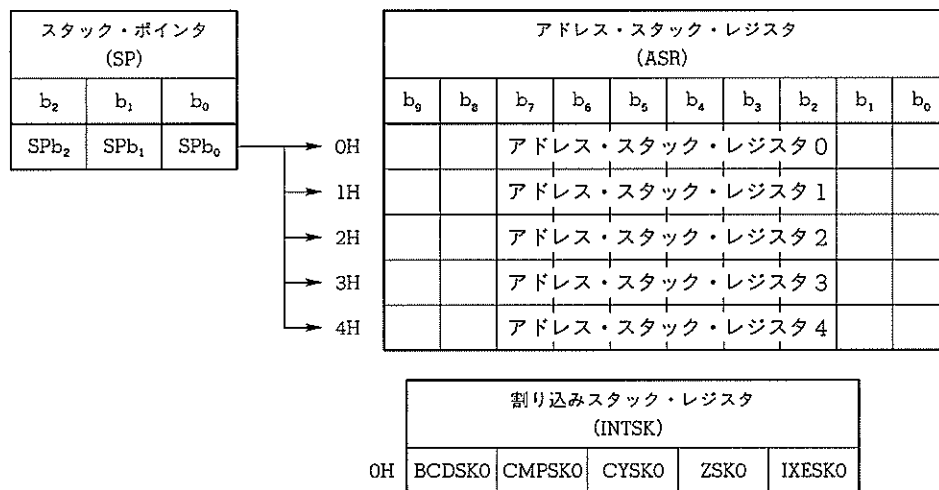
- (1) 768 ステップ目 (02FFH 番地) までプログラムを使用する場合、その命令が分岐命令 (BR) または復帰命令 (RET) 以外であると、ROM が存在しない領域をプログラム・カウンタが指定してしまいます。02FFH 番地の命令を実行しても、プログラム・カウンタは自動的に 0000H 番地になりませんので注意してください。
- (2) (1) と同様に、768 ステップ目 (02FFH 番地) 以降に分岐するような命令の使用も避けてください。

6. スタック

スタックの構成を図6-1に示します。スタックは、アドレス・スタック・レジスタと割り込みスタック・レジスタから構成されています。

スタックは、サブルーチン・コール命令実行時やテーブル参照命令実行時に戻り番地を退避するために使用します。また、割り込み受け付け時には、プログラムの戻り番地およびプログラム・ステータス・ワード (PSWORD) が自動的に退避されます。なお、退避後バンクおよび PSWORD は全ビットが0にクリアされます。

図 6-1 スタックの構成



7. データ・メモリ (RAM)

データ・メモリ (RAM) は、演算、制御等のデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

7.1 データ・メモリの構成

データ・メモリには、7ビットの番地 (アドレス) が付けられています。アドレスの上位3ビットを“ロウ・アドレス”，下位4ビットを“カラム・アドレス”と呼びます。

たとえば、1AHというアドレスのロウ・アドレスは1Hで、カラム・アドレスは0AHです。

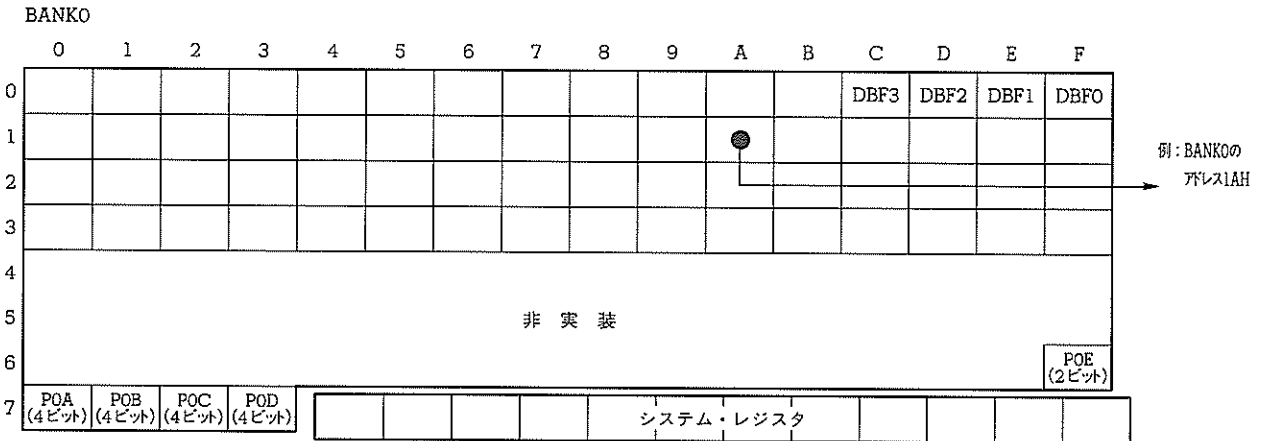
データ・メモリは、1つのアドレスにつき4ビット (=1ニブル) のメモリで構成されています。

データ・メモリには、ユーザが自由にデータなどを格納することができる領域と、あらかじめ特別な機能が割り当てられている領域があります。

特別な機能を持つ領域は次のとおりです。

- システム・レジスタ (SYSREG) (9. システム・レジスタ (SYSREG) 参照)
- データ・バッファ (DBF) (11. データ・バッファ (DBF) 参照)
- ポート・レジスタ (13. ポート参照)

図 7-1 データ・メモリの構成



7.2 実装されていないデータ・メモリ

アドレス 40H-6EH にはハードウェア上は何も実装されていません。このため、この領域の内容を読み出したときは、不定の値が読み出されます。また、この領域に対するデータの書き込み命令は無効になりますので使用しないでください。

なお、もし実装されていないデータ・メモリの領域を使用した場合、17Kシリーズのアセンブラ (AS17K) ではエラーを出力し、インサーキット・エミュレータ (IE-17K, IE-17K-ET) では、書き込み時は無効に、読み出し時は0が読み出されます。

8. ジェネラル・レジスタ (GR)

ジェネラル・レジスタは、その名が示すように汎用のレジスタで、データ転送、演算などに使用します。

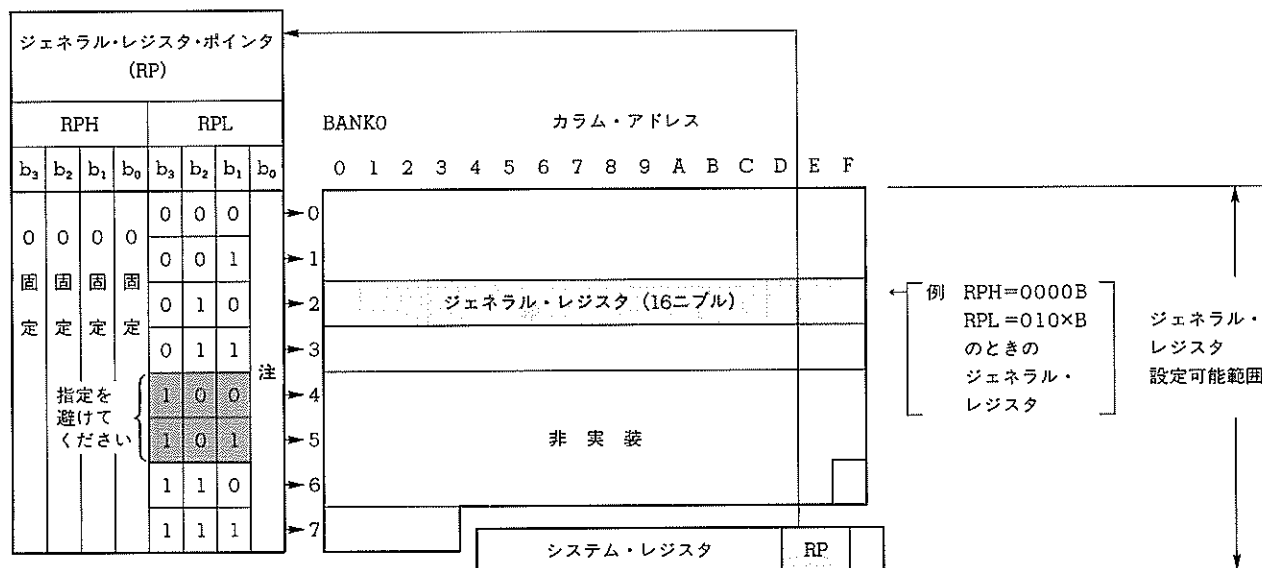
17K シリーズでは、ジェネラル・レジスタは固定された領域ではなく、ジェネラル・レジスタ・ポインタ (RP) により、データ・メモリ上に指定される領域です。データ・メモリ領域の一部を必要に応じて、汎用のレジスタとして指定できますので、データ・メモリ間のデータ転送やデータ・メモリに対する演算などを1命令で実現できます。

8.1 ジェネラル・レジスタ・ポインタ (RP)

RP は、データ・メモリの一部をジェネラル・レジスタに指定するポインタです。RP には、ジェネラル・レジスタに指定したいデータ・メモリのバンクとロウ・アドレスを設定します。RP はシステム・レジスタ(9. システム・レジスタ (SYSREG) 参照) の7DH (RPH) と7EH (RPL) の上位3ビットの計7ビットに割り付けられています。

RPH にはバンクを、RPL にはデータ・メモリ・ロウ・アドレスを設定します。

図 8-1 ジェネラル・レジスタ・ポインタの構成



注 BCD フラグに割り当てられています。

9. システム・レジスタ (SYSREG)

システム・レジスタ (SYSREG) は、直接 CPU の制御を行うためのレジスタでデータ・メモリ上に配置されています。

9.1 システム・レジスタの構成

図 9-1 にシステム・レジスタのデータ・メモリ上の配置を示します。図 9-1 に示すようにシステム・レジスタは、データ・メモリの 74H - 7FH 番地に配置されています。

また、システム・レジスタはデータ・メモリ上に配置されているので、すべてのデータ・メモリ操作命令で操作することができます。したがって、システム・レジスタをジェネラル・レジスタに指定することも可能です。

図 9-1 システム・レジスタのデータ・メモリ上の配置

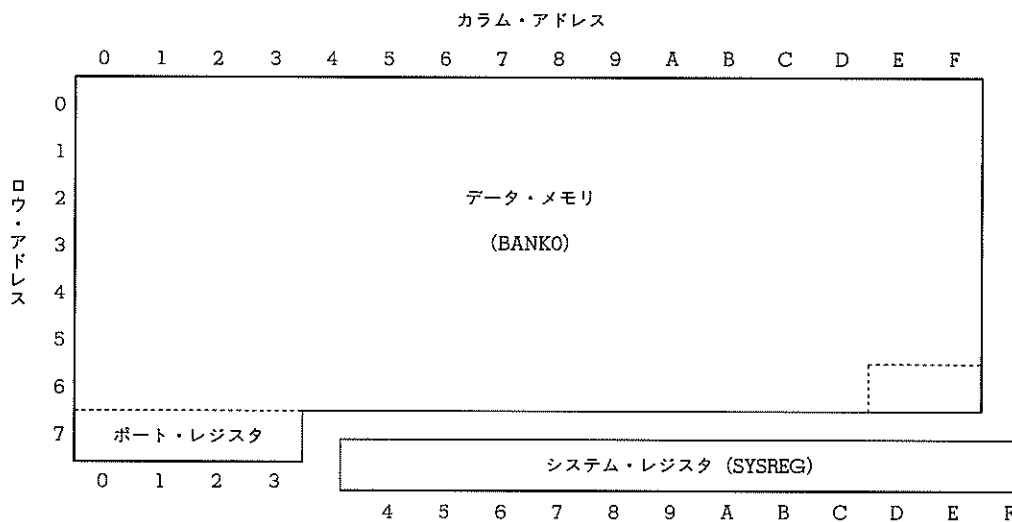


図 9-2 にシステム・レジスタの構成を示します。図 9-2 に示すようにシステム・レジスタは、次の 7 個のレジスタで構成されています。

- アドレス・レジスタ (AR)
- ウィンドウ・レジスタ (WR)
- バンク・レジスタ (BANK)
- インデクス・レジスタ (IX)
- データ・メモリ・ロウ・アドレス・ポインタ (MP)
- ジェネラル・レジスタ・ポインタ (RP)
- プログラム・ステータス・ワード (PSWORD)

図 9-2 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)	プログラム・ステータス・ワード (PSWORD)	
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀
注 データ	0 0 0 0 0 0 0 0 (AR)				0 0 0 0 (BANK)		M P 0 0 0 0 (IX) E (MP)			0 0 0 0 (RP)		B C C I C M Y Z X D P E
リセット時の初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0				不定	0 0 0 0 0 0 0 0		0 0 0 0 0 0 0 0 0 0 0 0			0 0 0 0 0 0 0 0 0 0 0 0	

注 この欄の0が書かれている部分は“0固定”を表します。

★ 備考 PSWORD は割り込みスタック・レジスタに退避後、5ビットすべてが自動的に“0”にクリアされます。

10. レジスタ・ファイル (RF)

レジスタ・ファイルは主として周辺ハードウェアの条件設定を行うためのレジスタです。

設定には PEEK, POKE 命令または AS17K の組み込みマクロ命令である SETn, CLRn および INITFLG 命令を使用します。

10.1 レジスタ・ファイルの構成

10.1.1 レジスタ・ファイルの構成

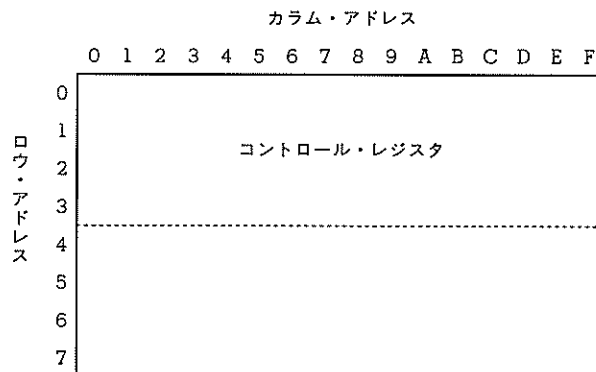
図 10-1 にレジスタ・ファイルの構成を示します。

図 10-1 に示すようにレジスタ・ファイルは128ニブル (128×4 ビット) で構成されるレジスタです。

レジスタ・ファイルはデータ・メモリと同様に 4 ビット単位でアドレス (番地) が割り当てられており, ロウ・アドレスが 0H-7H でカラム・アドレスが 0H-0FH の計128ニブルになります。

また, アドレス 00H から 3FH 番地まではコントロール・レジスタと呼ばれます。

図 10-1 レジスタ・ファイルの構成



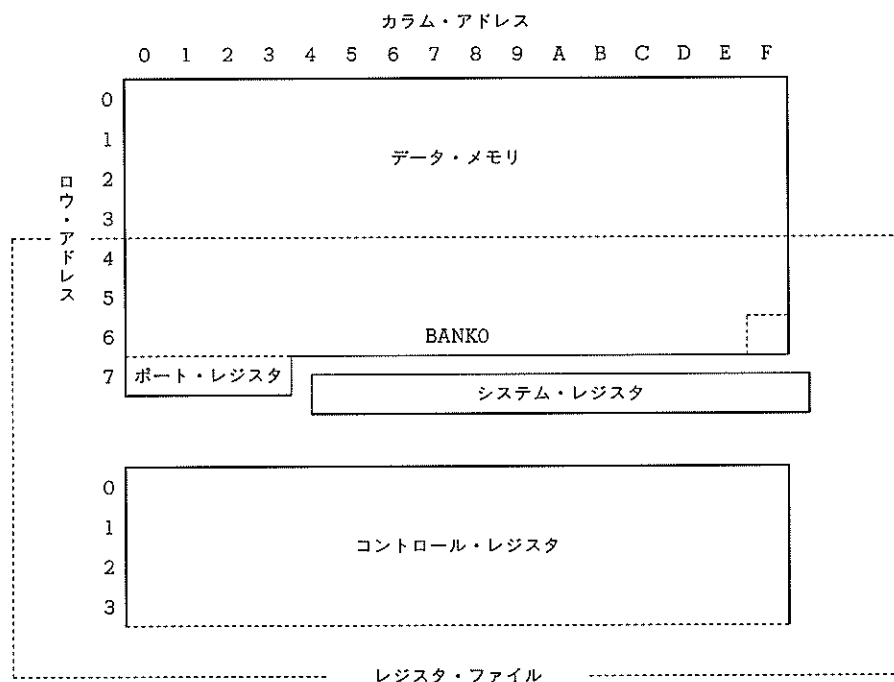
10.1.2 レジスタ・ファイルとデータ・メモリ

図 10-2 にレジスタ・ファイルとデータ・メモリの関係を示します。

図 10-2 に示すようにレジスタ・ファイルのアドレス 40H から 7FH 番地までは, データ・メモリと重なっています。

すなわちプログラム上は, レジスタ・ファイルの 40H-7FH 番地に, データ・メモリのアドレス 40H から 7FH 番地と同じメモリがあるように見えます。

図 10-2 レジスタ・ファイルとデータ・メモリの関係



10.2 レジスタ・ファイルの機能

10.2.1 レジスタ・ファイルの機能

レジスタ・ファイルは、PEEK 命令または POKE 命令により、周辺ハードウェアの条件設定をするレジスタ群です。周辺ハードウェアを制御するレジスタは、00H-3FH 番地に割り付けられており、この部分をコントロール・レジスタと呼びます。

レジスタ・ファイルの 40H-7FH 番地には、通常のデータ・メモリが見えています。したがって、この部分は MOV 命令だけでなく、PEEK 命令、POKE 命令による読み書きが可能です。

10.2.2 コントロール・レジスタの機能

コントロール・レジスタにより条件設定を行う周辺ハードウェアを以下に示します。

周辺ハードウェアとコントロール・レジスタの詳細については各周辺ハードウェアの項を参照してください。

- ポート
- 8ビット・タイマ・カウンタ (TM)
- シリアル・インタフェース (SIO)
- 割り込み機能
- スタック・ポインタ (SP)

11. データ・バッファ (DBF)

データ・バッファは、データ・メモリの BANK0 のアドレス 0CH-0FH に割り当てられた 4 ニブルで構成されています。

この領域は GET, PUT 命令によって CPU の周辺ハードウェア (アドレス・レジスタ, シリアル・インタフェース, タイマ) とデータの受け渡しを行うデータ格納領域です。また, MOVT DBF, @AR 命令によりプログラム・メモリ上の定数データをデータ・バッファ上に読み込むことができます。

11.1 データ・バッファの構成

図 11-1 にデータ・バッファのデータ・メモリ上の配置を示します。

図 11-1 に示すように, データ・バッファは, データ・メモリのアドレス 0CH-0FH が割り当てられており, 4 ニブル (4×4 ビット) の計16ビットから構成されています。

図 11-1 データ・バッファの配置



図 11-2 にデータ・バッファの構成を示します。図 11-2 に示すようにデータ・バッファはデータ・メモリの 0FH 番地のビット 0 を LSB とし, 0CH 番地のビット 3 を MSB とする16ビットで構成されています。

図 11-2 データ・バッファの構成

データ・メモリ BANK0	アドレス	0CH				0DH				0EH				0FH			
	ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ・バッファ	ビット	b ₁₅	b ₁₄	b ₁₃	b ₁₂	b ₁₁	b ₁₀	b ₉	b ₈	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
	記号	DBF3				DBF2				DBF1				DBF0			
	データ	$\begin{matrix} \wedge \\ M \\ S \\ B \\ \vee \end{matrix}$				データ				$\begin{matrix} \wedge \\ L \\ S \\ B \\ \vee \end{matrix}$							

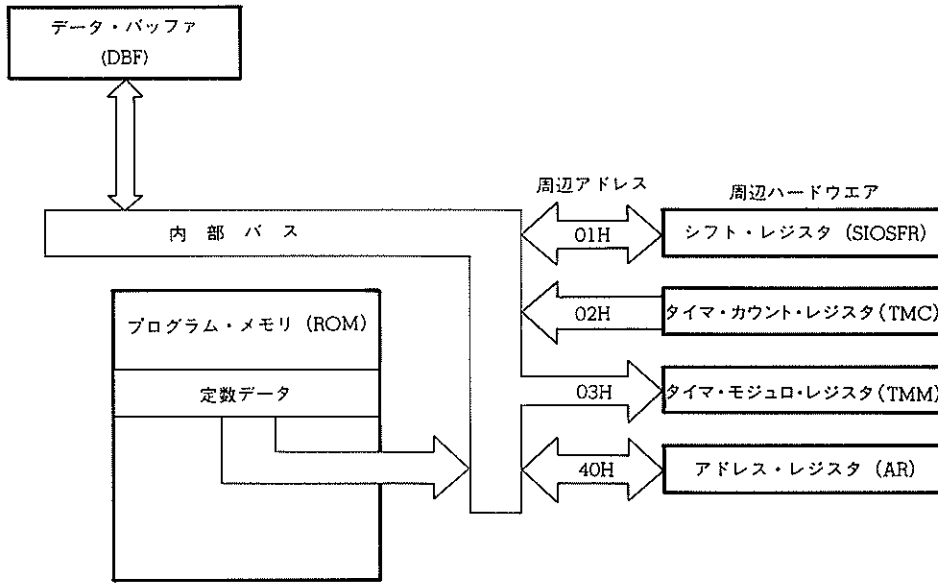
データ・バッファは, データ・メモリ上に配置されているため, すべてのデータ・メモリ操作命令で操作できます。

11.2 データ・バッファの機能

データ・バッファは、大別して2つの機能があります。

1つは周辺ハードウェアとのデータ転送機能で、もう1つはプログラム・メモリ上の定数データの読み込み(テーブル参照)機能です。図11-3にデータ・バッファと周辺ハードウェアの関係を示します。

図 11-3 データ・バッファと周辺ハードウェア



12. ALU ブロック

ALU は 4 ビット・データの算術演算, 論理演算, ビット判断および回転処理を行います。

12.1 ALU ブロックの構成

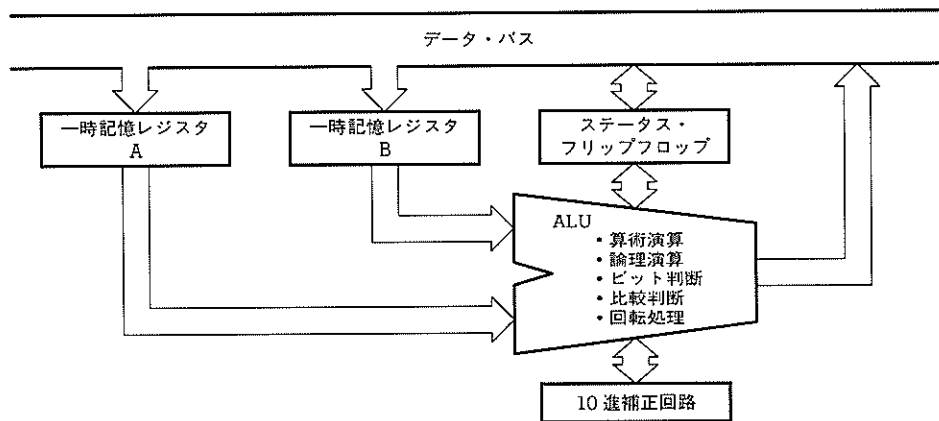
図 12-1 に ALU ブロックの構成を示します。

図 12-1 に示すように ALU ブロックは 4 ビットのデータ処理を行う ALU 本体と, ALU の周辺回路である一時記憶用レジスタ A, B と, ALU の状態を制御するステータス・フリップフロップと, BCD 演算使用時の 10 進補正回路から構成されています。

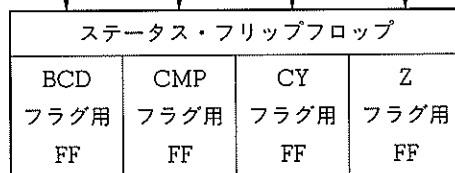
ステータス・フリップフロップは図 12-1 に示すように, ゼロ・フラグ用 FF, キャリー・フラグ用 FF, コンペア・フラグ用 FF および BCD フラグ用 FF から構成されています。

ステータス・フリップフロップはシステム・レジスタの中のプログラム・ステータス・ワード (PSWORD: アドレス 7EH, 7FH) の各フラグであるゼロ・フラグ (Z), キャリー・フラグ (CY), コンペア・フラグ (CMP) および BCD フラグ (BCD) と 1 対 1 に対応しています。

図 12-1 ALU ブロックの構成



アドレス	7EH	7FH			
名称	プログラム・ステータス・ワード (PSWORD)				
ビット	b ₀	b ₃	b ₂	b ₁	b ₀
フラグ	BCD	CMP	CY	Z	IXE



機能の概要	
→	算術演算結果が0であることを示す
→	算術演算時のキャリーまたはポローを格納
→	算術演算結果を格納するかを指定
→	算術演算時に10進補正を行うかを指定

13. ポート

13.1 ポート OA (POA₀, POA₁, POA₂, POA₃)

ポート OA は出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリの 70H 番地にマッピングされています。出力形式は CMOS プッシュプル出力です。

1 ビットごとに入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上の POABIO0-POABIO3 (35H 番地) により行います。

リセット時には POABIO_n は "0" になり (n=0-3), POA の端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も "0" になります。

表 13-1 ポート・レジスタ (0.70H) への書き込みと読み出し

(n=0-3)

POABIO _n RF: 35H	端子の入力/出力	BANK0 70H	
		書き込み	読み出し
0	入力	可能	POA の端子の状態
1	出力	POA ラッチに書き込み	POA のラッチの内容

13.2 ポート OB (POB₀, POB₁, POB₂, POB₃)

ポート OB は、出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリの BANK0 の 71H 番地にマッピングされています。出力形式は CMOS プッシュプル出力です。

4 ビット単位で入力または出力の指定をすることができます。入力/出力の指定は、レジスタ・ファイル上の POBGIO (24H 番地のビット 0) により行います。

リセット時には POBGIO は "0" になり、POB の端子はすべて入力ポートになります。また、ポートの出力ラッチの値も "0" になります。

表 13-2 ポート・レジスタ (0.71H) への書き込みと読み出し

POBGIO RF: 24H, ビット 0	端子の入力/出力	BANK0 71H	
		書き込み	読み出し
0	入力	可能	POB の端子の状態
1	出力	POB ラッチに書き込み	POB のラッチの内容

13.3 ポート OC (POC₀, POC₁, POC₂, POC₃)

ポート OC は、出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリの BANK0 の 72H 番地にマッピングされています。出力形式は CMOS プッシュプル出力です。

1 ビットごとに入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上の POCBIO0-POCBIO3 (34H 番地) により行います。

リセット時には POCBIO_n は "0" になり (n=0-3), POC の端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も "0" になります。

表 13-3 ポート・レジスタ (0.72H) への書き込みと読み出し

(n=0-3)

POCBIO _n RF : 34H	端子の入力/出力	BANK0 72H	
		書き込み	読み出し
0	入力	可能 POC ラッチに書き込み	POC の端子の状態
1	出力		POC のラッチの内容

13.4 ポート OD (POD₀/ \overline{SCK} , POD₁/SO, POD₂/SI, POD₃/ \overline{TMOUT})

ポート OD は出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリの 73H 番地にマッピングされています。出力形式は N-ch オープン・ドレイン出力です。また、マスク・オプションによりビット単位でプルアップ抵抗を内蔵することができます。

1 ビット単位で入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上の PODBIO0-PODBIO3 (33H 番地) により行います。

リセット時には、POCBIO_n は “0” になり (n=0-3)、POD の端子はすべて入力になり、ポートの出力ラッチの内容もすべて “0” になります。なお、POCBIO_n を “1” から “0” に変化させても出力ラッチの内容は変わりません。

また、ポートとして使用できるほかに、シリアル・インタフェース用の入出力やタイマ出力として使用できます。ポート (POD₀-POD₂) とシリアル・インタフェース用入出力 (\overline{SCK} , SI, SO) の切り替えは、レジスタ・ファイル上の SIOEN (0AH のビット 0) によって行います。また、ポート (POD₃) とタイマ出力 (\overline{TMOUT}) の切り替えはレジスタ・ファイル上の TMOSEL (12H のビット 0) によって行います。TMOSEL = 1 を選択すると、タイマのリセット時には “1” を出力し、タイマのカウント値がモジュロ・レジスタの内容と一致するごとにその出力を反転します。

表 13-4 レジスタ・ファイルの内容と端子の機能

(n=0-3)

レジスタ・ファイルの値			端子の機能			
TMOSEL RF : 12H ビット 0	SIOEN RF : 0AH ビット 0	PODBIO _n RF : 33H	POD ₀ / \overline{SCK}	POD ₁ /SO	POD ₂ /SI	POD ₃ / \overline{TMOUT}
0	0	0	入力ポート			
		1	出力ポート			
	1	0	\overline{SCK}	SO	SI	入力ポート
		1				出力ポート
1	0	0	入力ポート			
		1	出力ポート			
	1	0	\overline{SCK}	SO	SI	\overline{TMOUT}
		1				

表 13-5 ポート・レジスタ (0.73H) を読み出したときの内容

ポートのモード		ポート・レジスタ (0.73H) を読み出したときの内容
入力ポート		端子の状態
出力ポート		出力ラッチの内容
SCK	シリアル・クロックに内部クロックを選択	出力ラッチの内容
	シリアル・クロックに外部クロックを選択	端子の状態
SO		不定 ^注
SI		端子の状態
TMOUT		出力ラッチの内容

注 詳しくは 15. シリアル・インタフェース (SIO) を参照してください。

13.5 ポート OE (POE₀, POE₁)

ポート OE は出力ラッチ付き 2 ビットの入出力ポートです。データ・メモリの 6FH 番地のビット 0, ビット 1 にマッピングされています。出力形式は N-ch オープン・ドレイン出力です。また、マスク・オプションによりビット単位でプルアップ抵抗を内蔵することができます。

1 ビットごとに入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上の POEBIO₀, POEBIO₁ (32H 番地のビット 0, ビット 1) により行います。

また、入力/出力のどちらのモードにも関わらず、読み込み命令を実行すると、出力ラッチの内容ではなく、端子の状態が取り込まれます。

リセット時には POEBIO_n は "0" になり (n=0, 1), POE の端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も "0" になります。

なお、6FH 番地のビット 2 とビット 3 に対する書き込み命令は無効となり、読み出した場合には 0 が読み出されます。

表 13-6 ポート・レジスタ (0.6FH.0, 0.6FH.1) への書き込みと読み出し

(n=0, 1)

POEBIO _n RF: 32H	端子の入力/出力	BANK0 6FH	
		書き込み	読み出し
0	入力	可能	POE の端子の状態
1	出力	POE の出力ラッチに書き込み	

★ 13.6 ポート・レジスタの操作時の注意

μPD17120の入出力ポートのうちポート OE だけは、出力モードであっても読み込み時には端子の状態を読み込みます。

したがって、ポート・レジスタに組み込みマクロ命令 (SETn/CLRn など) や AND/OR/XOR 命令などでビット操作すると、意図していない端子の状態も変化してしまうことがあります。

特に、ポート OE を外部で強制的にロウ・レベルにしている場合には注意が必要です。

ポート OE に CLR1 POE1 命令 (AND 6FH, #1101B 命令と同じ) を実行するとポート・レジスタおよびマイコン内部の状態が変化する例を図 13-1 に示します。

たとえばポート OE の POE₁ 端子, POE₀ 端子を両方とも出力として使用し, POE₁ 端子と POE₀ 端子からハイ・レベルが出力され, POE₀ 端子を外部で強制的にロウ・レベルにしている場合を考えると, ポート OE の各状態は図 13-1①のようになります (μPD17120 には POE₃ 端子と POE₂ 端子は存在しませんがプログラム上は仮想的に存在しているものとして扱います)。

POE₁ 端子をロウ・レベルにするため, CLR1 POE1 命令を実行すると, ポート OE の各状態は図 13-1②のように変化します。このとき, POE₁ 端子は当然ロウ・レベル出力に変化しますが, それ以外にハイ・レベルを出力していたはずの POE₀ 端子からもロウ・レベルが出力されるようにポート・レジスタの値が変化しています。これはポート・レジスタではなく端子の状態に対して CLR1 POE1 命令が実行されたために生じた結果です。

この現象を防ぐには, 変化させる端子だけではなく, すべての端子の状態を MOV 命令などで設定するようにします。この例で POE₁ 端子だけをロウ・レベルにするには, MOV 6FH, #1101B 命令を使用すれば問題ありません。

また, 同様の理由によりポート OE を入出力混在で使用する場合には, 入力として使用する端子は必ず入力モード (POEBION=0) で使用してください。

図 13-1 CLR1 POE1 命令によるポート・レジスタの変化

① 命令実行前

	POE ₃	POE ₂	POE ₁	POE ₀
ポート・レジスタ	存在しない		1	1
マイコンの状態	-	-	H 出力	H 出力
端子の状態	-	-	H	L (強制)



② 命令実行後

	POE ₃	POE ₂	POE ₁	POE ₀
ポート・レジスタ	存在しない		0	0
マイコンの状態	-	-	L 出力	L 出力
端子の状態	-	-	L	L

H: ハイ・レベル L: ロウ・レベル

14. 8ビット・タイマ・カウンタ (TM)

μPD17120は8ビット・タイマ・カウンタを1系統内蔵しています。

8ビット・タイマ・カウンタの制御は、PUT/GET 命令を使ったハードウェアの操作と PEEK/POKE 命令を使ったレジスタ・ファイル上のレジスタの操作により行います。

14.1 8ビット・タイマ・カウンタの構成

図 14-1 に8ビット・タイマ・カウンタの構成を示します。8ビット・タイマ・カウンタは8ビットのカウント・レジスタ、8ビットのモジュロ・レジスタ、カウント・レジスタとモジュロ・レジスタの値を比較するコンパレータおよびカウント・パルスを選択するセレクタで構成されています。

注意 モジュロ・レジスタは書き込み専用レジスタです。

カウント・レジスタは読み出し専用レジスタです。

図 14-1 8ビット・タイマ・カウンタの構成

★

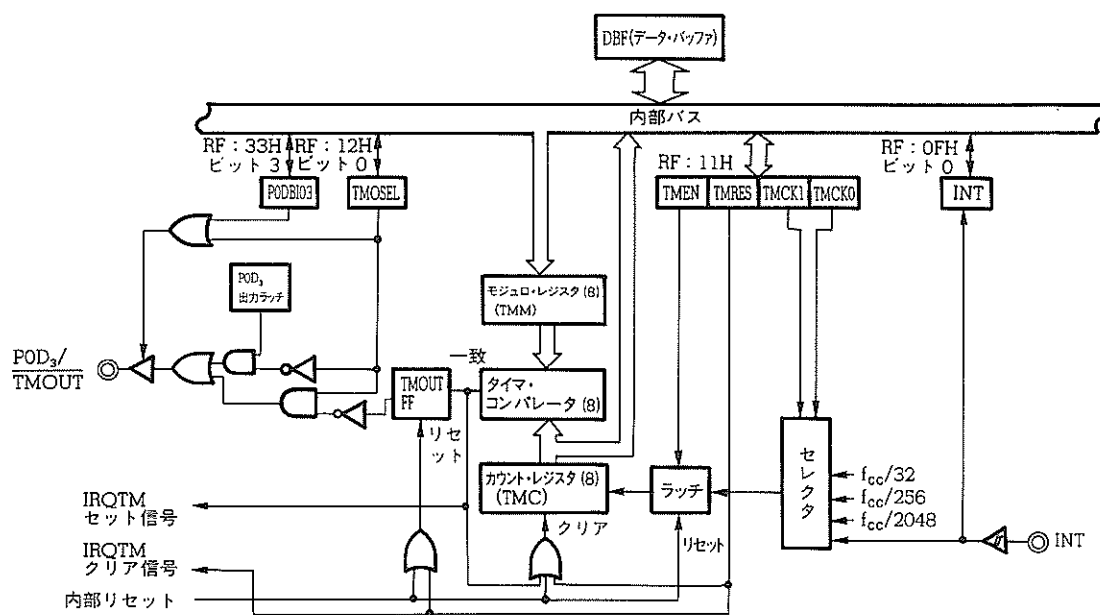


表 14-1 ソース・クロック一覧

レジスタ・ファイルの値		選択されるソース・クロック
TMCK1	TMCK0	
0	0	$f_{cc}/256$
0	1	$f_{cc}/32$
1	0	$f_{cc}/2048$
1	1	INT 端子からの外部クロック

14.2 タイマ出力

TMOSEL フラグを“1”にセットすることにより、 POD_3/\overline{TMOUT} 端子は、タイマの一致信号出力端子として機能します。このとき $PODBIO3$ の値は関係ありません。

タイマには内部に一致信号出力用のフリップフロップを持っており、8ビット・タイマのコンパレータが一致信号を出力するたびに、その出力を反転させます。TMOSEL フラグを“1”にセットした場合、このフリップフロップの内容が POD_3/\overline{TMOUT} 端子に出力されます。

また、 POD_3/\overline{TMOUT} 端子は N-ch オープン・ドレイン出力端子で、マスク・オプションにより、プルアップ抵抗を内蔵することが可能です。プルアップ抵抗を内蔵しない場合、 POD_3/\overline{TMOUT} 端子の初期状態はハイ・インピーダンスとなります。

なお、内部のタイマ出力フリップフロップは、 $TMEN=1$ にした時点から動作を開始していますので、初期値から必ず出力を開始させるためには、 $TMRES$ に“1”をセットし、フリップフロップをリセットしてからスタートさせる必要があります。

15. シリアル・インタフェース (SIO)

μPD17120のシリアル・インタフェースは、8ビットのシフト・レジスタ (SIOSFR)、シリアル・モード・レジスタ、シリアル・クロック・カウンタで構成され、シリアル・データの入出力に使用します。

15.1 シリアル・インタフェースの機能

シリアル・クロック入力端子 ($\overline{\text{SCK}}$)、シリアル・データ出力端子 (SO)、シリアル・データ入力端子 (SI) の3線式で、クロック同期の8ビット送受信動作が可能なシリアル・インタフェースです。μPD7500シリーズや75Xシリーズで用いられている方式とコンパチブルなモードで各種周辺 I/O デバイスと接続が可能です。

(1) シリアル・クロック

内部クロック 3種類、外部クロック 1種類の合計 4種類選択することができます。シリアル・クロックに内部クロックを選択した場合には、 $\text{POD}_0/\overline{\text{SCK}}$ 端子にそのクロックを自動的に出力します。

表 15-1 シフト・クロック一覧

レジスタ・ファイルの値		選択されるシフト・クロック
SIOCK1	SIOCK0	
0	0	$\overline{\text{SCK}}$ 端子からの外部クロック
0	1	$f_{\text{cc}}/16$
1	0	$f_{\text{cc}}/128$
1	1	$f_{\text{cc}}/1024$

(2) 転送動作

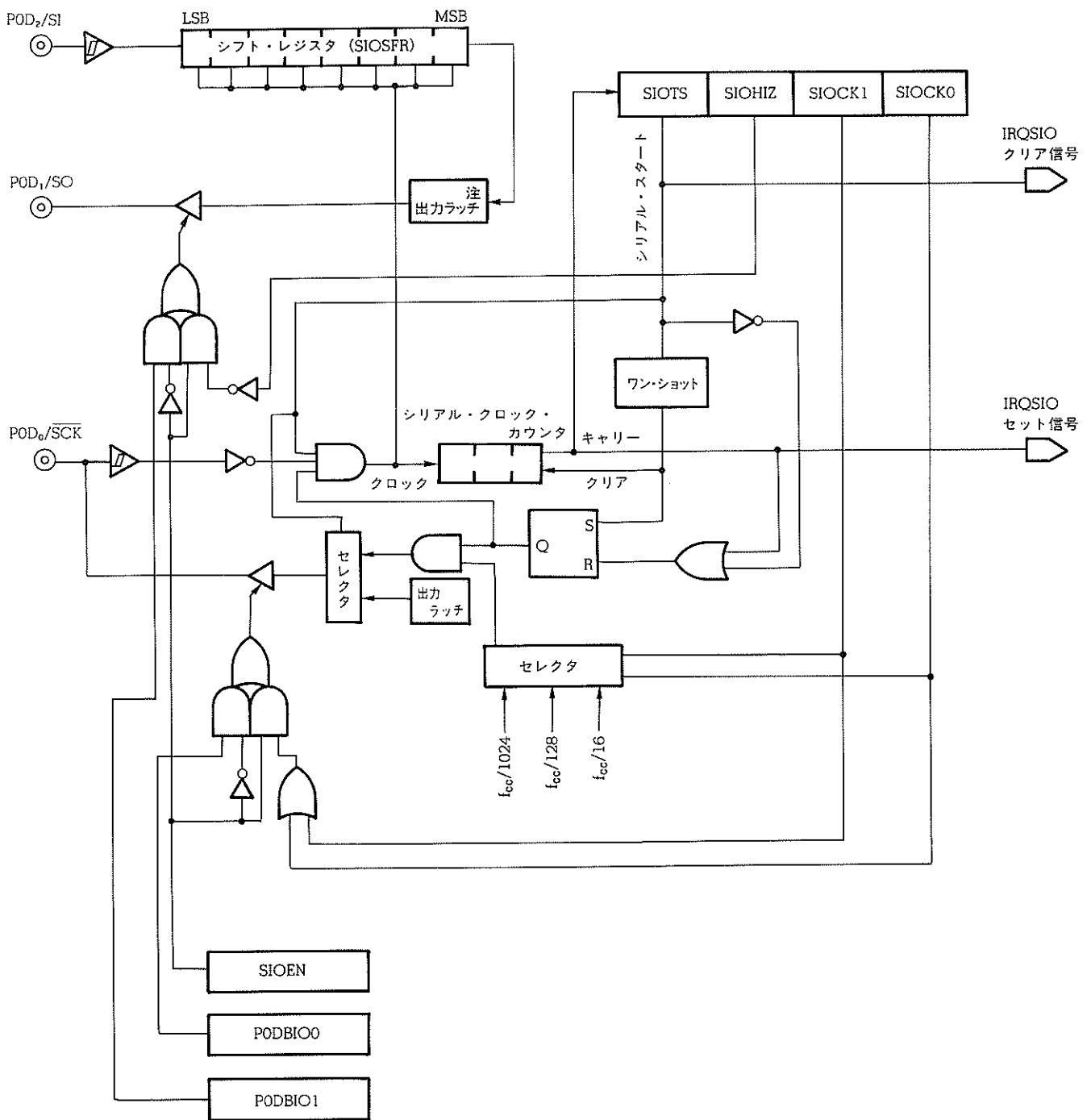
SIOEN をセット (1) することにより、ポート OD ($\text{POD}_0/\overline{\text{SCK}}$, POD_1/SO , POD_2/SI) の各端子は、シリアル・インタフェース用の端子として機能します。このとき、SIOTS をセット (1) すれば、シリアル・クロックの立ち下がりに同期して動作を開始します。なお、SIOTS をセットすると、IRQSIO は自動的にクリアされます。

シリアル・クロックの立ち下がりに同期して、シフト・レジスタの最上位ビットから転送を開始し、シリアル・クロックの立ち上がりに同期して SI 端子の情報を最下位ビットからシフト・レジスタに格納します。

8ビットのデータ転送が終了すれば、自動的に SIOTS はクリアされ、IRQSIO がセットされます。

備考 シリアル転送を行う際、シフト・レジスタの内容の最上位ビットからのみ、転送を開始します。最下位ビットから転送はできません。シリアル・クロックの立ち上がりに同期して、常に SI 端子の状態はシフト・レジスタに取り込まれます。

図 15-1 シリアル・インタフェースのブロック図



★ 注 シフト・レジスタの出カラッチは、 POD_1 の出カラッチと兼用になっています。したがって、 POD_1 に対して出力命令を実行すると、シフト・レジスタの出カラッチの状態も変化します。

15.2 3線式シリアル・インタフェースの動作モード

シリアル・インタフェースは、2つのモードを選択することができます。シリアル・インタフェース機能を選択した場合、シリアル・クロックに同期して、POD₂/SI 端子は常にデータを取り込みます。

- 8ビット送受信モード（同時送受信）
- 8ビット受信モード（SO 端子：ハイ・インピーダンス状態）

表 15-2 シリアル・インタフェースの動作モード

SIOEN	SIOHIZ	POD ₂ /SI 端子	POD ₁ /SO 端子	シリアル・インタフェース動作モード
1	0	SI	SO	8ビット送受信モード
1	1	SI	POD ₁ (入力)	8ビット受信モード
0	×	POD ₂ (入出力)	POD ₁ (入出力)	汎用ポート・モード

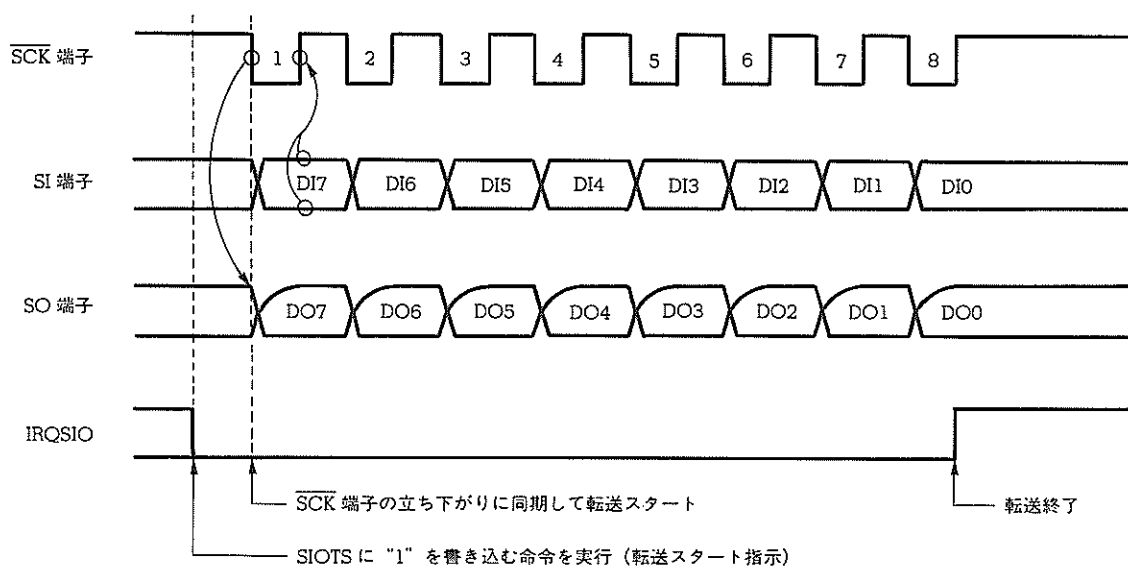
× : Don't care

(1) 8ビット送受信モード（同時送受信）

シリアル・データの入出力はシリアル・クロックによって制御されます。シリアル・クロック (\overline{SCK}) の立ち下がりでシフト・レジスタの MSB が SO ラインに出力され、立ち上がりでシフト・レジスタの内容が 1 ビット・シフトされると同時に、SI ライン上のデータがシフト・レジスタの LSB にロードされます。

シリアル・クロック・カウンタはシリアル・クロックをカウントし、8 カウントすることによって内部割り込み要求フラグをセットします (IRQSIO ← 1)。

図 15-2 8ビット送受信モード（同時送受信）のタイミング



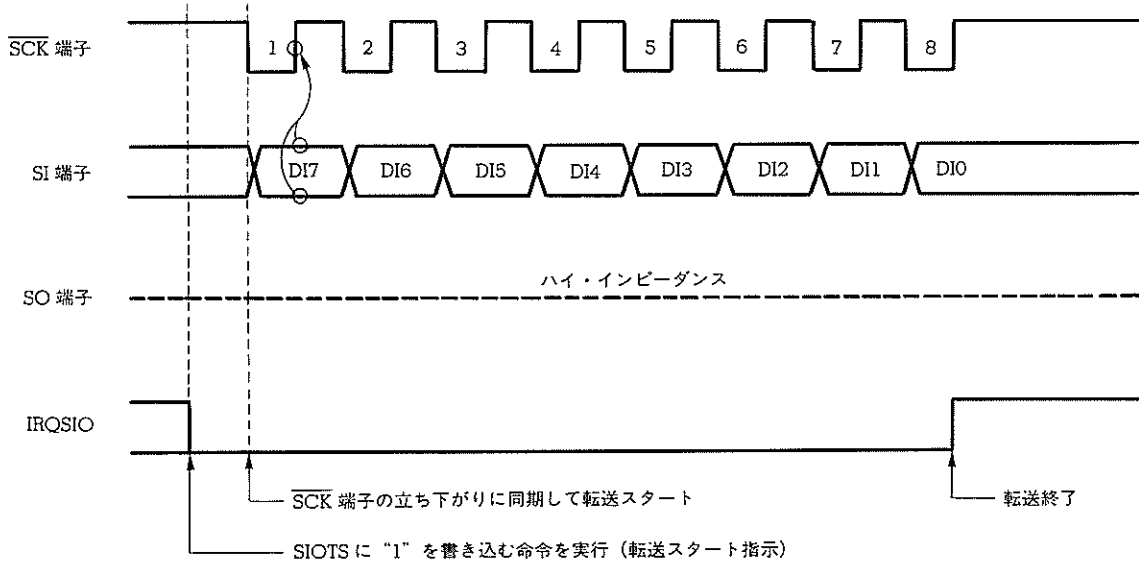
備考 Din : シリアル入力データ
 DOn : シリアル出力データ

(2) 8ビット受信モード (SO 端子：ハイ・インピーダンス状態)

SIOHIZ=1 のとき, POD₁/SO 端子はハイ・インピーダンス状態になります。このとき SIOTS に "1" を書き込んでシリアル・クロックの供給を開始すると, シリアル・インタフェースは受信機能だけが動作します。

また, POD₁/SO 端子はハイ・インピーダンス状態になっていますので, 入力ポート (POD₁) として使用することができます。

図 15-3 8ビット受信モードのタイミング



備考 DI_n : シリアル入力データ

(3) 動作停止モード

SIOTS (RF: 1AH 番地, ビット 3) の値が 0 のときは, シリアル・インタフェースは動作停止モードに設定されます。このモードではシリアル転送は行われません。

この動作ではシフト・レジスタはシフト動作を行いませんので, 通常の 8 ビット・レジスタとして利用可能です。

16. 割り込み機能

μPD17120には、2つの内部割り込み機能と1つの外部割り込み機能があり、多彩な応用が可能です。

また、μPD17120の割り込み制御回路には次のような特色があり、非常に高速な割り込み処理が可能となります。

- (a) 割り込みマスク許可フラグ (INTE : EI, DI 命令で制御) と割り込み許可フラグ (IP×××) により受け付けの可否を制御可能
- (b) 割り込み要求フラグ (IRQ×××) のテスト & クリア可能 (ソフトウェアで割り込み発生の確認可能)
- (c) 割り込み要求によるスタンバイ・モード (STOP, HALT) の解除可能 (割り込み許可フラグによる解除ソースの選択可能)

注意 1. 割り込み処理において、ハードウェアにより自動的にスタックに退避されるのは、BCD および CMP, CY, Z, IXE の各フラグのみです。また、割り込み処理の内容において、周辺ハードウェア (タイマ、シリアル・インタフェースなど) をアクセスする場合には、DBF, WR の内容はハードウェアでは退避されません。したがって、割り込み処理の最初に DBF および WR をソフトウェアにより RAM 上に退避し、割り込み処理終了直前に退避した内容を元に戻すことをお勧めします。

2. 割り込み用スタックは 1 レベルのみなので、ハードウェアによる多重割り込み処理は行えません。1 レベルを越える割り込みが受け付けられると最初のデータは失われてしまいます。

16.1 割り込み要因とベクタ・アドレス

μPD17120の割り込みはすべて、割り込みが受け付けられると、割り込み要因に対応するベクタ・アドレスへ分岐するベクタ割り込み方式となっています。割り込み要因とベクタ・アドレスは、表 16-1 のようになっています。

なお、複数の割り込み要求が同時に発生した場合や、保留された複数の割り込み要求が一斉に許可された場合は、表 16-1 の優先順位に従い、処理します。

★

表 16-1 割り込み要因の種類

割り込み要因	優先順位	ベクタ・アドレス	IRQ フラグ	IP フラグ	IEG フラグ	内部/外部	備 考
INT 端子 (RF : 0FH, ビット 0)	1	0003H	IRQ RF : 3FH, ビット 0	IP RF : 2FH, ビット 0	IEGMDO, 1 RF : 1FH ビット 0, 1	外部	立ち上がり, 立ち下がり, 立ち上がり/立ち下がり (両エッジ) 選択可能
タイマ	2	0002H	IRQTM RF : 3EH, ビット 0	IPTM RF : 2FH, ビット 1	—	内部	
シリアル・インタフェース	3	0001H	IRQSIO RF : 3DH, ビット 0	IPSIO RF : 2FH, ビット 2	—	内部	

16.2 割り込み制御回路の各種ハードウェア

次に、割り込み制御回路の各フラグについて説明します。

(1) 割り込み要求フラグ、割り込み許可フラグ

割り込み要求フラグ (IRQ×××) は、割り込み要求発生でセット (1) され、割り込み処理が実行されると自動的にクリア (0) されます。

割り込み許可フラグ (IP×××) は、各割り込み要求フラグに対応して個別に備わっており、内容が“1”のとき割り込みを許可し、“0”のとき禁止します。

(2) EI/DI 命令

受け付けた割り込みを実行するかどうかは、EI/DI 命令によって指定します。

EI 命令を実行すると、割り込みを受け付け可能とする INTE (インタラプト・イネーブル・フラグ) をセット (1) します。INTE フラグは、レジスタ・ファイル上には登録されていません。このため、命令等により、フラグの状態を確認することはできません。

DI 命令は INTE フラグを“0”にクリアして、すべての割り込みを禁止します。

また、リセット時にも INTE フラグはクリア (0) され、すべての割り込みは禁止状態になります。

表 16-2 割り込み要求フラグと割り込み許可フラグ

割り込み要求フラグ	割り込み要求フラグのセット信号	割り込み許可フラグ
IRQ	INT 端子入力信号のエッジ検出によりセット。検出エッジは IEGMD0, IEGMD1 フラグにより選択。	IP
IRQTM	タイマからの一致信号でセット。	IPTM
IRQSIO	シリアル・インタフェースのシリアル・データ転送動作終了信号によりセット。	IPSIO

17. スタンバイ機能

★

17.1 スタンバイ機能の概要

μPD17120 は、スタンバイ機能を利用することにより、消費電流を低減できます。スタンバイ・モードには用途に応じて、STOP モードと HALT モードが用意されています。

STOP モードは、システム・クロックを停止させてしまうモードです。このモードでは CPU の消費電流は、ほとんどリーク電流だけとなります。したがって、CPU を動作させず、データ・メモリの内容保持を行う場合に有効です。

HALT モードはシステム・クロックの発振は継続しますが、CPU に対してクロックの供給が停止されるため、CPU の動作が停止するモードです。このモードは、STOP モードに比べて消費電流は低減できませんが、システム・クロックが発振しているため、HALT 解除後にすぐ動作を開始させることができます。また、STOP モード、HALT モードどちらの場合でも、スタンバイ・モードに設定される直前のデータ・メモリ、レジスタ、出力ポートの出力ラッチなどの状態が保持されます (STOP 0000B を除く)。したがって、スタンバイ・モードにする前にシステム全体の消費電流を抑えるように、ポートの状態を設定してください。

表 17-1 スタンバイ・モード中の状態

		STOP モード	HALT モード
設定命令		STOP 命令	HALT 命令
クロック発振回路		発振停止	発振継続
動作状態	CPU	• 動作停止	
	RAM	• 直前の状態を維持	
	ポート	• 直前の状態を維持 ^注	
	TM	• 動作停止 (カウント値は“0”にリセット) (カウント・アップも禁止状態)	• 動作可能
	SIO	• シフト・クロックに外部クロックを選択した場合のみ動作可能 ^注	• 動作可能
	INT	• 動作可能	

注 STOP 0000B を実行した場合には命令実行時点で、兼用端子機能で使用している場合も含めて、端子の状態は入力ポート・モードになります。

注意 1. STOP 命令、HALT 命令の直前には、必ず NOP 命令を置いてください。

2. 割り込み要求フラグと割り込み許可フラグの両方がセットされており、その割り込みがスタンバイ・モードの解除条件に指定されている場合は、スタンバイ・モードに入りません。

17.2 HALT モード

17.2.1 HALT モードの設定

HALT 命令を実行することにより、HALT モードに入ります。

HALT 命令のオペランド $b_3b_2b_1b_0$ は、HALT モードの解除条件です。

表 17-2 HALT モードの解除条件

書式：HALT $b_3b_2b_1b_0B$

ビット	HALT モードの解除条件 ^{注1}
b_3	1 のとき $IRQ \times \times \times$ による解除を許可する。 ^{注2, 4}
b_2	"0 固定"
b_1	1 のとき $IRQTM$ による強制解除を許可する。 ^{注3, 4}
b_0	"0 固定"

注 1. HALT 0000B のときは、リセット (\overline{RESET} 入力、パワーオン/パワーダウン・リセット) だけが有効です。

2. $IP \times \times \times = 1$ である必要があります。
3. IPTM の状態によらず、HALT モードが解除されます。
4. $IRQ \times \times \times = 1$ の状態で、HALT 命令が実行されても、HALT 命令は無視 (NOP 命令扱い) され、HALT モードには入りません。

17.2.2 HALT モード解除後のスタート番地

解除条件、割り込み許可条件によって変わります。

表 17-3 HALT モード解除後のスタート番地

解除条件	解除後のスタート番地
リセット ^{注1}	0 番地
$IRQ \times \times \times$ ^{注2}	DI の場合、HALT 命令の次の番地
	EI の場合、割り込みベクタ (複数の $IRQ \times \times \times$ がセットされている場合には、優先順位の高い割り込みベクタ)

注 1. リセットは、 \overline{RESET} 入力、パワーオン/パワーダウン・リセットが有効です。

2. $IRQTM$ による強制解除の場合を除き、 $IP \times \times \times = 1$ である必要があります。

17.3 STOP モード

17.3.1 STOP モードの設定

STOP 命令を実行することにより、STOP モードに入ります。

STOP 命令のオペランド $b_3b_2b_1b_0$ は、STOP モードの解除条件です。

表 17-4 STOP モードの解除条件

書式 : STOP $b_3b_2b_1b_0$ B

ビット	STOP モードの解除条件 ^{注1}
b_3	1 のとき $IRQ \times \times \times$ による解除を許可する。 ^{注2, 3}
b_2	"0 固定"
b_1	"0 固定"
b_0	"0 固定"

注 1. STOP 0000B のときは、リセット (\overline{RESET} 入力、パワーオン/パワーダウン・リセット) だけが有効です。また、STOP 0000B を実行した時点でマイコン内部はリセット直後の状態に初期化されます。

- 2. $IP \times \times \times = 1$ である必要があります。また、 $IRQTM$ による解除はできません。
- 3. $IRQ \times \times \times = 1$ の状態で、STOP 命令が実行されても、STOP 命令は無視 (NOP 命令扱い) され、STOP モードには入りません。

17.3.2 STOP モード解除後のスタート番地

解除条件、割り込み許可条件によって変わります。

表 17-5 STOP モード解除後のスタート番地

解除条件	解除後のスタート番地
リセット ^{注1}	0 番地
$IRQ \times \times \times$ ^{注2}	DI の場合、STOP 命令の次の番地
	EI の場合、割り込みベクタ (複数の $IRQ \times \times \times$ がセットされている場合には、優先順位の高い割り込みベクタ)

注 1. リセットは、 \overline{RESET} 入力、パワーオン/パワーダウン・リセットが有効です。

- 2. $IP \times \times \times = 1$ である必要があります。また、 $IRQTM$ による解除はできません。

18. リセット

μPD17120のリセットには、次の3種類があります。

- ① $\overline{\text{RESET}}$ 入力によるリセット
- ② 電源投入時および電源電圧降下時にリセットをかけるパワーオン/パワーダウン・リセット機能
- ③ アドレス・スタックのオーバフロー/アンダフローによるリセット機能

18.1 リセット機能

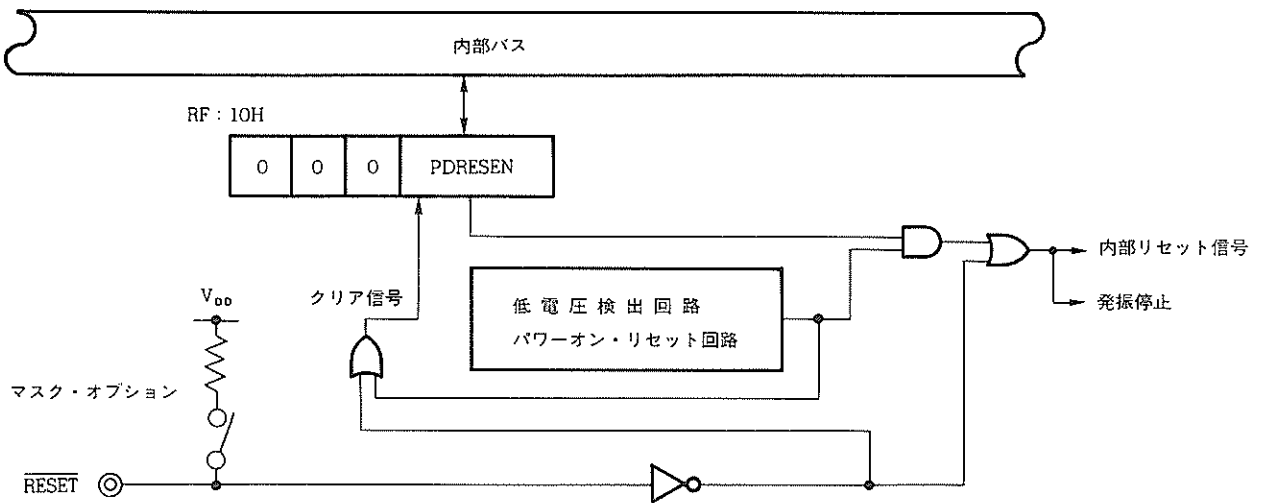
リセット機能は、デバイス動作の初期化を行うために使用します。なお、リセットの種類により、ハードウェアが初期化される状態が異なります。表 18-1 リセット時の各ハードウェアの状態を参照してください。

表 18-1 リセット時の各ハードウェアの状態

リセットの種類		・動作中の $\overline{\text{RESET}}$ 入力 ・動作中の内蔵パワーオン/パワーダウン・リセット	・スタンバイ・モード中の $\overline{\text{RESET}}$ 入力 ・スタンバイ・モード中の内蔵パワーオン/パワーダウン・リセット	・スタックのオーバフローおよびアンダフロー
ハードウェア				
プログラム・カウンタ		0000H	0000H	0000H
ポート	入出力モード	入力	入力	入力
	出力ラッチ	0	0	不定
汎用データ・メモリ	DBF 以外	不定	リセット直前の状態を保持	不定
	DBF	不定	不定	不定
システム・レジスタ	WR 以外	0	0	0
	WR	不定	リセット直前の状態を保持	不定
コントロール・レジスタ		SP=5H, IRQTM1=1, TMEN=1, INT はそのときの INT 端子の状態, それ以外はすべて 0。 10. レジスタ・ファイル (RF) 参照		SP=5H, INT はそのときの INT 端子の状態, それ以外はすべてリセット直前の状態を保持。
タイマ	カウント・レジスタ	00H	00H	不定
	モジュロ・レジスタ	FFH	FFH	FFH
シリアル・インタフェースのシフト・レジスタ (SIOFR)		不定	リセット直前の状態を保持	不定

★

図 18-1 リセット・ブロックの構成



18.2 リセット動作

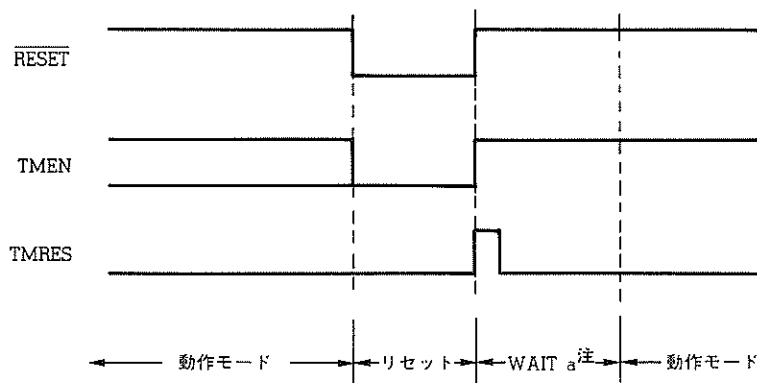
RESET 入力によりリセットをかけたときの動作を図 18-2 に示します。

RESET 端子をロウ・レベルからハイ・レベルに立ち上げると、システム・クロックの発振を開始し、タイマを用いた発振安定待ちをしたのち、0000H 番地よりプログラムの実行を開始します。

パワーオン・リセット機能を用いたリセットの場合も、図 18-2 のようなリセット信号を内部で生成し、RESET 入力によるリセットと同様の動作をします。

なお、スタックのオーバフローとアンダフローによるリセットでは発振安定待ち時間 (WAIT a) は発生せず、内部を初期状態にしたのち、0000H 番地スタートとなります。

図 18-2 リセット動作



注 発振安定待ち時間です。タイマによりシステム・クロックを256×256カウント (約32 ms, f_{CC}=2 MHz 時) すると動作モードとなります。

18.3 パワーオン/パワーダウン・リセット機能

μPD17120には、電源の立ち上がりおよび電源電圧の低下を監視し、マイコン内部にリセットをかけるパワーオン/パワーダウン・リセット機能があり、マイコンの誤動作防止に威力を発揮します。

この機能は、通常マイコン・ロジック部とは動作電源電圧範囲が異なる電源監視回路と、リセットがかかると発振を停止し、マイコンを一時動作停止状態にする発振回路部により構成されています。次にパワーオン/パワーダウン・リセット機能が有効に働く条件と機能について説明します。

- ★ 注意 高い信頼性が要求される応用回路を設計する際には、リセットが内蔵のパワーオン/パワーダウン・リセット機能だけに依存した設計をしないでください。必ず外部から $\overline{\text{RESET}}$ 信号を入力するように設計してください。

18.3.1 パワーオン・リセット機能が有効に働く条件

パワーオン・リセット機能は、実際に使用する環境においてはパワーダウン・リセット機能とともに使用したときに初めて有効になる機能です。

パワーオン・リセット機能は、次の条件において有効です。

- ① 通常動作時（スタンバイ時も含む）において、電源電圧範囲が4.5～5.5 Vであること。
- ② 通常動作時（スタンバイ時も含む）において、パワーダウン・リセット機能を使用すること。
- ③ 電源が0 Vから立ち上がること。
- ④ 0～2.7 Vまでの電源の立ち上がり時間が、μPD17120のタイマで生成される発振安定待ち時間（システム・クロック256×256カウント：約32 ms、 $f_{cc}=2$ MHz時）以内であること。

注意 1. 上記条件が満たされない場合は、内蔵されたパワーオン・リセット回路が有効に動作しません。このため、外付けにリセット回路が必要となります。

2. スタンバイ時、パワーダウン・リセット機能が働いた場合でも $V_{DD}=2.7$ Vまでは汎用データ・メモリ（DBFは除く）はデータを保持しています。なお外乱などにより、データが変化した場合のデータ保持については保証されていません。

18.3.2 パワーオン・リセット機能と動作

パワーオン・リセット機能は、内蔵されているハードウェアにより、ソフトウェアに関係なく電源を監視し、電源立ち上がり時に内部システムにリセットをかける機能です。

このパワーオン・リセット回路は、μPD17120のほかの内部回路より低電圧で動作し、発振の有無に関係なくマイコン内部を初期化します。そして、リセットが解除されると、発振子からの発振パルスをタイマによりカウントし、発振安定待ちを行います。この発振安定待ちは、発振子の発振安定待ちはもとより、マイコンに印加される電源電圧が、マイコンの動作保証電圧範囲内（ $V_{DD}=2.7\sim 5.5$ V）になるのを待つことにも使用されています。

この発振安定待ちから解除されると、マイコンは動作状態となります。その動作例について図18-3に示します。

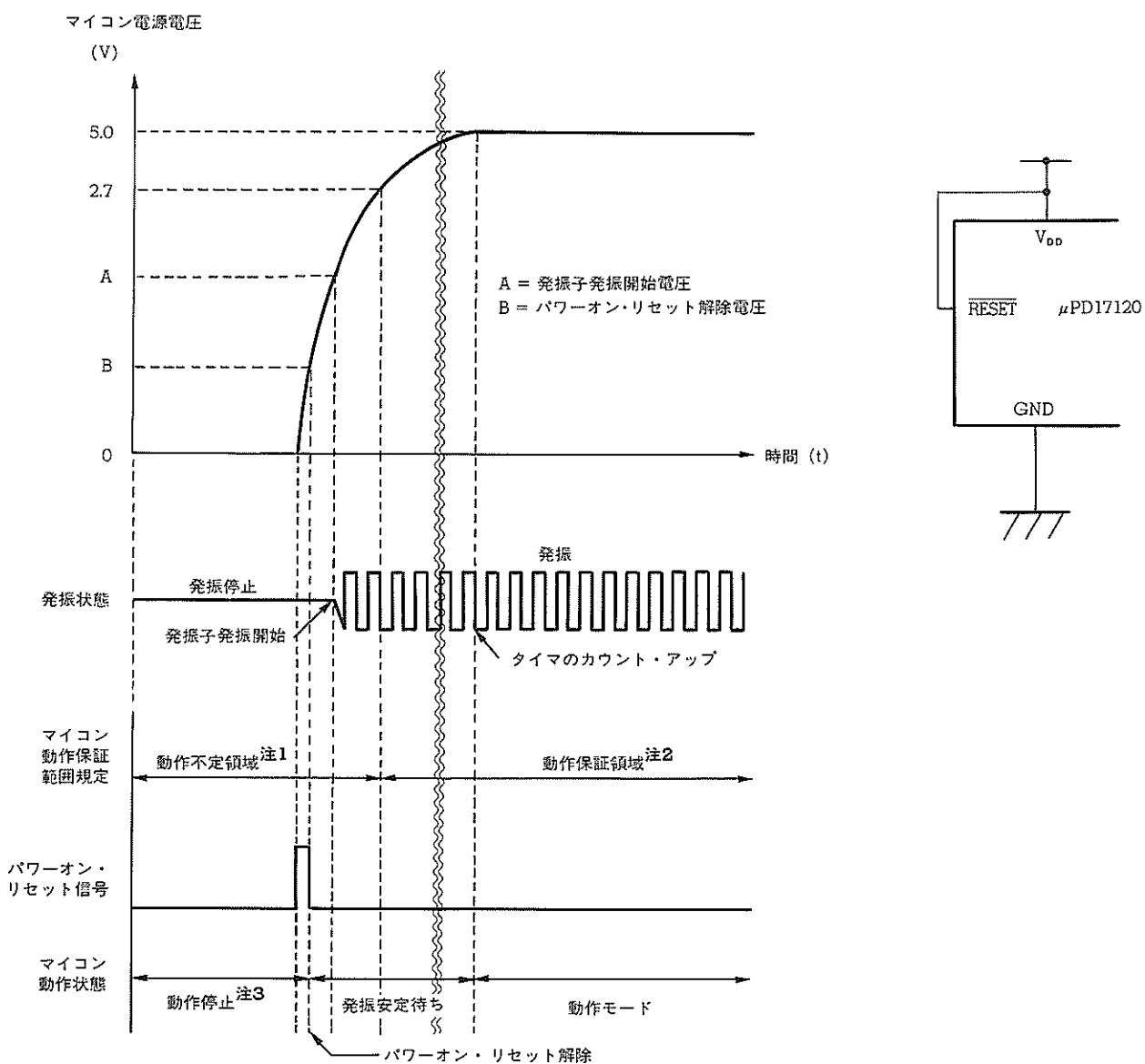
パワーオン・リセット機能

- ① V_{DD} 端子に印加されている電圧レベルを常に監視。
- ② 電源の立ち上がりにおいて、パワーオン・リセット解除電圧 ($V_{DD}=1.5\text{ V TYP.}$) までは、発振の有無に関係なくマイコン内部にリセットをかける注。
- ③ リセットがかかっている間は発振を停止。
- ④ リセットが解除されると、タイマにより発振安定待ちおよび電源電圧が $V_{DD}=2.7\text{ V}$ 以上になるのを待つ。

注 マイコン内部にリセットがかかるのは、内部回路が動作できる（内部リセット信号を受け付けられる）電圧に電源電圧が達した時点からです。

★

図 18-3 内蔵パワーオン・リセット動作例



注 1. 動作不定領域とは、μPD17120に規定されている動作が保証されていない領域のことです。ただし、この領域においてもパワーオン・リセット機能は動作します。

注 2. 動作保証領域とは、μPD17120に規定されている動作のすべてが保証される領域のことです。

注 3. マイコンの動作状態において動作停止とは、マイコンのすべての機能が止まっている状態のことです。

18.3.3 パワーダウン・リセット機能が使用できる条件

パワーダウン・リセット機能は、ソフトウェアによりその使用の有無を選択することができます。使用できる条件は以下のとおりです。

- 通常動作時（スタンバイ時も含む）の電源電圧範囲が4.5～5.5Vであること。

注意 2.7～4.5Vの範囲で通常動作を行う場合には、内蔵されたパワーダウン・リセット機能を使用せず、リセット回路を外付けしてください。2.7～4.5Vの動作電圧範囲においてパワーダウン・リセット機能を使用すると、リセットが解除されなくなる可能性があります。

18.3.4 パワーダウン・リセット機能と動作

パワーダウン・リセット機能は、ソフトウェアによりパワーダウン・リセット・イネーブル・フラグ(PDRESEN)をセットすると機能します。

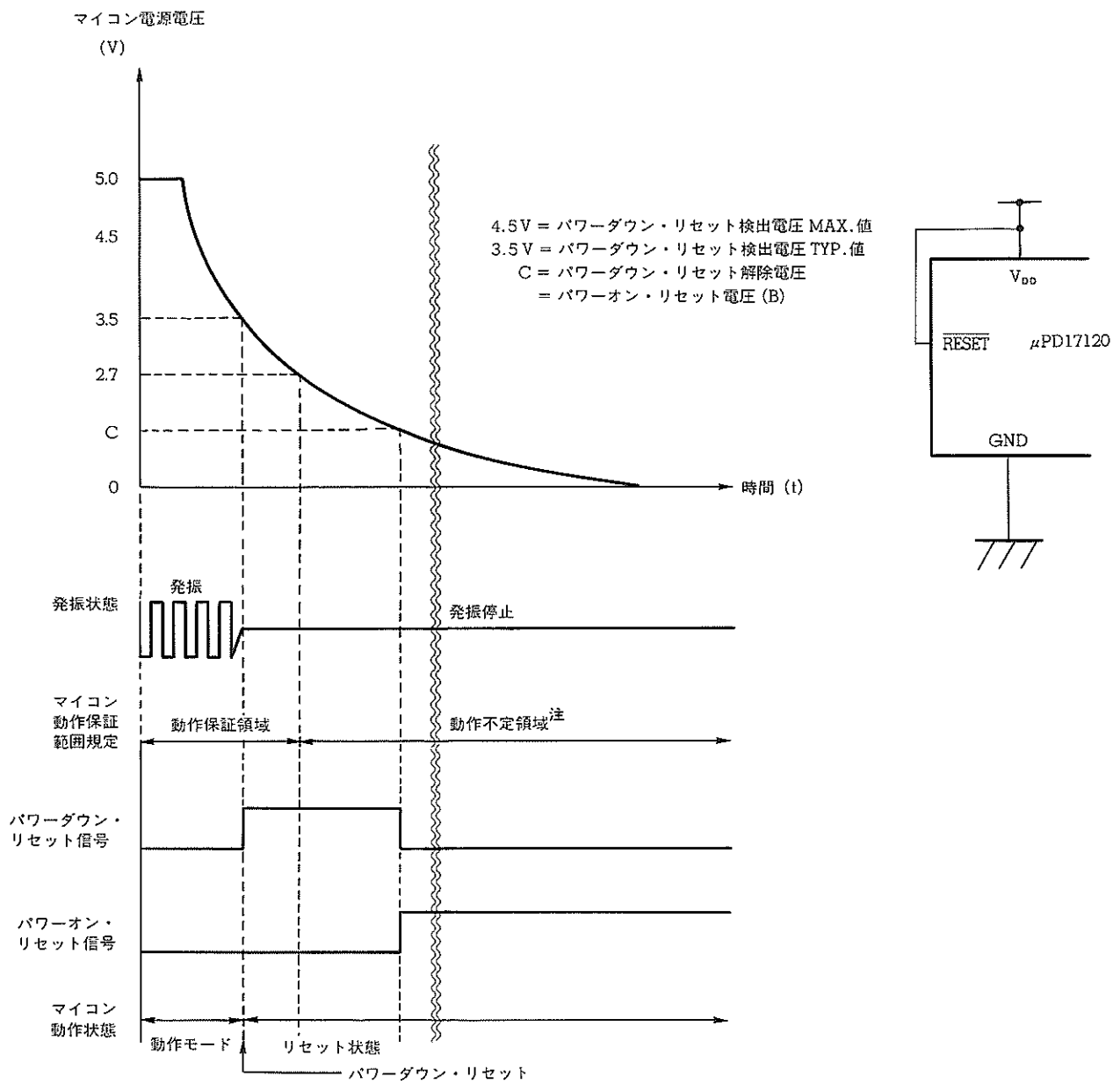
この機能が動作している間に、電源電圧の低下を検出するとマイコン内部に対しリセット信号を発生し、マイコン内部を初期化します。また、リセットがかかっている間は発振が停止しているため、マイコンが電源電圧の乱れにより暴走することを防ぐことができます。電源電圧が復帰し、パワーダウン・リセットが解除された場合は、タイマによる発振安定待ち状態を介したのち、通常の動作状態（0番地スタート）となります。

図18-4に内蔵パワーダウン・リセットの動作例、図18-5にはパワーダウン→電源復帰時のリセット動作例について示します。

パワーダウン・リセット機能

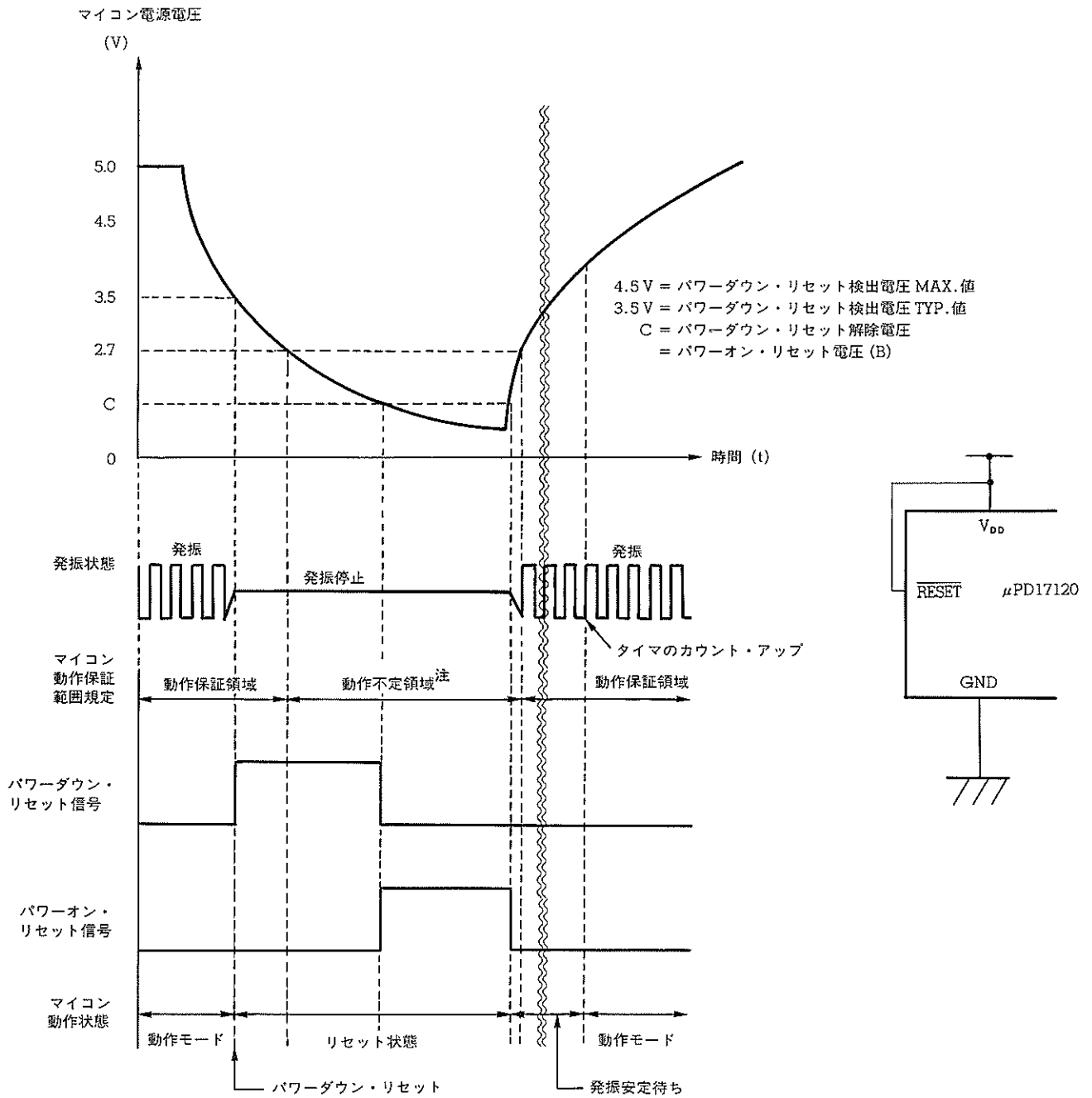
- ① V_{DD} 端子に印加されている電圧レベルを常に監視。
- ② 電源電圧の低下を検出すると、リセット信号をマイコン内部に対し発生。電源電圧が復帰するか、またはマイコンのすべての機能が停止するまでリセット信号を発生し続ける。
- ③ リセットがかかっている間は発振を停止（暴走防止対策）。
パワーダウン・リセット機能が停止する前に電源が復帰した場合は、低電圧検出レベル(3.5V TYP., 4.5V MAX.)以上になったとき、タイマによる発振安定待ちを介したのち、通常の動作モードに移る。
- ④ 0Vから電源電圧が復帰した場合は、その機能をパワーオン・リセット機能に譲る。
- ⑤ パワーダウン・リセット機能が停止したのち、電源電圧が0Vに達する前に復帰した場合は、タイマにより発振安定待ちおよび電源電圧が $V_{DD}=2.7V$ 以上になるのを待ち、通常の動作モードに移る。

図 18-4 内蔵パワーダウン・リセット動作例



注 動作不定領域とは、μPD17120に規定されている動作が保証されていない領域のことです。ただし、この領域においても、パワーダウン・リセット機能は動作し、マイコン内部のそのほかの機能がすべて停止するまでリセットを発生し続けます。

図 18-5 パワーダウン→電源復帰時のリセット動作例



注 動作不定領域とは、μPD17120 に規定されている動作が保証されていない領域のことです。ただし、この領域においても、パワーダウン・リセット機能は動作し、マイコン内部のそのほかの機能がすべて停止するまでリセットを発生し続けます。

19. 命令セット

19.1 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (11ビット, 上位1ビットは0固定)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: HALT 解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: m_R , m_C で示されるデータ・メモリ・アドレス
m_R	: データ・メモリ・ロウ・アドレス (上位)
m_C	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4ビット)
n4	: イミューディエト・データ (4ビット)
PC	: プログラム・カウンタ
p	: 周辺アドレス
p_H	: 周辺アドレス (上位3ビット)
p_L	: 周辺アドレス (下位4ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rf_R	: レジスタ・ファイル・ロウ・アドレス (上位3ビット)
rf_C	: レジスタ・ファイル・カラム・アドレス (下位4ビット)
SP	: スタック・ポインタ
s	: STOP 解除条件
WR	: ウィンドウ・レジスタ
(×)	: ×でアドレスされる内容

19.2 命令セット一覧

命令群	ニモニック	オペランド	オペレーション	命令コード				
				オペ・コード	オペランド			
加	ADD	r, m	$(r) \leftarrow (r) + (m)$	00000	m_R	m_C	r	
		m, #n4	$(m) \leftarrow (m) + n4$	10000	m_R	m_C	n4	
	ADDC	r, m	$(r) \leftarrow (r) + (m) + CY$	00010	m_R	m_C	r	
		m, #n4	$(m) \leftarrow (m) + n4 + CY$	10010	m_R	m_C	n4	
算	INC	AR	$AR \leftarrow AR + 1$	00111	000	1001	0000	
		IX	$IX \leftarrow IX + 1$	00111	000	1000	0000	
減	SUB	r, m	$(r) \leftarrow (r) - (m)$	00001	m_R	m_C	r	
		m, #n4	$(m) \leftarrow (m) - n4$	10001	m_R	m_C	n4	
	算	SUBC	r, m	$(r) \leftarrow (r) - (m) - CY$	00011	m_R	m_C	r
			m, #n4	$(m) \leftarrow (m) - n4 - CY$	10011	m_R	m_C	n4
論	OR	r, m	$(r) \leftarrow (r) \vee (m)$	00110	m_R	m_C	r	
		m, #n4	$(m) \leftarrow (m) \vee n4$	10110	m_R	m_C	n4	
	理	AND	r, m	$(r) \leftarrow (r) \wedge (m)$	00100	m_R	m_C	r
			m, #n4	$(m) \leftarrow (m) \wedge n4$	10100	m_R	m_C	n4
算	XOR	r, m	$(r) \leftarrow (r) \oplus (m)$	00101	m_R	m_C	r	
		m, #n4	$(m) \leftarrow (m) \oplus n4$	10101	m_R	m_C	n4	
判	SKT	m, #n	$CMP \leftarrow 0$, if $(m) \wedge n = n$, then skip	11110	m_R	m_C	n	
	断	SKF	m, #n	$CMP \leftarrow 0$, if $(m) \wedge n = 0$, then skip	11111	m_R	m_C	n
比	較	SKE	m, #n4	$(m) - n4$, skip if zero	01001	m_R	m_C	n4
		SKNE	m, #n4	$(m) - n4$, skip if not zero	01011	m_R	m_C	n4
		SKGE	m, #n4	$(m) - n4$, skip if not borrow	11001	m_R	m_C	n4
		SKLT	m, #n4	$(m) - n4$, skip if borrow	11011	m_R	m_C	n4
回	RORC	r	$\rightarrow CY \rightarrow (r)_{b3} \rightarrow (r)_{b2} \rightarrow (r)_{b1} \rightarrow (r)_{b0}$	00111	000	0111	r	
転	LD	r, m	$(r) \leftarrow (m)$	01000	m_R	m_C	r	
	ST	m, r	$(m) \leftarrow (r)$	11000	m_R	m_C	r	
	MOV	@r, m	if MPE = 1 : $(MP, (r)) \leftarrow (m)$ if MPE = 0 : $(BANK, m_R, (r)) \leftarrow (m)$	01010	m_R	m_C	r	
		m, @r	if MPE = 1 : $(m) \leftarrow (MP, (r))$ if MPE = 0 : $(m) \leftarrow (BANK, m_R, (r))$	11010	m_R	m_C	r	
		m, #n4	$(m) \leftarrow n4$	1110i	m_R	m_C	n4	
送	MOVT ^注	DBF, @AR	$SP \leftarrow SP - 1$, $ASR \leftarrow PC$, $PC \leftarrow AR$, $DBF \leftarrow (PC)$, $PC \leftarrow ASR$, $SP \leftarrow SP + 1$	00111	000	0001	0000	

★ 注 MOVT 命令の実行には例外的に 2 命令サイクルを必要とします。

命令群	ニモニク	オペランド	オペレーション	命令コード			
				オペ・コード	オペランド		
転送	PUSH	AR	SP ← SP - 1, ASR ← AR	00111	000	1101	0000
	POP	AR	AR ← ASR, SP ← SP + 1	00111	000	1100	0000
	PEEK	WR, rf	WR ← (rf)	00111	rf _R	0011	rf _C
	POKE	rf, WR	(rf) ← WR	00111	rf _R	0010	rf _C
	GET	DBF, p	DBF ← (p)	00111	p _H	1011	p _L
	PUT	p, DBF	(p) ← DBF	00111	p _H	1010	p _L
分岐	BR	addr	PC ← addr	01100	addr		
		@AR	PC ← AR	00111	000	0100	0000
サブルーチン	CALL	addr	SP ← SP - 1, ASR ← PC, PC ← addr	11100	addr		
		@AR	SP ← SP - 1, ASR ← PC, PC ← AR	00111	000	0101	0000
	RET		PC ← ASR, SP ← SP + 1	00111	000	1110	0000
	RETSK		PC ← ASR, SP ← SP + 1 and skip	00111	001	1110	0000
	RETI		PC ← ASR, INTR ← INTSK, SP ← SP + 1	00111	100	1110	0000
割り込み	EI		INTEF ← 1	00111	000	1111	0000
	DI		INTEF ← 0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

★
★

19.3 アセンブラ (AS17K) 組み込みマクロ命令

★

凡 例

flag n : FLG 型シンボル

< > : < > 内は省略可能

	ニモニク	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, ...flag n	if (flag 1) ~ (flag n) = all "1", then skip	1 ≤ n ≤ 4
	SKFn	flag 1, ...flag n	if (flag 1) ~ (flag n) = all "0", then skip	1 ≤ n ≤ 4
	SETn	flag 1, ...flag n	(flag 1) ~ (flag n) ← 1	1 ≤ n ≤ 4
	CLRn	flag 1, ...flag n	(flag 1) ~ (flag n) ← 0	1 ≤ n ≤ 4
	NOTn	flag 1, ...flag n	if (flag n) = "0", then (flag n) ← 1 if (flag n) = "1", then (flag n) ← 0	1 ≤ n ≤ 4
	INITFLG	<NOT> flag 1, ... <<NOT> flag n	if description = NOT flag n, then (flag n) ← 0 if description = flag n, then (flag n) ← 1	1 ≤ n ≤ 4
	BANKn		(BANK) ← n	n = 0

20. アセンブラ予約語

20.1 マスク・オプション疑似命令

μPD17120のプログラムを作成する場合、アセンブラのソース・プログラム中にマスク・オプション疑似命令を使用して、プルアップ抵抗が内蔵可能な端子すべてにプルアップ抵抗のあるなしを指定する必要があります。また、マスク・オプションを設定するためには、アSEMBル時に AS17120 (μPD17120用デバイス・ファイル) 中の D17120.OPT ファイルをカレント・ディレクトリに入れておかなければなりませんので注意してください。

以下の端子すべてにマスク・オプションを指定してください。

- $\overline{\text{RESET}}$ 端子
- ポート OD (POD₃, POD₂, POD₁, POD₀)
- ポート OE (POE₁, POE₀)

20.1.1 OPTION, ENDOP 疑似命令

OPTION 疑似命令から、ENDOP 疑似命令までをマスク・オプション定義ブロックとします。

マスク・オプション定義ブロックの記述形式を以下に示します。このブロック内では、表 20-1 に示す 3 つの疑似命令だけが記述可能です。

記述形式：

シンボル欄	ニモニック欄	オペラント欄	コメント欄
[レーベル:]	OPTION		[; コメント]
	⋮		
	⋮		
	⋮		
	ENDOP		

20.1.2 マスク・オプション定義疑似命令

各端子のマスク・オプションを定義する疑似命令を表 20-1 に示します。

表 20-1 マスク・オプション定義疑似命令一覧表

端子名	マスク・オプション疑似命令	オペラントの数	パラメータ名
$\overline{\text{RESET}}$	OPTRES	1	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)
POD ₃ -POD ₀	OPTPOD	4	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)
POE ₁ , POE ₀	OPTPOE	2	OPEN (プルアップ抵抗なし) PULLUP (プルアップ抵抗あり)

OPTRES の記述形式を以下に示します。オペランド欄には RESET のマスク・オプションを指定してください。

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル:]	OPTRES	(RESET)	[; コメント]

OPTPOD の記述形式を以下に示します。オペランド欄には第一オペランドから POD₃, POD₂, POD₁, POD₀ の順にポート OD すべての端子にマスク・オプションを指定してください。

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル:]	OPTPOD	(POD ₃), (POD ₂), (POD ₁), (POD ₀)	[; コメント]

OPTPOE の記述形式を以下に示します。オペランド欄には第一オペランドから POE₁, POE₀ の順にポート OE すべての端子に、マスク・オプションを指定してください。

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル:]	OPTPOE	(POE ₁), (POE ₀)	[; コメント]

マスク・オプションの記述例

RESET 端子 … プルアップ

POD₃ … オープン, POD₂ … オープン, POD₁ … プルアップ, POD₀ … プルアップ

POE₁ … プルアップ, POE₀ … オープン

シンボル欄	ニモニック欄	オペランド欄	コメント欄
; μPD17120			
マスク・オプション設定:	OPTION		
;			
	OPTRES	PULLUP	
	OPTPOD	OPEN, OPEN, PULLUP, PULLUP	
	OPTPOE	PULLUP, OPEN	
;			
	ENDOP		

20.2 予約シンボル

μPD17120 のデバイス・ファイル (AS17120) 内で定義されている予約シンボルの一覧表を次に示します。

システム・レジスタ (SYSREG)

シンボル名	属性	値	Read/ Write	説明
AR3	MEM	0.74H	R	アドレス・レジスタのビット b15-b12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット b11-b8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット b7-b4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット b3-b0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタ・ハイ
MPH	MEM	0.7AH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ハイ
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタ・ミドル
MPL	MEM	0.7BH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ロウ
IXL	MEM	0.7CH	R/W	インデクス・レジスタ・ロウ
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタ・ハイ
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタ・ロウ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCD フラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ

データ・バッファ (DBF)

シンボル名	属性	値	Read/ Write	説明
DBF3	MEM	0.0CH	R/W	DBF のビット b15-b12
DBF2	MEM	0.0DH	R/W	DBF のビット b11-b8
DBF1	MEM	0.0EH	R/W	DBF のビット b7-b4
DBF0	MEM	0.0FH	R/W	DBF のビット b3-b0

ポート・レジスタ

シンボル名	属性	値	Read/ Write	説明
POE1	FLG	0.6FH.1	R/W	ポート OE のビット b1
POE0	FLG	0.6FH.0	R/W	ポート OE のビット b0
POA3	FLG	0.70H.3	R/W	ポート OA のビット b3
POA2	FLG	0.70H.2	R/W	ポート OA のビット b2
POA1	FLG	0.70H.1	R/W	ポート OA のビット b1
POA0	FLG	0.70H.0	R/W	ポート OA のビット b0
POB3	FLG	0.71H.3	R/W	ポート OB のビット b3
POB2	FLG	0.71H.2	R/W	ポート OB のビット b2
POB1	FLG	0.71H.1	R/W	ポート OB のビット b1
POB0	FLG	0.71H.0	R/W	ポート OB のビット b0
POC3	FLG	0.72H.3	R/W	ポート OC のビット b3
POC2	FLG	0.72H.2	R/W	ポート OC のビット b2
POC1	FLG	0.72H.1	R/W	ポート OC のビット b1
POC0	FLG	0.72H.0	R/W	ポート OC のビット b0
POD3	FLG	0.73H.3	R/W	ポート OD のビット b3
POD2	FLG	0.73H.2	R/W	ポート OD のビット b2
POD1	FLG	0.73H.1	R/W	ポート OD のビット b1
POD0	FLG	0.73H.0	R/W	ポート OD のビット b0

レジスタ・ファイル (コントロール・レジスタ)

(1/2)

シンボル名	属性	値	Read/ Write	説明
SP	MEM	0.81H	R/W	スタック・ポインタ
SIOEN	FLG	0.8AH.0	R/W	SIO イネーブル・フラグ
INT	FLG	0.8FH.0	R	INT 端子ステータス・フラグ
PDRESEN	FLG	0.90H.0	R/W	パワーダウン・リセット・イネーブル・フラグ
TMEN	FLG	0.91H.3	R/W	タイマ・イネーブル・フラグ
TMRES	FLG	0.91H.2	R/W	タイマ・リセット・フラグ
TMCK1	FLG	0.91H.1	R/W	タイマ・カウント・パルス選択フラグ・ビット 1
TMCK0	FLG	0.91H.0	R/W	タイマ・カウント・パルス選択フラグ・ビット 0
TMOSEL	FLG	0.92H.0	R/W	POD ₃ /TMOUT 選択フラグ
SIOTS	FLG	0.9AH.3	R/W	SIO スタート・フラグ
SIOHIZ	FLG	0.9AH.2	R/W	SO 端子の状態
SIOCK1	FLG	0.9AH.1	R/W	シリアル・クロック選択フラグ・ビット 1
SIOCK0	FLG	0.9AH.0	R/W	シリアル・クロック選択フラグ・ビット 0
IEGMD1	FLG	0.9FH.1	R/W	INT 端子エッジ検出選択フラグ・ビット 1
IEGMD0	FLG	0.9FH.0	R/W	INT 端子エッジ検出選択フラグ・ビット 0
POBGIO	FLG	0.A4H.0	R/W	POB グループ入力/出力選択フラグ (1 = POB すべて出力ポート)

レジスタ・ファイル (コントロール・レジスタ)

(2/2)

シンボル名	属性	値	Read/ Write	説 明
IPSIO	FLG	0.AFH.2	R/W	SIO 割り込み許可フラグ
IPTM	FLG	0.AFH.1	R/W	タイマ割り込み許可フラグ
IP	FLG	0.AFH.0	R/W	INT 端子割り込み許可フラグ
POEBIO1	FLG	0.B2H.1	R/W	POE ₁ 入力/出力選択フラグ (1 = 出力ポート)
POEBIO0	FLG	0.B2H.0	R/W	POE ₀ 入力/出力選択フラグ (1 = 出力ポート)
PODBIO3	FLG	0.B3H.3	R/W	POD ₃ 入力/出力選択フラグ (1 = 出力ポート)
PODBIO2	FLG	0.B3H.2	R/W	POD ₂ 入力/出力選択フラグ (1 = 出力ポート)
PODBIO1	FLG	0.B3H.1	R/W	POD ₁ 入力/出力選択フラグ (1 = 出力ポート)
PODBIO0	FLG	0.B3H.0	R/W	POD ₀ 入力/出力選択フラグ (1 = 出力ポート)
POCBIO3	FLG	0.B4H.3	R/W	POC ₃ 入力/出力選択フラグ (1 = 出力ポート)
POCBIO2	FLG	0.B4H.2	R/W	POC ₂ 入力/出力選択フラグ (1 = 出力ポート)
POCBIO1	FLG	0.B4H.1	R/W	POC ₁ 入力/出力選択フラグ (1 = 出力ポート)
POCBIO0	FLG	0.B4H.0	R/W	POC ₀ 入力/出力選択フラグ (1 = 出力ポート)
POABIO3	FLG	0.B5H.3	R/W	POA ₃ 入力/出力選択フラグ (1 = 出力ポート)
POABIO2	FLG	0.B5H.2	R/W	POA ₂ 入力/出力選択フラグ (1 = 出力ポート)
POABIO1	FLG	0.B5H.1	R/W	POA ₁ 入力/出力選択フラグ (1 = 出力ポート)
POABIO0	FLG	0.B5H.0	R/W	POA ₀ 入力/出力選択フラグ (1 = 出力ポート)
IRQSIO	FLG	0.BDH.0	R/W	SIO 割り込み要求フラグ
IRQTM	FLG	0.BEH.0	R/W	タイマ割り込み要求フラグ
IRQ	FLG	0.BFH.0	R/W	INT 端子割り込み要求フラグ

周辺ハードウェア・レジスタ

シンボル名	属性	値	Read/ Write	説 明
SIOSFR	DAT	01H	R/W	シフト・レジスタの周辺アドレス
TMC	DAT	02H	R	タイマ・カウント・レジスタの周辺アドレス
TMM	DAT	03H	W	タイマ・モジュロ・レジスタの周辺アドレス
AR	DAT	40H	R/W	GET/PUT/PUSH/CALL/BR/MOVT/INC 命令用のアドレス・レジスタの周辺アドレス

★ その他

シンボル名	属性	値	説 明
DBF	DAT	0FH	PUT 命令, GET 命令, MOVT 命令の固定オペランド値
IX	DAT	01H	INC 命令の固定オペランド値

[× ㉔]

図 20-1 コントロール・レジスタの構成 (1/2)

カラム・アドレス																		
ロウ・アドレス	項目	0	1	2	3	4	5	6	7									
0 (8)	記号		0	S P														
	リセット時		0	1	0	1												
	Read/ Write		R/W															
1 (9)	記号	0	0	0	P D R E S E N	T M R E S	T M C K 1	T M C K 0	0	0	0	T M O S E L						
	リセット時	0	0	0	0	1	0	0	0	0	0	0						
	Read/ Write	R/W		R/W		R/W												
2 (A)	記号							0	0	0	P O B I O							
	リセット時							0	0	0	0							
	Read/ Write							R/W										
3 (B)	記号				0	0	P O E I O 1	P O E I O 0	P P D 3	P P D 2	P P D 1	P P C 3	P P C 2	P P C 1	P P A 3	P P A 2	P P A 1	P P A 0
	リセット時				0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Read/ Write				R/W		R/W		R/W		R/W							

備考 () 内はアセンブラ (AS17K) を使用する際の番地です。

なおコントロール・レジスタのフラグはすべてアセンブラ予約語としてデバイス・ファイルに登録されていますので、プログラム作成時には予約語を使用すると便利です。

図 20-1 コントロール・レジスタの構成 (2/2)

8				9				A				B				C				D				E				F																			
								S I O E N																				I N T																			
								0 0 0																				0 0 0																			
								R/W																				R																			
								S I O S T H C K S I Z 1 0																								I E G M D 1 0															
								0 0 0 0																								0 0 0 0															
								R/W																								R/W															
																																				I P S T I M											
																																				0 0 0 0											
																																				R/W											
																																								I R Q							
																																								0 0 0 0							
																																								0 0 0 1							
																																								R/W							
																																								R/W							
																																												R/W			

注 INT フラグは、そのときの INT 端子の状態により異なります。

★

21. 電気的特性

絶対最大定格 ($T_A = 25^\circ\text{C}$)

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		-0.3~+7.0	V	
入力電圧	V_i	POA, POB, POC, INT, $\overline{\text{RESET}}$	-0.3~ $V_{DD}+0.3$	V	
		POD, POE	プルアップ抵抗を内蔵する場合 プルアップ抵抗を内蔵しない場合	-0.3~ $V_{DD}+0.3$ -0.3~+10.0	V
出力電圧	V_o	POA, POB, POC	-0.3~ $V_{DD}+0.3$	V	
		POD, POE	プルアップ抵抗を内蔵する場合 プルアップ抵抗を内蔵しない場合	-0.3~ $V_{DD}+0.3$ -0.3~+10.0	V
ハイ・レベル出力電流	I_{OH}	POA, POB, POC 1端子当たり	-5	mA	
		全出力端子合計	-20	mA	
ロウ・レベル出力電流	I_{OL}	POA, POB, POC 1端子当たり	5	mA	
		POD, POE 1端子当たり	30	mA	
		POA, POB, POC 出力端子合計	20	mA	
		POD, POE 出力端子合計	60	mA	
		全出力端子合計	80	mA	
動作周囲温度	T_A		-40~+85	$^\circ\text{C}$	
保存温度	T_{stg}		-65~+150	$^\circ\text{C}$	
許容損失	P_d	$T_A=85^\circ\text{C}$	プラスチック・シュリンク DIP	155	mW
			プラスチック SOP	95	mW

★

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨電源電圧範囲 ($T_A = -40 \sim +85^\circ\text{C}$)

項目	条件	MIN.	TYP.	MAX.	単位
CPU ^注		2.7		5.5	V
パワーオン/パワーダウン・リセット回路	電源電圧立ち上がり時間 ($V_{DD}=0 \rightarrow 2.7\text{V}$) : $4096 \times t_{CV}$ 以内	4.5		5.5	V

注 パワーオン/パワーダウン・リセット回路は除く。

備考 $t_{CV} = 16/f_{CC}$ (f_{CC} はシステム・クロック発振周波数)

システム・クロック発振回路特性 ($T_A = -40 \sim +85^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック発振周波数	f_{CC}	$V_{DD}=4.5\sim 5.5\text{V}$, $R_{Osc}=10\text{k}\Omega$	1.6	2	2.4	MHz
		$V_{DD}=4.5\sim 5.5\text{V}$, $R_{Osc}=24\text{k}\Omega$	0.8	1	1.2	MHz
		$V_{DD}=2.7\sim 5.5\text{V}$, $R_{Osc}=24\text{k}\Omega$	0.6	1	1.2	MHz
		$V_{DD}=2.7\sim 3.3\text{V}$, $R_{Osc}=51\text{k}\Omega$	400	500	600	kHz

DC 特性 ($V_{DD}=2.7\sim 5.5\text{ V}$, $T_A=-40\sim +85\text{ }^\circ\text{C}$)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	POA, POB, POC, POD, POE		$0.7V_{DD}$		V_{DD}	V	
	V_{IH2}	$\overline{\text{RESET}}$, $\overline{\text{SCK}}$, SI, INT		$0.8V_{DD}$		V_{DD}	V	
ロウ・レベル入力電圧	V_{IL1}	POA, POB, POC		0		$0.3V_{DD}$	V	
	V_{IL2}	POD, POE, $\overline{\text{RESET}}$, $\overline{\text{SCK}}$, SI, INT		0		$0.2V_{DD}$	V	
ハイ・レベル出力電圧	V_{OH}	POA, POB, POC	$V_{DD}=4.5\sim 5.5\text{ V}$ $I_{OH}=-1.0\text{ mA}$	$V_{DD}-0.3$			V	
			$V_{DD}=2.7\sim 4.5\text{ V}$ $I_{OH}=-0.5\text{ mA}$	$V_{DD}-0.3$			V	
ロウ・レベル出力電圧	V_{OL1}	POA, POB, POC, POD, POE	$V_{DD}=4.5\sim 5.5\text{ V}$ $I_{OL}=1.0\text{ mA}$			0.3	V	
			$V_{DD}=2.7\sim 4.5\text{ V}$ $I_{OL}=0.5\text{ mA}$			0.3	V	
	V_{OL2}	POD, POE	$V_{DD}=4.5\sim 5.5\text{ V}$ $I_{OL}=15\text{ mA}$			1.0	V	
			$V_{DD}=2.7\sim 4.5\text{ V}$ $I_{OL}=15\text{ mA}$			2.0	V	
ハイ・レベル入力リーク電流	I_{L1H}	POA, POB, POC, POD, POE $V_{IN}=V_{DD}$			3	μA		
ロウ・レベル入力リーク電流	I_{L1L}	POA, POB, POC, POD, POE $V_{IN}=0\text{ V}$			-3	μA		
ハイ・レベル出力リーク電流	I_{L0H}	POA, POB, POC, POD, POE $V_{OUT}=V_{DD}$			3	μA		
ロウ・レベル出力リーク電流	I_{L0L}	POA, POB, POC, POD, POE $V_{OUT}=0\text{ V}$			-3	μA		
内蔵プルアップ抵抗	R_{PULL}	POD, POE, $\overline{\text{RESET}}$		50	100	200	k Ω	
電 源 電 流 ^注	I_{DD1}	動作モード	$f_{CC}=2.0\text{ MHz}$	$V_{DD}=5\text{ V}\pm 10\%$		0.8	2.0	mA
				$V_{DD}=3\text{ V}\pm 10\%$		0.5	1.5	mA
			$f_{CC}=1.0\text{ MHz}$	$V_{DD}=5\text{ V}\pm 10\%$		0.4	1.0	mA
				$V_{DD}=3\text{ V}\pm 10\%$		0.25	0.75	mA
			$f_{CC}=500\text{ kHz}$	$V_{DD}=5\text{ V}\pm 10\%$		250	500	μA
				$V_{DD}=3\text{ V}\pm 10\%$		125	375	μA
	I_{DD2}	HALT モード	$f_{CC}=2.0\text{ MHz}$	$V_{DD}=5\text{ V}\pm 10\%$		0.6	1.5	mA
				$V_{DD}=3\text{ V}\pm 10\%$		0.3	1.0	mA
			$f_{CC}=1.0\text{ MHz}$	$V_{DD}=5\text{ V}\pm 10\%$		0.3	0.8	mA
				$V_{DD}=3\text{ V}\pm 10\%$		0.15	0.5	mA
			$f_{CC}=500\text{ kHz}$	$V_{DD}=5\text{ V}\pm 10\%$		150	300	μA
				$V_{DD}=3\text{ V}\pm 10\%$		100	200	μA
I_{DD3}	STOP モード	$V_{DD}=5\text{ V}\pm 10\%$			3.0	10	μA	
		$V_{DD}=3\text{ V}\pm 10\%$			2.0	10	μA	

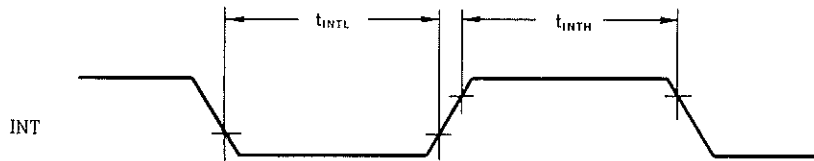
注 内蔵プルアップ抵抗に流れる電流は除く。

AC 特性 ($V_{DD} = 2.7 \sim 5.5 V$, $T_A = -40 \sim +85 ^\circ C$)

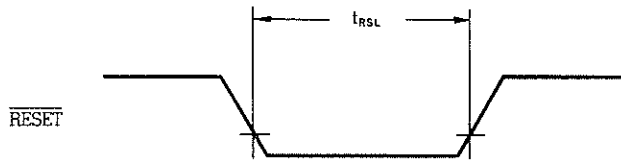
項 目	略号	条 件	MIN.	TYP.	MAX.	単位
CPU クロック・サイクル・タイム (命令実行時間)	t_{CY}		6.6		41	μS
INT ハイ, ロウ・レベル幅 (外部割り込み入力)	t_{INTH}	$V_{DD} = 4.5 \sim 5.5 V$	10			μS
	t_{INTL}		50			μS
\overline{RESET} ロウ・レベル幅	t_{RSL}	$V_{DD} = 4.5 \sim 5.5 V$	10			μS
			50			μS

備考 $t_{CY} = 16/f_{CC}$ (f_{CC} はシステム・クロック発振周波数)

割り込み入力タイミング



\overline{RESET} 入力タイミング

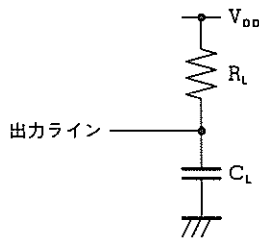


シリアル転送オペレーション ($V_{DD}=2.7\sim 5.5\text{ V}$, $T_A=-40\sim +85\text{ }^\circ\text{C}$)

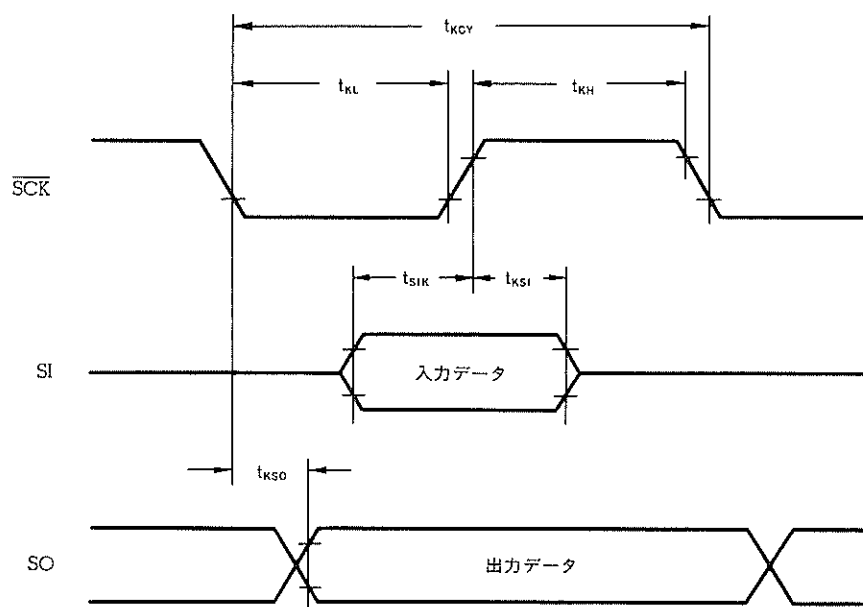
★

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCK サイクル・タイム	t _{KCY}	入 力	V _{DD} =4.5~5.5 V		2.0		μs
					10		μs
	出 力	R _L =1 kΩ, C _L =100 pF	V _{DD} =4.5~5.5 V		8.0		μs
					16		μs
		内蔵プルアップ, C _L =100 pF	V _{DD} =4.5~5.5 V		150		μs
					300		μs
SCK ハイ, ロウ・レベル幅	t _{KH} , t _{KL}	入 力	V _{DD} =4.5~5.5 V		1.0		μs
					5.0		μs
	出 力	R _L =1 kΩ, C _L =100 pF	V _{DD} =4.5~5.5 V		t _{KCY} /2-0.6		μs
					t _{KCY} /2-1.2		μs
		内蔵プルアップ, C _L =100 pF	V _{DD} =4.5~5.5 V		t _{KCY} /2-70		μs
					t _{KCY} /2-140		μs
SI セットアップ時間(対 SCK ↑)	t _{SIK}			100		ns	
SI ホールド時間(対 SCK ↑)	t _{KS1}			100		ns	
SCK ↓ → SO 出力遅延時間	t _{KSO}	R _L =1 kΩ, C _L =100 pF	V _{DD} =4.5~5.5 V			0.8	μs
						1.4	μs
		内蔵プルアップ, C _L =100 pF	V _{DD} =4.5~5.5 V			70	μs
						140	μs

備考 R_L, C_L は, 出力ラインの負荷抵抗, 負荷容量です。



シリアル転送タイミング



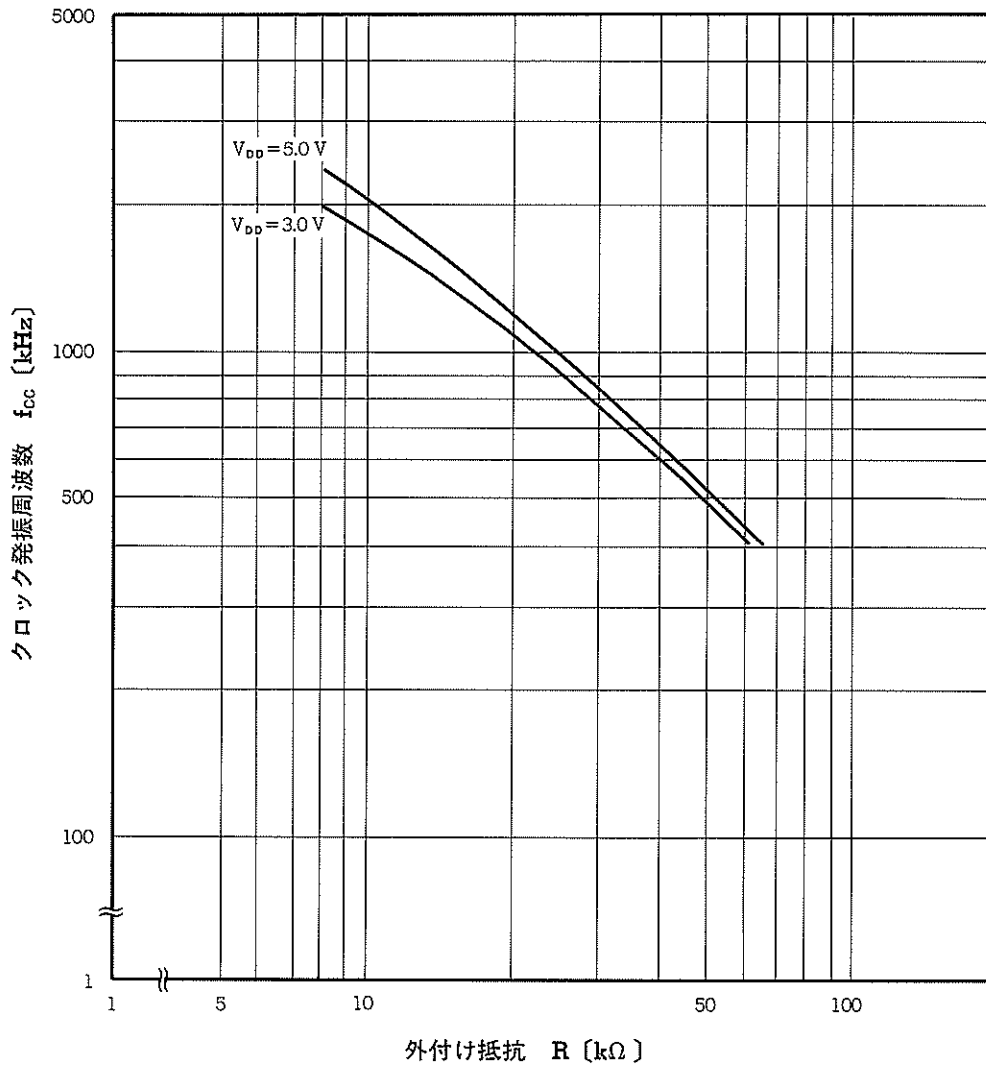
パワーオン/パワーダウン・リセット回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
パワーオン・リセット有効電源電圧立ち上がり時間	t_{POR}	$V_{DD} = 0 \rightarrow 2.7 \text{ V}$ 0Vから立ち上がること			$4096t_{CY}$	μs
パワーダウン・リセット回路低電圧検出電圧	V_{PDR}	PDRESEN=1のとき		3.5	4.5	V

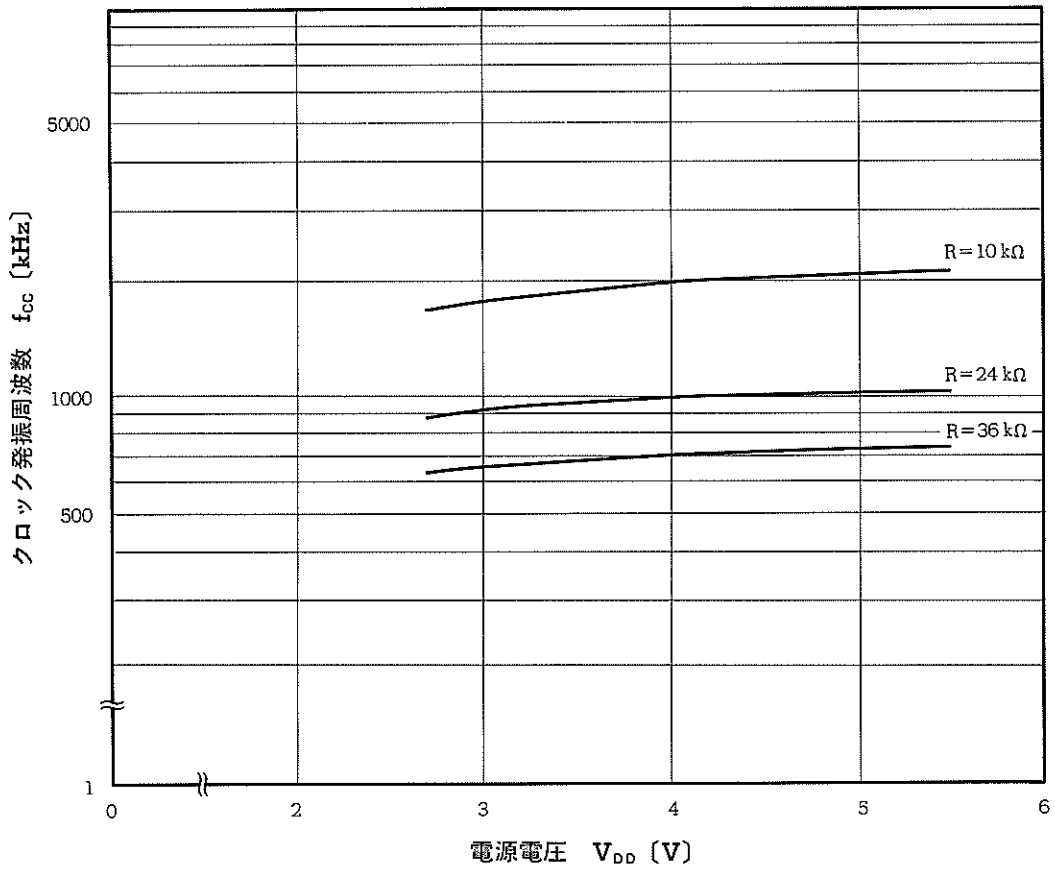
備考 $t_{CY} = 16/f_{CC}$ (f_{CC} はシステム・クロック発振周波数)

22. 特性曲線 (参考値)

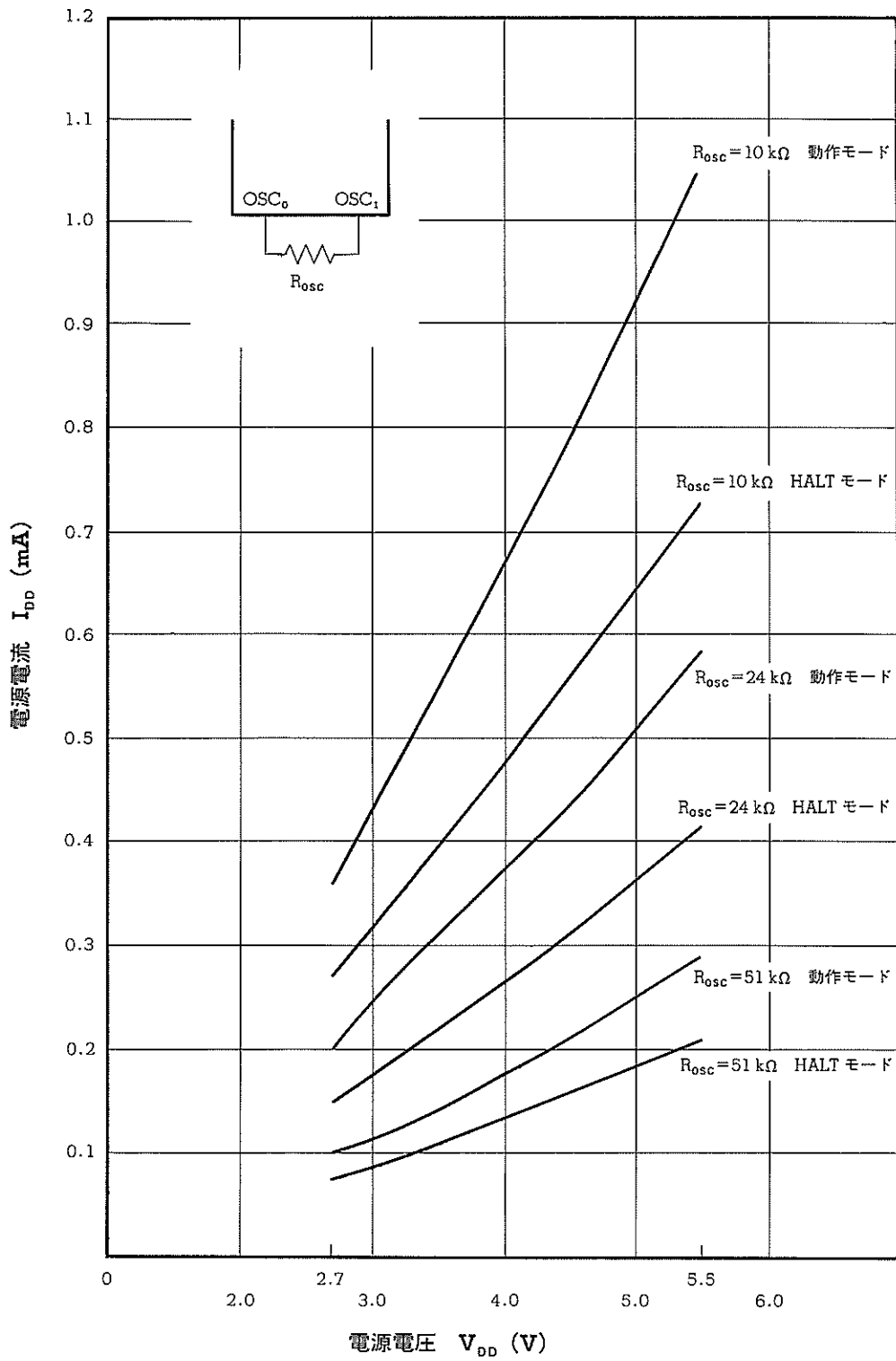
f_{cc} vs R 特性例 ($T_A = 25^\circ\text{C}$)



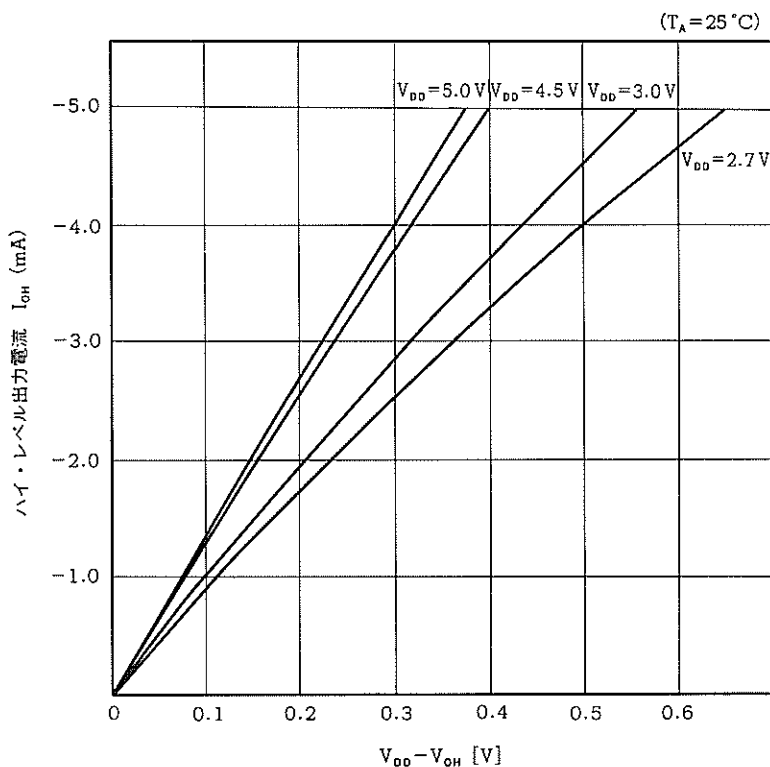
f_{CC} vs V_{DD} 特性例 ($T_A = -40 \sim +85^\circ\text{C}$)



電源電流 I_{DD} (mA)

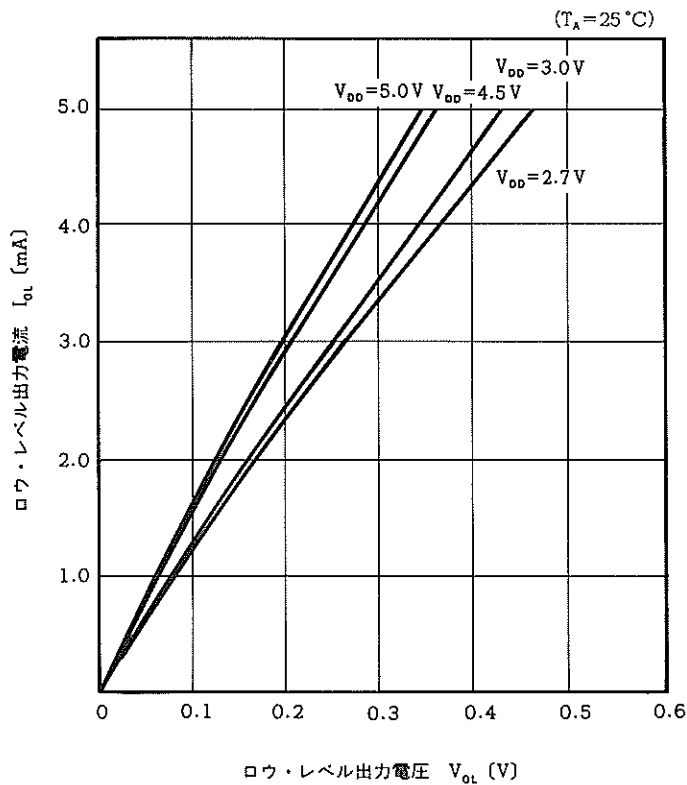


I_{OH} vs $(V_{DD} - V_{OH})$ 特性例 (POA, POB, POC)



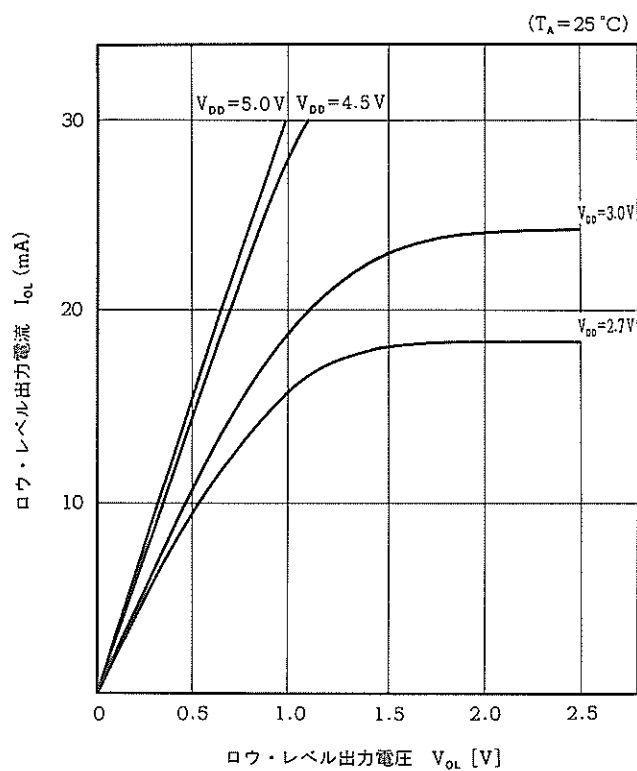
注意 絶対最大定格は1端子あたり -5 mA です。

I_{OL} vs V_{OL} 特性例 (POA, POB, POC)



注意 絶対最大定格は1端子あたり 5 mA です。

I_{OL} vs V_{OL} 特性例 (POD, POE)

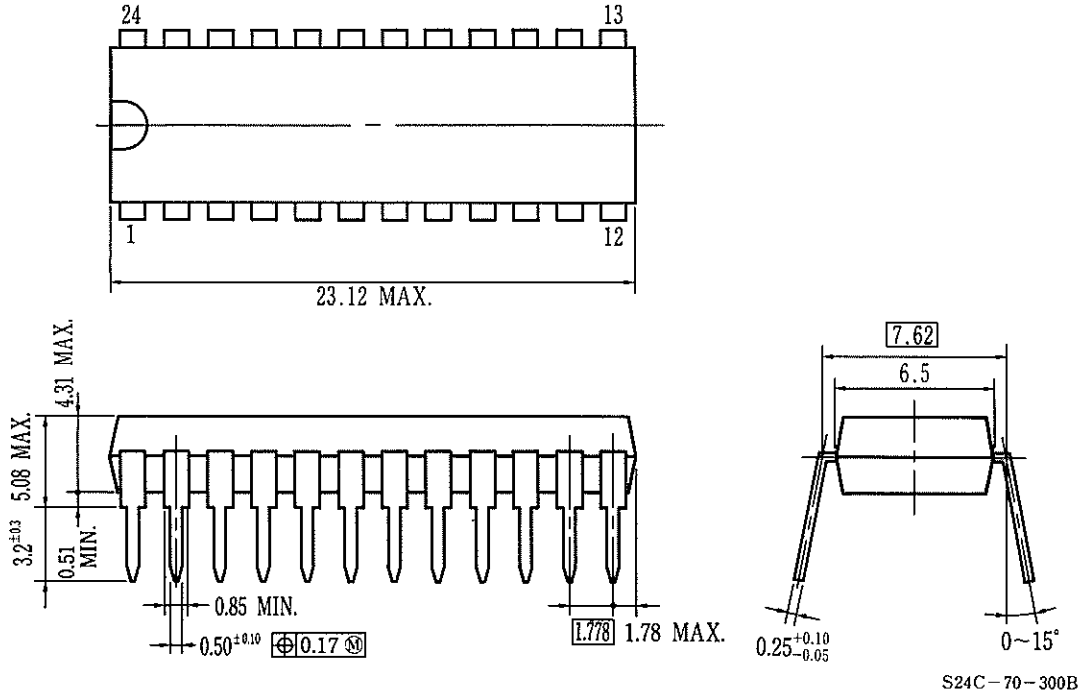


注意 絶対最大定格は1端子あたり30mAです。

23. 外形図

量産品の外形図 (1/2)

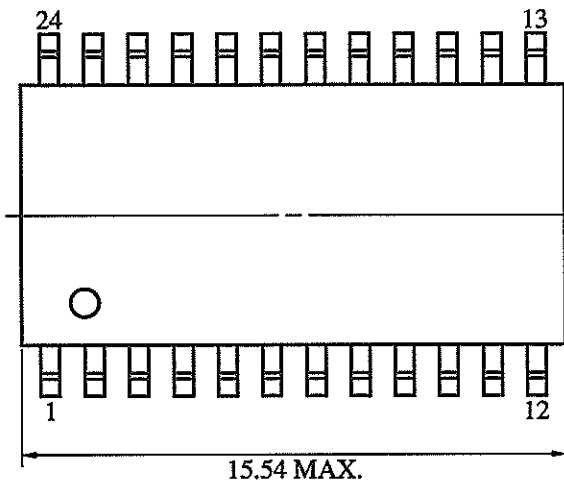
24ピン・プラスチック・シュリンク DIP (300 mil) 外形図(単位: mm)



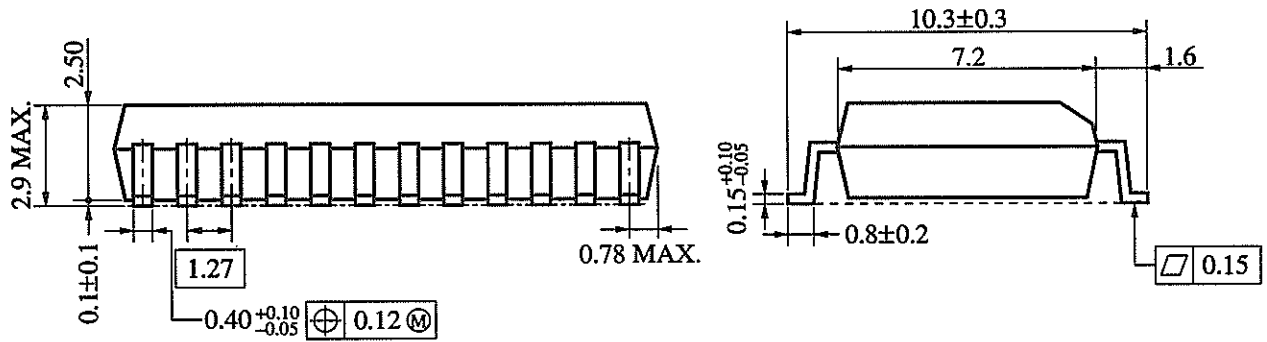
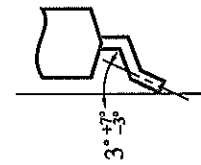
注意 ES品は量産品とは外形や材質が異なります。ES品の外形図(1/2)を参照してください。

量産品の外形図 (2/2)

24ピン・プラスチック SOP (375 mil) 外形図 (単位: mm)



端子先端形状詳細図

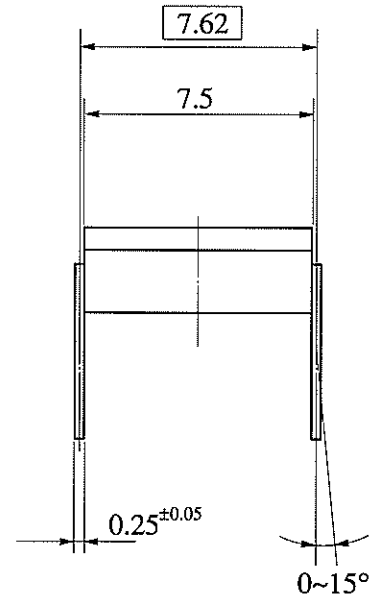
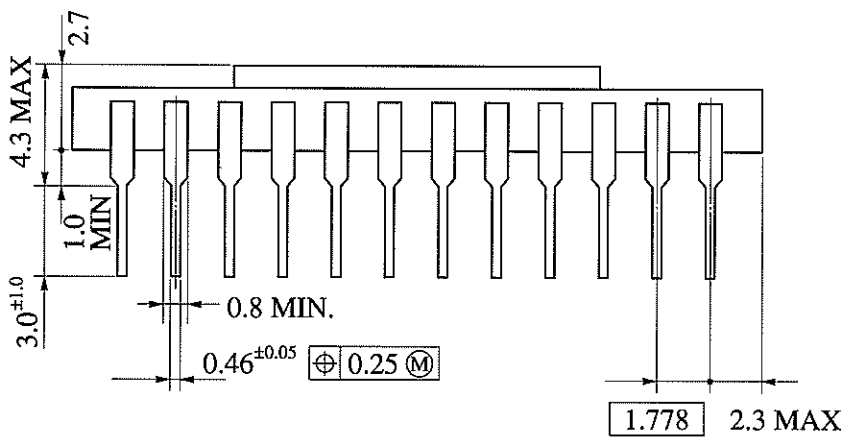
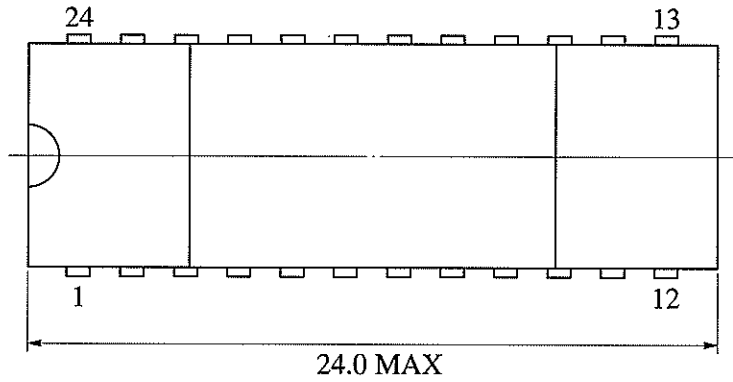


P24GM-50-375B-2

注意 ES 品は量産品とは外形や材質が異なります。ES 品の外形図 (2/2) を参照してください。

ES 品の外形図 (1/2)

24ピン・セラミック・シュリンクDIP (300 mil) (ES品) 外形図 (単位:mm)

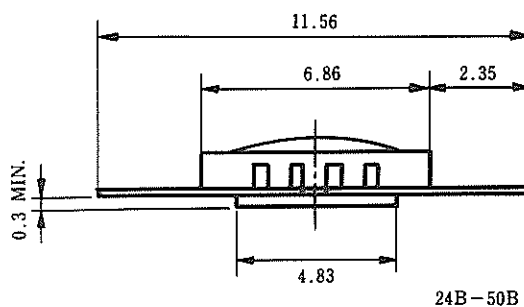
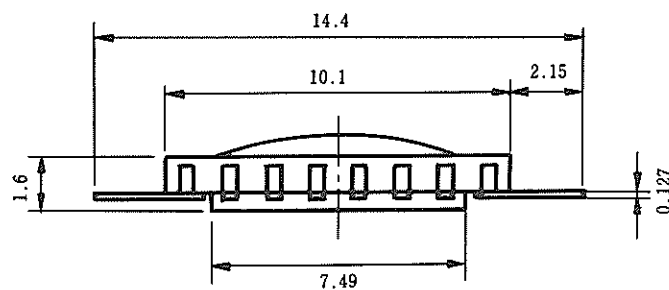
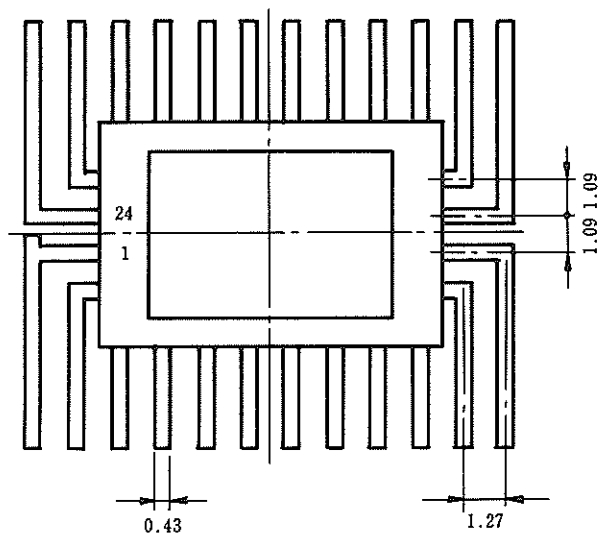


P24D-70-300B1

ES 品の外形図 (2/2)

ES 用24ピン・セラミック SOP 外形図 (参考) (単位: mm)

★



24B-50B

24. μPD17120サブシリーズの機能比較

品名		μPD17120	μPD17121	μPD17132	μPD17133
項目					
ROM		1.5 Kバイト		2 Kバイト	
RAM		64×4 ビット		111×4 ビット	
スタック		アドレス・スタック×5 レベル 割り込みスタック×1 レベル			
命令実行時間 (クロック, 動作電圧)		8 μs (2 MHz, 2.7~5.5 V)	2 μs (8 MHz, 4.5~5.5 V) 4 μs (4 MHz, 2.7~5.5 V)	8 μs (2 MHz, 2.7~5.5 V)	2 μs (8 MHz, 4.5~5.5 V) 4 μs (4 MHz, 2.7~5.5 V)
I/O	CMOS 入出力	12 (POA, POB, POC)			
	センス入力	1 (INT)			
	N-ch オープン・ドレイン入出力	6 (POD, POE 耐圧: 9 V) POD プルアップ: マスク・オプション POE プルアップ: マスク・オプション	6 $\left\{ \begin{array}{l} \text{POD, POE}_0 \text{ 耐圧: } 9 \text{ V} \\ \text{POE}_1 \text{ 耐圧: } V_{DD} \end{array} \right\}$ POD プルアップ: マスク・オプション POE プルアップ: マスク・オプション		
内蔵プルアップ抵抗	100 kΩ TYP.				
コンパレータ (動作電圧)		なし	4 (V _{DD} =2.7~5.5 V)		
	基準電圧端子	-		V _{ref} (V _{ref} =0 V~V _{DD})	
タイマ (8 ビット)		1 (タイマ出力: TMOU \bar{T})			
割り込み	外部	1			
	内部	2 (TM, SIO)			
SIO		1 (クロック同期 3 線式)			
スタンバイ機能		HALT, STOP			
発振安定待ち時間		256×256カウント			
パワーオン/パワーダウン・リセット回路		内蔵 (V _{DD} =5 V±10%の応用回路で使用可)	内蔵 (V _{DD} =5 V±10%, f _x =400 kHz~4 MHz の応用回路で使用可)	内蔵 (V _{DD} =5 V±10%の応用回路で使用可)	内蔵 (V _{DD} =5 V±10%, f _x =400 kHz~4 MHz の応用回路で使用可)
パッケージ		24ピン・プラスチック・シュリンク DIP (300 mil) 24ピン・プラスチック SOP (375 mil)			
ワン・タイム PROM		μPD17P132	μPD17P133	μPD17P132	μPD17P133

25. 半田付け推奨条件

μPD17120の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)をご参照ください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 25 - 1 表面実装タイプの半田付け条件

μPD17120GT-××× : 24ピン・プラスチック SOP (375 mil)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内（210℃以上）、回数：2回以内、 制限日数：7日間 ^注 （以降は125℃プリベーク20時間必要） ＜留意事項＞ （1）2回目のリフロは、1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 （2）1回目のリフロ後の水によるフラックス洗浄は避けください。	IR35-207-2
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：2回以内、 制限日数：7日間 ^注 （以降は125℃プリベーク20時間必要） ＜留意事項＞ （1）2回目のリフロは、1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 （2）1回目のリフロ後の水によるフラックス洗浄は避けください。	VP15-207-2
ウェーブ・ ソルダーリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回、 予備加熱温度：120℃ MAX.（パッケージ表面温度）、 制限日数：7日間 ^注 （以降は125℃プリベーク20時間必要）	WS60-207-1
端子部分加熱	端子温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）	—

★

注 ドライバック開封後の保管日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用は避けください（ただし、端子部分加熱は除く）。

表 25 - 2 挿入タイプの半田付け条件

μPD17120CS-××× : 24ピン・プラスチック・シュリンク DIP (300 mil)

半田付け方式	半 田 付 け 条 件
ウェーブ・ソルダーリング (端子のみ)	半田槽温度：260℃以下、時間：10秒以内
端子部分加熱	端子温度：300℃以下、時間：3秒以内（1端子当たり）

★

注意 ウェーブ・ソルダーリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

付録 開発ツール

μPD17120のプログラムを開発するために、以下の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ (IE-17K IE-17K-ET ^{注1} EMU-17K ^{注2})	IE-17K, IE-17K-ET, EMU-17K は、17K シリーズ共通のインサーキット・エミュレータです。 IE-17K および IE-17K-ET は、ホスト・マシンである PC-9800 シリーズまたは IBM PC/AT TM と RS-232-C を介して接続して使用します。EMU-17K は、ホスト・マシンである PC-9800 シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード (SE ボード) と組み合わせることで使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアである SIMPLEHOST TM を使用すると、さらに高度なデバッグ環境を実現できます。 なお、EMU-17K は、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SE ボード (SE-17120)	SE-17120 は、μPD17120 サブシリーズ用の SE ボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ (EP-17120CS)	EP-17120CS は、μPD17120 サブシリーズ用の エミュレーション・プローブです。SE ボードとターゲット・システムを接続します。
PROM プログラム (AF-9703 ^{注3} AF-9704 ^{注3} AF-9705 ^{注3} AF-9706 ^{注3})	AF-9703, AF-9704, AF-9705, AF-9706 は、μPD17P132 に対応した PROM プログラムです。プログラムアダプタ AF-9808M を接続することにより、μPD17P132 をプログラミングできます。
プログラムアダプタ (AF-9808M ^{注3})	AF-9808M は、μPD17P132CS, μPD17P132GT をプログラミングするためのアダプタです。AF-9703, AF-9704, AF-9705 または AF-9706 と組み合わせて使用します。

注 1. 廉価版：電源外付けタイプ

2. 株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー (東京 (03)3447-3793) までお問い合わせください。
3. 安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社 (東京 (03)3733-1151) までお問い合わせください。

ソフトウェア

名 称	概 要	ホスト・マシン	OS		供給媒体	オーダ名称
17K シリーズ アセンブラ (AS17K)	AS17K は 17K シリーズ共通に 使用できるアセンブラです。 μPD17120 のプログラム開発 には、この AS17K とデバイス・ ファイル (AS17120) を組み 合わせて使用します。	PC-9800 シリーズ	MS-DOS™		5 インチ 2HD	μSSA10AS17K
					3.5 インチ 2HD	μSSA13AS17K
		IBM PC/AT	PC DOS™		5 インチ 2HC	μS7B10AS17K
					3.5 インチ 2HC	μS7B13AS17K
デバイス・ファイル (AS17120)	AS17120 は μPD17120 と μPD17132 用のデバイス・ ファイルです。 17K シリーズ共通のアセンブ ラ (AS17K) と組み合わせて 使用します。	PC-9800 シリーズ	MS-DOS		5 インチ 2HD	μSSA10AS17120 ^注
					3.5 インチ 2HD	μSSA13AS17120 ^注
		IBM PC/AT	PC DOS		5 インチ 2HC	μS7B10AS17120 ^注
					3.5 インチ 2HC	μS7B13AS17120 ^注
サポート・ソフトウェア (SIMPLEHOST)	SIMPLEHOST はインサーキット・ エミュレータとパーソナル・コン ピュータを用いてプログラム開発を 行うときに Windows™ 上でマ ン・マシン・インタフェースを 行うソフトウェアです。	PC-9800 シリーズ	MS-DOS	Windows	5 インチ 2HD	μSSA10IE17K
					3.5 インチ 2HD	μSSA13IE17K
		IBM PC/AT	PC DOS		5 インチ 2HC	μS7B10IE17K
					3.5 インチ 2HC	μS7B13IE17K

注 μS×××AS17120 には、AS17120, AS17121, AS17132, AS17133 が入っています。

備考 対応している OS のバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver.3.30~Ver.5.00A ^注
PC DOS	Ver.3.1~Ver.5.0 ^注
Windows	Ver.3.0~Ver.3.1

注 MS-DOS の Ver.5.00/5.00A, PC DOS
の Ver.5.0 にはタスク・スワップ機能があ
りますが、このソフトウェアではタスク・
スワップ機能は使用できません。

[メモ]

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

SIMPLEHOST は、日本電気株式会社の商標です。

MS-DOS, Windows は、米国マイクロソフト社の商標です。

PC/AT, PC DOS は、米国 IBM 社の商標です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザ(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2755
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 東海支社 山形支社 郡山支社 いわき支社 長岡支社 土浦支社 水戸支社 神奈川支社 群馬支社 群馬支社 宇都宮支社	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 横浜 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011 宇都宮 (0286)21-2281	小山支店 (0285)24-5011 長野支社 (0262)35-1444 松本支店 (0263)35-1666 諏訪支店 (0266)53-5350 甲府支店 (0552)24-4141 埼玉支社 (048)641-1411 立川支社 (0425)26-5981 千葉支社 (043)238-8116 静岡支社 (054)255-2211 沼津支店 (0559)63-4455 浜松支店 (053)452-2711 北陸支社 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 鳥取 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (0899)45-4111 福岡 (092)271-7700 北九州 (093)541-2887	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2762	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	