

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# μPD17103L, 17103L(A)

## 4ビット・シングルチップ・マイクロコントローラ

μPD17103L, 17103L(A)は、ROM 1 Kバイト(512×16ビット)、RAM 16×4ビット、I/Oポート11本で構成されているタイニ・マイクロコントローラです。

電源電圧1.8Vからの低電圧での動作が可能のため、リチウム電池1本または乾電池2本を電源とする製品への応用にたいへん便利です。

CPUには、直接データ・メモリを操作することのできる汎用レジスタを取り入れた17Kアーキテクチャを採用しているため、たいへん効率のよいプログラミングが可能です。また、すべての命令は16ビット長1語で構成されています。

### 特 徴

プログラム・メモリ (ROM) : 1 Kバイト (512×16ビット)	低電圧でのデータ・メモリのデータ保持可能 (MIN. 1.5 V)
データ・メモリ (RAM) : 16×4ビット	システム・クロック用発振回路
I/Oポート : 11本 (N-chオープン・ドレイン出力 3本)	...セラミック発振子用
命令実行時間 : 8 μs (fx = 2 MHz動作時)	電源電圧 : V <sub>DD</sub> = 1.8~3.6 V (fx = 2 MHz動作時)
スタック・レベル : 1レベル	
スタンバイ機能 (STOP, HALTモード)	

### 用 途

- μPD17103L : 家電製品やおもちゃなどの電子制御化
- μPD17103L(A) : 自動車電装など

### オーダ情報

オーダ名称	パッケージ	品質水準
μPD17103LCX-x x x	16ピン・プラスチックDIP (300 mil)	標準 (一般電子機器用)
μPD17103LGS-x x x	16ピン・プラスチックSOP (300 mil)	"
μPD17103LCX(A)-x x x	16ピン・プラスチックDIP (300 mil)	特別 (高信頼度電子機器用)
μPD17103LGS(A)-x x x	16ピン・プラスチックSOP (300 mil)	"

**備考** x x xはROMコード番号です。

μPD17103LとμPD17103L(A)では、品質水準以外の相違はありません。この資料では、μPD17103Lを代表品種として説明しています。μPD17103L(A)をご使用の際は、μPD17103LをμPD17103L(A)に読み替えてください。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

本資料の内容は、後日変更する場合があります。

機能一覧

項目	機能
ROM容量	1 Kバイト(512×16ビット)
RAM容量	16×4ビット
スタック	1レベル
入出力ポート	11本(N-chオープン・ドレイン出力：3本)
システム・クロック( $f_x$ )	セラミック発振
命令実行時間	8 μs ( $f_x = 2$ MHz)
スタンバイ機能	HALT, STOP
動作電源電圧	$V_{DD} = 1.8 \sim 3.6$ V ( $f_x = 2$ MHz動作時)
パッケージ	16ピン・プラスチックDIP(300 mil) 16ピン・プラスチックSOP(300 mil)
ワン・タイムPROM製品	μPD17P103 品質水準は「標準」であり、(A)ではありません。

注意 PROM製品は、マスクROM製品と機能的には高い互換性がありますが、内部ROM回路や電気的特性の一部などに違いがあります。PROM製品からマスクROM製品に切り替える際には、マスクROM製品のサンプルによる応用評価を十分に行ってください。

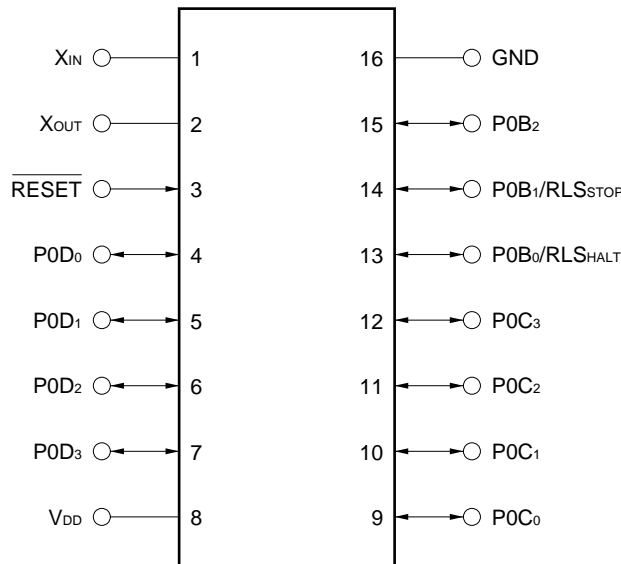
端子接続図 (Top View)

・16ピン・プラスチックDIP

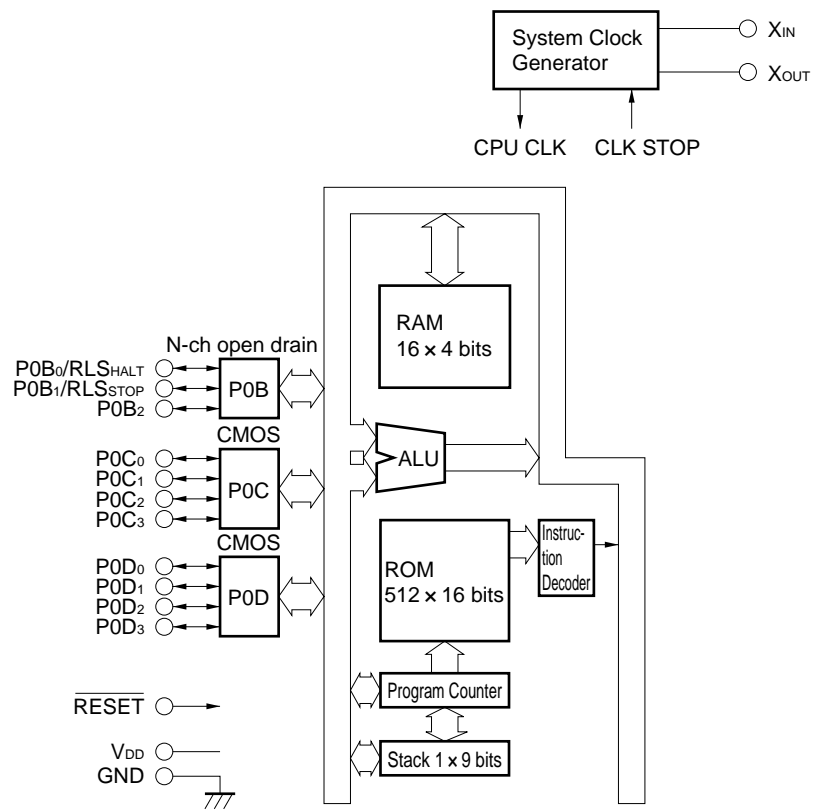
μPD17103LCX-xxx, 17103LCX(A)-xxx

・16ピン・プラスチックSOP

μPD17103LGS-xxx, 17103LGS(A)-xxx



ブロック図



端子機能

端子機能一覧

ポート端子

端子名称	入出力	機 能	リセット時
P0B <sub>0</sub> /RLS <sub>HALT</sub>	入出力	HALTモード解除用	<ul style="list-style-type: none"> <li>・オープン・ドレイン時</li> <li>ハイ・インピーダンス</li> <li>(入力モード)</li> <li>・プルアップ抵抗選択時</li> <li>ハイ・レベル(入力モード)</li> </ul>
P0B <sub>1</sub> /RLS <sub>STOP</sub>		STOPモード解除用	
P0B <sub>2</sub>		<ul style="list-style-type: none"> <li>・ N-chオープン・ドレイン3ビット入出力ポート(ポート0B)</li> <li>・ ビット単位で内蔵プルアップ抵抗選択可能(マスク・オプション)</li> <li>・ オープン・ドレイン時 9V耐圧</li> </ul>	
P0C <sub>0</sub> -P0C <sub>3</sub>	入出力	CMOS(プッシュプル)4ビット入出力ポート(ポート0C)	ハイ・インピーダンス (入力モード)
P0D <sub>0</sub> -P0D <sub>3</sub>	入出力	CMOS(プッシュプル)4ビット入出力ポート(ポート0D)	ハイ・インピーダンス (入力モード)

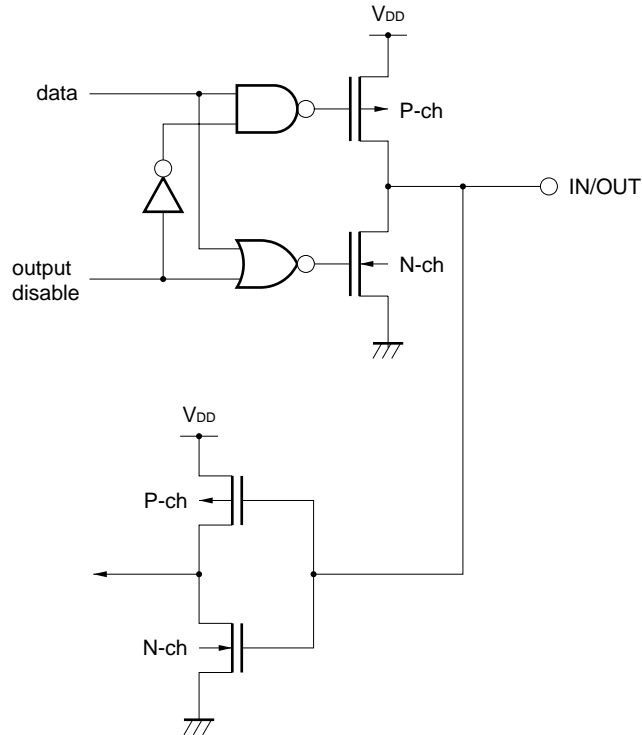
ポート端子以外

端子名称	入出力	機 能
RESET	入力	<ul style="list-style-type: none"> <li>・リセット入力端子</li> <li>・内蔵プルアップ抵抗選択可能(マスク・オプション)</li> </ul>
V <sub>DD</sub>	-	正電源端子
GND	-	GND電位端子
X <sub>IN</sub> , X <sub>OUT</sub>	-	システム・クロック発振子接続用端子

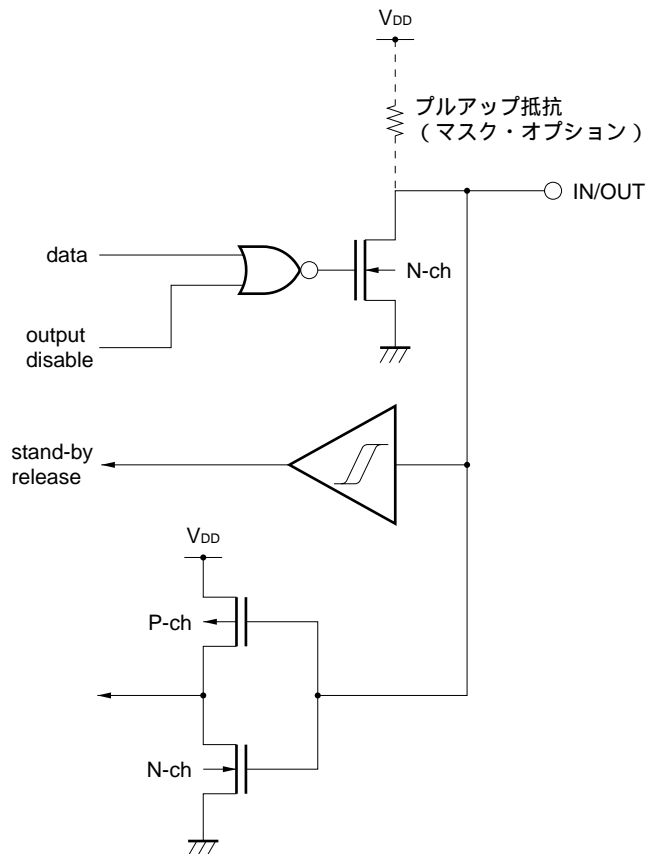
端子の等価回路

μPD17103Lの各端子の等価回路を一部簡略化した形式を用いて示します。

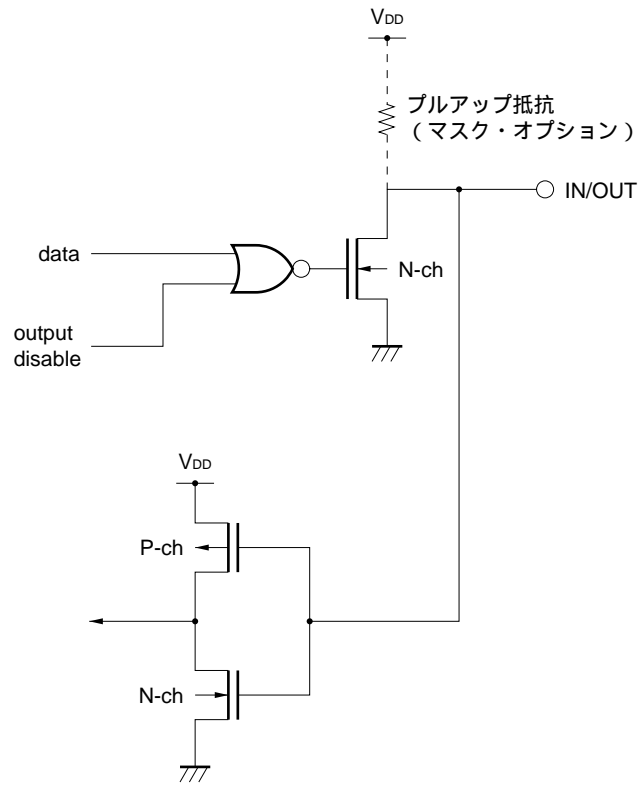
( 1 ) P0C , P0D



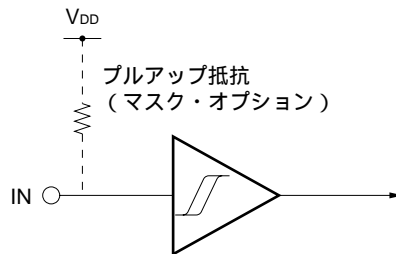
( 2 ) P0B0 , P0B1



( 3 ) P0B<sub>2</sub>



( 4 )  $\overline{\text{RESET}}$





未使用端子の処理

未使用端子には、次に示すような処置を推奨します。

端子名		推奨処理方法			
		マイコン内部	マイコン外部		
ポート	入力モード	P0C, P0D	-	各端子ごとに抵抗を介してV <sub>DD</sub> またはGNDに接続 <sup>注</sup>	
		P0B	マスク・オプションによるプルアップ抵抗を内蔵しない		オープン
			マスク・オプションによるプルアップ抵抗を内蔵する		
	出力モード	P0C, P0D (CMOSポート)	-	オープン	
		P0B (N-chオープン・ドレーン・ポート)	マスク・オプションによるプルアップ抵抗を内蔵しないで、ロウ・レベルを出力する		
			マスク・オプションによるプルアップ抵抗を内蔵して、ハイ・レベルを出力する		

注 外部でプルアップ（抵抗を介してV<sub>DD</sub>に接続）またはプルダウン（抵抗を介してGNDに接続）する場合には、ポートのドライブ能力や消費電流に注意してください。また、高い抵抗値でプルアップまたはプルダウンする場合には、その端子にノイズが乗らないように注意してください。応用回路にもよりますが、プルアップまたはプルダウンの抵抗値は、数 + k 程度が一般的です。

注意 端子の出力レベルは、プログラムの各ループ内で繰り返し設定することによって固定することを推奨します。

RESET端子の使用上の注意

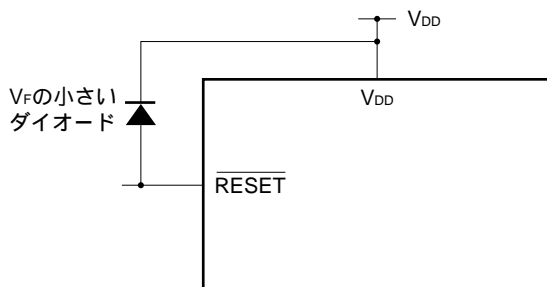
RESET端子は、端子機能に示した機能のほかに、μPD17103Lの内部動作をテストするテスト・モードを設定する機能（ICテスト専用）を持っています。

この端子にV<sub>DD</sub>を越える電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であってもV<sub>DD</sub>を越えるようなノイズが加わった場合にはテスト・モードに入ってしまう、通常動作に支障をきたすことがあります。

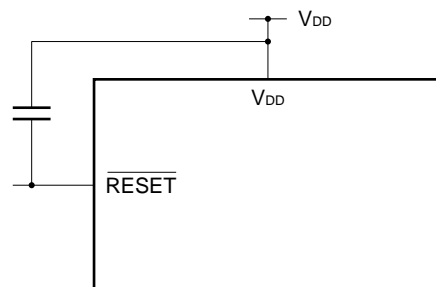
たとえば、RESET端子の配線の引き回しが長い場合などでは、RESET端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合には、下図のような外付け部品によるノイズ対策を実施してください。

V<sub>DD</sub>との間にV<sub>F</sub>の小さいダイオードを接続



V<sub>DD</sub>との間にコンデンサを接続



## 目 次

1 . プログラム・カウンタ (PC) ...	10
1.1 プログラム・カウンタ (PC) の構成 ...	10
1.2 プログラム・カウンタ (PC) の機能 ...	10
2 . スタック ...	11
3 . プログラム・メモリ (ROM) ...	12
4 . データ・メモリ (RAM) ...	13
4.1 データ・メモリ (RAM) の構成 ...	13
4.1.1 汎用データ・メモリの機能 ...	13
4.1.2 ジェネラル・レジスタの機能 ...	13
4.1.3 ポート・レジスタの機能 ...	13
4.1.4 システム・レジスタの機能 ...	14
5 . ALUブロック ...	17
5.1 ALUブロックの構成 ...	17
5.2 ALUブロックの機能 ...	17
5.2.1 ALUの機能 ...	17
5.2.2 一時記憶レジスタAおよびBの機能 ...	22
5.2.3 ステータス・フリップフロップの機能 ...	22
5.2.4 2進4ビット演算 ...	23
5.2.5 BCD演算 ...	23
5.2.6 ALUブロック処理手順 ...	24
5.3 算術演算 (2進4ビット加減算およびBCD加減算) ...	25
5.3.1 BCDフラグ = 0 , CMPフラグ = 0 のときの加減算 ...	25
5.3.2 BCDフラグ = 0 , CMPフラグ = 1 のときの加減算 ...	25
5.3.3 BCDフラグ = 1 , CMPフラグ = 0 のときの加減算 ...	26
5.3.4 BCDフラグ = 1 , CMPフラグ = 1 のときの加減算 ...	26
5.3.5 算術演算使用時の注意 ...	27
5.4 論理演算 ...	27
5.5 ビット判断 ...	28
5.5.1 Trueビット (1) 判断 ...	28
5.5.2 Falseビット (0) 判断 ...	29
5.6 比較判断 ...	29
5.6.1 “等しい” の判断 ...	30
5.6.2 “等しくない” の判断 ...	30
5.6.3 “以上” の判断 ...	31
5.6.4 “未満” の判断 ...	31

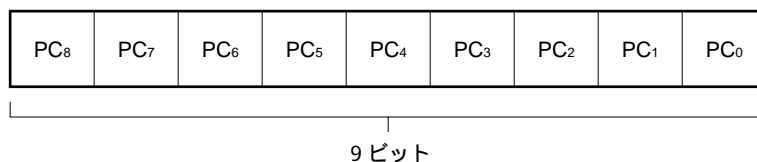
5.7	回転処理	...	32
5.7.1	右回転処理	...	32
5.7.2	左回転処理	...	33
6	ポート	...	34
6.1	ポート0B (POB0/RLSHALT, POB1/RLSSTOP, POB2)	...	34
6.2	ポート0C (POC0-POC3)	...	34
6.3	ポート0D (POD0-POD3)	...	34
6.4	ポート・レジスタの操作時の注意	...	36
7	スタンバイ機能	...	37
7.1	HALTモード	...	37
7.2	STOPモード	...	37
7.3	スタンバイ・モードの設定と解除	...	37
7.4	スタンバイ・モード中のハードウェアの状態	...	38
7.5	スタンバイ・モードの解除タイミング	...	38
8	リセット	...	40
8.1	リセット機能	...	40
9	アセンブラ予約語	...	41
9.1	マスク・オプション疑似命令	...	41
9.1.1	OPTION, ENDOP疑似命令	...	41
9.1.2	マスク・オプション定義疑似命令	...	41
9.2	予約シンボル	...	43
10	命令セット	...	44
10.1	命令セット一覧表	...	44
10.2	命令一覧表	...	45
10.3	アセンブラ (AS17K) 組み込みマクロ命令	...	47
11	電気的特性 ( $\mu$ PD17103L, 17103L (A) 共通)	...	48
12	特性曲線 (参考値)	...	52
13	外形図	...	54
14	半田付け推奨条件	...	58
15	タイニ・マイクロコントローラ・ファミリー一覧表	...	59
付録	開発ツール	...	60

## 1. プログラム・カウンタ (PC)

### 1.1 プログラム・カウンタ (PC) の構成

プログラム・カウンタは図 1 - 1 に示すように、9 ビットのバイナリ・カウンタで構成されています。

図 1 - 1 プログラム・カウンタ



### 1.2 プログラム・カウンタ (PC) の機能

プログラム・カウンタはプログラム・メモリ (ROM) すなわちプログラムのアドレスを指定するカウンタです。

通常、命令を 1 つ実行するごとに 1 つずつインクリメントされますが、分岐命令 (BR)、サブルーチン・コール命令 (CALL)、リターン命令 (RET) 実行時にはオペランド部で指定されたアドレスがロードされ、その番地の命令が実行されます。スキップ命令を実行したときはスキップ条件の内容にかかわらず、スキップ命令の次の命令のアドレスを指定します。そのときスキップすべき条件であれば、スキップ命令の次の命令は NOP 命令 (No Operation) とみなされます。つまり NOP 命令を実行して、さらに次の命令のアドレスを指定することになります。

2. スタック

μPD17103Lのスタックは、サブルーチン・コール時にプログラムの戻り番地を退避するためのレジスタで、1レベルあります。

図2 - 1にPC, スタックおよびBR, CALL命令のオペランドの関係を示します。

図2 - 1 PC, スタックおよびBR, CALL命令のオペランドの関係

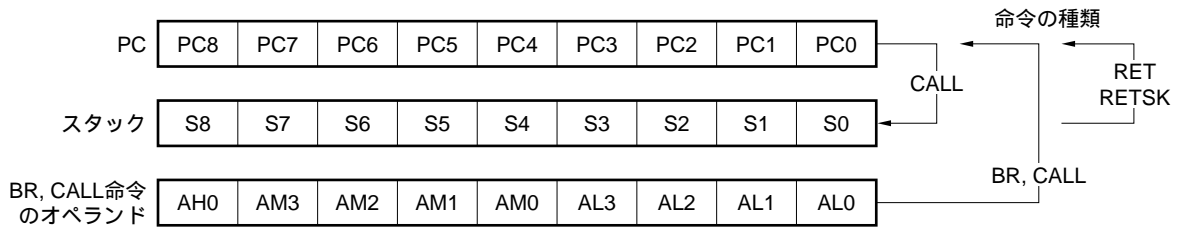
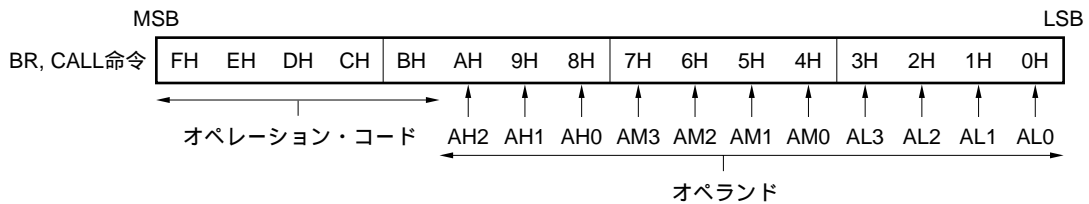


図2 - 1において, AHn, AMn, ALn (0 ≤ n ≤ 3) とは, それぞれ16ビット命令の以下の部分のことを言います。

図2 - 2 16ビット命令の構成



なお, アセンブラを使用せずBR, CALL命令を使用するときにはAH2, AH1は必ず“0”を指定してください。リセット入力時には, プログラム・カウンタは全ビット“0”にクリアされます。

### 3 . プログラム・メモリ (ROM)

図3 - 1 にプログラム・メモリ (ROM) の構成を示します。

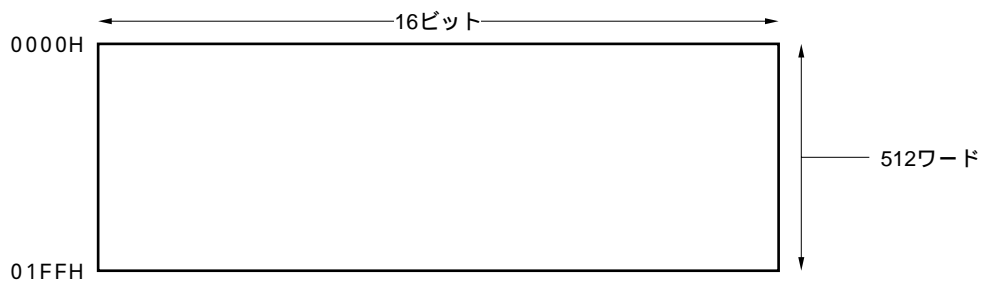
図3 - 1 に示すように、512ワード×16ビットで構成されています。

プログラム・メモリ (ROM) は16ビット単位で“番地 (アドレス)” が付けられており、0000H番地から01FFH番地まであり、プログラム・カウンタ (PC) により番地を指定します。

“命令” はすべて16ビット長の“一語命令” であるため、プログラム・メモリ (ROM) の1つの番地に1つの命令を格納することができます。

0000H番地は、リセット・スタート番地になっています。

図3 - 1 プログラム・メモリ・マップ



#### 4. データ・メモリ (RAM)

データ・メモリ (RAM) は、演算、制御などのデータを記憶するメモリです。命令により、常時、データの書き込み、読み出しが行えます。

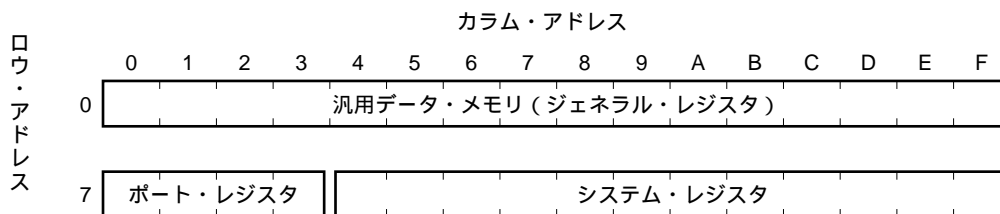
##### 4.1 データ・メモリ (RAM) の構成

図4 - 1にデータ・メモリ (RAM) の構成を示します。

データ・メモリは4ビット単位“1ニブル”で構成されており、それぞれの4ビット単位のデータごとに番地 (アドレス) が割り付けられています。アドレスは上位3ビットを“ロウ・アドレス”，下位4ビットを“カラム・アドレス”と呼びます。

また、データ・メモリは機能別に以下に示す汎用データ・メモリ、ポート・レジスタ、およびシステム・レジスタの各ブロックに分かれます。

図4 - 1 データ・メモリの構成



##### 4.1.1 汎用データ・メモリの機能

汎用データ・メモリは、データ・メモリからシステム・レジスタ (SYSREG) とポート・レジスタを除いた部分です。データ・メモリ操作命令を実行することによりデータ・メモリ上のデータと、イミディエイト・データ (任意のデータ) 間で4ビットの演算、比較、判断および転送を1命令で行うことができます。

##### 4.1.2 ジェネラル・レジスタの機能

ジェネラル・レジスタは、システム・レジスタのレジスタ・ポインタ (RP) で指定されるデータ・メモリ中の任意の同一ロウ・アドレス (16ニブル) を指します。μPD17103Lでは、レジスタ・ポインタが“0”に固定されていますので、汎用データ・メモリが同時にジェネラル・レジスタとしても使用できます。ジェネラル・レジスタはデータ・メモリとの間で演算やデータの転送を行うことができるレジスタです。

##### 4.1.3 ポート・レジスタの機能

ポート・レジスタは、入出力ポートの出力データの設定や、入力データの読み込みを行うときに使用します。

ポートに対応するポート・レジスタに一度でもデータを書き込むと、そのポートは出力ポートに設定され、値を書き換えなにかぎりその値を出力し続けます (リセットをかけないかぎり出力モードは維持されます)。また、入出力どちらのモードにもかかわらず、ポート・レジスタに対し読み込みを実行すると、ポート・レジスタの値ではなく常に端子の状態が読めます。

4.1.4 システム・レジスタの機能

システム・レジスタは、CPUの制御を行うレジスタです。μPD17103Lのシステム・レジスタはプログラム・ステータス・ワード（PSWORD）だけです。

図4 - 2 システム・レジスタ・マップ

番地	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
データ	0	0	0	0	0	0	0	0	0	0		

74H-7DHはすべて、“0”に固定です。

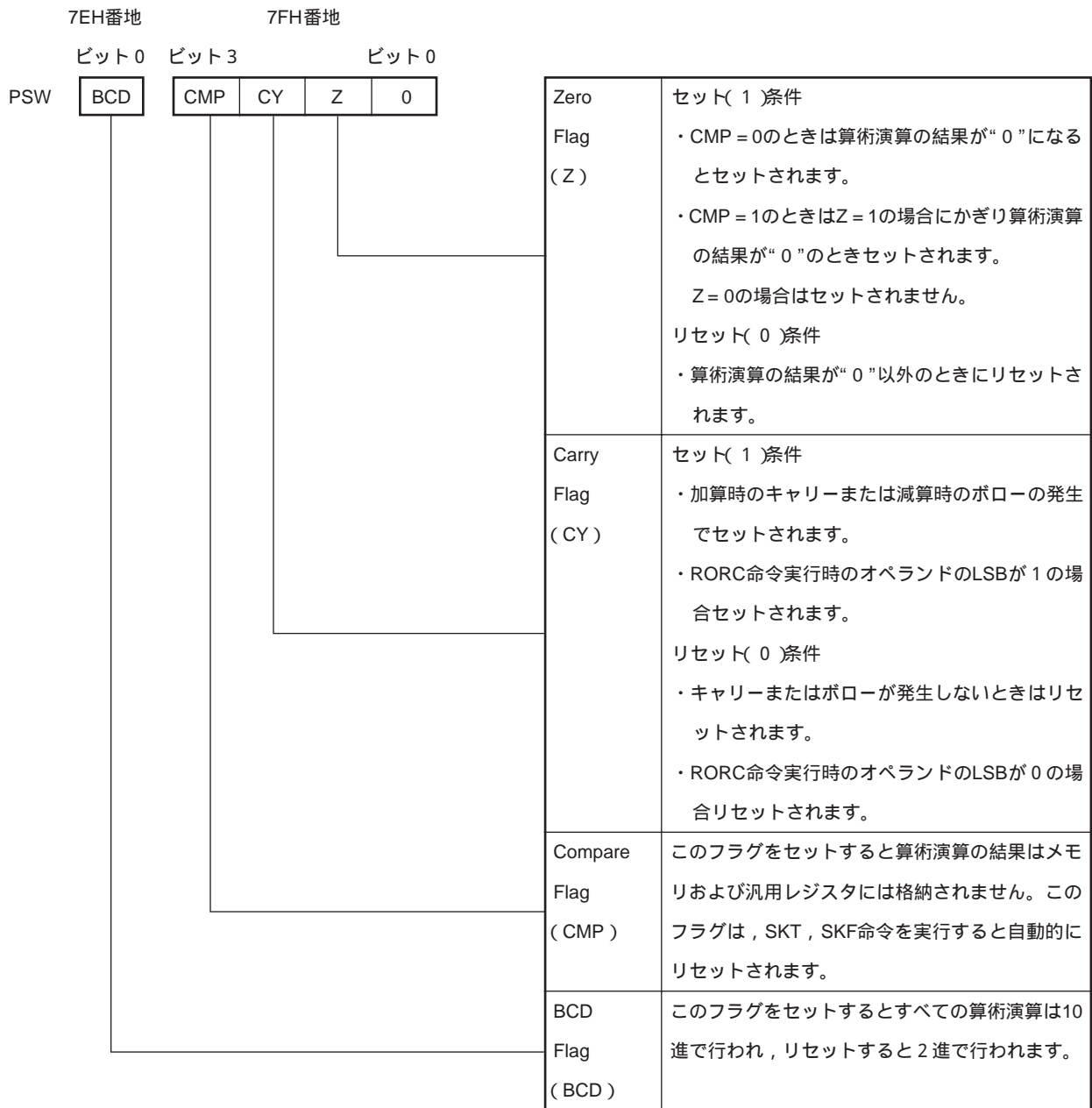
7EH			7FH			
PSWORD						
PSW						
B	C	C	Z			
C	M	Y				
D	P					
0	0	0				0

ビット  
 ビット  
 ト  
 0 3 2 1 0

7EH番地のビット0と7FH番地（PSW）の4ビットは、プログラム・ステータス・ワードに割り当てられています。7EH番地のビット0はBCDフラグ、7FH番地のビット3はCMPフラグ、ビット2はCYフラグ、ビット1はZフラグがマッピングされています。また、7EH番地の上位3ビットと7FH番地のビット0は、“0”に固定されています。



図4 - 3 プログラム・ステータス・ワードの構成



CYフラグは比較命令 (SKE/SKNE/SKGE/SKLT) では変化しませんが、算術演算時にはたとえCMPフラグがセットされていても演算の結果により変化します。

なお、プログラム・ステータス・ワードの各ビットは、リセット信号入力時に“0”に初期化されます。

プログラム・ステータス・ワード内のZフラグは、CMPフラグの値によって表4 - 1のように変化します。

表 4 - 1 Zフラグの変化

条 件	CMP = 0のとき	CMP = 1のとき
算術演算の結果が“ 0 ”になったとき	Z 1	Zは変化しない
算術演算の結果が“ 0 ”以外になったとき	Z 0	Z 0

CMP = 1にセットされている場合、Zフラグの値が“ 1 ”のときに算術演算の結果が0HになるとZフラグの値は“ 1 ”に保持されたままですが、演算結果がいったん0H以外になるとZフラグの値は“ 0 ” にリセットされ、再び算術演算をしてその結果が0HになってもZフラグの値は“ 1 ” にセットされません。

すなわち、CMPフラグとZフラグを“ 1 ” にセットして複数回の比較作業（減算比較）を行ったあと、Zフラグを参照してZフラグが“ 1 ” のままであればすべての比較結果が0（一致）になっていたことを意味し、“ 0 ” になっていれば比較結果が1回以上異なっていたことを意味します。

12ビット・データの比較の例

; M001, M002, M003に格納された12ビットのデータが、456Hに等しいか？

CMP456 :

```

SET2    CMP, Z
SUB     M001, #4 ; M001, M002, M003に格納された
SUB     M002, #5 ; データは壊れない。
SUB     M003, #6 ;
; CLR1  CMP
SKT1   Z ; CMPはビット判断命令で自動的にクリア
BR     DIFFER ; 456H
BR     AGREE ; = 456H
    
```

## 5. ALUブロック

ALUは4ビット・データの算術演算，論理演算，ビット判断，比較判断および回転処理を行います。

### 5.1 ALUブロックの構成

図5-1にALUブロックの構成を示します。

図5-1に示すようにALUブロックは4ビットのデータ処理を行うALU本体と，ALUの周辺回路である一時記憶用レジスタA，Bと，ALUの状態を制御するステータス・フリップフロップと，BCD演算使用時の10進補正回路から構成されています。

ステータス・フリップフロップは図5-1に示すように，ゼロ・フラグ用FF，キャリー・フラグ用FF，コンペア・フラグ用FFおよびBCDフラグ用FFから構成されています。

ステータス・フリップフロップはシステム・レジスタの中のプログラム・ステータス・ワード（PSWORD：アドレス7EH，7FH）の各フラグであるゼロ・フラグ（Z），キャリー・フラグ（CY），コンペア・フラグ（CMP）およびBCDフラグ（BCD）と1対1に対応しています。

### 5.2 ALUブロックの機能

ALUはプログラムに書かれた命令により，算術演算，論理演算，ビット判断，比較判断および回転処理を行います。

表5-1に各演算，判断，および回転処理命令の一覧を示します。

表5-1に示した各命令を実行することにより4ビット単位の演算，判断および回転処理または1桁のBCD演算が1命令で実行できます。

#### 5.2.1 ALUの機能

算術演算には加算と減算があります。算術演算にはジェネラル・レジスタの内容とデータ・メモリの内容との演算，またはデータ・メモリの内容とイミディエト・データとの演算が行えます。また，算術演算は2進数による4ビットの演算と10進数による1桁の演算（BCD演算）が可能です。

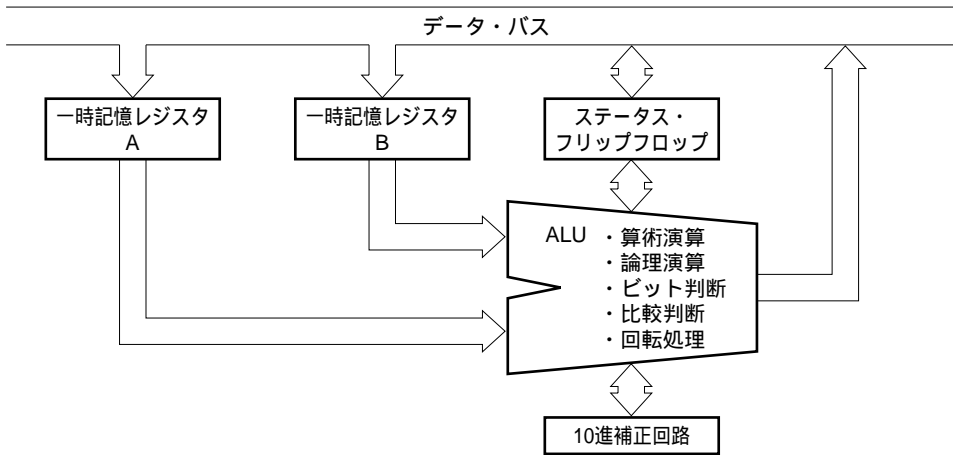
論理演算には論理積（AND），論理和（OR）および排他的論理和（XOR）があります。論理演算は，ジェネラル・レジスタの内容とデータ・メモリの内容との演算，またはデータ・メモリの内容とイミディエト・データとの演算が行えます。

ビット判断は，データ・メモリの4ビット・データのうち“0”であるビットまたは“1”であるビットの判断を行います。

比較判断はデータ・メモリの内容とイミディエト・データとの比較を行い，“等しい”，“等しくない”，“以上”および“未満”の判断を行います。

回転処理はジェネラル・レジスタの4ビット・データを下位ビットの方向へ1ビット，シフトします（右へ回転する）。

図5 - 1 ALUブロックの構成



アドレス	7EH	7FH			
名称	プログラム・ステータス・ワード (PSWORD)				
ビット	b <sub>0</sub>	b <sub>3</sub>	b <sub>2</sub>	b <sub>1</sub>	b <sub>0</sub>
フラグ	BCD	CMP	CY	Z	0

ステータス・フリップフロップ			
BCD フラグ用 FF	CMP フラグ用 FF	CY フラグ用 FF	Z フラグ用 FF

機能の概要	
→	算術演算結果が0であることを示す
→	算術演算時のキャリーまたはボローを格納
→	算術演算結果を格納するかを指定
→	算術演算時に10進補正を行うかを指定

(× 毛)

表5 - 1 ALU処理命令一覧(1 / 2)

ALU機能	命令	動作	説明	
算術演算	加算	ADD r, m	(r) (r)+(m)	ジェネラル・レジスタとデータ・メモリの内容を加算。 結果をジェネラル・レジスタへ格納。
		ADD m, #n4	(m) (m)+n4	データ・メモリとイミディエト・データの内容を加算。 結果をデータ・メモリへ格納。
		ADDC r, m	(r) (r)+(m)+CY	ジェネラル・レジスタとデータ・メモリの内容をCYフラグとともに加算。結果をジェネラル・レジスタへ格納。
		ADDC m, #n4	(m) (m)+n4+CY	データ・メモリとイミディエト・データの内容をCYフラグとともに加算。結果をデータ・メモリへ格納。
	減算	SUB r, m	(r) (r)-(m)	ジェネラル・レジスタの内容からデータ・メモリの内容を減算。 結果をジェネラル・レジスタへ格納。
		SUB m, #n4	(m) (m)-n4	データ・メモリの内容からイミディエト・データを減算。結果をデータ・メモリへ格納。
		SUBC r, m	(r) (r)-(m)-CY	ジェネラル・レジスタの内容からデータ・メモリの内容とCYフラグを減算。結果をジェネラル・レジスタへ格納。
		SUBC m, #n4	(m) (m)-n4-CY	データ・メモリの内容からイミディエト・データとCYフラグを減算。結果をデータ・メモリへ格納。
論理演算	論理和	OR r, m	(r) (r) (m)	ジェネラル・レジスタとデータ・メモリの内容をOR。結果をジェネラル・レジスタへ格納。
		OR m, #n4	(m) (m) n4	データ・メモリとイミディエト・データの内容をOR。結果をデータ・メモリへ格納。
	論理積	AND r, m	(r) (r) (m)	ジェネラル・レジスタとデータ・メモリの内容をAND。結果をジェネラル・レジスタへ格納。
		AND m, #n4	(m) (m) n4	データ・メモリとイミディエト・データの内容をAND。結果をデータ・メモリへ格納。
	排他的論理和	XOR r, m	(r) (r) (m)	ジェネラル・レジスタとデータ・メモリの内容をXOR。結果をジェネラル・レジスタへ格納。
		XOR m, #n4	(m) (m) n4	データ・メモリとイミディエト・データの内容をXOR。結果をデータ・メモリへ格納。
ビット判断	True	SKT m, #n	CMP 0, if (m) n = n, then skip	データ・メモリの内容のうち, nで指定されたビットがすべてTrue(1)ならスキップ。結果は格納されない。
	False	SKF m, #n	CMP 0, if (m) n = 0, then skip	データ・メモリの内容のうち, nで指定されたビットがすべてFalse(0)ならスキップ。結果は格納されない。
比較判断	等しい	SKE m, #n4	(m) - n4, skip if zero	データ・メモリの内容がイミディエト・データと等しいときスキップ。結果は格納されない。
	等しくない	SKNE m, #n4	(m) - n4, skip if not zero	データ・メモリの内容がイミディエト・データと等しくないときスキップ。結果は格納されない。
	以上	SKGE m, #n4	(m) - n4, skip if not borrow	データ・メモリの内容がイミディエト・データより以上のときスキップ。結果は格納されない。
	未満	SKLT m, #n4	(m) - n4, skip if borrow	データ・メモリの内容がイミディエト・データより未満のときスキップ。結果は格納されない。
回転	右回転	RORC r	←CY (r) <sub>3</sub> (r) <sub>2</sub> (r) <sub>1</sub> (r) <sub>0</sub> →	ジェネラル・レジスタの内容をCYフラグとともに右へ回転。結果をジェネラル・レジスタへ格納。

表5 - 1 ALU処理命令一覧(2 / 2)

ALU機能	プログラム・ステータス・ワード(PSWORD)による動作のちがい																													
算術演算	<table border="1"> <thead> <tr> <th>BCDフラグの値</th> <th>CMPフラグの値</th> <th>演算動作</th> <th>CYフラグ</th> <th>Zフラグ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2進演算 結果を格納する</td> <td>キャリー または</td> <td>演算結果0000Bでセット 0000B以外はリセット</td> </tr> <tr> <td>0</td> <td>1</td> <td>2進演算 結果を格納しない</td> <td>ポローの 発生で</td> <td>演算結果0000Bで状態保持 0000B以外はリセット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10進演算 結果を格納する</td> <td>セット, 発生しな</td> <td>演算結果0000Bでセット 0000B以外はリセット</td> </tr> <tr> <td>1</td> <td>1</td> <td>10進演算 結果を格納しない</td> <td>ければ リセット</td> <td>演算結果0000Bで状態保持 0000B以外はリセット</td> </tr> </tbody> </table>					BCDフラグの値	CMPフラグの値	演算動作	CYフラグ	Zフラグ	0	0	2進演算 結果を格納する	キャリー または	演算結果0000Bでセット 0000B以外はリセット	0	1	2進演算 結果を格納しない	ポローの 発生で	演算結果0000Bで状態保持 0000B以外はリセット	1	0	10進演算 結果を格納する	セット, 発生しな	演算結果0000Bでセット 0000B以外はリセット	1	1	10進演算 結果を格納しない	ければ リセット	演算結果0000Bで状態保持 0000B以外はリセット
	BCDフラグの値	CMPフラグの値	演算動作	CYフラグ	Zフラグ																									
	0	0	2進演算 結果を格納する	キャリー または	演算結果0000Bでセット 0000B以外はリセット																									
	0	1	2進演算 結果を格納しない	ポローの 発生で	演算結果0000Bで状態保持 0000B以外はリセット																									
	1	0	10進演算 結果を格納する	セット, 発生しな	演算結果0000Bでセット 0000B以外はリセット																									
1	1	10進演算 結果を格納しない	ければ リセット	演算結果0000Bで状態保持 0000B以外はリセット																										
論理演算	Don't care (保持)	Don't care (保持)	変わらない	Don't care (保持)	Don't care (保持)																									
ビット判断	Don't care (保持)	リセット される	変わらない	Don't care (保持)	Don't care (保持)																									
比較判断	Don't care (保持)	Don't care (保持)	変わらない	Don't care (保持)	Don't care (保持)																									
回転	Don't care (保持)	Don't care (保持)	変わらない	ジェネラル・レ ジスタのb <sub>0</sub> の値	Don't care (保持)																									

### 5.2.2 一時記憶レジスタAおよびBの機能

一時記憶レジスタAおよびBは4ビット・データを一度に処理するために必要なレジスタであり、処理されるデータと、処理するデータを一時的に蓄えておくレジスタです。

### 5.2.3 ステータス・フリップフロップの機能

ステータス・フリップフロップはALUの動作制御および、処理されたデータの状態を格納するフリップフロップです。ステータス・フリップフロップはシステム・レジスタのプログラム・ステータス・ワード(PSWORD)の各フラグと1対1に対応しているため、システム・レジスタを操作すれば、ステータス・フリップフロップも同時に操作されます。次にプログラム・ステータス・ワードの各フラグについて説明します。

#### (1) Zフラグ

算術演算の結果が0000Bになるとセット(1)され、0000B以外になるとリセット(0)されます。ただし、CMPフラグの状態により次のようにセット(1)される条件が異なります。

##### (i) CMPフラグ=0のとき

演算結果が0000Bであればセット(1)され0000B以外であればリセット(0)されます。

##### (ii) CMPフラグ=1のとき

演算結果が0000Bであれば以前の状態を保持し、0000B以外であればリセット(0)されます。算術演算以外では変化しません。

#### (2) CYフラグ

算術演算の結果、キャリーまたはボローが発生するとセット(1)され、発生しなければリセット(0)されます。

算術演算がキャリーまたはボローとともに演算を行う場合はCYフラグの内容を最下位ビットに演算します。

回転処理(RORC命令)を行うときは、そのときのCYフラグの内容をジェネラル・レジスタの最上位ビット(b<sub>3</sub>)とし、ジェネラル・レジスタの最下位ビットの内容がCYフラグの内容になります。

算術演算および回転処理以外では変化しません。

#### (3) CMPフラグ

CMPフラグがセット(1)されているときに実行された算術演算は、結果がジェネラル・レジスタおよびデータ・メモリに格納されません。

ビット判断命令を実行するとCMPフラグはリセット(0)されます。

比較判断、論理演算、回転処理には影響を与えません。

#### (4) BCDフラグ

BCDフラグがセット(1)されているときは、すべての算術演算がBCD演算で行われます。

リセット(0)されているときは2進4ビット演算で行われます。

論理演算、ビット判断、比較判断、回転処理には影響を与えません。

これらのフラグは、プログラム・ステータス・ワード(PSWORD)を直接操作することにより値を変化させることも可能です。このとき、変化したフラグに対応するステータス・フリップフロップも同様に変化します。



5.2.4 2進4ビット演算

BCDフラグが0のとき、算術演算は、2進数による4ビット単位の演算を行います。

5.2.5 BCD演算

BCDフラグが1のとき算術演算は、BCD演算を行います。2進4ビット演算結果とBCD演算結果の違いを表5 - 2に示します。BCD加算実行時に加算結果が20以上になったとき、あるいはBCD減算実行時に減算結果が-10~+9以外になったときにはデータ・メモリに1010B(0AH)以上のデータが格納されます(表5 - 2の網掛け部分)。

表5 - 2 2進4ビット演算結果とBCD演算結果

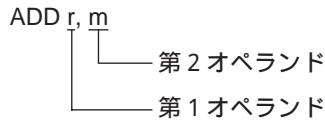
演算結果	2進4ビット加算		BCD加算		演算結果	2進4ビット減算		BCD減算	
	CY	演算結果	CY	演算結果		CY	演算結果	CY	演算結果
0	0	0000	0	0000	0	0	0000	0	0000
1	0	0001	0	0001	1	0	0001	0	0001
2	0	0010	0	0010	2	0	0010	0	0010
3	0	0011	0	0011	3	0	0011	0	0011
4	0	0100	0	0100	4	0	0100	0	0100
5	0	0101	0	0101	5	0	0101	0	0101
6	0	0110	0	0110	6	0	0110	0	0110
7	0	0111	0	0111	7	0	0111	0	0111
8	0	1000	0	1000	8	0	1000	0	1000
9	0	1001	0	1001	9	0	1001	0	1001
10	0	1010	1	0000	10	0	1010	1	1100
11	0	1011	1	0001	11	0	1011	1	1101
12	0	1100	1	0010	12	0	1100	1	1110
13	0	1101	1	0011	13	0	1101	1	1111
14	0	1110	1	0100	14	0	1110	1	1100
15	0	1111	1	0101	15	0	1111	1	1101
16	1	0000	1	0110	-16	1	0000	1	1110
17	1	0001	1	0111	-15	1	0001	1	1111
18	1	0010	1	1000	-14	1	0010	1	1100
19	1	0011	1	1001	-13	1	0011	1	1101
20	1	0100	1	1110	-12	1	0100	1	1110
21	1	0101	1	1111	-11	1	0101	1	1111
22	1	0110	1	1100	-10	1	0110	1	0000
23	1	0111	1	1101	-9	1	0111	1	0001
24	1	1000	1	1110	-8	1	1000	1	0010
25	1	1001	1	1111	-7	1	1001	1	0011
26	1	1010	1	1100	-6	1	1010	1	0100
27	1	1011	1	1101	-5	1	1011	1	0101
28	1	1100	1	1010	-4	1	1100	1	0110
29	1	1101	1	1011	-3	1	1101	1	0111
30	1	1110	1	1100	-2	1	1110	1	1000
31	1	1111	1	1101	-1	1	1111	1	1001

### 5.2.6 ALUブロック処理手順

プログラム上で算術演算命令，論理演算命令，ビット判断命令，比較判断命令および回路処理命令が実行されると，演算，判断または処理されるデータおよび処理するデータがそれぞれ一時記憶レジスタAおよびBに格納されます。

処理されるデータとは，各命令の第1オペランドでアドレス指定されるジェネラル・レジスタの内容またはデータ・メモリの内容であり，4ビットのデータです。処理するデータとは各命令の第2オペランドでアドレス指定されるデータ・メモリの内容または第2オペランドで直接指定されるイミディエト・データで4ビットのデータです。

たとえば



命令において処理されるデータはrでアドレス指定されるジェネラル・レジスタの内容であり，処理するデータはmでアドレス指定されるデータ・メモリの内容となります。また

ADD m, #n4

命令は，処理されるデータはmでアドレス指定されるデータ・メモリの内容であり，処理するデータは#n4で指定されるイミディエト・データになります。また回転処理命令である

RORC r

命令は，処理する方法が決まっているため処理されるデータのみ必要となり，rでアドレス指定されるジェネラル・レジスタの内容になります。

次に，一時記憶レジスタAおよびBに格納されたデータは，各命令に従いALUで算術演算，論理演算，ビット判断，比較判断および回転処理を実行します。実行された命令が算術演算，論理演算および回転処理のときは，ALUで処理されたデータを，命令の第1オペランドで指定されるジェネラル・レジスタまたはデータ・メモリに格納して動作を終了します。また，実行された命令がビット判断および比較判断であるときは，ALUで処理された結果によりプログラム上の次の命令をスキップ（次の命令はノー・オペレーション（NOP命令）命令として実行されます）して動作を終了します。

ALUブロック動作については次の点に注意が必要です。

- (1) 算術演算は，プログラム・ステータス・ワードのCMPフラグおよびBCDフラグの影響を受ける。
- (2) 論理演算は，プログラム・ステータス・ワードのCMPフラグおよびBCDフラグの影響は受けない。またZフラグ，CYフラグには影響を与えない。
- (3) ビット判断はプログラム・ステータス・ワードのCMPフラグをリセットする。

### 5.3 算術演算（2進4ビット加減算およびBCD加減算）

表5 - 3に示すように、算術演算は、加算と減算に大別され、さらにキャリーとともに加算およびボローとともに減算とに分けられます。算術演算命令はこの4種類に分けられ、それぞれ、“ADD”、“ADDC”、“SUB”、“SUBC”命令を使用します。

“ADD”、“ADDC”、“SUB”、“SUBC”命令は、さらにジェネラル・レジスタとデータ・メモリの加減算およびデータ・メモリとイミディエト・データの加減算に分けられます。これは各命令のオペランドに記述する値により決定されます。すなわちオペランドが“r,m”であればジェネラル・レジスタとデータ・メモリの加減算になり“m,#n4”であればデータ・メモリとイミディエト・データの加減算になります。

算術演算命令はステータス・フリップフロップすなわち、システム・レジスタのプログラム・ステータス・ワード（PSWORD）の影響を受けます。プログラム・ステータス・ワード（PSWORD）のBCDフラグにより2進4ビット演算およびBCD演算を行い、CMPフラグにより、演算結果をどこにも格納しないことができます。

5.3.1-5.3.4に各算術演算命令とプログラム・ステータス・ワード（PSWORD）について説明します。

表5 - 3 算術演算の種類

算術演算	加算	キャリーは無視	ジェネラル・レジスタとデータ・メモリ	ADD r, m
		ADD	データ・メモリとイミディエト・データ	ADD m, #n4
		キャリーとともに加算	ジェネラル・レジスタとデータ・メモリ	ADDC r, m
		ADDC	データ・メモリとイミディエト・データ	ADDC m, #n4
	減算	ボローは無視	ジェネラル・レジスタとデータ・メモリ	SUB r, m
		SUB	データ・メモリとイミディエト・データ	SUB m, #n4
		ボローとともに減算	ジェネラル・レジスタとデータ・メモリ	SUBC r, m
		SUBC	データ・メモリとイミディエト・データ	SUBC m, #n4

#### 5.3.1 BCDフラグ = 0 , CMPフラグ = 0 のときの加減算

2進4ビットの加減算を行い、結果をジェネラル・レジスタ（またはデータ・メモリ）に格納します。

CYフラグは演算結果が1111Bを越えたとき（キャリーの発生）と、0000B未満（ボローの発生）になるとセット（1）され、それ以外ではリセット（0）されます。

演算結果が0000Bになるとキャリーおよびボローの発生に関係なくZフラグをセット（1）し、0000Bでなければリセット（0）します。

#### 5.3.2 BCDフラグ = 0 , CMPフラグ = 1 のときの加減算

2進4ビットの加減算を行います。

ただしCMPフラグがセット（1）されているため、演算結果はジェネラル・レジスタ（またはデータ・メモリ）に格納されません。

演算結果によりキャリーまたはボローが発生するとCYフラグがセット（1）され、発生しなければリセット（0）されます。

Zフラグは、演算結果が0000Bであれば以前の状態を保持し、0000Bでなければリセット（0）されます。

5.3.3 BCDフラグ = 1 , CMPフラグ = 0 のときの加減算

BCD演算を行います。

演算結果は、ジェネラル・レジスタ（またはデータ・メモリ）に格納されます。CYフラグは演算結果が1001B（9D）を越えるか、0000B（0D）未満になるとセット（1）され、0000B（0D）～1001B（9D）であればリセット（0）されます。

Zフラグは、演算結果が0000B（0D）になるとセット（1）され、0000B（0D）以外になるとリセット（0）されません。

BCD演算は、一度2進で演算された結果を10進補正回路で10進に変換する方法を用いています。この2進-10進変換は5.2.5 BCD演算の表5 - 2を参照してください。

したがって、BCD演算を正しく実行するためには、次のことに注意してください。

(1) 加算の結果が0D～19Dであること

(2) 減算の結果が0D～9Dまたは-10D～-1Dであること

0D～19Dとは、CYフラグを考慮した値であり、16進数で表すと

0, 0000B～1, 0011Bのことです  
 $\underbrace{\quad}$  CY       $\underbrace{\quad}$  CY

-10D～-1Dとは同様に

1, 0110B～1, 1111Bのことです  
 $\underbrace{\quad}$  CY       $\underbrace{\quad}$  CY

(1) , (2) 以外で10進演算を行うとCYフラグがセット（1）され、演算結果として1010B（0AH）以上のデータが出力されます。

5.3.4 BCDフラグ = 1 , CMPフラグ = 1 のときの加減算

BCD演算を行います。

演算結果はジェネラル・レジスタ（またはデータ・メモリ）へ格納されません。

例 SET2 BCD, CMP ; BCDフラグとCMPフラグをセット（1）  
 ADD REGX, MEMX ; レベルREGXとデータ・メモリMEMXの加算  
 CLR1 BCD ; BCDフラグのクリア（0）  
 SKT1 CY ; CYフラグのチェックとCMPフラグのクリア（0）  
 BR UNDER10 ; REGX + MEMX < 10  
 BR OVER10 ; REGX + MEMX > 10

この例では、レジスタREGXとデータ・メモリMEMXの合計が10以上であるか否かをREGX, MEMXの内容を壊さずにチェックしています。

5.3.5 算術演算使用時の注意

PSW (7FH番地) に算術演算を行う場合には注意が必要です。

CMPフラグがクリア (0) されているときにPSWに算術演算が行われると、PSWには算術演算の結果が格納されるため、PSWの中のCYフラグやZフラグの判定はできません。

ただし、CMPフラグがセット (1) されているときには、算術演算の結果は格納されないため、PSWに算術演算が行われてもCYフラグやZフラグの判定は可能です。

5.4 論理演算

表5 - 4に示すように、論理演算は論理和 (OR)、論理積 (AND) および排他的論理和 (XOR) が使用できます。

論理演算命令はこの3種類に分けられ、それぞれ“OR”、“AND”および“XOR”命令を使用します。

“OR”、“AND”、“XOR”命令は、さらにジェネラル・レジスタとデータ・メモリの論理演算およびデータ・メモリとイミディエト・データの論理演算に分けられます。これは算術演算と同様に命令のオペランドに記述された値“r, m”または“m, #n4”により決定されます。

論理演算は、プログラム・ステータス・ワード (PSWORD) のBCDフラグおよびCMPフラグの影響は受けません。またCYフラグおよびZフラグには何の影響も与えません。

表5 - 4 論理演算

論理演算	論理和	ジェネラル・レジスタとデータ・メモリ	OR r, m
	OR	データ・メモリとイミディエト・データ	OR m, #n4
	論理積	ジェネラル・レジスタとデータ・メモリ	AND r, m
	AND	データ・メモリとイミディエト・データ	AND m, #n4
	排他的論理和	ジェネラル・レジスタとデータ・メモリ	XOR r, m
	XOR	データ・メモリとイミディエト・データ	XOR m, #n4

表5 - 5 論理演算の真理値表

論理積			論理和			排他的論理和		
C = A AND B			C = A OR B			C = A XOR B		
A	B	C	A	B	C	A	B	C
0	0	0	0	0	0	0	0	0
0	1	0	0	1	1	0	1	1
1	0	0	1	0	1	1	0	1
1	1	1	1	1	1	1	1	0

5.5 ビット判断

表5 - 6 に示すように、ビット判断はTrueビット(1)判断およびFalseビット(0)判断に分けられます。

Trueビット(1)判断およびFalseビット(0)判断はそれぞれ“SKT”および“SKF”命令を使用します。

“SKT”、“SKF”命令はデータ・メモリに対してのみ行うことができます。

ビット判断は、プログラム・ステータス・ワード(PSWORD)のBCDフラグの影響を受けません。またCYフラグおよびZフラグには何の影響も与えません。ただし、CMPフラグは“SKT”および“SKF”命令が実行されるとリセット(0)されます。

5.5.1、5.5.2にTrueビット(1)判断およびFalseビット(0)判断について説明します。

表5 - 6 ビット判断命令

ビット判断	Trueビット(1)判断
	SKT m, #n
Falseビット(0)判断	SKF m, #n

5.5.1 Trueビット(1)判断

Trueビット(1)判断命令“SKT m, #n”は、データ・メモリの4ビットのうち、nで指定されたビットが“True(1)”であるかを判断します。nで指定されたビットがすべて“True(1)”であるとき、この命令の次の命令をスキップします。

```

例 MOV  M1, #1011B
    SKT  M1, #1011B ;
    BR   A
    BR   B
        ⋮
    SKT  M1, #1101B ;
    BR   C
    BR   D
    
```

このとき、ではM1のビットb<sub>3</sub>, b<sub>1</sub>, b<sub>0</sub>を判断し、すべてTrue(1)であるからBへ分岐します。

では、M1のビットb<sub>3</sub>, b<sub>2</sub>, b<sub>0</sub>を判断しますが、M1のb<sub>2</sub>はFalse(0)であるため、Cへ分岐します。

5.5.2 Falseビット(0)判断

Falseビット(0)判断命令“SKF m, #n”はデータ・メモリの4ビットのうちnで指定されたビットがFalse(0)であるかを判断します。nで指定されたビットがすべて“False(0)”であるとき、この命令の次の命令をスキップします。

```

例 MOV  M1, #1001B
    SKF  M1, #0110B ;
    BR   A
    BR   B
        ⋮
    SKF  M1, #1110B ;
    BR   C
    BR   D
    
```

このときでは、M1のビットb<sub>2</sub>, b<sub>1</sub>を判断し、すべてFalse(0)であるためBへ分岐します。ではM1のビットb<sub>3</sub>, b<sub>2</sub>, b<sub>1</sub>を判断しますが、M1のビットb<sub>3</sub>はTrue(1)であるためCへ分岐します。

5.6 比較判断

表5-7に示すように、比較判断は“等しい”, “等しくない”, “以上”および“未満”の判断に分けられます。

“等しい”, “等しくない”, “以上”および“未満”の判断はそれぞれ“SKE”, “SKNE”, “SKGE”および“SKLT”命令を使用します。

“SKE”, “SKNE”, “SKGE”, “SKLT”命令は、データ・メモリとイミューディエト・データとの比較判断のみ行うことができます。ジェネラル・レジスタとデータ・メモリとの比較判断を行うときは、プログラム・ステータス・ワード(PSWORD)のCMPフラグおよびZフラグを用いて減算命令により行えます(5.3 算術演算(2進4ビット加減算およびBCD加減算)参照)。

比較判断は、プログラム・ステータス・ワード(PSWORD)のBCDフラグおよびCMPフラグの影響を受けません。またCYフラグおよびZフラグには何の影響も与えません。

5.6.1-5.6.4に“等しい”, “等しくない”, “以上”および“未満”の判断について説明します。

表5-7 比較判断命令

比較判断	等しい
	SKE m, #n4
	等しくない
	SKNE m, #n4
	以上
SKGE m, #n4	
未満	
SKLT m, #n4	

### 5.6.1 “等しい”の判断

“等しい”の判断命令“SKE m, #n4”はデータ・メモリとイミューディアット・データの内容が“等しい”かを判断します。

データ・メモリとイミューディアット・データの内容が“等しい”とき、この命令の次の命令をスキップします。

```
例 MOV  M1, #1010B
    SKE  M1, #1010B ;
    BR   A
    BR   B
        ⋮
    SKE  M1, #1000B ;
    BR   C
    BR   D
```

このとき、`例`では、M1の内容とイミューディアット・データの1010Bが等しいためBへ分岐します。`例`では、M1の内容とイミューディアット・データの1000Bが等しくないためCへ分岐します。

### 5.6.2 “等しくない”の判断

“等しくない”の判断命令“SKNE m, #n4”は、データ・メモリとイミューディアット・データの内容が“等しくない”かを判断します。

データ・メモリとイミューディアット・データの内容が“等しくない”とき、この命令の次の命令をスキップします。

```
例 MOV  M1, #1010B
    SKNE M1, #1000B ;
    BR   A
    BR   B
        ⋮
    SKNE M1, #1010B ;
    BR   C
    BR   D
```

このとき、`例`では、M1の内容とイミューディアット・データの1000Bが等しくないためBへ分岐します。`例`では、M1の内容とイミューディアット・データの1010Bが等しいためCへ分岐します。



### 5.6.3 “以上”の判断

“以上”の判断命令“SKGE m, #n4”はデータ・メモリとイミューディエト・データの内容を比較し、データ・メモリの内容が、イミューディエト・データより“大きい”か、または“等しい”ときに、この命令の次の命令をスキップします。

```
例 MOV  M1, #1000B
    SKGE M1, #0111B ;
    BR   A
    BR   B
        ⋮
    SKGE M1, #1000B ;
    BR   C
    BR   D
        ⋮
    SKGE M1, #1001B ;
    BR   E
    BR   F
```

このとき、M1の内容は1000Bであるため は“大きい”、 は“等しい”、 は“小さい”と判断され、それぞれB、D、Eに分岐します。

### 5.6.4 “未満”の判断

“未満”の判断命令“SKLT m, #n4”は、データ・メモリとイミューディエト・データの内容を比較し、データ・メモリの内容が、イミューディエト・データより“小さい”とき、この命令の次の命令をスキップします。

```
例 MOV  M1, #1000B
    SKLT M1, #1001B ;
    BR   A
    BR   B
        ⋮
    SKLT M1, #1000B ;
    BR   C
    BR   D
        ⋮
    SKLT M1, #0111B ;
    BR   E
    BR   F
```

このとき、M1の内容は1000Bであるため、 は“小さい”、 は“等しい”、 は“大きい”と判断され、それぞれB、C、Eに分岐します。

### 5.7 回転処理

回転処理には、右回転処理と左回転処理に分けられます。

右回転処理には“RORC”命令を使用します。

“RORC”命令は、ジェネラル・レジスタに対してのみ行うことができます。

“RORC”命令による回転処理は、プログラム・ステータス・ワード（PSWORD）のBCDフラグおよびCMPフラグの影響を受けません。またZフラグには何の影響も与えません。

左回転処理は、加算命令である“ADDC”命令により行うことができます。

5.7.1、5.7.2で、回転処理について説明します。

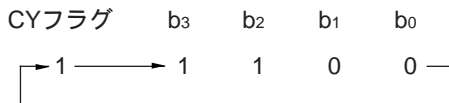
#### 5.7.1 右回転処理

右回転処理命令“RORC r”はジェネラル・レジスタの内容を下位ビット方向に1ビット回転します。

このとき、ジェネラル・レジスタの内容の最上位ビットb<sub>3</sub>にはCYフラグの内容が書き込まれ、最下位ビットb<sub>0</sub>の内容をCYフラグに書き込みます。

```
例1 .MOV   PSW, #0100B ; CYフラグをセット ( 1 )
      MOV   R1, #1100B
      RORC R1
```

このとき、次のように処理されます。



すなわち、CYフラグ b<sub>3</sub>, b<sub>3</sub> b<sub>2</sub>, b<sub>2</sub> b<sub>1</sub>, b<sub>1</sub> b<sub>0</sub>, b<sub>0</sub> CYフラグのように右に回転を行います。

```
2 .MOV   PSW, #0000B ; CYフラグをリセット ( 0 )
   MOV   R1, #1000B ; 最上位
   MOV   R2, #0100B
   MOV   R3, #0010B ; 最下位
   RORC R1
   RORC R2
   RORC R3
```

このとき、上記プログラムはCY, R1, R2, R3の13ビット・データを右に回転します。

### 5.7.2 左回転処理

左回転処理は加算命令である“ADDC r, m”命令を用いることにより行えます。

```
例 MOV  PSW, #0000B ;CYフラグをリセット(0)
    MOV  R1, #1000B  ;最上位
    MOV  R2, #0100B
    MOV  R3, #0010B  ;最下位
    ADDC R3, R3
    ADDC R2, R2
    ADDC R1, R1
    SKF1 CY
    OR   R3, #0001B
```

このとき、上記プログラムはR1, R2, R3の12ビット・データを左に回転します。

## 6. ポート

### 6.1 ポート0B (P0B<sub>0</sub>/RLSHALT, P0B<sub>1</sub>/RLSSTOP, P0B<sub>2</sub>)

3ビットの入出力ポートです。出力形式は、N-chオープン・ドレイン出力です。N-chオープン・ドレイン出力は9Vの耐圧を持っていますので、電源電圧の異なる回路とのインタフェースに便利です。

ニブル単位で入出力を設定することができます。この設定は、リセット時は入力モード、そしてデータ・メモリの71H番地に配置されているポート・レジスタにデータを書き込むことによって出力モードになり、リセットをかけないかぎり出力モードは維持されます。

ポートへの出力は、ポート・レジスタを介して行います。一度、ポート・レジスタにデータを書き込むと、ポート0Bの全端子は出力モードとなり、書き込んだデータを出力し続けます。データは、書き換えないかぎり保持されます。

ただし、ポート・レジスタに“1”を書くことにより、N-chオープン・ドレイン出力端子はハイ・インピーダンス状態になります。このため、“1”を出力している端子は入力としても使用できます。

ポート・レジスタを読み込む命令を実行すると、ポート・レジスタの内容ではなく、入出力どちらのモードにもかわらず、常に端子の状態<sup>注</sup>が読めます。この際、ポート・レジスタの内容は変化しません。

なお、ポート0B用のポート・レジスタは4ビットで構成されていますが、最上位ビットは“0”に固定されています。このため、71Hの最上位ビットに対してデータを書き込んでも、そのデータは無効になります。また、データを読み出したときは常に“0”が読み出されます。

μPD17103LがHALTモードまたはSTOPモードのとき、P0B<sub>0</sub>、P0B<sub>1</sub>はそれぞれ疑似割り込み端子としてHALTモード、STOPモードを解除することができます(7.スタンバイ機能を参照してください)。

### 6.2 ポート0C (P0C<sub>0</sub>-P0C<sub>3</sub>)

4ビットの入出力ポートです。出力形式は、CMOS(ブッシュブル)出力です。

ニブル単位で入出力を設定することができます。この設定は、リセット時は入力モード、そしてデータ・メモリの72H番地に配置されているポート・レジスタにデータを書き込むことによって出力モードになり、リセットをかけないかぎり出力モードは維持されます。

ポートへの出力は、ポート・レジスタを介して行います。一度、ポート・レジスタにデータを書き込むと、ポート0Cの全端子は出力モードとなり、書き込んだデータを出力し続けます。データは、書き換えないかぎり保持されます。

ポート・レジスタを読み込む命令を実行すると、ポート・レジスタの内容ではなく、入出力どちらのモードにもかわらず、常に端子の状態<sup>注</sup>が読めます。この際、ポート・レジスタの内容は変化しません。

### 6.3 ポート0D (P0D<sub>0</sub>-P0D<sub>3</sub>)

4ビットの入出力ポートです。出力形式は、CMOS(ブッシュブル)出力です。

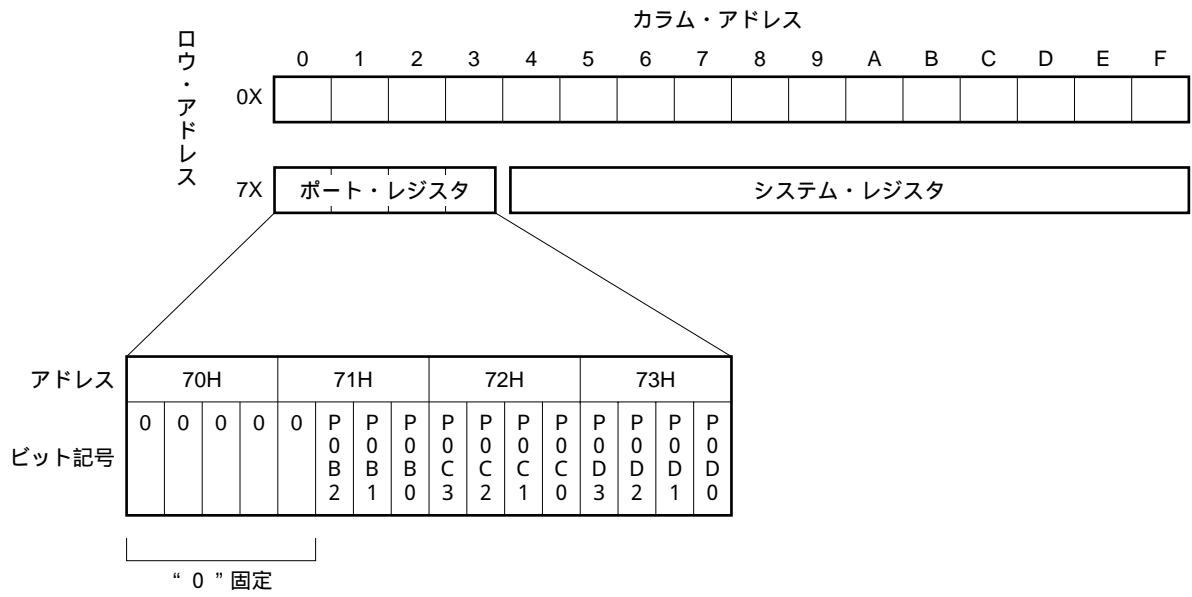
ニブル単位で入出力を設定することができます。この設定は、リセット時は入力モード、そしてデータ・メモリの73H番地に配置されているポート・レジスタにデータを書き込むことによって出力モードになり、リセットをかけないかぎり出力モードは維持されます。

ポートへの出力は、ポート・レジスタを介して行います。一度、ポート・レジスタにデータを書き込むと、ポート0Dの全端子は出力モードとなり、書き込んだデータを出力し続けます。データは、書き換えないかぎり保持されます。

ポート・レジスタを読み込む命令を実行すると、ポート・レジスタの内容ではなく、入出力どちらのモードにもかわらず、常に端子の状態<sup>注</sup>が読めます。この際、ポート・レジスタの内容は変化しません。

**注** 出力モード時は、出力データの内容および端子の外付け回路を考慮する必要があります。

図6 - 1 ポート・レジスタのマッピング



6.4 ポート・レジスタの操作時の注意

μPD17103Lの入出力ポートは、出力モードであっても読み込み時には端子の状態を読み込みます。

したがってポート・レジスタに組み込みマクロ命令（SETn/CLRnなど）やAND/OR/XOR命令などでビット操作すると、意図していない端子の状態も変化してしまうことがあります。

特にポート0B（N-ch オープン・ドレイン出力）を入出力混在させて使用する場合には注意が必要です。

ポート0BにCLR1 P0B2命令（AND 71H, #1011B命令と同じ）を実行すると、ポート・レジスタおよびマイコン内部の状態が変化する例を図6 - 2 に示します。

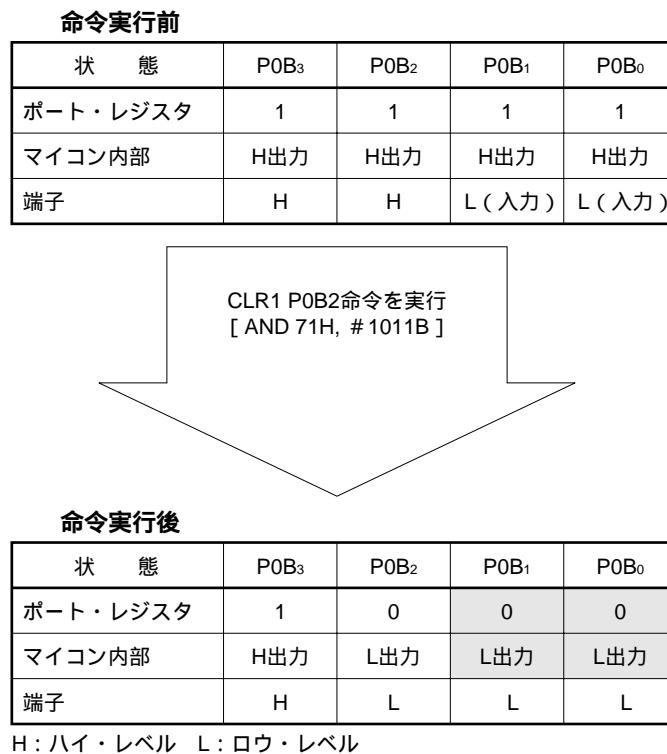
たとえばポート0Bの各端子を、P0B<sub>3</sub>とP0B<sub>2</sub>端子は出力、P0B<sub>1</sub>とP0B<sub>0</sub>端子は入力として使用し、P0B<sub>3</sub>とP0B<sub>2</sub>端子からハイ・レベルが出力され、P0B<sub>1</sub>とP0B<sub>0</sub>端子にロウ・レベルが入力されている場合を考えると、ポート0Bの各状態は図6 - 2 のようになります。

ポート0Bの端子のうち入力として使用したい端子は、ハイ・レベルを出力しておく必要があります。また、μPD17103, 17103L, 17107, 17107Lでは、P0B<sub>3</sub>端子は存在しませんが、プログラム上は仮想的に存在しているものとして扱います。

P0B<sub>2</sub>端子をロウ・レベルにするため、CLR1 P0B2命令を実行すると、ポート0Bの各状態は図6 - 2 のように変化します。本来、ハイ・レベルを出力しておかなければならないP0B<sub>1</sub>とP0B<sub>0</sub>端子から、ロウ・レベルが出力されるようにポート・レジスタの値が変化しています。これはポート・レジスタではなく端子の状態に対してCLR1 P0B2命令が実行されたために生じた結果です。

この現象を防ぐには、変化させる端子だけではなく、すべての端子の状態をMOV命令などで設定するようにします。この例でP0B<sub>2</sub>端子だけをロウ・レベルにするには、MOV 71H, #1011B命令を使用すれば問題ありません。

図6 - 2 CLR1 P0B2命令によるポート・レジスタの変化



## 7. スタンバイ機能

μPD17103Lは、スタンバイ・モードとしてHALTモードとSTOPモードの2種類を用意しています。

### 7.1 HALTモード

HALTモードとは、システム・クロックの発振を継続させたままPC（プログラム・カウンタ）の動作が停止している状態を設定するモードです。HALTモードはHALT命令で設定でき、リセット信号（ $\overline{\text{RESET}}$ ）またはP0B<sub>0</sub>端子へのハイ・レベル入力で解除できます。P0B<sub>0</sub>端子へのハイ・レベル入力による解除の場合、システム・クロックの発振安定待ちは行いません。また、この場合、解除後の実行はHALT命令の次の命令からです。

なお、リセット信号（ $\overline{\text{RESET}}$ ）により強制的に解除した場合、通常のリセット（0H番地スタート）を行います。

### 7.2 STOPモード

STOPモードとは、システム・クロックの発振を停止させ、低電源電圧でデータ保持が可能になっている状態を設定するモードです。STOPモードはSTOP命令で設定でき、リセット信号（ $\overline{\text{RESET}}$ ）またはP0B<sub>1</sub>端子へのハイ・レベル入力で解除できます。また、P0B<sub>1</sub>端子へのハイ・レベル入力による解除の場合、解除後の実行はSTOP命令の次の命令からです。

なお、リセット信号（ $\overline{\text{RESET}}$ ）により強制的に解除した場合、通常のリセット（0H番地スタート）を行います。

### 7.3 スタンバイ・モードの設定と解除

#### (1) HALTモードの設定と解除

HALT命令は、オペランドの最下位ビットを表7 - 1のように設定することによってモードの解除条件を選択することができます。オペランドの上位3ビットは“0”に固定してください。

表7 - 1 HALTモードの設定と解除条件

HALT 000XB オペランドの4ビット・データ

X	HALTモードの設定と解除条件
0	HALT命令を実行すると無条件でHALTモードになります。 リセット信号( $\overline{\text{RESET}}$ )でのみ解除できます。解除後は0H番地より命令を実行します。
1	P0B <sub>0</sub> 端子の状態がロウ・レベルのとき、HALT命令を実行するとHALTモードになります。 リセット信号( $\overline{\text{RESET}}$ )で解除できます。解除後は0H番地より命令を実行します。 また、P0B <sub>0</sub> 端子へのハイ・レベル入力によっても解除できます。この場合、解除後実行される命令はHALT命令の次の命令からです。 P0B <sub>0</sub> 端子の状態がハイ・レベルのとき、HALT命令を実行してもHALT命令は無視(NOP命令扱い)され、HALTモードになりません。

#### (2) STOPモードの設定と解除

STOP命令は、オペランドの最下位ビットを表7 - 2のように設定することによってモードの解除条件を選択することができます。オペランドの上位3ビットは“0”に固定してください。

表 7 - 2 STOPモードの設定と解除条件

STOP 000XB オペランドの4ビット・データ

X	STOPモードの設定と解除条件
0	STOP命令を実行すると無条件でSTOPモードになります。 すべての周辺回路はリセットをかけたときと同一の初期状態に戻ったあと、動作を停止します。 リセット信号( RESET )でのみ解除できます。解除後は0H番地より命令を実行します。
1	P0B <sub>i</sub> 端子の状態がロウ・レベルのとき、STOP命令を実行するとSTOPモードになります。 リセット信号( RESET )で解除できます。解除後は0H番地より命令を実行します。 また、P0B <sub>i</sub> 端子へのハイ・レベル入力によっても解除できます。この場合、解除後実行される命令はSTOP命令の次の命令からです。 P0B <sub>i</sub> 端子の状態がハイ・レベルのとき、STOP命令を実行してもSTOP命令は無視( NOP命令扱い )され、STOPモードになりません。

7.4 スタンバイ・モード中のハードウェアの状態

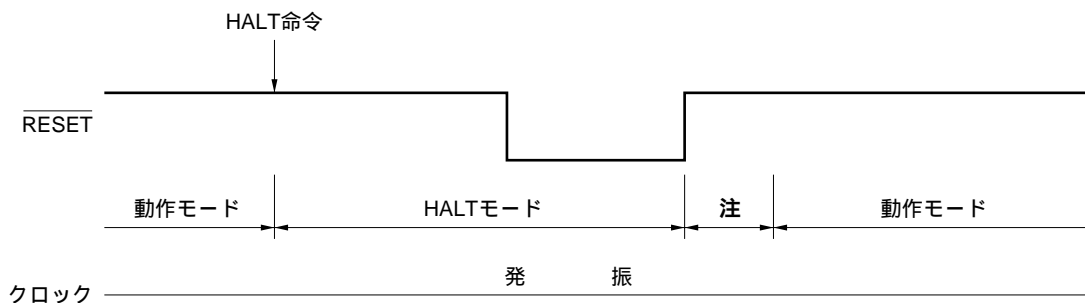
スタンバイ・モード中のハードウェアの状態は次のとおりです。

表 7 - 3 スタンバイ・モード中のハードウェアの状態

ハードウェア	HALT命令またはSTOP 0001B命令	STOP 0000B命令
クロック発振回路	HALT命令の場合：発振継続 STOP命令の場合：発振停止	発振停止
プログラム・カウンタ	HALT, STOP命令の次の番地	000H
データ・メモリ( 00H-0FH )	以前のデータを保持	以前のデータを保持
プログラム・ステータス・ワード( PSWORD )	以前のデータを保持	すべて“ 0 ”
ポート・レジスタ( 71H-73H )	以前のデータを保持 ( 端子の入出力モードも保持 )	以前のデータを保持 ( 端子はすべて入力モード )

7.5 スタンバイ・モードの解除タイミング

図 7 - 1 RESET入力によるHALTモードの解除



HALTモードのRESET入力による解除を行う場合、RESET入力をハイ・レベルに戻したあと、動作モードになります。

注 この期間は待ち時間です。モードはHALTモードです。

X<sub>IN</sub>端子からのクロック・パルスを8カウントすると動作を開始します。



図7 - 2 P0B<sub>0</sub>端子へのハイ・レベル入力によるHALTモードの解除

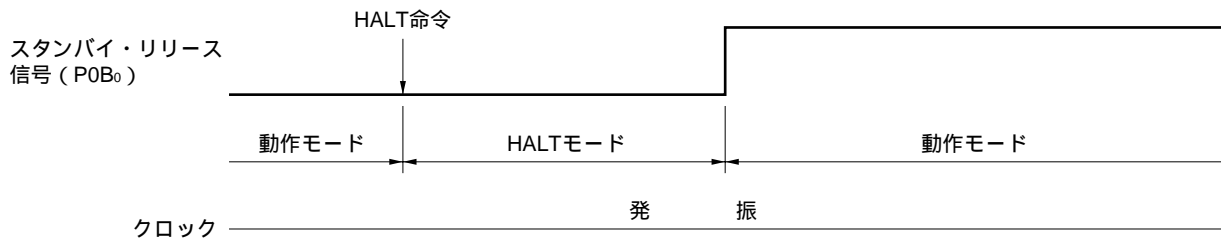
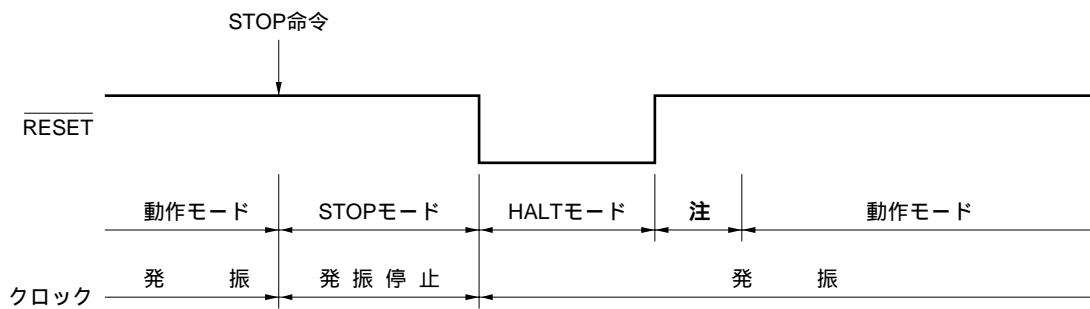


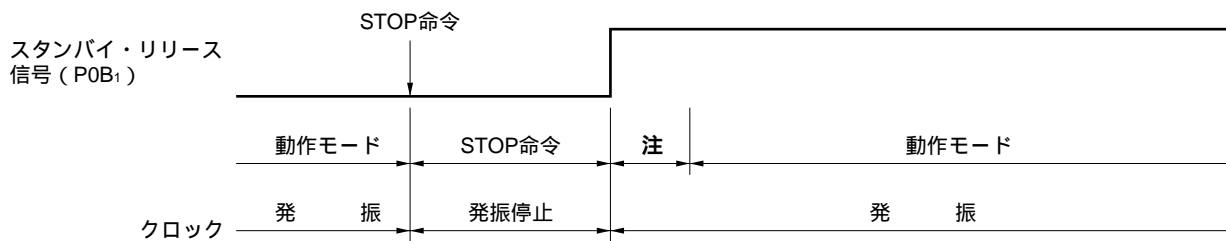
図7 - 3  $\overline{\text{RESET}}$ 入力によるSTOPモードの解除



STOPモード中に $\overline{\text{RESET}}$ 入力がハイ・レベルからロウ・レベルに下がると同時に発振を開始します。

**注** この期間は発振安定待ち時間です。モードはHALTモードです。  
X<sub>IN</sub>端子からのクロック・パルスを8カウントすると動作を開始します。

図7 - 4 P0B<sub>1</sub>端子へのハイ・レベル入力によるSTOPモードの解除



**注** この期間は発振安定待ち時間です。モードはHALTモードです。  
X<sub>IN</sub>端子からのクロック・パルスを8カウントすると動作を開始します。

## 8 . リセット

### 8.1 リセット機能

RESET端子にロウ・レベル信号を入力することによりリセットがかかり、ハードウェアが初期化されます。

なお、RESET端子がロウ・レベルであっても電源電圧が供給されているかぎりシステム・クロックは発振します。

RESET端子をハイ・レベルに戻すとリセットが解除され、8クロックの発振安定待ちのあと、動作モードになります。

表 8 - 1 リセット後のハードウェアの状態

ハードウェア		・電源立ち上げ直後のリセット ・動作中のリセット	スタンバイ・モード中のリセット <sup>注</sup>
プログラム・カウンタ		000H	000H
データ・メモリ(00H-0FH)		不定	リセット前のデータを保持
プログラム・ステータス・ワード(PSWORD)		すべて“ 0 ”	すべて“ 0 ”
ポート	入出力モード	入力	入力
	出力ラッチ	不定	リセット前のデータを保持

注 STOP 0000B命令を実行した場合には、命令を実行した時点でハードウェアが初期化されません。

9. アセンブラ予約語

9.1 マスク・オプション疑似命令

μPD17103Lのプログラムを作成する場合、アセンブラのソース・プログラム中にマスク・オプション疑似命令を使用してマスク・オプションを指定する必要があります。

マスク・オプションを設定するためには、アセンブル時にAS17103 ( μ PD17103L用デバイス・ファイル ) 中のD17103L.OPTファイルをカレント・ディレクトリに入れておかなければなりませんので注意してください。

以下の端子すべてにマスク・オプションを指定してください。

- ・ P0B<sub>0</sub>
- ・ P0B<sub>1</sub>
- ・ P0B<sub>2</sub>
- ・  $\overline{\text{RESET}}$

9.1.1 OPTION, ENDOP疑似命令

OPTION疑似命令からENDOP疑似命令までをマスク・オプション定義ブロックとします。マスク・オプション定義ブロックの記述形式を以下に示します。

このブロック内では表9 - 1に示す2つの疑似命令だけが記述可能です。

記述形式：

シンボル欄	二モニク欄	オペランド欄	コメント欄
[ レーベル : ]	OPTION		[ ; コメント ]
	⋮		
	ENDOP		

9.1.2 マスク・オプション定義疑似命令

各端子のマスク・オプションを定義する疑似命令を表9 - 1に示します。

表9 - 1 マスク・オプション定義疑似命令一覧表

端子名	マスク・オプション 疑似命令	オペランドの数	オペランド名
P0B <sub>2</sub> -P0B <sub>0</sub>	OPTP0B	3	P0BPLUR(ブルアップ抵抗あり) OPEN(ブルアップ抵抗なし)
$\overline{\text{RESET}}$	OPTRES	1	RESPLUR(ブルアップ抵抗あり) OPEN(ブルアップ抵抗なし)

OPTP0Bの記述形式を以下に示します。オペランド欄には第一オペランドから順にP0B<sub>2</sub>, P0B<sub>1</sub>, P0B<sub>0</sub>のマスク・オプションを定義します。

記述形式：

シンボル欄	二モニク欄	オペランド欄	コメント欄
[ レーベル : ]	OPTP0B	( P0B <sub>2</sub> ) , ( P0B <sub>1</sub> ) , ( P0B <sub>0</sub> )	[ ; コメント ]

OPTRESの記述形式を以下に示します。

記述形式：

シンボル欄	二モニク欄	オペランド欄	コメント欄
[ レーベル : ]	OPTRES	( RESET )	[ ; コメント ]

例 μPD17103Lのアセンブル用ソース・ファイルで次のマスク・オプションを設定します。

P0B2...プルアップ, P0B1...オープン, P0B0...オープン,  
RESET...プルアップ

```

; 17103L
マスク・オプション設定：      OPTION
                                OPTP0B      P0BPLUP , OPEN , OPEN
                                OPTRES      RESPLUP
                                ENDOP
                                :
```

## 9.2 予約シンボル

μPD17103Lのデバイス・ファイル (AS17103) 内で定義されている予約シンボルの一覧を表9 - 2 に示します。

表9 - 2 予約シンボル一覧表

名 前	属性	値	R/W	説 明
P0B0	FLG	0.71H.0	R/W	ポート0Bのビット0
P0B1	FLG	0.71H.1	R/W	ポート0Bのビット1
P0B2	FLG	0.71H.2	R/W	ポート0Bのビット2
P0B3 <sup>注</sup>	FLG	0.71H.3	R	値は“0”固定
P0C0	FLG	0.72H.0	R/W	ポート0Cのビット0
POC1	FLG	0.72H.1	R/W	ポート0Cのビット1
P0C2	FLG	0.72H.2	R/W	ポート0Cのビット2
P0C3	FLG	0.72H.3	R/W	ポート0Cのビット3
P0D0	FLG	0.73H.0	R/W	ポート0Dのビット0
P0D1	FLG	0.73H.1	R/W	ポート0Dのビット1
P0D2	FLG	0.73H.2	R/W	ポート0Dのビット2
P0D3	FLG	0.73H.3	R/W	ポート0Dのビット3
BCD	FLG	0.7EH.0	R/W	BCD演算フラグ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ

注 μPD17103Lには、P0B3に対応する端子はありませんが、組み込みマクロの使用の際にダミー・ビットとして用いるためリード・オンリー・フラグとして登録されています。

10. 命令セット

10.1 命令セット一覧表

b <sub>14</sub> -b <sub>11</sub> \ b <sub>15</sub>		0		1	
		BIN	HEX		
0000	0	ADD	r, m	ADD	m, #n4
0001	1	SUB	r, m	SUB	m, #n4
0010	2	ADDC	r, m	ADDC	m, #n4
0011	3	SUBC	r, m	SUBC	m, #n4
0100	4	AND	r, m	AND	m, #n4
0101	5	XOR	r, m	XOR	m, #n4
0110	6	OR	r, m	OR	m, #n4
0111	7	RET			
		RETSK			
		RORC	r		
		STOP	s		
		HALT	h		
		NOP			
1000	8	LD	r, m	ST	m, r
1001	9	SKE	m, #n4	SKGE	m, #n4
1010	A				
1011	B	SKNE	m, #n4	SKLT	m, #n4
1100	C	BR	addr	CALL	addr
1101	D			MOV	m, #n4
1110	E			SKT	m, #n
1111	F			SKF	m, #n

## 10.2 命令一覧表

## 凡 例

- ASR : スタック・ポインタで示されるアドレス・スタック・レジスタ  
addr : プログラム・メモリ・アドレス ( 11ビット, 上位2ビットは0固定 )  
CMP : コンペア・フラグ  
CY : キャリー・フラグ  
h : ホールト解除条件  
m : m<sub>R</sub>, m<sub>C</sub>で示されるデータ・メモリ・アドレス  
    m<sub>R</sub> : データ・メモリ・ロウ・アドレス ( 上位 )  
    m<sub>C</sub> : データ・メモリ・カラム・アドレス ( 下位 )  
n : ビット・ポジション ( 4ビット )  
n4 : イミディエイト・データ ( 4ビット )  
PC : プログラム・カウンタ  
r : ジェネラル・レジスタ・カラム・アドレス  
SP : スタック・ポインタ  
s : ストップ解除条件  
( x ) : xでアドレスされる内容

命令群	二モニック	オペランド	オペレーション	マシン・コード				
				オペ・コード		オペランド		
加算	ADD	r, m	(r) (r)+(m)	00000		m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	(m) (m)+n4	10000		m <sub>R</sub>	m <sub>C</sub>	n4
	ADDC	r, m	(r) (r)+(m)+CY	00010		m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	(m) (m)+n4+CY	10010		m <sub>R</sub>	m <sub>C</sub>	n4
減算	SUB	r, m	(r) (r)-(m)	00001		m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	(m) (m)-n4	10001		m <sub>R</sub>	m <sub>C</sub>	n4
	SUBC	r, m	(r) (r)-(m)-CY	00011		m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	(m) (m)-n4-CY	10011		m <sub>R</sub>	m <sub>C</sub>	n4
論理演算	OR	r, m	(r) (r) (m)	00110		m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	(m) (m) n4	10110		m <sub>R</sub>	m <sub>C</sub>	n4
	AND	r, m	(r) (r) (m)	00100		m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	(m) (m) n4	10100		m <sub>R</sub>	m <sub>C</sub>	n4
	XOR	r, m	(r) (r) — (m)	00101		m <sub>R</sub>	m <sub>C</sub>	r
		m, #n4	(m) (m) — n4	10101		m <sub>R</sub>	m <sub>C</sub>	n4
判断	SKT	m, #n	CMP 0, if (m) n = n, then skip	11110		m <sub>R</sub>	m <sub>C</sub>	n
	SKF	m, #n	CMP 0, if (m) n = 0, then skip	11111		m <sub>R</sub>	m <sub>C</sub>	n
比較	SKE	m, #n4	(m) - n4, skip if zero	01001		m <sub>R</sub>	m <sub>C</sub>	n4
	SKNE	m, #n4	(m) - n4, skip if not zero	01011		m <sub>R</sub>	m <sub>C</sub>	n4
	SKGE	m, #n4	(m) - n4, skip if not borrow	11001		m <sub>R</sub>	m <sub>C</sub>	n4
	SKLT	m, #n4	(m) - n4, skip if borrow	11011		m <sub>R</sub>	m <sub>C</sub>	n4
回転	RORC	r		00111		000	0111	r
転送	LD	r, m	(r) (m)	01000		m <sub>R</sub>	m <sub>C</sub>	r
	ST	m, r	(m) (r)	11000		m <sub>R</sub>	m <sub>C</sub>	r
	MOV	m, #n4	(m) n4	11101		m <sub>R</sub>	m <sub>C</sub>	n4
分岐	BR	addr	PC addr	01100		addr		
サブ ルーチン	CALL	addr	SP SP - 1, ASR PC, PC addr	11100		addr		
	RET		PC ASR, SP SP + 1	00111		000	1110	0000
	RETSK		PC ASR, SP SP + 1 and skip	00111		001	1110	0000
その他	STOP	s	STOP	00111		010	1111	s
	HALT	h	HALT	00111		011	1111	h
	NOP		No operation	00111		100	1111	0000



10.3 アセンブラ (AS17K) 組み込みマクロ命令

凡 例

flag n : FLG型シンボル

< > : < > 内は省略可能

	二モニック	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, ...flag n	if(flag 1)~(flag n)=all" 1 ", then skip	1 n 4
	SKFn	flag 1, ...flag n	if(flag 1)~(flag n)=all" 0 ", then skip	1 n 4
	SETn	flag 1, ...flag n	(flag 1)~(flag n) 1	1 n 4
	CLRn	flag 1, ...flag n	(flag 1)~(flag n) 0	1 n 4
	NOTn	flag 1, ...flag n	if(flag n)=" 0 ", then(flag n) 1 if(flag n)=" 1 ", then(flag n) 0	1 n 4
	INITFLG	< NOT > flag 1, ... < NOT > flag n >	if description = NOT flag n, then(flag n) 0 if description = flag n, then(flag n) 1	1 n 4

11. 電気的特性 ( μPD17103L, 17103L (A) 共通 )

絶対最大定格 ( T<sub>A</sub> = 25 )

項目	略号	条件	定格	単位	
電源電圧	V <sub>DD</sub>		- 0.3 ~ + 7.0	V	
入力電圧	V <sub>I</sub>	P0C, P0D, $\overline{\text{RESET}}$	- 0.3 ~ V <sub>DD</sub> + 0.3	V	
		P0B	プルアップ抵抗を内蔵する場合	- 0.3 ~ V <sub>DD</sub> + 0.3	V
			プルアップ抵抗を内蔵しない場合	- 0.3 ~ + 11	V
出力電圧	V <sub>O</sub>	P0C, P0D	- 0.3 ~ V <sub>DD</sub> + 0.3	V	
		P0B	プルアップ抵抗を内蔵する場合	- 0.3 ~ V <sub>DD</sub> + 0.3	V
			プルアップ抵抗を内蔵しない場合	- 0.3 ~ + 11	V
ハイ・レベル出力電流	I <sub>OH</sub>	P0C, P0D 1端子当たり	- 5	mA	
		全端子合計	- 15	mA	
ロウ・レベル出力電流	I <sub>OL</sub>	P0B, P0C, P0D 1端子当たり	30	mA	
		全端子合計	100	mA	
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85		
保存温度	T <sub>stg</sub>		- 65 ~ + 150		
許容損失	P <sub>d</sub>	T <sub>A</sub> = 85			
			16ピン・プラスチックDIP	400	mW
		16ピン・プラスチックSOP	190		

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 ( T<sub>A</sub> = 25 , V<sub>DD</sub> = 0 V )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>IN</sub>	f = 1 MHz			15	pF
入出力容量	C <sub>IO</sub>	被測定端子以外は0 V			15	pF

DC特性 (T<sub>A</sub> = -40 ~ +85 , V<sub>DD</sub> = 1.8 ~ 3.6 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH1</sub>	P0C, P0D		0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH2</sub>	$\overline{\text{RESET}}$		0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH3</sub>	P0B	注1	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH4</sub>		注2	0.8 V <sub>DD</sub>		9	V
ロウ・レベル入力電圧	V <sub>IL1</sub>	P0C, P0D		0		0.25 V <sub>DD</sub>	V
	V <sub>IL2</sub>	$\overline{\text{RESET}}$		0		0.15 V <sub>DD</sub>	V
	V <sub>IL3</sub>	P0B		0		0.15 V <sub>DD</sub>	V
ハイ・レベル出力電圧	V <sub>OH</sub>	P0C, P0D I <sub>OH</sub> = -200 μA		V <sub>DD</sub> - 1.0			V
ロウ・レベル出力電圧	V <sub>OL</sub>	P0B, P0C, P0D I <sub>OL</sub> = 600 μA				0.5	V
ハイ・レベル入力リーク電流	I <sub>LIH1</sub>	P0C, P0D, $\overline{\text{RESET}}$ , V <sub>IN</sub> = V <sub>DD</sub>				5	μA
	I <sub>LIH2</sub>	P0B	V <sub>IN</sub> = V <sub>DD</sub> 注1			5	μA
	I <sub>LIH3</sub>		V <sub>IN</sub> = 9 V注2			10	μA
ロウ・レベル入力リーク電流	I <sub>LIL1</sub>	P0C, P0D, $\overline{\text{RESET}}$ , V <sub>IN</sub> = 0 V				- 5	μA
	I <sub>LIL2</sub>	P0B, V <sub>IN</sub> = 0 V				- 5	μA
ハイ・レベル出力リーク電流	I <sub>LOH1</sub>	P0C, P0D, V <sub>OUT</sub> = V <sub>DD</sub>				5	μA
	I <sub>LOH2</sub>	P0B	V <sub>OUT</sub> = V <sub>DD</sub> 注1			5	μA
	I <sub>LOH3</sub>		V <sub>OUT</sub> = 9 V注2			10	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	P0B, P0C, P0D, V <sub>OUT</sub> = 0 V				- 5	μA
RESET端子の 内蔵プルアップ抵抗	R <sub>RES</sub>			20	47	95	k
P0B端子の 内蔵プルアップ抵抗	R <sub>P0B</sub>			5	15	30	k
電源電流注3	I <sub>DD1</sub>	動作モード	V <sub>DD</sub> = 3 V ± 10% , f <sub>x</sub> = 2 MHz		300	900	μA
	I <sub>DD2</sub>	HALTモード	V <sub>DD</sub> = 3 V ± 10% , f <sub>x</sub> = 2 MHz		230	700	μA
	I <sub>DD3</sub>	STOPモード	V <sub>DD</sub> = 3 V ± 10%		0.1	10	μA

注1 . プルアップ抵抗を内蔵する場合

2 . プルアップ抵抗を内蔵しない場合

3 . 内蔵プルアップ抵抗に流れる電流は除く

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85 )

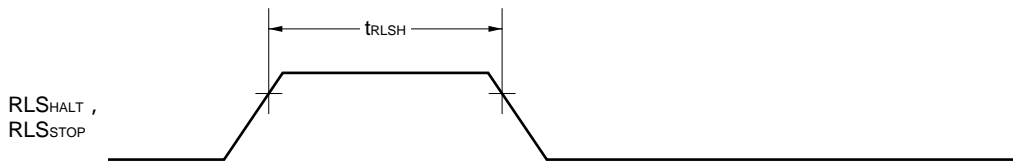
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.5		3.6	V
データ保持電源電流	I <sub>DDDR</sub>	V <sub>DDDR</sub> = 1.5 V		0.1	5.0	μA

AC特性 (TA = -40 ~ +85 , V<sub>DD</sub> = 1.8 ~ 3.6 V)

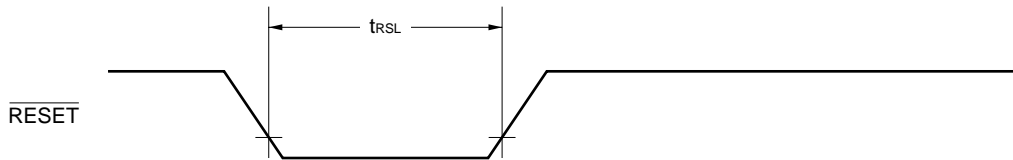
項目	略号	条件	MIN.	TYP.	MAX.	単位
CPUクロック・サイクル・タイム(命令実行時間)	t <sub>cy</sub>		7.6		33	μs
RLSHALT, RLSSTOP ハイ・レベル幅	t <sub>RLSH</sub>		100			μs
RESETロウ・レベル幅	t <sub>RSL</sub>		100			μs

備考 t<sub>cy</sub> = 16/f<sub>x</sub> (f<sub>x</sub>はシステム・クロック発振周波数)

RLSHALT, RLSSTOP入力タイミング



RESET入力タイミング



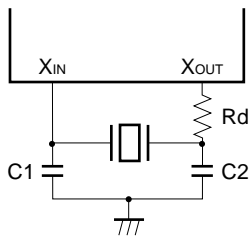
システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック発振周波数	f <sub>x</sub>	セラミック発振子	0.49		2.04	MHz

推奨セラミック発振子

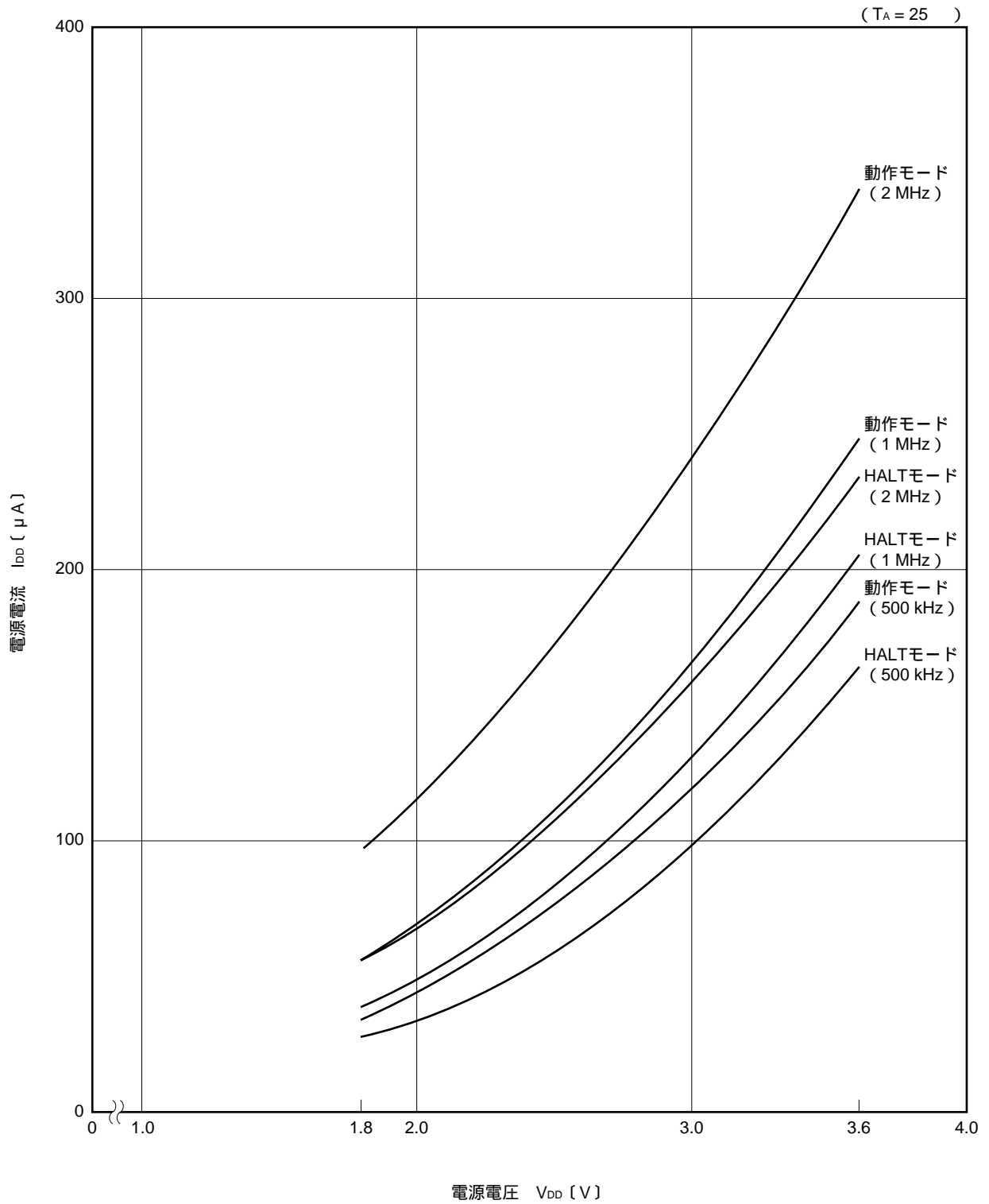
メーカー	品名	推奨定数			電源電圧範囲 [V]	
		C1 [pF]	C2 [pF]	Rd [k]	MIN.	MAX.
村田製作所	CSB500E	220	220	0	1.8	3.6
	CSB1000J	100	100	2.2	1.8	3.6
	CSAC2.00MGCE	15	15	0	1.8	3.6

外付け回路例

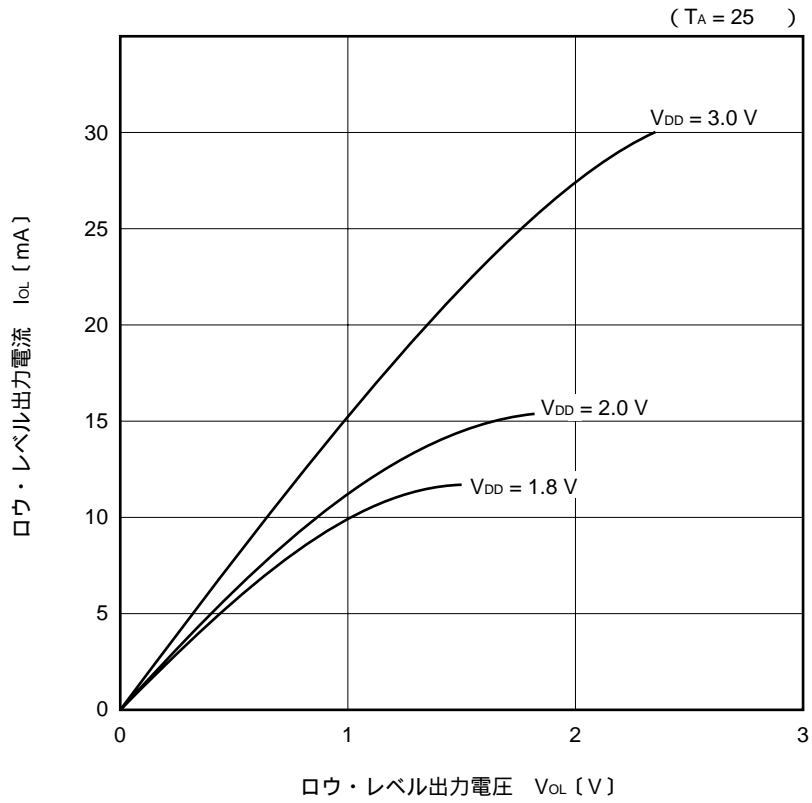


12. 特性曲線 (参考値)

$I_{DD}$  vs  $V_{DD}$  特性例

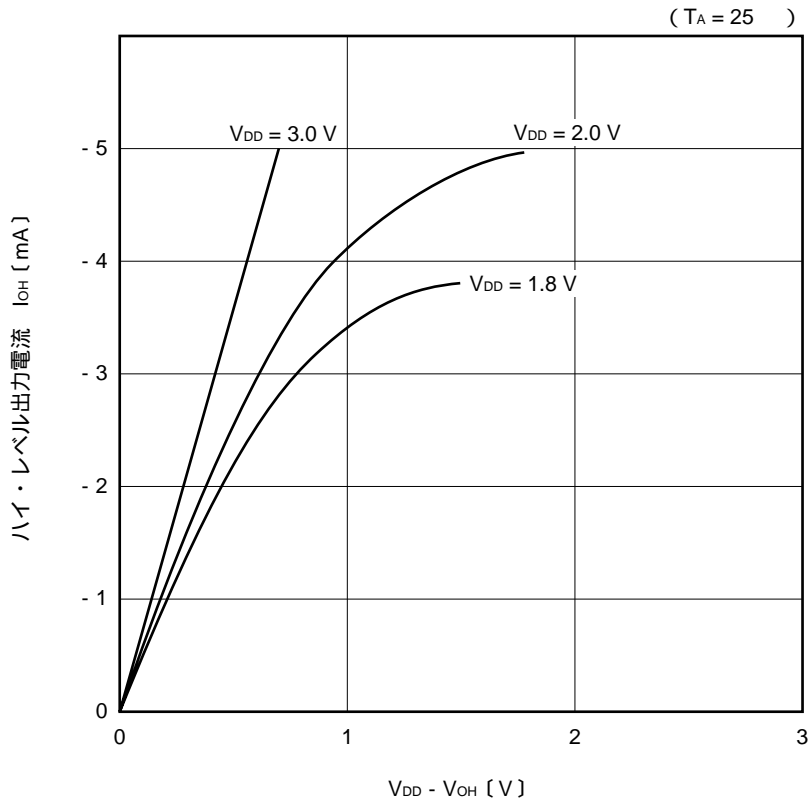


I<sub>OL</sub> vs V<sub>OL</sub> 特性例



注意 絶対最大定格は、1端子当たり30 mAです。

I<sub>OH</sub> vs (V<sub>DD</sub> - V<sub>OH</sub>) 特性例

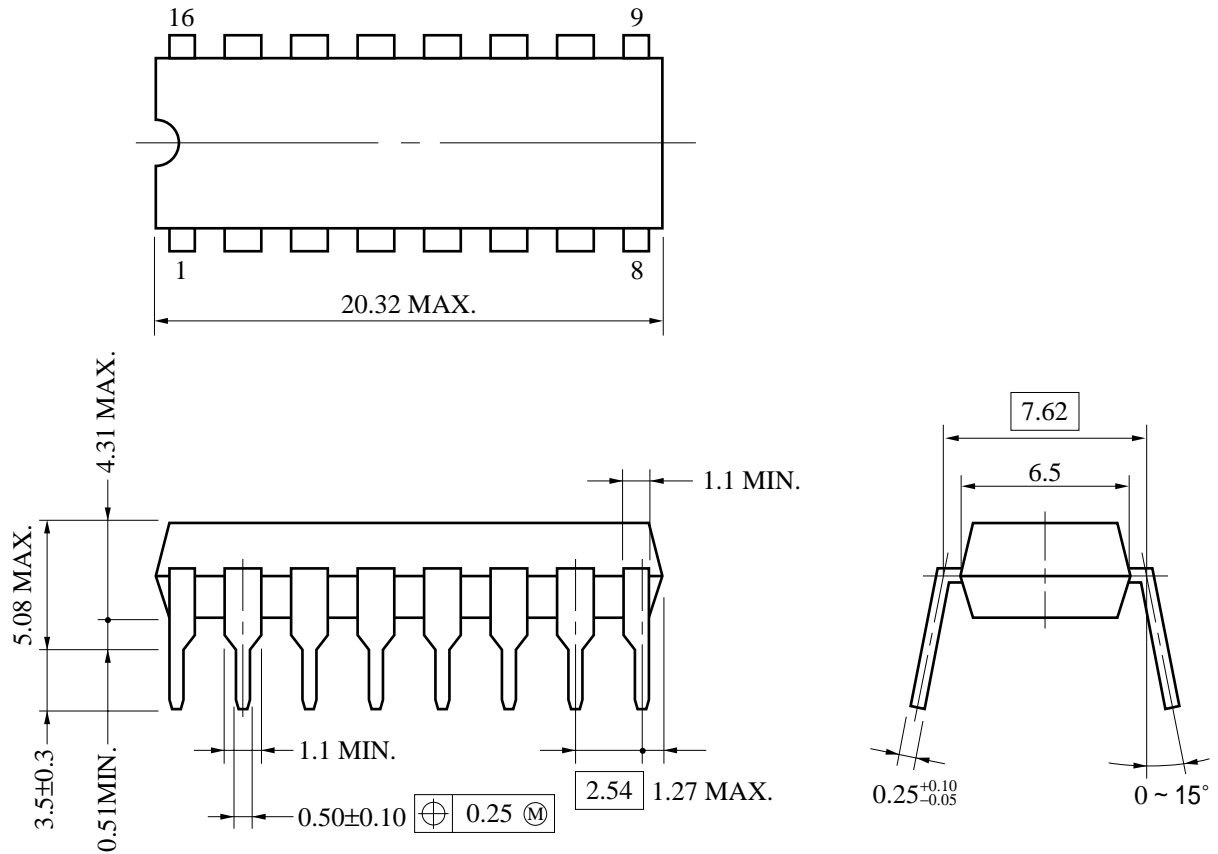


注意 絶対最大定格は、1端子当たり - 5 mAです。

13. 外形図

量産品の外形図 ( 1 / 2 )

16ピン・プラスチック DIP ( 300 mil ) 外形図 ( 単位 : mm )



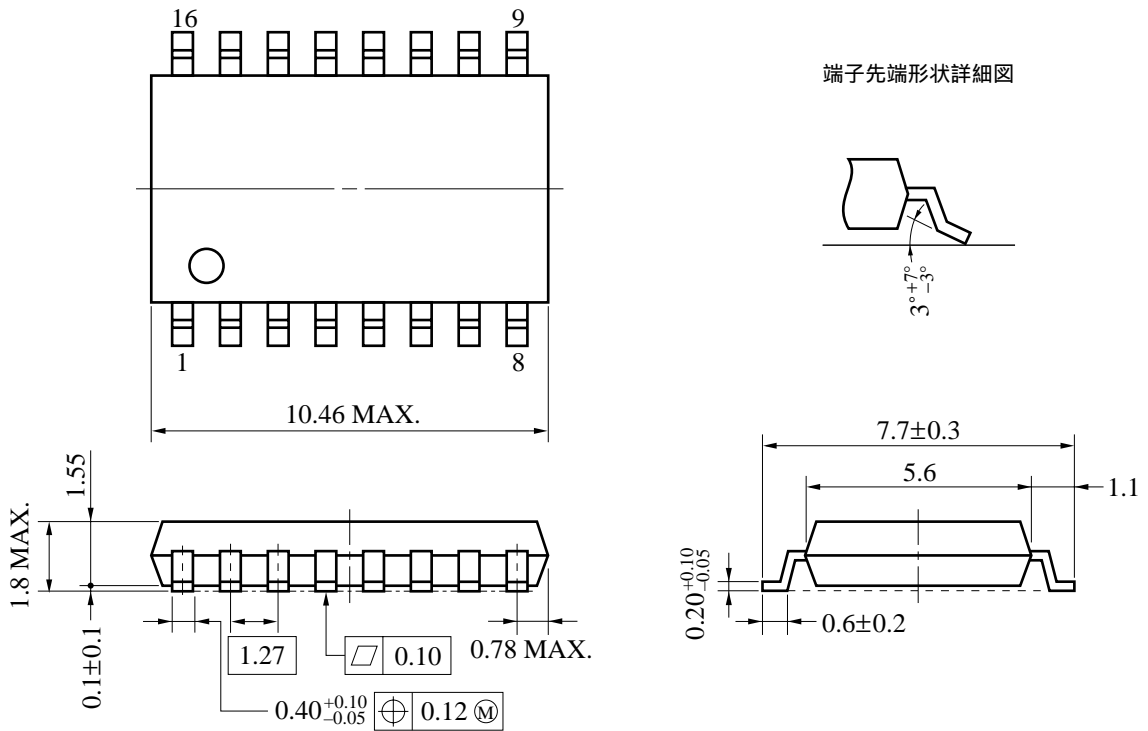
P16C-100-300B-1

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図 ( 1 / 2 ) を参照してください。



量産品の外形図 ( 2 / 2 )

16ピン・プラスチック SOP (300 mil) 外形図 (単位 : mm)

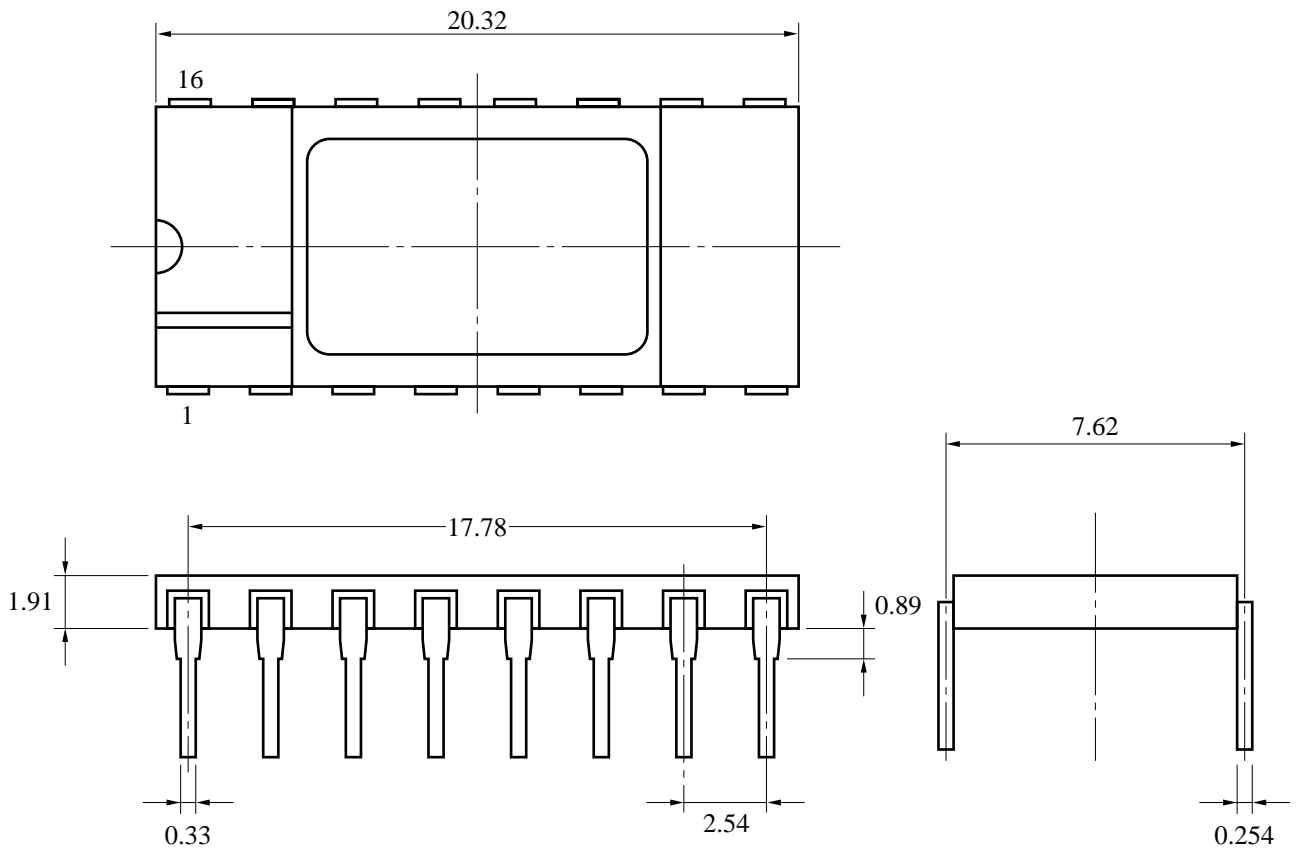


P16GM-50-300B-4

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図 ( 2 / 2 ) を参照してください。

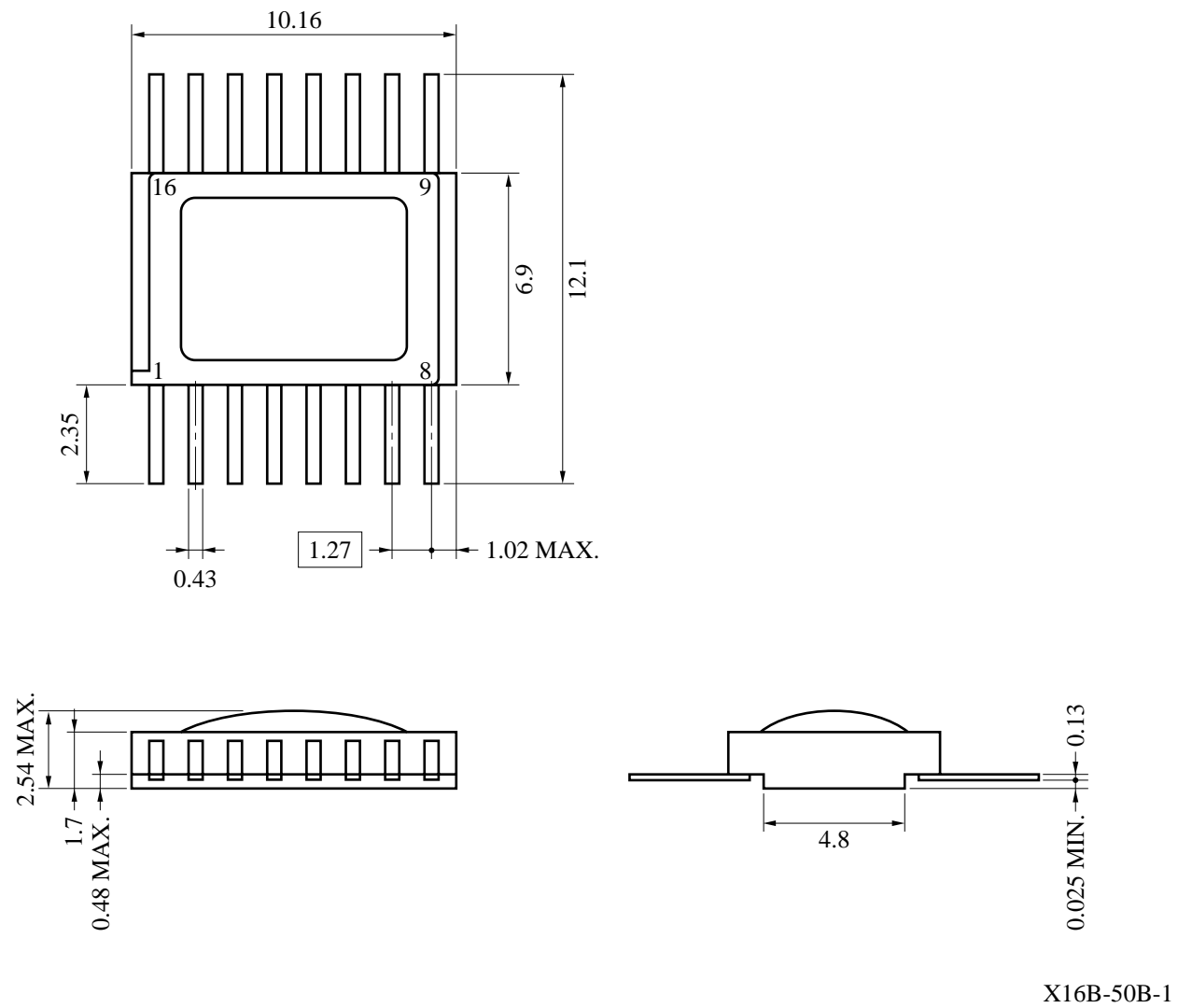
ES品の外形図 ( 1 / 2 )

ES用16ピン・セラミックDIP外形図 (参考) (単位: mm)



ES品の外形図 ( 2 / 2 )

16ピン・セラミック SOP (ES用) 外形図 (単位 : mm)



X16B-50B-1

14. 半田付け推奨条件

μPD17103Lの半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表14 - 1 表面実装タイプの半田付け条件

μPD17103LGS- x x x : 16ピン・プラスチックSOP (300 mil)

μPD17103LGS (A) - x x x : " ( " )

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内(210 以上), 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内(200 以上), 回数：2回以内	VP15-00-2
ウエーブ・ ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX(パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内(デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください(ただし、端子部分加熱方式は除く)。

表14 - 2 挿入タイプの半田付け条件

μPD17103LCX- x x x : 16ピン・プラスチックDIP (300 mil)

μPD17103LCX (A) - x x x : " ( " )

半田付け方式	半田付け条件
ウエーブ・ソルダリング (端子のみ)	半田槽温度：260 以下，時間：10秒以内
端子部分加熱	端子温度：300 以下，時間：3秒以内(1端子当たり)

注意 ウエーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

15. タイニ・マイクロコントローラ・ファミリー一覧表

項目	μPD17103	μPD17104	μPD17103L	μPD17104L	μPD17107	μPD17108	μPD17107L	μPD17108L
ROM容量	1Kバイト(512×16ビット)							
RAM容量	16×4ビット							
入出力ポート <sup>注</sup>	11本 (3本)	16本 (4本)	11本 (3本)	16本 (4本)	11本 (3本)	16本 (4本)	11本 (3本)	16本 (4本)
システム・クロック	セラミック発振				RC発振			
電源電圧	2.7-6.0V(2MHz動作時) 4.5-6.0V(8MHz動作時)		1.8-3.6V(2MHz動作時)		2.5-6.0V(250kHz動作時) 4.5-6.0V(1MHz動作時)		1.5-3.6V(200kHz動作時)	
パッケージ	・16ピンDIP ・16ピンSOP	・22ピン・ シュリンク DIP ・24ピンSOP	・16ピンDIP ・16ピンSOP	・22ピン・ シュリンク DIP ・24ピンSOP	・16ピンDIP ・16ピンSOP	・22ピン・ シュリンク DIP ・24ピンSOP	・16ピンDIP ・16ピンSOP	・22ピン・ シュリンク DIP ・24ピンSOP
PROM製品	μPD17P103	μPD17P104	μPD17P103	μPD17P104	μPD17P107	μPD17P108	μPD17P107	μPD17P108

注 ( )内はN-chオープン・ドレイン出力の本数です。N-chオープン・ドレイン出力は、マスク・オプションによりプルアップ抵抗の有無を選択できます。

## 付録 開発ツール

μPD17103Lのプログラムを開発するために、次の開発ツールを用意しています。

## ハードウェア

名称	概要
インサーキット・エミュレータ [ IE-17K IE-17K-ET <sup>注1</sup> EMU-17K <sup>注2</sup> ]	IE-17K, IE-17K-ET, EMU-17Kは、17Kシリーズ共通のインサーキット・エミュレータです。IE-17KおよびIE-17K-ETは、ホスト・マシンであるPC-9800シリーズまたはIBM PC/AT <sup>TM</sup> とRS-232-Cを介して接続して使用します。EMU-17Kは、ホスト・マシンであるPC-9800シリーズの拡張用スロットに実装して使用します。  各品種専用のシステム・エバリュエーション・ボード(SEボード)と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアであるSIMPLEHOST <sup>®</sup> を使用すると、さらに高度なデバッグ環境を実現できます。  また、EMU-17Kは、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SEボード (SE-17103L)	SE-17103Lは、μPD17103, 17103L, 17P103用のSEボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ (EP-17103CX)	EP-17103CXは、μPD17103, 17103L, 17P103, 17107, 17107L, 17P107用のエミュレーション・プローブです。
PROMプログラマ [ AF-9703 <sup>注3</sup> AF-9704 <sup>注3</sup> AF-9705 <sup>注3</sup> AF-9706 <sup>注3</sup> ]	AF-9703, AF-9704, AF-9705, AF-9706は、μPD17P103に対応したPROMプログラマです。プログラムアダプタAF-9799を接続することにより、μPD17P103をプログラミングすることができます。
プログラムアダプタ (AF-9799 <sup>注3</sup> )	AF-9799は、μPD17P103, 17P104, 17P107, 17P108をプログラミングするためのアダプタです。AF-9703, AF-9704, AF-9705またはAF-9706と組み合わせて使用します。

注1．廉価版：電源外付けタイプ

- 2．株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー（東京（03）3447-3793）までお問い合わせください。
- 3．安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社（東京（03）3733-1151）までお問い合わせください。

ソフトウェア

名称	概要	ホスト・マシン	OS		供給媒体	オーダ名称
17Kシリーズ アセンブラ(AS17K)	AS17Kは17Kシリーズ共通のアセンブラです。 μPD17103Lのプログラム開発には、このAS17Kとデバイス・ファイル(AS17103)を組み合わせて使用します。	PC-9800 シリーズ	MS-DOS™		5インチ2HD	μ S5A10AS17K
					3.5インチ2HD	μ S5A13AS17K
		IBM PC/AT	PC DOS™		5インチ2HC	μ S7B10AS17K
					3.5インチ2HC	μ S7B13AS17K
デバイス・ファイル (AS17103)	AS17103にはμPD17103L用のデバイス・ファイルが入っています。17Kシリーズ共通のアセンブラ(AS17K)と組み合わせて使用します。	PC-9800 シリーズ	MS-DOS		5インチ2HD	μ S5A10AS17103 <sup>注</sup>
					3.5インチ2HD	μ S5A13AS17103 <sup>注</sup>
		IBM PC/AT	PC DOS		5インチ2HC	μ S7B10AS17103 <sup>注</sup>
					3.5インチ2HC	μ S7B13AS17103 <sup>注</sup>
サポート・ソフトウェア (SIMPLEHOST)	SIMPLEHOSTはインサートキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときにWindows™上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800 シリーズ	MS-DOS	Windows	5インチ2HD	μ S5A10IE17K
					3.5インチ2HD	μ S5A13IE17K
		IBM PC/AT	PC DOS		5インチ2HC	μ S7B10IE17K
					3.5インチ2HC	μ S7B13IE17K

注 μS×××AS17103には、μPD17103、μPD17104、μPD17107、μPD17108、μPD17103L、μPD17104L、μPD17107L、μPD17108L用のデバイス・ファイルが入っています。

備考 対応しているOSのバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver.3.30 ~ Ver.5.00A <sup>注</sup>
PC DOS	Ver.3.1 ~ Ver.5.0 <sup>注</sup>
Windows	Ver.3.0 ~ Ver.3.1

注 MS-DOSのVer.5.00/5.00A、PC DOSのVer.5.0にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

{ × ㇀ }



## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

SIMPLEHOSTは、日本電気株式会社の登録商標です。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部					
半導体第二販売事業部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3454-1111 (大代表)	
半導体第三販売事業部					
中部支社 半導体第一販売部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋	(052)222-2170	
中部支社 半導体第二販売部			名古屋	(052)222-2190	
関西支社 半導体第一販売部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3178	
関西支社 半導体第二販売部			大阪	(06) 945-3200	
関西支社 半導体第三販売部			大阪	(06) 945-3208	
北海道支社 札幌	(011)231-0161	太田支店 太田	(0276)46-4011	富山支店 富山	(0764)31-8461
東北支社 仙台	(022)267-8740	宇都宮支店 宇都宮	(028)621-2281	三重支店 津	(0592)25-7341
岩手支店 盛岡	(0196)51-4344	小山支店 小山	(0285)24-5011	京都支社 京都	(075)344-7824
山形支店 山形	(0236)23-5511	長野支店 松本	(0263)35-1662	神戸支社 神戸	(078)333-3854
郡山支店 郡山	(0249)23-5511	甲府支店 甲府	(0552)24-4141	中国支社 広島	(082)242-5504
いわき支店 いわき	(0246)21-5511	埼玉支店 大宮	(048)641-1411	鳥取支店 鳥取	(0857)27-5311
長岡支店 長岡	(0258)36-2155	立川支店 立川	(0425)26-5981	岡山支店 岡山	(086)225-4455
土浦支店 土浦	(0298)23-6161	千葉支店 千葉	(043)238-8116	四国支社 高松	(0878)36-1200
水戸支店 水戸	(029)226-1717	静岡支店 静岡	(054)255-2211	新居浜支店 新居浜	(0897)32-5001
神奈川支社 横浜	(045)324-5524	北陸支店 金沢	(0762)23-1621	松山支店 松山	(089)945-4149
群馬支店 高崎	(0273)26-1255	福井支店 福井	(0776)22-1866	九州支社 福岡	(092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎	(044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部					
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3798-9619	
東日本販売技術部					
半導体販売技術本部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋	(052)222-2125	
中部販売技術部					
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3383	
西日本販売技術部					