

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

デジタル・チューニング・システム用専用ハードウェア内蔵
4ビット・シングルチップ・マイクロコントローラ

μ PD17072, 17073は、デジタル・チューニング・システム用ハードウェアを内蔵した低電圧4ビット・シングルチップCMOSマイクロコントローラです。

CPUは、17Kアーキテクチャを採用しており、1命令で直接データ・メモリの操作や各種演算および周辺ハードウェアの制御が可能です。またすべての命令が16ビットの1語です。

周辺ハードウェアは入出力ポート、LCDコントローラ/ドライバ、A/Dコンバータ、BEEPのほかに、デジタル・チューニング用として230 MHzまで動作するプリスケラ、PLL周波数シンセサイザおよび中間周波数(IF)カウンタを内蔵しています。

したがって、1チップで高性能、多機能なデジタル・チューニング・システムを構成することが可能となります。

また、低電圧 ($V_{DD} = 1.8 \sim 3.6 V$) で動作できるため、ポータブル・ラジオ、ヘッドホン・ステレオ、ラジカセなど、乾電池駆動のポータブル機器の制御に最適です。

特 徴

17Kアーキテクチャ採用：汎用レジスタ方式

プログラム・メモリ (ROM)

6 Kバイト (3072 × 16ビット) : μ PD17072

8 Kバイト (4096 × 16ビット) : μ PD17073

汎用データ・メモリ (RAM)

176 × 4ビット

命令実行時間

53.3 μ s (75 kHz水晶振動子使用：通常動作時)

106.6 μ s (75 kHz水晶振動子使用：低速モード時)

10進演算可能

テーブル参照可能

PLL周波数シンセサイザ用ハードウェア内蔵

デュアル・モジュラス・プリスケラ (230 MHz

MAX.)、プログラマブル・ディバイダ、位相比較

器、チャージ・ポンプ

豊富な周辺ハードウェア

汎用入出力ポート、LCDコントローラ/ドライバ、シ

リアル・インタフェース、A/Dコンバータ、BEEP、

中間周波数 (IF) カウンタ

豊富な割り込み

外部：1本

内部：2本

パワーオン・リセット、CE端子によるリセットおよ

び停電検出回路内蔵

CMOS低消費電力

電源電圧 $V_{DD} = 1.8 \sim 3.6 V$

この資料では、特に断りがないかぎり μ PD17073を代表品種として説明しています。

本資料の内容は、後日変更する場合があります。

オーダ情報

オーダ名称	パッケージ
μPD17072GB-xxx-1A7	56ピン・プラスチックQFP (10×10 mm, 0.65 mmピッチ)
μPD17072GB-xxx-9EU	64ピン・プラスチックTQFP (ファインピッチ) (10 mm, 0.5 mmピッチ)
μPD17073GB-xxx-1A7	56ピン・プラスチックQFP (10×10 mm, 0.65 mmピッチ)
μPD17073GB-xxx-9EU	64ピン・プラスチックTQFP (ファインピッチ) (10 mm, 0.5 mmピッチ)

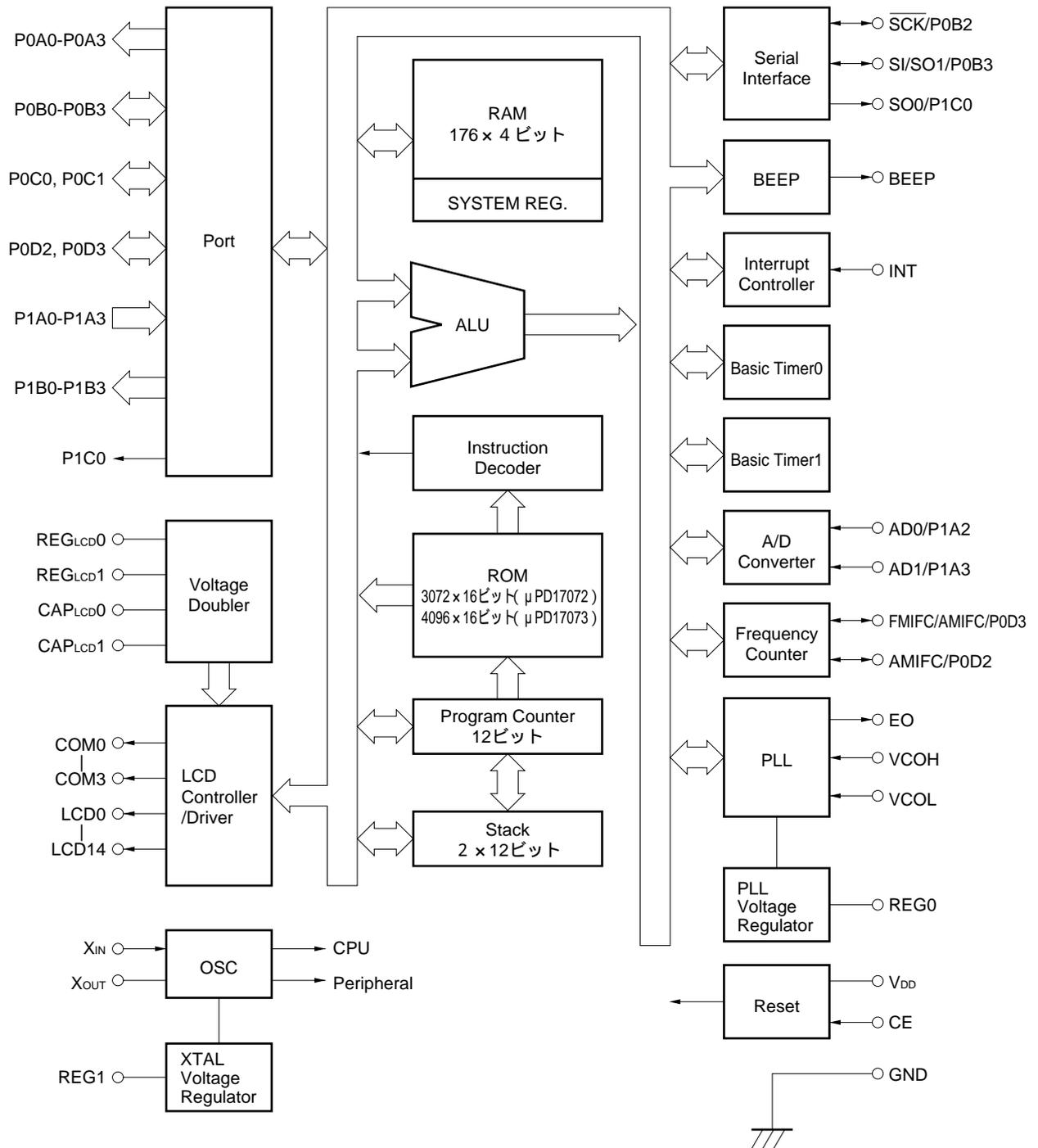
備考 xxxはROMコード番号です。

機能概要

項目	機能	
プログラム・メモリ (ROM)	<ul style="list-style-type: none"> ・ 6 Kバイト (3072 × 16ビット) : μPD17072 ・ 8 Kバイト (4096 × 16ビット) : μPD17073 すべての内蔵ROMエリアをテーブル参照可能	
汎用データ・メモリ (RAM)	<ul style="list-style-type: none"> ・ 176 × 4 ビット ジェネラル・レジスタ : 16 × 4 ビット (BANK0の00H-0FHに固定, 一部データ・バッファと兼用) 	
LCDセグメント・レジスタ	15 × 4 ビット	
周辺制御レジスタ	32 × 4 ビット	
命令実行時間	<ul style="list-style-type: none"> ・ 53.3 μs (75 kHz水晶振動子使用 : 通常動作時) ・ 106.6 μs (75 kHz水晶振動子使用 : 低速モード時) ソフトウェアにより切り替え可能	
スタック・レベル	<ul style="list-style-type: none"> ・ アドレス・スタック : 2 レベル (スタック操作可) ・ 割り込みスタック : 1 レベル (スタック操作不可) 	
汎用ポート	<ul style="list-style-type: none"> ・ 入出力ポート : 8 本 ・ 入力ポート : 4 本 ・ 出力ポート : 9 本 	
BEEP	<ul style="list-style-type: none"> ・ 1 本 ・ 選択周波数 (1.5 kHz, 3 kHz) 	
LCDコントローラ/ドライバ	<ul style="list-style-type: none"> ・ 15セグメント, 4 コモン 1/4デューティ, 1/2バイアス, フレーム周波数62.5 Hz, 駆動電圧V_{LCD1} = 3.1 V (TYP.) 	
シリアル・インタフェース	<ul style="list-style-type: none"> ・ 1 チャンネル (シリアルI/O方式) 3 線式, 2 線式切り替え可能 	
A/Dコンバータ	4 ビット × 2 チャンネル (ソフトウェアによる逐次比較方式)	
割り込み	<ul style="list-style-type: none"> ・ 3 本 (マスカブル割り込み) 外部割り込み : 1 本 (INT端子) 内部割り込み : 2 本 (ベーシック・タイマ 1, シリアル・インタフェース) 	
タイマ	<ul style="list-style-type: none"> ・ 2 チャンネル ベーシック・タイマ 0 : 125 ms ベーシック・タイマ 1 : 8 ms, 32 ms 	
リセット	<ul style="list-style-type: none"> ・ パワーオン・リセット (電源投入時) ・ CE端子によるリセット (CE端子 : ロウ・レベル ハイ・レベル) ・ 停電検出機能 	
PLL周波数シンセサイザ	分周方式	<ul style="list-style-type: none"> ・ 直接分周方式 (VCOL端子 : 8 MHz MAX.) ・ パルス・スワロ方式 (VCOL端子 : 55 MHz MAX.) (VCOH端子 : 230 MHz MAX.)
	レファレンス周波数	<ul style="list-style-type: none"> ・ 6 種類をプログラムで選択 1, 3, 5, 6.25, 12.5, 25 kHz
	チャージ・ポンプ	エラー・アウト出力 : 1 本 (EO端子)
	位相比較器	プログラムによりアンロック検出可能

項 目	機 能
周波数カウンタ	・ 周波数測定 POD3/FMIFC/AMIFC端子 : FMIFモード時 10 ~ 11 MHz POD3/FMIFC/AMIFC端子 : AMIFモード時 } POD2/AMIFC端子 } 400 ~ 500 kHz
電源電圧	$V_{DD} = 1.8 \sim 3.6 \text{ V}$
パッケージ	・ 56ピン・プラスチックQFP (10 × 10 mm , 0.65 mmピッチ) ・ 64ピン・プラスチックTQFP (10 mm , 0.5 mmピッチ)

ブロック図

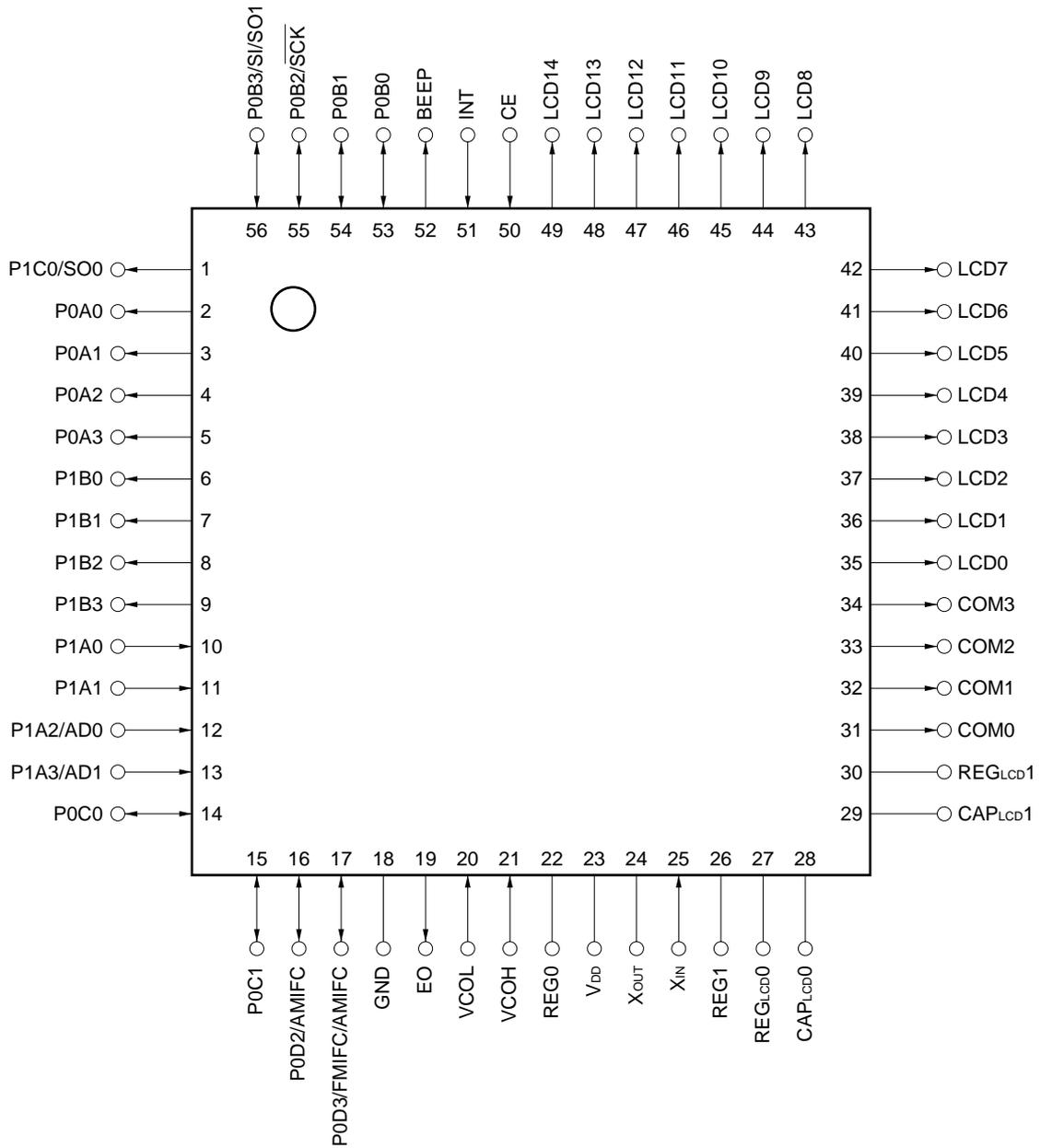


端子接続図 (Top View)

56ピン・プラスチックQFP (10×10 mm)

μPD17072GB- x x x -1A7

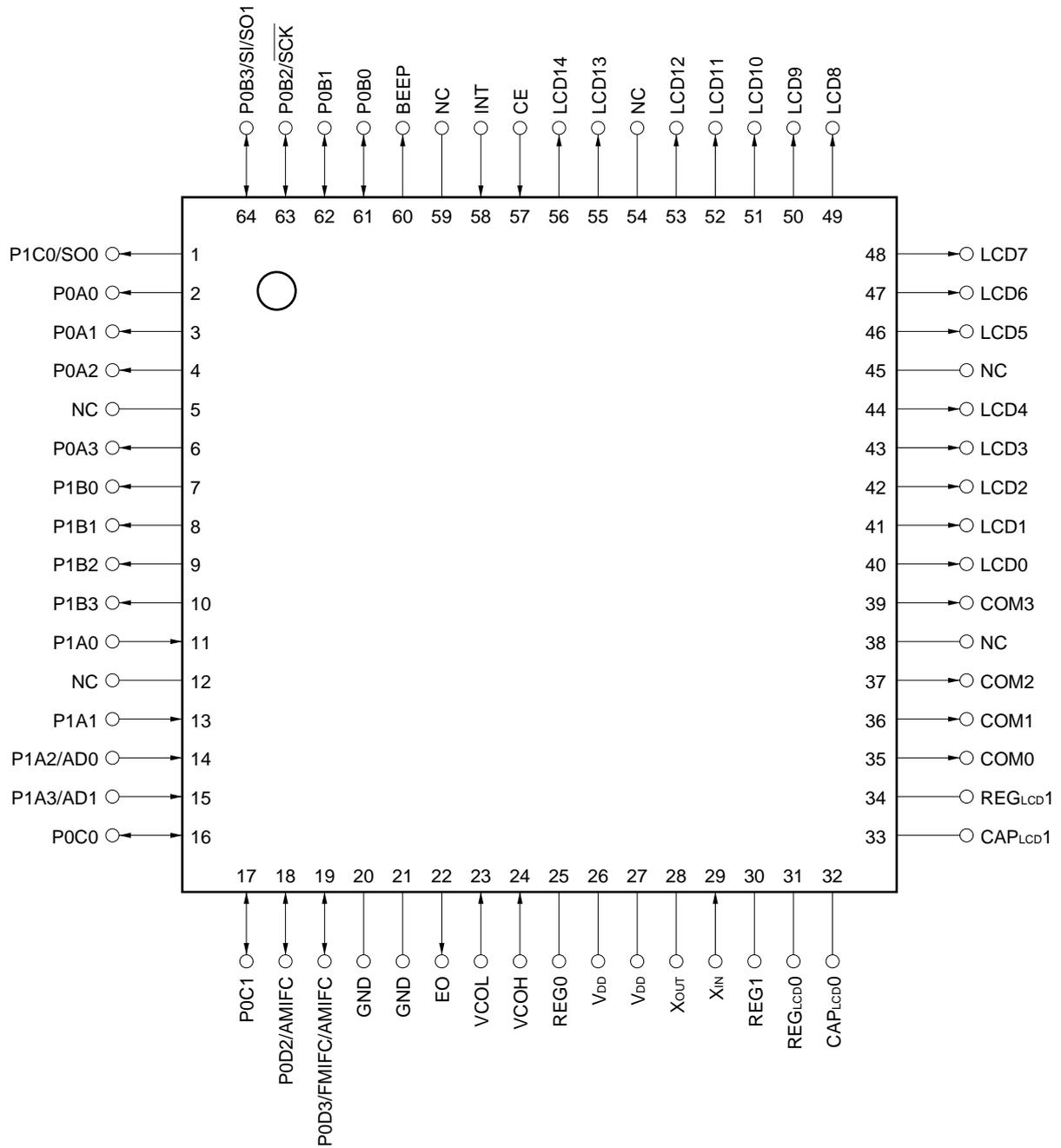
μPD17073GB- x x x -1A7



64ピン・プラスチックTQFP (ファインピッチ) (10 mm)

μPD17072GB- x x x -9EU

μPD17073GB- x x x -9EU



端子名称

AD0, AD1	: A/Dコンバータ入力	P0D2, P0D3	: ポート0D
AMIFC	: 中間周波数 (IF) カウンタ入力	P1A0-P1A3	: ポート1A
BEEP	: BEEP出力	P1B0-P1B3	: ポート1B
CAP _{Lcd0} , CAP _{Lcd1}	: LCD駆動電圧用コンデンサ接続	P1C0	: ポート1C
CE	: チップ・イネーブル	REG _{Lcd0} , REG _{Lcd1}	: LCD駆動用電源
COM0-COM3	: LCDコモン信号出力	REG0	: PLL用ボルテージ・レギュレータ
EO	: エラー・アウト	REG1	: 発振回路用ボルテージ・レギュレータ
FMIFC	: 中間周波数 (IF) カウンタ入力	$\overline{\text{SCK}}$: シリアル・クロック入出力
GND	: グランド	SI	: シリアル・データ入力
INT	: 外部割り込み要求信号入力	SO0, SO1	: シリアル・データ出力
LCD0-LCD14	: LCDセグメント信号出力	VCOL	: 局部発振入力
NC	: ノー・コネクション	VCOH	: 局部発振入力
P0A0-P0A3	: ポート0A	V _{DD}	: 正電源
P0B0-P0B3	: ポート0B	X _{IN} , X _{OUT}	: 水晶振動子接続用
P0C0, P0C1	: ポート0C		

目 次

1 . 端子機能 ...	13
1.1 端子機能一覧 ...	13
1.2 端子の等価回路 ...	17
1.3 未使用端子の処理 ...	20
1.4 CE端子の使用上の注意 ...	21
2 . プログラム・メモリ (ROM) ...	22
2.1 プログラム・メモリ概要 ...	22
2.2 プログラム・メモリ本体 ...	23
2.3 プログラム・カウンタ ...	23
2.4 プログラムの流れ ...	24
2.5 プログラム・メモリ使用時の注意 ...	24
3 . アドレス・スタック (ASK) ...	25
3.1 アドレス・スタック概要 ...	25
3.2 アドレス・スタック・レジスタ (ASR) ...	25
3.3 スタック・ポインタ (SP) ...	26
3.4 アドレス・スタックの動作 ...	27
3.5 アドレス・スタック使用時の注意 ...	27
4 . データ・メモリ (RAM) ...	28
4.1 データ・メモリ概要 ...	28
4.2 データ・メモリの構成と機能 ...	29
4.3 データ・メモリのアドレッシング ...	32
4.4 データ・メモリ使用時の注意 ...	33
5 . システム・レジスタ (SYSREG) ...	34
5.1 システム・レジスタ概要 ...	34
5.2 アドレス・レジスタ (AR) ...	35
5.3 バンク・レジスタ (BANK) ...	37
5.4 プログラム・ステータス・ワード (PSWORD) ...	38
5.5 システム・レジスタ使用時の注意 ...	39
6 . ジェネラル・レジスタ (GR) ...	40
6.1 ジェネラル・レジスタ概要 ...	40
6.2 各命令におけるジェネラル・レジスタのアドレス生成 ...	41
6.3 ジェネラル・レジスタ使用時の注意 ...	41
7 . ALU (Arithmetic Logic Unit) ブロック ...	42
7.1 ALUブロック概要 ...	42
7.2 各ブロックの構成と機能 ...	43

7.3	ALU処理命令一覧	...	43
7.4	ALU使用時の注意	...	46
8	周辺制御レジスタ	...	47
8.1	周辺制御レジスタ概要	...	47
8.2	周辺制御レジスタの構成と機能	...	48
9	データ・バッファ (DBF)	...	56
9.1	データ・バッファ概要	...	56
9.2	データ・バッファ本体	...	57
9.3	周辺ハードウェアとデータ・バッファ一覧	...	58
9.4	データ・バッファ使用時の注意	...	58
10	汎用ポート	...	59
10.1	汎用ポート概要	...	59
10.2	汎用入出力ポート (P0B, P0C, P0D)	...	61
10.3	汎用入力ポート (P1A)	...	65
10.4	汎用出力ポート (P0A, P1B, P1C)	...	68
11	割り込み	...	70
11.1	割り込みブロック概要	...	70
11.2	割り込み制御ブロック	...	71
11.3	割り込みスタック・レジスタ	...	74
11.4	スタック・ポインタ, アドレス・スタック・レジスタとプログラム・カウンタ	...	76
11.5	割り込みイネーブル・フリップフロップ (INTE)	...	76
11.6	割り込み受け付け動作	...	77
11.7	割り込み受け付け後の動作	...	81
11.8	割り込み処理ルーチンからの復帰処理	...	82
11.9	外部 (INT端子) 割り込み	...	83
11.10	内部割り込み	...	85
12	タイマ	...	86
12.1	タイマ概要	...	86
12.2	ベーシック・タイマ0	...	86
12.3	ベーシック・タイマ1	...	95
13	A/Dコンバータ	...	102
13.1	A/Dコンバータ概要	...	102
13.2	A/Dコンバータ用電源の設定	...	103
13.3	入力切り替えブロック	...	104
13.4	比較電圧生成ブロックおよびコンペア・ブロック	...	106
13.5	比較タイミング・チャート	...	111
13.6	A/Dコンバータの性能	...	111

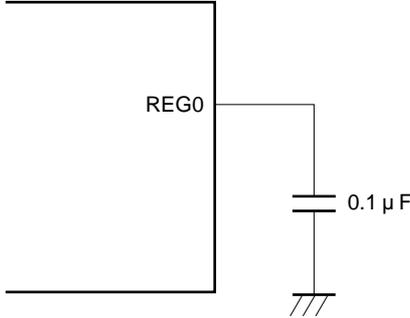
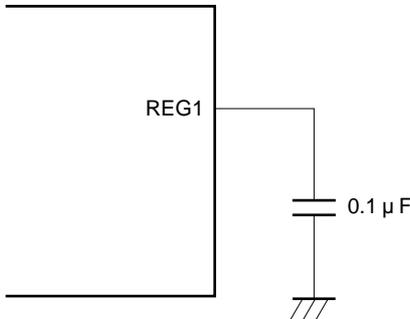
13.7	A/Dコンバータの使用手法	...	112
13.8	リセット時の状態	...	115
14	シリアル・インタフェース	...	116
14.1	シリアル・インタフェース概要	...	116
14.2	クロック入出力制御ブロックおよびデータ入出力制御ブロック	...	117
14.3	クロック制御ブロック	...	120
14.4	クロック・カウンタ	...	120
14.5	プリセッタブル・シフト・レジスタ	...	121
14.6	ウェイト制御ブロック	...	121
14.7	シリアル・インタフェースの動作	...	122
14.8	データ設定時およびデータ読み込み時の注意	...	126
14.9	シリアル・インタフェースの動作概略	...	127
14.10	リセット時の状態	...	129
15	PLL周波数シンセサイザ	...	130
15.1	PLL周波数シンセサイザ概要	...	130
15.2	入力切り替えブロックおよびプログラマブル・ディバイダ	...	131
15.3	基準周波数発生器	...	137
15.4	位相比較器（-DET）, チャージ・ポンプおよびアンロックFF	...	139
15.5	PLLディスエーブル状態	...	143
15.6	PLL周波数シンセサイザの使用手法	...	144
15.7	リセット時の状態	...	147
16	中間周波数（IF）カウンタ	...	148
16.1	中間周波数（IF）カウンタ概要	...	148
16.2	IFカウンタ入力選択ブロックおよびゲート時間制御ブロック	...	149
16.3	スタート制御ブロックおよびIFカウンタ	...	151
16.4	IFカウンタの使用手法	...	156
16.5	リセット時の状態	...	158
17	BEEP	...	159
17.1	BEEPの構成と機能	...	159
17.2	BEEPの出力波形	...	160
17.3	リセット時の状態	...	161
18	LCDコントローラ/ドライバ	...	162
18.1	LCDコントローラ/ドライバ概要	...	162
18.2	LCD駆動電圧生成ブロック	...	163
18.3	LCDセグメント・レジスタ	...	164
18.4	コモン信号出力, セグメント信号出力タイミング制御ブロック	...	166
18.5	コモン信号およびセグメント信号出力波形	...	167
18.6	LCDコントローラ/ドライバの使用手法	...	169

18.7	リセット時の状態	...	171
19.	スタンバイ	...	172
19.1	スタンバイ機能概要	...	172
19.2	ホールド機能	...	174
19.3	クロック・ストップ機能	...	182
19.4	ホールドおよびクロック・ストップ時のデバイス動作	...	185
19.5	ホールド状態およびクロック・ストップ状態中の各端子の処理上の注意	...	186
19.6	CE端子によるデバイスの動作制御機能	...	189
19.7	低速モード機能	...	191
20.	リセット	...	192
20.1	リセット・ブロックの構成	...	192
20.2	リセットの機能	...	193
20.3	CEリセット	...	194
20.4	パワーオン・リセット	...	198
20.5	CEリセットとパワーオン・リセットの関係	...	201
20.6	停電検出	...	203
21.	命令セット	...	208
21.1	命令セット概要	...	208
21.2	凡例	...	209
21.3	命令セット一覧	...	210
21.4	アセンブラ (AS17K) 組み込みマクロ命令	...	211
22.	μPD17073予約語	...	212
22.1	データ・バッファ (DBF)	...	212
22.2	システム・レジスタ (SYSREG)	...	212
22.3	LCDセグメント・レジスタ	...	213
22.4	ポート・レジスタ	...	214
22.5	周辺制御レジスタ	...	215
22.6	周辺ハードウェア・レジスタ	...	217
22.7	その他	...	217
23.	電気的特性	...	218
24.	外形図	...	221
25.	半田付け推奨条件	...	223
	付録A．水晶振動子を接続するときの注意	...	224
	付録B．開発ツール	...	225

1. 端子機能

1.1 端子機能一覧

端子番号		記号	機能	出力形式	パワーオン・リセット時
QFP	TQFP				
1	1	P1C0/SO0	ポート1Cおよびシリアル・インタフェースの出力です。 P1C0 ・1ビットの出力ポート SO0 ・シリアル・データ出力	CMOSプッシュプル	ロウ・レベル出力
2	2	P0A0	4ビットの出力ポートです(ポート0A)。	CMOSプッシュプル	ロウ・レベル出力
3	3	P0A1			
4	4	P0A2			
5	6	P0A3			
6	7	P1B0	4ビットの出力ポートです(ポート1B)。	CMOSプッシュプル	ロウ・レベル出力
7	8	P1B1			
8	9	P1B2			
9	10	P1B3			
10	11	P1A0	ポート1AおよびA/Dコンバータへのアナログ入力です。 P1A3-P1A0 ・4ビットの入力ポート AD1, AD0 ・A/Dコンバータへのアナログ入力	-	プルダウン抵抗 付き入力
11	13	P1A1			
12	14	P1A2/AD0			
13	15	P1A3/AD1			
14	16	P0C0	2ビットの入出力ポートです(ポート0C)。 1ビット単位で入力/出力の設定が可能です。	CMOSプッシュプル	入力
15	17	POC1			
16	18	P0D2/AMIFC	ポート0DおよびIFカウンタ入力です。 P0D3, P0D2 ・2ビットの入出力ポート ・1ビット単位で入力/出力設定可能 FMIFC, AMIFC ・IFカウンタの入力	CMOSプッシュプル	入力
17	19	P0D3/FMIFC/ AMIFC			
18	20 21	GND	グラウンドです。	-	-
19	22	EO	PLL周波数シンセサイザのチャージ・ポンプからの出力です。	CMOS3ステート	フローティング
20	23	VCOL	PLLの局部発振周波数を入力します。	-	フローティング
21	24	VCOH			

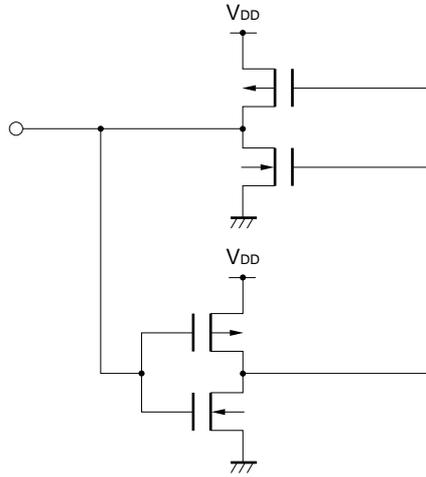
端子番号		記号	機能	出力形式	パワーオン・リセット時
QFP	TQFP				
22	25	REG0	<p>PLL用ボルテージ・レギュレータの出力です。 0.1 μFのコンデンサを介してGNDに接続してください。</p> 	-	ロウ・レベル出力
23	26 27	V _{DD}	<p>正電源です。 すべての機能を動作させるときは1.8 ~ 3.6 V (T_A = - 20 ~ + 70) の電圧を供給します。 V_{DD}端子以外のすべての端子にV_{DD}端子より高い電圧を加えないでください。</p>	-	-
24	28	X _{OUT}	<p>システム・クロック発振用の水晶振動子を接続する端子です。</p>	CMOSプッシュプル	-
25	29	X _{IN}		-	
26	30	REG1	<p>発振器回路用ボルテージ・レギュレータの出力です。 0.1 μFのコンデンサを介してGNDに接続してください。</p> 	-	-

端子番号		記号	機能	出力形式	パワーオン・リセット時
QFP	TQFP				
27	31	REG _{Lcd0}	REG _{Lcd1} , REG _{Lcd0}	-	-
28	32	CAP _{Lcd0}	LCD駆動電源端子です。		
29	33	CAP _{Lcd1}	CAP _{Lcd1} , CAP _{Lcd0}		
30	34	REG _{Lcd1}	LCDの駆動電源を作るためのダブル回路用のコンデンサを接続します。 ダブル回路を構成するため、下図のようにコンデンサを接続してください。		
			<p style="text-align: right;">C1 = C2 = 0.1 μF C3 = 0.01 μF</p>		
			<p>注意 ダブル回路の構成上、C1, C2, C3の値を変えることによりLCD駆動電圧の値が異なりますので注意が必要です。</p>		
31	35	COM0	LCDコントローラ / ドライバのコモン信号出力です。	CMOS 3 値出力	ロウ・レベル出力
32	36	COM1			
33	37	COM2			
34	39	COM3			
35	40	LCD0	LCDコントローラ / ドライバのセグメント信号出力です。	CMOSプッシュプル	ロウ・レベル出力
49	56	LCD14			
50	57	CE	デバイスの動作選択およびリセット信号の入力です。	-	入力
51	58	INT	外部割り込み要求信号の入力です。 割り込み要求は、端子に加えられた入力信号の立ち上がり、または立ち下がりエッジにより発行されます。	-	入力
52	60	BEEP	BEEP信号出力端子です。 1.5 kHzまたは3 kHzのBEEP出力を選択できます。	CMOSプッシュプル	ロウ・レベル出力

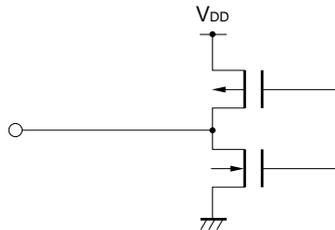
端子番号		記号	機能	出力形式	パワーオン・リセット時
QFP	TQFP				
53	61	P0B0	ポート0Bおよびシリアル・インタフェースの入出力です。 P0B3-P0B0 ・ 4ビットの入出力ポート ・ 1ビット単位で入力/出力設定可能 $\overline{\text{SCK}}$ ・ シリアル・クロック入出力 SO1 ・ シリアル・データ出力 SI ・ シリアル・データ入力	CMOSプッシュプル	入力
54	62	P0B1			
55	63	P0B2/ $\overline{\text{SCK}}$			
56	64	P0B3/SI/SO1			
-	5 12 38 45 54 59	NC	ノー・コネクションです。	-	-

1.2 端子の等価回路

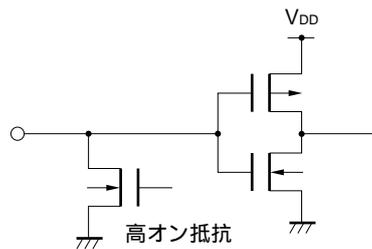
- (1) P0B (P0B3/SI/SO1, P0B2/ $\overline{\text{SCK}}$, P0B1, P0B0)
 - P0C (P0C1, P0C0)
 - P0D (P0D3/FMIFC/AMIFC, P0D2/AMIFC)
- } (入出力)



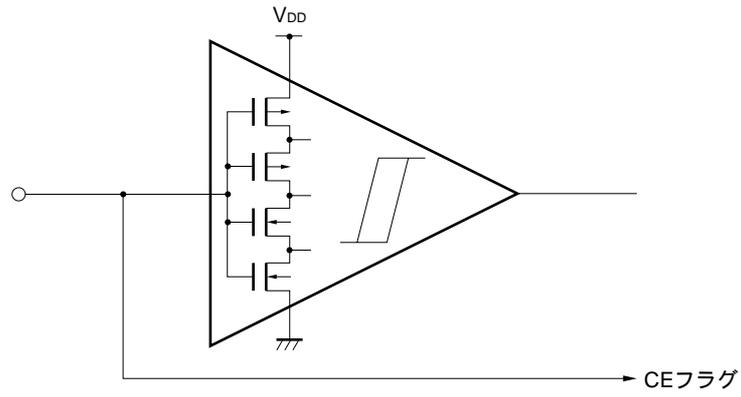
- (2) P0A (P0A3, P0A2, P0A1, P0A0)
 - P1B (P1B3, P1B2, P1B1, P1B0)
 - P1C (P1C0/SO0)
 - LCD14-LCD0
 - BEEP
 - EO
- } (出力)



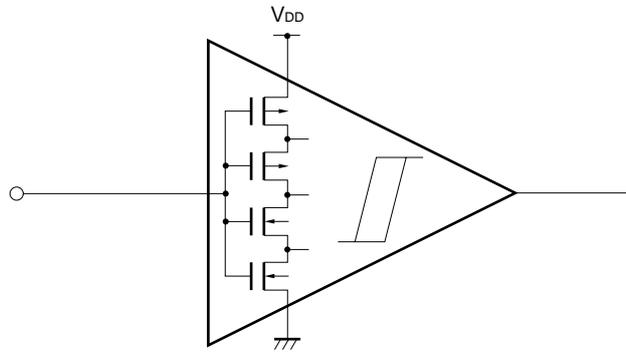
- (3) P1A (P1A3/AD1, P1A2/AD0, P1A1, P1A0) (入力)



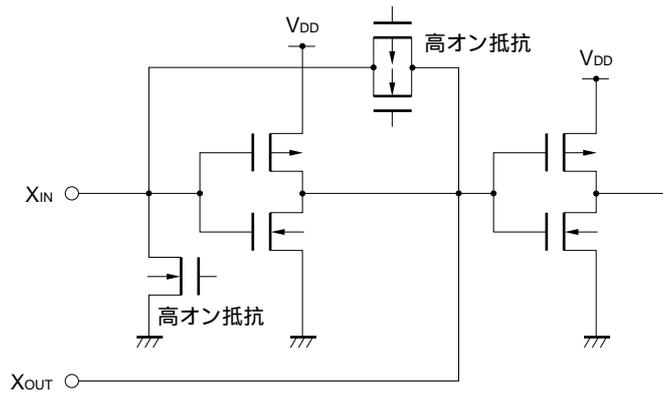
(4) CE (シュミット・トリガ入力)



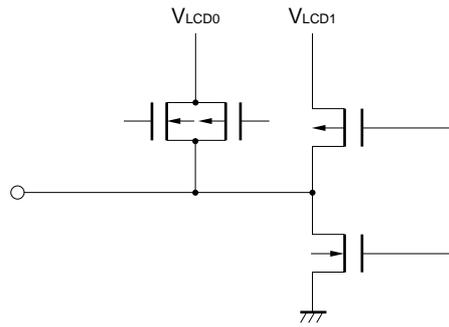
(5) INT (シュミット・トリガ入力)



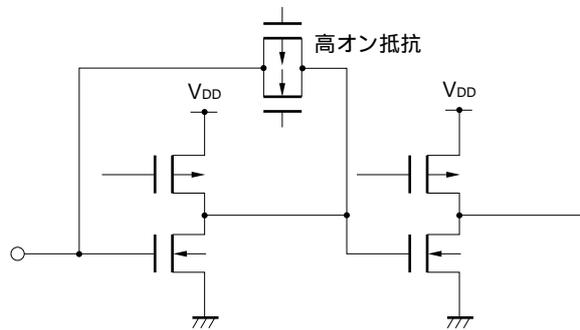
(6) XOUT (出力), XIN (入力)



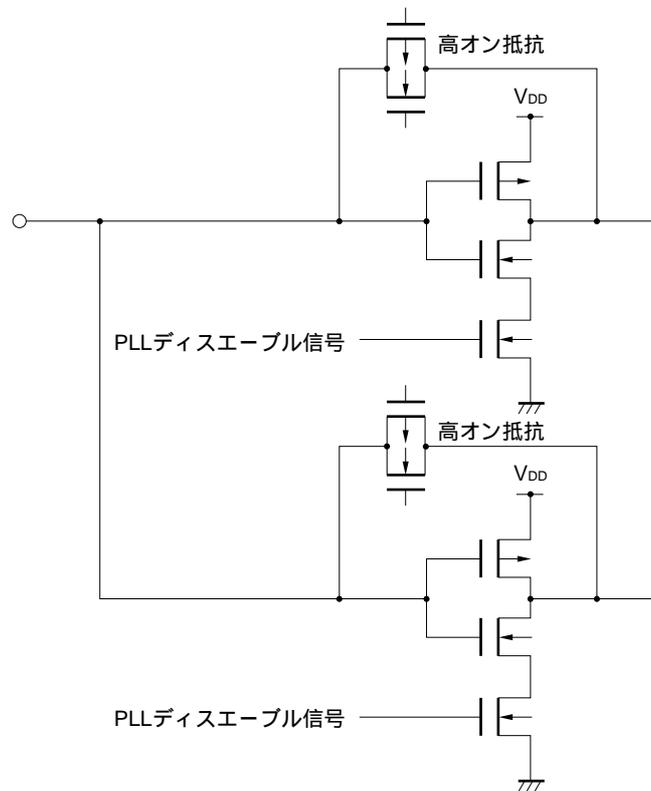
(7) COM3-COM0 (出力)



(8) VCOH (入力)



(9) VCOL (入力)



1.3 未使用端子の処理

未使用端子には、次に示すような処置を推奨します。

表 1 - 1 未使用端子の処理

端子名	入出力方式	未使用時の推奨処理	
ポート端子	P0A0-P0A3	CMOSプッシュプル出力	オープン
	P0B0, P0B1	入出力 ^{注1}	ソフトウェアでロウ・レベル出力に設定してオープン
	P0B2/SCK		
	P0B3/SI/SO1		
	P0C0, P0C1		
	P0D2/AMIFC		
	P0D3/FMIFC/AMIFC		
	P1A0, P1A1	入力	各端子ごとに抵抗を介して、V _{DD} またはGNDに接続 ^{注2}
	P1A2/AD0		
	P1A3/AD1		
	P1B0-P1B3	CMOSプッシュプル出力	オープン
P1C0/SO0			
ポート以外の端子	BEEP	CMOSプッシュプル出力	オープン
	CE	入力	抵抗を介してV _{DD} に接続 ^{注2}
	COM0-COM3	出力	オープン
	EO	出力	
	INT	入力	抵抗を介してGNDに接続 ^{注2}
	LCD0-LCD14	CMOSプッシュプル出力	オープン
	VCOH, VCOL	入力	各端子ごとに抵抗を介してGNDに接続 ^{注2}

注 1 . 入出力ポートは電源立ち上げ時、クロック・ストップ時、CEリセット時、入力モードとなります。

- 外部でプルアップ（抵抗を介してV_{DD}に接続）またはプルダウン（抵抗を介してGNDに接続）する場合、高い抵抗値でプルアップまたはプルダウンすると、その端子はハイ・インピーダンスに近くなるためポートの消費（貫通）電流が増えますので注意してください。応用回路にもよりますが、プルアップまたはプルダウン抵抗値は、数十k 程度が一般的です。

1.4 CE端子の使用上の注意

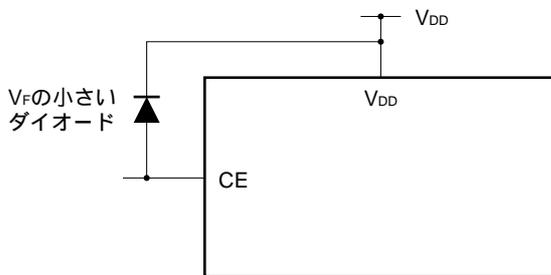
CE端子は、1.1 端子機能一覧に示した機能のほかに、 μ PD17073の内部動作をテストするテスト・モードを設定する機能（ICテスト専用）を持っています。

この端子に V_{DD} を越える電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であっても V_{DD} を越えるようなノイズが加わった場合にはテスト・モードに入ってしまい、通常動作に支障をきたすことがあります。

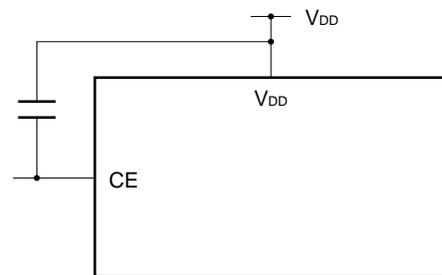
たとえば、CE端子の配線の引き回しが長い場合などでは、CE端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合には、下図のような外付け部品によるノイズ対策を実施してください。

V_{DD} との間に V_F の小さいダイオードを接続



V_{DD} との間にコンデンサを接続



2. プログラム・メモリ (ROM)

2.1 プログラム・メモリ概要

図2 - 1に、プログラム・メモリの概略を示します。

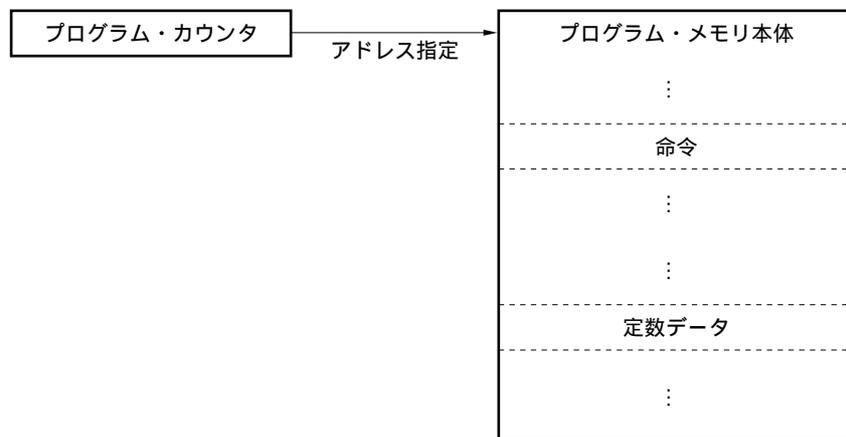
図2 - 1に示すように、プログラム・メモリは、プログラム・メモリ本体とプログラム・カウンタから構成されています。

プログラム・メモリのアドレスは、プログラム・カウンタにより指定します。

プログラム・メモリは、大別して以下の2つの機能があります。

- (1) プログラムを格納しておく
- (2) 定数データを格納しておく

図2 - 1 プログラム・メモリの概略



2.2 プログラム・メモリ本体

図2-2に、プログラム・メモリ本体の構成を示します。

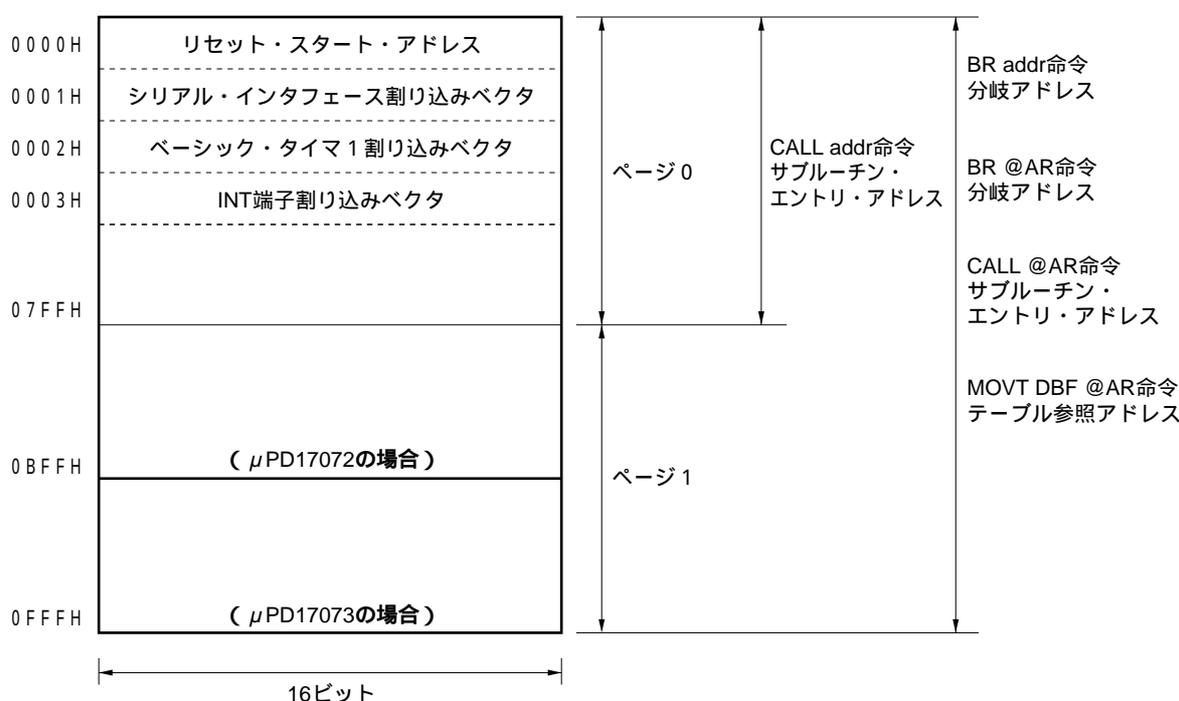
図2-2に示すように、プログラム・メモリ本体は次のように構成されています。

μPD17072 : 3072 × 16ビット (0000H-0BFFH)
 μPD17073 : 4096 × 16ビット (0000H-0FFFH)

“命令”はすべて16ビット長の“1語命令”であるため、プログラム・メモリの1つの番地に1つの命令を格納することができます。

定数データは、テーブル参照命令を使用して、データ・バッファにプログラム・メモリの内容を読み込みます。

図2-2 プログラム・メモリの構成



注意 μPD17072の場合、各命令で呼び出し可能なアドレスの範囲は、0000H-0BFFH番地です。0C00H-0FFFH番地は不定領域です。

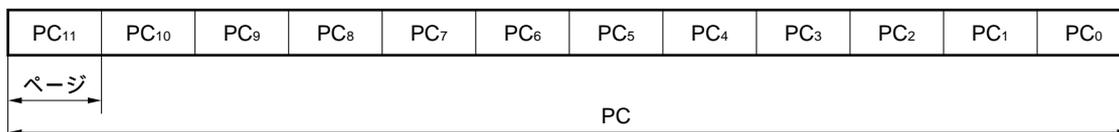
2.3 プログラム・カウンタ

図2-3に、プログラム・カウンタの構成を示します。

プログラム・カウンタは、プログラム・メモリのアドレスを指定します。

図2-3に示すように、プログラム・カウンタは、12ビットのバイナリ・カウンタで構成されています。さらに、最上位ビットであるビットb₁₁は、ページを示します。

図2-3 プログラム・カウンタの構成



2.4 プログラムの流れ

プログラムの流れは、プログラム・メモリのアドレスを指定するプログラム・カウンタによって制御されます。

図2 - 4に、各命令実行時にプログラム・カウンタに設定される値を示します。

また、表2 - 1に、割り込み受け付け時のベクタ・アドレスを示します。

図2 - 4 各命令におけるプログラム・カウンタの設定

プログラム・カウンタ		プログラム・カウンタ (PC) の内容											
		b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BR addr	ページ0	0	命令のオペランド (addr)										
	ページ1	1	←										
CALL addr		0	← 命令のオペランド (addr) →										
BR @AR		← アドレス・レジスタの内容 →											
CALL @AR		←											
MOVNT DBF, @AR		←											
RET		← スタック・ポインタ (SP) で指定されるアドレス・スタック・レジスタ (ASR) の内容 (戻り番地) →											
RETSK		←											
RETI		←											
割り込み受け付け時		← 各割り込みのベクタ・アドレス →											
パワーオン・リセット, CEリセット		0	0	0	0	0	0	0	0	0	0	0	0

表2 - 1 割り込みベクタ・アドレス

順位	内部 / 外部	割り込み要因	ベクタ・アドレス
1	外部	INT端子	0003H
2	"	ベーシック・タイマ1	0002H
3	"	シリアル・インタフェース	0001H

2.5 プログラム・メモリ使用時の注意

(1) μPD17072の場合

μPD17072では、プログラム・メモリ・アドレスは0000H-0BFFH番地です。しかし、プログラム・カウンタ (PC) で指定できる番地は0000H-0FFFHであるため、プログラム・メモリ・アドレスを指定するときは以下のことに注意してください。

- ・0BFFH番地に命令を書き込むときは、必ず分岐命令を書き込んでください。
- ・0C00H-0FFFH番地には命令を書き込まないでください。
- ・0C00H-0FFFH番地には分岐しないでください。

(2) μPD17073の場合

μPD17073では、プログラム・メモリ・アドレスは0000H-0FFFH番地です。以下のことに注意してください。

- ・0FFFH番地に命令を書き込むときは、必ず分岐命令を書き込んでください。

3. アドレス・スタック (ASK)

3.1 アドレス・スタック概要

図3 - 1に、アドレス・スタックの概略を示します。

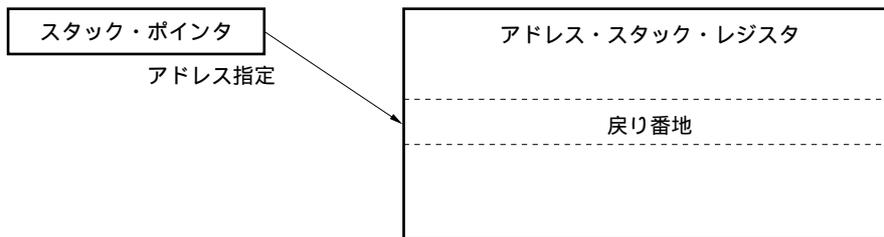
アドレス・スタックは、スタック・ポインタおよびアドレス・スタック・レジスタで構成されています。

アドレス・スタック・レジスタのアドレスは、スタック・ポインタにより指定します。

アドレス・スタックは、サブルーチン・コール命令実行時、割り込み受け付け時などに戻り番地を退避します。

また、テーブル参照命令実行時も、アドレス・スタックを使用します。

図3 - 1 アドレス・スタックの概略



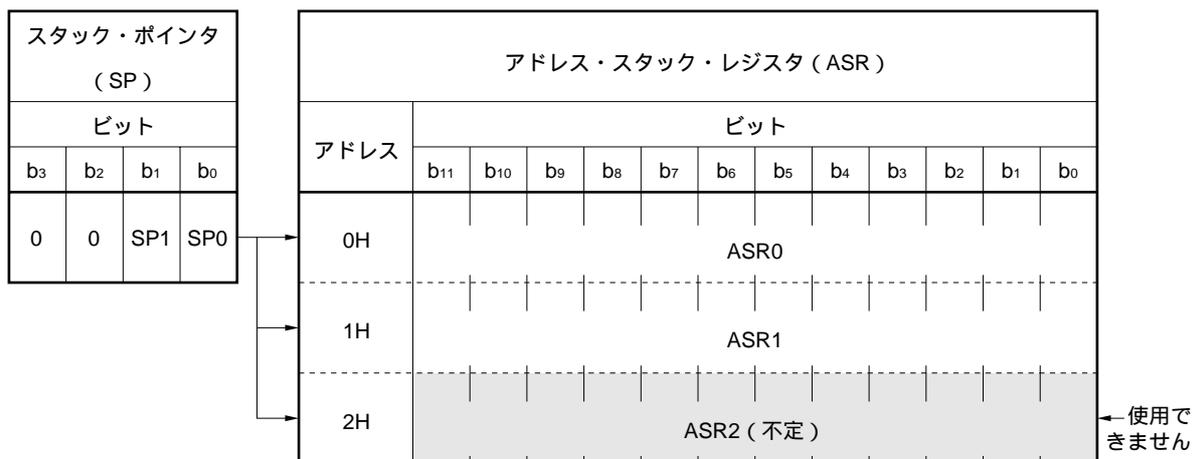
3.2 アドレス・スタック・レジスタ (ASR)

図3 - 2に、アドレス・スタック・レジスタの構成を示します。

アドレス・スタック・レジスタは、12ビット×3個のレジスタASR0-ASR2で構成されています。ただし、ASR2にはレジスタがなく、実際には12ビット×2個のレジスタ (ASR0, ASR1) で構成されています。

アドレス・スタックは、サブルーチン・コール命令実行時、割り込み受け付け時およびテーブル参照命令実行時に、戻り番地を格納します。

図3 - 2 アドレス・スタック・レジスタの構成



3.3 スタック・ポインタ (SP)

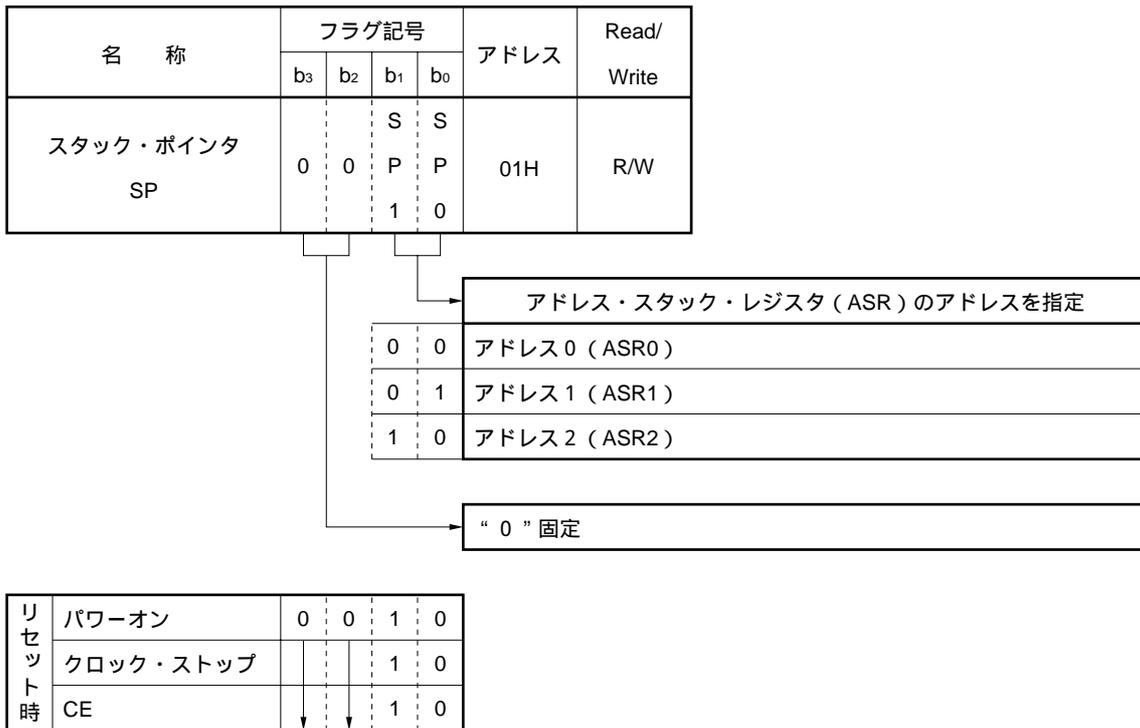
図3 - 3に、スタック・ポインタの構成と機能を示します。

スタック・ポインタは、4ビットのバイナリ・カウンタで構成されています。

スタック・ポインタは、アドレス・スタック・レジスタのアドレスを指定します。

スタック・ポインタは、レジスタ操作命令により、直接、値を読み込んだり書き込んだりすることもできます。

図3 - 3 スタック・ポインタの構成と機能



3.4 アドレス・スタックの動作

3.4.1 サブルーチン・コール命令(“CALL addr”, “CALL @AR”)およびリターン命令(“RET”, “RETSK”)

サブルーチン・コール命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

リターン命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容(戻り番地)をプログラム・カウンタに復帰し、スタック・ポインタの値を + 1 します。

3.4.2 テーブル参照命令(“MOVT DBF, @AR”)

テーブル参照命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

次に、アドレス・レジスタで指定されるプログラム・メモリの内容をデータ・バッファに読み出し、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容(戻り番地)をプログラム・カウンタに復帰したあと、スタック・ポインタの値を + 1 します。

3.4.3 割り込み受け付け時とリターン命令(“RETI”)

割り込みが受け付けられると、スタック・ポインタの値を - 1 して、スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

リターン命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容(戻り番地)をプログラム・カウンタに復帰し、スタック・ポインタの値を + 1 します。

3.4.4 アドレス・スタック操作命令(“PUSH AR”, “POP AR”)

“PUSH”命令が実行されると、スタック・ポインタの値を - 1 し、スタック・ポインタで指定されるアドレス・スタック・レジスタにアドレス・レジスタの内容を転送します。

“POP”命令が実行されると、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をアドレス・レジスタに転送し、スタック・ポインタの値を + 1 します。

3.5 アドレス・スタック使用時の注意

アドレス・スタックのネスティング・レベルは2であり、スタック・ポインタが2Hのときのアドレス・スタック・レジスタ(ASR2)の値は“不定”です。

したがって、スタック操作を行わない状態で2レベルを越えるサブルーチン・コールや割り込みを使用すると、“不定”な番地へ復帰するため使用しないでください。

4. データ・メモリ (RAM)

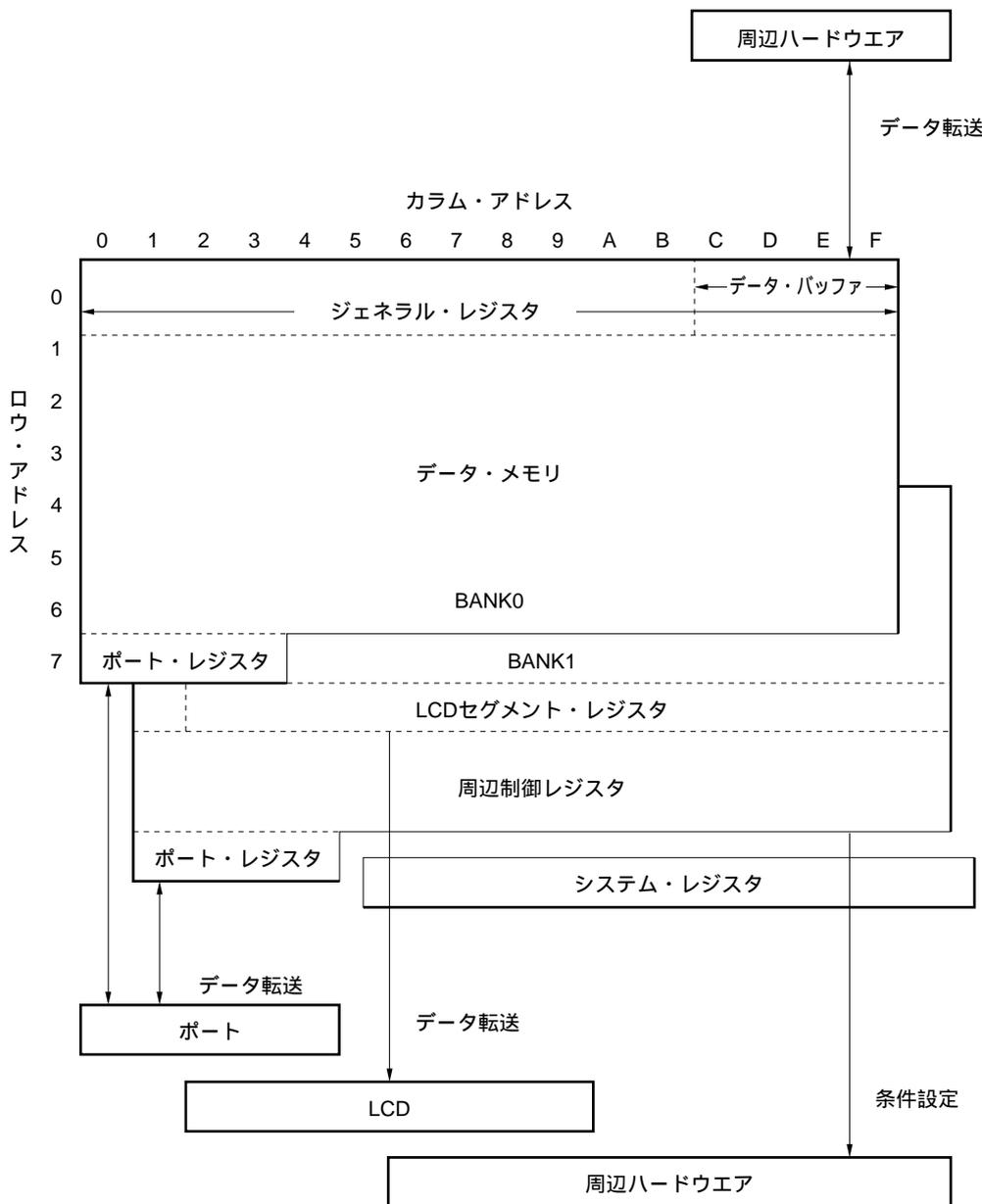
4.1 データ・メモリ概要

図4 - 1に、データ・メモリの概略を示します。

図4 - 1に示すように、データ・メモリは、汎用データ・メモリ、システム・レジスタ、データ・バッファ、ジェネラル・レジスタ、LCDセグメント・レジスタ、ポート・レジスタおよび周辺制御レジスタから構成されています。

データ・メモリは、データの格納、周辺ハードウェアとのデータ転送、周辺ハードウェアの条件設定、表示データの設定、ポートとのデータ転送およびCPUの制御を行います。

図4 - 1 データ・メモリの概略



4.2 データ・メモリの構成と機能

図4 - 2に、データ・メモリの構成を示します。

図4 - 2に示すように、データ・メモリはバンクに分割されており、各バンクは、ロウ・アドレス7H、カラム・アドレス0FHの計128ニブルで構成されています。

データ・メモリは、機能別に以下の4.2.1-4.2.8に示すブロックに分けられます。

データ・メモリの内容は、データ・メモリ操作命令を実行することにより、4ビットの演算、比較、判断および転送が1命令で行えます。

表4 - 1に、データ・メモリ操作命令を示します。

4.2.1 システム・レジスタ (SYSREG)

システム・レジスタは、アドレス74H-7FH番地に割り当てられています。

システム・レジスタは、バンクに無関係に割り当てられており、直接CPUの制御を行います。また、どのバンクであっても、アドレス74H-7FH番地には同一のシステム・レジスタが存在します。

μPD17073では、AR (アドレス・レジスタ：75H-77H番地)、BANK (バンク・レジスタ：79H番地)、PSWORD (プログラム・ステータス・ワード：7EH, 7FH番地)のみ操作可能です。

詳細は、5.システム・レジスタ (SYSREG)を参照してください。

4.2.2 データ・バッファ (DBF)

データ・バッファは、BANK0のアドレス0CH-0FH番地に割り当てられています。

データ・バッファは、プログラム・メモリ上の定数データの読み込み (テーブル参照)、および周辺ハードウェアとのデータ転送を行います。

詳細は、9.データ・バッファ (DBF)を参照してください。

4.2.3 ジェネラル・レジスタ

μPD17073では、ジェネラル・レジスタはBANK0のロウ・アドレス0、つまり00H-0FH番地に固定されており、移動できません。

ジェネラル・レジスタはデータ・メモリとの間で演算や転送を1命令で行えます。

また、ジェネラル・レジスタは、ほかのデータ・メモリと同様にデータ・メモリ操作命令で制御することができます。

詳細は、6.ジェネラル・レジスタ (GR)を参照してください。

4.2.4 LCDセグメント・レジスタ

LCDセグメント・レジスタは、データ・メモリのBANK1のアドレス41H-4FH番地に割り当てられており、LCDコントローラ/ドライバの表示データの設定を行います。

詳細は、18.LCDコントローラ/ドライバを参照してください。

4.2.5 ポート・レジスタ

ポート・レジスタは、BANK0のアドレス70H-73H番地、およびBANK1のアドレス70H-73H番地に割り当てられており、各汎用ポートの出力データの設定や、入力ポートのデータの読み出しを行います。

詳細は、10.汎用ポートを参照してください。

4.2.6 周辺制御レジスタ

周辺制御レジスタは、BANK1のアドレス50H-6FH番地に割り当てられており、周辺ハードウェア（PLL、シリアル・インタフェース、A/Dコンバータ、IFカウンタ、タイマなど）の条件設定を行います。

詳細は、8. 周辺制御レジスタを参照してください。

4.2.7 汎用データ・メモリ

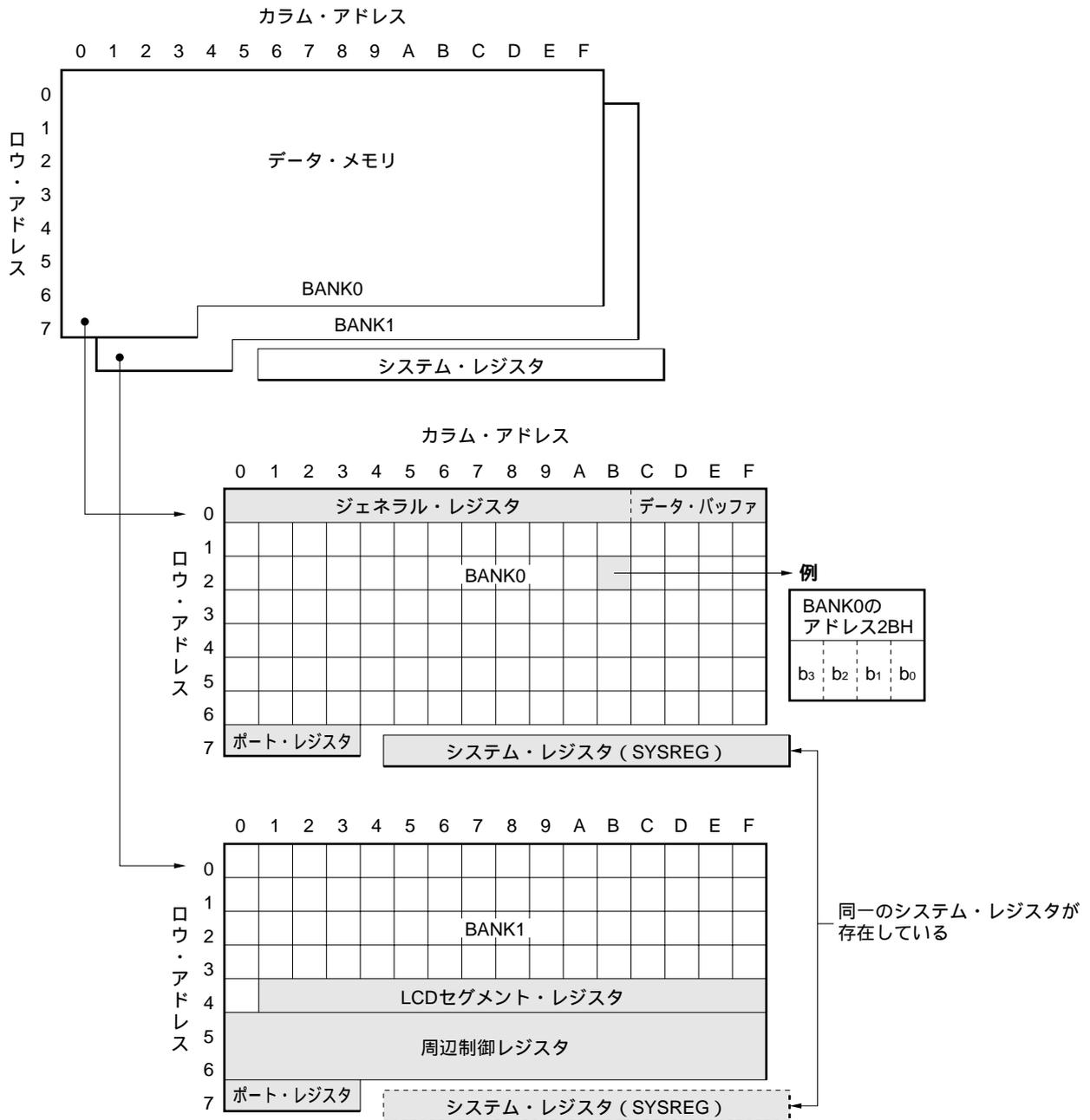
データ・メモリからシステム・レジスタ、LCDセグメント・レジスタ、ポート・レジスタ、周辺制御レジスタを除いた部分に割り当てられています。

μPD17073では、BANK0の112ニブル、およびBANK1の64ニブルの計176ニブル（176×4ビット）を汎用データ・メモリとして使用できます。

4.2.8 実装されていないデータ・メモリ

これらのデータ・メモリに関しては、4.4.2 実装されていないデータ・メモリに対する注意、8.2 周辺制御レジスタの構成と機能、表10-1 各ポート（端子）とポート・レジスタの関係を参照してください。

図4-2 データ・メモリの構成



注意 BANK1の40H番地, 50H番地のビット3, および73H番地はテスト・モード用領域になっていますので, これらの領域には“1”を書き込まないでください。

表4 - 1 データ・メモリ操作命令一覧

機 能		命 令
演算	加算	ADD ADDC
	減算	SUB SUBC
	論理	AND OR XOR
比較		SKE SKGE SKLT SKNE
転送		MOV LD ST
判断		SKT SKF

4.3 データ・メモリのアドレッシング

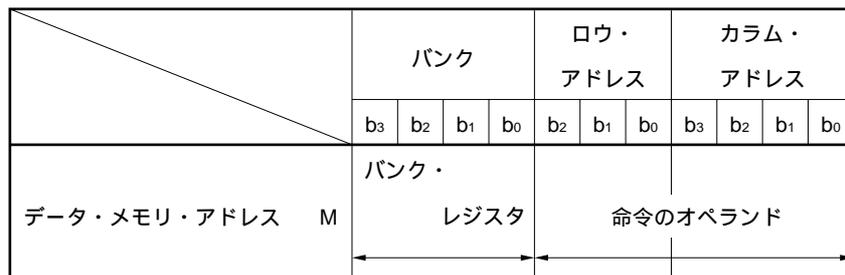
図4 - 3に、データ・メモリのアドレス指定を示します。

データ・メモリのアドレスは、バンク、ロウ・アドレスおよびカラム・アドレスで指定します。

ロウ・アドレスおよびカラム・アドレスはデータ・メモリ操作命令で直接指定しますが、バンクは、バンク・レジスタの内容で指定します。

バンク・レジスタについては、5. システム・レジスタ (SYSREG) を参照してください。

図4 - 3 データ・メモリのアドレス指定



4.4 データ・メモリ使用時の注意

4.4.1 パワーオン・リセット時

パワーオン・リセット時は、汎用データ・メモリの内容は“不定”です。
必要に応じて、イニシャライズしてください。

4.4.2 実装されていないデータ・メモリに対する注意

実装されていないデータ・メモリのアドレスに対してデータ・メモリ操作命令を実行すると、以下に示す動作を行います。

(1) デバイス動作

読み込み命令を行うと“0”が読み込まれます。

書き込み命令を行っても何も変化しません。

ただし、BANK1の40H番地，50H番地のビット3，73H番地はテスト・モード用領域になっていますので、これらの領域には“1”を書き込まないでください。

(2) アセンブラ動作

通常にアセンブルされます。

“エラー”は発生しません。

(3) インサーキット・エミュレータ動作

読み込み命令を行うと“0”が読み込まれます。

書き込み命令を行っても何も変化しません。

“エラー”は発生しません。

5 . システム・レジスタ (SYSREG)

5.1 システム・レジスタ概要

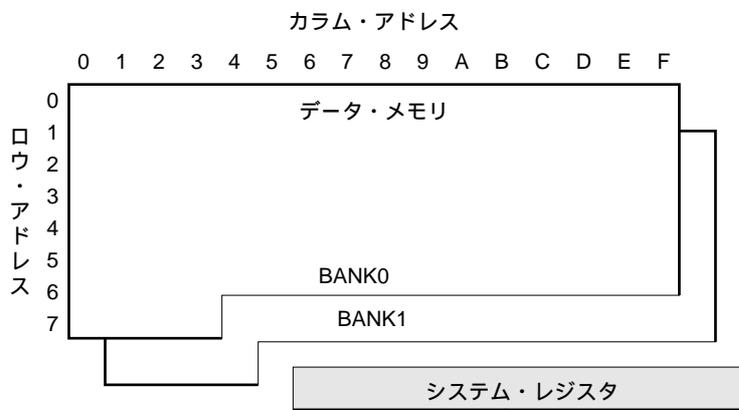
図5 - 1 に、システム・レジスタのデータ・メモリ上の配置と概略を示します。

図5 - 1 に示すように、システム・レジスタは、データ・メモリ・アドレスの74H-7FH番地にバンクとは無関係に配置されています。つまり、どのバンクであっても、74H-7FH番地には同一のシステム・レジスタが存在しています。

システム・レジスタは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作することができます。

μPD17073では、74H-7FH番地のうち、システム・レジスタとして、アドレス・レジスタ (AR : 74H-77H) , バンク・レジスタ (BANK : 79H) , プログラム・ステータス・ワード (PSWORD : 7EH, 7FH) のみ操作可能です。

図5 - 1 システム・レジスタのデータ・メモリ上の配置と概略



アドレス	74H	75H	76H	77H	78H	79H
名称	アドレス・レジスタ (AR)				← 0 固定 →	バンク・レジスタ (BANK)
概略	プログラム・メモリ・アドレスの制御					データ・メモリのバンク指定

アドレス	7AH	7BH	7CH	7DH	7EH	7FH
名称	← 0 固定 →				プログラム・ステータス・ワード (PSWORD)	
概略					演算制御	

5.2 アドレス・レジスタ (AR)

5.2.1 アドレス・レジスタの構成

図5 - 2 にアドレス・レジスタの構成を示します。

図5 - 2 に示すようにアドレス・レジスタはシステム・レジスタの74H-77H (AR3-AR0) の16ビットで構成されています。ただし上位4ビットは常に“0”に固定されているため実際には12ビットのレジスタとして動作します。

図5 - 2 アドレス・レジスタの構成

アドレス		74H				75H				76H				77H			
名 称		アドレス・レジスタ (AR)															
記 号		AR3				AR2				AR1				AR0			
ビ ッ ト		b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
デ ー タ		0	0	0	0	M S B											L S B
リ セ ッ ト 時	パワーオン	0				0				0				0			
	クロック・ストップ	0				0				0				0			
	CE	0				0				0				0			

備考 パワーオン : パワーオン・リセット時
 クロック・ストップ : クロック・ストップ命令実行時
 CE : CEリセット時

5.2.2 アドレス・レジスタの機能

アドレス・レジスタは、テーブル参照命令（“MOV_T DBF, @AR”）、スタック操作命令（“PUSH AR”、“POP AR”）、間接分岐命令（“BR @AR”）および間接サブルーチン・コール命令（“CALL @AR”）実行時に、プログラム・メモリ・アドレスの指定を行います。

アドレス・レジスタには、“1”ずつインクリメントできる専用命令（“INC AR”）が用意されています。
以下の（1）-（5）に、各命令を実行したときの動作を説明します。

（1）テーブル参照命令（“MOV_T DBF, @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスの定数データ（16ビット）を、データ・バッファに読み出します。

アドレス・レジスタで指定できる定数データの格納番号は、0000H-0FFFH番地です。

（2）スタック操作命令（“PUSH AR”、“POP AR”）

“PUSH AR”命令を実行したときは、スタック・ポインタを-1し、-1されたスタック・ポインタで指定されるアドレス・スタック・レジスタに、アドレス・レジスタ（AR）の内容を格納します。

“POP AR”命令を実行したときは、スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をアドレス・レジスタに転送して、スタック・ポインタを+1します。

（3）間接分岐命令（“BR @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスへ分岐します。

アドレス・レジスタで指定できる分岐アドレスは、0000H-0FFFH番地です。

（4）間接サブルーチン・コール命令（“CALL @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスのサブルーチンを、コールできます。

アドレス・レジスタで指定できるサブルーチンの先頭アドレスは、0000H-0FFFH番地です。

（5）アドレス・レジスタ・インクリメント命令（“INC AR”）

アドレス・レジスタの内容を、“1”ずつインクリメントします。

アドレス・レジスタは、12ビットで構成されていますので、アドレス・レジスタの内容が“0FFFH”のときに“INC AR”命令を実行すると、“0000H”になります。

5.2.3 アドレス・レジスタとデータ・バッファ

アドレス・レジスタは、周辺ハードウェアの一部として、データ・バッファを介してのデータ転送ができます。

詳細は、9.データ・バッファ（DBF）を参照してください。

5.3 バンク・レジスタ (BANK)

5.3.1 バンク・レジスタの構成

図5-3にバンク・レジスタの構成を示します。

図5-3に示すように、バンク・レジスタはシステム・レジスタの79H (BANK) の4ビットで構成されています。ただし、上位3ビットは常に“0”に固定されていますので、実際には1ビットのレジスタとして動作します。

図5-3 バンク・レジスタの構成

アドレス	79H			
名称	バンク・レジスタ (BANK)			
記号	BANK			
ビット	b ₃	b ₂	b ₁	b ₀
データ	0	0	0	←
リセット時	パワーオン	0		
	クロック・ストップ	0		
	CE	0		

5.3.2 バンク・レジスタの機能

バンク・レジスタは、データ・メモリのバンクを指定します。

表5-1に、バンク・レジスタの値とデータ・メモリのバンク指定を示します。

バンク・レジスタはシステム・レジスタ上に存在しているため、現在指定されているバンクに関係なく書き換えることができます。

つまり、バンク・レジスタを操作する場合は、そのときのバンクの状態は関係ありません。

表5-1 データ・メモリのバンク指定

バンク・レジスタ (BANK)				データ・メモリの バンク
b ₃	b ₂	b ₁	b ₀	
0	0	0	0	BANK0
0	0	0	1	BANK1

5.4 プログラム・ステータス・ワード (PSWORD)

5.4.1 プログラム・ステータス・ワードの構成

図5 - 4 にプログラム・ステータス・ワードの構成を示します。

図5 - 4 に示すように、プログラム・ステータス・ワードはシステム・レジスタの7EH番地 (RPL) の最下位ビットと、7FH番地 (PSW) の4ビットの計5ビットで構成されています。ただし、7FHのビット0は常に“0”に固定されています。

プログラム・ステータス・ワードはさらに1ビットずつ機能が分かれており、それぞれBCDフラグ (BCD)、コンペア・フラグ (CMP)、キャリー・フラグ (CY) およびゼロ・フラグ (Z) から構成されています。

図5 - 4 プログラム・ステータス・ワードの構成

アドレス		7EH				7FH			
名 称		(RP)				プログラム・ステータス・ワード (PSWORD)			
記 号		RPL				PSW			
ビ ッ ト		b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
デ ー タ					B C D	C M P	C Y	Z	0
リ セ ッ ト 時	パワーオン	0				0			
	クロック・ストップ	0				0			
	CE	0				0			

5.4.2 プログラム・ステータス・ワードの機能

プログラム・ステータス・ワードはALU (Arithmetic Logic Unit) での演算および転送命令の条件を設定したり演算結果の状態を示すためのレジスタです。

表 5 - 2 にプログラム・ステータス・ワードの各フラグの機能概略を示します。

詳しい動作については、7. ALU (Arithmetic Logic Unit) ブロックを参照してください。

表 5 - 2 プログラム・ステータス・ワードの各フラグの機能概略

(RP)		プログラム・ステータス・ワード (PSWORD)							
RPL				PSW					
b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀		
			B	C	C	Z			
			C	M	Y			0	
			D	P					

フラグ名称	機 能
ゼロ・フラグ (Z)	算術演算の結果が 0 であることを示すフラグです。 コンペア・フラグの内容により 0 と 1 の状態が異なるため注意が必要です。
キャリー・フラグ (CY)	加算命令および減算命令実行後のキャリーまたはボローの発生を示すフラグです。 キャリー / ボローなしでリセット (0) される キャリー / ボローありでセット (1) される また、" RORC r " 命令のシフト・ビットに使用されます。
コンペア・フラグ (CMP)	算術演算の結果をデータ・メモリもしくはジェネラル・レジスタへ格納しないためのフラグです。 0 : 結果が格納される 1 : 結果が格納されない
BCDフラグ (BCD)	算術演算を10進で行うためのフラグです。 0 : 2進演算をする 1 : 10進演算をする

5.4.3 プログラム・ステータス・ワード使用時の注意

プログラム・ステータス・ワードに対して算術演算 (加算および減算) 命令を行うと、算術演算の " 結果 " が格納されます。

たとえば、キャリーが発生するような演算を実行しても、算術演算の結果が0000BであればPSWには0000Bが格納されます。

5.5 システム・レジスタ使用時の注意

システム・レジスタの中であらかじめ " 0 " に固定されているデータは、書き込み命令を行っても、何も影響を受けません。

また、読み込み命令を行ったときは常に " 0 " が読み込まれます。

6. ジェネラル・レジスタ (GR)

6.1 ジェネラル・レジスタ概要

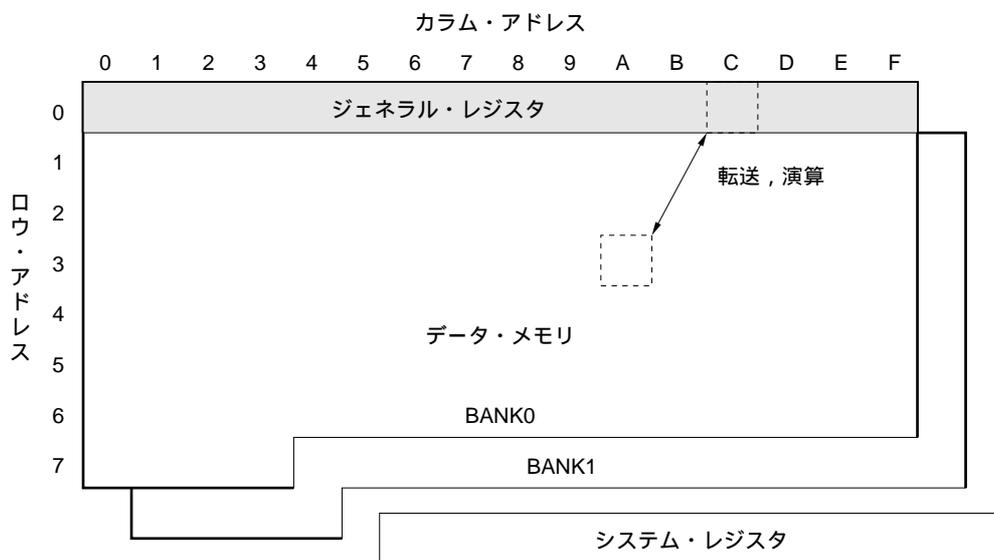
μPD17073では、ジェネラル・レジスタはデータ・メモリ上のBANK0のロウ・アドレス0に固定されており、00H-0FHの16ニブル(16×4ビット)で構成されます。

ジェネラル・レジスタに指定されているロウ・アドレス0の16ニブルは、データ・メモリとの間で演算や転送を1命令で行います。

すなわち、1命令でデータ・メモリ同士の演算や転送が可能になります。

ジェネラル・レジスタは、ほかのデータ・メモリと同様に、データ・メモリ操作命令で制御することができます。

図6 - 1 ジェネラル・レジスタの概略



6.2 各命令におけるジェネラル・レジスタのアドレス生成

6.2.1 および 6.2.2 に各命令実行時のジェネラル・レジスタのアドレス生成を示します。

各命令の動作についての詳細は、7. ALU (Arithmetic Logic Unit) ブロックを参照してください。

- 6.2.1 加算 (“ADD r, m”, “ADDC r, m”),
- 減算 (“SUB r, m”, “SUBC r, m”),
- 論理演算 (“AND r, m”, “OR r, m”, “XOR r, m”),
- 直接転送 (“LD r, m”, “ST m, r”),
- 回転処理 (“RORC r”) 命令

表 6 - 1 に、命令のオペランド “r” で指定されるジェネラル・レジスタ “R” のアドレスを示します。命令のオペランド “r” は、カラム・アドレスのみを指定します。

表 6 - 1 ジェネラル・レジスタのアドレス生成

		バンク				ロウ・アドレス			カラム・アドレス			
		b ₃	b ₂	b ₁	b ₀	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
ジェネラル・レジスタ・アドレス	R	“0” 固定				“0” 固定			r			

6.2.2 間接転送 (“MOV @r, m”, “MOV m, @r”) 命令

表 6 - 2 に、命令のオペランド “r” で指定されるジェネラル・レジスタ “R” のアドレスおよび “@R” で指定される間接転送アドレスを示します。

表 6 - 2 ジェネラル・レジスタのアドレス生成

		バンク				ロウ・アドレス			カラム・アドレス			
		b ₃	b ₂	b ₁	b ₀	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
ジェネラル・レジスタ・アドレス	R	“0” 固定				“0” 固定			r			
間接転送アドレス	@R	“0” 固定				“0” 固定			Rの内容			

6.3 ジェネラル・レジスタ使用時の注意

ジェネラル・レジスタとイミューディエト・データとの演算命令はありません。

ジェネラル・レジスタとイミューディエト・データとの演算命令を行うためには、ジェネラル・レジスタではなく、データ・メモリとして扱う必要があります。

7 . ALU (Arithmetic Logic Unit) ブロック

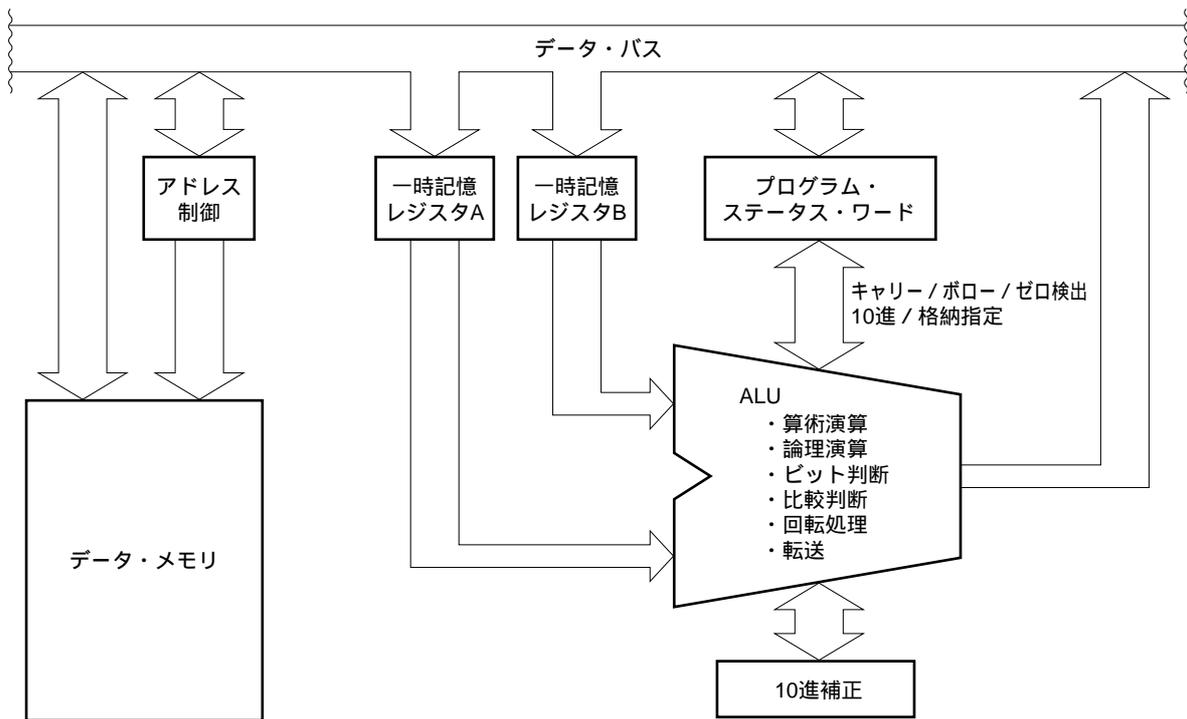
7.1 ALUブロック概要

図7 - 1 に、ALUブロックの概略を示します。

図7 - 1 に示すように、ALUブロックは、ALU本体、一時記憶レジスタA, B, プログラム・ステータス・ワード, 10進補正回路およびデータ・メモリ・アドレス制御回路から構成されています。

ALUは、データ・メモリ上の4ビット・データの演算, 判断, 比較, 回転および転送を行います。

図7 - 1 ALUブロックの概略



7.2 各ブロックの構成と機能

7.2.1 ALU本体

ALU本体は、プログラムにより指定された命令により、4ビットの算術演算、論理演算、ビット判断、比較判断、回転処理および転送を行います。

7.2.2 一時記憶レジスタAおよびB

一時記憶レジスタAおよびBは、4ビットのデータを一時的に蓄えておくレジスタです。

このレジスタは、命令実行時に自動的に使用され、プログラムで制御することはできません。

7.2.3 プログラム・ステータス・ワード

プログラム・ステータス・ワードは、ALUの動作制御、および状態を格納します。

プログラム・ステータス・ワードについては、5.4 プログラム・ステータス・ワード (PSWORD) を参照してください。

7.2.4 10進補正回路

算術演算時に、プログラム・ステータス・ワードのBCDフラグが“1”にセットされていると、10進補正回路により算術演算結果を10進数に変換します。

7.2.5 アドレス制御回路

アドレス制御回路は、データ・メモリのアドレスを指定します。

7.3 ALU処理命令一覧

表7-1に、各命令実行時のALU動作一覧を示します。

表7-2に、10進演算時の10進補正データを示します。

表7 - 1 ALU処理命令動作一覧

ALU機能	命 令		プログラム・ステータス・ワード (PSWORD) による動作の違い				
			BCDフ ラグの値	CMPフラ グの値	演算動作	CYフラグの動作	Zフラグの動作
加 算	ADD	r, m	0	0	2進演算 結果を格納する	キャリーまたはボ ローでセット 発生しなければリ セット	演算の結果0000Bでセット 0000B以外はリセット
		m, #n4					
	ADDC	r, m	0	1	2進演算 結果を格納しない		演算の結果0000Bで状態保持 0000B以外はリセット
		m, #n4					
減 算	SUB	r, m	1	0	10進演算 結果を格納する	演算の結果0000Bでセット 0000B以外はリセット 演算の結果0000Bで状態保持 0000B以外はリセット	
		m, #n4					
	SUBC	r, m	1	1	10進演算 結果を格納しない		
		m, #n4					
論 理 演 算	OR	r, m	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持
		m, #n4					
	AND	r, m					
		m, #n4					
	XOR	r, m					
		m, #n4					
判 断	SKT	m, #n	任意 (保持)	任意 (リセット)	変わらない	以前の状態を保持	以前の状態を保持
	SKF	m, #n					
比 較	SKE	m, #n4	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持
	SKNE	m, #n4					
	SKGE	m, #n4					
	SKLT	m, #n4					
転 送	LD	r, m	任意 (保持)	任意 (保持)	変わらない	以前の状態を保持	以前の状態を保持
	ST	m, r					
	MOV	m, #n4					
		@r, m m, @r					
回 転	RORC	r	任意 (保持)	任意 (保持)	変わらない	ジェネラル・レジ スタのb ₀ の値	以前の状態を保持

表 7 - 2 10進補正データ

演算結果	16進加算		10進加算	
	CY	演算結果	CY	演算結果
0	0	0000B	0	0000B
1	0	0001B	0	0001B
2	0	0010B	0	0010B
3	0	0011B	0	0011B
4	0	0100B	0	0100B
5	0	0101B	0	0101B
6	0	0110B	0	0110B
7	0	0111B	0	0111B
8	0	1000B	0	1000B
9	0	1001B	0	1001B
10	0	1010B	1	0000B
11	0	1011B	1	0001B
12	0	1100B	1	0010B
13	0	1101B	1	0011B
14	0	1110B	1	0100B
15	0	1111B	1	0101B
16	1	0000B	1	0110B
17	1	0001B	1	0111B
18	1	0010B	1	1000B
19	1	0011B	1	1001B
20	1	0100B	1	1110B
21	1	0101B	1	1111B
22	1	0110B	1	1100B
23	1	0111B	1	1101B
24	1	1000B	1	1110B
25	1	1001B	1	1111B
26	1	1010B	1	1100B
27	1	1011B	1	1101B
28	1	1100B	1	1010B
29	1	1101B	1	1011B
30	1	1110B	1	1100B
31	1	1111B	1	1101B

演算結果	16進減算		10進減算	
	CY	演算結果	CY	演算結果
0	0	0000B	0	0000B
1	0	0001B	0	0001B
2	0	0010B	0	0010B
3	0	0011B	0	0011B
4	0	0100B	0	0100B
5	0	0101B	0	0101B
6	0	0110B	0	0110B
7	0	0111B	0	0111B
8	0	1000B	0	1000B
9	0	1001B	0	1001B
10	0	1010B	1	1100B
11	0	1011B	1	1101B
12	0	1100B	1	1110B
13	0	1101B	1	1111B
14	0	1110B	1	1100B
15	0	1111B	1	1101B
- 16	1	0000B	1	1110B
- 15	1	0001B	1	1111B
- 14	1	0010B	1	1100B
- 13	1	0011B	1	1101B
- 12	1	0100B	1	1110B
- 11	1	0101B	1	1111B
- 10	1	0110B	1	0000B
- 9	1	0111B	1	0001B
- 8	1	1000B	1	0010B
- 7	1	1001B	1	0011B
- 6	1	1010B	1	0100B
- 5	1	1011B	1	0101B
- 4	1	1100B	1	0110B
- 3	1	1101B	1	0111B
- 2	1	1110B	1	1000B
- 1	1	1111B	1	1001B

備考 の部分は、10進補正が正しく行われません。

7.4 ALU使用時の注意

7.4.1 プログラム・ステータス・ワードへの演算使用時の注意

プログラム・ステータス・ワードに対して算術演算を行うと、プログラム・ステータス・ワードには算術演算の結果が格納されます。

プログラム・ステータス・ワードの中のCYフラグおよびZフラグは、通常、算術演算の結果によりセットまたはリセットされますが、プログラム・ステータス・ワード自身に算術演算が行われると、算術演算結果が格納されてしまい、キャリー、ポロ、およびゼロの判定ができません。

ただし、CMPフラグがセットされているときは、算術演算の結果が格納されないため、CYフラグおよびZフラグは通常通りセット（1）またはクリア（0）されます。

7.4.2 10進演算使用時の注意

10進演算は、演算結果が次の範囲になる場合にかぎり実行できます。

- （1）加算の結果が、10進で0～19であること
- （2）減算の結果が、10進で0～9または-10～-1であること

この範囲以外で10進演算を行うと、CYフラグがセットされ、演算結果は1010B（0AH）以上の値になります。

8 . 周辺制御レジスタ

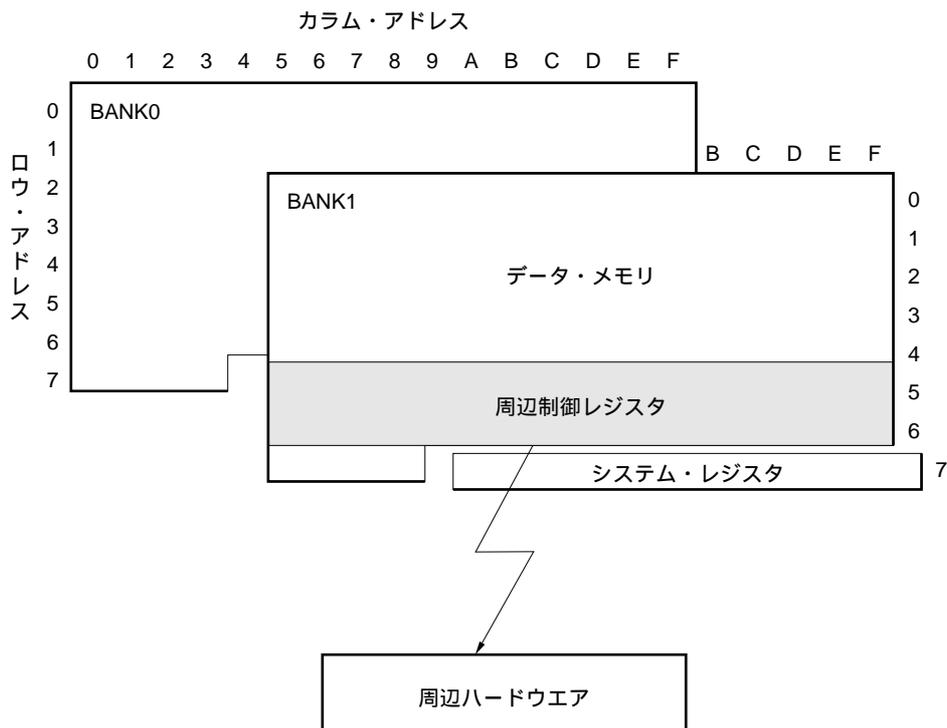
8.1 周辺制御レジスタ概要

図 8 - 1 に、周辺制御レジスタの概略を示します。

周辺制御レジスタは、PLL周波数シンセサイザ、シリアル・インタフェース、中間周波数（IF）カウンタなどの周辺ハードウェアを制御するための32×4ビット・レジスタです。

周辺制御レジスタはデータ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作できます。

図 8 - 1 周辺制御レジスタの概略



8.2 周辺制御レジスタの構成と機能

図8 - 2 に周辺制御レジスタの構成を示します。

表8 - 1 に、周辺制御レジスタの周辺ハードウェア制御機能の一覧を示します。

図8 - 2 に示すように、周辺制御レジスタは、データ・メモリのBANK1のアドレス50H-6FH番地の計32ニブル（32 × 4ビット）から構成されています。

周辺制御レジスタの中の各レジスタは、1ニブルずつ属性を持っており、それぞれ読み込み書き込み可能（R/W）、読み込み専用（R）、書き込み専用（W）、および読み込んだときリセットされる（R&Reset）の4種類があります。

読み込み専用（RおよびR&Reset）レジスタに書き込みを行っても何も変化しません。

書き込み専用（W）レジスタを読み込むと、“不定”の値が読み込まれます。

また、1ニブルの中の4ビット・データのうち、“0”に固定されているビットは、読み込んだときは常に“0”となり、書き込みを行っても“0”を保持します。

注意 BANK1の50Hのビット3（LCDドライバ表示開始レジスタのビット3）は、テスト・モード用領域に割り当てられています。そのため、このビットには“1”を書き込まないでください。

(× ㇿ)

図 8 - 2 周辺制御レジスタの構成 (1/2)

(BANK1)									
カラム・アドレス ロウ・ アド レス 項目		0	1	2	3	4	5	6	7
5	名 称	LDCドライバ 表示開始 レジスタ	ベ-ジック・タイマ0 キャリ- レジスタ	CE端子 状態検出 レジスタ	ポート1A ブルダウン抵抗 切り替えレジスタ	スタック・ ポインタ	システム・ クロック 選択レジスタ	割り込みエッジ 選択レジスタ	割り込み許可 レジスタ
	記 号	注 0 0 0 0 A D C O N L C D E N	0 0 0 0 B T M 0 C Y	0 0 0 0 C E	P 1 P 1 P 1 P 1 A A A A P P P P L L L L D D D D 3 2 1 0	0 0 S P 1 S P 0	0 0 0 0 S Y S C K	0 I N T B T M 1 C K I E G	0 0 0 1 I P S I P I O M 1 I P
	Read/ Write	R/W	R&Reset	R	R/W	R/W	R/W	R/W	R/W
6	名 称	シリアルI/O モード選択 レジスタ	シリアルI/O クロック選択 レジスタ	IFカウンタ・ モード選択 レジスタ	IFカウンタ・ ゲ-ト状態検出 レジスタ	IFカウンタ・ コントロール・ レジスタ	PLL モード選択 レジスタ	PLL 基準周波数 選択レジスタ	PLL データ・ レジスタ
	記 号	0 0 0 0 S I O S I O S I O S E H I Z L I S	0 0 0 0 S I O S I O C K C K 1 1 0 0	I F C M I F C M I F C M I F C M D 1 0 D 1 0 D 1 0 D 1 0	0 0 0 0 I F C G	0 0 0 0 I F C R I F C R T S T S	0 0 0 1 P L L M P L L M D 1 D 0	0 P L L P L L P L L L L L L L L R R R R R R F C F C F C K 2 K 1 K 0	1 1 1 1 P L L P L L P L L P L L L L L L L L L L R R R R R R R R 1 7 6 5 4
	Read/ Write	R/W	R/W	R/W	R	W	R/W	R/W	R/W

注 テスト・モード用領域です。“1”を書き込まないでください。

図8 - 2 周辺制御レジスタの構成 (2/2)

8				9				A				B				C				D				E				F																							
INT端子 割り込み要求 レジスタ				ベーシック・タイマ1 割り込み要求 レジスタ				シリアル・インタフェース 割り込み要求 レジスタ				BEEP クロック選択 レジスタ				A/Dコンバータ・ チャンネル選択 レジスタ				A/Dコンバータ 基準電圧設定 レジスタ				A/Dコンバータ 比較開始 レジスタ				A/Dコンバータ 比較結果検出 レジスタ																							
0	0	0	IRQ	0	0	0	IRQBTM1	0	0	0	IRQSTIO	0	0	0	BEEP0CK1	0	0	0	BEEP0CK0	0	0	0	ADCH10	0	0	0	ADCH0	0	0	0	ADCFSEL3	0	0	0	ADCFSEL2	0	0	0	ADCFSEL1	0	0	0	ADCFSEL0	0	0	0	ADCSRT	0	0	0	ADCCMP
R/W				R/W				R/W				R/W				R/W				R/W				R																											
PLLデータ・レジスタ												PLLデータ・ セット・ レジスタ				PLL アンロックFF レジスタ				ポート0B ビットI/O 選択レジスタ				ポート0C ビットI/O 選択レジスタ																											
P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P												
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L												
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R												
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1								
3	2	1	0	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	3	2	1	0	3	2	1	0	3	2	1	0	3	2	1	0								
R/W												W				R&Reset				R/W				R/W																											

表 8 - 1 周辺制御レジスタの周辺ハードウェア制御機能一覧 (1/4)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能			リセット時		
	名称	番地	Read/Write	b3 b2 b1 b0 記号	機能概略	設定値		パワ ワ オン	ク ロ ック ・ ス ト ッ プ	C E
						0	1			
スタック	スタック・ポインタ (SP)	(BANK1) 54H	R/W	0	0 固定			2	2	2
				SP1 SP0						
タイマ	ベーシック・タイマ0 キャリア・レジスタ	(BANK1) 51H	R&	0	0 固定			0	1	1
			Reset	0						
				BTM0CY						
割り込み	割り込みエッジ 選択レジスタ	(BANK1) 56H	R/W	0	0 固定			0	0	0
				INT	INT端子の状態を検出	ロウ・レベル	ハイ・レベル			
				BTM1CK	IRQBTM1フラグのセット時間間隔を設定	32 ms(31.25 Hz)	8 ms(125 Hz)			
				IEG	INT端子の割り込み発行エッジを設定	立ち上がりエッジ	立ち下がりエッジ			
	割り込み許可 レジスタ	(BANK1) 57H	R/W	0	0 固定			0	0	0
				IPSIO	シリアル・インタフェース	割り込み許可を設定	割り込み禁止	割り込み許可		
				IPBTM1	ベーシック・タイマ1					
	IP	INT端子								
	INT端子 割り込み要求 レジスタ	(BANK1) 58H	R/W	0	0 固定			0	0	0
				IRQ						
ベーシック・タイマ1 割り込み要求 レジスタ	(BANK1) 59H	R/W	0	0 固定			0	0	0	
			IRQBTM1							ベーシック・タイマ1の割り込み要求を検出
シリアル・インタ フェース 割り込み要求 レジスタ	(BANK1) 5AH	R/W	0	0 固定			0	0	0	
			IRQSIO							シリアル・インタフェースの割り込み要求を検出
端子	CE端子 状態検出 レジスタ	(BANK1) 52H	R	0	0 固定			-	-	-
				CE						
ポート1A ブルダウン抵抗 切り替え レジスタ	(BANK1) 53H	R/W	P1APLD3	P1A3	端子のブルダウン抵抗切り替え		抵抗オフ	0	保	保
			P1APLD2	P1A2						
			P1APLD1	P1A1						
			P1APLD0	P1A0						

備考 - : 端子の状態により決定 保: 以前の状態を保持

表 8 - 1 周辺制御レジスタの周辺ハードウェア制御機能一覧 (2/4)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能				リセット時					
	名称	番地	Read/Write	b3 b2 b1 b0 記号	機能概略	設定値		パワ ー オン	ク ロ ック ・ ス ト ッ プ	C E				
						0	1							
PLL周波数シンセサイザ	PLL モード選択 レジスタ	(BANK1) 65H	R/W	0 ----- 0	0固定			0	0	保				
				PLLMD1 ----- PLLMD0	PLLの分周方式を設定	0 0 1 1 ディズ-ブル MF VHF HF 0 1 0 1								
	PLL 基準周波数 選択レジスタ	(BANK1) 66H	R/W	0 ----- ----- ----- -----	0固定			0	0	保				
				PLLRFCK2 ----- PLLRFCK1 ----- PLLRFCK0	PLLの基準周波数を設定	0:1 kHz 1:3 kHz 2:5 kHz 3:6.25 kHz 4:12.5 kHz 5:25 kHz 6,7:PLLディズ-ブル								
	PLL データ・レジスタ	(BANK1) 67H	R/W	PLLR17 ----- PLLR16 ----- PLLR15 ----- PLLR14	PLLの分周比を設定	直接分周方式時 PLLR6-PLLR17が有効データ PLLR1-PLLR5はdon't care 0-15(000H-00FH): 設定禁止 16-2 ¹² - 1(010H-FFFH): 設定可能 ^注	パルス・スワロ方式時 PLLR1-PLLR17が有効データ 0-1023(0000H-03FFH): 設定禁止 1024-2 ¹⁷ - 1(0400H-1FFFFH): 設定可能 ^注	不	保	保				
		(BANK1) 68H		PLLR13 ----- PLLR12 ----- PLLR11 ----- PLLR10										
		(BANK1) 69H		PLLR9 ----- PLLR8 ----- PLLR7 ----- PLLR6										
		(BANK1) 6AH		PLLR5 ----- PLLR4 ----- PLLR3 ----- PLLR2										
		(BANK1) 6BH	PLLR1 ----- 0 ----- 0 ----- 0	0固定										
PLL データ・セット・ レジスタ	(BANK1) 6CH	W	0 ----- 0 ----- 0 ----- PLLPUT	0固定	プログラマブル・カウンタへのデータ転送	転送しない	転送する	0	0	0				
PLL アンロックFF レジスタ	(BANK1) 6DH	R& Reset	0 ----- 0 ----- 0	0固定				不	保	保				
			PLLUL	アンロックFFの状態を検出	ロック状態	アンロック状態								

注 設定値の詳細については、図15-4 PLLデータ・レジスタの構成を参照してください。

備考 不：不定 保：以前の状態を保持

表 8 - 1 周辺制御レジスタの周辺ハードウェア制御機能一覧 (3/4)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能				リセット時					
	名称	番地	Read/Write	b3 b2 b1 b0 記号	機能概略	設定値		パ ワ ー オ ン	ク ロ ッ ク ・ ス ト ッ プ	C E				
						0	1							
A/Dコンバータ	A/Dコンバータ・チャンネル選択レジスタ	(BANK1) 5CH	R/W	0 ----- 0	0 固定			0	0	0				
				ADCCH1 ----- ADCCH0	A/Dコンバータとして使用する端子を選択	0 0 1 1 使用しない AD0 AD1 AD1 0 1 0 1								
	A/Dコンバータ基準電圧設定レジスタ	(BANK1) 5DH	R/W	ADCRFSEL3 ----- ADCRFSEL2 ----- ADCRFSEL1 ----- ADCRFSEL0	比較電圧の設定	$V_{REF} = \frac{x + 0.5}{16} \times V_{DD} (V)$ (0 x 0FH)		0	0	0				
	A/Dコンバータ比較開始レジスタ	(BANK1) 5EH	R/W	0 ----- 0 ----- 0	0 固定			0	0	0				
				ADCSTRT	A/Dコンバータ動作開始 / コンパレータの動作確認	無効 / 停止中	開始 / 動作中							
A/Dコンバータ比較結果検出レジスタ	(BANK1) 5FH	R	0 ----- 0 ----- 0	0 固定			0	0	0					
			ADCCMP	比較結果を検出	V _{ADCIN} < V _{REF}	V _{ADCIN} > V _{REF}								
汎用ポート	ポート0BビットI/O選択レジスタ	(BANK1) 6EH	R/W	P0BBIO3 ----- P0BBIO2 ----- P0BBIO1 ----- P0BBIO0	P0B3端子 P0B2端子 P0B1端子 P0B0端子	入出力設定 (ビットI/O)	入力	出力	0	0	0			
	ポート0CビットI/O選択レジスタ	(BANK1) 6FH	R/W	P0DBIO3 ----- P0DBIO2 ----- P0CBIO1 ----- P0CBIO0	P0D3端子 P0D2端子 P0C1端子 P0C0端子									
シリアル・インタフェース	シリアルI/Oモード選択レジスタ	(BANK1) 60H	R/W	0 ----- SIOSEL ----- SIOHIZ ----- SIOTS	0 固定 P0B3/SI/SO1端子のシリアル入出力切り替え P1C0/SO0端子をシリアル出力として設定 動作開始, 停止を設定	シリアル入力	シリアル出力	汎用出力ポート	シリアル出力	動作停止	動作開始	0	0	0
	シリアルI/Oクロック選択レジスタ	(BANK1) 61H	R/W	0 ----- 0	0 固定			0	0	0				
				SIOCK1 ----- SIOCK0	シリアル・インタフェースのクロックを設定	0 0 1 1 外部クロック 12.5 kHz 18.75 kHz 37.5 kHz 0 1 0 1								

表 8 - 1 周辺制御レジスタの周辺ハードウェア制御機能一覧 (4/4)

周辺ハードウェア	コントロール・レジスタ				周辺ハードウェア制御機能				リセット時		
	名称	番地	Read/Write	b3 b2 b1 b0 記号	機能概略	設定値		パワ ー オン	ク ロ ッ ク ・ ス ト ッ プ	C E	
						0	1				
IF カ ウ ン タ	IFカウンタ・ モード選択 レジスタ	(BANK1) 62H	R/W	IFCMD1	IFカウンタのモードを設定	0	0 1 1	IFカウンタオフ FMIFC端子 AMIFC端子 FMIFC端子 (汎用入出力ポート) FMIFモード AMIFモード AMIFモード	0	0	0
				IFCMD0		0	1 0 1				
				IFCCK1		0	0 1 1				
				IFCCK0		1 ms 4 ms 8 ms オープン	0 1 0 1				
	IFカウンタ・ ゲート状態検出 レジスタ	(BANK1) 63H	R	0	0 固定			0	0	0	
				0							
				IFCG		IFカウンタのゲート開閉の検出	クローズ				オープン
	IFカウンタ・ コントロール・ レジスタ	(BANK1) 64H	W	0	0 固定			0	0	0	
				IFCSTRT		IFカウンタのカウント・スタートを設定	スタートしない				スタートする
IFCRES				IFカウンタをリセット		リセットしない	リセットする				
B E E P	BEEPクロック選択 レジスタ	(BANK1) 5BH	R/W	0	0 固定			0	0	保	
				0							
				BEEP0CK1 BEEP0CK0		BEEP端子の出力状態を設定	汎用出力ポート 汎用出力ポート BEEP BEEP (ローレベル出力)(ハイレベル出力)(1.5 kHz)(3 kHz)				0 1 0 1
L C D ド ラ イ バ 表 コ ン ト ロ ー ラ	LCDドライバ表 示開始レジスタ	(BANK1) 50H	R/W	0	0 固定			0	0	0	
				0							
				ADCON ^注 LCDEN		A/Dコンバータ用電源およびすべてのLCD 表示のオン/オフを設定	電源オフ 電源オン 電源オン 電源オン 表示オフ 表示オン 表示オフ 表示オン				0 1 0 1
ス タ ン バ イ	システム・クロック 選択レジスタ	(BANK1) 55H	R/W	0	0 固定			0	保	保	
				0							
				0							
				SYSCK		システム・クロックの選択(1命令実行時間)	53.3 μs				106.6 μs

注 LCDEN = 1のときは, ADCON = 0でも, A/Dコンバータ用電源はオン状態になります。

備考 保: 以前の状態を保持

9 . データ・バッファ (DBF)

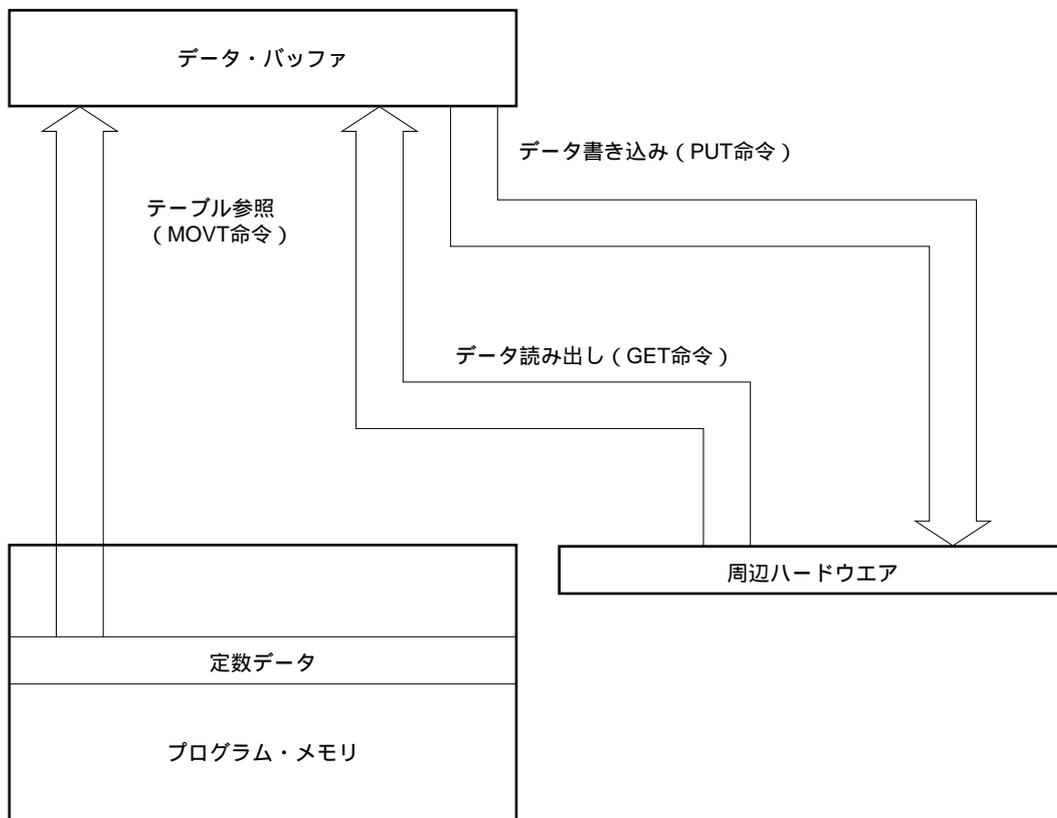
9.1 データ・バッファ概要

図9 - 1に、データ・バッファの概略を示します。

データ・バッファは、データ・メモリ上に配置されており、以下の(1)および(2)に示す2つの機能があります。

- (1) プログラム・メモリ上の定数データの読み込み (テーブル参照) 機能
- (2) 周辺ハードウェアとのデータ転送機能

図9 - 1 データ・バッファの概略



9.2 データ・バッファ本体

9.2.1 データ・バッファ本体の構成

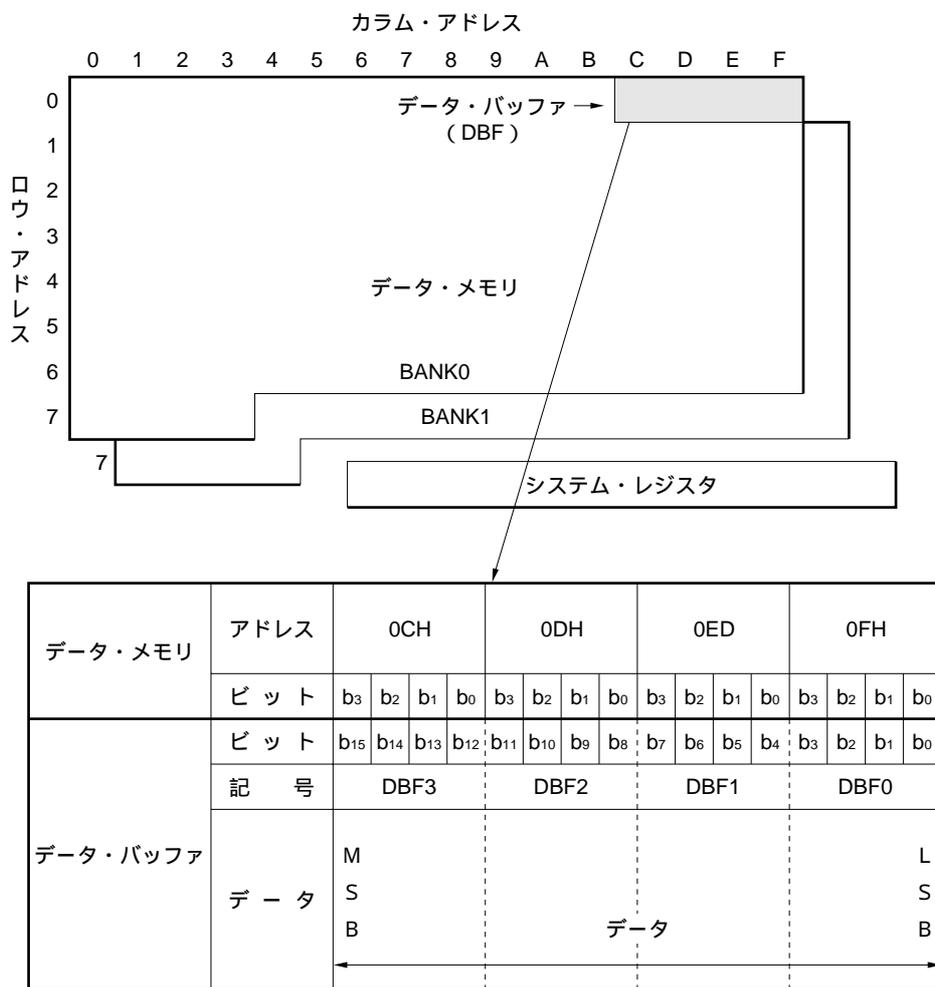
図9-2に、データ・バッファの構成を示します。

図9-2に示すように、データ・バッファは、データ・メモリ上のBANK0のアドレス0CH-0FH番地の計16ビットで構成されています。

16ビットのデータは、アドレス0CH番地のビット3をMSBとし、アドレス0FHのビット0をLSBとして構成されています。

データ・バッファは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作できます。

図9-2 データ・バッファの構成



9.2.2 テーブル参照命令 (“ MOV_T DBF, @AR ”)

アドレス・レジスタの内容によってアドレス指定されるプログラム・メモリの内容を、データ・バッファに読み込みます。

テーブル参照命令実行時は、スタックが1レベル使用されます。

テーブル参照が可能なプログラム・メモリ・アドレスは、プログラム・メモリ of 全アドレスである0000H-0FFFH番地になります。

9.2.3 周辺ハードウェア制御命令 (“ PUT ”, “ GET ”)

次に “ PUT ” および “ GET ” 命令の動作を示します。

(1) GET DBF, p

データ・バッファに、pでアドレス指定される周辺レジスタのデータを読み込む。

(2) PUT p, DBF

pでアドレス指定される周辺レジスタに、データ・バッファのデータを設定する。

9.3 周辺ハードウェアとデータ・バッファ一覧

表9 - 1 に周辺ハードウェアとデータ・バッファの機能一覧を示します。

9.4 データ・バッファ使用時の注意

データ・バッファを介して周辺ハードウェアとデータ転送を行うとき、未使用周辺アドレスや書き込み専用周辺レジスタ (PUTのみ) および読み込み専用周辺レジスタ (GETのみ) に対して、次の (1) - (3) に示す点に注意が必要です。

(1) 書き込み専用レジスタを読み込むと “ 不定な値 ” が読み込まれます。

(2) 読み込み専用レジスタに書き込みを行っても何も変化しません。

(3) 未使用アドレスを読み込むと “ 不定な値 ” が読み込まれます。また、書き込みを行っても何も変化しません。

表9 - 1 周辺ハードウェアとデータ・バッファの関係

周辺ハードウェア	データ・バッファとデータ転送を行う周辺レジスタ				機 能		
	名 称	記 号	周 辺 アドレス	PUT命令/ GET命令 の可否	データ・バッ ファ入出力 ビット数	実 用 ビット数	概 要
シリアル・ インタフェース	プリセッタブル・ シフト・レジスタ	SIOSFR	03H	PUT/ GET	8	8	シリアル・アウト・データ の設定およびシリアル・イ ン・データの読み込み
アドレス・レジスタ (AR)	アドレス・レジスタ	AR	40H	PUT/ GET	16	12	アドレス・レジスタとの データ転送
IFカウンタ	IFカウンタ・データ・ レジスタ	IFC	43H	GET	16	16	IFカウンタの計数値の読 み込み

10. 汎用ポート

汎用ポートは、外部回路へのハイ・レベル、ロウ・レベル信号の出力および外部回路のハイ・レベル、ロウ・レベル信号の読み出しを行います。

10.1 汎用ポート概要

表10 - 1 に、各ポートとポート・レジスタの関係を示します。

汎用ポートは、入出力ポート、入力ポート、出力ポートに分類されます。

また、入出力ポートは1ビット（1端子）単位で入力/出力を設定できるビットI/Oポートになっています。

表10 - 1 各ポート(端子)とポート・レジスタの関係

ポート	端 子				データ設定方法						
	番号		記号	入出力	ポート・レジスタ(データ・メモリ)				備 考		
	56ピン QFP	64ピン TQFP			バンク	アドレス	記号	ビット記号 (予約語)			
ポート0A	5	6	P0A3	出力	BANK0	70H	P0A	b ₃	P0A3		
	4	4	P0A2					b ₂	P0A2		
	3	3	P0A1					b ₁	P0A1		
	2	2	P0A0					b ₀	P0A0		
ポート0B	56	64	P0B3	入出力 (ビットI/O)		71H	P0B	b ₃	P0B3		
	55	63	P0B2					b ₂	P0B2		
	54	62	P0B1					b ₁	P0B1		
	53	61	P0B0					b ₀	P0B0		
ポート0C	対象端子なし			入出力 (ビットI/O)		72H	P0C	b ₃	-		"0" 固定
	15	17	P0C1					b ₂	-		
	14	16	P0C0					b ₁	P0C1		
ポート0D	17	19	P0D3	入出力 (ビットI/O)		73H	P0D	b ₃	P0D3		
	16	18	P0D2					b ₂	P0D2		
	対象端子なし							b ₁	-		
								b ₀	-		
ポート1A	13	15	P1A3	入力		BANK1	70H	P1A	b ₃		P1A3
	12	14	P1A2		b ₂				P1A2		
	11	13	P1A1		b ₁				P1A1		
	10	11	P1A0		b ₀				P1A0		
ポート1B	9	10	P1B3	出力	71H		P1B	b ₃	P1B3		
	8	9	P1B2					b ₂	P1B2		
	7	8	P1B1					b ₁	P1B1		
	6	7	P1B0					b ₀	P1B0		
ポート1C	対象端子なし			出力	72H	P1C	b ₃	-	"0" 固定		
	1	1	P1C0				b ₂	-			
						73H	-	b ₃	-	テスト・モード用領域 です。"1"を書き込ま ないでください。	
								b ₂	-		
								b ₁	-		
								b ₀	-		

10.2 汎用入出力ポート (P0B, P0C, P0D)

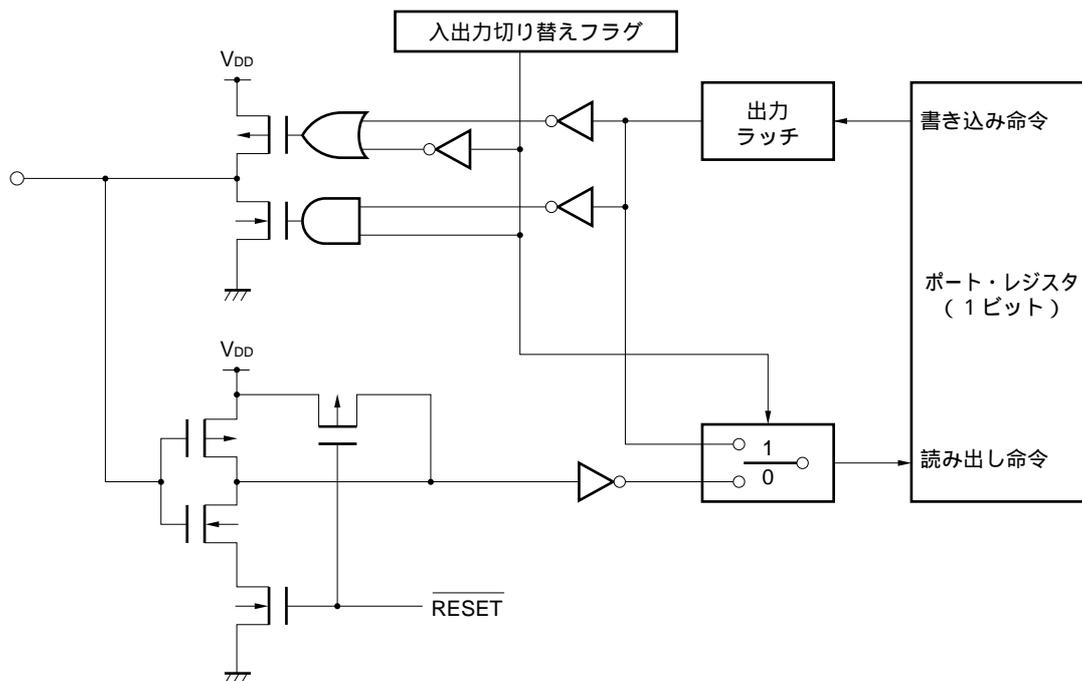
10.2.1 入出力ポートの構成

次に入出力ポートの構成を示します。

P0B (P0B3, P0B2, P0B1, P0B0)

P0C (P0C1, P0C0)

P0D (P0D3, P0D2)



10.2.2 入出力ポートの使用方法

入出力ポートは、P0B, P0Cの各I/O選択レジスタにより、入力および出力の設定を行います。

P0B, P0C, P0DはビットI/Oであるため、ビット単位 (1端子単位) で入力 / 出力を設定できます。

出力データの設定および入力データの読み出しは、それぞれ対応するポート・レジスタにデータを書き込むか、データを読み出す命令を実行することにより行います。

10.2.3に各ポートのI/O選択レジスタの構成を示します。

10.2.4に入出力ポートを入力ポートとして使用する方法を示します。

10.2.5に入出力ポートを出力ポートとして使用する方法を示します。

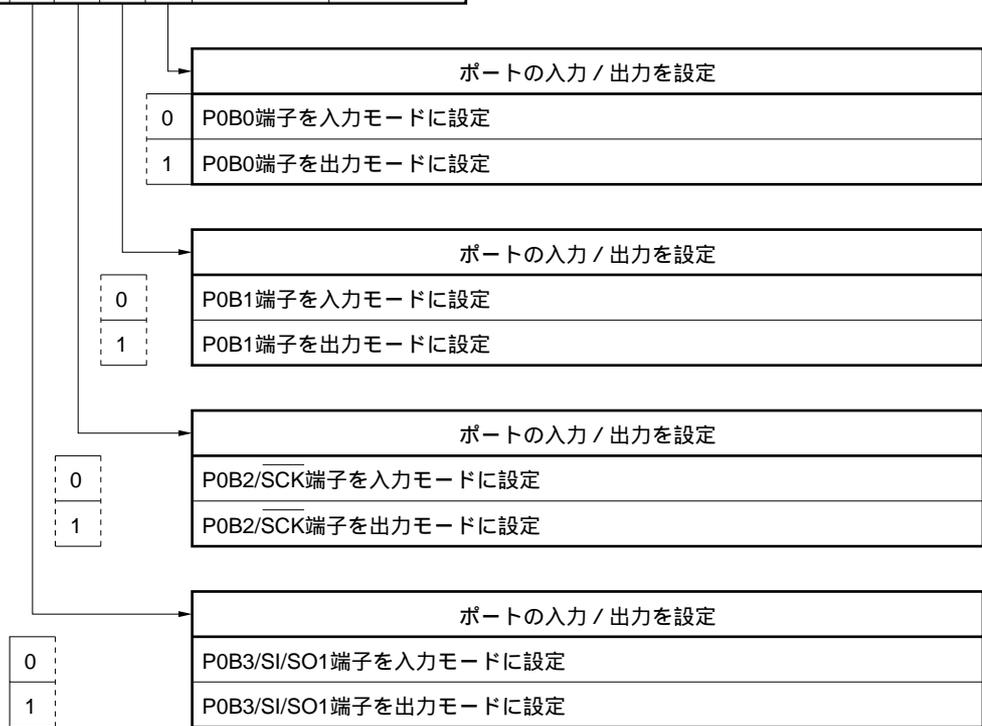
10.2.3 入出力ポートの制御レジスタ

ポート0BビットI/O選択レジスタは，P0Bの各端子の入力／出力を設定します。ポート0CビットI/O選択レジスタは，P0C, P0Dの各端子の入力／出力を設定します。

次の（１），（２）に構成と機能を示します。

（１）ポート0BビットI/O選択レジスタ

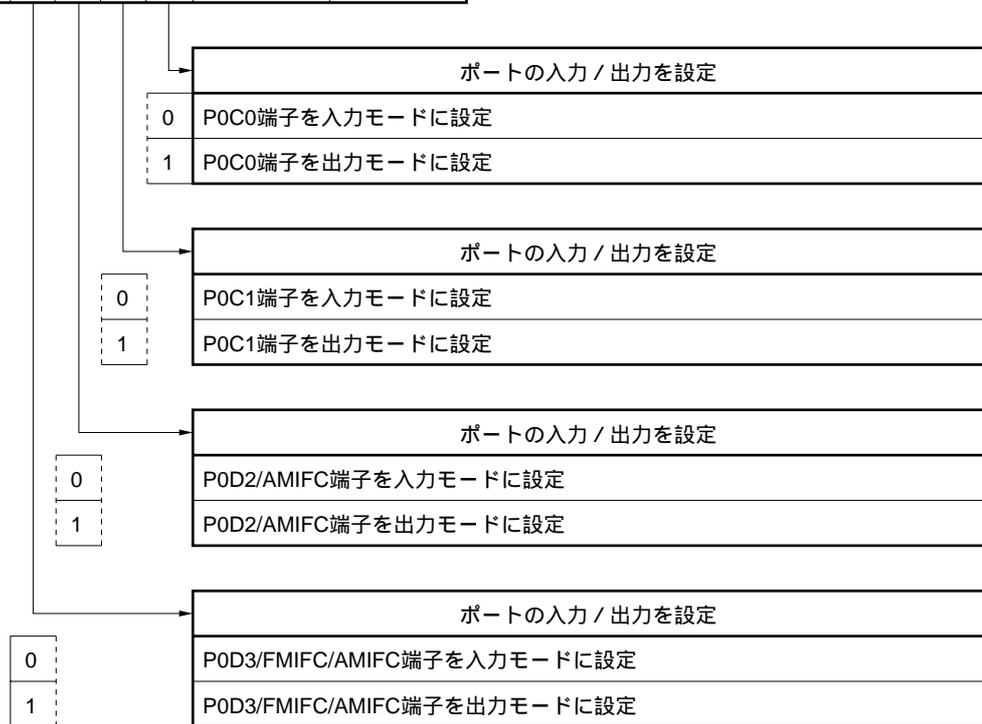
名 称	フラグ記号				アドレス	Read/ Write
	b3	b2	b1	b0		
ポート0BビットI/O 選択レジスタ	P	P	P	P	(BANK1) 6EH	R/W
	0	0	0	0		
	B	B	B	B		
	B	B	B	B		
	I	I	I	I		
	O	O	O	O		
	3	2	1	0		



リ セ ッ ト 時	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

(2) ポート0CビットI/O選択レジスタ

名 称	フラグ記号				アドレス	Read/ Write
	b ₃	b ₂	b ₁	b ₀		
ポート0CビットI/O 選択レジスタ	P	P	P	P	(BANK1) 6FH	R/W
	0	0	0	0		
	D	D	C	C		
	B	B	B	B		
	I	I	I	I		
	O	O	O	O		
	3	2	1	0		



リセット時		b ₃	b ₂	b ₁	b ₀
リセット時	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

10.2.4 入出力ポートを入力ポートとして使用する場合

各ポートのI/O選択レジスタにより、入力として使用する端子を選択します。

入力ポートに指定された端子はフローティング (Hi-Z) 状態になり、外部信号の入力待ちになります。

入力データの読み出しは、各端子に対応するポート・レジスタに対して読み出し命令 (SKT命令など) を実行することにより行えます。

ポート・レジスタは、各端子にハイ・レベルが入力されているときは“1”が読み出され、ロウ・レベルが入力されているときは“0”が読み出されます。

入力ポートに指定されているポート・レジスタに書き込み命令 (MOV命令など) を実行すると、出力ラッチの内容が書き換えられます。

10.2.5 入出力ポートを出力ポートとして使用する場合

各ポートのI/O選択レジスタにより、出力として使用する端子を選択します。

出力ポートに指定された端子は出力ラッチの内容を各端子から出力します。

出力データの設定は、各端子に対応するポート・レジスタに対して書き込み命令 (MOV命令など) を実行することにより行えます。

各端子にハイ・レベルを出力するときは“1”を書き込み、ロウ・レベルを出力するときは“0”を書き込みます。

また、入力ポートに指定することによりフローティング状態にすることができます。

出力ポートに指定されているポート・レジスタに対して読み出し命令 (SKT命令など) を実行すると、出力ラッチの内容が読み出されます。

10.2.6 入出力ポートのリセット時の状態

(1) パワーオン・リセット時

すべて入力ポートに指定されます。

出力ラッチの内容は“0”となります。

(2) CEリセット時

すべて入力ポートに指定されます。

出力ラッチの内容は保持されます。

(3) クロック・ストップ時

すべて入力ポートに指定されます。

出力ラッチの内容は保持されます。

クロック・ストップ時の $\overline{\text{RESET}}$ 信号出力により10.2.1に示したように入力バッファのノイズによる消費電流の増加を防いでいます。

(4) ホールト状態中

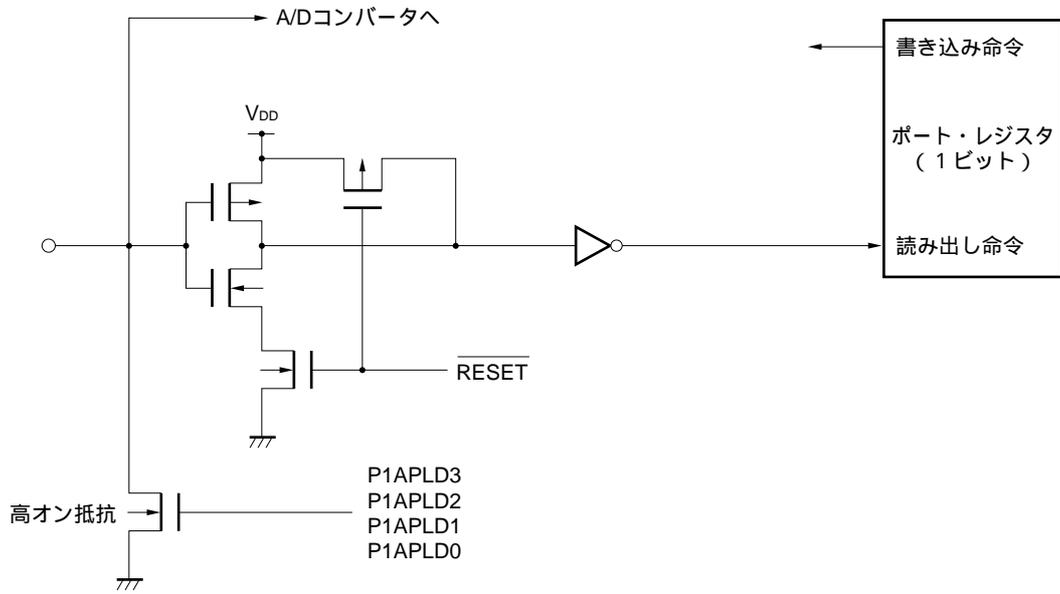
以前の状態を保持します。

10.3 汎用入力ポート (P1A)

10.3.1 入力ポートの構成

次に入力ポートの構成を示します。

P1A (P1A3, P1A2, P1A1, P1A0)



10.3.2 入力ポートの使用法

入力データの読み出しは、ポート・レジスタP1Aの内容を読み出す命令（SKT命令など）を実行することにより行えます。

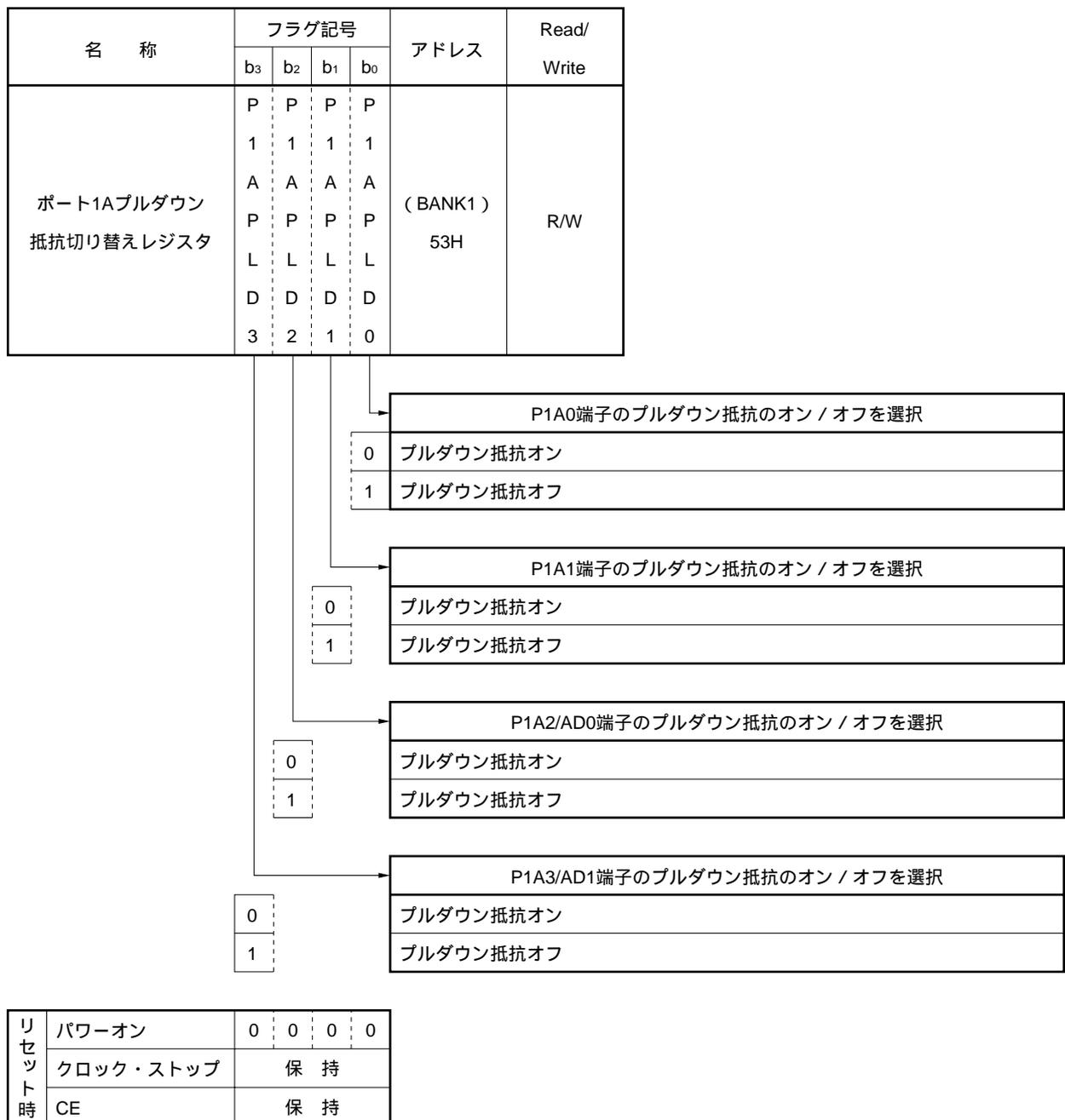
ポート・レジスタは、各端子にハイ・レベルが入力されているときは“1”が読み出され、ロウ・レベルが入力されているときは“0”が読み出されます。

ポート・レジスタに書き込み命令（MOV命令など）を実行しても何も変化しません。

また、ポート1Aは、ソフトウェアによりビット単位でプルダウン抵抗のオン/オフを設定可能です。プルダウン抵抗のオン/オフの設定は、ポート1Aプルダウン抵抗切り替えレジスタにより行います。

図10-1にポート1Aプルダウン抵抗切り替えレジスタの構成と機能を示します。

図10-1 ポート1Aプルダウン抵抗切り替えレジスタの構成



10.3.3 入力ポートのリセット時の状態

(1) パワーオン・リセット時

すべて入力ポートに指定されます。
内部でプルダウンされています。

(2) CEリセット時

すべて入力ポートに指定されます。
プルダウン抵抗の状態は、以前の状態が保持されます。

(3) クロック・ストップ時

すべて入力ポートに指定されます。
プルダウン抵抗の状態は、以前の状態が保持されます。

(4) ホールト状態中

以前の状態を保持します。

10.4 汎用出力ポート (P0A, P1B, P1C)

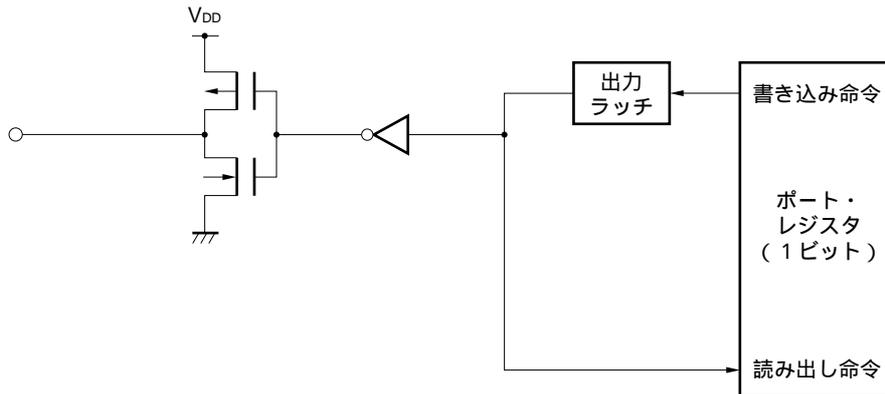
10.4.1 出力ポートの構成

次に出力ポートの構成を示します。

P0A (P0A3, P0A2, P0A1, P0A0)

P1B (P1B3, P1B2, P1B1, P1B0)

P1C (P1C0)



10.4.2 出力ポートの使用方法

出力ポートは出力ラッチの内容を各端子から出力します。

出力データの設定は、各端子に対応するポート・レジスタに対して書き込み命令（MOV命令など）を実行することにより行います。

各端子にハイ・レベルを出力するときは“ 1 ”を書き込み、ロウ・レベルを出力するときは“ 0 ”を書き込みます。

ポート・レジスタに対して読み出し命令（SKT命令など）を実行すると、出力ラッチの内容が読み出されます。

10.4.3 出力ポートのリセット時の状態

（１）パワーオン・リセット時

出力ラッチの内容を出力します。

出力ラッチの内容は“ 0 ”となります。

（２）CEリセット時

出力ラッチの内容を保持します。

出力ラッチの内容は保持されるため、CEリセット時は出力データは変化しません。

（３）クロック・ストップ時

出力ラッチの内容を保持します。

出力ラッチの内容は保持されるため、クロック・ストップ時は出力データは変化しません。

したがって、必要に応じてプログラムでイニシャライズしてください。

（４）ホールド状態中

出力ラッチの内容を出力します。

出力ラッチの内容は保持されるため、ホールド状態中は出力データは変化しません。

11. 割り込み

11.1 割り込みブロック概要

図11 - 1 に、割り込みブロックの概略を示します。

図11 - 1 に示すように、割り込みブロックは、各周辺ハードウェアから出力された割り込み要求により、現在実行しているプログラムを一時中断し、割り込みベクタ・アドレスへ分岐します。

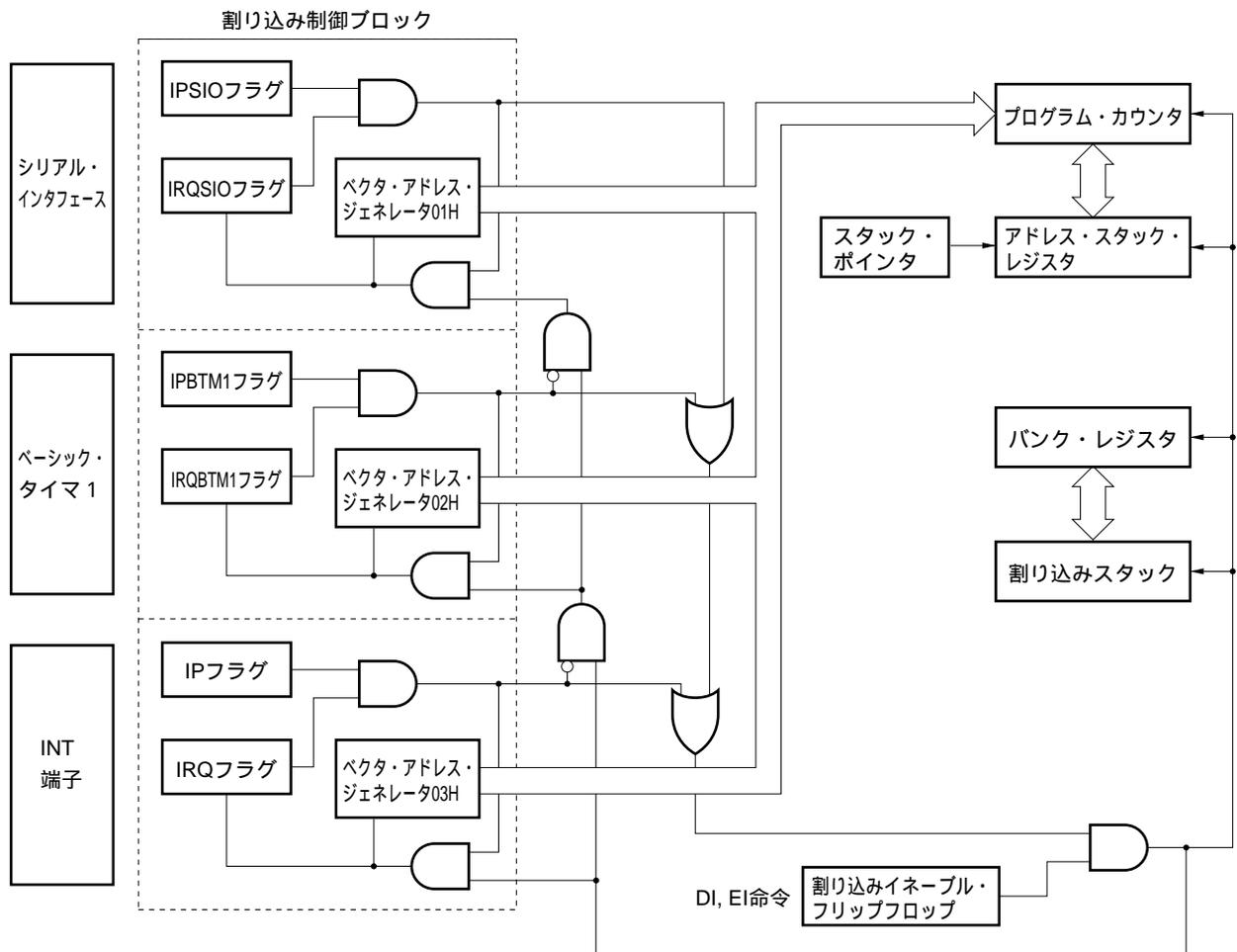
割り込みブロックは、各周辺ハードウェアごとの“割り込み制御ブロック”と、すべての割り込みを許可する“割り込みイネーブル・フリップフロップ”と、割り込みが受け付けられたときに制御される“スタック・ポインタ”、“アドレス・スタック・レジスタ”、“プログラム・カウンタ”および“割り込みスタック”から構成されています。

各周辺ハードウェアの“割り込み制御ブロック”は、各割り込み要求を検出する“割り込み要求フラグ (IRQ × × ×)”と、各割り込みの許可を設定する“割り込み許可フラグ (IP × × ×)”および割り込み受け付け時の各ベクタ・アドレスを指定する“ベクタ・アドレス・ジェネレータ (VAG)”から構成されています。

割り込み機能を持つ周辺ハードウェアを次に示します。

- ・ INT端子
- ・ ベーシック・タイマ 1
- ・ シリアル・インタフェース

図11 - 1 割り込みブロック概略



11.2 割り込み制御ブロック

割り込み制御ブロックは、各周辺ハードウェアごとに設けられており、それぞれの割り込み要求の有無、割り込みの許可および割り込み受け付け時のベクタ・アドレスの生成を行います。

11.2.1 割り込み要求フラグ (IRQ × × ×)

各割り込み要求フラグは、各周辺ハードウェアから割り込み要求が発行されるとセット (1) され、割り込みが受け付けられるとクリア (0) されます。

割り込みが許可されていない場合などに、これらの割り込み要求フラグを検出することにより、各割り込み要求の発行状態を検出することができます。

また、割り込み要求フラグに対して直接 “ 1 ” を書き込んだ場合も、割り込み要求が発行されたことと同等になります。

一度このフラグがセットされると、対応する割り込みが受け付けられるか、または命令により “ 0 ” が書き込まれるまで、クリアされません。

複数の割り込み要求が同時に発行された場合でも、受け付けられなかった割り込みに対応する割り込み要求フラグは、クリアされません。

割り込み要求フラグは、RAMのBANK1のアドレス58H-5AHに配置されています。

図11 - 2 から図11 - 4 に各割り込み要求レジスタの構成と機能を示します。

図11 - 2 INT端子割り込み要求レジスタの構成



図11 - 3 ベーシック・タイマ1 割り込み要求レジスタの構成

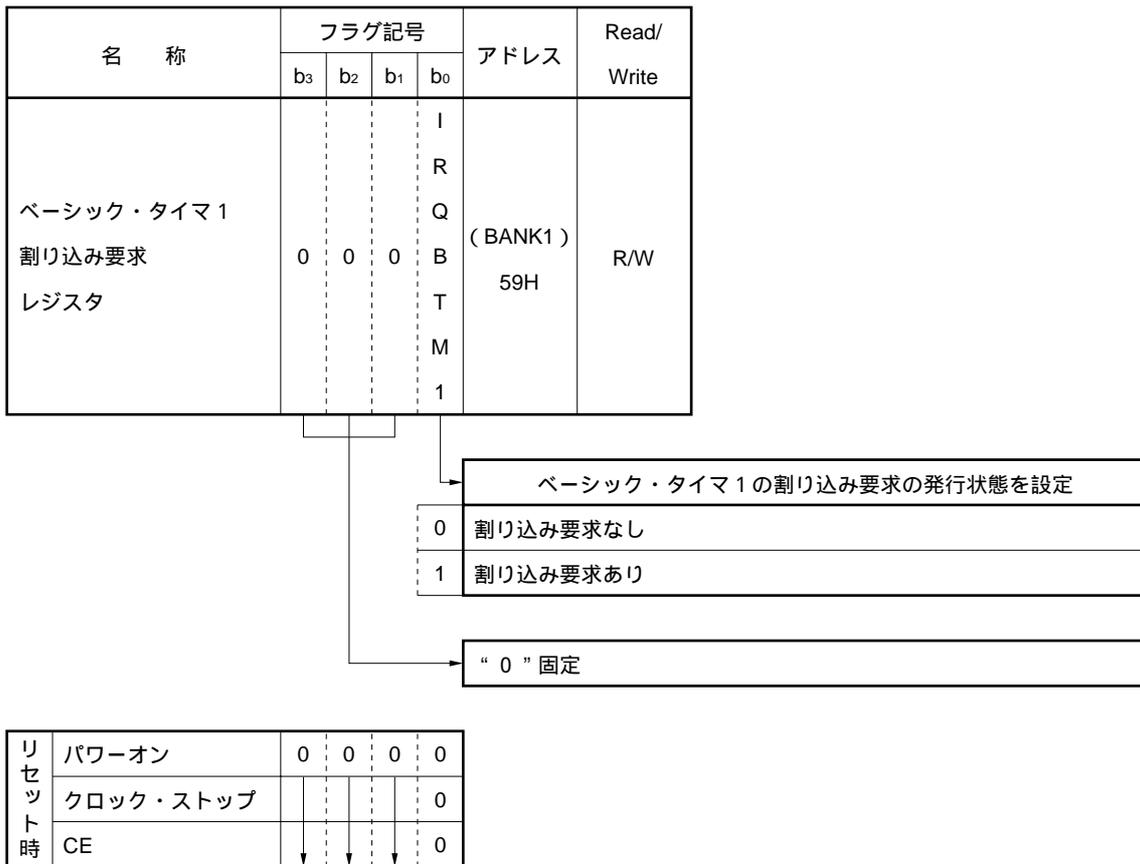
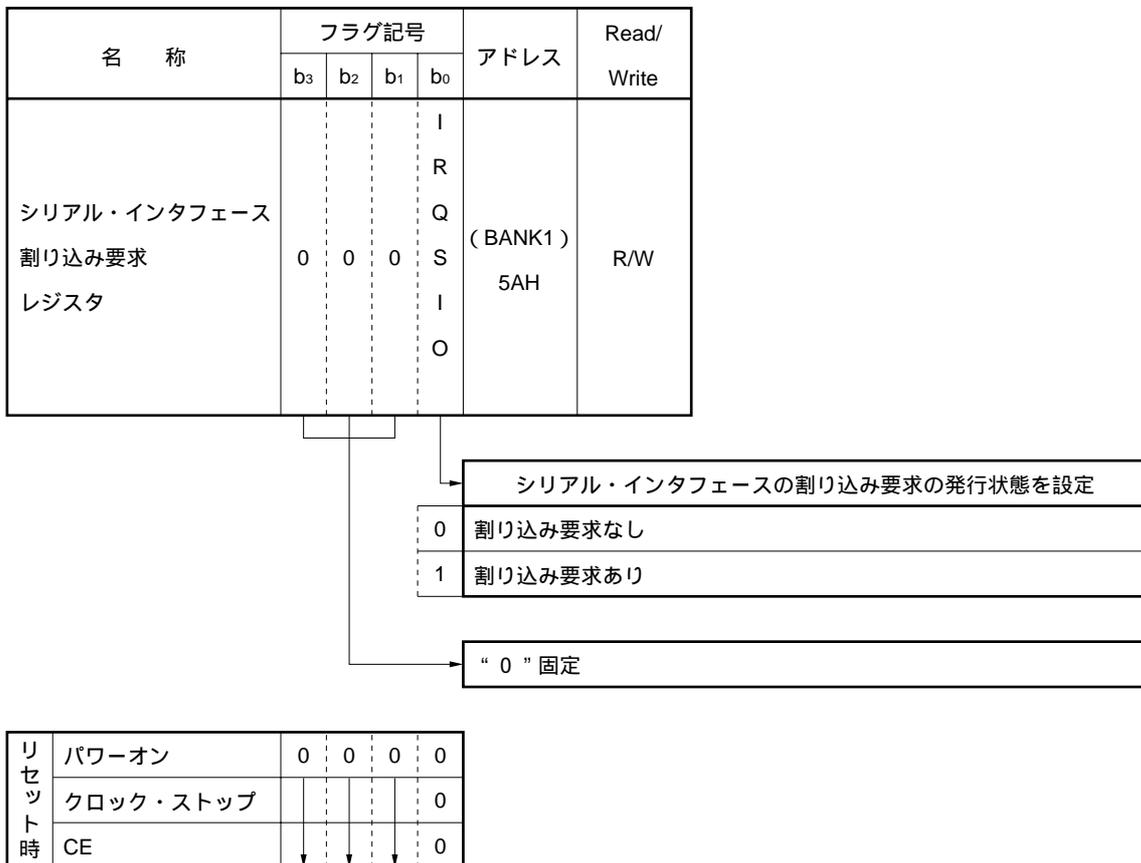


図11 - 4 シリアル・インタフェース割り込み要求レジスタの構成



11.2.2 割り込み許可フラグ (IPxxx)

各割り込み許可フラグは、周辺ハードウェアごとの割り込みの許可を設定します。

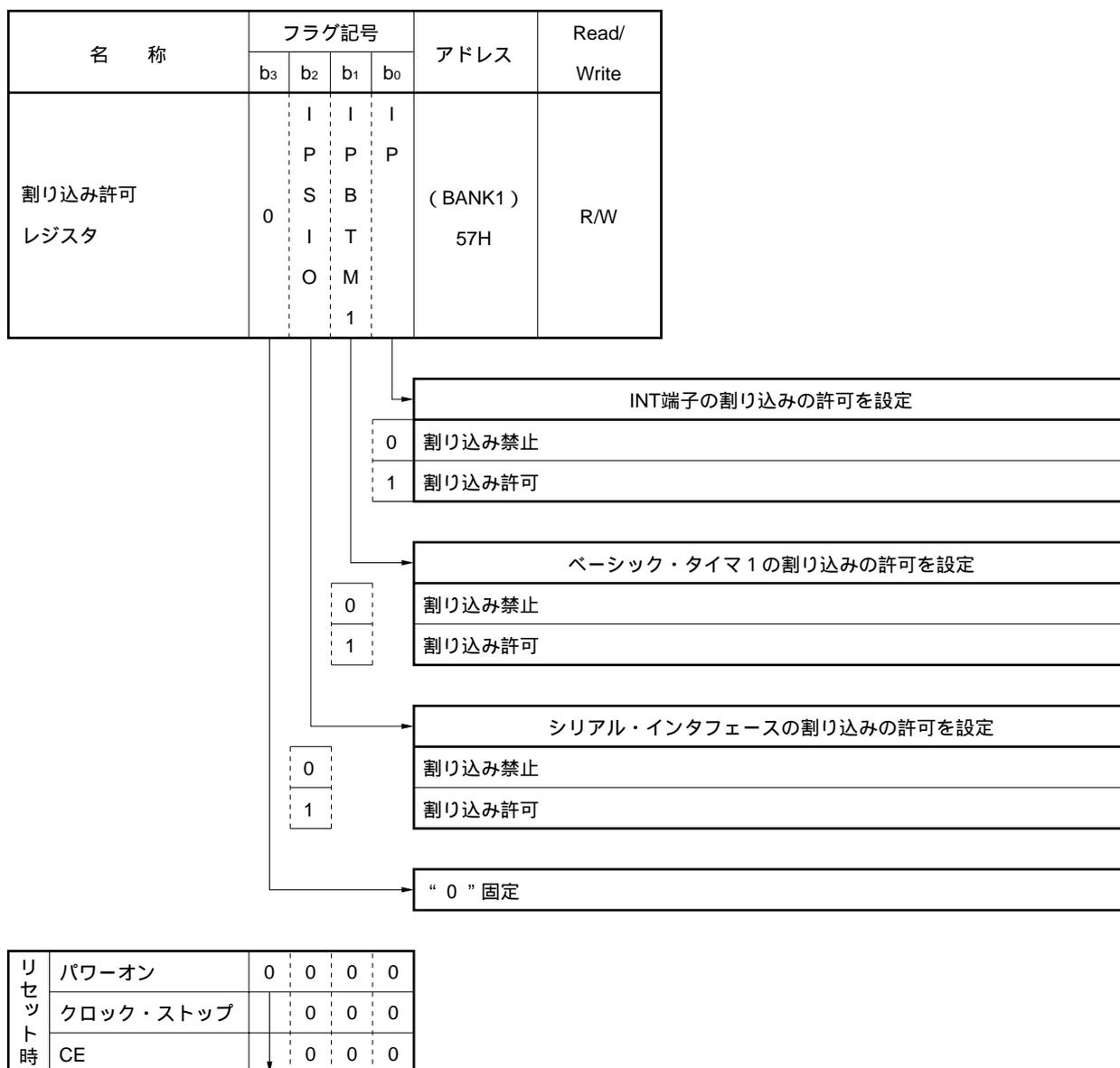
割り込みが受け付けられるためには、次の3つの条件をすべて満たす必要があります。

- ・各割り込み許可フラグにより割り込みが許可されている
- ・対応する各割り込み要求フラグにより割り込み要求が発行されている
- ・“EI”命令(すべての割り込み許可)が実行されている

割り込み許可フラグは、レジスタ・ファイル上の割り込み許可レジスタに配置されています。

図11-5に割り込み許可レジスタの構成と機能を示します。

図11-5 割り込み許可レジスタの構成



11.2.3 ベクタ・アドレス・ジェネレータ (VAG)

各周辺ハードウェアの割り込みが受け付けられたときに、受け付けられた割り込み要因に対するプログラム・メモリの分岐アドレス (ベクタ・アドレス) を生成します。

各割り込み要因に対するベクタ・アドレスを表11 - 1 に示します。

表11 - 1 各割り込み要因に対するベクタ・アドレス

割り込み要因	ベクタ・アドレス
INT端子	03H
ベーシック・タイマ1	02H
シリアル・インタフェース	01H

11.3 割り込みスタック・レジスタ

11.3.1 割り込みスタック・レジスタの構成と機能

図11 - 6 に割り込みスタック・レジスタの構成を示します。

割り込みスタックは、割り込み受け付け時にバンク・レジスタの内容を退避します。

割り込みが受け付けられ、バンク・レジスタの内容が割り込みスタックに退避されると、バンク・レジスタの内容は、“0” にリセットされます。

割り込みスタックは、バンク・レジスタの内容を1レベル退避することができます。

したがって、多重割り込みを行うことはできません。

割り込みスタック・レジスタの内容は、割り込みリターン命令 (“RETI”) が実行されるとシステム・レジスタに復帰されます。

注意 μPD17073では、プログラム・ステータス・ワード (PSWORD) の内容は、割り込み受け付け時にスタックには退避されずに保持されます。このため、プログラム・ステータス・ワードの内容については、ソフトウェアでバックアップ処理を行っておく必要があります。

図11 - 6 割り込みスタック・レジスタの構成

割り込みスタック・レジスタ (INTSK)				
名称	バンク・スタック			
ビット	b ₃	b ₂	b ₁	b ₀
0H	-	-	-	-

備考 - : 退避されないビット

11.3.2 割り込みスタック動作

図11 - 7 に割り込みスタックの動作を示します。

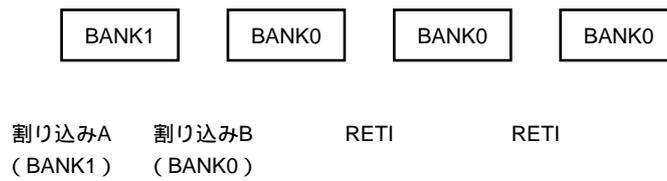
多重割り込み受け付け時は、最初に退避した内容がはき出されてしまうため、プログラムにより退避する必要があります。

図11 - 7 割り込みスタックの動作

(a) 割り込みが 1 レベルを越えないとき



(b) 割り込みが 1 レベルを越えるとき



11.4 スタック・ポインタ, アドレス・スタック・レジスタとプログラム・カウンタ

アドレス・スタック・レジスタは, 割り込み処理ルーチンからの復帰時の戻り番地を退避します。

スタック・ポインタは, アドレス・スタック・レジスタのアドレスを指定します。

割り込みが受け付けられると, スタック・ポインタの値を - 1 し, そのときのプログラム・カウンタの値をスタック・ポインタで指定されるアドレス・スタック・レジスタに退避します。

次に, 割り込み処理ルーチンの処理を実行したあと, 専用復帰命令である“RETI”命令が実行されると, スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をプログラム・カウンタに復帰し, スタック・ポインタの値を + 1 します。

3. アドレス・スタック (ASK) も参照してください。

11.5 割り込みイネーブル・フリップフロップ (INTE)

割り込みイネーブル・フリップフロップは, すべての割り込みの許可を設定します。

このフリップフロップがセットされていると, すべての割り込みが許可されます。また, リセットされていると, すべての割り込みが禁止されます。

このフリップフロップのセットおよびリセットは, 専用命令である“EI (セット)”および“DI (リセット)”命令で行います。

“EI”命令は, “EI”命令の次の命令が実行された時点でこのフリップフロップをセットし, “DI”命令は, “DI”命令実行中にこのフリップフロップをリセットします。

割り込みが受け付けられると, このフリップフロップは自動的にリセットされます。

パワーオン・リセット時, クロック・ストップ命令実行時, およびCEリセット時は, このフリップフロップはリセットされます。

11.6 割り込み受け付け動作

11.6.1 割り込み受け付け動作と優先順位

割り込みを受け付けるまでの動作を以下に示します。

- (1) 各周辺ハードウェアは、割り込み条件が満たされる（たとえば、INT端子に立ち下がり信号が入力される）と、各割り込み制御ブロックに割り込み要求信号を出力します。
- (2) 各割り込み制御ブロックは、各周辺ハードウェアからの割り込み要求信号を受け付けると、対応する割り込み要求フラグ（たとえば、INT端子であればIRQフラグ）を“1”にセットします。
- (3) 各割り込み要求フラグが“1”にセットされたときに、各割り込み要求フラグに対応する割り込み許可フラグ（たとえばIRQフラグであればIPフラグ）が“1”にセットされていると、各割り込み制御ブロックから“1”が出力されます。
- (4) 各割り込み制御ブロックから出力された信号は、割り込みイネーブル・フリップフロップの出力とORされ、割り込み受け付け信号を出力します。
この割り込みイネーブル・フリップフロップは、“EI”命令により“1”にセットされ、“DI”命令により“0”にリセットされます。
割り込みイネーブル・フリップフロップが“1”にセットされているときに、各割り込み制御ブロックから“1”が出力されると、割り込みイネーブル・フリップフロップから“1”が出力され、割り込みが受け付けられます。

図11-1に示したように、割り込みが受け付けられると割り込みイネーブル・フリップフロップの出力は、AND回路を介して各割り込み制御ブロックへ入力されます。

各割り込み制御ブロックへ入力された信号により、割り込み要求フラグが“0”にクリアされ、かつ各割り込みに対するベクタ・アドレスが出力されます。

このとき、割り込み制御ブロックから“1”が出力されていると、割り込み受け付け信号は次段に伝達されないため、同時に複数の割り込み要求が発行されたときは、以下に示す優先順位で割り込みが受け付けられます。

INT端子 > ベーシック・タイマ1 > シリアル・インタフェース

割り込み許可フラグが“1”にセットされていなければその割り込み要因に対する割り込みは受け付けられません。

したがって、割り込み許可フラグを“0”にクリアしておけば、ハードウェア優先順位の高い割り込みを禁止することが可能です。

11.6.2 割り込み受け付け時のタイミング・チャート

図11 - 8 に割り込み受け付け時のタイミング・チャートを示します。

図11 - 8 の (1) は 1 種類の割り込みによるタイミング・チャートです。

(1) の (a) は割り込み要求フラグが最後に “ 1 ” にセットされた場合であり、(1) の (b) は割り込み許可フラグが最後に “ 1 ” にセットされた場合のタイミング・チャートです。

どちらの場合も割り込みの受け付けは、割り込み要求フラグ、割り込みイネーブル・フリップフロップおよび割り込み許可フラグのすべてが “ 1 ” にセットされた時点で行われます。

最後に “ 1 ” にセットされたフラグまたはフリップフロップが、“ MOV_T DBF, @AR ” 命令の第 1 命令サイクルまたは、スキップ条件を満たした命令の場合は、それぞれ “ MOV_T DBF, @AR ” 命令の第 2 命令サイクルおよびスキップした命令 (NOP になる) を実行後に、割り込みが受け付けられます。

割り込みイネーブル・フリップフロップのセットは、“ EI ” 命令が実行された次の命令サイクルでセットされます。

図11 - 8 の (2) は複数の割り込みを使用するときのタイミング・チャートを示しています。

複数の割り込みを使用するときは、割り込み許可フラグがすべてセットされていれば、ハードウェアで優先されている割り込みから順に受け付けられますが、プログラムで割り込み許可フラグを操作することにより、ハードウェアの優先度を変えることができます。

なお、図11 - 8 に示した “ 割り込みサイクル ” とは、割り込みが受け付けられてから割り込み要求フラグのクリア、ベクタ・アドレスの指定、プログラム・カウンタの退避などを行うための特別なサイクルであり、1 命令実行時間分に相当する 53.3 μs (通常動作時) を必要とします。

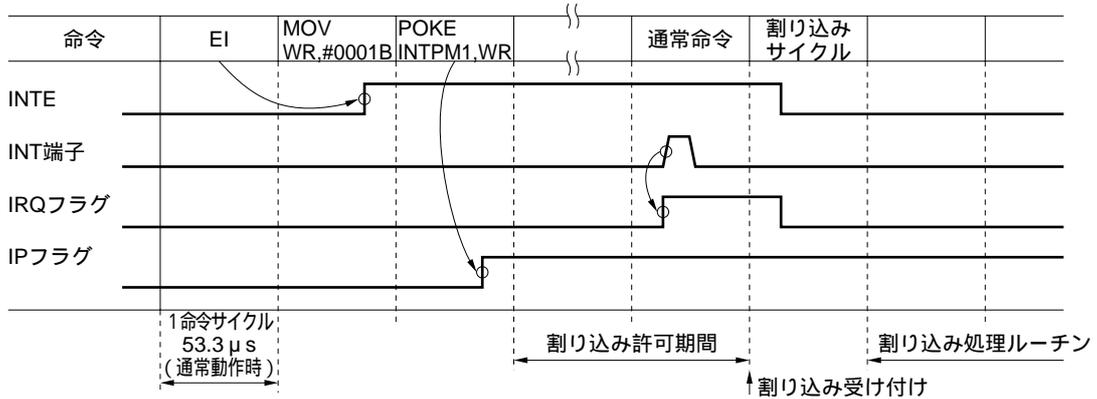
詳しくは 11.7 割り込み受け付け後の動作を参照してください。

図11 - 8 割り込み受け付けタイミング・チャート (1/2)

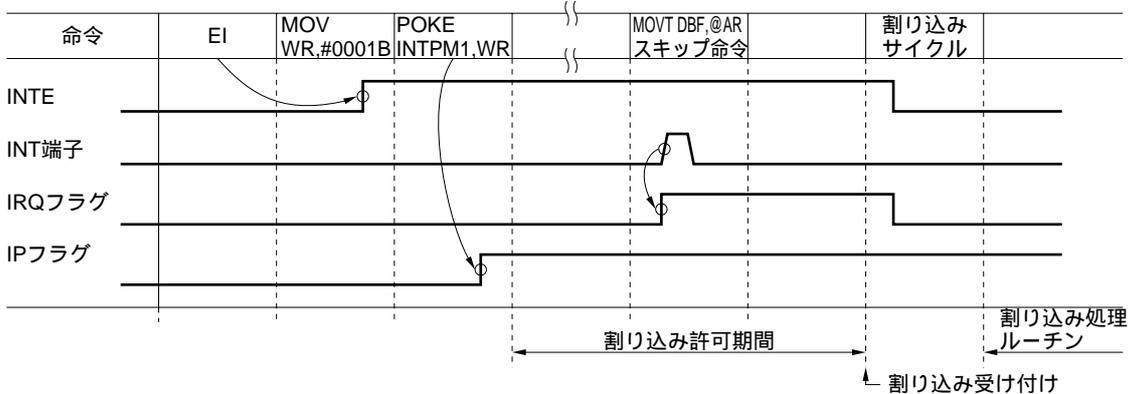
(1) 1種類の割り込み(例:INT端子の立ち上がり)を使用時

(a) 割り込み許可フラグ(IP×××)による割り込みマスク時間がない場合

割り込み受け付け時が“MOV”命令およびスキップ条件を満たした命令でない通常命令の場合



割り込み受け付け時が“MOV”命令か、または“スキップ条件を満たした命令”の場合



(b) 割り込み許可フラグによる割り込み保留期間がある場合

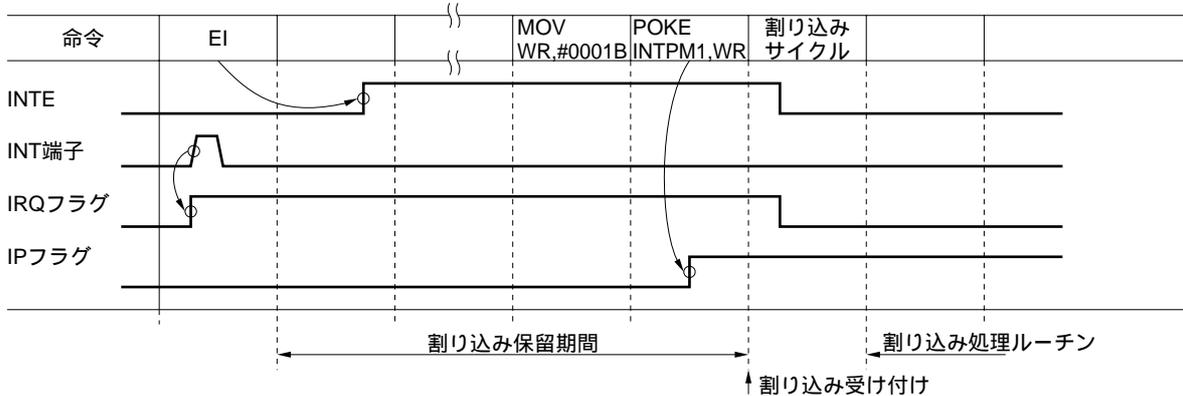
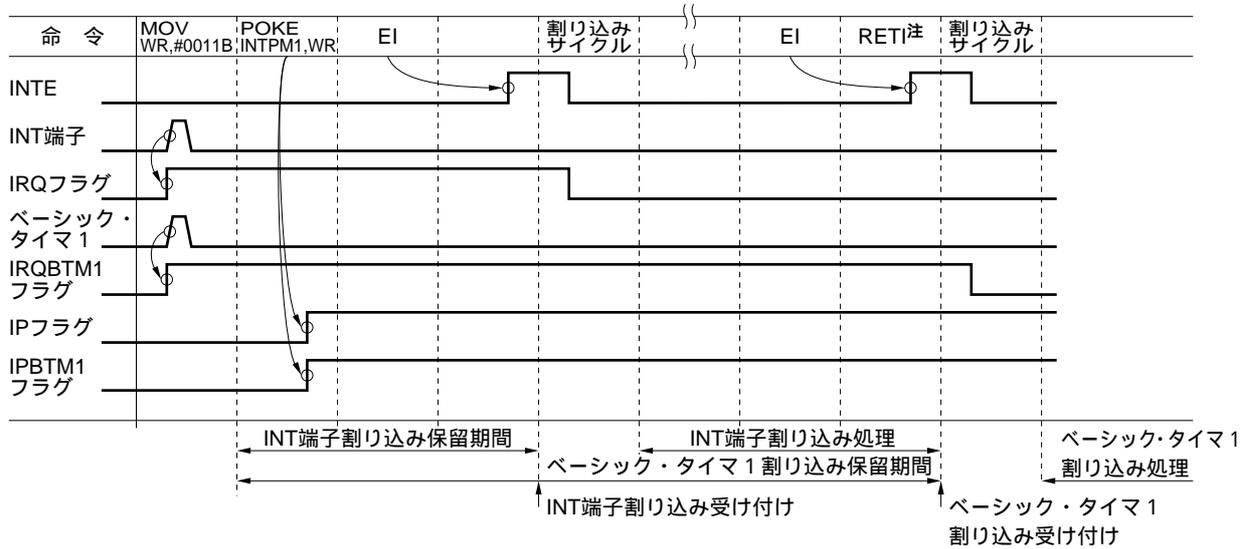


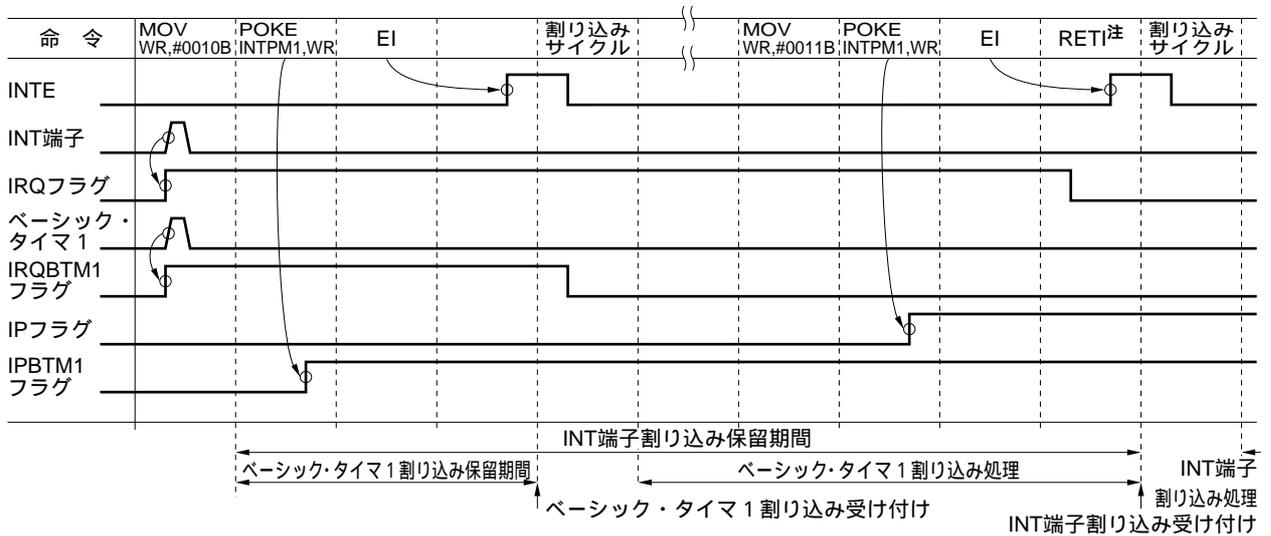
図11 - 8 割り込み受け付けタイミング・チャート (2/2)

(2) 複数の割り込み (例: INT端子, ベーシック・タイマ1の2種類) を使用時

(a) ハードウェア優先



(b) ソフトウェア優先



注 割り込みスタックが1レベルのため、多重割り込みを行うことはできません。

11.7 割り込み受け付け後の動作

割り込みが受け付けられると、以下に示す処理が順次自動的に実行されます。

- (1) 割り込みイネーブル・フリップフロップおよび受け付けられた割り込み要求に対応する割り込み要求フラグを“0”にクリアする。つまり割り込み禁止状態にする。
- (2) スタック・ポインタの内容を - 1 する。
- (3) プログラム・カウンタの内容をスタック・ポインタで指定されるアドレス・スタック・レジスタへ退避する。
このときのプログラム・カウンタの内容は、割り込みが受け付けられた時点の次のプログラム・メモリ・アドレスになる。
たとえば分岐命令であれば分岐先のアドレスとなり、サブルーチン・コール命令であればコールしたアドレスになる。スキップ命令でスキップ条件が満たされたときは、次の命令を“NOP”命令として実行してから割り込みが受け付けられるため、プログラム・カウンタの内容はスキップしたアドレスになる。
- (4) バンク・レジスタ (BANK) の下位 1 ビットを割り込みスタックへ退避する。

注意 このとき、プログラム・ステータス・ワード (PSWORD) の内容は退避されません。プログラム・ステータス・ワードの内容は、必要に応じて、ソフトウェアで退避させてください。

- (5) 受け付けられた割り込みに対応するベクタ・アドレス・ジェネレータの内容をプログラム・カウンタに転送する。つまり割り込み処理ルーチンへ分岐する。

上記 (1) - (5) の処理は通常の命令の実行を伴わない特別な 1 命令サイクル (53.3 μs : 通常動作時) の間に実行されます。

この命令サイクルを“割り込みサイクル”と呼びます。

すなわち割り込みが受け付けられてから、対応するベクタ・アドレスへ分岐するまでに 1 命令サイクルの時間が必要になります。

11.8 割り込み処理ルーチンからの復帰処理

割り込み処理ルーチンから、割り込みが受け付けられたときの処理へ復帰させるには、専用命令である“RETI”命令を使用します。

“RETI”命令が実行されると以下に示す処理が順次自動的に実行されます。

- (1) スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をプログラム・カウンタに復帰する。
- (2) 割り込みスタックの内容をバンク・レジスタ (BANK) の下位 1 ビットに復帰する。

注意 プログラム・ステータス・ワードの内容をソフトウェアにより退避させている場合は、その内容も同時に、プログラム・ステータス・ワードに復帰させる必要があります。

- (3) スタック・ポインタの内容を + 1 する。

上記 (1) - (3) の処理は“RETI”命令が実行される 1 命令サイクル中に処理されます。

“RETI”命令とサブルーチン・リターン命令である“RET”および“RETSK”命令との違いは、上記 (2) の各システム・レジスタの復帰動作の違いのみです。

11.9 外部 (INT端子) 割り込み

11.9.1 外部割り込み概要

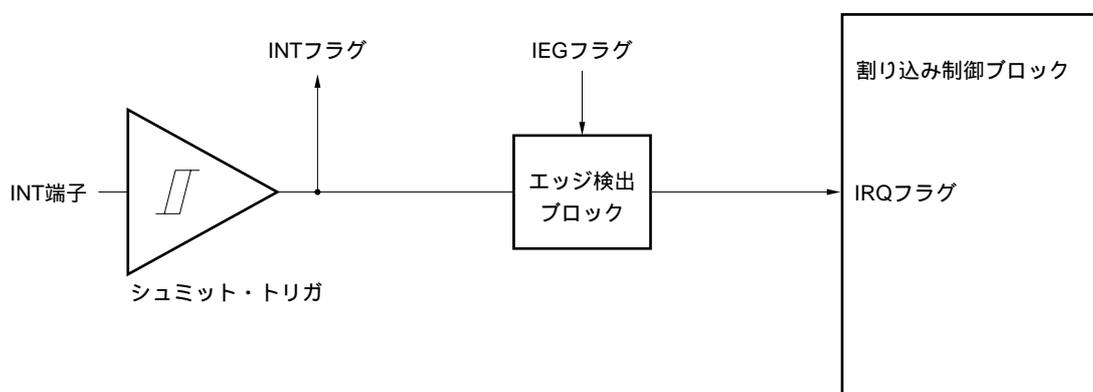
図11 - 9 に、外部割り込みの概略を示します。

図11 - 9 に示すように、外部割り込みは、INT端子に加えられた信号の立ち上がりエッジまたは立ち下がりエッジにより、割り込み要求を発行します。

INT端子の立ち上がりおよび立ち下がりのどちらで割り込み要求を発行するかは、プログラムにより独立して設定できます。

INT端子は、ノイズによる誤動作を防ぐため、シュミット・トリガ入力となっています。また、100 ns未満のパルス入力は、受け付けられません。

図11 - 9 外部割り込みの概略



備考 INT : 端子の状態を検出

IGE : 割り込みエッジを選択

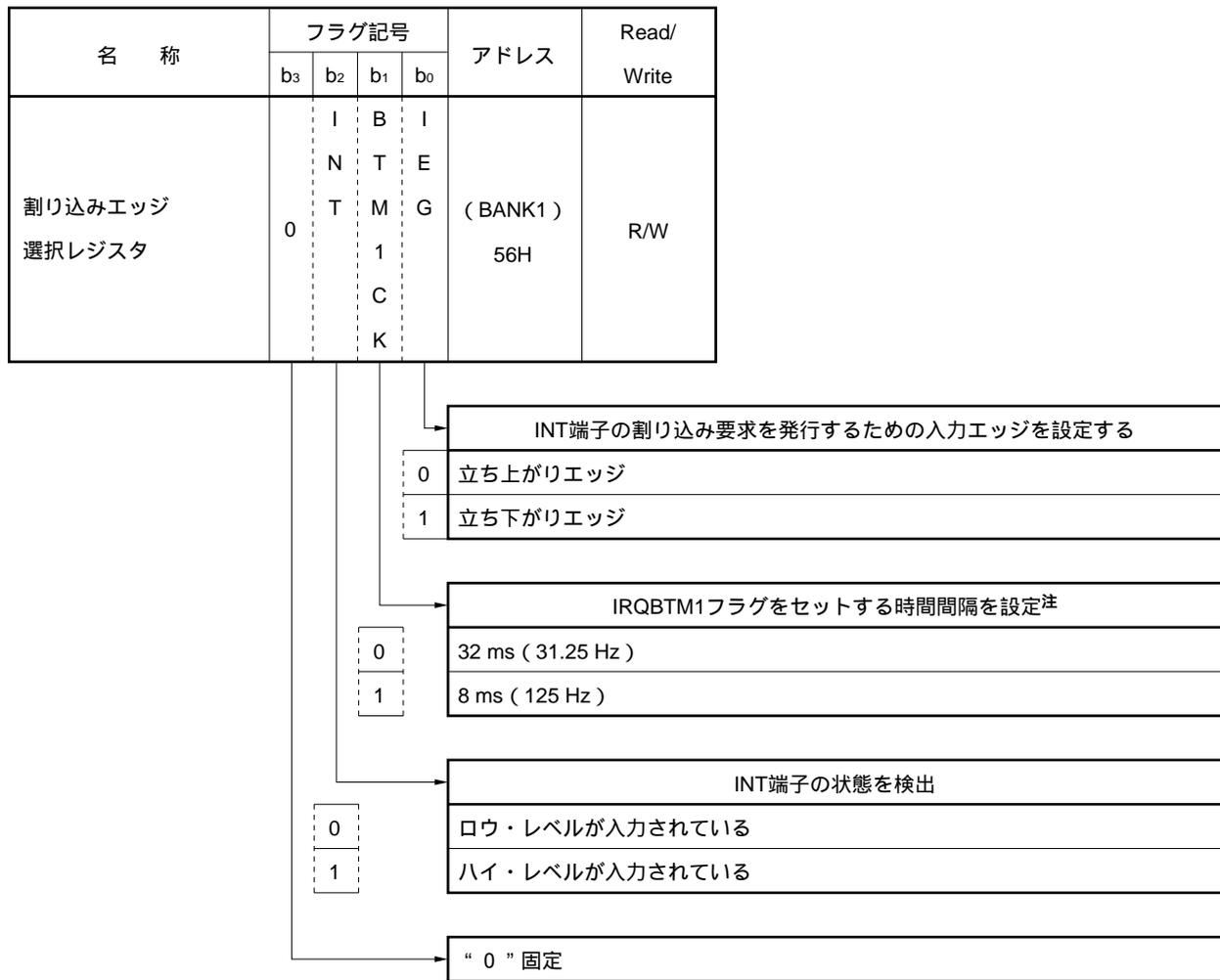
11.9.2 エッジ検出ブロック

エッジ検出ブロックは、INT端子の割り込み要求を発行する入力信号エッジ（立ち上がりまたは立ち下がりエッジ）の設定およびエッジの検出を行います。

エッジの設定は、IEGフラグにより設定します。

図11 - 10に割り込みエッジ選択レジスタの構成と機能を示します。

図11 - 10 割り込みエッジ選択レジスタの構成



リ セ ッ ト 時	パワーオン	0	0	0	0
	クロック・ストップ		0	0	0
	CE		0	0	0

注 BTM1CKフラグの機能については、12.3.1 ベーシック・タイマ1概要を参照してください。

IEGフラグにより割り込み要求発行エッジを切り替えると、切り替えた瞬間に割り込み要求信号が発行される場合があるため注意が必要です。

これは表11 - 2に示すように、たとえば今IEGフラグが“ 1 ”（立ち下がりエッジ）に設定されており、INT端子からハイ・レベルが入力されているとします。このときIEGフラグをクリアすると、エッジ検出回路は立ち上がりエッジが入力されたと判断し、割り込み要求を発行してしまうため注意してください。

表11 - 2 IEGフラグの変更による割り込み要求の発行

IEGフラグの変化	INT端子の状態	割り込み要求発行の有無	IRQフラグの状態
1 0 (立ち下がり) (立ち上がり)	ロウ・レベル	発行されない	以前の状態を保持
	ハイ・レベル	発行される	“ 1 ” にセットされる
0 1 (立ち上がり) (立ち下がり)	ロウ・レベル	発行される	“ 1 ” にセットされる
	ハイ・レベル	発行されない	以前の状態を保持

11.9.3 割り込み制御ブロック

INTフラグにより、INT端子に入力された信号のレベルを検出することができます。

このINTフラグは、割り込みとは無関係にセットまたはクリアされるため、割り込み機能を使用しない場合は、1ビットの汎用入力ポートとして使用できます。

なお、割り込みを許可していなければ、割り込み要求フラグを読み込むことにより立ち上がりまたは立ち下がりエッジを検出できる汎用ポートとして使用できます。

ただし、この場合は割り込み要求フラグは自動的にクリアされませんので、プログラムによりクリアする必要があります。

図11 - 10を参照してください。

11.10 内部割り込み

内部割り込みには、ベーシック・タイマ1とシリアル・インタフェースの2系統があります。

11.10.1 ベーシック・タイマ1による割り込み

一定時間ごとに割り込み要求を発行します。

詳しくは、12. タイマを参照してください。

11.10.2 シリアル・インタフェースによる割り込み

シリアル出力またはシリアル入力動作終了時に割り込み要求を発行します。

詳しくは、14. シリアル・インタフェースを参照してください。

12. タイマ

タイマは、プログラム実行上の時間管理に使用します。

12.1 タイマ概要

タイマは次の2系統で構成されています。

- ・ベーシック・タイマ0
- ・ベーシック・タイマ1

ベーシック・タイマ0は、一定時間ごとにセットされるフリップフロップの状態をプログラムにより検出します。

ベーシック・タイマ1は、一定時間ごとに割り込み要求を発行します。

ベーシック・タイマ0は、停電検出にも使用できます。

各タイマのクロックは、システム・クロック（75 kHz）を分周して作られています。

12.2 ベーシック・タイマ0

12.2.1 ベーシック・タイマ0概要

図12-1にベーシック・タイマ0の概略を示します。

ベーシック・タイマ0は、一定時間ごとにセットされるフリップフロップの状態をBTM0CYフラグ（RAMのBANK1の51H番地、ビット0）で検出することにより、タイマとして使用します。

フリップフロップの内容は、BTM0CYフラグと1対1に対応しています。

BTM0CYフラグをセットする時間（BTM0CYフラグ・セット用パルス）は、125 ms（8 Hz）です。

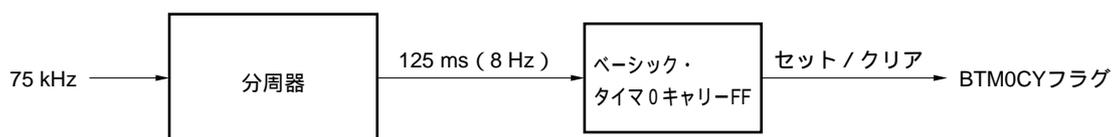
パワーオン・リセット後、最初にBTM0CYフラグを読み出すと、必ず“0”が読み出され、その後は一定時間ごとに“1”にセットされます。

また、CE端子がロウ・レベルからハイ・レベルに変化すると、次にBTM0CYフラグがセットされるタイミングに同期してCEリセットがかかります。

したがって、システム・リセット（パワーオン・リセットおよびCEリセット）時にBTM0CYフラグの内容を読み出すことにより、停電検出を行うことができます。

停電検出については、20.リセットを参照してください。

図12-1 ベーシック・タイマ0概略



備考 BTM0CY（ベーシック・タイマ0 キャリー・レジスタのビット0：図12-2参照）フリップフロップの状態を検出

12.2.2 フリップフロップおよびBTM0CYフラグ

フリップフロップは、一定時間ごとにセットされ、ベーシック・タイマ0 キャリー・レジスタのBTM0CYフラグによりその状態を検出します。

BTM0CYフラグは読み出し専用フラグであり、表12 - 1 に示す命令でその内容を読み出すと、“0” にリセットされず (Read & Reset)。

BTM0CYフラグはパワーオン・リセット時は“0”であり、CEリセット時およびクロック・ストップ命令実行後のCEリセット時は“1”となるため、停電検出用フラグとして使用できます。

BTM0CYフラグは、電源電圧投入後、表12 - 1 に示す命令によりその内容を一度読み出すまではセットされません。一度読み出し命令が実行されたあとは、一定時間ごとにセットされます。

図12 - 2 にベーシック・タイマ0 キャリー・レジスタの構成と機能を示します。

表12 - 1 BTM0CYフラグをリセットする命令

二モニック	オペランド	二モニック	オペランド
ADD	m, #n4	ADD	r, m
ADDC		ADDC	
SUB		SUB	
SUBC		SUBC	
AND		AND	
OR		OR	
XOR		XOR	
SKE		LD	
SKEG		SKT	m, # n
SKLT		SKF	
SKNE		MOV	@r, m
			m, @r ^注

注 mのロウ・アドレスが5Hで、rに1Hが書き込まれている場合。

備考 m = 51H

図12 - 2 ベーシック・タイマ0 キャリー・レジスタの構成



リ セ ツ ト 時	パワーオン	0	0	0	0
	クロック・ストップ				1
	CE				1

12.2.3 ベーシック・タイマ0 使用例

次にプログラム例を示します。

このプログラムは、処理Aを1秒ごとに実行します。

例

```

M1      MEM 1.10H      ; 1秒のカウンタ，バンク1に設定
LOOP :
  BANK1
  SKT1   BTMOCY        ; BTMOCYフラグが“0”ならNEXTへ分岐
  BR     NEXT
  ADD    M1,#0010B     ; M1に2を加算
  SKT1   CY            ; CYフラグが“1”なら処理Aを実行
  BR     NEXT          ; CYフラグが“0”ならNEXTへ分岐
  処 理  A
NEXT :
  処 理  B
  BR     LOOP          ; 処理Bを実行してLOOPへ分岐
    
```

12.2.4 ベーシック・タイマ0の誤差

BTM0CYフラグを検出する時間は、BTM0CYフラグがセットされる時間よりも短くする必要があります（12.2.5 ベーシック・タイマ0使用時の注意参照）。

すなわち、BTM0CYフラグを検出する時間間隔を t_{CHECK} とし、BTM0CYフラグがセットされる時間間隔（125 ms）を t_{SET} とすると、 t_{CHECK} と t_{SET} は、次に示す関係である必要があります。

$$t_{CHECK} < t_{SET}$$

このとき、図12-3に示すように、BTM0CYフラグを検出するときのタイマの誤差は、次に示す時間間隔になります。

$$0 < \text{誤差} < t_{SET}$$

図12-3 BTM0CYフラグの検出時間によるベーシック・タイマ0の誤差

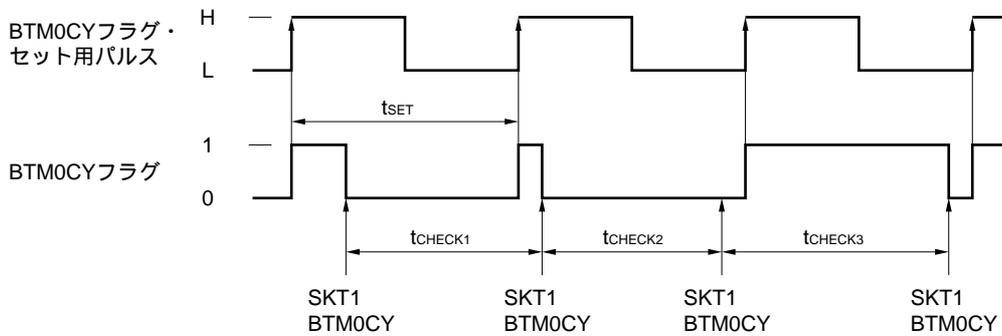


図12-3に示すように、まずでBTM0CYフラグを検出すると、“1”であるため、タイマを更新します。次にで検出すると、“0”であるため、で再度検出するまでタイマは更新されません。すなわち、このときのタイマは、 t_{CHECK3} の時間だけ長くなることになります。

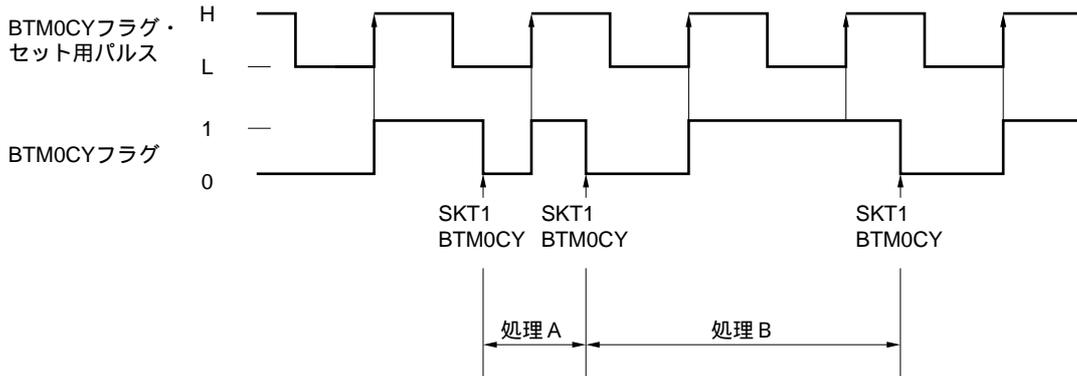
12.2.5 ベーシック・タイマ0使用時の注意

(1) BTM0CYフラグ検出時間間隔

BTM0CYフラグを検出する時間間隔は、BTM0CYフラグがセットされる時間間隔よりも短くしてください。

これは、図12 - 4 に示すように処理Bの時間がBTM0CYフラグがセットされる時間間隔より長い場合に、BTM0CYフラグのセットを取り逃してしまうためです。

図12 - 4 BTM0CYフラグの検出とBTM0CYフラグ



で“1”にセットされたBTM0CYフラグを検出後、処理Bの実行時間が長いため、で“1”にセットされたBTM0CYフラグを検出できなくなってしまう。

(2) タイマの更新処理時間およびBTM0CYフラグの検出時間間隔の和

(1)でも説明したように、BTM0CYフラグを検出する時間間隔 t_{CHECK} は、BTM0CYフラグがセットされる時間より短くする必要があります。

このとき、たとえBTM0CYフラグを検出する時間間隔が短くても、タイマの更新処理時間が長いときは、CEリセットがかかると、タイマの処理が正常に実行されない場合があります。

したがって、次に示す条件を満足させる必要があります。

$$t_{CHECK} + t_{TIMER} < t_{SET}$$

t_{CHECK} : BTM0CYフラグを検出する時間間隔

t_{TIMER} : タイマ更新処理時間

t_{SET} : BTM0CYフラグをセットする時間間隔

次に例を示します。

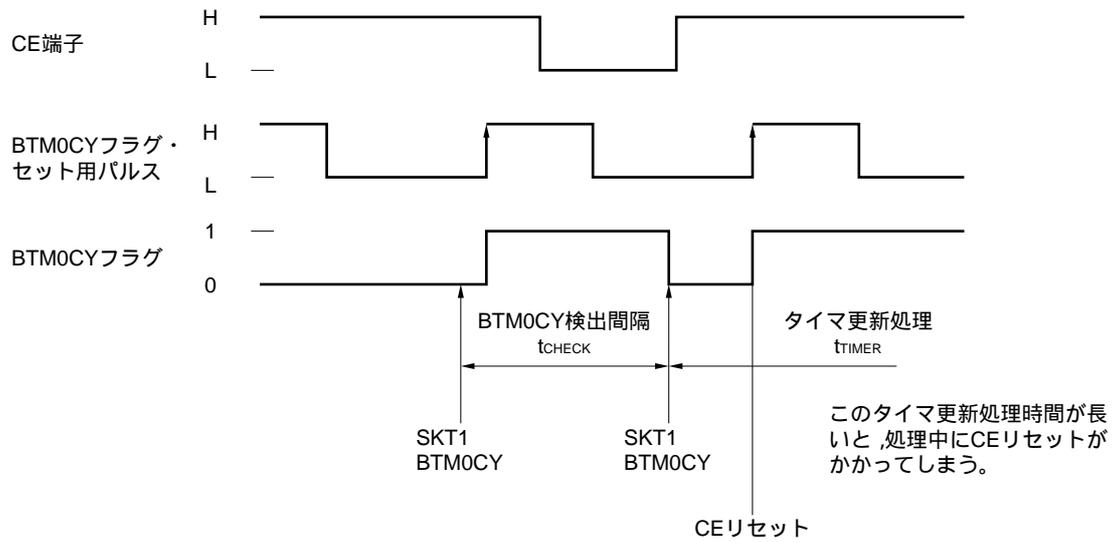
例 タイマの更新処理およびBTM0CYフラグ検出時間間隔例

```

BTIMER :
    BANK1
    SKT1   BTM0CY      ; BTM0CYフラグが " 1 " ならタイマ更新処理を行う
    BR     AAA         ; BTM0CYフラグが " 0 " ならAAAへ分岐
    タイマ更新
    BR     BTIMER

AAA :
    処 理  A
BR    BTIMER
    
```

上記プログラムのタイミング・チャートを次に示します。



(3) CEリセット時におけるベーシック・タイマ0の補正

次にCEリセット時のタイマ補正例を示します。

例に示すように、CEリセット時にタイマの補正が必要な場合として、“BTM0CYフラグを停電検出に使用しており、かつBTM0CYフラグを時計用のタイマ等に使用している場合”が考えられます。

BTM0CYフラグは最初に電源電圧を投入した(パワーオン・リセット)時はクリア(0)されており、表12-1に示した命令によりその内容を一度読み出すまでセットされません。

また、CE端子がロウ・レベルからハイ・レベルに変化すると、BTM0CYフラグ・セット用パルスの立ち上がりエッジに同期してCEリセットがかかります。このとき、BTM0CYフラグはセット(1)されてスタートします。

したがって、システム・リセット(パワーオン・リセットおよびCEリセット)時にBTM0CYフラグの状態を検出することにより“0”であればパワーオン・リセットであり、“1”であればCEリセットであると判断できず(停電検出)。

このとき、時計用のタイマなどはCEリセット時でも動作を継続していなければなりません。

ところが、停電検出のためにBTM0CYフラグを読み込むことによりBTM0CYフラグがクリア(0)されてしまうため、BTM0CYフラグのセット(1)状態を1回見のがしてしまいます。

このため、停電検出によりCEリセットと判断されたときは時計用のタイマ更新を行う必要があります。

停電検出については20.6 停電検出を参照してください。

例 CEリセット時のタイマ補正例(BTM0CYフラグにより停電検出と時計の更新を行うとき)

```

START :                               ; プログラム・アドレス0000H
      処 理 A
      ;
      BANK1
      SKT1   BTM0CY                    ; 組み込みマクロ
                                          ; BTM0CYフラグをテストし
      BR     INITIAL                   ; “0”ならINITIALへ分岐(停電検出)
BACKUP :
      ;
      125 ms分時計更新           ; バックアップ(CEリセット)であるため時計の補正
LOOP :
      ;
      処 理 B
      SKF1   BTM0CY                    ; 処理Bをしながら
                                          ; BTM0CYフラグをテストして時計を更新する。
      BR     BACKUP
      BR     LOOP
INITIAL :
      処 理 C
      BR     LOOP
    
```

上記プログラムのタイミング・チャートを図12-5に示します。

図12 - 5 タイミング・チャート

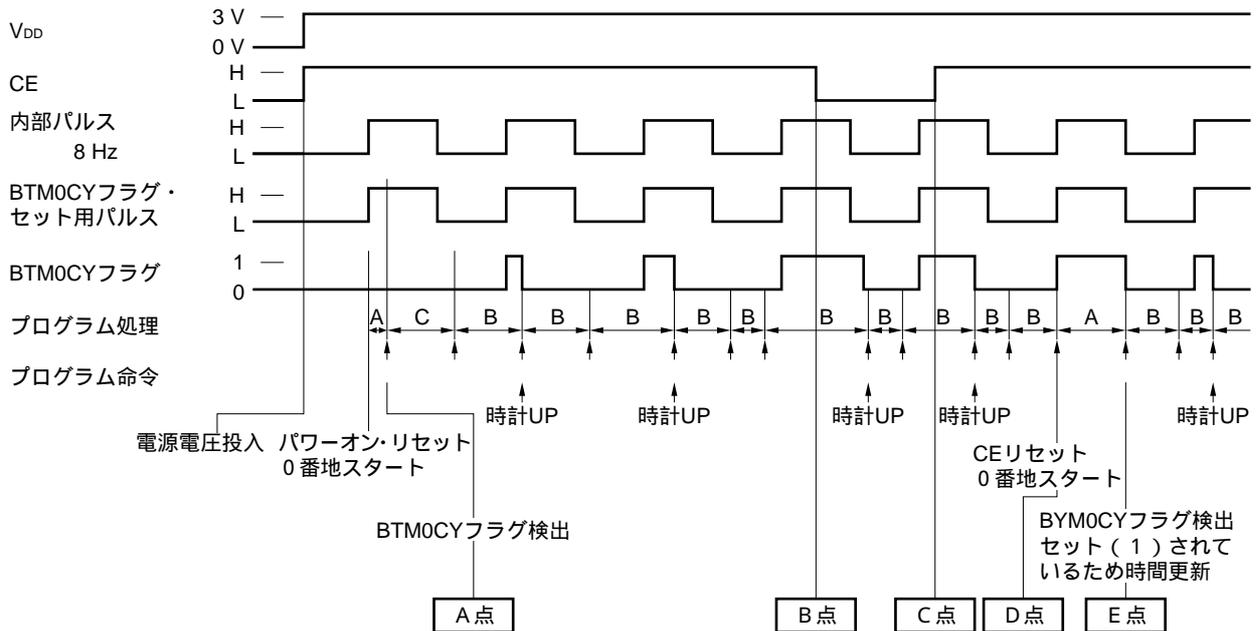


図12 - 5 に示すように、最初に電源電圧V_{DD}を投入したときは内部 8 Hzパルスの立ち上がりにより0000H番地からプログラムがスタートします。

次にA点でBTM0CYフラグを検出すると、電源投入時であるためBTM0CYフラグはクリア(0)されており停電(パワーオン・リセット)であると判断され、“処理C”を実行します。

A点で一度BTM0CYフラグの内容を読み出ししているため、以後125 msごとにBTM0CYフラグがセット(1)されます。

次にB点でCE端子がロウ・レベルとなりC点でハイ・レベルになっても、クロック・ストップ命令が実行されていない限りプログラムは“処理B”を実行しながら時計のカウント・アップを行います。

C点でCE端子がロウ・レベルからハイ・レベルに立ち上がったため、次のBTM0CYフラグ・セット用パルスの立ち上がりであるD点でCEリセットがかかりプログラムは0000H番地からスタートします。

このときE点でBTM0CYフラグを検出するとBTM0CYフラグはセット(1)されているためバックアップ(CEリセット)と判断されます。

また、図から明らかなようにE点で時計を125 ms分更新しなければ、CEリセットがかかるたびに時計が125 msずつ遅れることになります。

また、E点で停電検出を行うときに処理Aが125 ms以上かかっていると、BTM0CYフラグのセットを2回見逃すことになるため、処理Aは125 ms未満に行う必要があります。

したがって、停電検出のためのBTM0CYフラグの検出はプログラムが0000H番地からスタートしたのち、BTM0CYフラグのセット時間未満で行う必要があります。

(4) BTM0CYフラグの検出とCEリセットが重なったとき

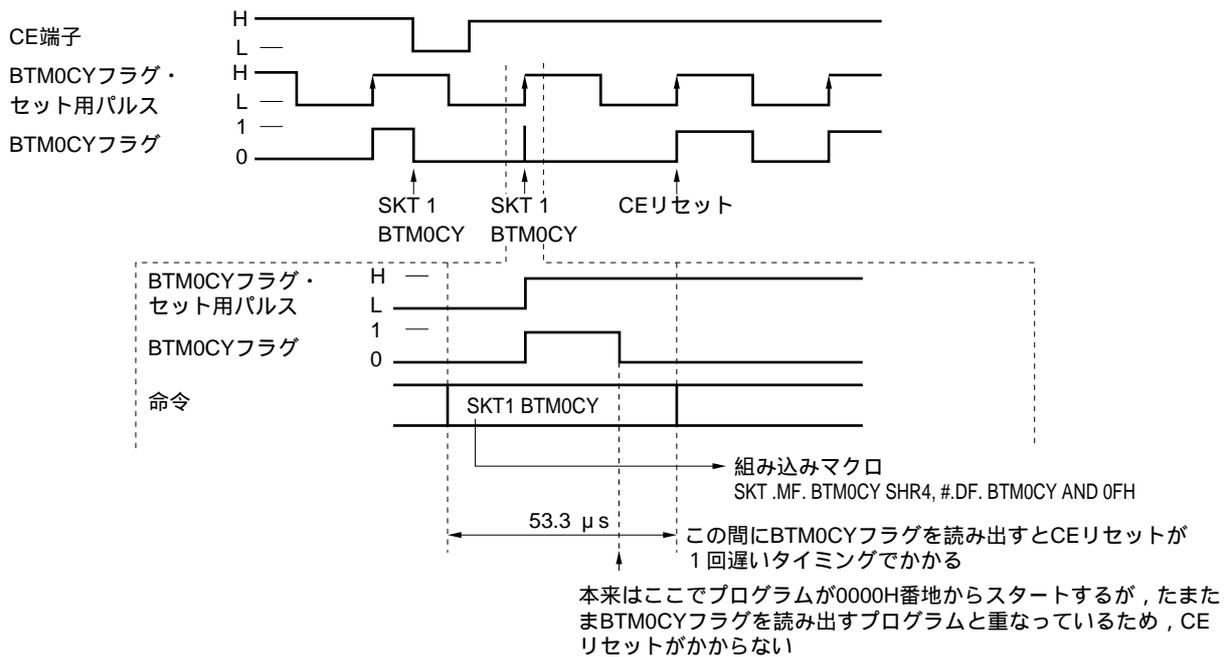
(3)でも説明したようにCEリセットはBTM0CYフラグがセット(1)されると同時にかかります。

このとき、たまたまBTM0CYフラグの読み出し命令とCEリセットが重なると、BTM0CYフラグの読み出し命令が優先されます。

したがって、CE端子がロウ・レベルからハイ・レベルに切り替わった次のBTM0CYフラグのセット(BTM0CYフラグ・セット用パルスの立ち上がり)と、BTM0CYフラグの読み出し命令が重なったときは、さらに“その次のBTM0CYフラグがセットされるタイミング”でCEリセットがかかります。

この動作を図12-6に示します。

図12-6 CEリセットとBTM0CYフラグの読み出し命令が重なったときの動作



したがって、BTM0CYフラグを周期的に検出するようなプログラムで、かつBTM0CYフラグの検出時間間隔とBTM0CYフラグのセット時間が一致するようなプログラムになっていると永遠にCEリセットがかからないことがあります。

12.3 ベーシック・タイマ1

12.3.1 ベーシック・タイマ1概要

図12 - 7 にベーシック・タイマ1の概略を示します。

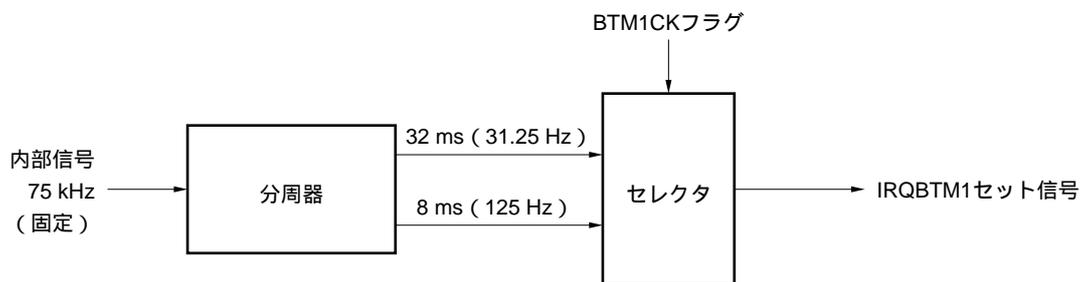
ベーシック・タイマ1は、一定時間ごとに割り込み要求を発行し、IRQBTM1フラグをセット(1)します。

IRQBTM1フラグをセットする時間間隔の設定は、割り込みエッジ選択レジスタのBTM1CKフラグにより行います。

図12 - 8 に割り込みエッジ選択レジスタの構成と機能を示します。

ベーシック・タイマ1による割り込みは、EI命令が実行されており、かつIPBTM1フラグがセットされているときに、IRQBTM1フラグがセットされると受け付けられます(11. 割り込み参照)。

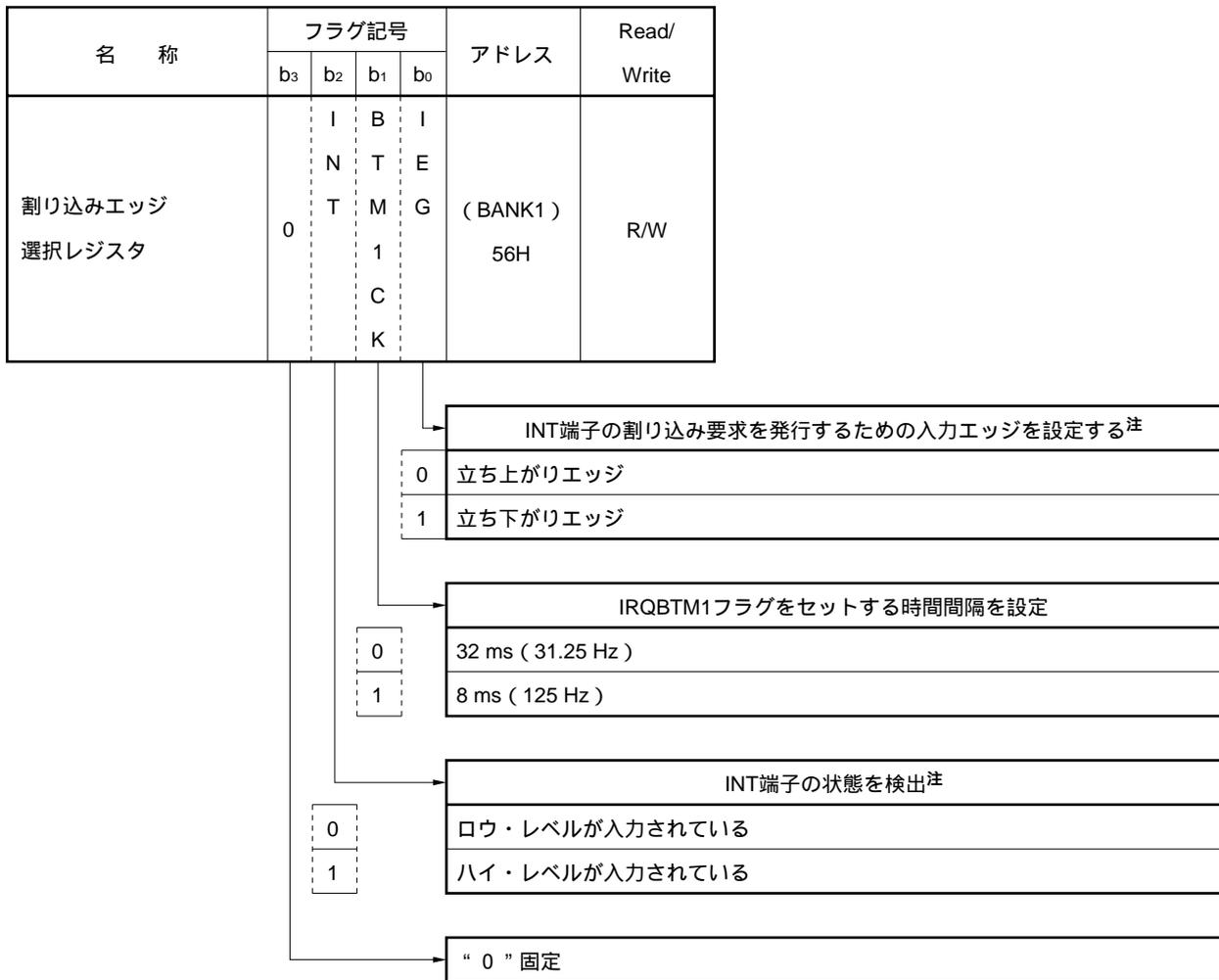
図12 - 7 ベーシック・タイマ1概略



備考 BTM1CK (割り込みエッジ選択レジスタのビット1 : 図12 - 8 参照)

IRQBTM1フラグをセットする時間間隔を設定

図12 - 8 割り込みエッジ選択レジスタの構成



リ セ ツ ト 時	パワーオン	0	0	0	0
	クロック・ストップ		0	0	0
	CE	↓	0	0	0

注 IEGフラグとINTフラグの機能については、11.9 外部 (INT端子) 割り込みを参照してください。

12.3.2 ベーシック・タイマ1の使用例

次にプログラム例を示します。

例

```

M1      MEM      0.10H      ; 80msのカウンタ
BTIMER1 DAT      0002H      ; ベーシック・タイマ1の割り込みベクタ・アドレスのシンボル定義

ORG     BR       START      ; STARTに分岐
        BTIMER1    ; プログラム・アドレス(0002H)
        ADD      M1,#0001B   ; M1に1を加算
        SKT1     CY         ; CYフラグをテスト
        BR       EI_RET1    ; キャリーが出なければリターン
        MOV      M1,#0110B
        処 理  A
EI_RET1 :
        EI
        RETI

START :
        MOV      M1,#0110B   ; M1の内容を6にイニシャライズ
        BANK1
        SET1     BTM1CK      ; 組み込みマクロ
        ; ベーシック・タイマ1割り込み用パルスを設定
        SET1     IPBTM1     ; ベーシック・タイマ1による割り込みの許可を設定
        EI              ; すべての割り込みの許可を設定

LOOP :
        BANK0
        処 理  B
        BR      LOOP

```

このプログラムは、処理Aを80 msごとに実行します。

このとき注意する点は、割り込みが受け付けられると自動的にDI状態となることと、DI状態であってもIRQBTM1フラグはセット(1)されるということです。

つまり、処理Aの時間が8 ms以上かかると“RETI”命令で復帰してもすぐに割り込みが受け付けられてしまい、処理Bは実行されなくなってしまいます。

12.3.3 ベーシック・タイマ1の誤差

12.3.2で説明したように、EI命令が実行されており、かつベーシック・タイマ1による割り込みが許可されていれば、ベーシック・タイマ1割り込み用パルスが立ち下がるたびに割り込みが受け付けられます。

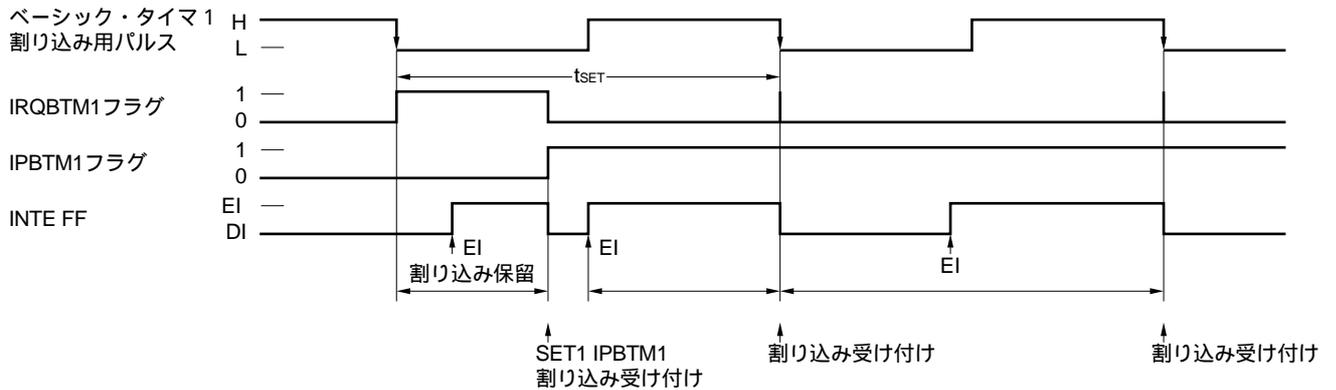
したがって、ベーシック・タイマ1の誤差は、次の操作を行ったときのみ発生します。

- ・ベーシック・タイマ1による割り込みを許可したときの最初の割り込み受け付け時
- ・IRQBTM1フラグをセットする時間間隔を変更したとき、つまり割り込み用パルスを変更したときの、最初の割り込み受け付け時
- ・IRQBTM1フラグに書き込み操作を行ったとき

図12 - 9 に各操作時の誤差を示します。

図12 - 9 ベーシック・タイマ1の誤差 (1/2)

(a) ベーシック・タイマ1による割り込みを許可したとき



上記 点でIPBTM1フラグをセットしてベーシック・タイマ1による割り込みを許可すると即座に割り込みが受け付けられます。

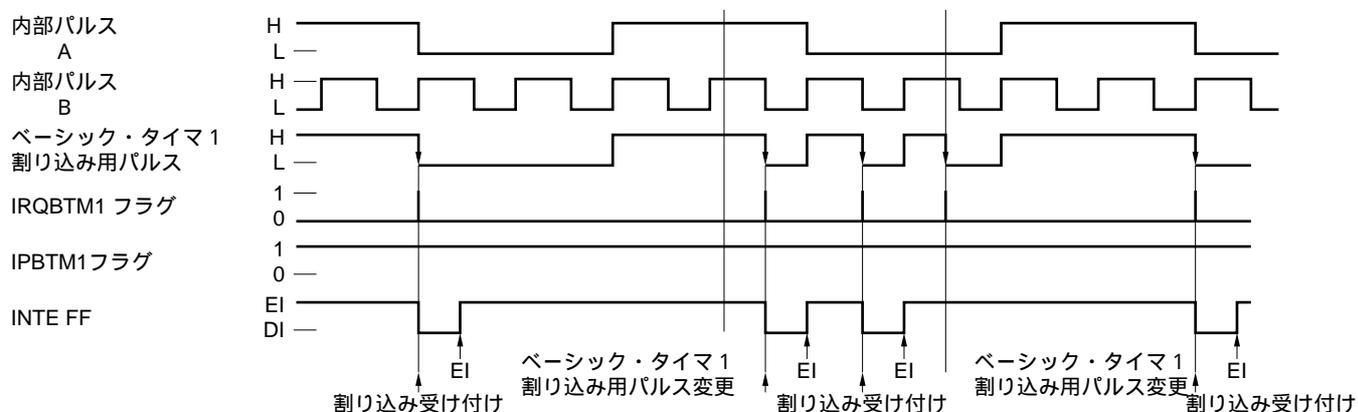
このときの誤差は - t_{SET} になります。

次の 点で“EI”命令により割り込みを許可すると 点のベーシック・タイマ1割り込み用パルスの立ち下がり で割り込みがかかります。

このときの誤差は - $t_{SET} < \text{誤差} < 0$ になります。

図12 - 9 ベーシック・タイマ1の誤差 (2/2)

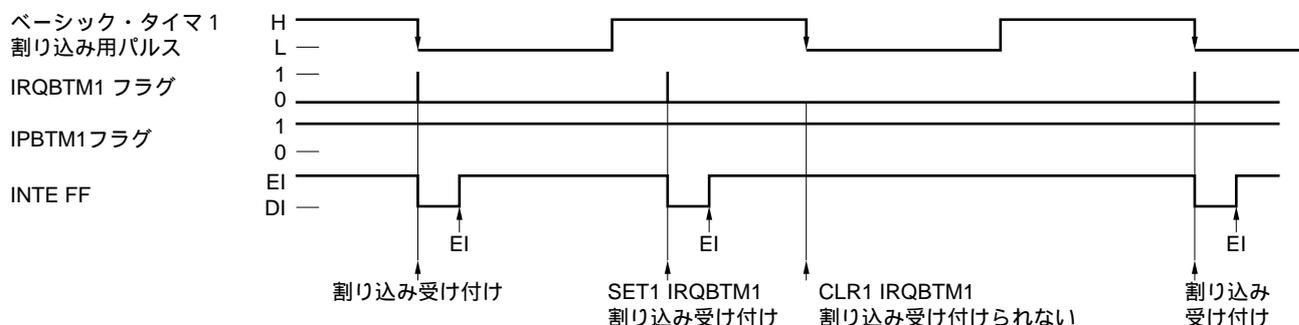
(b) ベーシック・タイマ1 割り込み用パルスを切り替えたとき



でベーシック・タイマ1 割り込み用パルスをBに変更してもベーシック・タイマ1 割り込み用パルスが立ち下らないため、次の で割り込みが受け付けられます。

でベーシック・タイマ1 割り込み用パルスをAに変更するとベーシック・タイマ1 割り込み用パルスが立ち下がるため、即座に割り込みが受け付けられます。

(c) IRQBTM1フラグを操作したとき



でIRQBTM1フラグをセット (1) すると即座に割り込みが受け付けられます。

でIRQBTM1フラグのクリア (0) とベーシック・タイマ1 割り込み用パルスの立ち下がりが重なると割り込みは受け付けられません。

12.3.4 ベーシック・タイマ1使用時の注意

ベーシック・タイマ1を使用して、一度電源電圧が投入（パワーオン・リセット）されたあと常に一定の間隔で処理を行わせるようなプログラム、たとえば時計用のプログラムなどを作成するときは、ベーシック・タイマ1による割り込み処理時間を一定時間以内に終了させる必要があります。

次の例をもとに説明します。

例

```

M1      MEM      0.10H      ; 80msのカウンタ
BTIMER1 DAT      0002H      ; ベーシック・タイマ1の割り込みベクタ・アドレスのシンボル定義

ORG     BR       START      ; STARTに分岐
        BTIMER1    ; プログラム・アドレス (0002H)
        ADD      M1, #0001B  ; M1に1を加算
        SKT1     CY          ; キャリーが出れば時計処理
        BR      EI_RET1     ; キャリーが出なければそのまま復帰
        MOV      M1, #0110B
;
; 処 理 B
EI_RET1 :
        EI
        RETI

START :
        MOV      M1, #0110B  ; M1の内容を6にイニシャライズ
        BANK1
        SET1     BTM1CK
; 組み込みマクロ
; ベーシック・タイマ1による割り込み時間を8msに設定
        SET1     IPBTM1
; 組み込みマクロ
; ベーシック・タイマ1による割り込みを許可
        EI
; すべての割り込みの許可を設定

LOOP :
; 処 理 A
        BR      LOOP

```

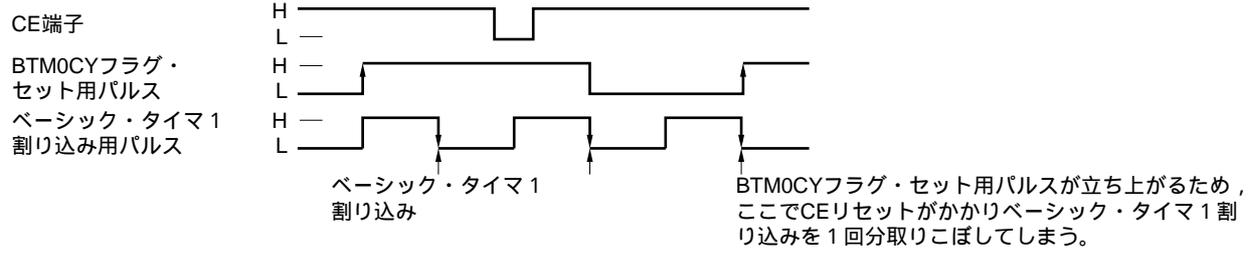
この例では、処理Aを実行しながら80msごとに処理Bを実行します。

ここで図12-10に示すようにCE端子がロウ・レベルからハイ・レベルに変化すると、BTM0CYフラグ・セット用パルスの立ち上がりに同期してCEリセットがかかります。

このとき、たまたまベーシック・タイマ1による割り込み要求の発行とBTM0CYフラグのセットが重なるとCEリセットが優先されます。

CEリセットがかかると、ベーシック・タイマ1による割り込み要求（IRQBTM1フラグ）はクリアされてしまうため、タイマ処理を1回分取りこぼしてしまいます。

図12 - 10 タイミング・チャート



13. A/Dコンバータ

13.1 A/Dコンバータ概要

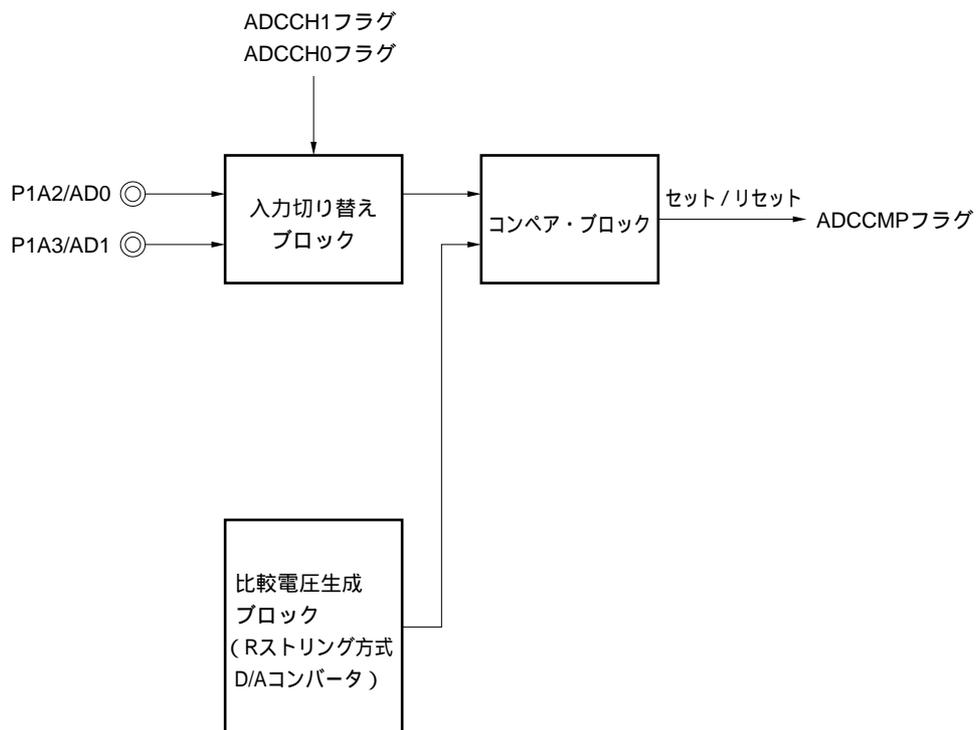
図13 - 1 にA/Dコンバータの概略を示します。

A/Dコンバータは、AD0端子およびAD1端子に入力されているアナログ電圧と内部の比較電圧を比較し、比較結果をソフトウェアで判断することによって、4ビットのデジタル信号に変換します。

比較結果はADCCMPフラグによって検出します。

比較方法は、逐次比較方式を採用しています。

図13 - 1 A/Dコンバータ概略



備考 1 . ADCCH0, ADCCH1 (A/Dコンバータ・チャンネル選択レジスタのビット0, 1 : 図13 - 4 参照)

A/Dコンバータとして使用する端子を選択

2 . ADCCMP (A/Dコンバータ比較結果検出レジスタのビット0 : 図13 - 7 参照)

比較結果の検出

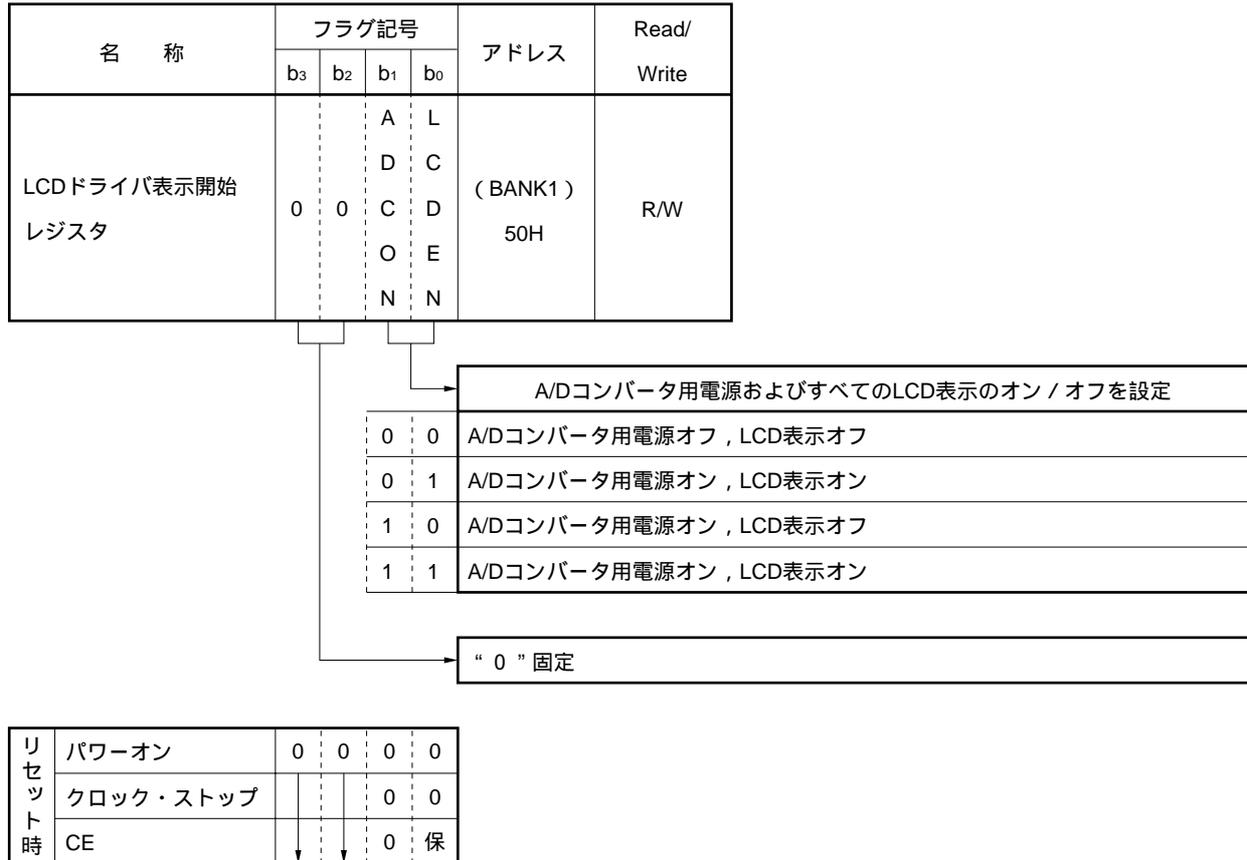
13.2 A/Dコンバータ用電源の設定

μPD17073はA/Dコンバータ用の動作電源を持っています。ただしこの電源は、LCD表示用電源と共用になっています。

このため、A/Dコンバータを使用するときには、LCDドライバ表示開始レジスタによりA/Dコンバータ用電源をオンに設定しておく必要があります。設定はLCDドライバ表示開始レジスタのADCONフラグで行います。

図13 - 2 にLCDドライバ表示開始レジスタの構成と機能を示します。

図13 - 2 LCDドライバ表示開始レジスタの構成



備考 保：保持

注意 1 . LCD表示がオン (LCDEN=1) のときは、ADCONフラグの状態にかかわらずA/Dコンバータ用電源はオン状態になります。

2 . LCDドライバ表示開始レジスタのビット3はテスト・モード用領域となっています。このためビット3には“ 1 ”を書き込まないでください。

13.3 入力切り替えブロック

図13 - 3 に入力切り替えブロックの構成を示します。

入力切り替えブロックは、A/Dコンバータ・チャンネル選択レジスタにより使用する端子を選択します。

A/Dコンバータとして複数の端子を同時に使用することはできません。

A/Dコンバータとして使用していない端子は汎用入力ポートになります。

また、A/Dコンバータとして使用する端子は、必ずプルダウン抵抗をオフにしてください。P1A2/AD0端子、P1A3/AD1端子のプルダウン抵抗のオン、オフの切り替えは、ポート1Aプルダウン抵抗切り替えレジスタのビット2、ビット3により行います。

図13 - 4 にA/Dコンバータ・チャンネル選択レジスタの構成と機能を示します。

ポート1Aプルダウン抵抗切り替えレジスタの構成と機能については、図10 - 1 **ポート1Aプルダウン抵抗切り替えレジスタの構成**を参照してください。

図13 - 3 入力切り替えブロックの構成

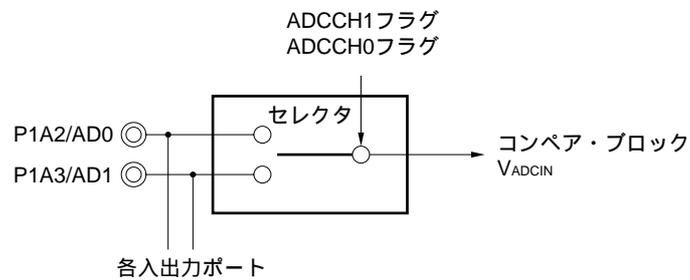
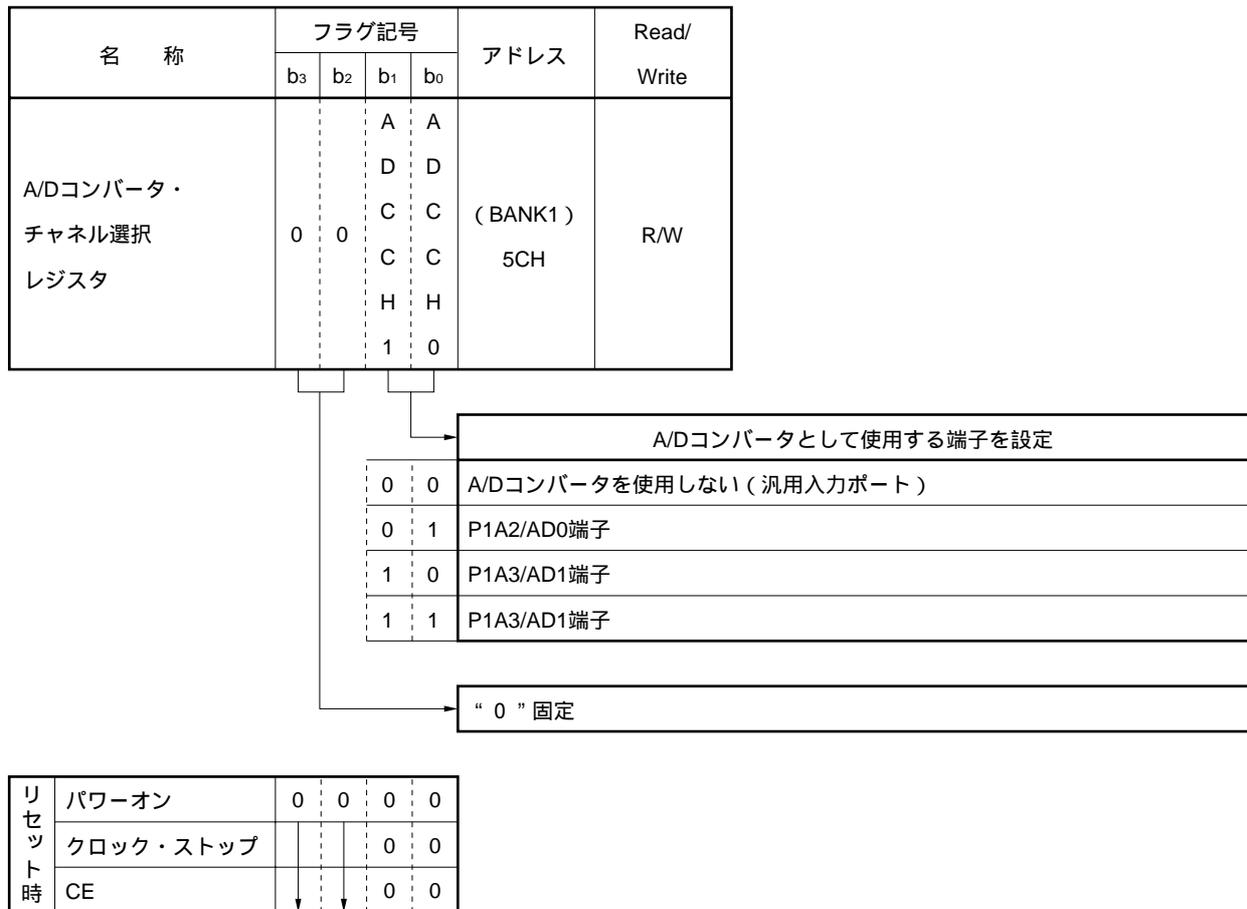


図13 - 4 A/Dコンバータ・チャンネル選択レジスタの構成



13.4 比較電圧生成ブロックおよびコンペア・ブロック

図13 - 5 に比較電圧生成ブロックおよびコンペア・ブロックの構成を示します。

比較電圧生成ブロックは、A/Dコンバータ基準電圧設定レジスタに設定された4ビットのデータによりタップ・デコーダを切り替え、16段階の比較電圧 V_{REF} を生成します。

すなわち、Rストリング方式のD/Aコンバータになっています。

Rストリング方式の電源は、デバイスの V_{DD} と同電位です。

コンペア・ブロックは、端子から入力された電圧 V_{ADCIN} と比較電圧 V_{REF} の大小を判断します。

コンパレータによる比較は、ADCSTRTフラグに書き込んだ時点で行われます。A/Dコンバータの1回の比較時間は2命令実行時間（通常動作時：106.6 μs，低速モード時：213.2 μs）になります。

また、ADCSTRTフラグの内容を読み出すことによって、そのときのコンパレータの動作状態を確認することができます。

比較結果は、ADCCMPフラグによって検出します。

図13 - 6 にA/Dコンバータ比較開始レジスタの構成と機能を示します。

また、図13 - 7，13 - 8に、A/Dコンバータ比較結果検出レジスタおよびA/Dコンバータ基準電圧設定レジスタの構成と機能を示します。また、表13 - 1に比較電圧の一覧を示します。

図13 - 5 比較電圧生成ブロックおよびコンペア・ブロックの構成

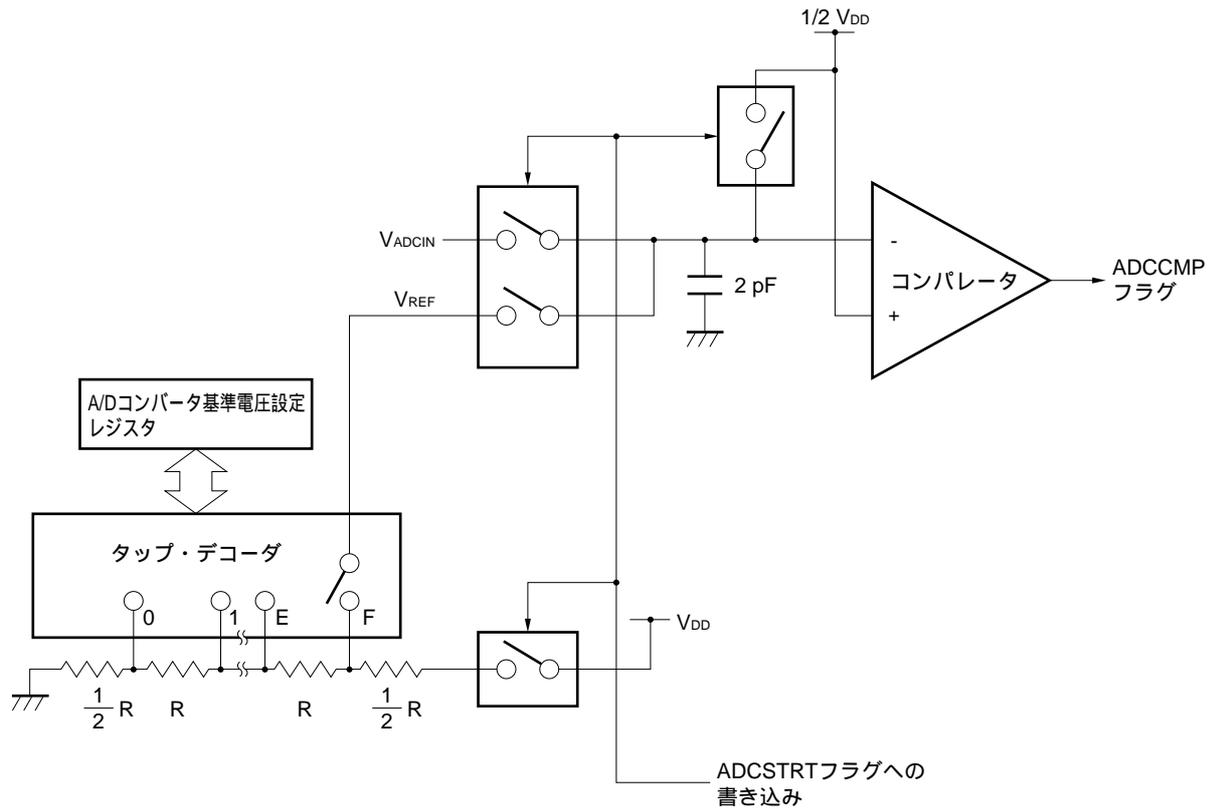
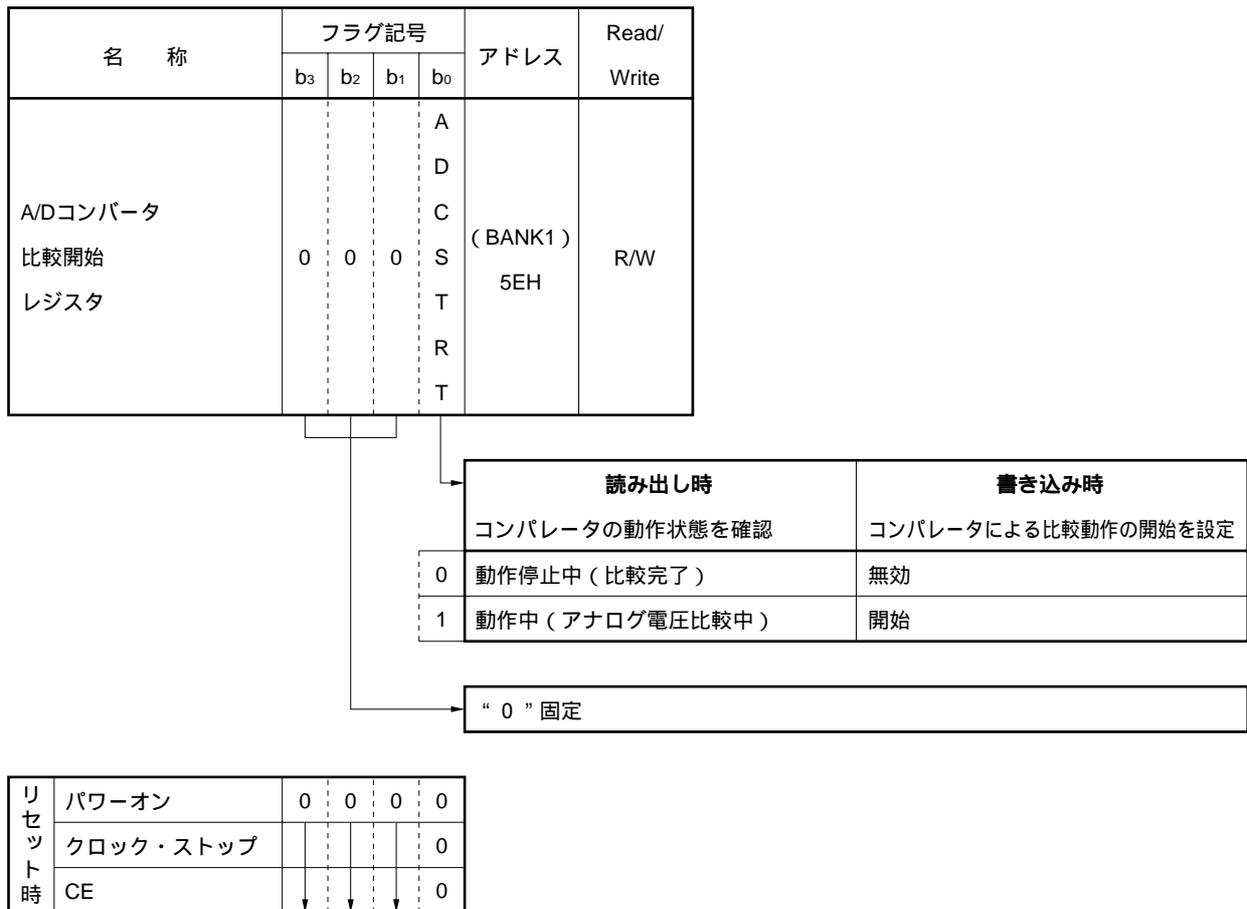


図13 - 6 A/Dコンバータ比較開始レジスタの構成



- 備考 1** . ADCSTRT = 1 (コンパレータによる比較動作中) のときに, A/Dコンバータ・チャンネル選択レジスタやA/Dコンバータ基準電圧設定レジスタを操作しても, それらのレジスタの内容は変化しません。そのため, コンパレータ動作中にA/Dコンバータの動作状態を変更することはできません。
- 2** . ADCSTRTフラグが “ 0 ” にクリアされるのは, コンパレータの電圧比較動作が完了したとき, または “ STOP s ” 命令が実行されたときのみです。

図13 - 7 A/Dコンバータ比較結果検出レジスタの構成

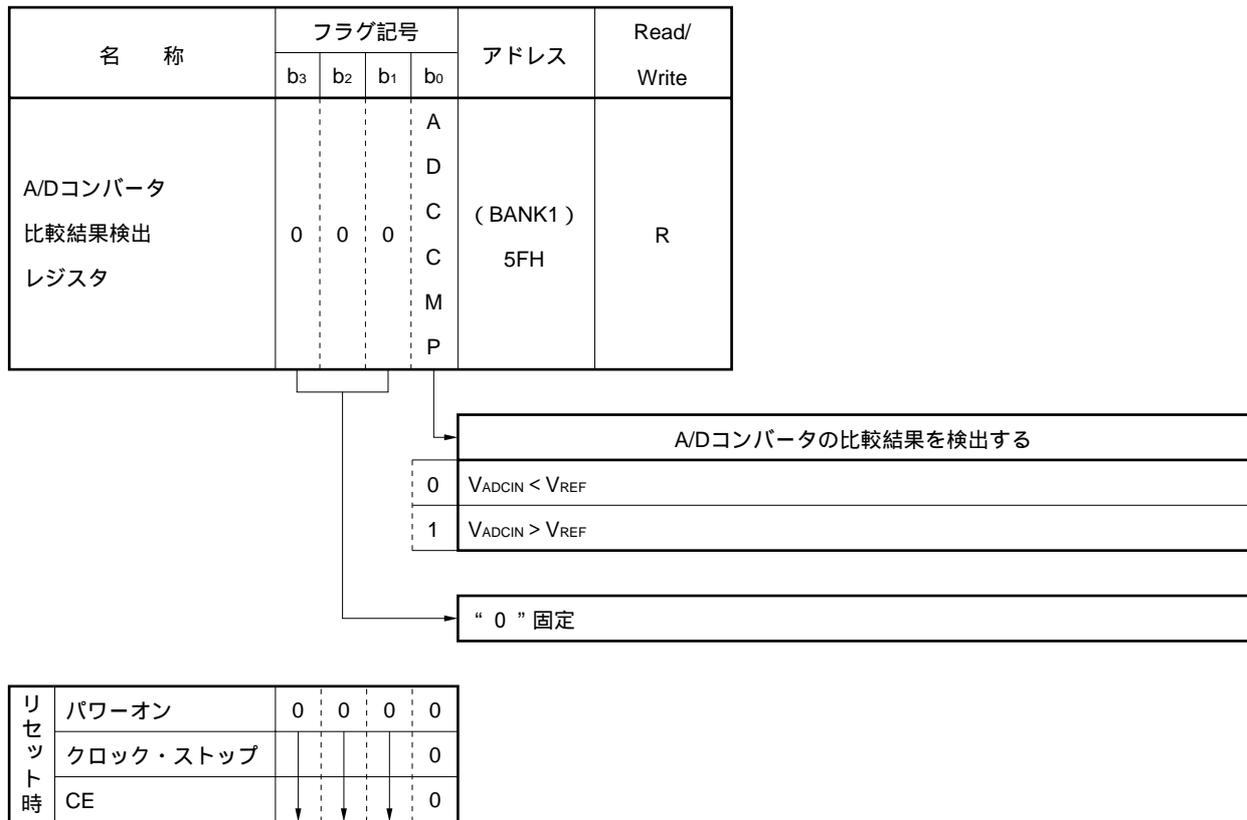
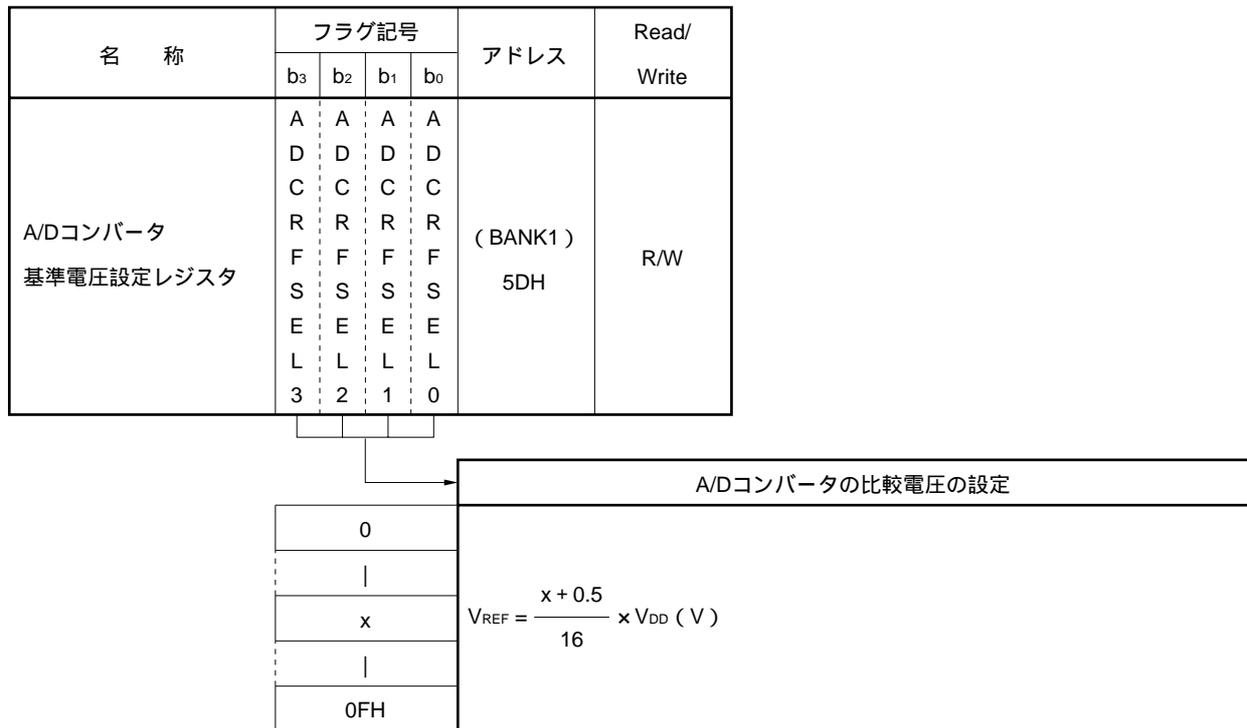


図13 - 8 A/Dコンバータ基準電圧設定レジスタの構成



リ セ ツ ト 時	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

表13 - 1 A/Dコンバータ基準電圧設定レジスタ設定値と比較電圧

A/Dコンバータ基準電圧設定レジスタ 設定データ		比較電圧	
10進 (DEC)	16進 (HEX)	論理電圧 単位：×V _{DD} V	V _{DD} = 3Vのとき 単位：V
0	00H	0.5/16	0.094
1	01H	1.5/16	0.281
2	02H	2.5/16	0.469
3	03H	3.5/16	0.656
4	04H	4.5/16	0.844
5	05H	5.5/16	1.031
6	06H	6.5/16	1.219
7	07H	7.5/16	1.406
8	08H	8.5/16	1.594
9	09H	9.5/16	1.781
10	0AH	10.5/16	1.969
11	0BH	11.5/16	2.156
12	0CH	12.5/16	2.344
13	0DH	13.5/16	2.531
14	0EH	14.5/16	2.719
15	0FH	15.5/16	2.906

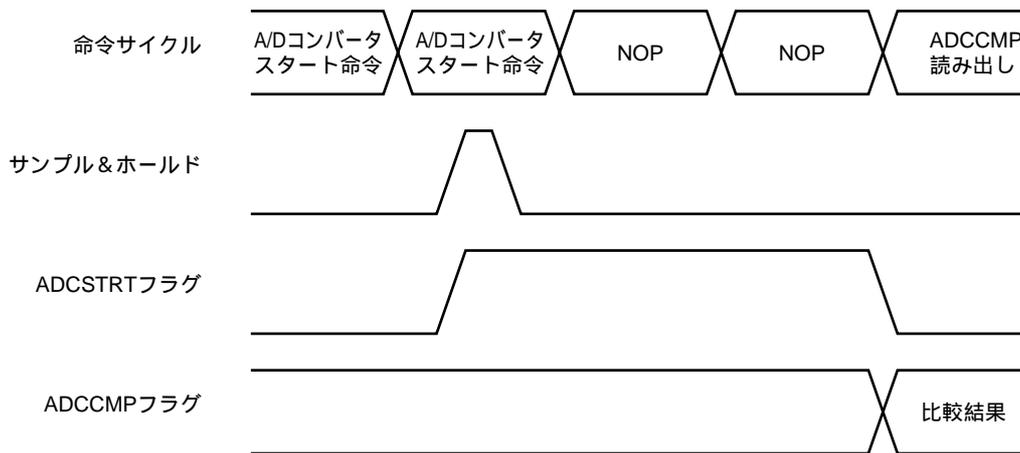
13.5 比較タイミング・チャート

ADCENフラグは、比較動作が終了すると自動的にクリア（0）されます。

ADCSTRTフラグをセットしたあと、2命令実行後にADCSTRTフラグが0にリセットされます。この時点で、比較結果（ADCCMPフラグ）を読み出すことが可能となります。

図13 - 9 にタイミング・チャートを示します。

図13 - 9 A/Dコンバータ比較動作のタイミング・チャート



13.6 A/Dコンバータの性能

表13 - 2 にA/Dコンバータの性能を示します。

表13 - 2 A/Dコンバータの性能

項 目	性 能
分解能	4ビット
入力電圧範囲	0-V _{DD}
量子化誤差	$\pm \frac{1}{2}$ LSB
オーバ・レンジ	$\frac{15.5}{16} \times V_{DD}$
オフセット, 利得, 非直線性等の誤差	$\pm \frac{3}{2}$ LSB ^注

注 量子化誤差を含みます。

13.7 A/Dコンバータの使用法

13.7.1 1つの比較電圧との比較方法

以下にプログラム例を示します。

例 AD0端子の入力電圧 V_{ADCIN} と比較電圧 V_{REF} ($8.5/16V_{DD}$) を比較し、 $V_{ADCIN} > V_{REF}$ ならAAAへ分岐し、 $V_{ADCIN} < V_{REF}$ ならBBBへ分岐する

```
BANK1
SET1   ADCON           ; A/Dコンバータ・オン
INITFLG NOT ADCCH1, ADCCH0 ; P1A2/AD0端子をA/Dコンバータとして使用
INITFLG ADCRFSEL3, NOT ADCRFSEL2, NOT ADCRFSEL1, NOT ADCRFSELO
                                ; 比較電圧 $V_{REF}$ を $8.5/16 \times V_{DD}$ に設定
SET1   ADCSTRT        ; A/D動作開始
NOP                                ; 比較動作中
NOP                                ; 比較動作中
SKT1   ADCCMP         ; ADCCMPフラグを検出し、
BR     AAA            ; False ( 0 ) ならAAAへ分岐し
BR     BBB            ; True ( 1 ) ならBBBへ分岐
```

13.7.2 バイナリ・サーチ方法による逐次比較

A/Dコンバータは1回の比較では、1つの比較電圧としか比較できません。

すなわち、入力電圧をデジタル信号に変換するためには、逐次比較をプログラムで行う必要があります。

このとき、入力電圧によって逐次比較プログラムの処理時間が異なっていると、他の処理プログラムとの関係で好ましくない場合があります。

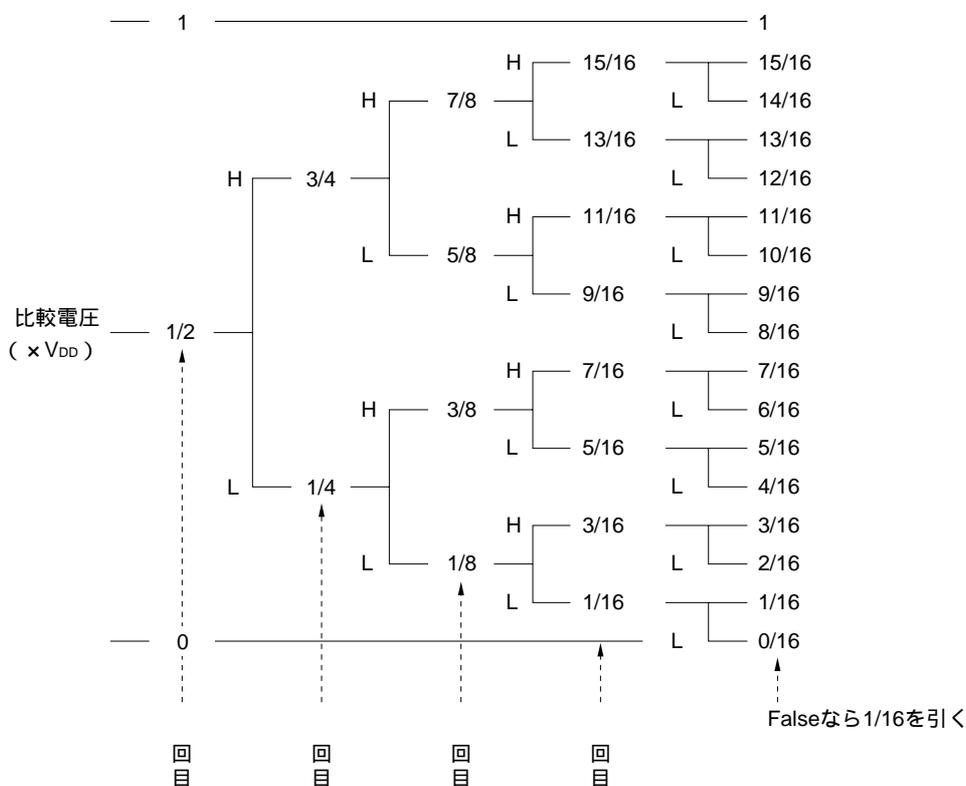
したがって、次の(1)-(3)に示すようなバイナリ・サーチ方法を使用すると便利です。

(1) バイナリ・サーチの概念

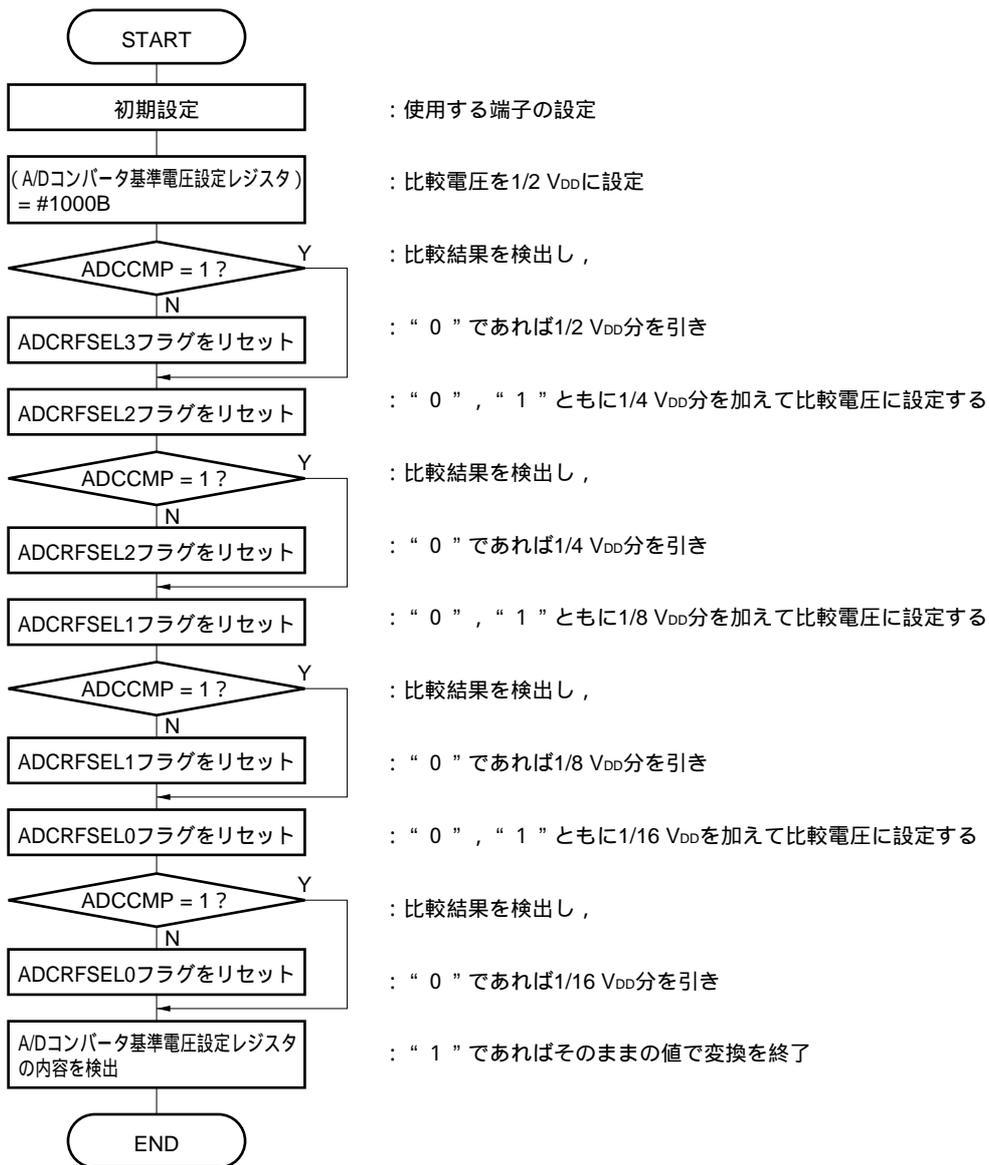
以下にバイナリ・サーチの概念を示します。

まず比較電圧に $1/2V_{DD}$ を設定し、比較結果がTrue(ハイ・レベルが入力されている)であれば $1/4V_{DD}$ 分の電圧を加え、False(ロウ・レベルが入力されている)であれば $1/4V_{DD}$ 分の電圧を引き比較します。

同様に順次 $1/8V_{DD}$, $1/16V_{DD}$ まで比較し、4回目まで終了した時点でFalseであれば $1/16V_{DD}$ を引いて終了します。



(2) バイナリ・サーチ方法のフロー・チャート



(3) バイナリ・サーチ方式のプログラム例

```

START :
  BANK1
  INITFLG NOT ADCCH1, ADCCH0 ; AD0端子を選択
  INITFLG P1APLD2 ; AD0端子のプルダウン抵抗をオフ
  INITFLG NOT ADCRFSEL3, ADCRFSEL2, ADCRFSEL1, ADRFSELO ; 比較電圧に7.5/16VDDを設定
  SET1 ADCSTRT ; A/Dコンパレータ動作開始
  NOP ; 2ウエイト
  NOP ;
  SKF1 ADCCMP ; ADCCMPを検出し,
  SET1 ADCRFSEL3 ; 0なら7.5/16VDDを加え
  CLR1 ADCRFSEL2 ; 3.5/16VDDを引く
  SET1 ADCSTRT ; A/Dコンパレータ動作開始
  NOP ; 2ウエイト
  NOP ;
  SKF1 ADCCMP ; ADCCMPを検出し,
  SET1 ADCRFSEL2 ; 0なら3.5/16VDDを加え
  CLR1 ADCRFSEL1 ; 1.5/16VDDを引く
  SET1 ADCSTRT ; A/Dコンパレータ動作開始
  NOP ; 2ウエイト
  NOP ;
  SKF1 ADCCMP ; ADCCMPを検出し,
  SET1 ADCRFSEL1 ; 0なら1.5/16VDDを加え
  CLR1 ADCRFSELO ; 0.5/16VDDを引く
  SET1 ADCSTRT ; A/Dコンパレータ動作開始
  NOP ; 2ウエイト
  NOP ;
  SKF1 ADCCMP ; ADCCMPを検出し,
  SET1 ADCRFSELO ; 0なら0.5/16VDDを加える
END :

```

13.8 リセット時の状態

13.8.1 パワーオン・リセット時

P1A2/AD0端子およびP1A3/AD1端子は汎用入力ポートに設定されます。
内部でプルダウンされています。

13.8.2 クロック・ストップ時

P1A2/AD0端子およびP1A3/AD1端子は汎用入力ポートに設定されます。
プルダウン抵抗の状態は、以前の状態が保持されます。

13.8.3 CEリセット時

P1A2/AD0端子およびP1A3/AD1端子は汎用入力ポートに設定されます。
プルダウン抵抗の状態は、以前の状態が保持されます。

14. シリアル・インタフェース

14.1 シリアル・インタフェース概要

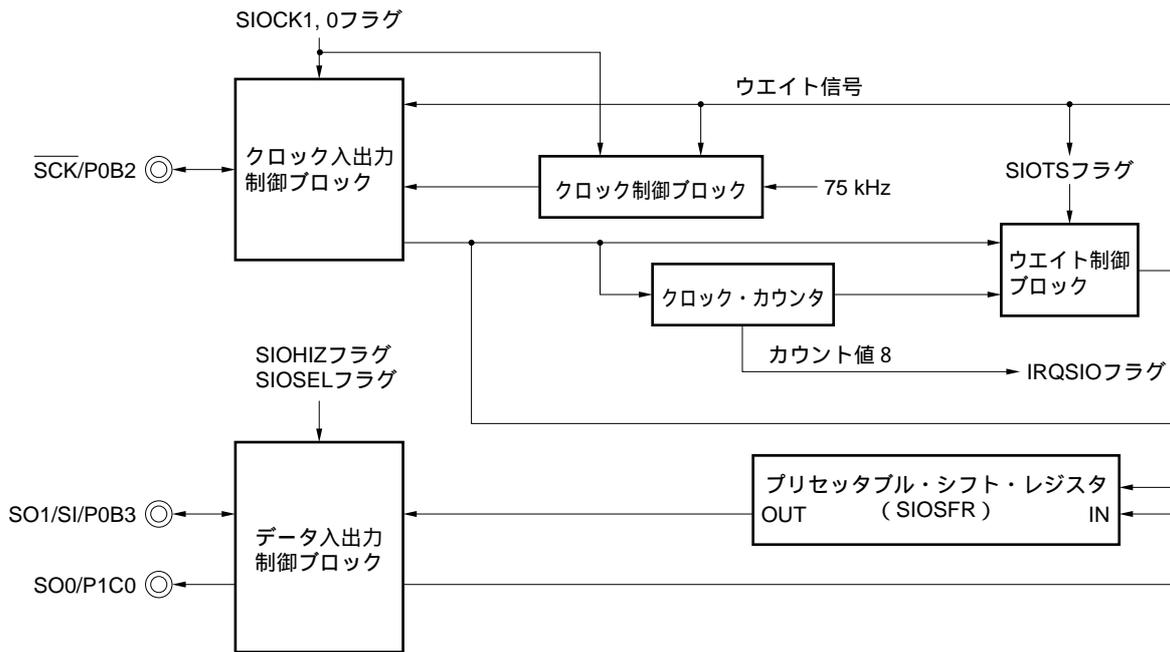
図14 - 1 にシリアル・インタフェースの概略を示します。

シリアル・インタフェースは、2線式または3線式のシリアルI/O方式が使用できます。

2線式はSCK端子およびSO1/SI端子を使用します。

3線式はSCK端子、SI端子およびSO0端子を使用します。

図14 - 1 シリアル・インタフェース概略



備考 1 . SIOCK1,0 (シリアルI/Oクロック選択レジスタのビット1,0 : 図14 - 2 参照)

シフト・クロックを設定

2 . SIOTS (シリアルI/Oモード選択レジスタのビット0 : 図14 - 3 参照)

通信の動作開始 / 停止を設定

3 . SIOHIZ (シリアルI/Oモード選択レジスタのビット1 : 図14 - 3 参照)

SO0/P1C0端子の機能を設定

4 . SIOSEL (シリアルI/Oモード選択レジスタのビット3 : 図14 - 3 参照)

SO1/SI/P0B3端子の入力 / 出力の切り替え

14.2 クロック入出力制御ブロックおよびデータ入出力制御ブロック

クロック入出力制御ブロックおよびデータ入出力制御ブロックは、シリアル・インタフェースの使用端子（2線式または3線式）、送受信動作の制御、およびシフト・クロックの選択を行います。

クロック入出力制御ブロックおよびデータ入出力制御ブロックを制御するフラグは、シリアルI/Oクロック選択レジスタおよびシリアルI/Oモード選択レジスタに配置されています。

図14 - 2 にシリアルI/Oクロック選択レジスタの構成と機能を示します。

図14 - 3 にシリアルI/Oモード選択レジスタの構成と機能を示します。

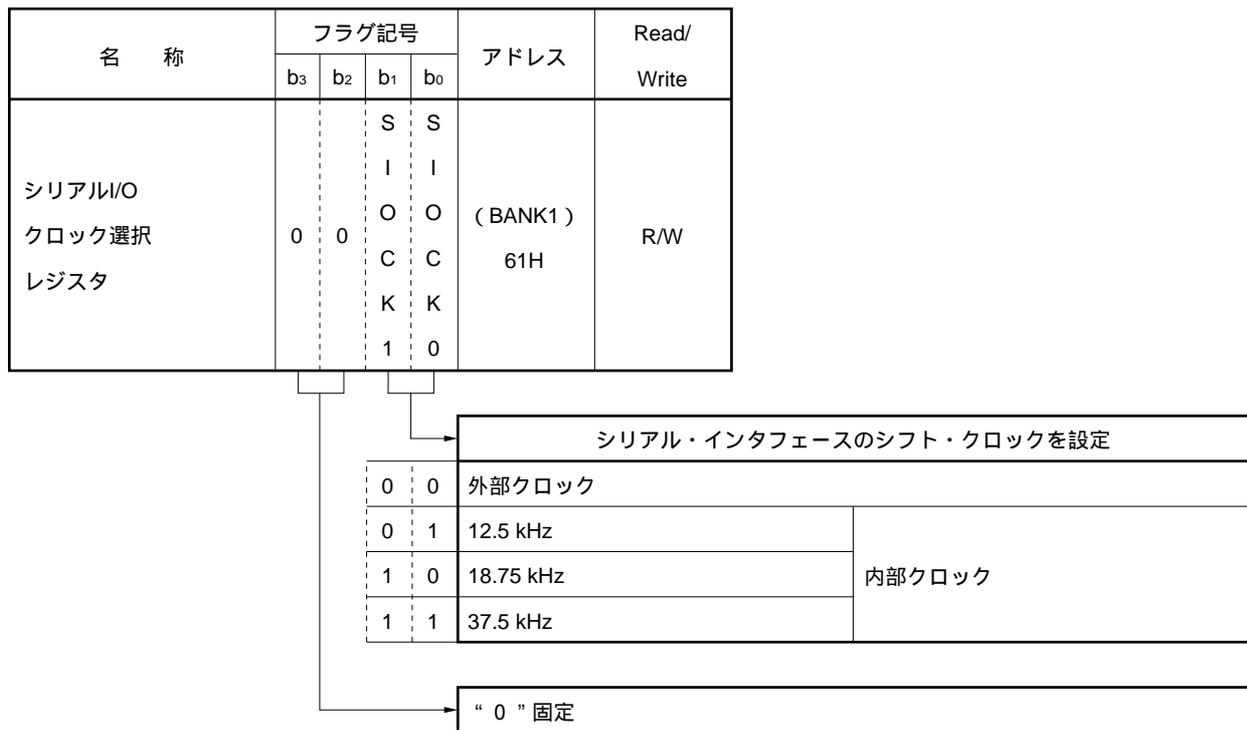
また、表14 - 1 に示すように、各端子の設定にはシリアル・インタフェースの制御フラグのほかに、各端子の入出力設定フラグも操作する必要があります。表14 - 1 に各制御フラグによる各端子の設定状態を示します。

SIOCK1,0フラグにより、内部クロック（マスタ）および外部クロック（スレーブ）動作を選択します。

SIOHIZフラグはSO0/P1C0端子をシリアル・データ出力として使用するかを選択します。

SIOSELフラグはSO1/SI/P0B3端子をシリアル・データ入力（SI端子）として使用するか、シリアル・データ出力（SO1端子）として使用するかの切り替えを行います。

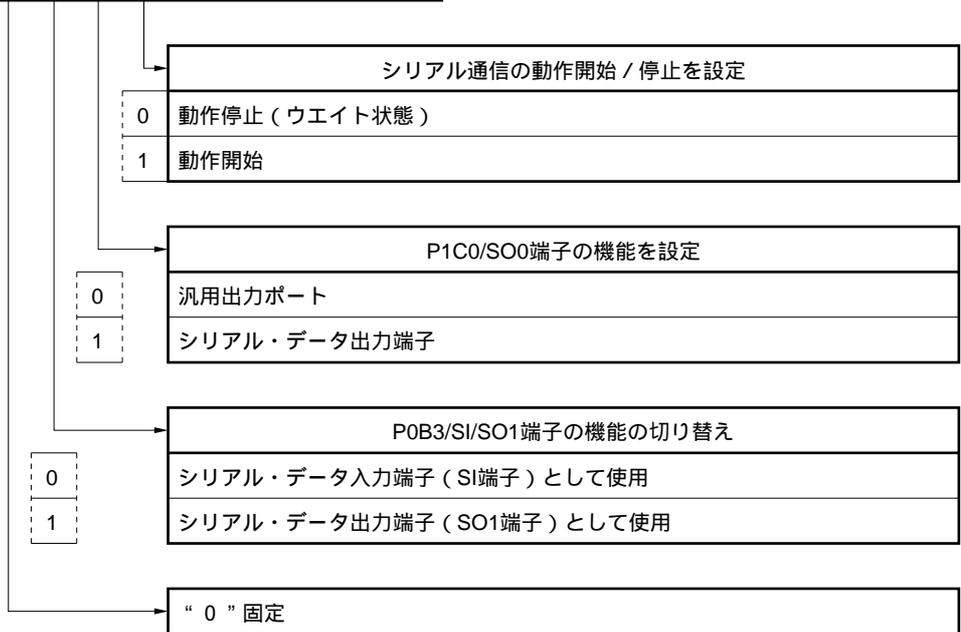
図14 - 2 シリアルI/Oクロック選択レジスタの構成



リ セ ッ ト 時	パワーオン	0	0	0	0
	クロック・ストップ			0	0
	CE			0	0

図14 - 3 シリアルI/Oモード選択レジスタの構成

名 称	フラグ記号				アドレス	Read/ Write
	b3	b2	b1	b0		
シリアルI/O モード選択 レジスタ		S	S	S	(BANK1) 60H	R/W
		I	I	I		
	0	O	O	O		
		S	H	T		
		E	I	S		
	L	Z				



リ セ ッ ト 時	パワーオン	0	0	0	0
	クロック・ストップ		0	0	0
	CE	↓	0	0	0

表14 - 1 各制御フラグによる各端子の設定状態

シリアル・インタフェースの各制御フラグ						各端子の入出力設定フラグ					
通信方式	SIOSEL	シリアル入出力切り替え	SIOHIZ	シリアル・インタフェース端子設定	SIOCK1	SIOCK0	クロック設定	端子名	P0BIO3	P0BIO2	端子の設定状態
3線式シリアルI/O ^{注1} および 2線式シリアルI/O ^{注2}					0	0	外部クロック	P0B2/SCK	0		ウェイト中 : 汎用入力ポート ウェイト解除中 : 外部クロック入力
						1					汎用出力ポート
						0	1	内部クロック		0	汎用入力ポート
						1	0			1	ウェイト中 : 内部クロック出力待ち ウェイト解除中 : 内部クロック出力
		0	入力 (受信)					P0B3/SI/SO1	0		ウェイト中 : 汎用入力ポート ウェイト解除中 : シリアル入力
		1	出力 (送信)						1		汎用出力ポート
									0		ウェイト中 : シリアル出力待ち
									1		ウェイト解除中 : シリアル出力
			0	汎用出力ポート				P1C0/SO0			汎用出力ポート
			1	シリアル出力							ウェイト中 : シリアル出力待ち ウェイト解除中 : シリアル出力

注1 . 3線式シリアルI/O方式を使用する場合には、必ずSIOSEL = 0およびSIOHIZ = 1に設定してください。

2 . 2線式シリアルI/O方式を使用する場合には、必ずSIOHIZ = 0に設定してください。

14.2.1 2線式 / 3線式の設定方法

2線式シリアル・インタフェースは、 $\overline{\text{SCK}}/\text{P0B2}$ 端子と $\text{SO1}/\text{SI}/\text{P0B3}$ 端子の2本を使用します。

$\overline{\text{SCK}}/\text{P0B2}$ 端子をシフト・クロック入出力端子として、 $\text{SO1}/\text{SI}/\text{P0B3}$ 端子をシリアル・データ入出力端子として使用します。シリアル・インタフェースに使用しない $\text{SO0}/\text{P1C0}$ 端子は、 SIOHIZ フラグにより汎用出力ポートに設定します。

これにより2線式シリアル・インタフェースとなります。

3線式シリアル・インタフェースは、 $\overline{\text{SCK}}/\text{P0B2}$ 端子、 $\text{SO0}/\text{P1C0}$ 端子、および $\text{SO1}/\text{SI}/\text{P0B3}$ 端子の3本を使用します。

$\overline{\text{SCK}}/\text{P0B2}$ 端子をシフト・クロックの入出力端子として、 $\text{SO0}/\text{P1C0}$ 端子をシリアル・データ出力端子、 $\text{SO1}/\text{SI}/\text{P0B3}$ 端子をシリアル・データ入力端子として使用します。

2線式のときとは異なり、 $\text{SO0}/\text{P1C0}$ 端子は、 SIOHIZ フラグによりシリアル・データ出力端子に設定します。また、 $\text{SO1}/\text{SI}/\text{P0B3}$ 端子は、 SIOSEL フラグによりシリアル・データ入力端子に設定します。

これにより3線式シリアル・インタフェースとなります。

14.2.2 2線式シリアル・インタフェースのデータ入出力の切り替え

2線式シリアル・インタフェースでは、 $\text{SO1}/\text{SI}/\text{P0B3}$ 端子をシリアル・データの入出力に使用します。

$\text{SO1}/\text{SI}/\text{P0B3}$ 端子をシリアル・データ入力端子（SI端子）として使用するか、シリアル・データ出力端子（SO1端子）として使用するかの切り替えは、 SIOSEL フラグによって行います（**図14-3 シリアルI/Oモード選択レジスタの構成参照**）。

14.3 クロック制御ブロック

クロック制御ブロックは、内部クロック使用時（マスタ動作）のクロックの生成およびクロック出力タイミングの制御を行います。

内部クロックの周波数 f_{sc} は、シリアルI/Oクロック選択レジスタの SIOCK0 、 SIOCK1 フラグにより設定します。

図14-2にシリアルI/Oクロック選択レジスタの構成と機能を示します。

クロック生成タイミングについては、**14.7 シリアル・インタフェースの動作**を参照してください。

14.4 クロック・カウンタ

クロック・カウンタは、シフト・クロック端子（ $\overline{\text{SCK}}/\text{P0B2}$ 端子）から出力または入力するシフト・クロックをカウントします。

クロック・カウンタは、クロック用端子の状態を直接読み込むため、内部クロックであるのか外部クロックであるのかは判断できません。

クロック・カウンタの内容は直接プログラムで内容を読み込むことはできません。

クロック・カウンタの動作およびタイミング・チャートについては**14.7 シリアル・インタフェースの動作**を参照してください。

14.5 プリセッタブル・シフト・レジスタ

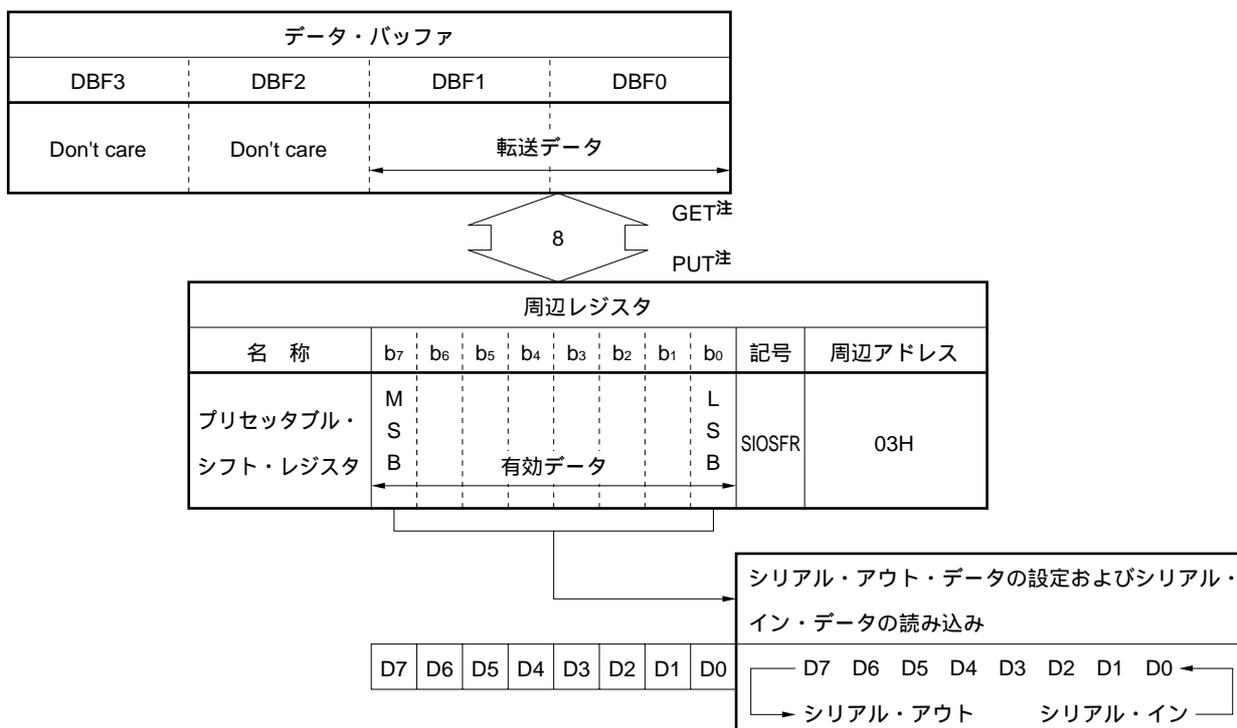
プリセッタブル・シフト・レジスタは、シリアル・アウト・データの書き込みおよびシリアル・イン・データの読み込みを行うための8ビットのシフト・レジスタです。

プリセッタブル・シフト・レジスタへのデータの書き込みおよびデータの読み出しは、データ・バッファを介してPUT命令とGET命令で行います。

プリセッタブル・シフト・レジスタは、シリアル・データ入出力端子から、シフト・クロックの立ち下がりに同期して最上位ビット（MSB）の内容を出力（送信動作時）し、シフト・クロックの立ち上がりに同期してデータを最下位ビット（LSB）に読み込みます。

図14 - 4 にプリセッタブル・シフト・レジスタの構成と機能を示します。

図14 - 4 プリセッタブル・シフト・レジスタの構成



注 シリアル通信中にPUTまたはGET命令を実行するとデータが破壊される場合があります。詳しくは14.8 データ設定時およびデータ読み込み時の注意を参照してください。

14.6 ウェイト制御ブロック

ウェイト制御ブロックは通信の休止（ウェイト）およびその解除を制御します。

シリアル/Oモード選択レジスタのSIOTSフラグにウェイトの解除を設定することにより、シリアル通信がスタートします。

ウェイトが解除され、通信がスタートし、クロック・カウンタが“ 8 ”のときにシフト・クロックが立ち上がると再びウェイト状態になります。

通信状態はSIOTSフラグにより検出できます。つまり、SIOTSフラグに“ 1 ”を設定したあとにSIOTSフラグの状態を検出することにより、通信状態を検出できます。

ウェイト解除中にSIOTSフラグに“ 0 ”を書き込むとウェイト状態になります。これを強制ウェイトと呼びます。

シリアル/Oモード選択レジスタの構成と機能については図14 - 3 を参照してください。

14.7 シリアル・インタフェースの動作

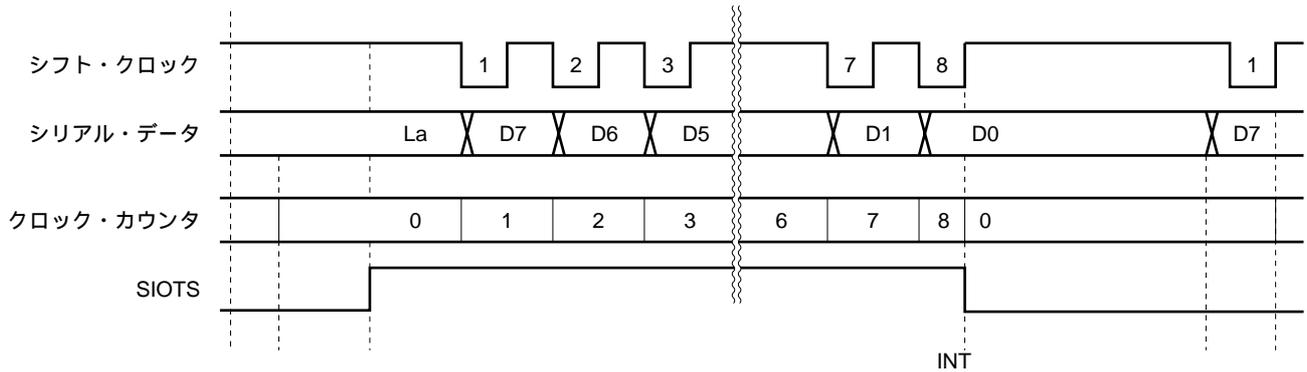
次にシリアル・インタフェースの各動作タイミングについて説明します。

2線式の場合も3線式の場合も、各動作のタイミングは同じです。

14.7.1 タイミング・チャート

図14 - 5 にタイミング・チャートを示します。

図14 - 5 シリアル・インタフェースのタイミング・チャート



- 備考**
- 初期状態 (汎用入力ポート)
 - 汎用入出力ポートによるスタート条件生成
 - ウェイト解除
 - ウェイト・タイミング
 - 汎用入力ポートに設定
 - 汎用入出力ポートによるストップ条件生成

14.7.2 クロック・カウンタの動作

クロック・カウンタの初期値は“0”で、以後クロック用端子の立ち下がりが検出されるごとにインクリメントされます。“8”までにカウントされると、次のクロック用端子の立ち上がりで“0”にリセットされます。クロック・カウンタが“0”にリセットされた時点でシリアル通信はウェイトします。

次にクロック・カウンタのリセット条件を示します。

- パワーオン・リセット時
- クロック・ストップ命令実行時
- SIOTSフラグに“0”が書き込まれたとき
- ウェイト解除中で、かつクロック・カウンタが“8”のときにシフト・クロックが立ち上がったとき

14.7.3 ウェイト動作と注意

ウェイトが解除されると次のクロックの立ち下がりでシリアル・データを出力し（送信動作時）、8クロックまでウェイト解除状態になります。

8クロック出力後は、シフト・クロック端子をハイ・レベルにしてクロック・カウンタおよびプリセッタブル・シフト・レジスタの動作を停止します。

ウェイト解除中であつシフト・クロック端子がハイ・レベルの期間に、プリセッタブル・シフト・レジスタのデータ書き込みおよび読み込みを行うと正しいデータが設定されないので注意してください。

ウェイト解除中であつシフト・クロック端子がロウ・レベルの期間に、プリセッタブル・シフト・レジスタのデータ書き込みを行うと、“PUT”命令が実行された時点でシリアル・データ出力端子にMSBの内容が出力されます。

ウェイト解除中に強制ウェイトを行うと、SIOTSフラグに“0”が書き込まれた時点で即座にウェイト状態になります。

14.7.4 割り込み要求発行タイミング

8クロック送信（受信）時に割り込み要求が発行されます。

14.7.5 シフト・クロック生成タイミング

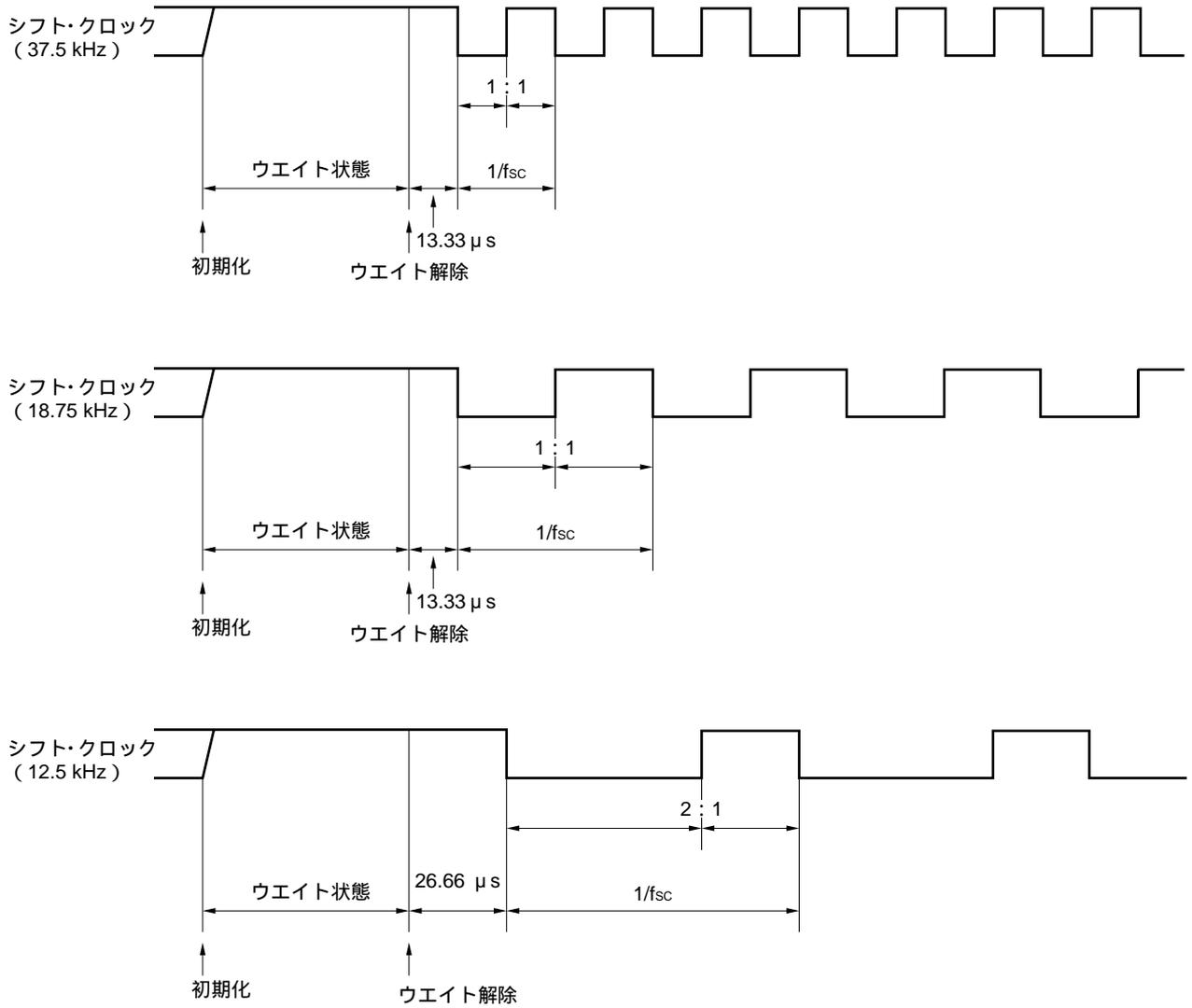
（1）初期状態からのウェイト解除時

初期状態とは、内部クロック動作を選択し、かつP0B2/ $\overline{\text{SCK}}$ 端子をハイ・レベル出力に設定した時点を示します。

ウェイト状態中は、シフト・クロック端子にハイ・レベルを出力します。

ウェイトの解除とクロックの選択を同時に行うこともできます。

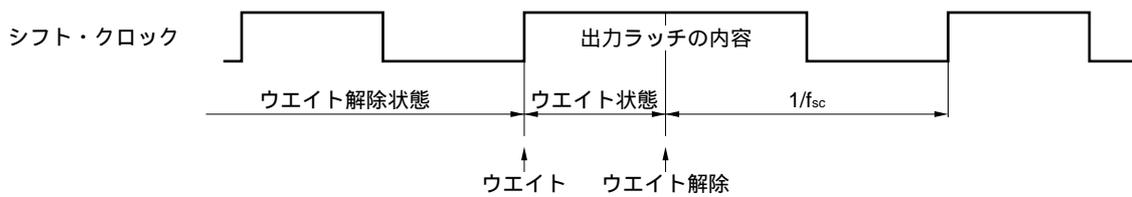
図14 - 6 シリアル・インタフェースのシフト・クロック生成タイミング (1/4)



(2) ウェイト動作を行ったとき

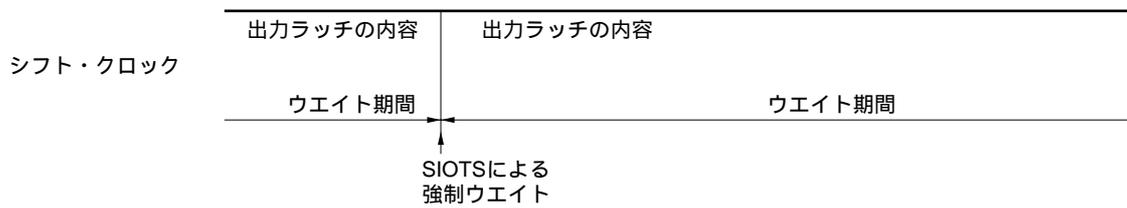
(a) 8クロック目でウェイトしたとき (通常動作)

図14 - 6 シリアル・インタフェースのシフト・クロック生成タイミング (2/4)



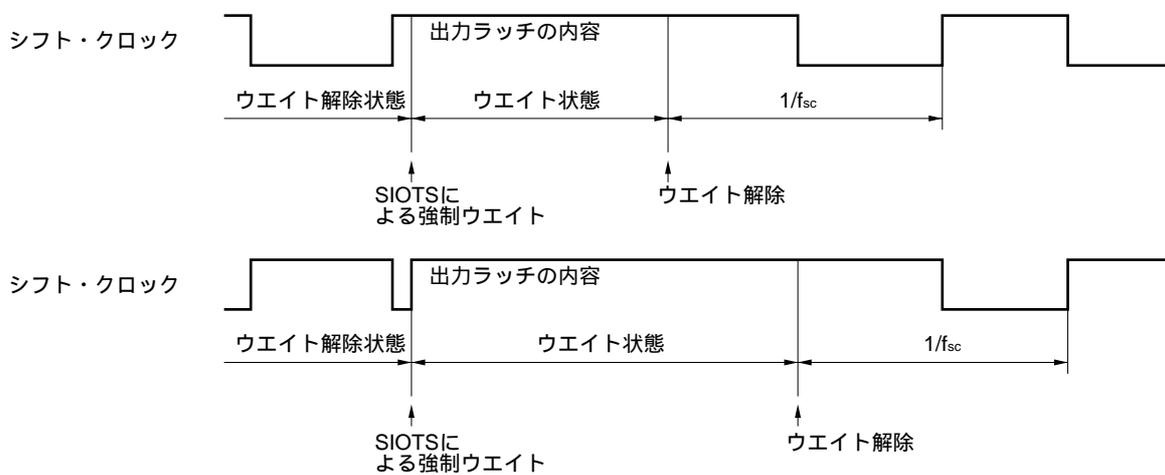
(b) ウェイト中に強制ウェイトしたとき

図14 - 6 シリアル・インタフェースのシフト・クロック生成タイミング (3/4)



(c) ウェイト解除中に強制ウェイトしたとき

図14 - 6 シリアル・インタフェースのシフト・クロック生成タイミング (4/4)



(d) ウェイト解除中にウェイト解除したとき

クロック出力波形は変化しません。クロック・カウンタもリセットされません。ただし、ウェイト解除中にクロック周波数は変更しないでください。

14.8 データ設定時およびデータ読み込み時の注意

プリセッタブル・シフト・レジスタへのデータの設定は，“PUT SIOSFR, DBF”命令で行います。

また，データの読み込みは“GET DBF, SIOSFR”命令で行います。

データの設定およびデータの読み込みはウエイト状態中に行ってください。ウエイト解除状態中はシフト・クロック端子の状態により正しくデータの設定および読み込みができない場合があります。

次にデータの設定および読み込みのタイミングと注意を示します。

表14 - 2 プリセッタブル・シフト・レジスタのデータ読み込みおよびデータ書き込み動作と注意

PUT/GET実行時の状態		シフト・クロック端子の状態	プリセッタブル・シフト・レジスタの動作
ウエイト状態	読み込み時 (GET)	外部クロック時 フローティング	正常読み込み
	書き込み時 (PUT)	内部クロック時 出力ラッチの値 通常ハイ・レベルで使用する	<p>正常書き込み</p> <p>データの出力は次にウエイトが解除されてシフト・クロックが立ち下がったときにMSBの内容を出力する（送信動作時）</p>
ウエイト解除状態	読み込み時 (GET)	ロウ・レベル	正常読み込み
		ハイ・レベル	正常に読み込めない SIOSFRの内容が破壊される
	書き込み時 (PUT)	ロウ・レベル	正常に書き込めない SIOSFRの内容が破壊される
		ハイ・レベル	<p>正常書き込み</p> <p>データの出力はPUT命令を実行した時点でMSBの内容を出力する クロック・カウンタはリセットされない</p>

14.9 シリアル・インタフェースの動作概略

表14 - 3 , 表14 - 4 にシリアル・インタフェースの動作概略を示します。

表14 - 3 3線式シリアル/I/O方式動作概略

動作モード		スレーブ動作 (SIOCK1 = SIOCK0 = 0)		マスタ動作 (SIOCK1 = SIOCK0 = 0以外)	
		ウェイト中 (SIOTS = 0)	ウェイト解除中 (SIOTS = 1)	ウェイト中 (SIOTS = 0)	ウェイト解除中 (SIOTS = 1)
各端子の状態	SCK/P0B2	P0BBIO2 = 0のとき 汎用入力ポート	P0BBIO2 = 0のとき 外部クロック入力	P0BBIO2 = 0のとき 汎用入力ポート	P0BBIO2 = 0のとき 汎用入力ポート
		P0BBIO2 = 1のとき 汎用出力ポート	P0BBIO2 = 1のとき 汎用出力ポート	P0BBIO2 = 1のとき 内部クロック出力待ち	P0BBIO2 = 1のとき 内部クロック出力
	SI/SO1/P0B3	SIOSEL = 0			
	P0BBIO3 = 0のとき 汎用入力ポート	P0BBIO3 = 0のとき シリアル入力	P0BBIO3 = 0のとき 汎用入力ポート	P0BBIO3 = 0のとき シリアル入力	
	P0BBIO3 = 1のとき 汎用出力ポート	P0BBIO3 = 1のとき 汎用出力ポート	P0BBIO3 = 1のとき 汎用出力ポート	P0BBIO3 = 1のとき 汎用出力ポート	
	SO0/P1C0	SIOHIZ = 1			
		シリアル出力待ち	シリアル出力	シリアル出力待ち	シリアル出力
クロック・カウンタ		SCK端子の立ち下がりでインクリメント			
プリセットブル・シフト・レジスタの動作	出力	SIOHIZ = 0のとき 出力されない SIOHIZ = 1のとき SCK端子の立ち上がりごとに、MSBからシフトしてSO0端子から出力			
	入力	SIOSEL = 0のとき SCK端子の立ち上がりごとに、LSBからシフトしてSI端子の状態を入力 ただし、SI端子が出力ポートに設定されている場合は、出力ラッチの内容が入力される			

表14 - 4 2線式シリアルI/O方式動作概略

動作モード		スレーブ動作 (SIOCK1 = SIOCK0 = 0)		マスタ動作 (SIOCK1 = SIOCK0 = 0以外)	
		ウェイト中 (SIOTS = 0)	ウェイト解除中 (SIOTS = 1)	ウェイト中 (SIOTS = 0)	ウェイト解除中 (SIOTS = 1)
各端子の状態	SCK/P0B2	P0BBIO2 = 0のとき 汎用入力ポート	P0BBIO2 = 0のとき 外部クロック入力	P0BBIO2 = 0のとき 汎用入力ポート	P0BBIO2 = 0のとき 汎用入力ポート
		P0BBIO2 = 1のとき 汎用出力ポート	P0BBIO2 = 1のとき 汎用出力ポート	P0BBIO2 = 1のとき 内部クロック出力待ち	P0BBIO2 = 1のとき 内部クロック出力
	SI/SO1/P0B3	SIOSEL = 0			
		P0BBIO3 = 0のとき 汎用入力ポート	P0BBIO3 = 0のとき シリアル入力	P0BBIO3 = 0のとき 汎用入力ポート	P0BBIO3 = 0のとき シリアル入力
P0BBIO3 = 1のとき 汎用出力ポート		P0BBIO3 = 1のとき 汎用出力ポート	P0BBIO3 = 1のとき 汎用出力ポート	P0BBIO3 = 1のとき 汎用出力ポート	
	SIOSEL = 1				
	P0BBIO3に関係なく シリアル出力待ち	P0BBIO3に関係なく シリアル出力	P0BBIO3に関係なく シリアル出力待ち	P0BBIO3に関係なく シリアル出力	
	SIOHIZ = 0 汎用出力ポート				
クロック・カウンタ		SCK端子の立ち下がりでインクリメント			
プリセッタブル・シフト・レジスタの動作	出力	SIOSEL = 1のとき SCK端子の立ち下がりごとに、MSBからシフトしてSO1端子から出力			
	入力	SIOSEL = 0のとき SCK端子の立ち上がりごとに、LSBからシフトしてSI端子の状態を入力 ただし、SI端子が出力ポートに設定されている場合は、出力ラッチの内容が入力される			

14.10 リセット時の状態

14.10.1 パワーオン・リセット時

P0B2/ $\overline{\text{SCK}}$ 端子, P0B3/SI/SO1端子は汎用入力ポートに設定されます。

P1C0/SO0端子は汎用出力ポートに設定されます。

プリセッタブル・シフト・レジスタの内容は不定になります。

14.10.2 クロック・ストップ時

P0B2/ $\overline{\text{SCK}}$ 端子, P0B3/SI/SO1端子は汎用入力ポートに設定されます。

P1C0/SO0端子は汎用出力ポートに設定されます。

プリセッタブル・シフト・レジスタの内容は以前の状態を保持します。

14.10.3 CEリセット時

P0B2/ $\overline{\text{SCK}}$ 端子, P0B3/SI/SO1端子は汎用入力ポートに設定されます。

P1C0/SO0端子は汎用出力ポートに設定されます。

プリセッタブル・シフト・レジスタの内容は以前の状態を保持します。

14.10.4 ホールト時

各端子は設定されている状態を保持します。

内部クロックはHALT命令実行時の状態で出力を停止します。

外部クロックを使用している場合はHALT命令を実行しても動作を継続します。

15 . PLL周波数シンセサイザ

PLL (Phase Locked Loop) 周波数シンセサイザは , MF (Medium Frequency) , HF (High Frequency) および VHF (Very High Frequency) 帯の周波数を位相差比較方式により一定周波数にロックさせるために使用します。

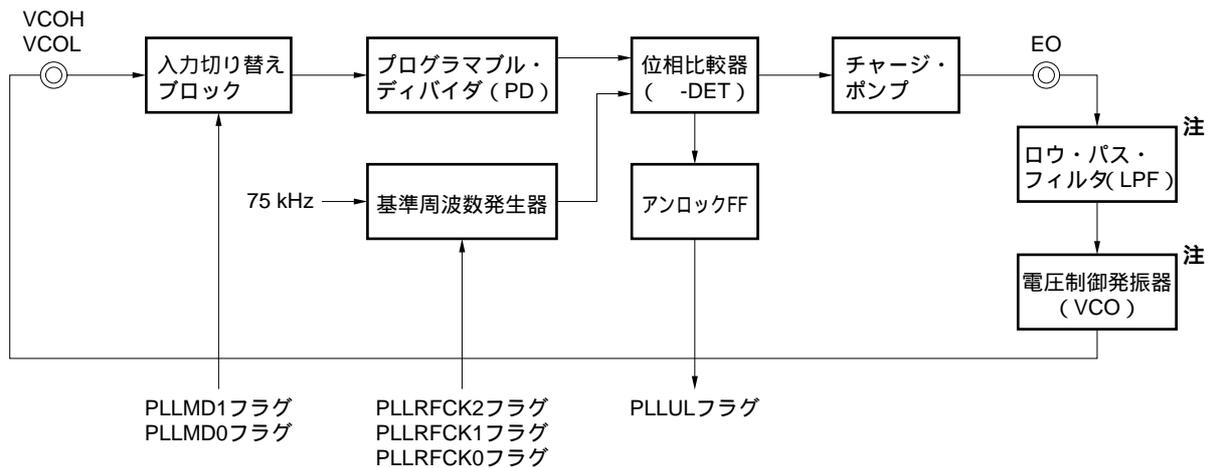
15.1 PLL周波数シンセサイザ概要

図15 - 1 にPLL周波数シンセサイザの概略を示します。外部にロウ・パス・フィルタ (LPF) , 電圧制御発振器 (VCO) を接続することによりPLL周波数シンセサイザを構成できます。

PLL周波数シンセサイザは , VCOH端子またはVCOL端子から入力された信号をプログラマブル・ディバイダで分周し , 基準周波数との位相差をEO端子から出力します。ただし , VCOH端子から入力される信号は , プログラマブル・ディバイダに入力される直前で1/2分周されます。

PLL周波数シンセサイザは , CE端子がハイ・レベルのときのみ動作します。CE端子がロウ・レベルのときはディスエーブル状態となります。PLLのディスエーブル状態については , 15.5 PLLディスエーブル状態を参照してください。

図15 - 1 PLL周波数シンセサイザ概略



注 外部回路です。

備考1 . PLLMD1, 0 (PLLモード選択レジスタのビット1 , 0 : 図15 - 3 参照)

PLL周波数シンセサイザの分周方式を設定

2 . PLLRFCK2, 1, 0 (PLL基準周波数選択レジスタのビット2 - 0 : 図15 - 7 参照)

PLL周波数シンセサイザの基準周波数 f_r を設定

3 . PLLLUL (PLLアンロックFFレジスタのビット0 : 図15 - 10参照)

アンロックFFの状態を検出

15.2 入力切り替えブロックおよびプログラマブル・ディバイダ

15.2.1 入力切り替えブロックおよびプログラマブル・ディバイダの構成と機能

図15 - 2 に入力切り替えブロックおよびプログラマブル・ディバイダの構成を示します。

入力切り替えブロックは、PLL周波数シンセサイザの入力端子および分周方式を選択します。

入力端子にはVCOH端子とVCOL端子が選択できます。

選択された端子は中間電位（約1/2 V_{DD}）になります。選択されていない端子は内部でプルダウンされます。

これらの端子の入力は交流アンプとなっていますので、入力信号の直流分は端子に直列に挿入するコンデンサでカットしてください。

分周方式には直流分周方式とパルス・スワロ方式が選択できます。

プログラマブル・ディバイダは、スワロ・カウンタおよびプログラマブル・カウンタに設定された値により各分周方式による分周を行います。

表15 - 1 に各入力端子（VCOH, VCOL端子）と分周方式を示します。

使用する入力端子と分周方式の選択は、PLLモード選択レジスタにより行います。

図15 - 3 にPLLモード選択レジスタの構成を示します。

分周値の設定は、PLLデータ・レジスタにより行います。

プログラマブル・ディバイダへの分周値の転送は、PLLデータ・セット・レジスタにより行います。

図15 - 2 入力切り替えブロックおよびプログラマブル・ディバイダの構成

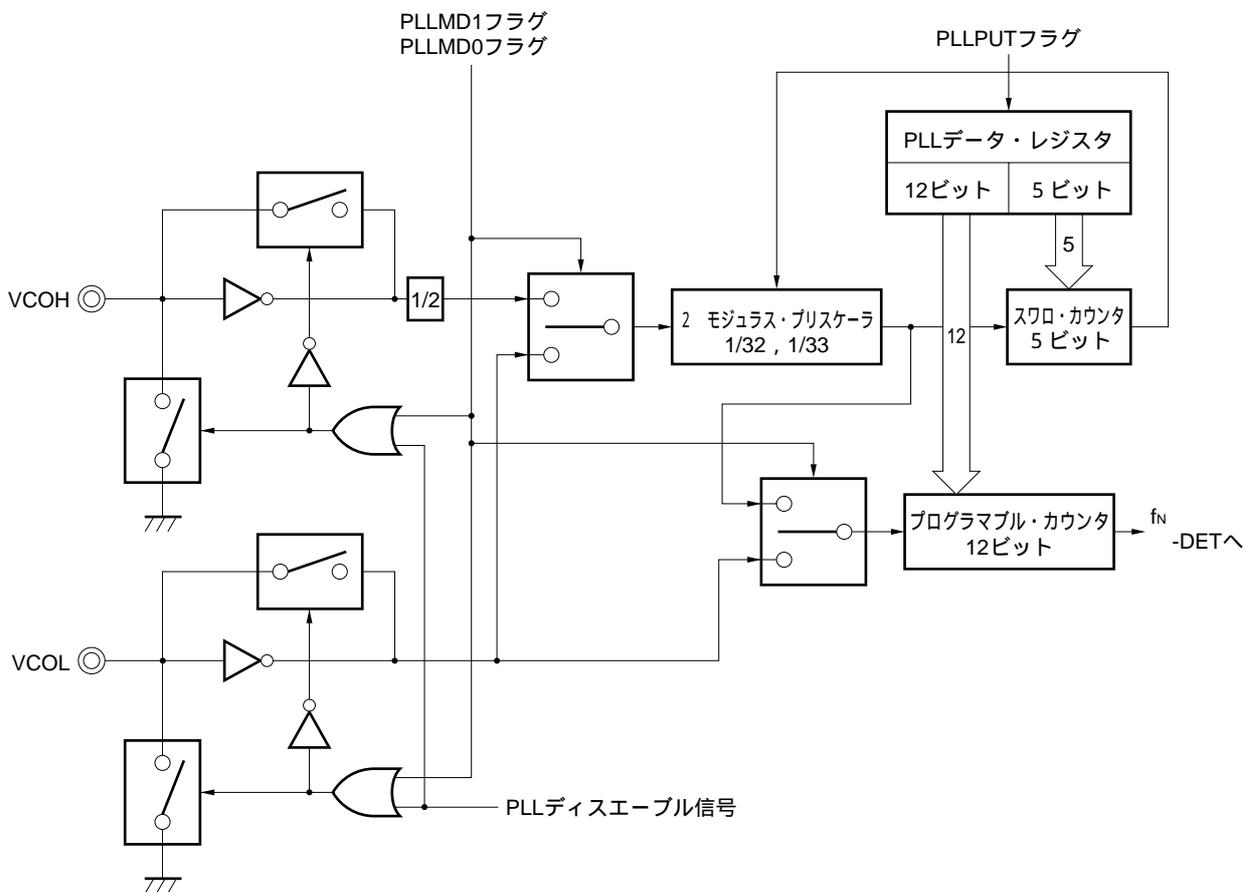


表15 - 1 各入力端子と分周方式

分周方式	使用する端子	入力できる周波数 (MHz)	入力振幅 (V _{p-p})	設定できる分周値	データ・バッファに設定 できる分周値
直接分周 (MF)	VCOL	0.3-8	0.2	16 ~ 2 ¹² - 1	010 × H-FFF × H (× : 下位4ビットは任意)
パルス・スワロ (HF)	VCOL	5-130	0.3	1024 ~ 2 ¹⁷ - 1	0400H-1FFFFH
パルス・スワロ (VHF)	VCOH	40-230	0.2	1024 ~ 2 ¹⁷ - 1	0400H-1FFFFH

図15 - 3 PLLモード選択レジスタの構成



15.2.2 各分周方式の概略

(1) 直接分周方式 (MF)

VCOL端子を使用します。

VCOH端子はフローティングになります。

直接分周方式は、プログラマブル・カウンタのみで分周を行います。

(2) パルス・スワロ方式 (HF)

VCOL端子を使用します。

VCOH端子はフローティングになります。

パルス・スワロ方式は、スワロ・カウンタおよびプログラマブル・カウンタで分周を行います。

(3) パルス・スワロ方式 (VHF)

VCOH端子を使用します。このモードを選択した場合、プログラマブル・ディバイダの前段に1/2分周が入りません。

VCOL端子はフローティングになります。

パルス・スワロ方式は、スワロ・カウンタおよびプログラマブル・カウンタで分周を行います。

(4) PLLディスエーブル

15.5 PLLディスエーブル状態を参照してください。

15.2.3 プログラマブル・ディバイダとPLLデータ・レジスタ, PLLデータ・セット・レジスタ

スワロ・カウンタおよびプログラマブル・カウンタへの分周値の設定は, PLLデータ・レジスタによって行います。PLLデータ・レジスタで設定された分周値は, PLLデータ・セット・レジスタによりスワロ・カウンタおよびプログラマブル・カウンタへ転送します。

スワロ・カウンタおよびプログラマブル・カウンタは, それぞれ5ビットおよび12ビットのバイナリ・カウンタで構成されています。

分周する値は“N値”と呼びます。

各分周方式時の分周値(N値)の設定については15.6 PLL周波数シンセサイザの使用方を参照してください。

(1) PLLデータ・レジスタの構成と機能

図15-4にPLLデータ・レジスタの構成を示します。

直接分周方式時は上位12ビットが有効になり, パルス・スワロ方式時は17ビットすべてが有効になります。

直接分周方式時は12ビットすべてがプログラマブル・カウンタに設定されます。

パルス・スワロ方式時は上位12ビットがプログラマブル・カウンタに設定され, 下位5ビットがスワロ・カウンタに設定されます。

(2) PLLデータ・セット・レジスタの構成と機能

図15-5にPLLデータ・セット・レジスタの構成を示します。

PLLPUTフラグに“1”を書き込むことにより, PLLデータ・レジスタで設定された分周値をスワロ・カウンタおよびプログラマブル・カウンタに転送します。

データ転送後, PLLPUTフラグは“0”にリセットされます。

(3) プログラマブル・ディバイダの分周値Nと分周出力周波数の関係

PLLデータ・レジスタに設定された値“N”と, プログラマブル・ディバイダにより分周されて出力される信号の周波数“ f_N ”は次のようになります。

詳しくは15.6 PLL周波数シンセサイザの使用方を参照してください。

(a) 直接分周方式時(MF)

$$f_N = \frac{f_{IN}}{N} \quad N: 12\text{ビット}$$

(b) パルス・スワロ方式時(HF, VHF)

$$f_N = \frac{f_{IN}^{\text{注}}}{N} \quad N: 17\text{ビット}$$

注 VHFモードの場合, VCOH端子から入力される信号の周波数 f_{IN} は, プログラマブル・ディバイダに入力される直前で1/2分周されます。このためVHFモード時は, $f_N = \frac{1}{2} \frac{f_{IN}}{N}$ となります。

図15 - 4 PLLデータ・レジスタの構成

名称	PLLデータ・レジスタ																			
アドレス	BANK1																			
	67H				68H				69H				6AH				6BH			
ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P	P			
	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L			
	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	0	0	0
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			
	1	1	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1			
	7	6	5	4	3	2	1	0												

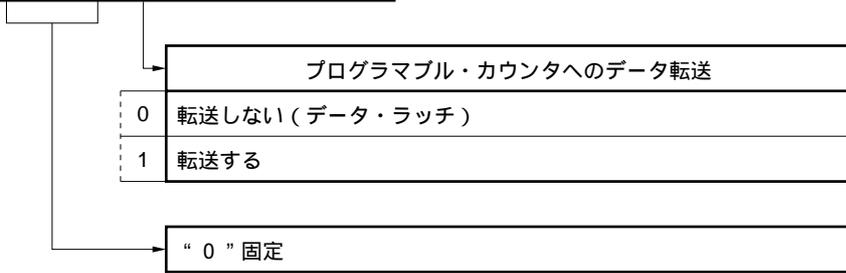
直接分周方式	0	don't care	PLL周波数シンセサイザの分周比を設定
			設定禁止
	15 (00FH) 16 (010H)		
		don't care	分周比N : N = x
	x		
2 ¹² - 1 (FFFH)			

パルス・スワロ方式	0	don't care	PLL周波数シンセサイザの分周比を設定
			設定禁止
	1023 (03FFH) 1024 (0400H)		
		don't care	分周比N : N = x
	x		
2 ¹⁷ - 1 (1FFFFH)			

備考 電源投入時、パワーオン・リセット時には、PLLデータ・レジスタの内容は不定になります。クロック・ストップ時およびCEリセット時には、PLLデータ・レジスタの内容は保持されます。

図15 - 5 PLLデータ・セット・レジスタの構成

名 称	フラグ記号				アドレス	Read/ Write
	b3	b2	b1	b0		
PLLデータ・セット・ レジスタ	0	0	0	P L L P U T	(BANK1) 6CH	W



リ セ ッ ト 時	パワーオン	0	0	0	0
	クロック・ストップ				0
	CE	↓	↓	↓	0

15.3 基準周波数発生器

図15 - 6 に基準周波数発生器の構成を示します。

基準周波数発生器は、水晶発振の75 kHzを分周してPLL周波数シンセサイザの基準周波数“fr”を発生します。

基準周波数frは1, 3, 5, 6.25, 12.5, 25 kHzの6種類を選択できます。

基準周波数frの選択はPLL基準周波数選択レジスタにより行います。

図15 - 7 にPLL基準周波数選択レジスタの構成と機能を示します。

図15 - 6 基準周波数発生器の構成

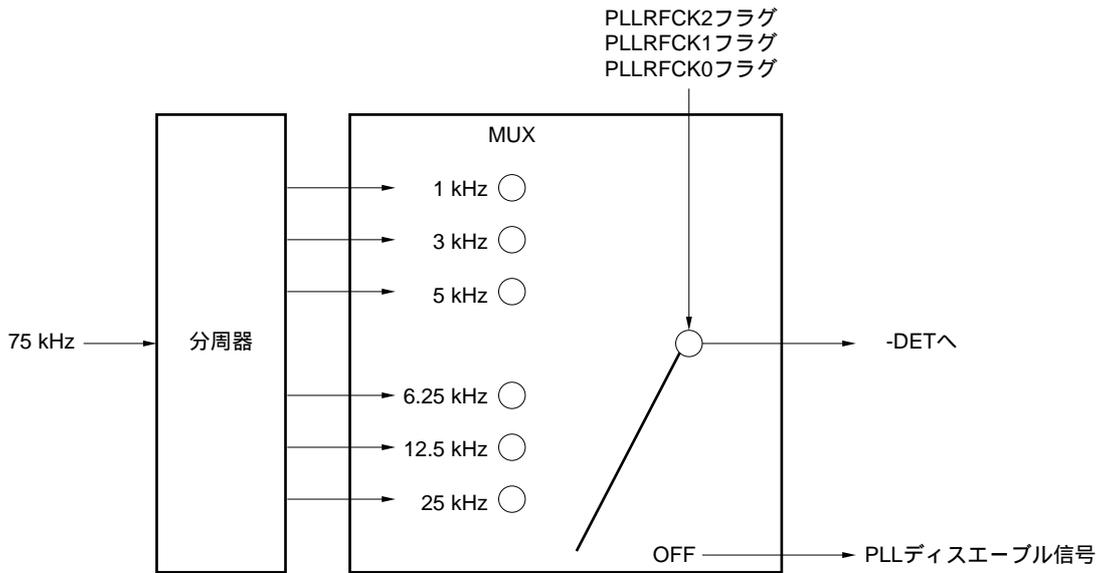


図15 - 7 PLL基準周波数選択レジスタの構成

名 称	フラグ記号				アドレス	Read/ Write
	b3	b2	b1	b0		
PLL基準周波数選択 レジスタ	0	P	P	P	(BANK1) 66H	R/W
		L	L	L		
		L	L	L		
		R	R	R		
		F	F	F		
		C	C	C		
		K	K	K		
	2	1	0			

PLL周波数シンセサイザの基準周波数 f_r を設定			
0	0	0	1 kHz
0	0	1	3 kHz
0	1	0	5 kHz
0	1	1	6.25 kHz
1	0	0	12.5 kHz
1	0	1	25 kHz
1	1	0	PLLディスエーブル
1	1	1	PLLディスエーブル

リ セ ッ ト 時	パワーオン	0	0	0	0
	クロック・ストップ		0	0	0
	CE				保 持

備考 PLL基準周波数選択レジスタによりPLLディスエーブルを選択したときは、VCOH端子、VCOL端子はフローティングになります。また、EO端子もフローティングとなります。

15.4 位相比較器 (-DET) , チャージ・ポンプおよびアンロックFF

15.4.1 位相比較器, チャージ・ポンプおよびアンロックFFの構成

図15 - 8 に位相比較器, チャージ・ポンプおよびアンロックFFの構成を示します。

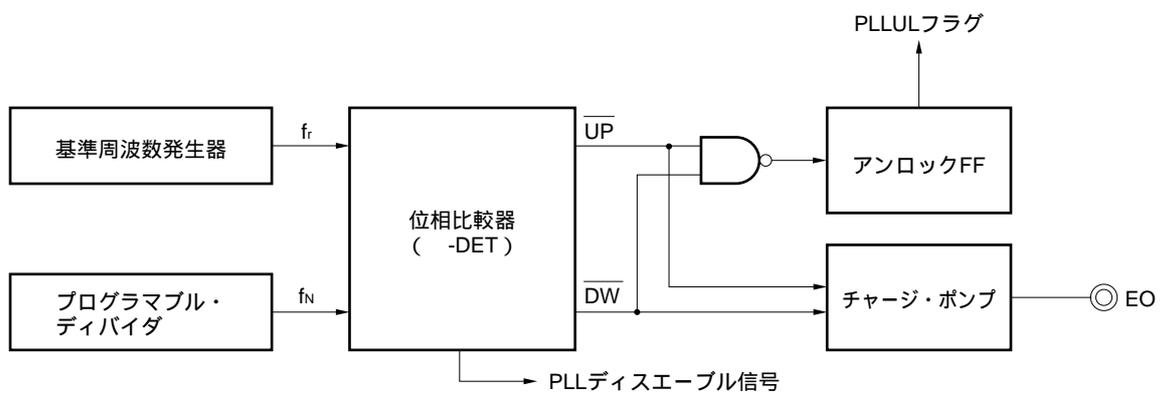
位相比較器は, プログラマブル・ディバイダの分周周波数出力 “ f_N ” と基準周波数発生器の基準周波数出力 “ f_r ” の位相を比較し, アップ要求信号 (\overline{UP}) およびダウン要求信号 (\overline{DW}) を出力します。

チャージ・ポンプは位相比較器の出力をエラー・アウト端子 (EO端子) から出力します。

アンロックFFは, PLL周波数シンセサイザのアンロック状態を検出します。

15.4.2-15.4.4 にそれぞれ位相比較器, チャージ・ポンプおよびアンロックFFの動作を示します。

図15 - 8 位相比較器, チャージ・ポンプおよびアンロックFFの構成



15.4.2 位相比較器の機能

図15 - 8 に示したように位相比較器は、プログラマブル・ディバイダの分周出力 “ f_N ” と基準周波数 “ f_r ” の位相を比較し、アップ要求信号およびダウン要求信号を出力します。

すなわち、分周周波数 f_N が基準周波数 f_r より低い周波数であればアップ要求を出力し、分周周波数 f_N が基準周波数 f_r より高い周波数であればダウン要求を出力します。

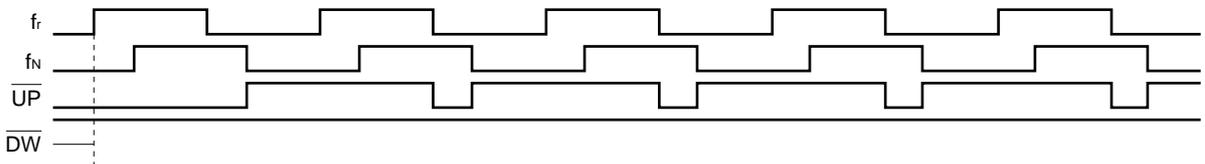
図15 - 9 に基準周波数 f_r 、分周周波数 f_N 、アップ要求信号、ダウン要求信号の関係を示します。

PLLディスエーブル時は、アップ要求およびダウン要求とも出力されません。

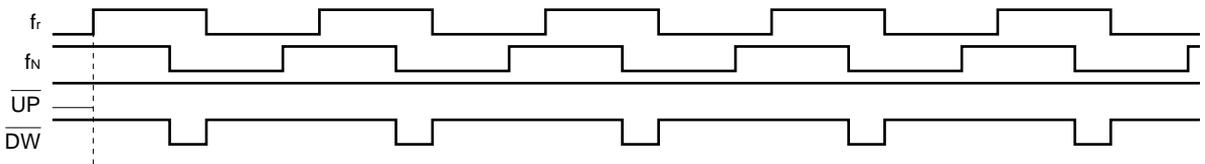
アップ要求およびダウン要求はそれぞれチャージ・ポンプおよびアンロックFFへ入力されます。

図15 - 9 $f_r, f_N, \overline{UP}, \overline{DW}$ 信号の関係

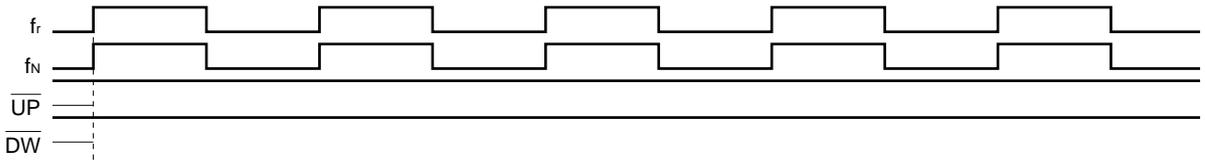
(a) f_N が f_r より位相が遅れているとき



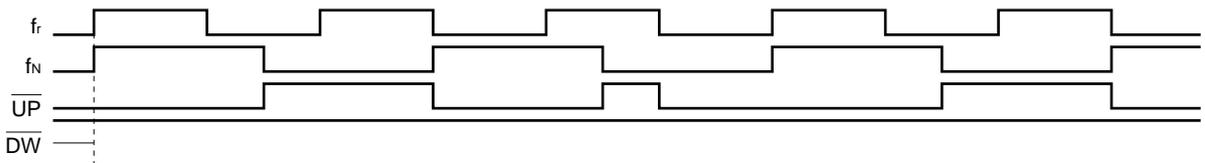
(b) f_N が f_r より位相が進んでいるとき



(c) f_N と f_r の位相が同じとき



(d) f_N が f_r より周波数が低いとき



15.4.3 チャージ・ポンプ

図15 - 8 に示したようにチャージ・ポンプは、位相比較器からのアップ要求信号およびダウン要求信号をエラー・アウト端子（EO端子）から出力します。

したがって、エラー・アウト端子の出力と分周周波数 f_n および基準周波数 f_r の関係は次のようになります。

基準周波数 $f_r >$ 分周周波数 f_n のとき：ロウ・レベル出力

基準周波数 $f_r <$ 分周周波数 f_n のとき：ハイ・レベル出力

基準周波数 $f_r =$ 分周周波数 f_n のとき：フローティング

15.4.4 アンロックFF

図15 - 8 に示したようにアンロックFFは、位相比較器のアップ要求信号およびダウン要求信号から、PLL周波数シンセサイザのアンロック状態を検出します。

すなわち、アンロック状態中はアップ要求またはダウン要求信号のどちらか一方がロウ・レベルを出力するため、このロウ・レベル信号によりアンロック状態を検出します。

アンロック状態であると、アンロックFFがセット（1）されます。

アンロックFFの状態は、PLLアンロックFFレジスタにより検出します。図15 - 10にPLLアンロックFFレジスタの構成と機能を示します。

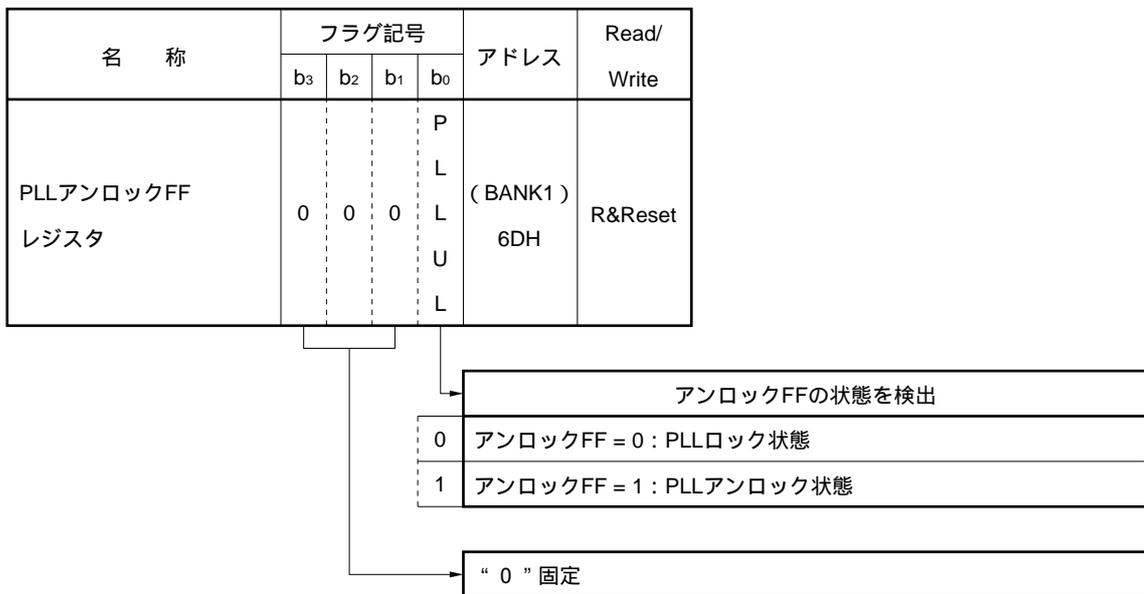
アンロックFFは、そのとき選択されている基準周波数 f_r の周期でセットされます。

また、PLLアンロックFFレジスタは表15 - 2 に示す命令で内容を読み出すとリセットされます（Read & Reset）。

したがって、アンロックFFの検出は基準周波数 f_r の周期 $1/f_r$ より長い周期で検出する必要があります。

位相比較器のアップ、ダウン要求信号のディレイは、約1μsで固定されています。

図15 - 10 PLLアンロックFFレジスタの構成



リ セ ッ ト 時	パワーオン	0	0	0	不
	クロック・ストップ				保
	CE	↓	↓	↓	保

備考 不：不定
保：保持

表15 - 2 PLLアンロックFFレジスタをリセットする命令

二モニック	オペランド	二モニック	オペランド	
ADD	m, #n4	ADD	r, m	
ADDC		ADDC		
SUB		SUB		
SUBC		SUBC		
AND		AND		
OR		OR		
XOR		XOR		
SKE		LD		
SKEG		SKT		m, #n
SKLT		SKF		
SKNE	MOV	@r, m m, @r ^注		

注 mのロウ・アドレスが6Hで，rに0DHが書き込まれている場合。

備考 m = 6DH

15.5 PLLディスエーブル状態

PLL周波数シンセサイザは、CE端子がロウ・レベルの間は動作を停止（ディスエーブル）します。

CE端子がハイ・レベルの場合でも、PLL基準周波数選択レジスタまたはPLLモード選択レジスタによりPLLディスエーブルが選択されていると、同様に動作を停止します。

表15 - 3 に各PLLディスエーブル条件時の各ブロックの動作を示します。

PLL基準周波数選択レジスタおよびPLLモード選択レジスタはCEリセット時にイニシャライズされない（以前の状態を保持する）ため、CE端子がロウ・レベルになりPLLディスエーブルとなったあとCE端子がハイ・レベルに立ち上がると以前の状態に復帰します。

したがって、CEリセット時にPLLディスエーブルとする必要がある場合は、プログラムによりイニシャライズしてください。

パワーオン・リセット時はPLLディスエーブルになります。

表15 - 3 各PLLディスエーブル条件時の各ブロックの動作

条件 各ブロック	CE端子 = ロウ・レベル	CE端子 = ハイ・レベル	
		PLL基準周波数選択レジスタ = 0110B, 0111B	PLLモード選択レジスタ= 0000B
VCOL, VCOH端子	フローティング		
プログラマブル・ディバイダ	分周停止		
基準周波数発生器	出力停止		
位相比較器			
チャージ・ポンプ	EO端子をフローティング		

15.6 PLL周波数シンセサイザの使用法

PLL周波数シンセサイザを制御するためには次に示すデータが必要です。

- (1) 分周方式 : 直接分周 (MF), パルス・スワロ (HF, VHF)
- (2) 使用端子 : VCOL, VCOH端子
- (3) 基準周波数 : f_r
- (4) 分周値 : N

15.6.1 から 15.6.3 に各分周方式 (MF, HF, VHF) 時のPLLデータ設定方法を示します。

15.6.1 直接分周方式 (MF)

(1) 分周方式の選択

PLLモード選択レジスタにより直接分周方式を選択します。

(2) 使用端子

直接分周方式を選択するとVCOL端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{\text{VCOL}}}{f_r}$$

f_{VCOL} : VCOL端子の入力周波数

f_r : 基準周波数

(5) PLLデータ設定例

以下に示すMWバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 1422 kHz (MWバンド)

基準周波数 : 3 kHz

中間周波数 : +450 kHz

分周値Nは

$$N = \frac{f_{\text{VCOL}}}{f_r} = \frac{1422 + 450}{3} = 624 \text{ (10進)} \\ = 270\text{H} \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。

PLLデータ・レジスタ													
0	0	1	0	0	1	1	1	0	0	0	0	don't care	↓
2				7				0					

PLLモード選択 レジスタ	PLL基準周波数選択 レジスタ
0 0 0 1	0 0 0 1
MF	3 kHz

15.6.2 パルス・スワロ方式 (HF)

(1) 分周方式の選択

PLLモード選択レジスタによりパルス・スワロ方式を選択します。

(2) 使用端子

パルス・スワロ方式を選択するとVCOL端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{\text{VCOL}}}{f_r}$$

f_{VCOL} : VCOL端子の入力周波数

f_r : 基準周波数

(5) PLLデータ設定例

以下に示すSWバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 25.50 MHz (SWバンド)

基準周波数 : 5 kHz

中間周波数 : + 450 kHz

分周値Nは

$$N = \frac{f_{\text{VCOL}}}{f_r} = \frac{25500 + 450}{5} = 5190 \text{ (10進)}$$

$$= 1446\text{H} \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。

PLLデータ・レジスタ																
0	0	0	0	1	0	1	0	0	0	1	0	0	0	1	1	0
1				4				4				6				

PLLモード選択 レジスタ	PLL基準周波数選択 レジスタ
0 0 1 1	0 0 1 0
HF	5 kHz

15.6.3 パルス・スワロ方式 (VHF)

(1) 分周方式の選択

PLLモード選択レジスタによりパルス・スワロ方式を選択します。

(2) 使用端子

パルス・スワロ方式を選択するとVCOH端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL基準周波数選択レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

次のように計算します。

$$N = \frac{f_{VCOH}}{f_r} \times \frac{1^{\text{注}}}{2}$$

f_{VCOH} : VCOH端子の入力周波数

f_r : 基準周波数

(5) PLLデータ設定例

以下に示すFMバンドの放送局を受信するためのデータ設定方法を示します。

受信周波数 : 100.0 MHz (FMバンド)

基準周波数 : 25 kHz

中間周波数 : + 10.7 MHz

分周値Nは

$$N = \frac{f_{VCOH}}{f_r} \times \frac{1^{\text{注}}}{2} = \frac{100.0 + 10.7}{0.025} \times \frac{1^{\text{注}}}{2} = 2214 \text{ (10進)} \\ = 08A6 \text{ (16進)}$$

PLLデータ・レジスタ, PLLモード選択レジスタおよびPLL基準周波数選択レジスタへのデータは次のように設定します。



注 VCOH端子から入力される信号は, プログラマブル・ディバイダに入力される直前で1/2分周されます。

15.7 リセット時の状態

15.7.1 パワーオン・リセット時

PLLモード選択レジスタが0000BにイニシャライズされるためPLLディスエーブル状態になります。

15.7.2 クロック・ストップ時

CE端子がロウ・レベルになった時点でPLLディスエーブル状態になります。

15.7.3 CEリセット時

(1) クロック・ストップ時からのCEリセット

クロック・ストップによりPLLモード選択レジスタが0000BにイニシャライズされるためPLLディスエーブル状態になります。

(2) クロック・ストップしないときのCEリセット

PLL基準周波数選択レジスタは以前の状態を保持するため、CE端子がハイ・レベルになった時点で以前の設定状態になります。

15.7.4 ホールト状態中

CE端子がハイ・レベルであれば、設定されている状態を保持します。

16. 中間周波数 (IF) カウンタ

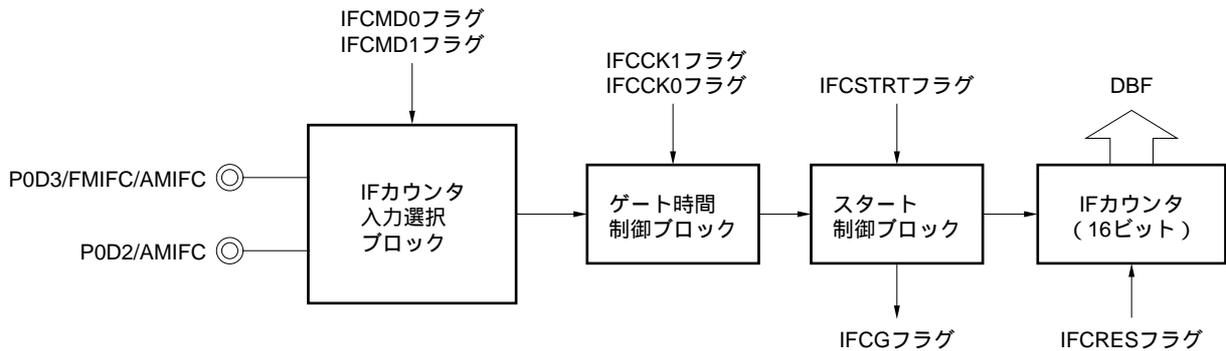
16.1 中間周波数 (IF) カウンタ概要

図16 - 1 にIFカウンタの概略を示します。

IFカウンタは、主に放送局検出用として、チューナから出力される中間周波数 (IF : Intermediate Frequency) の計数に使用します。

IFカウンタはP0D3/FMIFC/AMIFC端子またはP0D2/AMIFC端子に入力された周波数を、16ビットのカウンタで一定時間 (1 ms, 4 ms, 8 ms, オープン) カウントします。

図16 - 1 周波数カウンタの概略



備考 1 . IFCMD1, IFCMD0 (IFカウンタ・モード選択レジスタのビット 3 , 2 : 図16 - 3 参照)

IFカウンタの機能を選択

2 . IFCCK1, IFCCK0 (IFカウンタ・モード選択レジスタのビット 1 , 0 : 図16 - 3 参照)

IFカウンタのゲート時間を選択

3 . IFCSTRT (IFカウンタ・コントロール・レジスタのビット 1 : 図16 - 5 参照)

IFカウンタのカウント・スタートを制御

4 . IFCG (IFカウンタ・ゲート状態検出レジスタのビット 0 : 図16 - 6 参照)

IFカウンタのゲートの開閉を検出

5 . IFCRES (IFカウンタ・コントロール・レジスタのビット 0 : 図16 - 5 参照)

IFカウンタのカウント値をリセット

16.2 IFカウンタ入力選択ブロックおよびゲート時間制御ブロック

図16 - 2 にIFカウンタ入力選択ブロックおよびゲート時間制御ブロックの構成を示します。

IFカウンタ入力選択ブロックは、IFカウンタ・モード選択レジスタにより、P0D3/FMIFC/AMIFC端子およびP0D2/AMIFC端子をIFカウンタ機能として使用するか、汎用入出力ポートとして使用するかを選択します。

IFカウンタとして使用する場合には、P0D3/FMIFC/AMIFC端子およびP0D2/AMIFC端子を必ず入力端子に設定しておく必要があります。P0D3/FMIFC/AMIFC端子、P0D2/AMIFC端子の入出力の設定は、RAMのBANK1の6FH番地にあるポート0CビットI/O選択レジスタで行います。ポート0CビットI/O選択レジスタの構成と機能については、10.2.3 (2) ポート0CビットI/O選択レジスタを参照してください。

ゲート時間制御ブロックは、IFカウンタ・モード選択レジスタにより、IFカウンタとして使用する場合のゲート時間を設定します。

図16 - 3 にIFカウンタ・モード選択レジスタの構成と機能を示します。

図16 - 2 IFカウンタ入力選択ブロックおよびゲート時間制御ブロックの構成

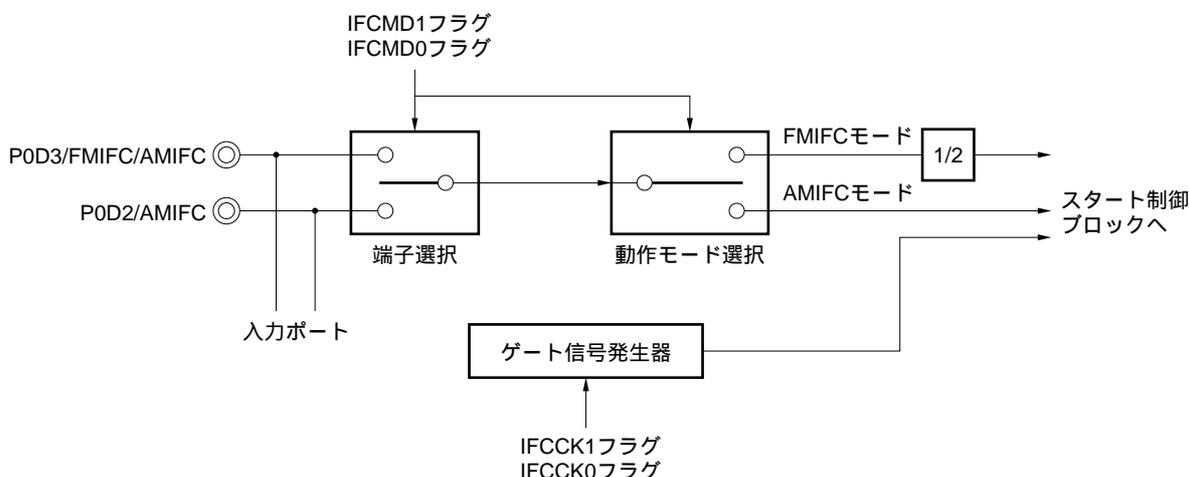
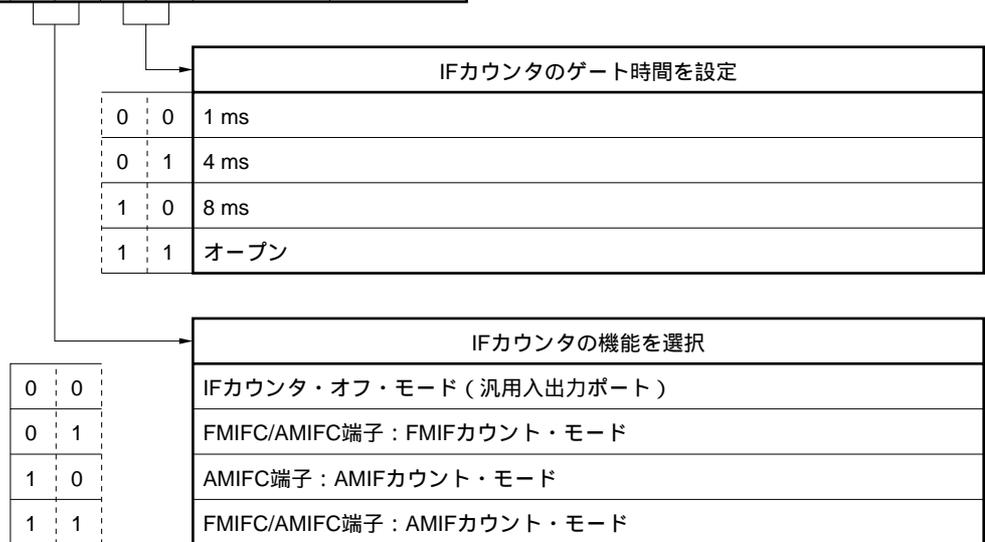


図16 - 3 IFカウンタ・モード選択レジスタの構成

名 称	フラグ記号				アドレス	Read/ Write
	b3	b2	b1	b0		
IFカウンタ・モード選択 レジスタ	I	I	I	I	(BANK1) 62H	R/W
	F	F	F	F		
	C	C	C	C		
	M	M	C	C		
	D	D	K	K		
	1	0	1	0		



リセット時	状態	b3	b2	b1	b0
リセット時	パワーオン	0	0	0	0
リセット時	クロック・ストップ	0	0	0	0
リセット時	CE	0	0	0	0

16.3 スタート制御ブロックおよびIFカウンタ

16.3.1 スタート制御ブロックおよびIFカウンタの構成

図16 - 4 にスタート制御ブロックおよびIFカウンタの構成を示します。

スタート制御ブロックは、周波数カウンタのカウント・スタートの設定およびカウント終了の検出を行います。

カウントのスタートはIFカウンタ・コントロール・レジスタにより行います。

カウント終了の検出はIFカウンタ・ゲート状態検出レジスタにより行います。

図16 - 5 にIFカウンタ・コントロール・レジスタの構成と機能を示します。

図16 - 6 にIFカウンタ・ゲート状態検出レジスタの構成と機能を示します。

16.3.2 にIFカウンタ機能時のゲート動作を示します。

IFカウンタは、IFカウンタ機能時の入力周波数をアップ・カウントする16ビットのバイナリ・カウンタです。

IFカウンタ機能時は、内部ゲート信号によりゲートがオープンしている間に、端子に入力された周波数をカウントします。AMIFカウント・モードではそのままカウントしますが、FMIFカウント・モードでは端子に入力された周波数を1/2分周してカウントします。

IFカウンタはFFFFHまでカウントすると次の入力では0000Hになり、カウントを継続します。

カウント値の読み込みは、データ・バッファを介してIFカウンタ・データ・レジスタ (IFC) により行います。

カウント値のリセットはIFカウンタ・コントロール・レジスタにより行います。

図16 - 7 にIFカウンタ・データ・レジスタの構成と機能を示します。

図16 - 4 スタート制御ブロックおよびIFカウンタの構成

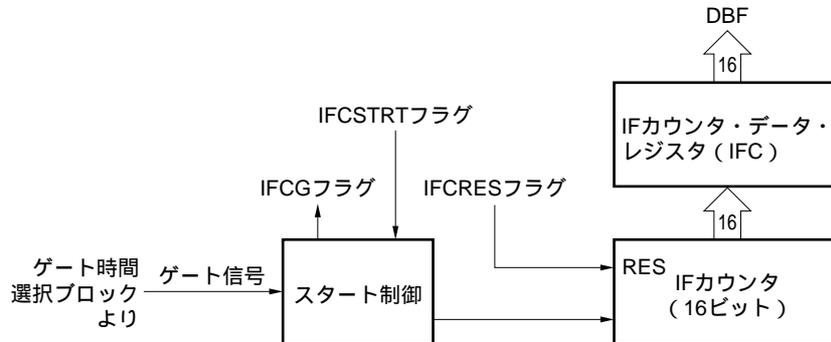


図16 - 5 IFカウンタ・コントロール・レジスタの構成

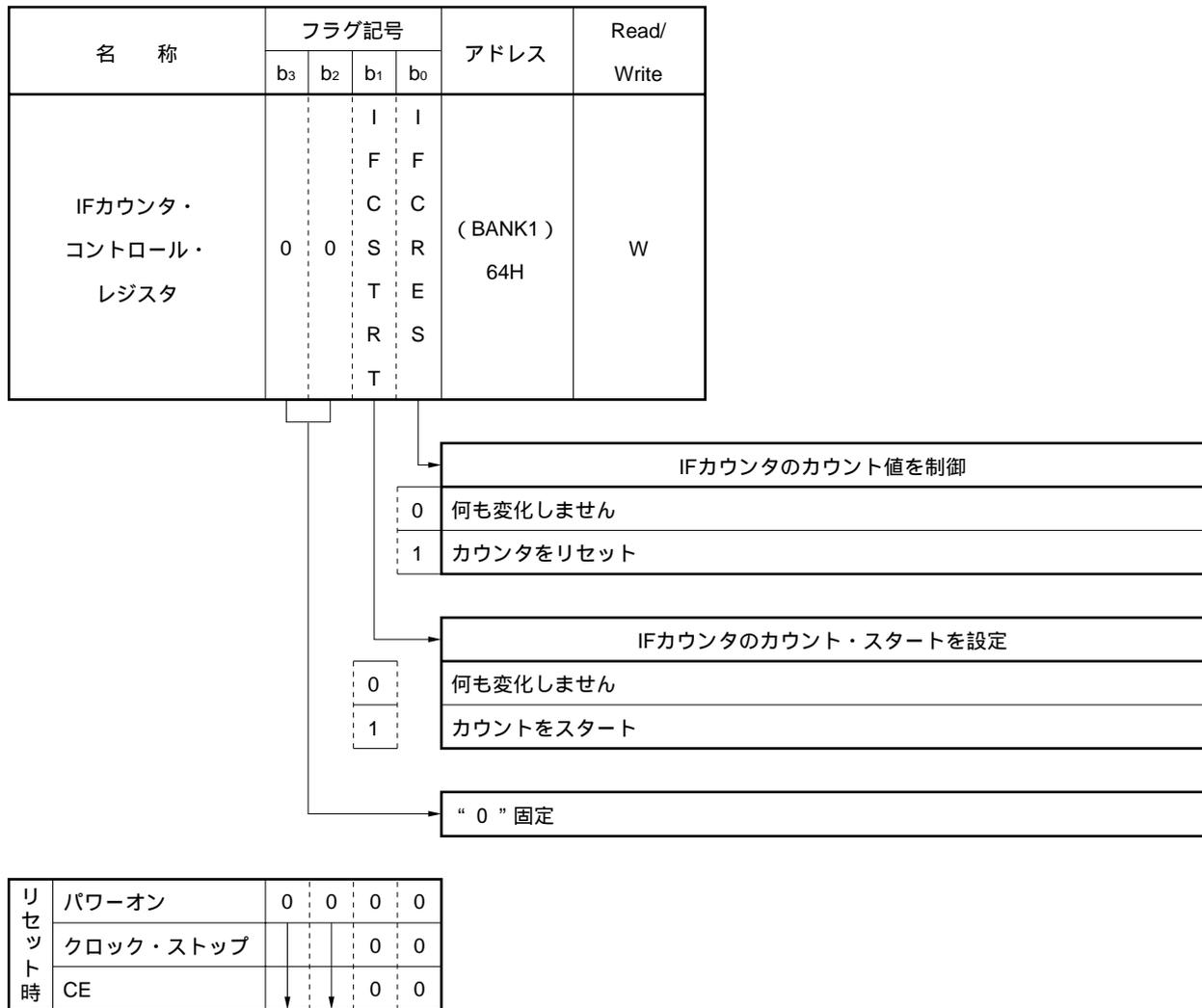
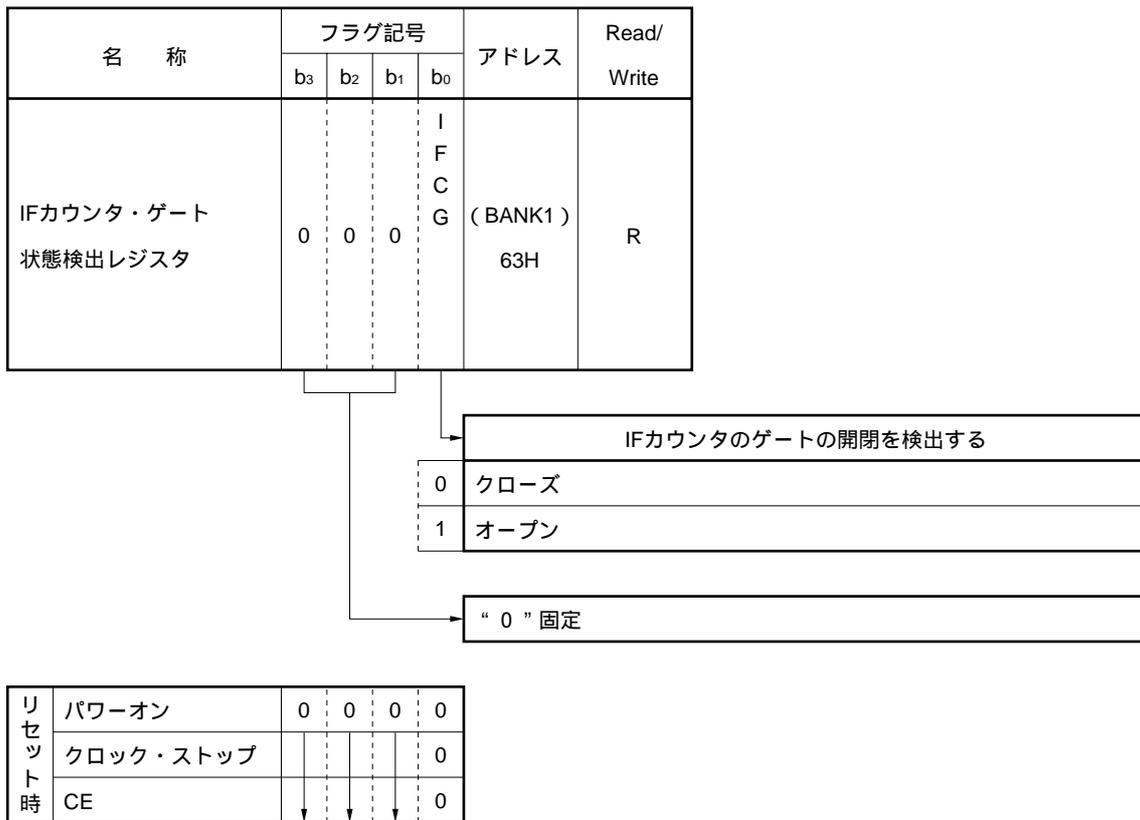


図16 - 6 IFカウンタ・ゲート状態検出レジスタの構成



注意 IFCGフラグがセット（1）されているとき（ゲートが開いている）は、IFカウンタ・データ・レジスタ（IFC）の内容をデータ・バッファに読み込まないでください。

16.3.2 IFカウンタ機能時のゲート動作

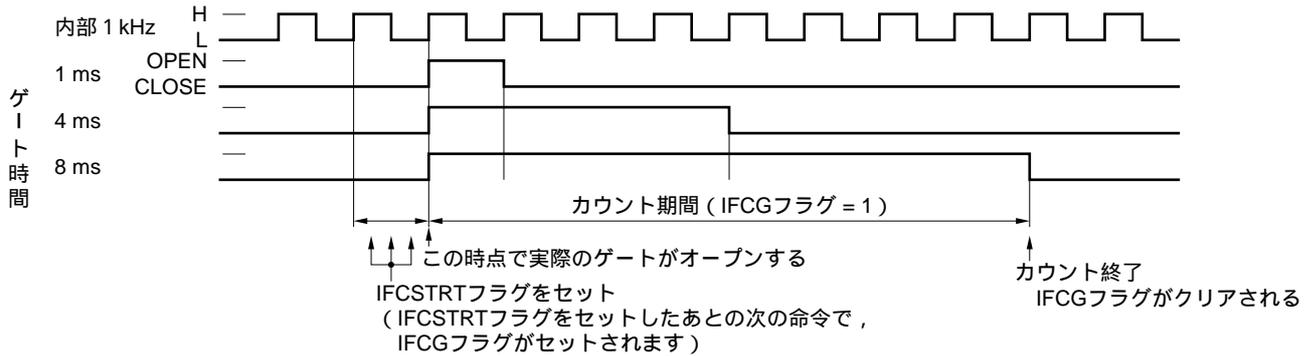
(1) ゲート時間に1, 4, 8 msを選択した場合

以下に示すようにIFCSTRTフラグをセット(1)したあとの内部1 kHz信号の立ち上がりから、それぞれ1 ms, 4 ms, 8 msの期間だけゲートをオープンします。

このゲートがオープンしている間に、端子から入力されている周波数を16ビット・カウンタでカウントします。

ゲートが閉まるとIFCGフラグがクリア(0)されます。

IFCGフラグはIFCSTRTフラグをセットした時点で自動的にセット(1)されます。



(2) ゲート時間にオープンを選択した場合

以下に示すようにIFCCK1, IFCCK0フラグによりオープンを選択した場合は、オープンを選択した時点でゲートがオープンします。

このゲートがオープンしている間にIFCSTRTフラグによりカウントのスタートを設定すると不定時間後にゲートが閉じてしまいます。

したがってゲート時間にオープンを使用する場合は、IFCSTRTフラグをセット(1)しないでください。

ただし、IFCRESフラグによりカウンタをリセットすることは可能です。



ゲート時間にオープンを選択した場合のゲートの開閉は、IFCCK1, IFCCK0フラグによりゲート時間にオープン以外を設定し直すことにより行います。

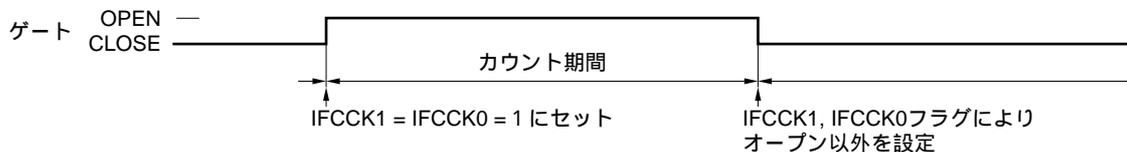
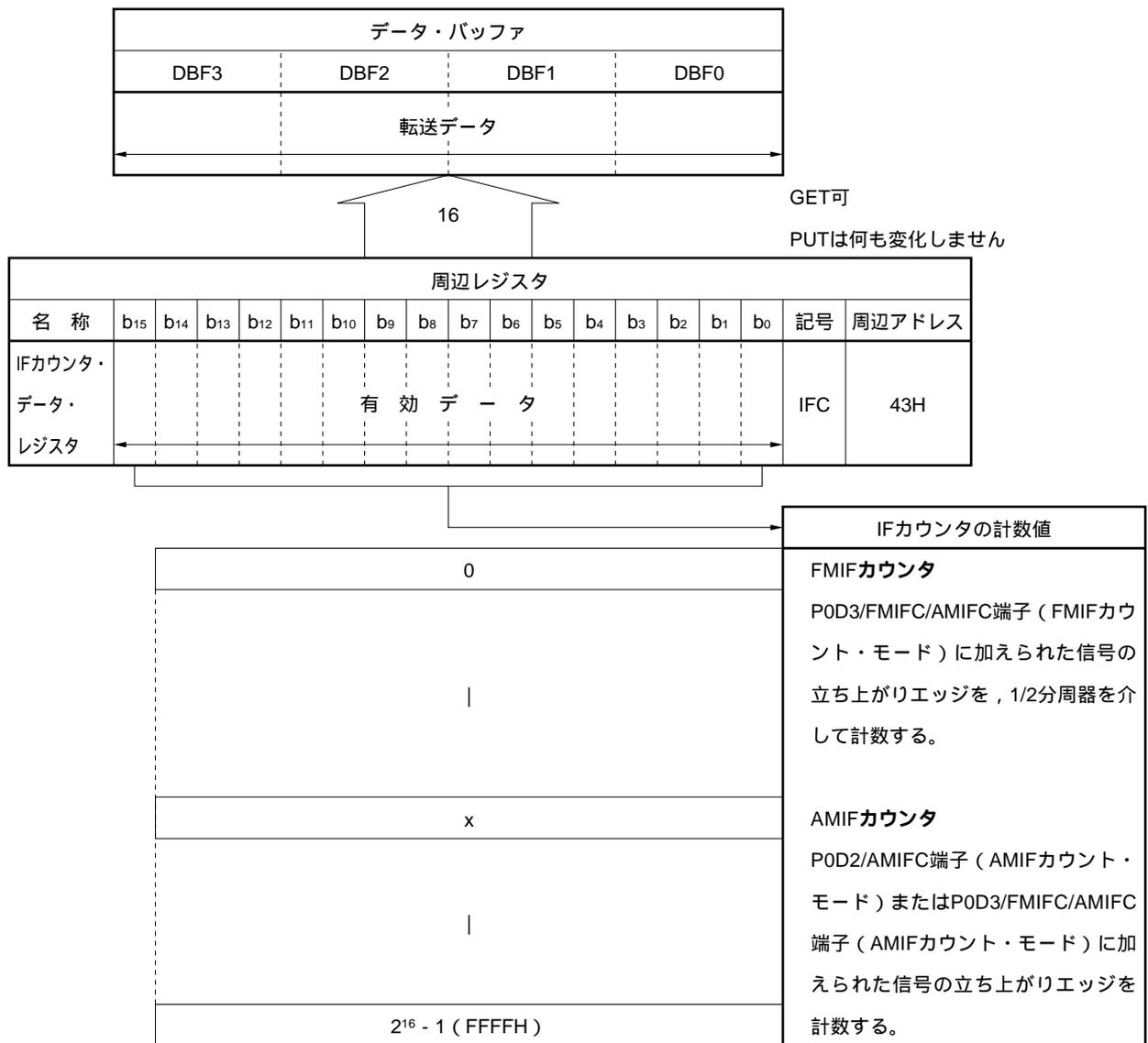


図16 - 7 IFカウンタ・データ・レジスタの構成



16.4 IFカウンタの使用法

16.4.1-16.4.3 にIFカウンタのハードウェア使用法、プログラム例およびカウント誤差を示します。

16.4.1 IFカウンタのハードウェア使用法

図16 - 8 にP0D2/AMIFC端子およびP0D3/FMIFC/AMIFC端子を使用するときのブロック図を示します。

また、表16 - 1 にP0D2/AMIFC端子およびP0D3/FMIFC/AMIFC端子に入力できる周波数範囲を示します。

図16 - 8 に示すように、IFカウンタは交流アンプを内蔵した入力端子になるため、入力信号は直流分をコンデンサCでカットしてください。

P0D2/AMIFC端子およびP0D3/FMIFC/AMIFC端子がIFカウンタ機能に選択されると、スイッチSWがオンして各端子の電圧が約1/2 V_{DD}になります。

このとき、十分に中間電圧に立ち上がっていないと、交流アンプが正常動作範囲にないため、IFカウントが正常に行われない場合があります。

したがって、各端子をIFカウンタとして指定してからカウントをスタートするまでに十分なウエイト時間を設けてください。

また、ラジオのオートチューニング機能の放送局検出手段としてIFカウンタ機能を使用する場合は、チューナからのSD (Station Detection) 出力などとあわせて使用することを推奨します。

図16 - 8 各端子のIFカウント機能ブロック図

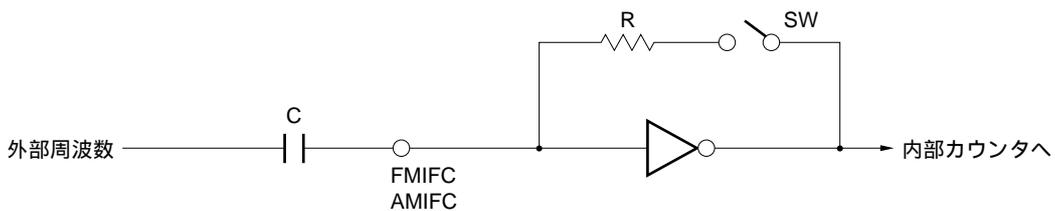


表16 - 1 IFカウンタ入力周波数範囲

入力端子	入力可能周波数 (MHz)	入力振幅 (V _{p-p})
P0D3/FMIFC/AMIFC FMIFモード	10-11	0.1
P0D3/FMIFC/AMIFC AMIFモード	0.4-2	0.15
	0.4-0.5	0.1
P0D2/AMIFC AMIFモード	0.4-2	0.15
	0.4-0.5	0.1

16.4.2 IFカウンタのプログラム例

次にIFカウンタのプログラム例を示します。

例に示すように、P0D2/AMIFC端子またはP0D3/FMIFC/AMIFC端子をIFカウンタに設定する命令を実行してから、カウントをスタートするまでに、ウェイト時間を設けてください。

これは16.4.1でも説明したように、各端子をIFカウンタに選択したときに、すぐに内蔵交流アンプが正常動作状態にならない場合があるためです。

例 P0D3/FMIFC/AMIFC端子 (FMIFカウント・モード) で周波数をカウントする場合 (ゲート時間は8 ms選択)

```

BANK1
INITFLG IFCMD1, NOT IFCMD0, IFCK1, NOT IFCK0
                                ; FMIFC端子( FMIFカウント・モード )を選択し, ゲート時間を8msに設定
                                ; 内蔵交流アンプ安定時間
ウエイト
SET1   IFCRES ; IFカウンタのリセット
SET1   IFCSTRT ; IFカウント・スタート
LOOP :
SKT1   IFCG ; ゲートの開閉を検出
BR     READ ; ゲートが閉じていればREAD:へ分岐
      処 理  A ; この処理AではIFカウンタのデータを読み込まないでください
BR     LOOP
READ:
      GET     DBF, IFC ; IFカウンタ・データ・レジスタの値をデータ・バッファへ読み込む

```

16.4.3 IFカウンタの誤差

IFカウンタの誤差にはゲート時間の誤差とカウント誤差があります。

以下の(1)および(2)にそれぞれを示します。

(1) ゲート時間の誤差

IFカウンタのゲート時間は、システム・クロック周波数である75 kHzを分周して作り出しています。

したがって75 kHzが“+x” ppmずれていると、ゲート時間は“-x” ppmずれることになります。

(2) カウント誤差

IFカウンタは入力された信号の立ち上がりエッジで周波数をカウントします。

したがって、ゲートがオープンしたときに端子にハイ・レベルが入力されていると1パルス分余分にカウントします。

ただし、ゲートが閉じるときは、端子の状態によりカウントすることはありません。

すなわちカウント誤差としては“+1, -0”になります。

16.5 リセット時の状態

16.5.1 パワーオン・リセット時

P0D3/FMIFC/AMIFC端子，P0D2/AMIFC端子は汎用入力ポートに設定されます。
出力ラッチの内容は“ 0 ”となります。

16.5.2 クロック・ストップ時

P0D3/FMIFC/AMIFC端子，P0D2/AMIFC端子は汎用入力ポートに設定されます。
出力ラッチの内容は保持されます。

16.5.3 CEリセット時

P0D3/FMIFC/AMIFC端子，P0D2/AMIFC端子は汎用入力ポートに設定されます。
出力ラッチの内容は保持されます。

16.5.4 ホールト状態時

P0D3/FMIFC/AMIFC端子，P0D2/AMIFC端子はホールト直前の状態を保持します。

17. BEEP

17.1 BEEPの構成と機能

図17 - 1 にBEEPの概略を示します。

BEEPは、BEEP端子から1.5 kHzまたは3 kHzのクロックを出力します。

出力切り替えブロックは、BEEPクロック選択レジスタのBEEP0CK0フラグおよびBEEP0CK1フラグにより、BEEP端子の出力を1.5 kHzにするか3 kHzにするか、またはBEEP端子を1ビットの汎用出力ポートとして使用するかを選択します。

クロック生成ブロックは、BEEP端子に出力する1.5 kHzまたは3 kHzのクロックを生成します。

図17 - 2 にBEEPクロック選択レジスタの構成と機能を示します。

図17 - 1 BEEPの概略

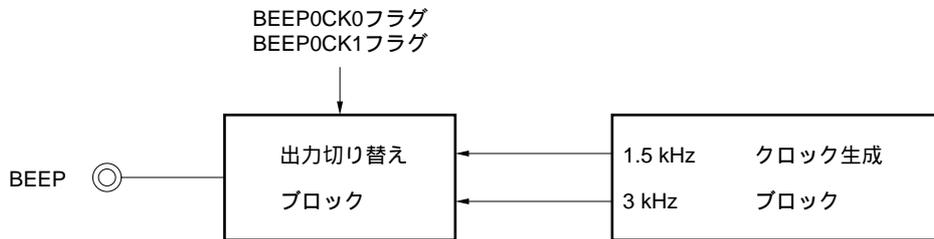


図17 - 2 BEEPクロック選択レジスタの構成と機能

名 称	フラグ記号				アドレス	Read/ Write
	b ₃	b ₂	b ₁	b ₀		
BEEP クロック選択 レジスタ	0	0	B E E P C K 1	B E E P C K 0	(BANK1) 5BH	R/W

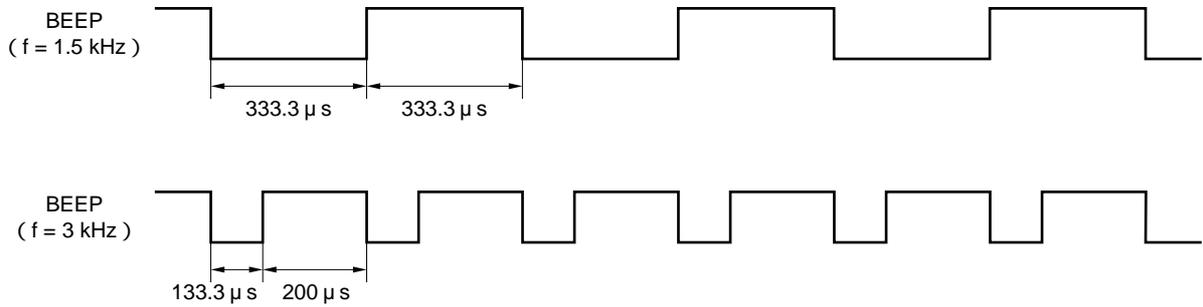
BEEP端子の設定	
0	汎用出力ポートとして使用し、ロウ・レベル出力
0	汎用出力ポートとして使用し、ハイ・レベル出力
1	1.5 kHzクロック出力
1	3 kHzクロック出力

“ 0 ” 固定	
----------	--

リ セ ッ ト 時	パワーオン	0	0	0	0
	クロック・ストップ			0	0
	CE				保持

17.2 BEEPの出力波形

(1) $f = 1.5 \text{ kHz}$ および $f = 3 \text{ kHz}$ の出力波形

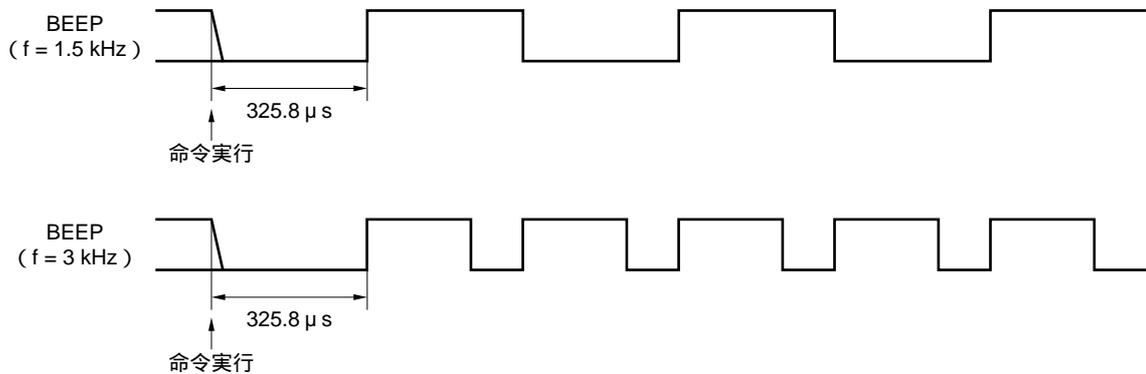


例 3 kHzのクロックをBEEP端子から出力するプログラム

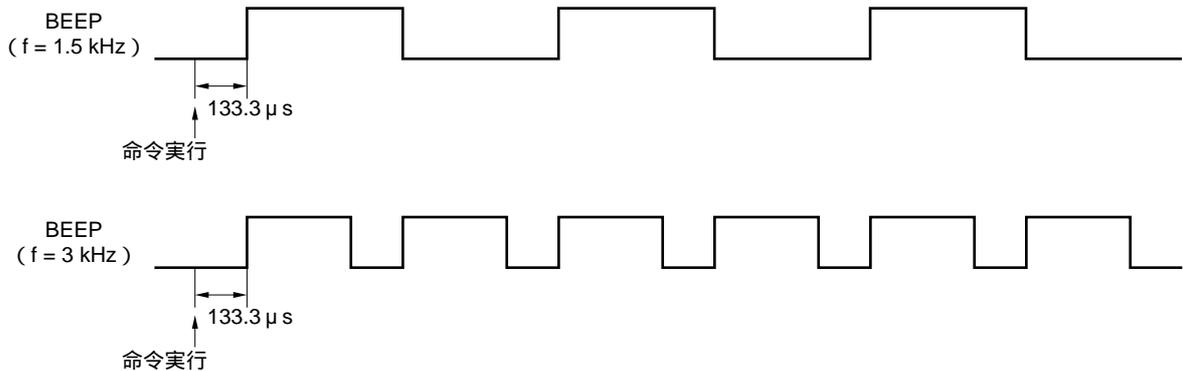
```

BANK1                ; MOV    BANK, #0001Bと同等
MOV    5BH, #0011B   ; データ・メモリ5BH番地に0011Bを書き込む
                        ; BEEP端子から3 kHzを出力
    
```

(2) 命令実行後、BEEP端子からクロックが出力されるまでの最大時間



(3) 命令実行後、BEEP端子からクロックが出力されるまでの最小時間



17.3 リセット時の状態

17.3.1 パワーオン・リセット時

BEEP端子は汎用出力ポートに設定されます。
ロウ・レベルが出力されます。
出力ポートのラッチの値は“ 0 ”になります。

17.3.2 クロック・ストップ時

BEEP端子は汎用出力ポートに設定されます。
ロウ・レベルが出力されます。
出力ポートのラッチの値は“ 0 ”になります。

17.3.3 CEリセット時

BEEP端子は以前の出力状態をそのまま保持します。
ラッチの内容も保持されます。

17.3.4 ホールト状態時

BEEP端子は以前の出力状態をそのまま保持します。

18. LCDコントローラ/ドライバ

LCD (Liquid Crystal Display) コントローラ/ドライバは、セグメント信号出力との組み合わせにより最大60ドットのLCD表示を行うことができます。

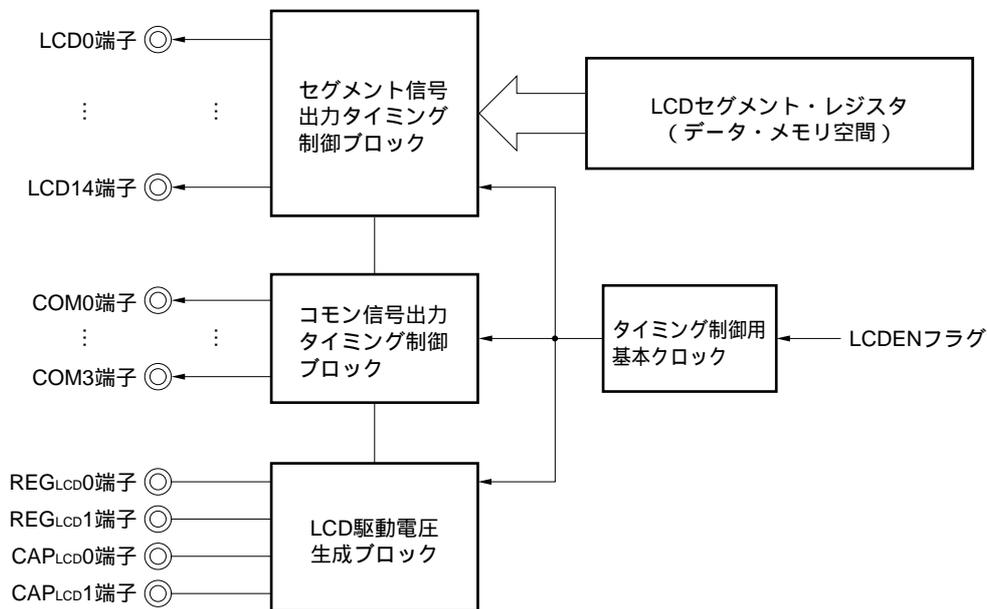
18.1 LCDコントローラ/ドライバ概要

図18 - 1 にLCDコントローラ/ドライバの概略を示します。

LCDコントローラ/ドライバは、コモン信号出力端子 (COM0-COM3端子) とセグメント信号出力端子 (LCD0-LCD14端子) の組み合わせにより、最大60ドットの表示を行います。

駆動方式は1/4デューティ, 1/2バイアス, フレーム周波数は62.5 Hz, 駆動電圧は V_{LCD1} です。

図18 - 1 LCDコントローラ/ドライバの概略



備考 LCDEN (LCDドライバ表示開始レジスタのビット3 : 図18 - 6 参照) 全てのLCD表示のオン/オフを設定

18.2 LCD駆動電圧生成ブロック

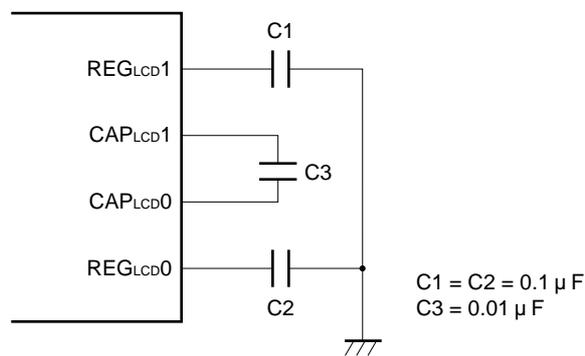
LCD駆動電圧生成ブロックは、LCDを駆動させるための電圧を生成します。

μ PD17073では、外付けのダブラ回路からLCD駆動電圧を供給します。ダブラ回路を構成するためには、REG_{Lcd0}, CAP_{Lcd0}, CAP_{Lcd1}, REG_{Lcd1}端子にコンデンサを接続してください。

図18 - 2 にダブラ回路の構成例を示します。3.1 V (TYP.) の電圧を使用するためには、図18 - 2 に示すように接続してください。

また、ダブラ回路を動作させるためには、LCDドライバ表示開始レジスタのLCDENフラグを“ 1 ” にセットする必要があります。LCDENフラグを“ 1 ” にセットしないと、LCD駆動電圧生成ブロックは動作しません。LCDENフラグについては、18.4 コモン信号出力、セグメント信号出力タイミング制御ブロックを参照してください。

図18 - 2 ダブラ回路の構成



備考 ()内は端子番号です。

ダブラ回路の構成上、C1, C2, C3の値を変えることによりLCD駆動電圧 (V_{LCD1} , V_{LCD0}) の値が異なってくるため注意が必要です。

18.3 LCDセグメント・レジスタ

LCDセグメント・レジスタは、LCDの点消灯するドット・データを設定します。

図18 - 3にLCDセグメント・レジスタのデータ・メモリ上の配置と構成を示します。

LCDセグメント・レジスタはデータ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で制御できます。

LCDセグメント・レジスタは1ニブルで4ドットの表示データ（点消灯データ）を設定できます。このとき、LCDセグメント・レジスタが“1”に設定されているとLCD表示ドットが点灯し、“0”に設定されているドットが消灯します。

図18 - 4にLCDセグメント・レジスタとLCD表示ドットの関係を示します。

図18 - 3 LCDセグメント・レジスタのデータ・メモリ上の配置と構成

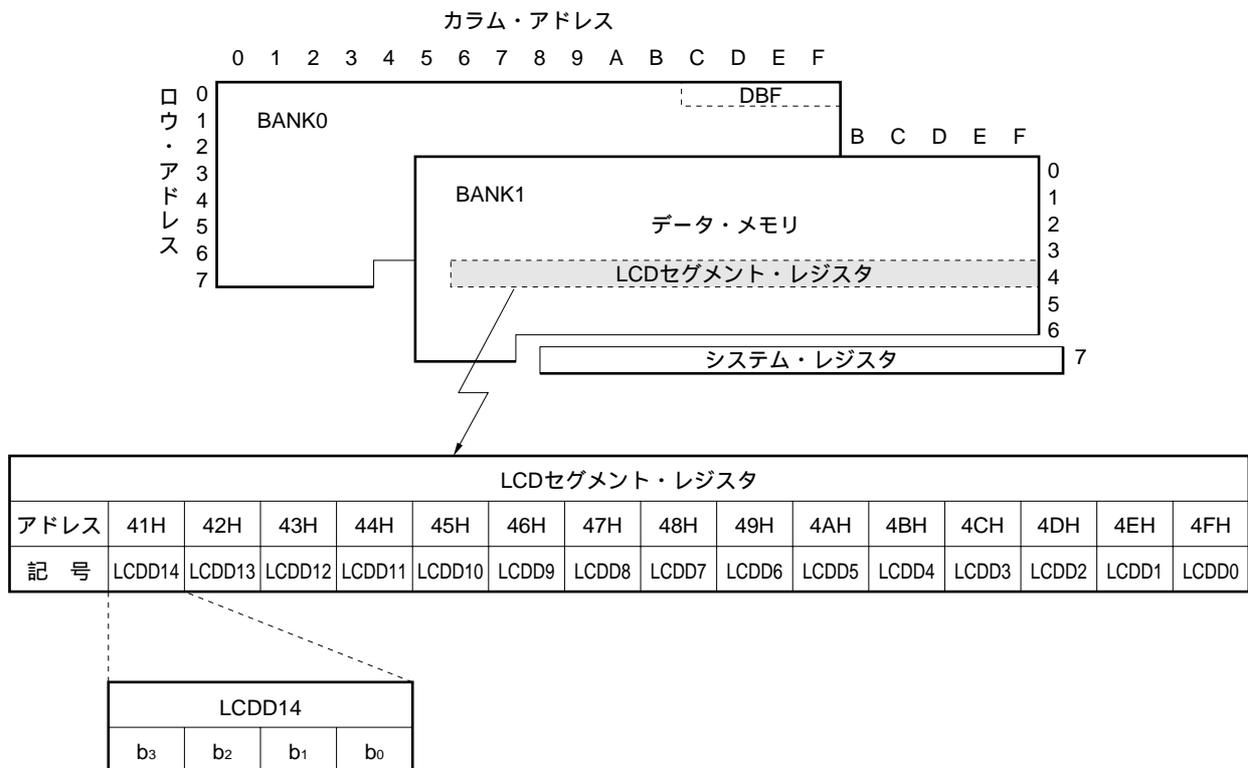


図18 - 4 LCDセグメント・レジスタとLCD表示ドットの関係



18.4 コモン信号出力，セグメント信号出力タイミング制御ブロック

図18 - 5 にコモン信号出力およびセグメント信号出力タイミング制御ブロックの構成を示します。

コモン信号出力タイミング制御ブロックは，COM0-COM3端子のコモン信号出力タイミングを制御します。

セグメント信号出力タイミング制御ブロックは，LCD0-LCD14端子のセグメント信号出力タイミングを制御します。

コモン信号，セグメント信号は，LCDドライバ表示開始レジスタのLCDENフラグを“ 1 ”に設定すると出力されま
す。

LCDENフラグを“ 0 ”に設定するとすべてのLCD表示を消灯することができます（図18 - 6 参照）。

LCD表示を行わないときは，COM0-COM3端子，LCD0-LCD14端子はロウ・レベルを出力します。

図18 - 5 コモン信号出力，セグメント信号出力タイミング制御ブロックの構成

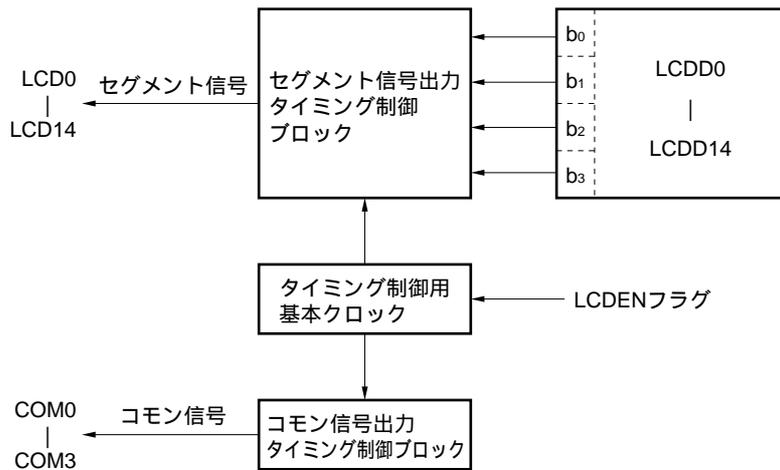
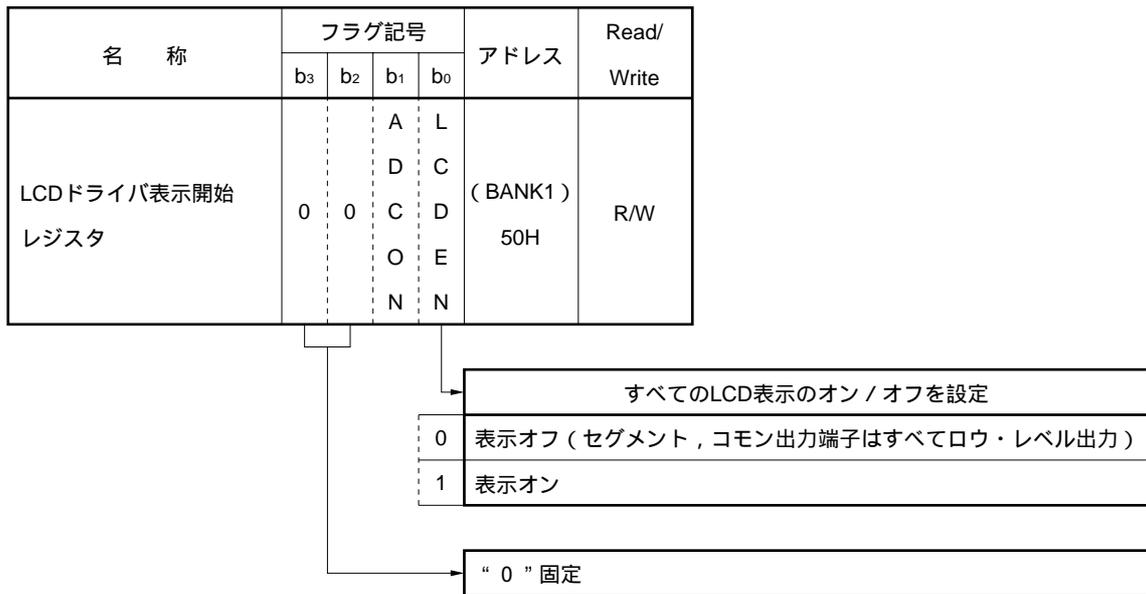


図18 - 6 LCDドライバ表示開始レジスタの構成



リ セ ツ ト 時	パワーオン	0	0	0	0
	クロック・ストップ			0	0
	CE			0	保

備考 保：保持

注意 1 . LCDドライバ表示開始レジスタのビット3はテスト・モード用領域となっています。このためビット3には“ 1 ”を書き込まないでください。

2 . ADCONフラグの機能については、13.2 A/Dコンバータ用電源の設定を参照してください。

18.5 コモン信号およびセグメント信号出力波形

図18 - 7 にコモン信号およびセグメント信号出力波形の一例を示します。

μPD17073では、1/4デューティ、1/2バイアス（電圧平均化法）の駆動方式でフレーム周波数62.5 Hzの信号を出力します。

コモン信号出力は、COM0-COM3端子から互いに1/8の位相差を持った3レベル（GND, V_{LCD0}, V_{LCD1}）の電圧を出力します。つまり、コモン信号はV_{LCD0}を中心に±1/2 V_{DD}の電圧を出力することになり、この表示方法を1/2バイアス駆動方式と呼びます。

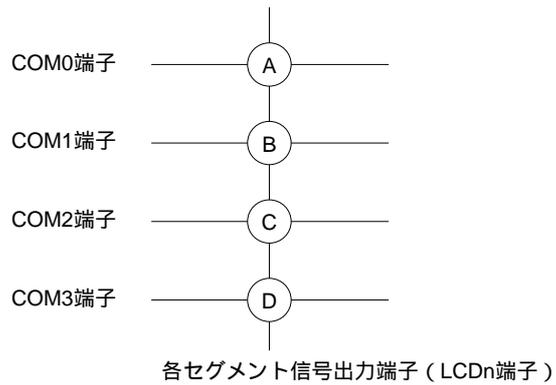
セグメント信号出力は、各セグメント信号出力端子から表示ドットに対応した位相を持った2レベル（GND, V_{LCD1}）の電圧を出力します。図18 - 7 に示すように、1本のセグメント端子で4個の表示ドット（A, B, C, D）を点消灯させるため、各ドットの点消灯の組み合わせから16通りの位相を出力することができます。

各表示ドットは、コモン信号とセグメント信号の電位差がV_{LCD1}になると点灯します。

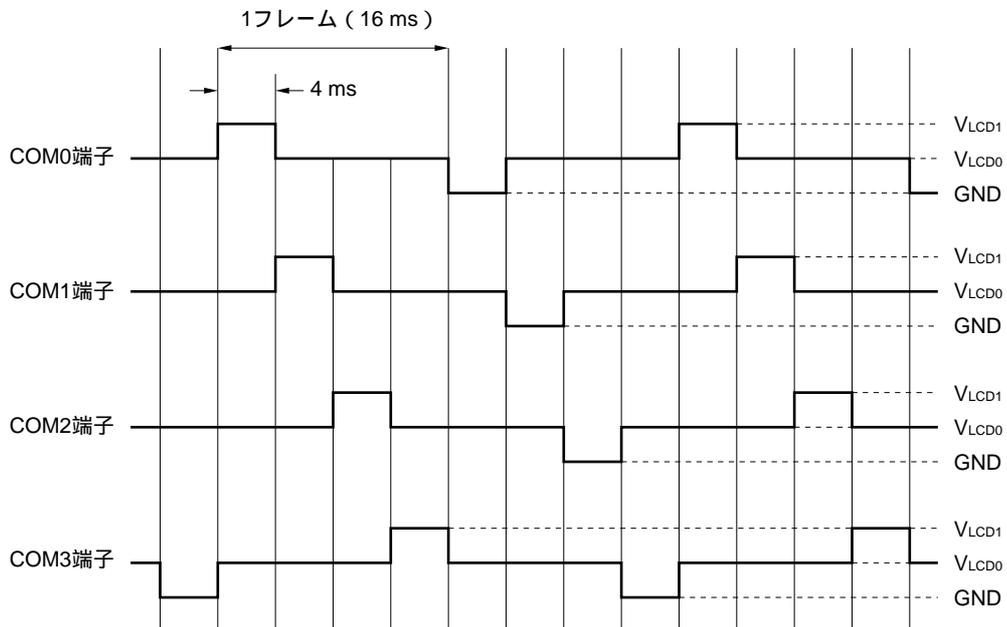
つまり、各表示ドットが点灯するデューティは1/4となります。

この表示方式を1/4デューティ表示方式と呼び、フレーム周波数は62.5 Hzになります。

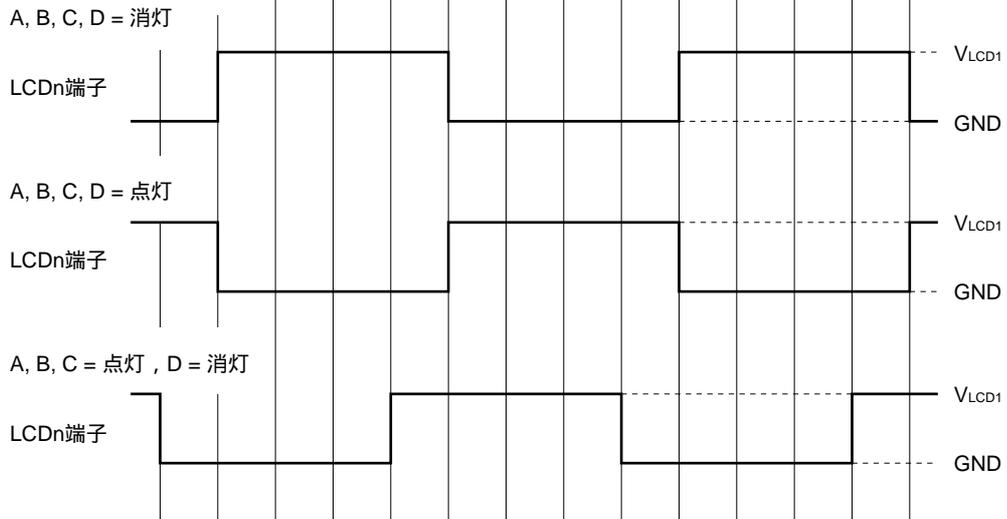
図18 - 7 コモン信号およびセグメント信号出力波形



コモン信号



セグメント信号 (一例)



18.6 LCDコントローラ/ドライバの使用方法

図18 - 8 にLCDパネルの結線例を示します。

また、図18 - 8 に示したLCD0, LCD1端子の7セグメントを点灯させるプログラム例を次に示します。

例

```

PMNO    MEM    0.01H                ; プリセット・ナンバの格納エリア
CH      FLG    LCDD0.3             ; LCDD0レジスタの上位1ビットを'CH'表示用と
                                           ; してシンボル定義

LCDDATA :                          ; LCDセグメント テーブル・データ

      DW      0000000000000000B    ; BLANK
      DW      0000000000000110B    ; 1
      DW      0000000010110101B    ; 2
      DW      0000000010100111B    ; 3
      DW      0000000001100110B    ; 4
      DW      0000000011100011B    ; 5
      DW      0000000011110011B    ; 6
      DW      0000000010000110B    ; 7
      DW      0000000011110111B    ; 8
      DW      0000000011100111B    ; 9

      MOV     ARO, #.DL.LCDDATA SHR 12 AND 0FH
      MOV     AR1, #.DL.LCDDATA SHR 8  AND 0FH
      MOV     AR2, #.DL.LCDDATA SHR 4  AND 0FH
      MOV     AR3, #.DL.LCDDATA          AND 0FH

      LD      DBF0, ARO
      LD      DBF1, AR1
      LD      DBF2, AR2
      LD      DBF3, AR3

      ADD     DBF0, PMNO
      ADDC    DBF1, #0
      ADDC    DBF2, #0
      ADDC    DBF3, #0

      ST      ARO, DBF0
      ST      AR1, DBF1
      ST      AR2, DBF2
      ST      AR3, DBF3

      MOVT   DBF, @AR                ; テーブル参照命令

      BANK1
      ST     LCDD0, DBF0
      ST     LCDD1, DBF1
      SET1   CH
      SET1   LCDEN                    ; LCD ON

```


18.7 リセット時の状態

18.7.1 パワーオン・リセット時

LCD0-LCD14端子はロウ・レベルを出力します。
COM0-COM3端子もロウ・レベルを出力します。
したがって、LCD表示はオフします。
LCDセグメント・レジスタの内容は不定になります。

18.7.2 クロック・ストップ時

LCD0-LCD14端子はロウ・レベルを出力します。
COM0-COM3端子もロウ・レベルを出力します。
したがって、LCD表示はオフします。
LCDセグメント・レジスタの内容は、以前の状態が保持されます。

18.7.3 CEリセット時

LCD0-LCD14端子はセグメント信号を出力します。
COM0-COM3端子はコモン信号を出力します。
LCDセグメント・レジスタの内容は、以前の状態が保持されます。

18.7.4 ホールト状態中

LCD0-LCD14端子はセグメント信号を出力します。
COM0-COM3端子はコモン信号を出力します。
LCDセグメント・レジスタの内容は、以前の状態が保持されます。

19. スタンバイ

スタンバイ機能は、バックアップ時にデバイスの消費電流を減少させる目的で使用します。

19.1 スタンバイ機能概要

図19 - 1 にスタンバイ・ブロックの概略を示します。

スタンバイ機能は、デバイスの動作を一部またはすべて停止させることや、CPUクロックを遅くすることにより、デバイスの消費電流を削減します。

スタンバイ機能には次の4つがあり、用途に応じて使い分けることができます。

- ホールト機能
- クロック・ストップ機能
- CE端子によるデバイスの動作制御機能
- 低速モード機能

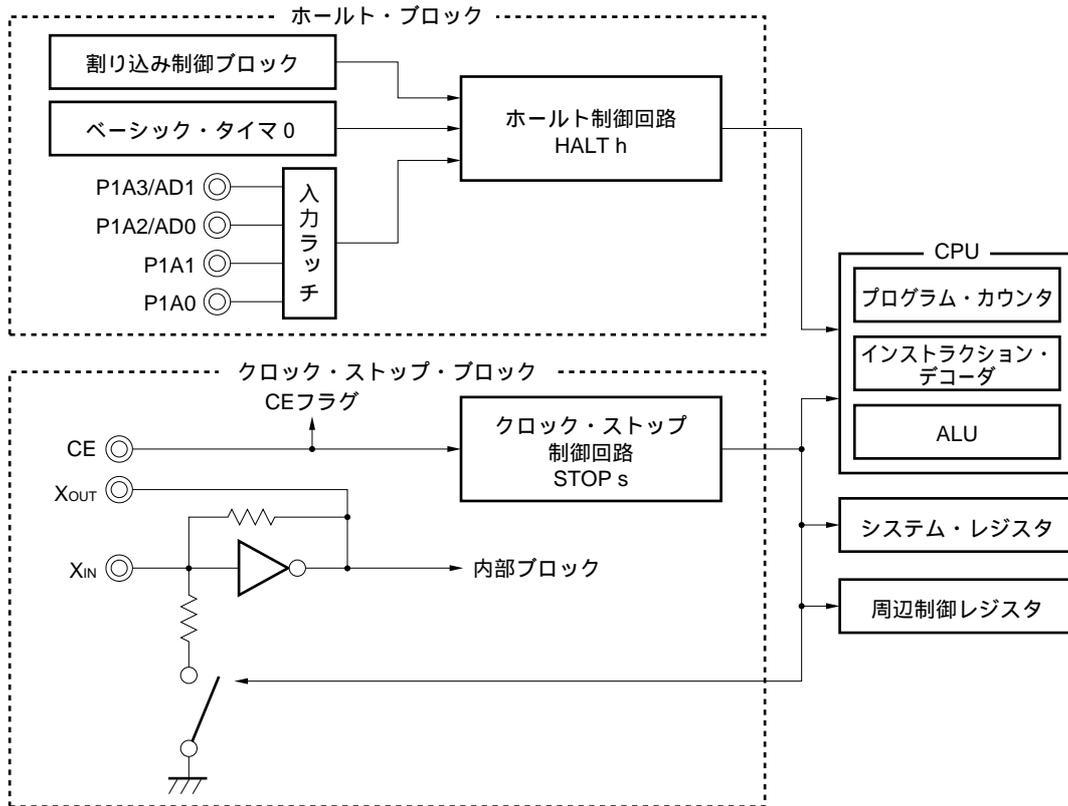
ホールト機能は、専用命令である“HALT h”命令でCPUの動作を停止させることにより、デバイスの消費電流を削減します。

クロック・ストップ機能は、専用命令である“STOP s”命令で発振回路の発振を停止させることにより、デバイスの消費電流を削減します。

CE端子は、PLL周波数シンセサイザの動作制御およびデバイスのリセットに使用しますが、動作制御を行う点ではスタンバイ機能の1つといえます。

低速モード機能は、CPUクロックを遅くすることによりデバイスの消費電流を削減します。

図19 - 1 スタンバイ・ブロック概略



備考 CEフラグ (CE端子状態検出レジスタのビット0 : 図19 - 6 参照)
 CE端子の状態を検出

19.2 ホールト機能

19.2.1 ホールト機能概略

ホールト機能は，“HALT h”命令を実行することによりCPUの動作クロックを停止します。

“HALT h”命令が実行されると，以後ホールト状態が解除されるまでプログラムは停止したままになります。したがって，ホールト状態中のデバイス消費電流はCPUの動作電流分だけ減少します。

ホールト状態からの解除はキー入力，ベーシック・タイマ0および割り込みにより行います。

解除条件はHALT h命令のオペランドである“h”により指定します。

“HALT h”命令はCE端子の入力レベルに関係なく有効です。

19.2.2 ホールト状態

ホールト状態中はCPUの動作がすべて停止します。すなわちプログラムの実行が“HALT h”命令で停止している状態になります。ただし，周辺ハードウェアは“HALT h”命令以前に設定されている状態をそのまま継続します。

各周辺ハードウェアの動作については19.4 **ホールトおよびクロック・ストップ時のデバイス動作**を参照してください。

19.2.3 ホールト解除条件

図19 - 2 にホールト解除条件を示します。

ホールト解除条件は，“HALT h”命令のオペランド“h”で指定する4ビット・データにより設定します。

ホールト状態は，オペランド“h”に“1”で指定された条件が満たされると解除されます。

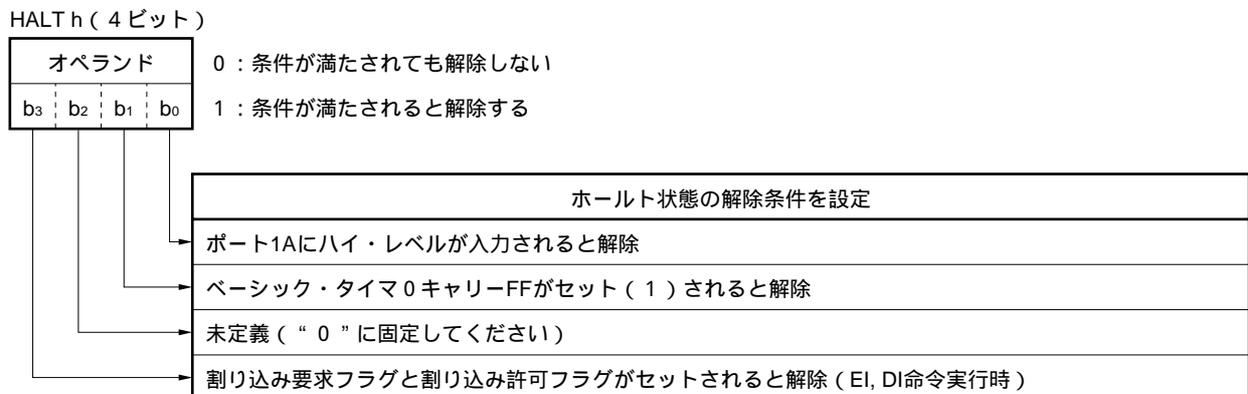
ホールト状態が解除されると，“HALT h”命令の次の命令からプログラムを実行します。

複数の解除条件が設定されている場合，設定されている条件のどれか1つでも満たされればホールト状態は解除されます。

また，デバイスにリセット（パワーオン・リセットまたはCEリセット）がかかったときは，ホールト状態は解除され各リセット動作を行います。

ホールト解除条件“h”に0000Bが設定されると，どの解除条件も設定されません。このときデバイスのリセット（パワーオン・リセットまたはCEリセット）がかかるとホールト状態が解除されます。

図19 - 2 ホールト解除条件



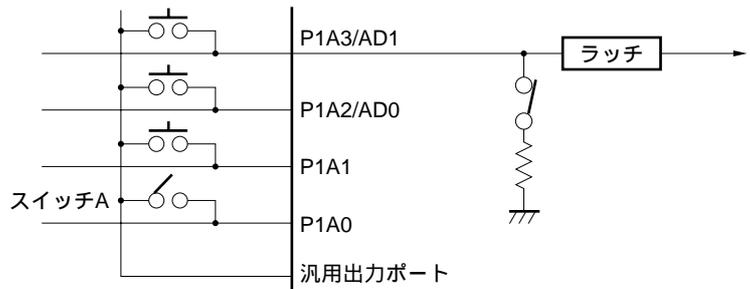
19.2.4 キー入力によるホールド解除

キー入力によるホールド状態の解除は，“HALT 0001B”命令で設定します。

キー入力によるホールド解除条件を設定すると，P1A0, P1A1, P1A2/AD0, P1A3/AD1端子の4本のうちどれか1本にでもハイ・レベルが入力されたときにホールド状態を解除します。

ただし，プルダウン抵抗がオフの端子によるホールド解除はできません。

(1) 汎用出力ポートをキー・ソース信号とするとき

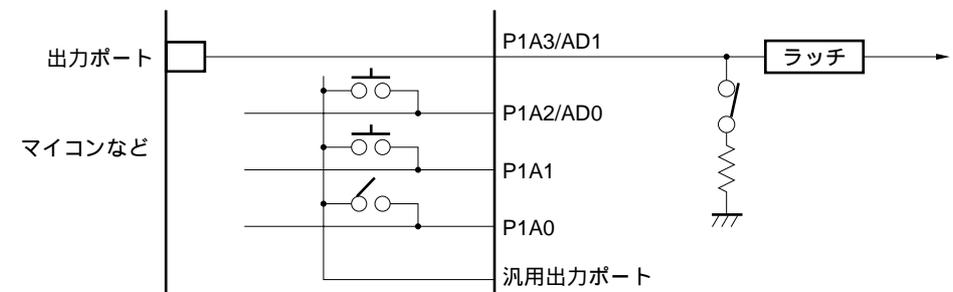


キー・ソース信号用の汎用出力ポートをハイ・レベルにしたあとに，“HALT 0001B”命令を実行します。

このとき上図に示すスイッチAのようにオルタネート・スイッチを用いていると，スイッチAが閉じている間は常にP1A0端子にハイ・レベルが加わるため，ホールド状態はただちに解除されてしまいます。

したがって，オルタネート・スイッチを使用するときは十分注意してください。

(2) 他のマイコンなどでホールド解除を行うとき



P1A0, P1A1, P1A2/AD0, P1A3/AD1端子は，プルダウン抵抗付きの汎用入力ポートとしても使用できます。

したがって，ホールド解除は上図に示すように他のマイコンなどにより行うことも可能です。

19.2.5 ベーシック・タイマ0によるホールド解除

ベーシック・タイマ0によるホールド解除は，“HALT 0010B”命令で設定します。

ベーシック・タイマ0によるホールド解除が設定されると，ベーシック・タイマ0 キャリーFFがセット（1）されると同時にホールド状態が解除されます。

ベーシック・タイマ0 キャリーFFは，BTM0CYフラグと1対1に対応しており，一定時間ごと（125 ms）にセットされます。したがって，一定時間ごとにホールド状態を解除することができます。

例 125 msごとにホールド状態を解除し，1秒ごとに処理Aを行う例

```

M1      MEM      0.10H      ; 1秒のカウンタ
HLTTMR  DAT      0010B     ; シンボル定義
LOOP :
        HALT     HLTTMR     ; ベーシック・タイマ0 キャリーFFによる解除条件を設定し、ホールド状態にする
        BANK1
        SKT1     BTM0CY     ; 組み込みマクロ
        BR       LOOP      ; BTM0CYフラグがセットされていなければLOOPへ分岐
        BANK0
        ADD      M1,#0010B  ; M1の内容に0010Bを加算
        SKT1     CY         ; 組み込みマクロ
        BR       LOOP      ; キャリーが出れば処理Aを実行
        処 理  A
        BR       LOOP
    
```

19.2.6 割り込みによるホールド解除

割り込みによるホールド解除は“HALT 1000B”命令で設定します。

割り込みには、11. 割り込みで説明したように3要因あります。したがって、どの割り込み要因でホールド解除するかはあらかじめプログラムで設定しておく必要があります。

次の ~ の条件が満たされると、ホールド状態は解除されます。

“HALT 1000B”命令が設定されている

各割り込み許可フラグにより割り込みが許可されている (IP × × フラグ = 1)

対応する各割り込み要求フラグにより割り込み要求が発行されている (IRQ × × フラグ = 1)

このとき、EI命令が実行されているかDI命令が実行されているかの違いによって、ホールド解除後の動作が異なります。

EI命令が実行されていると、プログラムの流れは各割り込みのベクタ・アドレスへ移ります。割り込みの処理後、RETI命令を実行するとプログラムの流れはHALT命令の次の命令に復帰します。

DI命令が実行されていると、プログラムの流れはベクタ・アドレスへは移らず、ホールド状態解除後すぐにHALT命令の次の命令からスタートします。

EI命令、DI命令実行時のプログラム例、および割り込みによるホールド解除の注意事項を次に示します。

例 1 . EI命令実行時のプログラム例

```

HLTINT DAT    1000B      ; ホールト条件のシンボル定義
INTTM  DAT    0002H      ; 割り込みベクタ・アドレスのシンボル定義
INTPIN  DAT    0003H      ;
                                "

START :
BR      MAIN            ; プログラム・アドレス0000H
ORG     INTTM           ; ベーシック・タイマ 1 割り込みベクタ・アドレス
BR     INTTIMER
ORG     INTPIN          ; INT端子による割り込み
      処 理  A
BR     EI_RET1
INTTIMER :              ; ベーシック・タイマ 1 による割り込み処理
      処 理  B
EI_RET1 :
EI
RETI

MAIN :
BANK1
SET2   IPBTM1, IP      ; 組み込みマクロ
SET1   BTM1CK          ; ベーシック・タイマ 1 による割り込み時間を8msに設定

LOOP :
      処 理  C          ; メイン・ルーチン処理
EI      ; すべての割り込みを許可
HALT   HLTINT          ; 割り込みによるホールト解除を設定
;
BR     LOOP

```

上記の例では、ベーシック・タイマ 1 による割り込み受け付け時にはホールト状態を解除して処理 B を実行し、INT 端子による割り込み受け付け時には処理 A を実行します。

またホールト状態が解除されるたびに処理 C を実行します。

ホールト状態中にまったく同時にINT端子による割り込み要求とベーシック・タイマ 1 による割り込み要求が発行された場合は、ハードウェア優先順位の高いINT端子の処理 A を実行します。

処理 A の実行後“ RETI ” が実行されると の“ BR LOOP ” 命令に復帰しますが“ BR LOOP ” 命令は実行されずにすぐベーシック・タイマ 1 の割り込みが受け付けられます。

ベーシック・タイマ 1 の割り込み処理である処理 B の実行後“ RETI ” 命令が実行されると、“ BR LOOP ” 命令を実行します。

例 2 . DI命令実行時のプログラム例

```

HLTINT  DAT      1000B      ; ホールト条件のシンボル定義

START :
  DI                          ; すべての割り込みを不許可
  BANK1
  SET2    IPBTM1, IP      ; 組み込みマクロ
  SET1    BTM1CK          ; ベーシック・タイマ 1 による割り込み時間を 8 ms に設定

LOOP :
  HALT    HLTINT          ; 割り込みによるホールト解除を設定

  SKT1    IRQ              ; ホールト解除要因の検出
  BR      INTBTM1

  CLR1    IRQ              ;
  処 理  A                  ; INT端子による割り込み処理
INTBTM1 :
  SKT1    IRQBTM1         ; ホールト解除要因の検出
  BR      LOOP

  CLR1    IRQBTM1         ;
  処 理  B                  ; ベーシック・タイマ 1 による割り込み処理

  BR      LOOP

```

上記の例では、DI命令が実行されるため、ベーシック・タイマ 1 による割り込みおよびINT端子による割り込みが受け付けられても、プログラムはそれぞれのベクタ・アドレスには行かずそのまま次の命令を実行します。

注意 割り込み許可フラグ (IP × × ×) がセットされている割り込み要求フラグ (IRQ × × ×) のセットを解除条件とするHALT命令を実行するときは、HALT命令の直前にNOP命令を記述してください。

NOP命令をHALT命令の直前に記述すると、IRQ × × × 操作命令とHALT命令との間に1命令分の時間が生成されます。たとえば、CLR1 IRQ × × × 命令の場合は、IRQ × × × のクリアがHALT命令に正しく反映されます (例1)。NOP命令をHALT命令の直前に記述しない場合、CLR1 IRQ × × × 命令はHALT命令に反映されず、HALTモードには入りません (例2)。

例1 . HALT命令を正しく実行するプログラム例

```

      ; IRQ × × × のセット
      ;
CLR1  IRQ × × ×
NOP   ; NOP命令をHALT命令の直前に記述
      ; ( IRQ × × × のクリアがHALT命令に対して正しく反映される )
HALT  1000B ; HALT命令を正しく実行する ( HALTモードに入る )
      ;

```

2 . HALTモードに入らないプログラム例

```

      ; IRQ × × × のセット
      ;
CLR1  IRQ × × × ; IRQ × × × のクリアはHALT命令に対して反映されない
      ; ( 反映されるのはHALT命令の次の命令 )
HALT  1000B ; HALT命令は無視される ( HALTモードに入らない )
      ;

```

19.2.7 複数の解除条件が同時に設定された場合

複数のホールド解除条件が設定された場合は、設定された解除条件のうち1つでも条件が満たされるとホールド状態が解除します。

このとき複数の解除条件が同時に満たされたときの解除条件判別方法を次に示します。

例

```

HLTINT    DAT 1000B
HLTTMR    DAT 0010B
HLTKEY    DAT 0001B
INTPIN    DAT 0003H ; INT端子割り込みベクタ・アドレス・シンボル定義

START :
BR        MAIN
ORG
INTPIN    処 理 A      ; INT端子割り込み処理
EI
RET I
TMRUP :
          処 理 B      ; ベーシック・タイマ0処理
RET
KEYDEC :
          処 理 C      ; キー入力処理
RET
MAIN :
BANK1
MOV       P1B, #1111B ; キー・ソース出力としてP1B3-P1B0すべてをハイ・レベル出力する
SET1     IP           ; 組み込みマクロ
          ; INT端子の割り込みを許可
EI
LOOP :
HALT     HLTINT OR HLTTMR OR HLTKEY
          ; ホールド解除条件を外部割り込み (INT端子) ,
          ; ベーシック・タイマ0およびキー入力に設定
SKT1     BTMOCY
          ; 組み込みマクロ
          ; BTMOCYフラグを検出
BR       KEY_DEC
CALL     TMRUP        ; セット ( 1 ) されていればベーシック・タイマ0処理
BR       LOOP
KEYDEC :
          KEY処理
BR       LOOP

```

19.3 クロック・ストップ機能

クロック・ストップ機能は“STOP s”命令を実行することにより75 kHz水晶振動子の発振回路を停止します（クロック・ストップ状態）。

したがってデバイスの消費電流は3 μA MAX. ($T_A = 25$, $V_{DD} = 3.0$ V)まで減少します。

“STOP s”命令のオペランド“s”には“0000B”を指定します。

“STOP s”命令はCE端子がロウ・レベルのときのみ有効となり、CE端子がハイ・レベルの間に実行されてもノー・オペレーション命令（NOP）として実行されます。

すなわち、CE端子がロウ・レベルのときに“STOP s”命令を実行する必要があります。

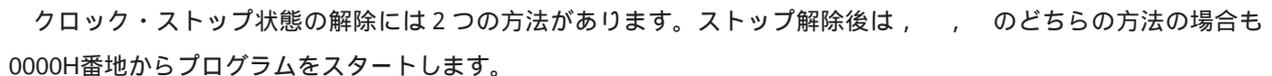
クロック・ストップ状態の解除は、CE端子をロウ・レベルからハイ・レベルに立ち上げるCEリセット、または電源電圧 V_{DD} の投入によるパワーオン・リセットにより行います。

19.3.1 クロック・ストップ状態

クロック・ストップ状態は水晶振動子の発振回路が停止するため、CPUおよび周辺ハードウェアなどのデバイス動作はすべて停止します。

CPUおよび各周辺ハードウェアの動作は19.4 **ホールドおよびクロック・ストップ時のデバイス動作**を参照してください。

19.3.2 クロック・ストップ状態の解除方法

クロック・ストップ状態の解除には2つの方法があります。ストップ解除後は、のどちらの方法の場合も0000H番地からプログラムをスタートします。

CE端子をロウ・レベルからハイ・レベルに立ち上げる（CEリセット）

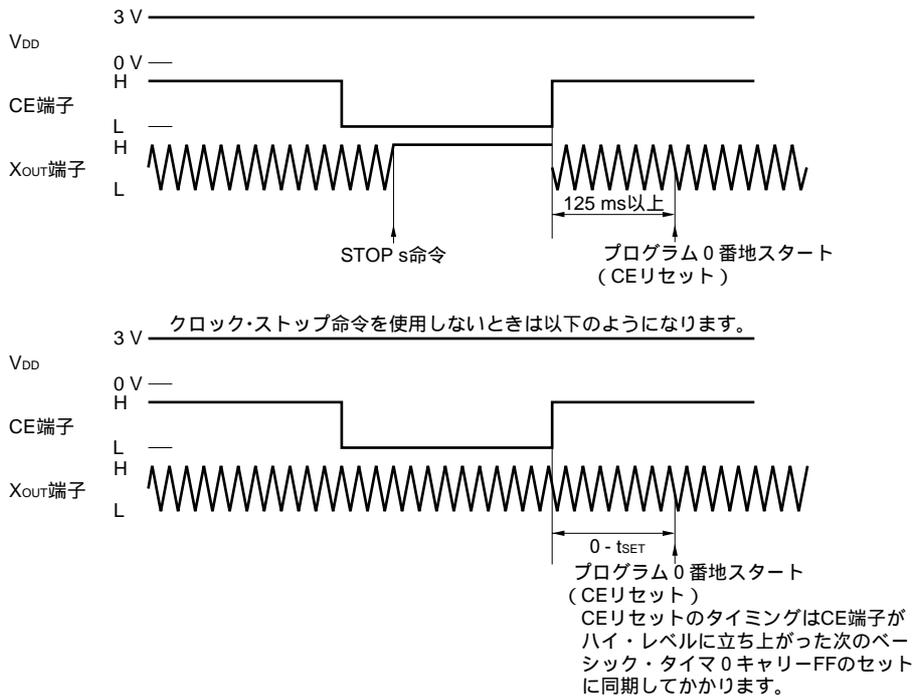
デバイスの電源電圧 V_{DD} を一度1.8 V^注以下に下げてから、再び1.8 V^注以上 ($T_A = -20 \sim +70$, 通常動作時)まで立ち上げる（パワーオン・リセット）

注 この電圧をパワーオン・クリア電圧といいます。1.8 VはMAX.値であり、実際のパワーオン・クリア電圧値はこのMAX.値を越えない範囲の値となります。詳しくは20.4.1 **パワーオン・クリア電圧**を参照してください。

19.3.3 CEリセットによるクロック・ストップ解除

図19-3にCEリセットによるクロック・ストップ解除動作を示します。

図19 - 3 CEリセットによるクロック・ストップ解除

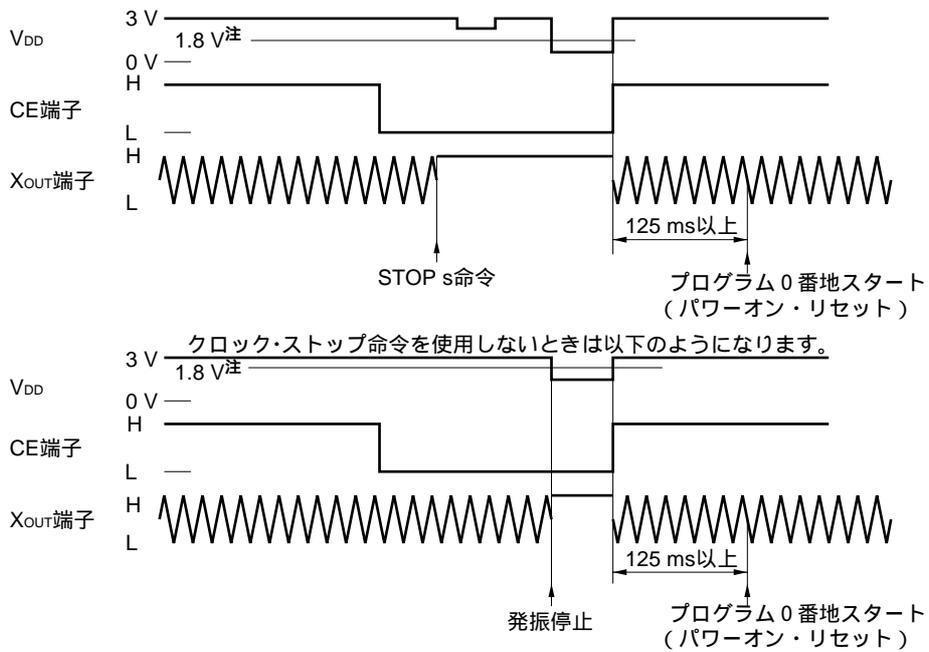


19.3.4 パワーオン・リセットによるクロック・ストップ解除

図19 - 4 にパワーオン・リセットによるクロック・ストップ解除動作を示します。

パワーオン・リセットによるクロック・ストップ解除を行うと、停電検出回路が動作します。

図19 - 4 パワーオン・リセットによるクロック・ストップ解除



注 この電圧をパワーオン・クリア電圧といいます。1.8 VはMAX.値であり、実際のパワーオン・クリア電圧値はこのMAX.値を越えない範囲の値となります。詳しくは20.4.1 パワーオン・クリア電圧を参照してください。

19.3.5 クロック・ストップ命令使用時の注意

クロック・ストップ命令 (STOP s命令) はCE端子がロウ・レベルのときのみ有効になります。
 したがって、CE端子がたまたまハイ・レベルであったときの処理をプログラム上考慮しておく必要があります。
 次の例を基に説明します。

例

```

    XTAL    DAT 0000B    ; クロック・ストップ条件のシンボル定義
CEJDG :
;
    SKF1    CE          ; 組み込みマクロ
                    ; CE端子の入力レベルを検出
    BR      MAIN       ; CE = ハイ・レベルならメイン処理へ分岐

    [ 処 理  A ]       ; CE = ロウ・レベルの処理

;
    STOP    XTAL       ; クロック・ストップ

;
    BR      $-1
MAIN :
    [ メイン処理 ]

    BR      CEJDG
    
```

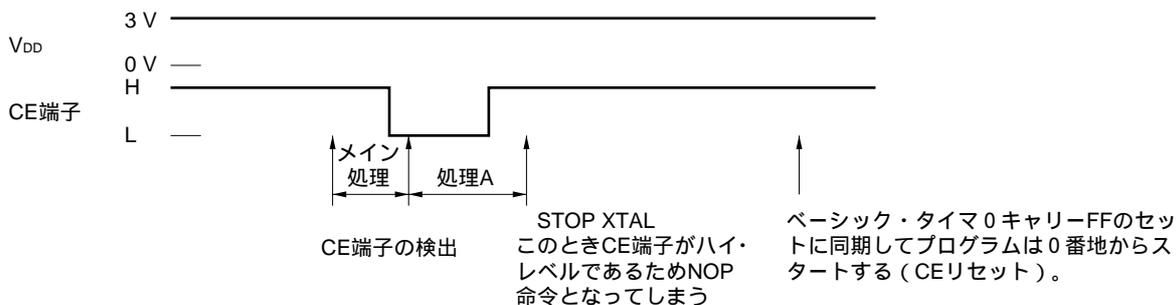
上記の例では でCE端子の状態を検出し、CE端子がロウ・レベルであれば処理Aを実行後 のクロック・ストップ命令 “ STOP XTAL ” を実行します。

ところが、下図に示すように、 の “ STOP XTAL ” 命令実行中にCE端子がハイ・レベルになってしまうと、“ STOP XTAL ” 命令はノー・オペレーション命令 (NOP) として動作してしまいます。

このとき、仮に の分岐命令 “ BR \$-1 ” がなかったとすると、プログラムはメイン処理に移ってしまい誤動作することが考えられます。

したがって、プログラム上は のように分岐命令を挿入するか、またはメイン処理に移っても誤動作しないようなプログラムにしておく必要があります。

また のように分岐命令を用いたときは、CE端子がハイ・レベルのままであっても、次のベーシック・タイマ0 キャリーFFのセットと同期してCEリセットがかかります。



19.4 ホールトおよびクロック・ストップ時のデバイス動作

表19 - 1 にホールト状態中とクロック・ストップ状態中のCPUおよび周辺ハードウェアの動作を示します。

ホールト状態中は、すべての周辺ハードウェアは命令の実行が停止する以外通常動作を継続します。

クロック・ストップ状態中は、すべての周辺ハードウェアが動作を停止します。

周辺ハードウェアの動作状態を制御する周辺制御レジスタは、ホールト状態中は通常どおり動作（イニシャライズされない）しますが、クロック・ストップ命令が実行された時点で所定の値にイニシャライズされます。

つまり各周辺ハードウェアは、ホールト状態中は周辺制御レジスタに設定されている動作を継続し、クロック・ストップ状態中はイニシャライズされた周辺制御レジスタの値に従って動作状態が決定されます。

周辺制御レジスタのイニシャライズされる値については表 8 - 1 周辺制御レジスタの周辺ハードウェア制御機能一覧を参照してください。

また、次に例を示します。

例 ポート1CのP1C0/SO0端子を出力ポートに設定し、P0B3/SI/SO1端子とP0B2/SCK端子をシリアル・インタフェースとして使用しているとき

```

HLTINT  DAT 1000B
XTAL    DAT 0000B
INITFLG POBB103,POBB102
;
SET3    P0B3,P0B2
;
BANK1
CLR1    IRQSIO
INITFLG SIOCK1,SIOCK0
INITFLG SIOSEL,NOT SIOHIZ
SET1    IPSIO
EI
;
SET1    SIOTS
;
HALT    HLTINT
;
STOP    XTAL

```

この例では でP0B3, P0B2端子からハイ・レベルを出力し、 でシリアル・インタフェースの条件設定を行い、でシリアル通信をスタートしています。

このとき の“HALT”命令が実行されると、シリアル通信はそのまま継続しシリアル・インタフェースによる割り込みが受け付けられた時点でホールト状態を解除します。

また の“HALT”命令の代わりに の“STOP”命令が実行されると、“STOP”命令が実行された時点で、および で設定した周辺制御レジスタのフラグがすべてイニシャライズされてしまうため、シリアル通信を中断しポート0Bのすべての端子は汎用入力ポートに設定されます。

表19 - 1 ホールト状態とクロック・ストップ状態中のデバイス動作

周辺ハードウェア	状 態			
	CE端子=ハイ・レベル		CE端子=ロウ・レベル	
	ホールト時	クロック・ストップ時	ホールト時	クロック・ストップ時
プログラム・カウンタ	HALT命令のアドレスで ストップ	STOP命令は 無効 (NOP)	HALT命令のアドレスで ストップ	0000Hにイニシャライズ され、ストップ
システム・レジスタ	保持		保持	イニシャライズ ^注
周辺レジスタ	"		"	保持
タイマ	通常動作		通常動作	動作停止
PLL周波数シンセサイザ	"		ディスエーブル	"
A/Dコンバータ	"		通常動作	"
BEEP	"		"	"
シリアル・インタフェース	"		"	"
周波数カウンタ	"		"	"
LCDコントローラ/ドライバ	"		"	"
汎用入出力ポート	"		"	入力ポート
汎用入力ポート	"		"	入力ポート
汎用出力ポート	"		"	保持

注 イニシャライズされる値については、4．データ・メモリ (RAM)、5．システム・レジスタ (SYSREG) および 8．周辺制御レジスタを参照してください。

19.5 ホールト状態およびクロック・ストップ状態中の各端子の処理上の注意

ホールト状態は、たとえば時計のみを動作させるときなどの消費電流を減らす目的で使用されます。
 また、クロック・ストップ機能はデータ・メモリのみ保持するために消費電流を減らす目的で使用されます。
 したがって、ホールト状態およびクロック・ストップ状態中は極力消費電流を減少させる必要があります。
 このとき、消費電流は各端子の状態により大きく異なることがあるため、表19 - 2 に示すような注意が必要です。

表19 - 2 ホールトおよびクロック・ストップ状態中の各端子の状態と注意 (1/2)

端子機能		端子記号	各端子の状態と処理上の注意	
			ホールト状態	クロック・ストップ状態
汎用入出力ポート	ポート0B	P0B3/SI/SO1 P0B2/SCK P0B1 P0B0	<p>ホールト以前の状態をそのまま保持します。</p> <p>(1) 出力端子に指定されているとき ハイ・レベル出力中に外部でプルダウンされていたり、ロウ・レベル出力中に外部でプルアップされていると消費電流が増加します。</p> <p>(2) 入力端子に指定されているとき (P1A3/AD1, P1A2/AD0, P1A1, P1A0を除く) フローティング状態であってもノイズによる消費電流は増加しない回路になっています。</p>	<p>すべて汎用入力ポートに指定されます。このときポート1A (P1A3/AD1, P1A2/AD0, P1A1, P1A0) を除いたすべての入力ポートは、外部でフローティング状態であってもノイズによる消費電流は増加しない回路になっています。</p> <p>ポート1A (P1A3/AD1, P1A2/AD0, P1A1, P1A0) は、クロック・ストップ以前の状態をそのまま保持します。</p>
	ポート0C	P0C1 P0C0		
	ポート0D	P0D3/FMIFC/AMIFC P0D2/AMIFC		
汎用入力ポート	ポート1A	P1A3/AD1 P1A2/AD0 P1A1 P1A0	<p>(3) ポート1A (P1A3/AD1, P1A2/AD0, P1A1, P1A0) プログラムでプルダウン抵抗オンを選択しているとき、外部でプルアップされていると消費電流が増加します。</p>	<p>(2) プログラムでプルダウン抵抗オフを選択しているとき フローティング状態となり、ノイズによる消費電流が増加します。</p>
汎用出力ポート	ポート0A	P0A3 P0A0	<p>(4) P0D3/FMIFC/AMIFC, P0D2/AMIFC P0D3/FMIFC/AMIFC, P0D2/AMIFC端子を周波数カウンタとして使用しているときは、内蔵アンプが動作して消費電流が増加します。</p> <p>周波数カウンタはCE端子がロウ・レベルになっても自動的にディスエーブルされないため、必要に応じてプログラムでイニシャライズしてください。</p>	<p>汎用出力ポートに指定されます。出力されている内容はそのまま保持されます。したがってハイ・レベル出力中に外部でプルダウンされていたり、ロウ・レベル出力中にプルアップされていると消費電流が増加します。</p>
	ポート1B	P1B3 P1B0		
	ポート1C	P1C0/SO0		
割り込み	INT		フローティング状態になっていると外部ノイズなどにより消費電流が増加します。	
CEリセット	CE		フローティング状態になっていると外部ノイズなどにより消費電流が増加します。	

表19 - 2 ホールトおよびクロック・ストップ状態中の各端子の状態と注意 (2/2)

端子機能	端子記号	各端子の状態と処理上の注意	
		ホールト状態	クロック・ストップ状態
LCDセグメント	LCD14 LCD0	汎用出力ポートとして使用しているときは上記汎用ポートと同様の注意が必要です。	すべての端子がLCDセグメント信号出力に指定されロウ・レベルを出力（表示オフ）します。
PLL周波数 シンセサイザ	VCOL VCOH EO	PLL動作時は消費電流が増加します。 PLLディスエーブル時は以下になります。 VCOL, VCOH フローティング EO フローティング CE端子がロウ・レベルになるとPLLは自動的にディスエーブルされます。	PLLディスエーブルになります。 各端子は以下になります。 VCOL, VCOH フローティング EO フローティング
水晶発振回路	X _{IN} X _{OUT}	水晶発振回路の発振波形により消費電流が変化します。 また、発振振幅が大きいほど消費電流は小さくなります。 発振振幅は使用する水晶振動子や負荷コンデンサにより左右されるため、評価が必要です。	X _{IN} 端子が内部でプルダウンされ、X _{OUT} 端子はハイ・レベルを出力します。

19.6 CE端子によるデバイスの動作制御機能

CE端子は、外部から入力される信号の入力レベルおよび立ち上がりエッジにより次に示す機能を制御します。

- (1) PLL周波数シンセサイザ
- (2) クロック・ストップ命令の有効，無効
- (3) デバイスのリセット

19.6.1 PLL周波数シンセサイザの動作制御

PLL周波数シンセサイザはCE端子がハイ・レベルのときのみ動作可能になります。

CE端子がロウ・レベルのときは自動的にPLLディスエーブルになります。

PLLディスエーブル時はVCOH端子およびVCOL端子はフローティングになります。EO端子もフローティングになります。

PLL周波数シンセサイザは、CE端子がハイ・レベルのときでもプログラムによりディスエーブルすることが可能です。

19.6.2 クロック・ストップ命令の有効，無効の制御

クロック・ストップ命令(“STOP s”)は、CE端子がロウ・レベルのときのみ有効になります。

CE端子がハイ・レベルのときに実行されたクロック・ストップ命令は、ノー・オペレーション命令(NOP)として実行されます。

19.6.3 デバイスのリセット

CE端子をロウ・レベルからハイ・レベルに立ち上げるによりデバイスにリセット(CEリセット)をかけることができます。

リセットにはCEリセットのほかに電源電圧V_{DD}を投入したときのパワーオン・リセットがあります。

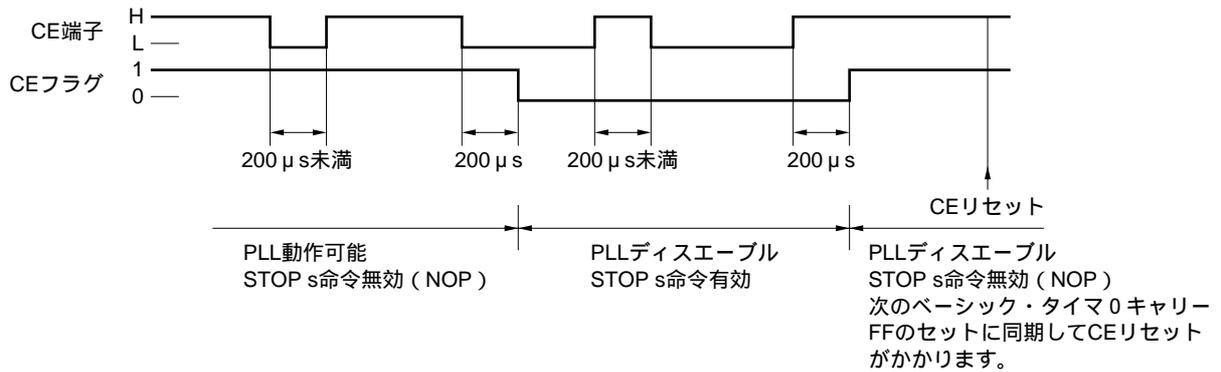
詳しくは20.リセットを参照してください。

19.6.4 CE端子への信号入力

CE端子は、ノイズによる誤動作を防止するため200μs未満のロウ・レベルまたはハイ・レベルは受け付けません。またCE端子に入力された信号の入力レベルは、CE端子状態検出レジスタのCEフラグにより検出することができません。

図19 - 5 に入力信号とCEフラグの関係を示します。

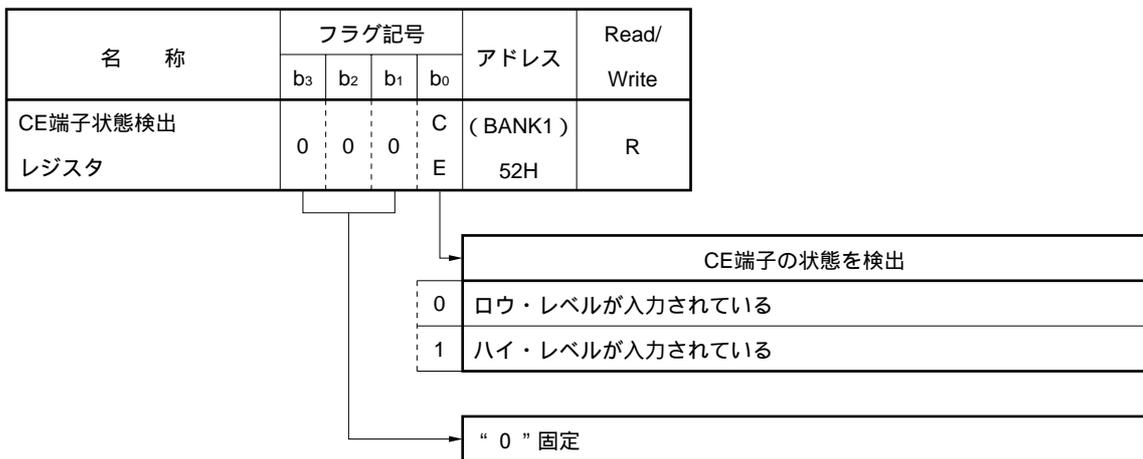
図19 - 5 CE端子への入力信号とCEフラグの関係



19.6.5 CE端子状態検出レジスタの構成と機能

CE端子状態検出レジスタは、CE端子の入力信号レベルを検出します。次に構成と機能を示します。

図19 - 6 CE端子状態検出レジスタの構成



リセット時	パワーオン	0	0	0	-
	クロック・ストップ				-
	CE				-

備考 - : 端子の状態により決定

CEフラグも200μs未満のロウ・レベルおよびハイ・レベルでは変化しません。

19.7 低速モード機能

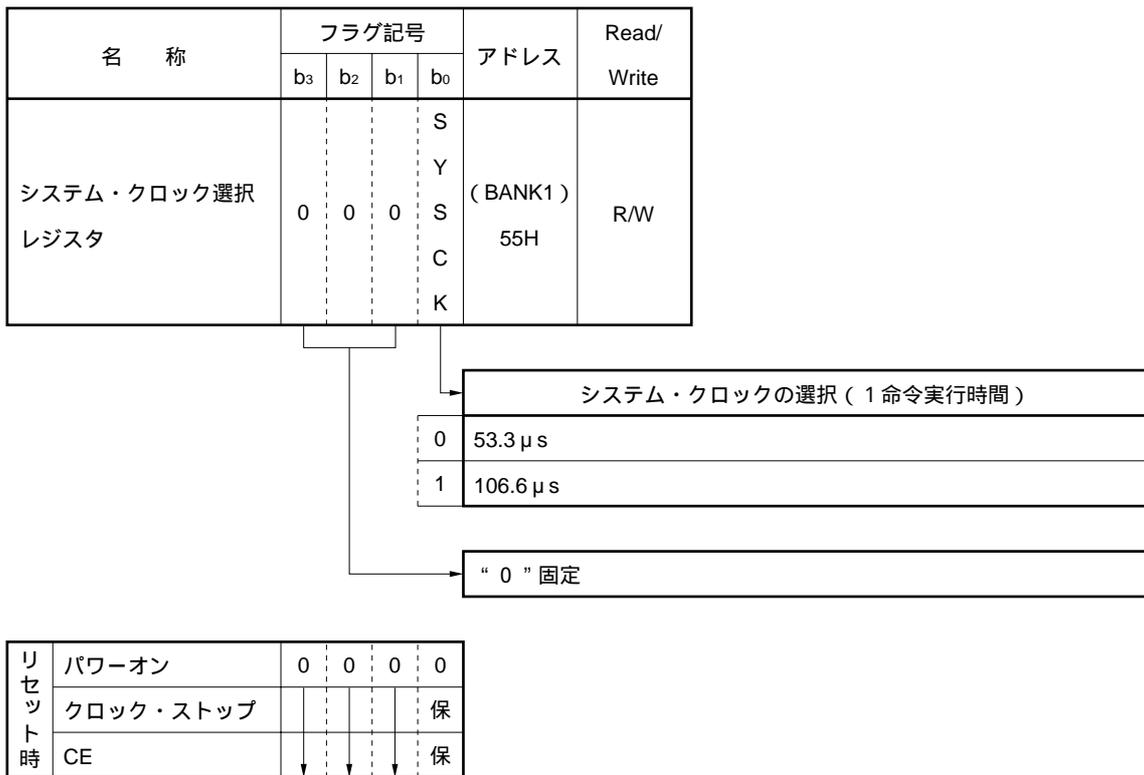
μPD17073は、システム・クロック選択レジスタのSYSCKフラグに“1”を書き込むことによって、CPUクロックを遅くすることができます。これを低速モード機能と言います。

低速モード時の1命令実行時間は、106.6μsです。ただし、SYSCKフラグを“1”にセットした直後の1命令のみは、1命令実行時間が103.3μsとなります。

このように、CPUクロックを通常動作時より遅くすることにより、デバイスの消費電流を通常動作時より減少することができます。

図19-7にシステム・クロック選択レジスタの構成と機能を示します。

図19-7 システム・クロック選択レジスタの構成



備考 保：保持

19.7.1 低速モードの解除方法

低速モードの解除は、パワーオン・リセットによりSYSCKフラグが“0”にリセットされるか、またはSYSCKフラグに“0”を書き込むことのいずれかによって行います。

解除後は、CPUクロックは通常の動作スピード（1命令実行時間：53.3μs）に戻って動作します。ただし、SYSCKフラグを“0”にリセットした直後の1命令のみは、1命令実行時間が56.6μsとなります。

20. リセット

リセット機能は、デバイス動作の初期化を行うために使用します。

20.1 リセット・ブロックの構成

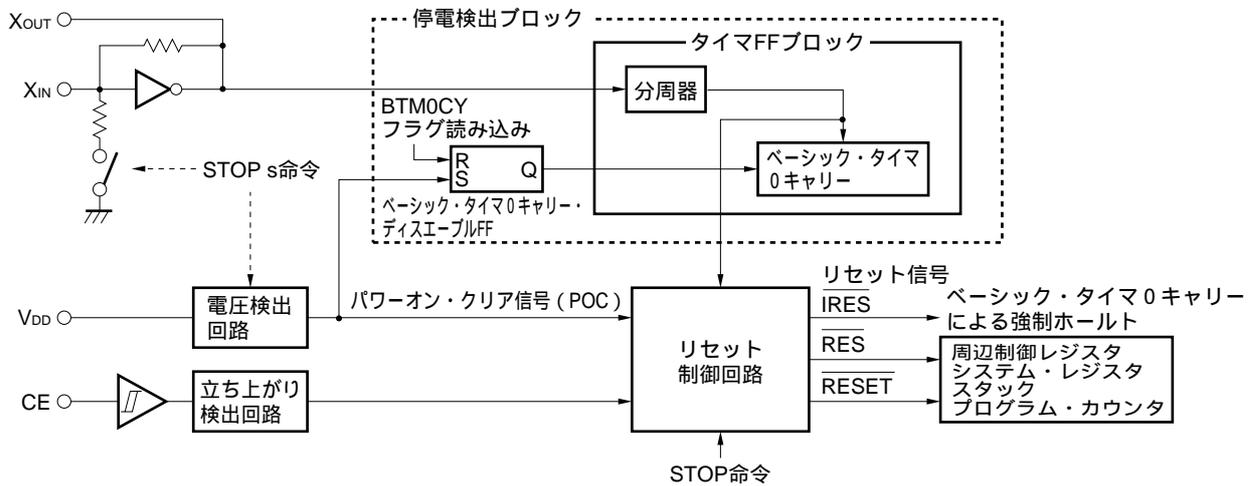
図20 - 1 にリセット・ブロックの構成を示します。

デバイスのリセットは電源電圧V_{DD}の投入によるリセット（パワーオン・リセットまたはV_{DD}リセット）とCE端子によるリセット（CEリセット）に分けられます。

パワーオン・リセット・ブロックはV_{DD}端子に入力された電圧を検出する電圧検出回路、停電検出回路およびリセット制御回路から構成されています。

CEリセット・ブロックはCE端子に入力された信号の立ち上がりを検出する回路とリセット制御回路から構成されています。

図20 - 1 リセット・ブロックの構成



20.2 リセットの機能

パワーオン・リセットは電源電圧V_{DD}が一定電圧以下から立ち上がったときにかかり、CEリセットはCE端子がロウ・レベルからハイ・レベルに立ち上がったときにかかります。

パワーオン・リセットは、プログラム・カウンタ、スタック、システム・レジスタ、ベーシック・タイマ0キャリ－FFおよび周辺制御レジスタなどの初期化を行い、プログラムを0000H番地から実行します。

CEリセットは、プログラム・カウンタ、スタック、システム・レジスタおよび周辺制御レジスタの一部などの初期化を行い、プログラムを0000H番地から実行します。

パワーオン・リセットとCEリセットの違いはおもに、初期化される周辺制御レジスタと20.6で説明する停電検出回路の動作です。

パワーオン・リセットとCEリセットは図20-1に示したリセット制御回路から出力されるリセット信号 $\overline{\text{IRES}}$ 、 $\overline{\text{RES}}$ および $\overline{\text{RESET}}$ 信号により制御されます。

表20-1に $\overline{\text{IRES}}$ 、 $\overline{\text{RES}}$ および $\overline{\text{RESET}}$ 信号とパワーオン・リセットおよびCEリセットの関係を示します。

また19.スタンバイで説明したクロック・ストップ命令 (STOP s) 実行時モリセット制御回路が動作します。

20.3および20.4にそれぞれCEリセットとパワーオン・リセットについて説明します。

20.5にCEリセットとパワーオン・リセットの関係を説明します。

表20-1 内部リセット信号と各リセットの関係

内部リセット信号	出力される信号			各リセット信号により制御される内容
	CE リセット時	パワーオン・ リセット時	クロック・ ストップ時	
$\overline{\text{IRES}}$	x			デバイスを強制的にホールド状態にする。 ホールドの解除はベーシック・タイマ0キャリ－FFのセットにより行う。
$\overline{\text{RES}}$	x			周辺制御レジスタの一部を初期化する。
$\overline{\text{RESET}}$			$\overline{\text{RESET}}$	プログラム・カウンタ、スタック、システム・レジスタおよび 周辺制御レジスタの一部を初期化する。

20.3 CEリセット

CEリセットは、CE端子をロウ・レベルからハイ・レベルに立ち上げることにより行います。

CE端子がハイ・レベルに立ち上がると、次のベーシック・タイマ0キャリーFFセット用パルスの立ち上がりエッジに同期して $\overline{\text{RESET}}$ 信号が出力され、デバイスにリセットがかかります。

CEリセットがかかると、 $\overline{\text{RESET}}$ 信号によりプログラム・カウンタ、スタック、システム・レジスタおよび周辺制御レジスタの一部を初期値にイニシャライズしてプログラムを0000H番地から実行します。

初期値については各項を参照してください。

CEリセットは、クロック・ストップを使用するときと使用しないときではリセット動作が異なります。

これを20.3.1および20.3.2にそれぞれ示します。

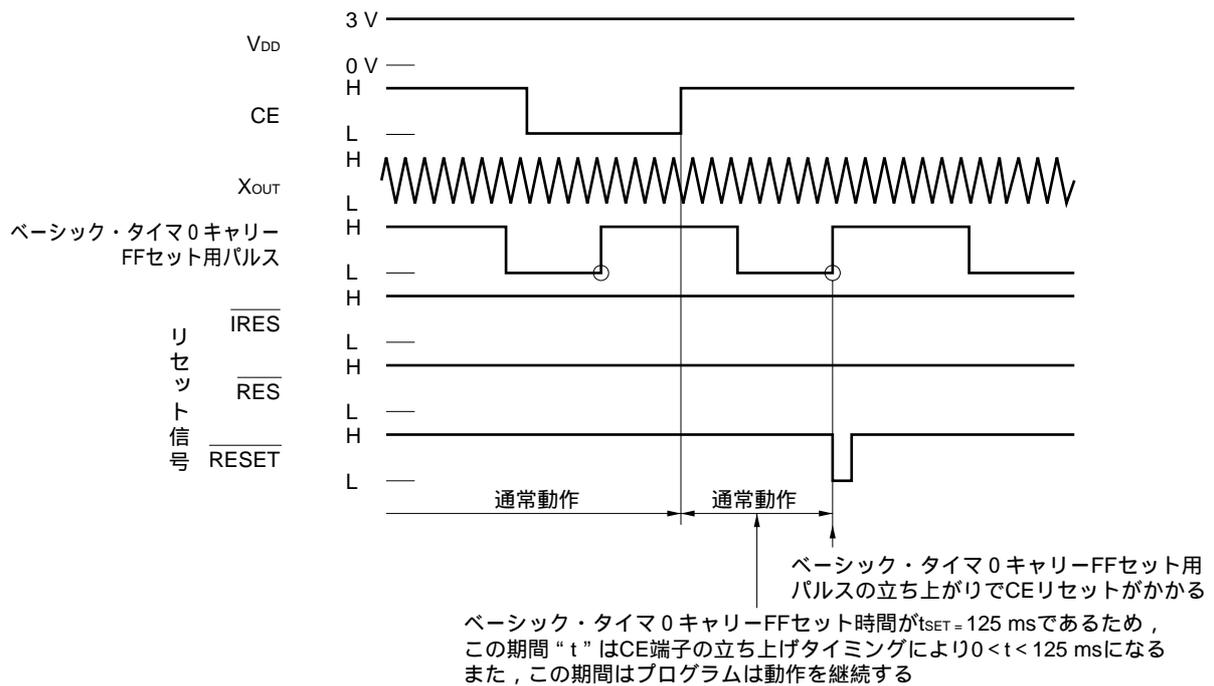
20.3.3にCEリセット時の注意を示します。

20.3.1 クロック・ストップ (STOP s命令) を使用しないときのCEリセット

図20 - 2 に動作を示します。

クロック・ストップ (STOP s命令) を使用しないときは、CE端子がハイ・レベルになったあと、そのとき選択されているベーシック・タイマ0キャリーFFセット用パルス ($t_{\text{SET}} = 125 \text{ ms}$) の立ち上がりエッジにより $\overline{\text{RESET}}$ 信号が出力され、リセットがかかります。

図20 - 2 クロック・ストップを使用しないときのCEリセット動作



20.3.2 クロック・ストップ (STOP s命令) を使用したときのCEリセット

図20 - 3 に動作を示します。

クロック・ストップを使用するときは, “ STOP s ” 命令が実行された時点で $\overline{\text{IRES}}$, $\overline{\text{RES}}$ および $\overline{\text{RESET}}$ 信号が出力されます。

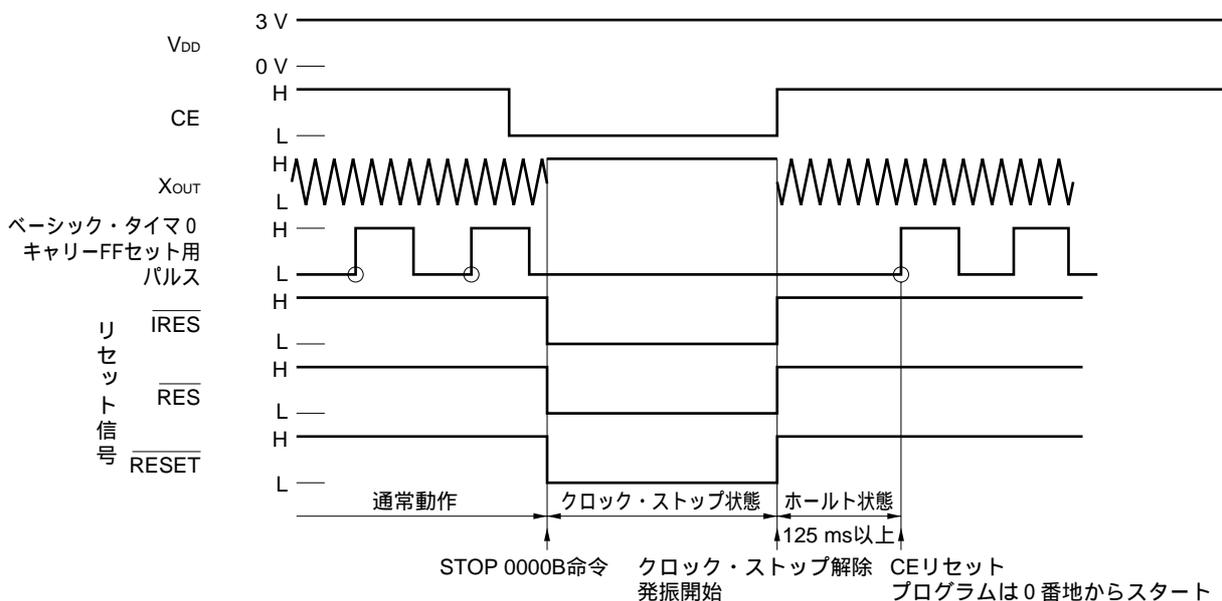
CE端子がロウ・レベルの間は $\overline{\text{IRES}}$ 信号が出力され続けるため, ベーシック・タイマ0 キャリーによる解除の強制ホールド状態になります。

ただし, クロック自身が停止しているためデバイスは動作を停止しています。

CE端子がハイ・レベルに立ち上がるとクロック・ストップ状態が解除され発振が開始します。

このとき $\overline{\text{IRES}}$ 信号によりベーシック・タイマ0 キャリーFFによる解除のホールド状態になっており, CE端子が立ち上がったあと, 発振安定待ち (125 ms以上) になります。そのあとベーシック・タイマ0 キャリーFFセット用パルスが立ち上がるとホールド状態が解除され, プログラムが0番地からスタートします。

図20 - 3 クロック・ストップを使用するときのCEリセット動作



20.3.3 CEリセット時の注意

CEリセットは, 実行中の命令に関係なくかかるため次の (1) および (2) に示す点に注意が必要です。

(1) 時計などのタイマ処理を実行する時間

ベーシック・タイマ0 やベーシック・タイマ1 を使用して時計のプログラムを作成する場合は, そのプログラムの処理時間を一定時間以内に終了させる必要があります。

詳しくは, 12.2.5 ベーシック・タイマ0 使用時の注意および12.3.4 ベーシック・タイマ1 使用時の注意を参照してください。

(2) プログラムに使用しているデータやフラグなどの処理

1 命令で処理できないデータやフラグなどにおいて, CEリセットがかかっても内容が変化してはいけないようなもの, たとえばセキュリティ・コードなどはその内容を書き換えるときに注意が必要です。

次に例を用いて説明します。

例 1 .

```
R1    MEM    0.01H    ; セキュリティ・コードのキー入力データの 1 桁目
R2    MEM    0.02H    ; セキュリティ・コードのキー入力データの 2 桁目
R3    MEM    0.03H    ; セキュリティ・コード変更時の 1 桁目のデータ
R4    MEM    0.04H    ; セキュリティ・コード変更時の 2 桁目のデータ
M1    MEM    0.11H    ; 現在のセキュリティ・コードの 1 桁目
M2    MEM    0.12H    ; 現在のセキュリティ・コードの 2 桁目
```

START :

キー入力処理	
R1	キーAの内容
R2	キーBの内容

```

R1    キーAの内容    ; セキュリティ・コード入力待ちモード
R2    キーBの内容    ; 押されたキーの内容を, R1, R2に代入する

SET2  CMP, Z      ; ; セキュリティ・コードと入力されたデータの比較
SUB   R1, M1
SUB   R2, M2
SKT1  Z
BR    ERROR      ; 入力されたデータがセキュリティ・コードと異なる
```

MAIN :

キー入力処理	
R3	キーCの内容
R4	キーDの内容

```

R3    キーCの内容    ; セキュリティ・コードの書き換えモード
R4    キーDの内容    ; 押されたキーの内容を, R3, R4に代入する

ST    M1, R3      ; ; セキュリティ・コードの書き換え
ST    M2, R4
BR    MAIN
```

ERROR :

動作しないようにする

例 1 のプログラムにおいて、いま仮にセキュリティ・コードが “ 12H ” であったとすると、データ・メモリ M1, M2 の内容はそれぞれ “ 1H ” , “ 2H ” になります。

このとき、CEリセットがかかると、 でキー入力の内容とセキュリティ・コード “ 12H ” を比較して、同一であれば通常処理を行います。

また、メイン処理でセキュリティ・コードが変更されるときは、変更されたコードを , で M1, M2 に書き換えま

す。ここで、仮にセキュリティ・コードが “ 34H ” に変更されたとすると、 , で M1, M2 に “ 3H ” , “ 4H ” を書き込み

みます。ところが、 を実行した時点で CEリセットがかかったとすると、プログラムは を実行しないで 0000H 番地から実行してしまいます。

したがって、セキュリティ・コードは “ 32H ” になってしまうため、セキュリティの解除ができなくなってしまいま

す。このような場合は、例 2 に示すようなプログラムで対処してください。

例 2 .

```
R1    MEM    0.01H    ; セキュリティ・コードのキー入力データの 1 桁目
R2    MEM    0.02H    ; セキュリティ・コードのキー入力データの 2 桁目
R3    MEM    0.03H    ; セキュリティ・コード変更時の 1 桁目のデータ
R4    MEM    0.04H    ; セキュリティ・コード変更時の 2 桁目のデータ
M1    MEM    0.11H    ; 現在のセキュリティ・コードの 1 桁目
M2    MEM    0.12H    ; 現在のセキュリティ・コードの 2 桁目
CHANGE FLG    0.13H.0 ; セキュリティ・コード変更中は “ 1 ”
```

START :

キー入力処理	
R1	キーAの内容 ; セキュリティ・コード入力待ちモード
R2	キーBの内容 ; 押されたキーの内容を, R1, R2に代入する

```
SKT1  CHANGE    ; ; CHANGEフラグが “ 1 ” であれば
BR    SECURITY_CHK
ST    M1, R3    ; M1, M2に再度書き込みを行う
ST    M2, R4
CLR1  CHANGE
SECURITY_CHK :
SET2  CMP, Z    ; ; セキュリティ・コードと入力されたデータの比較
SUB   R1, M1
SUB   R2, M2
SKT1  Z
BR    ERROR    ; 入力されたデータがセキュリティ・コードと異なる
```

MAIN :

キー入力処理	
R3	キーCの内容 ; セキュリティ・コードの書き換えモード
R4	キーDの内容 ; 押されたキーの内容を, R3, R4に代入する

```
SET1  CHANGE    ; ; セキュリティ・コードの変更が終わるまで
      ; CHANGEフラグを “ 1 ” に設定する
ST    M1, R3    ; ; セキュリティ・コードの書き換え
ST    M2, R4    ;
CLR1  CHANGE    ; ; セキュリティ・コードの変更が終わったら
      ; CHANGEフラグを “ 0 ” に設定する
BR    MAIN
```

ERROR :

動作しないようにする

例 2 のプログラムでは , , でセキュリティ・コードの書き換えを行う前に , でCHANGEフラグを “ 1 ” に設定しています。

したがって , を実行する前にCEリセットがかかってしまった場合でも , で再度書き込みを行います。

20.4 パワーオン・リセット

パワーオン・リセットは、デバイスの電源電圧V_{DD}を一定電圧（パワーオン・クリア電圧と呼ぶ）以下から立ち上げるにより行います。

パワーオン・クリア電圧について20.4.1に示します。

電源電圧V_{DD}がパワーオン・クリア電圧以下のときは、図20-1に示した電圧検出回路からパワーオン・クリア信号（POC）が出力されます。

パワーオン・クリア信号が出力されると、水晶発振回路を停止しデバイス動作を停止します。

また、パワーオン・クリア信号出力中はIRES, RESおよびRESET信号が出力されます。

電源電圧V_{DD}がパワーオン・クリア電圧を越えるとパワーオン・クリア信号が切れ、水晶発振を開始すると同時にIRES, RESおよびRESET信号も切れます。

このときIRES信号によりベーシック・タイマ0 キャリーFFによる解除のホールド状態になっており、パワーオン・クリア信号が切れたあと、発振安定待ち（125 ms以上）になります。そのあとベーシック・タイマ0 キャリーFFセット用パルスが立ち上がるとホールド状態が解除され、パワーオン・リセットがかかります。

この動作を図20-4に示します。

パワーオン・リセット時のプログラム・カウンタ、スタック、システム・レジスタおよび周辺制御レジスタの初期化は、パワーオン・クリア信号が出力された時点で行われます。

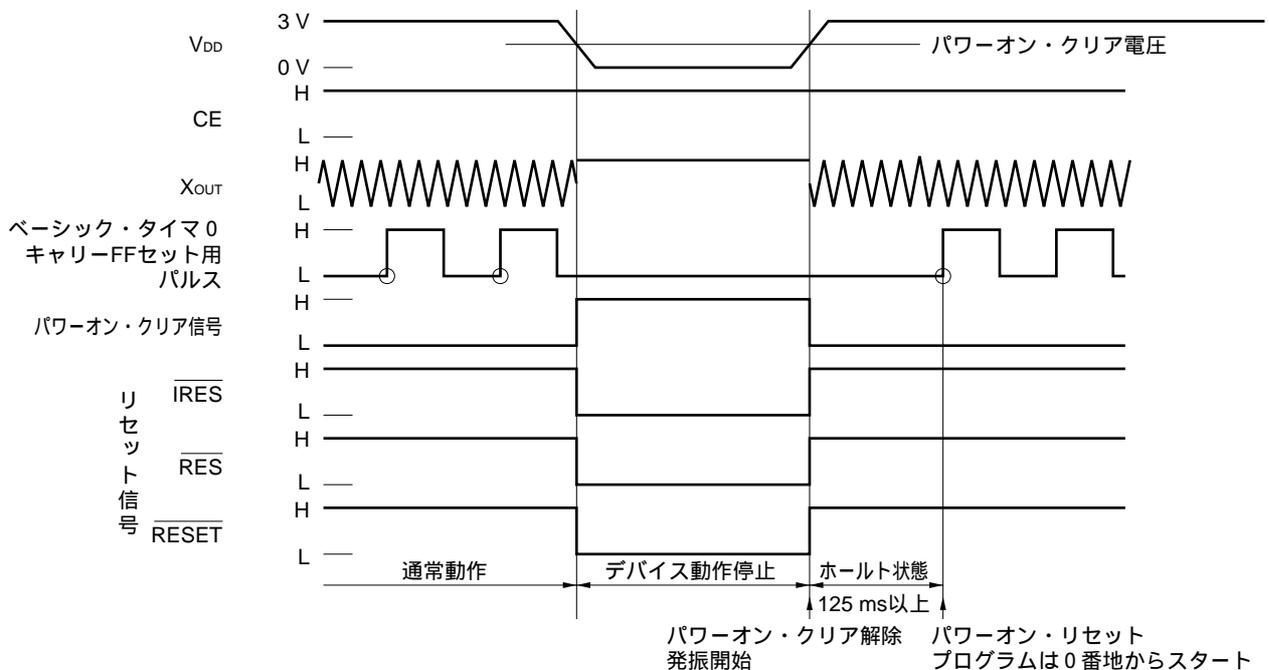
初期値については各項を参照してください。

CPU動作時のパワーオン・リセットについて20.4.2に示します。

クロック・ストップ状態中のパワーオン・リセットについて20.4.3に示します。

電源電圧V_{DD}が0Vから立ち上がったときのパワーオン・リセットについて20.4.4に示します。

図20-4 パワーオン・リセットの動作



20.4.1 パワーオン・クリア電圧

パワーオン・クリア電圧は、CPU動作温度範囲と動作条件により次のように異なります。

$T_A = 0 \sim +70$ 時 : 1.6 V MAX. (CPU動作, PLL周波数シンセサイザおよびA/Dコンバータ停止時)

$T_A = -10 \sim +70$ 時 : 1.7 V MAX. (" ")

$T_A = -20 \sim +70$ 時 : 1.8 V MAX. (CPU, PLL周波数シンセサイザ, A/Dコンバータ動作時)

これらの値はMAX.値であり、実際のパワーオン・クリア電圧値はこのMAX.値を越えない範囲の値となります。

パワーオン・クリア電圧は、CPU動作時とクロック・ストップ状態中で同じです。

以降の本文中では、パワーオン・クリア電圧を1.8 Vと仮定して説明を行います。

20.4.2 CPU動作時のパワーオン・リセット

図20-5の(a)に動作を示します。

図20-5の(a)に示すようにCE端子の入力レベルに関係なく電源電圧 V_{DD} が1.8 V ($T_A = -20 \sim +70$, CPU, PLL, A/D動作時)より下がるとパワーオン・クリア信号が出力されデバイスの動作が停止します。

次に電源電圧 V_{DD} が再度1.8 V以上に立ち上がると、125 ms以上のホールド後プログラムが0000H番地からスタートします。

CPU動作時とは、クロック・ストップ命令を使用していないときです。また、ホールド命令によるホールド状態中もCPU動作時と同様、パワーオン・クリア電圧は1.8 Vです。

20.4.3 クロック・ストップ状態中のパワーオン・リセット

図20-5の(b)に動作を示します。

図20-5の(b)に示すように電源電圧 V_{DD} が1.7 V ($T_A = -20 \sim +70$, CPU, PLL, A/D動作時)より下がるとパワーオン・クリア信号が出力されデバイス動作が停止します。

ただし、クロック・ストップ状態であるため、見かけ上デバイス動作は変化しません。

次に電源電圧 V_{DD} が1.8 V以上に立ち上がると125 ms以上のホールド後プログラムが0000H番地からスタートします。

20.4.4 電源電圧 V_{DD} が0 Vから立ち上がったときのパワーオン・リセット

図20-5の(c)に動作を示します。

図20-5の(c)に示すように電源電圧 V_{DD} が0 Vから1.8 V ($T_A = -20 \sim +70$, CPU, PLL, A/D動作時)に立ち上がるまでパワーオン・クリア信号が出力されます。

電源電圧 V_{DD} がパワーオン・クリア電圧を越えると水晶発振回路が動作を開始し、125 ms以上のホールド後にプログラムが0000H番地からスタートします。

20.5 CEリセットとパワーオン・リセットの関係

最初の電源電圧 V_{DD} 投入時などは、パワーオン・リセットとCEリセットが同時にかかる可能性があります。
このときのリセット動作を20.5.1-20.5.3に示します。

20.5.1 V_{DD} 端子とCE端子が同時に立ち上がったとき

図20-6の(a)に動作を示します。

このときは、パワーオン・リセットによりプログラムが0000H番地からスタートします。

20.5.2 パワーオン・リセットの強制ホールド中にCE端子が立ち上がったとき

図20-6の(b)に動作を示します。

このときは、20.5.1と同様にパワーオン・リセットによりプログラムが0000H番地からスタートします。

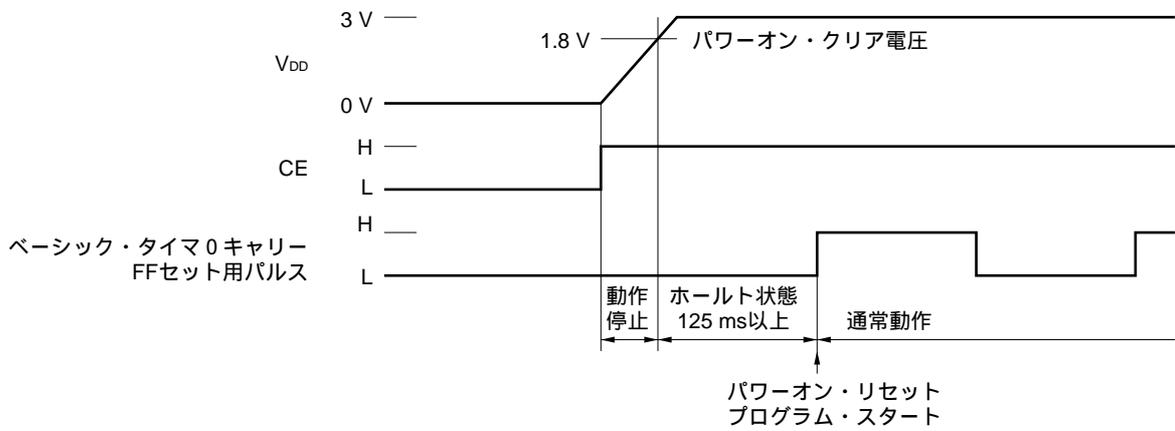
20.5.3 パワーオン・リセット後にCE端子が立ち上がったとき

図20-6の(c)に動作を示します。

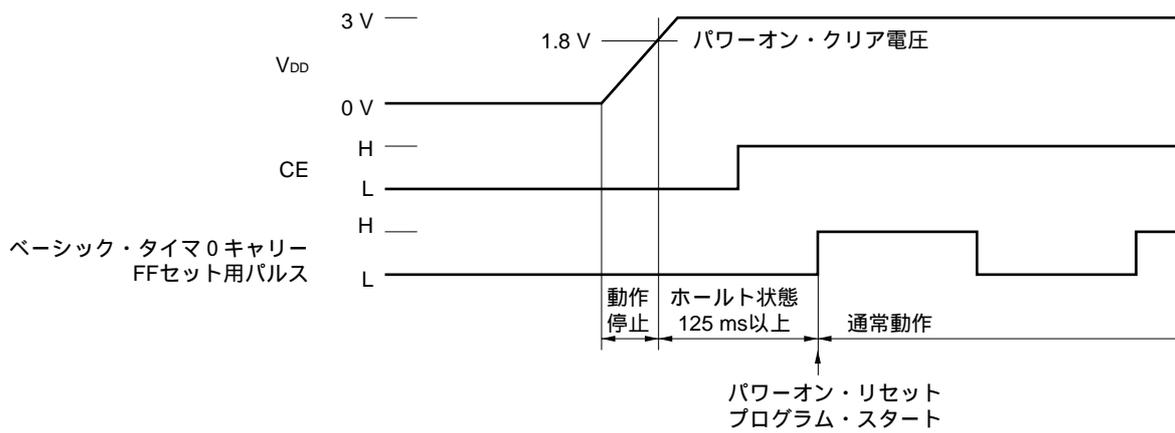
このときは、パワーオン・リセットによりプログラムが0000H番地からスタートし、さらにCEリセットにより次のベーシック・タイマ0キャリーFFセット用信号の立ち上がりでプログラムが0000H番地から再度スタートします。

図20 - 6 パワーオン・リセットとCEリセットの関係 (TA = -20 ~ +70 , CPU, PLL, A/D動作時)

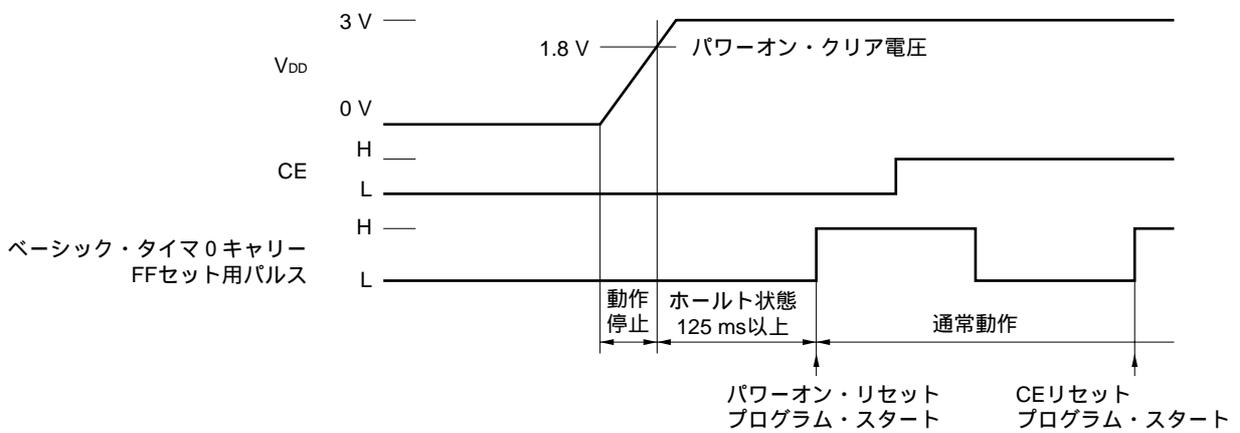
(a) V_{DD}とCE端子が同時に立ち上がったとき



(b) ホールト状態中にCE端子が立ち上がったとき



(c) パワーオン・リセット後にCE端子が立ち上がったとき



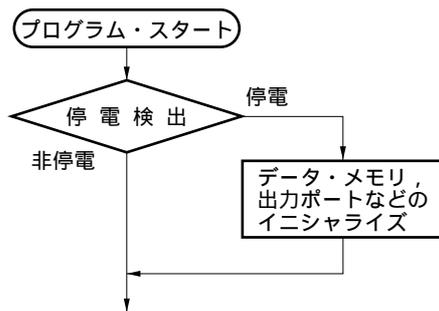
20.6 停電検出

停電検出は、図20 - 7に示すようにデバイスにリセットがかかったときに電源電圧V_{DD}の投入であったかまたはCE端子によるリセットであったかを判断するために使用します。

電源電圧投入時は、データ・メモリや出力ポートなどの内容が“不定”になっているため、停電検出によりこれらの内容を初期化します。

停電検出は、停電検出回路を使用してBTM0CYフラグを検出する方法で行います。

図20 - 7 停電検出フロー・チャート



20.6.1 停電検出回路

停電検出回路は図20 - 1に示したように電圧検出回路と、電圧検出回路の出力（パワーオン・クリア信号）によりセットされるベーシック・タイマ0キャリー・ディスエーブル・フリップフロップおよびベーシック・タイマ0キャリーで構成されます。

ベーシック・タイマ0キャリー・ディスエーブルFFは、パワーオン・クリア信号によりセット（1）され、BTM0CYフラグを読み出す命令が実行されるとリセット（0）されます。

ベーシック・タイマ0キャリー・ディスエーブルFFがセット（1）されているときは、BTM0CYフラグはセット（1）されません。

すなわち、パワーオン・クリア信号が出力される（パワーオン・リセット時）と、BTM0CYフラグはクリアされた状態でプログラムがスタートし、以後BTM0CYフラグを読み出す命令が実行されるまでセット禁止状態になります。

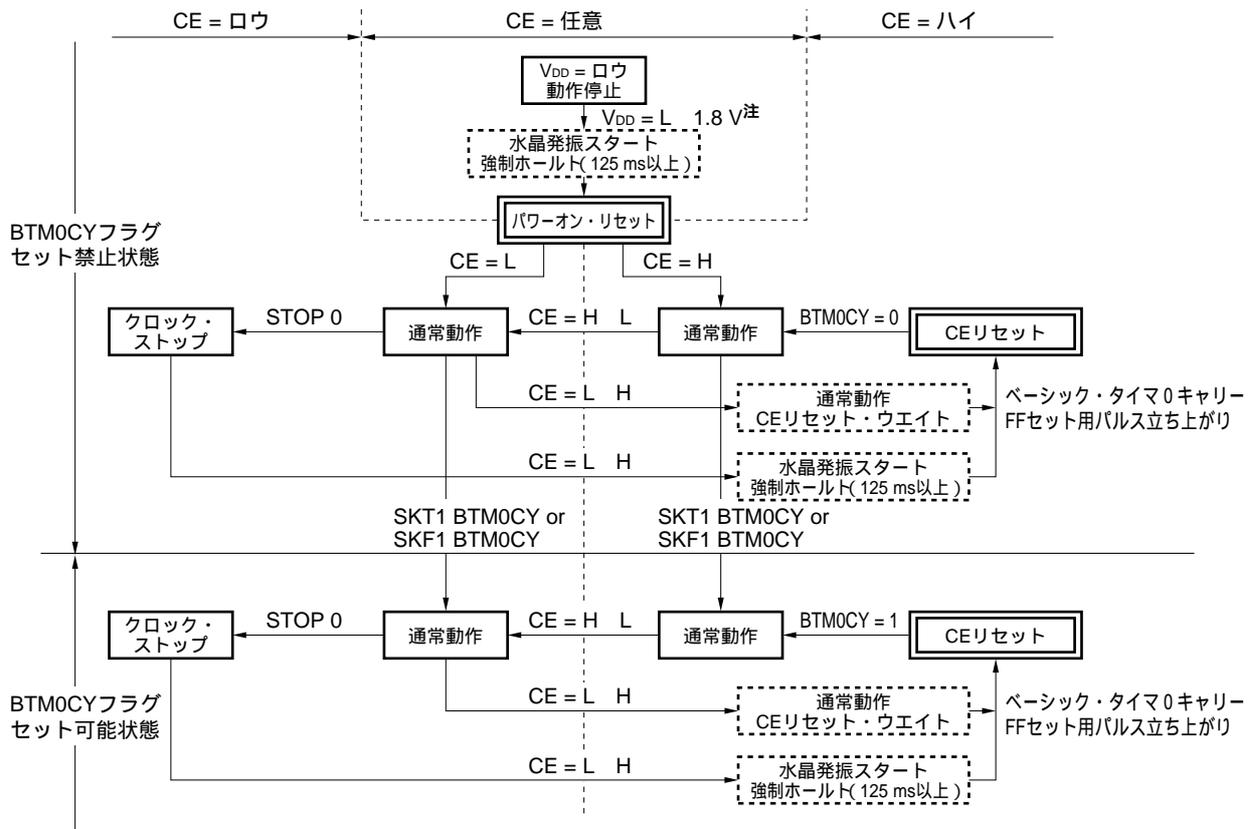
一度BTM0CYフラグを読み出す命令が実行されれば、以後ベーシック・タイマ0キャリーFFセット用パルスの立ち上がりごとにBTM0CYフラグがセットされます。したがってデバイスにリセットがかかったときにBTM0CYフラグの内容を検出し、クリア（0）されていればパワーオン・リセット（停電）であり、セット（1）されていればCEリセット（非停電）であることを判断できます。

停電を検出できる電圧はパワーオン・リセットのかかる電圧と同じになります。

図20 - 8にBTM0CYフラグの状態遷移を示します。

また、図20 - 9に図20 - 8のタイミング・チャートおよびBTM0CYフラグの動作を示します。

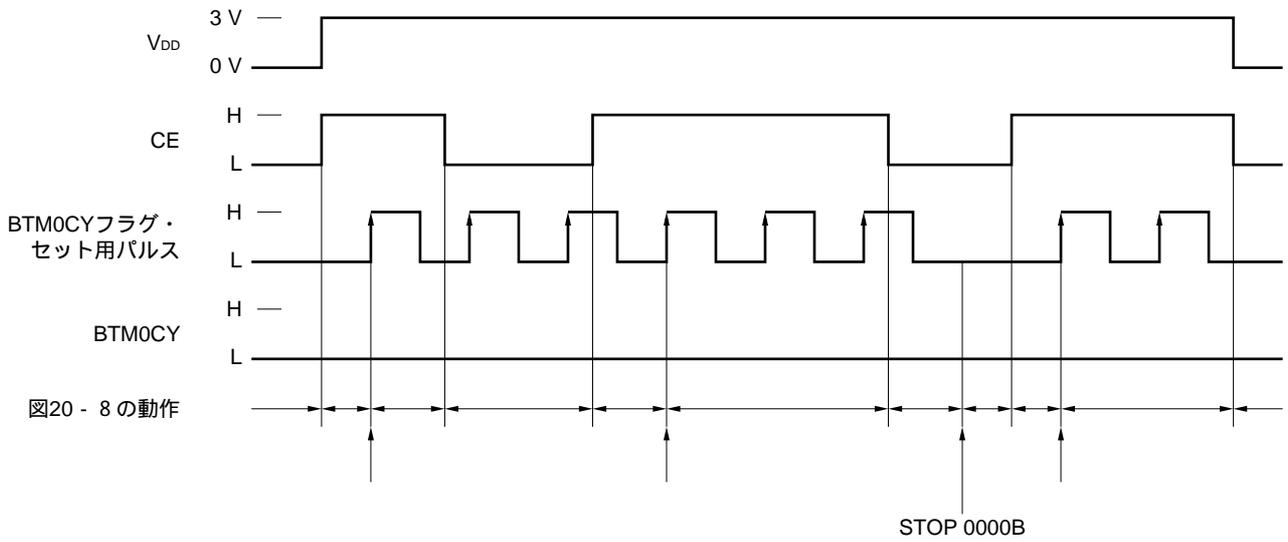
図20 - 8 BTM0CYフラグの状態遷移



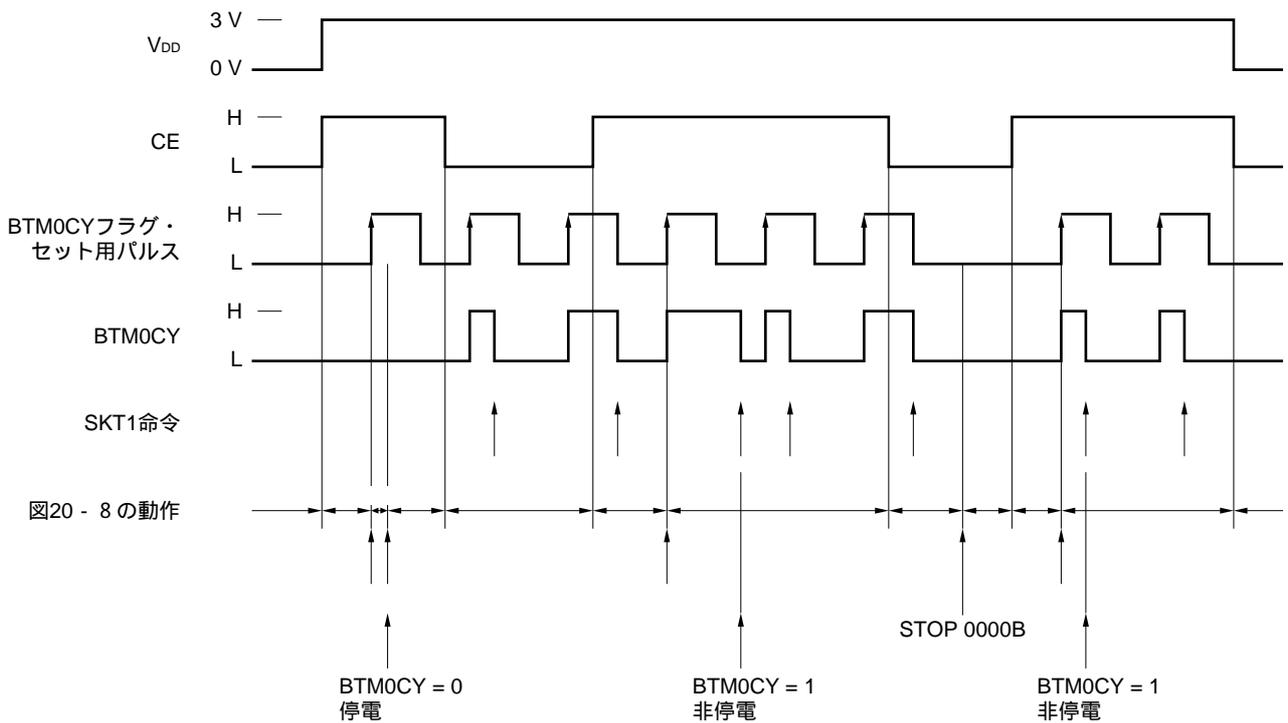
注 1.8 VはMAX.値であり、実際のパワーオン・クリア電圧値はこのMAX.値を越えない範囲の値となります。詳しくは20.4.1 パワーオン・クリア電圧を参照してください。

図20 - 9 BTM0CYフラグの動作

(a) BTM0CYフラグを一度も検出しないとき (SKT1 BTM0CYまたはSKF1 BTM0CYを実行しない)



(b) BTM0CYフラグによる停電検出を行うとき



20.6.2 BTM0CYフラグによる停電検出時の注意

BTM0CYフラグで時計のカウントなどを行うときは次の点に注意が必要です。

(1) 時計の更新

ベーシック・タイマ0を使用して時計などのプログラムを作成するときは、停電検出後に時計を更新する必要があります。

これは停電検出時にBTM0CYフラグを読み出すためにBTM0CYフラグがクリア(0)され、1回分時計のカウントを取り逃がすためです。

(2) 時計更新処理時間

時計の更新を行うときは、その処理を次のベーシック・タイマ0 キャリーFFセット用パルスが立ち上がるまでに終了させる必要があります。

これは、時計更新処理中にCE端子がハイ・レベルに立ち上がると時計更新処理を最後まで実行しないでCEリセットがかかってしまうためです。

上記(1)および(2)については、12.2.5(3)CEリセット時におけるベーシック・タイマ0の補正を参照してください。

また、停電時の処理を行うときは次の点に注意が必要です。

(3) 停電検出を行うタイミング

BTM0CYフラグで時計のカウントなどを行うときは、停電検出のためのBTM0CYフラグの読み出しをプログラムが0000H番地からスタートしてから次のベーシック・タイマ0 キャリーFFセット用パルスが立ち上がる時間以内に行う必要があります。

これは、ベーシック・タイマ0 キャリーFFセット時間が125 msであるのに対して、停電検出をプログラムがスタートしてから126 ms後に行うとすると、1回分BTM0CYフラグを取り逃がしてしまうためです。

12.2.5(3)CEリセット時におけるベーシック・タイマ0の補正を参照してください。

また、次頁の例に示すように、停電検出およびイニシャル処理は、ベーシック・タイマ0 キャリーFFセット時間以内で行う必要があります。

これは停電処理およびイニシャル処理中にCE端子が立ち上がりCEリセットがかかると、これらの処理が途中で中断されてしまい、不具合が発生する可能性があるためです。

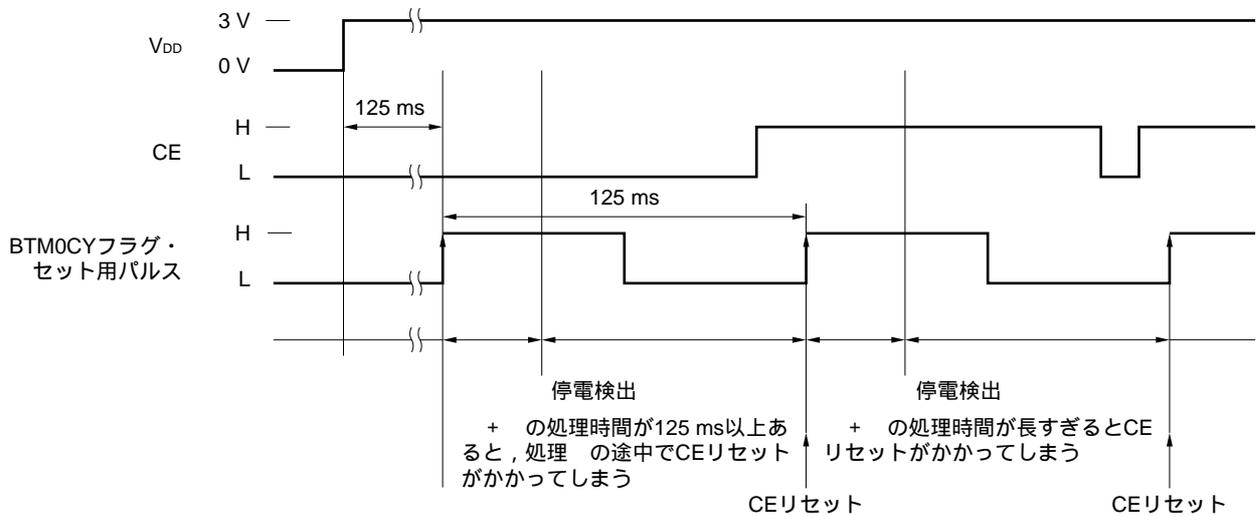
例

プログラム例

```

START :                               ; プログラム・アドレス0000H
;
;   リセット時の処理
;
;   BANK1
;   SKT1   BTMOCY                       ; 停電検出
;   BR     INITIAL
BACKUP :
;
;   時計更新
;   BR     MAIN
INITIAL :
;
;   イニシャル処理
MAIN :
;   メイン処理
;   SKT1   BTMOCY
;   BR     MAIN
;   時計更新
;   BR     MAIN
    
```

動作例



21. 命令セット

21.1 命令セット概要

b ₁₄ -b ₁₁		b ₁₅		0		1		
		BIN.	HEX.					
0	0	0	0	0	ADD	r, m	ADD	m, #n4
0	0	0	1	1	SUB	r, m	SUB	m, #n4
0	0	1	0	2	ADDC	r, m	ADDC	m, #n4
0	0	1	1	3	SUBC	r, m	SUBC	m, #n4
0	1	0	0	4	AND	r, m	AND	m, #n4
0	1	0	1	5	XOR	r, m	XOR	m, #n4
0	1	1	0	6	OR	r, m	OR	m, #n4
0	1	1	1	7	INC	AR		
					MOVT	DBF, @AR		
					BR	@AR		
					CALL	@AR		
					RET			
					RETSK			
					EI			
					DI			
					RETI			
					PUSH	AR		
					POP	AR		
					GET	DBF, p		
					PUT	p, DBF		
					RORC	r		
STOP	s							
HALT	h							
NOP								
1	0	0	0	8	LD	r, m	ST	m, r
1	0	0	1	9	SKE	m, #n4	SKGE	m, #n4
1	0	1	0	A	MOV	@r, m	MOV	m, @r
1	0	1	1	B	SKNE	m, #n4	SKLT	m, #n4
1	1	0	0	C	BR	addr (ページ 0)	CALL	addr (ページ 0)
1	1	0	1	D	BR	addr (ページ 1)	MOV	m, #n4
1	1	1	0	E			SKT	m, #n
1	1	1	1	F			SKF	m, #n

21.2 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス (下位11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: m _R , m _C で示されるデータ・メモリ・アドレス
m _R	: データ・メモリ・ロウ・アドレス (上位)
m _C	: データ・メモリ・カラム・アドレス (下位)
n	: ビット・ポジション (4ビット)
n4	: イミューディエト・データ (4ビット)
PAGE	: ページ (プログラム・カウンタのビット11)
PC	: プログラム・カウンタ
p	: 周辺アドレス
p _H	: 周辺アドレス (上位3ビット)
p _L	: 周辺アドレス (下位4ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
SP	: スタック・ポインタ
s	: ストップ解除条件
(x)	: xでアドレスされる内容

21.3 命令セット一覧

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード		オペランド	
加算	ADD	r, m	(r) (r) + (m)	00000	m _R	mc	r
		m, #n4	(m) (m) + n4	10000	m _R	mc	n4
	ADDC	r, m	(r) (r) + (m) + CY	00010	m _R	mc	r
		m, #n4	(m) (m) + n4 + CY	10010	m _R	mc	n4
	INC	AR	AR AR + 1	00111	000	1001	0000
減算	SUB	r, m	(r) (r) - (m)	00001	m _R	mc	r
		m, #n4	(m) (m) - n4	10001	m _R	mc	n4
	SUBC	r, m	(r) (r) - (m) - CY	00011	m _R	mc	r
		m, #n4	(m) (m) - n4 - CY	10011	m _R	mc	n4
論理演算	OR	r, m	(r) (r) (m)	00110	m _R	mc	r
		m, #n4	(m) (m) n4	10110	m _R	mc	n4
	AND	r, m	(r) (r) (m)	00100	m _R	mc	r
		m, #n4	(m) (m) n4	10100	m _R	mc	n4
	XOR	r, m	(r) (r) ⊕ (m)	00101	m _R	mc	r
		m, #n4	(m) (m) ⊕ n4	10101	m _R	mc	n4
判断	SKT	m, #n	CMP 0, if (m) n = n, then skip	11110	m _R	mc	n
	SKF	m, #n	CMP 0, if (m) n = 0, then skip	11111	m _R	mc	n
比較	SKE	m, #n4	(m) - n4, skip if zero	01001	m _R	mc	n4
	SKNE	m, #n4	(m) - n4, skip if not zero	01011	m _R	mc	n4
	SKGE	m, #n4	(m) - n4, skip if not borrow	11001	m _R	mc	n4
	SKLT	m, #n4	(m) - n4, skip if borrow	11011	m _R	mc	n4
回転	RORC	r		00111	000	0111	r
転送	LD	r, m	(r) (m)	01000	m _R	mc	r
	ST	m, r	(m) (r)	11000	m _R	mc	r
	MOV	@r, m	if MPE = 1 : (MP, (r)) (m) if MPE = 0 : (BANK, m _R , (r)) (m)	01010	m _R	mc	r
		m, @r	if MPE = 1 : (m) (MP, (r)) if MPE = 0 : (m) (BANK, m _R , (r))	11010	m _R	mc	r
		m, #n4	(m) n4	11101	m _R	mc	n4
	MOV _T	DBF, @AR	SP SP - 1, ASR PC, PC AR, DBF (PC), PC ASR, SP SP + 1	00111	000	0001	0000

命令群	二モニク	オペランド	オペレーション	命令コード			
				オペ・コード		オペランド	
転送	PUSH	AR	SP SP - 1, ASR AR	00111	000	1101	0000
	POP	AR	AR ASR, SP SP + 1	00111	000	1100	0000
	GET	DBF, p	DBF (p)	00111	p _H	1011	p _L
	PUT	p, DBF	(p) DBF	00111	p _H	1010	p _L
分岐	BR	addr	PC ₁₀₋₀ addr, PAGE 0	01100	addr		
			PC ₁₀₋₀ addr, PAGE 1	01101			
	@AR	PC AR	00111	000	0100	0000	
サブルーチン	CALL	addr	SP SP - 1, ASR PC	11100	addr		
			PC ₁₀₋₀ addr, PAGE 0				
	@AR	SP SP - 1, ASR PC	00111	000	0101	0000	
		PC AR					
	RET		PC ASR, SP SP + 1	00111	000	1110	0000
	RETSK		PC ASR, SP SP + 1 and skip	00111	001	1110	0000
RETI		PC ASR, INTR INTSK, SP SP + 1	00111	010	1110	0000	
割り込み	EI		INTEF 1	00111	000	1111	0000
	DI		INTEF 0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

21.4 アセンブラ (AS17K) 組み込みマクロ命令

凡 例

flag n : FLG型シンボル

: 内は省略可能

	二モニク	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, ...flag n	if (flag 1) ~ (flag n) =all " 1 " , then skip	1 n 4
	SKFn	flag 1, ...flag n	if (flag 1) ~ (flag n) =all " 0 " , then skip	1 n 4
	SETn	flag 1, ...flag n	(flag 1) ~ (flag n) 1	1 n 4
	CLRn	flag 1, ...flag n	(flag 1) ~ (flag n) 0	1 n 4
	NOTn	flag 1, ...flag n	if (flag n) = " 0 " , then (flag n) 1	1 n 4
			if (flag n) = " 1 " , then (flag n) 0	
	INITFLG	NOT flag 1, ... NOT flag n	if description = NOT flag n, then (flag n) 0 if description = flag n, then (flag n) 1	1 n 4

22. μPD17073予約語

22.1 データ・バッファ (DBF)

シンボル名	属性	値	R/W	説 明
DBF3	MEM	0.0CH	R/W	DBFのビット15-ビット12
DBF2	MEM	0.0DH	R/W	DBFのビット11-ビット8
DBF1	MEM	0.0EH	R/W	DBFのビット7-ビット4
DBF0	MEM	0.0FH	R/W	DBFのビット3-ビット0

22.2 システム・レジスタ (SYSREG)

シンボル名	属性	値	R/W	説 明
AR3	MEM	0.74H	R	アドレス・レジスタのビット15-ビット12 (“0” 固定)
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11-ビット8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7-ビット4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3-ビット0
WR	MEM	0.78H	R	ウインドウ・レジスタ (“0” 固定)
BANK	MEM	0.79H	R/W	バンク・レジスタ (下位1ビットのみ有効)
IXH	MEM	0.7AH	R	インデクス・レジスタ・ハイ
MPH	MEM	0.7AH	R	メモリ・ポインタ・ハイ
MPE	FLG	0.7AH.3	R	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R	インデクス・レジスタ・ミドル (“0” 固定)
MPL	MEM	0.7BH	R	メモリ・ポインタ・ロウ
IXL	MEM	0.7CH	R	インデクス・レジスタ・ロウ
RPH	MEM	0.7DH	R	ジェネラル・レジスタ・ポインタ・ハイ
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタ・ロウ (下位1ビットのみ有効)
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCD演算フラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R	インデクス・イネーブル・フラグ (“0” 固定)

22.3 LCDセグメント・レジスタ

シンボル名	属性	値	R/W	説明
LCDD14	MEM	1.41H	R/W	LCDセグメント・レジスタ
LCDD13	MEM	1.42H	R/W	
LCDD12	MEM	1.43H	R/W	
LCDD11	MEM	1.44H	R/W	
LCDD10	MEM	1.45H	R/W	
LCDD9	MEM	1.46H	R/W	
LCDD8	MEM	1.47H	R/W	
LCDD7	MEM	1.48H	R/W	
LCDD6	MEM	1.49H	R/W	
LCDD5	MEM	1.4AH	R/W	
LCDD4	MEM	1.4BH	R/W	
LCDD3	MEM	1.4CH	R/W	
LCDD2	MEM	1.4DH	R/W	
LCDD1	MEM	1.4EH	R/W	
LCDD0	MEM	1.4FH	R/W	

22.4 ポート・レジスタ

シンボル名	属性	値	R/W	説 明
P0A3	FLG	0.70H.3	R/W	ポート0Aのビット3
P0A2	FLG	0.70H.2	R/W	ポート0Aのビット2
P0A1	FLG	0.70H.1	R/W	ポート0Aのビット1
P0A0	FLG	0.70H.0	R/W	ポート0Aのビット0
P0B3	FLG	0.71H.3	R/W	ポート0Bのビット3
P0B2	FLG	0.71H.2	R/W	ポート0Bのビット2
P0B1	FLG	0.71H.1	R/W	ポート0Bのビット1
P0B0	FLG	0.71H.0	R/W	ポート0Bのビット0
P0C1	FLG	0.72H.1	R/W	ポート0Cのビット1
P0C0	FLG	0.72H.0	R/W	ポート0Cのビット0
P0D3	FLG	0.73H.3	R/W	ポート0Dのビット3
P0D2	FLG	0.73H.2	R/W	ポート0Dのビット2
P1A3	FLG	1.70H.3	R/W	ポート1Aのビット3
P1A2	FLG	1.70H.2	R/W	ポート1Aのビット2
P1A1	FLG	1.70H.1	R/W	ポート1Aのビット1
P1A0	FLG	1.70H.0	R/W	ポート1Aのビット0
P1B3	FLG	1.71H.3	R/W	ポート1Bのビット3
P1B2	FLG	1.71H.2	R/W	ポート1Bのビット2
P1B1	FLG	1.71H.1	R/W	ポート1Bのビット1
P1B0	FLG	1.71H.0	R/W	ポート1Bのビット0
P1C0	FLG	1.72H.0	R/W	ポート1Cのビット0

22.5 周辺制御レジスタ

シンボル名	属性	値	R/W	説明
ADCON	FLG	1.50H.1	R/W	A/Dコンバータ制御信号用電源設定フラグ
LCDEN	FLG	1.50H.0	R/W	LCDドライバ表示開始フラグ
BTM0CY	FLG	1.51H.0	R&Res	ベーシック・タイマ0 キャリーFF状態検出フラグ
CE	FLG	1.52H.0	R	CE端子状態検出フラグ
P1APLD3	FLG	1.53H.3	R/W	P1A3端子プルダウン抵抗切り替えフラグ
P1APLD2	FLG	1.53H.2	R/W	P1A2端子プルダウン抵抗切り替えフラグ
P1APLD1	FLG	1.53H.1	R/W	P1A1端子プルダウン抵抗切り替えフラグ
P1APLD0	FLG	1.53H.0	R/W	P1A0端子プルダウン抵抗切り替えフラグ
SP	MEM	1.54H	R/W	スタック・ポインタ
SYSCK	FLG	1.55H.0	R/W	システム・クロック選択フラグ
INT	FLG	1.56H.2	R/W	INT端子状態検出フラグ
BTM1CK	FLG	1.56H.1	R/W	ベーシック・タイマ1クロック選択フラグ
IEG	FLG	1.56H.0	R/W	INT端子割り込み要求検出エッジ方向選択フラグ
IPSIO	FLG	1.57H.2	R/W	シリアル・インタフェース割り込み許可フラグ
IPBTM1	FLG	1.57H.1	R/W	ベーシック・タイマ1割り込み許可フラグ
IP	FLG	1.57H.0	R/W	INT端子割り込み許可フラグ
IRQ	FLG	1.58H.0	R/W	INT端子割り込み要求検出フラグ
IRQBTM1	FLG	1.59H.0	R/W	ベーシック・タイマ1割り込み要求検出フラグ
IRQSIO	FLG	1.5AH.0	R/W	シリアル・インタフェース割り込み要求検出フラグ
BEEP0CK1	FLG	1.5BH.1	R/W	BEEPクロック選択フラグ
BEEP0CK0	FLG	1.5BH.0	R/W	
ADCCH3	FLG	1.5CH.3	R	A/Dコンバータ・チャンネル選択フラグ (“0” 固定)
ADCCH2	FLG	1.5CH.2	R	
ADCCH1	FLG	1.5CH.1	R/W	
ADCCH0	FLG	1.5CH.0	R/W	
ADCRFSEL3	FLG	1.5DH.3	R/W	A/Dコンバータ基準電圧設定フラグ
ADCRFSEL2	FLG	1.5DH.2	R/W	
ADCRFSEL1	FLG	1.5DH.1	R/W	
ADCRFSEL0	FLG	1.5DH.0	R/W	
ADCSTRT	FLG	1.5EH.0	R/W	A/Dコンバータ比較開始フラグ
ADCCMP	FLG	1.5FH.0	R	A/Dコンバータ比較結果検出フラグ
SIOSEL	FLG	1.60H.2	R/W	シリアル・イン/シリアル・アウト端子切り替えフラグ
SIOHIZ	FLG	1.60H.1	R/W	シリアル・インタフェース/汎用ポート選択フラグ
SIOTS	FLG	1.60H.0	R/W	シリアル・インタフェース送受信スタート・フラグ
SIOCK3	FLG	1.61H.3	R	シリアル・インタフェース入出力クロック選択フラグ (“0” 固定)
SIOCK2	FLG	1.61H.2	R	
SIOCK1	FLG	1.61H.1	R/W	
SIOCK0	FLG	1.61H.0	R/W	
IFCMD1	FLG	1.62H.3	R/W	IFカウンタ・モード選択フラグ (10, 11 : AMIF)

シンボル名	属性	値	R/W	説明
IFCMD0	FLG	1.62H.2	R/W	IFカウンタ・モード選択フラグ (00:汎用入出力ポート, 01:FMIF)
INCCK1	FLG	1.62H.1	R/W	IFカウンタ・クロック選択フラグ
IFCCK0	FLG	1.62H.0	R/W	
IFCG	FLG	1.63H.0	R	IFカウンタ・ゲート状態検出フラグ (1:オープン, 0:クローズ)
IFCSTRT	FLG	1.64H.1	W	IFカウンタ・カウント開始フラグ
IFCRES	FLG	1.64H.0	W	IFカウンタ・リセット・フラグ
PLLMD3	FLG	1.65H.3	R	PLLモード選択フラグ ("0" 固定)
PLLMD2	FLG	1.65H.2	R	
PLLMD1	FLG	1.65H.1	R/W	
PLLMD0	FLG	1.65H.0	R/W	
PLLRFCK3	FLG	1.66H.3	R	PLL基準周波数選択フラグ ("0" 固定)
PLLRFCK2	FLG	1.66H.2	R/W	
PLLRFCK1	FLG	1.66H.1	R/W	
PLLRFCK0	FLG	1.66H.0	R/W	
PLLR17	FLG	1.67H.3	R/W	PLLデータ・フラグ
PLLR16	FLG	1.67H.2	R/W	
PLLR15	FLG	1.67H.1	R/W	
PLLR14	FLG	1.67H.0	R/W	
PLLR13	FLG	1.68H.3	R/W	
PLLR12	FLG	1.68H.2	R/W	
PLLR11	FLG	1.68H.1	R/W	
PLLR10	FLG	1.68H.0	R/W	
PLLR9	FLG	1.69H.3	R/W	
PLLR8	FLG	1.69H.2	R/W	
PLLR7	FLG	1.69H.1	R/W	
PLLR6	FLG	1.69H.0	R/W	
PLLR5	FLG	1.6AH.3	R/W	
PLLR4	FLG	1.6AH.2	R/W	
PLLR3	FLG	1.6AH.1	R/W	
PLLR2	FLG	1.6AH.0	R/W	
PLLR1	FLG	1.6BH.3	R/W	
PLLPUT	FLG	1.6CH.0	W	PLLデータ・セット・フラグ
PLLUL	FLG	1.6DH.0	R&Res	PLLアンロックFFフラグ
P0BBIO3	FLG	1.6EH.3	R/W	P0B3入力/出力選択フラグ
P0BBIO2	FLG	1.6EH.2	R/W	P0B2入力/出力選択フラグ
P0BBIO1	FLG	1.6EH.1	R/W	P0B1入力/出力選択フラグ
P0BBIO0	FLG	1.6EH.0	R/W	P0B0入力/出力選択フラグ
P0DBIO3	FLG	1.6FH.3	R/W	P0D3入力/出力選択フラグ
P0DBIO2	FLG	1.6FH.2	R/W	P0D2入力/出力選択フラグ
P0CBIO1	FLG	1.6FH.1	R/W	P0C1入力/出力選択フラグ
P0CBIO0	FLG	1.6FH.0	R/W	P0C0入力/出力選択フラグ

22.6 周辺ハードウェア・レジスタ

シンボル名	属性	値	R/W	説明
SIOSFR	DAT	03H	R/W	シリアル・インタフェース・プリセットブル・シフト・レジスタ
AR	DAT	40H	R/W	GET/PUT/PUSH/CALL/BR/MOVT命令のアドレス・レジスタ
IFC	DAT	43H	R	中間周波数(IF)カウンタ・データ・レジスタ

22.7 その他

シンボル名	属性	値	説明
DBF	DAT	0FH	PUT命令, GET命令, MOVT命令の固定オペランド値

23. 電気的特性

絶対最大定格 (TA = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		- 0.3 ~ +4.0	V
入力電圧	V _I	CE端子	- 0.3 ~ V _{DD} + 0.6	V
		CE端子以外	- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1 端子	- 3.0	mA
		全端子合計	- 20.0	mA
ロウ・レベル出力電流	I _{OL}	1 端子	3.0	mA
		全端子合計	20.0	mA
動作周囲温度	T _A		- 20 ~ +70	
保存温度	T _{stg}		- 55 ~ +125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作範囲

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧	V _{DD1}	CPU, PLL, AD動作時 T _A = - 20 ~ +70	1.8	3.0	3.6	V
	V _{DD2}	CPU動作 , T _A = - 10 ~ +70	1.7	3.0	3.6	V
		PLL, AD停止時 T _A = 0 ~ +70	1.6	3.0	3.6	V
電源電圧立ち上がり時間	t _{rise}	V _{DD} : 0 1.8 V			500	mS

DC特性 (TA = -20 ~ +70 , VDD = 1.8 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電圧	VDD1	CPU, PLL, AD動作時 TA = -20 ~ +70	1.8	3.0	3.6	V	
	VDD2	CPU動作, PLL, AD停止時	TA = -10 ~ +70	1.7	3.0	3.6	V
			TA = 0 ~ +70	1.6	3.0	3.6	V
電源電流	I _{DD1}	CPUおよびPLL動作時 VCOH端子正弦波入力 (f _{IN} = 230 MHz, V _{IN} = 0.2V _{P-P}) VDD = 3 V, TA = 25		6.5	10	mA	
	I _{DD2}	CPU動作, PLL停止時(IFカウンタ停止) X _{IN} 端子正弦波入力 (f _{IN} = 75 kHz, V _{IN} = VDD) VDD = 3 V, TA = 25		35	45	μA	
	I _{DD3}	CPU停止, PLL停止時(HALT命令使用時) X _{IN} 端子正弦波入力 (f _{IN} = 75 kHz, V _{IN} = VDD) LCD表示OFF, VDD = 3 V, TA = 25		10	18	μA	
データ保持電圧	V _{DDR}	停電検出時	1.7			V	
データ保持電流	I _{DDR}	水晶発振停止時 TA = 25 , VDD = 3.0 V			3	μA	
ハイ・レベル入力電圧	V _{IH1}	CE, INT, P0B0-P0B3, P0C0, P0C1, P0D2, P0D3	0.8V _{DD}			V	
	V _{IH2}	P1A0-P1A3	0.5V _{DD}			V	
ロウ・レベル入力電圧	V _{IL1}	CE, INT, P0B0-P0B3, P0C0, P0C1, P0D2, P0D3			0.2V _{DD}	V	
	V _{IL2}	P1A0-P1A3			0.05V _{DD}	V	
ハイ・レベル出力電流	I _{OH1}	P0A0-P0A3, P0B0-P0B3, P1B0-P1B3, P0C0, P0C1, P0D2, P0D3, P1C0, BEEP V _{OH} = V _{DD} - 0.5 V	- 0.5			mA	
	I _{OH2}	EO V _{OH} = V _{DD} - 0.5 V	- 0.2			mA	
	I _{OH3}	LCD0-LCD14 V _{OH} = V _{DD} - 0.5 V	- 20			μA	
ロウ・レベル出力電流	I _{OL1}	P0A0-P0A3, P0B0-P0B3, P0C0, P0C1, P0D2, P0D3, P1C0, BEEP V _{OL} = 0.5 V	0.5			mA	
	I _{OL2}	EO V _{OL} = 0.5 V	0.2			mA	
	I _{OL3}	P1B0-P1B3 V _{OL} = 0.5 V	5			μA	
	I _{OL4}	LCD0-LCD14 V _{OL} = 0.5 V	20			μA	

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電流	I _{IH1}	P1A0-P1A3プルダウン時 V _{IH} = V _{DD} = 1.8 V	3		30	μA
	I _{IH2}	X _{IN} プルダウン時 V _{IH} = V _{DD} = 1.8 V	40			μA
LCD駆動電圧	V _{LCD1}	LCD0-LCD14 出力オープン C ₁ = 0.1 μF, C ₂ = 0.01 μF T _A = 25	2.8	3.1	3.3	V
出力オフ・リーク電流	I _L	EO			± 1	μA

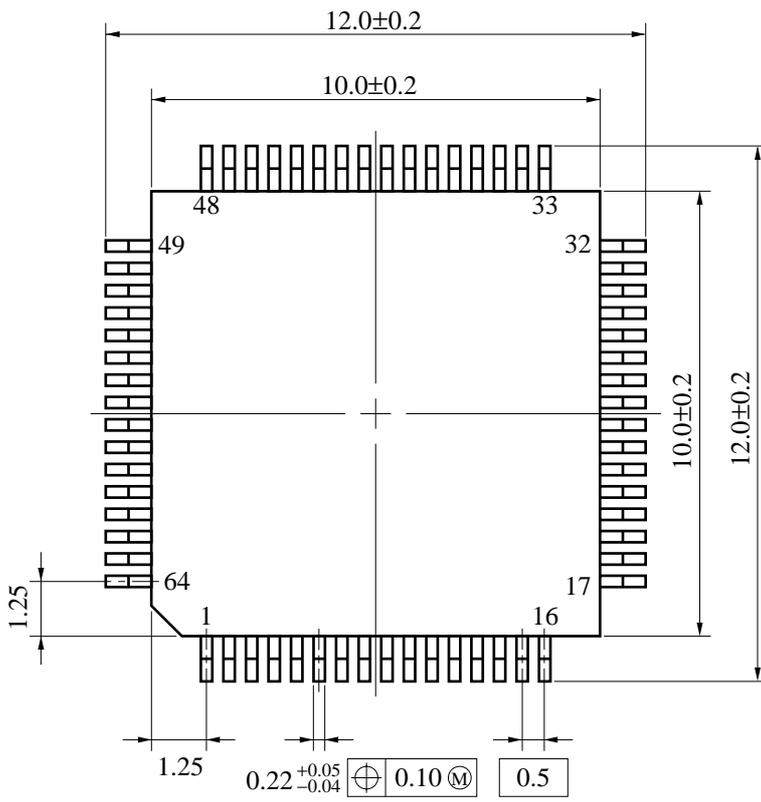
AC特性 (T_A = -20 ~ +70 , V_{DD} = 1.8 ~ 3.6 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
動作周波数	f _{IN1}	VCOL端子 MFモード 正弦波入力 V _{IN} = 0.2V _{P-P}	0.3		8	MHz
	f _{IN2}	VCOL端子 HFモード 正弦波入力 V _{IN} = 0.3V _{P-P}	5		130	MHz
	f _{IN3}	VCOH端子 VHFモード 正弦波入力 V _{IN} = 0.2V _{P-P}	40		230	MHz
	f _{IN4}	AMIFC端子, FMIFC端子 AMIFカウント・モード 正弦波入力 V _{IN} = 0.1V _{P-P}	400		500	kHz
	f _{IN5}	AMIFC端子, FMIFC端子 AMIFカウント・モード 正弦波入力 V _{IN} = 0.15V _{P-P}	0.4		2	MHz
	f _{IN6}	FMIFC端子 FMIFカウント・モード 正弦波入力 V _{IN} = 0.1V _{P-P}	10		11	MHz

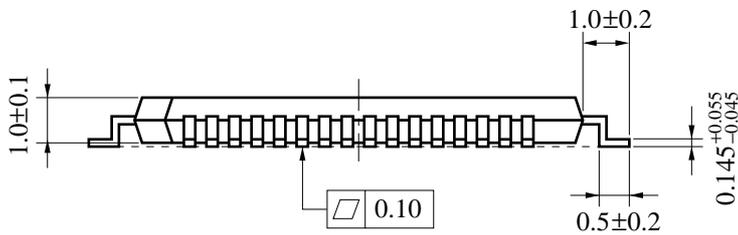
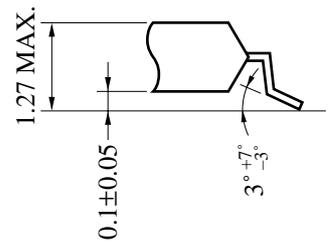
A/Dコンバータ特性 (T_A = 25 , V_{DD} = 1.8 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
A/Dコンバータ		4ビット分解能			± 1.5	LSB

64ピン・プラスチック TQFP (ファインピッチ)(10) 外形図 (単位 : mm)



端子先端形状詳細図



S64GB-50-9EU-1

25. 半田付け推奨条件

μPD17073の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)をご参照ください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表25 - 1 表面実装タイプの半田付け条件

(1) μPD17072GB-x x x-1A7 : 56ピン・プラスチックQFP (10 x 10 mm , 0.65 mmピッチ)

μPD17073GB-x x x-1A7 :

”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内	VP15-00-2
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

(2) μPD17072GB-x x x-9EU : 64ピン・プラスチックTQFP (10 mm , 0.5 mmピッチ)

μPD17073GB-x x x-9EU :

”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：1回， 制限日数：2日間 ^注 （以降は125 プリベーク10時間必要）	IR35-102-1
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：1回， 制限日数：2日間 ^注 （以降は125 プリベーク10時間必要）	VP15-102-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A．水晶振動子を接続するときの注意

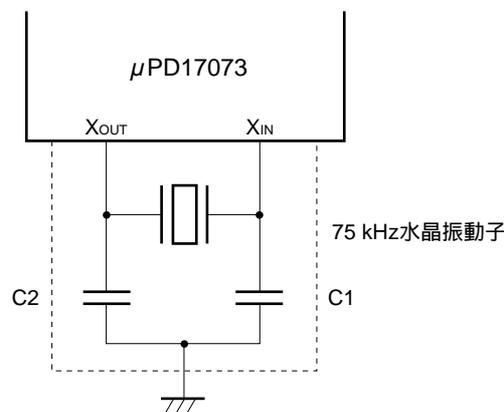
水晶振動子を接続するときは、配線容量などの影響を避けるために、図A - 1の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にGNDと同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

また、コンデンサの接続や発振周波数の調整を行うときには、次の(1)-(3)の点に注意してください。

- (1) C1, C2をあまり大きくすると、発振起動特性が悪化したり、消費電流が増加したりします。
- (2) 発振周波数調整用のトリマ・コンデンサは一般的にはX_{IN}端子に接続します。ただし、使用する水晶振動子によっては、X_{IN}端子にトリマ・コンデンサを接続することにより発振安定度が悪化する場合があります(この場合はX_{OUT}端子にトリマ・コンデンサを接続します)。このため、発振の評価は実際に使用する水晶振動子で行ってください。
- (3) 発振周波数の調整は、LCD駆動波形(62.5 Hz)またはVCO発振周波数を測定しながら行ってください。X_{OUT}端子やX_{IN}端子にプローブなどを接続すると、プローブの容量により正確に調整できません。

図A - 1 水晶振動子の接続



付録B．開発ツール

μPD17073のプログラムを開発するために、次の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ [IE-17K IE-17K-ET ^{注1} EMU-17K ^{注2}]	IE-17K, IE-17K-ET, EMU-17Kは、17Kシリーズ共通のインサーキット・エミュレータです。 IE-17KおよびIE-17K-ETは、ホスト・マシンであるPC-9800シリーズまたはIBM PC/AT™とRS-232-Cを介して接続して使用します。EMU-17Kは、ホスト・マシンであるPC-9800シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード（SEボード）と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアであるSIMPLEHOST®を使用すると、さらに高度なデバッグ環境を実現できます。 なお、EMU-17Kは、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SEボード (SE-17072)	SE-17072は、μPD17072, 17073用のSEボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ (EP-17K56GB) [EP-17K56GB-1 : 順曲げパッケージ対応品 EP-17K56GB-2 : 逆曲げパッケージ対応品]	EP-17K56GBは、17Kシリーズ56ピンQFP（10×10mm）用のエミュレーション・プローブです。 EV-9500GB-56 ^{注3} とともに使用することで、SEボードとターゲット・システムを接続します。
エミュレーション・プローブ (EP-17K64GB : 順曲げパッケージ対応品)	EP-17K64GBは、17Kシリーズ64ピンTQFP（10mm）用のエミュレーション・プローブです。 EV-9500GB-64 ^{注3} とともに使用することで、SEボードとターゲット・システムを接続します。
変換アダプタ (EV-9500GB-56)	EV-9500GB-56は、56ピンQFP（10×10mm）用の変換アダプタです。 EP-17K56GBとターゲット・システムを接続するために使用します。
変換アダプタ (EV-9500GB-64)	EV-9500GB-64は、64ピンTQFP（10mm）用の変換アダプタです。 EP-17K64GBとターゲット・システムを接続するために使用します。

注1．廉価版：電源外付けタイプ

2．株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー（東京（03）3447-3793）までお問い合わせください。

3．EP-17K56GBには、EV-9500GB-56が1個添付されています。また、EV-9500GB-56を5個1組で別売もしています。

EP-17K64GBには、EV-9500GB-64が1個添付されています。また、EV-9500GB-64を5個1組で別売もしています。

ソフトウェア

名称	概要	ホスト・マシン	OS		供給媒体	オーダ名称
17Kシリーズ アセンブラ(AS17K)	AS17Kは17Kシリーズ共通に使用できるアセンブラです。 μPD17072, 17073のプログラム開発には、このAS17Kとデバイス・ファイル(AS17071)を組み合わせて使用します。	PC-9800シリーズ	MS-DOS™		5インチ2HD	μS5A10AS17K
					3.5インチ2HD	μS5A13AS17K
		IBM PC/AT	PC DOS™		5インチ2HC	μS7B10AS17K
					3.5インチ2HC	μS7B13AS17K
デバイス・ファイル (AS17071)	AS17071にはμPD17072, 17073用のデバイス・ファイルが入っています。 17Kシリーズ共通のアセンブラ(AS17K)と組み合わせて使用します。	PC-9800シリーズ	MS-DOS		5インチ2HD	μS5A10AS17071
					3.5インチ2HD	μS5A13AS17071
		IBM PC/AT	PC DOS		5インチ2HC	μS7B10AS17071
					3.5インチ2HC	μS7B13AS17071
サポート・ ソフトウェア (SIMPLEHOST)	SIMPLEHOSTはインサーキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときにWindows™上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800シリーズ	MS-DOS	Windows	5インチ2HD	μS5A10IE17K
					3.5インチ2HD	μS5A13IE17K
		IBM PC/AT	PC DOS		5インチ2HC	μS7B10IE17K
					3.5インチ2HC	μS7B13IE17K

備考 対応しているOSのバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver.3.30 ~ Ver.5.00A ^注
PC DOS	Ver.3.1 ~ Ver.5.0 ^注
Windows	Ver.3.0 ~ Ver.3.1

注 MS-DOSのVer.5.00/5.00A, PC DOSのVer.5.0にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

SIMPLEHOSTは、日本電気株式会社の登録商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザー（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)			
半導体第二販売事業部					
半導体第三販売事業部					
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170			
関西支社 半導体第一販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208			
半導体第二販売部					
半導体第三販売部					
北海道支社 札幌	(011)231-0161	宇都宮支店 宇都宮	(028)621-2281	富山支店 富山	(0764)31-8461
東北支社 仙台	(022)261-5511	小山支店 小山	(0285)24-5011	三重支店 津	(0592)25-7341
岩手支店 盛岡	(0196)51-4344	長野支社 長野	(026)235-1444	京都支社 京都	(075)344-7824
山形支店 山形	(0236)23-5511	松本支店 松本	(0263)35-1666	神戸支社 神戸	(078)333-3854
郡山支店 郡山	(0249)23-5511	上諏訪支店 上諏訪	(0266)53-5350	中国支社 広島	(082)242-5504
いわき支店 いわき	(0246)21-5511	甲府支店 甲府	(0552)24-4141	鳥取支店 鳥取	(0857)27-5311
長岡支店 長岡	(0258)36-2155	埼玉支社 大宮	(048)641-1411	岡山支店 岡山	(086)225-4455
土浦支店 土浦	(0298)23-6161	立川支社 立川	(0425)26-5981	四国支社 高松	(0878)36-1200
水戸支店 水戸	(0292)26-1717	千葉支社 千葉	(043)238-8116	新居浜支店 新居浜	(0897)32-5001
神奈川支社 横浜	(045)324-5511	静岡支社 静岡	(054)255-2211	松山支店 松山	(089)945-4111
群馬支店 高崎	(0273)26-1255	北陸支社 金沢	(0762)23-1621	九州支社 福岡	(092)271-7700
太田支店 太田	(0276)46-4011	福井支店 福井	(0776)22-1866	北九州支店 北九州	(093)541-2887

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部			
半導体販売技術本部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
東日本販売技術部			
半導体販売技術本部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
中部販売技術部			
半導体販売技術本部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	
西日本販売技術部			