お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

保守／廃止

MOS集積回路
MOS Integrated Circuit

μPD17005

ディジタル・チューニング・システム用専用ハードウエア内蔵 4ビット・シングルチップ・マイクロコントローラ

μPD17005は，ディジタル・チューニング・システム用ハードウエアを内蔵した4ビット・シングルチップCMOSマイクロコントローラです。

CPUは，17Kアーキテクチャを採用しており，1命令で直接データ・メモリの操作や各種演算および周辺ハードウエアの制御が可能です。またすべての命令が16ビットの1語です。

周辺ハードウエアは豊富な入出力ポート，LCDコントローラ/ドライバ，A/Dコンバータ，D/Aコンバータ（PWM出力），クロック・ジェネレータ・ポートのほかに，ディジタル・チューニング用として150 MHzまで動作するプリスケーラ，PLL周波数シンセサイザ，LPF（Low Pass Filter）用アンプおよび周波数カウンタを内蔵しています。

したがって，1チップで高性能，多機能なディジタル・チューニング・システムを構成することが可能となります。

μPD17005とピン・コンパチブルで，ROM，RAM容量を縮小した製品にμPD17003Aがあります。また，μPD17005にはワン・タイムPROM版μPD17P005を用意しており，μPD17005のプログラム評価や少量生産にもμPD17P005を使用できます。

特　徴

- ○17Kアーキテクチャ採用：汎用レジスタ方式
- ○プログラム・メモリ（ROM）
  7932×16ビット
- ○汎用データ・メモリ（RAM）
  432×4ビット
- ○命令実行時間
  4.44 μs（4.5 MHz水晶振動子使用）
- ○10進演算可能
- ○テーブル参照可能
- ○PLL周波数シンセサイザ用ハードウエア内蔵
  デュアル・モジュラス・プリスケーラ（150 MHz MAX.），プログラマブル・ディバイダ，位相比較器，チャージ・ポンプ，LPF用アンプ
- ○豊富な周辺ハードウエア
  汎用入出力ポート，LCDコントローラ/ドライバ，シリアル・インタフェース，A/Dコンバータ，D/Aコンバータ（PWM出力），クロック・ジェネレータ・ポート，周波数カウンタ
- ○豊富な割り込み
  外部：2チャネル
  内部：3チャネル
- ○パワーオン・リセット，CE端子によるリセットおよび停電検出回路内蔵
- ○CMOS低消費電力
- ○電源電圧　5 V±10 %

本資料の内容は，後日変更する場合があります。

資料番号　IC-7915A（第2版）
発行年月　May 1992　P

本文欄外の★印は，本版で改訂された主な箇所を示しています。

© NEC Corporation　1989，1990

オーダ情報★

オーダ名称	パッケージ	品質水準
μPD17005GF-×××-3B9	80 ピン・プラスチック QFP（14×20 mm）	標準（一般電子機器用）
μPD17005GF-E××-3B9注	〃	〃

注　I^2C バス対応品。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（IEI-620）をご覧ください。

μPD17005 機能概要

項　　目	機　　能
プログラム・メモリ（ROM）	• 7932×16 ビット すべての内蔵 ROM エリアをテーブル参照可能
汎用データ・メモリ（RAM）	• 432×4 ビット データ・バッファ：4×4 ビット，ジェネラル・レジスタ：16×4 ビット
システム・レジスタ	• 12×4 ビット
レジスタ・ファイル	• 33×4 ビット（コントロール・レジスタ）
汎用ポート・レジスタ （LCD ドット・データ・レジスタを含む）	• 24×4 ビット
命令実行時間	• 4.44 μs（4.5 MHz 水晶振動子使用）
スタック・レベル	• 7 レベル（スタック操作可）
汎用ポート	• 入出力ポート　16 本 • 入力ポート　8 本 • 出力ポート　9 本（+30：LCD セグメント端子）
クロック・ジェネレータ・ポート （CGP）	• 1 本 VDP（Variable Duty Pulse）と SG（Signal Generator）機能
LCD コントローラ/ドライバ	• 30 セグメント，2 コモン 1/2 デューティ，1/2 バイアス，フレーム周波数 250 Hz，駆動電圧 V_{DD} キー・ソース兼用セグメント端子　16 本 30 本すべてを出力ポートとして使用可 （4 本，4 本，6 本，16 本，独立に設定可）
シリアル・インタフェース	• 2 系統（3 チャネル） シリアル・インタフェース 1：2 線式（I^2C バス方式注，シリアル I/O 方式） 3 線式（シリアル I/O 方式） シリアル・インタフェース 2：3 線式（シリアル I/O 方式）
D/A コンバータ	• 8 ビット×3 本（PWM 出力，出力耐圧　16 V MAX.）
A/D コンバータ	• 6 ビット×6 本（ソフトウエアによる逐次比較方式）
割り込み	• 5 チャネル（マスカブル割り込み） 外部：2 チャネル（INT_0 端子，INT_1 端子） 内部：3 チャネル（タイマ，シリアル・インタフェース 1，周波数カウンタ）
タイマ	• 2 系統 タイマ・キャリー（1，5，100，250 ms） タイマ割り込み　（1，5，100，250 ms）
リセット	• パワーオン・リセット（電源投入時） • CE 端子によるリセット（CE 端子ロウ・レベル→ハイ・レベル） • 停電検出機能

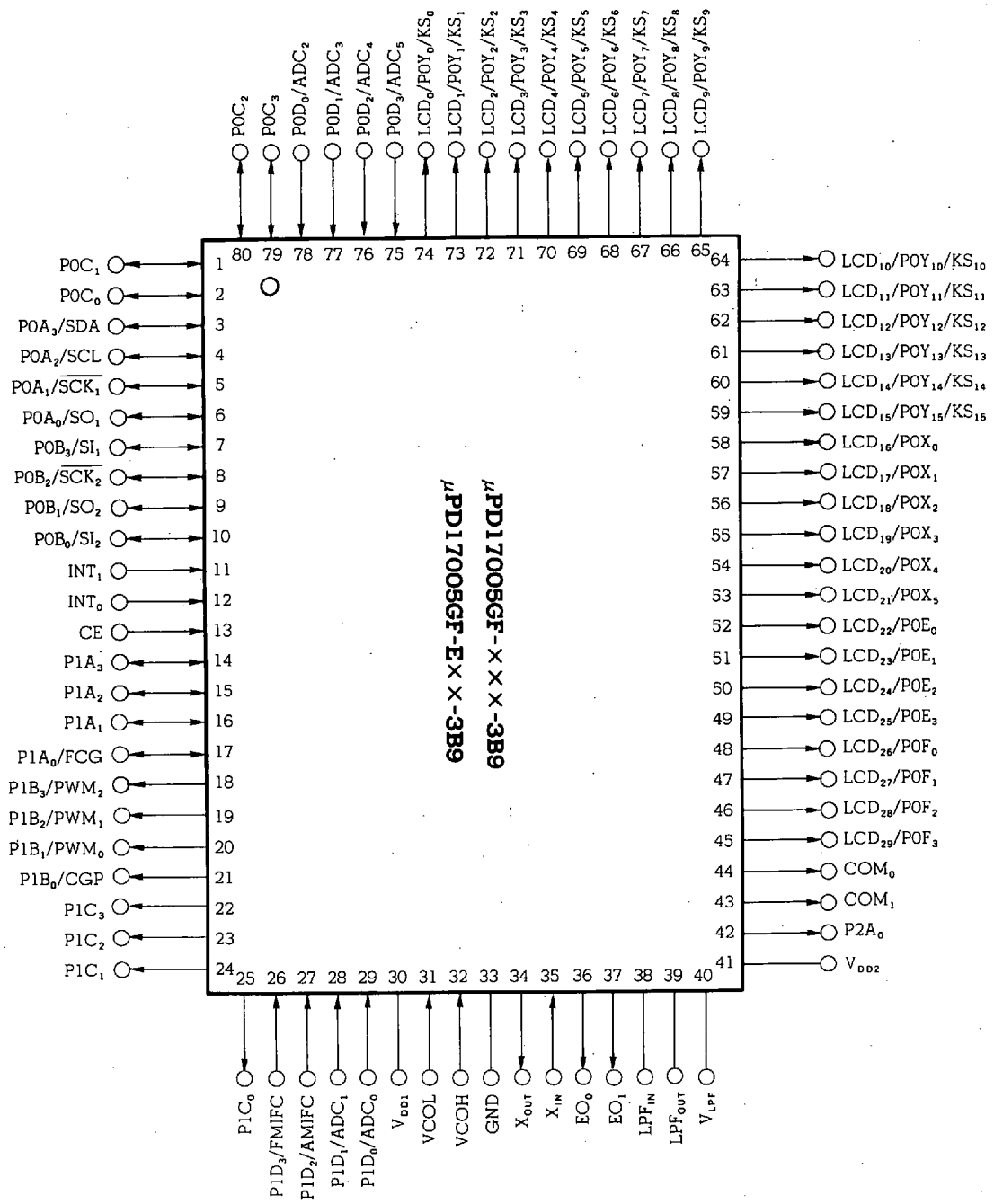
★

注　I^2C バス方式を使用した場合（周辺ハードウエアを使用せず，プログラムで実現した場合も含む），マスク発注時に当社販売員に連絡してください。

★

項　　目		機　　能
PLL 周波数シンセサイザ	分周方式	• 2 種類 直接分周方式　(VCOL 端子　30 MHz MAX.) パルス・スワロ方式 (VCOL 端子　40 MHz MAX.) (VCOH 端子　150 MHz MAX.)
	レファレンス周波数	• 12 種類をプログラムで選択 1, 1.25, 2.5, 3, 5, 6.25, 9, 10, 12.5, 25, 50, 100 kHz
	チャージ・ポンプ	• 2 本の独立なエラー・アウト出力
	位相比較器	• プログラムによりアンロック検出可能 アンロック FF の遅延時間選択可能
	LPF用アンプ	• CMOS オペアンプ　出力耐圧　16 V MAX.
周波数カウンタ		• 周波数測定 $P1D_3$/FMIFC 端子　5-15 MHz $P1D_2$/AMIFC 端子　0.1-1 MHz • 外部ゲート幅測定 $P1A_0$/FCG 端子
電源電圧		5 V ± 10 %
パッケージ		80 ピン・プラスチック QFP (14×20 mm)

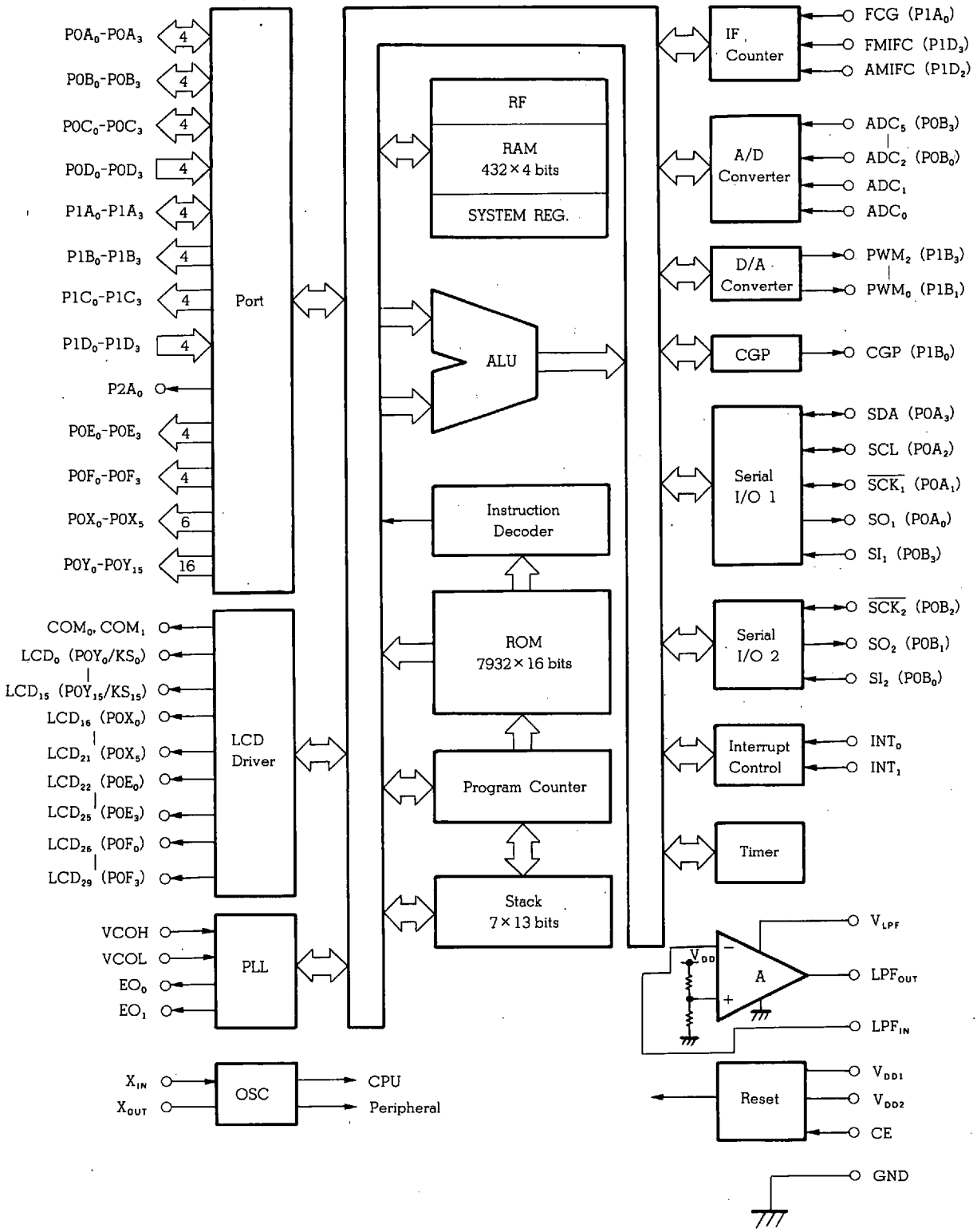
端子接続図（Top View）



端子名称

ADC_0-ADC_5	: A/D コンバータ入力
AMIFC	: AM 中間周波数カウンタ入力
CE	: チップ・イネーブル入力
CGP	: クロック・ジェネレータ・ポート
COM_0, COM_1	: LCD コモン信号出力
EO_0, EO_1	: エラー・アウト出力
FCG	: 外部ゲート用周波数カウンタ入力
FMIFC	: FM 中間周波数カウンタ入力
GND	: グランド
INT_0, INT_1	: 外部インタラプト入力
KS_0-KS_{15}	: キー・ソース信号出力
LCD_0-LCD_{29}	: LCD セグメント信号出力
LPF_{IN}	: LPF アンプ入力
LPF_{OUT}	: LPF アンプ出力
NC	: ノー・コネクション
$P0A_0$-$P0A_3$	: ポート 0A
$P0B_0$-$P0B_3$	: ポート 0B
$P0C_0$-$P0C_3$	: ポート 0C
$P0D_0$-$P0D_3$	: ポート 0D
$P0E_0$-$P0E_3$	: ポート 0E
$P0F_0$-$P0F_3$	: ポート 0F
$P0X_0$-$P0X_5$	: ポート 0X
$P0Y_0$-$P0Y_{15}$	: ポート 0Y
$P1A_0$-$P1A_3$	: ポート 1A
$P1B_0$-$P1B_3$	: ポート 1B
$P1C_0$-$P1C_3$	: ポート 1C
$P1D_0$-$P1D_3$	: ポート 1D
$P2A_0$	: ポート 2A
PWM_0-PWM_2	: D/A コンバータ出力
$\overline{SCK_1}$, $\overline{SCK_2}$	: シリアル・クロック入出力
SCL	: シリアル・クロック入出力
SDA	: シリアル・データ入出力
SI_1, SI_2	: シリアル・データ入力
SO_1, SO_2	: シリアル・データ出力
VCOH	: 局部発振ハイ入力
VCOL	: 局部発振ロウ入力
V_{DD1}, V_{DD2}	: 電源
V_{LPF}	: LPF アンプ電源
X_{IN}, X_{OUT}	: 水晶振動子接続

ブロック図


P0A0-P0A3
P0B0-P0B3
P0C0-P0C3
P0D0-P0D3
P1A0-P1A3
P1B0-P1B3
P1C0-P1C3
P1D0-P1D3
P2A0
P0E0-P0E3
P0F0-P0F3
P0X0-P0X5
P0Y0-P0Y15
4
6
16
Port
COM0, COM1
LCD0 (P0Y0/KS0)
LCD15 (P0Y15/KS15)
LCD16 (P0X0)
LCD21 (P0X5)
LCD22 (P0E0)
LCD25 (P0E3)
LCD26 (P0F0)
LCD29 (P0F3)
LCD Driver
VCOH
VCOL
EO0
EO1
PLL
XIN
XOUT
OSC
CPU
Peripheral
RF
RAM
432×4 bits
SYSTEM REG.
ALU
Instruction Decoder
ROM
7932×16 bits
Program Counter
Stack
7×13 bits
IF Counter
FCG (P1A0)
FMIFC (P1D3)
AMIFC (P1D2)
A/D Converter
ADC5 (P0B3)
ADC2 (P0B0)
ADC1
ADC0
D/A Converter
PWM2 (P1B3)
PWM0 (P1B1)
CGP
CGP (P1B0)
Serial I/O 1
SDA (P0A3)
SCL (P0A2)
SCK1 (P0A1)
SO1 (P0A0)
SI1 (P0B3)
Serial I/O 2
SCK2 (P0B2)
SO2 (P0B1)
SI2 (P0B0)
Interrupt Control
INT0
INT1
Timer
VDD
A
VLPF
LPFOUT
LPFIN
Reset
VDD1
VDD2
CE
GND

目　次

1. 端子機能 … 13
1.1 各端子の機能説明 … 13
1.2 汎用ポート使用時の注意 … 18
1.3 端子の等価回路 … 19
1.4 未使用端子の処理について … 23

2. プログラム・メモリ（ROM） … 24
2.1 プログラム・メモリ概要 … 24
2.2 プログラム・メモリ本体 … 25
2.3 プログラム・カウンタ … 25
2.4 プログラムの流れ … 26
2.5 プログラム・メモリ使用時の注意 … 27

3. アドレス・スタック（ASK） … 28
3.1 アドレス・スタック概要 … 28
3.2 アドレス・スタック・レジスタ（ASR） … 28
3.3 スタック・ポインタ（SP） … 30
3.4 アドレス・スタックの動作 … 31
3.5 アドレス・スタック使用時の注意 … 31

4. データ・メモリ（RAM） … 32
4.1 データ・メモリ概要 … 32
4.2 データ・メモリの構成と機能 … 33
4.3 データ・メモリのアドレシング … 35
4.4 データ・メモリ使用時の注意 … 36

5. システム・レジスタ（SYSREG） … 37
5.1 システム・レジスタ概要 … 37
5.2 システム・レジスター覧 … 38
5.3 アドレス・レジスタ（AR） … 39
5.4 ウインドウ・レジスタ（WR） … 41
5.5 バンク・レジスタ（BANK） … 42
5.6 インデクス・レジスタ（IX）とデータ・メモリ・ロウ・アドレス・ポインタ（MP：メモリ・ポインタ） … 43
5.7 ジェネラル・レジスタ・ポインタ（RP） … 45
5.8 プログラム・ステータス・ワード（PSWORD） … 47
5.9 システム・レジスタ使用時の注意 … 48

6. ジェネラル・レジスタ（GR） … 49
6.1 ジェネラル・レジスタ概要 … 49
6.2 ジェネラル・レジスタ本体 … 49

6.3 各命令におけるジェネラル・レジスタのアドレス生成 … 50
6.4 ジェネラル・レジスタ使用時の注意 … 51

7. ALU (Arithmetic Logic Unit) ブロック … 52
7.1 ALU ブロック概要 … 52
7.2 各ブロックの構成と機能 … 53
7.3 ALU 処理命令一覧 … 53
7.4 ALU 使用時の注意 … 57

8. レジスタ・ファイル (RF) … 58
8.1 レジスタ・ファイル概要 … 58
8.2 レジスタ・ファイルの構成と機能 … 59
8.3 コントロール・レジスタ … 60
8.4 レジスタ・ファイル使用時の注意 … 67

9. データ・バッファ (DBF) … 68
9.1 データ・バッファ概要 … 68
9.2 データ・バッファ本体 … 69
9.3 周辺ハードウエアとデータ・バッファ一覧 … 70
9.4 データ・バッファ使用時の注意 … 74

10. 割り込み … 75
10.1 割り込みブロック概要 … 75
10.2 割り込み制御ブロック … 77
10.3 システム・レジスタ・スタック … 81
10.4 スタック・ポインタ，アドレス・スタック・レジスタとプログラム・カウンタ … 83
10.5 割り込みイネーブル・フリップフロップ (INTE) … 83
10.6 割り込み受け付け動作 … 84
10.7 割り込み受け付け後の動作 … 88
10.8 割り込み処理ルーチンからの復帰処理 … 88
10.9 外部 (INT_0 端子，INT_1 端子) 割り込み … 89
10.10 内部割り込み … 91
10.11 割り込み使用時の注意 … 92

11. タイマ機能 … 94
11.1 タイマの構成 … 94
11.2 タイマの機能概略 … 95
11.3 タイマ・キャリー … 95
11.4 タイマ割り込み … 110

12. スタンバイ … 119
12.1 スタンバイ・ブロックの構成 … 119
12.2 スタンバイ機能 … 120

12.3 CE 端子によるデバイス動作モード … 121
12.4 ホールト機能 … 123
12.5 クロック・ストップ機能 … 133
12.6 ホールトおよびクロック・ストップ時のデバイス動作 … 136
12.7 ホールト状態とクロック・ストップ状態時の消費電流 … 138

13. リセット … 143
13.1 リセット・ブロックの構成 … 143
13.2 リセットの機能 … 144
13.3 CE リセット … 145
13.4 パワーオン・リセット … 150
13.5 CE リセットとパワーオン・リセットの関係 … 153
13.6 停電検出 … 157

14. PLL 周波数シンセサイザ … 165
14.1 PLL 周波数シンセサイザの構成 … 165
14.2 PLL 周波数シンセサイザの機能概略 … 166
14.3 入力切り替えブロックおよびプログラマブル・ディバイダ … 167
14.4 基準周波数発生器 … 172
14.5 位相比較器（φ-DET），チャージ・ポンプおよびアンロック検出ブロック … 174
14.6 ロウ・パス・フィルタ用オペアンプ … 178
14.7 PLL ディスエーブル状態 … 179
14.8 PLL 周波数シンセサイザの使用方法 … 180
14.9 リセット時の状態 … 183

15. 汎用ポート … 184
15.1 汎用ポートの構成と分類 … 184
15.2 汎用ポートの機能概略 … 186
15.3 汎用入出力ポート（P0A，P0B，P0C，P1A） … 192
15.4 汎用入力ポート（P0D，P1D） … 200
15.5 汎用出力ポート（P1B，P1C，P2A） … 202
15.6 汎用出力ポート（P0E，P0F，P0X，P0Y） … 204

16. A/D コンバータ（ADC） … 212
16.1 A/D コンバータの構成 … 212
16.2 A/D コンバータの機能概略 … 213
16.3 入力切り替えブロック … 214
16.4 比較電圧生成ブロック … 216
16.5 コンペア・ブロック … 219
16.6 A/D コンバータの性能 … 220
16.7 A/D コンバータの使用方法 … 221
16.8 A/D コンバータ使用時の注意 … 226
16.9 リセット時の状態 … 226

17. D/A コンバータ（DAC） … 227

17.1 D/A コンバータの構成 … 227

17.2 D/A コンバータの機能概略 … 228

17.3 出力切り替えブロック … 229

17.4 デューティ設定ブロックおよびクロック生成ブロック … 231

17.5 リセット時の状態 … 235

18. クロック・ジェネレータ・ポート（CGP） … 236

18.1 クロック・ジェネレータ・ポートの構成 … 236

18.2 クロック・ジェネレータ・ポートの機能概略 … 237

18.3 出力切り替えブロック … 238

18.4 VDP/SG 設定ブロックおよびクロック生成ブロック … 240

18.5 クロック・ジェネレータ・ポートの使用方法 … 246

18.6 リセット時の状態 … 247

18.7 クロック・ジェネレータ・ポート使用時の注意 … 248

19. シリアル・インタフェース … 249

19.1 シリアル・インタフェースの構成 … 249

19.2 シリアル・インタフェースの機能概略 … 250

19.3 シリアル・インタフェース 1（SIO1）の構成 … 251

19.4 シリアル・インタフェース 1 の機能概略 … 253

19.5 シフト・クロックおよびシリアル・データ入出力端子制御ブロック … 255

19.6 クロック生成ブロック … 257

19.7 クロック・カウンタおよびスタート/ストップ検出ブロック … 262

19.8 プリセッタブル・シフト・レジスタ 1（SIO1SFR） … 267

19.9 ウエイト・ブロックおよびアクノリッジ・ブロック … 271

19.10 割り込み制御ブロック … 278

19.11 シリアル・インタフェース 1 の使用方法 … 280

19.12 シリアル・インタフェース 1 のリセット時の状態 … 308

19.13 シリアル・インタフェース 2（SIO2）の構成 … 309

19.14 シリアル・インタフェース 2 の機能概略 … 310

19.15 シフト・クロックおよびシリアル・データ入出力端子制御ブロック … 311

19.16 クロック生成ブロック … 313

19.17 クロック・カウンタ … 315

19.18 プリセッタブル・シフト・レジスタ 2（SIO2SFR） … 316

19.19 ウエイト・ブロック … 319

19.20 シリアル・インタフェース 2 の使用方法 … 321

19.21 シリアル・インタフェース 2 のリセット時の状態 … 327

20. 周波数カウンタ（FC） … 328

20.1 周波数カウンタの構成 … 328

20.2 周波数カウンタの機能概略 … 329

20.3 入出力切り替えブロックおよびゲート時間制御ブロック … 331

20.4 スタート/ストップ制御ブロックおよびIFカウンタ … 334
20.5 IFカウンタ機能の使用方法 … 342
20.6 外部ゲート・カウンタ機能の使用方法 … 344
20.7 リセット時の状態 … 345
20.8 周波数カウンタ使用時の注意 … 346

21. LCDコントローラ/ドライバ … 348
21.1 LCDコントローラ/ドライバの構成 … 348
21.2 LCDコントローラ/ドライバの機能概略 … 349
21.3 LCDセグメント・レジスタおよびLCDグループ・レジスタ … 351
21.4 出力タイミング制御ブロックおよびセグメント/ポート切り替えブロック … 358
21.5 LCDコントローラ/ドライバの使用方法 … 364
21.6 リセット時の状態 … 366

22. キー・ソース・コントローラ/デコーダ … 367
22.1 キー・ソース・コントローラ/デコーダの構成 … 367
22.2 キー・ソース・コントローラ/デコーダの機能概略 … 368
22.3 キー・ソース・データ設定ブロック … 370
22.4 出力タイミング制御ブロックおよびセグメント/ポート切り替えブロック … 372
22.5 キー入力制御ブロック … 376
22.6 キー・ソース・コントローラ/デコーダの使用方法 … 379
22.7 リセット時の状態 … 388

23. μPD17005命令 … 389
23.1 命令セット一覧表 … 389
23.2 命令一覧表 … 390
23.3 アセンブラ（AS17K）組み込みマクロ命令 … 393

24. μPD17005予約語 … 394
24.1 予約語一覧 … 394

25. 電気的特性 … 400

26. 外形図 … 403

27. 半田付け推奨条件 … 405

付録A. 水晶振動子を接続するときの注意 … 406

付録B. μPD17005, 17003AとμPD17010の相違点 … 407

付録C. 開発ツール … 410

1. 端子機能

★

1.1 各端子の機能説明

端子番号	記　号	機　　能	出力形式	パワーオン・リセット時
79 80 1 2	$P0C_3$ $P0C_2$ $P0C_1$ $P0C_0$	4ビットの入出力ポートです。 4ビット単位で入力/出力の設定ができます。	CMOS プッシュプル	入　力
3 4 5 6 7 8 9 10	$P0A_3$/SDA注 $P0A_2$/SCL注 $P0A_1/\overline{SCK_1}$ $P0A_0/SO_1$ $P0B_3/SI_1$ $P0B_2/\overline{SCK_2}$ $P0B_1/SO_2$ $P0B_0/SI_2$	ポート0A, ポート0Bおよびシリアル・インタフェースの入出力です。 ●$P0A_3$-$P0A_0$ ・4ビットの入出力ポート ・1ビット単位で入力/出力の設定可能 ●$P0B_3$-$P0B_0$ ・4ビットのCMOS入出力ポート ・1ビット単位で入力/出力の設定可能 ●SDA, SCL ・SDA　：シリアル・データ入出力 ・SCL　：シリアル・クロック入出力 ●$\overline{SCK_1}$, SO_1, SI_1 ・$\overline{SCK_1}$：シリアル・クロック入出力 ・SO_1　：シリアル・データ出力 ・SI_1　：シリアル・データ入力 (SDA, SCLは, $\overline{SCK_1}$, SI_1, SO_1と同時には使えません。) ●$\overline{SCK_2}$, SO_2, SI_2出力 ・$\overline{SCK_2}$：シリアル・クロック入出力 ・SO_2　：シリアル・データ出力 ・SI_2　：シリアル・データ入力	N-ch オープン・ドレーン 5V耐圧 ($P0A_3$/SDA, $P0A_2$/SCL) CMOS プッシュプル ($P0A_1/\overline{SCK_1}$, $P0A_0/SO_1$, $P0B_3$, $P0B_2/\overline{SCK_2}$, $P0B_1/SO_2$, $P0B_0$)	入　力 ($P0A_3$-$P0A_0$, $P0B_3$-$P0B_0$)
11 12	INT_1 INT_0	エッジ検出のベクタ割り込み入力です。立ち上がりまたは立ち下がりのいずれかのエッジを選択することができます。 これらの端子は, ヒステリシス特性を持つシュミット・トリガ入力となっています。 **INT_0端子には, 電源投入時にV_{DD}より高い電圧が加わらないように注意してください。V_{DD}より高い電圧が加わると正常に動作しない場合があります。**	−	入　力

注　$P0A_3$/SDA, $P0A_2$/SCL端子はN-chオープン・ドレーン出力となっているため外部にプルアップ抵抗が必要です。

端子番号	記　号	機　　能	出力形式	パワーオン・リセット時
13	CE	μPD17005の動作の選択およびリセット信号の入力です。 (1) デバイス動作選択 CE端子がハイ・レベルのときはPLL周波数シンセサイザ部分を動作させることができます。CE端子がロウ・レベルのときはPLL周波数シンセサイザ部分はデバイス内部で自動的にディスエーブル（動作禁止）状態になります。 (2) リセット信号入力 CE端子がロウ・レベルからハイ・レベルに変化すると，内部のベーシック・タイマ0キャリーFFに同期してデバイスにリセットがかかります（CEリセット）。 この端子はノイズによる誤動作などを防ぐため，110-165 μs未満のロウ・レベルまたはハイ・レベルは受け付けません。 また，レジスタ・ファイルのCEJDGレジスタ(07H番地)によりこの端子の入力信号レベルを検出することができます。このときも，110-165 μs未満のロウ・レベルまたはハイ・レベルではCEJDGレジスタの内容は変化しません。 この端子は，ヒステリシス特性を持つシュミット・トリガ入力となっています。 **また，電源投入時に V_{DD} 端子より高い電圧が加わらないように注意してください。V_{DD} より高い電圧が加わると正常に動作しない場合があります。**	−	入　力
14 | 16 17	$P1A_3$ | $P1A_1$ $P1A_0$/FCG	ポート1Aの入出力と外部ゲート・カウンタの入力です。 ●$P1A_3$-$P1A_0$ ・4ビットのCMOS入出力ポート ・1ビット単位で入力/出力の設定可能 ●FCG ・外部ゲート用周波数カウンタの入力	CMOS プッシュプル ($P1A_3$-$P1A_0$)	入　力 ($P1A_3$-$P1A_0$)
18 19 20 21	$P1B_3$/PWM_2注 $P1B_2$/PWM_1注 $P1B_1$/PWM_0注 $P1B_0$/CGP	ポート1B, D/Aコンバータおよびクロック・ジェネレータ・ポートの出力です。 ●$P1B_3$-$P1B_0$ ・4ビットの出力ポート ●PWM_2-PWM_0 ・8ビット分解能のD/Aコンバータの出力 ●CGP ・クロック・ジェネレータ・ポート出力	N-ch オープン・ドレーン 16V耐圧 ($P1B_3$/PWM_2 | $P1B_1$/PWM_0) CMOS プッシュプル ($P1B_0$/CGP)	不定データを出力 ($P1B_3$-$P1B_0$)
22 | 25	$P1C_3$ | $P1C_0$	4ビットのCMOS出力ポートです。	CMOS プッシュプル	不定データを出力

注　$P1B_3$/PWM_2-$P1B_1$/PWM_0 端子はN-chオープン・ドレーン出力となっているため外部にプルアップ抵抗が必要です。

<table>
<tr><th>端子番号</th><th>記　号</th><th>機　　能</th><th>出力形式</th><th>パワーオン・リセット時</th></tr>
<tr><td>26
27
28
29</td><td>$P1D_3$/FMIFC
$P1D_2$/AMIFC
$P1D_1$/ADC_1
$P1D_0$/ADC_0</td><td>ポート 1D，周波数カウンタ入力および A/D コンバータへのアナログ入力です。
●$P1D_3$-$P1D_0$
・4 ビットの入力ポート
●FMIFC，AMIFC
・FM，AM 中間周波数カウンタの入力
測定できる周波数
<table><tr><th>入力端子</th><th>入力周波数 (MHz)</th><th>入力振幅 (V_{P-P})</th></tr><tr><td rowspan="2">$P1D_3$/FMIFC</td><td>5-15</td><td>0.3</td></tr><tr><td>10.5-10.9</td><td>0.06</td></tr><tr><td rowspan="2">$P1D_2$/AMIFC</td><td>0.1-1</td><td>0.3</td></tr><tr><td>0.44-0.46</td><td>0.05</td></tr></table>これらの端子の入力は交流アンプとなっているため，入力信号の直流分はコンデンサでカットしてください。
●ADC_1，ADC_0
・6 ビット分解能の A/D コンバータへのアナログ入力</td><td>－</td><td>入　力
($P1D_3$-$P1D_0$)</td></tr>
<tr><td>30
41</td><td>V_{DD1}
V_{DD2}</td><td>正電源です。CPU および周辺機能動作時には 5 V±10 %の電圧を供給します。クロック・ストップ時は 2.2 V でのデータの保持が可能です。V_{DD} を立ち上げると内蔵のパワーオン・リセット回路で μPD17005 がリセットされます。
V_{DD} 端子（V_{DD1}，V_{DD2} 端子）以外のすべての端子に V_{DD} 端子より高い電圧を加えないでください。特に V_{DD} 端子と CE 端子を同時に立ち上げるときには注意してください。ラッチ・アップの原因になります。
V_{DD1} 端子と V_{DD2} 端子は必ず同電位に接続してください。
V_{DD2} 端子は水晶発振回路（X_{IN}，X_{OUT} 端子）およびエラー・アウト回路（EO_0，EO_1 端子）の電源であり，V_{DD1} 端子はそれ以外の部分の電源です。</td><td>－</td><td>－</td></tr>
</table>

<table>
<tr><th>端子番号</th><th>記　号</th><th>機　能</th><th>出力形式</th><th>パワーオン・リセット時</th></tr>
<tr><td>31
32</td><td>VCOL
VCOH</td><td>PLL の局部発振周波数を入力します。分周方式は直接分周方式（MF モード）とパルス・スワロ方式（HF モードと VHF モード）があります。
<table>
<tr><th>分周方式</th><th>入力端子</th><th>入力周波数
(MHz)</th><th>入力電圧
(V_{P-P})</th></tr>
<tr><td>直接分周
(MF)</td><td>VCOL</td><td>0.5-30</td><td>0.3</td></tr>
<tr><td>パルス・スワロ
(HF)</td><td>VCOL</td><td>5-40</td><td>0.3</td></tr>
<tr><td rowspan="2">パルス・スワロ
(VHF)</td><td rowspan="2">VCOH</td><td>9-150</td><td>0.3</td></tr>
<tr><td>9-250</td><td>0.5</td></tr>
</table>
これらの端子の入力は交流アンプとなっているため，入力信号の直流分はコンデンサでカットしてください。</td><td>－</td><td>入　力</td></tr>
<tr><td>33</td><td>GND</td><td>グランドです。</td><td>－</td><td>－</td></tr>
<tr><td>34
35</td><td>X_{OUT}注
X_{IN}注</td><td>水晶振動子の接続です。
4.5 MHz 水晶振動子を接続します。</td><td>CMOS
プッシュプル
－</td><td>－</td></tr>
<tr><td>36
37</td><td>EO_0
EO_1</td><td>PLL 周波数シンセサイザのチャージ・ポンプからの出力です。
VCOL 端子（31番端子）または VCOH 端子（32番端子）に入力された局部発振（VCO）周波数を分周した値が基準周波数より高い場合，EO_0, EO_1 端子からはハイ・レベルが出力され，低い場合にはロウ・レベルが出力されます。一致したときはフローティングになります。
EO_0, EO_1 端子は同じ信号が出力されるため，どちらの端子を使用してもかまいません。</td><td>CMOS 3ステート</td><td>ハイ・インピーダンス</td></tr>
<tr><td>38</td><td>LPF_{IN}</td><td>ロウ・パス・フィルタ用アンプの入力です。</td><td>－</td><td>入　力</td></tr>
<tr><td>39</td><td>LPF_{OUT}</td><td>ロウ・パス・フィルタ用アンプの出力です。</td><td>N-ch
オープン・ドレーン
16 V 耐圧</td><td>ロウ・レベル出力</td></tr>
<tr><td>40</td><td>V_{LPF}</td><td>ロウ・パス・フィルタ用アンプの電源です。</td><td>－</td><td>－</td></tr>
<tr><td>42</td><td>$P2A_0$</td><td>1 ビットの CMOS 出力ポートです。</td><td>CMOS
プッシュプル</td><td>不定データを出力</td></tr>
<tr><td>43
44</td><td>COM_1
COM_0</td><td>LCD コントローラ/ドライバのコモン信号を出力します。
これらの端子は，表示オフモードとなっているとき，パワーオン・リセット時およびクロック・ストップ命令実行時にロウ・レベルを出力します。</td><td>CMOS 3 値出力</td><td>ロウ・レベル出力</td></tr>
</table>

注　付録 A.　水晶振動子を接続するときの注意を参照してください。

端子番号	記　号	機　　能	出力形式	パワーオン・リセット時
45 | 48 49 | 52 53 | 58 59 | 74	$LCD_{29}/P0F_3$ | $LCD_{26}/P0F_0$ $LCD_{25}/P0E_3$ | $LCD_{22}/P0E_0$ $LCD_{21}/P0X_5$ | $LCD_{16}/P0X_0$ $LCD_{15}/P0Y_{15}/KS_{15}$ | $LCD_0/P0Y_0/KS_0$	ポート 0F, ポート 0E, ポート 0X, ポート 0Y, LCD コントローラ/ドライバのセグメント信号およびキー・マトリクスのキー・ソース信号の出力です。 ●$P0F_3$-$P0F_0$ • 4 ビットの CMOS 出力ポート ●$P0E_3$-$P0E_0$ • 4 ビットの CMOS 出力ポート ●$P0X_5$-$P0X_0$ • 6 ビットの CMOS 出力ポート ●$P0Y_{15}$-$P0Y_0$ • 16ビットの CMOS 出力ポート ●LCD_{29}-LCD_0 • LCD コントローラ/ドライバのセグメント信号出力 ●KS_{15}-KS_0 • キー・マトリクスのキー・ソース信号出力	CMOS プッシュプル	ロウ・レベル出力 (LCD_{29}-LCD_0)
75 | 78	$P0D_3/ADC_5$ | $P0D_0/ADC_2$	ポート 0D, A/D コンバータへのアナログ入力および LCD セグメントのキー・ソース信号リターン入力です。 ●$P0D_3$-$P0D_0$ • 4 ビット入力ポート • 内蔵プルダウン抵抗は常時オン ●ADC_5-ADC_2 • 6 ビット分解能の A/D コンバータへのアナログ入力 • 内蔵プルダウン抵抗はオフ ●キー・ソース信号リターン入力 • キー・ソースに LCD セグメント端子を使用するときは，キー・ソース出力中（220 μs）のみ内蔵プルダウン抵抗がオンし，LCD セグメント信号出力中はオフします。	−	プルダウン 抵抗付き入力 ($P0D_3$-$P0D_0$)

1.2 汎用ポート使用時の注意

1.2.1 ポート・レジスタのデータ・ビット

ポート 0A, ポート 0B, ポート 0C, ポート 0D, ポート 1A, ポート 1B, ポート 1C, ポート 1D および ポート 2A の各ポートの入力データの読み込みや出力データの設定は，データ・メモリ上の各ポート・レジスタ（P0A-P2A レジスタ）を介して行います。

このときポート 0A の $P0A_3$ 端子はポート・レジスタ P0A の最上位ビットに対応し，$P0A_0$ 端子は最下位ビットに対応します。

これはポート 0B, ポート 0C, ポート 0D, ポート 1A, ポート 1B, ポート 1C, ポート 1D, ポート 2A についても同様です。

ポート 0E, ポート 0F, ポート 0X, ポート 0Y の出力データの設定はデータ・メモリ上の LCD セグメント・レジスタまたはデータ・バッファを介して LCD グループ・レジスタにより行います。

1.2.2 入出力ポート（ポート 0A, ポート 0B, ポート 0C, ポート 1A）

(1) 各ポートが入力ポートに指定されているとき

データ・メモリ上の各ポート・レジスタの内容を読み込む命令（ポート・レジスタのアドレスが SKT m, #i や ADD r, m の m に指定されているなど）を行うと各ポートの端子の状態がそのままポート・レジスタの値になります。

また，各ポート・レジスタに書き込む命令（MOV m, #i の m や ADD r, m の r に指定されているなど）を行うと出力データ・ラッチ回路にその値を書き込みます。

(2) 各ポートが出力ポートに指定されているとき

各ポート・レジスタに書き込む命令を行うとその値が出力データ・ラッチ回路に書き込まれ，各端子から出力されます。

また，各ポート・レジスタの内容を読み込む命令を行うと出力データ・ラッチの内容がそのままポート・レジスタの値になります。ただし，$P0A_3$/SDA と $P0A_2$/SCL 端子の2本はポート・レジスタの内容を読み込む命令を行うと端子の状態がそのまま読み込まれ，出力データと異なることがあるため注意が必要です。

パワーオン・リセット時，CE リセット時およびクロック・ストップ命令実行時はこれらの端子はすべて入力ポートに設定されます。

パワーオン・リセット時は出力データ・ラッチ回路の内容は不定となるため出力ポートに設定する前に一度ポート・レジスタに書き込み命令を行わないと不定なデータが出力されます。CE リセット時およびクロック・ストップ命令実行時は出力データ・ラッチ回路の内容は変化しません。

1.2.3 出力ポート（ポート 1B, ポート 1C, ポート 0F, ポート 0E, ポート 0X, ポート 0Y）

出力ポートはポート・レジスタに書き込む命令を実行することにより出力データ・ラッチ回路にポート・レジスタの値を書き込み，各端子から出力します。

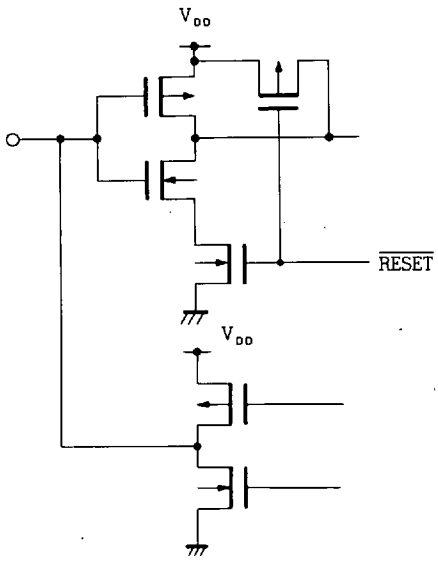
ポート・レジスタの値を読み込む命令を行うと出力データ・ラッチ回路の状態がポート・レジスタの値となります。

パワーオン・リセット時は不定なデータが出力されます。

CE リセット時およびクロック・ストップ命令実行時は以前の出力データを保持します。ただし，ポート 0E, ポート 0F, ポート 0X, ポート 0Y はパワーオン・リセット時とクロック・ストップ命令実行時は自動的にロウ・レベルを出力します。

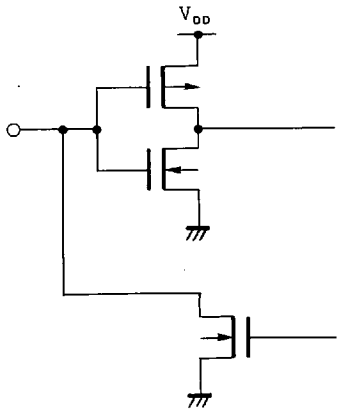
1.3 端子の等価回路

(1) POA (POA$_1$/$\overline{SCK_1}$, POA$_0$/SO$_1$)
POB (POB$_3$/SI$_1$, POB$_2$/$\overline{SCK_2}$, POB$_1$/SO$_2$, POB$_0$/SI$_2$)
POC (POC$_3$, POC$_2$, POC$_1$, POC$_0$)注
P1A (P1A$_3$, P1A$_2$, P1A$_1$, P1A$_0$)
(入出力)

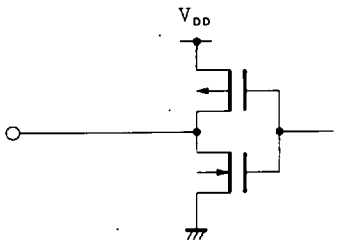


注 POC には $\overline{RESET}$ 信号は供給されません。

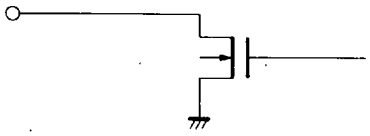
(2) POA (POA$_3$/SDA, POA$_2$/SCL) (入出力)



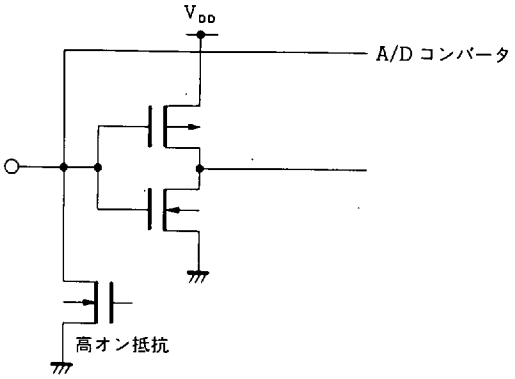
(3) P1B (P1B$_0$/CGP)
P1C (P1C$_3$, P1C$_2$, P1C$_1$, P1C$_0$)
P2A (P2A$_0$)
LCD$_0$/POY$_0$/KS$_0$-LCD$_{29}$/POF$_3$
(出力)



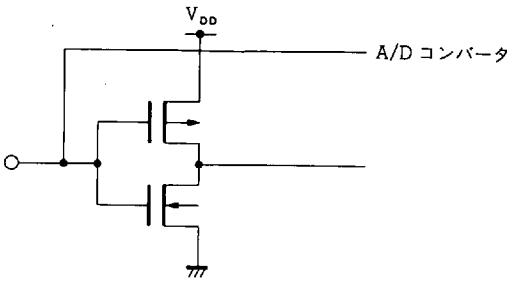
(4) P1B (P1B$_3$/PWM$_2$, P1B$_2$/PWM$_1$, P1B$_1$/PWM$_0$) (出力)



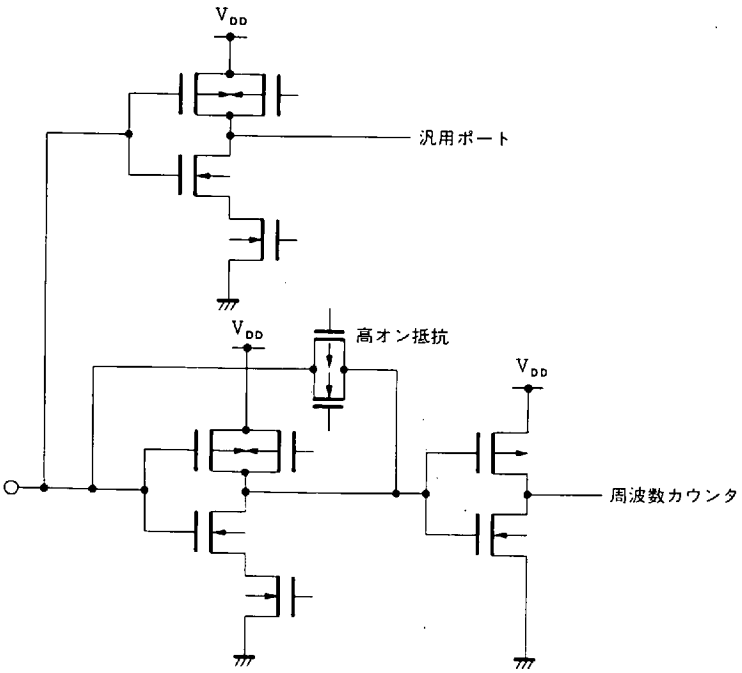
(5) P0D (P0D$_3$/ADC$_5$, P0D$_2$/ADC$_4$, P0D$_1$/ADC$_3$, P0D$_0$/ADC$_2$) (入力)



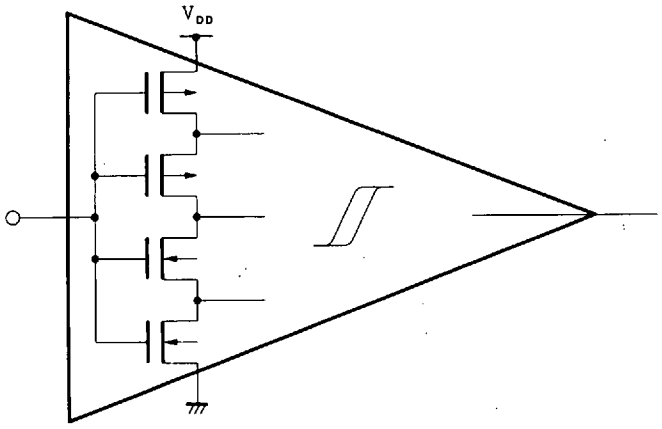
(6) P1D (P1D$_1$/ADC$_1$, P1D$_0$/ADC$_0$) (入力)



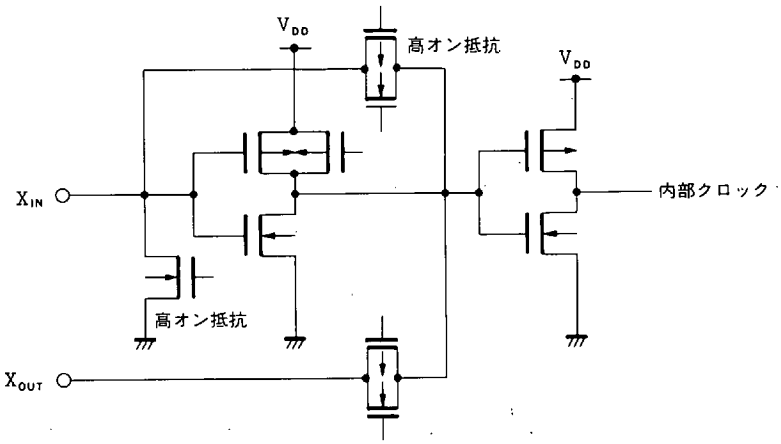
(7) P1D (P1D$_3$/FMIFC, P1D$_2$/AMIFC) (入力)



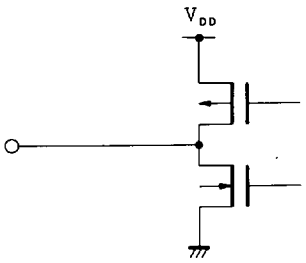
(8) CE
INT_1
INT_0
（シュミット・トリガ入力）



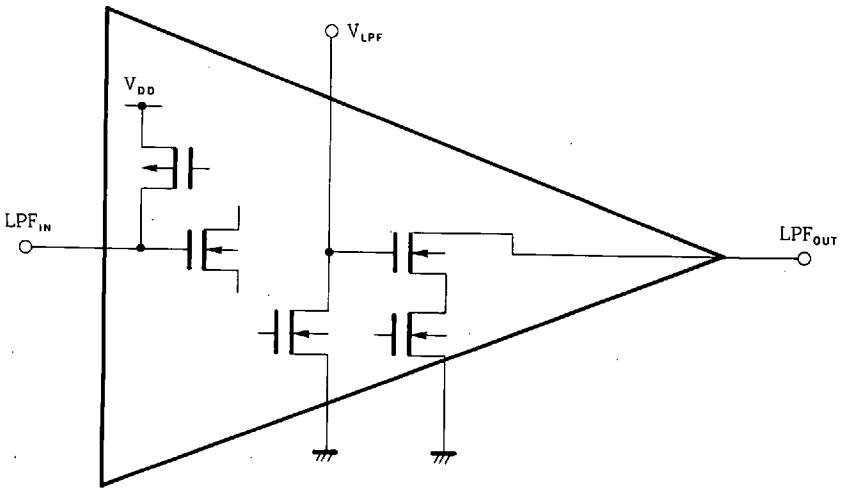
(9) X_{OUT}（出力），X_{IN}（入力）



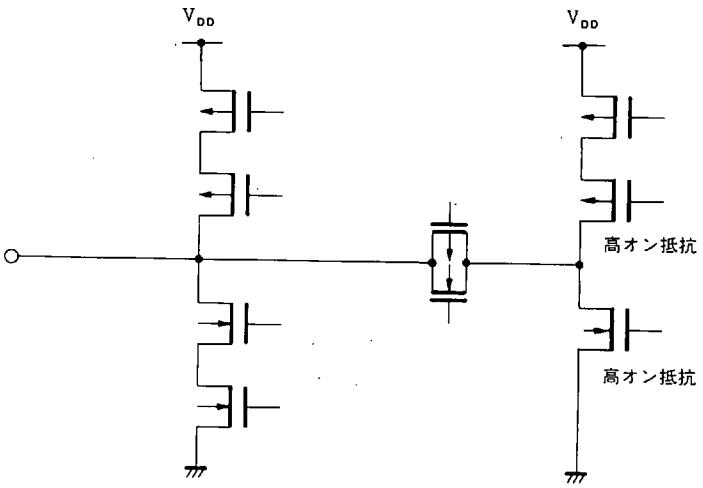
(10) EO_1
EO_0
（出力）



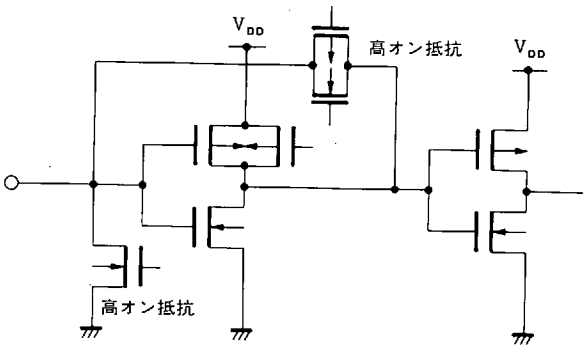
(11) LPF_{IN}（入力），LPF_{OUT}（出力），V_{LPF}



(12) COM_1, COM_0 （出力）



(13) VCOH, VCOL （入力）



1.4 未使用端子の処理について

未使用端子は，次に示すように処置をしてください。

端　子	推　奨　接　続　方　法
入力端子	GND に接続 ただし，LPF_{IN} 端子はオープン，または V_{DD} に接続
出力端子	オープン ただし，LPF_{OUT} 端子は GND に接続してもよい
V_{LPF} 端子	オープン，または GND に接続

2. プログラム・メモリ（ROM）

2.1 プログラム・メモリ概要

図２－１に，プログラム・メモリの概略を示します。

図２－１に示すように，プログラム・メモリは，プログラム・メモリ本体とプログラム・カウンタから構成されています。

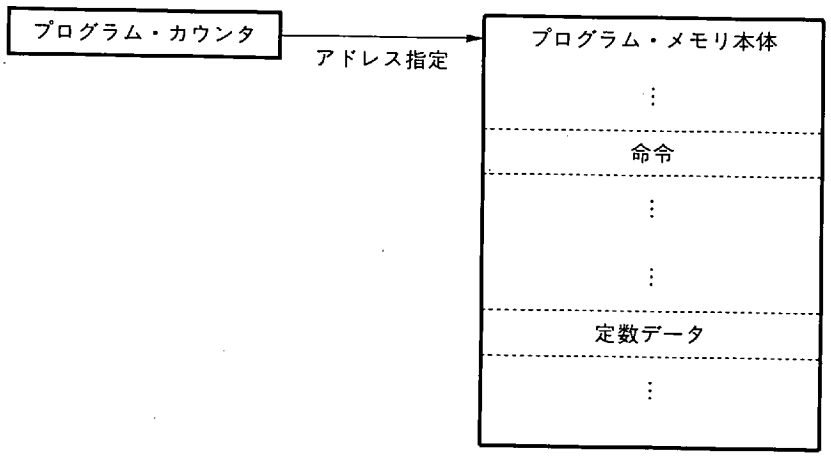
プログラム・メモリのアドレスは，プログラム・カウンタにより指定します。

プログラム・メモリは，大別して以下の２つの機能があります。

(1) プログラムを格納しておく

(2) 定数データを格納しておく

図２－１ プログラム・メモリの概略



2.2 プログラム・メモリ本体

図2-2に，プログラム・メモリ本体の構成を示します。

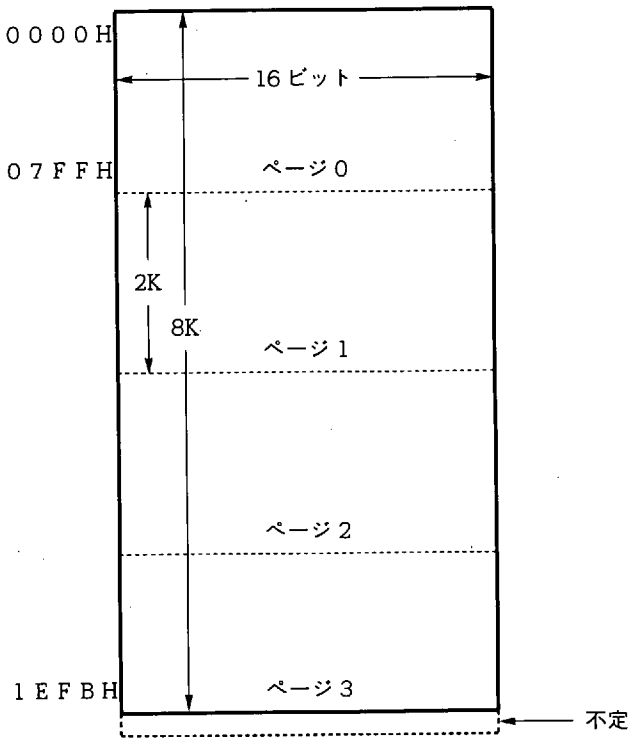
図2-2に示すように，プログラム・メモリ本体は，7932ステップ×16ビットで構成されています。

したがって，プログラム・メモリ・アドレスは0000H-1EFBH番地になります。

“命令”はすべて16ビット長の“1語命令”であるため，プログラム・メモリの1つの番地に1つの命令を格納することができます。

定数データは，テーブル参照命令を使用して，データ・バッファにプログラム・メモリの内容を読み込みます。

図2-2 プログラム・メモリの構成



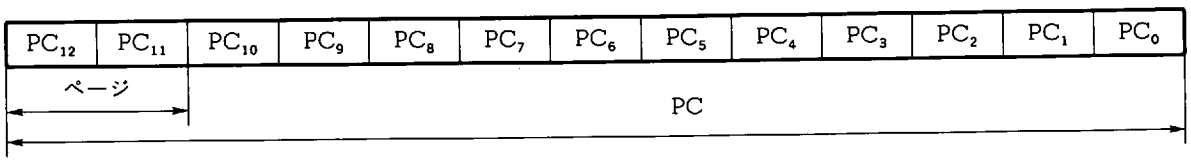
2.3 プログラム・カウンタ

図2-3に，プログラム・カウンタの構成を示します。

図2-3に示すように，プログラム・カウンタは，13ビットのバイナリ・カウンタで構成されています。さらに，上位2ビットであるビットb_{11}およびビットb_{12}は，ページを示します。

プログラム・カウンタは，プログラム・メモリのアドレスを指定します。

図2-3 プログラム・カウンタの構成



2.4 プログラムの流れ

プログラムの流れは，プログラム・メモリのアドレスを指定するプログラム・カウンタによって制御されます。以下に，各命令実行時の動作を示します。

図2-4に，各命令実行時にプログラム・カウンタに設定される値を示します。

また，表2-1に，割り込み受け付け時のベクタ・アドレスを示します。

2.4.1 分岐命令

(1) 直接分岐（"BR addr"）

直接分岐命令の分岐先アドレスは，プログラム・メモリの全アドレスである0000H-1EFBH番地です。

(2) 間接分岐（"BR @AR"）

間接分岐命令の分岐先アドレスは，プログラム・メモリの全アドレスである0000H-1EFBH番地です。

"**5.3 アドレス・レジスタ（AR）**" も参照してください。

2.4.2 サブルーチン

(1) 直接サブルーチン・コール（"CALL addr"）

直接サブルーチン・コール命令で呼び出せるサブルーチンの先頭アドレスは，プログラム・メモリのページ0内（0000H-07FFH番地）になります。

(2) 間接サブルーチン・コール（"CALL @AR"）

間接サブルーチン・コール命令で呼び出せるサブルーチンの先頭アドレスは，プログラム・メモリの全アドレスである0000H-1EFBH番地になります。

"**5.3 アドレス・レジスタ（AR）**" も参照してください。

2.4.3 テーブル参照

テーブル参照命令（"MOVT DBF, @AR"）で参照できるアドレスは，プログラム・メモリの全アドレスである0000H-1EFBH番地になります。

"**5.3 アドレス・レジスタ（AR）**" および "**9.2.2 テーブル参照命令（"MOVT DBF, @AR"）**" も参照してください。

図2-4 各命令におけるプログラム・カウンタの指定

命令 ＼ プログラム・カウンタ		プログラム・カウンタ（PC）の内容												
		b_{12}	b_{11}	b_{10}	b_9	b_8	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0
BR addr	ページ0	0	0	命令のオペランド（addr）										
	ページ1	0	1											
	ページ2	1	0											
	ページ3	1	1											
CALL addr		0	0	命令のオペランド（addr）										
BR @AR CALL @AR MOVT DBF, @AR		アドレス・レジスタの内容												
RET RETSK RETI		スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタ（ASR）の内容（戻り番地）												
割り込み受け付け時		各割り込みのベクタ・アドレス												
パワーオン・リセット，CEリセット		0	0	0	0	0	0	0	0	0	0	0	0	0

表2-1 割り込みベクタ・アドレス

順位	内部/外部	割り込み要因	ベクタ・アドレス
1	外部	INT_0 端子	0005H
2	〃	INT_1 端子	0004H
3	内部	タイマ	0003H
4	〃	シリアル・インタフェース1	0002H
5	〃	周波数カウンタ	0001H

2.5 プログラム・メモリ使用時の注意

プログラム・カウンタで指定できるアドレスは0000H-1FFFH番地であり，プログラム・メモリの存在するアドレスは0000H-1EFBH番地です。

したがって，プログラム・カウンタの値が1EFCH-1FFFHとなるような命令は，使用しないでください。

プログラム・メモリのアドレス1EFCH-1FFFH番地は，“不定”の値になっています。

3. アドレス・スタック（ASK）

3.1 アドレス・スタック概要

図3-1に，アドレス・スタックの概略を示します。

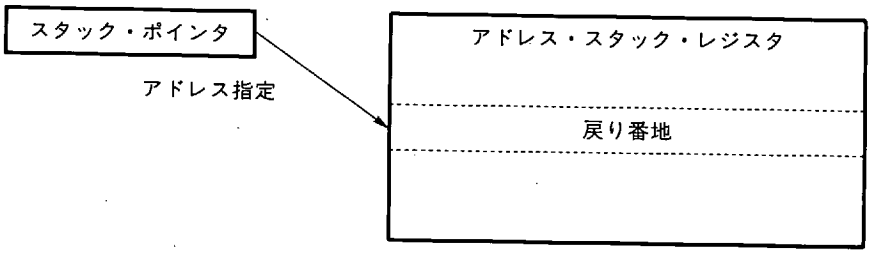
アドレス・スタックは，スタック・ポインタおよびアドレス・スタック・レジスタで構成されています。

アドレス・スタック・レジスタのアドレスは，スタック・ポインタにより指定します。

アドレス・スタックは，サブルーチン・コール命令実行時，割り込み受け付け時などに戻り番地を退避します。

また，テーブル参照命令実行時も，アドレス・スタックを使用します。

図3-1 アドレス・スタックの概略



3.2 アドレス・スタック・レジスタ（ASR）

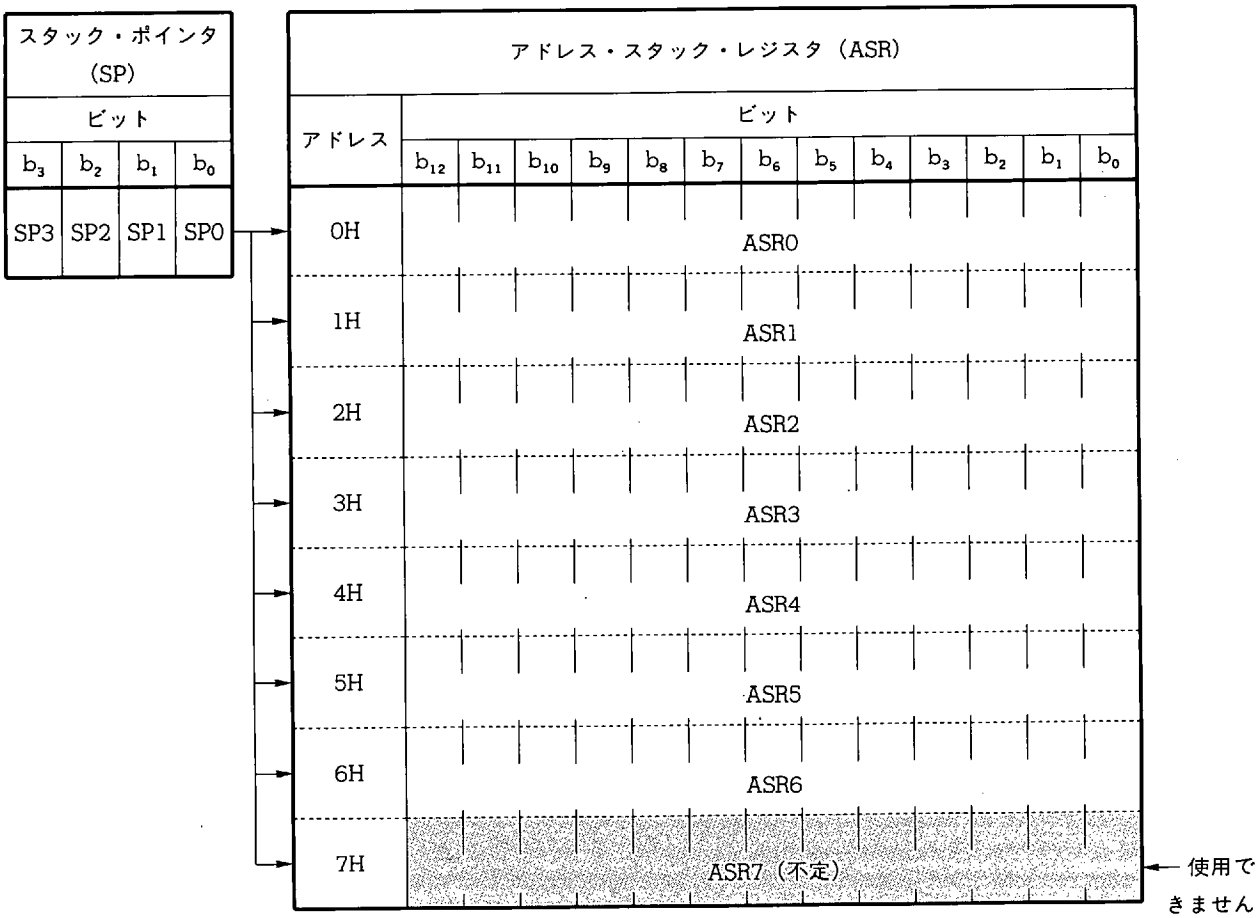
図3-2に，アドレス・スタック・レジスタの構成を示します。

アドレス・スタック・レジスタは，16ビット×8個のレジスタ ASR0-ASR7 で構成されています。ただし，ASR7にはレジスタがなく，実際には16ビット×7個のレジスタ（ASR0-ASR6）で構成されています。

また，ASR0-ASR6の上位3ビットは“0”に固定されています。

アドレス・スタックは，サブルーチン・コール命令実行時，割り込み受け付け時およびテーブル参照命令実行時に，戻り番地を格納します。

図3-2 アドレス・スタック・レジスタの構成



3.3 スタック・ポインタ（SP）

3.3.1 スタック・ポインタの構成と機能

図3-3に，スタック・ポインタの構成と機能を示します。

スタック・ポインタは，4ビットのバイナリ・カウンタで構成されています。

スタック・ポインタは，アドレス・スタック・レジスタのアドレスを指定します。

スタック・ポインタは，レジスタ操作命令により，直接，値を読み込んだり書き込んだりすることもできます。

図3-3 スタック・ポインタの構成と機能

名称	フラグ記号 b_3	b_2	b_1	b_0	アドレス	Read/Write
スタック・ポインタ SP	0	SP2	SP1	SP0	01H	R/W

b_2	b_1	b_0	アドレス・スタック・レジスタ（ASR）のアドレスを指定
0	0	0	アドレス0 (ASR0)
0	0	1	アドレス1 (ASR1)
0	1	0	アドレス2 (ASR2)
0	1	1	アドレス3 (ASR3)
1	0	0	アドレス4 (ASR4)
1	0	1	アドレス5 (ASR5)
1	1	0	アドレス6 (ASR6)
1	1	1	アドレス7 (ASR7)

b_3：“0”固定

リセット時		b_3	b_2	b_1	b_0
	パワーオン	0	1	1	1
	クロック・ストップ	↓	1	1	1
	CE	↓	1	1	1

3.4 アドレス・スタックの動作

3.4.1 サブルーチン・コール命令（"CALL addr", "CALL @AR"）およびリターン命令（"RET", "RETSK"）

サブルーチン・コール命令が実行されると，スタック・ポインタの値を −1 し，スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

リターン命令が実行されると，スタック・ポインタで指定されるアドレス・スタック・レジスタの内容（戻り番地）をプログラム・カウンタに復帰し，スタック・ポインタの値を +1 します。

3.4.2 テーブル参照命令（"MOVT DBF, @AR"）

テーブル参照命令が実行されると，スタック・ポインタの値を −1 し，スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

次に，アドレス・レジスタで指定されるプログラム・メモリの内容をデータ・バッファに読み出し，スタック・ポインタで指定されるアドレス・スタック・レジスタの内容（戻り番地）をプログラム・カウンタに復帰したあと，スタック・ポインタの値を +1 します。

3.4.3 割り込み受け付け時とリターン命令（"RETI"）

割り込みが受け付けられると，スタック・ポインタの値を −1 して，スタック・ポインタで指定されるアドレス・スタック・レジスタに戻り番地を格納します。

リターン命令が実行されると，スタック・ポインタで指定されるアドレス・スタック・レジスタの内容（戻り番地）をプログラム・カウンタに復帰し，スタック・ポインタの値を +1 します。

3.4.4 アドレス・スタック操作命令（"PUSH AR", "POP AR"）

"PUSH" 命令が実行されると，スタック・ポインタの値を −1 し，スタック・ポインタで指定されるアドレス・スタック・レジスタにアドレス・レジスタの内容を転送します。

"POP" 命令が実行されると，スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をアドレス・レジスタに転送し，スタック・ポインタの値を +1 します。

3.5 アドレス・スタック使用時の注意

3.5.1 ネスティング・レベル

スタック・ポインタが 07H のときのアドレス・スタック・レジスタ（ASR7）の値は "不定" です。

したがって，スタック操作を行わない状態で 7 レベルを越えるサブルーチン・コールや割り込みを使用すると，"不定" な番地へ復帰するため使用しないでください。

4. データ・メモリ（RAM）

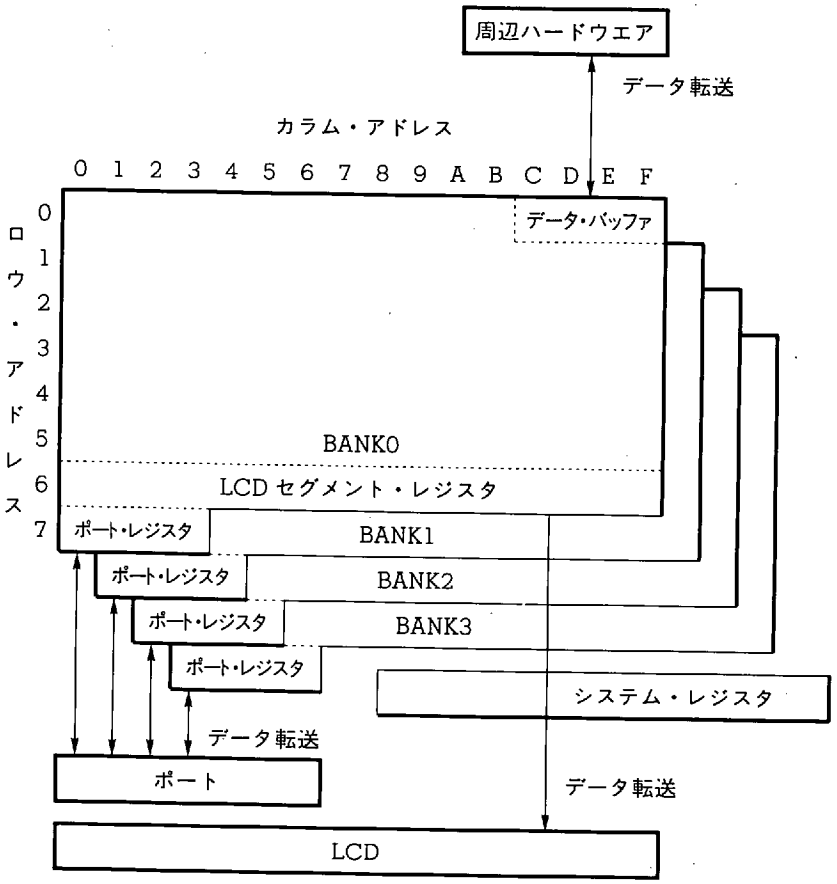
4.1 データ・メモリ概要

図4-1に，データ・メモリの概略を示します。

図4-1に示すように，データ・メモリは，汎用データ・メモリ，システム・レジスタ，データ・バッファ，LCDセグメント・レジスタおよびポート・レジスタから構成されています。

データ・メモリは，データの格納，周辺ハードウエアとのデータ転送，表示データの設定，ポートとのデータ転送およびCPUの制御を行います。

図4-1 データ・メモリの概略



4.2 データ・メモリの構成と機能

図4-2に，データ・メモリの構成を示します。

図4-2に示すように，データ・メモリは，バンクに分割されており，各バンクは，ロウ・アドレス7H，カラム・アドレス0FHの計128ニブルで構成されています。

データ・メモリは，機能別に以下の**4.2.1-4.2.6**に示すブロックに分けられます。

データ・メモリの内容は，データ・メモリ操作命令を実行することにより，4ビットの演算，比較，判断および転送が1命令で行えます。

表4-1に，データ・メモリ操作命令を示します。

4.2.1 システム・レジスタ（SYSREG）

システム・レジスタは，アドレス74H-7FH番地に割り当てられています。

システム・レジスタは，バンクに無関係に割り当てられているため，どのバンクであってもアドレス74H-7FH番地には，同一のシステム・レジスタが存在します。

詳細は，“**5. システム・レジスタ（SYSREG）**”を参照してください。

4.2.2 データ・バッファ（DBF）

データ・バッファは，BANK0のアドレス0CH-0FH番地に割り当てられています。

詳細は，“**9. データ・バッファ（DBF）**”を参照してください。

4.2.3 LCDセグメント・データ・レジスタ（LCDセグメント・レジスタ）

LCDセグメント・レジスタは，データ・メモリのBANK0のアドレス60H-6FH番地に割り当てられています。

詳細は，“**21. LCDコントローラ/ドライバ**”を参照してください。

4.2.4 ポート・データ・レジスタ（ポート・レジスタ）

ポート・レジスタは，各バンクのアドレス70H-73Hに割り当てられています。

詳細は，“**15. 汎用ポート**”を参照してください。

4.2.5 汎用データ・メモリ

データ・メモリからシステム・レジスタ，LCDセグメント・レジスタ，ポート・レジスタを除いた部分に割り当てられています。

BANK0の96ニブル，およびBANK1-BANK3の各112ワードの計432ニブル（432×4ビット）から構成されます。

4.2.6 実装されていないデータ・メモリ

LCDセグメント・レジスタやポート・レジスタの一部には，実際には何も割り当てられていないデータ・メモリが存在します。

これらのデータ・メモリに関しては，“**4.4.2 実装されていないデータ・メモリに対する注意**”，“**15. 汎用ポート**”および“**21. LCDコントローラ/ドライバ**”を参照してください。

図4-2 データ・メモリの構成

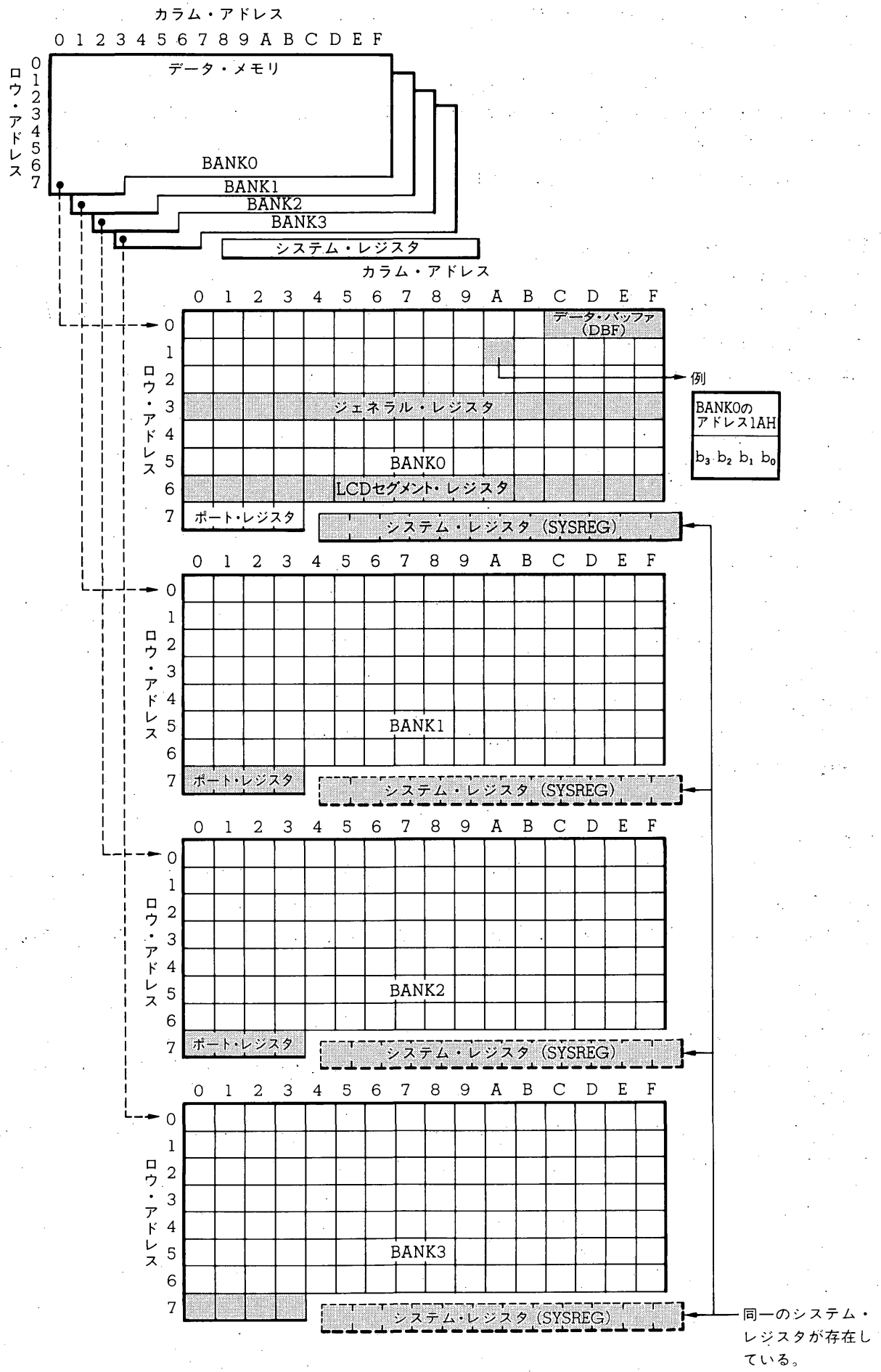


表4-1 データ・メモリ操作命令一覧

機能		命令
演算	加算	ADD ADDC
	減算	SUB SUBC
	論理	AND OR XOR
比較		SKE SKGE SKLT SKNE
転送		MOV LD ST
判断		SKT SKF

4.3 データ・メモリのアドレシング

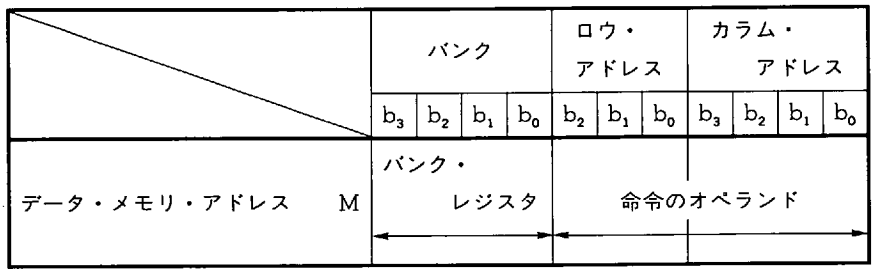
図4-3に，データ・メモリのアドレス指定を示します。

データ・メモリのアドレスは，バンク，ロウ・アドレスおよびカラム・アドレスで指定します。

ロウ・アドレスおよびカラム・アドレスはデータ・メモリ操作命令で直接指定しますが，バンクは，バンク・レジスタの内容で指定します。

バンク・レジスタについては，“**5. システム・レジスタ（SYSREG）**”を参照してください。

図4-3 データ・メモリのアドレス指定



4.4 データ・メモリ使用時の注意

4.4.1 パワーオン・リセット時

パワーオン・リセット時は，汎用データ・メモリの内容は“不定”です。

必要に応じて，イニシャライズしてください。

4.4.2 実装されていないデータ・メモリに対する注意

実装されていないデータ・メモリのアドレスに対してデータ・メモリ操作命令を実行すると，以下に示す動作を行います。

(1) デバイス動作

読み込み命令を行うと“0”が読み込まれます。

書き込み命令を行っても何も変化しません。

(2) アセンブラ（AS17K）動作

通常にアセンブルされます。

“エラー”は発生しません。

(3) エミュレータ（IE-17K）動作

読み込み命令を行うと“0”が読み込まれます。

書き込み命令を行っても何も変化しません。

“エラー”は発生しません。

5. システム・レジスタ（SYSREG）

5.1 システム・レジスタ概要

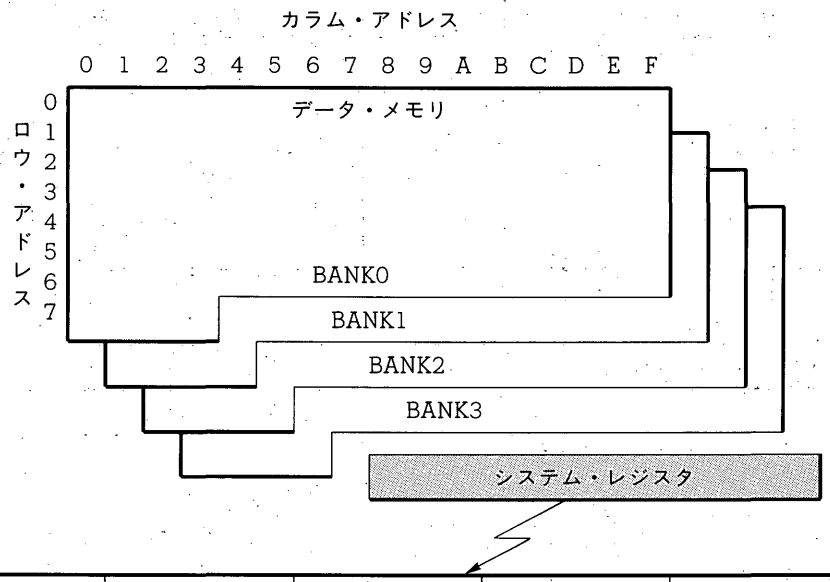
図5-1に，システム・レジスタのデータ・メモリ上の配置と概略を示します。

図5-1に示すように，システム・レジスタは，データ・メモリ・アドレスの74H-7FH番地にバンクとは無関係に配置されています。つまり，どのバンクであっても，74H-7FH番地には同一のシステム・レジスタが存在しています。

システム・レジスタは，データ・メモリ上に配置されているため，すべてのデータ・メモリ操作命令で操作することができます。

システム・レジスタは，機能別に7種類のレジスタで構成されています。

図5-1 システム・レジスタのデータ・メモリ上の配置と概略



アドレス	74H	75H	76H	77H	78H	79H
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)
概略	プログラム・メモリ・アドレスの制御				レジスタ・ファイルとのデータ転送	データ・メモリのバンク指定

アドレス	7AH	7BH	7CH	7DH	7EH	7FH
名称	インデクス・レジスタ (IX)			ジェネラル・レジスタ・ポインタ (RP)		プログラム・ステータス・ワード (PSWORD)
	データ・メモリ・ロウ・アドレス・ポインタ (MP)					
概略	データ・メモリのアドレス修飾			ジェネラル・レジスタのアドレス指定		演算制御

5.2 システム・レジスター覧

図5-2に，システム・レジスタの構成を示します。

図5-2 システム・レジスタの構成

アドレス	74H				75H				76H				77H				78H				79H			
名称	システム・レジスタ																							
	アドレス・レジスタ (AR)																ウインドウ・レジスタ (WR)				バンク・レジスタ (BANK)			
記号	AR3				AR2				AR1				AR0				WR				BANK			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	0	0	0	←												→	←			→	0	0	←	→

アドレス	7AH				7BH				7CH				7DH				7EH				7FH			
名称	システム・レジスタ																							
	インデクス・レジスタ (IX)												ジェネラル・レジスタ・ポインタ (RP)								プログラム・ステータス・ワード (PSWORD)			
	データ・メモリ・ロウ・アドレス・ポインタ (MP)																							
記号	IXH				IXM				IXL				RPH				RPL				PSW			
	MPH				MPL																			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	MPE	0	0	←				(IX)				→	0	0	0	←	(RP)			→	BCD	CMP	CY	Z	IXE
					(MP)			→																

5.3 アドレス・レジスタ（AR）

5.3.1 アドレス・レジスタの構成

図5-3にアドレス・レジスタの構成を示します。

図5-3に示すようにアドレス・レジスタはシステム・レジスタの74H-77H（AR3-AR0）の16ビットで構成されています。ただし上位3ビットは常に“0”に固定されているため実際には13ビットのレジスタとして動作します。

図5-3 アドレス・レジスタの構成

アドレス		74H				75H				76H				77H			
名称		アドレス・レジスタ（AR）															
記号		AR3				AR2				AR1				AR0			
ビット		b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ		0	0	0	MSB												LSB
リセット時	パワーオン	0				0				0				0			
	クロック・ストップ	0				0				0				0			
	CE	0				0				0				0			

備考 パワーオン　：パワーオン・リセット時
クロック・ストップ：クロック・ストップ命令実行時
CE　：CEリセット時

5.3.2 アドレス・レジスタの機能

アドレス・レジスタは，テーブル参照命令（“MOVT DBF，@AR”），スタック操作命令（“PUSH AR”，“POP AR”），間接分岐命令（“BR @AR”）および間接サブルーチン・コール命令（“CALL @AR”）実行時に，プログラム・メモリ・アドレスの指定を行います。

アドレス・レジスタには，“1”ずつインクリメントできる専用命令（“INC AR”）が用意されています。

以下の（1）-（5）に，各命令を実行したときの動作を説明します。

（1）テーブル参照命令（“MOVT DBF，@AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスの定数データ（16ビット）を，データ・バッファに読み出します。

アドレス・レジスタで指定できる定数データの格納番地は，0000H-1EFBH番地です。

（2）スタック操作命令（“PUSH AR”，“POP AR”）

“PUSH AR”命令を実行したときは，スタック・ポインタを－1し，－1されたスタック・ポインタで指定されるアドレス・スタック・レジスタに，アドレス・レジスタ（AR）の内容を格納します。

“POP AR”命令を実行したときは，スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をアドレス・レジスタに転送して，スタック・ポインタを＋1します。

（3）間接分岐命令（“BR @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスへ分岐します。

アドレス・レジスタで指定できる分岐アドレスは，0000H-1EFBH番地です。

（4）間接サブルーチン・コール命令（“CALL @AR”）

アドレス・レジスタの内容で指定されるプログラム・メモリ・アドレスのサブルーチンを，コールできます。

アドレス・レジスタで指定できるサブルーチンの先頭アドレスは，0000H-1EFBH番地です。

（5）アドレス・レジスタ・インクリメント命令（“INC AR”）

アドレス・レジスタの内容を，“1”ずつインクリメントします。

アドレス・レジスタは，13ビットで構成されていますので，アドレス・レジスタの内容が“1FFFH”のときに“INC AR”命令を実行すると，“0000H”になります。

5.3.3 アドレス・レジスタとデータ・バッファ

アドレス・レジスタは，周辺ハードウエアの一部として，データ・バッファを介してのデータ転送ができます。

詳細は，“**9. データ・バッファ（DBF）**”を参照してください。

5.3.4 アドレス・レジスタ使用時の注意

アドレス・レジスタは，13ビットで構成されていますので，最大1FFFHまで指定できます。

しかし，プログラム・メモリは，1EFBH番地に割り当てられています。

したがって，アドレス・レジスタに設定する最大値は，1EFBHまでにしてください。

5.4 ウインドウ・レジスタ（WR）

5.4.1 ウインドウ・レジスタの構成

図5-4にウインドウ・レジスタの構成を示します。

図5-4に示すようにウインドウ・レジスタはシステム・レジスタの78Hの4ビットで構成されています。

図5-4 ウインドウ・レジスタの構成

アドレス		78H			
名　称		ウインドウ・レジスタ (WR)			
記　号		WR			
ビット		b_3	b_2	b_1	b_0
データ		MSB			LSB
リセット時	パワーオン	不　定			
	クロック・ストップ	以前の状態保持			
	CE				

5.4.2 ウインドウ・レジスタの機能

ウインドウ・レジスタは後述するレジスタ・ファイル（RF）とのデータ転送に使用します。

レジスタ・ファイルとのデータ転送は専用命令である“PEEK WR, rf”および“POKE rf, WR”命令により操作します（rf：レジスタ・ファイルのアドレス）。

次の(1)および(2)に，各命令を実行したときの動作を説明します。

“8. レジスタ・ファイル（RF）”も参照してください。

(1) “PEEK WR, rf”命令

“rf”でアドレス指定されるレジスタ・ファイルの内容を，ウインドウ・レジスタに転送します。

(2) “POKE rf, WR”命令

ウインドウ・レジスタの内容を，“rf”でアドレス指定されるレジスタ・ファイルに転送します。

5.5 バンク・レジスタ（BANK）

5.5.1 バンク・レジスタの構成

図5-5にバンク・レジスタの構成を示します。

図5-5に示すようにバンク・レジスタはシステム・レジスタの79H（BANK）の4ビットで構成されています。ただし，上位2ビットは常に“0”に固定されていますので，実際には2ビットのレジスタとして動作します。

図5-5 バンク・レジスタの構成

アドレス		79H			
名　称		バンク・レジスタ (BANK)			
記　号		BANK			
ビット		b_3	b_2	b_1	b_0
データ		0	0	MSB	LSB
リセット時	パワーオン	0			
	クロック・ストップ	0			
	CE	0			

5.5.2 バンク・レジスタの機能

バンク・レジスタは，データ・メモリのバンクを指定します。

表5-1に，バンク・レジスタの値とデータ・メモリのバンク指定を示します。

バンク・レジスタはシステム・レジスタ上に存在しているため，現在指定されているバンクに関係なく書き換えることができます。

つまり，バンク・レジスタを操作する場合は，そのときのバンクの状態は関係ありません。

表5-1 データ・メモリのバンク指定

バンク・レジスタ (BANK)				データ・メモリのバンク
b_3	b_2	b_1	b_0	
0	0	0	0	BANK0
0	0	0	1	BANK1
0	0	1	0	BANK2
0	0	1	1	BANK3

5.6 インデクス・レジスタ（IX）とデータ・メモリ・ロウ・アドレス・ポインタ（MP：メモリ・ポインタ）

5.6.1 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成

図5-6にインデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成を示します。

図5-6に示すようにインデクス・レジスタはシステム・レジスタの7AHの下位3ビット（IXH）と7BH，7CH（IXM，IXL）の計11ビットからなるインデクス・レジスタ（IX）と，7FH（PSW）の最下位ビットにあるインデクス・イネーブル・フラグ（IXE）から構成されています。

データ・メモリ・ロウ・アドレス・ポインタ（メモリ・ポインタ）は7AH（MPH）の下位3ビットと7BH（MPL）の計8ビットからなるデータ・メモリ・ロウ・アドレス・ポインタと7AH（MPH）の最上位ビットにあるデータ・メモリ・ロウ・アドレス・ポインタ・イネーブル・フラグ（メモリ・ポインタ・イネーブル・フラグ：MPE）から構成されています。

すなわちインデクス・レジスタの上位7ビットとデータ・メモリ・ロウ・アドレス・ポインタは共用していることになります。

ただし，インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの上位2ビット（7AHのビット b_2，b_1 は常に“0”に固定されています。

図5-6 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの構成

アドレス		7AH				7BH				7CH				7EH				7FH			
名称		インデクス・レジスタ（IX） メモリ・ポインタ（MP）																プログラム・ステータス・ワード（PSWORD）			
記号		IXH MPH				IXM MPL				IXL								PSW			
ビット		b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ		MPE	0	0	MSB				IX				LSB								IXE
							MP		LSB												
リセット時	パワーオン	0				0				0											0
	クロック・ストップ	0				0				0											0
	CE	0				0				0											0

5.6.2 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタの機能

インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタは，データ・メモリのアドレスを修飾します。

以下の (1) および (2) に，それぞれの機能を示します。

また，インデクス・レジスタには，“1” ずつインクリメントする専用命令（“INC AR”）が用意されています。

アドレス修飾についての詳細は，“**7. ALU (Arithmetic Logic Unit) ブロック**” を参照してください。

(1) インデクス・レジスタ

データ・メモリ操作命令を実行したときに，データ・メモリ・アドレスを，インデクス・レジスタの内容により修飾します。

ただし，IXE フラグが “1” にセットされているときのみ有効になります。

アドレス修飾の方法は，データ・メモリのバンクとロウ・アドレスおよびカラム・アドレスをインデクス・レジスタの内容と OR 演算し，その演算結果（実アドレスと呼ぶ）で指定されるデータ・メモリに対して命令を実行します。

インデクス・レジスタによるアドレス修飾は，すべてのデータ・メモリ操作命令が対象になります。

また，以下の命令は，インデクス・レジスタの修飾対象となりません。

INC	AR	RORC	r
INC	IX	CALL	addr
MOVT	DBF, @AR	CALL	@AR
PUSH	AR	RET	
POP	AR	RETSK	
PEEK	WR, rf	RETI	
POKE	rf, WR	EI	
GET	DBF, p	DI	
PUT	p, DBF	STOP	s
BR	addr	HALT	h
BR	@AR	NOP	

(2) データ・メモリ・ロウ・アドレス・ポインタ

ジェネラル・レジスタ間接転送命令（“MOV @r, m”, “MOV m, @r”）を実行したときに，間接転送先のアドレスを修飾します。

ただし，MPE フラグが “1” にセットされているときのみ有効になります。

アドレス修飾の方法は，間接転送先のバンクとロウ・アドレスを，データ・メモリ・ロウ・アドレス・ポインタの内容で置き換えます。

ジェネラル・レジスタ間接転送命令以外は，アドレス修飾の対象になりません。

(3) インデクス・レジスタ・インクリメント命令（“INC IX”）

インデクス・レジスタの内容を，“1” ずつインクリメントします。

インデクス・レジスタは，9 ビットで構成されていますので，インデクス・レジスタの内容が “1FFH” のときに “INC IX” 命令を実行すると，“000H” になります。

5.7 ジェネラル・レジスタ・ポインタ（RP）

5.7.1 ジェネラル・レジスタ・ポインタの構成

図5-7にジェネラル・レジスタ・ポインタの構成を示します。

図5-7に示すように，ジェネラル・レジスタ・ポインタはシステム・レジスタの7DH番地（RPH）の4ビットと7EH番地（RPL）の上位3ビットの計7ビットで構成されています。ただし，7DH番地の上位3ビットは常に0に固定されているため，実際には下位4ビット（7DH番地の下位1ビットと7EH番地の上位3ビット）が有効になります。

図5-7 ジェネラル・レジスタ・ポインタの構成

アドレス		7DH				7EH			
名　称		ジェネラル・レジスタ・ポインタ（RP）							
記　号		RPH				RPL			
ビット		b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ		0	0	0	MSB			LSB	BCD
リセット時	パワーオン	0				0			
	クロック・ストップ	0				0			
	CE	0				0			

5.7.2 ジェネラル・レジスタ・ポインタの機能

ジェネラル・レジスタ・ポインタは，データ・メモリ上のジェネラル・レジスタを指定します。

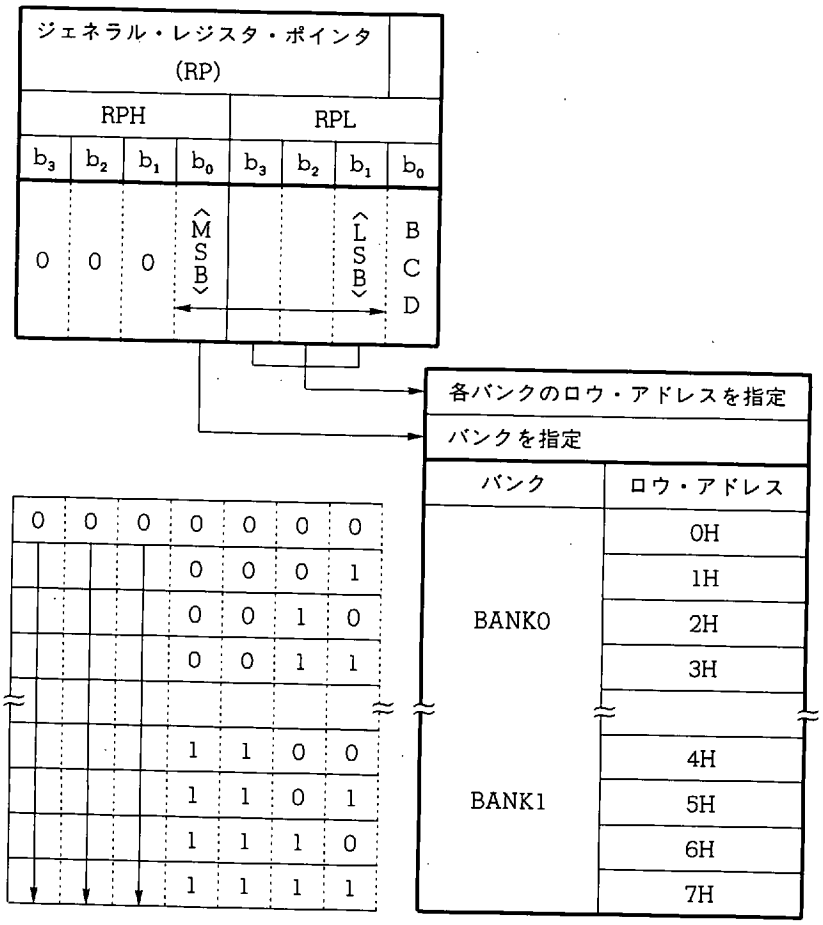
図5-8に，ジェネラル・レジスタ・ポインタで指定されるジェネラル・レジスタのアドレスを示します。

図5-8に示すように，ジェネラル・レジスタ・ポインタの上位4ビット（RPH：7DH番地）でバンクを指定し，下位3ビット（RPL：7EH番地）でロウ・アドレスを指定します。

ジェネラル・レジスタ・ポインタの有効ビットは4ビットであるため，BANK0およびBANK1のロウ・アドレス（0H-7H番地）をジェネラル・レジスタに指定できます。

ジェネラル・レジスタの動作の詳細は，“**6. ジェネラル・レジスタ（GR）**”を参照してください。

図5-8 ジェネラル・レジスタ・ポインタで指定されるジェネラル・レジスタのアドレス



5.7.3 ジェネラル・レジスタ・ポインタ使用時の注意

ジェネラル・レジスタ・ポインタであるアドレス7EH番地（RPL）の最下位ビットは，プログラム・ステータス・ワードのBCDフラグに割り当てられています。

したがって，RPLを書き換える場合は，BCDフラグの値に注意してください。

5.8 プログラム・ステータス・ワード（PSWORD）

5.8.1 プログラム・ステータス・ワードの構成

図5-9にプログラム・ステータス・ワードの構成を示します。

図5-9に示すようにプログラム・ステータス・ワードはシステム・レジスタの7EH番地(RPL)の最下位ビットと7FH番地（PSW）の4ビットの計5ビットで構成されています。

プログラム・ステータス・ワードはさらに1ビットずつ機能が分かれており，それぞれBCDフラグ（BCD），コンペア・フラグ(CMP)，キャリー・フラグ(CY)，ゼロ・フラグ(Z)およびインデクス・イネーブル・フラグ(IXE)から構成されています。

図5-9 プログラム・ステータス・ワードの構成

アドレス		7EH				7EH			
名　称		(RP)			プログラム・ステータス・ワード（PSWORD）				
記　号		RPL				PSW			
ビット		b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ					BCD	CMP	CY	Z	IXE
リセット時	パワーオン	0				0			
	クロック・ストップ	0				0			
	CE	0				0			

5.8.2 プログラム・ステータス・ワードの機能

プログラム・ステータス・ワードはALU（Arithmetic Logic Unit）での演算および転送命令の条件を設定したり演算結果の状態を示すためのレジスタです。

表5-2にプログラム・ステータス・ワードの各フラグの機能概略を示します。

詳しい動作については，“**7. ALU（Arithmetic Logic Unit）ブロック**”を参照してください。

表5-2 プログラム・ステータス・ワードの各フラグの機能概略

(RP)				プログラム・ステータス・ワード（PSWORD）			
RPL				PSW			
b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
			BCD	CMP	CY	Z	IXE

フラグ名称	機　　能
インデクス・イネーブル・フラグ（IXE）	データ・メモリ操作命令実行時にデータ・メモリのアドレスを修飾するためのフラグです。 0：修飾されない 1：修飾される
ゼロ・フラグ（Z）	算術演算の結果が0であることを示すフラグです。 コンペア・フラグの内容により0と1の状態が異なるため注意が必要です。
キャリー・フラグ（CY）	加算命令および減算命令実行後のキャリーまたはボローの発生を示すフラグです。 キャリー/ボローなしでリセット（0）される キャリー/ボローありでセット（1）される また，“RORC r”命令のシフト・ビットに使用されます。
コンペア・フラグ（CMP）	算術演算の結果をデータ・メモリもしくはジェネラル・レジスタへ格納しないためのフラグです。 0：結果が格納される 1：結果が格納されない
BCDフラグ（BCD）	算術演算を10進で行うためのフラグです。 0：2進演算をする 1：10進演算をする

5.8.3 プログラム・ステータス・ワード使用時の注意

プログラム・ステータス・ワードに対して算術演算（加算および減算）命令を行うと，算術演算の“結果”が格納されます。

たとえば，キャリーが発生するような演算を実行しても，算術演算の結果が0000Bであればpswには0000Bが格納されます。

5.9 システム・レジスタ使用時の注意

システム・レジスタの中であらかじめ“0”に固定されているデータは，書き込み命令を行っても，何も影響を受けません。

また，読み込み命令を行ったときは常に“0”が読み込まれます。

6. ジェネラル・レジスタ（GR）

6.1 ジェネラル・レジスタ概要

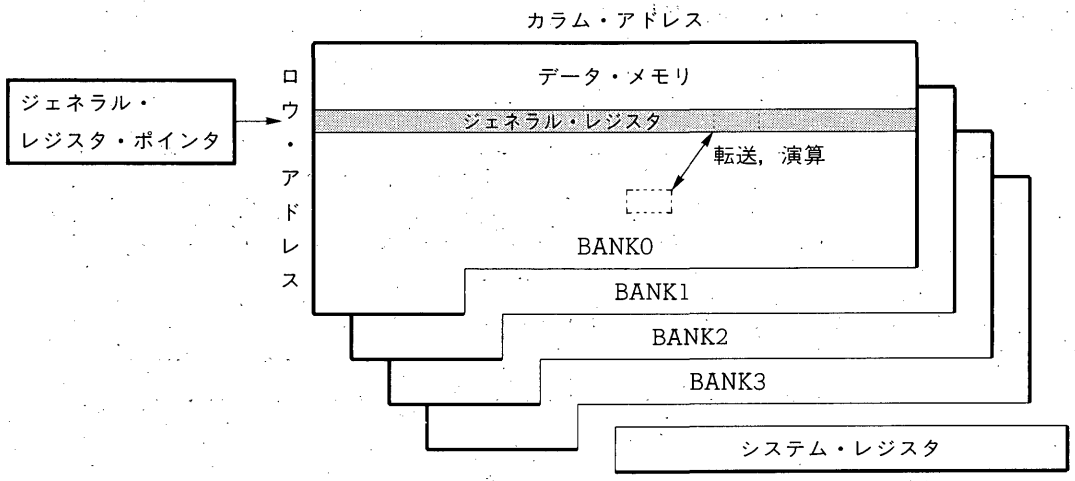
図6-1に，ジェネラル・レジスタの概略を示します。

図6-1に示すように，ジェネラル・レジスタはジェネラル・レジスタ・ポインタと，ジェネラル・レジスタ本体で構成されます。

ジェネラル・レジスタ本体のバンクおよびロウ・アドレスは，ジェネラル・レジスタ・ポインタで指定します。

ジェネラル・レジスタ本体は，データ・メモリ間で，データ転送や演算に使用します。

図6-1 ジェネラル・レジスタの概略



6.2 ジェネラル・レジスタ本体

ジェネラル・レジスタ本体は，データ・メモリ上の同一ロウ・アドレスである16ニブル（16×4ビット）で構成されます。

ジェネラル・レジスタ・ポインタ，およびジェネラル・レジスタに指定できるバンクとロウ・アドレスの範囲については，“**5.7 ジェネラル・レジスタ・ポインタ（RP）**”を参照してください。

ジェネラル・レジスタに指定されている同一ロウ・アドレスの16ニブルは，データ・メモリとの間で演算や転送を1命令で行います。

つまり，1命令でデータ・メモリ同士の演算や転送が可能になります。

ジェネラル・レジスタは，ほかのデータ・メモリと同様に，データ・メモリ操作命令で制御することができます。

6.3 各命令におけるジェネラル・レジスタのアドレス生成

6.3.1 および **6.3.2** に各命令実行時のジェネラル・レジスタのアドレス生成を示します。

各命令の動作についての詳細は，“**7. ALU (Arithmetic Logic Unit) ブロック**” を参照してください。

6.3.1 加算（“ADD r, m”, “ADDC r, m”），減算（“SUB r, m”, “SUBC r, m”），論理演算（“AND r, m”, “OR r, m”, “XOR r, m”），直接転送（“LD r, m”, “ST m, r”），回転処理（“RORC r”）命令

表6-1に，命令のオペランド “r” で指定されるジェネラル・レジスタ “R” のアドレスを示します。命令のオペランド “r” は，カラム・アドレスのみを指定します。

表6-1 ジェネラル・レジスタのアドレス生成

	バンク				ロウ・アドレス			カラム・アドレス			
	b_3	b_2	b_1	b_0	b_2	b_1	b_0	b_3	b_2	b_1	b_0
ジェネラル・レジスタ・アドレス R	ジェネラル・レジスタ・ポインタの内容							r			

6.3.2 間接転送（“MOV @r, m”, “MOV m, @r”）命令

表6-2に，命令のオペランド “r” で指定されるジェネラル・レジスタ “R” のアドレスおよび “@R” で指定される間接転送アドレスを示します。

表6-2 ジェネラル・レジスタのアドレス生成

	バンク				ロウ・アドレス			カラム・アドレス			
	b_3	b_2	b_1	b_0	b_2	b_1	b_0	b_3	b_2	b_1	b_0
ジェネラル・レジスタ・アドレス R	ジェネラル・レジスタ・ポインタの内容							r			
間接転送アドレス @R	データ・メモリと同一							Rの内容			

6.4 ジェネラル・レジスタ使用時の注意

6.4.1 ジェネラル・レジスタのロウ・アドレス

ジェネラル・レジスタのロウ・アドレスは，ジェネラル・レジスタ・ポインタで指定されるため，現在指定されているバンクとジェネラル・レジスタのバンクが異なる場合があるので注意してください。

6.4.2 ジェネラル・レジスタとイミーディエト・データとの演算

ジェネラル・レジスタとイミーディエト・データとの演算命令はありません。

ジェネラル・レジスタとイミーディエト・データとの演算命令を行うためには，ジェネラル・レジスタではなく，データ・メモリとして扱う必要があります。

7. ALU (Arithmetic Logic Unit) ブロック

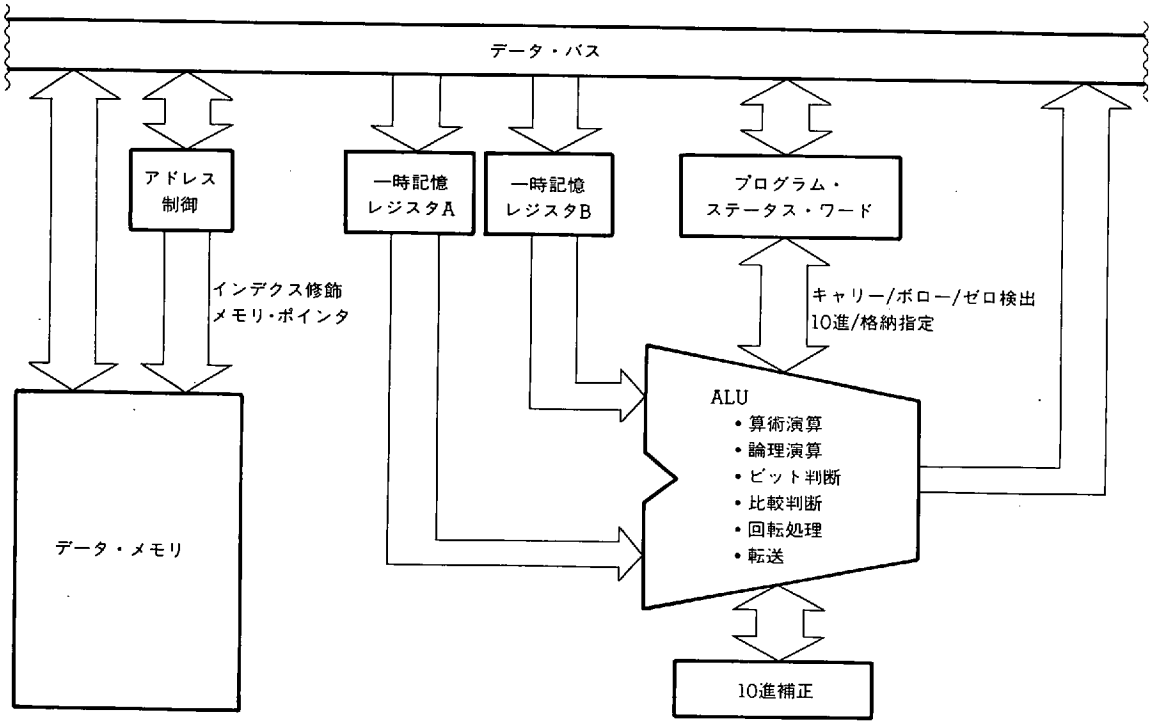
7.1 ALU ブロック概要

図7-1に，ALU ブロックの概略を示します。

図7-1に示すように，ALU ブロックは，ALU 本体，一時記憶レジスタ A，B，プログラム・ステータス・ワード，10進補正回路およびデータ・メモリ・アドレス制御回路から構成されています。

ALU は，データ・メモリ上の4ビット・データの演算，判断，比較，回転および転送を行います。

図7-1 ALU ブロックの概略



7.2 各ブロックの構成と機能

7.2.1 ALU 本体

ALU 本体は，プログラムにより指定された命令により，4 ビットの算術演算，論理演算，ビット判断，比較判断，回転処理および転送を行います。

7.2.2 一時記憶レジスタ A および B

一時記憶レジスタ A および B は，4 ビットのデータを一時的に蓄わえておくレジスタです。

このレジスタは，命令実行時に自動的に使用され，プログラムで制御することはできません。

7.2.3 プログラム・ステータス・ワード

プログラム・ステータス・ワードは，ALU の動作制御，および状態を格納します。

プログラム・ステータス・ワードについては，“**5.8 プログラム・ステータス・ワード (PSWORD)**” を参照してください。

7.2.4 10進補正回路

算術演算時に，プログラム・ステータス・ワードの BCD フラグが “1” にセットされていると，10進補正回路により算術演算結果を10進数に変換します。

7.2.5 アドレス制御回路

アドレス制御回路は，データ・メモリのアドレスを指定します。

このとき，インデクス・レジスタやデータ・メモリ・ロウ・アドレス・ポインタによるアドレスの修飾も制御します。

7.3 ALU 処理命令一覧

表 7 - 1 に，各命令実行時の ALU 動作一覧を示します。

表 7 - 2 に，インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタによる，データ・メモリ・アドレスの修飾を示します。

表 7 - 3 に，10進演算時の10進補正データを示します。

表 7-1 ALU 処理命令動作一覧

ALU機能	命令		プログラム・ステータス・ワード（PSWORD）による動作の違い					アドレス修飾	
			BCDフラグの値	CMPフラグの値	演算動作	CY フラグの動作	Z フラグの動作	インデクス	メモリ・ポインタ
加算	ADD	r, m	0	0	2進演算 結果を格納する	キャリーまたはボローでセット 発生しなければリセット	演算の結果 0000B でセット 0000B 以外はリセット	あり	なし
		m, #i							
	ADDC	r, m	0	1	2進演算 結果を格納しない		演算の結果 0000B で状態保持 0000B 以外はリセット		
		m, #i							
減算	SUB	r, m	1	0	10進演算 結果を格納する		演算の結果 0000B でセット 0000B 以外はリセット		
		m, #i							
	SUBC	r, m	1	1	10進演算 結果を格納しない		演算の結果 0000B で状態保持 0000B 以外はリセット		
		m, #i							
論理演算	OR	r, m	任意 （保持）	任意 （保持）	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
		m, #i							
	AND	r, m							
		m, #i							
	XOR	r, m							
		m, #i							
判断	SKT	m, #n	任意 （保持）	任意 （リセット）	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	SKF	m, #n							
比較	SKE	m, #i	任意 （保持）	任意 （保持）	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	SKNE	m, #i							
	SKGE	m, #i							
	SKLT	m, #i							
転送	LD	r, m	任意 （保持）	任意 （保持）	変わらない	以前の状態を保持	以前の状態を保持	あり	なし
	ST	m, r							
	MOV	m, #i							
		@r, m							
		m, @r							あり
回転	RORC	r	任意 （保持）	任意 （保持）	変わらない	ジェネラル・レジスタの b_0 の値	以前の状態を保持	なし	なし

表7-2 インデクス・レジスタとデータ・メモリ・ロウ・アドレス・ポインタによるデータ・メモリ・アドレスの修飾および間接転送アドレスの修飾

IXE	MPE	rで指定されるジェネラル・レジスタ・アドレス R			mで指定されるデータ・メモリ・アドレス M			@rで指定される間接転送アドレス @R		
		バンク	ロウ・アドレス	カラム・アドレス	バンク	ロウ・アドレス	カラム・アドレス	バンク	ロウ・アドレス	カラム・アドレス
		b_3 b_2 b_1 b_0	b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_2 b_1 b_0	b_3 b_2 b_1 b_0
0	0	(RP)		r	(BANK)		m	(BANK)	m_H	(R)
0	1		同上			同上		(MP)		(R)
1	0		同上		(BANK)	m		(BANK)	m_H	
					Logical OR (IX)			(IXH), (IXM)		Logical OR (R)
1	1		同上			同上		(MP)		(R)

BANK ：バンク・レジスタ
M ：データ・メモリ・アドレス
m ：バンクを除くデータ・メモリ・アドレス
m_H ：データ・メモリ・ロウ・アドレス（3ビット）
m_L ：データ・メモリ・カラム・アドレス（4ビット）
i ：イミーディエト・データ
n ：ビット・ポジション（4ビット）
IX ：インデクス・レジスタ
IXH ：インデクス・レジスタ・ハイ
IXM ：インデクス・レジスタ・ミドル
IXL ：インデクス・レジスタ・ロウ
MP ：データ・メモリ・ロウ・アドレス・ポインタ
R ：ジェネラル・レジスタ・アドレス
r ：ジェネラル・レジスタ・カラム・アドレス
RP ：ジェネラル・レジスタ・ポインタ
( ) ：データ・メモリまたはレジスタの値

表7-3 10進補正データ

演算結果	16進加算		10進加算	
	CY	演算結果	CY	演算結果
0	0	0000B	0	0000B
1	0	0001B	0	0001B
2	0	0010B	0	0010B
3	0	0011B	0	0011B
4	0	0100B	0	0100B
5	0	0101B	0	0101B
6	0	0110B	0	0110B
7	0	0111B	0	0111B
8	0	1000B	0	1000B
9	0	1001B	0	1001B
10	0	1010B	1	0000B
11	0	1011B	1	0001B
12	0	1100B	1	0010B
13	0	1101B	1	0011B
14	0	1110B	1	0100B
15	0	1111B	1	0101B
16	1	0000B	1	0110B
17	1	0001B	1	0111B
18	1	0010B	1	1000B
19	1	0011B	1	1001B
20	1	0100B	1	1110B
21	1	0101B	1	1111B
22	1	0110B	1	1100B
23	1	0111B	1	1101B
24	1	1000B	1	1110B
25	1	1001B	1	1111B
26	1	1010B	1	1100B
27	1	1011B	1	1101B
28	1	1100B	1	1010B
29	1	1101B	1	1011B
30	1	1110B	1	1100B
31	1	1111B	1	1101B

演算結果	16進減算		10進減算	
	CY	演算結果	CY	演算結果
0	0	0000B	0	0000B
1	0	0001B	0	0001B
2	0	0010B	0	0010B
3	0	0011B	0	0011B
4	0	0100B	0	0100B
5	0	0101B	0	0101B
6	0	0110B	0	0110B
7	0	0111B	0	0111B
8	0	1000B	0	1000B
9	0	1001B	0	1001B
10	0	1010B	1	1100B
11	0	1011B	1	1101B
12	0	1100B	1	1110B
13	0	1101B	1	1111B
14	0	1110B	1	1100B
15	0	1111B	1	1101B
−16	1	0000B	1	1110B
−15	1	0001B	1	1111B
−14	1	0010B	1	1100B
−13	1	0011B	1	1101B
−12	1	0100B	1	1110B
−11	1	0101B	1	1111B
−10	1	0110B	1	0000B
− 9	1	0111B	1	0001B
− 8	1	1000B	1	0010B
− 7	1	1001B	1	0011B
− 6	1	1010B	1	0100B
− 5	1	1011B	1	0101B
− 4	1	1100B	1	0110B
− 3	1	1101B	1	0111B
− 2	1	1110B	1	1000B
− 1	1	1111B	1	1001B

備考 ▒ の部分は，10進補正が正しく行われません。

7.4 ALU 使用時の注意

7.4.1 プログラム・ステータス・ワードへの演算使用時の注意

プログラム・ステータス・ワードに対して算術演算を行うと，プログラム・ステータス・ワードには算術演算の結果が格納されます。

プログラム・ステータス・ワードの中の CY フラグおよび Z フラグは，通常，算術演算の結果によりセットまたはリセットされますが，プログラム・ステータス・ワード自身に算術演算が行われると，算術演算結果が格納されてしまい，キャリー，ボローおよびゼロの判定ができないことになります。

ただし，CMP フラグがセットされているときは，算術演算の結果が格納されないため，CY フラグおよび Z フラグは通常通りセットまたはリセットされます。

7.4.2 10進演算使用時の注意

10進演算は，演算結果が次の範囲になる場合にかぎり実行できます。

(1) 加算の結果が，10進で 0～19 であること

(2) 減算の結果が，10進で 0～9 または－10～－1 であること

この範囲以外で 10進演算を行うと，CY フラグがセットされ，演算結果は 1010B（0AH）以上の値になります。

8. レジスタ・ファイル（RF）

8.1 レジスタ・ファイル概要

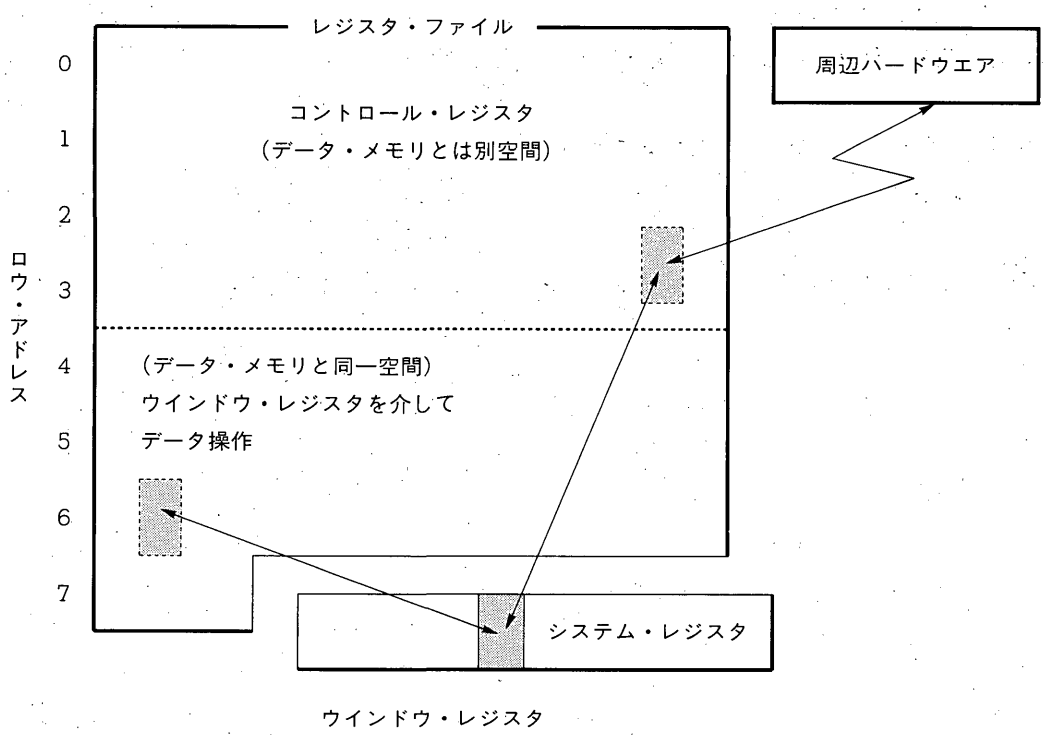
図8-1に，レジスタ・ファイルの概略を示します。

図8-1に示すように，レジスタ・ファイルは，データ・メモリと別空間上に存在するコントロール・レジスタと，データ・メモリと重なった部分から構成されています。

コントロール・レジスタは，周辺ハードウエアの条件設定などを行います。

レジスタ・ファイル上のデータは，ウインドウ・レジスタを介して読み込みおよび書き込みを行います。

図8-1 レジスタ・ファイルの概略



8.2 レジスタ・ファイルの構成と機能

図8-2に，レジスタ・ファイルの構成とデータ・メモリの関係を示します。

レジスタ・ファイルは，データ・メモリと同様に4ビット単位でアドレスが割り当てられており，ロウ・アドレスが0H-7Hでカラム・アドレスが0H-0FHの計128ニブルになります。

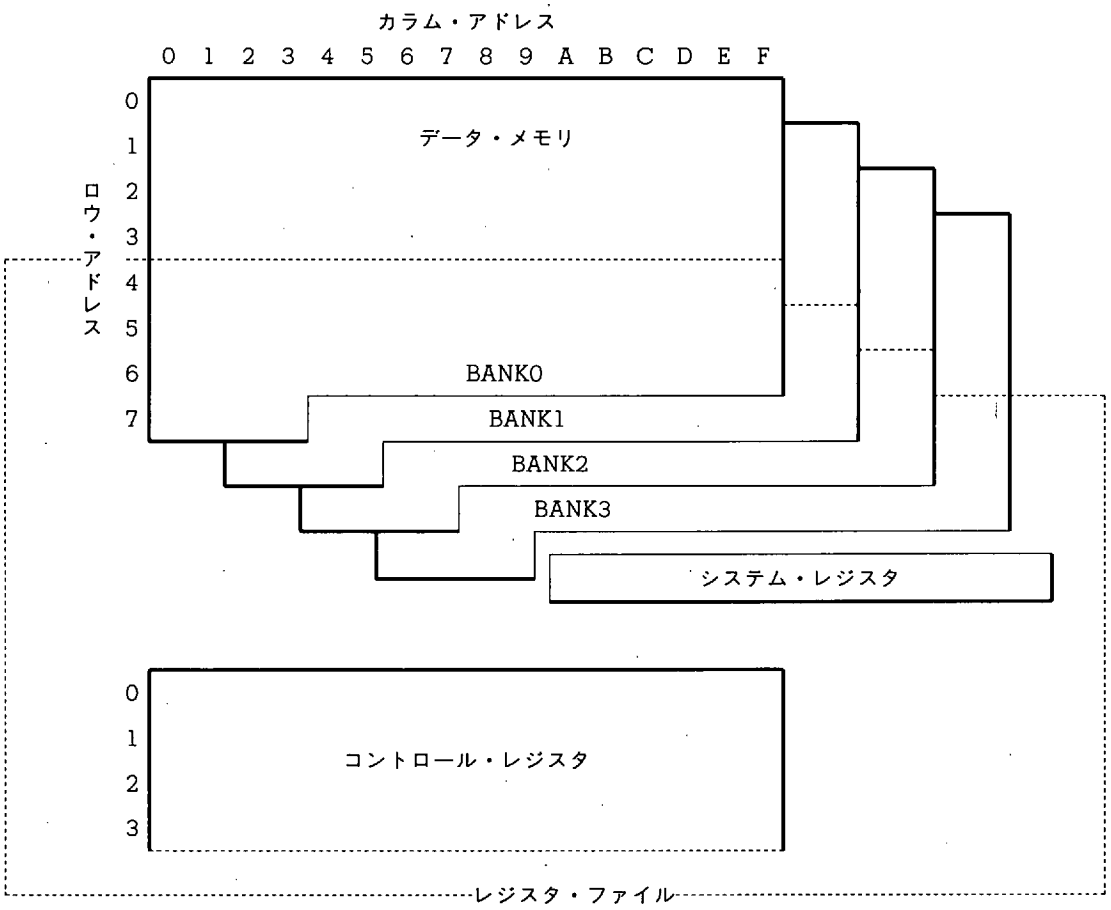
アドレス00Hから3FH番地まではコントロール・レジスタと呼び，周辺ハードウエアの条件設定を行います。

アドレス40Hから7FH番地までは，データ・メモリと重なっています。

つまり，レジスタ・ファイルの40H-7FH番地は，データ・メモリのそのとき選択されているバンクのアドレス40Hから7FH番地と同じメモリが存在しています。

したがって，アドレス40Hから7FH番地はデータ・メモリと重なっているため，レジスタ・ファイル操作命令（“PEEK WR，rf”，“POKE rf，WR”）により操作できる点を除けば，通常のデータ・メモリと同じです。

図8-2 レジスタ・ファイルの構成とデータ・メモリの関係



8.2.1 レジスタ・ファイル操作命令（“PEEK WR，rf”，“POKE rf，WR”）

レジスタ・ファイルのデータの読み込みおよび書き込みは，システム・レジスタの中のウインドウ・レジスタを介して行います。次に各命令の動作を示します。

(1) “PEEK WR，rf”

ウインドウ・レジスタに，“rf”でアドレス指定されるレジスタ・ファイルのデータを読み込む。

(2) “POKE rf，WR”

“rf”でアドレス指定されるレジスタ・ファイルに，ウインドウ・レジスタのデータを書き込む。

8.3 コントロール・レジスタ

図8-3にコントロール・レジスタの構成を示します。

図8-3に示すようにコントロール・レジスタはレジスタ・ファイルのアドレス 00H-3FH 番地の計64ニブル（64ワード×4ビット）から構成されています。

ただし，そのうち実際に使用しているのは33ニブルです。残りの31ニブルは未使用レジスタで読み出しおよび書き込みは禁止されています。

各コントロール・レジスタは1ニブルずつ属性を持っており，それぞれ読み込み書き込み可能（R/W），読み込み専用（R），書き込み専用（W）および読み込んだときリセットされる（R & Reset）の4種類があります。

読み込み専用（RおよびR & Reset）レジスタに書き込みを行っても何も変化しません。

書き込み専用（W）レジスタを読み込むと“不定”の値が読み込まれます。

また，1ニブルの中の4ビット・データのうち，“0”に固定されているビットは，読み込んだときは常に“0”となり，書き込みを行っても“0”を保持します。

未使用レジスタの31ニブルは，内容を読み込むと不定の値が読み込まれ，書き込みを行っても何も変化しません。

〔メ モ〕

図8-3 コントロール・レジスタの構成（1/2）

カラム・アドレス / ロウ・アドレス	項目	0	1	2	3	4	5	6	7
0 (8)	名称		スタック・ポインタ SP	シリアル I/O2 モード・セレクト (SIO2MODE)		IF カウンタ・ゲート・ジャッジ (IFCGJDG)	PLL アンロック FF ジャッジ (PLLULJDG)	A/D コンバータ・コンペア・ジャッジ (ADCJDG)	CE 端子レベル・ジャッジ (CEJDG)
	記号		SP3 SP2 SP1 SP0	SIO2TS SIO2HIZ SIO2CK1 SIO2CK0		0 0 0 IFCG	0 0 0 PLLUL	0 0 0 ADCCMP	0 0 0 CE
	Read/Write		R/W	R/W		R	R & Reset	R	R
1 (9)	名称	LCD モード・セレクト (LCDMODE)	LCD ポート・セレクト (LCDPORT)	IF カウンタ・モード・セレクト (IFCMODE)	PWM モード・セレクト (PWMMODE)	A/D コンバータ・チャネル・セレクト (ADCCH)	PLL アンロック FF ディレイ・コントロール (PLULDLY)	キー・インプット・ジャッジ (KEYJDG)	タイマ・キャリー FF ジャッジ (TMCYJDG)
	記号	0 0 KSEN LCDEN	P0YON P0XON P0EON P0FON	IFCMD1 IFCMD0 IFCCK1 IFCCK0	PWM2ON PWM1ON PWM0ON CGPON	ADCCH3 ADCCH2 ADCCH1 ADCCH0	PLULDLY3 PLULDLY2 PLULDLY1 PLULDLY0	0 0 0 KEYJ	0 0 0 TMCY
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R & Reset	R & Reset
2 (A)	名称		PLL モード・セレクト (PLLMODE)		IF カウンタ・コントロール (IFCCONT)				ポート 0C グループ I/O セレクト (P0CGPIO)
	記号		PLLMD3 PLLMD2 PLLMD1 PLLMD0		0 0 IFCSTRT IFCRES				0 0 0 P0CGIO
	Read/Write		R/W		W				R/W
3 (B)	名称		PLL レファレンス・モード・セレクト (PLRFMODE)				ポート 1A ビット I/O セレクト (P1ABIO)	ポート 0B ビット I/O セレクト (P0BBIO)	ポート 0A ビット I/O セレクト (P0ABIO)
	記号		PLLRFMD3 PLLRFMD2 PLLRFMD1 PLLRFMD0				P1ABIO3 P1ABIO2 P1ABIO1 P1ABIO0	P0BBIO3 P0BBIO2 P0BBIO1 P0BBIO0	P0ABIO3 P0ABIO2 P0ABIO1 P0ABIO0
	Read/Write		R/W				R/W	R/W	R/W

図8-3 コントロール・レジスタの構成（2/2）

8	9	A	B	C	D	E	F
シリアル I/O1 モード・セレクト (SIO1MODE)	タイマ・モード・セレクト (TMMODE)						インタラプト・ピン・レベル・ジャッジ (INTJDG)
SIO1CH, SB, SIO1MS, SIO1TX	TMMD3, TMMD2, TMMD1, TMMD0						0, 0, INT1, INT0
R/W	R/W						R
シリアル I/O1 ウエイト・コントロール (SIO1WT)							インタラプト・エッジ・セレクト (INTEDGE)
SBACK, SIO1NWT, SIO1WRQ1, SIO1WRQ0							0, 0, IEG1, IEG0
R/W							R/W
シリアル I/O1 ステータス・ジャッジ (SIO1STUS)						インタラプト・パーミッション 1 (INTPM1)	インタラプト・パーミッション 2 (INTPM2)
SIO1SF8, SIO1SF9, SBSTT, SBBSY						0, 0, 0, IPIFC	IPSIO1, IPTM, IP1, IP0
R						R/W	R/W
シリアル I/O1 インタラプト・モード (SIO1INT)	シリアル I/O1 クロック・セレクト (SIO1CLK)					インタラプト・リクエスト 1 (INTREQ1)	インタラプト・リクエスト 2 (INTREQ2)
SIO1IMD3, SIO1IMD2, SIO1IMD1, SIO1IMD0	SIO1CK3, SIO1CK2, SIO1CK1, SIO1CK0					0, 0, 0, IRQIFC	IRQSIO1, IRQTM, IRQ1, IRQ0
R/W	R/W					R/W	R/W

表8-1 コントロール・レジスタの周辺ハードウエア制御機能概略（1/4）

周辺ハードウエア	コントロール・レジスタ 名称	番地	Read/Write	b3 / b2 記号 / b1 / b0	周辺ハードウエア制御機能 機能概略	設定値	リセット時 パワーオン	クロック・ストップ	CE
スタック	スタック・ポインタ SP	01H	R/W	(SP3)	0		7	7	7
				(SP2)	スタック・ポインタ				
				(SP1)					
				(SP0)					
タイマ	タイマ・モード・セレクト (TMMODE)	09H	R/W	TMMD3	タイマ割り込みの時間設定	0 0 1 1 100 ms 250 ms 5 ms 1 ms 0 1 1 1	0	0	保持
				TMMD2					
				TMMD1	タイマ・キャリーFFの時間設定	0 0 1 1 100 ms 250 ms 5 ms 1 ms 0 1 1 1			
				TMMD0					
	タイマ・キャリーFFジャッジ (TMCYJDG)	17H	Read & Reset	0					
				0					
				0					
				TMCY	タイマ・キャリーFFの検出	0：FFリセット 1：FFセット	0	1	1
割り込み	インタラプト・エッジ・セレクト (INTEDGE)	1FH	R/W	0					
				0					
				IEG1	INT_1端子	0：立ち上がり 1：立ち下がり	0	0	0
				IEG0	INT_0端子 の割り込み発行エッジの設定				
	インタラプト・パーミッション1 (INTPM1)	2EH	R/W	0					
				0					
				0					
				IPIFC	IFカウンタ	0：禁止 1：許可	0	0	0
	インタラプト・パーミッション2 (INTPM2)	2FH	R/W	IPSIO1	シリアル・インタフェース1				
				IPTM	タイマ の割り込み許可を設定				
				IP1	INT_1端子				
				IP0	INT_0端子				
	インタラプト・リクエスト1 (INTREQ1)	3EH	R/W	0					
				0					
				0					
				IRQIFC	IFカウンタ	0：要求なし 1：要求あり 割り込み受け付けでリセット	0	0	0
	インタラプト・リクエスト2 (INTREQ2)	3FH	R/W	IRQSIO1	シリアル・インタフェース1				
				IRQTM	タイマ の割り込み要求を検出				
				IRQ1	INT_1端子				
				IRQ0	INT_0端子				
端子	CE端子レベル・ジャッジ (CEJDG)	07H	R	0					
				0					
				0					
				CE	CE端子	0：ロウ・レベル 1：ハイ・レベル	—	—	—
	インタラプト・ピン・レベル・ジャッジ (INTJDG)	0FH	R	0					
				0					
				INT1	INT_1端子 の状態を検出				
				INT0	INT_0端子				

表8-1 コントロール・レジスタの周辺ハードウエア制御機能概略（2/4）

周辺ハードウエア	コントロール・レジスタ 名称	番地	Read/Write	b3 / b2 / b1 / b0 記号	機能概略	設定値	リセット時 パワーオン	クロック・ストップ	CE
PLL周波数シンセサイザ	PLL アンロック FF ジャッジ (PLLULJDG)	05H	R	0 0 0 PLLUL	アンロック FF の状態を検出	0：ロック　1：アンロック Read & リセット	0	保持	保持
	PLL アンロック FF ディレイ・セレクト (PLULDLY)	15H	R/W	PLULDLY3 PLULDLY2 PLULDLY1 PLULDLY0	0 0 アンロック FF のセット遅延時間を設定	0 0 1 1 1μs 2μs 0.5μs ディスエーブル 0 1 0 1	0	0	保持
	PLL モード・セレクト (PLLMODE)	21H	R/W	PLLMD3 PLLMD2 PLLMD1 PLLMD0	0 0 PLL の分周方法を設定	0 0 1 1 ディスエーブル MF VHF HF 0 1 0 1	0	0	0
	PLL リファレンス・モード・セレクト (PLRFMODE)	31H	R/W	PLLRFMD3 PLLRFMD2 PLLRFMD1 PLLRFMD0	PLL の基準周波数を設定	0：1.25　1：2.5　2：5　3：10 4：6.25　5：12.5　6：25　7：50 8：3　9：A：B：設定禁止 C：1　D：9　E：100　F：オフ	F	F	保持
A/Dコンバータ	A/D コンバータ・チャネル・セレクト (ADCCH)	14H	R/W	ADCCH3 ADCCH2 ADCCH1 ADCCH0	0 A/D コンバータとして使用する端子を選択	0：AD_0　1：AD_1　2：AD_2　3：AD_3 4：AD_4　5：AD_5　6：7：入力ポート	7	7	7
	A/D コンバータ・コンペア・ジャッジ (ADCJDG)	06H	R	0 0 0 ADCCMP	A/D コンバータの比較結果を検出	0：$V_{REF}>V_{ADCIN}$　1：$V_{REF}<V_{ADCIN}$	不定	保持	保持
汎用ポート	ポート 0C グループ I/O セレクト (P0CGPIO)	27H	R/W	0 0 0 P0CGIO	$P0C_3$ -$P0C_0$ 端子（4 本同時）の入出力設定	0：入力　1：出力	0	0	0
	ポート 1A ビット I/O セレクト (P1ABIO)	35H	R/W	P1ABIO3 P1ABIO2 P1ABIO1 P1ABIO0	$P1A_3$端子 $P1A_2$端子 $P1A_1$端子 $P1A_0$端子	0：入力　1：出力	0	0	0
	ポート 0B ビット I/O セレクト (P0BBIO)	36H	R/W	P0BBIO3 P0BBIO2 P0BBIO1 P0BBIO0	$P0B_3$端子 $P0B_2$端子 $P0B_1$端子 $P0B_0$端子 （1 本ずつ）の入出力設定				
	ポート 0A ビット I/O セレクト (P0ABIO)	37H	R/W	P0ABIO3 P0ABIO2 P0ABIO1 P0ABIO0	$P0A_3$端子 $P0A_2$端子 $P0A_1$端子 $P0A_0$端子				
D/Aコンバータ	PWM モード・セレクト (PWMMODE)	13H	R/W	PWM2ON PWM1ON PWM0ON CGPON	PWM_2端子 PWM_1端子 PWM_0端子 を D/A コンバータとして設定 CGP 端子を CGP として設定	0：汎用出力ポート　1：D/A コンバータ 0：汎用出力ポート　1：CGP	0	0	保持

表8-1 コントロール・レジスタの周辺ハードウエア制御機能概略（3/4）

周辺ハードウエア	コントロール・レジスタ 名称	番地	Read/Write	b3 b2 b1 b0 記号	周辺ハードウエア制御機能 機能概略	設定値	リセット時 パワーオン	クロック・ストップ	CE
シリアル・インタフェース	シリアル I/O2 モード・セレクト (SIO2MODE)	02H	R/W	SIO2TS	シリアル・インタフェース2のスタート設定	0：動作しない　1：スタート	0	0	0
				SIO2HIZ	$P0B_1/SO_2$ 端子の設定	0：汎用ポート　1：シリアル・アウト			
				SIO2CK1	シリアル・インタフェース2のクロック設定	0 外部　0 75 kHz　1 150 kHz　1 450 kHz			
				SIO2CK0		0　1　0　1			
	シリアル I/O1 モード・セレクト (SIO1MODE)	08H	R/W	SIO1CH	2線式，3線式の設定	0 SBI　0 SB　1 SIO1　1 設定禁止	0	0	0
				SB	I^2C バス方式/シリアル I/O 方式のモード設定	0　1　0　1			
				SIO1MS	クロックの方向を設定	0：外部クロック　1：内部クロック			
				SIO1TX	入出力の設定	0：入力　1：出力			
	シリアル I/O1 ウエイト・コントロール (SIO1WT)	18H	R/W	SBACK	I^2C バスのアクノリッジの設定および検出	0，1の設定および検出	0	0	0
				SIO1NWT	ウエイトの許可を設定	0：許可　1：解除			
				SIO1WRQ1	シリアル・インタフェース1の	0 ウエイトなし　0 8クロック　1 9クロック　1 SB 8クロック			
				SIO1WRQ0	ウエイト・タイミングを設定	0　1　0　1			
	シリアル I/O1 ステータス・ジャッジ (SIO1STUS)	28H	R	SIO1SF8	シリアル・インタフェース1の	クロック・カウンタ8でセット，0 or 1でリセット	0	0	0
				SIO1SF9	クロック・カウンタの検出	クロック・カウンタ9でセット，0 or 1でリセット			
				SBSTT	I^2C バスのクロック数の検出	スタート条件－9クロック目までセット			
				SBBSY	I^2C バスのスタート，ストップ条件の検出	スタート条件－ストップ条件までセット			
	シリアル I/O1 インタラプト・モード (SIO1INT)	38H	R/W	SIO1IMD3	0	0 7クロック目　0 8クロック目	不定	保持	保持
				SIO1IMD2	0	0　1			
				SIO1IMD1	シリアル・インタフェース1の	1 スタート条件後の7クロック目　1 ストップ条件			
				SIO1IMD0	割り込み条件の設定	0　1			
	シリアル I/O1 クロック・セレクト (SIO1CLK)	39H	R/W	SIO1CK3	0		不定	保持	保持
				SIO1CK2	0				
				SIO1CK1	シリアル・インタフェース1の	0 75 kHz　0 225 kHz　1 150 kHz　1 450 kHz			
				SIO1CK0	内部クロックの設定	0　1　0　1			
周波数カウンタ	IF カウンタ・ゲート・ジャッジ (IFCGJDG)	04H	R	0			0	－	－
				0					
				0					
				IFCG	周波数カウンタのゲート開閉の検出	0：クローズ　1：オープン			
	IF カウンタ・モード・セレクト (IFCMODE)	12H	R/W	IFCMD1	周波数カウンタのモードの設定	0 CGP　0 FMIF　1 AMIF　1 FCG	0	0	保持
				IFCMD0		0　1　0　1			
				IFCCK1	周波数カウンタのゲート時間の設定	0 1 ms　0 4 ms　1 8 ms　1 オープン			
				IFCCK0		0 1 kHz　1 100 kHz　1 900 kHz　1			
	IF カウンタ・コントロール (IFCCONT)	23H	R/W	0			0	0	保持
				0					
				IFCSTRT	周波数カウンタのカウント・スタートを指定	0：NOP 命令　1：スタート			
				IFCRES	周波数カウンタのデータ・リセットを指定	0：NOP 命令　1：リセット			

表8-1 コントロール・レジスタの周辺ハードウエア制御機能概略（4/4）

周辺ハードウエア	コントロール・レジスタ				周辺ハードウエア制御機能		リセット時		
	名称	番地	Read/Write	b3 b2 記号 b1 b0	機能概略	設定値	パワーオン	クロック・ストップ	CE
LCDドライバ	LCD モード・セレクト (LCDMODE)	10H	R/W	0 0 KSEN LCDEN	キー・ソース信号出力の設定 LCD表示出力の設定	0：キー・ソース オフ　1：キー・ソース オン 0：表示 オフ　1：表示 オン	0	0	保持
	LCD ポート・セレクト (LCDPORT)	11H	R/W	POYON POXON POEON POFON	POY_0-POY_{15}端子 POX_0-POX_5端子 POE_0-POE_3端子 POF_0-POF_3端子 をそれぞれ汎用出力ポートとして設定	0：LCDセグメント　1：汎用出力ポート	0	0	保持
	キー・インプット・ジャッジ (KEYJDG)	16H	Read & Reset	0 0 0 KEYJ	LCDキー・ソースのキー入力ラッチの検出	0：ラッチなし　1：ラッチあり	0	不定	不定

8.4 レジスタ・ファイル使用時の注意

コントロール・レジスタ（レジスタ・ファイルのアドレス00H-3FH番地）の書き込み専用レジスタ（W），読み込み専用レジスタ（R）および未使用レジスタを操作するときは次の(1)-(3)に示す点に注意が必要です。

(1) 書き込み専用レジスタを読み込むと“不定な値”が読み込まれます。

(2) 読み込み専用レジスタに書き込みを行っても何も変化しません。

(3) 未使用部分を読み込むと“不定な値”が読み込まれます。また，書き込みを行っても何も変化しません。

9. データ・バッファ（DBF）

9.1 データ・バッファ概要

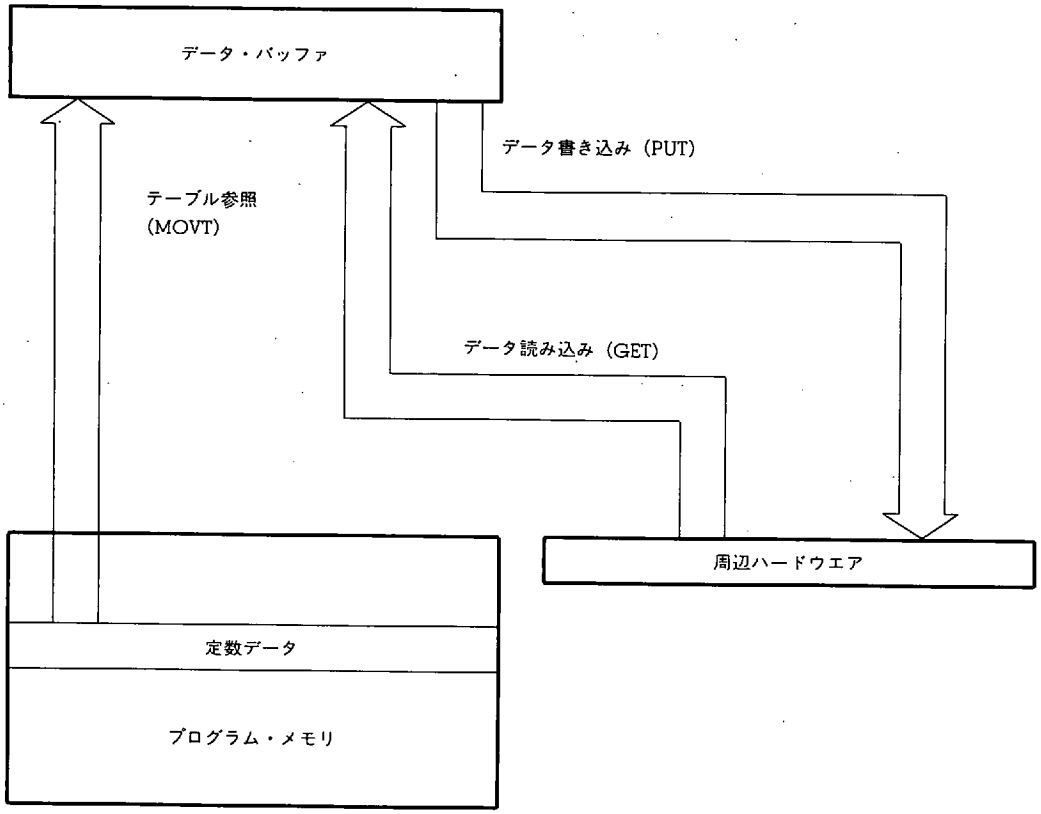
図9-1に，データ・バッファの概略を示します。

データ・バッファは，データ・メモリ上に配置されており，以下の(1)および(2)に示す2つの機能があります。

(1) プログラム・メモリ上の定数データの読み込み（テーブル参照）機能

(2) 周辺ハードウエアとのデータ転送機能

図9-1 データ・バッファの概略



9.2 データ・バッファ本体

9.2.1 データ・バッファ本体の構成

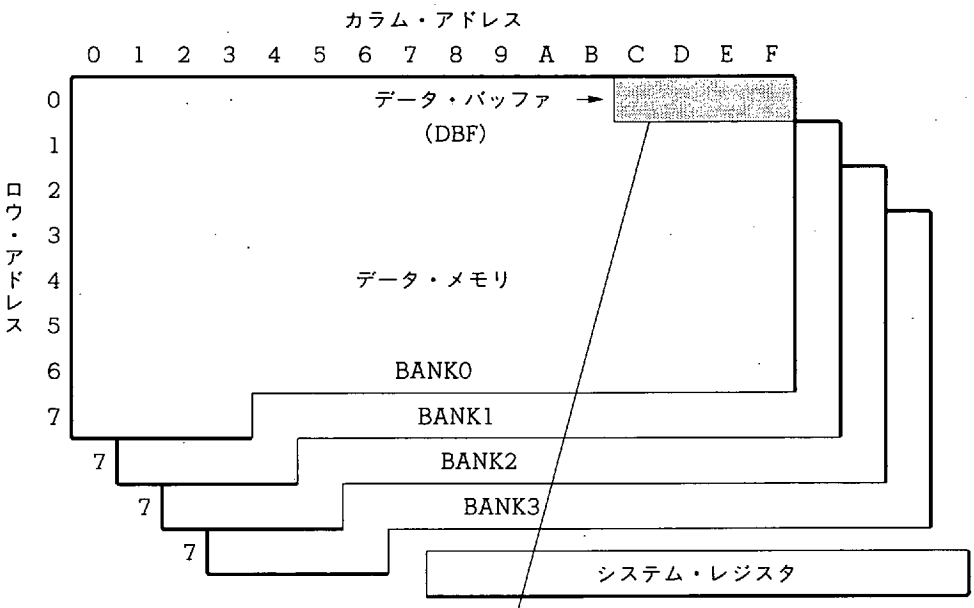
図9-2に，データ・バッファの構成を示します。

図9-2に示すように，データ・バッファは，データ・メモリ上のアドレスBANK0の0CH-0FH番地の計16ビットで構成されています。

16ビットのデータは，アドレス0CH番地のビットb_3をMSBとし，アドレス0FHのビットb_0をLSBとして構成されています。

データ・バッファは，データ・メモリ上に配置されているため，すべてのデータ・メモリ操作命令で操作できます。

図9-2 データ・バッファの構成



データ・メモリ	アドレス	0CH				0DH				0ED				0FH			
	ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ・バッファ	ビット	b_{15}	b_{14}	b_{13}	b_{12}	b_{11}	b_{10}	b_9	b_8	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0
	記号	DBF 3				DBF 2				DBF 1				DBF 0			
	データ	MSB				データ								LSB			

9.2.2 テーブル参照命令（“MOVT DBF, @AR”）

次に，“MOVT DBF, @AR” 命令の動作を示します。

テーブル参照命令実行時は，スタックが1レベル使用されます。

テーブル参照が可能なプログラム・メモリ・アドレスは，プログラム・メモリの全アドレスである0000H-1EFBH番地になります。

MOVT DBF, @AR

アドレス・レジスタの内容によってアドレス指定されるプログラム・メモリの内容を，データ・バッファに読み込みます。

9.2.3 周辺ハードウエア制御命令（“PUT”, “GET”）

次に，“PUT” および “GET” 命令の動作を示します。

(1) GET DBF, p

データ・バッファに，pでアドレス指定される周辺レジスタのデータを読み込む。

(2) PUT p, DBF

pでアドレス指定される周辺レジスタに，データ・バッファのデータを設定する。

9.3 周辺ハードウエアとデータ・バッファ一覧

表9-1に周辺ハードウエアとデータ・バッファの機能一覧を示します。

〔メ モ〕

表9-1 周辺ハードウエアとデータ・バッファの関係（1/2）

周辺ハードウエア		データ・バッファとデータ転送を行う周辺レジスタ			
		名 称	記 号	周辺アドレス	PUT命令/GET命令の可否
A/Dコンバータ		A/Dコンバータ・データ・レジスタ	ADCR	02H	PUT/GET
シリアル・インタフェース	シリアル・インタフェース2 (SIO2)	プリセッタブル・シフト・レジスタ2	SIO2SFR	03H	PUT/GET
	シリアル・インタフェース1 (SB, SBI, SIO1)	プリセッタブル・シフト・レジスタ1	SIO1SFR	04H	
D/Aコンバータ (PWM出力)	PWM_0 端子	PWMデータ・レジスタ0	PWMR0	05H	PUT/GET
	PWM_1 端子	PWMデータ・レジスタ1	PWMR1	06H	
	PWM_2 端子	PWMデータ・レジスタ2	PWMR2	07H	
LCDコントローラ/ドライバ	LCDセグメント・グループ0	LCDセグメント・グループ・レジスタ0	LCDR0	08H	PUT
	LCDセグメント・グループ1	LCDセグメント・グループ・レジスタ1	LCDR1	09H	
	LCDセグメント・グループ2	LCDセグメント・グループ・レジスタ2	LCDR2	0AH	
	LCDセグメント・グループ3	LCDセグメント・グループ・レジスタ3	LCDR3	0BH	
	LCDセグメント・グループ4	LCDセグメント・グループ・レジスタ4	LCDR4	0CH	
	LCDセグメント・グループ5	LCDセグメント・グループ・レジスタ5	LCDR5	0DH	
	LCDセグメント・グループ6	LCDセグメント・グループ・レジスタ6	LCDR6	0EH	
	LCDセグメント・グループ7	LCDセグメント・グループ・レジスタ7	LCDR7	0FH	
出力ポート	ポート0X	P0Xグループ・レジスタ	P0X	0CH	PUT
	ポート0Y	P0Yグループ・レジスタ	P0Y	42H	PUT/GET
クロック・ジェネレータ・ポート（CGP）		CGPデータ・レジスタ	CGPR	20H	PUT/GET
アドレス・レジスタ（AR）		アドレス・レジスタ	AR	40H	PUT/GET
PLL周波数シンセサイザ		PLLデータ・レジスタ	PLLR	41H	PUT/GET
キー・ソース・コントローラ/デコーダ		キー・ソース・データ・レジスタ	KSR	42H	PUT/GET
周波数カウンタ		IFカウンタ・データ・レジスタ	IFC	43H	GET

表９－１　周辺ハードウエアとデータ・バッファの関係（2/2）

機能		
データ・バッファ入出力ビット数	実用ビット数	概要
8	6	A/D コンバータの比較電圧 V_{REF} データを設定　$V_{REF}=\frac{x-0.5}{64}\times V_{DD}$,　$1\leqq x\leqq 63$
8	8	シリアル・アウト・データの設定およびシリアル・イン・データの読み込み
8	8	D/A コンバータの出力信号のデューティを設定 デューティ $D=\frac{x+0.25}{256}\times 100\,\%$,　$0\leqq x\leqq 225$ 周波数 f　＝878.9 Hz
8	7	LCD セグメント・グループ０ ┐
	4	LCD セグメント・グループ１ │
	7	LCD セグメント・グループ２ │
	7	LCD セグメント・グループ３ │
	7	LCD セグメント・グループ４ ├ の各グループの表示データを設定 ０：表示オン １：表示オフ
	3	LCD セグメント・グループ５ │
	7	LCD セグメント・グループ６ │
	7	LCD セグメント・グループ７ ┘
8	8	ポート 0X の出力データを設定　０：ロウ・レベル　１：ハイ・レベル
16	16	ポート 0Y の出力データを設定　０：ロウ・レベル　１：ハイ・レベル
8	7	SG 機能の周波数設定 周波数 $f=\frac{18}{2(2\times x)}$ kHz および VDP 機能のデューティ設定 デューティ $D=\frac{x+2}{67}$,　$0\leqq x\leqq 63$
16	16	アドレス・レジスタとのデータ転送
16	16	PLL の分周値（N値）を設定
16	16	キー・ソース信号の出力データを設定
16	16	周波数カウンタの計数値の読み込み

9.4 データ・バッファ使用時の注意

データ・バッファを介して周辺ハードウエアとデータ転送を行うとき，未使用周辺アドレスや書き込み専用周辺レジスタ（PUT のみ）および読み込み専用周辺レジスタ（GET のみ）に対して，次の（1)-(3）に示す点に注意が必要です。

(1) 書き込み専用レジスタを読み込むと“不定な値”が読み込まれます。
(2) 読み込み専用レジスタに書き込みを行っても何も変化しません。
(3) 未使用アドレスを読み込むと“不定な値”が読み込まれます。また，書き込みを行っても何も変化しません。

10. 割り込み

10.1 割り込みブロック概要

図 10-1 に，割り込みブロックの概略を示します。

図 10-1 に示すように，割り込みブロックは，各周辺ハードウエアから出力された割り込み要求により，現在実行しているプログラムを一時中断し，割り込みベクタ・アドレスへ分岐します。

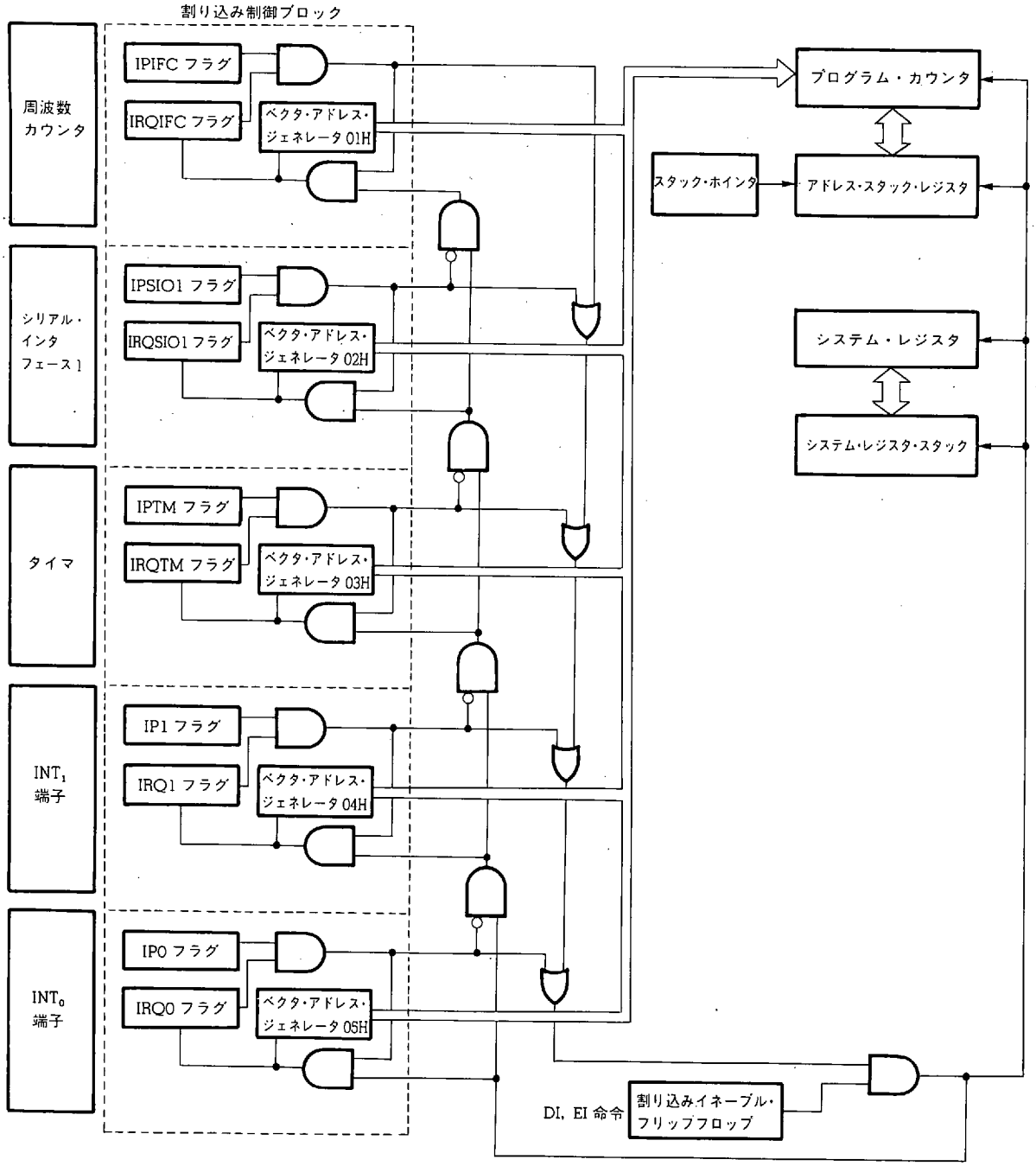
割り込みブロックは，各周辺ハードウエアごとの“割り込み制御ブロック”と，すべての割り込みを許可する“割り込みイネーブル・フリップフロップ”と，割り込みが受け付けられたときに制御される“スタック・ポインタ”，“アドレス・スタック・レジスタ”，“プログラム・カウンタ”および“システム・レジスタ・スタック”から構成されています。

各周辺ハードウエアの“割り込み制御ブロック”は，“各割り込み要求を検出するインタラプト・リクエスト・フラグ（IRQ×××）”と，“各割り込みの許可を設定するインタラプト・パーミッション・フラグ（IP×××）”および割り込み受け付け時の各ベクタ・アドレスを指定する“ベクタ・アドレス・ジェネレータ（VAG）”から構成されています。

次に割り込み機能をもつ周辺ハードウエアを示します。

- INT_0 端子
- INT_1 端子
- タイマ
- シリアル・インタフェース 1
- 周波数カウンタ

図 10－1　割り込みブロックの概略



10.2 割り込み制御ブロック

割り込み制御ブロックは，各周辺ハードウエアごとに設けられており，それぞれの割り込み要求の有無，割り込みの許可および割り込み受け付け時のベクタ・アドレスの生成を行います。

10.2.1 インタラプト・リクエスト・フラグ（IRQ×××）の構成と機能

各インタラプト・リクエスト・フラグ(IRQ×××)は，各周辺ハードウエアから割り込み要求が発行されると“1”にセットされ，割り込みが受け付けられると“0”にリセットされます。

割り込みが許可されていない場合などに，これらのインタラプト・リクエスト・フラグ（IRQ×××）を検出することにより，各割り込み要求の発行状態を検出することができます。

また，インタラプト・リクエスト・フラグに対して，ウインドウ・レジスタを介して直接“1”を書き込んだ場合も，割り込み要求が発行されたことと同等になります。

一度このフラグが“1”にセットされると，対応する割り込みが受け付けられるか，またはウインドウ・レジスタを介して“0”が書き込まれるまで，リセットされません。

複数の割り込み要求が同時に発行された場合でも，受け付けられなかった割り込みに対応するインタラプト・リクエスト・フラグは，リセットされません。

次に，各インタラプト・リクエスト・フラグの構成と機能を示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
インタラプト・リクエスト1レジスタ（INTREQ1）	0	0	0	IRQIFC	3EH	R/W

b_0：周波数カウンタの割り込み要求の発行状態を設定

0	割り込み要求なし
1	割り込み要求あり

b_3, b_2, b_1：“0”固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	↓	0
	CE	↓	↓	↓	0

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
インタラプト・リクエスト2レジスタ (INTREQ2)	IRQSIO1	IRQTM	IRQ1	IRQ0	3FH	R/W

INT_0 端子の割り込み要求の発行状態を設定

0	割り込み要求なし
1	割り込み要求あり

INT_1 端子の割り込み要求の発行状態を設定

0	割り込み要求なし
1	割り込み要求あり

タイマの割り込み要求の発行状態を設定

0	割り込み要求なし
1	割り込み要求あり

シリアル・インタフェース1の割り込み要求の発行状態を設定

0	割り込み要求なし
1	割り込み要求あり

リセット時	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

10.2.2 インタラプト・パーミッション・フラグ（IP×××）の構成と機能

各インタラプト・パーミッション・フラグは，周辺ハードウエアごとの割り込みの許可を設定します。
割り込みが受け付けられるためには，次の3つの条件をすべて満たす必要があります。

- 各インタラプト・パーミッション・フラグにより割り込みが許可されている
- 対応する各インタラプト・リクエスト・フラグにより割り込み要求が発行されている
- “EI”命令（すべての割り込み許可）が実行されている

次に各インタラプト・パーミッション・フラグの構成と機能を示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
インタラプト・パーミッション1レジスタ（INTPM1）	0	0	0	IPIFC	2EH	R/W

	IF カウンタの割り込みの許可を設定
0	割り込み禁止
1	割り込み許可

“0”固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	↓	0
	CE	↓	↓	↓	0

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
インタラプト・パーミッション2レジスタ（INTPM2）	IPSIO1	IPTM	IP1	IP0	2FH	R/W

	INT_0 端子の割り込みの許可を設定
0	割り込み禁止
1	割り込み許可

	INT_1 端子の割り込みの許可を設定
0	割り込み禁止
1	割り込み許可

	タイマの割り込みの許可を設定
0	割り込み禁止
1	割り込み許可

	シリアル・インタフェース1の割り込みの許可を設定
0	割り込み禁止
1	割り込み許可

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

10.2.3 ベクタ・アドレス・ジェネレータ（VAG）

各周辺ハードウエアの割り込みが受け付けられたときに，受け付けられた割り込み要因に対するプログラム・メモリの分岐アドレス（ベクタ・アドレス）を生成します。

各割り込み要因に対するベクタ・アドレスを表10-1に示します。

表10-1　各割り込み要因に対するベクタ・アドレス

割り込み要因	ベクタ・アドレス
INT_0 端子	05H
INT_1 端子	04H
タイマ	03H
シリアル・インタフェース1	02H
周波数カウンタ	01H

10.3 システム・レジスタ・スタック

10.3.1 システム・レジスタ・スタックの構成と機能

図10-2に，システム・レジスタ・スタックの構成と，退避されるシステム・レジスタを示します。

システム・レジスタ・スタックは，割り込み受け付け時に次に示すシステム・レジスタの内容を退避します。

- バンク・レジスタ（BANK）
- インデクス・イネーブル・フラグ（IXE）

割り込みが受け付けられ，上記のシステム・レジスタの内容がシステム・レジスタ・スタックに退避されると，上記のシステム・レジスタの内容は，“0”にリセットされます。

システム・レジスタ・スタックは，上記のシステム・レジスタの内容を4レベルまで退避することができます。したがって，多重割り込みを4レベルまで行うことができます。

システム・レジスタ・スタックの内容は，割り込みリターン命令（“RETI”）が実行されるとシステム・レジスタに復帰されます。

図10-2 割り込みスタックの構成

システム・レジスタ・スタック（INTSK）								
名称	バンク・スタック（BANKSK）				ステータス・スタック（PSWSK）			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
0H	−	−			−	−	−	
1H	−	−			−	−	−	
2H	−	−			−	−	−	
3H	−	−			−	−	−	

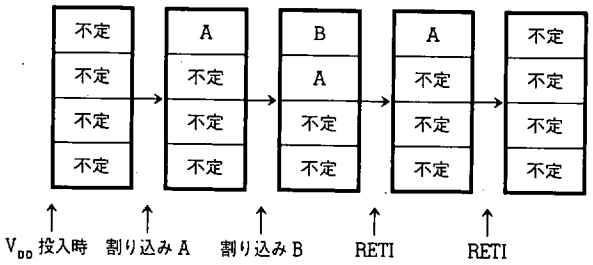
10.3.2 システム・レジスタ・スタック動作

図10-3に，システム・レジスタ・スタックの動作を示します。

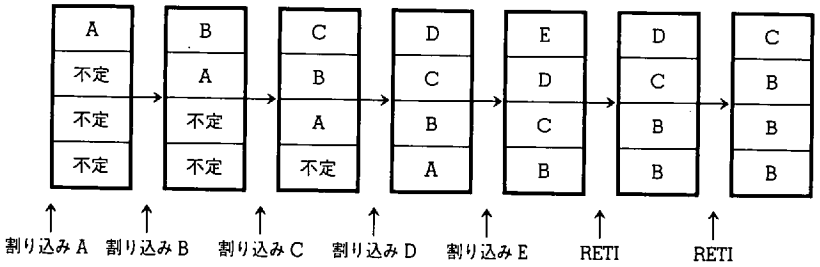
4レベルを越える多重割り込み受け付け時は，最初に退避した内容がはき出されてしまうため，プログラムにより退避する必要があります。

図10-3 システム・レジスタ・スタックの動作

(a) 割り込みが4レベルを越えないとき



(b) 割り込みが4レベルを越えるとき



10.4 スタック・ポインタ，アドレス・スタック・レジスタとプログラム・カウンタ

アドレス・スタック・レジスタは，割り込み処理ルーチンからの復帰時の戻り番地を退避します。

スタック・ポインタは，アドレス・スタック・レジスタのアドレスを指定します。

つまり，割り込みが受け付けられると，スタック・ポインタの値を −1 し，そのときのプログラム・カウンタの値をスタック・ポインタで指定されるアドレス・スタック・レジスタに退避します。

次に，割り込み処理ルーチンの処理を実行したあと，専用復帰命令である“RETI”命令が実行されると，スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をプログラム・カウンタに復帰し，スタック・ポインタの値を +1 します。

“**3. アドレス・スタック（ASK）**”も参照してください。

10.5 割り込みイネーブル・フリップフロップ（INTE）

割り込みイネーブル・フリップフロップは，すべての割り込みの許可を設定します。

このフリップフロップがセットされていると，すべての割り込みが許可されます。また，リセットされていると，すべての割り込みが禁止されます。

このフリップフロップのセットおよびリセットは，専用命令である“EI（セット）”および“DI（リセット）”命令で行います。

“EI”命令は，“EI”命令の次の命令が実行された時点でこのフリップフロップをセットし，“DI”命令は，“DI”命令実行中にこのフリップフロップをリセットします。

割り込みが受け付けられると，このフリップフロップは自動的にリセットされます。

DI 状態中に，“DI”命令を実行しても，または EI 状態中に“DI”命令を実行しても，何も影響は与えません。

パワーオン・リセット時，クロック・ストップ命令実行時，および CE リセット時は，このフリップフロップはリセットされます。

10.6 割り込み受け付け動作

10.6.1 割り込み受け付け動作と優先順位

割り込みを受け付けるまでの動作を以下に示します。

(1) 各周辺ハードウエアは，割り込み条件が満たされる（たとえば，INT_0 端子に立ち下がり信号が入力される）と，各割り込み制御ブロックに割り込み要求信号を出力します。

(2) 各割り込み制御ブロックは，各周辺ハードウエアからの割り込み要求信号を受け付けると，対応するインタラプト・リクエスト・フラグ（たとえば，INT_0 端子であれば IRQ0 フラグ）を“1”にセットします。

(3) 各インタラプト・リクエスト・フラグが“1”にセットされたときに，各インタラプト・リクエスト・フラグに対応するインタラプト・パーミッション・フラグ（たとえば IRQ0 フラグであれば IP0 フラグ）が“1”にセットされていると，各割り込み制御ブロックから“1”が出力されます。

(4) 各割り込み制御ブロックから出力された信号は，割り込みイネーブル・フリップフロップの出力と OR され，割り込み受け付け信号を出力します。

この割り込みイネーブル・フリップフロップは，“EI”命令により“1”にセットされ，“DI”命令により“0”にリセットされます。

割り込みイネーブル・フリップフロップが“1”にセットされているときに，各割り込み制御ブロックから“1”が出力されると，割り込みイネーブル・フリップフロップから“1”が出力され，割り込みが受け付けられます。

図 10-1 に示したように，割り込みが受け付けられると割り込みイネーブル・フリップフロップの出力は，AND 回路を介して各割り込み制御ブロックへ入力されます。

各割り込み制御ブロックへ入力された信号により，インタラプト・リクエスト・フラグが“0”にリセットされ，かつ各割り込みに対するベクタ・アドレスが出力されます。

このとき，割り込み制御ブロックから“1”が出力されていると，割り込み受け付け信号は次段に伝達されないため，同時に複数の割り込み要求が発行されたときは，以下に示す優先順位で割り込みが受け付けられます。

INT_0 端子＞ INT_1 端子＞タイマ＞シリアル・インタフェース 1＞周波数カウンタ

インタラプト・パーミッション・フラグが“1”にセットされていなければその割り込み要因に対する割り込みは受け付けられません。

したがって，インタラプト・パーミッション・フラグを“0”にリセットしておけば，ハードウエア優先順位の高い割り込みを禁止することが可能です。

10.6.2 割り込み受け付け時のタイミング・チャート

図 10－4 に割り込み受け付け時のタイミング・チャートを示します。

図 10－4 の（1）は 1 種類の割り込みによるタイミング・チャートです。

（1）の（a）はインタラプト・リクエスト・フラグが最後に“1”にセットされた場合であり，（1）の（b）はインタラプト・パーミッション・フラグが最後に“1”にセットされた場合のタイミング・チャートです。

どちらの場合も割り込みの受け付けは，インタラプト・リクエスト・フラグ，割り込みイネーブル・フリップフロップおよびインタラプト・パーミッション・フラグのすべてが“1”にセットされた時点で行われます。

最後に“1”にセットされたフラグまたはフリップフロップが，“MOVT DBF，@AR”命令の第 1 命令サイクルまたは，スキップ条件を満たした命令の場合は，それぞれ“MOVT DBF，@AR”命令の第 2 命令サイクルおよびスキップした命令（NOP になる）を実行後に，割り込みが受け付けられます。

割り込みイネーブル・フリップフロップのセットは，“EI”命令が実行された次の命令サイクルでセットされます。

図 10－4 の（2）は複数の割り込みを使用するときのタイミング・チャートを示しています。

複数の割り込みを使用するときは，インタラプト・パーミッション・フラグがすべてセットされていれば，ハードウエアで優先されている割り込みから順に受け付けられますが，プログラムでインタラプト・パーミッション・フラグを操作することにより，ハードウエアの優先度を変えることが可能になります。

なお，図 10－4 に示した“割り込みサイクル”とは，割り込みが受け付けられてからインタラプト・リクエスト・フラグのリセット，ベクタ・アドレスの指定，プログラム・カウンタの退避などを行うための特別なサイクルであり，1 命令実行時間分に相当する 4.44 μs を必要とします。

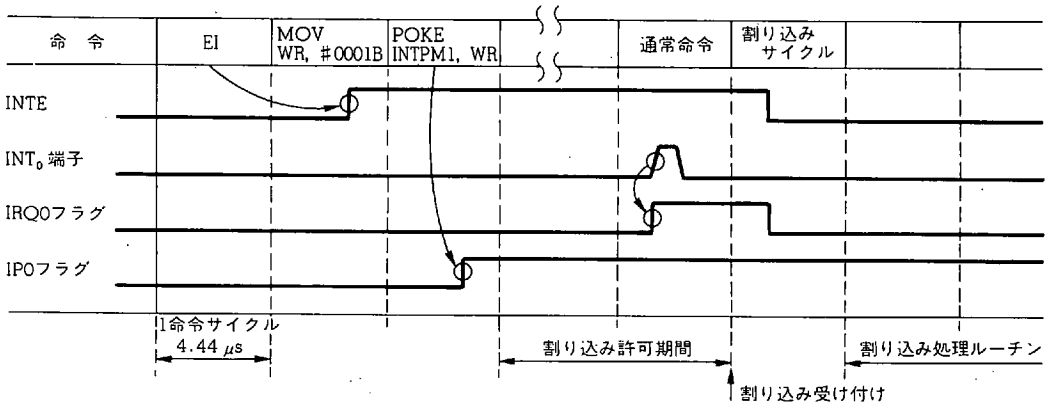
詳しくは“**10.7 割り込み受け付け後の動作**”を参照してください。

図 10-4 割り込み受け付けタイミング・チャート (1/2)

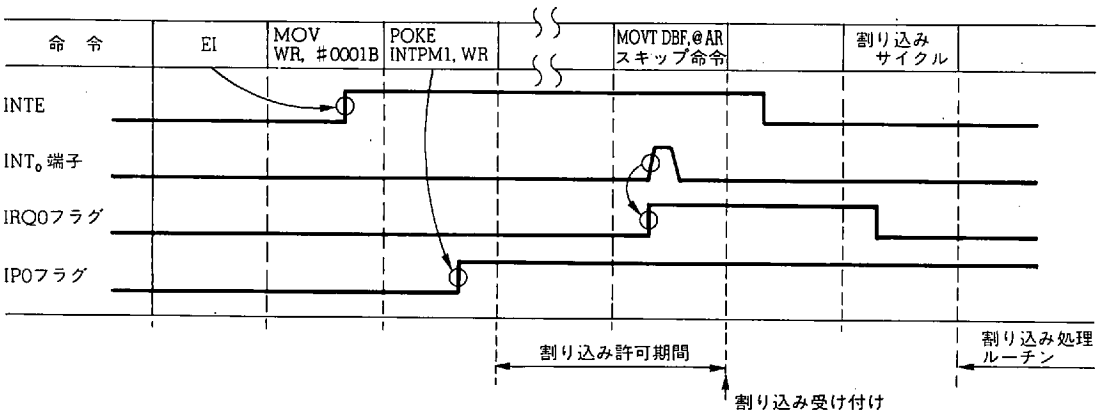
(1) 1 種類の割り込み (例：INT_0 端子の立ち上がり) を使用時

(a) インタラプト・パーミッション・フラグ (IP×××) による割り込みマスク時間がない場合

① 割り込み受け付け時が "MOVT" 命令およびスキップ条件を満たした命令でない通常命令の場合



② 割り込み受け付け時が "MOVT" 命令か，または "スキップ条件を満たした命令" の場合



(b) インタラプト・パーミッション・フラグによる割り込み保留期間がある場合

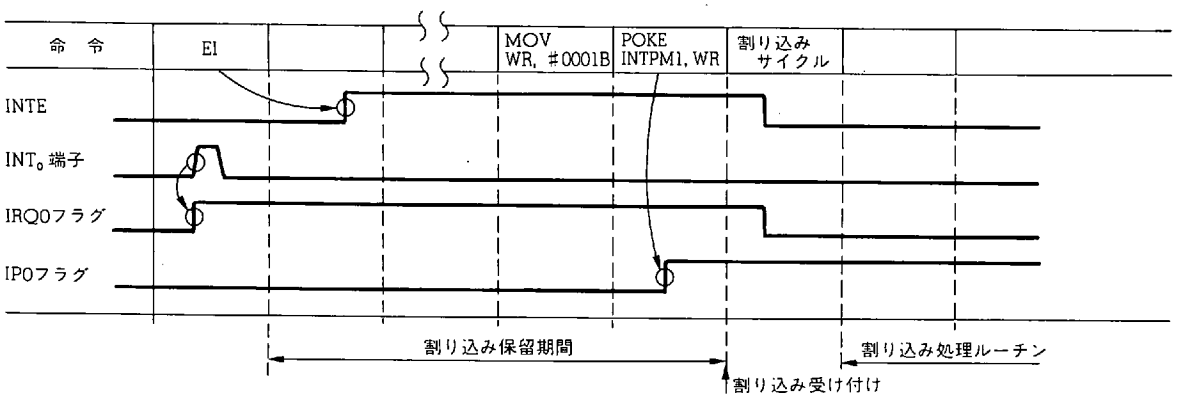
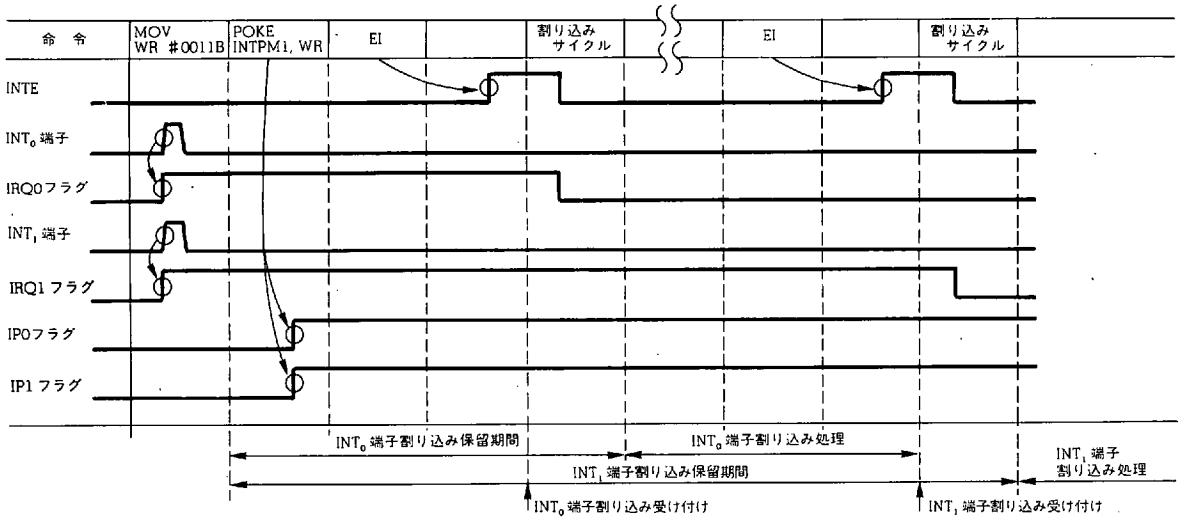


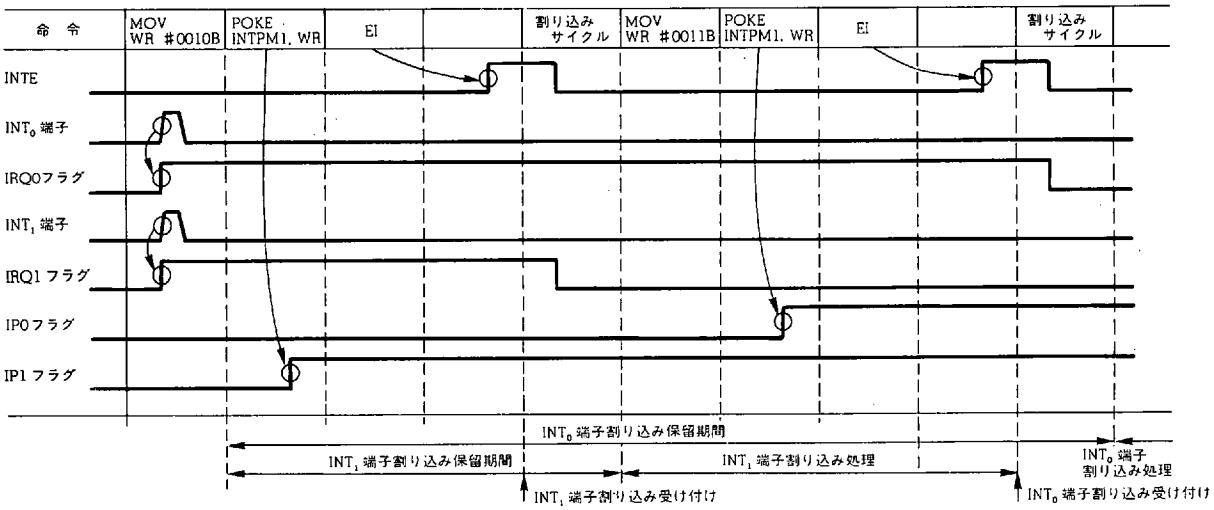
図 10-4 割り込み受け付けタイミング・チャート (2/2)

(2) 複数の割り込み (例：INT_0 端子，INT_1 端子の 2 種類) を使用時

(a) ハードウエア優先



(b) ソフトウエア優先



10.7 割り込み受け付け後の動作

割り込みが受け付けられると，以下に示す処理が順次自動的に実行されます。

(1) 割り込みイネーブル・フリップフロップおよび受け付けられた割り込み要求に対応するインタラプト・リクエスト・フラグを“0”にリセットする。つまり割り込み禁止状態にする。

(2) スタック・ポインタの内容を－1する。

(3) プログラム・カウンタの内容をスタック・ポインタで指定されるアドレス・スタック・レジスタへ退避する。
このときのプログラム・カウンタの内容は，割り込みが受け付けられた時点の次のプログラム・メモリ・アドレスになる。
たとえば分岐命令であれば分岐先のアドレスとなり，サブルーチン・コール命令であればコールしたアドレスになる。スキップ命令でスキップ条件が満たされたときは，次の命令を“NOP”命令として実行してから割り込みが受け付けられるため，プログラム・カウンタの内容はスキップしたアドレスになる。

(4) バンク・レジスタ（BANK）の下位2ビットとインデクス・イネーブル・フラグ（IXE）を割り込みスタックへ退避する。

(5) 受け付けられた割り込みに対応するベクタ・アドレス・ジェネレータの内容をプログラム・カウンタに転送する。つまり割り込み処理ルーチンへ分岐する。

上記(1)－(5)の処理は通常の命令の実行を伴わない特別な1命令サイクル（4.44 μs）の間に実行されます。
この命令サイクルを“割り込みサイクル”と呼びます。
すなわち割り込みが受け付けられてから，対応するベクタ・アドレスへ分岐するまでに1命令サイクルの時間が必要になります。

10.8 割り込み処理ルーチンからの復帰処理

割り込み処理ルーチンから，割り込みが受け付けられたときの処理へ復帰させるには，専用命令である“RETI”命令を使用します。
“RETI”命令が実行されると以下に示す処理が順次自動的に実行されます。

(1) スタック・ポインタで指定されるアドレス・スタック・レジスタの内容をプログラム・カウンタに復帰する。

(2) 割り込みスタックの内容をバンク・レジスタ(BANK)の下位2ビットおよびインデクス・イネーブル・フラグ（IXE）に復帰する。

(3) スタック・ポインタの内容を＋1する。

上記(1)－(3)の処理は“RETI”命令が実行される1命令サイクル中に処理されます。
“RETI”命令とサブルーチン・リターン命令である“RET”および“RETSK”命令との違いは，上記(2)のバンク・レジスタおよびインデクス・イネーブル・フラグの復帰動作の違いのみです。

10.9 外部（INT_0 端子，INT_1 端子）割り込み

10.9.1 外部割り込み概要

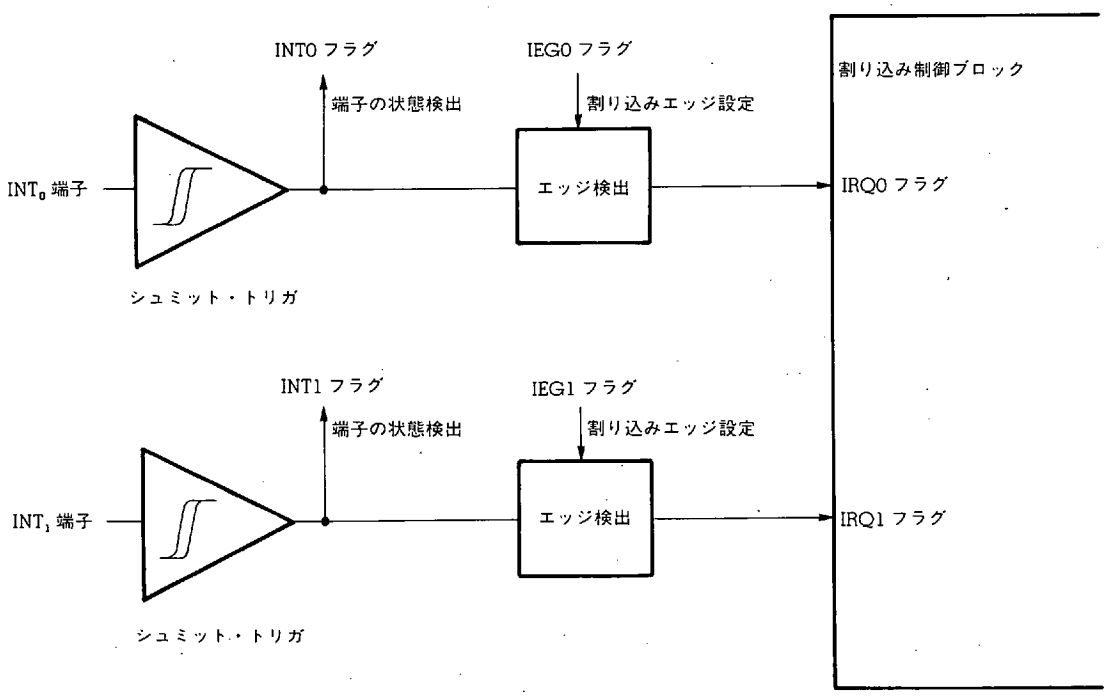
図 10-5 に，外部割り込みの概略を示します。

図 10-5 に示すように，外部割り込みは，INT_0 端子および INT_1 端子に加えられた信号の立ち上がりエッジまたは立ち下がりエッジにより，割り込み要求を発行します。

各端子の立ち上がりおよび立ち下がりのどちらで割り込み要求を発行するかは，プログラムにより独立して設定できます。

INT_0 端子および INT_1 端子は，ノイズによる誤動作を防ぐため，シュミット・トリガ入力となっています。また，1 μs 未満のパルス入力は，受け付けられません。

図 10-5 外部割り込みの概略



10.9.2 エッジ検出ブロック

エッジ検出ブロックは，INT_0 端子および INT_1 端子の割り込み要求を発行する入力信号エッジ（立ち上がりまたは立ち下がりエッジ）の設定およびエッジの検出を行います。

エッジの設定は，IEG0 および IEG1 フラグにより設定します。

次頁に各フラグの構成と機能を示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
インタラプト・エッジ・セレクト・レジスタ (INTEDGE)	0	0	IEG1	IEG0	1FH	R/W

INT_0 端子の割り込み要求を発行するための入力エッジを設定する

0	立ち上がりエッジ
1	立ち下がりエッジ

INT_1 端子の割り込み要求を発行するための入力エッジを設定する

0	立ち上がりエッジ
1	立ち下がりエッジ

"0" 固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	0	0
	CE	↓	↓	0	0

IEG0 および IEG1 フラグにより割り込み要求発行エッジを切り替えると，切り替えた瞬間に割り込み要求信号が発行される場合があるため注意が必要です。

これは表 10-2 に示すように，たとえば今 IEG0 フラグが "1"（立ち下がりエッジ）に設定されており，INT_0端子からハイ・レベルが入力されているとします。このとき IEG0 フラグをリセットすると，エッジ検出回路は立ち上がりエッジが入力されたと判断し，割り込み要求を発行してしまうため注意してください。

表 10-2　IEG0 および IEG1 フラグの変更による割り込み要求の発行

IEG0，IEG1 フラグの変化	INT_0端子，INT_1端子の状態	割り込み要求発行の有無	IRQ0，IRQ1 フラグの状態
1 → 0 （立ち下がり）（立ち上がり）	ロウ・レベル	発行されない	以前の状態を保持
	ハイ・レベル	発行される	"1" にセットされる
0 → 1 （立ち上がり）（立ち下がり）	ロウ・レベル	発行される	"1" にセットされる
	ハイ・レベル	発行されない	以前の状態を保持

10.9.3 端子状態検出ブロック

INT0 および INT1 フラグにより，INT_0 端子および INT_1 端子に入力された信号のレベルを検出することができます。

この INT0 および INT1 フラグは，割り込みとは無関係に，“1”にセットまたは“0”にリセットされるため，割り込み機能を使用しない場合は，2ビットの汎用入力ポートとして使用することができます。

なお，割り込みを許可していなければ，インタラプト・リクエスト・フラグ（IRQ0，IRQ1 フラグ）の内容を読み込むことにより，立ち上がりエッジ，または立ち下がりエッジを検出できる汎用ポートとして使用することもできます。ただしこの場合，インタラプト・リクエスト・フラグは自動的に“0”にリセットされませんので，プログラムにより“0”にリセットする必要があります。

INT0 および INT1 フラグの構成と機能については，“**10.2 割り込み要求処理ブロック**”を参照してください。

10.10 内部割り込み

内部割り込みには，タイマ，シリアル・インタフェース 1，および周波数カウンタの 3 系統があります。

10.10.1 タイマ割り込み

タイマ割り込みは，一定時間ごとに割り込み要求を発行することができます。

詳しくは，“**11. タイマ機能**”を参照してください。

10.10.2 シリアル・インタフェース 1 割り込み

シリアル・インタフェース 1 割り込みは，シリアル出力またはシリアル入力動作終了時に，割り込み要求を発行することができます。

詳しくは，“**19. シリアル・インタフェース**”を参照してください。

10.10.3 周波数カウンタ割り込み

周波数カウンタ割り込みは，カウント動作終了時に割り込み要求を発行することができます。

詳しくは，“**20. 周波数カウンタ（FC）**”を参照してください。

10.11 割り込み使用時の注意

インタラプト・リクエスト・フラグに対して“POKE”命令が使用されると，アセンブラ（AS17K）はエラーを発生します。

したがって，アセンブラ組み込みマクロ命令のうち“SETn”，“CLRn”，“NOTn”，“INITFLG”命令が使用された場合もエラーを発生します。

これは，インタラプト・リクエスト・フラグに対して“POKE”命令を使用したときに他の割り込み要求がキャンセルされることを防ぐためです。

次に例を用いて説明します（ただし，“POKE”命令によるアセンブル・エラーが発生しないと仮定します）。

例 1．タイマ割り込みを使用し，INT_1端子およびシリアル・インタフェース 1 をポーリング処理する場合

```
        SET1    IPTM
        EI
          ⋮
MAIN :
          ⋮
        SKF1    IRQ1
        BR      NEXT
INT1 :
        [ INT1 端子の処理 ]
    ; ①
        CLR1    IRQ1
NEXT :
        SKF1    IRQSIO1
        BR      MAIN
SIO1 :
        [ SIO1 の処理 ]
        CLR1    IRQSIO1
        BR      MAIN
```

上記①の命令は次のように展開されます。

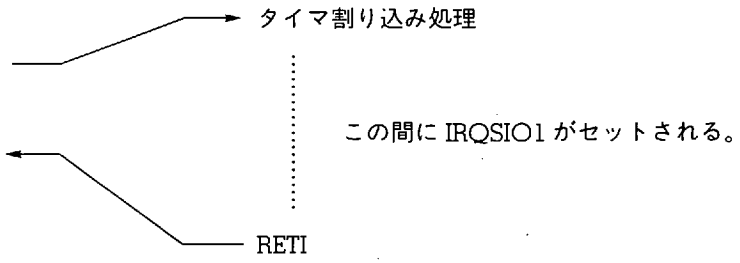
```
        PEEK    WR, .MF. IRQ1 SHR 4
    ; ②
        AND     WR, #.DF. (NOT IRQ1) AND 0FH
    ; ③
        POKE    .MF. IRQ1 SHR 4, WR
```

このとき次ページの例２に示すように，②の命令実行中にタイマ割り込みがかかり，タイマ割り込み処理中にたまたまシリアル・インタフェース１の割り込み要求が発行される（IRQSIO1 がセットされる）と，タイマ割り込み処理からの復帰時に③の命令を実行してしまうため IRQSIO1 フラグがリセットされてしまいます。

特にシリアル・インタフェース１の割り込み要求は一度発行されるとシリアル通信をウエイトしてしまい再度割り込み要求が発行されなくなります。

例 2.

```
PEEK
;②
AND
;③
POKE
```



したがって，各インタラプト・リクエスト・フラグに対する“POKE”命令をアセンブラにより禁止しています。

ただし，他の割り込み要求がキャンセルされることを承知したうえでインタラプト・リクエスト・フラグをポーリングしたい場合は，次の例 3 に示す方法を使用します。

例 3. インタラプト・リクエスト・フラグを 1 個セットしたいとき

```
SETIRQ1     MAC  IRQFLG
PEEK        WR, .MF.IRQFLG SHR 4
OR          WR, #.DF.IRQFLG AND 0FH
DW          (00111B SHL 11) OR (.DF. (IRQFLG AND 0F00H)) OR (0010B SHL 4) OR
            (.DF. (IRQFLG SHR 4) AND 0FH)
            ; “DW”命令によって“POKE”命令を定義する。
            ENDM
```

なお，デバイス・ファイル（AS17005）に上記のようなマクロ命令が“IRQ. MAC”ファイルとして添付してあります。

“IRQ. MAC”ファイルによって供給されているマクロ命令を次に示します。

- SETIRQn　（組み込みマクロ命令の“SETn”に対応）
- CLRIRQn　（　　〃　　“CLRn”に対応）
- NOTIRQn　（　　〃　　“NOTn”に対応）
- INITIRQ　（　　〃　　“INITFLG”に対応）

したがって，“IRQ. MAC”ファイルをソース・モジュールにインクルードすることにより上記マクロ命令をそのまま使用できます。

“IRQ. MAC”ファイルの使用方法については，デバイス・ファイル（AS17005）のユーザーズ・マニュアルをご覧ください。

11. タイマ機能

タイマ機能は，プログラムを作成するうえでの時間管理に使用します。

11.1 タイマの構成

図 11-1 に，各タイマ・ブロックの構成を示します。

図 11-1 に示すように，タイマはタイマ・キャリー・ブロック，タイマ割り込みブロックの 2 系統で構成されています。

各タイマの時間を設定するクロック生成回路は，クロック選択ブロック A，クロック選択ブロック B，コントロール・レジスタのタイマ・モード・セレクト・レジスタ（TMMODE：RE アドレス 09H）により，システム・クロックを分周します。

11.1.1 および **11.1.2** に，それぞれタイマ・キャリー・ブロックおよびタイマ割り込みブロックの構成を説明します。

各タイマのクロックは，どちらもシステム・クロック（4.5 MHz）を分周して作られているため，水晶振動子が 4.5 MHz からずれていると各タイマのクロックも同じ割合でずれてしまいます。

11.1.1 タイマ・キャリー・ブロックの構成

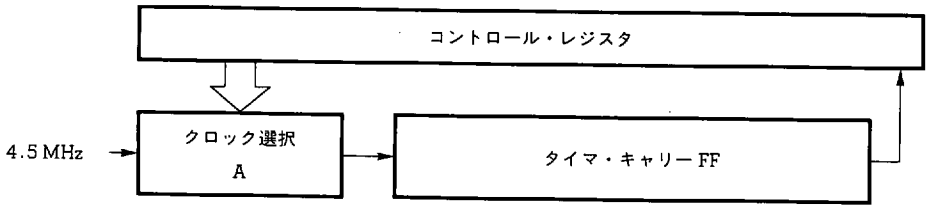
タイマ・キャリー・ブロックは，クロック選択ブロック A およびタイマ・キャリー FF ブロックにより構成されています。

11.1.2 タイマ割り込みブロックの構成

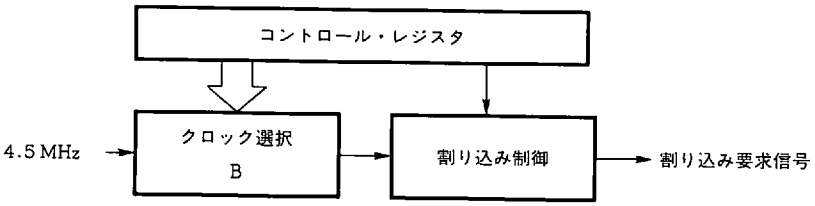
タイマ割り込みブロックは，クロック選択ブロック B および割り込み制御ブロックにより構成されています。

図 11-1 タイマ・ブロックの構成

・タイマ・キャリー・ブロック



・タイマ割り込みブロック



11.2 タイマの機能概略

タイマの使用方法は，タイマ・キャリーのキャリー FF を検出する方法，およびタイマによる割り込みを使用する方法の２種類があります。

11.2.1 および **11.2.2** に，それぞれタイマ・キャリーおよびタイマ割り込みの機能概略を示します。

11.2.1 タイマ・キャリーの機能概略

タイマ・キャリーは，一定時間ごとにセットされるタイマ・キャリー FF の状態を，プログラムで検出することにより時間管理を行います。

“**11.3 タイマ・キャリー**” を参照してください。

11.2.2 タイマ割り込みの機能概略

タイマ割り込みは，一定時間ごとに割り込みをかけることにより時間管理を行います。

“**11.4 タイマ割り込み**” を参照してください。

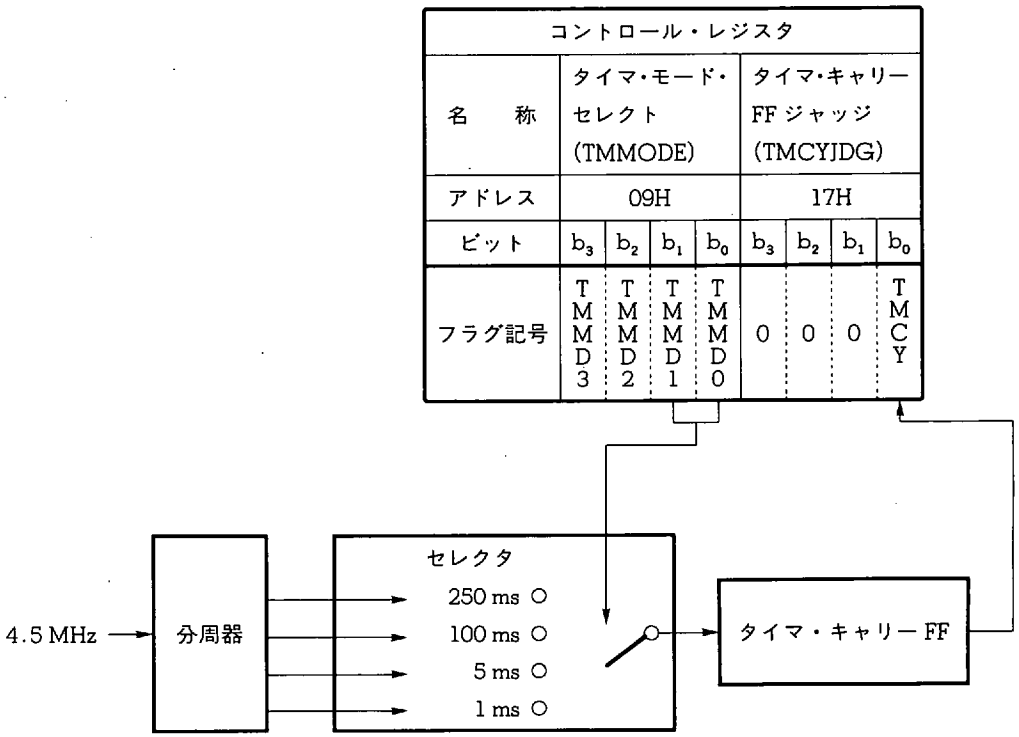
11.3 タイマ・キャリー

11.3.1 タイマ・キャリーの構成

図 11 - 2 に，タイマ・キャリーの構成を示します。

図 11 - 2 に示すように，タイマ・キャリーは，分周器，セレクタ，およびタイマ・キャリー FF ブロックにより構成されています。

図 11 - 2 タイマ・キャリーの構成



11.3.2 タイマ・キャリーの機能

タイマ・キャリーは，タイマ・モード・セレクト・レジスタの下位2ビット（TMMD1，TMMD0フラグ）で設定されたタイマ・キャリーFFセット用パルスの立ち上がりエッジにより，“1”にセットされます。

タイマ・キャリーFFの内容は，タイマ・キャリーFFジャッジ・レジスタ（TMCYJDG：RFアドレス17H）の最下位ビット（TMCYフラグ）と，1対1に対応しており，タイマ・キャリーFFが“1”にセットされると，TMCYフラグも同時に“1”にセットされます。

TMCYフラグは，“PEEK”命令によりウインドウ・レジスタに内容を読み込むと，“0”にリセットされます（Read & Reset）。

TMCYフラグが“0”にリセットされると，同時にタイマ・キャリーFFも“0”にリセットされます。

つまり，プログラムでTMCYフラグの内容を読み込むことにより，タイマ・モード・セレクト・レジスタを介して設定した時間のタイマを作成することができます。

タイマ・キャリーを使用するときは，次の点に注意する必要があります。

注意　タイマ・キャリーは，電源電圧 V_{DD} 投入時（パワーオン・リセット時）はセット禁止状態になっており，その後，一度“PEEK”命令によりTMCYフラグの内容を読み込むまで“1”にセットされません。

これは，パワーオン・リセット後，最初にTMCYフラグを読み込むと必ず“0”が読み込まれ，その後はタイマ・モード・セレクト・レジスタによって設定された時間ごとに“1”にセットされることになる，ということです。

また，タイマ・キャリーは，CE端子によるリセット（CEリセット）のタイミングも制御しています。CE端子がロウ・レベルからハイ・レベルに変化すると，次にタイマ・キャリーFFが“1”にセットされるタイミングに同期してCEリセットがかかります。

したがって，システム・リセット（パワーオン・リセットおよびCEリセット）時にTMCYフラグの内容を読み込むことにより，停電を検出することができます。

詳細は，“**11.3.7 タイマ・キャリー使用時の注意**”を参照してください。

TMCYフラグは読み込み専用フラグであるため，“POKE”命令による書き込み動作を行っても，デバイス動作上は何も影響を受けません。ただし，17Kシリーズのアセンブラ（AS17K）を使用すると“エラー”が発生します。

詳細は，“**8.4 レジスタ・ファイル使用時の注意**”を参照してください。

11.3.3 タイマ・モード・セレクト・レジスタ（TMMODE）の構成と機能

タイマ・モード・セレクト・レジスタは，内部タイマのタイマ・キャリーとタイマ割り込みの２系統の時間を設定します。

タイマ・キャリーとタイマ割り込みの時間間隔は，独立に設定できます。

構成と機能を次に示します。

また，図11-3に，タイマ時間設定パルスの波形を示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
タイマ・モード・セレクト・レジスタ（TMMODE）	TMMD3	TMMD2	TMMD1	TMMD0	09H	R/W

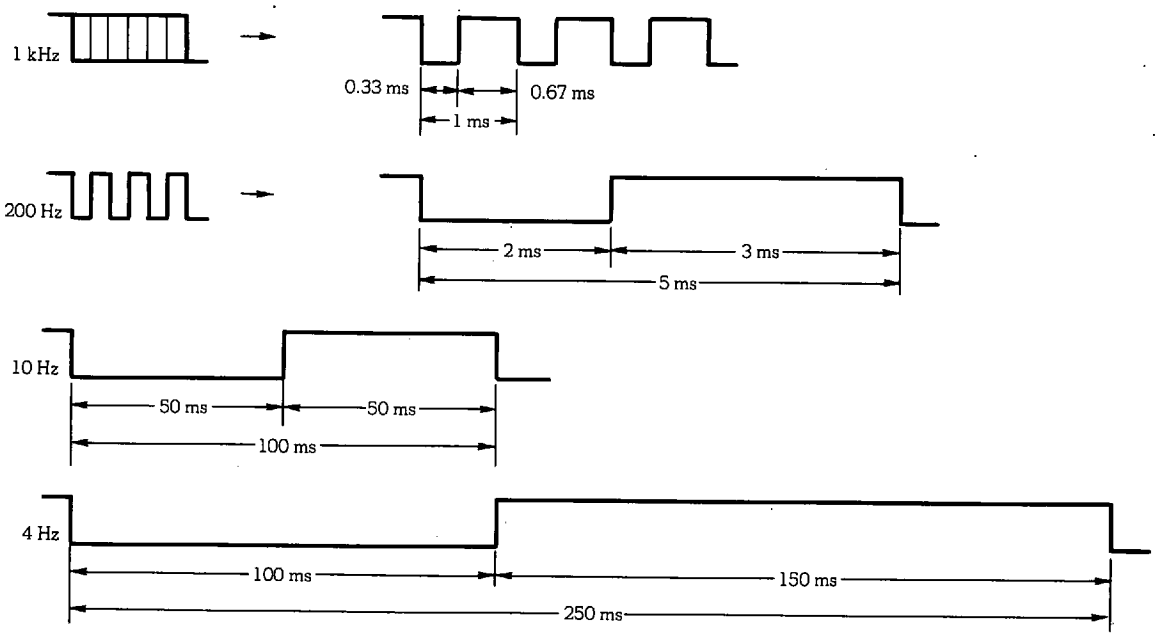
		タイマ・キャリーをセットする時間間隔を設定
0	0	100 ms
0	1	250 ms
1	0	5 ms
1	1	1 ms

		タイマ割り込みをセットする時間間隔を設定注
0	0	100 ms
0	1	250 ms
1	0	5 ms
1	1	1 ms

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CEリセット	状態保持			

注　タイマ割り込みについては，“**11.4　タイマ割り込み**”を参照してください。

図 11-3 タイマ時間設定パルスの波形



11.3.4 タイマ・キャリー・フリップフロップ（FF）・ジャッジ・レジスタ（TMCYJDG）の構成と機能

タイマ・キャリー・フリップフロップ（FF）・ジャッジ・レジスタは，内部タイマであるタイマ・キャリー・フリップフロップ（FF）の状態を検出します。

構成と機能を次に示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
タイマ・キャリーFF ジャッジ・レジスタ (TMCYJDG)	0	0	0	TMCY	17H	R

b_0（TMCY）：タイマ・キャリーFFの状態を検出する
- 0：タイマ・キャリーFFはセットされていない
- 1：タイマ・キャリーFFはセットされている

b_3, b_2, b_1：“0”に固定

リセット時		b_3	b_2	b_1	b_0
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	↓	1
	CEリセット	↓	↓	↓	1

TMCYフラグは，タイマ・モード・セレクト・レジスタ（TMMODE）によって設定された時間ごとに，“1”にセットされます。

TMCYフラグの検出は，“PEEK”命令によりウインドウ・レジスタを介して行います。

このとき，TMCYフラグが“1”にセットされていると，その値をウインドウ・レジスタに転送し，転送後にTMCYフラグを“0”にリセットします（Read & Reset）。

また，TMCYフラグは，パワーオン・リセット時は“0”であり，CEリセット時（クロック・ストップ状態からのCEリセットを含む）は“1”となるため，停電検出用フラグとして使用できます。

TMCYフラグは，パワーオン・リセット後，一度“PEEK”命令で読み込みを行うまでは“1”にセットされません。一度“PEEK”命令が実行されると，以後タイマ・モード・セレクト・レジスタで設定された時間ごとに“1”にセットされます。

11.3.5 TMCY フラグによるタイマ使用例

次にプログラム例を示します。

```
例      M1      MEM  0.10H      ; 1秒のカウンタ
        INITFLG NOT TMMD1, TMMD0
                                 ; 組み込みマクロ
                                 ; タイマ・キャリー FF のセット時間を 250 ms に設定
    LOOP :
        SKT1    TMCY             ; 組み込みマクロ
                                 ; TMC Y フラグをテストし，“0” なら NEXT へ分岐
        BR      NEXT
        ADD     M1, #0100B       ; データ・メモリ M1 に 4 を加算
        SKT1    CY               ; 組み込みマクロ
                                 ; CY フラグをテストし，
        BR      NEXT             ; “0” なら NEXT へ分岐
        [ 処 理 A ]              ; “1” なら処理 A を実行
    NEXT :
        [ 処 理 B ]              ; 処理 B を実行して LOOP へ分岐
        BR      LOOP
```

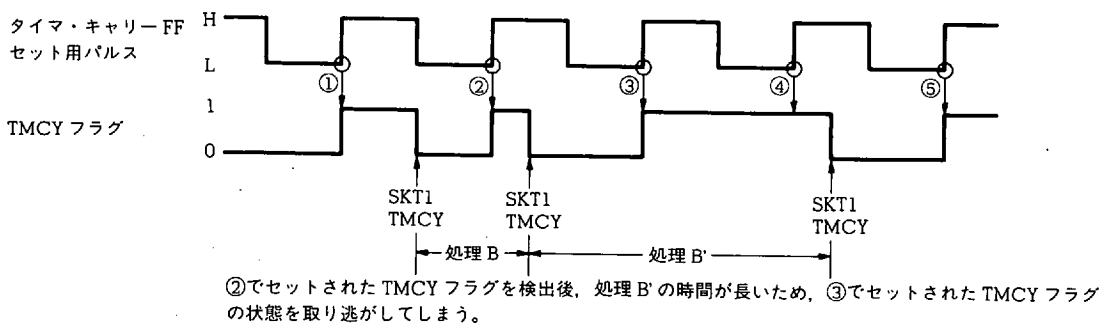
このプログラムは処理 A を 1 秒ごとに実行します。

ここでプログラム作成上，次に示す点に注意が必要です。

注意 TMCY フラグを検出する時間は，タイマ・キャリー FF がセット（1）される時間より短かくしてください。

これは，上記例を基にして説明すると，図 11 - 4 に示すように，処理 B の時間が 250 ms 以上あると，タイマ・キャリー FF のセットを取り逃がすためです。

図 11 - 4 TMCY フラグの検出とタイマ・キャリー FF



11.3.6 TMCY フラグによるタイマの誤差

TMCY フラグによるタイマの誤差には TMCY フラグの検出時間による誤差と，タイマ・キャリー FF のセット時間を変更した時の誤差があります。

次の（1）および（2）にそれぞれについて説明します。

(1) TMCY フラグの検出時間による誤差

11.3.5 で説明したように，TMCY フラグを検出する時間は，タイマ・キャリー FFがセット（1）される時間より短くする必要があります。

つまり TMCY フラグを検出する時間間隔を t_{CHECK} とし，タイマ・キャリー FF がセットされる時間間隔（250 ms，100 ms，5 ms または 1 ms）を t_{SET} とすると，次に示す関係である必要があります。

$$t_{CHECK} < t_{SET}$$

このとき図 11 - 5 に示すように TMCY フラグを検出するときのタイマの誤差は次のようになります。

$$0 < 誤差 < t_{CHECK}$$

図 11 - 5 TMCY フラグの検出時間による誤差

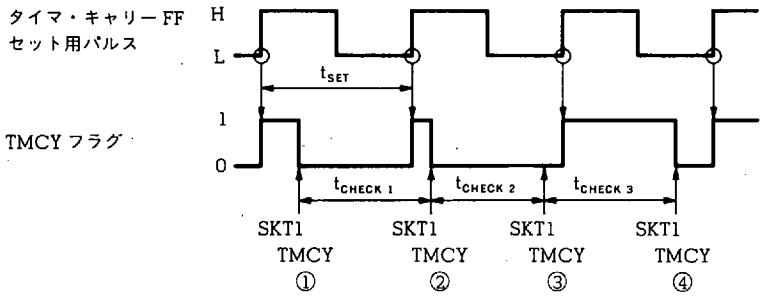


図 11 - 5 に示すように，まず②で TMCY フラグを検出すると“1”であるためタイマを更新します。
次に③で検出すると“0”であるため，④で再度検出するまでタイマは更新されません。
つまり，このときのタイマは t_{CHECK3} の時間だけ長くなることになります。

(2) タイマ・キャリーFFのセット時間を変更したときの誤差

タイマ・キャリーFFのセット時間はタイマ・モード・セレクト・レジスタのTMMD1およびTMMD0フラグにより設定します。

図11-2および図11-3に示したように，タイマ時間設定パルスは1 kHz，200 Hz，10 Hzおよび4 Hzの4種類を選択できます。

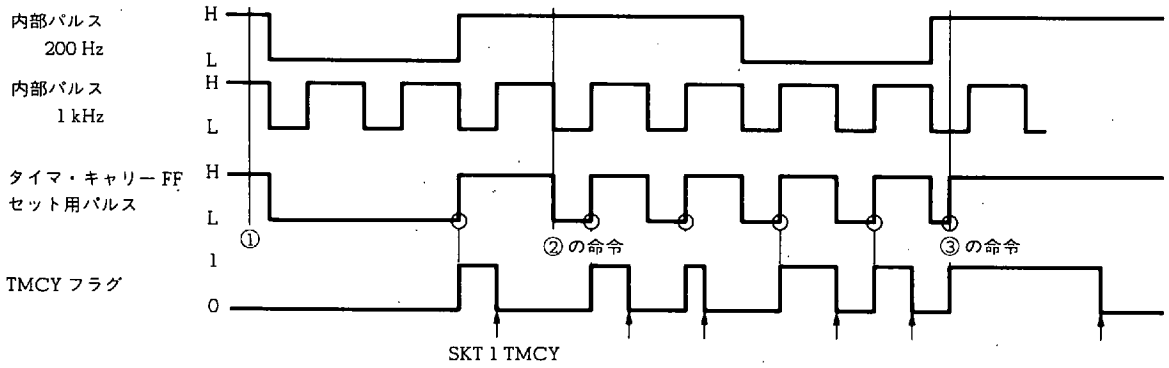
このとき，これらの4種類のパルスは独立に動作しています。

したがってTMMD1，TMMD0フラグによってタイマ時間設定パルスを切り替えると，次に示す例のように誤差が生じます。

例

```
;①
    INITFLG   TMMD1, NOT TMMD0   ;組み込みマクロ
                                 ;タイマ・キャリーFFセット用パルスを200 Hz (5 ms) に設定
    [ 処 理 A ]
;②
    SET2      TMMD1, TMMD0       ;組み込みマクロ
                                 ;タイマ・キャリーFFセット用パルスを1 kHz (1 ms) に設定
    [ 処 理 A ]
;③
    INITFLG   TMMD1, NOT TMMD0   ;組み込みマクロ
                                 ;タイマ・キャリーFFセット用パルスを200 Hz (5 ms) に設定
```

このとき，タイマ・キャリーFFセット用パルスは以下のように切り替わります。



上図に示すように，タイマ・キャリーFFのセット時間を切り替えることにより，切り替わったパルスが立ち下がった場合はTMCYフラグは以前の状態を保持（図の②）しますが，切り替わったパルスが立ち上がったときはTMCYフラグはセット（1）されます（図の③）。

前ページの例では 200 Hz(5 ms)と 1 kHz(1 ms)の切り替え時を説明しましたが, 4 Hz(250 ms)や 10 Hz(100 ms)についても同様となります。

したがって, 図 11-6 に示すようにタイマ・キャリー FF セット時間を切り替えたときの最初の TMCYフラグのセットされるまでの誤差は以下のようになります。

$-t_{SET}$ < 誤差 < t_{CHECK}

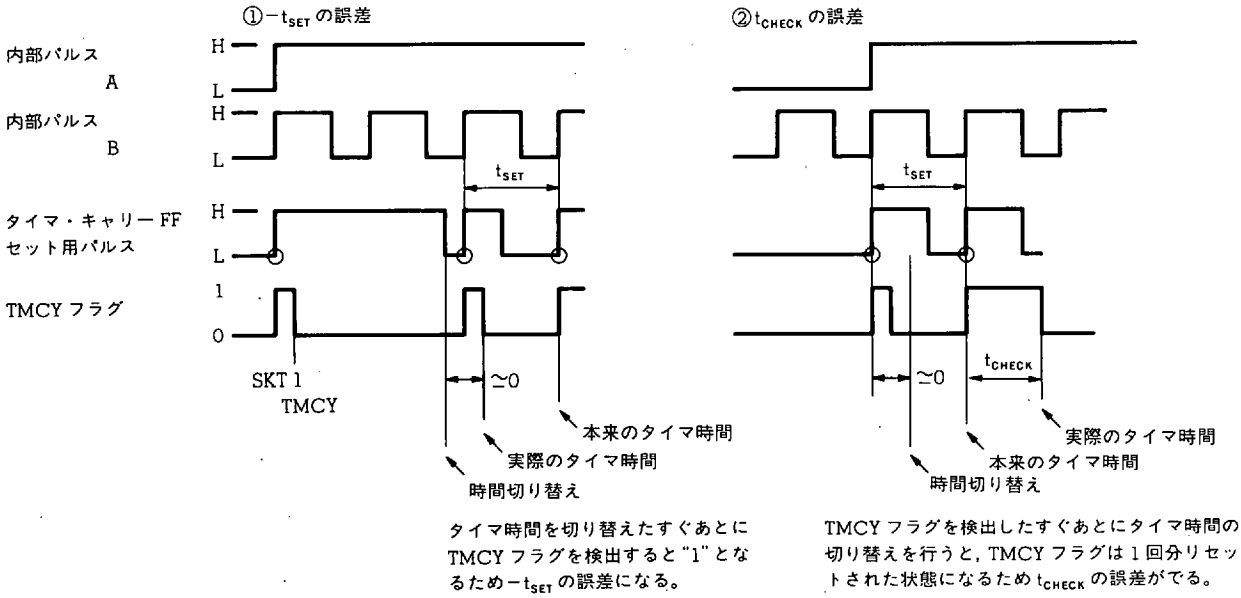
t_{SET} ：切り替わったタイマ・キャリー FF セット時間

t_{CHECK} ：TMCY フラグを検出する時間

なお 4 Hz, 10 Hz, 200 Hz および 1 kHz の内部パルスにはそれぞれ位相差を設けてありますが, この位相差は切り替えたパルスの時間より短くなるため上記誤差の中に含まれることになります。

各パルスの位相差については, "**11.4.5 タイマ割り込み使用時の注意**" を参照してください。

図 11-6 タイマ・キャリー FF セット時間を A→B に切り替えたときの誤差



11.3.7 タイマ・キャリー使用時の注意

タイマ・キャリーは，タイマ機能だけでなくCE端子によるリセット（CEリセット）時のリセット同期信号に使用しています。

CE端子がロウ・レベルからハイ・レベルに変化したあとに次のタイマ・キャリーFFセット用パルスが立ち上がると，CEリセットがかかります。

このとき，次に示す点に注意が必要です。

(1) タイマの更新処理時間およびTMCYフラグの検出時間間隔の和は，タイマ・キャリーFFセット時間より短い必要があります。

(2) 電源電圧投入（パワーオン・リセット）後，CEリセットに関係なく常時一定のタイマが動作するプログラムを作成したときは，CEリセットごとに補正を行う必要があります。

(3) TMCYフラグの検出とCEリセット時のリセット同期信号は，TMCYフラグの検出が優先されます。したがって，両方が重なった場合はCEリセットは1回分遅れてかかります。

上記（1），（2）および（3）について，それぞれ**(a)-(c)**に説明します。

(a) タイマの更新処理時間および TMCY フラグの検出時間間隔

11.3.6 でも説明したように，TMCY フラグを検出する時間間隔 t_{SET} はタイマ・キャリー FF がセットされる時間より短くする必要があります。

このとき，たとえ TMCY フラグを検出する時間間隔が短くてもタイマの更新処理時間が長いときは，CE リセットがかかるとタイマの処理が正常に実行されない場合があります。

したがって，次の条件を満足させる必要があります。

$$t_{CHECK}+t_{TIMER}<t_{SET}$$

t_{CHECK} ；TMCY フラグを検出する時間間隔

t_{TIMER} ；タイマ更新処理時間

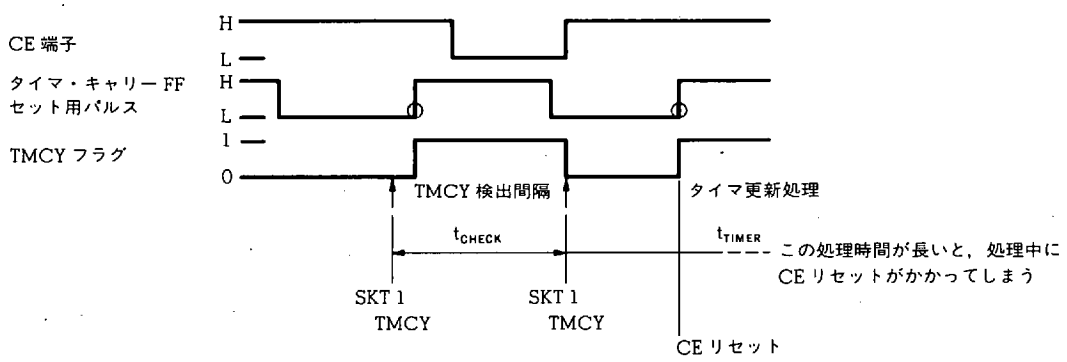
t_{SET} ；タイマ・キャリー FF をセットする時間

次に例を示します。

例　タイマの更新処理および TMCY フラグ検出時間間隔例

```
START :                          ; プログラム・アドレス 0000H
      CLR2  TMMD1, TMMD0
                                 ; 組み込みマクロ
                                 ; タイマ・キャリー FF のセット時間を 100 ms に設定
TIMER :
    ; ①
        SKT1 TMCY                ; 組み込みマクロ
                                 ; TMCY フラグをテストし
        BR    AAA                ; "0" なら AAA へ分岐
        [ タイマ更新 ]
        BR    TIMER
AAA :
        [ 処　理　A ]
        BR    TIMER
```

上記プログラムのタイミング・チャートを次に示します。



(b) CE リセット時におけるタイマ・キャリーの補正

次に CE リセット時のタイマ補正例を示します。

例に示すように，CE リセット時にタイマの補正が必要な場合として，“タイマ・キャリーを停電検出に使用しており，かつタイマ・キャリーを時計用のタイマ等に使用している場合”が考えられます。

タイマ・キャリーは最初に電源電圧を投入した（パワーオン・リセット）時はリセット（0）されており，以後一度“PEEK”命令により TMCY フラグを読み出すまでセット禁止状態になっています。

また，CE 端子がロウ・レベルからハイ・レベルに変化すると，タイマ・キャリー FF セット用パルスの立ち上がりエッジに同期して CE リセットがかかります。このとき，TMCY フラグはセット（1）されてスタートします。

したがって，システム・リセット（パワーオン・リセットおよび CE リセット）時に TMCY フラグの状態を検出することにより，“0”であればパワーオン・リセットであり，“1”であれば CE リセットであると判断できます（停電検出）。

このとき，時計用のタイマなどは CE リセット時でも動作を継続していなければなりません。

ところが，停電検出のために TMCY フラグを読み込むことにより TMCY フラグがリセット（0）されてしまうため，TMCY フラグのセット（1）状態を 1 回見のがしてしまいます。

このため，停電検出により CE リセットと判断されたときは時計用のタイマ更新を行う必要があります。

停電検出については“**13.6 停電検出**”を参照してください。

例 CE リセット時のタイマ補正例（タイマ・キャリーにより停電検出と時計の更新を行うとき）

```
START :                          ; プログラム・アドレス 0000H
        [ 処 理 A ]
    ;①
        SKT1    TMCY             ; 組み込みマクロ
                                 ; TMCY フラグをテストし
        BR      INITIAL          ; “0”なら INITIAL へ分岐（停電検出）
BACKUP :
    ;②
        [ 100 ms 分時計更新 ]     ; バックアップ（CE リセット）であるため時計の補正
LOOP :
    ;③
        [ 処 理 B ]              ; 処理 B をしながら
        SKF1    TMCY             ; TMCY フラグをテストして時計を更新する。
        BR      BACKUP
        BR      LOOP
INITIAL :
        CLR2    TMMD1, TMMD0
                                 ; 組み込みマクロ
                                 ; 停電（パワーオン・リセット）であるため，タイマ・キャリー
                                 ; FF のセット時間を 100 ms に設定し，処理 C を実行する。
        [ 処 理 C ]
        BR      LOOP
```

上記プログラムのタイミング・チャートを図 11-7 に示します。

図 11-7 タイミング・チャート

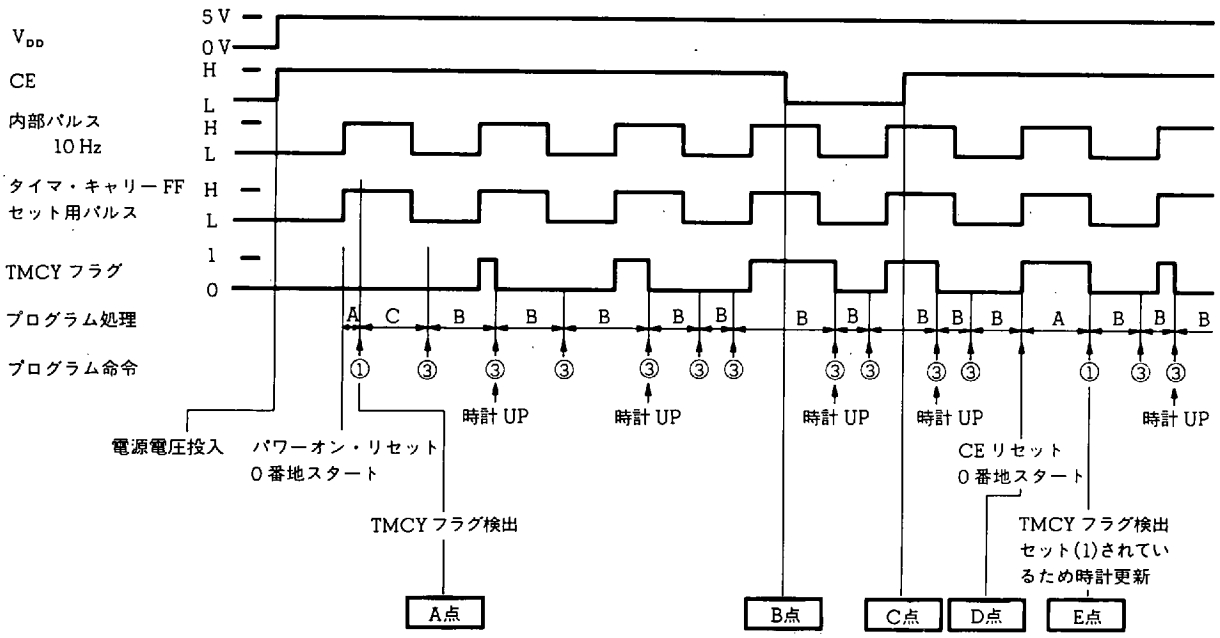


図 11-7に示すように，最初に電源電圧 V_{DD} を投入したときは内部 10 Hz パルスの立ち上がりにより 0000H 番地からプログラムがスタートします。

次に A 点で TMCY フラグを検出すると，電源投入時であるため TMCY フラグはリセット (0) されており停電（パワーオン・リセット）であると判断されます。

したがって，“処理 C” を実行しタイマ・キャリー FF セット用パルスを 100 ms に設定します。

A 点で一度 TMCY フラグの内容を読み出しているため，以後 100 ms ごとに TMCY フラグがセット (1) されます。

次に B 点で CE 端子がロウ・レベルとなり C 点でハイ・レベルになっても，クロック・ストップ命令が実行されていない限りプログラムは “処理 B” を実行しながら時計のカウント・アップを行います。

C 点で CE 端子がロウ・レベルからハイ・レベルに立ち上がったため，次のタイマ・キャリー FF セット用パルスの立ち上がりである D 点で CE リセットがかかりプログラムは 0000H 番地からスタートします。

このとき E 点で TMCY フラグを検出すると TMCY フラグはセット (1) されているためバックアップ (CE リセット）と判断されます。

また，図から明らかなように E 点で時計を 100 ms 分更新しなければ，CE リセットがかかるたびに時計が 100 ms ずつ遅れることになります。

また，E 点で停電検出を行うときに処理 A が 100 ms 以上かかっていると，TMCY フラグのセットを 2 回見逃すことになるため，処理 A は 100 ms 未満に行う必要があります。

前述した内容は，タイマ・キャリー FF セット用パルスに 250 ms，5 ms および 1 ms を選択したときも同様になります。

したがって，停電検出のための TMCY フラグの検出はプログラムが 0000H 番地からスタートしたのち，タイマ・キャリー FF のセット時間未満で行う必要があります。

(c) TMCY フラグの検出と CE リセットが重なったとき

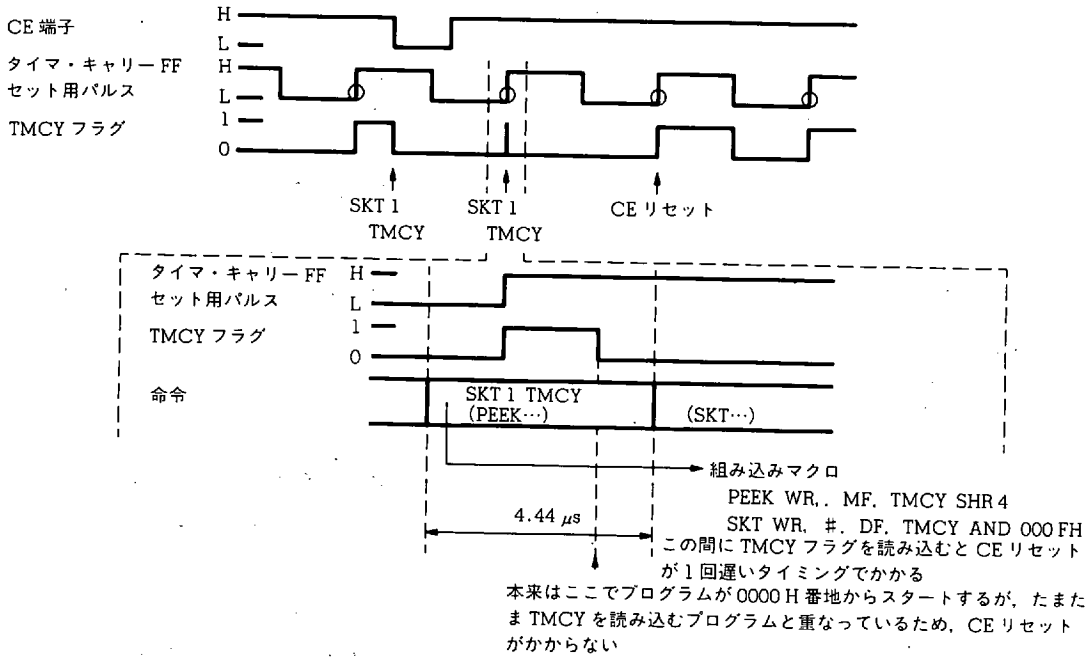
(b) でも説明したように，CE リセットは TMCY フラグがセット（1）されると同時にかかります。

このとき，たまたま TMCY フラグの読み込み命令と CE リセットが重なると，TMCY フラグの読み込み命令が優先されます。

したがって，CE 端子がロウ・レベルからハイ・レベルに切り替わった次の TMCY フラグのセット（タイマ・キャリー FF セット用パルスの立ち上がり）と，TMCY フラグの読み込み命令が重なったときは，さらに“その次の TMCY フラグがセットされるタイミング”で CE リセットがかかります。

この動作を図 11-8 に示します。

図 11-8 CE リセットと TMCY フラグの読み込み命令が重なったときの動作



したがって，TMCY フラグを周期的に検出するようなプログラムで，かつ TMCY フラグの検出時間間隔と TMCY フラグのセット時間が一致するようなプログラムになっていると永遠に CE リセットがかからないことがあります。

したがって，次に示す点に注意が必要です。

1 命令サイクルは 4.44 μs（1/225 kHz）であるため，たとえば225命令に 1 回の割り合いで TMCY フラグを検出するようなプログラムは 4.44 μs×225＝1 ms ごとに TMCY フラグを読み出すことになります。

このとき，タイマ時間設定パルスは 1 ms，5 ms，100 ms および 250 ms のどれを選択しても，一度 TMCY フラグのセットと検出が一致すると，永遠に CE リセットがかからなくなります。

したがって，**次に示す条件を満足するような周期のプログラムは作成しないでください。**

$$\frac{t_{SET} \times X}{225} = n \quad (n：自然数)$$

t_{SET} ：**TMCY フラグのセット時間**

X ：**TMCY フラグを読み出す命令の周期 X ステップ**

次頁にこの条件を満足してしまうプログラム例を示します。このようなプログラムは作成しないでください。

例

```
        [ 処 理 A ]
SET2 TMMD1, TMMD0
                        ; 組み込みマクロ
                        ; タイマ・キャリーFFセット用パルスを1msに設定
LOOP :
    ;①
      SKT1    TMCY      ; 組み込みマクロ
      BR      BBB
AAA :
      [ 221 ステップ ]
      BR      LOOP
BBB :
      [ 221 ステップ ]
      BR      LOOP
```

この例では，①のTMCYフラグ読み込み命令は225命令ごとに繰り返されるため，①の命令のタイミングでたまたまTMCYフラグがセットされると，以後CEリセットがかからなくなります。

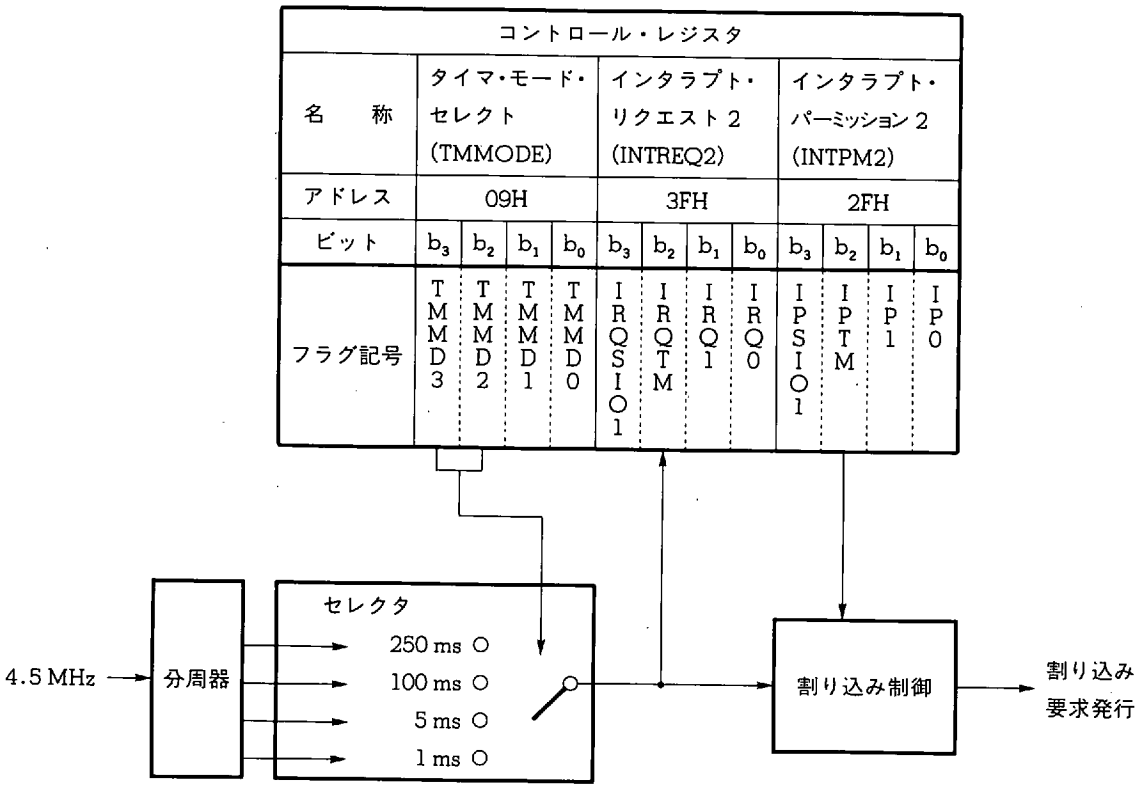
11.4 タイマ割り込み

11.4.1 タイマ割り込みの構成

図11-9に，タイマ割り込みの構成を示します。

図11-9に示すように，タイマ割り込みは，分周器，セレクタ，および割り込み制御ブロックにより構成されています。

図11-9 タイマ割り込みの構成



11.4.2 タイマ割り込みの機能

タイマ割り込みは，タイマ・モード・セレクト・レジスタの上位２ビット(TMMD3，TMMD2フラグ）により設定されたタイマ割り込み用パルスの立ち下がりエッジにより割り込み要求が発行されます（**11.3.3**参照)。

タイマ割り込み要求は，インタラプト・リクエスト２レジスタ（INTREQ2：RFアドレス 3FH）の IRQTM フラグと１対１に対応しており，タイマ割り込み要求が発行されると IRQTM フラグがセット（1）されます。

つまり，タイマ割り込み用パルスが立ち下がると，IRQTM フラグがセット（1）されます。

タイマ割り込みは，“**10. 割り込み**”でも説明したように割り込み要求の発行以外に，すべての割り込みの許可命令である“EI”命令の実行およびタイマ割り込みの許可を設定する必要があります。

タイマ割り込みの許可は，インタラプト・パーミッション２レジスタ（INTPM2：RFアドレス 2FH）の IPTM フラグをセット（1）することにより設定します。

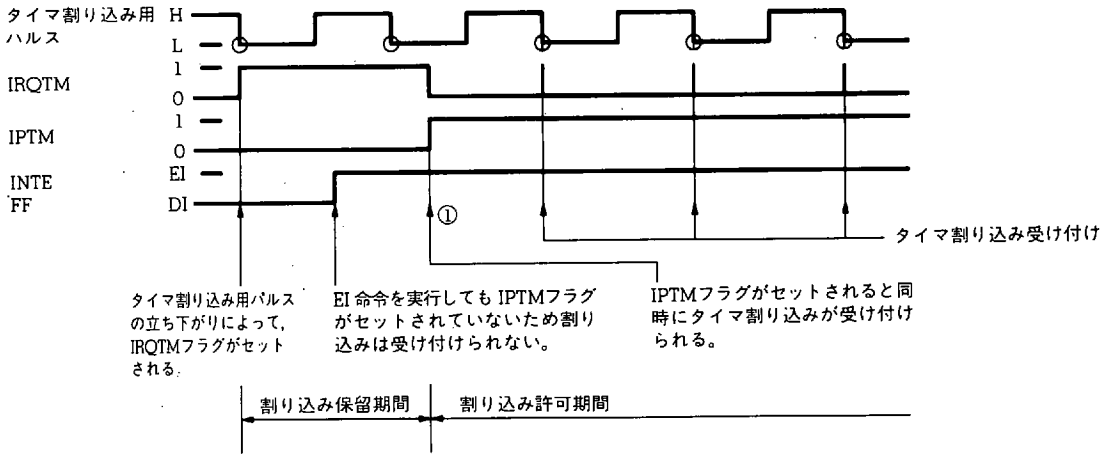
したがってタイマ割り込みは，“EI”命令が実行されており，かつ IPTM フラグがセット（1）されているときに IRQTM フラグがセット（1）されると受け付けられます。

タイマ割り込みが受け付けられるとプログラムの流れはプログラム・メモリ・アドレスの 0003H 番地に移ります。

割り込みが受け付けられた時点で IRQTM フラグはリセット（0）されます。

図 11 - 10 にタイマ割り込み用パルスと IRQTM フラグの関係を示します。

図 11 - 10 タイマ割り込み用パルスと IRQTM フラグの関係



ここで注意する点は図 11 - 10 の①点に示すように，“DI”命令もしくは IPTM フラグによりタイマ割り込みが禁止されているときに IRQTM フラグが一度セットされると，次に“EI”命令の実行および IPTM フラグがセットされた時点でタイマ割り込みが受け付けられるという点です。

このような場合は，IRQTM フラグに“0”を書き込むことにより割り込み要求を解除することができます。

また，逆に IRQTM フラグに“1”を書き込むと，割り込み要求が発行されたことと等価になります。

タイマ割り込みが受け付けられたときはスタックが１レベル使用されます。

このとき，バンク・レジスタ（BANK：アドレス 79H）の内容と，インデクス・イネーブル・フラグ（IXE：アドレス 7FH のビット b_0）の内容は自動的に退避されます。

割り込み処理ルーチンからの復帰には専用命令である“RETI”命令を使用します。

詳しくは“**3. アドレス・スタック（ASK）**”および“**10. 割り込み**”を参照してください。

11.4.3 および **11.4.4** にタイマ割り込みを用いた使用例およびタイマ割り込みの誤差について説明します。

また，ほかの割り込み（INT_0 端子，INT_1 端子，シリアル・インタフェース 1 および周波数カウンタ）との関係は，“**10. 割り込み**” を参照してください。

11.4.3 タイマ割り込みによるタイマの使用例

例

```
M1          MEM     0.10H        ; 80 ms のカウンタ
TIMER       DAT     0003H        ; タイマ割り込みベクタ・アドレスのシンボル定義

            BR      START        ; START に分岐
ORG         TIMER                ; プログラム・アドレス（0003H）
            ADD     M1, #0001B   ; M1 に 1 を加算
            SKT1    CY           ; CY フラグをテスト
            BR      EI_RETI      ; キャリーが出なければリターン
            [ 処 理 A ]
EI_RETI :
            EI
            RETI
START :
            INITFLG TMMD3, NOT TMMD2
                                 ; 組み込みマクロ
                                 ; タイマ割り込み用パルスを 5 ms に設定
            MOV     M1, #0000B   ; M1 の内容をクリア
            SET1    IPTM1        ; タイマ割り込みの許可を設定
            EI                   ; すべての割り込みの許可を設定
LOOP :
            [ 処 理 B ]
            BR      LOOP
```

上記プログラムは，処理 A を 80 ms ごとに実行します。

このとき注意する点は，割り込みが受け付けられると自動的に DI 状態となることと，DI 状態であっても IRQTM フラグはセット（1）されるということです。

つまり，処理 A の時間が 5 ms 以上かかると，“RETI” 命令で復帰してもすぐに割り込みが受け付けられてしまい，処理 B は実行されなくなってしまいます。

11.4.4 タイマ割り込みの誤差

11.4.2 で説明したように，EI 命令が実行されており，かつタイマ割り込みが許可されていれば，タイマ割り込み用パルスが立ち下がるたびに割り込みが受け付けられます。

したがって，タイマ割り込み使用時のタイマの誤差は，次の（1)-(3）の操作を行ったときのみ発生します。

(1) タイマ割り込みを許可したときの最初の割り込み受け付け時

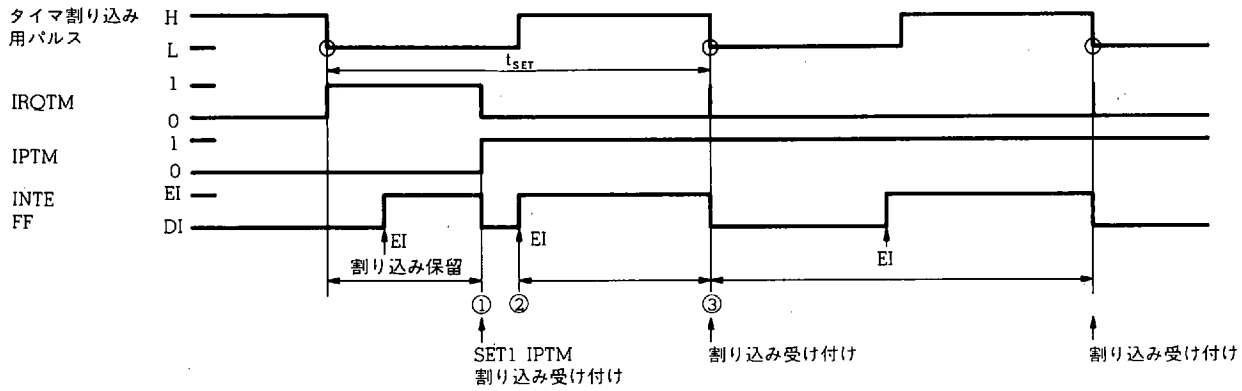
(2) タイマ割り込み用パルスの時間を変更したときの最初の割り込み受け付け時

(3) IRQTM フラグに書き込み操作を行ったとき

図 11 - 11 に各操作時の誤差を示します。

図 11 - 11　タイマ割り込みの誤差（1/2）

(a) タイマ割り込みを許可したとき



上記①点で IPTM フラグをセットしてタイマ割り込みを許可すると即座に割り込みが受け付けられます。

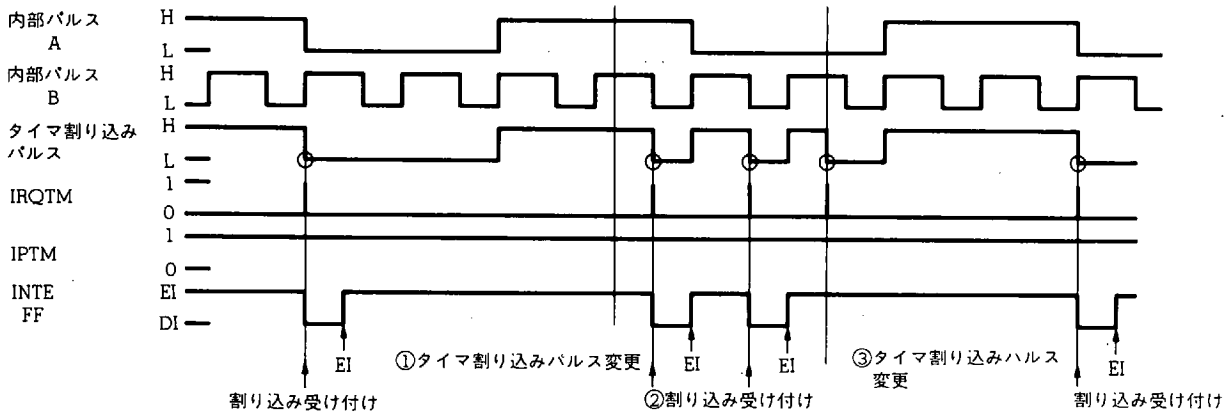
このときの誤差は $-t_{SET}$ になります。

次に②点で "EI" 命令により割り込みを許可すると③点のタイマ割り込み用パルスの立ち下がりで割り込みがかかります。

このときの誤差は $-t_{SET}$ < 誤差 < 0になります。

図 11 - 11　タイマ割り込みの誤差 (2/2)

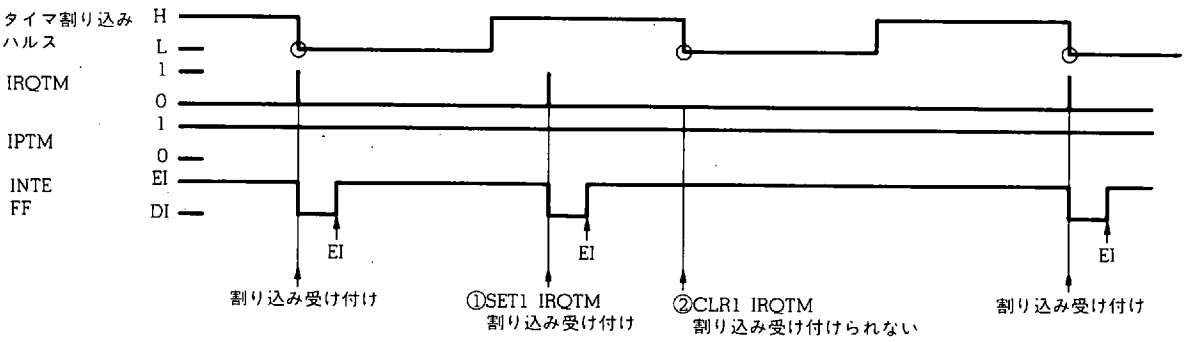
(b) タイマ割り込み用パルスを切り替えたとき



①でタイマ割り込みパルスをBに変更してもタイマ割り込み用パルスが立ち下がらないため，次の②で割り込みが受け付けられます。

③でタイマ割り込みパルスをAに変更するとタイマ割り込み用パルスが立ち下がるため，即座に割り込みが受け付けられます。

(c) IRQTM フラグを操作したとき



①で IRQTM フラグをセットすると即座に割り込みが受け付けられます。

②で IRQTM フラグのリセットとタイマ割り込み用パルスの立ち下がりが重なると割り込みは受け付けられません。

11.4.5 タイマ割り込み使用時の注意

タイマ割り込みを使用して，一度電源電圧 V_{DD} が投入（パワーオン・リセット）されたあと，常に一定のタイマが動作するようなプログラム，たとえば，時計用のプログラムなどを作成するときは，タイマ割り込み処理時間を一定時間以内に終了させる必要があります。

次に，例をもとに説明します。

例

```
M1          MEM     0.10H        ; 1 ms のカウンタ
TIMER       DAT     0003H        ; 割り込みベクタ・アドレスのシンボル定義

            BR      START        ; START に分岐
ORG         TIMER                ; プログラム・アドレス（0003H）
            ADD     M1, #0100B   ; M1 の内容に 0100B を加算
            SKT1    CY           ; キャリーが出れば時計処理
            BR      EI_RETI      ; キャリーが出なければそのままリターン
        ;①
            [ 時計処理 ]
EI_RETI :
            EI
            RETI
START :
            INITFLG NOT TMMD3, TMMD2, NOT TMMD1, NOT TMMD0
                                 ; 組み込みマクロ
                                 ; タイマ割り込み時間を 250 ms に，タイマ・キャリー FF
                                 ; セット時間を 100 ms に設定
            SET1    IPTM         ; タイマ割り込みを許可
            EI                   ; すべての割り込みの許可を設定
LOOP :
            [ 処 理 A ]
            BR      LOOP
```

この例では，処理 A を実行しながら，1 秒ごとに時計処理①を実行します。

ここで図 11 - 12 の (a) に示すように，CE 端子がロウ・レベルからハイ・レベルに立ち上がると，タイマ・キャリー FF セット用パルスの立ち上がりに同期して，CE リセットがかかります。

このとき，たまたまタイマ割り込み要求（IRQTM フラグ）の発行とタイマ・キャリー FF のセットが重なると，CE リセットが優先されます。

CE リセットがかかると，IRQTM フラグは自動的に“0”にリセットされてしまいます。

つまり，IRQTM フラグが“1”にセットされているときに CE リセットがかかると，タイマ処理を 1 回分取り逃がすことになります。

前頁の例に示したタイマ割り込みの取りこぼしを防ぐため，実際には図11－12の（b）に示すように“タイマ・キャリーFFセット用パルスの立ち上がり”と“タイマ割り込み用パルスの立ち下がり”にはディレイを設けてあります。

したがって図11－12の（b）に示したように，例においては時計処理の時間を10 ms以内に行うことによりCEリセットによるタイマ割り込みの取りこぼしはなくなります。

タイマ・キャリーFFおよびタイマ割り込みの時間設定用パルスは4 Hz(250 ms)，10 Hz(100 ms)，200 Hz(5 ms)および1 kHz（1 ms）の4種類を独立して設定できるため，それぞれ図11－13および表11－1に示す時間差を設けてあります。

したがって，CEリセット時においてもタイマ割り込みを有効にする必要がある場合は，図11－13に示すパルスのディレイ時間以内にタイマ割り込みの処理を終了すればよいことになります。

図11－12　タイミング・チャート

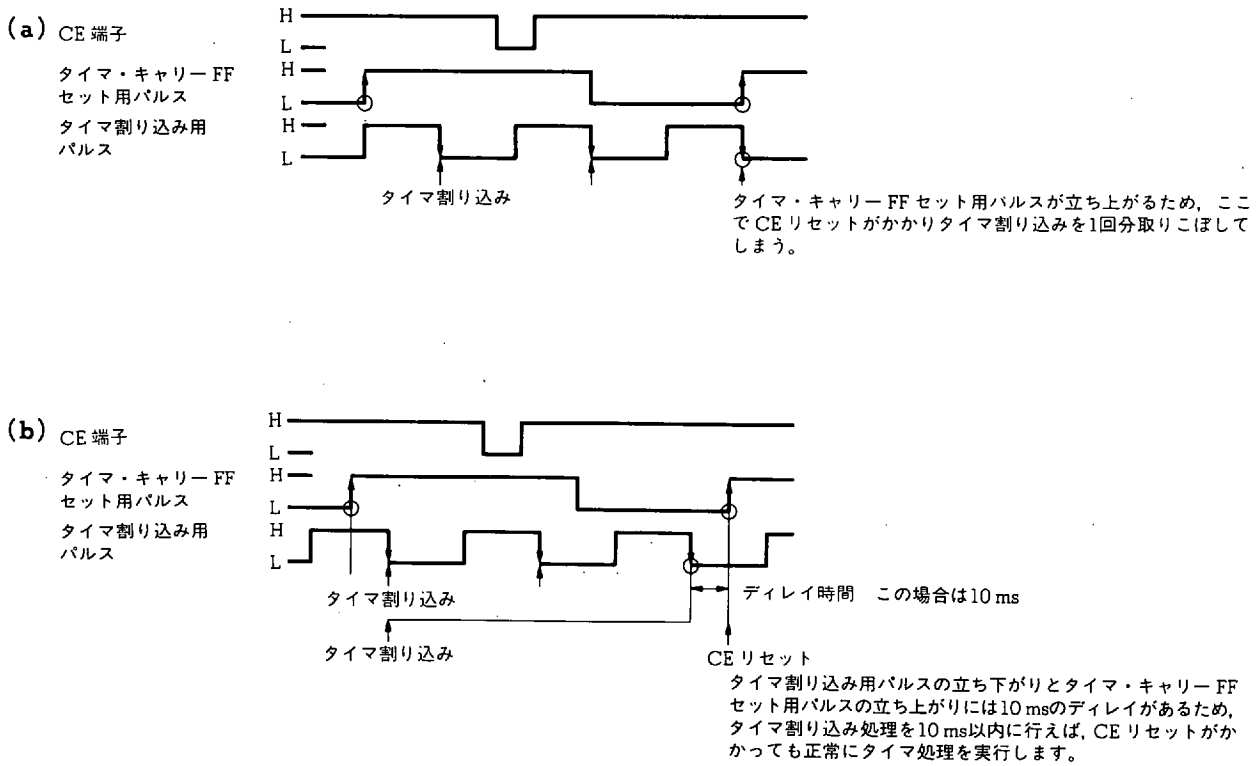


図 11 - 13　タイマ・キャリー FF セット用パルスとタイマ割り込み用パルスの時間差

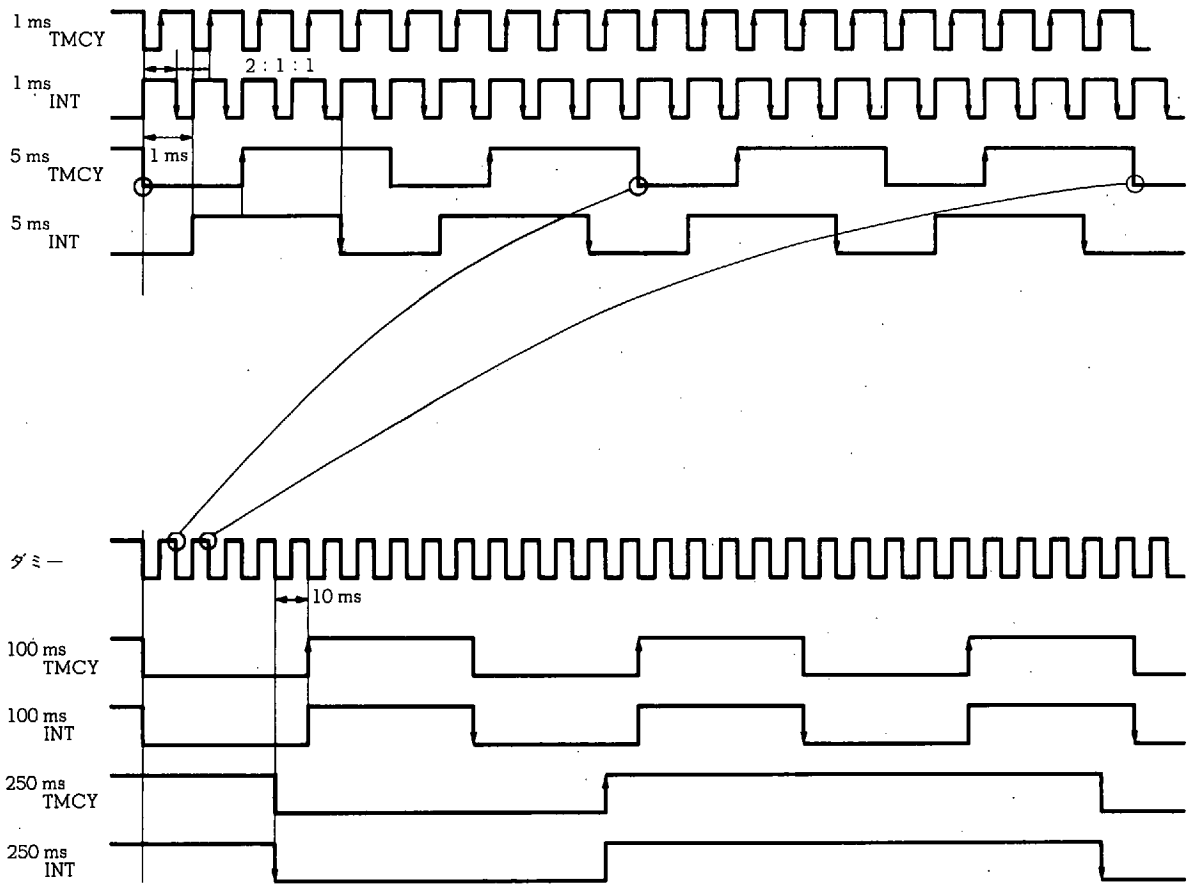
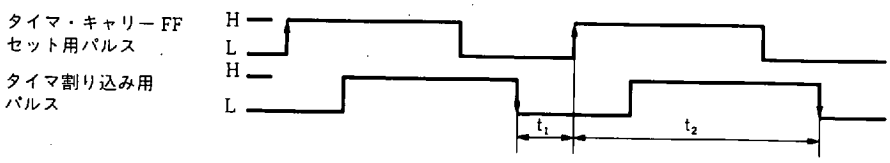


表 11-1　タイマ・キャリー FF 用パルスの立ち上がりエッジと
タイマ割り込み用パルスの立ち下がりエッジの時間差

内部パルス		時間差の最小値（下図参照）	
タイマ・キャリー	タイマ割り込み	t_1	t_2
1 ms	1 ms	666 μs	333 μs
1 ms	5 ms	333 μs	666 μs
1 ms	100 ms	333 μs	666 μs
1 ms	250 ms	333 μs	666 μs
5 ms	1 ms	333 μs	666 μs
5 ms	5 ms	3 ms	2 ms
5 ms	100 ms	2 ms	3 ms
5 ms	250 ms	2 ms	3 ms
100 ms	1 ms	333 μs	666 μs
100 ms	5 ms	1 ms	4 ms
100 ms	100 ms	50 ms	50 ms
100 ms	250 ms	10 ms	40 ms
250 ms	1 ms	333 μs	666 μs
250 ms	5 ms	1 ms	4 ms
250 ms	100 ms	40 ms	10 ms
250 ms	250 ms	100 ms	150 ms



12. スタンバイ

スタンバイ機能は，バックアップ時にデバイスの消費電流を減少させる目的で使用します。

12.1 スタンバイ・ブロックの構成

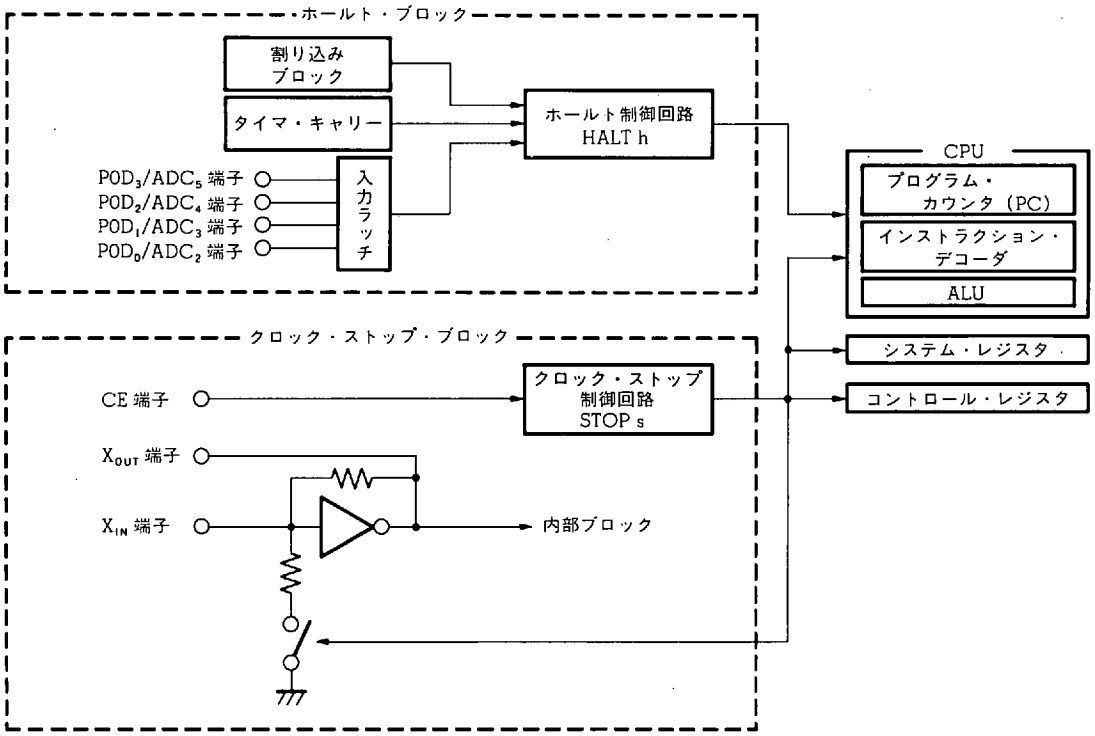
図 12-1 にスタンバイ・ブロックの構成を示します。

図 12-1 に示すようにスタンバイ・ブロックはホールト制御ブロックとクロック・ストップ制御ブロックに分けられます。

ホールト制御ブロックはホールト制御回路のほかに割り込み制御ブロック，タイマ・キャリーおよびキー入力端子である $P0D_0$ /ADC_2 端子-$P0D_3$ /ADC_5 端子から構成されており，CPU(プログラム・カウンタ，インストラクション・デコーダおよび ALU ブロック）の動作を制御します。

クロック・ストップ制御ブロックはクロック・ストップ制御回路により 4.5 MHz 水晶振動子の発振回路，CPU，システム・レジスタおよびコントロール・レジスタを制御します。

図 12-1 スタンバイ・ブロックの構成



12.2 スタンバイ機能

スタンバイ機能は，デバイスの動作を一部またはすべて停止させることによりデバイスの消費電流を減少させます。

スタンバイ機能は，ホールト機能とクロック・ストップ機能に分けられます。

ホールト機能は，専用命令である“HALT h”命令を使用してCPUの動作を停止させることによりデバイスの消費電流を減少させます。

クロック・ストップ機能は，専用命令である“STOP s”命令を使用して4.5 MHz水晶振動子の発振回路を停止させることによりデバイスの消費電流を減少させます。

ホールト機能とクロック・ストップ機能の他に，CE端子によるデバイスの動作モードの設定があります。

CE端子はPLL周波数シンセサイザの動作制御およびデバイスのリセットに使用しますが，PLL周波数シンセサイザの動作制御を行う点ではスタンバイ機能の1つといえます。

12.3にCE端子によるデバイス動作モードの設定を説明します。

12.4および**12.5**にホールト機能およびクロック・ストップ機能を説明します。

12.3 CE端子によるデバイス動作モード

CE端子は，外部から入力される信号の入力レベルおよび立ち上がりエッジにより次の(1)-(3)に示す機能を制御します。

(1) PLL周波数シンセサイザの動作制御
(2) クロック・ストップ命令の有効，無効の制御
(3) デバイスのリセット

12.3.1 - 12.3.3 に上記(1)-(3)を説明します。

12.3.1 PLL周波数シンセサイザの動作制御

PLL周波数シンセサイザはCE端子がハイ・レベルのときのみ動作可能になります。

CE端子がロウ・レベルのときは自動的にPLLディスエーブルになります。

PLLディスエーブル時はVCOH端子およびVCOL端子がデバイス内部でプルダウンされ，EO_0端子およびEO_1端子はフローティングになります。

また，LPFディスエーブル時は内蔵オペアンプも同時にディスエーブルされます。

このときLPF_{IN}端子は内部でプルアップされ，LPF_{OUT}端子（N-chオープン・ドレーン出力）はオフします。

PLL周波数シンセサイザは，CE端子がハイ・レベルのときでもプログラムによりディスエーブルすることが可能です。

12.3.2 クロック・ストップ命令の有効，無効の制御

クロック・ストップ命令である“STOP s”命令は，CE端子がロウ・レベルのときのみ有効になります。

CE端子がハイ・レベルのときに実行された“STOP s”命令は，ノー・オペレーション命令（NOP）として実行されます。

12.3.3 デバイスのリセット

CE端子をロウ・レベルからハイ・レベルに立ち上げることによりデバイスにリセット（CEリセット）をかけることができます。

リセットにはCEリセットのほかに電源電圧V_{DD}を投入したときのパワーオン・リセットがあります。

詳しくは“**13. リセット**”を参照してください。

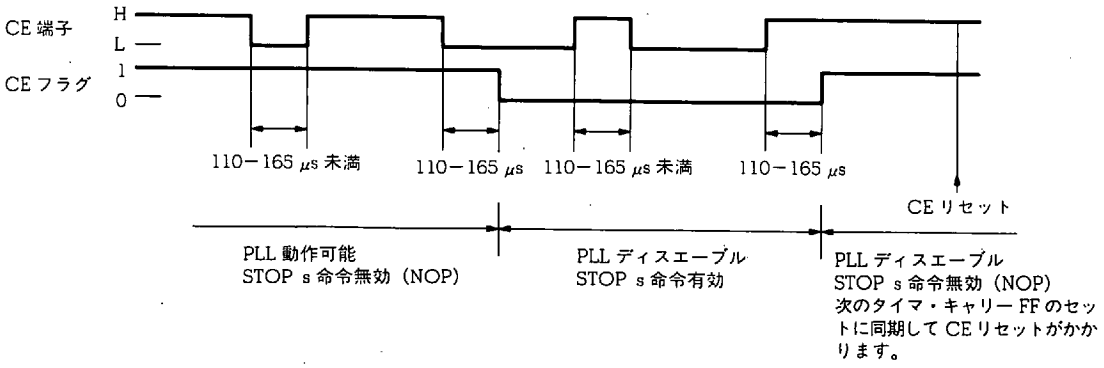
12.3.4 CE 端子への信号入力

CE 端子は，ノイズによる誤動作を防止するため 110 - 165 μs 未満のロウ・レベルまたはハイ・レベルは受け付けません。

また CE 端子に入力された信号の入力レベルは，CE 端子レベル・ジャッジ・レジスタ（RF アドレス 07H 番地）の CE フラグにより検出することができます。

図 12 - 2 に入力信号と CE フラグの関係を示します。

図 12 - 2 CE 端子への入力信号と CE フラグの関係



12.3.5 CE 端子レベル・ジャッジ・レジスタの構成と機能

CE 端子レベル・ジャッジ・レジスタは，CE 端子の入力信号レベルを検出します。

次に構成と機能を示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
CE 端子レベル・ジャッジ・レジスタ（CEJDG）	0	0	0	CE	07H	R

CE 端子に入力されているレベルを検出

0	ロウ・レベルが入力されている
1	ハイ・レベルが入力されている

“0” 固定

リセット時	パワーオン	0	0	0	－
	クロック・ストップ	↓	↓	↓	－
	CE	↓	↓	↓	－

CE フラグも 110 - 165 μs 未満のロウ・レベルおよびハイ・レベルでは変化しません。

12.4 ホールト機能

ホールト機能は“HALT h”命令を実行することによりCPUの動作クロックを停止します。

すなわち“HALT h”命令が実行されると，プログラムは“HALT h”命令で停止し，以後ホールト状態が解除されるまで“HALT h”命令で停止したままになります。

したがって，ホールト状態中のデバイス消費電流はCPUの動作電流分だけ減少します。

ホールト状態からの解除はキー入力，タイマ・キャリー，および割り込みにより行います。

キー入力，タイマ・キャリー，および割り込みの解除条件は“HALT h”命令のオペランドである“h”により指定します。

“HALT h”命令はCE端子の入力レベルに関係なく有効です。

12.4.1 - 12.4.6 にホールト状態，ホールト解除条件および各ホールト解除条件について説明します。

12.4.1 ホールト状態

ホールト状態中はCPUの動作がすべて停止します。

すなわちプログラムの実行が“HALT h”命令で停止している状態になります。

ただし，周辺ハードウエアは“HALT h”命令以前に設定されている動作をそのまま継続します。

各周辺ハードウエアの動作については“**12.6 ホールトおよびクロック・ストップ時のデバイス動作**”を参照してください。

12.4.2 ホールト解除条件

図12-3にホールト解除条件を示します。

図12-3に示すようにホールト解除条件は，“HALT h”命令のオペランド“h”で指定する4ビット・データにより設定します。

ホールト状態は，オペランド“h”に“1”で指定された条件が満たされると解除されます。

ホールト状態が解除されると“HALT h”命令の次の命令から実行を始めます。

このとき一度に複数の解除条件が設定されていると，設定されている条件のどれか1つでも満たされれば，ホールト状態は解除されます。

また，デバイスにリセット（パワーオン・リセットまたはCEリセット）がかかったときは，ホールト状態は解除され各リセット動作を行います。

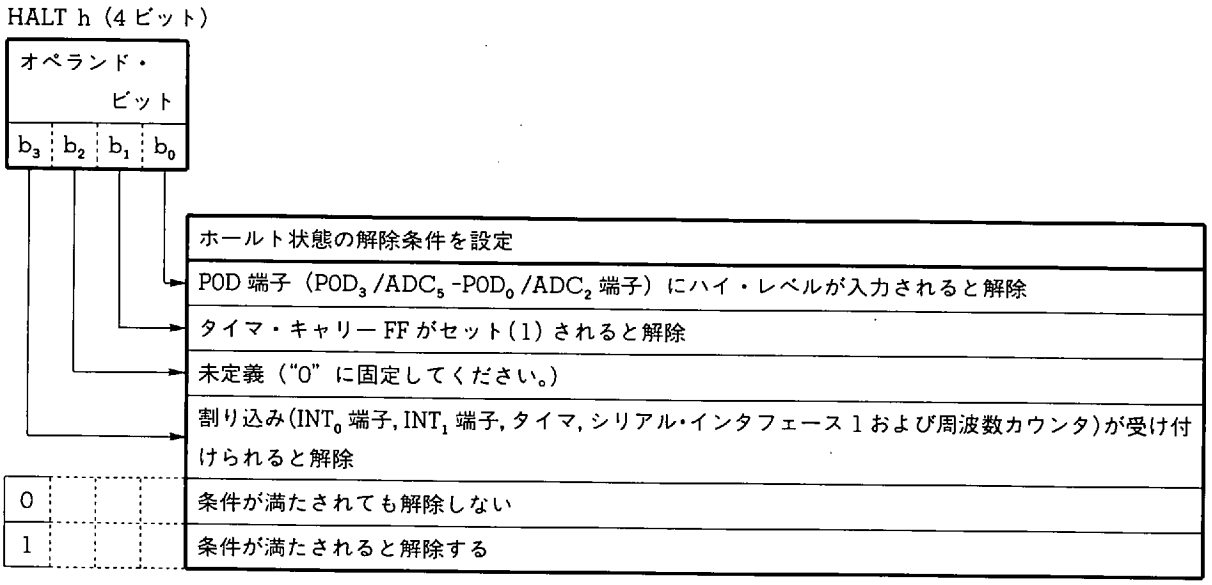
ホールト解除条件“h”に0000Bが設定されると，どの解除条件も設定されません。

このときはデバイスにリセット（パワーオン・リセットまたはCEリセット）がかかるとホールト状態が解除されます。

12.4.3 - 12.4.5 にキー入力，タイマ・キャリーおよび割り込みの各ホールト解除条件について説明します。

また，**12.4.6** に複数の解除条件を設定したときの使用例を示します。

図12-3 ホールト解除条件



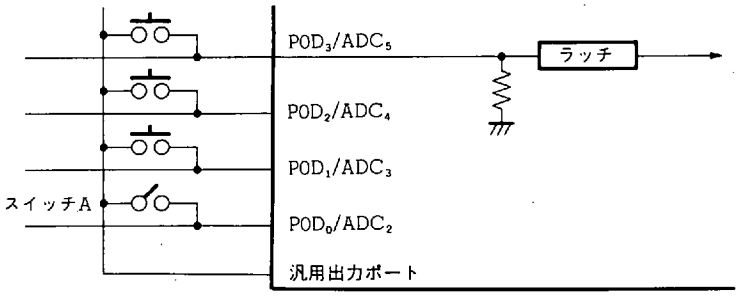
12.4.3 キー入力によるホールト解除

キー入力によるホールト状態の解除は，“HALT 0001B”命令で設定します。

キー入力によるホールト解除条件を設定すると，$P0D_0/ADC_2$ - $P0D_3/ADC_5$ 端子の4本のうちどれか1本にでもハイ・レベルが入力されたときにホールト状態を解除します。

キー・ソース信号をLCDセグメント信号と兼用しているときおよびキー入力端子をA/Dコンバータとして使用するときの注意を次の(1)-(4)に示します。

(1) 汎用出力ポートをキー・ソース信号とする場合



キー・ソース信号用の汎用出力ポートをハイ・レベルにしたあとに，“HALT 0001B”命令を実行します。

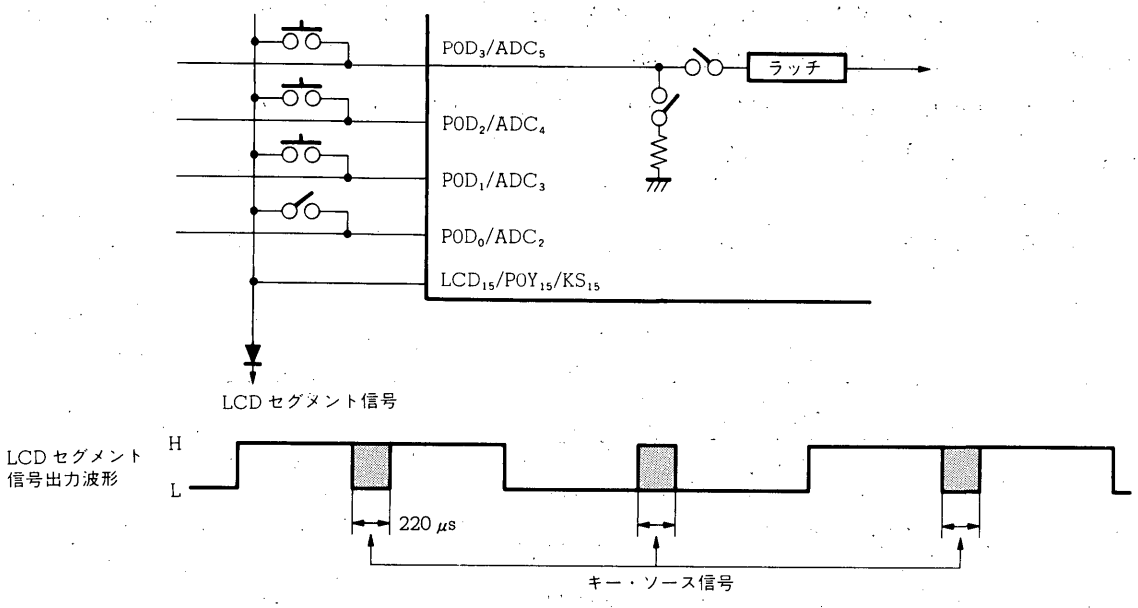
このとき上図に示すスイッチAのようにオルタネート・スイッチを用いていると，スイッチAが閉じている間は常に $P0D_0/ADC_2$ 端子にハイ・レベルが加わるため，ホールト状態はただちに解除されてしまいます。

したがって，オルタネート・スイッチを使用するときは十分注意してください。

なお，汎用出力ポートをキー・ソース信号として使用するときは，LCDモード・セレクト・レジスタ(LCDMODE：RFアドレス10H番地）のKSENフラグを“0”に設定します。

このとき，$P0D_0/ADC_2$ - $P0D_3/ADC_5$ 端子は内部で自動的にプルダウンされます。

(2) LCD セグメント信号出力とキー・ソース信号出力を兼用するとき



キー・ソース信号出力データを設定したあと“HALT 0001B”命令を実行します。

このとき，キー・ソース信号出力データが“0”である端子は，たとえ LCD セグメント信号のハイ・レベルが入力されてもホールト状態は解除されません。

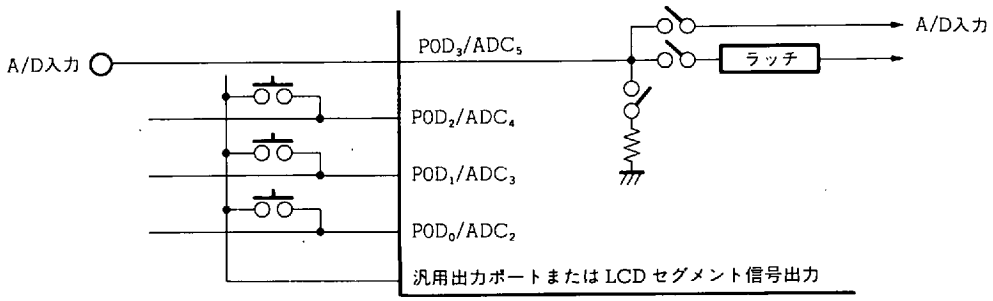
LCD セグメント信号出力とキー・ソース信号出力を兼用するときは，LCD モード・セレクト・レジスタの KSEN フラグをセット(1) します。

また，キー・ソース信号データ（キー・ソースを出力する端子の設定）はデータ・バッファを介してキー・ソース・データ・レジスタ（KSR：周辺アドレス 42H 番地）により行います。

LCD セグメント信号出力とキー・ソース信号出力を兼用するときの内部キー・ラッチ回路は，キー・ソース信号が出力されている間のみデータをラッチし，LCD セグメント信号が出力されている間は外部と切り離されています。

また，内蔵プルダウン抵抗はキー・ソース信号が出力されているときのみオンします。

(3) $P0D_0/ADC_2$ - $P0D_3/ADC_5$ 端子を A/D コンバータとして使用するとき



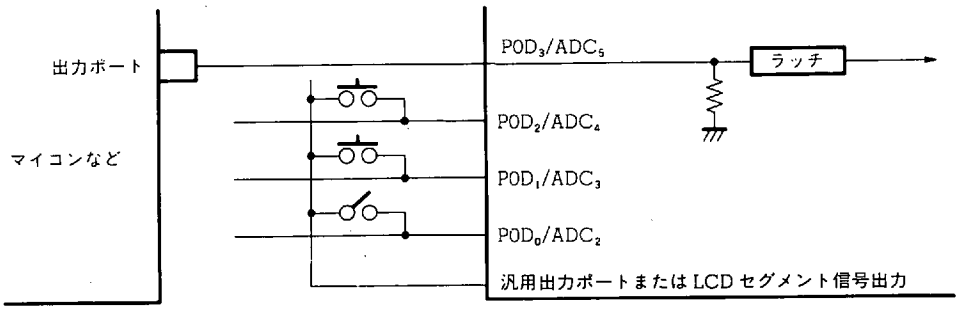
次のような使用方法はできるだけ避けてください。

$P0D_0/ADC_2$-$P0D_3/ADC_5$ 端子を A/D コンバータとして選択すると，選択された端子（同時には 1 本しか選択できない）は入力ラッチから切り離され内部の A/D コンバータ入力へ接続されます。

このとき，A/D コンバータに選択した時点でその端子にたまたまハイ・レベルが入力されていると，ラッチ回路はハイ・レベルのまま保持されてしまいます。

この状態で "HALT 0001B" 命令を実行すると，入力ラッチがハイ・レベルであるため命令が実行されてもただちにホールト状態が解除されてしまいます。

(4) その他



$P0D_0/ADC_2$ - $P0D_3/ADC_5$ 端子は，プルダウン抵抗付きの汎用入力ポートとしても使用できます。

したがって，ホールト解除は上図に示すように他のマイコンなどにより行うことも可能です。

12.4.4 タイマ・キャリーによるホールト解除

タイマ・キャリーによるホールト状態の解除は，“HALT 0010B” 命令で設定します。

タイマ・キャリーによるホールトの解除が設定されると，タイマ・キャリー FF がセット (1) されると同時にホールト状態が解除されます。

タイマ・キャリー FF は，“**11. タイマ機能**”で説明したように，タイマ・キャリー FF ジャッジ・レジスタの TMCY フラグと 1 対 1 に対応しており，一定時間ごと（1 ms，5 ms，100 ms および 250 ms）にセット（1）されます。

したがって，一定時間ごとにホールト状態を解除することが可能です。

★ 例

```
M1        MEM    0.10H        ; 1 秒のカウンタ
HLTTMR    DAT    0010B        ; シンボル定義

          CLR2   TMMD1, TMMD0
                              ; 組み込みマクロ
                              ; タイマ・キャリー FF のセット時間を 250 ms に設定
LOOP :
          HALT   HLTTMR       ; タイマ・キャリー FF による解除条件を設定し，
                              ; ホールト状態にする
          SKT1   TMCY         ; 組み込みマクロ
          BR     LOOP         ; TMCY フラグがセットされていなければ LOOP へ分岐
          ADD    M1, #0100B   ; M1 の内容に 0100B を加算
          SKT1   CY           ; 組み込みマクロ
          BR     LOOP         ; キャリーが出れば処理 A を実行
          [ 処 理 A ]
          BR     LOOP
```

この例では，250 ms ごとにホールト状態が解除され，1 秒ごとに処理 A を実行します。

12.4.5 割り込みによるホールト解除

割り込みによるホールト状態の解除は“HALT 1000B”命令で設定します。

割り込みによるホールト状態の解除が設定されると，割り込みが受け付けられると同時にホールト状態が解除されます。

割り込み要因には“**10. 割り込み**”で説明したように INT_0 端子，INT_1 端子，タイマ，シリアル・インタフェース1および周波数カウンタの5要因があります。

したがって，どの割り込み要因でホールトを解除するかは，あらかじめプログラムで指定しておく必要があります。

また，割り込みが受け付けられるためには，各割り込み要因からの割り込み要求の発行以外に，すべての割り込みの許可（EI命令）および各割り込みごとの許可（インタラプト・パーミッション・フラグがセットされている）がすべて満たされる必要があります。

したがって，割り込み要求が発行されてもその割り込みが許可されていなければ割り込みは受け付けられず，ホールト状態も解除されません。

割り込みの受け付けによりホールト状態が解除されると，プログラムの流れは各割り込みのベクタ・アドレスへ移ります。

割り込みの処理後，“RETI”命令を実行するとプログラムの流れは“HALT”命令の次の命令に復帰します。

次に使用例を示します。

★ 例

```
HLTINT    DAT    1000B        ; ホールト条件のシンボル定義
INTTM     DAT    0003H        ; 割り込みベクタ・アドレス・シンボル定義
INT0PIN   DAT    0005H        ;                    //

START :                       ; プログラム・アドレス 0000H
          BR     MAIN
ORG       INTTM               ; タイマ割り込みベクタ・アドレス（0003H）
          BR     INTTIMER
ORG       INT0PIN             ; INT0 端子割り込みベクタ・アドレス（0005H）
          [ 処 理 A ]         ; INT0 端子による割り込み処理
          BR     EI_RETI
INTTIMER :
          [ 処 理 B ]         ; タイマによる割り込み処理
EI_RETI :
          EI
          RETI
MAIN :
          SET2   IPTM, IP0    ; 組み込みマクロ
          SET2   TMMD3, TMMD2
                              ; 組み込みマクロ
                              ; タイマ割り込みの時間間隔を 1 ms に設定
LOOP :
          [ 処 理 C ]         ; メイン・ルーチン処理
          EI                  ; すべての割り込みを許可
          HALT   HLTINT       ; 割り込みによるホールト解除を設定
;①
          BR     LOOP
```

上記の例では，タイマによる割り込み受け付け時にはホールト状態を解除して処理 B を実行し，INT_0 端子による割り込み受け付け時には処理 A を実行します。

またホールト状態が解除されるたびに処理 C を実行します。

ホールト状態中にまったく同時に INT_0 端子による割り込み要求とタイマによる割り込み要求が発行された場合は，ハードウエア優先順位の高い INT_0 端子の処理 A を実行します。

処理 A の実行後 "RETI" が実行されると①の "BR LOOP" 命令に復帰しますが "BR LOOP" 命令は実行されずにすぐタイマ割り込みが受け付けられます。

タイマ割り込み処理である処理 B の実行後 "RETI" 命令が実行されると，"BR LOOP" 命令を実行します。

12.4.6 複数の解除条件が同時に設定された場合

複数のホールト解除条件が設定された場合は，設定された解除条件のうち1つでも条件が満たされるとホールト状態が解除します。

このとき複数の解除条件が同時に満たされたときの解除条件判別方法を次に示します。

例1.

```
        HLTINT      DAT 1000B
        HLTTMR      DAT 0010B
        HLTKEY      DAT 0001B
        INTOPIN     DAT 0005H     ; INT0 端子割り込みベクタ・アドレス・シンボル定義
START :
        BR      MAIN
ORG     INTOPIN
        [ 処 理 A ]               ; INT0 端子割り込み処理
        EI
        RETI
TMRUP :                           ; タイマ・キャリー処理
        [ 処 理 B ]
        RET
KEYDEC :                          ; キー入力処理
        [ 処 理 C ]
        RET
MAIN :
        MOVT    DBF, @AR          ; キー・ソース・データ・レジスタ（KSR）にキー・ソース出
                                  ; 力データ（テーブル参照）を設定
        PUT     KSR, DBF
        SET2    KSEN, LCDEN       ; 組み込みマクロ
                                  ; LCD セグメント信号出力とキー・ソース信号出力を兼用
        SET2    TMMD1, TMMD0      ; 組み込みマクロ
                                  ; タイマ・キャリー FF のセット時間を1ms に設定
        SET1    IP0               ; 組み込みマクロ
                                  ; INT0 端子の割り込みを許可
        EI
LOOP :
        HALT    HLTINT OR HLTTMR OR HLTKEY
                                  ; ホールト解除条件を割り込み，タイマ・キャリー
                                  ; およびキー入力に設定
        SKF1    TMCY              ; 組み込みマクロ
                                  ; TMCY フラグを検出
        CALL    TMRUP             ; セット(1) されていればタイマ・キャリー処理
        SKF1    KEYJ              ; 組み込みマクロ
                                  ; キー入力ラッチを検出
        CALL    KEYDEC            ; ラッチされていればキー入力処理
        BR      LOOP
```

前頁の例１では，ホールト解除条件に INT_0 端子の割り込み，1 ms タイマ・キャリーおよびキー入力の３条件を設定しています。

どの条件でホールト状態が解除されたかを検出するために，割り込みであればベクタ・アドレス，タイマ・キャリーであれば TMCY フラグ，キー入力であれば KEYJ フラグを検出します。

複数の解除条件を使用するときは以下に示す２点に注意が必要です。

(1) ホールト状態が解除されたときは設定されている解除条件のすべてを検出するようにする。
(2) 優先順位の高い解除条件から検出する。

(1) および (2) については，たとえば，前頁の例１に示した“MAIN：”以降のプログラムが次に示す例２のようになっている場合に注意が必要です。例２に示すように，タイマ・キャリーによるタイマの優先順位が高いプログラムにおいては，次のようなプログラムは作成しないでください。

例2.

```
MAIN :
        SET4    P1C3, P1C2, P1C1, P1C0; キー・ソース信号に汎用出力ポートを使用する。
        SET2    TMMD1, TMMD0
        SET1    IP0
        EI
LOOP :
        HALT    HLTINT OR HLTTMR OR HLTKEY
        SKF4    P0D3, P0D2, P0D1, P0D0 ; キー入力の有無を検出
        BR      KEYDEC
        SKF1    TMCY
        CALL    TMRUP
        BR      LOOP
KEYDEC :                                ; キー入力処理
        [ 処 理 C ]
        BR      LOOP
```

上記の例２のプログラムにおいて今，仮にキー入力によるホールト解除が行われたときに，そのすぐあとにタイマ・キャリー FF がセット (1) されたとします。

すると，プログラムはキー入力処理を実行したのちに再度“HALT”命令を実行します。

このときタイマ・キャリー FF はセットされたままであるためホールト状態は即座に解除されます。

ところが，キー入力は通常 100 ms 程度ハイ・レベルが入力されるため，さらにキー入力処理へ分岐してしまいます。

このため，タイマ・キャリー FF の検出が正確に行われなくなってしまいます。

12.5 クロック・ストップ機能

クロック・ストップ機能は“STOP s”命令を実行することにより4.5 MHz水晶振動子の発振回路を停止します(クロック・ストップ状態)。

したがってデバイスの消費電流は5 μA MAX.まで減少します。

消費電流については“**12.7 ホールト状態とクロック・ストップ状態時の消費電流**”を参照してください。

“STOP s”命令のオペランド“s”には“0000B”を指定します。

“STOP s”命令はCE端子がロウ・レベルのときのみ有効となり，CE端子がハイ・レベルの間に実行されてもノー・オペレーション命令（NOP）として実行されます。

すなわち，CE端子がロウ・レベルのときに“STOP s”命令を実行する必要があります。

クロック・ストップ状態の解除は，CE端子をロウ・レベルからハイ・レベルに立ち上げる（CEリセット）ことにより行います。

12.5.1 - 12.5.3にクロック・ストップ状態，クロック・ストップ状態の解除およびクロック・ストップ命令使用時の注意を説明します。

12.5.1 クロック・ストップ状態

クロック・ストップ状態は水晶振動子の発振回路が停止するため，CPUおよび周辺ハードウエアなどのデバイス動作はすべて停止します。

CPUおよび各周辺ハードウエアの動作は“**12.6 ホールトおよびクロック・ストップ時のデバイス動作**”を参照してください。

クロック・ストップ状態中はデバイスの電源電圧V_{DD}を2.2 Vまで下げても停電検出回路は動作しません。したがって低電圧でのデータ・メモリのバックアップが可能になります。停電検出回路については“**13. リセット**”を参照してください。

12.5.2 クロック・ストップ状態の解除

クロック・ストップ状態の解除はCE端子をロウ・レベルからハイ・レベルに立ち上げる（CEリセット）か，デバイスの電源電圧V_{DD}を一度2.2 V以下に下げてから4.5 Vまで立ち上げる（パワーオン・リセット）ことにより行います。

図12 - 4および図12 - 5にそれぞれCEリセット時とパワーオン・リセット時の解除動作を示します。

パワーオン・リセットによるクロック・ストップ状態の解除を行うと停電検出回路が動作します。

パワーオン・リセットについては“**13.4 パワーオン・リセット**”を参照してください。

図 12-4 CE リセットによるクロック・ストップの解除

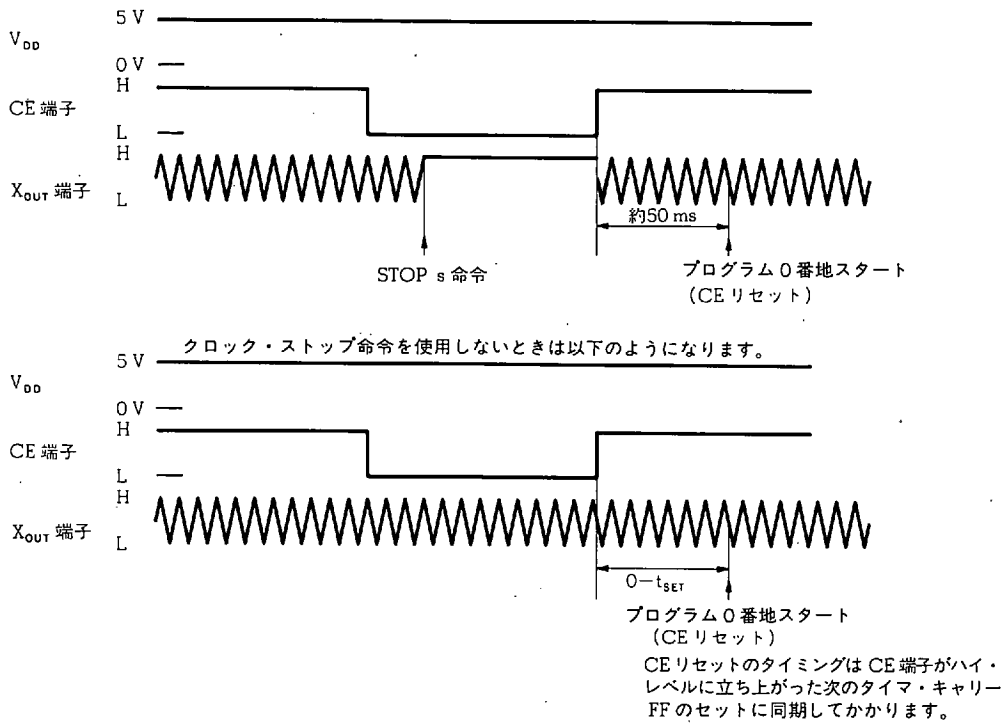
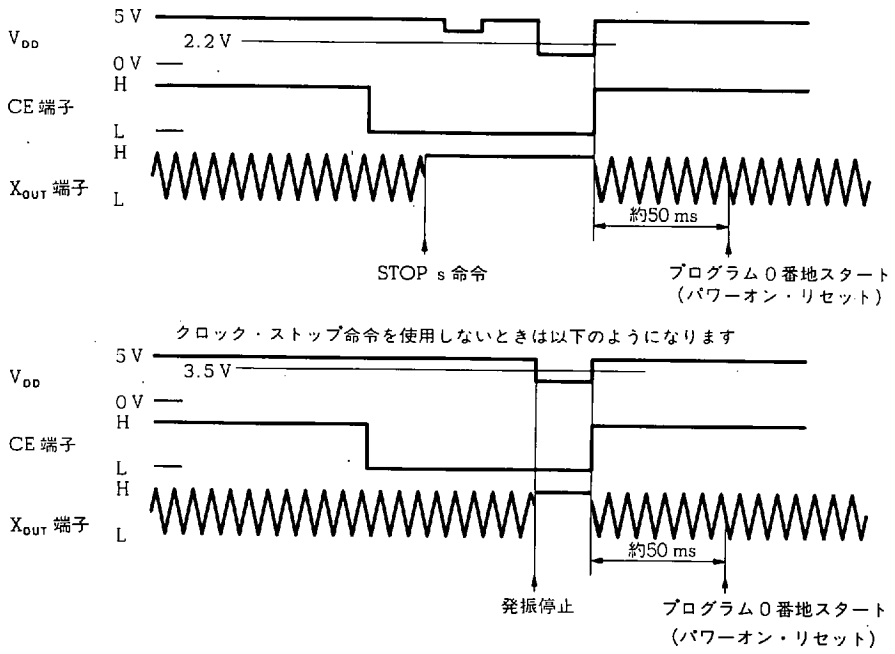


図 12-5 パワーオン・リセット時のクロック・ストップ解除



12.5.3 クロック・ストップ命令使用時の注意

クロック・ストップ命令（STOP s命令）はCE端子がロウ・レベルのときのみ有効になります。

したがって，CE端子がたまたまハイ・レベルであったときの処理をプログラム上考慮しておく必要があります。

次の例を基に説明します。

例

```
        XTAL   DAT    0000B      ;クロック・ストップ条件のシンボル定義
CEJDG:
  ;①
        SKF1   CE                ;組み込みマクロ
                                 ;CE端子の入力レベルを検出
        BR     MAIN              ;CE＝ハイ・レベルならメイン処理へ分岐
        [ 処理A ]                ;CE＝ロウ・レベルの処理
  ;②
        STOP   XTAL              ;クロック・ストップ
  ;③
        BR     $−1
MAIN:
        [ メイン処理 ]
        BR     CEJDG
```

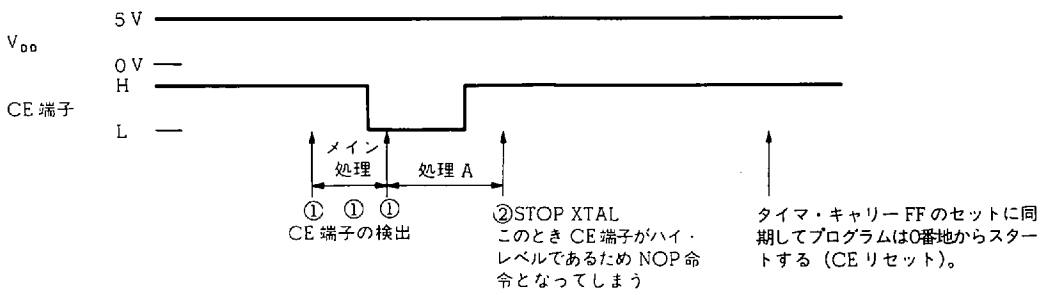
上記の例では①でCE端子の状態を検出し，CE端子がロウ・レベルであれば処理Aを実行後②のクロック・ストップ命令“STOP XTAL”を実行します。

ところが，下図に示すように，②の“STOP XTAL”命令実行中にCE端子がハイ・レベルになってしまうと，“STOP XTAL”命令はノー・オペレーション命令（NOP）として動作してしまいます。

このとき，仮に③の分岐命令“BR $−1”がなかったとすると，プログラムはメイン処理に移ってしまい誤動作することが考えられます。

したがって，プログラム上は③のように分岐命令を挿入するか，またはメイン処理に移っても誤動作しないようなプログラムにしておく必要があります。

また③のように分岐命令を用いたときは，CE端子がハイ・レベルのままであっても，次のタイマ・キャリーFFのセットと同期してCEリセットがかかります。



12.6 ホールトおよびクロック・ストップ時のデバイス動作

表 12-1 にホールト状態中とクロック・ストップ状態中の CPU および周辺ハードウエアの動作を示します。

表 12-1 に示すようにホールト状態中は命令の実行が停止する以外はすべての周辺ハードウエアは通常動作を継続します。

また，クロック・ストップ状態中はすべての周辺ハードウエアが動作を停止します。

周辺ハードウエアの動作状態を制御するコントロール・レジスタは，ホールト状態中は通常どおり動作（イニシャライズされない）しますが，クロック・ストップ状態（STOP s 命令が実行された時点）中は所定の値にイニシャライズされます。

したがって，言い換えれば各周辺ハードウエアは，ホールト状態中はコントロール・レジスタに設定されている動作を継続し，クロック・ストップ状態中は所定の値にイニシャライズされたコントロール・レジスタに従い動作状態が決定されます。

コントロール・レジスタのイニシャライズされる値については“**8. レジスタ・ファイル（RF）**”を参照してください。

また，次に例を示します。

例　ポート OA の POA_3/SDA と POA_2/SCL 端子を出力ポートに設定し，$POA_1/\overline{SCK_1}$ と POA_0/SO_1 端子をシリアル・インタフェースとして使用しているとき

```
  HLTINT   DAT      1000B     ; シンボル定義
  XTAL     DAT      0000B     ;
  INITFLG  P0ABIO3, P0ABIO2, P0ABIO1, P0ABIO0
                               ; 組み込みマクロ
;①
  SET2     P0A3, P0A2        ;
  INITFLG  SIO1CH, NOT SB, SIO1MS, SIO1TX
                               ;
  SET2     SIO1CK1, SIO1CK0
;②
  INITFLG  NOT SIO1IMD1, SIO1IMD0
  CLR1     IRQSIO1
  SET1     IPSIO1
  EI
;③
  SET1     SIO1NWT
;④
  HALT     HLTINT
;⑤
  STOP     XTAL
```

前ページの例では①で $P0A_3$，$P0A_2$ 端子からハイ・レベルを出力し，②でシリアル・インタフェース1の条件設定を行い，③でシリアル通信をスタートしています。

このとき④の“HALT”命令が実行されると，シリアル通信はそのまま継続しシリアル・インタフェース1による割り込みが受け付けられた時点でホールト状態を解除します。

また④の“HALT”命令の代わりに⑤の“STOP”命令が実行されると，“STOP”命令が実行された時点で①，②および③で設定したコントロール・レジスタのフラグがすべてイニシャライズされてしまうため，シリアル通信を中断しポート0Aのすべての端子は汎用入力ポートに設定されます。

表12-1　ホールト状態とクロック・ストップ状態中のデバイス動作

周辺ハードウエア	状態			
	CE端子＝ハイ・レベル		CE端子＝ロウ・レベル	
	ホールト時	クロック・ストップ時	ホールト時	クロック・ストップ時
プログラム・カウンタ	HALT命令のアドレスでストップ	STOP命令は無効（NOP）	HALT命令のアドレスでストップ	0000Hにイニシャライズされ，ストップ
システム・レジスタ	保　持		保　持	イニシャライズ注
周辺レジスタ	〃		〃	保　持
コントロール・レジスタ	〃		〃	イニシャライズ注
タイマ	通常動作		通常動作	動作停止
PLL周波数シンセサイザ	〃		ディスエーブル（内蔵オペアンプを含む）	〃
A/Dコンバータ	〃		通常動作	〃
D/Aコンバータ	〃		〃	〃
クロック・ジェネレータ・ポート	〃		〃	〃
シリアル・インタフェース	〃		〃	〃
周波数カウンタ	〃		〃	〃
LCDコントローラ/ドライバ	〃		〃	〃
キー・ソース・コントローラ/デコーダ	〃		〃	〃
汎用入出力ポート	〃		〃	入力ポート
汎用入力ポート	〃		〃	入力ポート
汎用出力ポート	〃		〃	保　持

注　イニシャライズされる値については“**5. システム・レジスタ（SYSREG）**”および“**8. レジスタ・ファイル（RF）**”を参照してください。

12.7 ホールト状態とクロック・ストップ状態時の消費電流

12.7.1 ホールト状態時のデバイス消費電流

図 12-6 にホールト状態時のデバイス消費電流 I_{DD} を示します。

図 12-6 に示した(1)，(2)，(3) および(4) の消費電流はそれぞれ以下に示すプログラムを使用しています。

図 12-6 に示すようにホールトの解除が少ないほど消費電流は減少します。

(1) プログラム 1

HALT 命令を使用しない。

例
```
NOP
BR      $-1
```

(2) プログラム 2

ホールト解除条件を 5 ms タイマ割り込みに設定し，ホールト解除ごとに 20 命令（約 90 μs）実行する。

★ 例
```
HLTINT      DAT     1000B
INTTM       DAT     0003H

            BR      LOOP
ORG         TMINT
REPT        17
            NOP
ENDR
            EI
            RETI
LOOP :
            INITFLG TMMD1, NOT TMMD0
            SET1    IPTM
            EI
            HALT    HLTINT
            BR      $-1
```

(3) プログラム3

ホールト解除条件を 100 ms のタイマ割り込みに設定し，ホールト解除ごとに 20 命令実行する。

例 ★

```
HLTINT    DAT    1000B
INTTM     DAT    0003H

          BR     LOOP
ORG       TMINT
REPT      17
          NOP
ENDR
          EI
          RETI
LOOP :
          CLR2   TMMD1, TMMD0
          SET1   IPTM
          EI
          HALT   HLTINT
          BR     $-1
```

(4) プログラム4

ホールト解除条件に何も設定しない。

例
```
HLTNORLS DAT 0000B
HALT HLTNORLS
```

図 12-6 に示したデバイス消費電流 I_{DD} は以下の条件で測定しています。

- PLL ディスエーブル（LPF 用アンプもディスエーブルになる）
- 周波数カウンタ・ディスエーブル
- 標準信号発生器から周波数 f_{IN}＝4.5 MHz，入力振幅 $V_{IN}=V_{DD}$ の正弦波を X_{IN} 端子に入力
- 出力に設定されているすべての端子をオープン
- 入力ポートに設定されているすべての端子を 47 kΩの抵抗でプルダウン（LPF_{IN}，X_{IN} 端子を除く）

12.7.2 クロック・ストップ状態時のデバイス消費電流

図 12-7 にクロック・ストップ状態時のデバイス消費電流 I_{DD} を示します。

図 12-7 に示した消費電流は以下の条件で測定しています。

- 出力に設定されているすべての端子をオープン
- 入力に設定されているすべての端子を47 kΩでプルダウン（LPF_{IN}，X_{IN} 端子を除く）
- 水晶振動子接続（ただし発振は停止している）

図 12-6 ホールト状態中のデバイス消費電流（参考値）

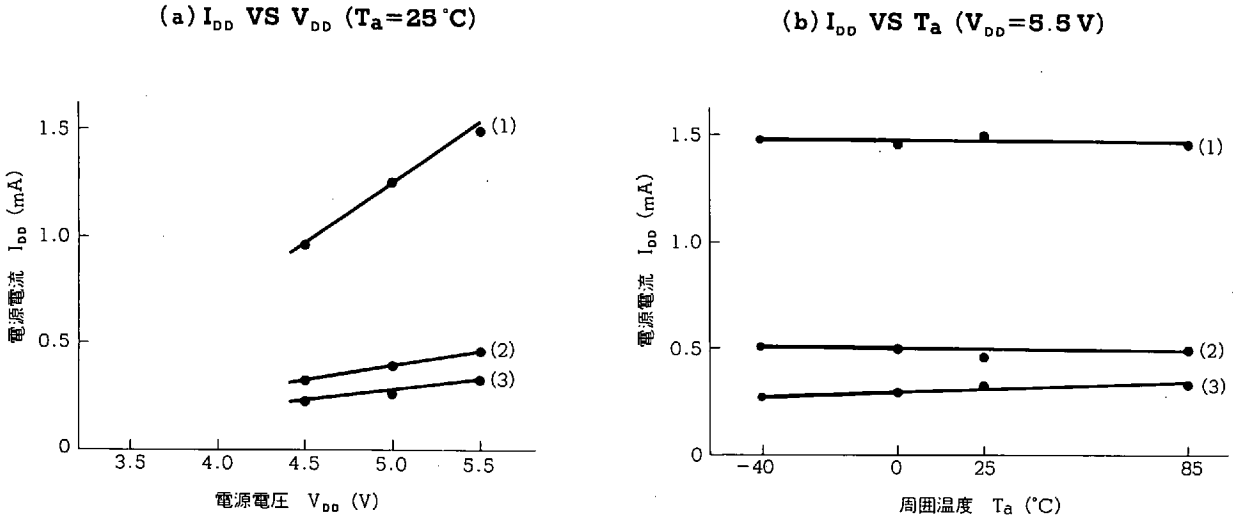
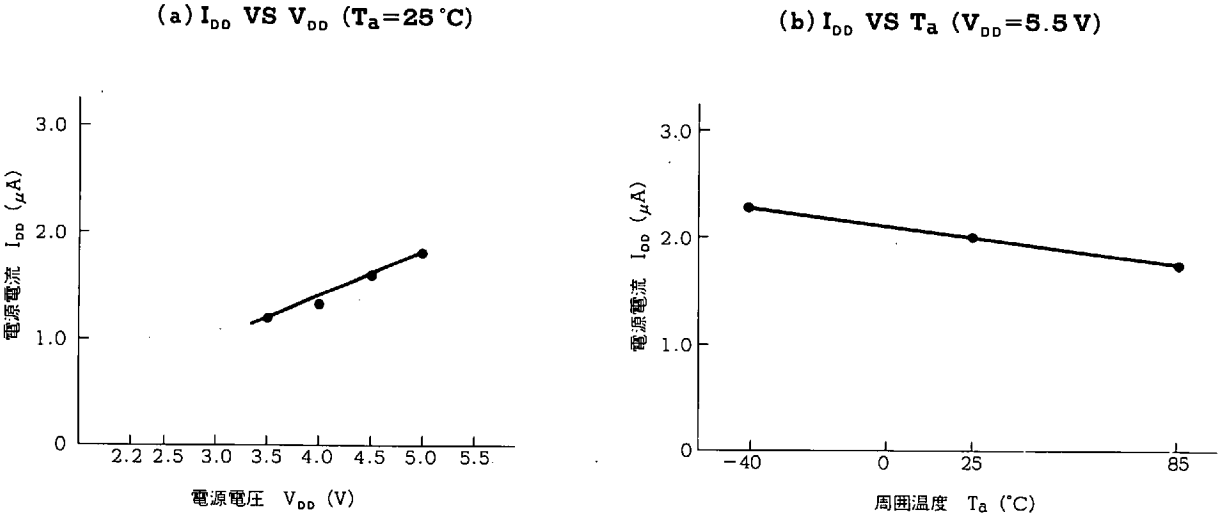


図 12-7 クロック・ストップ状態中のデバイス消費電流（参考値）



12.7.3 ホールト状態およびクロック・ストップ状態中の各端子の処理上の注意

ホールト状態は，たとえば時計のみを動作させるときなどの消費電流を減らす目的で使用されます。

また，クロック・ストップ機能はデータ・メモリのみ保持するために消費電流を減らす目的で使用されます。

したがって，ホールト状態およびクロック・ストップ状態中は極力消費電流を減少させる必要があります。

このとき，消費電流は各端子の状態により大きく異なることがあるため，表 12-2 に示すような注意が必要です。

表 12-2 ホールトおよびクロック・ストップ状態中の各端子の状態と注意 (1/2)

端子機能		端子記号	各端子の状態と処理上の注意	
			ホールト状態	クロック・ストップ状態
汎用入出力ポート	ポート 0A	$P0A_3$/SDA $P0A_2$/SCL $P0A_1/\overline{SCK_1}$ $P0A_0/SO_1$	ホールト以前の状態をそのまま保持します。 **(1) 出力端子に指定されているとき** ハイ・レベル出力中に外部でプルダウンされていたり，ロウ・レベル出力中に外部でプルアップされていると消費電流が増加します。 N-ch オープン・ドレーン出力 ($P0A_3$, $P0A_2$, $P1B_3$ - $P1B_0$) は注意してください。 **(2) 入力端子に指定されているとき** (ポート 1A, ポート 1D を除く) フローティング状態になっているとノイズにより消費電流が増加します。 **(3) ポート 0C ($P0D_3/ADC_5$ - $P0D_0/ADC_2$)** プルダウン抵抗を内蔵しているため，外部でプルアップされていると消費電流が増加します。 ただし，A/D コンバータに選択されている端子はプルダウン抵抗はオフします。 **(4) ポート 1D($P1D_3$/FMIFC - $P1D_0/ADC_0$** ポート 1A ($P1A_3$/FCG - $P1A_0$) $P1D_3$/FMIFC および PID_2/AMIFC 端子を IF カウンタとして使用しているときは，内蔵アンプが動作して消費電流が増加します。 IF カウンタは CE 端子がロウ・レベルになっても自動的にディスエーブルされないため，必要に応じてプログラムでイニシャライズしてください。 ポート 1D および ポート 1A は，汎用入力ポートに指定されているときにフローティング状態であってもノイズによる消費電流は増加しない回路になっています。	すべて汎用入力ポートに指定されます。 このとき ポート 0C ($P0C_3$ - $P0C_0$) を除いたすべての入力ポートは，外部でフローティング状態であってもノイズによる消費電流は増加しない回路になっています。 ポート 0C ($P0C_3$ - $P0C_0$) はノイズなどで消費電流が増加しないように外部でプルダウンもしくはプルアップする必要があります。 ポート 0D ($P0D_3/ADC_5$ - $P0D_0/ADC_2$) は内部でプルダウンされます。
	ポート 0B	$P0B_3/SI_1$ $P0B_2/\overline{SCK_2}$ $P0B_1/SO_2$ $P0B_0/SI_2$		
	ポート 0C	$P0C_3$ $P0C_2$ $P0C_1$ $P0C_0$		
	ポート 1A	$P1A_3$/FCG $P1A_2$ $P1A_1$ $P1A_0$		
汎用入力ポート	ポート 0D	$P0D_3/ADC_5$ $P0D_2/ADC_4$ $P0D_1/ADC_3$ $P0D_0/ADC_2$		
	ポート 1D	$P1D_3$/FMIFC $P1D_2$/AMIFC $P1D_1/ADC_1$ $P1D_0/ADC_0$		
汎用出力ポート	ポート 1B	$P1B_3/PWM_2$ $P1B_2/PWM_1$ $P1B_1/PWM_0$ $P1B_0$/CGP		汎用出力ポートに指定されます。 出力されている内容はそのまま保持されます。 したがってハイ・レベル出力中に外部でプルダウンされていたり，ロウ・レベル出力中にプルアップされていると消費電流が増加します。
	ポート 1C	$P1C_3$ $P1C_2$ $P1C_1$ $P1C_0$		
	ポート 2A	$P2A_0$		
割り込み		INT_1 INT_0	フローティング状態になっていると外部ノイズ等により消費電流が増加します。	

表 12-2 ホールトおよびクロック・ストップ状態中の各端子の状態と注意 (2/2)

端子機能	端子記号	各端子の状態と処理上の注意	
		ホールト状態	クロック・ストップ状態
LCD セグメント	LCD_{29}/POF_3 | LCD_{26}/POF_0 LCD_{25}/POE_3 | LCD_{22}/POE_0 LCD_{21}/POX_5 | LCD_{16}/POX_0 $LCD_{15}/POY_{15}/KS_{15}$ | $LCD_0/POY_0/KS_0$	汎用出力ポートとして使用しているときは上記汎用ポートと同様の注意が必要です。 キー・ソース信号を出力しているときは，たとえばトランジスタ・スイッチ等常時オンしているスイッチがあり，かつキー・ソース・データとして“1”を出力していると ポート OD(プルダウン抵抗内蔵)を介して消費電流が増加します。	すべての端子が LCD セグメント信号出力に指定されロウ・レベルを出力（表示オフ）します。
PLL 周波数 シンセサイザ	VCOL VCOH LPF_{IN} LPF_{OUT} V_{LPF} EO_0 EO_1	PLL 動作時は消費電流が増加します。 PLL ディスエーブル時は以下のようになります。 VCOL, VCOH　内部でプルダウン LPF_{IN}　内部でプルアップ EO_0, EO_1　フローティング CE 端子がロウ・レベルになると PLL は自動的にディスエーブルされます。	PLL ディスエーブルになります。 各端子は以下のようになります。 VCOL, VCOH　内部でプルダウン LPF_{IN}　内部でプルアップ EO_0, EO_1　フローティング
水晶発振回路	X_{IN} X_{OUT}	水晶発振回路の発振波形により消費電流が変化します。 また，発振振幅が大きいほど消費電流は小さくなります。 発振振幅は使用する水晶振動子や負荷コンデンサにより左右されるため，評価が必要です。	X_{IN} 端子が内部でプルダウンされ，X_{OUT} 端子はハイ・レベルを出力します。

13. リセット

リセット機能は，デバイス動作の初期化を行うために使用します。

13.1 リセット・ブロックの構成

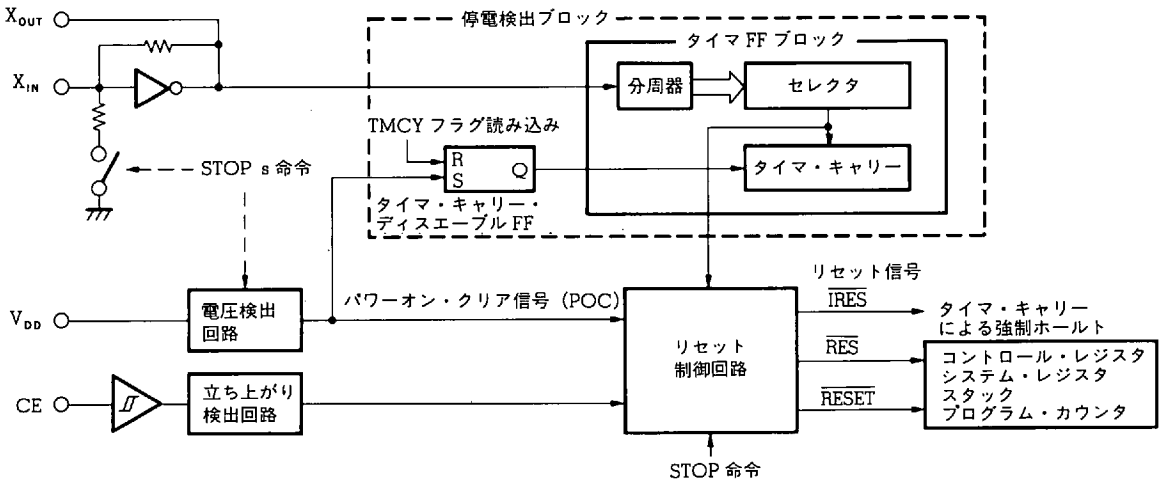
図 13-1 にリセット・ブロックの構成を示します。

デバイスのリセットは電源電圧 V_{DD}の投入によるリセット（パワーオン・リセットまたは V_{DD}リセット）と CE 端子によるリセット（CE リセット）に分けられます。

パワーオン・リセット・ブロックは V_{DD} 端子に入力された電圧を検出する電圧検出回路，停電検出回路およびリセット制御回路から構成されています。

CE リセット・ブロックは CE 端子に入力された信号の立ち上がりを検出する回路とリセット制御回路から構成されています。

図 13-1 リセット・ブロックの構成



13.2 リセットの機能

パワーオン・リセットは電源電圧 V_{DD} が一定電圧以下から立ち上がったときにかかり，CE リセットは CE 端子がロウ・レベルからハイ・レベルに立ち上がったときにかかります。

パワーオン・リセットは，プログラム・カウンタ，スタック，システム・レジスタおよびコントロール・レジスタなどの初期化を行い，プログラムを 0000H 番地から実行します。

CE リセットは，プログラム・カウンタ，スタック，システム・レジスタおよびコントロール・レジスタの一部などの初期化を行い，プログラムを 0000H 番地から実行します。

パワーオン・リセットと CE リセットの違いは主に，初期化されるコントロール・レジスタと **13.6** で説明する停電検出回路の動作です。

パワーオン・リセットと CE リセットは図 13-1 に示したリセット制御回路から出力されるリセット信号 $\overline{\text{IRES}}$, $\overline{\text{RES}}$ および $\overline{\text{RESET}}$ 信号により制御されます。

表 13-1に $\overline{\text{IRES}}$, $\overline{\text{RES}}$ および $\overline{\text{RESET}}$ 信号とパワーオン・リセットおよび CE リセットの関係を示します。

また“**12. スタンバイ**”で説明したクロック・ストップ命令（STOP s）実行時もリセット制御回路が動作します。

13.3 および **13.4** にそれぞれ CE リセットとパワーオン・リセットについて説明します。

13.5 に CE リセットとパワーオン・リセットの関係を説明します。

表 13-1 内部リセット信号と各リセットの関係

内部リセット信号	出力される信号			各リセット信号により制御される内容
	CE リセット時	パワーオン・リセット時	クロック・ストップ時	
$\overline{\text{IRES}}$	×	○	○	デバイスを強制的にホールト状態にする。 ホールトの解除はタイマ・キャリー FF のセットにより行う。
$\overline{\text{RES}}$	×	○	○	コントロール・レジスタの一部を初期化する。
$\overline{\text{RESET}}$	○	○	○	プログラム・カウンタ，スタック，システム・レジスタおよびコントロール・レジスタの一部を初期化する。

13.3 CE リセット

CE リセットは，CE 端子をロウ・レベルからハイ・レベルに立ち上げることにより行います。

CE 端子がハイ・レベルに立ち上がると，次のタイマ・キャリー FF セット用パルスの立ち上がりエッジに同期して $\overline{\text{RESET}}$ 信号が出力され，デバイスにリセットがかかります。

CE リセットがかかると，$\overline{\text{RESET}}$ 信号によりプログラム・カウンタ，スタック，システム・レジスタおよびコントロール・レジスタの一部を初期値にイニシャライズしてプログラムを 0000H 番地から実行します。

初期値については各項を参照してください。

CE リセットは，クロック・ストップを使用するときと使用しないときではリセット動作が異なります。

これを **13.3.1** および **13.3.2** にそれぞれ示します。

13.3.3 に CE リセット時の注意を示します。

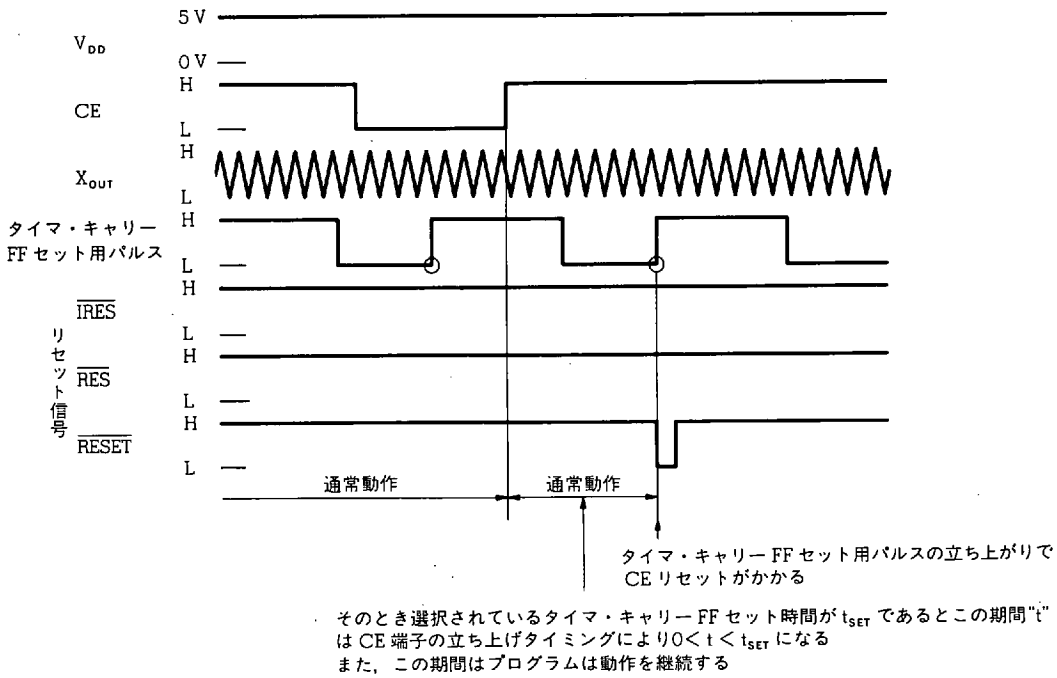
13.3.1 クロック・ストップ（STOP s 命令）を使用しないときの CE リセット

図 13 - 2 に動作を示します。

クロック・ストップ(STOP s 命令)を使用しないときは，コントロール・レジスタのタイマ・モード・セレクト・レジスタはイニシャライズされません。

したがって CE 端子がハイ・レベルになったあと，そのとき選択されているタイマ・キャリー FF セット用パルス（1 ms，5 ms，100 ms，250 ms）の立ち上がりエッジにより $\overline{\text{RESET}}$ 信号が出力され，リセットがかかります。

図 13 - 2 クロック・ストップを使用しないときの CE リセット動作



13.3.2 クロック・ストップ（STOP s命令）を使用したときのCEリセット

図13-3に動作を示します。

クロック・ストップを使用するときは，“STOP s”命令が実行された時点で$\overline{IRES}$, $\overline{RES}$および$\overline{RESET}$信号が出力されます。

このとき$\overline{RES}$信号によりコントロール・レジスタのタイマ・モード・セレクト・レジスタが0000Bに初期化されるため，タイマ・キャリーFFセット用信号は100 msに指定されます。

また，CE端子がロウ・レベルの間は$\overline{IRES}$信号が出力され続けるため，タイマ・キャリーによる解除の強制ホールト状態になります。

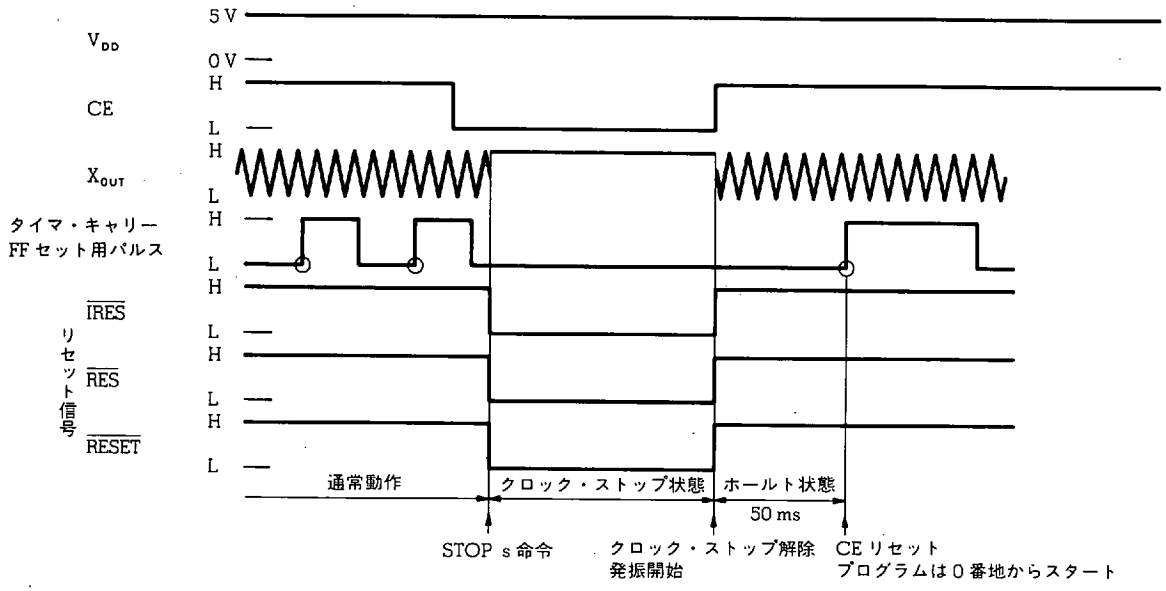
ただし，クロック自身が停止しているためデバイスは動作を停止しています。

CE端子がハイ・レベルに立ち上がるとクロック・ストップ状態が解除され発振が開始します。

このとき$\overline{IRES}$信号によりタイマ・キャリーによる解除のホールト状態になっているため，CE端子が立ち上がったあと，タイマ・キャリーFFセット用パルスが立ち上がるとホールト状態が解除されプログラムが0番地からスタートします。

タイマ・キャリーFFセット用パルスは100 msに初期化されているため，すなわちCE端子がハイ・レベルに立ち上がってから50 ms後にCEリセットがかかります。

図13-3 クロック・ストップを使用するときのCEリセット動作



13.3.3 CE リセット時の注意

CE リセットは，実行中の命令に関係なくかかるため次の(1) および(2) に示す点に注意が必要です。

(1) 時計などのタイマ処理を実行する時間

タイマ・キャリーやタイマ割り込みを使用して時計のプログラムを作成する場合は，そのプログラムの処理時間を一定時間以内に終了させる必要があります。

詳しくは，“**11.3.7 タイマ・キャリー使用時の注意**” および “**11.4.5 タイマ割り込み使用時の注意**” を参照してください。

(2) プログラムに使用しているデータやフラグなどの処理

1 命令で処理できないデータやフラグなどにおいて，CE リセットがかかっても内容が変化してはいけないようなもの，たとえばセキュリティ・コードなどはその内容を書き換えるときに注意が必要です。

次に例を用いて説明します。

★ 例 1.

```
R1      MEM     0.01H     ; セキュリティ・コードのキー入力データの１桁目
R2      MEM     0.02H     ; セキュリティ・コードのキー入力データの２桁目
R3      MEM     0.03H     ; セキュリティ・コード変更時の１桁目のデータ
R4      MEM     0.04H     ; セキュリティ・コード変更時の２桁目のデータ
M1      MEM     0.11H     ; 現在のセキュリティ・コードの１桁目
M2      MEM     0.12H     ; 現在のセキュリティ・コードの２桁目

START :
        [キー入力処理                ; セキュリティ・コード入力待ちモード
            R1 ←キー A の内容        ; 押されたキーの内容を，R1，R2 に代入する
            R2 ←キー B の内容]
        SET2    CMP，Z    ; ①; セキュリティ・コードと入力されたデータの比較
        SUB     R1，M1
        SUB     R2，M2
        SKT1    Z
        BR      ERROR     ; 入力されたデータがセキュリティ・コードと異なる
MAIN :
        [キー入力処理                ; セキュリティ・コードの書き換えモード
            R3 ←キー C の内容        ; 押されたキーの内容を，R3，R4 に代入する
            R4 ←キー D の内容]
        ST      M1，R3    ; ②; セキュリティ・コードの書き換え
        ST      M2，R4    ; ③
        BR      MAIN
ERROR :
        [動作しないようにする]
```

例１のプログラムにおいて，いま仮にセキュリティ・コードが“12H”であったとすると，データ・メモリ M1，M2 の内容はそれぞれ“1H”，“2H”になります。

このとき，CE リセットがかかると，①でキー入力の内容とセキュリティ・コード“12H”を比較して，同一であれば通常処理を行います。

また，メイン処理でセキュリティ・コードが変更されるときは，変更されたコードを②，③で M1，M2 に書き換えます。

ここで，仮にセキュリティ・コードが“34H”に変更されたとすると，②，③で M1，M2 に“3H”，“4H”を書き込みます。

ところが，②を実行した時点で CE リセットがかかったとすると，プログラムは③を実行しないで 0000H 番地から実行してしまいます。

したがって，セキュリティ・コードは“32H”になってしまうため，セキュリティの解除ができなくなってしまいます。

このような場合は，例２に示すようなプログラムで対処してください。

例 2. ★

```
R1          MEM     0.01H       ; セキュリティ・コードのキー入力データの１桁目
R2          MEM     0.02H       ; セキュリティ・コードのキー入力データの２桁目
R3          MEM     0.03H       ; セキュリティ・コード変更時の１桁目のデータ
R4          MEM     0.04H       ; セキュリティ・コード変更時の２桁目のデータ
M1          MEM     0.11H       ; 現在のセキュリティ・コードの１桁目
M2          MEM     0.12H       ; 現在のセキュリティ・コードの２桁目
CHANGE      FLG     0.13H.0     ; セキュリティ・コード変更中は“1”

START :
            [キー入力処理
                R1 ←キー A の内容
                R2 ←キー B の内容]  ; セキュリティ・コード入力待ちモード
                                    ; 押されたキーの内容を，R1，R2 に代入する
            SKT1    CHANGE  ;④; CHANGE フラグが“1”であれば
            BR      SECURITY_CHK
            ST      M1，R3      ; M1，M2 に再度書き込みを行う
            ST      M2，R4
            CLR1    CHANGE
SECURITY_CHK :
            SET2    CMP，Z  ;①; セキュリティ・コードと入力されたデータの比較
            SUB     R1，M1
            SUB     R2，M2
            SKT1    Z
            BR      ERROR       ; 入力されたデータがセキュリティ・コードと異なる
MAIN :
            [キー入力処理
                R3 ←キー C の内容
                R4 ←キー D の内容]  ; セキュリティ・コードの書き換えモード
                                    ; 押されたキーの内容を，R3，R4 に代入する
            SET1    CHANGE  ;⑤; セキュリティ・コードの変更が終わるまで
                                ; CHANGE フラグを“1”に設定する
            ST      M1，R3  ;②; セキュリティ・コードの書き換え
            ST      M2，R4  ;③
            CLR1    CHANGE      ; セキュリティ・コードの変更が終わったら
                                ; CHANGE フラグを“0”に設定する
            BR      MAIN
ERROR :
            [動作しないようにする]
```

例２のプログラムでは，②，③でセキュリティ・コードの書き換えを行う前に，⑤で CHANGE フラグを“1”に設定しています。

したがって，③を実行する前に CE リセットがかかってしまった場合でも，④で再度書き込みを行います。

13.4 パワーオン・リセット

パワーオン・リセットは，デバイスの電源電圧 V_{DD} を一定電圧（パワーオン・クリア電圧と呼ぶ）以下から立ち上げることにより行います。

電源電圧 V_{DD} がパワーオン・クリア電圧以下のときは，図 13-1 に示した電圧検出回路からパワーオン・クリア信号（POC）が出力されます。

パワーオン・クリア信号が出力されると，水晶発振回路を停止しデバイス動作を停止します。

また，パワーオン・クリア信号出力中は $\overline{IRES}$，$\overline{RES}$ および $\overline{RESET}$ 信号が出力されます。

電源電圧 V_{DD} がパワーオン・クリア電圧を越えるとパワーオン・クリア信号が切れ，水晶発振を開始すると同時に $\overline{IRES}$，$\overline{RES}$ および $\overline{RESET}$ 信号も切れます。

このとき，$\overline{IRES}$ 信号によりタイマ・キャリーによる解除のホールト状態になっているため，次のタイマ・キャリー FF セット用信号の立ち上がりエッジでパワーオン・リセットがかかります。

タイマ・キャリー FF セット用信号は，$\overline{RESET}$ 信号により 100 ms に初期化されているためすなわち，電源電圧 V_{DD} がパワーオン・クリア電圧を越えてから 50 ms 後にリセットがかかりプログラムが 0 番地からスタートします。

この動作を図 13-4 に示します。

パワーオン・リセット時のプログラム・カウンタ，スタック，システム・レジスタおよびコントロール・レジスタの初期化は，パワーオン・クリア信号が出力された時点で行われます。

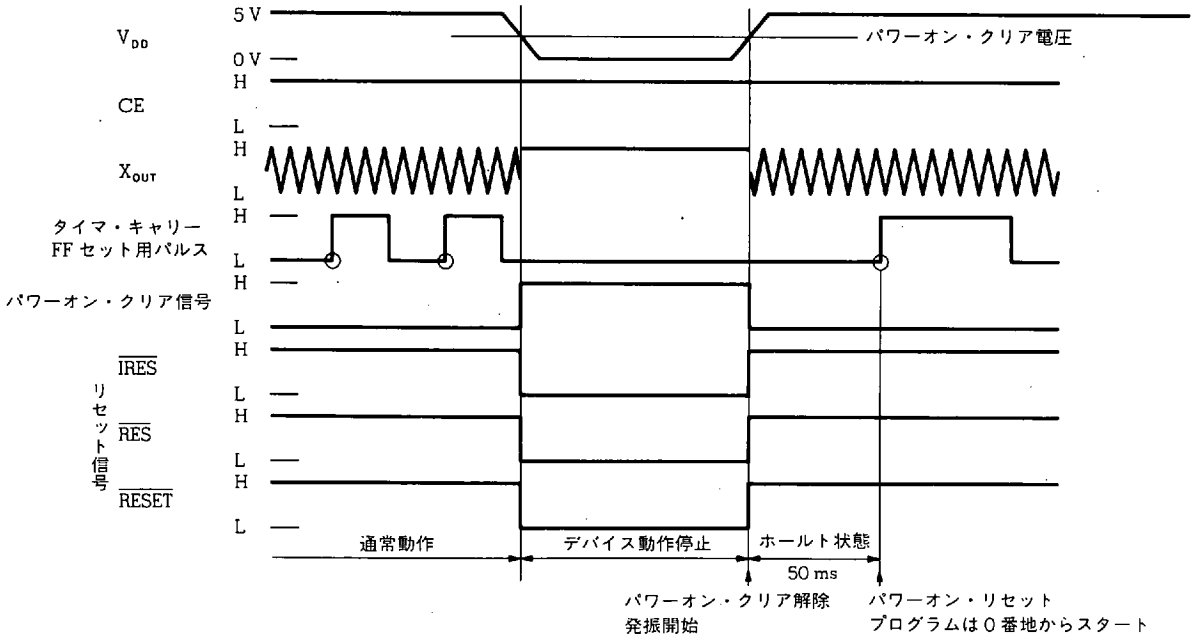
また，初期値については各項を参照してください。

パワーオン・クリア電圧は通常動作時は 3.5 V（規格値）であり，クロック・ストップ状態中は 2.2 V（規格値）になります。

このときの動作を **13.4.1** および **13.4.2** に示します。

また電源電圧 V_{DD} を 0 V から立ち上げたときの動作を **13.4.3** に示します。

図 13-4 パワーオン・リセットの動作



13.4.1 通常動作時のパワーオン・リセット

図 13-5の(a) に動作を示します。

図 13-5の(a) に示すように CE 端子の入力レベルに関係なく電源電圧 V_{DD} が 3.5 V より下がるとパワーオン・クリア信号が出力されデバイスの動作が停止します。

次に電源電圧 V_{DD} が再度 3.5 V 以上に立ち上がると, 50 ms のホールト後プログラムが 0000H 番地からスタートします。

通常動作時とは，クロック・ストップ命令を使用していないときで，ホールト命令によるホールト状態中も含みます。

13.4.2 クロック・ストップ状態中のパワーオン・リセット

図 13-5の(b) に動作を示します。

図 13-5の(b) に示すように電源電圧 V_{DD} が 2.2 V より下がるとパワーオン・クリア信号が出力されデバイス動作が停止します。

ただし，クロック・ストップ状態であるため，見かけ上デバイス動作は変化しません。

次に電源電圧 V_{DD} が 3.5 V 以上に立ち上がると 50 ms のホールト後プログラムが 0000H 番地からスタートします。

13.4.3 電源電圧 V_{DD} が 0 V から立ち上がったときのパワーオン・リセット

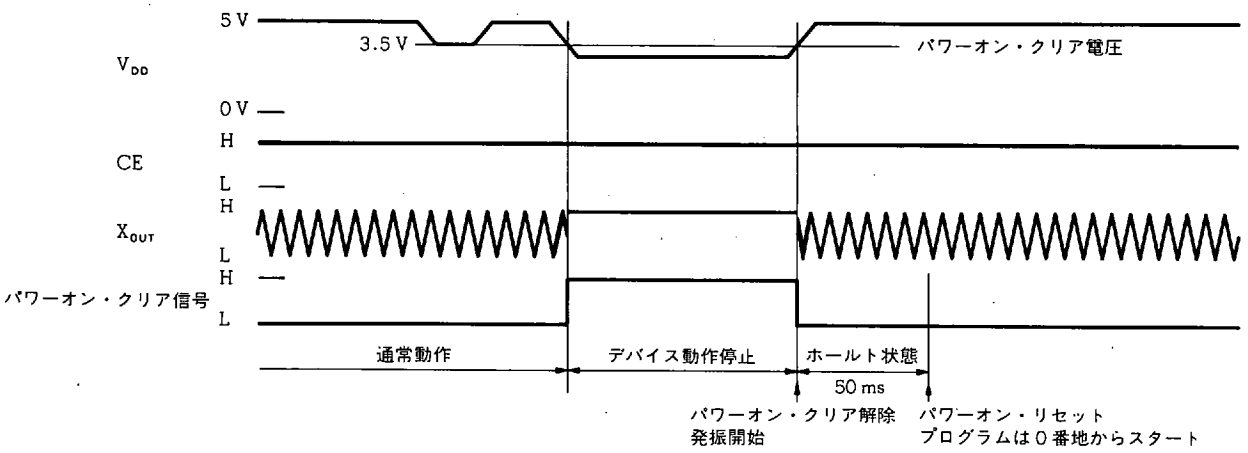
図 13-5の(c) に動作を示します。

図 13-5の(c) に示すように電源電圧 V_{DD} が 0 V から 3.5 Vに立ち上がるまでパワーオン・クリア信号が出力されます。

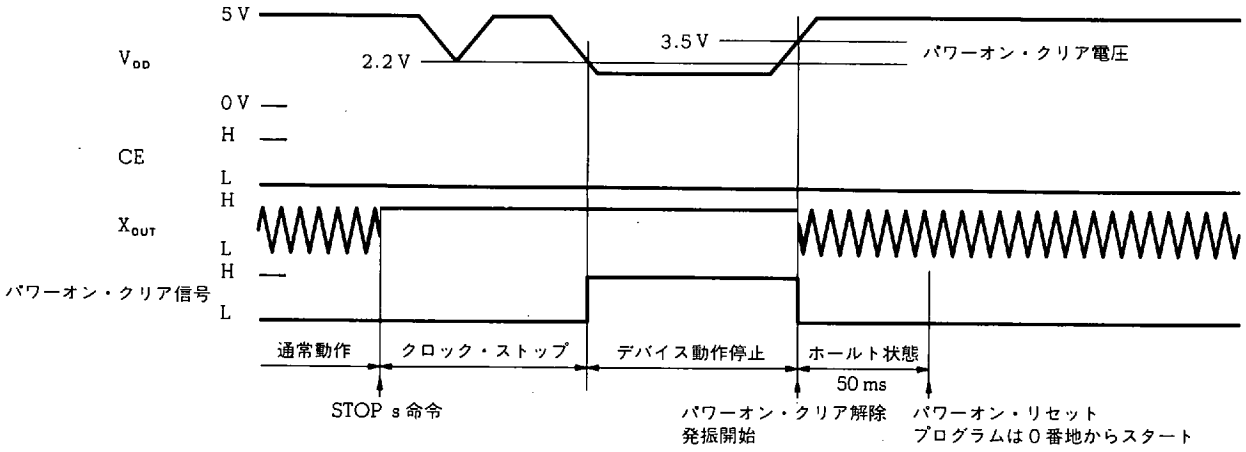
電源電圧 V_{DD} がパワーオン・クリア電圧を越えると水晶発振回路が動作を開始し，50 ms のホールト後にプログラムが 0000H 番地からスタートします。

図 13-5 パワーオン・リセットと電源電圧 V_{DD}

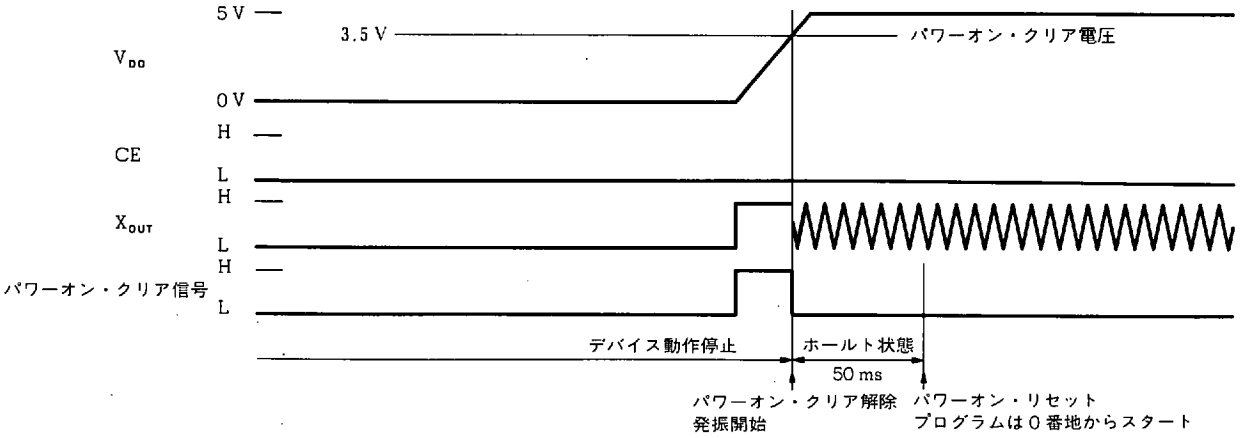
(a) 通常動作時（ホールト状態中も含む）



(b) クロック・ストップ時



(c) 電源電圧 V_{DD} を 0 V から立ち上げたとき



13.5 CE リセットとパワーオン・リセットの関係

最初の電源電圧 V_{DD} 投入時などは，パワーオン・リセットと CE リセットが同時にかかる可能性があります。

このときのリセット動作を **13.5.1 - 13.5.3** に示します。

また，**13.5.4** に電源電圧 V_{DD} 立ち上げ時の注意を示します。

13.5.1 V_{DD} 端子と CE 端子が同時に立ち上がったとき

図 13 - 6 の(a) に動作を示します。

このときは，パワーオン・リセットによりプログラムが 0000H 番地からスタートします。

13.5.2 パワーオン・リセットの強制ホールト中に CE 端子が立ち上がったとき

図 13 - 6 の(b) に動作を示します。

このときは，**13.5.1** と同様にパワーオン・リセットによりプログラムが 0000H 番地からスタートします。

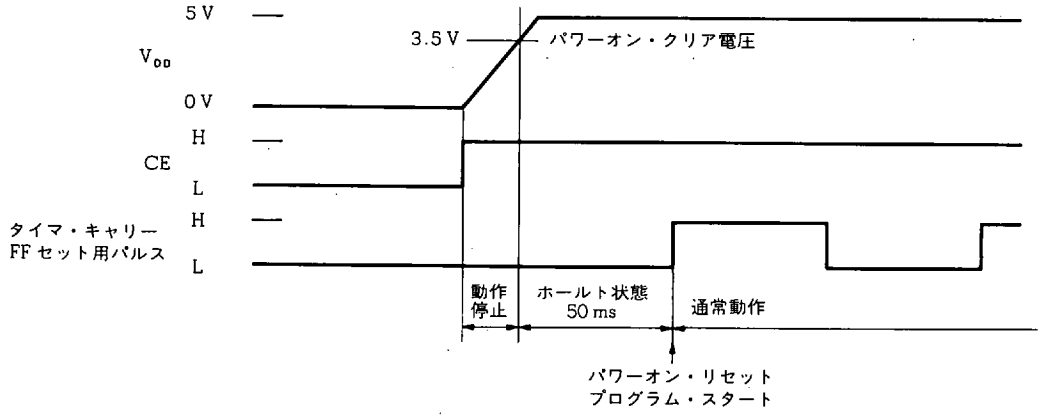
13.5.3 パワーオン・リセット後に CE 端子が立ち上がったとき

図 13 - 6 の(c) に動作を示します。

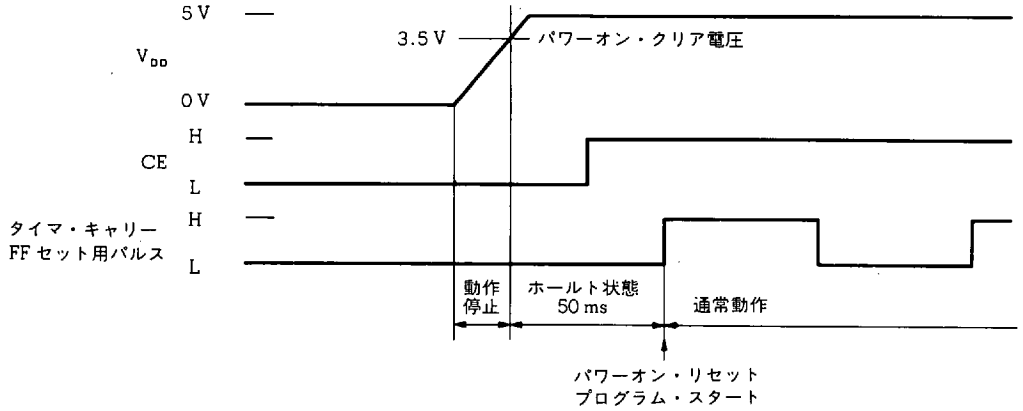
このときは，パワーオン・リセットによりプログラムが 0000H 番地からスタートし，さらに CE リセットにより次のタイマ・キャリー FF セット用信号の立ち上がりでプログラムが 0000H 番地から再度スタートします。

図 13-6 パワーオン・リセットと CE リセットの関係

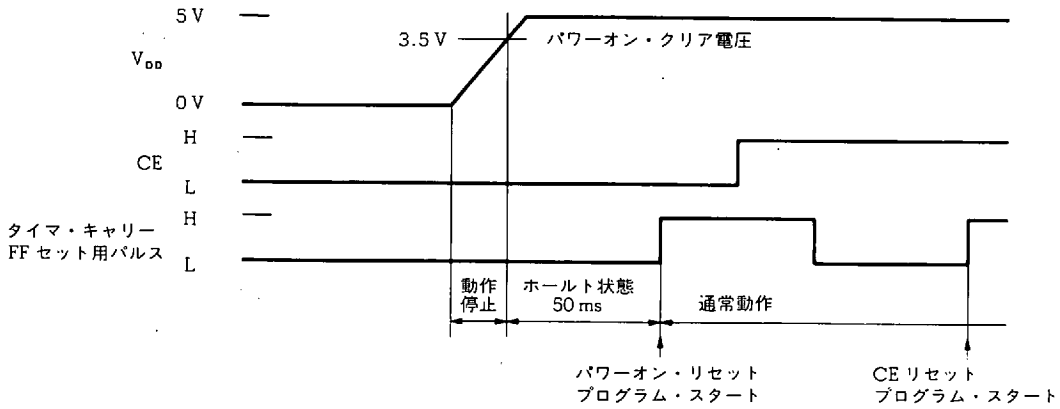
(a) V_{DD} と CE 端子が同時に立ち上がったとき



(b) ホールト状態中に CE 端子が立ち上がったとき



(c) パワーオン・リセット後に CE 端子が立ち上がったとき



13.5.4 電源電圧 V_{DD} 立ち上げ時の注意

電源電圧 V_{DD} を立ち上げるときは，以下の(1) および(2) に示す注意が必要です。

(1) 電源電圧 V_{DD} をパワーオン・クリア電圧以下から立ち上げるとき

電源電圧 V_{DD} を立ち上げるときは，一度 3.5 V 以上に立ち上げる必要があります。

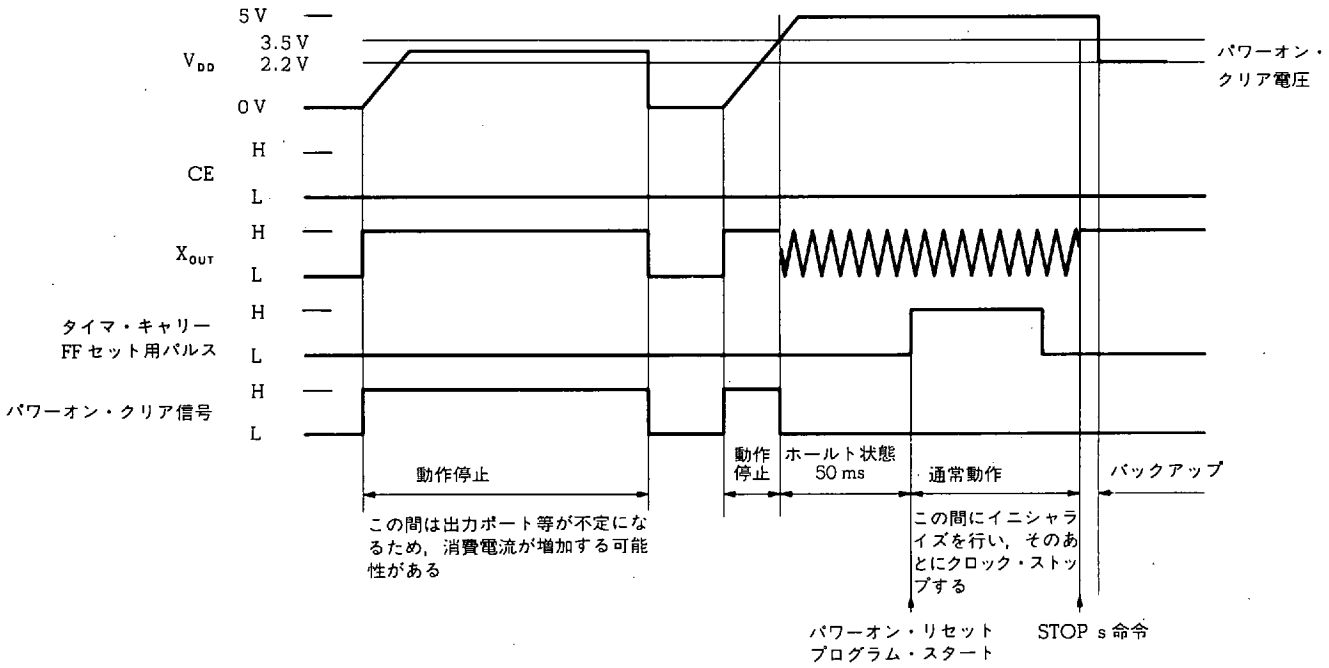
これを図 13-7 に示します。

図 13-7 に示すように，たとえばクロック・ストップを使用して V_{DD} を 2.2 V でバックアップするようなプログラムにおいて，V_{DD} 投入時に 3.5 V 未満の電圧しか印加されなかったとすると，パワーオン・クリア信号が出力されたままになりプログラムは動作しません。

このとき，デバイスの出力ポート等は不定な値を出力するため，場合により消費電流が増加します。

すなわち，電池等によるバックアップ時はバックアップ時間が大幅に減少してしまいます。

図 13-7 V_{DD} 立ち上げ時の注意



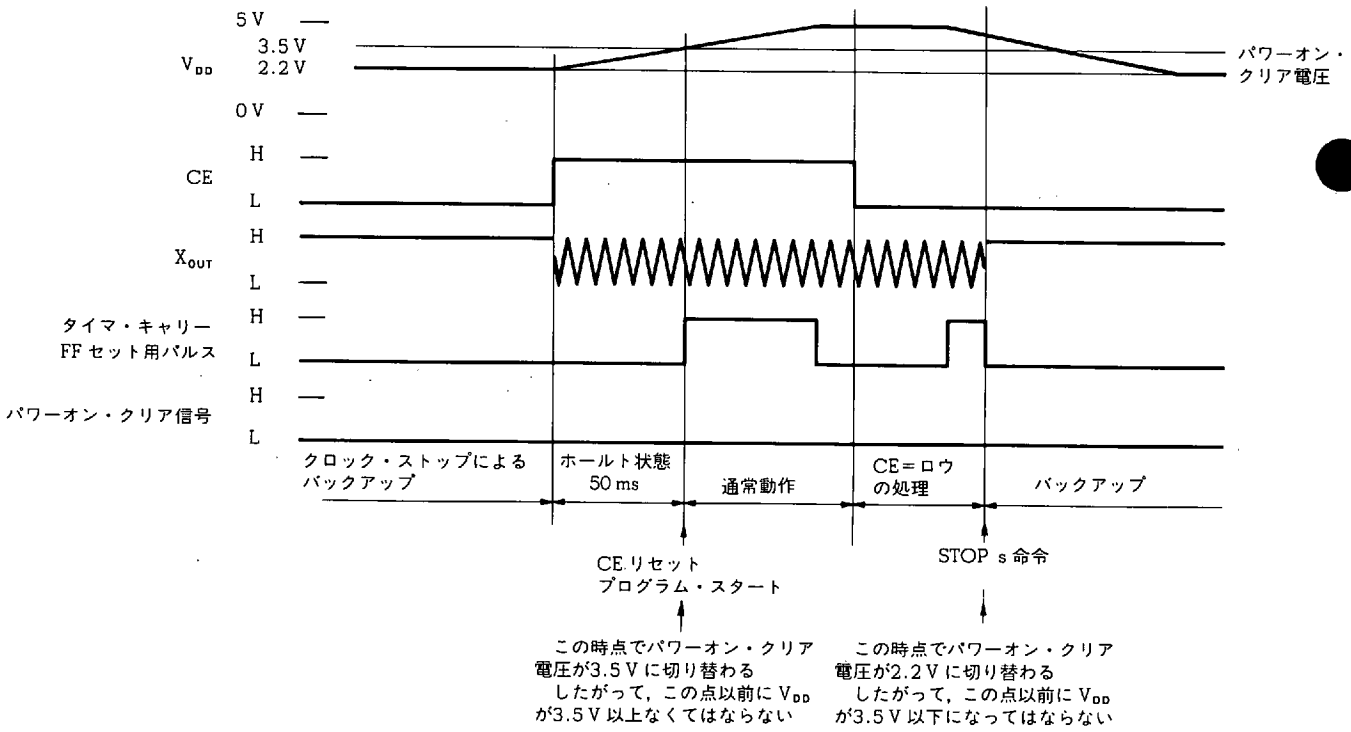
(2) クロック・ストップ状態からの復帰時

クロック・ストップを使用して電源電圧 V_{DD} を 2.2 V でバックアップしているときに，バックアップ状態から復帰する場合は，CE 端子がハイ・レベルになってから 50 ms 以内に V_{DD} を 3.5 V 以上に立ち上げる必要があります。

図 13-8 に示すようにクロック・ストップ状態からの復帰は CE リセットにより行いますが，CE 端子が立ち上がってから 50 ms 後にパワーオン・クリア電圧が 3.5 V に切り替わるため，この時点に V_{DD} が 3.5 V 以上ないとパワーオン・リセットがかかってしまいます。

また，V_{DD} を立ち下げるときも同様に注意が必要です。

★ **図 13-8 クロック・ストップ状態からの復帰**



13.6 停電検出

停電検出は，図 13 - 9 に示すようにデバイスにリセットがかかったときに電源電圧 V_{DD} の投入であったかもしくは CE 端子によるリセットであったかを判断するために使用します。

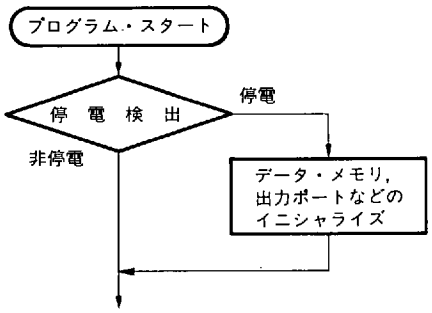
電源電圧投入時は，データ・メモリや出力ポート等の内容が“不定”になっているため，停電検出によりこれらの内容を初期化します。

停電検出方法には，停電検出回路を使用して TMCY フラグを検出する方法およびデータ・メモリの内容を検出する方法（RAM ジャッジ）の 2 通りがあります。

13.6.1 および **13.6.2** に停電検出回路および TMCY フラグによる停電検出方法を説明します。

13.6.3 および **13.6.4** に RAM ジャッジ方法による停電検出を説明します。

図 13 - 9 停電検出フロー・チャート



13.6.1 停電検出回路

停電検出回路は図 13 - 1 に示したように電圧検出回路と，電圧検出回路の出力（パワーオン・クリア信号）によりセットされるタイマ・キャリー・ディスエーブル・フリップフロップおよびタイマ・キャリーで構成されます。

タイマ・キャリー・ディスエーブル FF は，パワーオン・クリア信号によりセット（1）され，TMCY フラグを読み込む命令が実行されるとリセット（0）されます。

タイマ・キャリー・ディスエーブル FF がセット（1）されているときは，TMCY フラグはセット（1）されません。

すなわち，パワーオン・クリア信号が出力される（パワーオン・リセット時）と，TMCY フラグはリセットされた状態でプログラムがスタートし，以後 TMCY フラグを読み込む命令が実行されるまでセット禁止状態になります。

一度 TMCY フラグを読み込む命令が実行されれば，以後タイマ・キャリー FF セット用パルスの立ち上がりごとに TMCY フラグがセットされます。したがってデバイスにリセットがかかったときに TMCY フラグの内容を検出し，リセット（0）されていればパワーオン・リセット（停電）であり，セット（1）されていれば CE リセット（非停電）であることを判断できます。

停電を検出できる電圧はパワーオン・リセットのかかる電圧と同じになるため，水晶発振時で V_{DD} = 3.5 V，クロック・ストップ時で V_{DD} = 2.2 V になります。

図 13 - 10 に TMCY フラグの状態遷移を示します。

また，図 13 - 11 に図 13 - 10 のタイミング・チャートおよび TMCY フラグの動作を示します。

図 13 - 10 TMCY フラグの状態遷移

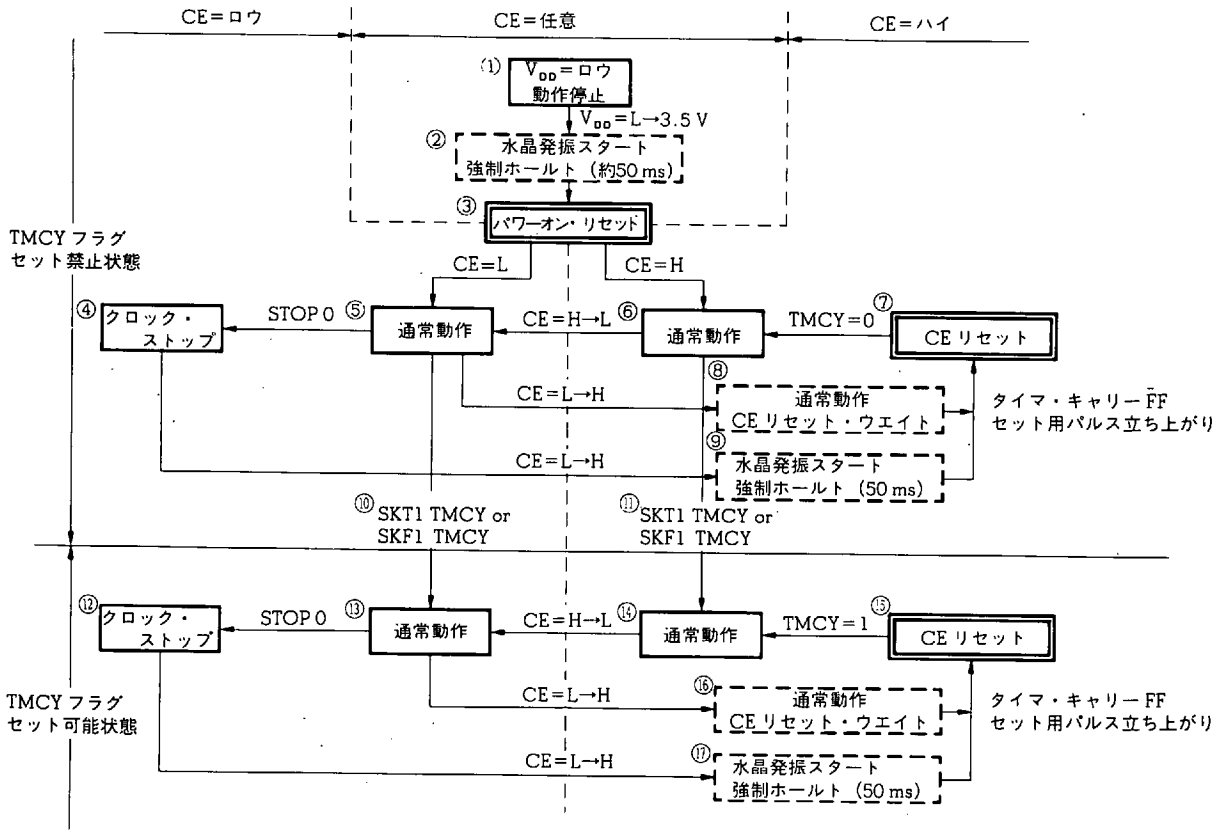
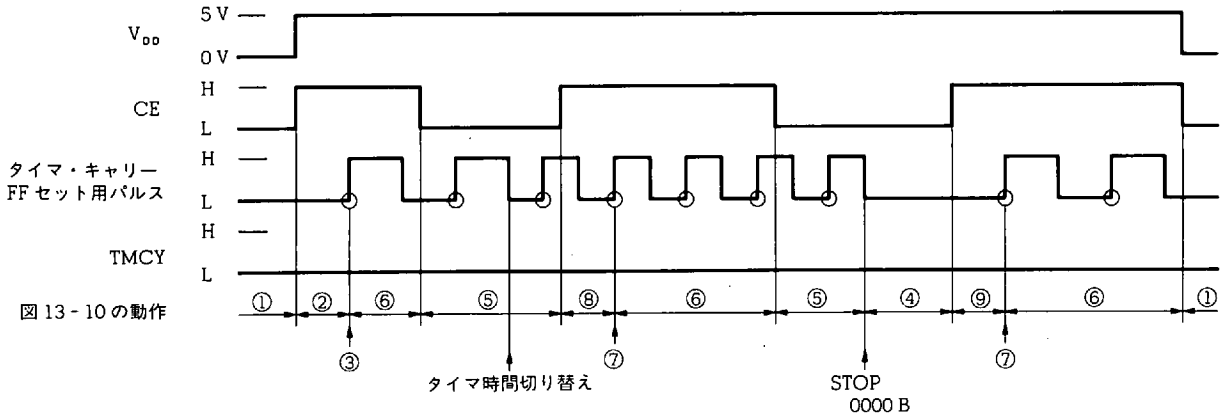
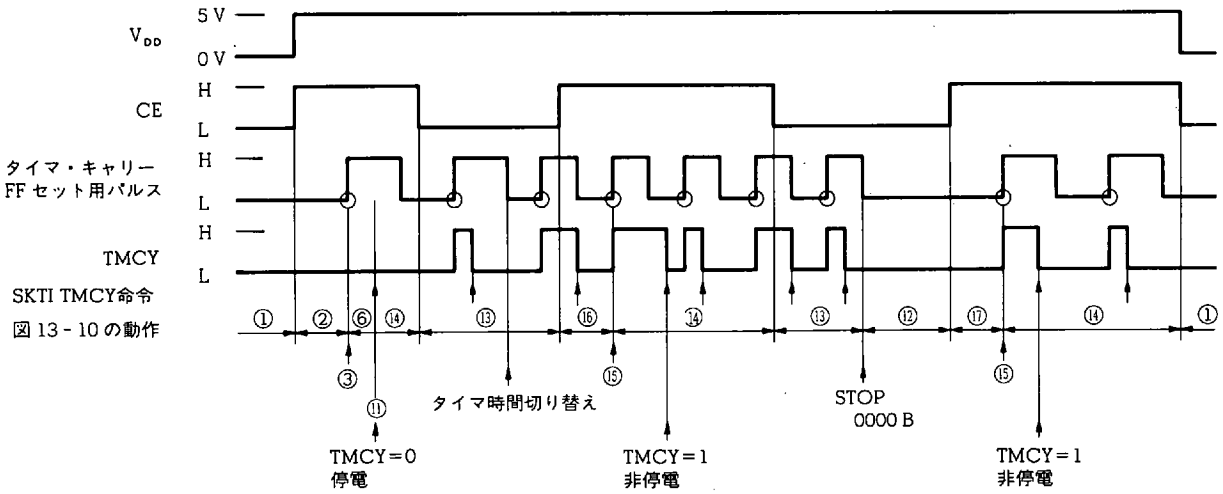


図 13 - 11　TMCY フラグの動作

(a) TMCY フラグを一度も検出しないとき（SKT1 TMCY または SKF1 TMCY を実行しない）



(b) TMCY フラグによる停電検出を行うとき



13.6.2 TMCY フラグによる停電検出時の注意

TMCY フラグで時計のカウントなどを行うときは次の点に注意が必要です。

(1) 時計の更新

タイマ・キャリーを使用して時計などのプログラムを作成するときは，停電検出後に時計を更新する必要があります。

これは停電検出時に TMCY フラグを読み込むために TMCY フラグがリセット(0) され，1 回分時計のカウントを取り逃がすためです。

(2) 時計更新処理時間

時計の更新を行うときは，その処理を次のタイマ・キャリー FF セット用パルスが立ち上がるまでに終了させる必要があります。

これは，時計更新処理中に CE 端子がハイ・レベルに立ち上がると時計更新処理を最後まで実行しないで CE リセットがかかってしまうためです。

上記(1) および(2) については，“**11.3.7(b) CE リセット時におけるタイマ・キャリーの補正**”を参照してください。

また，停電時の処理を行うときは次の点に注意が必要です。

(3) 停電検出を行うタイミング

TMCY フラグで時計のカウントなどを行うときは，停電検出のための TMCY フラグの読み込みをプログラムが 0000H 番地からスタートしてから次のタイマ・キャリー FF セット用パルスが立ち上がる時間以内に行う必要があります。

これは，タイマ・キャリー FF セット時間をたとえば 5 ms に設定し，停電検出をプログラムがスタートしてから 6 ms 後に行うとすると，1 回分 TMCY フラグを取り逃がしてしまうためです。

“**11.3.7(b) CE リセット時におけるタイマ・キャリーの補正**”を参照してください。

また，次頁の例に示すように，停電検出およびイニシャル処理は，タイマ・キャリー FF セット時間以内で行う必要があります。

これは停電処理およびイニシャル処理中に CE 端子が立ち上がり CE リセットがかかると，これらの処理が途中で中断されてしまい，不具合が発生する可能性があるためです。

また，イニシャル処理でタイマ・キャリー FF セット時間を変更する場合，変更する命令はイニシャル処理の一番最後に 1 命令で行う必要があります。

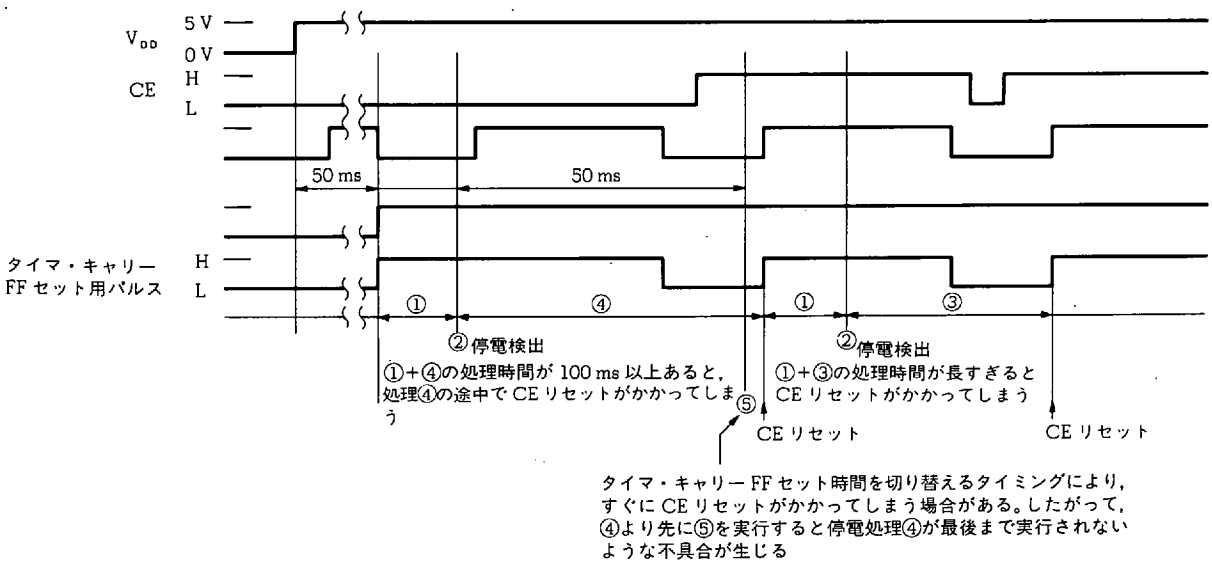
これも，次頁の例に示すようにイニシャル処理よりさきにタイマ・キャリー FF のセット時間が切り替わると，CE リセットによりイニシャル処理が最後まで実行できない可能性があるためです。

例

プログラム例

```
START :                                  ; プログラム・アドレス 0000H
 ; ①
    [ リセット時の処理 ]
 ; ②
    SKT1      TMCY                       ; 停電検出
    BR        INITIAL
BACKUP :
 ; ③
    [ 時 計 更 新 ]
    BR        MAIN
INITIAL :
 ; ④
    [ イニシャル処理 ]
 ; ⑤
    INITFLG TMMD1, NOT TMMD0             ; 組み込みマクロ
                                         ; タイマ・キャリー FF セット時間を 5 ms に設定
MAIN :
    [ メイン処理 ]
    SKT1      TMCY
    BR        MAIN
    [ 時 計 更 新 ]
    BR        MAIN
```

動作例



13.6.3 RAM ジャッジ方法による停電検出

RAM ジャッジ方法は，デバイスにリセットがかかったときに，所定アドレスのデータ・メモリの内容が所定の値になっているかを判断することにより停電検出を行います。

次頁に RAM ジャッジによる停電検出のプログラム例を示します。

RAM ジャッジ方法は，電源電圧 V_{DD} 投入時のデータ・メモリの内容は“不定”になっており，“不定”の値と“所定”の値を比較することにより停電検出を行います。

したがって“**13.6.4 RAM ジャッジによる停電検出時の注意**”に示すように停電検出を誤判断する可能性があります。

ただし，RAM ジャッジ方法を用いる利点としては表 13-2 に示すように，停電検出回路による停電検出より低い電源電圧までバックアップが可能になる点です。

表 13-2 停電検出回路と RAM ジャッジによる停電検出方法の比較

	停電検出回路		RAM ジャッジ	
データ保持電圧（クロック・ストップ時）	実力値	規格	実力値	規格
	1-2V	2.2V	0-1V	2.0V
ほ か	誤動作なし		誤動作の可能性あり	

例 **RAM ジャッジによる停電検出プログラム例** ★

```
M012        MEM     0.12H
M034        MEM     0.34H
M056        MEM     0.56H
M107        MEM     1.07H
M128        MEM     1.28H
M16F        MEM     1.6FH
DATA0       DAT     1010B
DATA1       DAT     0101B
DATA2       DAT     0110B
DATA3       DAT     1001B
DATA4       DAT     1100B
DATA5       DAT     0011B

START :
            SET2    CMP, Z
            SUB     M012, #DATA0  ; M012 = DATA0 かつ
            SUB     M034, #DATA1  ; M034 = DATA1 かつ
            SUB     M056, #DATA2  ; M056 = DATA2 かつ
            BANK1
            SUB     M107, #DATA3  ; M107 = DATA3 かつ
            SUB     M128, #DATA4  ; M128 = DATA4 かつ
            SUB     M16F, #DATA5  ; M16F = DATA5 であれば
            BANK0
            SKF1    Z
            BR      BACKUP        ; BACKUP へ分岐
; INITIAL :
            [イニシャル処理]
            MOV     M012, #DATA0
            MOV     M034, #DATA1
            MOV     M056, #DATA2
            BANK1
            MOV     M107, #DATA3
            MOV     M128, #DATA4
            MOV     M16F, #DATA5
            BR      MAIN
BACKUP :
            [バックアップ処理]
MAIN :
            [メイン処理]
```

13.6.4 RAM ジャッジによる停電検出時の注意

電源電圧 V_{DD} 投入時のデータ・メモリの値は基本的には“不定”の値であるため，次の(1) および(2) に示す点に注意が必要です。

(1) 比較するデータ

RAM ジャッジにより比較するデータ・メモリのビット数を“n ビット”とすると，V_{DD} 投入時にデータ・メモリの値がたまたま比較する値と一致する確率は $(1/2)^n$ になります。

すなわち，RAM ジャッジによる停電検出は $(1/2)^n$ の確率でバックアップと判断されてしまうことになります。

したがってこの確率を小さくするためには，できる限り多くのビット数を比較するようにします。

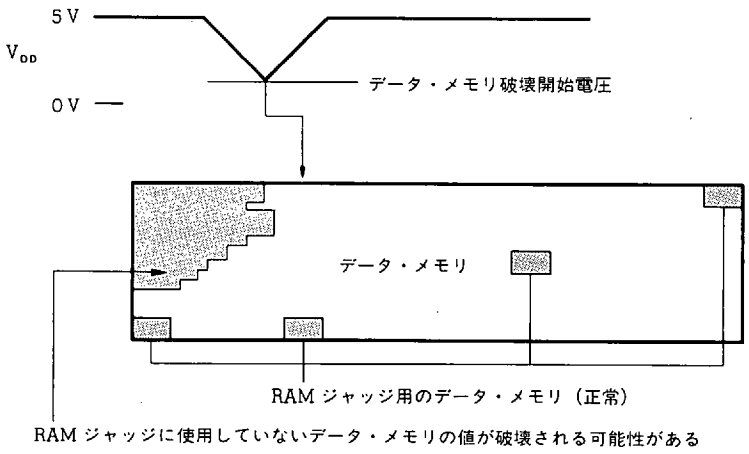
また，経験上，V_{DD} 投入時のデータ・メモリの内容は“0000B”や“1111B”のような同一の値になりやすいため，比較するためのデータを“1010B”や“0110B”のように，“0”と“1”が混在するような値にした方が，判断を誤る可能性が少なくなります。

(2) プログラム上の注意

図 13-12 に示すように，V_{DD} がデータ・メモリが破壊され始める電圧から立ち上がったときは，比較するデータ・メモリの値が正常であっても，その他の部分が破壊される場合があります。

このとき RAM ジャッジによる停電検出ではバックアップと判断されるため，プログラム上，データ・メモリが破壊されていても暴走しないよう配慮する必要があります。

図 13-12 V_{DD} とデータ・メモリの破壊



14. PLL 周波数シンセサイザ

PLL (Phase Locked Loop) 周波数シンセサイザは，MF (Medium Frequency)，HF (High Frequency) および VHF(Very High Frequency)帯の周波数を位相差比較方式により一定周波数にロックさせるために使用します。

14.1 PLL 周波数シンセサイザの構成

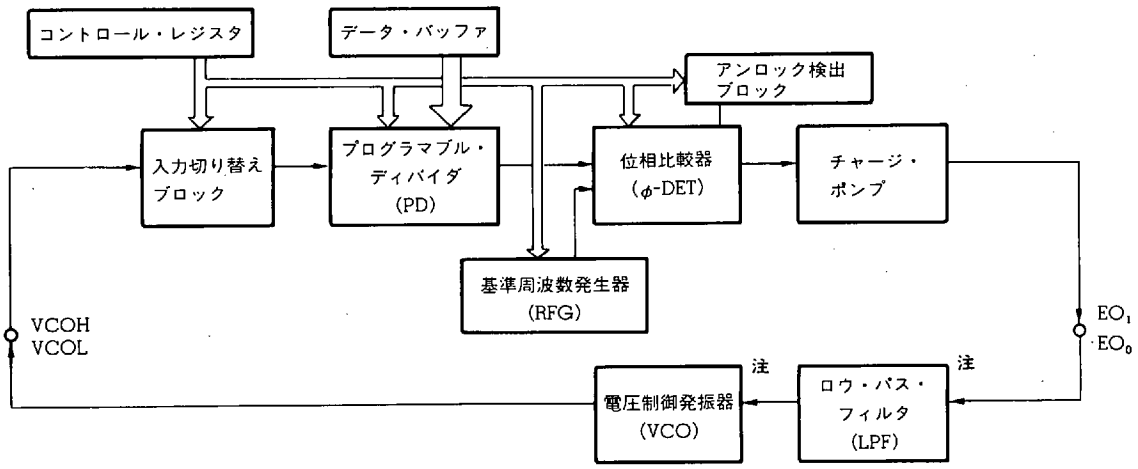
図 14 - 1 に PLL 周波数シンセサイザのブロック図を示します。

図 14 - 1 に示すように PLL 周波数シンセサイザは，入力切り替えブロック，プログラマブル・ディバイダ (PD)，位相比較器 (φ - DET)，基準周波数発生器 (RFG) およびチャージ・ポンプから構成されています。

これらのブロックと，外部のロウ・パス・フィルタ (LPF) および電圧制御発振器 (VCO) を接続することにより PLL 周波数シンセサイザを構成できます。

また，外部ロウ・パス・フィルタ用アンプとして使用できるよう，CMOS オペ・アンプを内蔵しています。

図 14 - 1 PLL 周波数シンセサイザのブロック図



注　外部回路

14.2 PLL 周波数シンセサイザの機能概略

PLL 周波数シンセサイザは，VCOH 端子（32 番端子）または VCOL 端子（31 番端子）から入力された信号をプログラマブル・ディバイダで分周し，基準周波数との位相差を EO_1端子および EO_0端子から出力します。

PLL 周波数シンセサイザは，CE 端子がハイ・レベルの時のみ動作します。CE 端子がロウ・レベルの時はディスエーブル状態になります。

PLL のディスエーブル状態については **14.6** を参照してください。

14.2.1 - 14.2.6 に各ブロックの機能概略を示します。

14.2.1 入力切り替えブロック

外部の電圧制御発振器からの出力信号を入力する端子の選択を行います。

入力端子の選択は，PLL モード・セレクト・レジスタ（PLLMODE：RF アドレス 21H 番地）により VCOH 端子および VCOL 端子のどちらかを選択します。

14.3 を参照してください。

14.2.2 プログラマブル・ディバイダ

VCOH 端子または VCOL 端子から入力された信号をプログラムにより設定された分周比で分周します

分周方式は直接分周方式とパルス・スワロ方式を選択できます。

分周方式の選択は，PLL モード・セレクト・レジスタにより行います。

分周値の設定はデータ・バッファを介して PLL データ・レジスタ（PLLR：周辺アドレス 41H 番地）により行います。

14.3 を参照してください。

14.2.3 基準周波数発生器

位相比較器で比較する基準周波数を生成します。

基準周波数は PLL レファレンス・モード・セレクト・レジスタ(PLRFMODE：RF アドレス 31H 番地)により 12 種類を選択できます。

14.4 を参照してください。

14.2.4 位相比較器とアンロック検出ブロック

位相比較器は，プログラマブル・ディバイダから出力された分周信号と基準周波数発生器からの信号を比較し，位相差を出力します。

アンロック検出ブロックは，PLL のアンロック状態を検出します。

PLL のアンロック状態の検出は，PLL アンロック FF ディレイ・コントロール・レジスタ（PLULDLY：RF アドレス 15H 番地）および PLL アンロック FF ジャッジ・レジスタ（PLLULJDG：RF アドレス 05H 番地）により行います。

14.5 を参照してください。

14.2.5 チャージ・ポンプ

位相比較器から出力された信号をハイ・レベル，ロウ・レベルおよびフローティング出力として EO_1端子および EO_0端子から出力します。

14.5 を参照してください。

14.2.6 LPF 用アンプ

外部ロウ・パス・フィルタ用に使用するための CMOS オペアンプです。

14.6 を参照してください。

14.3 入力切り替えブロックおよびプログラマブル・ディバイダ

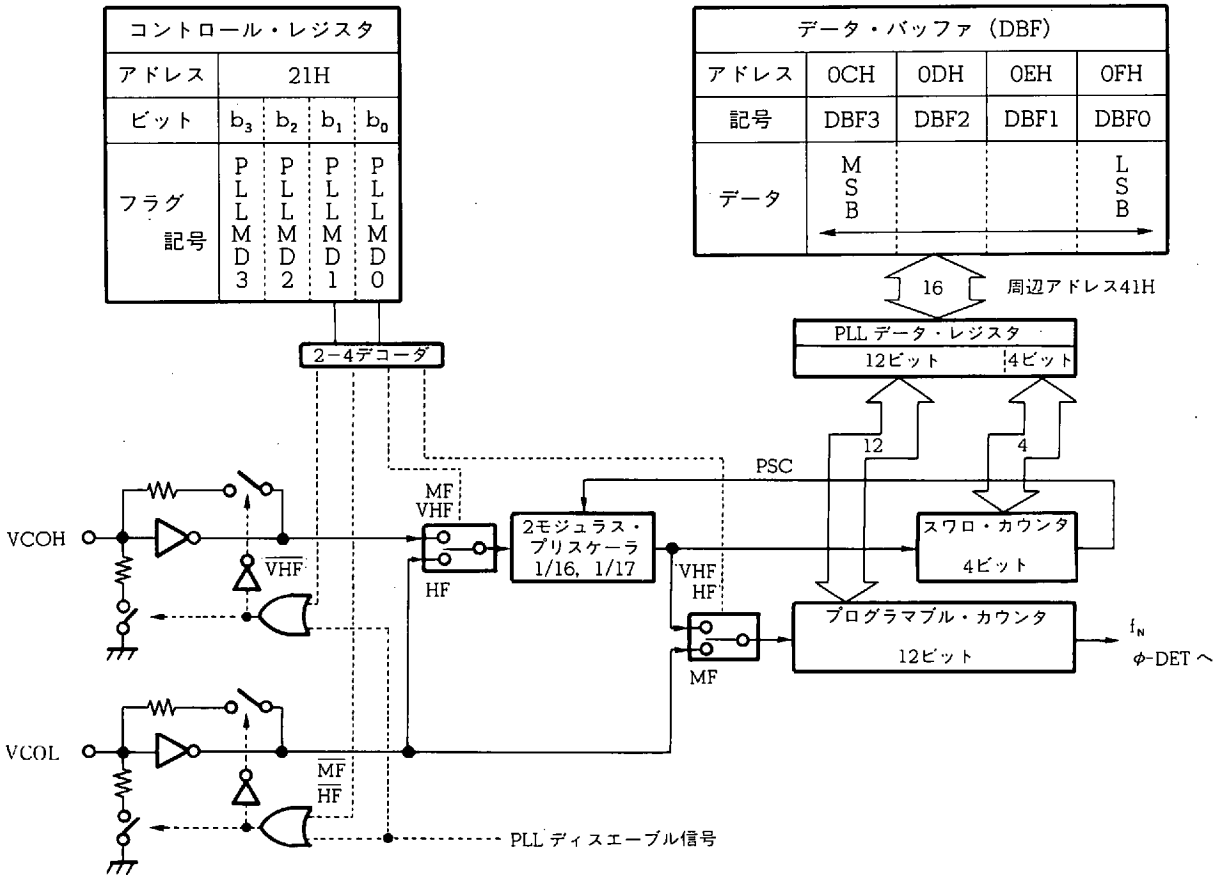
14.3.1 入力切り替えブロックおよびプログラマブル・ディバイダの構成

図 14-2 に入力切り替えブロックとプログラマブル・ディバイダの構成を示します。

図 14-2 に示すように，入力切り替えブロックは VCOH 端子，VCOL 端子およびそれぞれの入力アンプから構成されています。

プログラマブル・ディバイダは，2 モジュラス・プリスケーラ，スワロ・カウンタ，プログラマブル・カウンタおよび分周方式選択スイッチから構成されています。

図 14-2 入力切り替えブロックおよびプログラマブル・ディバイダの構成



14.3.2 入力切り替えブロックおよびプログラマブル・ディバイダの機能

入力切り替えブロックおよびプログラマブル・ディバイダは，PLL 周波数シンセサイザの入力端子および分周方式を選択します。

入力端子には VCOH 端子とVCOL 端子が選択できます。

選択された端子は中間電位（約 1/2 V_{DD}）になります。選択されていない端子は内部でプルダウンされます。

これらの端子の入力は交流アンプとなっていますので，入力信号の直流分は端子に直列に挿入するコンデンサでカットしてください。

分周方式には直接分周方式とパルス・スワロ方式が選択できます。

プログラマブル・カウンタは，スワロ・カウンタおよびプログラマブル・カウンタに設定された値により各分周方式による分周を行います。

表 14 - 1 に各入力端子（VCOH，VCOL 端子）と分周方式を示します。

使用する入力端子と分周方式の選択は，PLL モード・セレクト・レジスタにより行います。

14.3.3 に PLL モード・セレクト・レジスタの構成と機能を示します。

プログラマブル・ディバイダへの分周値の設定は，データ・バッファを介して PLL データ・レジスタにより行います。

14.3.4 にプログラマブル・ディバイダと PLL データ・レジスタについて説明します。

表 14 - 1 各入力端子と分周方法

分周方式	使用する端子	入力できる周波数 (MHz)	入力振幅 (V_{P-P})	設定できる分周値	データ・バッファに設定できる分周値
直接分周 (MF)	VCOL	0.5 - 30	0.3	16 ～ 2^{12} − 1	010×H - FFF×H (×：下位 4 ビットは任意)
パルス・スワロ (HF)	VCOL	5 - 40	0.3	256 ～ 2^{16} − 1	0100H - FFFFH
パルス・スワロ (VHF)	VCOH	9 - 150	0.3	256 ～ 2^{16} − 1	0100H - FFFFH
		9 - 250	0.5		

14.3.3 PLL モード・セレクト・レジスタ（PLLMODE）の構成と機能

PLL モード・セレクト・レジスタは，PLL 周波数シンセサイザの分周方式および使用する端子を設定します。

次に PLL モード・セレクト・レジスタの構成と機能を示します。

また，(1)-(4) に各分周方式の概略を示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
PLL モード・セレクト・レジスタ (PLLMODE)	PLLMD3	PLLMD2	PLLMD1	PLLMD0	21H	R/W

PLL 周波数シンセサイザの分周方式を設定する

0	0	VCOL，VCOH 端子ディスエーブル
0	1	直接分周　　(VCOL 端子 MF モード)
1	0	パルス・スワロ (VCOH 端子 VHF モード)
1	1	パルス・スワロ (VCOL 端子 HF モード)

"0" 固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	0	0
	CE	↓	↓	保	保

(1) 直接分周方式（MF）

VCOL 端子を使用します。

VCOH 端子はプルダウンされます。

直接分周方式は，プログラマブル・カウンタのみで分周を行います。

(2) パルス・スワロ方式（HF）

VCOL 端子を使用します。

VCOH 端子はプルダウンされます。

パルス・スワロ方式は，スワロ・カウンタおよびプログラマブル・カウンタで分周を行います。

(3) パルス・スワロ方式（VHF）

VCOH 端子を使用します。

VCOL 端子はプルダウンされます。

パルス・スワロ方式は，スワロ・カウンタおよびプログラマブル・カウンタで分周を行います。

(4) VCOL, VCOH 端子ディスエーブル

VCOH 端子および VCOL 端子が内部でプルダウンされます。

ただし，位相比較器，基準周波数発生器およびチャージ・ポンプは動作します。

したがって，後述する PLL ディスエーブル状態とは動作が異なります。

14.3.4 プログラマブル・ディバイダと PLL データ・レジスタ

プログラマブル・ディバイダは，VCOH 端子および VCOL 端子から入力された信号を，スワロ・カウンタおよびプログラマブル・カウンタに設定された値により分周します。

スワロ・カウンタおよびプログラマブル・カウンタは，それぞれ 4 ビットおよび 12 ビットのバイナリ・ダウン・カウンタで構成されています。

スワロ・カウンタおよびプログラマブル・カウンタへの分周値の設定は，データ・バッファを介して PLL データ・レジスタ（PLLR：周辺アドレス 41H 番地）に設定します。

PLL データ・レジスタへのデータの設定および読み込みは，“PUT PLLR, DBF” および “GET DBF, PLLR” 命令で行います。

分周する値は “N 値” と呼びます。

各分周方式時の分周値（N 値）の設定については **14.8** を参照してください。

(1) PLL データ・レジスタとデータ・バッファ

次に PLL データ・レジスタとデータ・バッファの関係を示します。

直接分周方式時は上位 12 ビットが有効になり，パルス・スワロ方式時は 16 ビットすべて有効になります。

直接分周方式時は 12 ビットすべてがプログラマブル・カウンタに設定されます。

パルス・スワロ方式時は上位 12 ビットがプログラム・カウンタに設定され，下位 4 ビットがスワロ・カウンタに設定されます。

(2) プログラマブル・ディバイダの分周値 N と分周出力周波数の関係

PLL データ・レジスタに設定された値 “N” と，プログラマブル・ディバイダにより分周されて出力される信号の周波数 “f_N” は次のようになります。

詳しくは **14.8** を参照してください。

(a) 直接分周方式時（MF）

$$f_N = \frac{f_{IN}}{N} \quad N：12 ビット$$

(b) パルス・スワロ方式時（HF, VHF）

$$f_N = \frac{f_{IN}}{N} \quad N：16 ビット$$

名　称	データ・バッファ															
記　号	DBF 3				DBF 2				DBF 1				DBF 0			
アドレス	0 CH				0 DH				0 EH				0 FH			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	転送データ															

16

GET 可

PUT 可

周辺レジスタ																			
名　称	b_{15}	b_{14}	b_{13}	b_{12}	b_{11}	b_{10}	b_9	b_8	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0	記号	周辺アドレス	周辺ハードウエア
PLL データ・レジスタ	有効データ																PLLR	41H	PLL 周波数シンセサイザ

PLL 周波数シンセサイザの分周比を設定

直接分周方式	0	任　意	設定禁止
	｜		
	15 (00FH)	任　意	
	16 (010H)	任　意	分周比 N：N = x
	｜		
	x	任　意	
	｜		
	$2^{12}-1$ (FFFH)	任　意	
パルス・スワロ方式	0		設定禁止
	｜		
	255 (00FFH)		
	256 (0100H)		分周比 N：N = x
	｜		
	x		
	｜		
	$2^{16}-1$ (FFFFH)		

14.4 基準周波数発生器

14.4.1 基準周波数発生器の構成と機能

図 14－3 に基準周波数発生器の構成を示します。

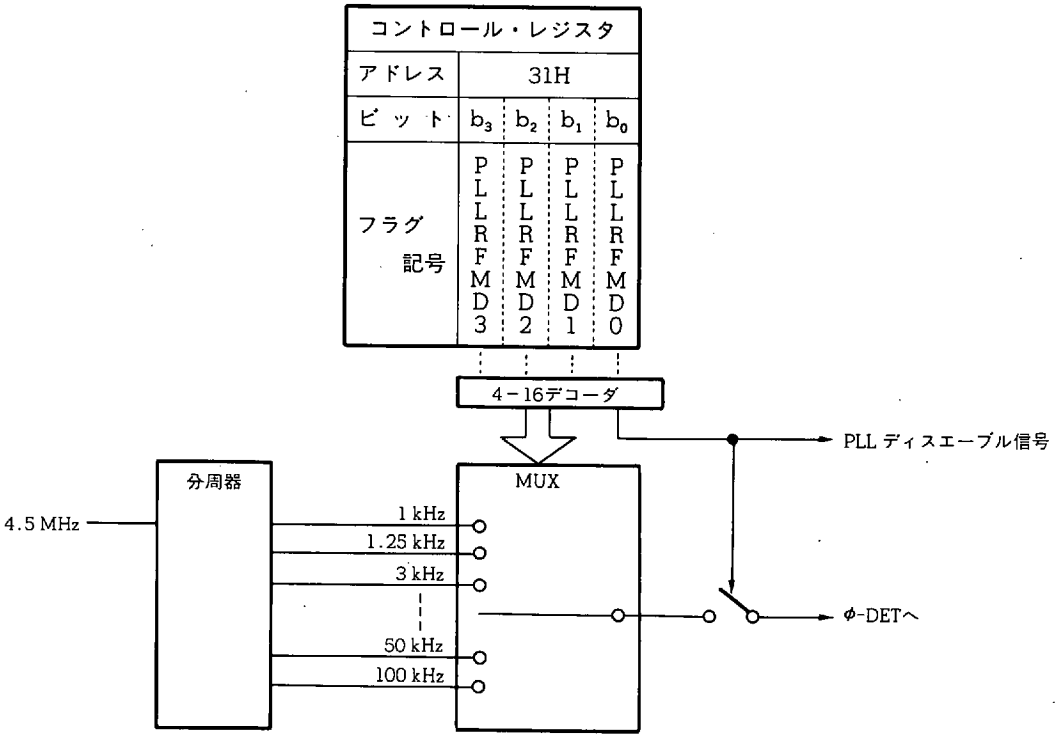
図 14－3 に示すように基準周波数発生器は，水晶発振の 4.5 MHz を分周して PLL 周波数シンセサイザの基準周波数“f_r”を発生します。

基準周波数 f_r は 1，1.25，2.5，3，5，6.25，9，10，12.5，25，50，100 kHz の 12 種類を選択できます。

基準周波数 f_r の選択は PLL レファレンス・モード・セレクト・レジスタにより行います。

14.4.2 に PLL レファレンス・モード・セレクト・レジスタの構成と機能を示します。

図 14－3 基準周波数発生器（RFG）の構成



14.4.2 PLL レファレンス・モード・セレクト・レジスタ（PLRFMODE）の構成と機能

以下に構成と機能を示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
PLL レファレンス・モード・セレクト・レジスタ (PLRFMODE)	PLLRFMD3	PLLRFMD2	PLLRFMD1	PLLRFMD0	31H	R/W

				PLL 周波数シンセサイザの基準周波数 f_r を設定する
0	0	0	0	1.25 kHz
0	0	0	1	2.5 kHz
0	0	1	0	5 kHz
0	0	1	1	10 kHz
0	1	0	0	6.25 kHz
0	1	0	1	12.5 kHz
0	1	1	0	25 kHz
0	1	1	1	50 kHz
1	0	0	0	3 kHz
1	0	0	1	設定禁止
1	0	1	0	設定禁止
1	0	1	1	設定禁止
1	1	0	0	1 kHz
1	1	0	1	9 kHz
1	1	1	0	100 kHz
1	1	1	1	PLL ディスエーブル

リセット時	パワーオン	1	1	1	1
	クロック・ストップ	1	1	1	1
	CE	保　持			

PLL レファレンス・モード・セレクト・レジスタにより PLL ディスエーブルを選択したときは, VCOH 端子, VCOL 端子が内部でプルダウンされます。

また, EO_1端子, EO_0端子はフローティングとなり, 内蔵 CMOS オペアンプは LPF_{IN}端子が内部でプルアップされます。

PLL ディスエーブルについては, **14.7** を参照してください。

14.5 位相比較器（φ-DET），チャージ・ポンプおよびアンロック検出ブロック

14.5.1 位相比較器，チャージ・ポンプおよびアンロック検出ブロックの構成

図14-4に位相比較器，チャージ・ポンプおよびアンロック検出ブロックの構成を示します。

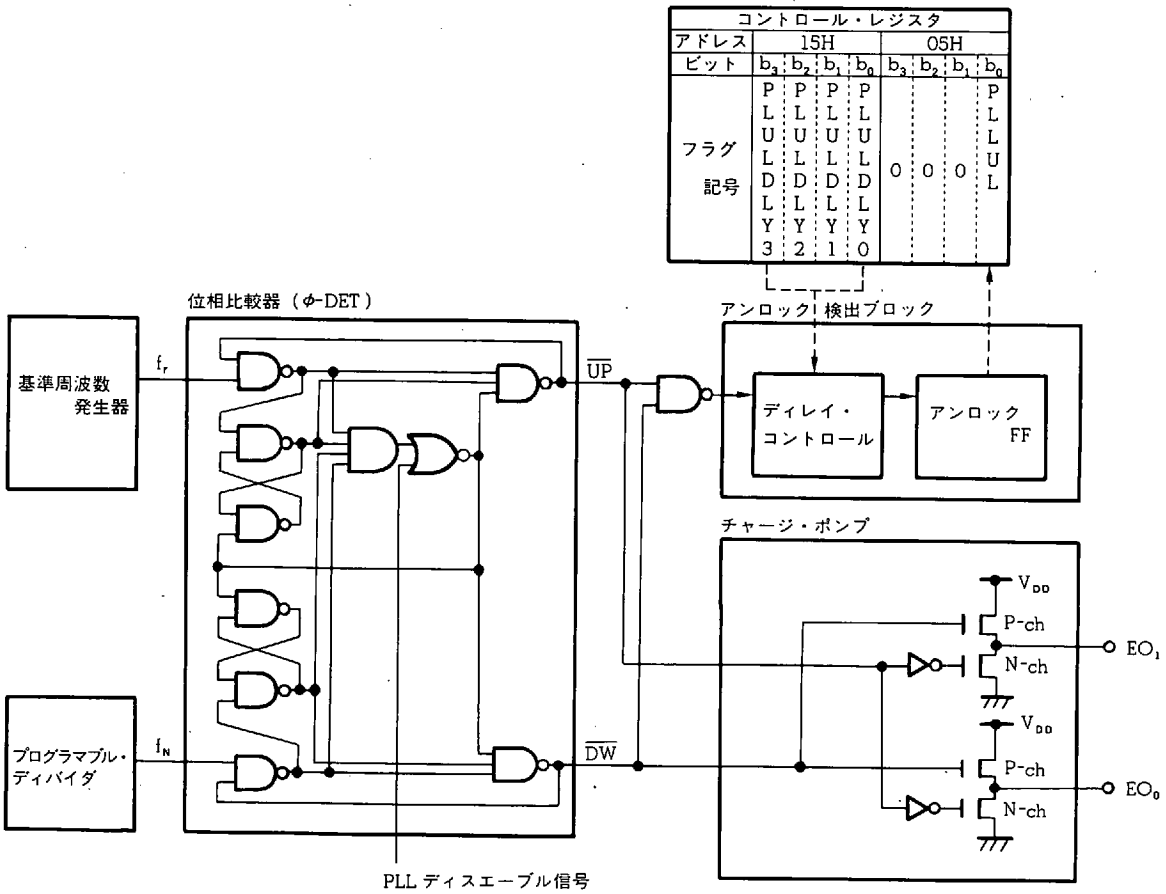
位相比較器は，プログラマブル・ディバイダの分周周波数出力“f_N”と基準周波数発生器の基準周波数出力“f_r”の位相を比較し，アップ要求信号（$\overline{UP}$）およびダウン要求信号（$\overline{DW}$）を出力します。

チャージ・ポンプは位相比較器の出力をエラー・アウト端子（EO_1端子およびEO_0端子）から出力します。

アンロック検出ブロックは，ディレイ・コントロール回路およびアンロックFFから構成されており，PLL周波数シンセサイザのアンロック状態を検出します。

14.5.2, 14.5.3および**14.5.4**にそれぞれ位相比較器，チャージ・ポンプおよびアンロック検出ブロックの動作を示します。

図14-4 位相比較器，チャージ・ポンプおよびアンロック検出ブロックの構成



14.5.2 位相比較器の機能

図 14-4 に示したように位相比較器は，プログラマブル・ディバイダの分周出力“f_N”と基準周波数“f_r”の位相を比較し，アップ要求信号およびダウン要求信号を出力します。

すなわち，分周周波数 f_N が基準周波数 f_r より低い周波数であればアップ要求を出力し，分周周波数 f_N が基準周波数 f_r より高い周波数であればダウン要求を出力します。

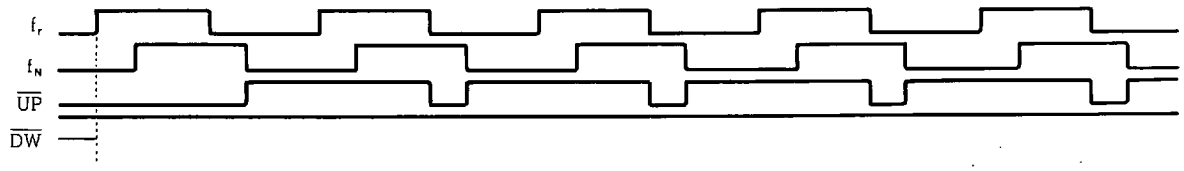
図 14-5 に基準周波数 f_r，分周周波数 f_N，アップ要求信号，ダウン要求信号の関係を示します。

PLL ディスエーブル時は，アップ要求およびダウン要求ともに出力されません。

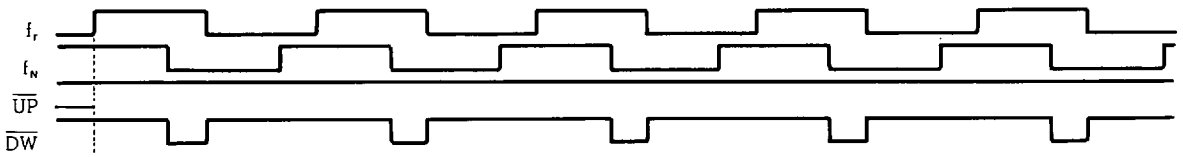
アップ要求およびダウン要求はそれぞれチャージ・ポンプおよびアンロック検出ブロックへ入力されます。

図 14-5 f_r，f_N，$\overline{UP}$，$\overline{DW}$ 信号の関係

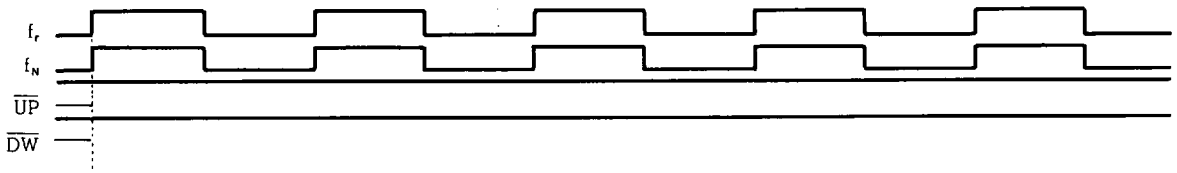
(a) f_N が f_r より位相が遅れているとき



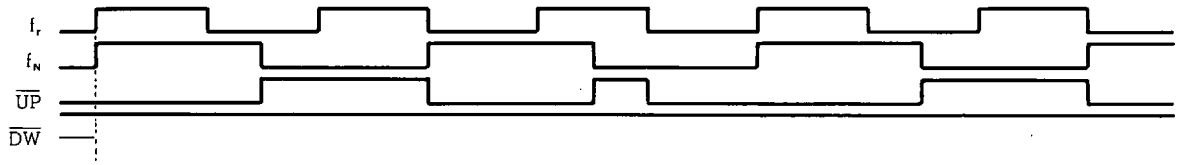
(b) f_N が f_r より位相が進んでいるとき



(c) f_N と f_r の位相が同じとき



(d) f_N が f_r より周波数が低いとき



14.5.3 チャージ・ポンプ

図 14-4 に示したようにチャージ・ポンプは，位相比較器からのアップ要求信号およびダウン要求信号をエラー・アウト端子（EO_1 端子および EO_0 端子）から出力します。

したがって，エラー・アウト端子の出力と分周周波数 f_N および基準周波数 f_r の関係は次のようになります。

基準周波数 f_r ＞分周周波数 f_N のとき：ロウ・レベル出力

基準周波数 f_r ＜分周周波数 f_N のとき：ハイ・レベル出力

基準周波数 f_r ＝分周周波数 f_N のとき：フローティング

14.5.4 アンロック検出ブロック

図 14 - 4 に示したようにアンロック検出ブロックは，位相比較器のアップ要求信号およびダウン要求信号から，PLL 周波数シンセサイザのアンロック状態を検出します。

すなわち，アンロック状態中はアップ要求またはダウン要求信号のどちらか一方がロウ・レベルを出力するため，このロウ・レベル信号によりアンロック状態を検出します。

アンロック状態であると，アンロック・フリップフロップ（FF）がセット(1) されます。

アンロック FF の状態は，PLL アンロック FF ジャッジ・レジスタにより検出します（**14.5.5** 参照)。

アンロック FF は，そのとき選択されている基準周波数 f_r の周期でセットされます。

また，PLL アンロック FF ジャッジ・レジスタの内容を読み込む(PEEK 命令)とリセットされます(Read & Reset)。

したがって，アンロック FF の検出は基準周波数 f_rの周期$1/f_r$ より長い周期で検出する必要があります。

アンロック・ディレイ・コントロール回路は，位相比較器のアップ要求およびダウン要求信号にディレイをかけることによりアンロック FF がセットされる状態を制御します。

すなわち，ディレイを大きくすれば，分周周波数 f_N と基準周波数 f_r の位相のずれが大きくてもアンロック FF はセットされません。

アンロック・ディレイ・コントロール回路のディレイ時間の設定は，PLL アンロック FF ディレイ・コントロール・レジスタにより行います（**14.5.6** 参照)。

14.5.5 PLL アンロック FF ジャッジ・レジスタ（PLLULJDG）の構成と機能

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
PLL アンロック FF ジャッジ・レジスタ (PLLULJDG)	0	0	0	PLLUL	05H	R & Reset

b_0：アンロック FF の状態を検出

0	アンロック FF = 0 : PLL ロック状態
1	アンロック FF = 1 : PLL アンロック状態

b_3, b_2, b_1："0" 固定

リセット時					
	パワーオン	0	0	0	不
	クロック・ストップ	↓	↓	↓	保
	CE	↓	↓	↓	保

このレジスタは読み出し専用レジスタであり，"PEEK" 命令でウインドウ・レジスタに内容を読み出すことによりリセットされます。

また，アンロック FF は基準周波数 f_r の周期でセットされるため，このレジスタをウインドウ・レジスタに読み込む場合は，基準周波数の周期 $1/f_r$ より長い周期で読み込む必要があります。

14.5.6 PLL アンロック FF ディレイ・コントロール・レジスタ（PLULDLY）の構成と機能

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
PLL アンロック FF ディレイ・コントロール・レジスタ (PLULDLY)	PLULDLY3	PLULDLY2	PLULDLY1	PLULDLY0	15H	R/W

アンロック FF をセットするために必要な基準周波数 f_r と分周周波数 f_N の遅延時間を設定する

0	0	0.9 - 1.0 μs 以上
0	1	1.9 - 2.0 μs 以上
1	0	0.45 - 0.55 μs 以上
1	1	アンロック FF ディスエーブル（常に PLLUL＝1）

"0" 固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	0	0
	CE	↓	↓	保	保

アンロック FF ディスエーブル状態を設定するとアンロック FF は常にセットされた状態になるため，PLL アンロック FF ジャッジ・レジスタにより PLL のロック状態を検出すると常にアンロック状態（PLLUL フラグ＝1）となりますので注意してください。

14.6 ロウ・パス・フィルタ用オペアンプ

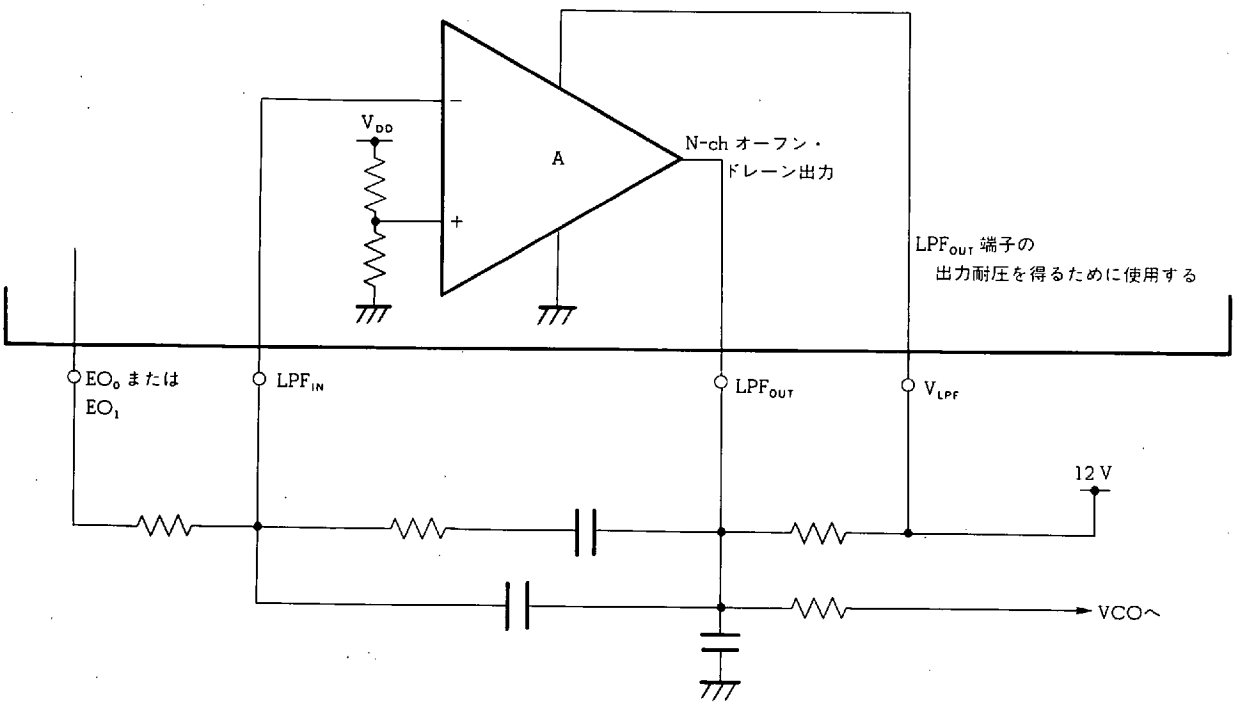
14.6.1 オペアンプの構成と機能

図14-6にオペアンプの構成およびロウ・パス・フィルタの構成例を示します。

図14-6に示すように，オペアンプの非反転入力側はデバイス内部で中間電位に保たれています。

V_{LPF}端子はLPF_{OUT}端子の出力耐圧(16 V MAX.)を得るために使用しています。したがってV_{LPF}端子にはLPF_{OUT}端子に加わる電圧より高い電圧を供給してください。

図14-6 オペアンプの構成およびロウ・パス・フィルタの構成例



14.7 PLL ディスエーブル状態

PLL 周波数シンセサイザは，CE 端子（13 番端子）がロウ・レベルの間は動作を停止（ディスエーブル）します。

PLL レファレンス・モード・セレクト・レジスタにより PLL ディスエーブルが選択されているときも同様に動作を停止します。

表 14 - 2 に各 PLL ディスエーブル条件時の各ブロックの動作を示します。

また，PLL モード・セレクト・レジスタにより，VCOL，VCOH 端子ディスエーブル状態を選択したときは，VCOL 端子および VCOH 端子のみ内部でプルダウンされ，他のブロックは動作します。

PLL レファレンス・モード・セレクト・レジスタおよび PLL モード・セレクト・レジスタは CE リセット時にイニシャライズされない（以前の状態を保持する）ため，CE 端子がロウ・レベルになり PLL ディスエーブルとなった後 CE 端子がハイ・レベルに立ち上がると以前の状態に復帰します。

したがって，CE リセット時に PLL ディスエーブルとする必要がある場合は，プログラムによりイニシャライズしてください。

パワーオン・リセット時は PLL ディスエーブルになります。

表 14 - 2 各 PLL ディスエーブル条件時の各ブロックの動作

条件 ＼ 各ブロック	CE 端子 = ロウ・レベル（PLL ディスエーブル）	CE 端子＝ハイ・レベル	
		PLRFMODE = 1111B（PLL ディスエーブル）	PLLMODE = 0000B（VCOH, VCOL ディスエーブル）
VCOL, VCOH 端子	内部でプルダウン	内部でプルダウン	内部でプルダウン
プログラマブル・カウンタ	分周停止	分周停止	動作する
基準周波数発生器	出力停止	出力停止	動作する
位相比較器	出力停止	出力停止	動作する
チャージ・ポンプ	エラー・アウト端子をフローティング	エラー・アウト端子をフローティング	動作する ただし入力がないため通常はロウ・レベルを出力する
オペアンプ	LPF_{IN}端子を内部でプルアップ	LPF_{IN}端子を内部でプルアップ	動作する

14.8 PLL 周波数シンセサイザの使用方法

PLL 周波数シンセサイザを制御するためには以下に示すデータが必要です。

(1) 分周方式　：直接分周（MF），パルス・スワロ（HF，VHF）
(2) 使用端子　：VCOL，VCOH 端子
(3) 基準周波数：f_r
(4) 分周値　　：N

以下の **14.8.1**，**14.8.2** および **14.8.3** に各分周方式（MF，HF，VHF）時の PLL データ設定方法を示します。

14.8.1 直接分周方式

(1) 分周方式の選択

PLL モード・セレクト・レジスタにより直接分周方式を選択します。

(2) 使用端子

直接分周方式を選択すると VCOL 端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL レファレンス・モード・セレクト・レジスタにより基準周波数を設定します。

(4) 分周値 N の計算方法

次のように計算します。

$$N = \frac{f_{VCOL}}{f_r}$$

f_{VCOL}：VCOL 端子の入力周波数
f_r　：基準周波数

(5) PLL データ設定例

以下に示す MW バンドの放送局を受信するためのデータ設定方法を示します。

受信周波数：1422 kHz（MW バンド）
基準周波数：　9 kHz
中間周波数：＋450 kHz

分周値 Nは

$$N = \frac{f_{VCOL}}{f_r} = \frac{1422+450}{9} = 208\ (10\text{進})$$
$$= 0D0H\ (14\text{進})$$

PLL データ・レジスタ（PLLR：周辺アドレス 41H），PLL モード・セレクト・レジスタ（PLLMODE：RF アドレス 21H）および PLL レファレンス・モード・セレクト・レジスタ（PLRFMODE：RF アドレス 31H）へのデータは次のように設定します。

PLLR			
0 0 0 0	1 1 0 1	0 0 0 0	任意
0	D	0	

PLLMODE	PLRFMODE
0 0 0 1	1 1 0 1
MF	9 kHz

14.8.2 パルス・スワロ方式（HF）

(1) 分周方式の選択

PLL モード・セレクト・レジスタによりパルス・スワロ方式を選択します。

(2) 使用端子

パルス・スワロ方式を選択すると VCOL 端子が動作可能になります。

(3) 基準周波数 f_r の設定

PLL レファレンス・モード・セレクト・レジスタにより基準周波数を設定します。

(4) 分周値 N の計算方法

次のように計算します。

$$N = \frac{f_{VCOL}}{f_r}$$

f_{VCOL}：VCOL 端子の入力周波数

f_r　：基準周波数

(5) PLL データ設定例

以下に示す SW バンドの放送局を受信するためのデータ設定方法を示します。

受信周波数：25.50 MHz（SW バンド）

基準周波数：　5 kHz

中間周波数：＋450 kHz

分周値 N は

$$N = \frac{f_{VCOL}}{f_r} = \frac{25500+450}{5} = 5190 \text{（10進）}$$
$$= 1446\text{H（16進）}$$

PLL データ・レジスタ（PLLR：周辺アドレス 41H），PLL モード・セレクト・レジスタ（PLLMODE：RF アドレス 21H）および PLL レファレンス・モード・セレクト・レジスタ（PLRFMODE：RF アドレス 31H）へのデータは次のように設定します。

PLLR			
0 0 0 1	0 1 0 0	0 1 0 0	0 1 1 0
1	4	4	6

PLLMODE	PLRFMODE
0 0 1 1	0 0 1 0
HF	5 kHz

14.8.3 パルス・スワロ方式（VHF）

(1) 分周方式の選択

PLL モード・セレクト・レジスタによりパルス・スワロ方式を選択します。

(2) 使用端子

パルス・スワロ方式を選択すると VCOH 端子が動作可能になります。

(3) 基準周波数f_rの設定

PLL レファレンス・モード・セレクト・レジスタにより基準周波数を設定します。

(4) 分周値Nの計算方法

以下のように計算します。

$$N = \frac{f_{VCOH}}{f_r}$$

f_{VCOH}：VCOH 端子の入力周波数

f_r　：基準周波数

(5) PLL データ設定例

以下に示す FM バンドの放送局を受信するためのデータ設定方法を示します。

受信周波数：　100.0 MHz（FM バンド）

基準周波数：　　25 kHz

中間周波数：＋10.7 MHz

分周値 N は

$$N = \frac{f_{VCOH}}{f_r} = \frac{100.0+10.7}{0.025} = 4428 \text{（10進）}$$
$$= 114\text{CH（16進）}$$

PLL データ・レジスタ（PLLR：周辺アドレス 41H），PLL モード・セレクト・レジスタ（PLLMODE：RF アドレス 21H）および PLL レファレンス・モード・セレクト・レジスタ（PLRFMODE：RF アドレス 31H）へのデータは次のように設定します。

PLLR			
0 0 0 1	0 0 0 1	0 1 0 0	1 1 0 0
1	1	4	C

PLLMODE	PLRFMODE
0 0 1 0	0 1 1 0
VHF	25 kHz

14.9 リセット時の状態

14.9.1 パワーオン・リセット時

PLL レファレンス・モード・セレクト・レジスタが 1111B にイニシャライズされるため PLL ディスエーブル状態になります。

14.9.2 クロック・ストップ時

CE 端子がロウ・レベルになった時点で PLL ディスエーブル状態になります。

14.9.3 CE リセット時

(1) クロック・ストップ時からの CE リセット

クロック・ストップにより PLL レファレンス・モード・セレクト・レジスタが 1111B にイニシャライズされるため PLL ディスエーブル状態になります。

(2) クロック・ストップしない時の CE リセット

PLL レファレンス・モード・セレクト・レジスタは以前の状態を保持するため, CE 端子がハイ・レベルになった時点で以前の設定状態になります。

14.9.4 ホールト状態中

CE 端子がハイ・レベルであれば, 設定されている状態を保持します。

15. 汎用ポート

汎用ポートは，外部回路へのハイ・レベル，ロウ・レベルまたはフローティング信号の出力および，外部回路のハイ・レベル，ロウ・レベル信号の読み込みを行います。

15.1 汎用ポートの構成と分類

図 15 - 1 に汎用ポートのブロック図を示します。

また，表 15 - 1 に汎用ポートの分類を示します。

図 15 - 1 に示すように，汎用ポートはデータ・メモリの各バンクのアドレス 70H 番地から 73H 番地(ポート・レジスタ)によりデータ設定を行う ポート 0A(P0A) - ポート 2A(P2A)，データ・メモリのバンク 0 のアドレス 68H，69H，6BH および 6DH 番地によりデータ設定するポート 0E（P0E)，ポート 0F（P0F)，ポート 0X（P0X）および データ・バッファ（DBF）を介してデータ設定するポート 0Y（P0Y)，ポート 0X（P0X）から構成されます（P0X のデータ設定は，ポート・レジスタと周辺レジスタのどちらを介しても行うことができます)。

各ポートは，それぞれ各汎用ポート端子（たとえば ポート 0A は $P0A_3$ 端子 - $P0A_0$ 端子）から構成されています。

また，表 15 - 1 に示すように汎用ポートは入出力兼用ポート（入出力ポート)，入力専用ポート（入力ポート）および出力専用ポート（出力ポート）に分類されます。

入出力ポートは 1 ビット単位（1 端子単位）で入力/出力を指定できるビット I/O ポートと，4 ビット単位（4 端子単位）で入出力を指定できるグループ I/O ポートに分類されます。

保守／廃止

図 15-1　汎用ポートのブロック図

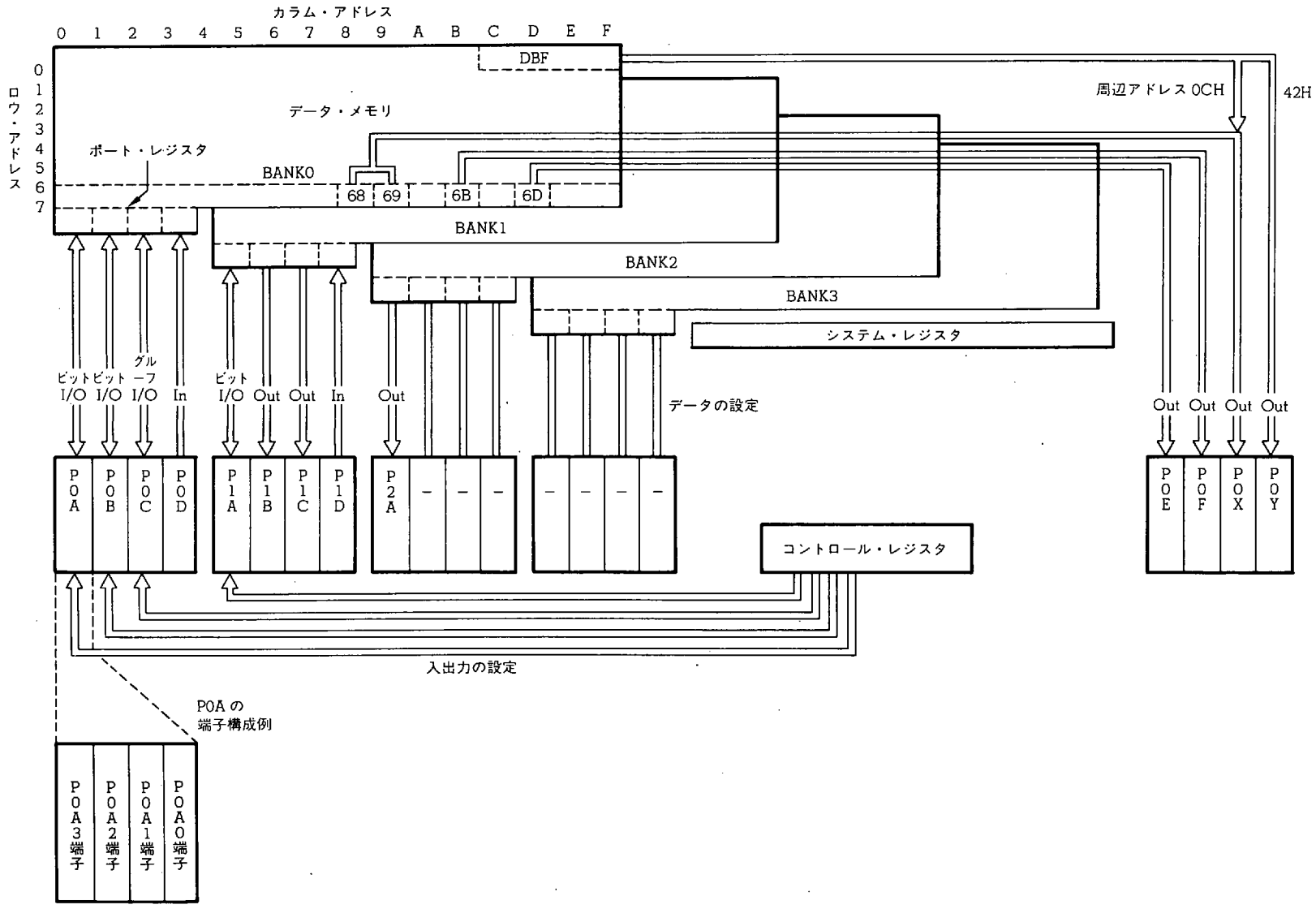


表 15-1 汎用ポートの分類

汎用ポートの分類			対象ポート	データ設定方法
汎用ポート	入出力兼用ポート	ビット I/O	ポート 0A ポート 0B ポート 1A	ポート・レジスタ
		グループ I/O	ポート 0C	ポート・レジスタ
	入力専用ポート		ポート 0D ポート 1D	ポート・レジスタ
	出力専用ポート		ポート 1B ポート 1C ポート 2A	ポート・レジスタ
			ポート 0E ポート 0F	ポート・レジスタ (LCD セグメント・レジスタと兼用)
			ポート 0X	周辺レジスタ
			ポート 0Y	周辺レジスタ

15.2 汎用ポートの機能概略

汎用出力ポートまたは出力ポートに設定されている汎用入出力ポートは，ポート・レジスタまたはポート・グループ・レジスタにデータを設定することにより，対応する各端子からハイ・レベルまたはロウ・レベルを出力します。

また，汎用入力ポートまたは入力ポートに設定されている汎用入出力ポートは，ポート・レジスタの内容を読み込むことにより，対応する各端子に加えられている入力信号レベルを検出できます。

汎用入出力ポートの入力ポートおよび出力ポートの切り替えは各ポートに対応するコントロール・レジスタにより行います。

すなわち，プログラムで入出力を切り替えることが可能です。

P0A - P0D，P1A - P1D および P2A は，パワーオン・リセット時に汎用ポートに設定されるため，他の周辺ハードウエアを兼用している端子は対応するコントロール・レジスタにより独立して設定します。

P0E，P0F，P0X および P0Y は，パワーオン・リセット時に LCD セグメント信号出力端子に設定されるため，汎用出力ポートとして使用する場合は対応するコントロール・レジスタにより独立して指定します。

15.2.1 - 15.2.5 にポート・レジスタおよびポート・グループ・レジスタの機能と，各ポートの機能概略を示します。

15.2.1 汎用ポート・データ・レジスタ（ポート・レジスタ）

ポート・レジスタは各汎用ポートの出力データの設定や入力データの読み込みを行います。

ポート・レジスタは，データ・メモリ上に配置されているため，すべてのデータ・メモリ操作命令で操作することができます。

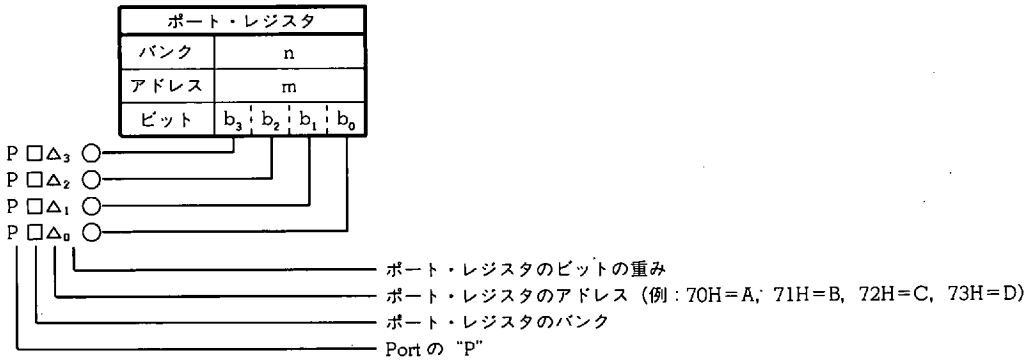
図 15 - 2 にポート・レジスタと対応する各端子の関係を示します。

汎用出力ポートに設定されている端子に対応するポート・レジスタにデータを設定することにより各端子の出力を設定します。

また，汎用入力ポートに設定されている端子に対応するポート・レジスタを読み込むことにより各端子の入力状態を検出します。

各ポート（各端子）とポート・レジスタの関係を表 15 - 2 に示します。

図 15 - 2　ポート・レジスタと各端子の関係



ポート・レジスタにはアセンブラ（AS17K）上で予約語が定義されています。

この予約語はフラグ（ビット）単位で定義されているため，アセンブラ組み込みマクロ命令を使用できます。

ポート・レジスタにはデータ・メモリ型の予約語は定義されていませんので注意してください。

POE, POF, POX および POY は，LCD セグメント信号出力と兼用しています。これらのうち POE, POF および POX のポート・レジスタは，LCD セグメント・レジスタと兼用しています。

ただし，LCD セグメント・レジスタもデータ・メモリ上に配置されているためポート・レジスタと同様に扱うことが可能です。

15.2.2 ポート OX（POX），ポート OY（POY）グループ・レジスタ

ポート OX（POX）グループ・レジスタ（LCD グループ・レジスタと兼用，周辺アドレス：0CH 番地）は，POX の出力データの設定を行います。

また，ポート OY（POY）グループ・レジスタ（キー・ソース・データ・レジスタと兼用，周辺アドレス：42H 番地）は，POY の出力データの設定を行います。

15.2.3 汎用入出力ポート（P0A，P0B，P0C，P1A）

P0A，P0B，P0C および P1A の入出力の切り替えは，それぞれ P0A ビット I/O セレクト・レジスタ（P0ABIO：RF アドレス 37H 番地），P0B ビット I/O セレクト・レジスタ（P0BBIO：RF アドレス 36H 番地），P0C グループ I/O セレクト・レジスタ（P0CBIO：RF アドレス 27H 番地），P1A ビット I/O セレクト・レジスタ（P1ABIO：RF アドレス 35H 番地）により行います。

P0A，P0B，P0C および P1A の入出力データの設定は，それぞれポート・レジスタの P0A（BANK0 の 70H 番地），P0B（BANK0 の 71H 番地），P0C（BANK0 の 72H 番地），P1A（BANK1 の 70H 番地）により行います。

表 15-2 を参照してください。

詳細は **15.3** を参照してください。

15.2.4 汎用入力ポート（P0D，P1D）

P0D および P1D の入力データの読み込みは，それぞれポート・レジスタの P0D（BANK0 の 73H 番地）および P1D（BANK1 の 73H 番地）により行います。

表 15-2 を参照してください。

詳細は **15.4** を参照してください。

15.2.5 汎用出力ポート（P1B，P1C，P2A，P0E，P0F，P0X，P0Y）

(1) P1B，P1C，P2A

P1B，P1C，および P2A の出力データの設定は，それぞれポート・レジスタの P1B（BANK1 の 71H 番地），P1C（BANK1 の 72H 番地）および P2A（BANK2 の 70H 番地）により行います。

表 15-2 を参照してください。

詳細は **15.5** を参照してください。

(2) P0E，P0F，P0X，P0Y

P0E，P0F，P0X および P0Y は，通常 LCD セグメント信号出力端子として動作するため，出力ポートへの切り替えは，LCD ポート・セレクト・レジスタ（LCDPORT：RF アドレス 11H 番地）により行います。

P0E および P0F の出力データの設定は，それぞれ P0E レジスタ（LCD セグメント・レジスタの LCDD13 と兼用，BANK0 の 6DH 番地）および P0F レジスタ（LCDD11 と兼用，BANK0 の 6BH 番地）により行います。

P0X の出力データの設定は，P0XL レジスタ（LCDD8 と兼用，BANK0 の 68H番地）および P0XH レジスタ（LCDD11 と兼用，BANK0 の 69H 番地）により行うか，またはデータ・バッファを介してポート 0X（P0X）グループ・レジスタにより行います。

P0Y の出力データの設定は，データ・バッファを介してポート 0Y（P0Y）グループ・レジスタにより行います。

表 15-2 を参照してください。

詳細は **15.6** を参照してください。

〔メ モ〕

表 15-2 各ポート（端子）とポート・レジスタの関係（1/2）

ポート	端子			データ設定方法					
				ポート・レジスタ（データ・メモリ）					備考
	番号	記号	入出力	バンク	アドレス	記号	ビット記号（予約語）		
ポート 0A (P0A)	3	$P0A_3$	入出力（ビット I/O）	BANK0	70H	P0A	b_3	P0A3	
	4	$P0A_2$					b_2	P0A2	
	5	$P0A_1$					b_1	P0A1	
	6	$P0A_0$					b_0	P0A0	
ポート 0B (P0B)	7	$P0B_3$	入出力（ビット I/O）		71H	P0B	b_3	P0B3	
	8	$P0B_2$					b_2	P0B2	
	9	$P0B_1$					b_1	P0B1	
	10	$P0B_0$					b_0	P0B0	
ポート 0C (P0C)	79	$P0C_3$	入出力（グループ I/O）		72H	P0C	b_3	P0C3	
	80	$P0C_2$					b_2	P0C2	
	1	$P0C_1$					b_1	P0C1	
	2	$P0C_0$					b_0	P0C0	
ポート 0D (P0D)	75	$P0D_3$	入力		73H	P0D	b_3	P0D3	
	76	$P0D_2$					b_2	P0D2	
	77	$P0D_1$					b_1	P0D1	
	78	$P0D_0$					b_0	P0D0	
ポート 1A (P1A)	14	$P1A_3$	入出力（ビット I/O）	BANK1	70H	P1A	b_3	P1A3	
	15	$P1A_2$					b_2	P1A2	
	16	$P1A_1$					b_1	P1A1	
	17	$P1A_0$					b_0	P1A0	
ポート 1B (P1B)	18	$P1B_3$	出力		71H	P1B	b_3	P1B3	
	19	$P1B_2$					b_2	P1B2	
	20	$P1B_1$					b_1	P1B1	
	21	$P1B_0$					b_0	P1B0	
ポート 1C (P1C)	22	$P1C_3$	出力		72H	P1C	b_3	P1C3	
	23	$P1C_2$					b_2	P1C2	
	24	$P1C_1$					b_1	P1C1	
	25	$P1C_0$					b_0	P1C0	
ポート 1D (P1D)	26	$P1D_3$	入力		73H	P1D	b_3	P1D3	
	27	$P1D_2$					b_2	P1D2	
	28	$P1D_1$					b_1	P1D1	
	29	$P1D_0$					b_0	P1D0	
ポート 2A (P2A)	対象端子なし			BANK2	70H	P2A	b_3	P2A3	何も割り当てられていません。データ・メモリとして使用できません。
							b_2	P2A2	
							b_1	P2A1	
	42	$P2A_0$	出力				b_0	P2A0	
					71H	---	b_3	---	何も割り当てられていません。データ・メモリとしても使用できません。
							b_2		
							b_1		
							b_0		
					72H	---	b_3	---	
							b_2		
							b_1		
							b_0		
					73H	---	b_3	---	
							b_2		
							b_1		
							b_0		

表 15-2 各ポート（端子）とポート・レジスタの関係（2/2）

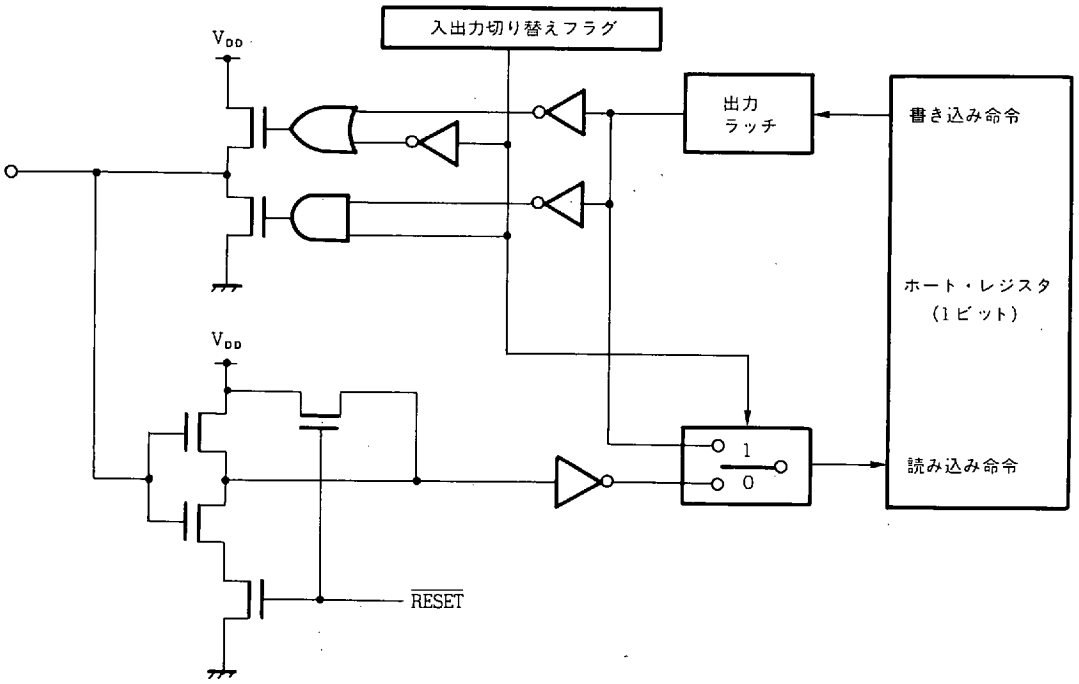
ポート	端子 番号	端子 記号	端子 入出力	データ設定方法 ポート・レジスタ（データ・メモリ） バンク	アドレス	記号	ビット記号（予約語）		POX, POY グループ・レジスタ（周辺レジスタ） 周辺アドレス	記号（予約語）	ビット
				BANK3	70H	---	b_3	---	何も割り当てられていません。データ・メモリとしても使用できません。		
							b_2				
							b_1				
							b_0				
					71H	---	b_3	---			
							b_2				
							b_1				
							b_0				
					72H	---	b_3	---			
							b_2				
							b_1				
							b_0				
					73H	---	b_3	---			
							b_2				
							b_1				
							b_0				
ポート OE (POE)	49	POE_3	出力	BANK1	6BH (LCDD11 と兼用)	POE	b_3	POE3			
	50	POE_2					b_2	POE2			
	51	POE_1					b_1	POE1			
	52	POE_0					b_0	POE0			
ポート OF (POF)	45	POF_3	出力		6DH (LCDD13 と兼用)	POF	b_3	POF3			
	46	POF_2					b_2	POF2			
	47	POF_1					b_1	POF1			
	48	POF_0					b_0	POF0			
ポート OX (POX)	53	POX_5	出力		69H (LCDD9 と兼用)	POXH	b_3	POXH3	0CH	POX (LCDR4 と兼用)	b_7
	54	POX_4					b_2	POXH2			b_6
	55	POX_3					b_1	POXH1			b_5
	56	POX_2					b_0	POXH0			b_4
	57	POX_1			68H (LCDD8 と兼用)	POXL	b_3	POXL3			b_3
	58	POX_0					b_2	POXL2			b_2
	対象端子なし						b_1	POXL1			任意
							b_0	POXL0			
ポート OY (POY)	59	POY_{15}	出力						42H	POY (KSR と兼用)	b_{15}
	60	POY_{14}									b_{14}
	61	POY_{13}									b_{13}
	|	|									|
	72	POY_2									b_2
	73	POY_1									b_1
	74	POY_0									b_0

15.3 汎用入出力ポート（POA, POB, POC, P1A）

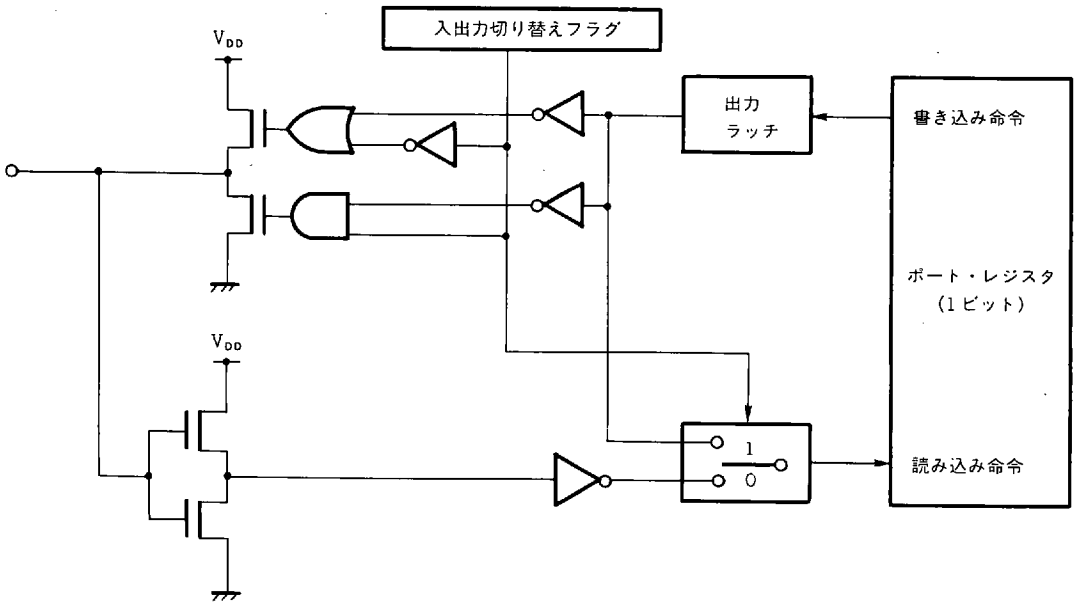
15.3.1 入出力ポートの構成

次の（1）-（3）に入出力ポートの構成を示します。

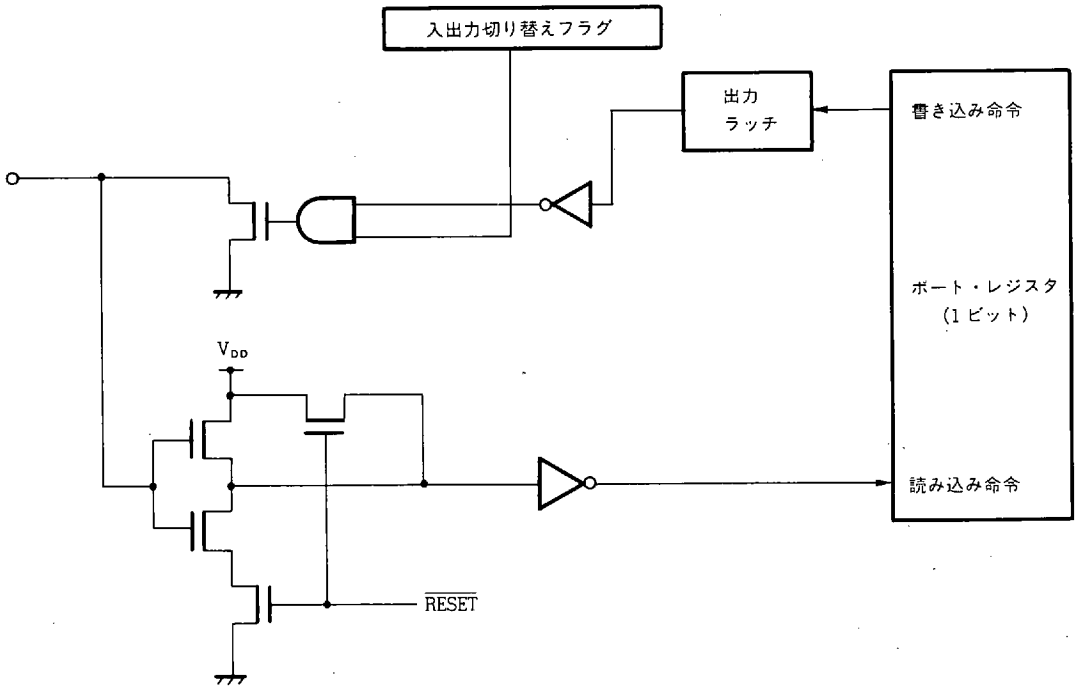
（1）POA（POA_1, POA_0 端子），
POB（POB_3, POB_2, POB_1, POB_0 端子），
P1A（$P1A_3$, $P1A_2$, $P1A_1$, $P1A_0$ 端子）



（2）POC（POC_3, POC_2, POC_1, POC_0 端子）



(3) POA (POA$_3$, POA$_2$ 端子)



15.3.2 入出力ポートの使用方法

入出力ポートは，コントロール・レジスタの POA, POB, POC および P1A の各 I/O セレクト・レジスタにより入力および出力の設定を行います。

ビット I/O ポート (POA, POB, P1A) は 1 ビット単位で入力/出力を設定でき，グループ I/O ポート (POC) は 4 ビット単位で入力/出力を設定できます。

出力データの設定および入力データの読み込みは，それぞれ対応するポート・レジスタにデータを書き込むかデータを読み込む命令を実行することにより行います。

15.3.3 に各ポートの I/O セレクト・レジスタについて説明します。

15.3.4 および **15.3.5** に入力および出力ポートを使用する方法を示します。

15.3.6 に入出力ポート使用時の注意を示します。

15.3.3 ポート 0A ビット I/O セレクト・レジスタ（P0ABIO）
ポート 0B ビット I/O セレクト・レジスタ（P0BBIO）
ポート 1A ビット I/O セレクト・レジスタ（P1ABIO）
ポート 0C グループ I/O セレクト・レジスタ（P0CGPIO）

ポート 0A ビット I/O，ポート 0B ビット I/O，ポート 1A ビット I/O およびポート 0C グループ I/O セレクト・レジスタはそれぞれ，P0A，P0B，P1A および P0C の各端子の入力/出力を設定します。

以下に構成と機能を示します。

（1）ポート 0A ビット I/O セレクト・レジスタ（P0ABIO）

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
ポート 0A ビット I/O セレクト・レジスタ（P0ABIO）	P0AB IO3	P0AB IO2	P0AB IO1	P0AB IO0	37H	R/W

	ポートの入力/出力を設定
0	$P0A_0$ 端子を入力モードに設定
1	$P0A_0$ 端子を出力モードに設定

	ポートの入力/出力を設定
0	$P0A_1$ 端子を入力モードに設定
1	$P0A_1$ 端子を出力モードに設定

	ポートの入力/出力を設定
0	$P0A_2$ 端子を入力モードに設定
1	$P0A_2$ 端子を出力モードに設定

	ポートの入力/出力を設定
0	$P0A_3$ 端子を入力モードに設定
1	$P0A_3$ 端子を出力モードに設定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

(2) ポート 0B ビット I/O セレクト・レジスタ (P0BBIO)

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
ポート 0B ビット I/O セレクト・レジスタ (P0BBIO)	P0BBIO3	P0BBIO2	P0BBIO1	P0BBIO0	36H	R/W

ポートの入力/出力を設定

0	$P0B_0$ 端子を入力モードに設定
1	$P0B_0$ 端子を出力モードに設定

ポートの入力/出力を設定

0	$P0B_1$ 端子を入力モードに設定
1	$P0B_1$ 端子を出力モードに設定

ポートの入力/出力を設定

0	$P0B_2$ 端子を入力モードに設定
1	$P0B_2$ 端子を出力モードに設定

ポートの入力/出力を設定

0	$P0B_3$ 端子を入力モードに設定
1	$P0B_3$ 端子を出力モードに設定

リセット時	ハワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

(3) ポート 1A ビット I/O セレクト・レジスタ (P1ABIO)

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
ポート 1A ビット I/O セレクト・レジスタ (P1ABIO)	P1ABIO3	P1ABIO2	P1ABIO1	P1ABIO0	35H	R/W

ポートの入力/出力を設定

0	$P1A_0$ 端子を入力モードに設定
1	$P1A_0$ 端子を出力モードに設定

ポートの入力/出力を設定

0	$P1A_1$ 端子を入力モードに設定
1	$P1A_1$ 端子を出力モードに設定

ポートの入力/出力を設定

0	$P1A_2$ 端子を入力モードに設定
1	$P1A_2$ 端子を出力モードに設定

ポートの入力/出力を設定

0	$P1A_3$ 端子を入力モードに設定
1	$P1A_3$ 端子を出力モードに設定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

(4) ポート 0C グループ I/O セレクト・レジスタ (P0CGPIO)

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
ポート 0C グループ I/O セレクト・レジスタ (P0CGPIO)	0	0	0	P0CGIO	27H	R/W

	ポートの入力/出力を設定
0	$P0C_3$ − $P0C_0$ を入力モードに設定
1	$P0C_3$ − $P0C_0$ を出力モードに設定

"0" 固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	↓	0
	CE	↓	↓	↓	0

15.3.4 入出力ポート（POA，POB，POC，P1A）を入力ポートとして使用する場合

各ポートのI/Oセレクト・レジスタにより入力として使用する端子を選択します。

このとき，POCは，4ビット単位でのみ入力/出力の設定ができます。

入力ポートに指定された端子はフローティング（Hi-Z）状態になり，外部信号の入力待ちになります。

入力データの読み込みは，各端子に対応するポート・レジスタの内容を読み込む命令，たとえば“SKT”命令などを実行することにより行えます。

ポート・レジスタは，各端子にハイ・レベルが入力されているときは“1”が読み込まれ，ロウ・レベルが入力されているときは“0”が読み込まれます。

入力ポートに指定されているポート・レジスタに書き込み命令，たとえば“MOV”命令などを実行すると，出力ラッチの内容が書き換わります。

15.3.5 入出力ポート（POA，POB，POC，P1A）を出力ポートとして使用する場合

各ポートのI/Oセレクト・レジスタにより出力として使用する端子を選択します。

このとき，POCは，4ビット単位でのみ入力/出力の設定ができます。

出力ポートに指定された端子は出力ラッチの内容を各端子から出力します。

出力データの設定は，各端子に対応するポート・レジスタの内容に書き込む命令，たとえば“MOV”命令などを実行することにより行えます。

各端子にハイ・レベルを出力するときは“1”を書き込み，ロウ・レベルを出力するときは“0”を書き込みます。

また，入力ポートに指定することによりフローティング状態にすることができます。

出力ポートに指定されているポート・レジスタを読み込む命令，たとえば“SKT”命令などを実行すると，出力ラッチの内容が読み込まれます。

ただし，POA_3端子およびPOA_2端子の2本は端子の状態がそのまま読み込まれるため，出力ラッチの内容と読み込んだ内容が異なる場合があるため注意が必要です。

15.3.6を参照してください。

15.3.6 入出力ポート（POA_3 および POA_2 端子）使用時の注意

次の例に示すように，POA_3 端子と POA_2 端子を出力として使用する場合は，出力ラッチの内容が書き換わる場合があるため注意が必要です。

例 POA_3 端子と POA_2 端子を出力ポートに指定する

```
INITFLG POABIO3, POABIO2, NOT POABIO1, NOT POABIO0
                    ; POA3, POA2 端子を出力に設定
INITFLG POA3, POA2, NOT POA1, NOT POA0
                    ; POA3, POA2 端子にハイ・レベルを出力
;①
CLR1    POA3        ; POA3 端子にロウ・レベルを出力
マクロ展開
AND     . MF. POA3 SHR 4, #. DF. (NOT POA3 AND 0FH)
```

上記①の命令を実行した時に，たまたま POA_2 端子が外部でロウ・レベルに引っ張られていると，“CLR1” 命令で POA_2 端子の出力ラッチの内容を “0” に書き換えてしまいます。

つまり，POA_3 端子または POA_2 端子が出力ポートに指定されているときに，POA ポート・レジスタに対して演算命令（“ADD” 命令，“OR” 命令など）を実行すると，出力ラッチの内容を，以前の状態にかかわらずそのときの端子のレベルの内容に書き換えてしまうことになります。 ★

15.3.7 入出力ポート（POA，POB，POC，P1A）のリセット時の状態

(1) パワーオン・リセット時

すべて入力ポートに指定されます。

出力ラッチの内容は “不定” であるため，出力ポートに切り替える前には必要に応じてプログラムでイニシャライズする必要があります。

(2) CE リセット時

すべて入力ポートに指定されます。

出力ラッチの内容は保持されます。

(3) クロック・ストップ時

すべて入力ポートに指定されます。

出力ラッチの内容は保持されます。

POC 以外の入出力ポートは，クロック・ストップ時の $\overline{RESET}$ 信号出力により **15.3.1** に示したように入力バッファのノイズによる消費電流の増加を防いでいます。

POC は，クロック・ストップ時にフローティング状態であると，外部ノイズ等により消費電流が増加する場合があるため，必要に応じて外部でプルダウンもしくはプルアップしてください。

(4) ホールト状態中

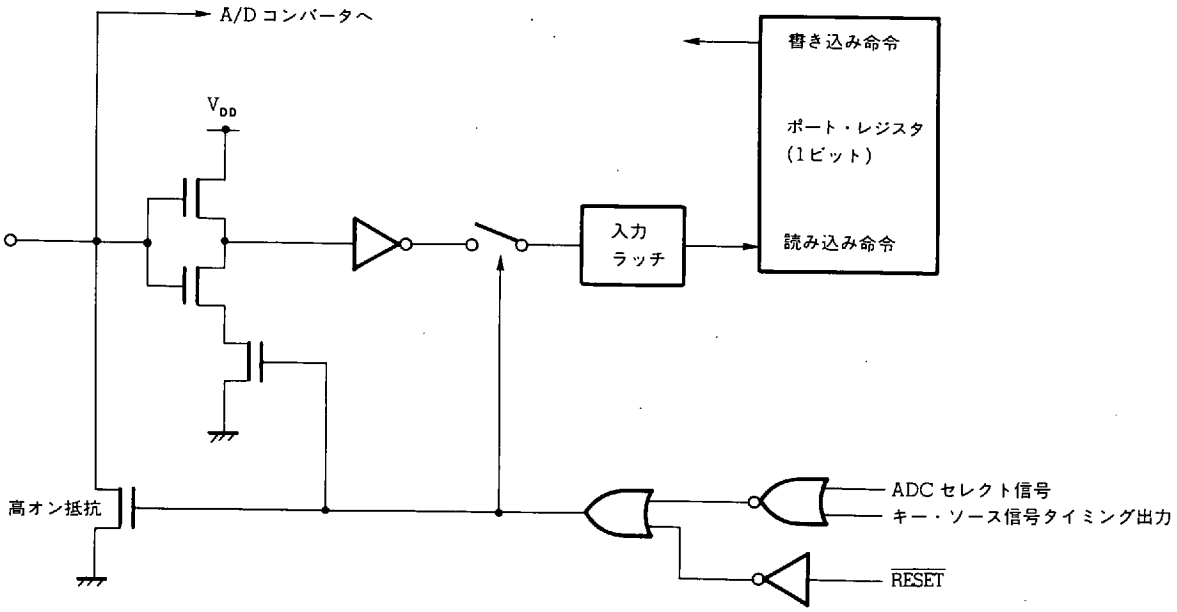
以前の状態を保持します。

15.4 汎用入力ポート（POD, P1D）

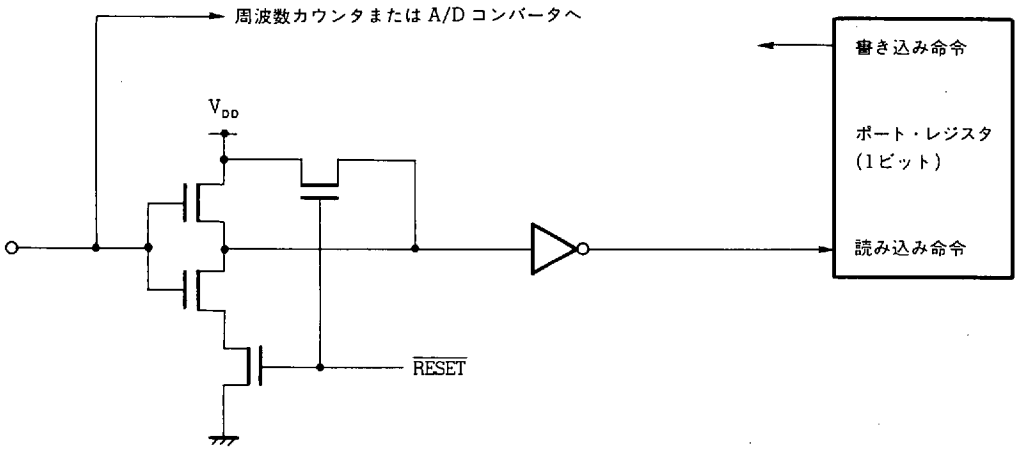
15.4.1 入力ポートの構成

次の（1）および（2）に入力ポートの構成を示します。

（1）POD（POD_3, POD_2, POD_1, POD_0 端子）



（2）P1D（$P1D_3$, $P1D_2$, $P1D_1$, $P1D_0$ 端子）



15.4.2 入力ポート（P0D, P1D）の使用例

入力データの読み込みは，各端子に対応するポート・レジスタの内容を読み込む命令，たとえば“SKT”命令などを実行することにより行えます。

ポート・レジスタは，各端子にハイ・レベルが入力されているときは“1”が読み込まれ，ロウ・レベルが入力されているときは“0”が読み込まれます。

ポート・レジスタに書き込み命令，たとえば“MOV”命令などを実行しても何も変化しません。

15.4.3 入力ポート（P0D）使用時の注意

P0D は，汎用ポートとして使用する場合は内部でプルダウンされています。

15.4.4 入力ポート（P0D, P1D）のリセット時の状態

(1) パワーオン・リセット時

すべて汎用入力ポートに指定されます。

(2) CE リセット時

すべて汎用入力ポートに指定されます。

(3) クロック・ストップ時

すべて汎用入力ポートに指定されます。

クロック・ストップ時は $\overline{\text{RESET}}$ 信号が出力されるため，**15.4.1** に示したように P1D は入力バッファのノイズによる消費電流の増加を防いでいます。

P0D は，内部でプルダウンされます。

(4) ホールト状態中

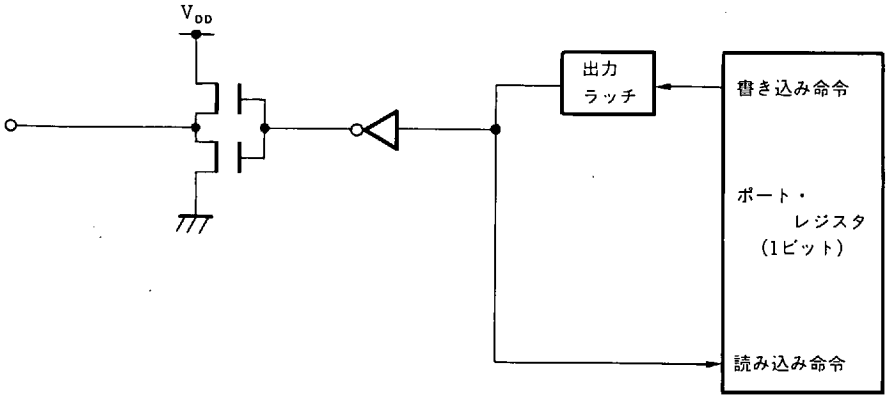
以前の状態を保持します。

15.5 汎用出力ポート（P1B, P1C, P2A）

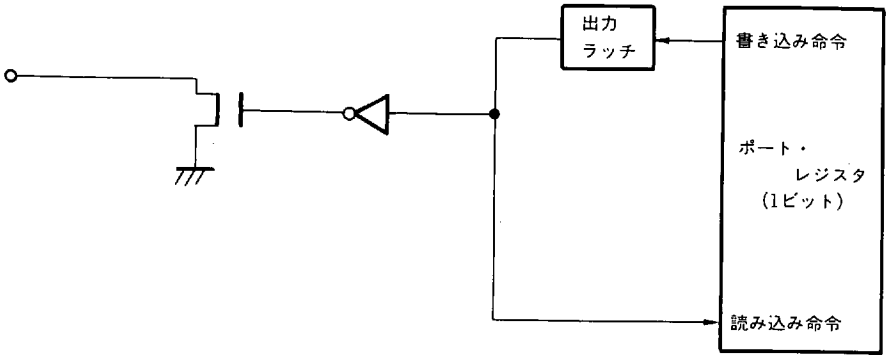
15.5.1 出力ポート（P1B, P1C, P2A）の構成

次の（1）および（2）に出力ポートの構成を示します。

（1）P1B（$P1B_0$ 端子），
P1C（$P1C_3$, $P1C_2$, $P1C_1$, $P1C_0$ 端子），
P2A（$P2A_0$ 端子）



（2）P1B（$P1B_3$, $P1B_2$, $P1B_1$ 端子）



15.5.2 出力ポート（P1B，P1C，P2A）の使用例

出力ポートは出力ラッチの内容を各端子から出力します。

出力データの設定は，各端子に対応するポート・レジスタの内容に書き込む命令，たとえば“MOV”命令などを実行することにより行います。

各端子にハイ・レベルを出力するときは“1”を書き込み，ロウ・レベルを出力するときは“0”を書き込みます。

ただし，$P1B_3$，$P1B_2$，$P1B_1$ 端子は N-ch オープン・ドレーン出力のためハイ・レベル出力時はフローティングになります。

ポート・レジスタを読み込む命令，たとえば“SKT”命令などを実行すると，出力ラッチの内容が読み込まれます。

15.5.3 出力ポート（P1B，P1C，P2A）のリセット時の状態

(1) パワーオン・リセット時

出力ラッチの内容を出力します。

出力ラッチの内容は“不定”であるため，一定期間（プログラムでイニシャライズされるまで）“不定”な値が出力されます。

(2) CE リセット時

出力ラッチの内容を出力します。

出力ラッチの内容は保持されるため，CE リセット時は出力データは変化しません。

(3) クロック・ストップ時

出力ラッチの内容を出力します。

出力ラッチの内容は保持されるため，クロック・ストップ時は出力データは変化しません。

したがって，必要に応じてプログラムでイニシャライズしてください。

(4) ホールト状態中

出力ラッチの内容を出力します。

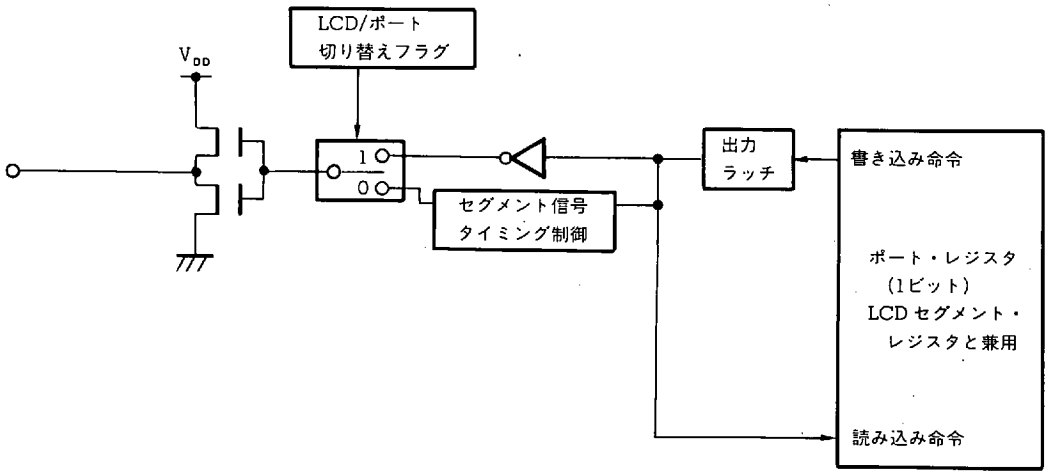
出力ラッチの内容は保持されるため，ホールト状態中は出力データは変化しません。

15.6 汎用出力ポート（POE, POF, POX, POY）

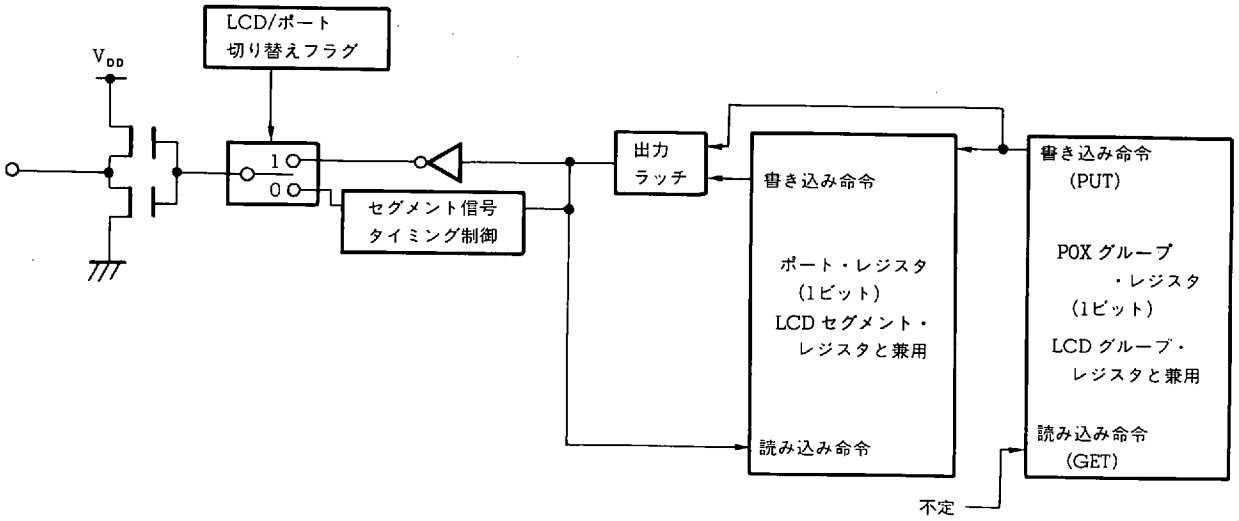
15.6.1 出力ポート（POE, POF, POX, POY）の構成

次の（1）-（3）に出力ポート（POE, POF, POX, POY）の構成を示します。

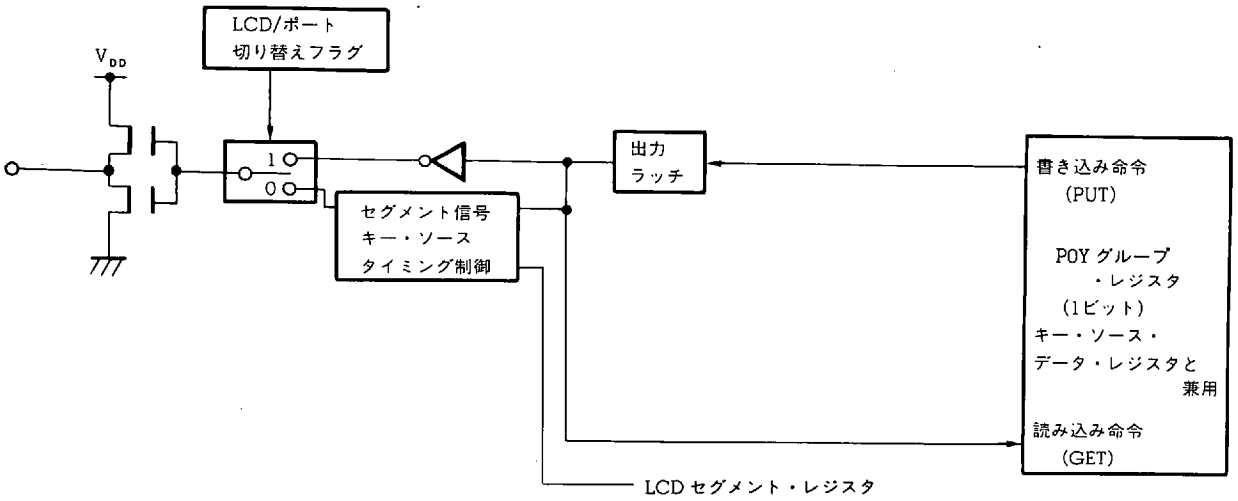
（1）POE（POE_3, POE_2, POE_1, POE_0 端子）
POF（POF_3, POF_2, POF_1, POF_0 端子）



（2）POX（POX_5 - POX_0 端子）



（3）POY（POY_{15} - POY_0 端子）



15.6.2 出力ポート（POE，POF，POX，POY）の使用例

POE，POF，POX および POY の各端子は，パワーオン・リセット時に LCD セグメント信号出力として設定されます。

したがって，出力ポートとして使用するためには LCD ポート・セレクト・レジスタ（LCDPORT：RF アドレス 11H 番地）のPOEON，POFON，POXON，POYON フラグにより，使用するポートを選択します。

使用するポートは，POE，POF，POX および POY で独立して選択できます。

LCD ポート・セレクト・レジスタ により出力ポートに設定されていない端子は LCD セグメント信号出力として使用できます。

15.6.3 - 15.6.5 に POE，POF，POX および POY の出力データ設定方法を示します。

15.6.6 および **15.6.7** に LCD ポート・セレクト・レジスタおよび POX，POY グループ・レジスタの構成と機能を示します。

15.6.3 POE，POF データ設定方法

POE および POF への出力データの設定は，各端子に対応するポート・レジスタの内容に書き込む命令，たとえば“MOV”命令などを実行することにより行えます。

各端子にハイ・レベルを出力するときは“1”を書き込み，ロウ・レベルを出力するときは“0”を書き込みます。

ポート・レジスタを読み込む命令，たとえば“SKT”命令などを実行すると，出力ラッチの内容が読み込まれます。

図 15 - 3 に POF ポート・レジスタ，LCD セグメント・レジスタおよび LCD グループ・レジスタの関係を示します。

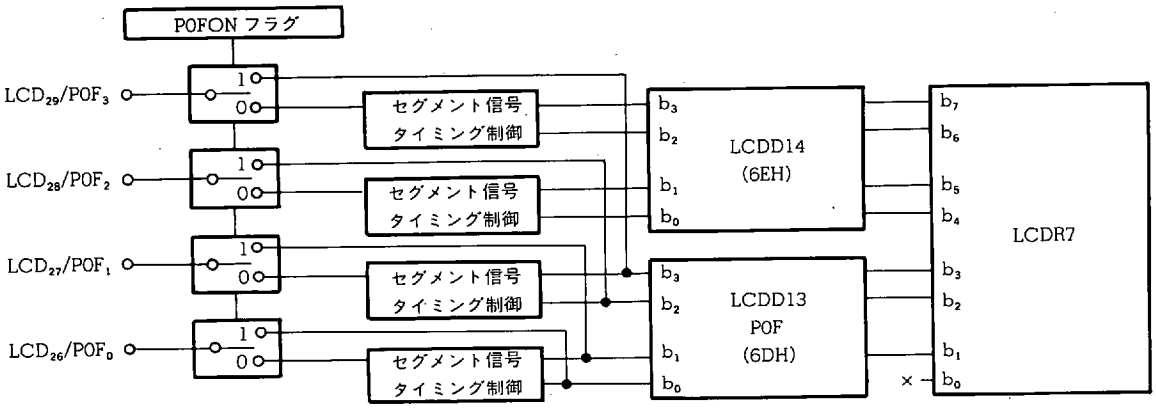
図 15 - 3 に示すように POF を使用する場合は LCD セグメント・レジスタである LCDD14 は汎用データ・メモリとして使用できます。

また，LCD グループ・レジスタである LCDR7 にデータを設定すると POF の上位 3 ビットが変化します。

POE についても同様になります。

“**21. LCD コントローラ/ドライバ**”の“**図 21 - 7 LCD 表示ドット，ポート OE - ポート OY，キー・ソース出力と各データ設定レジスタの関係**”を参照してください。

図 15 - 3 POF ポート・レジスタ，LCD セグメント・レジスタおよび LCD グループ・レジスタの関係



15.6.4 POX データ設定方法

POX への出力データの設定は，ポート・レジスタを使用する方法とポート OX（POX）グループ・レジスタを使用する方法があります。

ポート・レジスタを使用する方法は，各端子に対応するポート・レジスタ（POXH，POXL）の内容に書き込む命令，たとえば“MOV”命令などを実行します。

各端子にハイ・レベルを出力するときは“1”を書き込み，ロウ・レベルを出力するときは“0”を書き込みます。

ポート・レジスタを読み込む命令，たとえば“SKT”命令などを実行すると，出力ラッチの内容が読み込まれます。

POX グループ・レジスタを使用する方法は，各端子に対応する POX グループ・レジスタ（POX）の内容に書き込み命令“PUT POX，DBF”を実行します。

POX グループ・レジスタ（POX）の内容を読み込む命令“GET DBF，POX”を実行すると，“不定な値”が読み出されます。

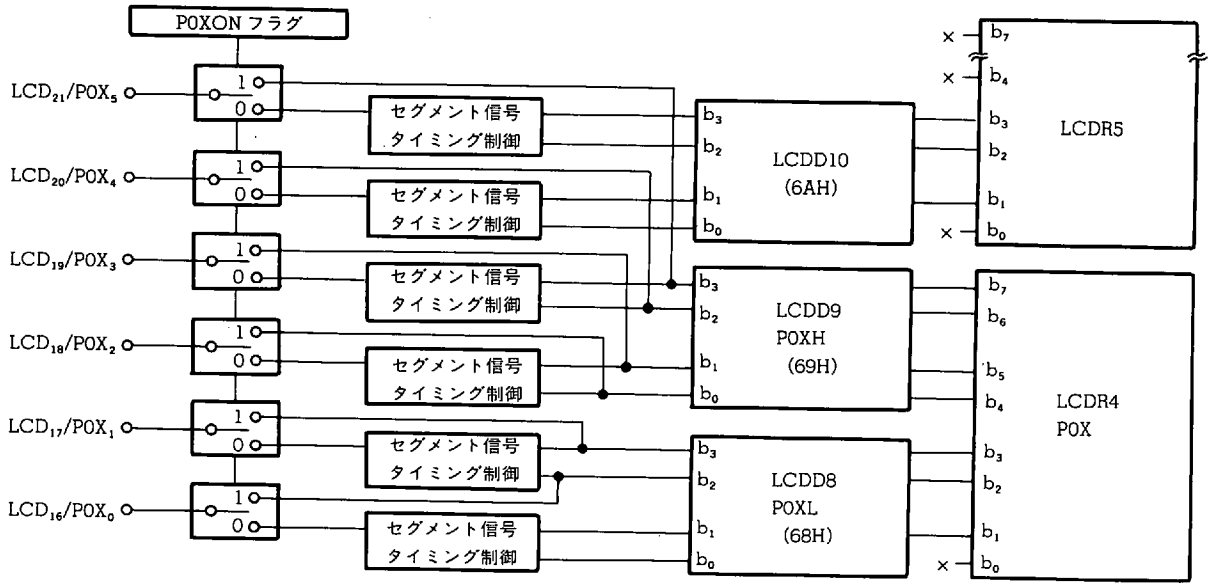
POX グループ・レジスタによりデータを設定する場合も，各端子にハイ・レベルを出力するときは“1”を書き込み，ロウ・レベルを出力するときは“0”を書き込みます。

図 15 - 4 に POX ポート・レジスタ，POX グループ・レジスタ，LCD セグメント・レジスタおよび LCD グループ・レジスタの関係を示します。

図 15 - 4 に示すように POX を使用する場合は LCD セグメント・レジスタである LCDD10 は汎用データ・メモリとして使用できます。

“21. LCD コントローラ/ドライバ”の“図 21 - 7 LCD 表示ドット，ポート OE - ポート OY，キー・ソース出力と各データ設定レジスタの関係”を参照してください。

図 15 - 4 POX ポート・レジスタ，POX グループ・レジスタ，LCD セグメント・レジスタおよび LCD グループ・レジスタの関係



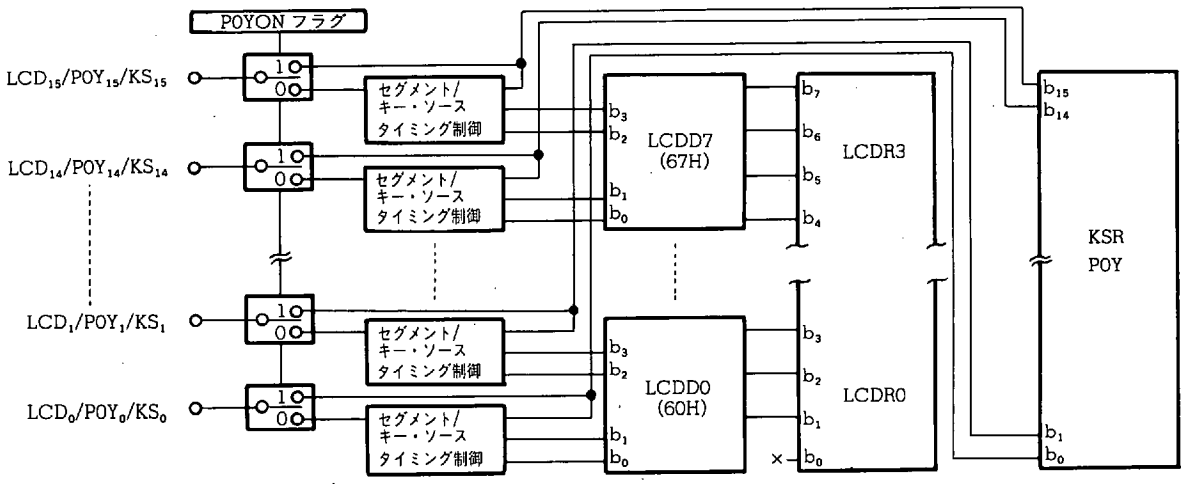
15.6.5 POY データ設定方法

POY への出力データの設定は，各端子に対応するポート OY(POY)グループ・レジスタの内容に書き込み命令"PUT POY, DBF" を実行することにより行います。

POY グループ・レジスタの内容を読み込む命令 "GET DBF, POY" を実行すると，出力ラッチの内容が読み出されます。

各端子にハイ・レベルを出力するときは "1" を書き込み，ロウ・レベルを出力するときは "0" を書き込みます。

図 15-5 POY ポート・レジスタ，POY グループ・レジスタ，LCD セグメント・レジスタおよび LCD グループ・レジスタの関係



15.6.6 LCD ポート・セレクト・レジスタ（LCDPORT）の構成と機能

LCD ポート・セレクト・レジスタは，P0E，P0F，P0X，P0Y の各端子を LCD セグメント信号出力端子として使用するか，汎用出力ポートとして使用するかを選択します。

次に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
LCD ポート・セレクト・レジスタ (LCDPORT)	P0YON	P0XON	P0EON	P0FON	11H	R/W

LCD セグメント信号出力端子と汎用出力ポートの選択（b_0）

0	$LCD_{26}/P0F_0$-$LCD_{29}/P0F_3$ 端子を LCD セグメントとして使用
1	$LCD_{26}/P0F_0$-$LCD_{29}/P0F_3$ 端子を汎用出力ポートとして使用

LCD セグメント信号出力端子と汎用出力ポートの選択（b_1）

0	$LCD_{22}/P0E_0$-$LCD_{25}/P0E_3$ 端子を LCD セグメントとして使用
1	$LCD_{22}/P0E_0$-$LCD_{25}/P0E_3$ 端子を汎用出力ポートとして使用

LCD セグメント信号出力端子と汎用出力ポートの選択（b_2）

0	$LCD_{16}/P0X_0$-$LCD_{21}/P0X_5$ 端子を LCD セグメントとして使用
1	$LCD_{16}/P0X_0$-$LCD_{21}/P0X_5$ 端子を汎用出力ポートとして使用

LCD セグメント信号出力端子と汎用出力ポートの選択（b_3）

0	$LCD_0/P0Y_0/KS_0$-$LCD_{15}/P0Y_{15}/KS_{15}$ 端子を LCD セグメントとして使用
1	$LCD_0/P0Y_0/KS_0$-$LCD_{15}/P0Y_{15}/KS_{15}$ 端子を汎用出力ポートとして使用

リセット時		b_3	b_2	b_1	b_0
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	保　持			

ポート 0F，ポート 0E，ポート 0X およびポート 0Y はそれぞれ独立に汎用出力ポートに設定できます。

汎用出力ポートに設定されていない端子は LCD セグメント信号出力として動作します。

$LCD_0/P0Y_0/KS_0$ - $LCD_{15}/P0Y_{15}/KS_{15}$ 端子の 16 本は LCD セグメント信号出力とキー・ソース信号出力を兼用して使用できますが，汎用出力ポートに設定されると，LCD セグメント信号およびキー・ソース信号は出力されません。

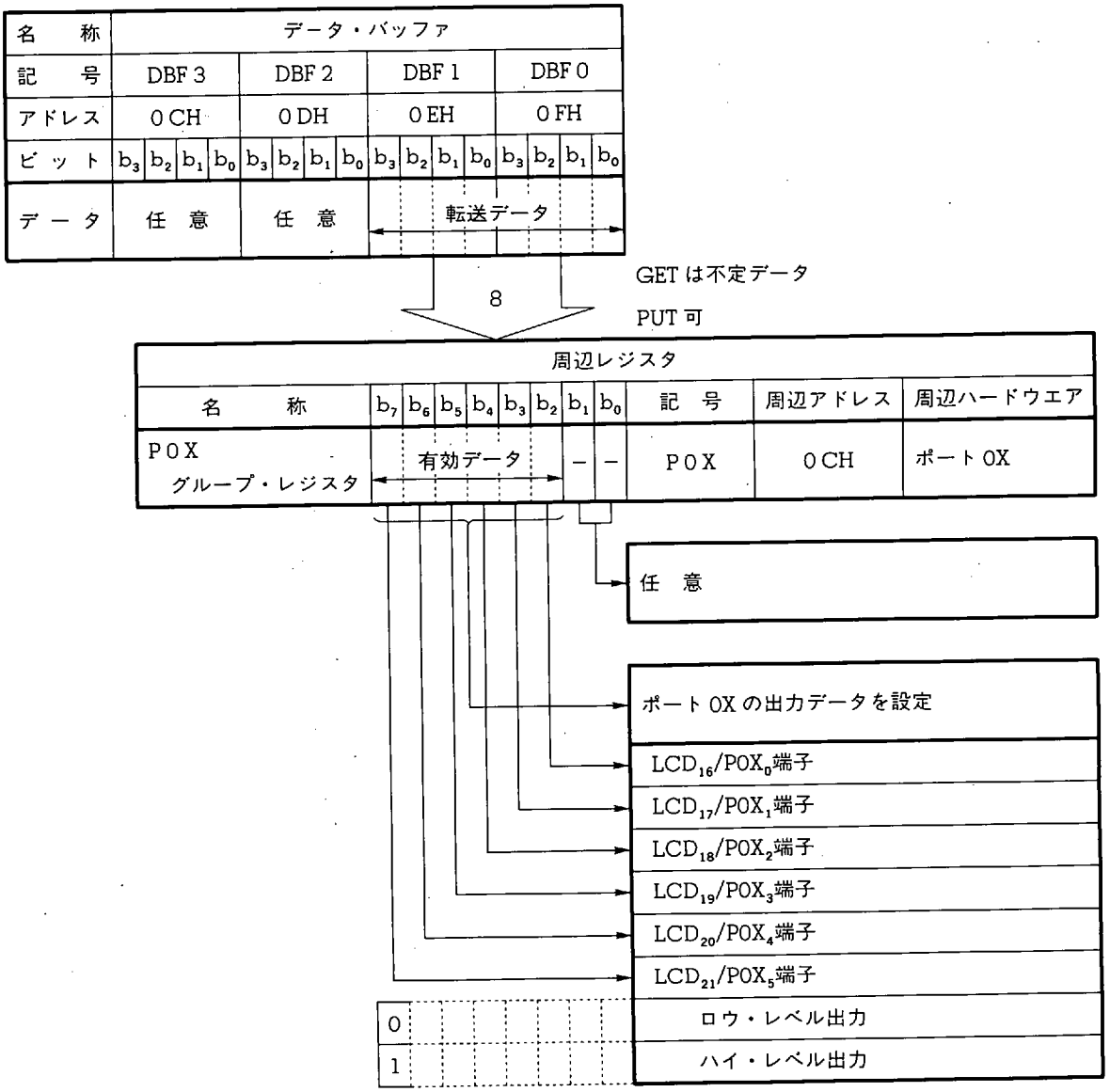
15.6.7 ポート 0X（P0X）グループ・レジスタ，ポート 0Y（P0Y）グループ・レジスタ

次の（1）および（2）に P0X および P0Y の各グループ・レジスタの機能を示します。

P0X および P0Y グループ・レジスタは，P0X（$P0X_0$ - $P0X_5$ 端子）と P0Y（$P0Y_0$ - $P0Y_{15}$ 端子）の出力データを設定します。

P0X および P0Y はそれぞれ 6 ビットおよび 16 ビットの出力データを，一度に設定できます。

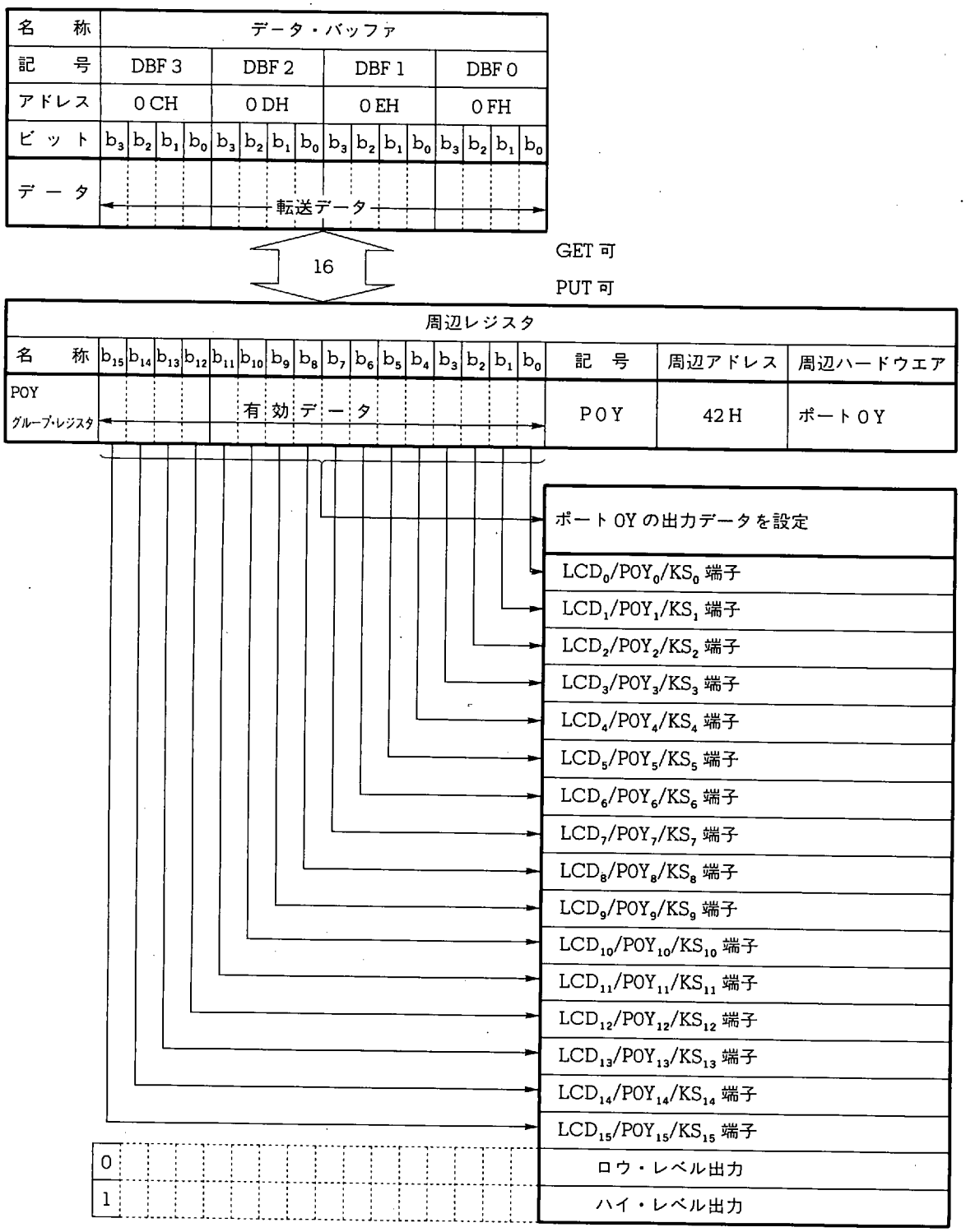
（1）P0X グループ・レジスタの機能



ポート 0X は，P0X グループ・レジスタ（周辺アドレス 0CH 番地）による出力データの設定の他に，ポート・レジスタの P0XH および P0XL（BANK0 の 69H および 68H）による出力データの設定が可能です。

このとき P0X グループ・レジスタ（周辺レジスタ）にデータを設定すると，重複するデータ・ビットに対応する P0XH および P0XL レジスタ（ポート・レジスタ）のデータも同一の値に変化します。

(2) POY グループ・レジスタの機能



ポート 0Y は，キー・ソース信号出力端子と共用しています。

したがって POY グループ・レジスタ（周辺アドレス 42H 番地）は後述するキー・ソース・データ・レジスタ（周辺アドレス 42H 番地）と兼用しています。

このため，POY グループ・レジスタは $LCD_0/POY_0/KS_0$ - $LCD_{15}/POY_{15}/KS_{15}$ 端子が出力ポートに指定されているときはポート 0Y の出力データを設定し，キー・ソース信号出力端子に指定されているときには，キー・ソース信号出力データを設定します。

15.6.8 出力ポート（POE，POF，POX，POY）のリセット時の状態

(1) パワーオン・リセット時

LCD セグメント信号出力端子に設定され，ロウ・レベルを出力します。

出力ラッチの内容は不定のため，そのまま出力ポートに設定すると不定なデータが出力されますので，必要に応じてプログラムでイニシャライズしてください。

(2) CE リセット時

LCD セグメント信号出力端子に設定され，ロウ・レベルを出力します。

出力ラッチの内容は保持されるため，そのまま出力ポートに設定すれば以前の値を保持しています。

(3) クロック・ストップ時

LCD セグメント信号出力端子に設定され，ロウ・レベルを出力します。

出力ラッチの内容は保持されるため，そのまま出力ポートに設定すれば以前の値を保持しています。

(4) ホールト状態中

出力ラッチの内容を出力します。

出力ラッチの内容は保持されるため，ホールト状態中は出力データは変化しません。

16. A/D コンバータ（ADC）

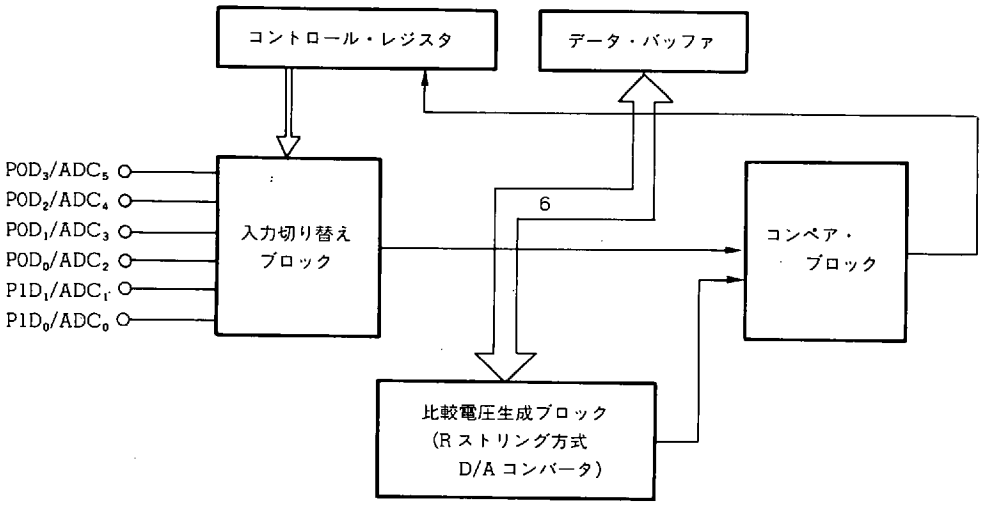
A/D コンバータは，外部のアナログ電圧をディジタル信号として取り込むために使用します。

16.1 A/D コンバータの構成

図 16-1 に A/D コンバータのブロック図を示します。

図 16-1 に示すように，A/D コンバータは入力切り替えブロック，比較電圧生成ブロックおよびコンペア・ブロックから構成されています。

図 16-1 A/D コンバータのブロック図



16.2 A/D コンバータの機能概略

A/D コンバータは，$P0D_3/ADC_5$ - $P1D_0/ADC_0$ 端子に入力されている電圧と，内部の比較電圧を比較し，比較結果を“True (1)”または“False (0)”で出力します。

この比較結果をソフトウエアで判断する事により，逐次比較方式の A/D コンバータとして使用できます。

16.2.1 - 16.2.3 に各ブロックの機能概略を示します。

詳しくは **16.3 - 16.5** を参照してください。

16.2.1 入力切り替えブロック

$P0D_3/ADC_5$ - $P1D_0/ADC_0$ 端子のうち，どの端子を使用するかを選択します。

端子の選択は A/D コンバータ・チャネル・セレクト・レジスタ（ADCCH：RF アドレス 14H 番地）により行います。

同時に使用できる端子は 1 端子のみです。

16.3 を参照してください。

16.2.2 比較電圧生成ブロック

入力された電圧と比較するための比較電圧を生成します。

比較電圧は R ストリング方法の D/A コンバータで生成されます。

16.4 を参照してください。

16.2.3 コンペア・ブロック

入力された電圧と内部の比較電圧を比較します。

比較結果は A/D コンバータ・コンペア・ジャッジ・レジスタ（ADCJDG：RF アドレス 06H 番地）により検出します。

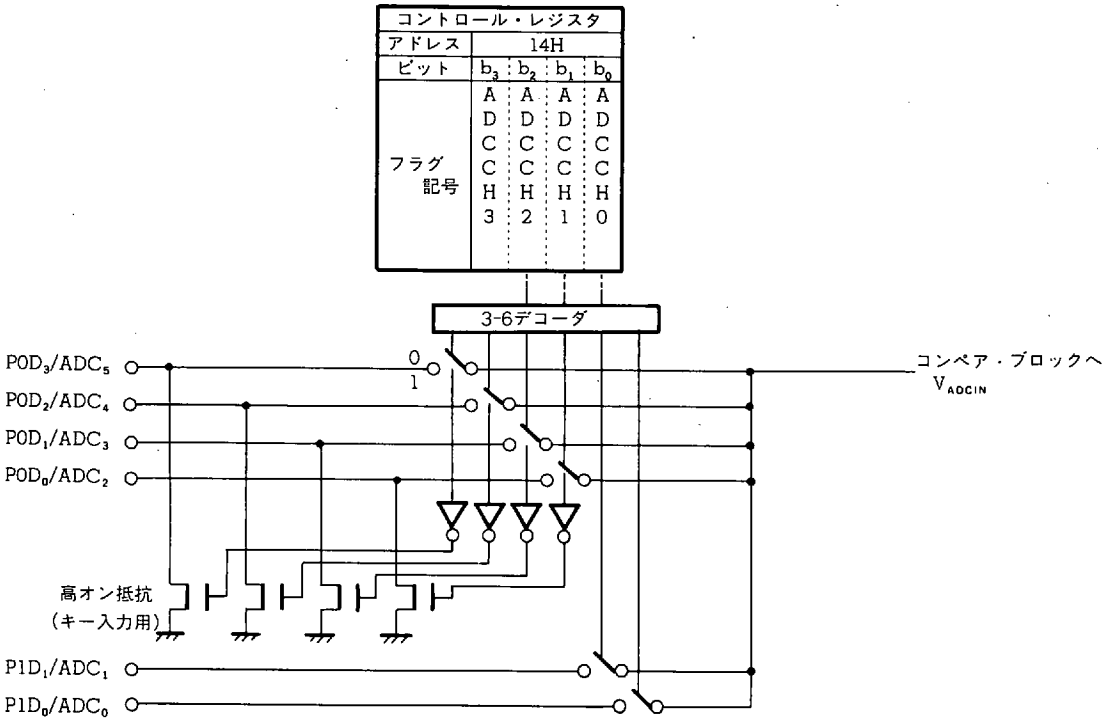
16.5 を参照してください。

16.3 入力切り替えブロック

16.3.1 入力切り替えブロックの構成

図16－2に入力切り替えブロックの構成を示します。

図16－2 入力切り替えブロックの構成



16.3.2 入力切り替えブロックの機能

入力切り替えブロックは，A/D コンバータ・チャネル・セレクト・レジスタにより使用する端子を選択します。

A/D コンバータとして同時に使用できる端子は 1 端子しかありません。

A/D コンバータに選択されていない端子は，汎用入力ポートとして使用できます。

ポート 0D ($P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子) は，内部にプルダウン抵抗を内蔵していますが，A/D コンバータ・チャネル・セレクト・レジスタ（**16.3.3** 参照）で選択された端子は，選択された時点でプルダウン抵抗がオフします。

選択されていない端子は，プルダウン抵抗はオンしたままになります。

16.3.3 A/D コンバータ・チャネル・セレクト・レジスタ（ADCCH）の構成と機能

A/D コンバータ・チャネル・セレクト・レジスタは，A/D コンバータとして使用する端子を設定します。

以下に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
A/D コンバータ・チャネル・セレクト・レジスタ (ADCCH)	ADCCH3	ADCCH2	ADCCH1	ADCCH0	14H	R/W

b_2	b_1	b_0	A/D コンバータとして使用する端子を設定する
0	0	0	$P1D_0/ADC_0$ 端子
0	0	1	$P1D_1/ADC_1$ 端子
0	1	0	$P0D_0/ADC_2$ 端子
0	1	1	$P0D_1/ADC_3$ 端子
1	0	0	$P0D_2/ADC_4$ 端子
1	0	1	$P0D_3/ADC_5$ 端子
1	1	0	A/D コンバータを使用しない（汎用入力ポート）
1	1	1	A/D コンバータを使用しない（汎用入力ポート）

b_3：“0” 固定

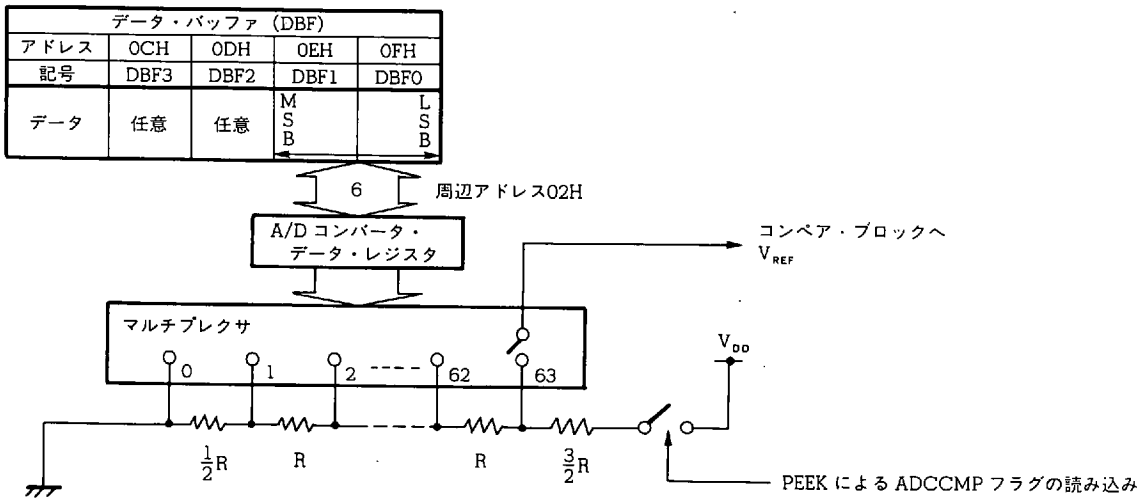
リセット時		b_3	b_2	b_1	b_0
	パワーオン	0	1	1	1
	クロック・ストップ	↓	1	1	1
	CE	↓	保　持		

16.4 比較電圧生成ブロック

16.4.1 比較電圧生成ブロックの構成

図16-3に比較電圧生成ブロックの構成を示します。

図16-3 比較電圧生成ブロックの構成



16.4.2 比較電圧生成ブロックの機能

比較電圧生成ブロックは，A/Dコンバータ・データ・レジスタ（ADCR：周辺アドレス02H番地）に設定された6ビットのデータにより，マルチプレクサを切り替え，比較電圧を生成します。

すなわち，Rストリング方式のD/Aコンバータになっています。

比較電圧は，Rストリング（抵抗分割）方式により64段階の電圧を設定できます。

Rストリング方式の電源は，デバイスの電源電圧V_{DD}と同電位です。

また，Rストリングの抵抗に加わる電圧は，後述するA/Dコンバータ・コンペア・ジャッジ・レジスタを検出したときのみ供給されます。

比較電圧はコンペア・ブロックへ入力された各端子からの入力電圧と比較されます。

16.4.3にA/Dコンバータ・データ・レジスタの構成と機能を示します。

また，表16-1に比較電圧の一覧を示します。

16.4.3 A/D コンバータ・データ・レジスタ（ADCR）の構成と機能

A/D コンバータ・データ・レジスタは A/D コンバータの比較電圧を設定します。

A/D コンバータ・データ・レジスタは 6 ビットであるため, データ・バッファの下位 6 ビットが有効となります。

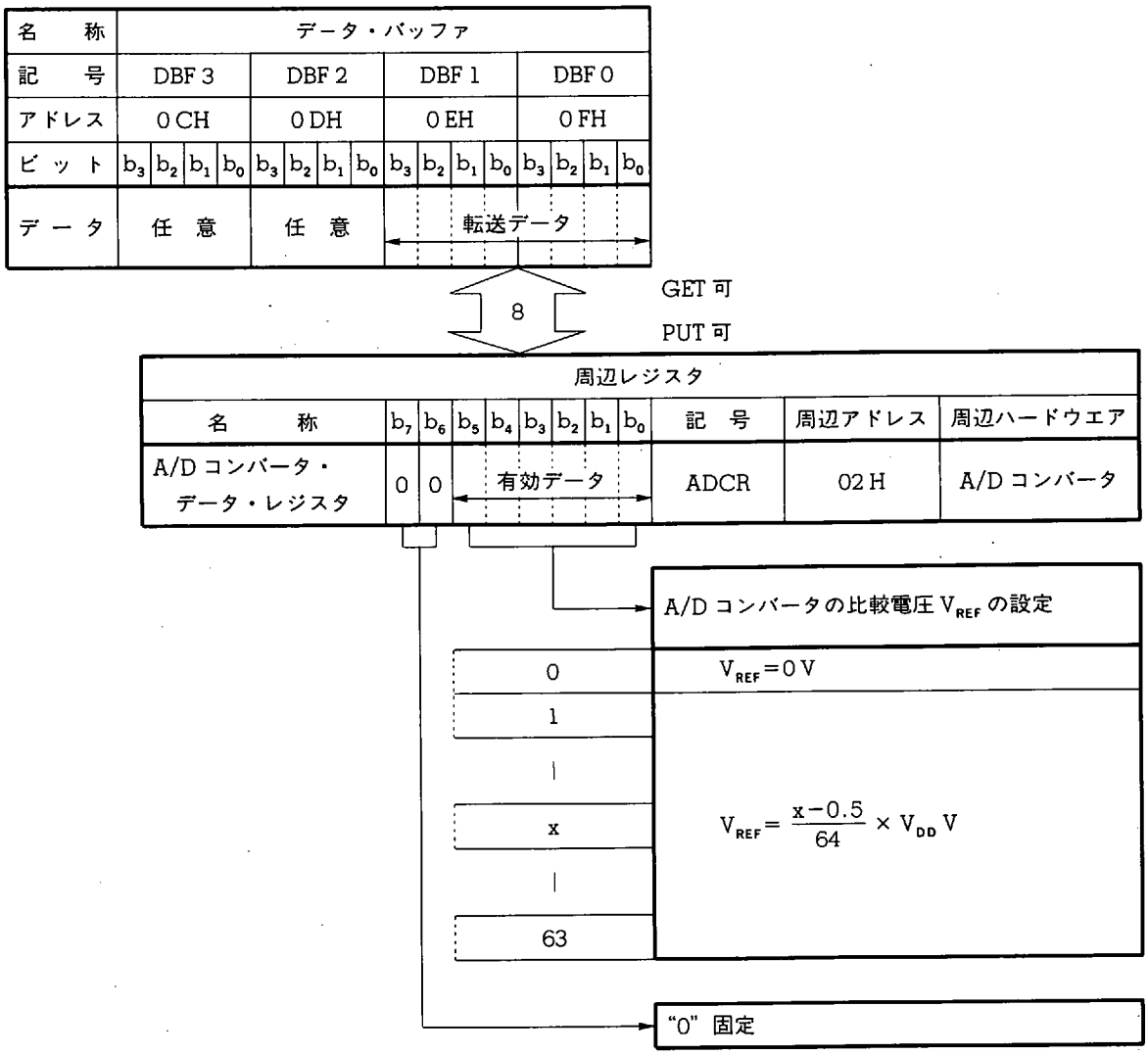


表 16-1 A/D コンバータ・データ・レジスタ設定値と比較電圧

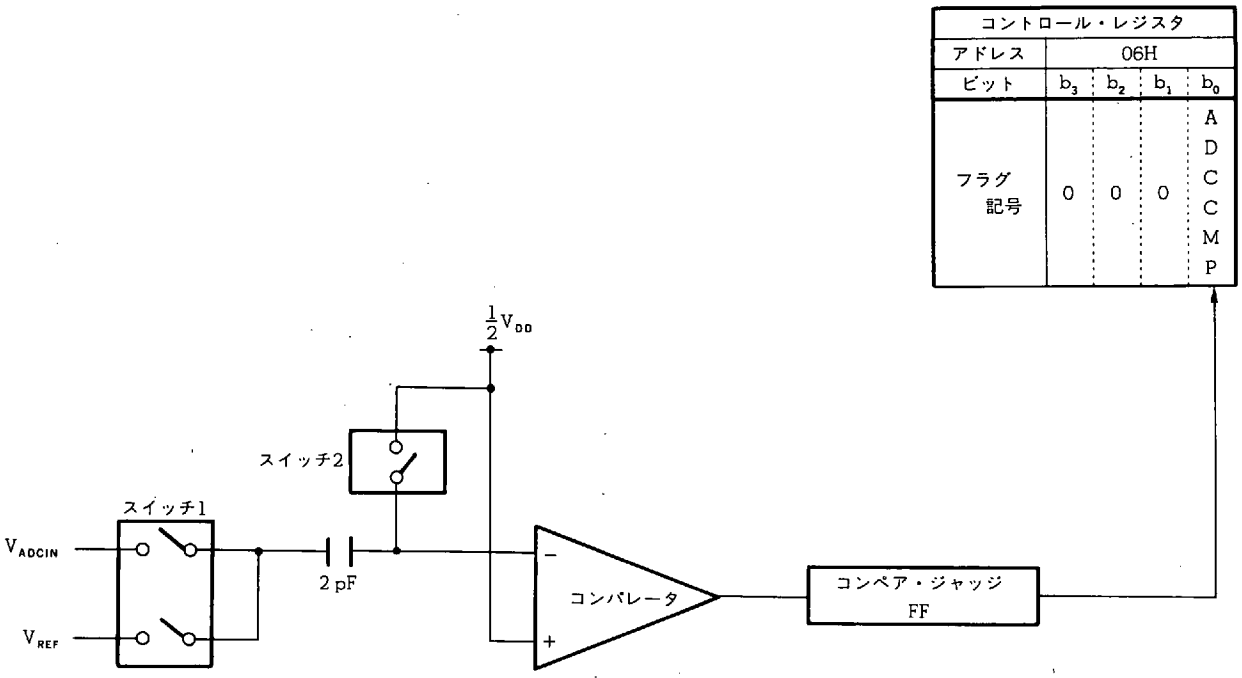
ADCR 設定データ		比較電圧		ADCR 設定データ		比較電圧	
10 進 (DEC)	16 進 (HEX)	論理電圧 単位：× V_{DD} V	V_{DD} = 5 V の時 単位：V	10 進 (DEC)	16 進 (HEX)	論理電圧 単位：× V_{DD} V	V_{DD} = 5 V の時 単位：V
0	00H	0	0	32	20H	31.5/64	2.461
1	01H	0.5/64	0.039	33	21H	32.5/64	2.539
2	02H	1.5/64	0.117	34	22H	33.5/64	2.617
3	03H	2.5/64	0.195	35	23H	34.5/64	2.695
4	04H	3.5/64	0.273	36	24H	35.5/64	2.773
5	05H	4.5/64	0.352	37	25H	36.5/64	2.852
6	06H	5.5/64	0.430	38	26H	37.5/64	2.930
7	07H	6.5/64	0.508	39	27H	38.5/64	3.008
8	08H	7.5/64	0.586	40	28H	39.5/64	3.086
9	09H	8.5/64	0.664	41	29H	40.5/64	3.164
10	0AH	9.5/64	0.742	42	2AH	41.5/64	3.242
11	0BH	10.5/64	0.820	43	2BH	42.5/64	3.320
12	0CH	11.5/64	0.898	44	2CH	43.5/64	3.398
13	0DH	12.5/64	0.977	45	2DH	44.5/64	3.477
14	0EH	13.5/64	1.055	46	2EH	45.5/64	3.555
15	0FH	14.5/64	1.133	47	2FH	46.5/64	3.633
16	10H	15.5/64	1.211	48	30H	47.5/64	3.711
17	11H	16.5/64	1.289	49	31H	48.5/64	3.789
18	12H	17.5/64	1.367	50	32H	49.5/64	3.867
19	13H	18.5/64	1.445	51	33H	50.5/64	3.945
20	14H	19.5/64	1.523	52	34H	51.5/64	4.023
21	15H	20.5/64	1.602	53	35H	52.5/64	4.102
22	16H	21.5/64	1.680	54	36H	53.5/64	4.180
23	17H	22.5/64	1.758	55	37H	54.5/64	4.258
24	18H	23.5/64	1.836	56	38H	55.5/64	4.336
25	19H	24.5/64	1.914	57	39H	56.5/64	4.414
26	1AH	25.5/64	1.992	58	3AH	57.5/64	4.492
27	1BH	26.5/64	2.070	59	3BH	58.5/64	4.570
28	1CH	27.5/64	2.148	60	3CH	59.5/64	4.648
29	1DH	28.5/64	2.227	61	3DH	60.5/64	4.727
30	1EH	29.5/64	2.305	62	3EH	61.5/64	4.805
31	1FH	30.5/64	2.383	63	3FH	62.5/64	4.883

16.5 コンペア・ブロック

16.5.1 コンペア・ブロックの構成

図 16-4 にコンペア・ブロックの構成を示します。

図 16-4 コンペア・ブロックの構成



16.5.2 コンペア・ブロックの機能

コンペア・ブロックは，端子から入力された入力電圧 V_{ADCIN} と内部比較電圧 V_{REF} をコンパレータで比較して，結果をコンペア・ジャッジ FF に出力します。

コンペア・ジャッジ FF は，A/D コンバータ・コンペア・ジャッジ・レジスタの ADCCMP フラグを読み込むことにより検出できます。

ADCCMP フラグは，$V_{ADCIN} > V_{REF}$ の時にセットされ，$V_{ADCIN} < V_{REF}$ の時にリセットされます。

コンパレータによる比較は，ADCCMP フラグを読み込んだ時点で行われます。

すなわち，“PEEK” 命令で ADCCMP フラグを読み出した時点でスイッチ 1 およびスイッチ 2 を操作して比較動作を行います。

したがって，A/D コンバータの 1 回の比較時間は 1 命令実行時間（4.44 μs）になります。

16.5.3 に A/D コンバータ・コンペア・ジャッジ・レジスタの構成と機能を示します。

16.5.3 A/D コンバータ・コンペア・ジャッジ・レジスタ（ADCJDG）の構成と機能

A/D コンバータ・コンペア・ジャッジ・レジスタは A/D コンバータの入力電圧 V_{ADCIN} と比較電圧 V_{REF} の比較結果を検出するためのレジスタです。

次に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
A/D コンバータ・コンペア・ジャッジ・レジスタ（ADCJDG）	0	0	0	ADCCMP	06H	R

	A/D コンバータの比較結果を検出する
0	$V_{ADCIN} < V_{REF}$
1	$V_{ADCIN} > V_{REF}$

"0" 固定

リセット時					
	パワーオン	0	0	0	不
	クロック・ストップ	↓	↓	↓	保
	CE	↓	↓	↓	保

16.6 A/D コンバータの性能

A/D コンバータの性能を次に示します。

項　　目	性　　能
分　解　能	1LSB
入力電圧範囲	$0 - V_{DD}$
量子化誤差	$\pm \frac{1}{2}$LSB
オーバ・レンジ	$\frac{62.5}{64} \times V_{DD}$
オフセット，利得，非直線性等の誤差	$\pm \frac{3}{2}$LSB注

注　量子化誤差を含みます。

16.7 A/D コンバータの使用方法

16.7.1 1つの比較電圧との比較方法

以下にプログラム例を示します。

例 ADC_0 端子の入力電圧 V_{ADCIN} と比較電圧 V_{REF} (31.5/64 V_{DD}) を比較し, $V_{ADCIN} > V_{REF}$ なら AAA へ分岐し, $V_{ADCIN} < V_{REF}$ ならBBB へ分岐する

```
INIT :
        ADCR7  FLG  0.0EH.3      ; ダミー
        ADCR6  FLG  0.0EH.2      ; ダミー
        ADCR5  FLG  0.0EH.1      ; データ・バッファの各ビットを ADCR のデータ設定フラグとして定義
        ADCR4  FLG  0.0EH.0
        ADCR3  FLG  0.0FH.3
        ADCR2  FLG  0.0FH.2
        ADCR1  FLG  0.0FH.1
        ADCR0  FLG  0.0FH.0

        CLR3   ADCCH2, ADCCH1, ADCCH0
                                 ; P1D0/ADC0 端子を A/D コンバータに設定
START :
        INITFLG  NOT ADCR3, NOT ADCR2, NOT ADCR1; NOT ADCR0
        INITFLG  NOT ADCR7, NOT ADCR6,      ADCR5, NOT ADCR4
        PUT      ADCR, DBF     ; 比較電圧 VREF に 31.5/64 VDD を設定
        SKT1     ADCCMP        ; ADCCMP フラグを検出し,
        BR       AAA           ; False (0) なら AAA へ分岐し
        BR       BBB           ; True (1) なら BBB へ分岐
```

16.7.2 バイナリ・サーチ方法による逐次比較

A/D コンバータは 1 回の比較では，1 つの比較電圧としか比較できません。

すなわち，入力電圧をディジタル信号に変換するためには，逐次比較をプログラムで行う必要があります。

このとき，入力電圧によって逐次比較プログラムの処理時間が異なっていると，他の処理プログラムとの関係で好ましくない場合があります。

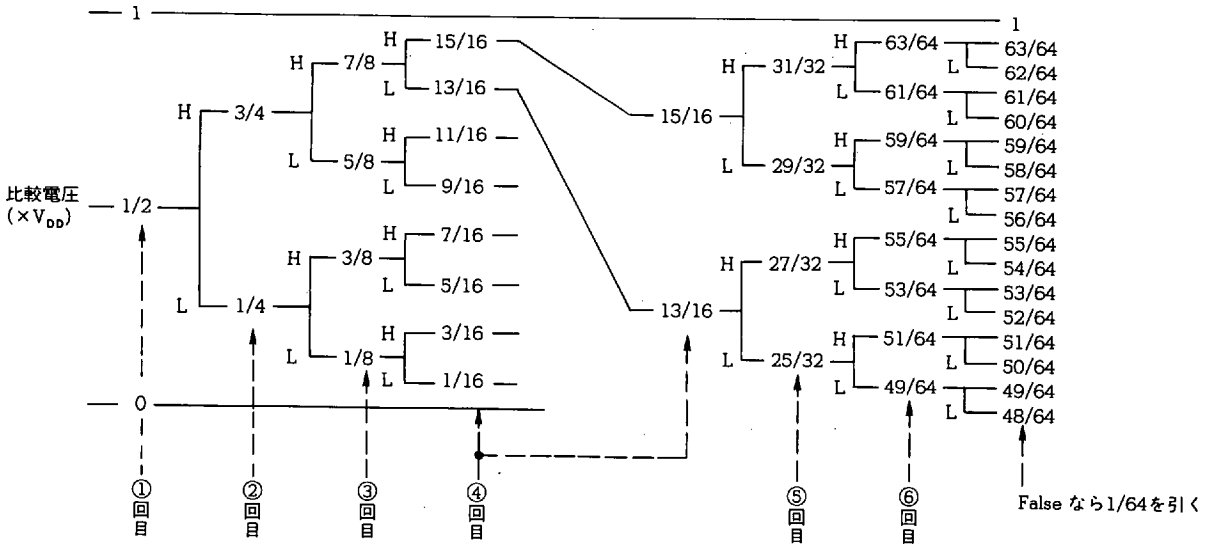
したがって，次の (1) - (3) に示すようなバイナリ・サーチ方法を使用すると便利です。

(1) バイナリ・サーチの概念

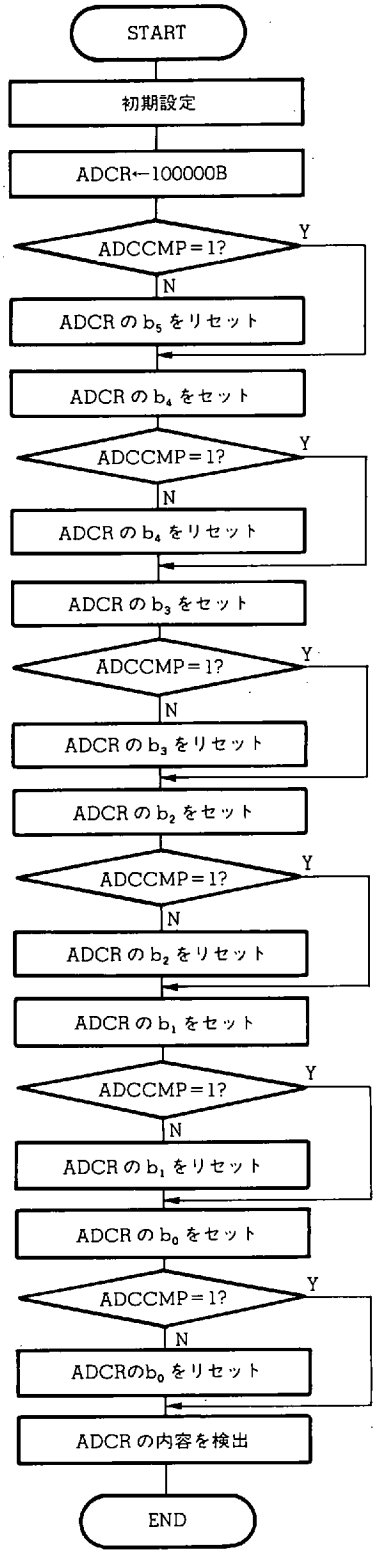
以下にバイナリ・サーチの概念を示します。

まず比較電圧に 1/2 V_{DD} を設定し，比較結果が True（ハイ・レベルが入力されている）であれば 1/4 V_{DD} 分の電圧を加え，False（ロウ・レベルが入力されている）であれば 1/4V_{DD} 分の電圧を引き比較します。

同様に順次 1/8 V_{DD}，1/16 V_{DD} - 1/64 V_{DD} まで比較し，6 回目まで終了した時点で False であれば 1/64 V_{DD} を引いて終了します。



(2) バイナリ・サーチ方法のフロー・チャート



：使用する端子の設定

：比較電圧を1/2V_{DD} に設定

：比較結果を検出し，

：　"0" であれば1/2V_{DD} 分を引き

：　"0"，"1" ともに1/4V_{DD} 分を加えて比較電圧に設定する

：比較結果を検出し，

：　"0" であれば1/4V_{DD} 分を引き

：　"0"，"1" ともに1/8V_{DD} 分を加えて比較電圧に設定する

：比較結果を検出し，

：　"0" であれば1/8V_{DD} 分を引き

：　"0"，"1" ともに1/16V_{DD} 分を加えて比較電圧に設定する

：比較結果を検出し，

：　"0" であれば1/16V_{DD} 分を引き

：　"0"，"1" ともに1/32V_{DD} 分を加えて比較電圧に設定する

：比較結果を検出し，

：　"0" であれば1/32V_{DD} 分を引き

：　"0"，"1" ともに1/64V_{DD} 分を加えて比較電圧に設定する

：比較結果を検出し，

：　"0" であれば1/64V_{DD} 分を引き

：　"1" であればそのままの値で変換を終了

(3) バイナリ・サーチ方式のプログラム例

(a) 変換時間が短い方法

```
INIT :
        ADCR7  FLG  0.0EH.3      ; ダミー
        ADCR6  FLG  0.0EH.2      ; ダミー
        ADCR5  FLG  0.0EH.1      ; データ・バッファの各ビットをADCRのデータ設定フラグとして定義
        ADCR4  FLG  0.0EH.0
        ADCR3  FLG  0.0FH.3
        ADCR2  FLG  0.0FH.2
        ADCR1  FLG  0.0FH.1
        ADCR0  FLG  0.0FH.0

        CLR3   ADCCH2, ADCCH1, ADCCH0
                                 ; P1D0/ADC0 端子をA/Dコンバータに設定
START :
        INITFLG NOT ADCR3, NOT ADCR2, NOT ADCR1, NOT ADCR0
        INITFLG NOT ADCR7, NOT ADCR6,      ADCR5, NOT ADCR4
        PUT    ADCR, DBF         ; 比較電圧に 31.5/64 VDD を設定
        SKT1   ADCCMP            ; ADCCMP を検出し,
        CLR1   ADCR5             ;  "0" なら 32/64 VDD を引き
        SET1   ADCR4             ;  16/64 VDD を加える
        PUT    ADCR, DBF
        SKT1   ADCCMP            ; ADCCMP を検出し,
        CLR1   ADCR4             ;  "0" なら 16/64 VDD を引き
        SET1   ADCR3             ;  8/64 VDD を加える
        PUT    ADCR, DBF
        SKT1   ADCCMP            ; ADCCMP を検出し,
        CLR1   ADCR3             ;  "0" なら 8/64 VDD を引き
        SET1   ADCR2             ;  4/64 VDD を加える
        PUT    ADCR, DBF
        SKT1   ADCCMP            ; ADCCMP を検出し,
        CLR1   ADCR2             ;  "0" なら 4/64 VDD を引き
        SET1   ADCR1             ;  2/64 VDD を加える
        PUT    ADCR, DBF
        SKT1   ADCCMP            ; ADCCMP を検出し,
        CLR1   ADCR1             ;  "0" なら 2/64 VDD を引き
        SET1   ADCR0             ;  1/64 VDD を加える
        PUT    ADCR, DBF
        SKT1   ADCCMP            ; ADCCMP を検出し,
        CLR1   ADCR0             ;  "0" なら 1/64 VDD を引く
END :
```

A/D 変換

プログラム・ステップ：　31 ステップ
実行ステップ　　：　31 ステップ
A/D 変換時間　　：137.8 μs

(b) プログラム・ステップ数が短い方法 ★

```
ADWORK1   MEM     0.00H          ; 比較電圧変更用のワーク・エリア
ADWORK0   MEM     0.01H

          INITFLG NOT ADCCH2, NOT ADCCH1, NOT ADCCH0
                                 ; P1D0/ADC0 端子を A/D コンバータに設定
START :
          MOV     DBF1, #0010B   ; 比較電圧の初期値31.5/64 VDD を設定
          MOV     DBF0, #0000B
          MOV     ADWORK1, #0001B
          MOV     ADWORK0, #0000B
AD_CHECK :
          PUT     ADCR, DBF      ; 比較電圧 VREF を設定
          SKT1    ADCCMP         ; ADCCMP フラグを検出
          BR      ADIN_L
          ADD     DBF0, ADWORK0  ; "1" であれば比較電圧を高くする
          ADDC    DBF1, ADWORK1
          BR      NEXT_AD
ADIN_L :                                                    } A/D 変換
          SUB     DBF0, ADWORK0  ; "0" であれば比較電圧を低くする
          SUBC    DBF1, ADWORK1
;         NOP                    ; A/D 変換時間を一定にするときに記述
NEXT_AD :
          RORC    ADWORK1
          RORC    ADWORK0
          SKT1    CY             ; 6 ビットまで終了したか
          BR      AD_CHECK
          PUT     ADCR, DBF
          SKT1    ADCCMP
          AND     DBF0, #1110B
          ⋮
```

プログラム・ステップ　　：22 ステップ
実行ステップ　　：58～63 ステップ
A/D 変換時間　　：257.8～280 μs

A/D 変換時間を一定にしたときは

プログラム・ステップ　　：23 ステップ
実行ステップ　　：63 ステップ
A/D 変換時間　　：280 μs

16.8 A/D コンバータ使用時の注意

$P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子を A/D コンバータとして使用して，かつキー入力によるホールト解除を設定すると，ホールト状態にならなくなる場合があります。

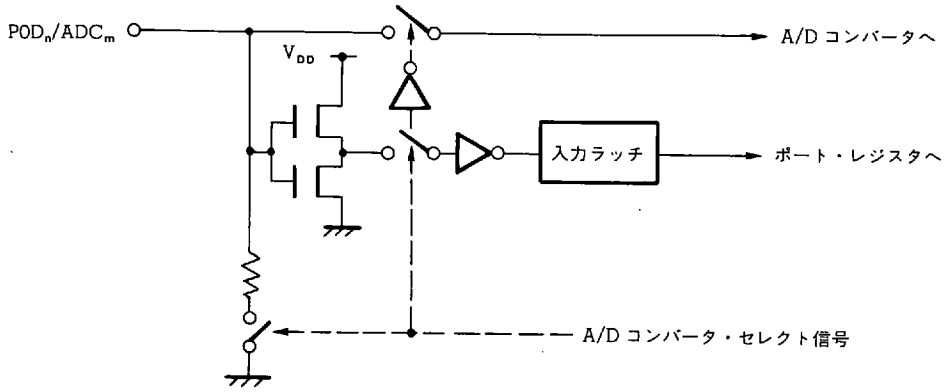
これは，“**12.4 ホールト機能**”でも説明したように，A/D コンバータに設定された端子は，入力ポートのラッチが端子から切り離されるためにおこります。

図 16 - 5 に，$P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子と入力ラッチの関係を示します。

図 16 - 5 に示すように A/D コンバータ・セレクト信号により A/D コンバータが設定されたとき，たまたま入力端子にハイ・レベルが入力されていると，入力ラッチは“1”の状態で保持されます。

したがって，このときにキー入力によるホールト解除を設定してもこの端子にはハイ・レベルが入力されていると判断され，即座にホールト状態が解除されてしまいます。

図 16 - 5 $P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子と入力ラッチの関係



16.9 リセット時の状態

16.9.1 パワーオン・リセット時

$P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子および $P1D_1/ADC_1$，$P1D_0/ADC_0$ 端子はすべて汎用入力ポートに設定されます。

16.9.2 クロック・ストップ時

$P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子および $P1D_1/ADC_1$，$P1D_0/ADC_0$ 端子はすべて汎用入力ポートに設定されます。

16.9.3 CE リセット時

A/D コンバータに設定されている端子はそのまま保持されます。

17. D/A コンバータ (DAC)

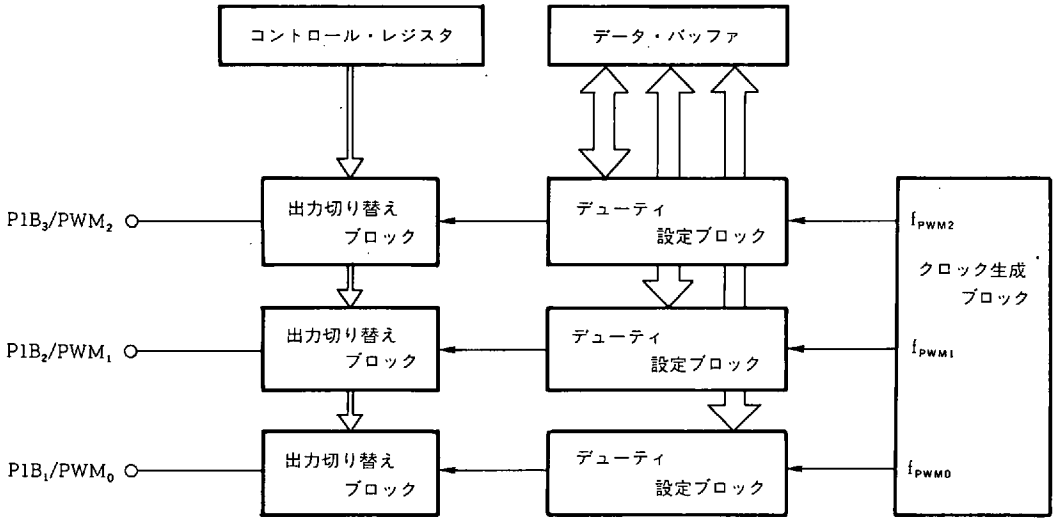
D/A コンバータ (DAC) は，デューティを可変する PWM (Pulse Width Modulation) 方式で信号を出力します。外部にロウ・パス・フィルタ等を構成することによりディジタル信号をアナログ信号として使用できます。

17.1 D/A コンバータの構成

図 17 - 1 に D/A コンバータのブロックを示します。

図 17 - 1 に示すように D/A コンバータは，各端子ごとの入力切り替えブロック，デューティ設定ブロックおよびクロック生成ブロックから構成されています。

図 17 - 1 D/A コンバータのブロック



17.2 D/A コンバータの機能概略

D/A コンバータは，各端子独立してデューテイ可変の信号を出力します。

出力周波数は 878.9 Hz でデューティを 256 段階で可変できます。

17.2.1 - 17.2.3に，各ブロックの機能概略を示します。

17.2.1 出力切り替えブロック

出力切り替えブロックは，各端子を汎用出力ポートとして使用するか，D/A コンバータとして使用するかを設定します。

各端子の切り替えは，PWM モード・セレクト・レジスタ（PWMMODE：RF アドレス 13H 番地）により行います（**17.3** 参照）。

17.2.2 デューティ設定ブロック

デューティ設定ブロックは，256 段階のデューティ可変信号を出力します。

デューティは，データ・バッファを介して PWM データ・レジスタ（PWMR0，PWMR1，PWMR2：周辺アドレス 05H，06H，07H）により各端子独立に設定します（**17.4** 参照）。

17.2.3 クロック生成ブロック

クロック生成ブロックは，デューティを設定するための基本クロックを生成します。

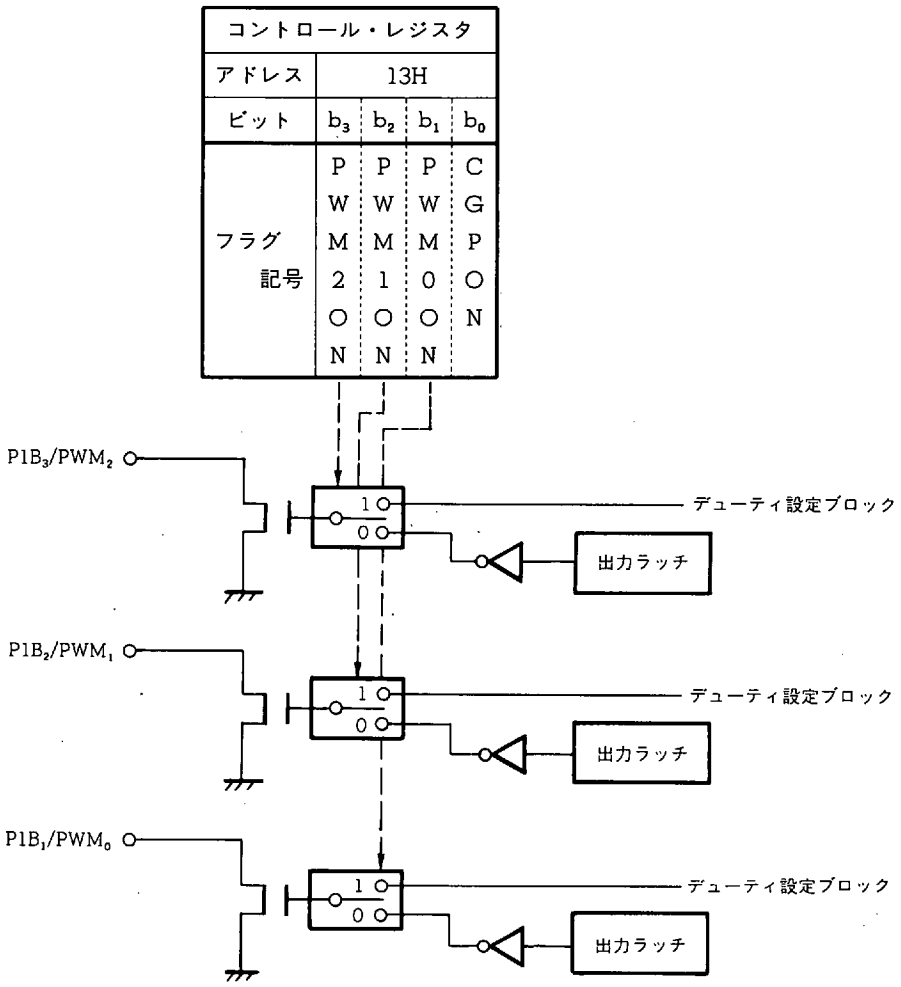
生成されるクロック周波数 f_{PWM} は 225 kHz です（**17.4** 参照）。

17.3 出力切り替えブロック

17.3.1 出力切り替えブロックの構成

図 17 - 2 に出力切り替えブロックの構成を示します。

図 17 - 2 出力切り替えブロックの構成



17.3.2 出力切り替えブロックの機能

出力切り替えブロックは，汎用出力ポートと D/A コンバータの選択を行います。

汎用出力ポートと D/A コンバータの切り替えは，PWM モード・セレクト・レジスタの PWM2ON，PWM1ON および PWM0ON フラグにより各端子独立に設定できます。

$P1B_3/PWM_2$ - $P1B_1/PWM_0$ 端子は N-ch オープン・ドレーン出力のため外部にプルアップ抵抗が必要です。

17.3.3 に PWM モード・セレクト・レジスタの構成と機能を示します。

17.3.3 PWM モード・セレクト・レジスタ（PWMMODE）の構成と機能

PWM モード・セレクト・レジスタは，D/A コンバータ（PWM 出力）およびクロック・ジェネレータ・ポート（CGP）として使用する端子を設定します。

以下に構成と機能を設定します。

CGP については，“**18. クロック・ジェネレータ・ポート（CGP）**”を参照してください。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
PWM モード・セレクト・レジスタ（PWMMODE）	PWM2ON	PWM1ON	PWM0ON	CGPON	13 H	R/W

CGPON（b_0）：汎用出力ポートとクロック・ジェネレータ・ポートの選択

0	$P1C_0$/CGP 端子を汎用出力ポートとして使用
1	$P1C_0$/CGP 端子をクロック・ジェネレータ・ポートとして使用

PWM0ON（b_1）：汎用出力ポートと D/A コンバータ（PWM 出力）の選択

0	$P1C_1/PWM_0$ 端子を汎用出力ポートとして使用
1	$P1C_1/PWM_0$ 端子を D/A コンバータとして使用

PWM1ON（b_2）：汎用出力ポートと D/A コンバータ（PWM 出力）の選択

0	$P1C_2/PWM_1$ 端子を汎用出力ポートとして使用
1	$P1C_2/PWM_1$ 端子を D/A コンバータとして使用

PWM2ON（b_3）：汎用出力ポートと D/A コンバータ（PWM 出力）の選択

0	$P1C_3/PWM_2$ 端子を汎用出力ポートとして使用
1	$P1C_3/PWM_2$ 端子を D/A コンバータとして使用

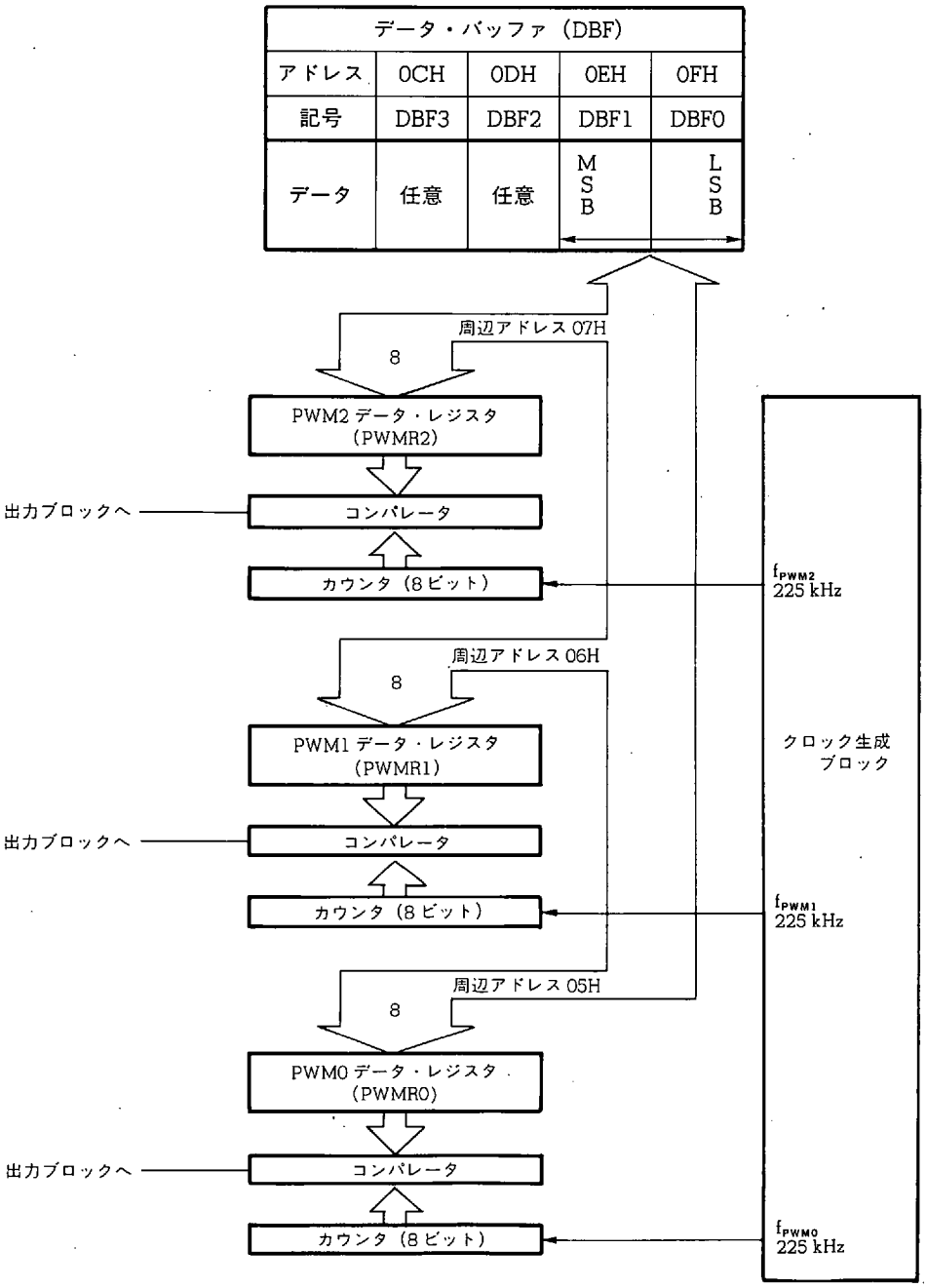
リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	保　持			

17.4 デューティ設定ブロックおよびクロック生成ブロック

17.4.1 デューティ設定ブロックおよびクロック生成ブロックの構成

図 17-3 にデューティ設定ブロックおよびクロック生成ブロックの機能を示します。

図 17-3 デューティ設定ブロックおよびクロック生成ブロックの構成

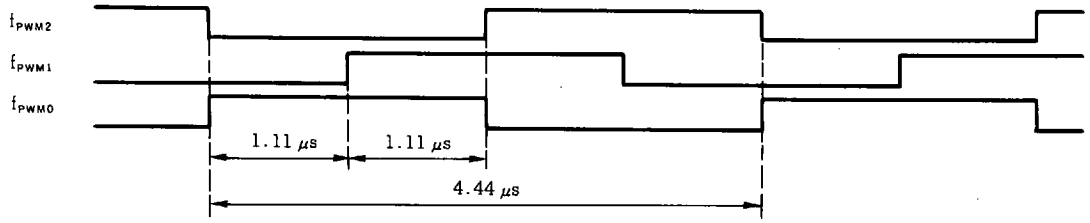


17.4.2 クロック生成ブロックの機能と動作

クロック生成ブロックは，各出力信号（PWM_2，PWM_1，PWM_0 端子）のデューティを設定するための基本クロック（f_{PWM2}，f_{PWM1}，f_{PWM0}）を出力します。

出力される周波数は，f_{PWM2}，f_{PWM1}，f_{PWM0} ともに 225 kHz（4.44 μs）です。

ただし，f_{PWM2}，f_{PWM1}，f_{PWM0} には以下に示す位相差があります。



17.4.3 デューティ設定ブロックの機能と動作

デューティ設定ブロックは各 PWM データ・レジスタ（PWM2，PWM1，PWM0）に設定された値と，各 8 ビット・カウンタでカウントされた各基本クロック（f_{PWM2}，f_{PWM1}，f_{PWM0}）の値を比較して，PWM データ・レジスタの値が大きければハイ・レベルを出力し，PWM データ・レジスタの値が小さければロウ・レベルを出力します。

すなわち，PWM データ・レジスタに設定された値が“x”であると，デューティは以下のようになります。

$$\text{デューティ}：D = \frac{x + 0.25}{256} \times 100\,\%$$

0.25 はオフセット分であり，x=0 の時でもハイ・レベルが出力されます。

また，基本クロックは 225 kHz であるため出力信号の周波数と周期は以下のようになります。

$$\text{周波数：}\quad f = \frac{225\ \text{kHz}}{256} = 878.9\ \text{Hz}$$

$$\text{周期：}\quad t = \frac{256}{225\ \text{kHz}} = 1137.8\ \mu\text{s}$$

各 PWM データ・レジスタへのデータ設定は，データ・バッファを介して独立な順を設定できます。

すなわち，各端子からは独立したデューティの信号を出力できます。

17.4.4 および **17.4.5** に各 PWM データ・レジスタの構成と機能および各端子の出力波形とデューティの関係を示します。

17.4.4 各 PWM データ・レジスタの構成と機能

各 PWM データ・レジスタの機能を示します。

PWM データ・レジスタは D/A コンバータ（PWM 出力）出力信号のデューティを設定します。

名　称	データ・バッファ			
記　号	DBF 3	DBF 2	DBF 1	DBF 0
アドレス	0 CH	0 DH	0 EH	0 FH
ビット	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0
データ	任　意	任　意	転送データ	

8

GET 可
PUT 可

周辺レジスタ											
名　称	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0	記　号	周辺アドレス	周辺ハードウエア
PWM0 データ・レジスタ	有効データ								PWMR 0	05 H	PWM_0 端子
PWM1 データ・レジスタ									PWMR 1	06 H	PWM_1 端子
PWM2 データ・レジスタ									PWMR 2	07 H	PWM_2 端子

各端子の PWM 出力デューティを設定

0

|

x

|

255

デューティ：$D = \frac{x+0.25}{256} \times 100\,\%$

周波数：$f = \frac{225}{256}$ kHz

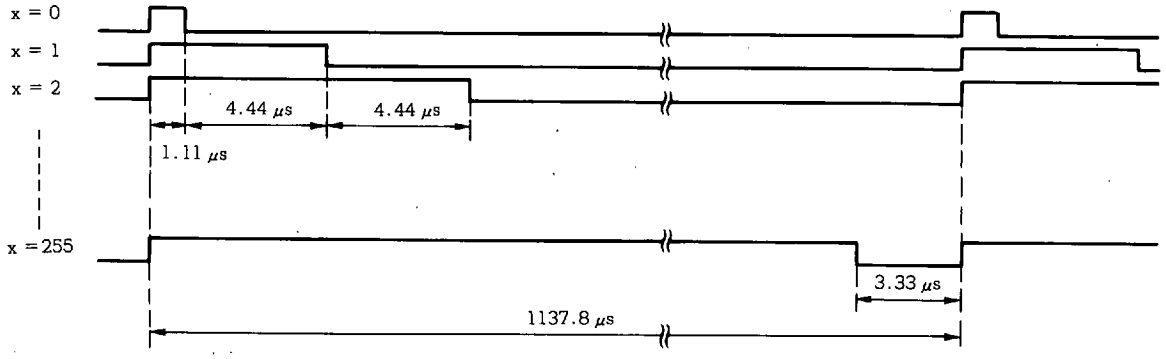
$= 878.9$ Hz

17.4.5 D/A コンバータの出力波形と各端子の関係

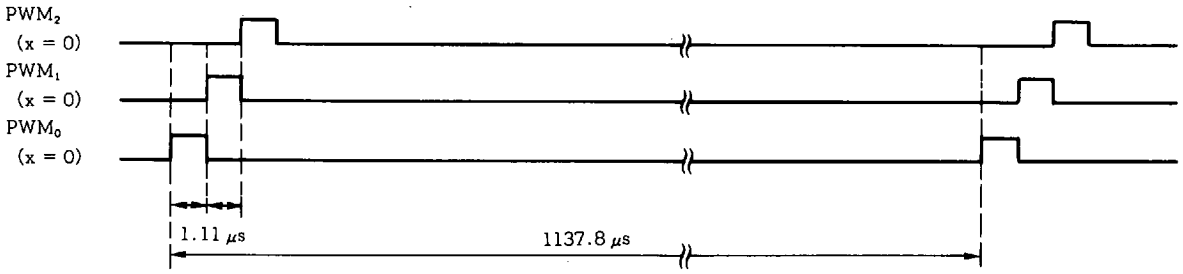
(1) にデューティと出力波形の関係を示します。

また (2) に各端子の出力波形の関係を示します。

(1) デューティと出力波形



(2) 各端子の出力波形



17.5 リセット時の状態

17.5.1 パワーオン・リセット時

$P1B_3/PWM_2$ - $P1B_1/PWM_0$ 端子は汎用出力ポートに指定されます。

出力される値は“不定”になります。

各 PWM データ・レジスタの値は“不定”になります。

17.5.2 クロック・ストップ時

$P1B_3/PWM_2$ - $P1B_1/PWM_0$ 端子は汎用出力ポートに指定されます。

出力される値は“以前の出力ラッチの内容”になります。

各 PWM データ・レジスタの値は以前の値を保持します。

17.5.3 CE リセット時

$P1B_3/PWM_2$ - $P1B_1/PWM_0$ 端子は以前の出力状態をそのまま保持します。

すなわち，D/A コンバータとして使用している端子はそのまま PWM 出力を保持します。

17.5.4 ホールト状態時

$P1B_3/PWM_2$ - $P1B_1/PWM_0$ 端子は以前の出力状態をそのまま保持します。

すなわち，D/A コンバータとして使用している端子はそのまま PWM 出力を保持します。

18. クロック・ジェネレータ・ポート（CGP）

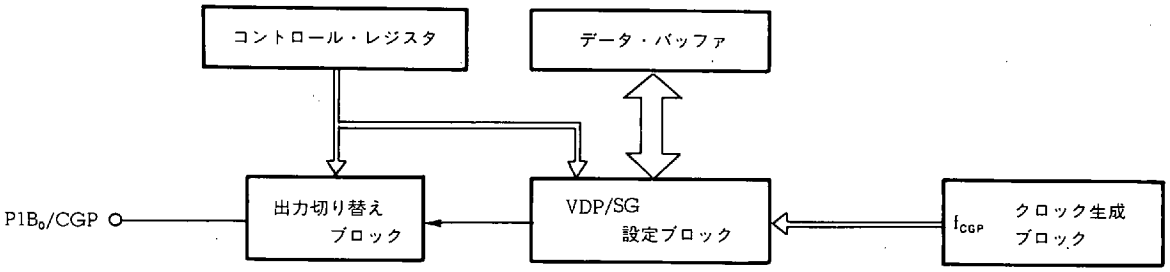
クロック・ジェネレータ・ポートは，デューティを可変するVDP（Variable Duty Pulse）方式と，周波数を可変するSG（Signale Generator）方式で信号を出力します。

18.1 クロック・ジェネレータ・ポートの構成

図18-1にクロック・ジェネレータ・ポートのブロック図を示します。

図18-1に示すようにクロック・ジェネレータ・ポートは，端子の入力切り替えブロック，VDP/SG設定ブロックおよびクロック生成ブロックから構成されています。

図18-1 クロック・ジェネレータ・ポートのブロック図



18.2 クロック・ジェネレータ・ポートの機能概略

クロック・ジェネレータ・ポートは，$P1B_0$/CGP 端子から，デューティ可変の信号（VDP 機能）または周波数可変の信号（SG 機能）を出力します。

VDP 機能はデューティを 64 段階で可変できます。

SG 機能は周波数を 64 段階で可変できます。

18.2.1 - 18.2.3 に，各ブロックの機能概略を示します。

クロック・ジェネレータ・ポートは後述する周波数カウンタとハードウエアを兼用しているため，クロック・ジェネレータ・ポートと周波数カウンタは同時に使用することはできません。詳しくは **18.7** を参照してください。

18.2.1 出力切り替えブロック

出力切り替えブロックは，$P1B_0$/CGP 端子を汎用出力ポートとして使用するか，クロック・ジェネレータ・ポートとして使用するかを設定します。

$P1B_0$/CGP 端子の切り替えは，PWM モード・セレクト・レジスタ（PWMMODE：RF アドレス 13H 番地）により行います。

18.3 を参照してください。

18.2.2 VDP/SG 設定ブロック

VDP/SG 設定ブロックは，VDP 機能と SG 機能の切り替えおよび，VDP 機能時のデューティ可変信号出力と SG 機能時の周波数可変信号を出力します。

VDP 機能のデューティおよび SG 機能の周波数の設定は，データ・バッファを介して CGP データ・レジスタ（CGPR：周辺アドレス 20H 番地）により行います。

18.4 を参照してください。

18.2.3 クロック生成ブロック

クロック生成ブロックは，VDP 機能のデューティおよび SG 機能の周波数を設定するための基本クロックを生成します。

生成されるクロック周波数 f_{CGP} は 18 kHz です。

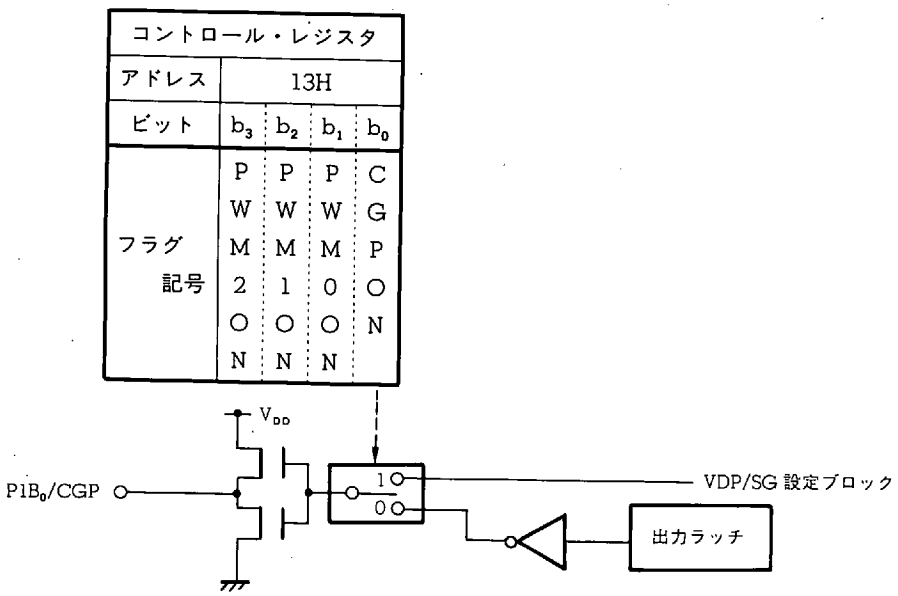
18.4 を参照してください。

18.3 出力切り替えブロック

18.3.1 出力切り替えブロックの構成

図 18 - 2 に出力切り替えブロックの構成を示します。

図 18 - 2 出力切り替えブロックの構成



18.3.2 出力切り替えブロックの機能

出力切り替えブロックは，汎用出力ポートとクロック・ジェネレータ・ポートの選択を行うブロックです。

汎用出力ポートと CGP の切り替えは, PWM モード・セレクト・レジスタの CGPON フラグにより設定します。

18.3.3 に PWM モード・セレクト・レジスタの構成と機能を示します。

18.3.3 PWM モード・セレクト・レジスタ（PWMMODE）の構成と機能

PWM モード・セレクト・レジスタは，D/A コンバータおよびクロック・ジェネレータ・ポートとして使用する端子を設定します。

次に構成と機能を設定します。

D/A コンバータ については“**17. D/A コンバータ（DAC）**”を参照してください。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
PWM モード・セレクト・レジスタ (PWMMODE)	PWM2ON	PWM1ON	PWM0ON	CGPON	13H	R/W

CGPON

汎用出力ポートとクロック・ジェネレータ・ポートの選択	
0	$P1C_0$/CGP 端子を汎用出力ポートとして使用
1	$P1C_0$/CGP 端子をクロック・ジェネレータ・ポートとして使用

PWM0ON

汎用出力ポートと D/A コンバータ（PWM 出力）の選択	
0	$P1C_1/PWM_0$ 端子を汎用出力ポートとして使用
1	$P1C_1/PWM_0$ 端子を D/A コンバータとして使用

PWM1ON

汎用出力ポートと D/A コンバータ（PWM 出力）の選択	
0	$P1C_2/PWM_1$ 端子を汎用出力ポートとして使用
1	$P1C_2/PWM_1$ 端子を D/A コンバータとして使用

PWM2ON

汎用出力ポートと D/A コンバータ（PWM 出力）の選択	
0	$P1C_3/PWM_2$ 端子を汎用出力ポートとして使用
1	$P1C_3/PWM_2$ 端子を D/A コンバータとして使用

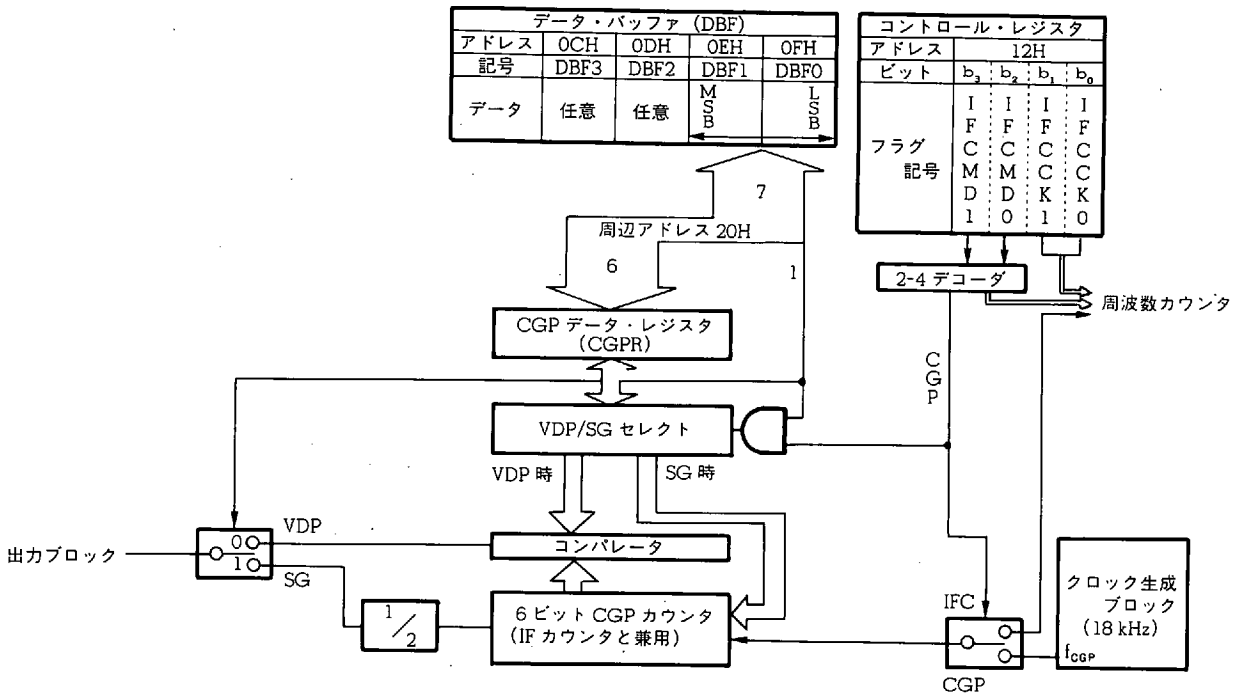
リセット時	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	保　持			

18.4 VDP/SG 設定ブロックおよびクロック生成ブロック

18.4.1 VDP/SG 設定ブロックおよびクロック生成ブロックの構成

図 18 - 3 に VDP/SG 設定ブロックおよびクロック生成ブロックの構成を示します。

図 18 - 3 VDP/SG 設定ブロックおよびクロック生成ブロックの構成



18.4.2 クロック生成ブロックの機能と動作

クロック生成ブロックは, VDP 機能のデューティおよび SG 機能の周波数を設定するための基本クロック (f_{CGP}) を出力します。

出力される周波数は 18 kHz です。

18.4.3 VDP/SG 設定ブロックの機能と動作

VDP/SG 設定ブロックは，VDP 機能と SG 機能の選択および，VDP 機能のデューティと SG 機能の周波数を設定します。

VDP/SG 設定ブロックの 6 ビット・カウンタ（CGP カウンタ）は後述する IF カウンタと兼用しているため，IF カウンタ・モード・セレクト・レジスタ（IFCMODE：RF アドレス 12H 番地）により CGP 機能と周波数カウンタのどちらか一方の機能を選択します（**18.4.4** 参照）。

次の（1）および（2）に，VDP 機能および SG 機能時の動作を示します。

CGP データ・レジスタ（**18.4.5** 参照）へのデータ設定は，データ・バッファを介して行います。

18.4.6 に VDP および SG 機能時の出力波形を示します。

また **18.4.7** に CGP データ・レジスタの設定値と VDP のデューティおよび SG の周波数一覧を示します。

（1）VDP 機能時

VDP 機能時は，CGP データ・レジスタの上位 6 ビットに設定された値と，CGP カウンタでカウントされた基本クロック（f_{CGP}）の値を比較して，CGP データ・レジスタの値が大きければハイ・レベルを出力し，CGP データ・レジスタの値が小さければロウ・レベルを出力します。

すなわち，CGP データ・レジスタに設定された値が "x" であると，デューティ D_{VDP} は以下のようになります。

$$\text{デューティ}：D_{VDP} = \frac{x+2}{67} \times 100\,\%$$

"2" はオフセット分であり，x=0 のときでもパルスが出力されます。

また，基本クロックは 18 kHz であるため出力信号の周波数 f_{VDP} と周期 t_{VDP} は以下のようになります。

$$\text{周波数：}\quad f_{VDP} = \frac{18\,\text{kHz}}{67} = 268.7\,\text{Hz}$$

$$\text{周期：}\quad t_{VDP} = \frac{67}{18\,\text{kHz}} = 3722.2\,\mu\text{s}$$

（2）SG 機能時

SG 機能時は，CGP データ・レジスタの上位 6 ビットに設定された値を，CGP カウンタにより基本クロック（f_{CGP}）をカウントして，"0" になると信号を出力します。

すなわち，CGP データ・レジスタに設定された値が "x" であると，出力周波数 f_{SG} は以下のようになります。

$$\text{周波数：}\quad f_{SG} = \frac{18}{2(x+2)}\,\text{kHz}$$

"2" はオフセット分であり，x=0 のときでもパルスが出力されます。

また，1/2 分周器のため，デューティ D_{SG} は以下のように 50 %になります。

$$\text{デューティ：}D_{SG} = 50\,\%$$

18.4.4 IF カウンタ・モード・セレクト・レジスタ（IFCMODE）の構成と機能

IF カウンタ・モード・セレクト・レジスタは周波数カウンタ（IF カウンタおよび外部ゲート・カウンタ）およびクロック・ジェネレータ・ポートの機能を設定します。

次に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
IF カウンタ・モード・セレクト・レジスタ (IFCMODE)	IFCMD1	IFCMD0	IFCCK1	IFCCK0	12H	R/W

IFCCK1	IFCCK0	IF カウンタのゲート時間	外部ゲート・カウンタの基準周波数
0	0	1 ms	1 kHz
0	1	4 ms	100 kHz
1	0	8 ms	900 kHz
1	1	オープン	0 kHz

IF カウンタのゲート時間および外部ゲート・カウンタの基準周波数を設定

IFCMD1	IFCMD0	IF カウンタ，外部ゲート・カウンタ（FCG）およびクロック・ジェネレータ・ポート（CGP）の機能を選択
0	0	クロック・ジェネレータ・ポート（CGP）
0	1	IF カウンタ（FMIFC）
1	0	IF カウンタ（AMIFC）
1	1	外部ゲート・カウンタ（FCG）

リセット時	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	保　持			

周波数カウンタ機能とクロック・ジェネレータ・ポート機能は同時に使用できません。

クロック・ジェネレータ・ポートを使用するときは IFCMD1，IFCMD0 フラグを“0”に指定します。

また，IFCMD1，IFCMD0 フラグを“0”に指定したあとに出力切り替えブロックの CGPON フラグも“1”にセットする必要があります。

18.4.5 CGP データ・レジスタの構成と機能

CGP データ・レジスタの構成と機能を示します。

CGP データ・レジスタは, VDP 機能と SG 機能の選択および, VDP 機能時のデューティとSG 機能時の周波数を設定します。

名　称	データ・バッファ			
記　号	DBF 3	DBF 2	DBF 1	DBF 0
アドレス	0 CH	0 DH	0 EH	0 FH
ビット	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0
データ	任　意	任　意	転送データ	

8

GET 可
PUT 可

周辺レジスタ											
名　称	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0	記　号	周辺アドレス	周辺ハードウエア
CGP データ・レジスタ	有効データ							0	CGPR	20 H	クロック・ジェネレータ・ポート (CGP)

"0" 固定

SG 機能と VDP 機能の選択

0	VDP 機能
1	SG 機能

VDP 機能のデューティおよび SG 機能の周波数を設定

0
x
63

VDP 機能

デューティ：$D = \frac{x+2}{67} \times 100\ \%$

周波数：$f = 269\ \mathrm{Hz}$

SG 機能

周波数：$f = \frac{18}{2(x+2)}\ \mathrm{kHz}$

デューティ：$D = 50\ \%$

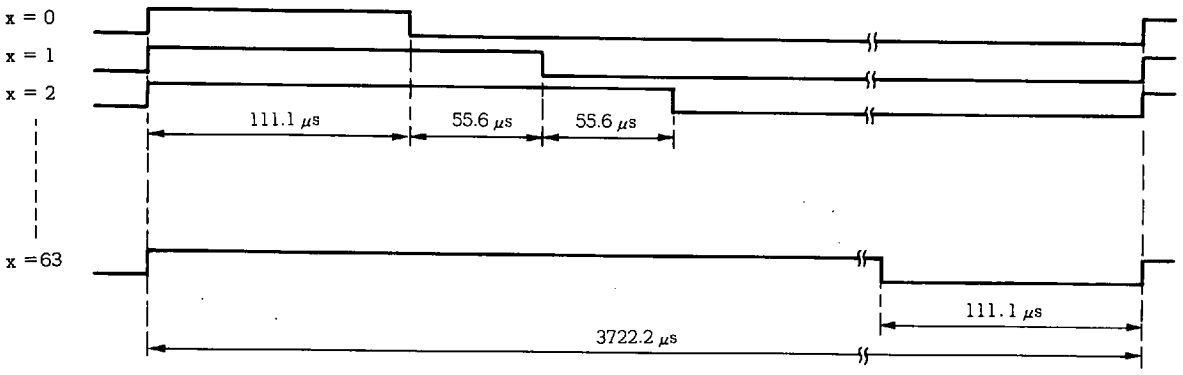
CGP カウンタは **20. 周波数カウンタ (FC)** で述べる IF カウンタの上位 6 ビットと兼用しています。
したがって周波数カウンタ機能とクロック・ジェネレータ・ポート機能は同時に使用できません。
詳しくは **18.7** を参照してください。

18.4.6 VDP および SG 機能時の出力波形

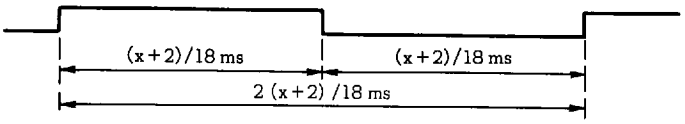
(1) に VDP 機能時のデューティと出力波形の関係を示します。

また (2) に SG 機能時の出力波形を示します。

(1) VDP 機能時のデューティと出力波形

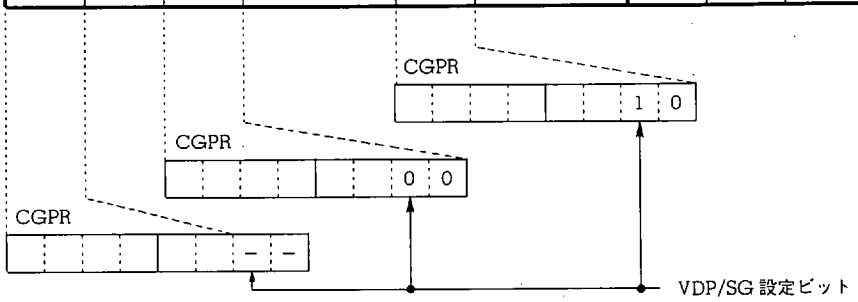


(2) SG 機能時の出力波形



18.4.7 CGP データ・レジスタ（CGPR）の設定値と VDP のデューティおよび SG の周波数一覧

CGPR 設定データ（上位 6ビット）		VDP 機能時のデューティ		SG 機能時の周波数		CGPR 設定データ（上位 6ビット）		VDP 機能時のデューティ		SG 機能時の周波数	
10 進 (DEC)	16 進 (HEX)	16 進		16 進	(Hz)	10 進 (DEC)	16 進 (HEX)	16 進		16 進	(Hz)
0	00H	00H	2/67	02H	4500.000	32	20H	80H	34/67	82H	264.706
1	01H	04H	3/67	06H	3000.000	33	21H	84H	35/67	86H	257.143
2	02H	08H	4/67	0AH	2250.000	34	22H	88H	36/67	8AH	250.000
3	03H	0CH	5/67	0EH	1800.000	35	23H	8CH	37/67	8EH	243.243
4	04H	10H	6/67	12H	1500.000	36	24H	90H	38/67	92H	236.842
5	05H	14H	7/67	16H	1285.714	37	25H	94H	39/67	96H	230.769
6	06H	18H	8/67	1AH	1125.000	38	26H	98H	40/67	9AH	225.000
7	07H	1CH	9/67	1EH	1000.000	39	27H	9CH	41/67	9EH	219.512
8	08H	20H	10/67	22H	900.000	40	28H	A0H	42/67	A2H	214.286
9	09H	24H	11/67	26H	818.182	41	29H	A4H	43/67	A6H	209.302
10	0AH	28H	12/67	2AH	750.000	42	2AH	A8H	44/67	AAH	204.545
11	0BH	2CH	13/67	2EH	692.308	43	2BH	ACH	45/67	AEH	200.000
12	0CH	30H	14/67	32H	642.857	44	2CH	B0H	46/67	B2H	195.652
13	0DH	34H	15/67	36H	600.000	45	2DH	B4H	47/67	B6H	191.489
14	0EH	38H	16/67	3AH	562.500	46	2EH	B8H	48/67	BAH	187.500
15	0FH	3CH	17/67	3EH	529.412	47	2FH	BCH	49/67	BEH	183.673
16	10H	40H	18/67	42H	500.000	48	30H	C0H	50/67	C2H	180.000
17	11H	44H	19/67	46H	473.684	49	31H	C4H	51/67	C6H	176.471
18	12H	48H	20/67	4AH	450.000	50	32H	C8H	52/67	CAH	173.077
19	13H	4CH	21/67	4EH	428.571	51	33H	CCH	53/67	CEH	169.811
20	14H	50H	22/67	52H	409.091	52	34H	D0H	54/67	D2H	166.667
21	15H	54H	23/67	56H	391.304	53	35H	D4H	55/67	D6H	163.636
22	16H	58H	24/67	5AH	375.000	54	36H	D8H	56/67	DAH	160.714
23	17H	5CH	25/67	5EH	360.000	55	37H	DCH	57/67	DEH	157.895
24	18H	60H	26/67	62H	346.154	56	38H	E0H	58/67	E2H	155.172
25	19H	64H	27/67	66H	333.333	57	39H	E4H	59/67	E6H	152.542
26	1AH	68H	28/67	6AH	321.429	58	3AH	E8H	60/67	EAH	150.000
27	1BH	6CH	29/67	6EH	310.345	59	3BH	ECH	61/67	EEH	147.541
28	1CH	70H	30/67	72H	300.000	60	3CH	F0H	62/67	F2H	145.161
29	1DH	74H	31/67	76H	290.323	61	3DH	F4H	63/67	F6H	142.857
30	1EH	78H	32/67	7AH	281.250	62	3EH	F8H	64/67	FAH	140.625
31	1FH	7CH	33/67	7EH	272.727	63	3FH	FCH	65/67	FEH	138.462



18.5 クロック・ジェネレータ・ポートの使用方法

18.5.1 および **18.5.2** に VDP 機能および SG 機能の使用方法を示します。

18.5.1 VDP 機能

以下に VDP 機能のプログラム例を示します。

例に示すように，$P1B_0$/CGP 端子を CGP 出力に設定する命令 "SET1 CGPON" は，CGP データ・レジスタにデータを設定したあとに行ってください。

これは "SET1 CGPON" 命令を先に実行したときにたまたま CGP データ・レジスタの内容が不定であった場合（特にパワーオン・リセット時），不定な信号が出力されてしまうためです。

例 デューティ = 10/67 の信号を出力する

```
VDPDUTY  DAT  20H              ; VDP 機能，デューティ = 10/67 のデータを定義
CLR2     IFCMD1, IFCMD0        ; 6 ビット・カウンタを CGP に設定
MOV      DBF1, #VDPDUTY SHR 4 AND 0FH
MOV      DBF0, #VDPDUTY AND 0FH
PUT      CGPR, DBF             ; CGP データ・レジスタに VDP 機能とデューティを設定
SET1     CGPON                 ; P1B0/CGP 端子を CGP 出力に設定
                               ; この命令は CGP データ・レジスタにデータを設定したあとに行
                               ; ってください。
```

18.5.2 SG 機能

以下に SG 機能のプログラム例を示します。

SG 機能を使用する場合も前項の例と同様に，$P1B_0$/CGP 端子を CGP 出力に設定する命令 "SET1 CGPON" は，CGP データ・レジスタにデータを設定したあとに行ってください。

これは "SET1 CGPON" 命令を先に実行したときにたまたま CGP データ・レジスタの内容が不定であった場合（特にパワーオン・リセット時），不定な信号が出力されてしまうためです。

例 周波数 = 900 Hz の信号を出力する

```
SGFRQ    DAT  22H              ; SG 機能，周波数=900 Hz のデータを設定
CLR2     IFCMD1, IFCMD0        ; 6 ビット・カウンタを CGP に設定
MOV      DBF1, #SGFRQ SHR 4 AND 0FH
MOV      DBF0, #SGFRQ AND 0FH
PUT      CGPR, DBF             ; CGP データ・レジスタに SG 機能と周波数を設定
SET1     CGPON                 ; P1B0/CGP 端子を CGP 出力に設定
                               ; この命令は CGP データ・レジスタにデータを設定したあとに行
                               ; ってください。
```

18.6 リセット時の状態

18.6.1 パワーオン・リセット時

CGPON フラグがリセットされるため $P1B_0$/CGP 端子は汎用出力ポートに指定されます。

出力ポートのラッチの値は“不定”のため不定なデータが出力されます。

CGP データ・レジスタの値は“不定”になります。

18.6.2 クロック・ストップ時

CGPON フラグがリセットされるため $P1B_0$/CGP 端子は汎用出力ポートに指定されます。

出力ポートのラッチの値は“以前の出力ラッチの内容”になり，ラッチの値を出力します。

CGP データ・レジスタの値は以前の値を保持します。

18.6.3 CE リセット時

$P1B_0$/CGP 端子は以前の出力状態をそのまま保持します。

18.6.4 ホールト状態時

$P1B_0$/CGP 端子は以前の出力状態をそのまま保持します。

18.7 クロック・ジェネレータ・ポート使用時の注意

クロック・ジェネレータ・ポートのデューティ（VDP 機能時）および周波数（SG 機能時）を設定する 6 ビットの CGP カウンタは，**20. 周波数カウンタ（FC）**で述べる IF カウンタと兼用して使用しています。

したがって，クロック・ジェネレータ・ポートと周波数カウンタを同時に使用することはできません。

クロック・ジェネレータ・ポートとして使用しているときに IF カウンタ・モード・セレクト・レジスタおよび IF カウンタ・データ・レジスタ（IFC：周辺アドレス 43H 番地）のデータを操作すると，**18.7.1** に示す動作を行います。

また，周波数カウンタとして使用しているときに IF カウンタ・モード・セレクト・レジスタおよび CGP データ・レジスタのデータを操作すると，**18.7.2** に示す動作を行います。

18.7.1 クロック・ジェネレータ・ポートとして使用しているとき

(1) IF カウンタ・モード・セレクト・レジスタの IFCMD1 および IFCMD0 フラグを操作したとき

IFCMD1 および IFCMD0 フラグに“0”以外の値を書き込むと，$P1B_0$/CGP 端子は，データを設定した時点でそのときの出力レベルを保持し，CGP 動作を停止します。

再度 IFCMD1，IFCMD0 の両フラグを“0”にリセットすると，CGP 動作を開始します。

(2) IF カウンタ・データ・レジスタを操作したとき

読み込み（GET）および書き込み（PUT）を行っても CGP 動作は影響を受けません。

読み込み時は“不定”な値が読み込まれ，書き込み時は何も変化しません。

ただし，IF カウンタ・データ・レジスタは読み込み専用周辺レジスタであるため，書き込み動作は行わないでください。

18.7.2 周波数カウンタとして使用しているとき

(1) IF カウンタ・モード・セレクト・レジスタの IFCMD1 および IFCMD0 フラグを操作したとき

IFCMD1 および IFCMD0 フラグに“0”を書き込むと，$P1B_0$/CGP 端子は，データを設定した時点でそのときの CGP データ・レジスタの動作を行います。

ただし，CGP 動作を行うためには，PWM モード・セレクト・レジスタの CGPON フラグもセットする必要があります。

再度 IFCMD1，IFCMD0 に以前の値をセットすると，周波数カウンタは動作を継続しますが，カウント値は正確な値になりません。

すなわち，CGP 動作が選択されている間は周波数カウントを行いません。

★ **(2) CGP データ・レジスタを操作したとき**

読み込み（GET）および書き込み（PUT）を行っても，周波数カウンタ動作は影響を受けません。

読み込み時は，以前 CGP 機能を使用していたときに設定した値（CGP 機能を使用していなかった場合は“不定”な値）が読み込まれます。

書き込み時は，DBF1 および DBF0 のビット 3-ビット 1 の内容が，CGP データ・レジスタに書き込まれます。

19. シリアル・インタフェース

シリアル・インタフェースは，外部デバイスとの８ビット単位のシリアル・データ転送に使用します。

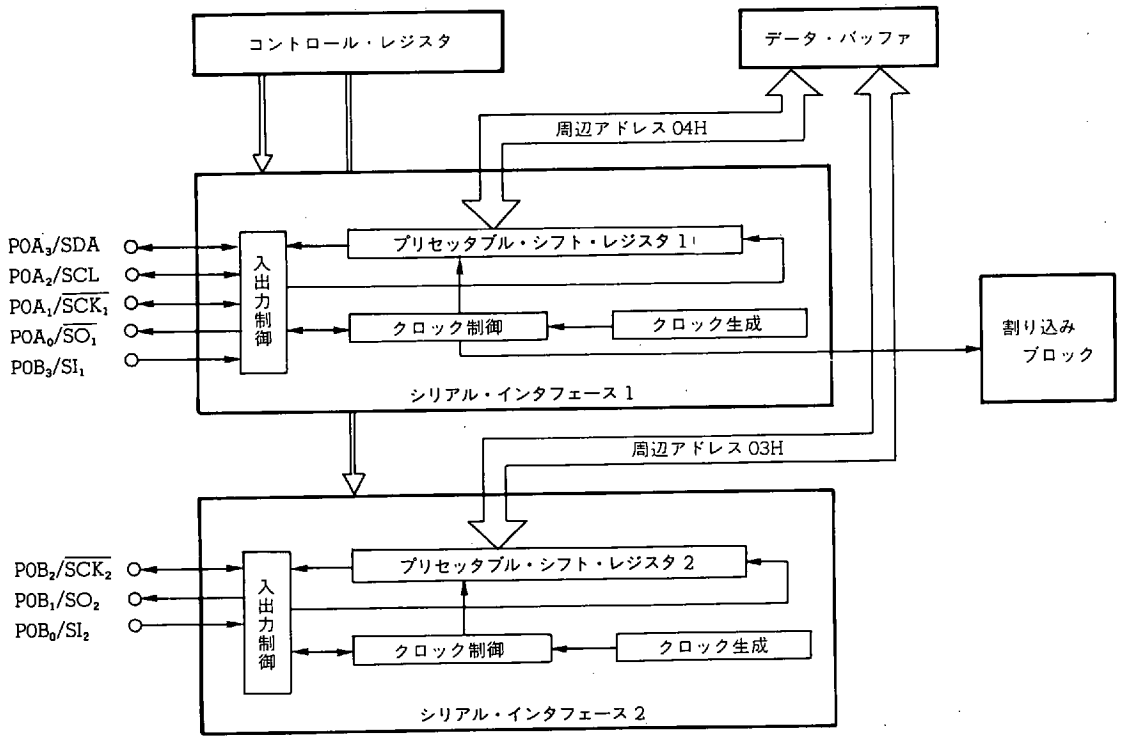
19.1 シリアル・インタフェースの構成

図 19－1 にシリアル・インタフェースのブロック図を示します。

図 19－1 に示すように，シリアル・インタフェースはシリアル・インタフェース 1（SIO1）およびシリアル・インタフェース 2（SIO2）の２系統で構成されています。

シリアル・インタフェース 1 およびシリアル・インタフェース 2 はそれぞれ入出力制御，プリセッタブル・シフト・レジスタ，クロック制御ブロック，クロック生成ブロックおよび割り込みブロックから構成されます。

図 19－1 シリアル・インタフェースのブロック図



★ **19.2 シリアル・インタフェースの機能概略**

表19-1にシリアル・インタフェースの分類および通信方式を示します。

表19-1に示すように，シリアル・インタフェースはシリアル・インタフェース1（SIO1）とシリアル・インタフェース2（SIO2）に分けられます。

シリアル・インタフェース1とシリアル・インタフェース2は同時に使用することができます。

シリアル・インタフェース1は，2線式と3線式が使用できます。2線式は $P0A_3$/SDA 端子と $P0A_2$/SCL 端子を使用し，3線式は $P0A_1/\overline{SCK_1}$ 端子，$P0A_0/SO_1$ 端子と $P0B_3/SI_1$ 端子を使用します。

さらに，2線式は通信方式として I^2C バス方式[注]とシリアルI/O方式を選択できます。

シリアル・インタフェース2は，3線式のみ使用でき，$P0B_2/\overline{SCK_2}$ 端子，$P0B_1/SO_2$ 端子および $P0B_0/SI_2$ 端子を使用します。通信方式はシリアルI/O方式になります。

シリアル・インタフェース1は，コントロール・レジスタのシリアルI/O1モード・セレクト・レジスタ（SIO1MODE：RFアドレス08H），シリアルI/O1ウエイト・コントロール・レジスタ（SIO1WT：RFアドレス18H），シリアルI/O1ステータス・ジャッジ・レジスタ（SIO1STUS：RFアドレス28H），シリアルI/O1インタラプト・モード・レジスタ（SIO1INT：RFアドレス38H）およびシリアルI/O1クロック・セレクト・レジスタ（SIO1CLK：RFアドレス39H）により制御します。

シリアル・インタフェース2は，コントロール・レジスタのシリアルI/O2モード・セレクト・レジスタ（SIO2MODE：REファイル02H）により制御します。

シリアル・インタフェース1およびシリアル・インタフェース2のシリアル・アウト・データの設定やシリアル・イン・データの読み込みは，データ・バッファを介してそれぞれプリセッタブル・シフト・レジスタ1（SIO1SFR：周辺アドレス04H）およびプリセッタブル・シフト・レジスタ2（SIO2SFR：周辺アドレス03H）により行います。

19.3-19.12 にシリアル・インタフェース1を，**19.13-19.21** にシリアル・インタフェース2を説明します。

注 I^2C バス方式を使用した場合（周辺ハードウエアを使用せず，プログラムで実現した場合も含む），マスク発注時に当社販売員に連絡してください。

表19-1 シリアル・インタフェースの分類および通信方式

	ハードウエアによる分類	通信線数	通信方式	使用端子記号
シリアル・インタフェース	シリアル・インタフェース1（SIO1）	2線式	I^2C バス方式	$P0A_3$/SDA $P0A_2$/SCL
			シリアルI/O方式	
		3線式	シリアルI/O方式	$P0A_1/\overline{SCK_1}$ $P0A_0/SO_1$ $P0B_3/SI_1$
	シリアル・インタフェース2（SIO2）	3線式	シリアルI/O方式	$P0B_2/\overline{SCK_2}$ $P0B_1/SO_2$ $P0B_0/SI_2$

19.3 シリアル・インタフェース 1（SIO1）の構成

図 19-2 にシリアル・インタフェース 1 のブロック図を示します。

図 19-2 に示すように，シリアル・インタフェース 1 のシフト・クロック制御部は，クロック入出力端子ブロック，クロック生成ブロック，ウエイト・コントロール・ブロック，クロック・カウント・ブロック，スタート/ストップ検出ブロックおよび割り込み制御ブロックから構成されています。

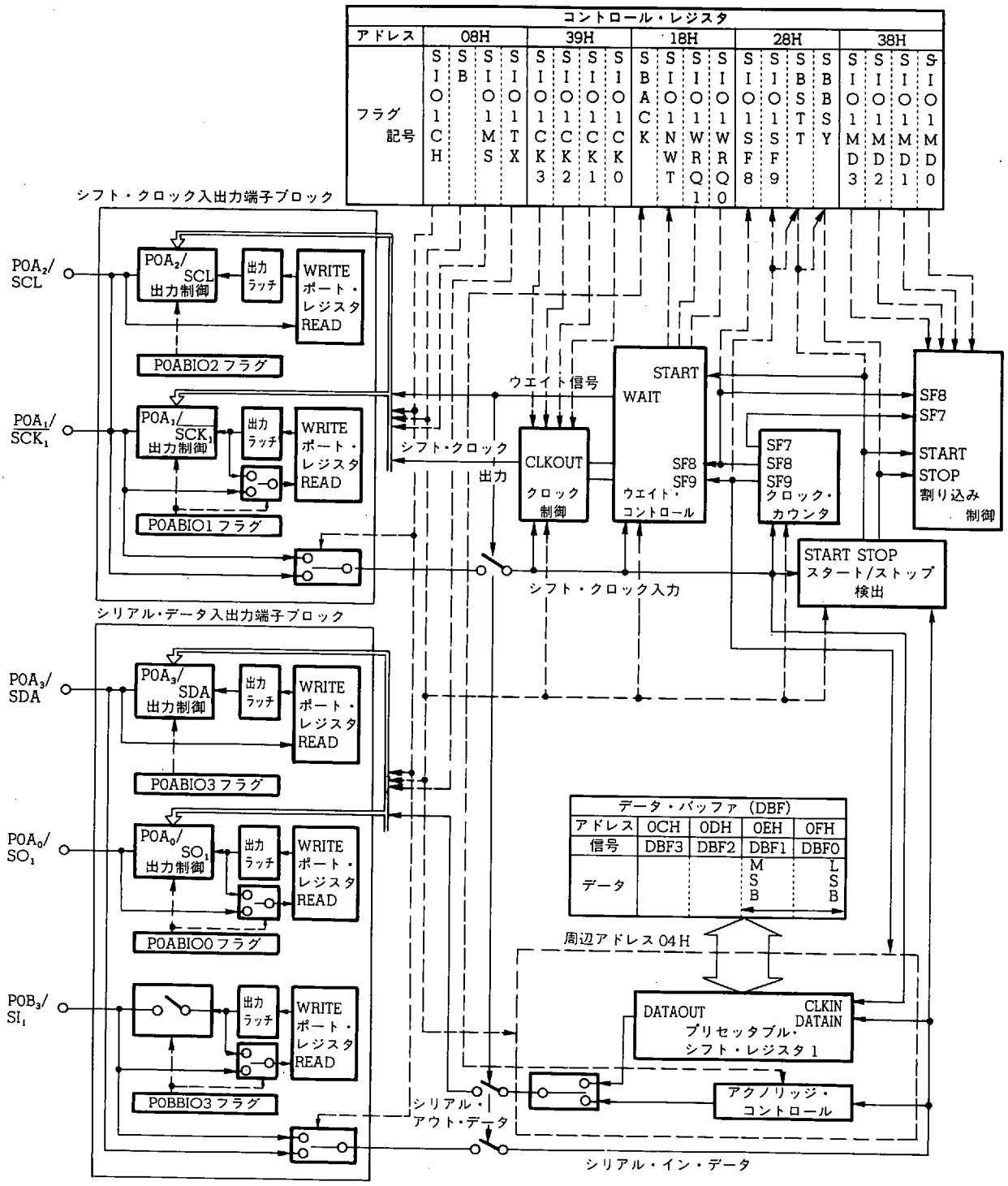
また，シリアル・データ制御部は，シリアル・データ入出力端子ブロック，プリセッタブル・シフト・レジスタおよびアクノリッジ・ブロックから構成されています。

これらの各ブロックは，コントロール・レジスタの各フラグにより制御されます。

また，プリセッタブル・シフト・レジスタ 1 へのデータの書き込みおよびデータの読み込みは，データ・バッファを介して行います。

各ブロックの機能概略を **19.4** に示します。

図 19-2 シリアル・インタフェース 1 のブロック図



19.4 シリアル・インタフェース1の機能概略

シリアル・インタフェース1は，表19-1に示したように2線式と3線式の2チャネルを選択して使用できます。

2線式は，$P0A_3$/SDA端子および$P0A_2$/SCL端子の2端子を使用し，3線式は$P0A_1/\overline{SCK_1}$端子，$P0A_0/SO_1$端子および$P0B_3/SI_1$端子を使用します。

2線式は，通信方式としてI^2Cバス方式とシリアルI/O方式を選択して使用でき，3線式はシリアルI/O方式を使用できます。

I^2Cバス方式およびシリアルI/O方式には，内部クロック（マスタ）動作および外部クロック（スレーブ）動作が選択でき，さらに受信（RX）動作および送信（TX）動作が選択できます。

I^2Cバス方式は，複数のデバイス間のシリアル通信を2本の線で行うことが可能です。

19.4.1 - 19.4.9に，図19-2に示した各ブロックの機能概略を示します。

各ブロックの詳細については**19.5 - 19.10**を参照してください。

19.4.1 シフト・クロック入出力端子ブロック

シフト・クロック入出力端子の選択を行うブロックです。

シフト・クロック入出力端子の選択は，シリアルI/O1モード・セレクト・レジスタにより行います。

19.5を参照してください。

19.4.2 シリアル・データ入出力端子ブロック

シリアル・データ入出力端子の選択を行うブロックです。

シリアル・データ入出力端子の選択は，シリアルI/O1モード・セレクト・レジスタにより行います。

19.5を参照してください。

19.4.3 クロック生成ブロック

シフト・クロックのクロック周波数の選択およびシフト・クロック出力タイミングの制御を行います。

クロック周波数の選択は，シリアルI/O1クロック・セレクト・レジスタにより行います。

19.6を参照してください。

19.4.4 クロック・カウンタ

シフト・クロック出力端子から出力されたクロックの立ち上がりを計数し，7クロック目（SF7信号），8クロック目（SF8信号）および9クロック目（SF9信号）に信号を出力します。

これらの信号は，シリアル通信のウエイト（休止）および割り込み制御に使用します。

8クロック（SF8）および9クロック（SF9）の信号は，シリアルI/O1ステータス・ジャッジ・レジスタにより検出できます。

19.7を参照してください。

19.4.5 スタート/ストップ検出ブロック

I^2Cバス方式を使用するときのスタートおよびストップ条件の検出を行います。

シリアルI/O方式を使用する場合は動作しません。

スタートおよびストップ条件は，シリアルI/O1ステータス・ジャッジ・レジスタのSBSTTおよびSBBSYフラグにより検出できます。

19.7を参照してください。

19.4.6 プリセッタブル・シフト・レジスタ 1（SIO1SFR）

シリアル・アウト・データの設定およびシリアル・イン・データの格納を行うシフト・レジスタです。

シフト・クロック入力端子のクロック入出力によりシフト動作を行いデータを入出力します。

出力データの設定および入力データの読み込みは，データ・バッファを介して行います。

19.8 を参照してください。

19.4.7 ウエイト・コントロール・ブロック

シリアル通信のウエイト（休止）およびウエイト解除（通信動作）を制御します。

ウエイト条件の設定はシリアル I/O1 ウエイト・コントロール・レジスタの SIO1WRQ1 および SIO1WRQ0 フラグにより行い，ウエイト解除の設定は SIO1NWT フラグにより行います。

19.9 を参照してください。

19.4.8 アクノリッジ・ブロック

I^2C バス方式を使用するときの応答信号（アクノリッジ）を制御します。

シリアル I/O 方式を使用する場合は動作しません。

アクノリッジの設定および読み込みはシリアル I/O1 ウエイト・コントロール・レジスタの SBACK フラグにより行います。

19.9 を参照してください。

19.4.9 割り込み制御ブロック

クロック・カウンタおよびスタート/ストップ検出ブロックからの信号により割り込み要求を発行します。

割り込み要求を発行する条件は，シリアル I/O1 インタラプト・モード・レジスタの SIO1IMD3 - SIO1IMD0 フラグにより行います。

19.10 を参照してください。

19.5 シフト・クロックおよびシリアル・データ入出力端子制御ブロック

シフト・クロックおよびデータ入出力端子制御ブロックは，シリアル・インタフェース1の通信方法（I^2Cバス方式，シリアルI/O方式），使用端子（2線式，3線式）および送受信動作を制御します。

これらの制御はシリアルI/O1モード・セレクト・レジスタにより行います（**19.5.1**参照）。

また，**19.5.2**にシリアルI/O1モード・セレクト・レジスタによる各端子の設定状態を示します。

19.5.1 シリアルI/O1モード・セレクト・レジスタ（SIO1MODE）の構成と機能 ★

名称	フラグ記号 b_3	b_2	b_1	b_0	アドレス	Read/Write
シリアルI/O1モード・セレクト・レジスタ (SIO1MODE)	SIO1CH	SB	SIO1MS	SIO1TX	08H	R/W

2線式の$P0A_3$/SDA端子および$P0A_0$/SO_1端子のシリアル入出力を設定（送信"TX"動作または受信"RX"動作の選択）

	2線式（$P0A_3$/SDA端子）	3線式（$P0A_0$/SO_1端子）
0	シリアル入力（Hi-Z）：RX動作	汎用ポート
1	シリアル出力：TX動作	シリアル出力：TX動作

シフト・クロックの方向を設定

	I^2Cバス方式	シリアルI/O方式
0	スレーブ動作（外部クロック入力）	外部クロック入力
1	マスタ動作（内部クロック出力）	内部クロック出力

使用端子および通信方式の選択

0	0	2線式シリアルI/O方式
0	1	I^2Cバス方式
1	0	3線式シリアルI/O方式
1	1	設定禁止

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

19.5.2 シリアルI/O1モード・セレクト・レジスタによる各端子の設定状態

表19-2にシリアルI/O1モード・セレクト・レジスタによる各端子の設定状態を示します。

表19-2に示すように，各端子の設定は各端子のI/Oセレクト・フラグを操作する必要もあります。

I/Oセレクト・フラグについての詳細は，"**15. 汎用ポート**"を参照してください。

表 19-2 シリアル I/O1 モード・セレクト・レジスタによる各端子の設定状態

SIO1MODE							端子						
b_3	b_2		b_1		b_0			各端子の I/O セレクト・フラグ					
SIO1CH	SB	通信方式	SIO1MS	クロックの方向	SIO1TX	シリアル入出力	端子記号	P0ABIO3	P0ABIO2	P0ABIO1	P0ABIO0	P0BBIO3	端子の設定状態
0	0	2線式 シリアル I/O			0	入力(受信)	$P0A_3/SDA$	0					シリアル入力 (Hi-Z)
								1					汎用出力ポート
					1	出力(送信)		0					シリアル出力
								1					
			0	外部			$P0A_2/SCL$		0				外部クロック (Hi-Z)
									1				汎用出力ポート
			1	内部					0				内部クロック
									1				
							$P0A_1/\overline{SCK_1}$						汎用入出力ポート
							$P0A_0/SO_1$						汎用入出力ポート
							$P0B_3/SI_1$						汎用入出力ポート
0	1	I^2C バス			0	入力(受信)	$P0A_3/SDA$	0					シリアル入力 (受信：Hi-Z)
								1					汎用出力ポート
					1	出力(送信)		0					シリアル出力 (送信)
								1					
			0	外部 (スレーブ)			$P0A_2/SCL$		0				外部クロック (スレーブ)
									1				汎用出力ポート
			1	内部 (マスタ)					0				内部クロック (マスタ)
									1				
							$P0A_1/\overline{SCK_1}$						汎用入出力ポート
							$P0A_0/SO_1$						汎用入出力ポート
							$P0B_3/SI_1$						汎用入出力ポート
1	0	3線式 シリアル I/O					$P0A_3/SDA$						汎用入出力ポート
							$P0A_2/SCL$						汎用入出力ポート
			0	外部			$P0A_1/\overline{SCK_1}$			0			外部クロック
										1			汎用出力ポート
			1	内部						0			内部クロック
										1			
					0	入力(受信)	$P0A_0/SO_1$				0		汎用入力ポート
											1		汎用出力ポート
					1	出力(送信)					0		シリアル出力
											1		
							$P0B_3/SI_1$					0	シリアル入力
												1	汎用出力ポート
1	1						設定禁止						

19.6 クロック生成ブロック

クロック生成ブロックは，内部クロック使用時（マスタ動作）のクロックの生成およびクロック出力タイミングの制御を行います。

内部クロックの周波数 f_{SC} は，シリアル I/O1 クロック・セレクト・レジスタにより設定します（**19.6.1** 参照）。

クロック生成ブロックから出力されるシフト・クロックは，マスタ動作（SIO1MS＝1）時のみ有効になります。

シフト・クロックは，後述するウエイト条件によりシリアル通信がウエイトするまで，連続して出力されます。

19.6.2 および **19.6.3** に各通信方式時のクロック出力波形および生成タイミングを示します。

19.6.1 シリアル I/O1 クロック・セレクト・レジスタ（SIO1CLK）の構成と機能

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
シリアル I/O1 クロック・セレクト・レジスタ (SIO1CLK)	SIO1CK3	SIO1CK2	SIO1CK1	SIO1CK0	39H	R/W

シリアル・インタフェース 1 の内部シフト・クロック周波数 f_{SC} を設定

0	0	75 kHz
0	1	225 kHz
1	0	150 kHz
1	1	450 kHz

“0” 固定

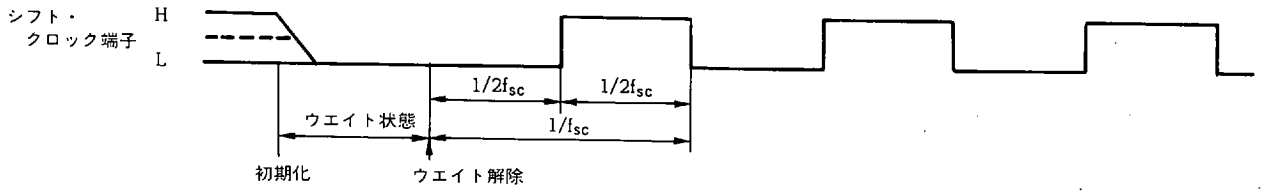
リセット時				
	パワーオン	0	0	不定
	クロック・ストップ	↓	↓	保持
	CE	↓	↓	保持

19.6.2 I²C バス方式時のシフト・クロック生成タイミング

(1) 初期状態からのウエイト解除時

初期状態とは I²C バス方式のマスタ動作を選択した時点を指します。

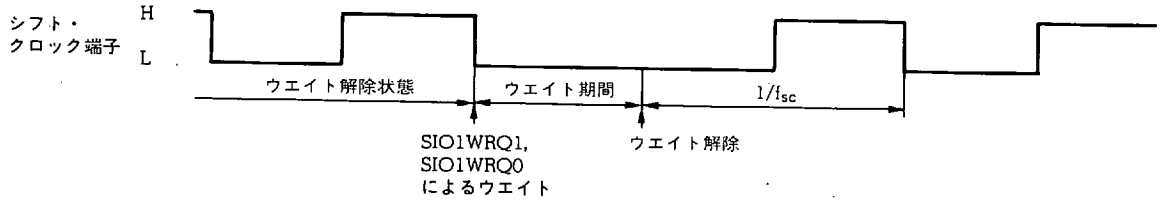
ウエイト状態中はシフト・クロック端子（$P0A_2$/SCL 端子）にロウ・レベルを出力します。



(2) ウエイト動作を行ったとき

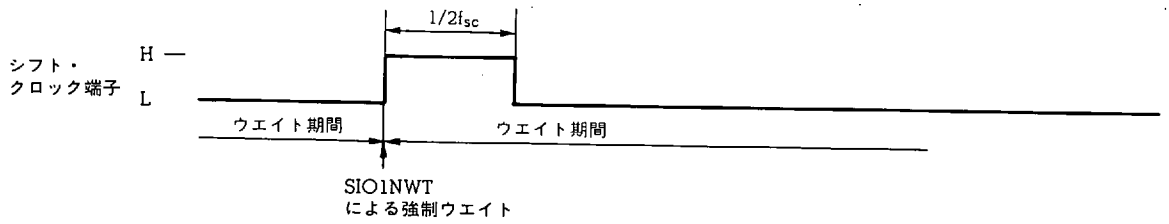
ウエイト動作については **19.9** を参照してください。

(a) SIO1WRQ0 および SIO1WRQ1 フラグの条件でウエイトしたとき（通常動作）



(b) ウエイト中に強制ウエイトしたとき

このときクロックが 1 パルス出力されてしまいます（ただし，クロック・カウンタ，プリセッタブル・シフト・レジスタ 1 は動作しません）。

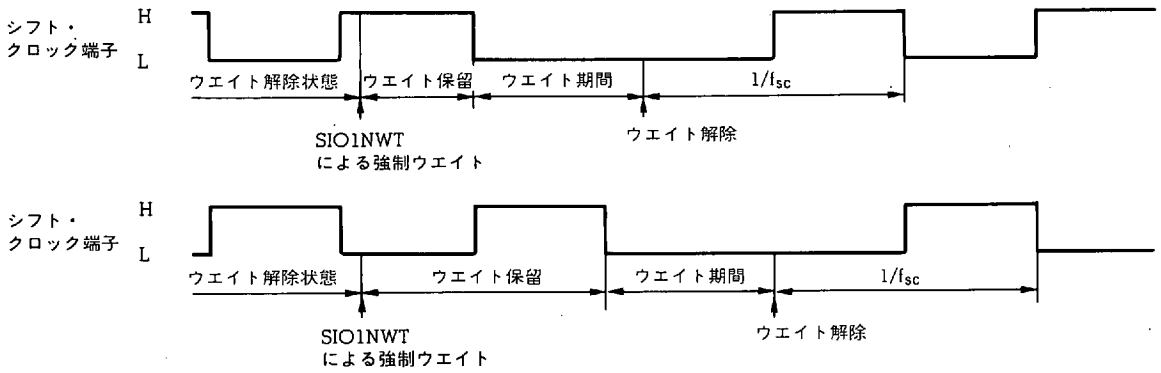


(c) ウエイト解除中に強制ウエイトしたとき

このときは強制ウエイトが行われた次のクロックの立ち下がりでウエイト状態になります。

ただし，強制ウエイトが行われた時点でクロック・カウンタおよびプリセッタブル・シフト・レジスタ1は動作を停止します。

またシフト・クロック端子がロウ・レベルの時に強制ウエイトを行うと，クロック・カウンタ，プリセッタブル・シフト・レジスタ1が1パルス分動作してしまいます。



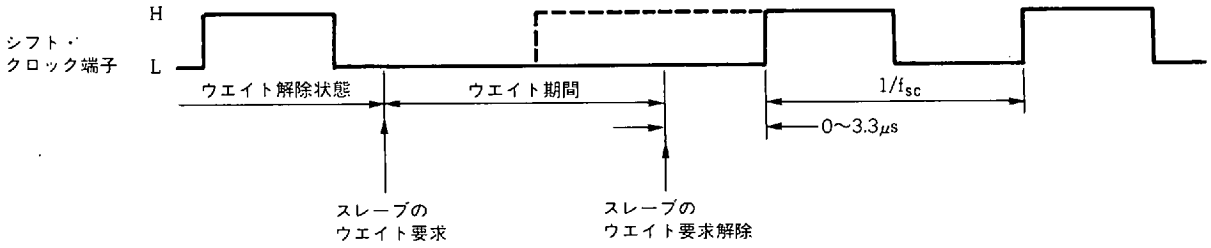
(d) ウエイト解除中にウエイト解除したとき

このときは何も変化しません。

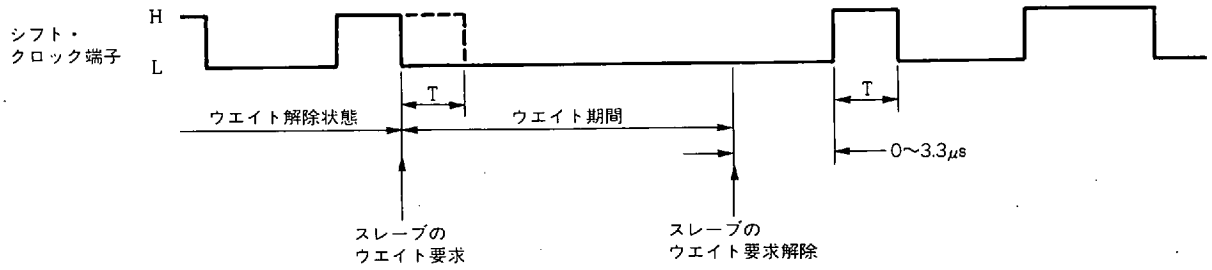
(e) ウエイト解除中にスレーブによるウエイト要求があったとき ★

このときはスレーブのウエイト要求が解除されたあと0-3.3 μs後にクロックを出力します。

• マスタがロウ・レベルを出力しているとき



• マスタがハイ・レベルを出力しているとき

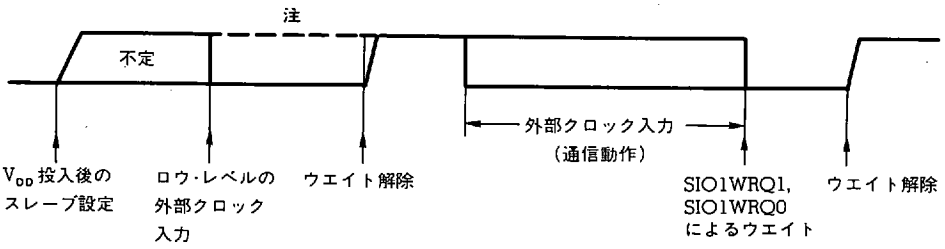


★ (3) スレーブ（外部クロック）動作時

電源電圧 V_{DD} 投入後の最初のスレーブ動作設定時には，シフト・クロック端子の出力が不定となります。

シフト・クロック端子がオフ（外部でプルアップされるので，実際の端子レベルはハイ・レベル）の状態で，ロウ・レベルの外部クロックが入力されると，シフト・クロック端子はウエイトが解除されるまでロウ・レベルを保持します。

ロウ・レベルの外部クロックがない場合には，ハイ・レベルを保持します。



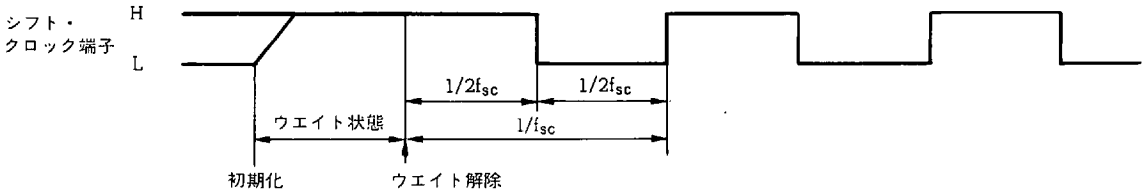
注　ロウ・レベルの外部クロック入力がない場合

19.6.3 シリアル I/O 方式時のシフト・クロック生成タイミング

(1) 初期状態からのウエイト解除時

初期状態とはシリアル I/O 方式の内部クロック動作を選択した時点を指します。

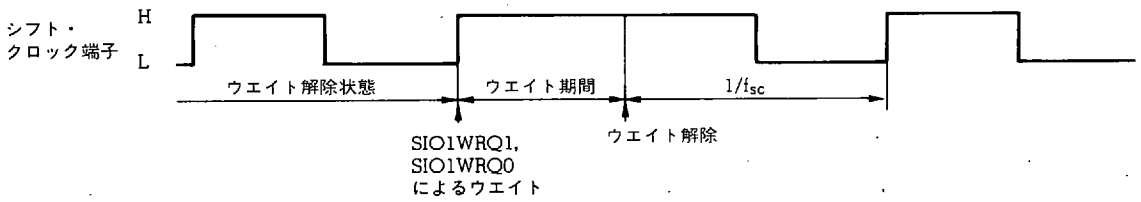
ウエイト状態中はシフト・クロック端子(2 線式の場合は $P0A_2$/SCL 端子, 3 線式の場合は $P0A_1/\overline{SCK_1}$ 端子)にハイ・レベルを出力します。



(2) ウエイト動作を行ったとき

ウエイト動作については **19.9** を参照してください。

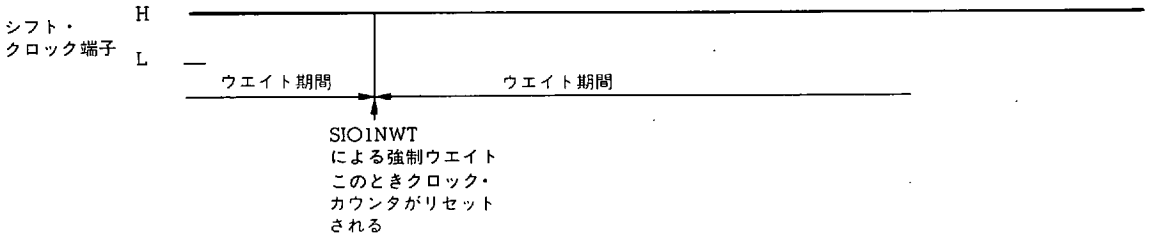
(a) SIO1WRQ0 および SIO1WRQ1 フラグの条件でウエイトしたとき（通常動作）



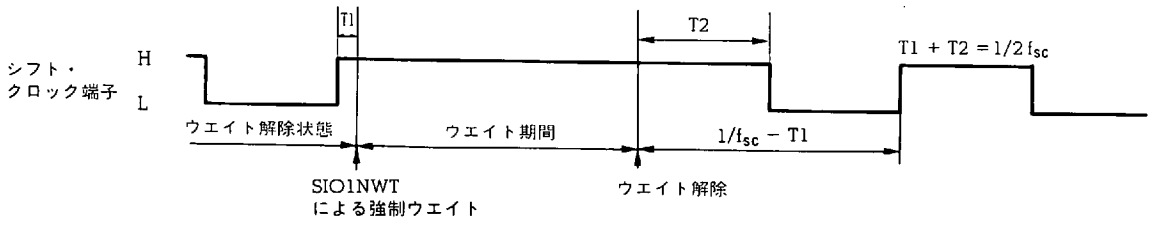
(b) ウエイト中に強制ウエイトしたとき ★

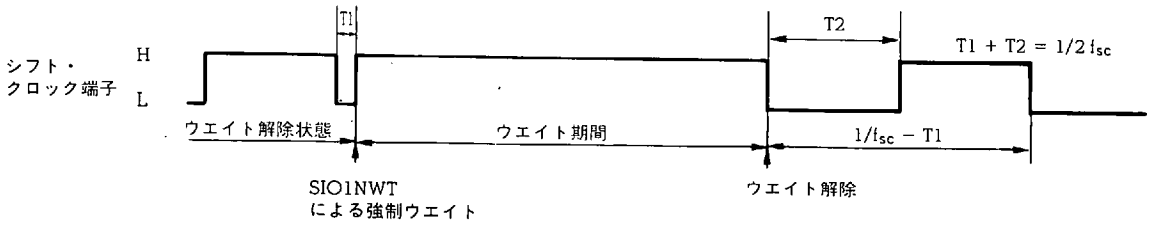
シフト・クロック端子はハイ・レベルを保持します。

ただし，クロック・カウンタはリセットされてしまいますので，注意してください。



★ (c) ウエイト解除中に強制ウエイトしたとき





(d) ウエイト解除中にウエイト解除したとき

この場合はクロック出力波形は変化しません。

ただしクロック・カウンタがリセットされるため注意してください。

19.7 クロック・カウンタおよびスタート/ストップ検出ブロック

クロック・カウンタは，そのとき選択されているシフト・クロック端子（2線式の場合は $P0A_2$/SCL 端子，3線式の場合は $P0A_1/\overline{SCK_1}$ 端子）のクロックを計数するラップ・アラウンド・カウンタです。

クロック・カウンタは，シフト・クロック端子の状態を直接読み込みます。このとき，内部クロックであるのか外部クロックであるのかの判断は行いません。

クロック・カウンタは，シリアル通信のウエイト中には動作しません。

クロック・カウンタの内容は，シリアル I/O1 ステータス・ジャッジ・レジスタの SIO1SF8，SIO1SF9 フラグを介して検出することができますが，直接プログラムで内容を読み込むことはできません。

19.7.1 - 19.7.4 にそれぞれにシリアル I/O1 ステータス・ジャッジ・レジスタの構成と機能，クロック・カウンタの動作およびクロック・カウンタのリセットについて説明します。

スタート/ストップ検出ブロックは，I^2C バス方式使用時のスタート条件およびストップ条件を検出するブロックです。

スタート条件およびストップ条件はシリアル I/O1 ステータス・ジャッジ・レジスタの SBSTT および SBBSY フラグにより検出できます。

19.7.5 に，SBSTT，SBBSY フラグの動作を示します。

19.7.1 シリアル I/O1 ステータス・ジャッジ・レジスタ（SIO1STUS）の構成と機能

シリアル I/O1 ステータス・ジャッジ・レジスタはシリアル・インタフェース 1 のクロック・カウンタおよび I^2C バス方式のスタート/ストップ条件を検出します。

次に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
シリアル I/O1 ステータス・ジャッジ・レジスタ (SIO1STUS)	SIO1SF8	SIO1SF9	SBSTT	SBBSY	28H	R

I^2C バス方式のスタート，ストップ条件の検出

	I^2C バス方式	シリアル I/O 方式
0	ストップ条件を検出するとリセット (0) される	“0” を保持
1	スタート条件を検出するとセット (1) される	

I^2C バス方式のスタート条件およびクロック・カウンタの検出

	I^2C バス方式	シリアル I/O 方式
0	クロック・カウンタが “9” のときのクロックの立ち下がりでリセット (0) される	以前の値を保持 ★
1	スタート条件を検出するとセット (1) される	

シリアル・インタフェース 1 のクロック・カウンタの検出

0	クロック・カウンタが “0” または “1” になるとリセット (0) される
1	クロック・カウンタが “9” になるとセット (1) される

シリアル・インタフェース 1 のクロック・カウンタの検出

0	クロック・カウンタが “0” または “1” になるとリセット (0) される
1	クロック・カウンタが “8” になるとセット (1) される

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

19.7.2 I²Cバス方式時のクロック・カウンタの動作

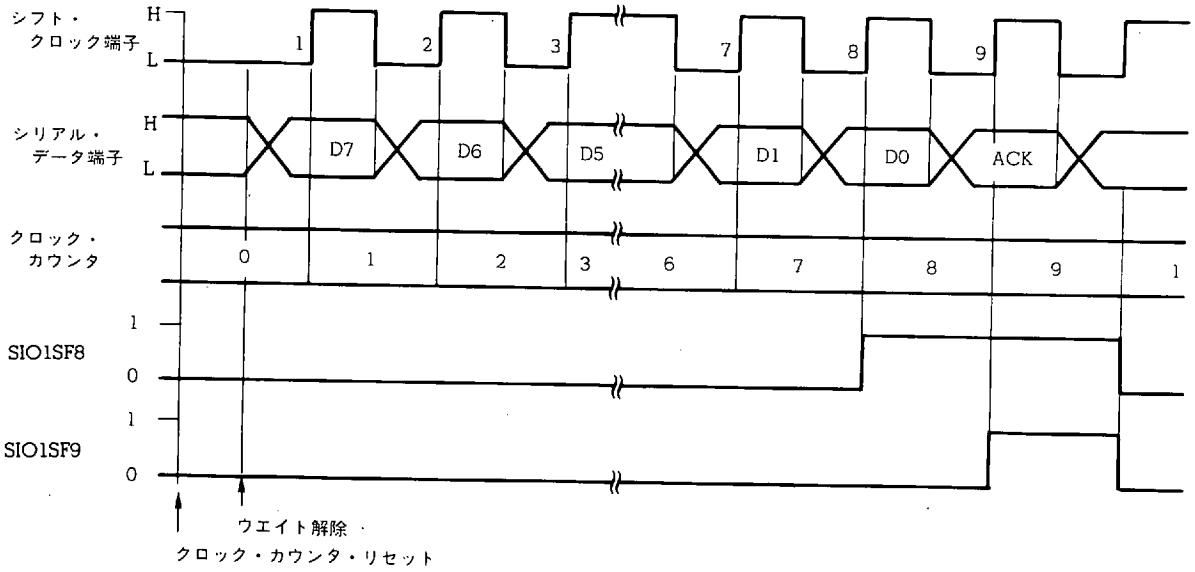
図19-3に，クロック・カウンタの動作を示します。

クロック・カウンタの初期値は“0”で，以後$P0A_2$/SCL端子の立ち上がりが検出されるごとに1ずつインクリメントされ，“9”までカウントされると次は“1”に戻りカウントを続けます。

SIO1SF8およびSIO1SF9は，クロック・カウンタが“8”および“9”になる状態を検出します。

また，これらのフラグはマスタ（内部クロック），スレーブ（外部クロック），受信，送信動作に関係なく動作します。

図19-3 I²Cバス方式時のクロック・カウンタの動作



19.7.3 シリアルI/O方式時のクロック・カウンタの動作

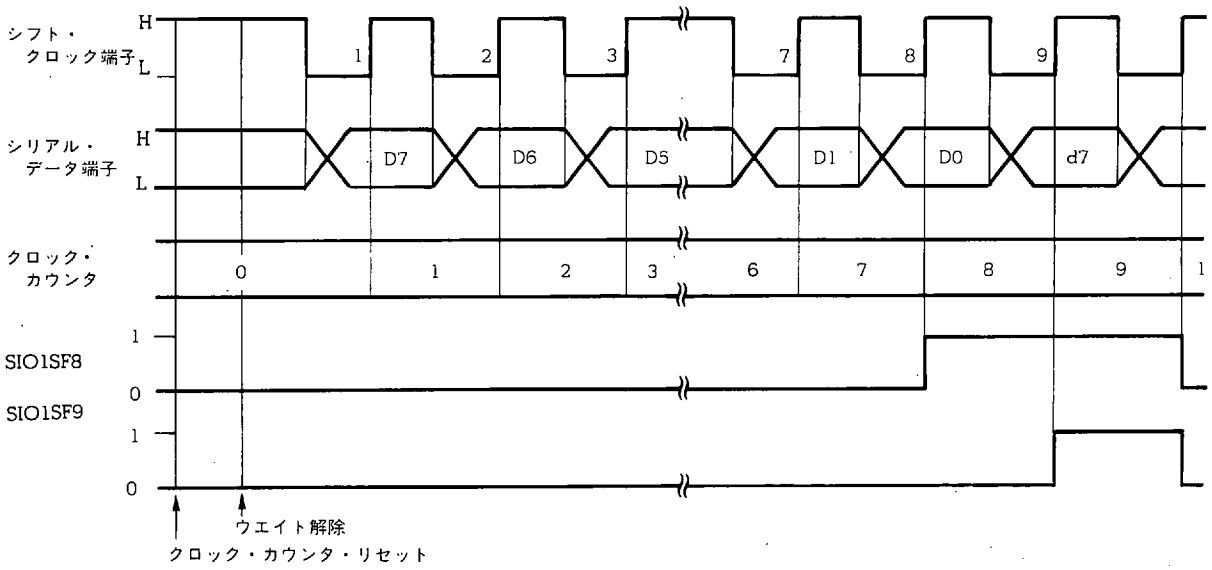
図19-4に，クロック・カウンタの動作を示します。

クロック・カウンタの初期値は“0”で，以後シフト・クロック端子の立ち上がりが検出されるごとに1ずつインクリメントされ，“9”までカウントされると次は“1”に戻りカウントを続けます。 ★

SIO1SF8およびSIO1SF9は，クロック・カウンタが“8”および“9”になる状態を検出します。

また，これらのフラグはマスタ，スレーブ，受信，送信動作に関係なく動作します。

図19-4 シリアルI/O方式時のクロック・カウンタの動作 ★



19.7.4 クロック・カウンタのリセット(0)条件

(1) I²Cバス方式の場合

(a) パワーオン・リセット時

(b) クロック・ストップ命令実行時

(c) スタート条件を検出したとき

(d) 通信方式がI²Cバス方式から2線式および3線式のシリアルI/O方式に切り替えられたとき

(e) CEリセット時 ★

(2) 2線式および3線式シリアルI/O方式の場合

(a) パワーオン・リセット時

(b) クロック・ストップ命令実行時

(c) シリアルI/O1ウエイト・コントロール・レジスタにデータの書き込み動作が行われたとき

(d) 通信方式が2線式および3線式のシリアルI/O方式からI²Cバス方式に切り替えられたとき

(e) CEリセット時 ★

19.7.5 SBSTT および SBBSY フラグの動作

図19－5に SBSTT および SBBSY フラグの動作を示します。

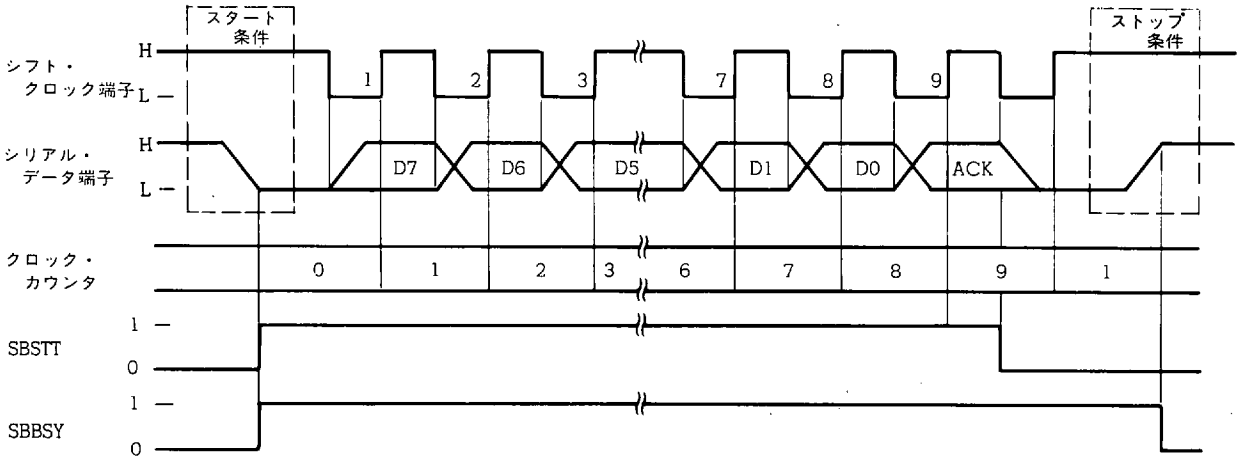
SBSTT および SBBSY フラグは I^2C バス方式使用時のみ動作します。

これらのフラグを検出することにより他局の交信状態を検出することが可能です。

また，これらのフラグはマスタ，スレーブ，受信，送信，ウエイト中，ウエイト解除中に関係なく動作します。

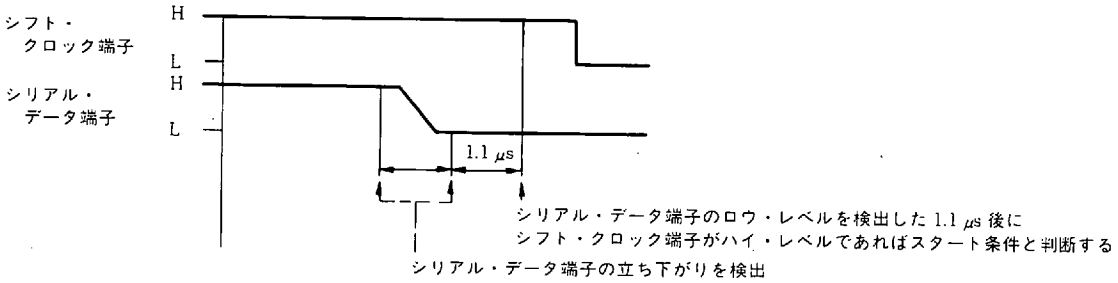
シリアル I/O 方式時は“0”を保持します。

図 19－5 SBSTT，SBBSY フラグの動作

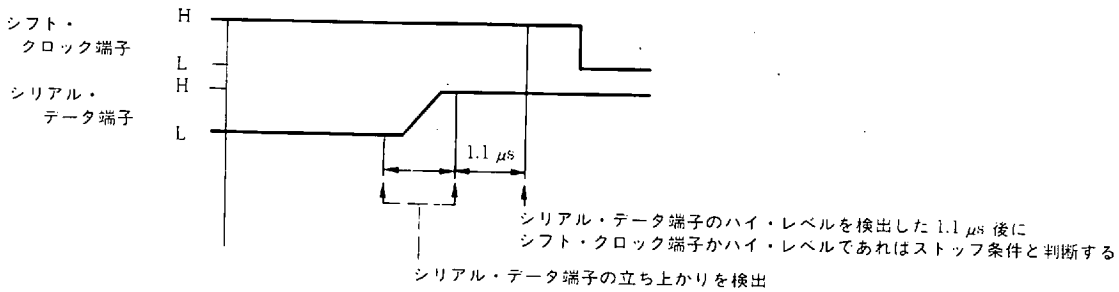


スタート条件およびストップ条件の検出は以下の（1）および（2）に示すタイミングで取り込んでいます。

★ **（1）スタート条件の取り込みタイミング**



★ **（2）ストップ条件の取り込みタイミング**



19.8 プリセッタブル・シフト・レジスタ 1 (SIO1SFR)

プリセッタブル・シフト・レジスタ 1 は，シリアル・アウト・データの書き込みおよびシリアル・イン・データの読み込みを行うための 8 ビットのシフト・レジスタです。

プリセッタブル・シフト・レジスタ 1 へのデータの書き込みおよびデータの読み出しはデータ・バッファを介して "PUT" 命令および "GET" 命令で行います。

19.8.1 にプリセッタブル・シフト・レジスタ 1 の構成とデータ・バッファの関係を示します。

プリセッタブル・シフト・レジスタ 1 のデータ・シフト動作は，そのとき選択されているシフト・クロック端子 (2 線式の場合は $P0A_2$/SCL 端子，3 線式の場合は $P0A_1/\overline{SCK_1}$ 端子) に加えられたクロックに同期して行われます。

このとき，I^2C バス方式であればシフト・クロックの立ち下がりに同期してシリアル・データ端子 ($P0A_3$/SDA 端子) にプリセッタブル・シフト・レジスタ 1 の最上位ビット (MSB) の内容を出力 (送信動作時) し，クロックの立ち上がりに同期してシリアル・データ端子のデータをプリセッタブル・シフト・レジスタ 1 の最下位ビット (LSB) に読み込みます。

19.8.2 および **19.8.3** に，I^2C バス方式およびシリアル I/O 方式時の動作と注意を示します。

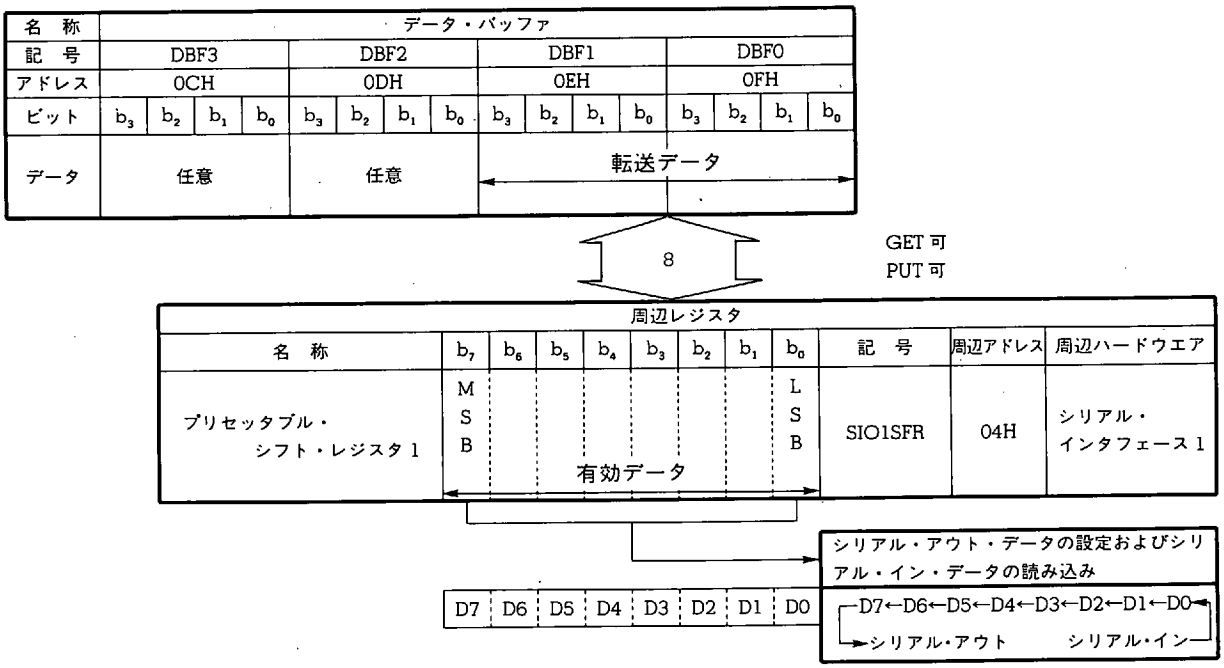
また，**19.8.4** にプリセッタブル・シフト・レジスタ 1 へのデータ書き込みおよびデータ読み込み時の注意を示します。

ウエイト状態中は，プリセッタブル・シフト・レジスタ 1 はデータのシフト動作を行いません。

各シリアル通信方式時の動作の詳細は **19.11** を参照してください。

19.8.1 プリセッタブル・シフト・レジスタ 1 の構成とデータ・バッファの関係

プリセッタブル・シフト・レジスタ 1 の構成とデータ・バッファの関係を示します。



19.8.2 I²Cバス方式時のプリセッタブル・シフト・レジスタ1の動作

図19-6に，I²Cバス方式時のデータ・シフト動作を示します。

また，表19-3に，I²Cバス方式時の受信および送信時のデータ・シフト動作を示します。

★

図19-6 I²Cバス方式時のデータ・シフト動作

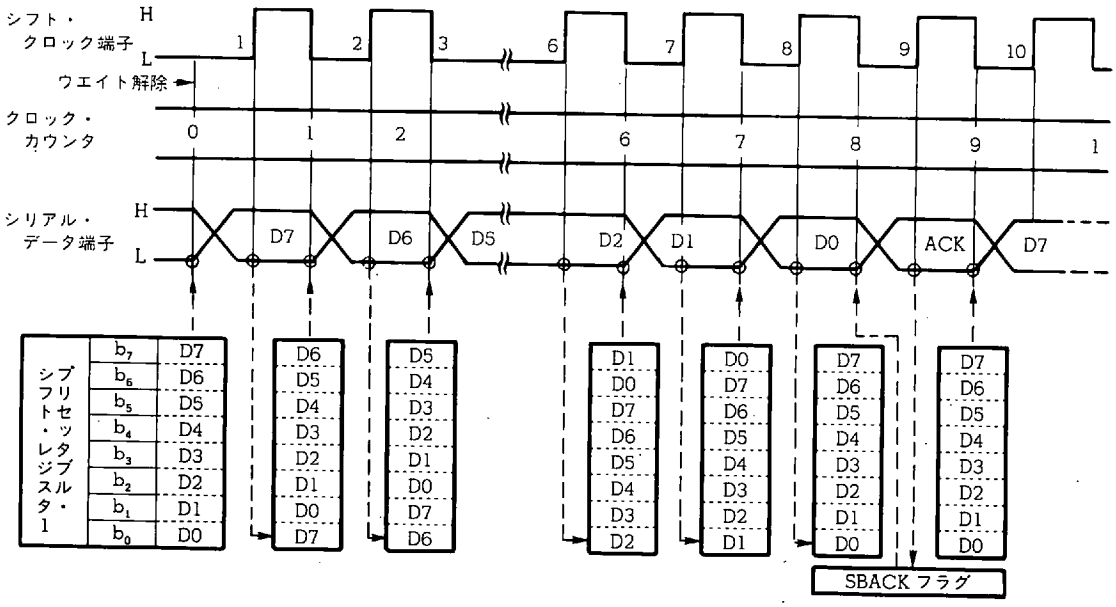


表19-3 受信および送信時のデータ・シフト動作

I²Cバス方式	
受信動作	送信動作
$P0A_2$/SCL端子の立ち上がりで$P0A_3$/SDA端子の状態をLSBからシフトして入力する。 出力はされない。 クロック・カウンタが"8"のときのシフト・クロックの立ち下がりでSBACKフラグの内容を出力する。 ウエイト状態中は動作しない。	$P0A_2$/SCL端子の立ち下がりで$P0A_3$/SDA端子にMSBからシフトして出力する。 また，$P0A_2$/SCL端子の立ち上がりで$P0A_3$/SDA端子の状態をLSBから入力する。 クロック・カウンタが"9"になるときのシフト・クロックの立ち上がりで$P0A_3$/SDA端子の状態をSBACKフラグに読み込む。 ウエイト状態中は動作しない。

19.8.3 シリアル I/O 方式時の動作

図 19-7 に，シリアル I/O 方式時のデータ・シフト動作を示します。

また，表 19-4 に，シリアル I/O 方式時の受信および送信時のデータ・シフト動作を示します。

図 19-7 シリアル I/O 方式時のデータ・シフト動作 ★

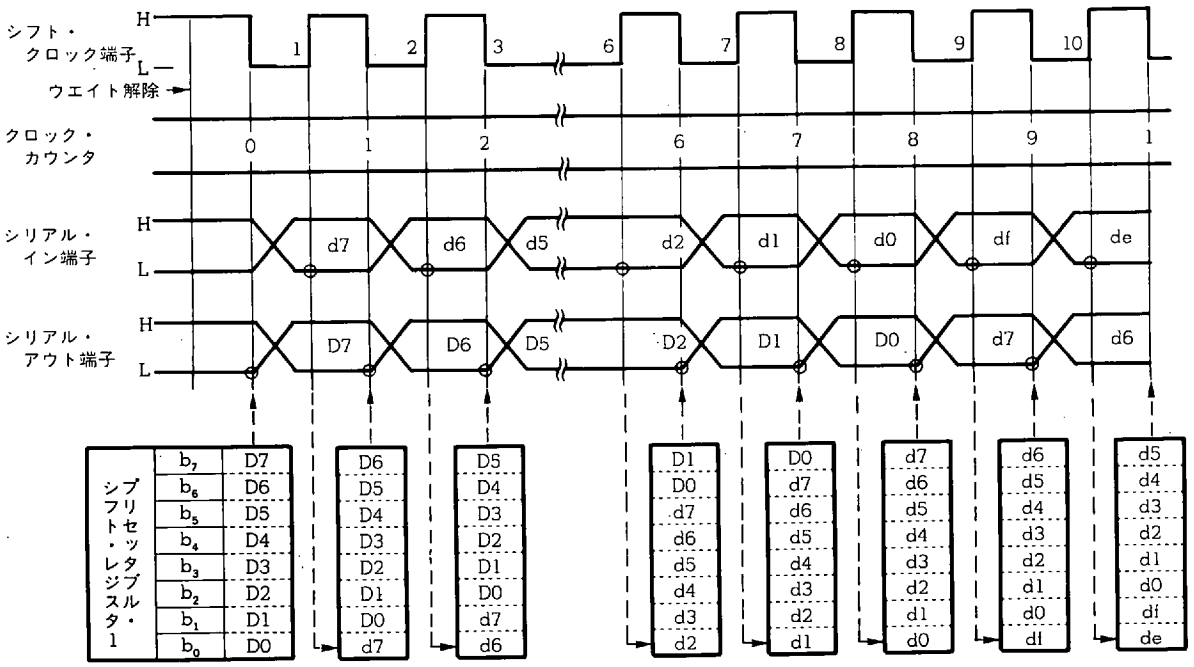


表 19-4 受信および送信時のデータ・シフト動作

シリアル I/O 方式	
受信動作	送信動作
シフト・クロック端子の立ち上がりで $P0A_3$/SDA 端子（3 線式は $P0B_3/SI_1$ 端子）の状態を LSB からシフトして入力する。 出力はされない。 ウエイト状態中は動作しない。	シフト・クロック端子の立ち下がりで $P0A_3$/SDA 端子（3 線式は $P0A_0/SO_1$ 端子）に MSB からシフトして出力する。 また，シフト・クロック端子の立ち上がりで $P0A_3$/SDA 端子（3 線式は $P0B_3/SI_1$ 端子）の状態を LSB から入力する。 ウエイト状態中は動作しない。

19.8.4 データ設定時およびデータ読み込み時の注意

プリセッタブル・シフト・レジスタ1へのデータの設定は“PUT SIO1SFR, DBF”命令で行います。

また，データの読み込みは“GET DBF, SIO1SFR”命令で行います。

データの設定およびデータの読み込みはウエイト状態中に行ってください。ウエイト解除状態中はシフト・クロック端子の状態により，データの設定および読み込みが正しくできない場合があります。

表19-5にデータの設定および読み込みのタイミングと注意を示します。

★ **表19-5 プリセッタブル・シフト・レジスタ1のデータ読み込み(GET)およびデータ書き込み(PUT)動作と注意**

PUT/GET 実行時の状態		シフト・クロック端子の状態	I^2C バス方式	シリアル I/O 方式
ウエイト状態	読み込み時 (GET)	I^2C バス方式時 ロウ・レベル固定 シリアル I/O 方式時 ハイ・レベル固定	正常読み込み	正常読み込み
ウエイト状態	書き込み時 (PUT)	I^2C バス方式時 ロウ・レベル固定 シリアル I/O 方式時 ハイ・レベル固定	正常書き込み データの出力は次にウエイトが解除された時点で MSB 内容を出力する(送信動作時) クロック データ MSB PUT SIO1SFR, DBF ウエイト解除	正常書き込み データの出力は次にウエイトが解除されてシフト・クロック端子が立ち下がったときに MSB の内容を出力する(送信動作時) クロック データ MSB PUT SIO1SFR, DBF ウエイト解除
ウエイト解除状態	読み込み時 (GET)	ロウ・レベルのとき	正常読み込み	正常読み込み
ウエイト解除状態	読み込み時 (GET)	ハイ・レベルのとき	正常に読み込める	正常に読み込めない また，SIO1SFR の内容が破壊される
ウエイト解除状態	書き込み時 (PUT)	ハイ・レベルのとき	正常書き込み データの出力は PUT 命令を実行した時点で MSB の内容を出力する クロック・カウンタはリセットされない クロック データ MSB PUT SIO1SFR, DBF	正常書き込み データの出力は PUT 命令を実行した時点で MSB の内容を出力する クロック・カウンタはリセットされない クロック データ MSB PUT SIO1SFR, DBF
ウエイト解除状態	書き込み時 (PUT)	ロウ・レベルのとき	正常に書き込めない また，SIO1SFR の内容も破壊される	正常に書き込めない また，SIO1SFR の内容も破壊される

19.9 ウエイト・ブロックおよびアクノリッジ・ブロック

ウエイト・ブロックは，シリアル・インタフェース1の通信の休止（ウエイト）および解除を行います。

アクノリッジ・ブロックは，I^2C バス方式時の応答信号の出力および検出を行います。

ウエイト・ブロックおよびアクノリッジ・ブロックは，シリアルI/O1ウエイト・コントロール・レジスタにより制御します（**19.9.1** 参照）。

また，**19.9.2 - 19.9.4** にウエイト動作概要および各通信方式時のウエイト動作と注意を示し，**19.9.5** にアクノリッジ・ブロックについて説明します。

19.9.1 シリアルI/O1ウエイト・コントロール・レジスタ（SIO1WT）の構成と機能

シリアルI/O1ウエイト・コントロール・レジスタの構成と機能を示します。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
シリアルI/O1ウエイト・コントロール・レジスタ（SIO1WT）	SBACK	SIO1NWT	SIO1WRQ1	SIO1WRQ0	18H	R/W

★

ウエイトする条件の設定

SIO1WRQ1	SIO1WRQ0	名　称	I^2Cバス方式	シリアルI/O方式
0	0	ノー・ウエイト	設定禁止	ウエイトしない
0	1	データ・ウエイト	クロック・カウンタが“8”のときのシフト・クロックの立ち下がりでウエイト	クロック・カウンタが“8”のときのシフト・クロックの立ち上がりでウエイト
1	0	アクノリッジ・ウエイト	クロック・カウンタが“9”のときのシフト・クロックの立ち下がりでウエイト	クロック・カウンタが“9”のときのシフト・クロックの立ち上がりでウエイト
1	1	アドレス・ウエイト	スタート条件検出後クロック・カウンタが“8”のときのシフト・クロックの立ち下がりでウエイト	設定禁止

ウエイト設定およびウエイト状態の検出

SIO1NWT	フラグに書き込んだとき	フラグを読み出したとき
0	強制ウエイトする	SIO1WRQ1, 0フラグの条件によりウエイト中
1	ウエイトを解除（シリアル通信スタート）する	シリアル通信中

I^2Cバス方式の応答信号（アクノリッジ）の設定および検出

SBACK	I^2Cバス方式		シリアルI/O方式
	受信時（SIO1TX=0）	送信時（SIO1TX=1）	
0	アクノリッジとして“0”を出力	スレーブのアクノリッジを検出 アクノリッジが“0”である	動作しない したがって1ビットのフラグ等に使用可能
1	アクノリッジとして“1”を出力	スレーブのアクノリッジを検出 アクノリッジが“1”である	

リセット時		SBACK	SIO1NWT	SIO1WRQ1	SIO1WRQ0
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

19.9.2 ウエイト動作概要

ウエイト状態とは，クロック生成ブロック，プリセッタブル・シフト・レジスタ 1 などの動作が停止し，シリアル通信を休止している状態です。

すなわち，ウエイト状態を解除することによりシリアル通信動作を行うことになります。

ウエイトの解除は SIO1NWT フラグに“1”を書き込むことにより行います。

SIO1NWT フラグに“1”が書き込まれると，内部クロックをシフト・クロック出力端子に出力（マスタ動作時）し，プリセッタブル・シフト・レジスタ 1 およびクロック・カウンタが動作を開始します。

次に，SIO1WRQ0 および SIO1WRQ1 フラグで設定された条件になるとウエイト解除状態からウエイト状態になります。このとき SIO1NWT フラグは自動的にリセット（0）されます。

SIO1NWT フラグは，ウエイト解除中にその内容を検出することによりシリアル通信の動作状態を知ることができます。

したがって，SIO1NWT フラグに“1”を書き込みシリアル通信をスタートさせたあとに SIO1NWT フラグが“0”になるのを検出して，データの読み込みおよび設定を行います。

ただし，SIO1NWT フラグが“0”になってから実際にウエイト状態になるまでに時間差があるため注意が必要です。

すなわち，ウエイト解除状態中にプリセッタブル・シフト・レジスタ 1 へのデータ設定（PUT 命令）やデータの読み込み（GET 命令）を行うと，正しいデータの設定および読み込みが行えない場合があるため注意が必要です。詳しくは，**19.8** を参照してください。

ウエイト解除状態中に SIO1NWT フラグに“0”を書き込むとウエイト状態になります。これを“強制ウエイト”と呼びます。

I^2C バス方式時の強制ウエイトは，SIO1NWT フラグに“0”を書き込んでから，実際にウエイト状態になるまでに時間差があるため注意が必要です。

I^2C バス方式のマスタ動作時は，ウエイト中に SIO1NWT フラグに“0”を書き込むとシフト・クロックが 1 パルス出力されてしまいます。このときはクロック・カウンタ，プリセッタブル・シフト・レジスタ 1 は動作を停止しているため注意が必要です。

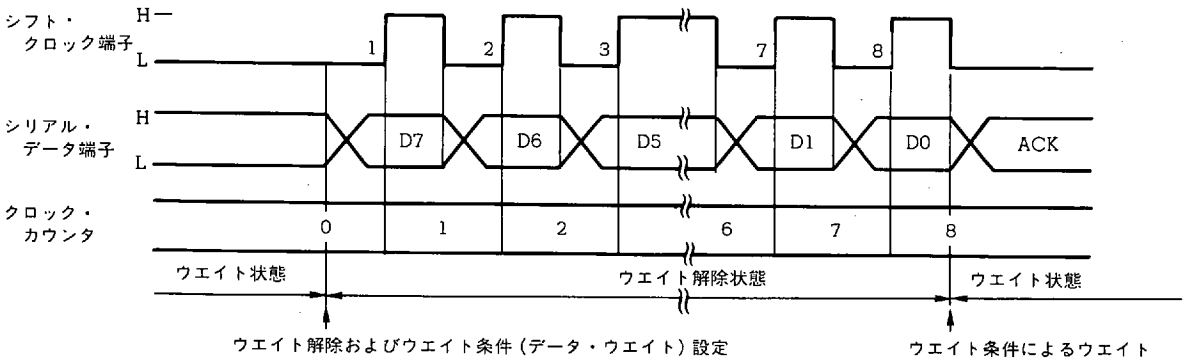
シリアル I/O 方式時は，ウエイト解除中に SIO1NWT フラグに“1”を書き込むと，クロック・カウンタがリセット（0）されます。

19.9.3 I²Cバス方式時のウエイト動作と注意

(1) I²Cバス方式時のウエイト動作

図19-8に，I²Cバス方式時のデータ・ウエイト（SIO1WRQ1=0，SIO1WRQ0=1）動作例を示します。

図19-8 I²Cバス方式時のデータ・ウエイト動作



ウエイトが解除されると，解除された時点でシリアル・データを出力し（送信動作時），SIO1WRQ1，SIO1WRQ0フラグで設定された条件が成立するまでウエイト解除状態になります。

ウエイト条件が成立すると，シフト・クロック端子をロウ・レベルにしてクロック・カウンタおよびプリセッタブル・シフト・レジスタ1の動作を停止します。

★ ウエイト解除中でかつシフト・クロック端子がロウ・レベルの期間に，プリセッタブル・シフト・レジスタ1のデータ書き込みを行うと正しいデータが設定されないため注意してください。

★ ウエイト解除中でかつシフト・クロック端子がハイ・レベルの期間に，プリセッタブル・シフト・レジスタ1にデータの書き込みを行うと，“PUT”命令が実行された次のシフト・クロックの立ち下がりでシリアル・データ出力端子にMSBの内容が出力されます。

ウエイト解除中に強制ウエイトを行うと，SIO1NWTフラグに“0”が書き込まれた次のクロックの立ち下がりでウエイト状態になります。

ウエイト解除中に再度ウエイト解除を行っても何も変化しません。

ウエイト中に強制ウエイトを行うとシフト・クロックが1パルス出力されてしまうため注意してください。

I²Cバス方式時はデータ・ウエイト条件（SIO1WRQ1=0，SIO1WRQ0=1）を続けて設定しないでください。

すなわち，データ・ウエイト条件を続けて2回設定してウエイト解除を行うと，2回目のウエイト解除時は即座にウエイト状態になってしまいます。

したがって，データ・ウエイト条件のウエイト後は異なるウエイト条件を設定しなおす必要があります。

また，次頁の（2）および（3）に示すように，I²Cバス方式を使用する場合は，SIO1NWTフラグの状態と実際の通信動作が異なる期間があるため注意が必要です。

(2) I²C バス方式の通常ウエイト動作時 ★

I²C バス方式時は，SIO1WRQ1 および SIO1WRQ0 フラグによるウエイト条件が成立すると，シフト・クロックの立ち下がりで通信をウエイトします。

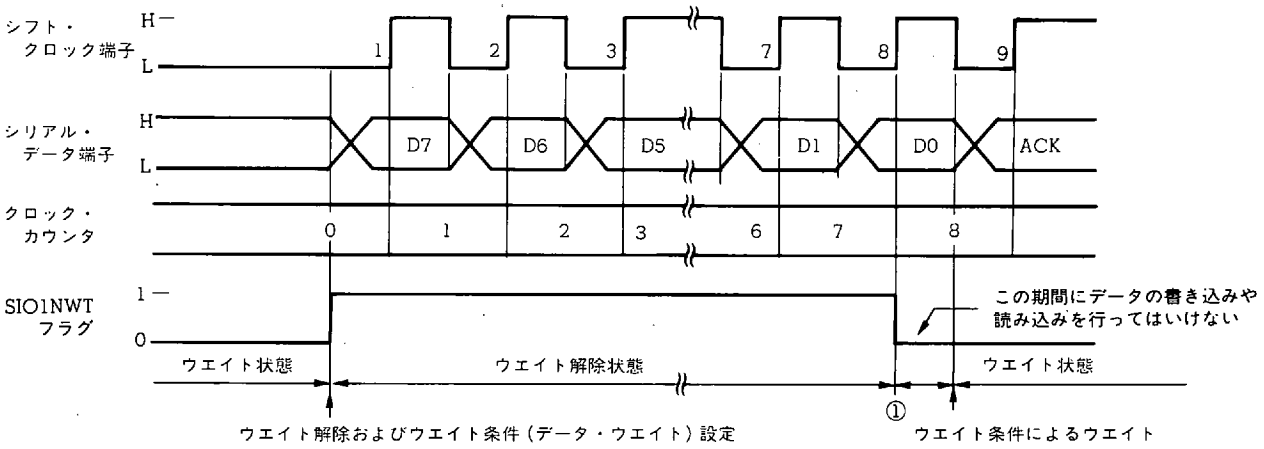
図 19-9 に，I²C バス方式時のデータ・ウエイト動作と SIO1NWT フラグの動作を示します。

図 19-9 の①に示すように，SIO1NWT フラグは，ウエイト状態になる半クロック前の立ち上がりで "0" にリセットされます。

したがって，SIO1NWT フラグが "0" になってから，すぐにデータの書き込み（PUT）や読み込み（GET）を行うと，データが破壊される場合があります。

このため，SIO1NWT フラグから "0" が読み込まれたあとに，シフト・クロック端子の ロウ・レベルを検出してから，データの書き込みおよび読み込みを行ってください。

図 19-9 I²C バス方式時のデータ・ウエイト動作と SIO1NWT フラグの動作 ★



(3) I²C バス方式時の強制ウエイト動作時

I²C バス方式のウエイト解除中に SIO1NWT フラグに "0" を書き込むと，次のクロックの立ち下がりで強制ウエイト状態になります。

したがって，前頁（1）の場合と同様にシフト・クロック端子が ハイ・レベルから ロウ・レベルになるのを検出したのちにデータの書き込みおよび読み込みを行う必要があります。

また，マスタ動作の受信動作時は，ウエイト中に強制ウエイトを行うとシフト・クロックが 1 パルス出力されます。

これは，**19.9.5** に示す応答信号（アクノリッジ）を設定するときに注意する必要があります。

(4) スレーブによるウエイト要求

マスタ動作時は，シフト・クロック出力端子から ハイ・レベルを出力中に，外部で強制的に ロウ・レベルにすると（スレーブのウエイト要求と呼ぶ），SIO1NWT フラグが "0" にリセットされます。

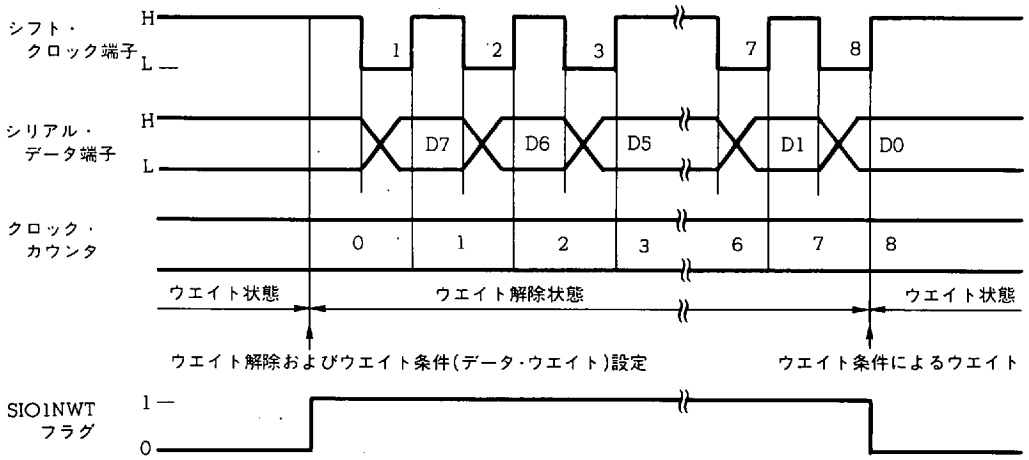
このときは，スレーブによるウエイト要求が解除された時点で SIO1NWT フラグがセット（1）され，動作を継続します。

19.9.4 シリアルI/O方式時のウエイト動作と注意

(1) シリアルI/O方式時のウエイト動作

図19-10に，シリアルI/O方式時のデータ・ウエイト（SIO1WRQ1=0, SIO1WRQ0=1）動作例を示します。

★ 図19-10 シリアルI/O方式時のデータ・ウエイト動作



ウエイトが解除されると次のクロックの立ち下がりでシリアル・データを出力し(送信動作時), SIO1WRQ1, SIO1WRQ0フラグで設定された条件が成立するまでウエイト解除状態になります。

ウエイト条件が成立すると, シフト・クロック端子をハイ・レベルにしてクロック・カウンタおよびプリセッタブル・シフト・レジスタ1の動作を停止します。

★ ウエイト解除中でかつシフト・クロック端子がロウ・レベルの期間に，プリセッタブル・シフト・レジスタ1のデータ書き込みを行うと正しいデータが設定されないため注意してください。

★ ウエイト解除中でかつシフト・クロック端子がハイ・レベルの期間に，プリセッタブル・シフト・レジスタ1にデータの書き込みを行うと"PUT"命令が実行された次のシフト・クロックの立ち下がりでシリアル・データ出力端子にMSBの内容が出力されます。

ウエイト解除中に強制ウエイトを行うとSIO1NWTフラグに"0"が書き込まれた時点で即座にウエイト状態になります。

ウエイト解除中に再度ウエイト解除を行うとクロック・カウンタがリセットされるため注意してください。

19.9.5 アクノリッジ・ブロックと動作 ★

アクノリッジ・ブロックは I^2C バス方式時のみ動作します。

I^2C バス方式時の受信動作時の応答信号(アクノリッジ)の出力，および送信動作時の応答信号の検出に使用します。

受信動作時は，クロック・カウンタが“8”の時のシフト・クロックの立ち下がりでSBACKフラグの内容をシリアル・データ端子に出力します（シリアル・データ端子は自動的に出力ポートに切り替わります)。

受信動作時は，一度SBACKフラグにデータを設定すれば，以後その値を保持します。

送信動作時は，クロック・カウンタが“9”になるときのシフト・クロックの立ち上がりでシリアル・データ端子の状態をSBACKフラグに読み込みます（シリアル・データ端子は自動的に入力ポートに切り替わります)。

図19－11に，アクノリッジの出力動作および入力動作を示します。

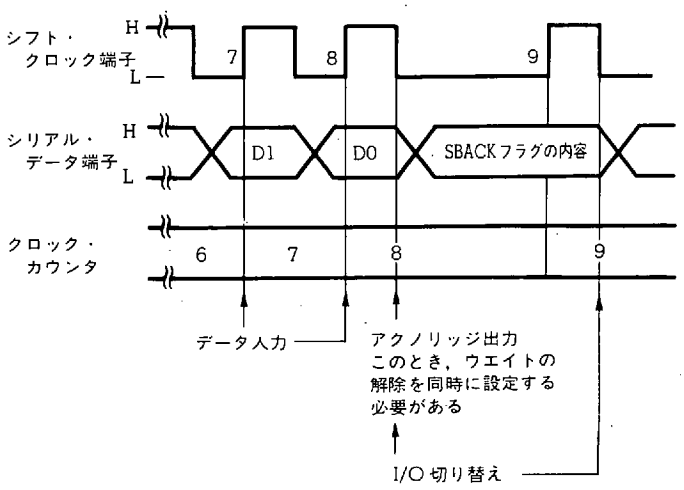
受信動作時のアクノリッジの設定（SBACKフラグの設定）はウエイトの解除（SIO1NWTフラグの設定）と同時に行ってください。

これは，SBACKフラグのみを設定しても，SIO1NWTフラグは同一アドレスのレジスタであるため，結果としてSIO1NWTフラグも設定することになり，このときウエイト中であればウエイト中のウエイト解除を行うことになり，シフト・クロックを1パルス出力してしまうためです。

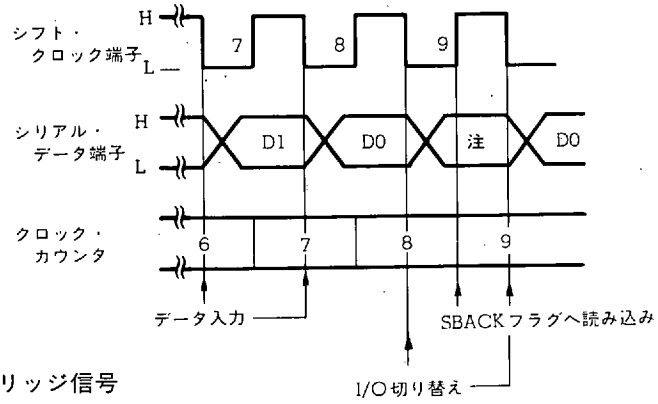
シリアルI/O方式時はSBACKフラグを1ビットの汎用フラグとして使用することができます。

図19－11 アクノリッジの出力動作および入力動作

(1) 出力動作（受信動作時）



(2) 入力動作（送信動作時）



注　受信側からのアクノリッジ信号

注意　アクノリッジ出力および入力時は，必ず9クロック目の立ち下がりでアクノリッジ・ウエイトを設定してください。

19.10 割り込み制御ブロック

割り込み制御ブロックはシリアル・インタフェース1の割り込み要求を発行するブロックで，シリアルI/O1インタラプト・モード・レジスタにより割り込み要求を発行する条件を設定します。

割り込み要求発行条件が成立するとインタラプト・リクエスト2レジスタ（RFアドレス3FH番地）のIRQSIO1フラグをセット（1）します。

以下の**19.10.1**にシリアルI/O1インタラプト・モード・レジスタの構成と機能を示します。

また，**19.10.2**および**19.10.3**に各通信方式時の割り込み要求発行タイミングを示します。

★ **19.10.1 シリアル・インタフェース1インタラプト・モード・レジスタ（SIO1INT）の構成と機能**

以下にシリアル・インタフェース1インタラプト・モード・レジスタの各フラグの機能を示します。

シリアル通信中（SIO1NWTフラグが“1”のとき）に，これらのフラグの内容を書き換えないでください。

すなわち，SIO1NWTフラグに“0”を書き込んだあとか，SIO1NWTフラグが“0”のときに書き換えを行ってください。これはシリアル通信中に切り替えると，切り替えた時点で割り込み要求が発行される場合があるためです。

名称	フラグ記号 b_3	b_2	b_1	b_0	アドレス	Read/Write
シリアルI/O1インタラプト・モード・レジスタ（SIO1INT）	SIO1IMD3	SIO1IMD2	SIO1IMD1	SIO1IMD0	38H	R/W

割り込み要求の発行条件を設定

b_1	b_0	I^2Cバス方式	シリアルI/O方式
0	0	クロック・カウンタが“7”になるときのシフト・クロックの立ち上がり	クロック・カウンタが“7”になるときのシフト・クロックの立ち上がり注1
0	1	クロック・カウンタが“8”になるときのシフト・クロックの立ち上がり	クロック・カウンタが“8”になるときのシフト・クロックの立ち上がり注2
1	0	スタート条件検出後のクロック・カウンタが“7”になるときのシフト・クロックの立ち上がり注3	割り込み要求は発行されない
1	1	ストップ条件を検出したとき注4	割り込み要求は発行されない

“0”固定

リセット時		b_3	b_2	
	パワーオン	0	0	不定
	クロック・ストップ	↓	↓	保持
	CE	↓	↓	保持

注 1. クロック・カウンタが“7”のときに，このモードにすると，割り込み要求が発行されます。

2. クロック・カウンタが“8”のときに，このモードにすると，割り込み要求が発行されます。

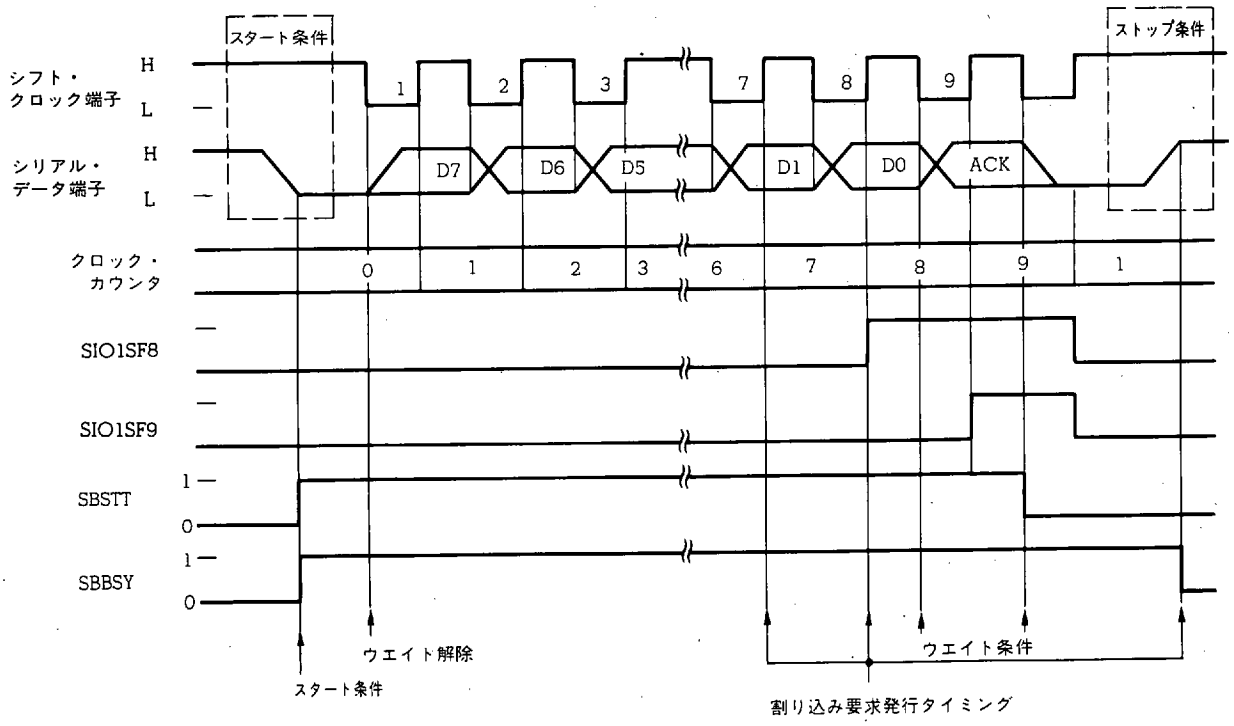
3. SBSTTフラグが“1”で，クロック・カウンタが“7”のときに，このモードに切り替えると，割り込み要求が発行されます。

4. ストップ条件が発行されたあとに，このモードに切り替えると，割り込み要求が発行されます。

19.10.2 I²Cバス方式時の割り込み要求発行タイミング

図19-12に，I²Cバス方式時の割り込み要求発行タイミングを示します。

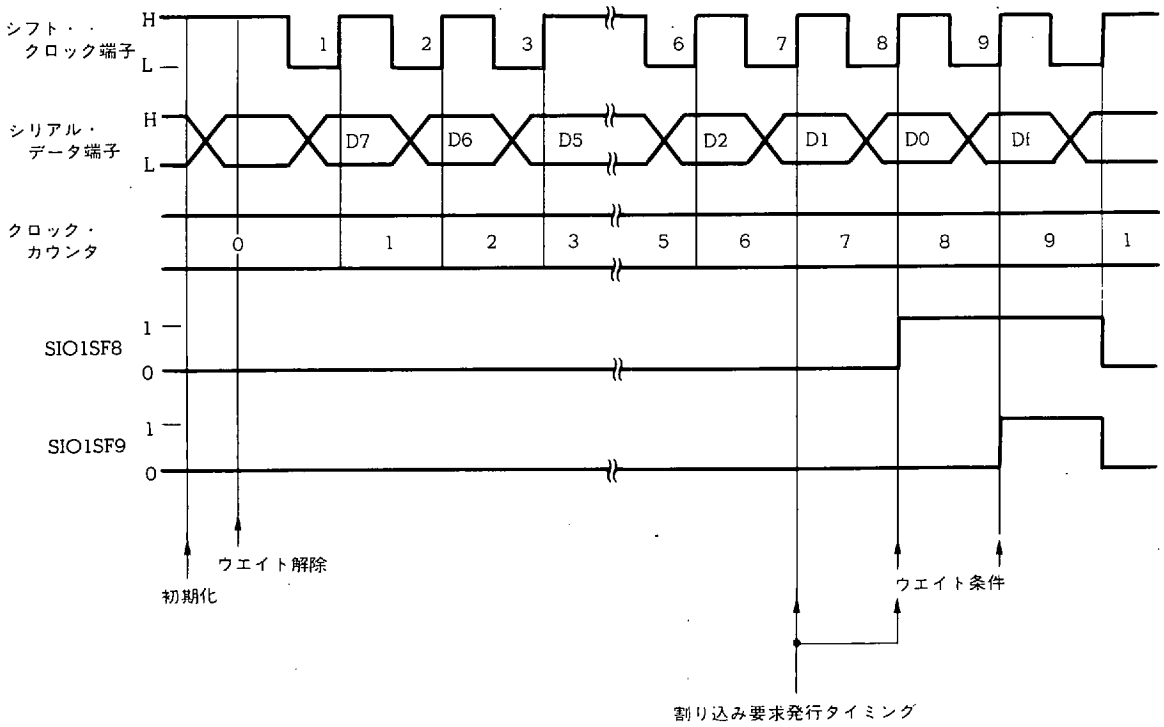
図19-12 I²Cバス方式時の割り込み要求発行タイミング



19.10.3 シリアルI/O方式時の割り込み要求発行タイミング

図19-13に，シリアルI/O方式時の割り込み要求発行タイミングを示します。

図19-13 シリアルI/O方式時の割り込み要求発行タイミング ★



19.11 シリアル・インタフェース 1 の使用方法

19.11.1 I^2C バス方式の使用方法

I^2C バス方式は，SIO1CH フラグを“0”に，SB フラグを“1”に設定することにより選択します。

I^2C バス方式は，$P0A_3$/SDA 端子と $P0A_2$/SCL 端子を使用します。

図 19 - 14 に I^2C バス方式の入出力ブロックと通信方法を示します。

また，表 19 - 6 に I^2C バス方式使用時の各端子とコントロール・レジスタの機能と動作を示します。

図 19 - 14 および表 19 - 6 に示すように，I^2C バス方式はマスタ動作とスレーブ動作があり，それぞれに送信（TX）および受信（RX）動作が行えます。

マスタおよびスレーブ動作の選択は SIO1MS フラグにより行い，受信および送信動作の選択は SIO1TX フラグにより行います。

マスタ動作時は $P0A_2$/SCL 端子から内部シフト・クロックを出力します。このとき送信であれば，シフト・クロックの立ち下がりで $P0A_3$/SDA 端子からデータを出力し，受信であれば，シフト・クロックの立ち上がりで $P0A_3$/SDA 端子の状態をプリセッタブル・シフト・レジスタ 1 に入力します。

マスタおよびスレーブ動作時は SBSTT および SBBSY フラグによりシリアル通信のスタート条件およびストップ条件を検出できます。

スタート条件およびストップ条件は通常マスタから出力しますが，この出力はプログラム（各端子を汎用出力ポートとして制御する）により行います。

スレーブ動作時は $P0A_2$/SCL 端子をフローティング状態にして外部クロック待ちになります。このとき送信であれば，シフト・クロックの立ち下がりで $P0A_3$/SDA 端子からデータを出力し，受信であれば，$P0A_2$/SCL 端子に加えられたクロックの立ち上がりで $P0A_3$/SDA 端子の状態をプリセッタブル・シフト・レジスタ 1 に入力します。

マスタおよびスレーブ動作時の受信動作時は 8 ビットのデータ通信ごとに確認応答信号（アクノリッジ）を出力します。

マスタおよびスレーブ動作時の送信動作時は 8 ビットのデータ通信ごとに確認応答信号を検出します。

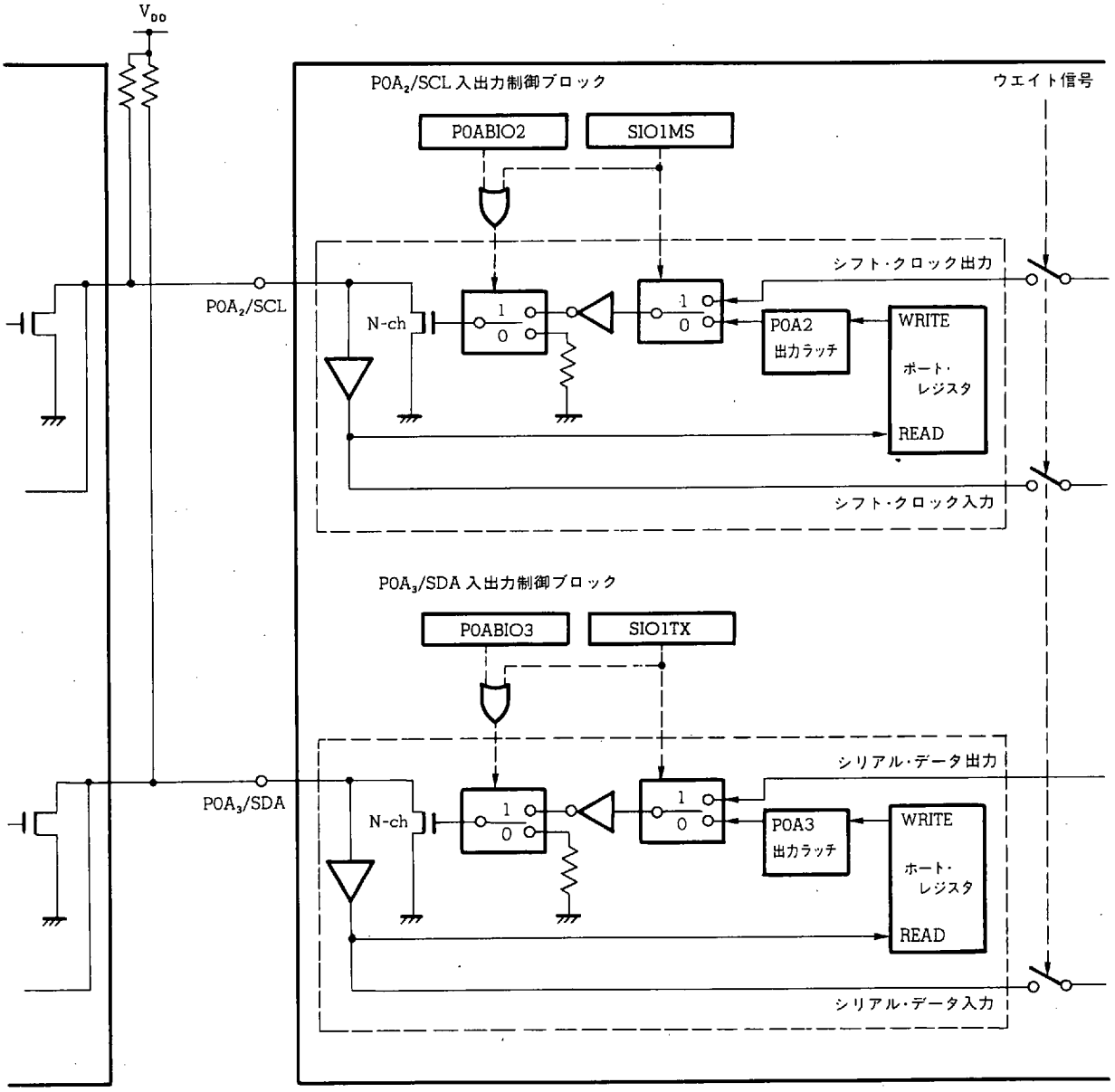
$P0A_3$/SDA 端子および $P0A_2$/SCL 端子は N-ch オープン・ドレーン出力になっているため，マスタまたはスレーブのどちらかが ロウ・レベルを出力していると通信ラインは ロウ・レベルになります。

$P0A_3$/SDA 端子および$P0A_2$/SCL 端子は，端子に出力している値を読み込むと“そのときの端子の状態”をそのまま読み込みます。

表 19 - 6 のあとの (1) - (4) に，マスタ，スレーブ動作時の送信，受信動作の各プログラム例を示します。

図 19 - 14 I²C バス方式の入出力ブロックと通信方法 ★

入出力ブロック



通信方法

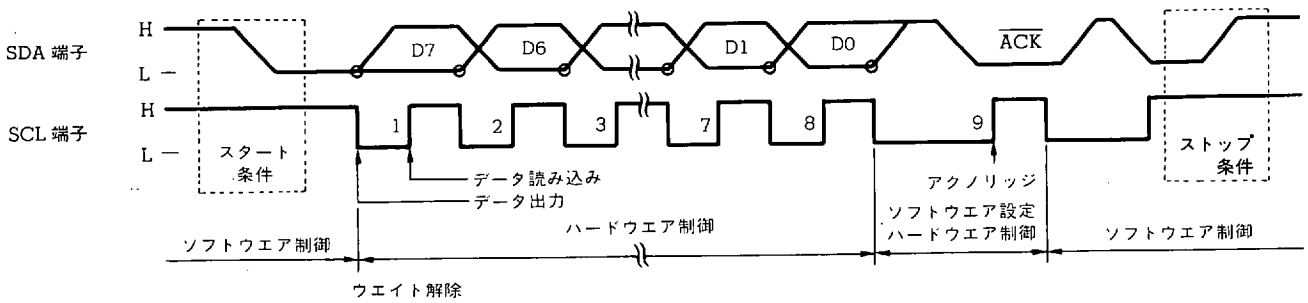


表 19-6 I²C バス方式の動作概要

項目 ＼ 動作モード		I²C バス方式 SIO1CH=0, SB=1			
		スレーブ動作 SIO1MS=0		マスタ動作 SIO1MS=1	
		受信（RX） SIO1TX=0	送信（TX） SIO1TX=1	受信（RX） SIO1TX=0	送信（TX） SIO1TX=1
各端子の設定状態	$P0A_3$/SDA	**P0ABIO3=0 のとき** フローティング 外部データの入力待ち **P0ABIO3=1 のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO3 は 0 で使用する	P0ABIO3 に関係なく外部クロックの立ち下がりで SIO1SFR の内容を出力	**P0ABIO3=0 のとき** フローティング 外部データの入力待ち **P0ABIO3=1 のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO3 は 0 で使用する	P0ABIO3 に関係なく内部シフト・クロックの立ち下がりで SIO1SFR の内容を出力
	$P0A_2$/SCL	**P0ABIO2=0 のとき** フローティング 外部クロックの入力待ち **P0ABIO2=1 のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO2 は 0 で使用する	**P0ABIO2=0 のとき** フローティング 外部クロックの入力待ち **P0ABIO2=1 のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO2 は 0 で使用する	P0ABIO2 に関係なく内部シフト・クロックを出力	P0ABIO2 に関係なく内部シフト・クロックを出力
クロック・カウンタの動作		SCL 端子の立ち上がりでインクリメント			
プリセッタブル・シフト・レジスタ 1(SIO1SFR)の動作		**出力** 出力されない **入力** SCL 端子の立ち上がりごとに，SDA 端子のデータを LSB からシフトして入力	**出力** SCL 端子の立ち下がりごとに，MSB からシフトして SDA 端子に出力 **入力** SCL 端子の立ち上がりごとに，SDA 端子のデータを LSB からシフトして入力	**出力** 出力されない **入力** SCL 端子の立ち上がりごとに，SDA 端子のデータを LSB からシフトして入力	**出力** SCL 端子の立ち下がりごとに，MSB からシフトして SDA 端子に出力 **入力** SCL 端子の立ち上がりごとに，SDA 端子のデータを LSB からシフトして入力
ウエイト動作		シリアル通信は SIO1NWT に "1" を書き込むことによりスタートする SIO1NWT は，SIO1WRQ1 および SIO1WRQ0 で設定された条件で "0" にリセットされる			
		SIO1NWT=0 のとき SCL 端子から強制的にロウ・レベルを出力 SDA 端子はフローティング **SIO1NWT=1 のとき** SCL 端子をフローティングにして外部クロックの入力待ち SDA 端子はフローティングになり SCL 端子の立ち上がりで SDA 端子のデータを SIO1SFR に入力	**SIO1NWT=0 のとき** SCL 端子から強制的にロウ・レベルを出力 SDA 端子は状態保持 **SIO1NWT=1 のとき** SCL 端子をフローティングにして外部クロックの入力待ち SCL 端子の立ち下がりで SIO1SFR の内容を SDA 端子に出力	**SIO1NWT=0 のとき** SCL 端子から強制的にロウ・レベルを出力 SDA 端子はフローティング **SIO1NWT=1 のとき** SCL 端子から内部シフト・クロックを出力 SDA 端子はフローティングになり SCL 端子の立ち上がりで SDA 端子のデータを SIO1SFR に入力	**SIO1NWT=0 のとき** SCL 端子から強制的にロウ・レベルを出力 SDA 端子は状態保持 **SIO1NWT=1 のとき** SCK 端子から内部シフト・クロックを出力 SCL 端子の立ち下がりで SIO1SFR の内容を SDA 端子に出力
アクノリッジ		クロック・カウンタが 8 のときの SCL 端子の立ち下がりで SDA 端子から SBACK フラグの内容が出力される	クロック・カウンタが 9 になるときの SCL 端子の立ち上がりで SDA 端子の状態を SBACK フラグに書き込む	クロック・カウンタが 8 のときの SCL 端子の立ち下がりで SDA 端子から SBACK フラグの内容が出力される	クロック・カウンタが 9 になるときの SCL 端子の立ち上がりで SDA 端子の状態を SBACK フラグに書き込む

(1) I²C バス方式のプログラム例（マスタ送信モード時） ★

例　スレーブ・アドレスが“1010010B”であるデバイスに，1バイトのデータ“96H”を送信する。

```
        SDA     FLG     P0A3
        SCL     FLG     P0A2
        SDABIO  FLG     P0ABIO3
        SCLBIO  FLG     P0ABIO2
INIT :
        CLR4    SIO1CH, SB, SIO1MS, SIO1TX
        SET2    SDABIO, SCLBIO          ; プログラムによるスタート・ビットを発行する
        SET2    SDA, SCL
        CLR1    SDA
        CLR1    SCL
        MOV     DBF1, #0AH              ; スレーブ・アドレスの設定
        MOV     DBF0, #4                ; ビット b0 の“0”は，送信
        PUT     SIO1SFR, DBF
        INITFLG NOT SIO1CH, SB, SIO1MS, SIO1TX
                                        ; I²C バス，マスタ，送信
        CLR2    SIO1CK1, SIO1CK0        ; クロック・サイクル＝75 kHz（≦100 kHz）
        INITFLG SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        : ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち下がり
LOOP1 :
        SKT1    SIO1SF8                 ; データ・ウエイト
        BR      LOOP1
        CALL    CLK_WAIT                ; SCL 端子がロウ・レベルになるまでウエイト
        MOV     DBF1, #9                ; 送信データの設定
        MOV     DBF0, #6
        PUT     SIO1SFR, DBF
        INITFLG SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“9”のときのシフト・クロックの立ち下がり
LOOP2 :
        SKT1    SIO1SF9                 ; アクノリッジ・ウエイト
        BR      LOOP2
        CALL    CLK_WAIT                ; SCL 端子がロウ・レベルになるまでウエイト
        SKF1    SBACK                   ; アクノリッジ検出
        BR      INIT                    ; NACK の場合はやり直し
        INITFLG SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち下がり
```

```
LOOP3 :
        SKT1     SIO1SF8                ; データ・ウエイト
        BR       LOOP3
        CALL     CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        INITFLG  SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが "9" のときのシフト・クロックの立ち下がり
LOOP4 :
        SKT1     SIO1SF9                ; アクノリッジ・ウエイト
        BR       LOOP4
        CALL     CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        SKF1     SBACK                  ; アクノリッジ検出
        BR       INIT                   ; NACK の場合はやり直し
        CLR4     SIO1CH, SB, SIO1MS, SIO1TX
LOOP5 :
        SET1     SCL                    ; プログラムによりストップ・ビットを発行する
        SKT1     SCL
        BR       LOOP5
        SET1     SDA
        ⋮
CLK_WAIT :                              ; サブルーチン
        SKF1     SCL
        BR       CLK_WAIT
        RET
        ⋮
```

★ **(2) I²C バス方式のプログラム例（マスタ受信モード時）**

例 スレーブ・アドレスが"1010010B"であるデバイスから，2 バイトのデータを受信し，BANK0 の 00H-03H 番地に格納する。

```
SDA     FLG     P0A3
SCL     FLG     P0A2
SDABIO  FLG     P0ABIO3
SCLBIO  FLG     P0ABIO2

DATA1H  MEM     0.00H          ; 1 バイト目の上位 4 ビットが格納される
DATA1L  MEM     0.01H          ; 1 バイト目の下位 4 ビットが格納される
DATA2H  MEM     0.02H          ; 2 バイト目の上位 4 ビットが格納される
DATA2L  MEM     0.03H          ; 2 バイト目の下位 4 ビットが格納される
```

```
INIT :
        CLR4    SIO1CH, SB, SIO1MS, SIO1TX
        SET2    SDABIO, SCLBIO          ; プログラムによるスタート・ビットを発行する
        SET2    SDA, SCL
        CLR1    SDA
        CLR1    SCL
        MOV     DBF1, #0AH              ; スレーブ・アドレスの設定
        MOV     DBF0, #5                ; ビット b0 の "1" は，受信
        PUT     SIO1SFR, DBF
        INITFLG NOT SIO1CH, SB, SIO1MS, SIO1TX
                                        ; I²C バス，マスタ，送信
        CLR2    SIO1CK1, SIO1CK0        ; クロック・サイクル=75 kHz (≦100 kHz)
        INITFLG SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが "8" のときのシフト・クロックの立ち下がり
LOOP1 :
        SKT1    SIO1SF8                 ; データ・ウエイト
        BR      LOOP1
        CALL    CLK_WAIT                ; SCL 端子がロウ・レベルになるまでウエイト
        INITFLG SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが "9" のときのシフト・クロックの立ち下がり
LOOP2 :
        SKT1    SIO1SF9                 ; アクノリッジ・ウエイト
        BR      LOOP2
        CALL    CLK_WAIT                ; SCL 端子がロウ・レベルになるまでウエイト
        SKF1    SBACK                   ; アクノリッジ検出
        BR      INIT
        CLR1    SDABIO                  ; SDA 端子を入力（受信）に設定
        INITFLG NOT SIO1CH, SB, SIO1MS, NOT SIO1TX
                                        ; I²C バス，マスタ，受信
        INITFLG SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが "8" のときのシフト・クロックの立ち下がり
```

```
LOOP3 :
        SKT1     SIO1SF8                ; データ・ウエイト
        BR       LOOP3
        CALL     CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        SET1     SDABIO                 ; SDA 端子を出力（アクノリッジ出力）に設定
        GET      DBF, SIO1SFR           ; 受信データの読み込み
        ST       DATA1H, DBF1           ; 読み込んだデータを格納する
        ST       DATA1L, DBF0
        INITFLG  NOT SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ACK（ロウ・レベル）出力
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“9”のときのシフト・クロックの立ち下がり
LOOP4 :
        SKT1     SIO1SF9                ; アクノリッジ・ウエイト
        BR       LOOP4
        CALL     CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        CLR1     SDABIO                 ; SDA 端子を入力（データ受信）に設定
        INITFLG  SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち下がり
LOOP5 :
        SKT1     SIO1SF8                ; データ・ウエイト
        BR       LOOP5
        CALL     CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        SET1     SDABIO                 ; SDA 端子を出力（アクノリッジ出力）に設定
        GET      DBF, SIO1SFR           ; 受信データの読み込み
        ST       DATA2H, DBF1           ; 読み込んだデータを格納する
        ST       DATA2L, DBF0
        INITFLG  NOT SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ACK（ロウ・レベル）出力
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“9”のときのシフト・クロックの立ち下がり
LOOP6 :
        SKT1     SIO1SF9                ; アクノリッジ・ウエイト
        BR       LOOP6
        CALL     CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        CLR4     SIO1CH, SB, SIO1MS, SIO1TX
```

```
LOOP7 :
        SET1    SCL                     ; プログラムによりストップ・ビットを発行する
        SKT1    SCL
        BR      LOOP7
        SET1    SDA
        ⋮
CLK_WAIT :                              ; サブルーチン
        SKF1    SCL
        BR      CLK_WAIT
        RET
        ⋮
```

(3) I²C バス方式のプログラム例（スレーブ送信モード時） ★

例　スレーブ・アドレスが“1010010B”であり，2バイトのデータ“96C3H”を送信する。

```
        SDA     FLG     P0A3
        SCL     FLG     P0A2
        SDABIO  FLG     P0ABIO3
        SCLBIO  FLG     P0ABIO2

        NG      FLG     0.00H.0         ; データ受信ができなければ“1”

INIT :
        CLR2    SCLBIO, SDABIO
        INITFLG NOT SIO1CH, SB, NOT SIO1MS, NOT SIO1TX
                                        ; I²C バス，スレーブ，受信
        INITFLG SBACK, SIO1NWT, SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，スタート条件検出後の，クロック・カウンタが“8”のときのシフト・ク
        ; ロックの立ち下がり
LOOP1 :
        SKT1    SBSTT                   ; スタート・ビットを検出するまでウエイト
        BR      LOOP1
```

```
LOOP2 :
        SKT1    SIO1SF8             ; データ・ウエイト
        BR      LOOP2
        CALL    CLK_WAIT            ; SCL 端子がロウ・レベルになるまでウエイト
        SET1    SDABIO              ; SDA 端子を出力（アクノリッジ出力）に設定
        GET     DBF, SIO1SFR        ; スレーブ・アドレスの読み込み
        ST      R1, DBF1
        ST      R0, DBF0
        SET2    CMP, Z              ; スレーブ・アドレスの一致検出
        SUB     DBF1, #0AH          ; 送信/受信モードがある場合は,
        SUB     DBF0, #5            ; ビット b0 は判断しない
        SKT1    Z
        BR      NACK0               ; スレーブ・アドレスが不一致
        MOV     DBF1, #9            ; 送信データを設定する
        MOV     DBF0, #6
        PUT     SIO1SFR, DBF
        CLR1    NG                  ; スレーブ・アドレスは一致
        CLR1    SDA                 ; ACK 信号を先出し
        INITFLG NOT SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ACK（ロウ・レベル）出力
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“9”のときのシフト・クロックの立ち下がり
        BR      LOOP3
NACK0 :
        SET1    NG                  ; スレーブ・アドレスが不一致
        SET1    SDA                 ; NACK 信号を先出し
        INITFLG SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; NACK（ハイ・レベル）出力
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“9”のときのシフト・クロックの立ち下がり
LOOP3 :
        SKT1    SIO1SF9             ; アクノリッジ・ウエイト
        BR      LOOP3
        CALL    CLK_WAIT            ; SCL 端子がロウ・レベルになるまでウエイト
        CLR1    SDABIO              ; SDA 端子を入力（データ受信）に設定
        SKF1    NG
        BR      INIT                ; スレーブ・アドレスが不一致の場合はやり直し
        INITFLG NOT SIO1CH, SB, NOT SIO1MS, SIO1TX
                                    ; I2C バス，スレーブ，送信
        INITFLG SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち下がり
```

```
LOOP4 :
        SKT1      SIO1SF8                ; データ・ウエイト
        BR        LOOP4
        CALL      CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        MOV       DBF1, #0CH             ; 送信データの設定
        MOV       DBF0, #3
        PUT       SIO1SFR, DBF
        INITFLG   NOT SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが "9" のときのシフト・クロックの立ち下がり
LOOP5 :
        SKT1      SIO1SF9                ; アクノリッジ・ウエイト
        BR        LOOP5
        CALL      CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        SKF1      SBACK
        BR        INIT
        INITFLG   SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが "8" のときのシフト・クロックの立ち下がり
LOOP6 :
        SKT1      SIO1SF8                ; データ・ウエイト
        BR        LOOP6
        CALL      CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        INITFLG   NOT SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが "9" のときのシフト・クロックの立ち下がり
LOOP7 :
        SKT1      SIO1SF9                ; アクノリッジ・ウエイト
        BR        LOOP7
        CALL      CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        SKF1      SBACK
        BR        INIT
        INITFLG   NOT SIO1CH, SB, NOT SIO1MS, NOT SIO1TX
                                         ; I²C バス，スレーブ，受信
        INITFLG   NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが "8" のときのシフト・クロックの立ち下がり
```

```
LOOP8 :
        SKF1    SBBSY                   ; ストップ・ビットを検出するまでウエイト
        BR      LOOP8
        CLR4    SIO1CH, SB, SIO1MS, SIO1TX
        ⋮
CLK_WAIT :                              ; サブルーチン
        SKF1    SCL
        BR      CLK_WAIT
        RET
        ⋮
```

★ **(4) I²C バス方式のプログラム例（スレーブ受信モード時）**

例 スレーブ・アドレスが"1010010B"であり，マスタから 1 バイトのデータを受信し，BANKO の 00H-01H 番地に格納する。

```
        SDA     FLG     P0A3
        SCL     FLG     P0A2
        SDABIO  FLG     P0ABIO3
        SCLBIO  FLG     P0ABIO2

        DATAH   MEM     0.00H           ; 上位 4 ビットが格納される
        DATAL   MEM     0.01H           ; 下位 4 ビットが格納される
        NG      FLG     0.02H.0         ; データ受信ができていなければ "0"

INIT :
        INITFLG NOT SIO1CH, SB, NOT SIO1MS, NOT SIO1TX
                                        ; I²C バス，スレーブ，受信
        INITFLG SBACK, SIO1NWT, SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，スタート条件検出後の，クロック・カウンタが "8" のときのシフト・ク
        ; ロックの立ち下がり
LOOP1 :
        SKT1    SBSTT                   ; スタート・ビットを検出するまでウエイト
        BR      LOOP1
```

```
LOOP2 :
        SKT1    SIO1SF8                 ; データ・ウエイト
        BR      LOOP2
        CALL    CLK_WAIT                ; SCL 端子がロウ・レベルになるまでウエイト
        SET1    SDABIO                  ; SDA 端子を出力（アクノリッジ出力）に設定
        GET     DBF, SIO1SFR            ; スレーブ・アドレスの読み込み
        SKNE    DBF1, #0AH              ; スレーブ・アドレスの一致検出
        SKE     DBF0, #4                ; CMP フラグを使用してもよい
        BR      NACK0                   ; スレーブ・アドレスが不一致
        CLR1    NG                      ; スレーブ・アドレスは一致
        CLR1    SDA                     ; ACK 信号を先出し
        INITFLG NOT SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ACK（ロウ・レベル）出力
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“9”のときのシフト・クロックの立ち下がり
        BR      LOOP3
NACK0 :
        SET1    NG                      ; スレーブ・アドレスが不一致
        SET1    SDA                     ; NACK 信号を先出し
        INITFLG SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; NACK（ハイ・レベル）出力
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“9”のときのシフト・クロックの立ち下がり
LOOP3 :
        SKT1    SIO1SF9                 ; アクノリッジ・ウエイト
        BR      LOOP3
        CALL    CLK_WAIT                ; SCL 端子がロウ・レベルになるまでウエイト
        CLR1    SDABIO                  ; SDA 端子を入力（データ受信）に設定
        SKF1    NG
        BR      INIT                    ; スレーブ・アドレスが不一致の場合はやり直し
        INITFLG SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち下がり
```

```
LOOP4 :
        SKT1      SIO1SF8                ; データ・ウエイト
        BR        LOOP4
        CALL      CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        SET1      SDABIO                 ; SDA 端子を出力（アクノリッジ出力）に設定
        GET       DBF, SIO1SFR           ; 受信データの読み込み
        ST        DATAH, DBF1            ; 読み出したデータを格納する
        ST        DATAL, DBF0
        CLR1      SDA                    ; ACK 信号を先出し
        INITFLG   NOT SBACK, SIO1NWT, SIO1WRQ1, NOT SIO1WRQ0
        ; ACK（ロウ・レベル）出力
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“9”のときのシフト・クロックの立ち下がり
LOOP5 :
        SKT1      SIO1SF9                ; アクノリッジ・ウエイト
        BR        LOOP5
        CALL      CLK_WAIT               ; SCL 端子がロウ・レベルになるまでウエイト
        CLR1      SDABIO
        INITFLG   NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち下がり
LOOP6 :
        SKF1      SBBSY                  ; ストップ・ビットを検出するまでウエイト
        BR        LOOP6
        CLR4      SIO1CH, SB, SIO1MS, SIO1TX
        ⋮
CLK_WAIT :                               ; サブルーチン
        SKF1      SCL
        BR        CLK_WAIT
        RET
        ⋮
```

19.11.2 2線式シリアルI/O方式の使用方法

2線式シリアルI/O方式は，SIO1CHフラグとSBフラグをともに“0”に設定することにより選択します。

2線式シリアルI/O方式は$P0A_3$/SDA端子と$P0A_2$/SCL端子を使用します。

図19-15に2線式シリアルI/O方式の入出力ブロックと通信方法を示します。

また，表19-7に2線式シリアルI/O方式使用時の各端子とコントロール・レジスタの機能と動作を示します。

図19-15および表19-7に示すように，2線式シリアルI/O方式は内部クロック（マスタ）動作と外部クロック（スレーブ）動作があり，それぞれに送信（TX）および受信（RX）動作が行えます。

マスタおよびスレーブ動作の選択はSIO1MSフラグにより行い，受信および送信動作の選択はSIO1TXフラグにより行います。

マスタ動作時は$P0A_2$/SCL端子から内部シフト・クロックを出力します。このとき送信であれば，シフト・クロックの立ち下がりで$P0A_3$/SDA端子からデータを出力し，受信であれば，シフト・クロックの立ち上がりで$P0A_3$/SDA端子の状態をプリセッタブル・シフト・レジスタ1に入力します。

スレーブ動作時は$P0A_2$/SCL端子をフローティング（Hi-Z）状態にして外部クロック待ちになります。このとき送信であれば，シフト・クロックの立ち下がりで$P0A_3$/SDA端子からデータを出力し，受信であれば，$P0A_2$/SCL端子に加えられたクロックの立ち上がりで$P0A_3$/SDA端子の状態をプリセッタブル・シフト・レジスタ1に入力します。

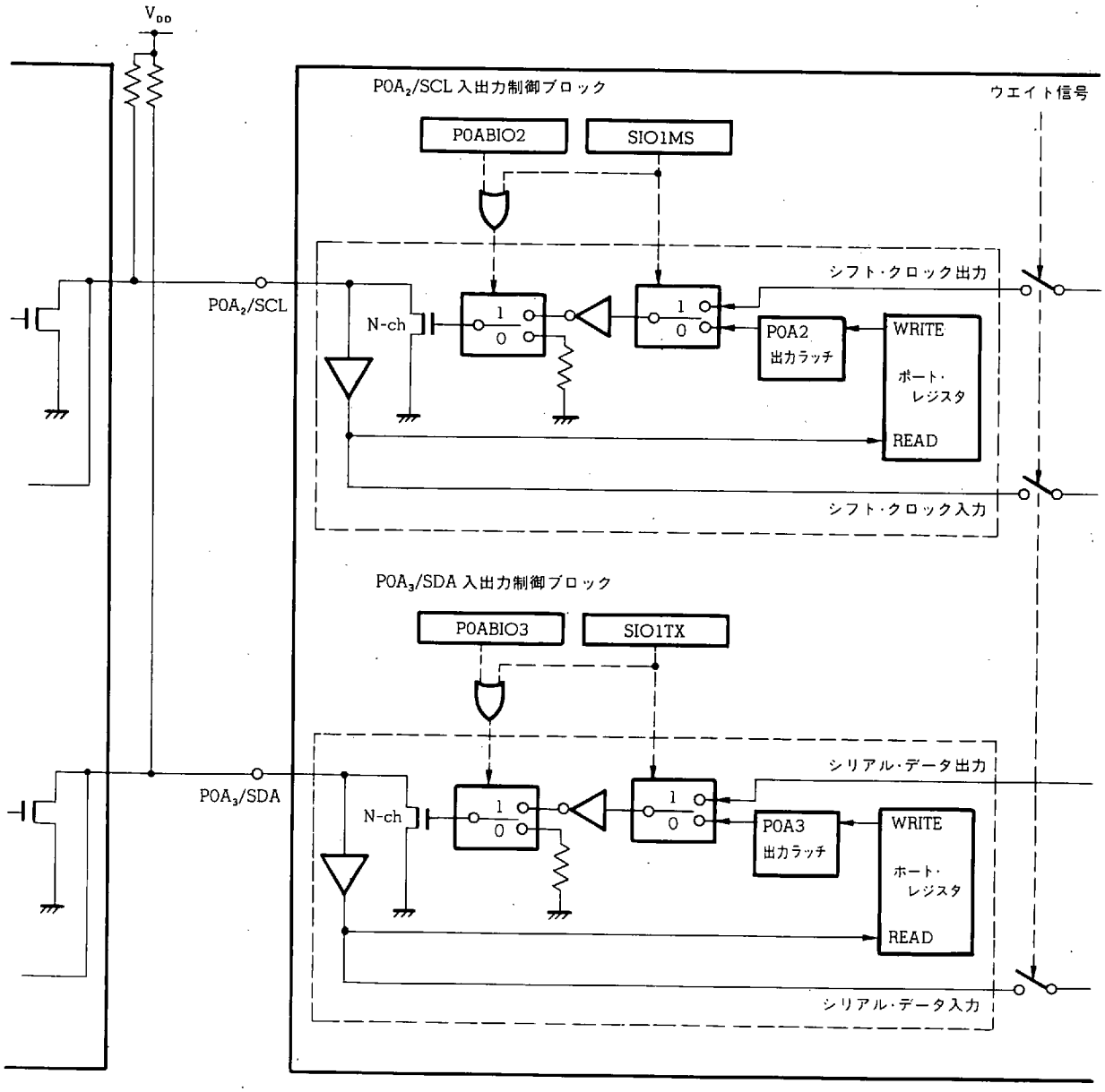
$P0A_3$/SDA端子および$P0A_2$/SCL端子はN-chオープン・ドレーン出力になっているため，マスタまたはスレーブのどちらかがロウ・レベルを出力していると通信ラインはロウ・レベルになります。

$P0A_3$/SDA端子および$P0A_2$/SCL端子は，端子に出力している値を読み込むと“そのときの端子の状態”をそのまま読み込みます。

表19-7のあとの(1)-(4)に，マスタ，スレーブ動作時の送信，受信動作の各プログラム例を示します。

★ 図 19 - 15 2線式シリアルI/O方式の入出力ブロックと通信方法

入出力ブロック



通信方法

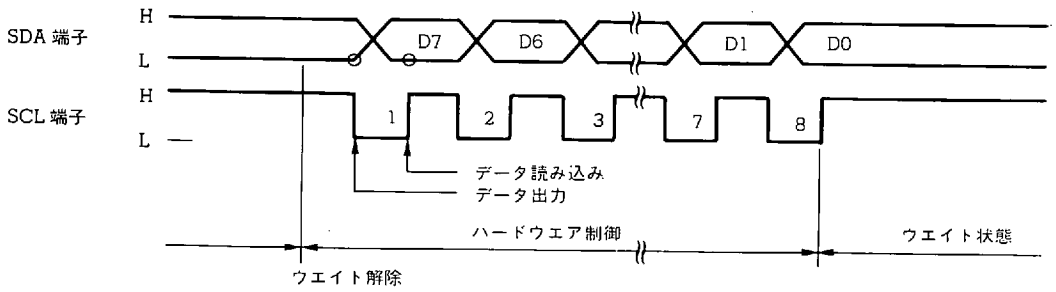


表 19-7 2線式シリアルI/O方式の動作概要

項目 ＼ 動作モード		2線式シリアルI/O方式 SIO1CH=0, SB=0			
		スレーブ動作 SIO1MS=0		マスタ動作 SIO1MS=1	
		受信（RX） SIO1TX=0	送信（TX） SIO1TX=1	受信（RX） SIO1TX=0	送信（TX） SIO1TX=1
各端子の設定状態	$P0A_3$/SDA	**P0ABIO3=0のとき** フローティング 外部データの入力待ち **P0ABIO3=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO3は0で使用する	P0ABIO3に関係なく外部クロックの立ち下がりでSIO1SFRの内容を出力	**P0ABIO3=0のとき** フローティング 外部データの入力待ち **P0ABIO3=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO3は0で使用する	P0ABIO3に関係なく内部シフト・クロックの立ち下がりでSIO1SFRの内容を出力
	$P0A_2$/SCL	**P0ABIO2=0のとき** フローティング 外部クロックの入力待ち **P0ABIO2=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO2は0で使用する	**P0ABIO2=0のとき** フローティング 外部クロックの入力待ち **P0ABIO2=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO2は0で使用する	P0ABIO2に関係なく内部シフト・クロックを出力	P0ABIO2に関係なく内部シフト・クロックを出力
クロック・カウンタの動作		SCL端子の立ち上がりでインクリメント			
プリセッタブル・シフト・レジスタ1(SIO1SFR)の動作		**出力** 出力されない **入力** SCL端子の立ち上がりごとに，SDA端子のデータをLSBからシフトして入力	**出力** SCL端子の立ち下がりごとに，MSBからシフトしてSDA端子に出力 **入力** SCL端子の立ち上がりごとに，SDA端子のデータをLSBからシフトして入力	**出力** 出力されない **入力** SCL端子の立ち上がりごとに，SDA端子のデータをLSBからシフトして入力	**出力** SCL端子の立ち下がりごとに，MSBからシフトしてSDA端子に出力 **入力** SCL端子の立ち上がりごとに，SDA端子のデータをLSBからシフトして入力
ウエイト動作		シリアル通信はSIO1NWTに“1”を書き込むことによりスタートする SIO1NWTは，SIO1WRQ1およびSIO1WRQ0で設定された条件で“0”にリセットされる			
		SIO1NWT=0のとき SCL端子はフローティング SDA端子はフローティング **SIO1NWT=1のとき** SCL端子をフローティングにして外部クロックの入力待ち SDA端子はフローティングになりSCL端子の立ち上がりでSDA端子のデータをSIO1SFRに入力	**SIO1NWT=0のとき** SCL端子はフローティング SDA端子は状態保持 **SIO1NWT=1のとき** SCL端子をフローティングにして外部クロックの入力待ち SCL端子の立ち下がりでSIO1SFRの内容をSDA端子に出力	**SIO1NWT=0のとき** SCL端子はフローティング SDA端子はフローティング **SIO1NWT=1のとき** SCL端子から内部シフト・クロックを出力 SDA端子はフローティングになりSCL端子の立ち上がりでSDA端子のデータをSIO1SFRに入力	**SIO1NWT=0のとき** SCL端子はフローティング SDA端子は状態保持 **SIO1NWT=1のとき** SCL端子から内部シフト・クロックを出力 SCL端子の立ち下がりでSIO1SFRの内容をSDA端子に出力

★ (1) 2線式シリアルI/O方式のプログラム例（マスタ送信モード時）

例 2バイトのデータ“A596H”を送信する。

```
        INITFLG  NOT SIO1CH, NOT SB, SIO1MS, SIO1TX
                                        ;2線式シリアルI/O，マスタ，送信
        CLR2     SIO1CK1, SIO1CK0       ;クロック・サイクル=75 kHz
        MOV      DBF1, #0AH             ;1バイト目の送信データの設定
        MOV      DBF0, #5
        PUT      SIO1SFR, DBF
        INITFLG  NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        :ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP1 :
        SKF1     SIO1NWT                ;ウエイト状態が解除されるまでウエイト
        BR       LOOP1
        MOV      DBF1, #9               ;2バイト目の送信データの設定
        MOV      DBF0, #6
        PUT      SIO1SFR, DBF
        INITFLG  NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP2 :
        SKF1     SIO1NWT                ;ウエイト状態が解除されるまでウエイト
        BR       LOOP2
        ⋮
```

(2) 2線式シリアルI/O方式のプログラム例（マスタ受信モード時） ★

例　2バイトのデータを受信し，BANK0の00H-03H番地に格納する。

```
SDABIO  FLG     P0ABIO3

DATA1H  MEM     0.00H           ;1バイト目の上位4ビットが格納される
DATA1L  MEM     0.01H           ;1バイト目の下位4ビットが格納される
DATA2H  MEM     0.02H           ;2バイト目の上位4ビットが格納される
DATA2L  MEM     0.03H           ;2バイト目の下位4ビットが格納される

CLR1    SDABIO
INITFLG NOT SIO1CH, NOT SB, SIO1MS, NOT SIO1TX
                                ;2線式シリアルI/O，マスタ，受信
INITFLG NOT SIO1CK1, SIO1CK0    ;クロック・サイクル=225 kHz
INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
;ウエイト解除
;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP1:
        SKF1    SIO1NWT         ;ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        GET     DBF, SIO1SFR    ;受信データの読み込み
        ST      DATA1H, DBF1    ;読み込んだデータを格納する
        ST      DATA1L, DBF0
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP2:
        SKF1    SIO1NWT         ;ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        GET     DBF, SIO1SFR    ;受信データの読み込み
        ST      DATA2H, DBF1    ;読み込んだデータを格納する
        ST      DATA2L, DBF0
        ⋮
```

★ (3) 2線式シリアルI/O方式のプログラム例（スレーブ送信モード時）

例 2バイトのデータ“A596H”を送信する。

```
        SCLBIO  FLG     P0ABIO2

        CLR1    SCLBIO
        INITFLG NOT SIO1CH, NOT SB, NOT SIO1MS, SIO1TX
                                        ;2線式シリアルI/O，スレーブ，送信
        MOV     DBF1, #0AH              ;送信データの設定
        MOV     DBF0, #5
        PUT     SIO1SFR, DBF
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP1:
        SKF1    SIO1NWT                 ;ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        MOV     DBF1, #9                ;送信データの設定
        MOV     DBF0, #6
        PUT     SIO1SFR, DBF
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP2:
        SKF1    SIO1NWT                 ;ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        ⋮
```

(4) 2線式シリアルI/O方式のプログラム例（スレーブ受信モード時） ★

例　2バイトのデータを受信し，BANK0の00H-03H番地に格納する。

```
        SDABIO  FLG     P0ABIO3
        SCLBIO  FLG     P0ABIO2

        DATA1H  MEM     0.00H           ;1バイト目の上位4ビットが格納される
        DATA1L  MEM     0.01H           ;1バイト目の下位4ビットが格納される
        DATA2H  MEM     0.02H           ;2バイト目の上位4ビットが格納される
        DATA2L  MEM     0.03H           ;2バイト目の下位4ビットが格納される

        CLR2    SCLBIO, SDABIO
        CLR4    SIO1CH, SB, SIO1MS, SIO1TX
                                        ;2線式シリアルI/O，スレーブ，受信
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP1:
        SKF1    SIO1NWT                 ;ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        GET     DBF, SIO1SFR            ;受信データの読み込み
        ST      DATA1H, DBF1            ;読み込んだデータを格納する
        ST      DATA1L, DBF0
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP2:
        SKF1    SIO1NWT                 ;ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        GET     DBF, SIO1SFR            ;受信データの読み込み
        ST      DATA2H, DBF1            ;読み込んだデータを格納する
        ST      DATA2L, DBF0
        ⋮
```

19.11.3 3線式シリアルI/O方式の使用方法

3線式シリアルI/O方式は，SIO1CHフラグを“1”に，SBフラグを“0”に設定することにより選択します。

3線式シリアルI/O方式は，$P0A_1/\overline{SCK_1}$端子，$P0A_0/SO_1$端子，$P0B_3/SI_1$端子を使用します。

図19-16に3線式シリアルI/O方式の入出力ブロックと通信方法を示します。

また，表19-8にシリアルI/O方式使用時の各端子とコントロール・レジスタの機能と動作を示します。

図19-16および表19-8に示すように，シリアルI/O方式は，内部クロック（マスタ）動作と外部クロック（スレーブ）動作があり，それぞれに送信（TX）および受信（RX）動作が行えます。

マスタおよびスレーブ動作の選択はSIO1MSフラグにより行い，受信および送信動作の選択はSIO1TXフラグにより行います。

マスタ動作時は$P0A_1/\overline{SCK_1}$端子から内部シフト・クロックを出力します。このとき送信であれば，シフト・クロックの立ち下がりで$P0A_0/SO_1$端子からデータを出力します。

マスタ動作時のシリアル・データの入力は送受信に関係なく，シフト・クロックの立ち上がりで$P0B_3/SI_1$端子の状態をプリセッタブル・シフト・レジスタ1に入力します。ただし，$P0B_3/SI_1$端子は入力端子に設定する必要があります。

スレーブ動作時は$P0A_1/\overline{SCK_1}$端子をフローティング（Hi-Z）状態にして外部クロック待ちになります。このとき送信であれば，シフト・クロックの立ち下がりで$P0A_3$/SDA端子からデータを出力します。

スレーブ動作時のシリアル・データの入力は送受信に関係なく，シフト・クロックの立ち上がりで$P0B_3/SI_1$端子の状態をプリセッタブル・シフト・レジスタ1に入力します。ただし，$P0B_3/SI_1$端子は入力端子に設定する必要があります。

$P0A_1/\overline{SCK_1}$端子および$P0A_0/SO_1$端子は，対応するポート・レジスタの内容を読み込む命令を実行すると“そのときの出力ラッチの状態”が読み込まれます。

表19-8のあとの(1)-(4)に，マスタ，スレーブ動作時の送信，受信動作の各プログラム例を示します。

図 19-16 3線式シリアル I/O 方式の入出力ブロックと通信方法 (1/2) ★

入出力ブロック

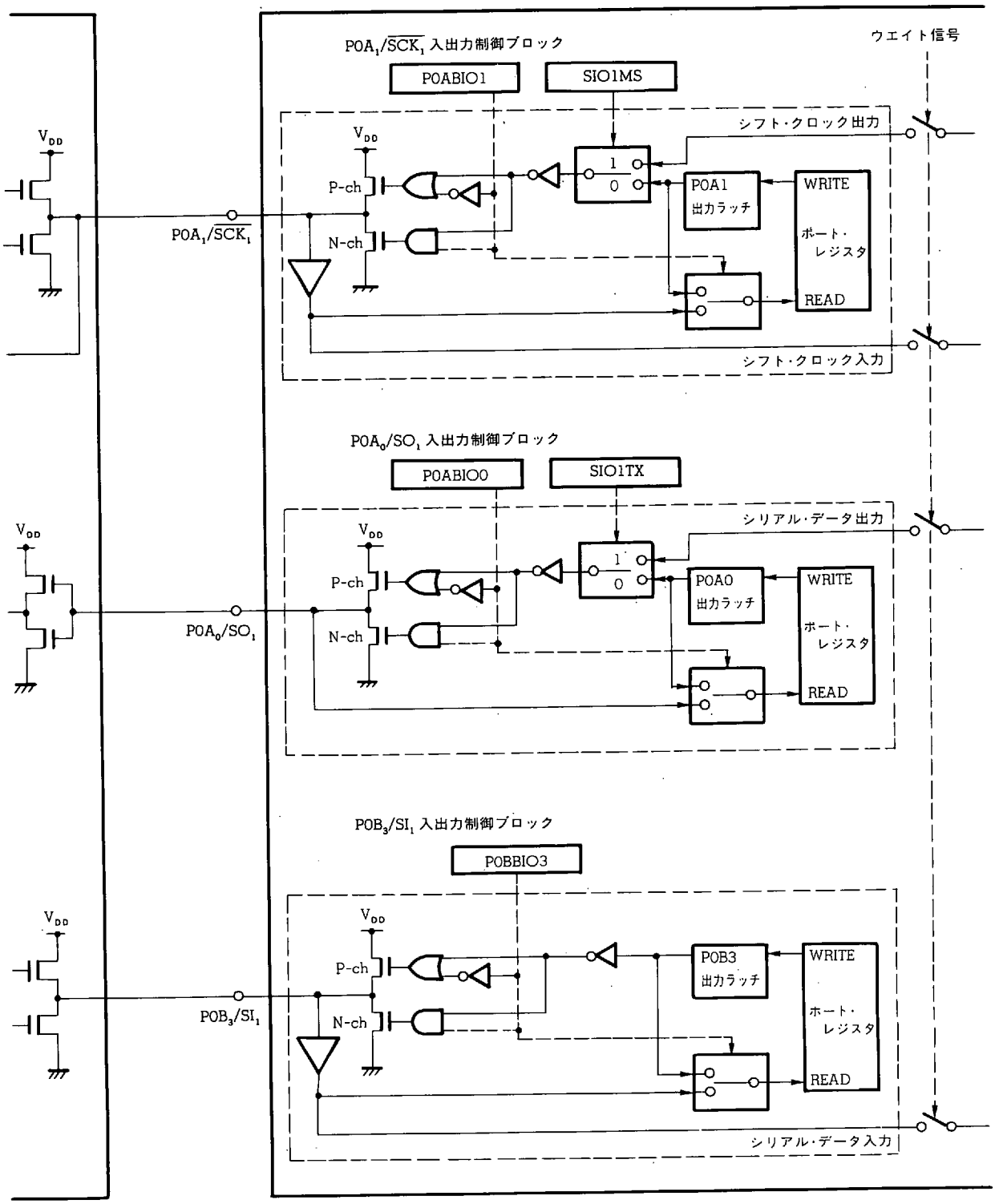


図 19 - 16　3 線式シリアル I/O 方式の入出力ブロックと通信方法 (2/2)

通信方法

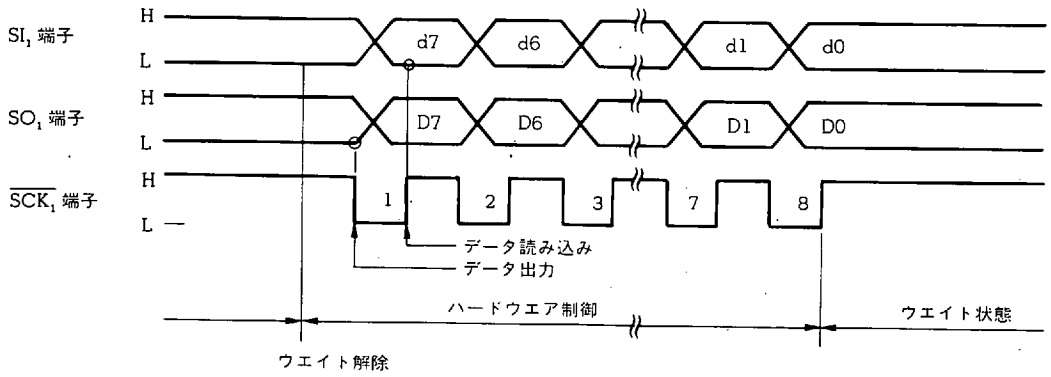


表 19-8 3線式シリアルI/O方式の動作概要

項目 ＼ 動作モード		3線式シリアルI/O方式 SIO1CH=1, SB=0			
		スレーブ動作 SIO1MS=0		マスタ動作 SIO1MS=1	
		受信（RX） SIO1TX=0	送信（TX） SIO1TX=1	受信（RX） SIO1TX=0	送信（TX） SIO1TX=1
各端子の設定状態	$P0A_1/\overline{SCK_1}$	**P0ABIO1=0のとき** フローティング 外部クロックの入力待ち **P0ABIO1=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO1 は 0 で使用する	**P0ABIO1=0のとき** フローティング 外部クロックの入力待ち **P0ABIO1=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0ABIO1 は 0 で使用する	P0ABIO1 に関係なく内部シフト・クロックを出力	P0ABIO1 に関係なく内部シフト・クロックを出力
	$P0A_0/SO_1$	**P0ABIO0=0のとき** 汎用出力ポート フローティング **P0ABIO0=1のとき** 汎用出力ポート 出力ラッチの内容を出力	P0ABIO0 に関係なく外部クロックの立ち下がりで SIO1SFR の内容を出力	**P0ABIO0=0のとき** 汎用入力ポート フローティング **P0ABIO0=1のとき** 汎用出力ポート 出力ラッチの内容を出力	P0ABIO0 に関係なく内部シフト・クロックの立ち下がりで SIO1SFR の内容を出力
	$P0B_3/SI_1$	**P0BBIO3=0のとき** フローティング 外部データの入力待ち **P0BBIO3=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0BBIO3 は 0 で使用する	**P0BBIO3=0のとき** フローティング 外部データの入力待ち **P0BBIO3=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0BBIO3 は 0 で使用する	**P0BBIO3=0のとき** フローティング 外部データの入力待ち **P0BBIO3=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0BBIO3 は 0 で使用する	**P0BBIO3=0のとき** フローティング 外部データの入力待ち **P0BBIO3=1のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0BBIO3 は 0 で使用する
クロック・カウンタの動作		$\overline{SCK_1}$ 端子の立ち下がりでインクリメント			
プリセッタブル・シフト・レジスタ1(SIO1SFR)の動作		**出力** 出力されない **入力** $\overline{SCK_1}$ 端子の立ち上がりごとに, SI_1 端子のデータを LSB からシフトして入力	**出力** $\overline{SCK_1}$ 端子の立ち下がりごとに, MSB からシフトして SO_1 端子に出力 **入力** $\overline{SCK_1}$ 端子の立ち上がりごとに, SI_1 端子のデータを LSB からシフトして入力	**出力** 出力されない **入力** $\overline{SCK_1}$ 端子の立ち上がりごとに, SI_1 端子のデータを LSB からシフトして入力	**出力** $\overline{SCK_1}$ 端子の立ち下がりごとに, MSB からシフトして SO_1 端子に出力 **入力** $\overline{SCK_1}$ 端子の立ち上がりごとに, SI_1 端子のデータを LSB からシフトして入力
ウエイト動作		シリアル通信は SIO1NWT に "1" を書き込むことによりスタートする SIO1NWT は, SIO1WRQ1 および SIO1WRQ0 で設定された条件で "0" にリセットされる			
		SIO1NWT=0のとき $\overline{SCK_1}$ 端子はフローティング SO_1 端子は汎用ポート SI_1 端子はフローティング **SIO1NWT=1のとき** $\overline{SCK_1}$ 端子は外部クロックの入力待ち $\overline{SCK_1}$ 端子の立ち上がりで SI_1 端子のデータを SIO1SFR に入力	**SIO1NWT=0のとき** $\overline{SCK_1}$ 端子はフローティング SO_1 端子は状態保持 SI_1 端子はフローティング **SIO1NWT=1のとき** $\overline{SCK_1}$ 端子は外部クロックの入力待ち $\overline{SCK_1}$ 端子の立ち下がりで SIO1SFR の内容を SO_1 端子に出力 $\overline{SCK_1}$ 端子の立ち上がりで SI_1 端子のデータを SIO1SFR に入力	**SIO1NWT=0のとき** $\overline{SCK_1}$ 端子はハイ・レベル出力 SO_1 端子は汎用ポート SI_1 端子はフローティング **SIO1NWT=1のとき** $\overline{SCK_1}$ 端子から内部シフト・クロックを出力 $\overline{SCK_1}$ 端子の立ち上がりで SI_1 端子のデータを SIO1SFR に入力	**SIO1NWT=0のとき** $\overline{SCK_1}$ 端子はハイ・レベル出力 SO_1 端子は状態保持 SI_1 端子はフローティング **SIO1NWT=1のとき** $\overline{SCK_1}$ 端子から内部シフト・クロックを出力 $\overline{SCK_1}$ 端子の立ち下がりで SIO1SFR の内容を SO_1 端子に出力 $\overline{SCK_1}$ 端子の立ち上がりで SI_1 端子のデータを SIO1SFR に入力

★ (1) 3線式シリアルI/O方式のプログラム例（マスタ送信モード時）

例 2バイトのデータ“A596H”を送信する。

```
        INITFLG  SIO1CH, NOT SB, SIO1MS, SIO1TX
                                        ;3線式シリアルI/O，マスタ，送信
        INITFLG  SIO1CK1, NOT SIO1CK0   ;クロック・サイクル=150 kHz
        MOV      DBF1, #0AH             ;送信データを設定
        MOV      DBF0, #5
        PUT      SIO1SFR, DBF
        INITFLG  NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        :ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP1 :
        SKF1     SIO1NWT                ;ウエイト状態が解除されるまでウエイト
        BR       LOOP1
        MOV      DBF1, #9               ;送信データを設定
        MOV      DBF0, #6
        PUT      SIO1SFR, DBF
        INITFLG  NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP2 :
        SKF1     SIO1NWT                ;ウエイト状態が解除されるまでウエイト
        BR       LOOP2
        ⋮
```

(2) 3線式シリアルI/O方式のプログラム例（マスタ受信モード時） ★

例　2バイトのデータを受信し，BANK0の00H-03H番地に格納する。

```
        SI1BIO   FLG      P0BBIO3

        DATA1H   MEM      0.00H          ; 1バイト目の上位4ビットが格納される
        DATA1L   MEM      0.01H          ; 1バイト目の下位4ビットが格納される
        DATA2H   MEM      0.02H          ; 2バイト目の上位4ビットが格納される
        DATA2L   MEM      0.03H          ; 2バイト目の下位4ビットが格納される

        CLR1     SI1BIO
        INITFLG  SIO1CH, NOT SB, SIO1MS, NOT SIO1TX
                                          ; 3線式シリアルI/O，マスタ，受信
        SET2     SIO1CK1, SIO1CK0         ; クロック・サイクル=450 kHz
        INITFLG  NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP1 :
        SKF1     SIO1NWT                  ; ウエイト状態が解除されるまでウエイト
        BR       LOOP1
        GET      DBF, SIO1SFR             ; 受信データの読み込み
        ST       DATA1H, DBF1             ; 読み込んだデータを格納する
        ST       DATA1L, DBF0
        INITFLG  NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ; ウエイト解除
        ; ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP2 :
        SKF1     SIO1NWT                  ; ウエイト状態が解除されるまでウエイト
        BR       LOOP2
        GET      DBF, SIO1SFR             ; 受信データの読み込み
        ST       DATA2H, DBF1             ; 読み込んだデータを格納する
        ST       DATA2L, DBF0
        ⋮
```

★ (3) 3線式シリアルI/O方式のプログラム例（スレーブ送信モード時）

例 2バイトのデータ "A596H" を送信する。

```
        SCK1BIO FLG     P0ABIO1

        CLR1    SCK1BIO
        INITFLG SIO1CH, NOT SB, NOT SIO1MS, SIO1TX
                                        ;3線式シリアルI/O，スレーブ，送信
        MOV     DBF1, #0AH              ;送信データの設定
        MOV     DBF0, #5
        PUT     SIO1SFR, DBF
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが "8" のときのシフト・クロックの立ち上がり
LOOP1:
        SKF1    SIO1NWT                 ;ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        MOV     DBF1, #9                ;送信データの設定
        MOV     DBF0, #6
        PUT     SIO1SFR, DBF
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが "8" のときのシフト・クロックの立ち上がり
LOOP2:
        SKF1    SIO1NWT                 ;ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        ⋮
```

(4) 3線式シリアルI/O方式のプログラム例（スレーブ受信モード時） ★

例　2バイトのデータを受信し，BANK0の00H-03H番地に格納する。

```
        SCK1BIO FLG     P0ABIO1
        SI1BIO  FLG     P0BBIO3

        DATA1H  MEM     0.00H           ;1バイト目の上位4ビットが格納される
        DATA1L  MEM     0.01H           ;1バイト目の下位4ビットが格納される
        DATA2H  MEM     0.02H           ;2バイト目の上位4ビットが格納される
        DATA2L  MEM     0.03H           ;2バイト目の下位4ビットが格納される

        CLR2    SCK1BIO, SI1BIO
        INITFLG SIO1CH, NOT SB, NOT SIO1MS, NOT SIO1TX
                                        ;3線式シリアルI/O，スレーブ，受信
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP1:
        SKF1    SIO1NWT                 ;ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        GET     DBF, SIO1SFR            ;受信データの読み込み
        ST      DATA1H, DBF1            ;読み込んだデータを格納する
        ST      DATA1L, DBF0
        INITFLG NOT SBACK, SIO1NWT, NOT SIO1WRQ1, SIO1WRQ0
        ;ウエイト解除
        ;ウエイト条件は，クロック・カウンタが“8”のときのシフト・クロックの立ち上がり
LOOP2:
        SKF1    SIO1NWT                 ;ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        GET     DBF, SIO1SFR            ;受信データの読み込み
        ST      DATA2H, DBF1            ;読み込んだデータを格納する
        ST      DATA2L, DBF0
        ⋮
```

19.12 シリアル・インタフェース1のリセット時の状態

19.12.1 パワーオン・リセット時

$P0A_3$/SDA - $P0A_0$/SO_1端子および$P0B_3$/SI_1 端子はすべて汎用入力ポート(フローティング出力)に設定されます。

プリセッタブル・シフト・レジスタ1の値は不定になります。

19.12.2 クロック・ストップ時

$P0A_3$/SDA - $P0A_0$/SO_1端子および$P0B_3$/SI_1 端子はすべて汎用入力ポート(フローティング出力)に設定されます。

プリセッタブル・シフト・レジスタ1の値は以前の値を保持します。

19.12.3 CEリセット時

$P0A_3$/SDA - $P0A_0$/SO_1 端子および$P0B_3$/SI_1 端子はすべて汎用入力ポート（フローティング出力）に設定されます。

プリセッタブル・シフト・レジスタ1の値は以前の値を保持します。

19.12.4 ホールト状態中

入出力端子は，そのとき設定されている状態を保持します。

このとき，内部クロックを使用している（マスタ動作）と，“HALT”命令を実行した時点でクロックが出力されなくなります。

したがって，内部クロックを使用する場合は通信が終了した時点で“HALT”命令を実行する必要があります。

ただし，外部から強制的にクロックが入力されると，内部クロックに設定されていてもシリアル・インタフェース1の機能が動作します。

外部クロックを使用している（スレーブ動作）場合は“HALT”命令が実行されても動作を継続します。

シリアル・インタフェース1の割り込みによるホールト状態の解除を使用する場合は，前述した理由により内部クロックを使用することができないため注意してください。

19.13 シリアル・インタフェース2（SIO2）の構成

図19-17にシリアル・インタフェース2のブロック図を示します。

図19-17に示すように，シリアル・インタフェース2のシフト・クロック制御部は，クロック入出力端子ブロック，クロック生成ブロック，ウエイト・コントロール・ブロック，クロック・カウント・ブロック，スタート/ストップ検出ブロックおよび割り込み制御ブロックから構成されています。

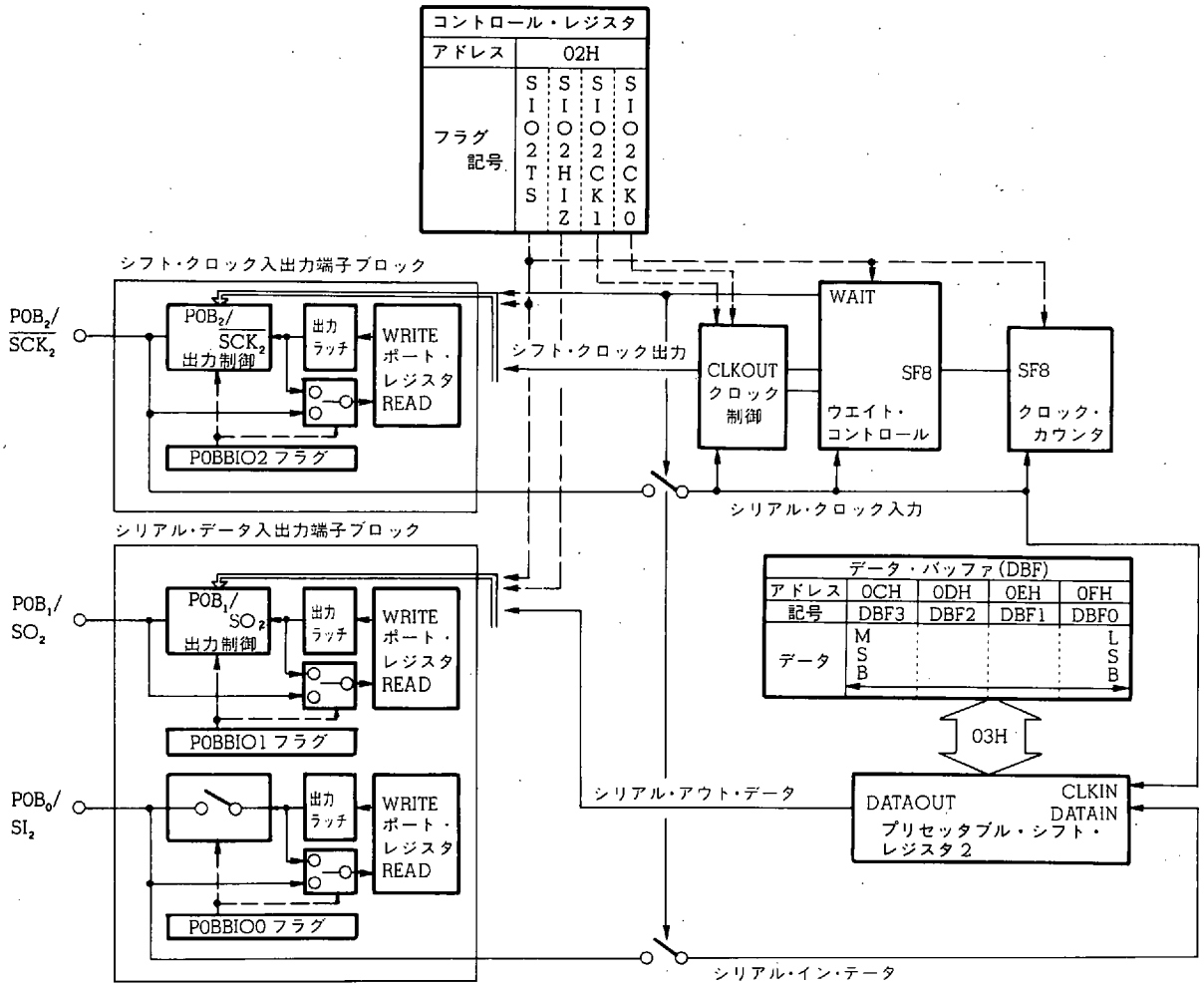
また，シリアル・データ制御部は，シリアル・データ入出力端子ブロック，プリセッタブル・シフト・レジスタ2およびアクノリッジ・ブロックから構成されています。

これらの各ブロックは，コントロール・レジスタの各フラグにより制御されます。

また，プリセッタブル・シフト・レジスタ2へのデータの書き込みおよびデータの読み込みは，データ・バッファを介して行います。

19.14 に各ブロックの機能概略を示します。

図19-17 シリアル・インタフェース2のブロック図



19.14 シリアル・インタフェース2の機能概略

シリアル・インタフェース2は，表19-1に示したように3線式のシリアルI/O方式を使用できます。

シリアル・インタフェース2は，$P0B_2/\overline{SCK_2}$端子，$P0B_1/SO_2$端子および$P0B_0/SI_2$端子を使用します。

シリアル・インタフェース2は内部クロックおよび外部クロック動作が選択でき，さらに受信および送信動作が選択できます。

以下の**19.14.1 - 19.14.6**にシリアル・インタフェース2の各ブロックの機能を示します。

各ブロックの詳細については**19.15 - 19.19**を参照してください。

19.14.1 シフト・クロック入出力端子ブロック

シフト・クロック入出力端子の選択を行うブロックです。

シフト・クロック入出力端子の選択は，シリアルI/O2モード・セレクト・レジスタにより行います。

19.15を参照してください。

19.14.2 シリアル・データ入出力端子ブロック

シリアル・データ入出力端子の選択を行うブロックです。

シリアル・データ入出力端子の選択は，シリアルI/O2モード・セレクト・レジスタにより行います。

19.15を参照してください。

19.14.3 クロック生成ブロック

シフト・クロックのクロック周波数の選択およびシフト・クロック出力タイミングの制御を行います。

クロック周波数の選択は，シリアルI/O2モード・セレクト・レジスタにより行います。

19.16を参照してください。

19.14.4 クロック・カウンタ

シフト・クロック出力端子から出力されたクロックの立ち上がりを計数し，8クロック目（SF8信号）に信号を出力します。

SF8信号は，シリアル通信のウエイト（休止）に使用します。

19.17を参照してください。

19.14.5 プリセッタブル・シフト・レジスタ2（SIO2SFR）

シリアル・アウト・データの設定およびシリアル・イン・データの格納を行うシフト・レジスタです。

シフト・クロック入出力端子のクロックによりシフト動作を行いデータを入出力します。

出力データの設定および入力データの読み込みはデータ・バッファを介して行います。

19.18を参照してください。

19.14.6 ウエイト・コントロール・ブロック

シリアル通信のウエイトおよびウエイト解除（通信動作）を制御します。

シリアル通信のウエイトおよびウエイト解除は，シリアルI/O2モード・セレクト・レジスタにより行います。

19.19を参照してください。

19.15 シフト・クロックおよびシリアル・データ入出力端子制御ブロック

シフト・クロックおよびシリアル・データ入出力端子制御ブロックは，シリアル・インタフェース２の各端子の設定および送受信動作を制御します。

これらの制御はシリアル I/O2 モード・セレクト・レジスタにより行います。

以下の **19.15.1** にシリアル I/O2 モード・セレクト・レジスタの構成と機能を示します。

また，**19.15.2** にシリアル I/O2 モード・セレクト・レジスタによる各端子の設定状態を示します。

19.15.1 シリアル I/O2 モード・セレクト・レジスタ（SIO2MODE）の構成と機能

以下にシリアル I/O2 モード・セレクト・レジスタの構成と機能を示します。

SIO2CK1 および SIO2CK0 フラグは，内部クロックと外部クロックの切り替えと同時に内部クロックの周波数も設定します。

クロックについては **19.16** を参照してください。

SIO2TS フラグはシリアル・インタフェース２のウエイトおよびウエイト解除を設定します。

ウエイト動作については **19.19** を参照してください。

名　　称	フラグ記号 b_3	b_2	b_1	b_0	アドレス	Read/Write
シリアル I/O2 モード・セレクト・レジスタ (SIO2MODE)	SIO2TS	SIO2HIZ	SIO2CK1	SIO2CK0	02H	R/W

シリアル・インタフェース２の入出力クロック周波数を設定する

SIO2CK1	SIO2CK0	
0	0	外部クロック（スレーブ）
0	1	75 kHz　（マスタ）
1	0	150 kHz　（マスタ）
1	1	450 kHz　（マスタ）

$P0B_1/SO_2$ 端子をシリアル・アウト端子として設定する

SIO2HIZ	
0	汎用入出力ポート
1	シリアル・アウト

シリアル・インタフェース２のシリアル通信スタートを設定する

SIO2TS	
0	シリアル通信しない（ウエイト）
1	シリアル通信をする（ウエイト解除）

リセット時		b_3	b_2	b_1	b_0
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	0	0	0	0

19.15.2 シリアルI/Oモード・セレクト・レジスタによる各端子の設定状態

表19-9に，シリアルI/Oモード・セレクト・レジスタによる各端子の設定状態を示します。

表19-9に示すように，各端子の設定は各端子のI/Oセレクト・フラグを操作する必要もあります。

I/Oセレクト・フラグについての詳細は，“**15. 汎用ポート**”を参照してください。

表19-9 シリアルI/O2モード・セレクト・レジスタ（SIO2MODE）による各端子の設定状態

SIO2MODE						端子				
通信方式	b_2 SIO2HIZ	シリアル出力の設定	b_1 SIO2CK1	b_0 SIO2CK0	クロックの方向	端子記号	各端子のI/Oセレクト・フラグ P0BBIO2	P0BBIO1	P0BBIO0	端子の設定状態
3線式シリアルI/O			0	0	外部クロック	$P0B_2/\overline{SCK_2}$	0			ウエイト中：汎用入力ポート ウエイト解除中：外部クロック入力
							1			ウエイト中：汎用出力ポート ウエイト解除中：汎用出力ポート
			0	1	内部クロック		0			ウエイト中：汎用入力ポート ウエイト解除中：汎用入力ポート
			1	0						
			1	1			1			ウエイト中：ハイ・レベル出力 ウエイト解除中：内部クロック出力
	0	汎用ポート				$P0B_1/SO_2$		0		汎用入力ポート
								1		汎用出力ポート
	1	シリアル出力						0		汎用入力ポート
								1		シリアル出力
						$P0B_0/SI_2$			0	シリアル入力
									1	汎用出力ポート

19.16 クロック生成ブロック

クロック生成ブロックは，内部クロック使用時（マスタ動作）のクロックの生成およびクロック出力タイミングの制御を行います。

内部クロックの周波数 f_{sc}は，シリアル I/O2 モード・セレクト・レジスタの SIO2CK1 および SIO2CK0 フラグにより設定します。

シフト・クロックは，**19.17** で説明するクロック・カウンタが“8”になるまで連続して出力されます。

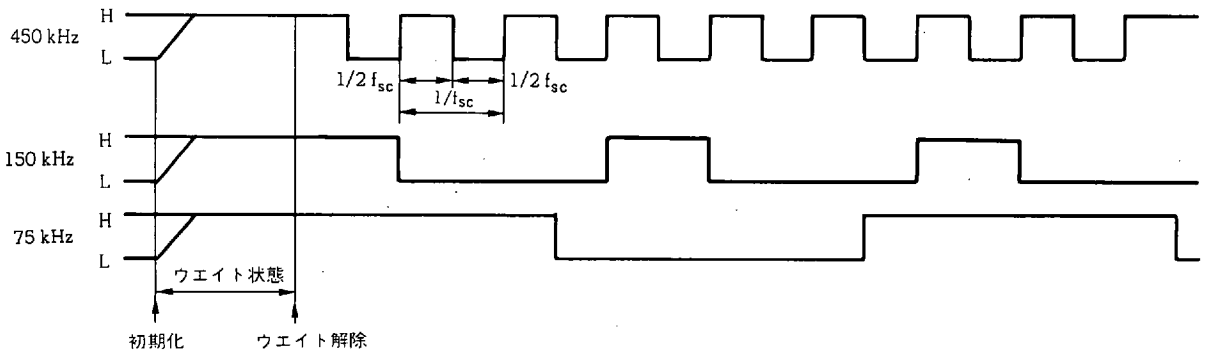
以下の **19.16.1** にクロック出力波形およびクロック生成タイミングを示します。

19.16.1 内部シフト・クロック生成タイミング

(1) 初期状態からのウエイト解除時

初期状態とは内部クロック動作を選択し，かつ $P0B_2/\overline{SCK_2}$ 端子を出力に設定してハイ・レベルを出力した時点を指します。

ウエイト状態中は $P0B_2/\overline{SCK_2}$ 端子にハイ・レベルを出力します。

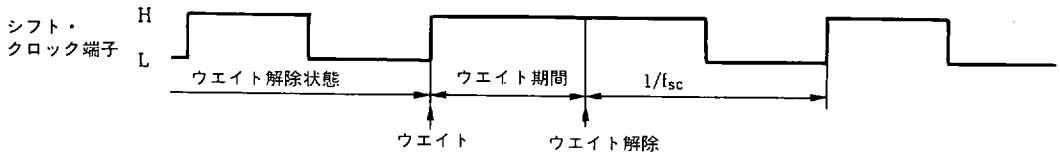


★

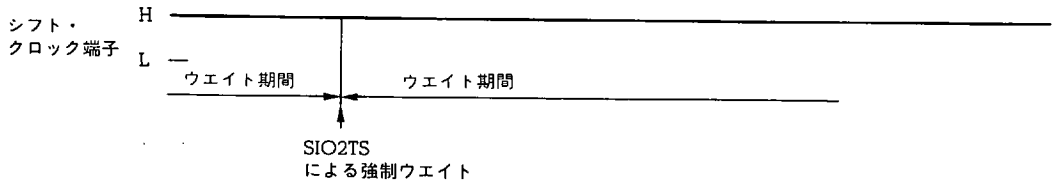
(2) ウエイト動作を行ったとき

ウエイト動作については 19.19 を参照してください。

(a) クロック・カウンタが "8" になりウエイトしたとき (通常動作)

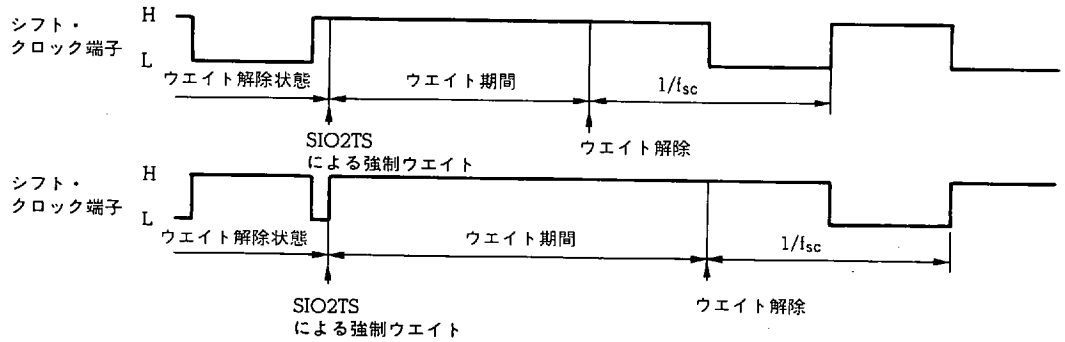


(b) ウエイト中に強制ウエイトしたとき



(c) ウエイト解除中に強制ウエイトしたとき

このとき，クロック・カウンタはリセットされてしまいます。



(d) ウエイト解除中にウエイト解除したとき

この場合はクロック出力波形は変化しません。

クロック・カウンタもリセットされません。

(e) クロック周波数の変更とウエイト解除を同時に行ったとき

クロック周波数の変更とウエイトの解除は，コントロール・レジスタのシリアルI/O2モード・セレクト・レジスタにより設定できます。

したがって，クロック周波数の変更とウエイトの解除は，1命令で行うことができます。

ウエイトの解除とクロック周波数の変更を1命令で行うと，前頁の (1) に示した初期状態からのウエイト解除と同様になります。

19.17 クロック・カウンタ

クロック・カウンタはシフト・クロック端子（$P0B_2/\overline{SCK_2}$ 端子）から出力または入力するシフト・クロックを計数するラップ・アラウンド・カウンタです。

クロック・カウンタは，シフト・クロック端子の状態を直接読み込みます。このとき，内部クロックであるのか外部クロックであるのかは判断できません。

クロック・カウンタはシリアル通信のウエイト中には動作しません。

クロック・カウンタが“8”のときのシフト・クロックの立ち上がりでシリアル通信をウエイトします。

クロック・カウンタの内容は，直接プログラムで読み込むことはできません。

以下の **19.17.1** および **19.17.2** にクロック・カウンタの動作およびクロック・カウンタのリセット条件について説明します。

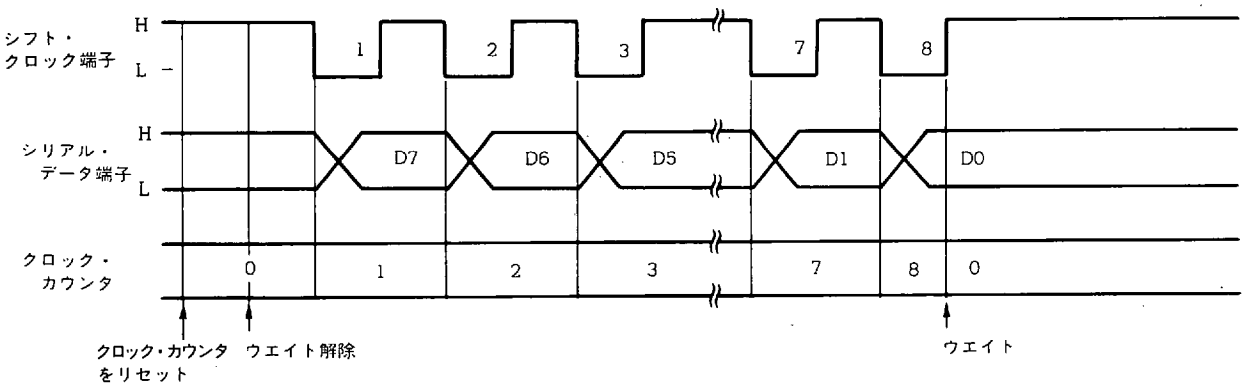
19.17.1 クロック・カウンタの動作

図 19－18 にクロック・カウンタの動作を示します。

クロック・カウンタの初期値は“0”で，以後シフト・クロック端子の立ち下がりが検出されるごとに 1 ずつインクリメントされ，“8”までカウントされると，次のシフト・クロック端子の立ち上がりで“0”にリセットされます。

クロック・カウンタが“0”にリセットされた時点でシリアル通信はウエイトします。

図 19－18 クロック・カウンタの動作



19.17.2 クロック・カウンタのリセット（0）条件

以下の（1）－（5）にクロック・カウンタがリセット（0）される条件を示します。

（1）パワーオン・リセット時

（2）クロック・ストップ命令実行時

（3）SIO2TS フラグに“0”が書き込まれたとき（強制ウエイト）

（4）ウエイト解除中で，かつクロック・カウンタが“8”のときにシフト・クロックが立ち上がったとき

（5）CE リセット ★

19.18 プリセッタブル・シフト・レジスタ 2 (SIO2SFR)

プリセッタブル・シフト・レジスタ 2 (SIO2SFR) は，シリアル・アウト・データの書き込みおよびシリアル・イン・データの読み込みを行うための 8 ビットのシフト・レジスタです。

プリセッタブル・シフト・レジスタ 2 へのデータの書き込みおよびデータの読み込みは，データ・バッファを介して "PUT" 命令および "GET" 命令で行います。

19.18.1 にプリセッタブル・シフト・レジスタ 2 の構成とデータ・バッファの関係を示します。

プリセッタブル・シフト・レジスタ 2 のデータ・シフト動作は，シフト・クロック端子 ($P0B_2/\overline{SCK_2}$ 端子) に加えられたクロックに同期して行われます。

このとき，シフト・クロックの立ち上がりに同期してシリアル・データ出力端子にプリセッタブル・シフト・レジスタ 2 の最上位ビット (MSB) の内容を出力し，クロックの立ち上がりに同期してシリアル・データ入力端子のデータをプリセッタブル・シフト・レジスタ 2 の最下位ビット (LSB) に読み込みます。

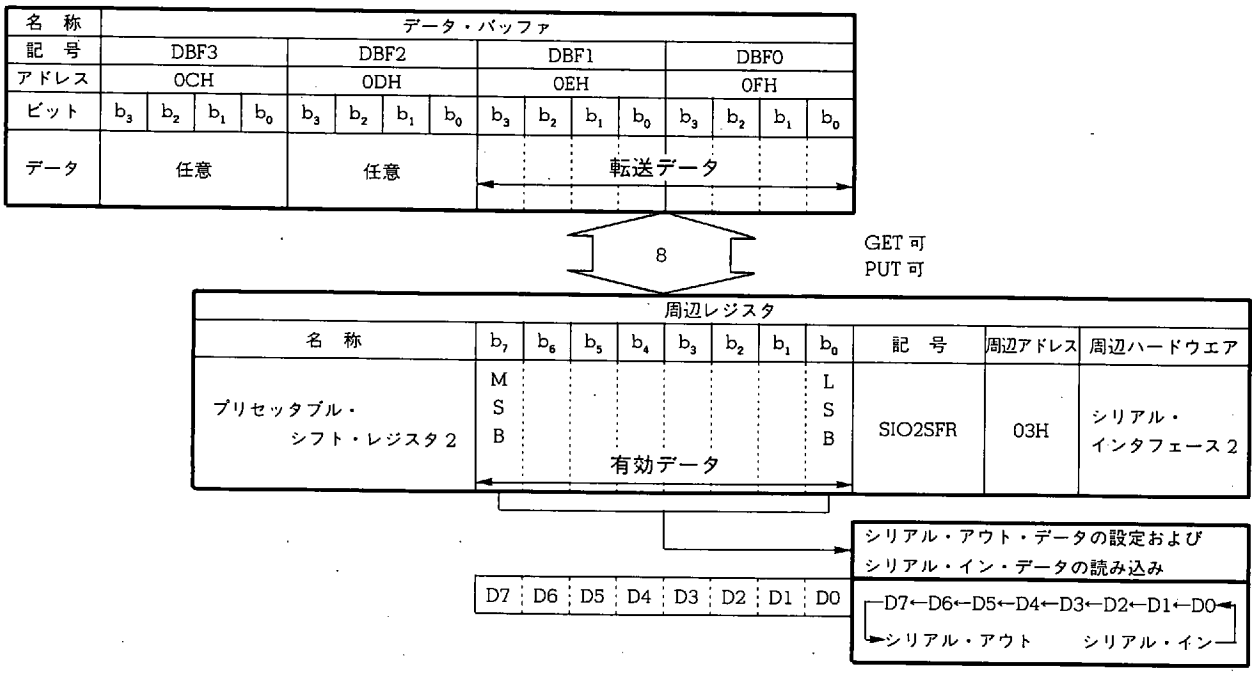
19.18.2 に動作を示します。また，**19.18.3** にプリセッタブル・シフト・レジスタ 2 へのデータ書き込みおよびデータ読み込み時の注意を示します。

ウエイト状態中は，プリセッタブル・シフト・レジスタ 2 はデータのシフト動作を行いません。

各シリアル通信方式時の動作の詳細は，**19.20** を参照してください。

19.18.1 プリセッタブル・シフト・レジスタ 2 の構成とデータ・バッファの関係

以下にプリセッタブル・シフト・レジスタ 2 の構成とデータ・バッファの関係を示します。



19.18.2 プリセッタブル・シフト・レジスタ 2 の動作

図 19 - 19 にプリセッタブル・シフト・レジスタ 2 のデータ・シフト動作を示します。

また，表 19 - 10 に，送信および受信時のデータ・シフト動作を示します。

図 19 - 19 プリセッタブル・シフト・レジスタ 2 のデータ・シフト動作

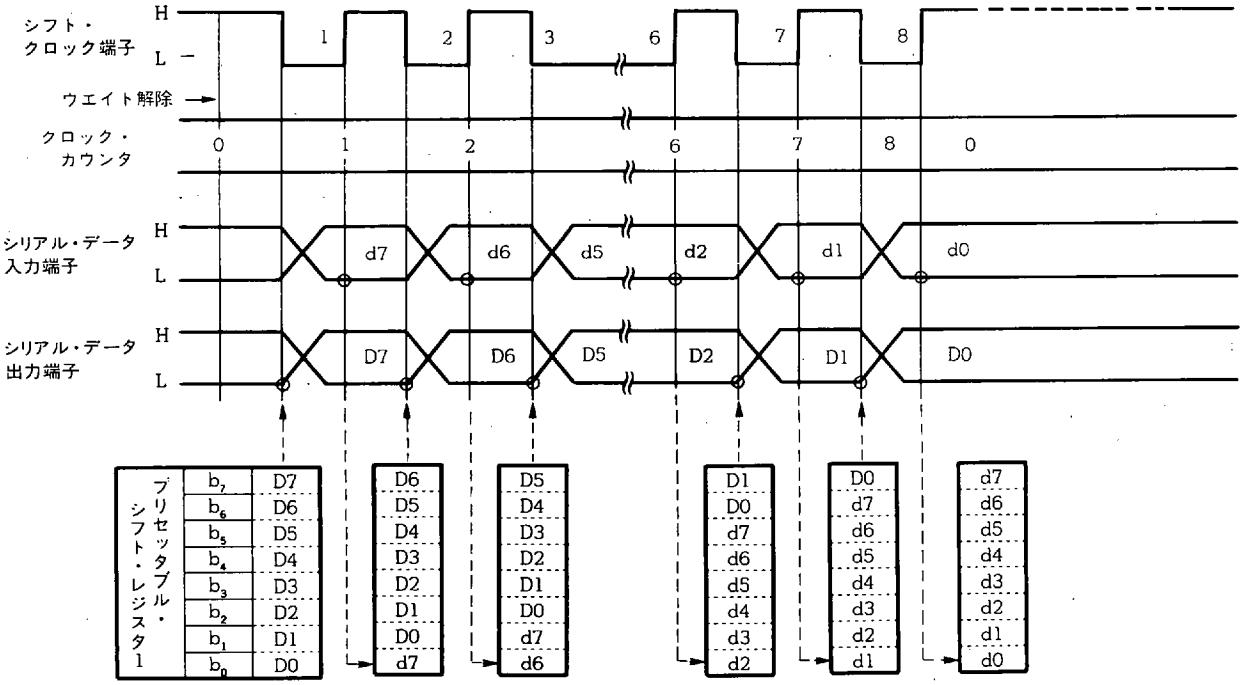


表 19 - 10 送信および受信時のデータ・シフト動作

シリアル I/O 方式	
シリアル入力動作	シリアル出力動作
シフト・クロックの立ち上がりで $P0B_0/SI_2$ 端子の状態を LSB からシフトして入力する。 P0BBIO0 フラグが“0”の場合は，出力ラッチの内容が入力される。 ウエイト状態中は動作しない。	シフト・クロックの立ち下がりで $P0B_1/SO_2$ 端子に MSB からシフトして出力する。 P0BBIO1 フラグが“1”の場合，または SIO2HIZ フラグが“0”の場合は出力されない。 ウエイト状態中は動作しない。

19.18.3 データ設定時およびデータ読み込み時の注意

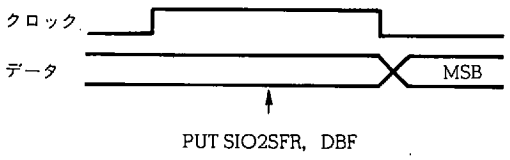
プリセッタブル・シフト・レジスタ2へのデータの書き込みは“PUT SIO2SFR, DBF”命令で行います。

また，データの読み込みは“GET DBF, SIO2SFR”命令で行います。

データの設定およびデータの読み込みは，ウエイト状態中に行ってください。ウエイト解除状態中は，シフト・クロック端子の状態によりデータの設定および読み込みが正しくできない場合があります。

表19-11にデータの設定および読み込みのタイミングと注意を示します。

表19-11 プリセッタブル・シフト・レジスタ2のデータ読み込み(GET)およびデータ書き込み(PUT)動作と注意

PUT/GET 実行時の状態		シフト・クロック端子の状態	プリセッタブル・シフト・レジスタ2 (SIO2SFR)
ウエイト状態	読み込み時 (GET)	外部クロック時 フローティング 内部クロック時 ハイレベル	正常読み込み
	書き込み時 (PUT)		正常書き込み データの出力は次にウエイトが解除されてシフト・クロック端子が立ち下がったときにMSBの内容を出力する（送信動作時）
ウエイト解除状態	読み込み時 (GET)	ロウ・レベルのとき	正常読み込み
		ハイ・レベルのとき	正常に読み込めない また，SIO2SFRの内容が破壊される
	書き込み時 (PUT)	ハイ・レベルのとき	正常書き込み データの出力はPUT命令を実行した時点でMSBの内容を出力する クロック・カウンタはリセットされない 
		ロウ・レベルのとき	正常に書き込めない また，SIO2SFRの内容も破壊される

★

19.19 ウエイト・ブロック

ウエイト・ブロックは，シリアル・インタフェース２の通信の休止（ウエイト）および解除を制御します。

ウエイト・ブロックはシリアルI/O2モード・セレクト・レジスタのSIO2TSフラグにより制御します。

以下の **19.19.1** にウエイト動作と注意を示します。

19.19.1 ウエイト動作と注意

ウエイト状態とは，クロック生成ブロック，プリセッタブル・シフト・レジスタ２などの動作が停止し，シリアル通信を休止している状態です。

すなわち，ウエイト状態を解除することによりシリアル通信動作を行うことになります。

ウエイトの解除はSIO2TSフラグに“1”を書き込むことにより行います。

SIO2TSフラグに“1”が書き込まれると，内部クロックをシフト・クロック出力端子に出力（マスタ動作時）し，プリセッタブル・シフト・レジスタ２およびクロック・カウンタが動作を開始します。

次に，クロック・カウンタが“8”のときにシフト・クロックが立ち上がると，ウエイト解除状態からウエイト状態になります。このときSIO2TSフラグは自動的にリセット（0）されます。

SIO2TSフラグは，ウエイト解除中にその内容を検出することによりシリアル通信の動作状態を知ることができます。

したがって，SIO2TSフラグに“1”を書き込み，シリアル通信をスタートさせたあとにSIO2TSフラグが“0”になるのを検出して，データの読み込みおよび設定を行います。

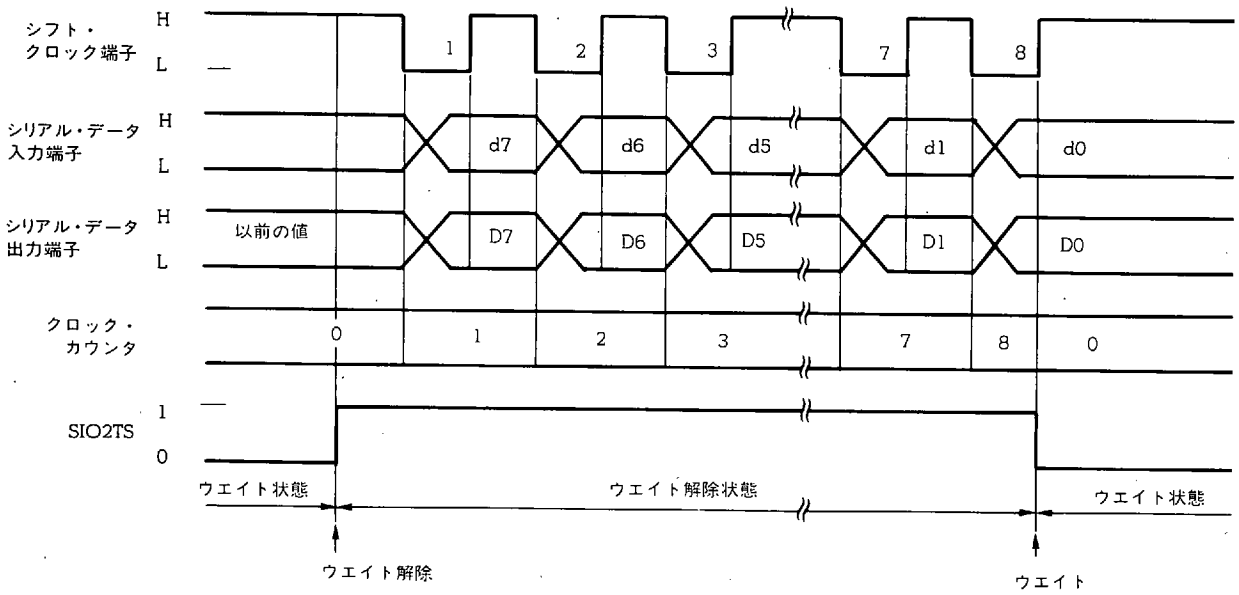
ウエイト解除状態中にプリセッタブル・シフト・レジスタ２へのデータ書き込み（PUT命令）やデータの読み込み（GET命令）を行うと，正しいデータの書き込みおよび読み込みが行えない場合があるため注意が必要です。

“**19.18.3 データ設定時およびデータ読み込み時の注意**”を参照してください。

ウエイト解除状態中にSIO2TSフラグに“0”を書き込むとウエイト状態になります。これを“強制ウエイト”と呼びます。強制ウエイトを行うと，クロック・カウンタが“0”にリセットされます。

図19－20にウエイト動作例を示します。

図 19-20 ウエイト動作例



ウエイトが解除されると次のクロックの立ち下がりでシリアル・データを出力し，ウエイト解除状態になります。

シフト・クロックが8パルス入力されると，シフト・クロック端子からハイ・レベルを出力して，クロック・カウンタおよびプリセッタブル・シフト・レジスタ2の動作を停止します。

ウエイト解除中で，かつシフト・クロック端子がハイ・レベルの期間に，プリセッタブル・シフト・レジスタ2にデータの書き込みおよびデータの読み込みを行うと，正しいデータが設定されないため注意してください。

ウエイト解除中で，かつシフト・クロック端子がロウ・レベルの期間に，プリセッタブル・シフト・レジスタ2にデータの書き込みを行うと，“PUT”命令が実行された時点でシリアル・データ出力端子にMSBの内容が出力されます。

ウエイト解除中に強制ウエイトを行うとSIO2TSフラグに“0”が書き込まれた時点で即座にウエイト状態になり，クロック・カウンタは“0”にリセットされます。

19.20 シリアル・インタフェース2の使用方法

図19-21にシリアル・インタフェース2の入出力ブロックと通信方法を示します。

また，表19-12にシリアル・インタフェース2の各モードの動作を示します。

図19-21および表19-12に示すように，シリアル・インタフェース2は内部クロック（マスタ）動作と外部クロック（スレーブ）動作があり，それぞれに送信および受信動作が行えます。

マスタおよびスレーブ動作の選択は，SIO2CK1およびSIO2CK0フラグにより行います。

受信および送信動作は，SIO2HIZフラグにより行います。

マスタ動作時は$P0B_2/\overline{SCK_2}$端子から内部シフト・クロックを出力します。ただし，$P0B_2/\overline{SCK_2}$端子を出力ポート（P0BBIO2フラグ＝1）に設定しておく必要があります。

スレーブ動作時は，$P0B_2/\overline{SCK_2}$端子をフローティング状態にして外部クロック待ちになります。ただし，$P0B_2/\overline{SCK_2}$端子を入力ポート（P0BBIO2フラグ＝0）に設定しておく必要があります。

シリアル・データの出力は，内部クロックおよび外部クロックに関係なく，シフト・クロックの立ち下がりで$P0B_1/SO_2$端子からシリアル・データを出力します。ただし，$P0B_1/SO_2$端子を出力ポート（P0BBIO1フラグ＝1）に設定し，かつSIO2HIZフラグをセットする必要があります。

シリアル・データの入力は，内部クロックおよび外部クロックに関係なく，シフト・クロックの立ち上がりで$P0B_1/SO_2$端子の状態をプリセッタブル・シフト・レジスタ2に入力します。ただし，$P0B_0/SI_2$端子を入力ポート（P0BBIO0フラグ＝0）に設定しておく必要があります。

$P0B_2/\overline{SCK_2}$端子は，端子に出力している値を読み込むと，ウエイト中は“そのときの出力ラッチの状態”を読み込み，ウエイト解除中は“そのときの端子の状態”を読み込みます。

表19-12のあとの(1)-(4)に，マスタ，スレーブ動作時の送信，受信動作の各プログラム例を示します。

★ 図 19-21 シリアル・インタフェース 2 の入出力ブロックと通信方法 (1/2)

入出力ブロック

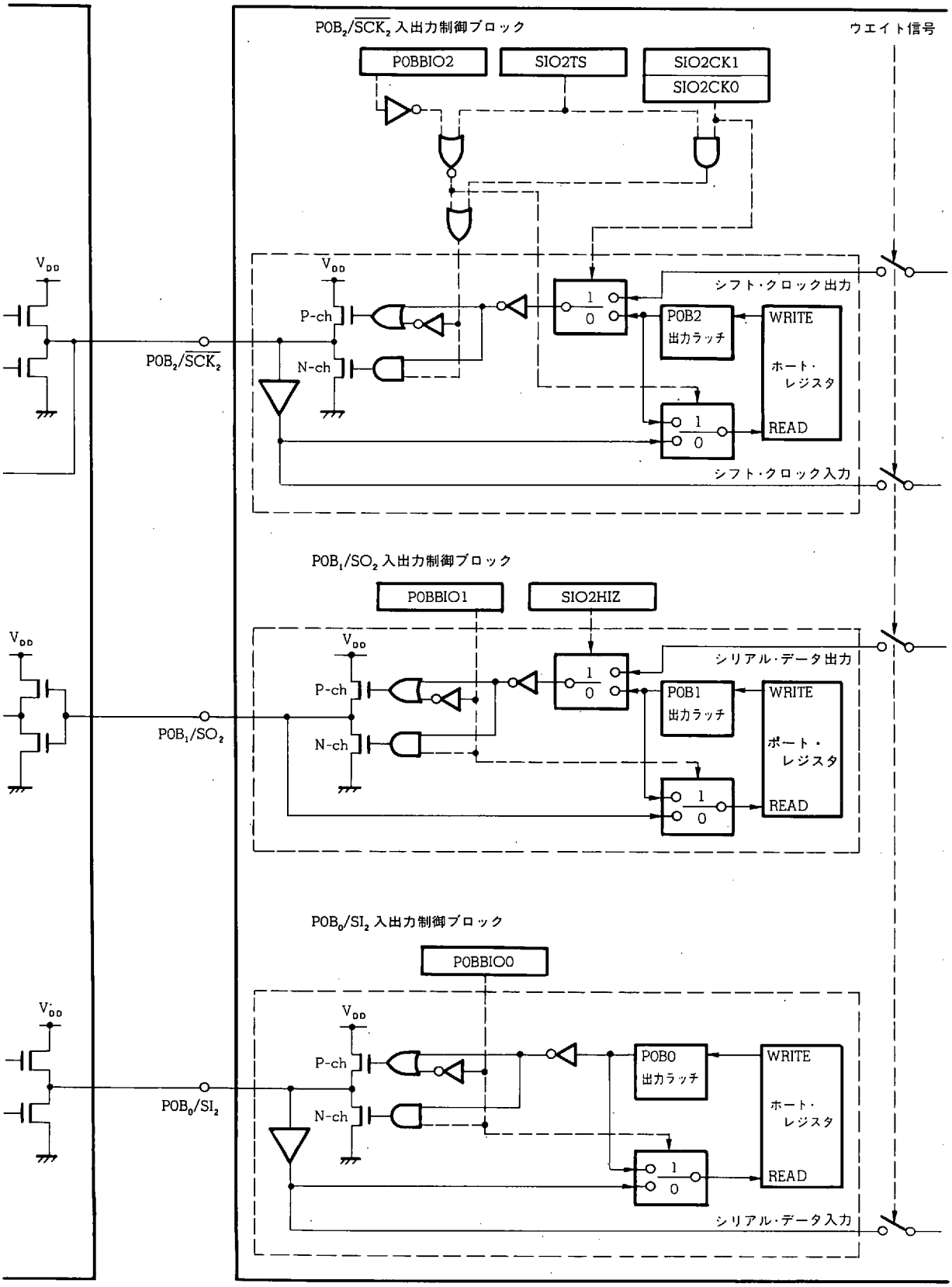


図 19-21 シリアル・インタフェース 2 の入出力ブロックと通信方法 (2/2)

通信方法

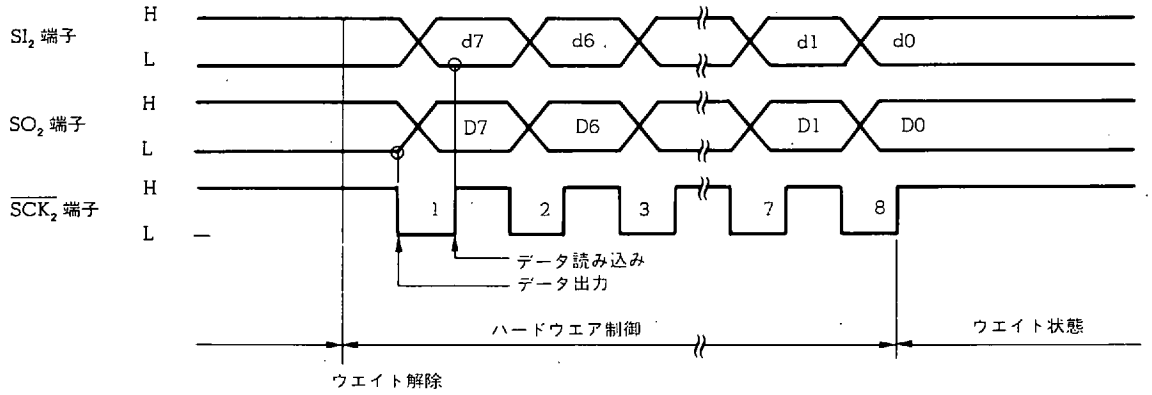


表 19-12 シリアル・インタフェース 2 の各モードの動作

項目 ＼ 動作モード		3 線式シリアル I/O 方式			
		スレーブ動作 SIO2CK1＝SIO2CK0＝0		マスタ動作 SIO2CK1＝SIO2CK0＝0 以外	
		ウエイト中	ウエイト解除中	ウエイト中	ウエイト解除中
各端子の設定状態	$P0B_2/\overline{SCK_2}$	**P0BBIO2＝0 のとき** フローティング 汎用入力ポート **P0BBIO2＝1 のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0BBIO2 は 0 で使用する	**P0BBIO2＝0 のとき** フローティング 外部クロック入力 **P0BBIO2＝1 のとき** 汎用出力ポート 出力ラッチの内容を出力	**P0BBIO2＝0 のとき** フローティング 汎用入力ポート **P0BBIO2＝1 のとき** ハイ・レベルを出力 通常 P0BBIO2 は 1 で使用する	**P0BBIO2＝0 のとき** フローティング 汎用入力ポート **P0BBIO2＝1 のとき** 内部クロック出力
	$P0B_1/SO_2$	**SIO2HIZ＝0 のとき**	**SIO2HIZ＝1 のとき**	**SIO2HIZ＝0 のとき**	**SIO2HIZ＝1 のとき**
		P0BBIO1＝0 のとき 汎用入力ポート フローティング **P0BBIO1＝1 のとき** 汎用出力ポート 出力ラッチの内容を出力	**P0BBIO1＝0 のとき** 汎用入力ポート フローティング **P0BBIO1＝1 のとき** シリアル・データ出力	**P0BBIO1＝0 のとき** 汎用入力ポート フローティング **P0BBIO1＝1 のとき** 汎用出力ポート 出力ラッチの内容を出力	**P0BBIO1＝0 のとき** 汎用入力ポート フローティング **P0BBIO1＝1 のとき** シリアル・データ出力
	$P0B_0/SI_2$	**P0BBIO0＝0 のとき** フローティング 外部データの入力待ち **P0BBIO0＝1 のとき** 汎用出力ポート 出力ラッチの内容を出力 通常 P0BBIO0 は 0 で使用する			
クロック・カウンタの動作		$\overline{SCK_2}$ 端子の立ち下がりでインクリメント			
プリセッタブル・シフト・レジスタ 2(SIO2SFR)の動作		**出力** SIO2HIZ＝1 のとき $\overline{SCK_2}$ 端子の立ち下がりごとに MSB からシフトして SO_2 端子から出力 SIO2HIZ＝0 のとき 出力されない **入力** P0BBIO0 に関係なく $\overline{SCK_2}$ 端子の立ち上がりごとに，SI_2 端子のデータを LSB からシフトして入力 ただし，P0BBIO0＝1 のときは SI_2 端子には出力ラッチの内容が出力されている			
ウエイト動作		シリアル通信は SIO2TS に "1" を書き込むことによりスタートする SIO2TS は，クロック・カウンタが "8" のときのシフト・クロックの立ち上がりで "0" にリセットされる 各端子の動作は上記参照			

★ (1) シリアル・インタフェース2のプログラム例（マスタ送信モード時）

例 2バイトのデータ“A596H”を送信する。

```
        SCK2BIO FLG       P0BBIO2
        SO2BIO  FLG       P0BBIO1

        MOV     DBF1, #0AH          ; 送信データを設定
        MOV     DBF0, #5
        PUT     SIO2SFR, DBF
        SET2    SCK2BIO, SO2BIO
        INITFLG SIO2TS, SIO2HIZ, NOT SIO2CK1, SIO2CK0
                                    ; ウエイト解除，シリアル出力，
                                    ; マスタ（fsc=75 kHz）
LOOP1 :
        SKF1    SIO2TS              ; ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        MOV     DBF1, #9            ; 送信データを設定
        MOV     DBF0, #6
        PUT     SIO2SFR, DBF
        SET1    SIO2TS              ; ウエイト解除
LOOP2 :
        SKF1    SIO2TS              ; ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        ⋮
```

★ (2) シリアル・インタフェース2のプログラム例（マスタ受信モード時）

例 2バイトのデータを受信し，BANK0の00H-03H番地に格納する。

```
        SCK2BIO FLG       P0BBIO2
        SI2BIO  FLG       P0BBIO0

        DATA1H  MEM       0.00H     ; 1バイト目の上位4ビットが格納される
        DATA1L  MEM       0.01H     ; 1バイト目の下位4ビットが格納される
        DATA2H  MEM       0.02H     ; 2バイト目の上位4ビットが格納される
        DATA2L  MEM       0.03H     ; 2バイト目の下位4ビットが格納される

        INITFLG SCK2BIO, NOT SI2BIO
        INITFLG SIO2TS, NOT SIO2HIZ, SIO2CK1, SIO2CK0
                                    ; ウエイト解除，シリアル出力しない，
                                    ; マスタ（fsc =450 kHz）
```

```
LOOP1 :
        SKF1    SIO2TS              ; ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        GET     DBF, SIO2SFR        ; 受信データの読み込み
        ST      DATA1H, DBF1        ; 読み込んだデータを格納する
        ST      DATA1L, DBF0
        SET1    SIO2TS              ; ウエイト解除
LOOP2 :
        SKF1    SIO2TS              ; ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        GET     DBF, SIO2SFR        ; 受信データの読み込み
        ST      DATA2H, DBF1        ; 読み込んだデータを格納する
        ST      DATA2L, DBF0
        ⋮
```

(3) シリアル・インタフェース2のプログラム例（スレーブ送信モード時） ★

例　2バイトのデータ“A596H”を送信する。

```
SCK2BIO FLG     P0BBIO2
SO2BIO  FLG     P0BBIO1

INITFLG NOT SCK2BIO, SO2BIO
MOV     DBF1, #0AH          ; 送信データの設定
MOV     DBF0, #5
PUT     SIO2SFR, DBF
INITFLG SIO2TS, SIO2HIZ, NOT SIO2CK1, SIO2CK0
                            ; ウエイト解除，シリアル出力，スレーブ
LOOP1 :
        SKF1    SIO2TS              ; ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        MOV     DBF1, #9            ; 送信データの設定
        MOV     DBF0, #6
        PUT     SIO2SFR, DBF
        SET1    SIO2TS              ; ウエイト解除
LOOP2 :
        SKF1    SIO2TS              ; ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        ⋮
```

★ (4) シリアル・インタフェース2のプログラム例（スレーブ受信モード時）

例 2バイトのデータを受信し，BANK0の00H-03H番地に格納する。

```
        SCK2BIO FLG     P0BBIO2
        SI2BIO  FLG     P0BBIO0

        DATA1H  MEM     0.00H           ;1バイト目の上位4ビットが格納される
        DATA1L  MEM     0.01H           ;1バイト目の下位4ビットが格納される
        DATA2H  MEM     0.02H           ;2バイト目の上位4ビットが格納される
        DATA2L  MEM     0.03H           ;2バイト目の下位4ビットが格納される

        CLR2    SCK2BIO, SI2BIO
        INITFLG SIO2TS, NOT SIO2HIZ, NOT SIO2CK1, NOT SIO2CK0
                                        ;ウエイト解除，シリアル出力しない，スレーブ
LOOP1:
        SKF1    SIO2TS                  ;ウエイト状態が解除されるまでウエイト
        BR      LOOP1
        GET     DBF, SIO2SFR            ;受信データの読み込み
        ST      DATA1H, DBF1            ;読み込んだデータを格納する
        ST      DATA1L, DBF0
        SET1    SIO2TS                  ;ウエイト解除
LOOP2:
        SKF1    SIO2TS                  ;ウエイト状態が解除されるまでウエイト
        BR      LOOP2
        GET     DBF, SIO2SFR            ;受信データの読み込み
        ST      DATA2H, DBF1            ;読み込んだデータを格納する
        ST      DATA2L, DBF0
        ⋮
```

19.21 シリアル・インタフェース２のリセット時の状態

19.21.1 パワーオン・リセット時

$P0B_2/\overline{SCK_2}$ - $P0B_0/SI_2$ 端子はすべて汎用入力ポート（フローティング出力）に設定されます。

プリセッタブル・シフト・レジスタ２の値は不定になります。

19.21.2 クロック・ストップ時

$P0B_2/\overline{SCK_2}$ - $P0B_0/SI_2$ 端子はすべて汎用入力ポート（フローティング出力）に設定されます。

プリセッタブル・シフト・レジスタ２の値は以前の値を保持します。

19.21.3 CE リセット時

$P0B_2/\overline{SCK_2}$ - $P0B_0/SI_2$ 端子はすべて汎用入力ポート（フローティング出力）に設定されます。

プリセッタブル・シフト・レジスタ２の値は以前の値を保持します。

19.21.4 ホールト状態中

入出力端子は，そのとき設定されている状態を保持します。

このとき，内部クロックを使用している（マスタ動作）と，“HALT”命令を実行した時点でクロックが出力されなくなります。

したがって，内部クロックで使用する場合は通信が終了した時点で“HALT”命令を実行する必要があります。

ただし，外部から強制的にクロックが入力されると，内部クロックに設定されていてもシリアル・インタフェース２の機能が動作します。

外部クロックを使用している（スレーブ動作）場合は“HALT”命令が実行されても動作を継続します。

20. 周波数カウンタ（FC）

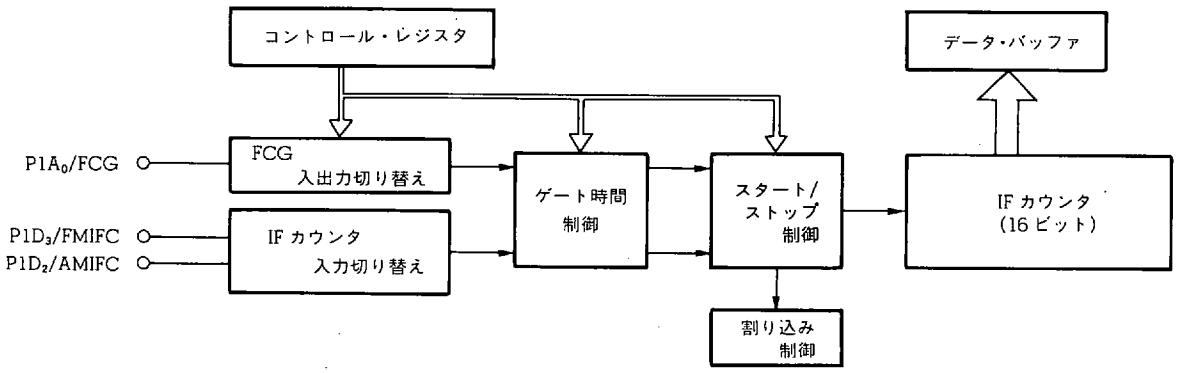
周波数カウンタ（FC）は，チューナの中間周波数（IF：Intermediate Frequency）の計数や，外部信号のパルス幅の検出に使用します。

20.1 周波数カウンタの構成

図20－1に周波数カウンタのブロック図を示します。

図20－1に示すように，周波数カウンタはFCG入出力切り替えブロック，IFカウンタ入力切り替えブロック，ゲート時間制御ブロック，スタート/ストップ制御ブロックおよびカウント・ブロックから構成されています。

図20－1 周波数カウンタのブロック図



20.2 周波数カウンタの機能概略

周波数カウンタは外部入力信号の周波数をカウントするIFカウント機能と，外部入力信号のパルス幅を検出する外部ゲート・カウンタ（FCG：Frequency Counter for external Gate signal）機能を使用できます。

IFカウンタ機能は$P1D_3$/FMIFC端子または$P1D_2$/AMIFC端子に入力された周波数を16ビットのカウンタで一定時間（1 ms，4 ms，8 ms，オープン）カウントします。

外部ゲート・カウンタ（FCG）機能は$P1A_0$/FCG端子に加えられた信号の立ち上がりから次の立ち上がりまでの期間に，内部クロック（1 kHz，100 kHz，900 kHz）の周波数を16ビット・カウンタでカウントします。

IFカウンタおよび外部ゲート・カウンタ機能については**20.5**および**20.6**を参照してください。

20.2.1 - 20.2.4に各ブロックの機能概略を示します。

周波数カウンタは“**18. クロック・ジェネレータ・ポート（CGP）**”で説明したクロック・ジェネレータ・ポートとハードウエアを兼用しているため，周波数カウンタとクロック・ジェネレータ・ポートは同時に使用できません。詳しくは“**20.8 周波数カウンタ使用時の注意**”を参照してください。

20.2.1 IFカウンタ入力切り替えブロックおよびFCG入出力切り替えブロック

IFカウンタ入力切り替えブロックは，$P1D_3$/FMIFC端子および$P1D_2$/AMIFC端子を汎用入力ポートとして使用するか，IFカウンタ機能として使用するかを設定します。

FCG入出力切り替えブロックは，$P1A_0$/FCG端子を汎用入出力ポートとして使用するか，外部ゲート・カウンタ機能として使用するかを設定します。

汎用ポートとIFカウンタ機能および外部ゲート・カウンタ機能の切り替えは，IFカウンタ・モード・セレクト・レジスタ（IFCMODE：RFアドレス12H番地）により行います。

詳細は**20.3**を参照してください。

20.2.2 ゲート時間制御ブロック

ゲート時間制御ブロックは，IFカウンタ・モード・セレクト・レジスタにより周波数をカウントする時間の制御を行います。

(1) および (2) にIFカウント機能時および外部ゲート・カウンタ機能時の動作概略を示します。

詳細は**20.3**を参照してください。

(1) IFカウンタ機能時

IFカウンタ・モード・セレクト・レジスタにより，$P1D_3$/FMIFCもしくは$P1D_2$/AMIFC端子に加えられた周波数をカウントするための内部ゲート時間（1 ms，4 ms，8 ms，オープン）を設定します。

(2) 外部ゲート・カウンタ機能時

IFカウンタ・モード・セレクト・レジスタにより，外部ゲート時間（$P1A_0$/FCG端子に加えられた信号の立ち上がりエッジから次の立ち上がりエッジまで）にカウントするための内部周波数（1 kHz，100 kHz，900 kHz）を設定します。

20.2.3 スタート/ストップ制御ブロック

スタート/ストップ制御ブロックは，周波数カウントのスタートおよびストップを制御します。

スタート/ストップの制御はIFカウンタ・コントロール・レジスタ(IFCCONT：RFアドレス23H番地)，IFカウンタ・ゲート・ジャッジ・レジスタ（IFCGJDG：RFアドレス04番地）およびIFカウンタ・インタラプト・リクエスト・レジスタ（IRQIFC：RFアドレス3EH番地）により行います。

また，IFカウンタ機能時は，内部ゲートが閉じた時点で割り込み要求を発行します。

詳細は**20.4**を参照してください。

20.2.4 IFカウンタ

IFカウンタ機能時および外部ゲート・カウンタ機能時の入力周波数を16ビットのバイナリ・カウンタでカウントします。

カウント値を読み込む場合は，データ・バッファを介してIFカウンタ・データ・レジスタ（IFC：周辺アドレス43H番地）により行います。

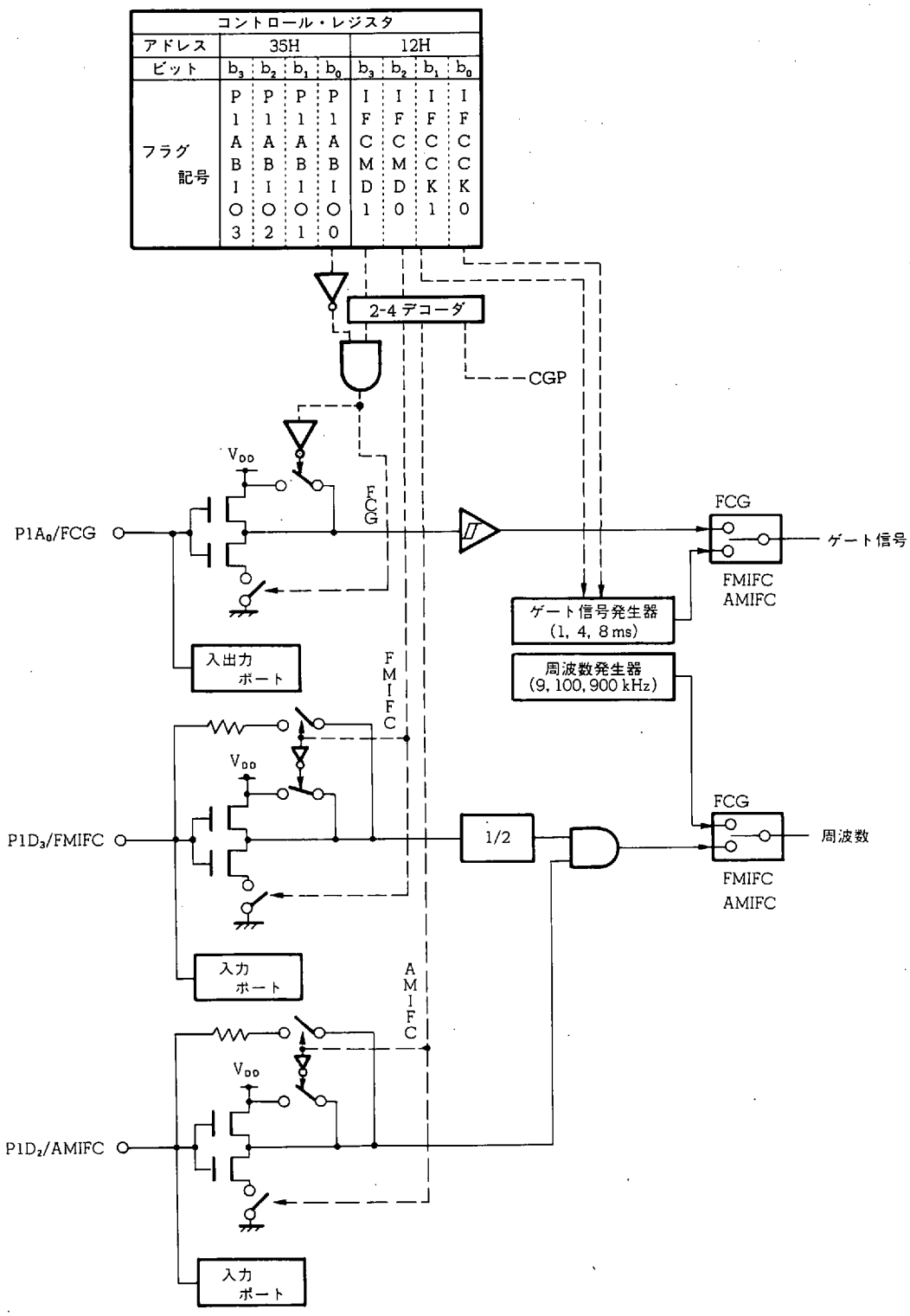
詳細は**20.4**を参照してください。

20.3 入出力切り替えブロックおよびゲート時間制御ブロック

20.3.1 入出力切り替えブロックおよびゲート時間制御ブロックの構成

図20-2にIFカウンタ入力切り替え，外部ゲート・カウンタ入出力切り替えおよびゲート時間制御ブロックの構成を示します。

図20-2 入出力切り替えブロックおよびゲート時間制御ブロックの構成 ★



20.3.2 入出力切り替えブロックの機能

入出力切り替えブロックは，各端子を汎用入出力ポートとして使用するか周波数カウンタとして使用するかを選択するブロックです。

汎用入出力ポートと周波数カウンタの切り替えは，IF カウンタ・モード・セレクト・レジスタの IFCMD1 および IFCMD0 フラグにより設定します（**20.3.4** 参照）。

なお，$P1A_0$/FCG 端子を外部ゲート・カウンタとして使用するときは，ポート 1A ビット I/O レジスタの P1ABIO0 フラグを“0”に設定しておく必要があります。

これは，IFCMD1 および IFCMD0 フラグにより外部ゲート・カウンタ機能を選択しても，P1ABIO0 フラグが“1”であると $P1A_0$/FCG 端子は汎用出力ポートになるためです。

20.3.3 ゲート時間制御ブロックの機能

ゲート時間設定ブロックは IF カウント機能時のゲート時間（カウント時間）および外部ゲート・カウンタ機能時のカウント周波数の設定を行います。

ゲート時間およびカウント周波数の設定は，IF カウンタ・モード・セレクト・レジスタの IFCCK1 および IFCCK0 フラグで行います（**20.3.4** 参照）。

20.3.4 IF カウンタ・モード・セレクト・レジスタ（IFCMODE）の構成と機能

IF カウンタ・モード・セレクト・レジスタは IF カウンタ機能および外部ゲート・カウンタ機能を選択します。以下に構成と機能を示します。

周波数カウンタはクロック・ジェネレータ・ポートと兼用しているため，このレジスタでクロック・ジェネレータ・ポートの選択も行います。

名　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
IF カウンタ・モード・セレクトレジスタ (IFCMODE)	IFCMD1	IFCMD0	IFCCK1	IFCCK0	12H	R/W

IF カウンタのゲート時間および外部ゲート・カウンタの基準周波数を設定

		IF カウンタのゲート時間	外部ゲート・カウンタの基準周波数
0	0	1 ms	1 kHz
0	1	4 ms	100 kHz
1	0	8 ms	900 kHz
1	1	オープン	0 kHz

IF カウンタ，外部ゲート・カウンタ（FCG）およびクロック・ジェネレータ・ポート（CGP）の機能を選択

0	0	クロック・ジェネレータ・ポート（CGP）
0	1	IF カウンタ（FMIFC）
1	0	IF カウンタ（AMIFC）
1	1	外部ゲート・カウンタ（FCG）

リセット時	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	保　持			

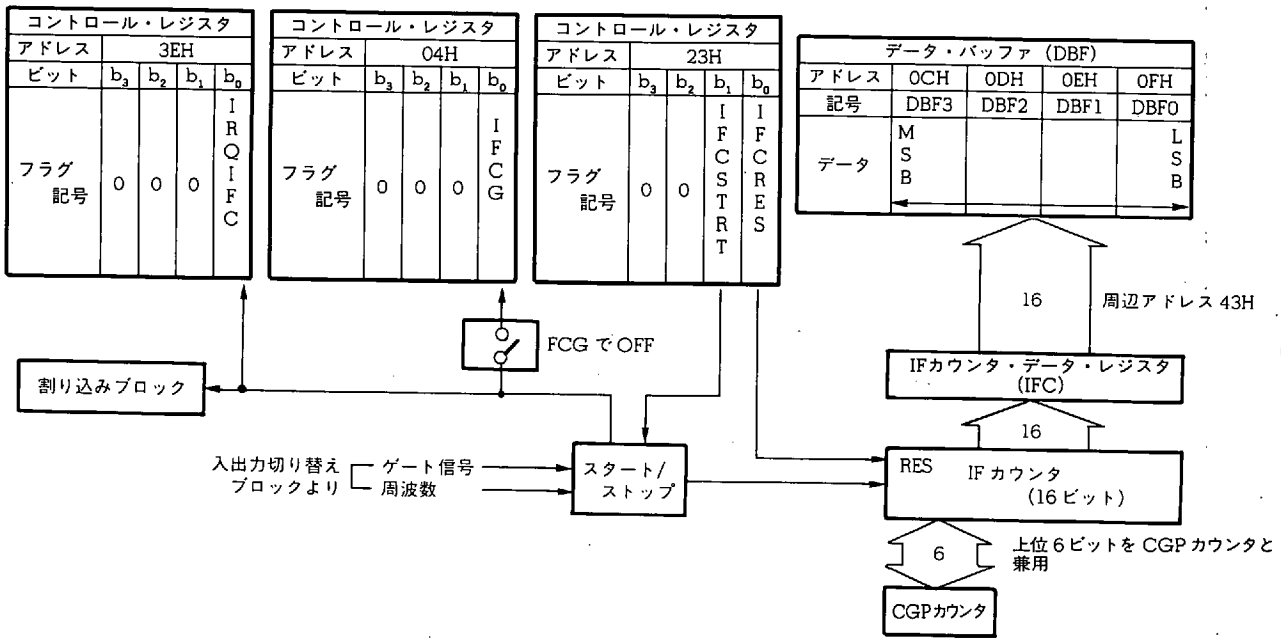
IF カウンタ機能，外部ゲート・カウンタ機能およびクロック・ジェネレータ・ポート機能は同時に使用できません。

20.4 スタート/ストップ制御ブロックおよび IF カウンタ

20.4.1 スタート/ストップ制御ブロックおよびカウンタの構成

図 20-3 にスタート/ストップ制御ブロックおよびカウンタの構成を示します。

★ 図 20-3 スタート/ストップ制御ブロックおよびカウンタの構成



20.4.2 スタート/ストップ制御ブロックの機能

スタート/ストップ制御ブロックは，周波数カウンタのカウント・スタートの設定およびカウント終了の検出を行います。

カウントのスタートは IF カウンタ・コントロール・レジスタの IFCSTRT フラグにより行います。

カウントの終了は IF カウンタ・ゲート・ジャッジ・レジスタの IFCG フラグ，または インタラプト・リクエスト 1 レジスタ（RF アドレス 3EH 番地）の IRQIFC フラグにより検出します。

ただし，外部ゲート・カウンタ機能時は，IFCG フラグによる検出はできません。

20.4.3 および **20.4.4** に IF カウンタ機能時および外部ゲート・カウンタ機能時の動作を示します。

また，**20.4.7** および **20.4.8** に IF カウンタ・コントロール・レジスタおよび IF カウンタ・ゲート・ジャッジ・レジスタの構成と機能を示します。

20.4.3 IF カウンタ機能時のゲート動作

(1) ゲート時間に1，4，8 ms を選択した場合

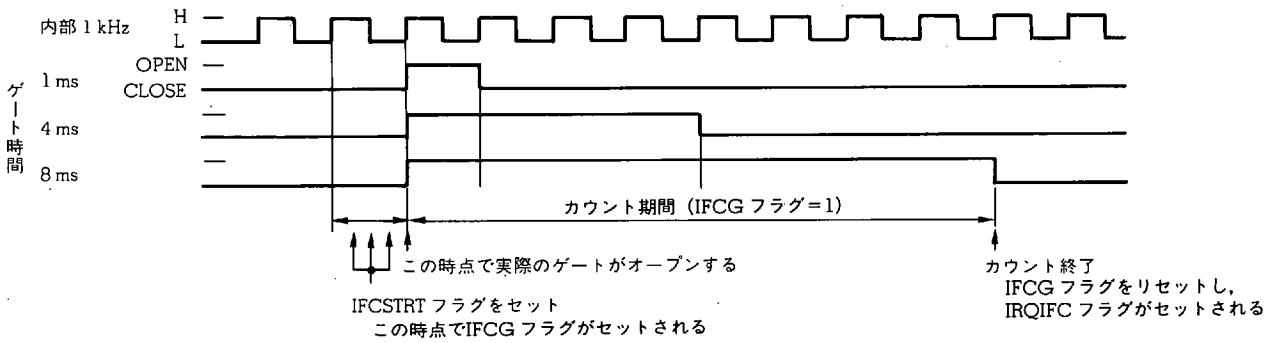
以下に示すように IFCSTRT フラグをセット (1) したあとの内部 1 kHz 信号の立ち上がりから，それぞれ 1 ms，4 ms，8 ms の期間だけゲートをオープンします。

このゲートがオープンしている間に，端子から入力されている周波数を16ビット・カウンタでカウントします。

ゲートが閉まると IFCG フラグをリセットし IRQIFC フラグをセットします。

IFCG フラグは IFCSTRT フラグをセットした時点で自動的にセット (1) されます。

IRQIFC フラグは割り込み受け付け時および“0”を書き込んだときにリセットされます。



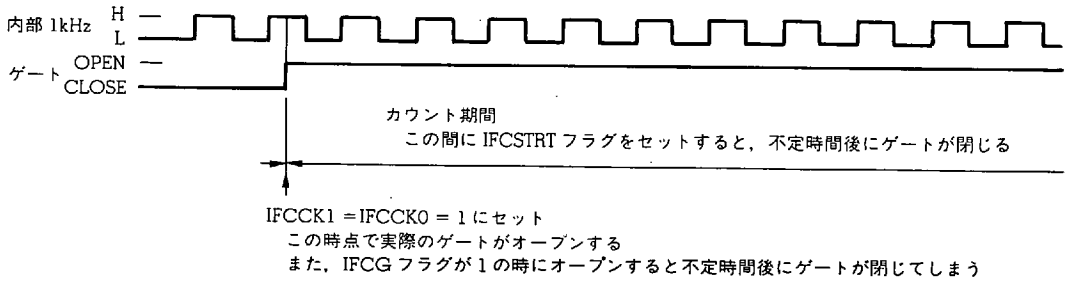
(2) ゲート時間にオープンを選択した場合

以下に示すようにIFCCK1, IFCCK0フラグによりオープンを選択した場合は，オープンを選択した時点でゲートがオープンします。

このゲートがオープンしている間にIFCSTRTフラグによりカウントのスタートを設定すると不定時間後にゲートが閉じてしまいます。

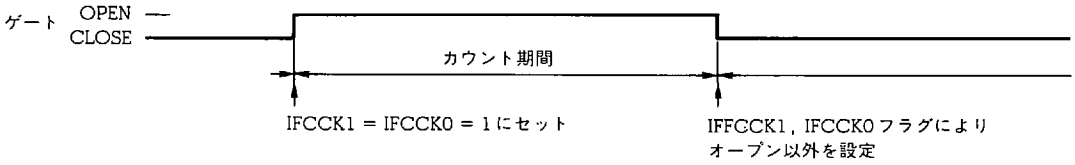
したがってゲート時間にオープンを使用する場合は，IFCSTRTフラグをセット（1）しないでください。

ただし，IFCRESフラグによりカウンタをリセットすることは可能です。



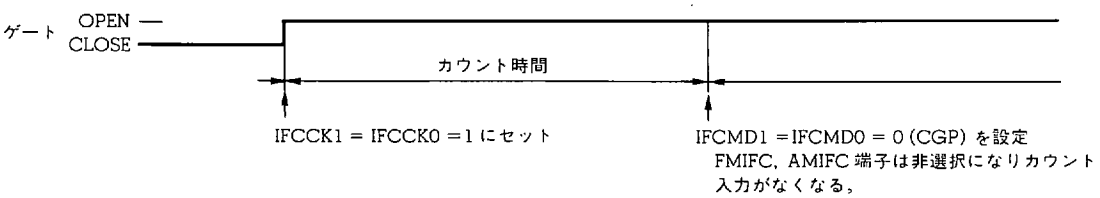
ゲート時間にオープンを選択した場合のゲートの開閉は以下の（a）および（b）に示す2通りの方法があります。

(a) IFCCK1，IFCCK0フラグによりゲート時間にオープン以外を設定し直す。



(b) IFCMD1，IFCMD0フラグにより使用している端子を非選択にする。

この方法はゲートはオープンしたままであり，端子からの入力を禁止することによりカウントを中断します。



20.4.4 外部ゲート・カウンタ（FCG）時のゲート動作

以下に示すようにIFCSTRTフラグをセット（1）したあとの端子に入力されている信号の立ち上がりからその次の立ち上がりの期間だけゲートをオープンします。

このゲートがオープンしている間に，内部の周波数（1 kHz，100 kHz，900 kHz）を16ビット・カウンタでカウントします。

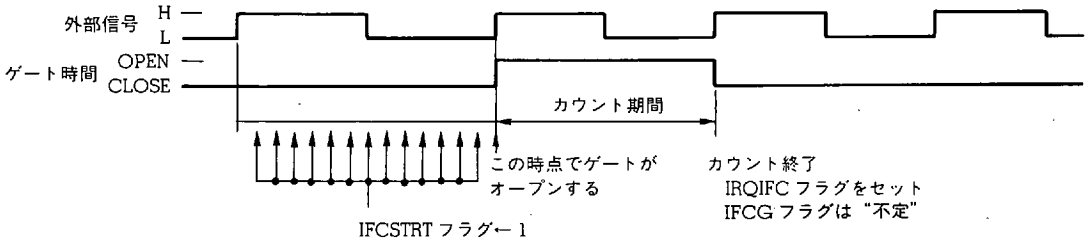
ゲートが閉まるとIRQIFCフラグをセットします。

IRQIFCフラグは割り込み受け付け時および“0”を書き込んだときにリセットされます。

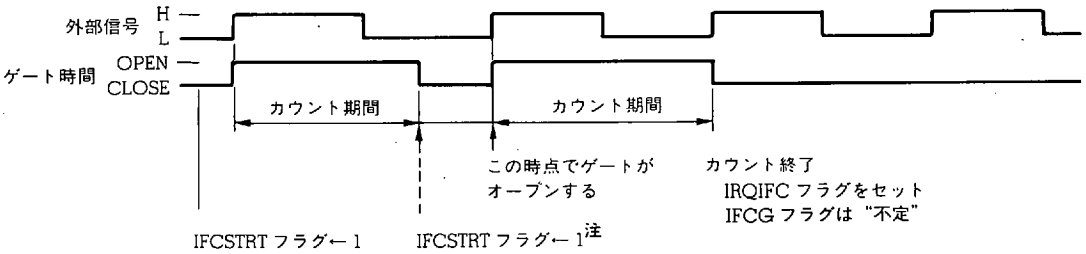
したがってIFCSTRTフラグをセットしても自動的にリセットされないため，カウントをスタートするときにプログラムでリセットしておく必要があります。

IFCGフラグはIFCSTRTフラグをセットした時点で自動的にセット（1）されますが，ゲートが閉じた時点ではリセットされないため注意してください。

すなわち，外部ゲート・カウンタ時にはIFCGフラグによるゲートの開閉の検出はできません。



ゲートがオープンしている間にリセット，スタートした場合



注 このときIFCRESフラグをセットすると，IRQIFCフラグは“0”にリセットされます。

20.4.5 16ビット・カウンタの機能と動作

16ビット・カウンタは，ゲート時間内に入力された周波数をアップ・カウントします。

16ビット・カウンタのリセットはIFカウンタ・コントロール・レジスタのIFCRESフラグに“1”を書き込むことにより行います。

16ビット・カウンタはFFFFHまで計数すると次の入力では0000Hになり，カウントを継続します。

16ビット・カウンタの上位6ビットはクロック・ジェネレータ・ポート機能と兼用しているため，周波数カウンタとクロック・ジェネレータ・ポートを同時に使用することはできません。

次の(1)および(2)にIFカウンタ機能および外部ゲート・カウンタ機能時の動作を示します。

IFカウンタ・データ・レジスタの値を読み込む場合は，データ・バッファを介して読み込みます。

20.4.6にIFカウンタ・データ・レジスタの構成と機能を示します。

(1) IFカウンタ機能時

$P1D_3$/FMIFC端子または$P1D_2$/AMIFC端子に入力された周波数をゲートがオープンしている間カウントします。

ただし，$P1D_3$/FMIFC端子に入力された周波数は1/2分周してカウントします。

以下に，カウント値“x (HEX)”と入力周波数（f_{FMIFC}，f_{AMIFC}）の関係を示します。

FMIFC

$$f_{FMIFC} = \frac{x(DEC)}{t_{GATE}} \times 2 \ (kHz)$$

t_{GATE}：ゲート時間（1 ms，4 ms，8 ms）

AMIFC

$$f_{AMIFC} = \frac{x(DEC)}{t_{GATE}} \ (kHz)$$

t_{GATE}：ゲート時間（1 ms，4 ms，8 ms）

(2) 外部ゲート・カウンタ（FCG）機能時

$P1A_0$/FCG端子に入力された信号によりゲートがオープンしている間，内部周波数をカウントします。

以下に，カウント値“x (HEX)”と入力信号のゲート幅t_{GATE}の関係を示します。

$$t_{GATE} = \frac{x(DEC)}{f_r} \ (ms)$$

f_r：内部周波数（1 kHz，100 kHz，900 kHz）

20.4.6 IF カウンタ・データ・レジスタ（IFC）の構成と機能

次に IF カウンタ・データ・レジスタの構成と機能を示します。

IF カウンタ・データ・レジスタは，周波数カウンタの計数値を読み込みます。

IF カウンタ・データ・レジスタは FFFFH まで計数すると次の入力では 0000H になり，カウントを継続します。

名　称	データ・バッファ			
記　号	DBF 3	DBF 2	DBF 1	DBF 0
アドレス	0 CH	0 DH	0 EH	0 FH
ビット	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0
データ	転送データ			

16

GET 可

PUT は何も変化しません

周辺レジスタ																			
名　称	b_{15}	b_{14}	b_{13}	b_{12}	b_{11}	b_{10}	b_9	b_8	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0	記　号	周辺アドレス	周辺ハードウエア
IF カウンタ・データ・レジスタ	有効データ																IFC	43 H	周波数カウンタ

周波数カウンタの計数値

0
|
x
|
$2^{16}-1$ (FFFFH)

IF カウンタ機能

- FMIF カウンタ
  $P1D_3$/FMIFC 端子に加えられた信号の立ち上がりエッジを1/2 分周器を介して計数する
- AMIF カウンタ
  $P1D_2$/AMIFC 端子に加えられた信号の立ち上がりエッジを計数する

外部ゲート・カウンタ機能

$P1A_0$/FCG 端子に加えられた信号の立ち上がりエッジから次の立ち上がりエッジまでの時間に，内部の基準周波数信号の立ち上がりエッジを計数する

IF カウンタの上位 6 ビットは CGP カウンタと兼用しています。

したがって，周波数カウンタ機能とクロック・ジェネレータ・ポート機能は同時に使用できません。

“**20.8 周波数カウンタ使用時の注意**” を参照してください。

20.4.7 IF カウンタ・コントロール・レジスタ（IFCCONT）の構成と機能

IF カウンタ・コントロール・レジスタは周波数カウンタ（IF カウンタおよび外部ゲート・カウンタ）機能のカウントのスタートおよび 16 ビット・カウンタのリセットを制御します。

次に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
IF カウンタ・コントロール・レジスタ (IFCCONT)	0	0	IFCSTRT	IFCRES	23H	W

IFCRES：IF カウンタおよび外部ゲート・カウンタのカウント値を制御
- 0：何も変化しません
- 1：カウンタをリセット

IFCSTRT：IF カウンタおよび外部ゲート・カウンタのカウント・スタートを設定
- 0：何も変化しません
- 1：カウントをスタート

b_3, b_2：“0” 固定

リセット時		b_3	b_2	b_1	b_0
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	0	0
	CE	↓	↓	保	持

IF カウンタ・コントロール・レジスタは“POKE”命令でウインドウ・レジスタの内容を書き込むことにより制御します。

“PEEK” 命令でウインドウ・レジスタに内容を読み込むと “0” が読み込まれます。

このとき，アセンブラ（AS17K）組み込みマクロ命令である SETn 命令を使用して，IFCRES フラグまたは IFCSTRT フラグのどちらか一方のみセットすると，セットされない方のフラグが “不定” になってしまうためエラーが発生します。詳しくは，“**20.8.3 IFCRES フラグ，IFCSTRT フラグに対する SETn 組み込みマクロ命令使用時の注意**” を参照してください。

20.4.8 IF カウンタ・ゲート・ジャッジ・レジスタ（IFCGJDG）の構成と機能

IF カウンタ・ゲート・ジャッジ・レジスタは IF カウンタ機能時にゲートの開閉を検出します。

外部ゲート・カウンタ機能時は，ゲートが閉じたことを検出することはできません。

次に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
IF カウンタ・ゲート・ジャッジ・レジスタ（IFCGJDG）	0	0	0	IFCG	04H	R

周波数カウンタのゲートの開閉を検出する

	IF カウンタ機能時	外部ゲート・カウンタ機能時
0	IFCSTRT フラグに“1”をセットしてから，ゲート時間が終了するまでセット（1）される	$P1A_0$/FCG 端子の入力に関係なく，一定時間後（IF カウンタ機能のゲート時間）にリセット（0）される
1		

“0”固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	↓	—
	CE	↓	↓	↓	—

IFCG フラグがセット（1）されているとき（ゲートが開いている）は，IF カウンタ・データ・レジスタ（IFC）の内容をデータ・バッファに読み込まないでください。

外部ゲート・カウンタ機能のゲートの開閉は，IFCG フラグでは行えません。外部ゲート・カウンタのゲートの開閉は IRQIFC フラグにより行ってください。

20.5 IF カウンタ機能の使用方法

20.5.1 - 20.5.3 に IF カウンタ機能のハードウエア使用方法，プログラム例およびカウント誤差を示します。

20.5.1 IF カウンタのハードウエア使用方法

図 20 - 4 に $P1D_3$/FMIFC 端子および $P1D_2$/AMIFC 端子を使用するときのブロック図を示します。

また，表 20 - 1 に $P1D_3$/FMIFC 端子および $P1D_2$/AMIFC 端子に入力できる周波数範囲を示します。

図 20 - 4 に示すように，IF カウンタは交流アンプを内蔵した入力端子になるため，入力信号は直流分をコンデンサ C でカットしてください。

$P1D_3$/FMIFC 端子および $P1D_2$/AMIFC 端子が IF カウンタ機能に選択されると，スイッチ SW がオンして各端子の電圧が約 1/2 V_{DD} になります。

このとき，十分に中間電圧に立ち上がっていないと，交流アンプが正常動作範囲にないため，IF カウントが正常に行われない場合があります。

したがって，各端子を IF カウンタとして指定してからカウントをスタートするまでに十分なウエイト時間を設けてください。

図 20 - 4 各端子の IF カウント機能ブロック図

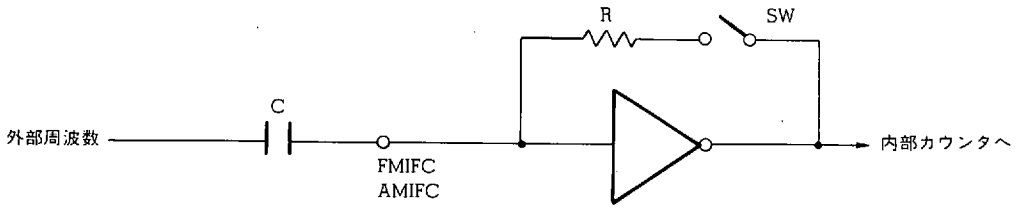


表 20 - 1 IF カウンタ入力周波数範囲

入力端子	入力可能周波数 (MHz)	入力振幅 (V_{P-P})
$P1D_3$/FMIFC	5 - 15	0.3
	10.5 - 10.9	0.06
$P1D_2$/AMIFC	0.1 - 1	0.3
	0.44 - 0.46	0.05

20.5.2 IF カウンタ機能のプログラム例

次に IF カウンタ機能のプログラム例を示します。

例に示すように，$P1D_3$/FMIFC 端子または $P1D_2$/AMIFC 端子を IF カウンタに設定する命令を実行してから，カウントをスタートするまでに，ウエイト時間を設けてください。

これは **20.5.1** でも説明したように，各端子を IF カウンタに選択したときに，すぐに内蔵交流アンプが正常動作状態にならない場合があるためです。

例 $P1D_3$/FMIFC 端子で周波数をカウントする場合（ゲート時間は8 ms）

```
        INITFLG   NOT IFCMD1, IFCMD0, IFCCK1, NOT IFCCK0
                                  ; FMIFC 端子を選択し，ゲート時間を 8 ms に設定
        [ ウエイト ]              ; 内蔵交流アンプ安定時間
        IFC_RES_AND_START         ; カウンタのリセットおよびスタート（IFCRES, IFCSTRT フラグをセット）注。
                                  ; SET 2 命令は使用できないため，マクロ定義を使用する。
    LOOP :
        SKT1    IFCG              ; ゲートの開閉を検出
        BR      READ              ; ゲートが閉じれば READ : へ分岐
        [ 処 理 A ]               ; この処理 A では IF カウンタのデータを読み込まないでください。
                                  ; また，CGP 機能を選択しないでください。
        BR      LOOP
    READ :
        GET     DBF, IFC          ; IF カウンタ・データ・レジスタの値をデータ・バッファへ読み込む。
```

注 **“20.8.3 IFCRES フラグ，IFCSTRT フラグに対する SETn 組み込みマクロ命令使用時の注意”** を参照してください。

20.5.3 IF カウンタの誤差

IF カウンタの誤差にはゲート時間の誤差とカウント誤差があります。

以下の (1) および (2) にそれぞれを示します。

(1) ゲート時間の誤差

IF カウンタのゲート時間は，システム・クロック周波数である 4.5 MHz を分周して作り出しています。

したがって 4.5 MHz が “+x” ppm ずれていると，ゲート時間は “−x” ppm ずれることになります。

(2) カウント誤差

IF カウンタは入力された信号の立ち上がりエッジで周波数をカウントします。

したがって，ゲートがオープンしたときに端子にハイ・レベルが入力されていると 1 パルス分余分にカウントします。

ただし，ゲートが閉じるときは，端子の状態によりカウントすることはありません。

すなわちカウント誤差としては “+1，−0” になります。

20.6 外部ゲート・カウンタ機能の使用方法

20.6.1 および **20.6.2** に外部ゲート・カウンタ機能のプログラム例およびカウント誤差を示します。

20.6.1 外部ゲート・カウンタ機能のプログラム例

次に外部ゲート・カウンタ機能のプログラム例を示します。

外部ゲート・カウンタ機能はゲートの開閉を IRQIFC フラグにより行います。

IRQIFC フラグにより割り込みをかけることができますが，割り込みを使用したくないときは，フラグの内容をプログラムにより検出することができます。

★ **例 内容周波数を 100 kHz に設定した場合（割り込み使用時）**

```
INTIFC  DAT     0001H           ; IF カウンタ割り込みベクタ・アドレスをシンボル定義
        BR      MAIN
ORG     INTIFC
        GET     DBF, IFC        ; IF カウンタ・データ・レジスタの値をデータ・バッファへ読み込む
        EI
        RETI
MAIN :
        INITFLG IFCMD1, IFCMD0, NOT IFCCK1, IFCCK0
                                ; FCG 機能を選択し，内部周波数を 100 kHz に設定
        IFC_RES_AND_START       ; カウンタのリセットおよびスタート（IFCRES, IFCSTRT フラグをセット）注
                                ; SET2 命令は使用できないため，マクロ定義を使用する
        CLR1    IRQIFC
        SET1    IPIFC           ; IRQIFC フラグによる割り込みを許可
        EI
```

注 **“20.8.3 IFCRES フラグ，IFCSTRT フラグに対する SETn 組み込みマクロ命令使用時の注意”** を参照してください。

20.6.2 外部ゲート・カウンタの誤差

外部ゲート・カウンタの誤差には内部周波数の誤差とカウント誤差があります。

次の（1）および（2）にそれぞれを示します。

（1）内部周波数の誤差

外部ゲート・カウンタの内部周波数は，システム・クロック周波数である 4.5 MHz を分周して作り出しています。

したがって 4.5 MHz が “+x” ppm ずれていると，内部周波数は同様に “+x” ppm ずれることになります。

（2）カウント誤差

外部ゲート・カウンタは内部周波数の立ち下がりエッジで周波数をカウントします。

したがって，ゲートがオープンしたとき（端子の入力が立ち上がったとき）に，内部周波数がロウ・レベルであると 1 パルス分余分にカウントします。

ただし，ゲートが閉じるとき（次に端子の入力が立ち上がったとき）は，内部周波数のカウント・レベルによりカウントすることはありません。

すなわちカウント誤差としては “+1，−0” になります。

20.7 リセット時の状態

20.7.1 パワーオン・リセット時

$P1D_3$/FMIFC 端子，$P1D_2$/AMIFC 端子は汎用入力ポートに指定されます。

$P1A_0$/FCG 端子は汎用入出力ポートに指定されます。

20.7.2 クロック・ストップ時

$P1D_3$/FMIFC 端子，$P1D_2$/AMIFC 端子は汎用入力ポートに指定されます。

$P1A_0$/FCG 端子は汎用入出力ポートに指定されます。

20.7.3 CE リセット時

$P1D_3$/FMIFC 端子，$P1D_2$/AMIFC 端子および $P1A_0$/FCG 端子は以前の状態をそのまま保持します。

20.7.4 ホールト状態時

$P1D_3$/FMIFC 端子，$P1D_2$/AMIFC 端子および $P1A_0$/FCG 端子はホールト直前の状態を保持します。

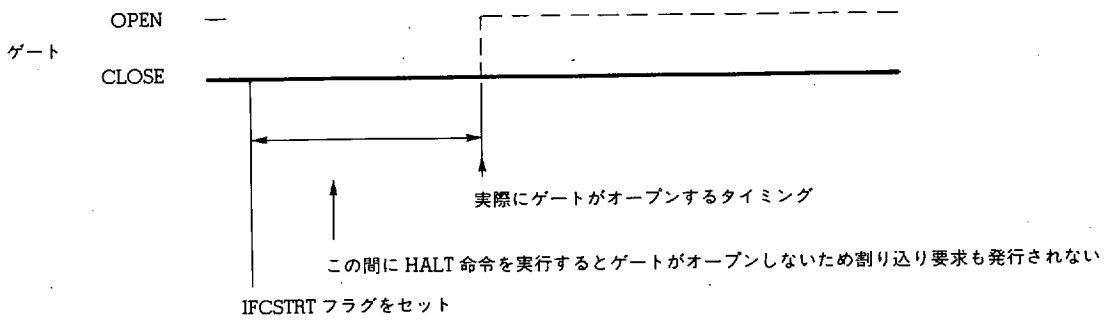
このとき周波数カウンタの割り込みによるホールト状態の解除を使用する場合は以下に示す点に注意が必要です。

注意 IFCSTRT フラグによりカウントをスタートしてから実際にゲートがオープンするまでの間に“HALT”命令を実行してしまうと，ゲートが開かなくなってしまいます。
したがって，IF カウンタ機能時は 1 ms 以上ウエイトしたあとに“HALT”命令を実行し，外部ゲート・カウンタ機能時は，$P1A_0$/FCG 端子がロウ・レベルからハイ・レベルに立ち上がったあとに“HALT”命令を実行する必要があります。

図 20 - 5 に，“HALT”命令を実行したときのゲート動作を示します。

このように，ゲートが開かないとゲートが閉じたという検出もできないため，割り込み要求は発行されません。また，割り込み以外のホールト解除条件を設定しないで，さらに IF カウンタ以外の割り込みを許可していない場合，HALT 状態は解除されなくなります。

図 20 - 5 “HALT”命令を使用したときのゲート動作



20.8 周波数カウンタ使用時の注意

周波数カウンタは，前述したクロック・ジェネレータ・ポートとハードウエアを兼用しています。

したがって，クロック・ジェネレータ・ポートと周波数カウンタを同時に使用することはできません。

クロック・ジェネレータ・ポートとして使用しているときにIFカウンタ・モード・セレクト・レジスタおよびIFカウンタ・データ・レジスタのデータを操作すると，**20.8.1**に示す動作を行います。

また，周波数カウンタとして使用しているときにIFカウンタ・モード・セレクト・レジスタおよびCGPデータ・レジスタ（周辺アドレス20H番地）のデータを操作すると，**20.8.2**に示す動作を行います。

また，**20.4.7**で説明したように，IFCRESフラグおよびIFCSTRTフラグにはアセンブラ（AS17K）組み込みマクロ命令であるSETn命令が使用できません。これを**20.8.3**に示します。

20.8.1 クロック・ジェネレータ・ポートとして使用しているとき

(1) IFカウンタ・モード・セレクト・レジスタのIFCMD1およびIFCMD0フラグを操作したとき

IFCMD1およびIFCMD0フラグに“0”以外の値を書き込むと，$P1B_0$/CGP端子は，データを設定した時点でそのときの出力レベルを保持し，CGP動作を停止します。

再度IFCMD1，IFCMD0の両フラグを“0”にリセットすると，CGP動作を開始します。

(2) IFカウンタ・データ・レジスタを操作したとき

読み込み（GET）および書き込み（PUT）を行ってもCGP動作は影響を受けません。

読み込み時は“不定”な値が読み込まれ，書き込み時は何も変化しません。

ただし，IFカウンタ・データ・レジスタは読み込み専用周辺レジスタであるため，書き込み動作は行わないでください。書き込み命令“PUT IFC，DBF”を行うと，17Kシリーズのアセンブラ（AS17K）はエラーを発生します。

20.8.2 周波数カウンタとして使用しているとき

(1) IFカウンタ・モード・セレクト・レジスタのIFCMD1およびIFCMD0フラグを操作したとき

IFCMD1およびIFCMD0フラグに“0”を書き込むと，$P1B_0$/CGP端子は，データを設定した時点でそのときのCGPデータ・レジスタの動作を行います。

ただし，CGP動作を行うためには，PWMモード・セレクト・レジスタのCGPONフラグもセットする必要があります。

再度IFCMD1，IFCMD0に以前の値をセットすると，周波数カウンタは動作を継続しますが，カウント値は正確な値になりません。

すなわち，CGP動作が選択されている間は周波数カウントを行いません。

★ **(2) CGPデータ・レジスタを操作したとき**

読み込み（GET）および書き込み（PUT）を行っても，周波数カウンタ動作は影響を受けません。

読み込み時は，以前CGP機能を使用していたときに設定した値（CGP機能を使用していなかった場合は“不定”な値）が読み込まれます。

書き込み時は，DBF1およびDBF0のビット3－ビット1の内容が，CGPデータ・レジスタに書き込まれます。

20.8.3 IFCRES フラグ，IFCSTRT フラグに対する SETn 組み込みマクロ命令使用時の注意

IFCRES フラグおよび IFCSTRT フラグは書き込み専用レジスタにあるため，読み込み時は“不定”な値が読み込まれます。

このとき，以下に示すようにアセンブラ（AS17K）組み込みマクロ命令である“SETn”命令を使用してどちらか一方のフラグをセットすると，もう一方のフラグは“不定”な値を書き込んでしまいます。

```
SET1  IFCRES
  ┌── PEEK   WR,. MF. IFCRES SHR 4      ; このとき WR の値は“不定”になる
  │   OR     WR, #. DF. IFCRES AND 0FH  ; WR のビット b0 のみセットする
  └── POKE   .MF. 1FCRES SHR 4, WR      ; IFCSTRT（ビット b1）は不定な値が書き込まれる
```

このため IFCRES フラグおよび IFCSTRT フラグに対して SETn 命令が使用されると，アセンブラ（AS17K）はエラーを発生します。

したがって，IFCRES フラグおよび IFCSTRT フラグを操作する場合は，以下に示すようにマクロ定義を行うと便利です。

```
IFCW    MEM 0.0A3H
 :
IFC_RES_AND_START        MACRO
        MOV   WR, #0011B
        POKE  IFCW, WR
ENDM
 :
IFC_RES                  MACRO
        MOV   WR, #0001B
        POKE  IFCW, WR
ENDM
 :
IFC_START                MACRO
        MOV   WR, #0010B
        POKE  IFCW, WR
ENDM
```

なお，デバイス・ファイル（D17005. DEV）には上記マクロ命令が“IFCSET. LIB”ファイルとして添付してあります。

したがって，“IFCSET. LIB”ファイルをソース・プログラムにインクルードすることにより上記マクロ命令をそのまま使用できます。

21. LCD コントローラ/ドライバ

LCD (Liquid Crystal Display) コントローラ/ドライバは，セグメント信号出力とコモン信号出力との組み合わせにより最大 60 ドットの LCD 表示を行うことができます。

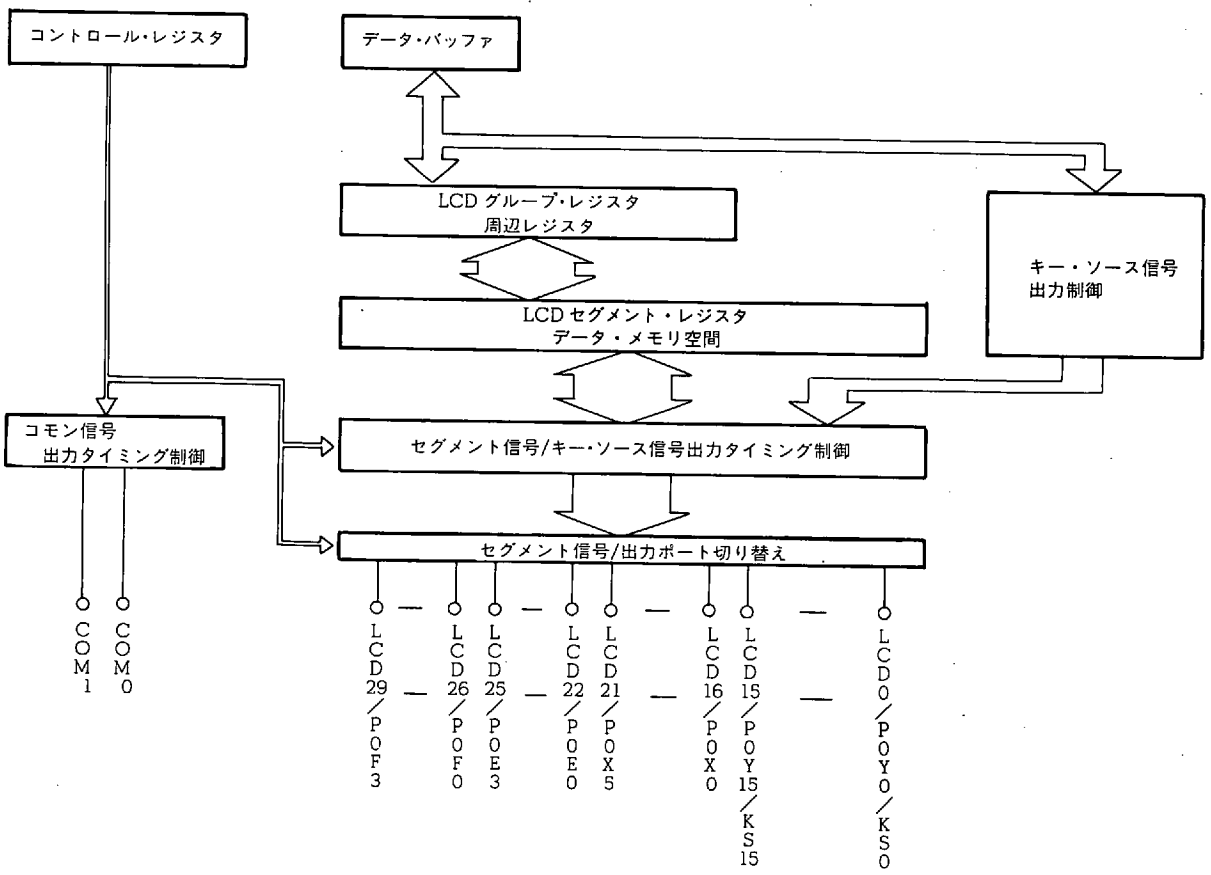
21.1 LCD コントローラ/ドライバの構成

図 21 - 1 に LCD コントローラ/ドライバのブロック図を示します。

図 21 - 1 に示すように LCD コントローラ/ドライバは，コモン信号出力タイミング制御ブロック，セグメント信号/キー・ソース信号出力タイミング制御ブロック，セグメント信号/出力ポート切り替えブロック，LCD セグメント・レジスタ，LCD グループ・レジスタおよびキー・ソース信号出力制御ブロックから構成されています。

21.2 に各ブロックの機能概略を示します。

図 21 - 1 LCD コントローラ/ドライバのブロック図



21.2 LCD コントローラ/ドライバの機能概略

LCD コントローラ/ドライバは，コモン信号出力端子（COM_1，COM_0 端子）とセグメント信号出力端子（LCD_{29}/POF_3 - LCD_0/POY_0/KS_0 端子）との組合せにより最大 60 ドットの表示を行います。

図 21 - 2 にコモン信号出力端子，セグメント信号出力端子と表示ドットの関係を示します。

図 21 - 2 に示すように 1 本のセグメント線に対して COM_1，COM_0 端子の交点である 2 ドットを表示できます。

駆動方式は 1/2 デューティ，1/2 バイアスで駆動電圧は電源電圧 V_{DD} です。

セグメント信号出力端子（LCD_{29}/POF_3 - LCD_0/POY_0/KS_0 端子）は，汎用出力ポートとして使用できます。

汎用出力ポートとして使用するときは，ポート OF（LCD_{29}/POF_3 - LCD_{26}/POF_0 端子），ポート OE（LCD_{25}/POE_3 - LCD_{22}/POE_0 端子），ポート OX（LCD_{21}/POX_5 - LCD_{16}/POX_0 端子）およびポート OY（LCD_{15}/POY_{15}/KS_{15} - LCD_0/POY_0/KS_0端子）を独立して使用できます。

また，セグメント信号出力端子のうち LCD_{15}/POY_{15}/KS_{15} - LCD_0/POY_0/KS_0 端子はキー・ソース信号出力端子として使用できます。

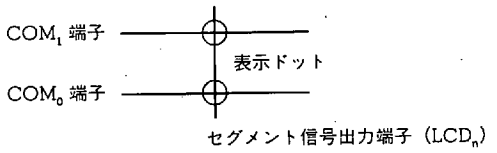
キー・ソース信号出力は LCD セグメント信号出力と時分割に出力されます。

汎用出力ポートについては“**15. 汎用ポート**”も参照してください。

キー・ソース信号出力については“**22. キー・ソース・コントローラ/デコーダ**”も参照してください。

21.2.1 - 21.2.6 に LCD コントローラ/ドライバの各ブロックの機能概要を示します。

図 21 - 2 コモン信号出力，セグメント信号出力と表示ドット



21.2.1 LCD セグメント・レジスタ

LCD セグメント・レジスタは，LCD の点消灯するドット・データを設定します。

LCD セグメント・レジスタはデータ・メモリ上に配置されているため，すべてのデータ・メモリ操作命令で制御できます。

セグメント信号出力端子を汎用出力ポートとして使用する場合は，出力データの設定を行います。

詳細は **21.3** を参照してください。

21.2.2 LCD グループ・レジスタ

LCD グループ・レジスタは，LCD の点消灯するドット・データを設定します。

LCD グループ・レジスタはデータ・バッファを介してデータを設定します。

LCD グループ・レジスタにデータを設定すると，対応する LCD セグメント・レジスタの値が同時に変化します。

セグメント信号出力端子を汎用出力ポートとして使用する場合は，出力データの設定を行います。

このときも LCD グループ・レジスタにデータを設定すると，対応する LCD セグメント・レジスタの値が同時に変化します。

詳細は **21.3** を参照してください。

21.2.3 コモン信号出力タイミング制御ブロック

コモン信号出力タイミング制御ブロックは，COM_1 端子および COM_0 端子のコモン信号出力タイミングを制御します。

LCD 表示を行わないときはロウ・レベルが出力されます。

LCD 表示を使用するかしないかの選択は LCD モード・セレクト・レジスタ（LCDMODE：RF アドレス 10H 番地）により行います。

詳細は **21.4** を参照してください。

21.2.4 セグメント信号/キー・ソース信号出力タイミング制御ブロック

セグメント信号/キー・ソース信号出力タイミング制御ブロックは，$LCD_{29}/P0F_3$ - $LCD_0/P0Y_0/KS_0$ 端子のセグメント信号出力タイミングを制御します。

LCD 表示を行わないときはロウ・レベルが出力されます。

LCD 表示を使用するかしないかの選択は LCD モード・セレクト・レジスタにより行います。

また，セグメント信号/キー・ソース信号出力タイミング制御ブロックは，$LCD_{15}/P0Y_{15}/KS_{15}$ - $LCD_0/P0Y_0/KS_0$ 端子から出力するセグメント信号とキー・ソース信号のタイミングを制御します。

キー・ソース信号を使用するかしないかの選択は LCD モード・セレクト・レジスタにより行います。

詳細は **21.4** を参照してください。

21.2.5 セグメント信号/汎用ポート切り替えブロック

セグメント信号/汎用ポート切り替えブロックは，各セグメント信号出力端子を LCD 表示（セグメント信号出力）に使用するか，汎用出力ポートとして使用するかを切り替えます。

セグメント信号出力と汎用出力ポートの切り替えは LCD ポート・セレクト・レジスタ（LCDPORT：RF アドレス 11H 番地）により行います。

詳細は **21.4** を参照してください。

21.2.6 キー・ソース信号出力制御ブロック

キー・ソース信号出力制御ブロックは，$LCD_{15}/P0Y_{15}/KS_{15}$ - $LCD_0/P0Y_0/KS_0$ 端子から出力するキー・ソース信号出力データの設定およびキー入力タイミングの検出を行います。

キー・ソース信号出力データの設定はデータ・バッファを介してキー・ソース・データ・レジスタ（KSR：周辺アドレス 42H 番地）により行います。

キー・ソース・データ・レジスタは，ポート 0Y の出力データ設定を兼用しています。

キー・ソース信号を使用する場合は，キー入力端子として $P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子を使用します。

詳細は“**22. キー・ソース・コントローラ/デコーダ**”を参照してください。

21.3 LCD セグメント・レジスタおよび LCD グループ・レジスタ

LCD セグメント・レジスタおよび LCD グループ・レジスタは LCD の各表示ドットの点消灯データを設定します。

21.3.1 LCD セグメント・レジスタの構成

図 21 - 3 に LCD セグメント・レジスタのデータ・メモリ上の配置を示します。

図 21 - 4 に LCD セグメント・レジスタの構成を示します。

図 21 - 3 LCD セグメント・レジスタのデータ・メモリ上の配置

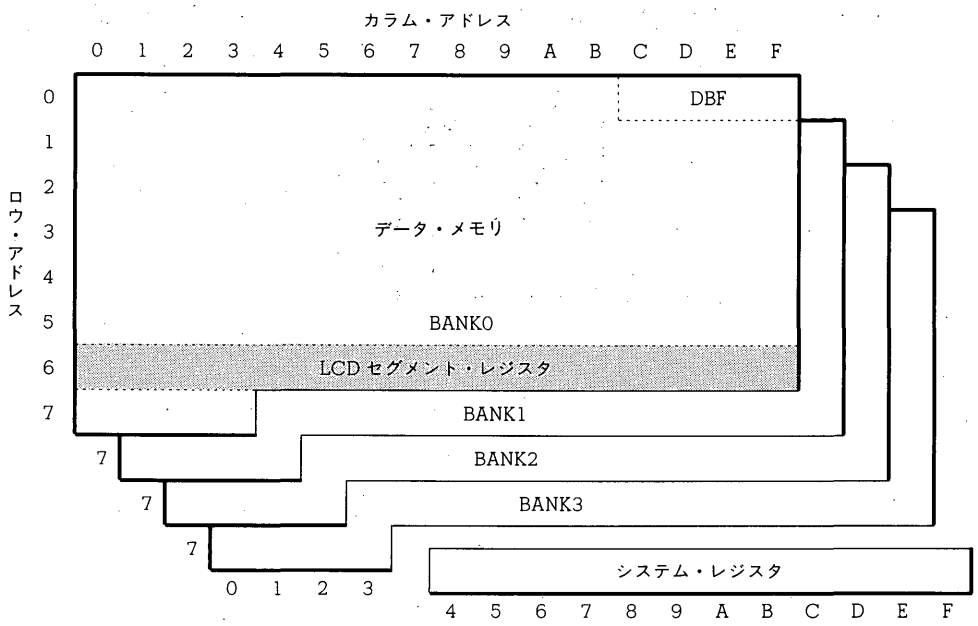
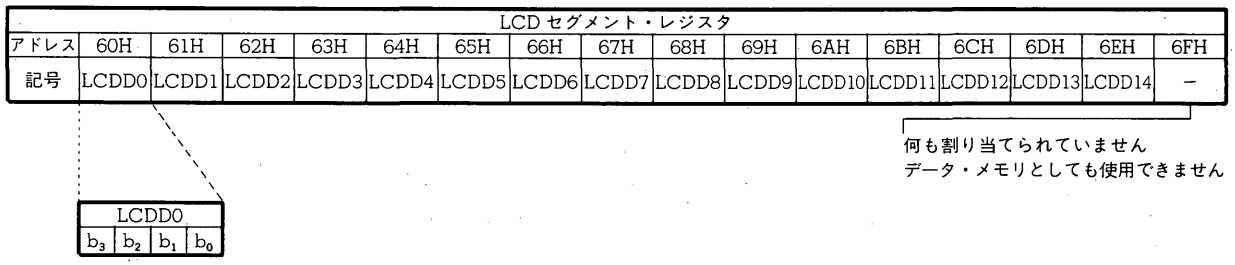


図 21 - 4 LCD セグメント・レジスタの構成



LCD セグメント・レジスタ															
アドレス	60H	61H	62H	63H	64H	65H	66H	67H	68H	69H	6AH	6BH	6CH	6DH	6EH	6FH
記号	LCDD0	LCDD1	LCDD2	LCDD3	LCDD4	LCDD5	LCDD6	LCDD7	LCDD8	LCDD9	LCDD10	LCDD11	LCDD12	LCDD13	LCDD14	−

21.3.2 LCD セグメント・レジスタの機能

図 21 - 5 に LCD セグメント・レジスタの 1 ニブル（4 ビット）と LCD 表示ドットの関係を示します。

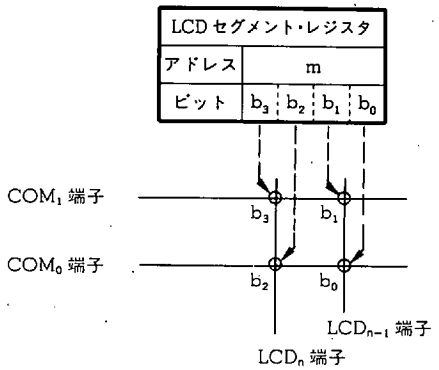
図 21 - 5 に示すように LCD セグメント・レジスタの 1 ニブルで 4 ドットの表示データ（点消灯データ）を設定できます。

このとき“1”に設定されている LCD 表示ドットが点灯し，“0”に設定されているドットが消灯します。

また，LCD セグメント・レジスタはセグメント信号出力端子を出力ポートとして使用するときは出力データの設定を行います。

図 21 - 7 に各 LCD セグメント・レジスタと点消灯する LCD 表示ドットの関係を示します。

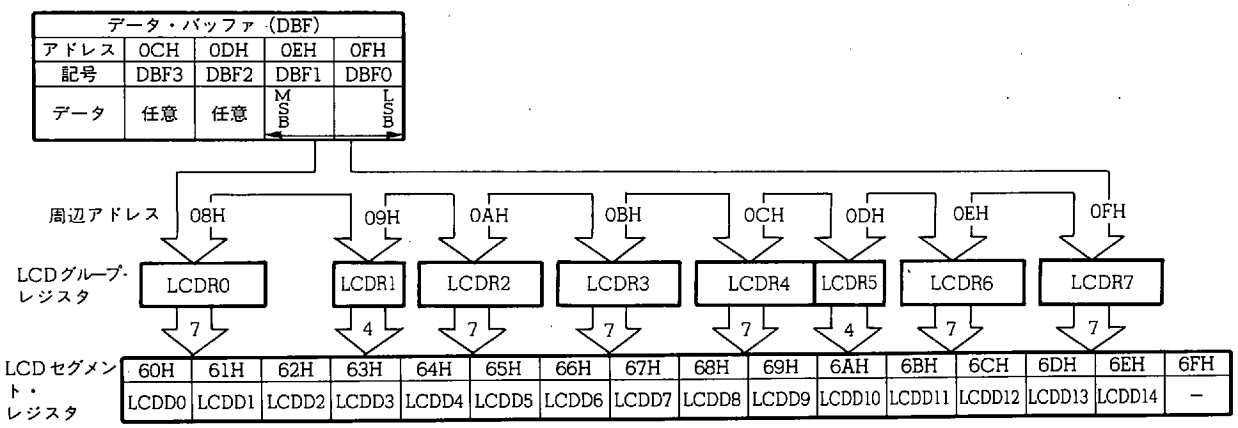
図 21 - 5 LCD セグメント・レジスタの 1 ニブルと LCD 表示ドットの関係



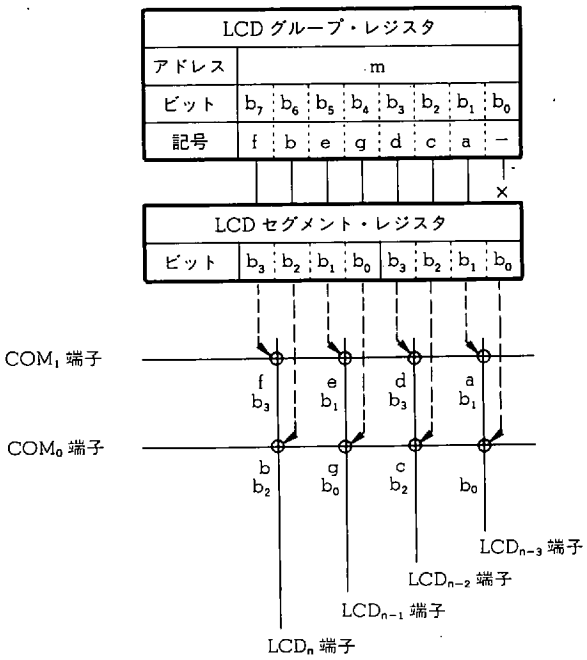
21.3.3 LCD グループ・レジスタの構成

図 21 - 6 に LCD グループ・レジスタの構成および LCD セグメント・レジスタとの関係を示します。

図 21 - 6 LCD グループ・レジスタの構成および LCD セグメント・レジスタとの関係



LCD グループ・レジスタと LCD 表示ドットの関係



21.3.4 LCD グループ・レジスタの機能

LCD グループ・レジスタは, LCD セグメント・レジスタと同様に LCD 表示ドットの点消灯データを設定します。

図 21 - 6 に示したように, LCD グループ・レジスタはデータ・バッファを介して 7 ドット単位または 4 ドット単位でデータの設定を行います。

すなわち, "PUT LCDRn, DBF" 命令を実行することにより "n" (0≦n≦7) で指定されるグループの LCD 表示データを設定します。

このとき, "PUT LCDRn, DBF" 命令を実行すると対応する LCD セグメント・レジスタの値も同時に変化します。

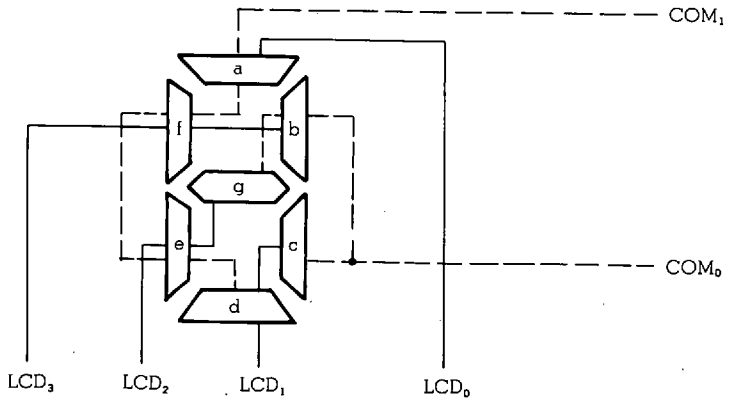
言い替えれば, LCD グループ・レジスタを使用することにより 1 命令で 7 ドットの表示データを設定できることになります。

LCD ドット・レジスタは, セグメント信号出力端子を出力ポートとして使用するときは出力データの設定を行います。

21.3.5 に LCD グループ・レジスタとデータ・バッファの関係を示します。

また, 図 21 - 7 に各 LCD グループ・レジスタと, 点消灯する LCD 表示ドットの関係を示します。

LCD グループ・レジスタは 7 ドットの表示データが 1 命令で設定できるため, 以下に示す結線により 7 セグメント表示などに使用すると便利です。



次に各 LCD グループ・レジスタの構成と機能を示します。

名　称	データ・バッファ															
記　号	DBF 3				DBF 2				DBF 1				DBF 0			
アドレス	0 CH				0 DH				0 EH				0 FH			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	任　意				任　意				転送データ							

8

GET は不定データ
PUT 可

周辺レジスタ											
名　称	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0	記　号	周辺アドレス	周辺ハードウエア
LCD グループ・レジスタ 0	有効データ							–	LCDR 0	08 H	LCD セグメント・グループ 0
〃 1		–			–		–	–	LCDR 1	09 H	〃 1
〃 2								–	LCDR 2	0A H	〃 2
〃 3								–	LCDR 3	0B H	〃 3
〃 4								–	LCDR 4	0C H	〃 4
〃 5	–	–	–	–				–	LCDR 5	0D H	〃 5
〃 6								–	LCDR 6	0E H	〃 6
〃 7								–	LCDR 7	0F H	〃 7

任意

LCD 表示の各ドット（セグメント）の点消灯を設定

- a セグメント
- c セグメント
- d セグメント
- g セグメント
- e セグメント
- b セグメント
- f セグメント

0	消灯
1	点灯

a セグメント－g セグメントと，各ドットの関係は図 21－7 を参照してください。

図 21 - 7 LCD 表示ドット，ポート 0E - ポート 0Y，キー・ソース出力と各データ設定レジスタの関係（1/2）

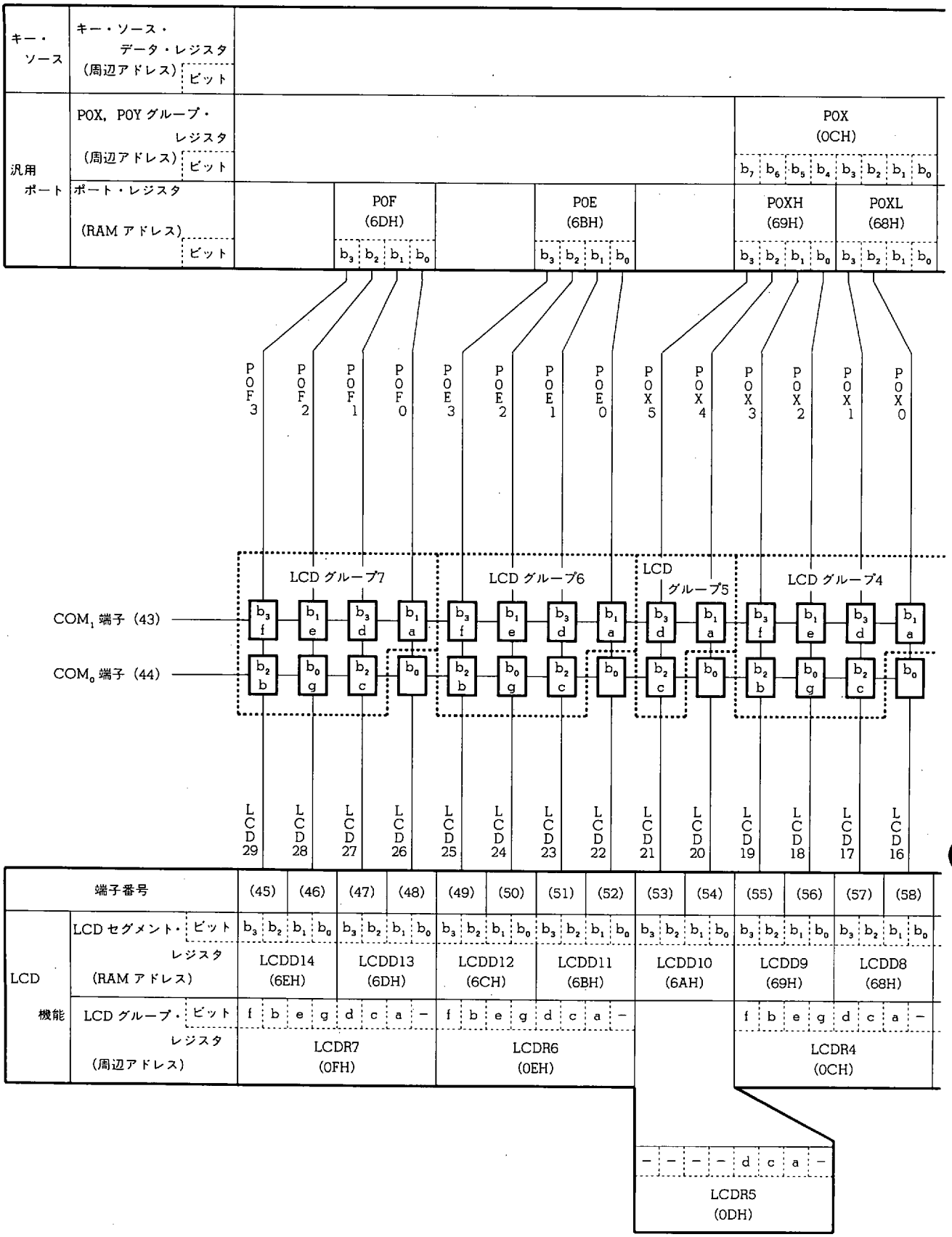
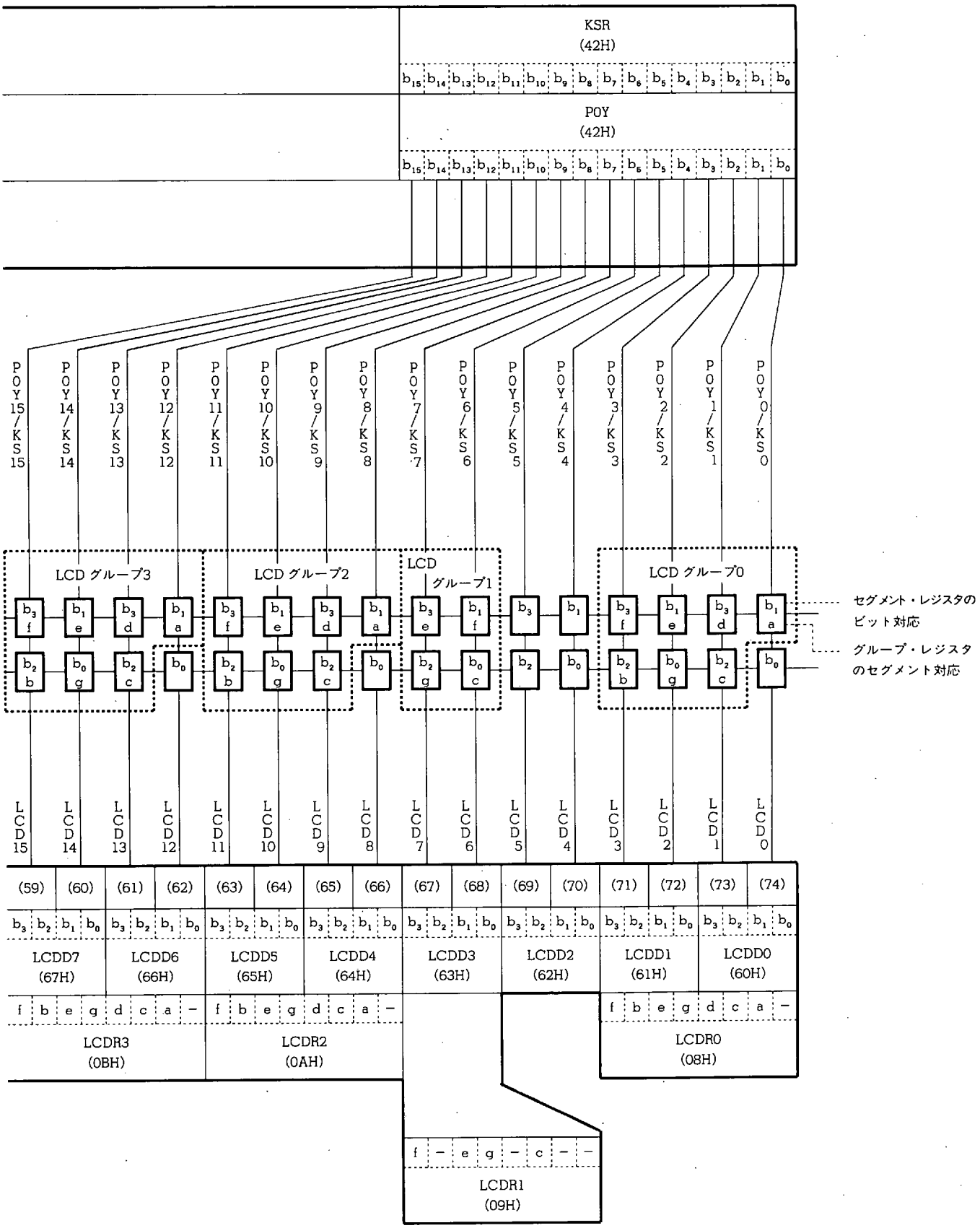


図 21 - 7　LCD 表示ドット，ポート OE - ポート OY，キー・ソース出力と各データ設定レジスタの関係（2/2）

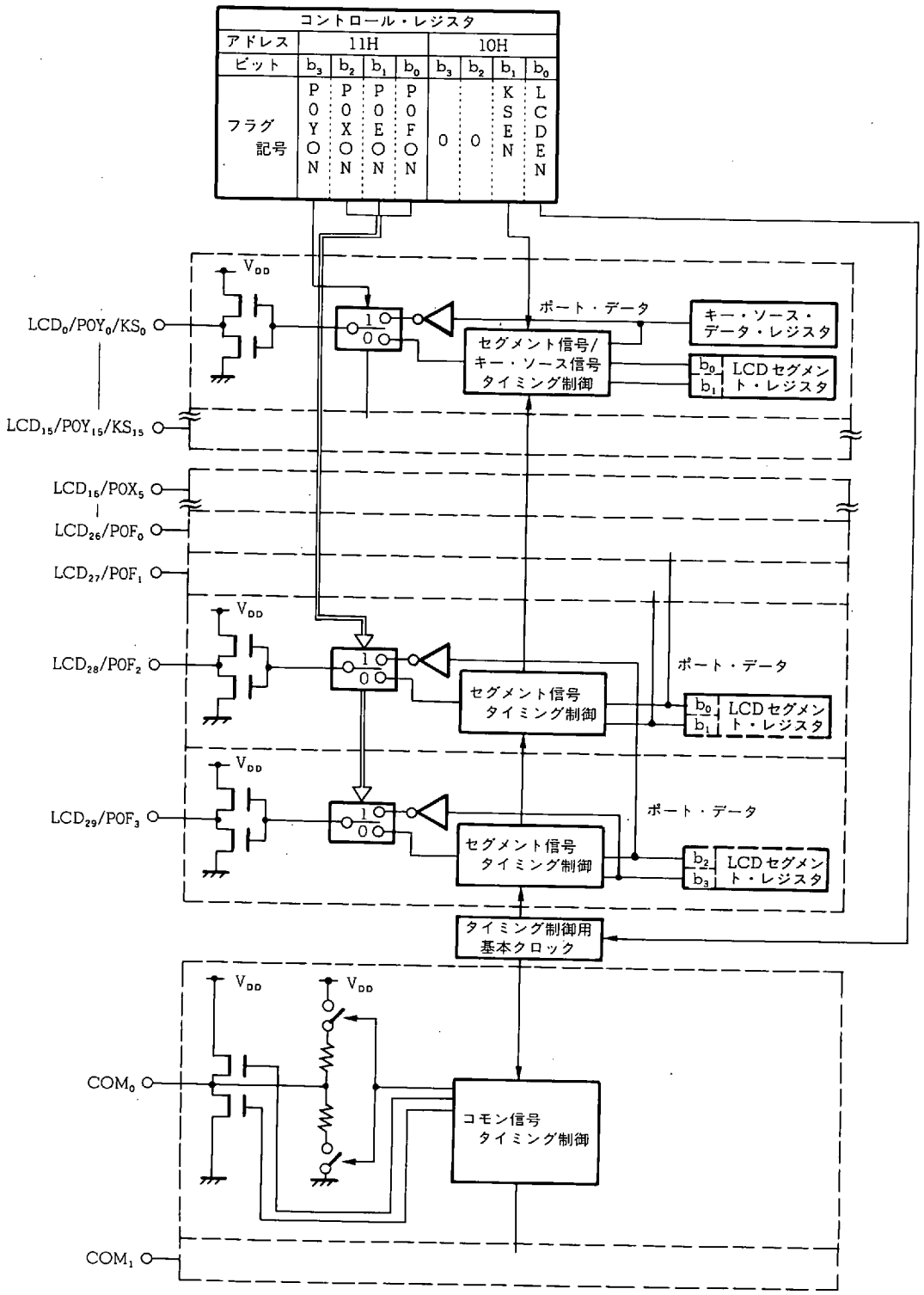


21.4 出力タイミング制御ブロックおよびセグメント/ポート切り替えブロック

21.4.1 出力タイミング制御ブロックおよびセグメント/ポート切り替えブロックの構成

図21-8にコモン信号およびセグメント信号/キー・ソース信号出力タイミング制御ブロックおよびセグメント信号/汎用出力ポート切り替えブロックの構成を示します。

図21-8 タイミング制御ブロックおよびポート切り替えブロックの構成



21.4.2 セグメント信号/汎用出力ポート切り替えブロックの機能

セグメント信号/汎用出力ポート切り替えブロックはLCDポート・セレクト・レジスタのP0YON - P0FONフラグにより各端子をセグメント信号出力として使用するか汎用出力ポートとして使用するかを設定します。

各フラグが“1”のときに汎用出力ポートに設定されます。

汎用出力ポートに設定されていないセグメント端子はLCD表示を行うことができます。

$LCD_{15}/P0Y_{15}/KS_{15}$ - $LCD_0/P0Y_0/KS_0$ 端子はセグメント信号出力とキー・ソース信号を同時に出力できますが，ポートOYが選択されているとポートの出力が優先されます。

汎用出力ポートについては“**15. 汎用ポート**”を参照してください。

また**21.4.4**にLCDポート・セレクト・レジスタの構成と機能を示します。

21.4.3 出力タイミング制御ブロックの機能

出力タイミング制御ブロックは，LCD表示のコモン信号とセグメント信号のタイミング制御およびキー・ソース・コントローラ/デコーダを使用するときのキー・ソース信号とセグメント信号のタイミング制御を行います。

コモン信号およびセグメント信号はLCDモード・セレクト・レジスタのLCDENフラグが“1”の時に出力されます。

すなわちLCDENフラグによりすべてのLCD表示を消灯することができます。

このすべてのLCD表示の消灯時はコモン信号およびセグメント信号はロウ・レベルを出力します。

キー・ソース信号はLCDモード・セレクト・レジスタのKSENフラグが“1”の時に出力されます。

すなわちKSENフラグによりキー・ソース信号を使用することができます。

21.4.5にLCDモード・セレクト・レジスタの構成と機能を示します。

また，**21.4.6**にコモン信号およびセグメント信号の出力波形を示します。

キー・ソース・コントローラ/デコーダについては“**22. キー・ソース・コントローラ/デコーダ**”を参照してください。

21.4.4 LCD ポート・セレクト・レジスタ（LCDPORT）の構成と機能

LCD ポート・セレクト・レジスタは，LCD セグメント信号出力端子を汎用出力ポートとして使用するための設定を行います。

以下に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
LCD ポート・セレクト・レジスタ (LCDPORT)	P0YON	P0XON	P0EON	P0FON	11H	R/W

	LCD セグメント信号出力端子と汎用出力ポートの選択
0	$LCD_{26}/P0F_0$-$LCD_{29}/P0F_3$ 端子を LCD セグメントとして使用
1	$LCD_{26}/P0F_0$-$LCD_{29}/P0F_3$ 端子を汎用出力ポートとして使用

	LCD セグメント信号出力端子と汎用出力ポートの選択
0	$LCD_{22}/P0E_0$-$LCD_{25}/P0E_3$ 端子を LCD セグメントとして使用
1	$LCD_{22}/P0E_0$-$LCD_{25}/P0E_3$ 端子を汎用出力ポートとして使用

	LCD セグメント信号出力端子と汎用出力ポートの選択
0	$LCD_{16}/P0X_0$-$LCD_{21}/P0X_5$ 端子を LCD セグメントとして使用
1	$LCD_{16}/P0X_0$-$LCD_{21}/P0X_5$ 端子を汎用出力ポートとして使用

	LCD セグメント信号出力端子と汎用出力ポートの選択
0	$LCD_0/P0Y_0/KS_0$-$LCD_{15}/P0Y_{15}/KS_{15}$ 端子を LCD セグメントとして使用
1	$LCD_0/P0Y_0/KS_0$-$LCD_{15}/P0Y_{15}/KS_{15}$ 端子を汎用出力ポートとして使用

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	0	0	0	0
	CE	保　持			

21.4.5 LCD モード・セレクト・レジスタ（LCDMODE）の構成と機能

LCD モード・セレクト・レジスタは，すべての LCD 表示のオン/オフ制御およびキー・ソース信号の出力を設定します。

以下に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
LCD モード・セレクト・レジスタ (LCDMODE)	0	0	KSEN	LCDEN	10H	R/W

	すべての LCD 表示のオン/オフを設定
0	表示　オフ（セグメント出力およびコモン出力端子はすべてロウ・レベル出力）
1	表示　オン

	キー・ソース信号の出力を設定
0	キー・ソース　オフ
1	キー・ソース　オン

“0” 固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	0	0
	CE	↓	↓	0	0

21.4.6 コモン信号およびセグメント信号出力波形

図21-9および図21-10にコモン信号およびセグメント信号出力波形を示します。

図21-9はキー・ソース信号を出力しない場合の波形であり，図21-10はキー・ソース信号を出力しているときの波形です。

図21-9に示すようにLCDドライバは1/2デューティ，1/2バイアス（電圧平均化法）でフレーム周波数250 Hzの信号を出力します。

コモン信号出力はCOM_1，COM_0端子から互いに1/4の位相差を持った3レベル（0，1/2 V_{DD}，V_{DD}）の電圧を出力します。

すなわち，コモン信号は1/2 V_{DD}を中心に±1/2 V_{DD}の電圧を出力することになり，この表示方法を1/2バイアス駆動方式と呼びます。

セグメント信号出力は各セグメント信号出力端子から表示ドットに対応した位相を持った2レベル（0，V_{DD}）の電圧を出力します。

表示ドットに対応した位相差とは，図21-9に示すように1本のセグメント端子により2個の表示ドット（AおよびB）を点消灯させるため，AドットとBドットに，点灯および消灯の組み合わせから図21-9の①-④に示す4通りの位相差を出力します。

AドットおよびBドットは，コモン信号とセグメント信号の電位差がV_{DD}になると点灯します。

すなわち，AドットおよびBドットの各ドットが点灯するデューティは1/2であり，周波数は250 Hzになります。この表示方式を1/2デューティ駆動方式と呼び，周波数をフレーム周波数と呼びます。

図21-9 コモン信号およびセグメント信号出力波形（キー・ソース信号を出力しない場合）

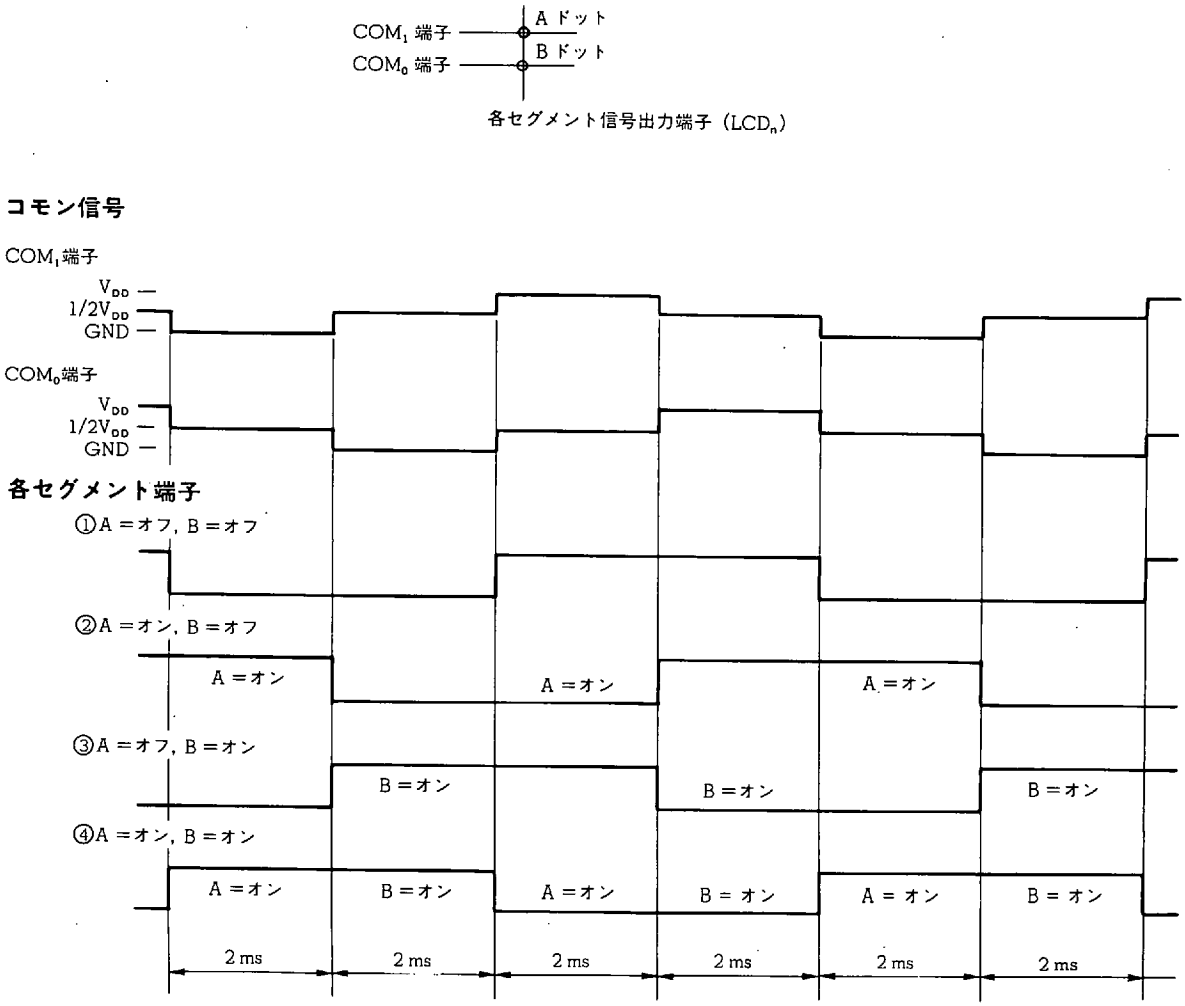
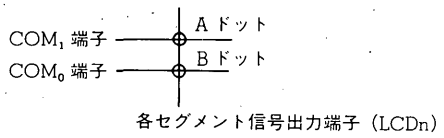
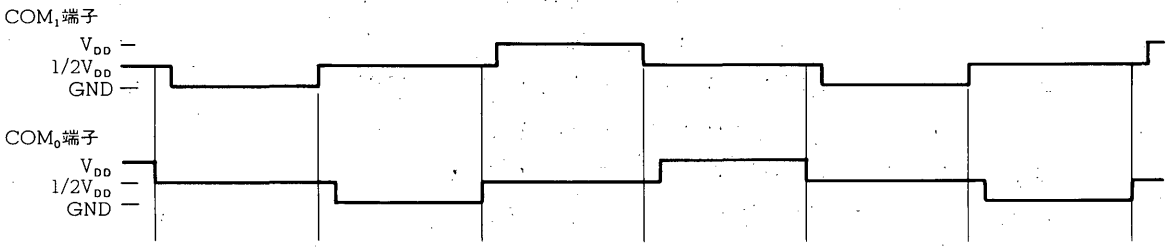


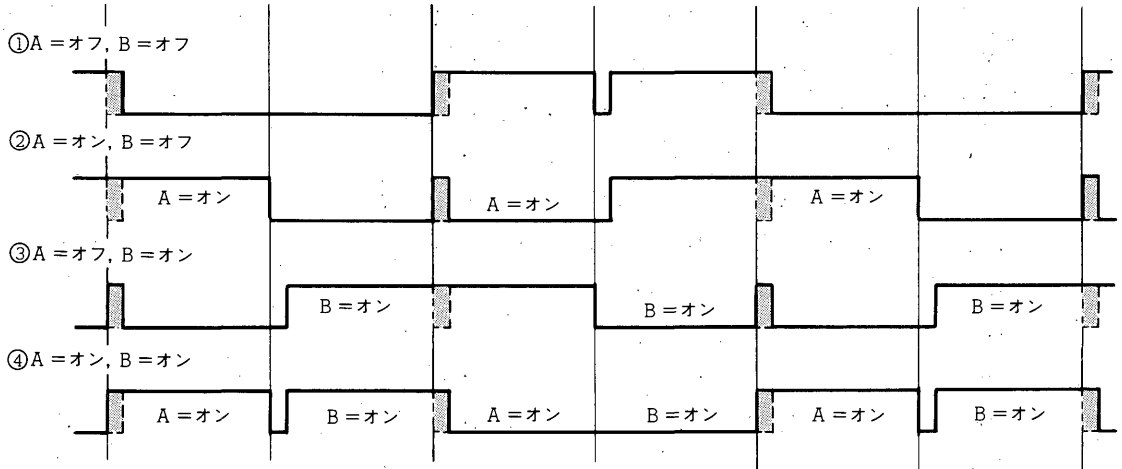
図21-10 コモン信号およびセグメント信号出力波形（キー・ソース信号を出力する場合）



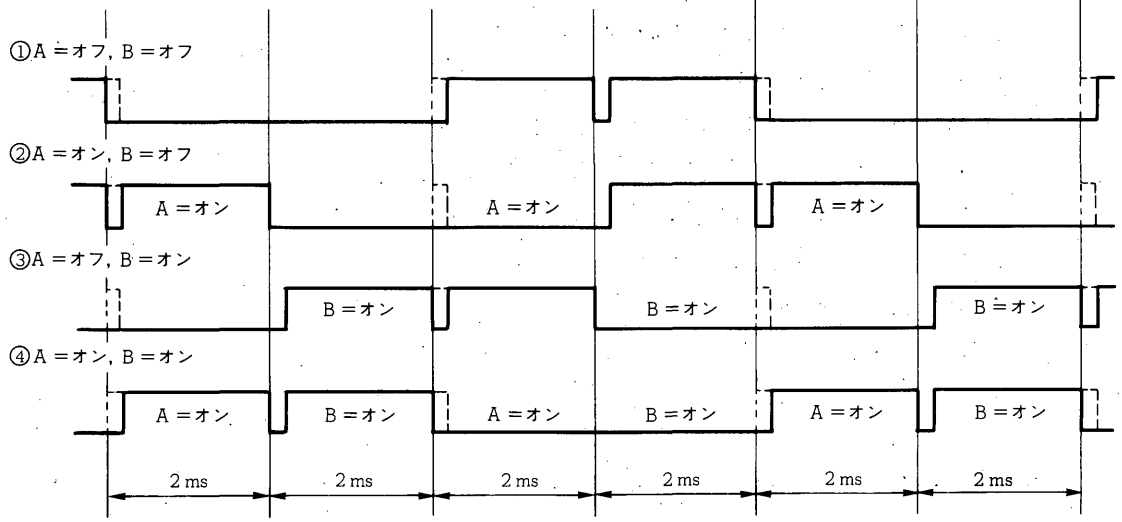
コモン信号



各セグメント端子（キー・ソースに“1”を出力している端子）



各セグメント端子（キー・ソースに“0”を出力している端子）



21.5 LCD コントローラ/ドライバの使用方法

図 21 - 11 に LCD パネルの結線例を示します。

また，以下に図 21 - 11 に示した LCD_0 - LCD_3 端子の 7 セグメント表示を点灯させるプログラム例を示します。

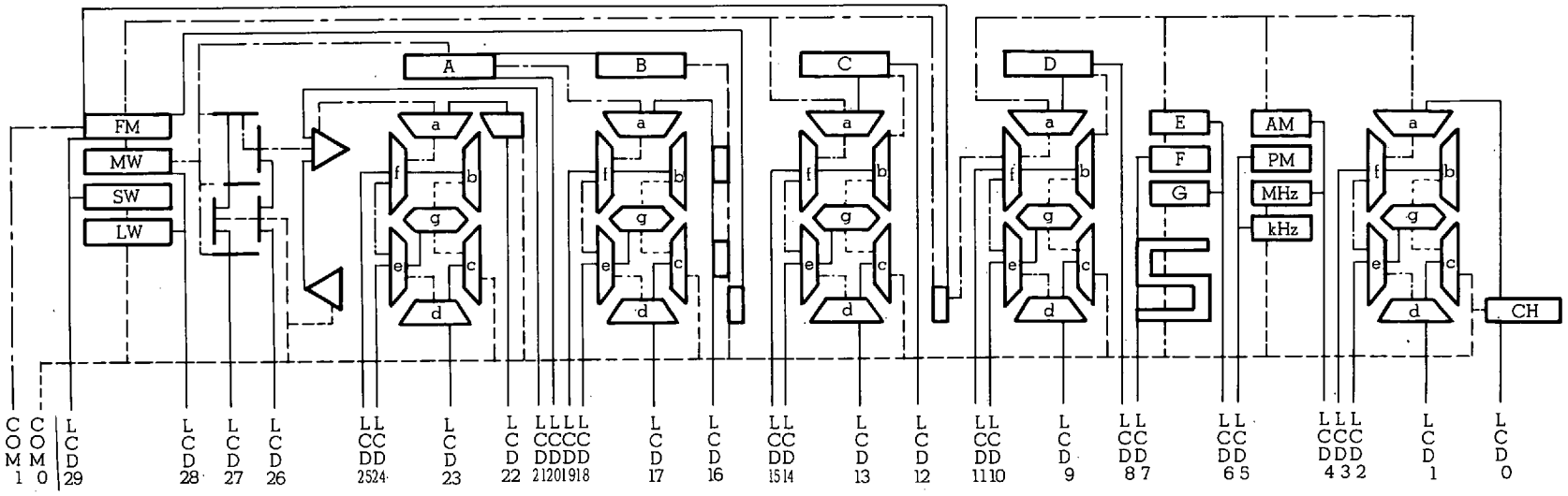
★ 例

```
   PMNO  MEM   0.01H          ; プリセット・メモリ・ナンバおよび BK データ格納エリア
   CH    FLG   DBF0.1         ; DBF の最下位ビットを "CH" 表示フラグとしてシンボル定義
LCDDATA :                     ; 表示のテーブル・データ
;                        b3b2b1b0b3b2b1b0   ; LCD セグメント・レジスタ対応
;                        f b e g d c a -    ; LCD グループ・レジスタ対応
   DW    0000000000000000B  ; BLANK
   DW    0000000001000100B  ; 1
   DW    0000000001111010B  ; 2
   DW    0000000001011110B  ; 3
   DW    0000000011010100B  ; 4
   DW    0000000010011110B  ; 5
   DW    0000000010111110B  ; 6
   DW    0000000011000110B  ; 7
   DW    0000000011111110B  ; 8
   DW    0000000011011110B  ; 9
   DW    0000000011111010B  ; A
   DW    0000000011111110B  ; B
   DW    0000000010101010B  ; C
   DW    0000000011101110B  ; D
   DW    0000000010111010B  ; E
   DW    0000000010110010B  ; F

   CLR4  P0YON, P0XON, P0EON, P0FON
   MOV   RPL,  #1110B
   MOV   AR3,  #.DL. LCDDATA SHR 12 AND 0FH
   MOV   AR2,  #.DL. LCDDATA SHR 8  AND 0FH
   MOV   AR1,  #.DL. LCDDATA SHR 4  AND 0FH
   MOV   AR0,  #.DL. LCDDATA        AND 0FH
   ADD   AR0,  PMNO
   ADDC  AR1,   #0
   ADDC  AR2,   #0
   ADDC  AR3,   #0
   MOVT  DBF,   @AR
   MOV   RPH,  #0000B
   MOV   RPL,  #0000B
   SKGE  PMNO,  #0AH
   SET1  CH
   LD    LCDD1, DBF1
   LD    LCDD0, DBF0
   SET1  LCDEN
```

保守／廃止

図 21 - 11　LCD パネルの結線例



セグメント端子およびコモン端子と LCD パネル表示の対応表

セグメント端子 ＼ コモン端子		LCD29	LCD28	LCD27	LCD26	LCD25	LCD24	LCD23	LCD22	LCD21	LCD20	LCD19	LCD18	LCD17	LCD16	LCD15	LCD14	LCD13	LCD12	LCD11	LCD10	LCD9	LCD8	LCD7	LCD6	LCD5	LCD4	LCD3	LCD2	LCD1	LCD0
		45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74
COM_1	43	FM	MW			f	e	d	a	▷	A	f	e	d	a	f	e	d	a	f	e	d	a	F	E	PM	AM	f	e	d	a
COM_0	44	SW	LW			b	g	c		◁	B	b	g	c	:	b	g	c	C	b	g	c	D		G	kHz	MHz	b	g	c	CH

21.6 リセット時の状態

21.6.1 パワーオン・リセット時

LCD_{29}/POF_3 - $LCD_0/POY_0/KS_0$ 端子はLCDセグメント信号出力に指定され，ロウ・レベルを出力します。

COM_1，COM_0 端子は，ロウ・レベルを出力します。

したがって，LCD表示はオフします。

21.6.2 クロック・ストップ時

LCD_{29}/POF_3 - $LCD_0/POY_0/KS_0$ 端子はLCDセグメント信号出力に指定され，ロウ・レベルを出力します。

COM_1，COM_0 端子は，ロウ・レベルを出力します。

したがって，LCD表示はオフします。

21.6.3 CEリセット時

LCD_{29}/POF_3 - $LCD_0/POY_0/KS_0$ 端子のうちセグメント信号出力に指定されている端子はセグメント信号を出力し，汎用出力ポートに指定されている端子は出力している値を保持します。

COM_1，COM_0 端子は，コモン信号を出力します。

21.6.4 ホールト状態時

LCD_{29}/POF_3 - $LCD_0/POY_0/KS_0$ 端子のうちセグメント信号出力に指定されている端子はセグメント信号を出力し，汎用出力ポートに指定されている端子は出力している値を保持します。

COM_1，COM_0 端子は，コモン信号を出力します。

22. キー・ソース・コントローラ/デコーダ

キー・ソース・コントローラ/デコーダは，LCD セグメント信号出力と時分割でキー・ソース信号を出力することにより最大 64 個のキー・マトリクスを構成することができます。

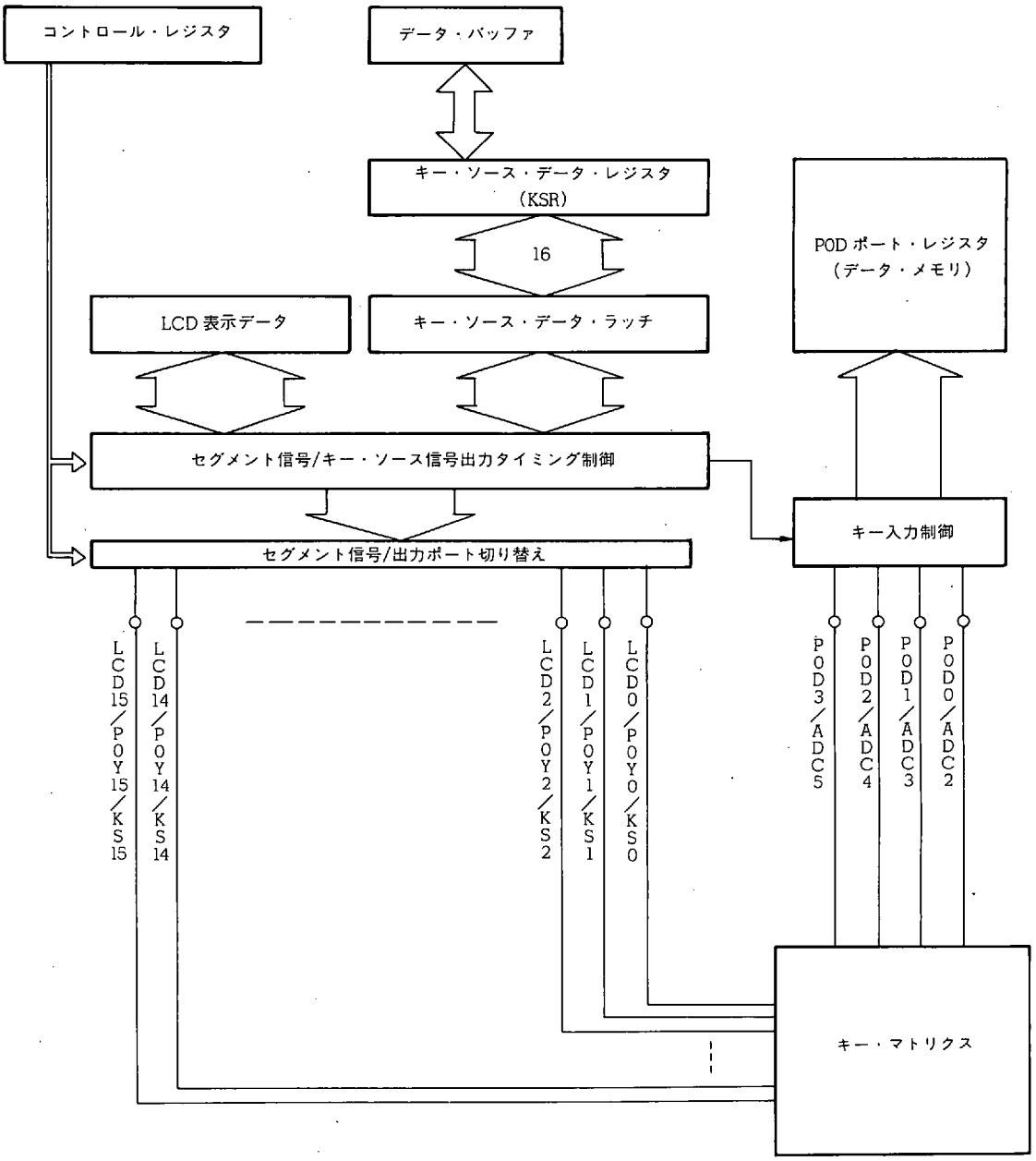
22.1 キー・ソース・コントローラ/デコーダの構成

図 22 - 1 にキー・ソース・コントローラ/デコーダの構成を示します。

図 22 - 1 に示すようにキー・ソース・コントローラ/デコーダは，セグメント信号/キー・ソース信号タイミング出力制御ブロック，セグメント信号/出力ポート切り替えブロック，キー・ソース・データ・レジスタ，キー入力制御ブロックおよび POD ポート・レジスタから構成されています。

22.2 に各ブロックの機能概略を示します。

図 22 - 1 キー・ソース・コントローラ/デコーダのブロック図



22.2 キー・ソース・コントローラ/デコーダの機能概略

キー・ソース・コントローラ/デコーダは，キー・ソース信号出力端子（$LCD_{15}/POY_{15}/KS_{15}$ - $LCD_0/POY_0/KS_0$ 端子）とキー入力端子（POD_3/ADC_5 - POD_0/ADC_2 端子）とのマトリクスにより最大 64 個のキー・マトリクスを構成できます。

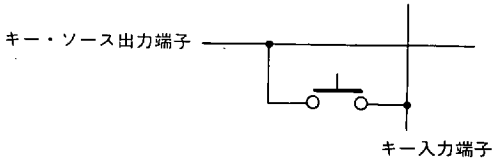
図 22 - 2 にキー・マトリクスの構成例を示します。

$LCD_{15}/POY_{15}/KS_{15}$ - $LCD_0/POY_0/KS_0$ 端子は LCD セグメント信号出力端子と兼用しています。

したがって，キー・ソース信号出力は LCD セグメント信号出力と時分割に出力されます。

以下の **22.2.1 - 22.2.4** にキー・ソース・コントローラ/デコーダの各ブロックの機能概要を示します。

図 22 - 2 キー・マトリクス構成例



22.2.1 キー・ソース・データ・レジスタ（KSR）

キー・ソース・データ・レジスタは，キー・ソース信号を出力する端子のキー・ソース出力データを設定します。

キー・ソース・データ・レジスタは，データ・バッファを介してデータを設定します。

キー・ソース・データ・レジスタにデータを設定すると，$LCD_{15}/POY_{15}/KS_{15}$ - $LCD_0/POY_0/KS_0$ 端子からキー・ソース・データを出力します。

また，キー・ソース・データ・レジスタは，$LCD_{15}/POY_{15}/KS_{15}$ - $LCD_0/POY_0/KS_0$ 端子を汎用出力ポートとして使用する場合の出力データの設定も行います。

このときもキー・ソース・データ・レジスタにデータを設定すると，対応する端子からポート出力データを出力します。

詳細は **22.3** を参照してください。

22.2.2 セグメント信号/キー・ソース信号出力タイミング制御ブロック

セグメント信号/キー・ソース信号出力タイング制御ブロックは，LCD_{29}/POF_3 - $LCD_0/POY_0/KS_0$ 端子のキー・ソース信号とセグメント信号の出力タイミングを制御します。

キー・ソース信号を使用するかしないかの選択は LCD モード・セレクト・レジスタにより行います。

キー・ソース信号は LCD 表示を使用しない場合は出力されません。このときこれらの端子からはロウ・レベルが出力されます。

LCD 表示を使用するかしないかの選択は LCD モード・セレクト・レジスタにより行います。

詳細は **22.4** を参照してください。

22.2.3 セグメント信号/汎用ポート切り替えブロック

セグメント信号/汎用ポート切り替えブロックは，LCD_{29}/POF_3 - $LCD_0/POY_0/KS_0$ 端子を LCD 表示（セグメント信号出力）に使用するか，汎用出力ポートとして使用するかを切り替えます。

セグメント信号出力と汎用出力ポートの切り替えは LCD ポート・セレクト・レジスタにより行います。

キー・ソース信号を使用する場合は LCD_{29}/POF_3 - $LCD_0/POY_0/KS_0$ 端子を LCD セグメント信号出力に設定しておく必要があります。

詳細は **22.4** を参照してください。

22.2.4 キー入力制御ブロックおよび POD ポート・レジスタ

キー入力制御ブロックは，POD_3/ADC_5 - POD_0/ADC_2 端子に入力されたキー入力信号を，キー・ソース信号出力タイミングに同期して検出します。

したがって，$LCD_{15}/POY_{15}/KS_{15}$ - $LCD_0/POY_0/KS_0$ 端子からキー・ソース信号を出力する場合は，キー入力端子として POD_3/ADC_5－POD_0/ADC_2 端子を使用します。

キー入力データの読み込みはデータ・メモリ上の POD ポート・レジスタ（BANK0 の 73H 番地）により行います。

POD_3/ADC_5 - POD_0/ADC_2 端子は，A/D コンバータ端子と兼用しているため，これらの端子を A/D コンバータとして使用する場合は注意が必要です。

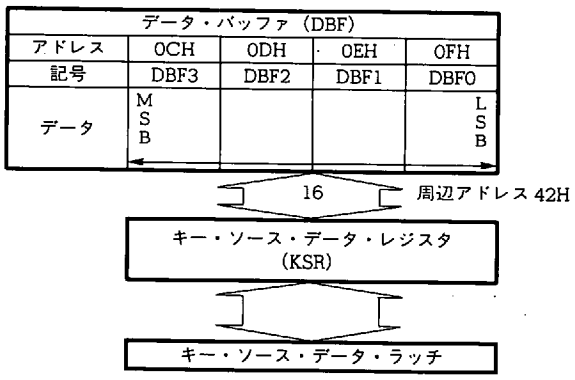
詳細は **22.5** を参照してください。

22.3 キー・ソース・データ設定ブロック

22.3.1 キー・ソース・データ設定ブロックの構成

図22-3にキー・ソース・データ設定ブロックの構成を示します。

図22-3 キー・ソース・データ設定ブロックの構成



22.3.2 キー・ソース・データ設定ブロックの機能

キー・ソース・データ設定ブロックは，$LCD_{15}/POY_{15}/KS_{15}$ - $LCD_0/POY_0/KS_0$ 端子から出力するキー・ソース・データを設定します。

キー・ソース・データは，データ・バッファを介してキー・ソース・データ・レジスタ（KSR：周辺アドレス42H番地）により行います。

キー・ソース・データ・レジスタの各ビットは，$LCD_{15}/POY_{15}/KS_{15}$ - $LCD_0/POY_0/KS_0$ の各端子に対応しており，各端子のキー・ソース・データを設定します。

キー・ソース・データ・レジスタに“1”が設定されている端子からキー・ソース信号としてハイ・レベルを出力し，“0”が設定されている端子からロウ・レベルを出力します。

出力するタイミングは**22.4**を参照してください。

また，$LCD_{15}/POY_{15}/KS_{15}$ - $LCD_0/POY_0/KS_0$ 端子を汎用出力ポートとして使用する場合は，出力データの設定を行います。

このときのデータ設定用のレジスタはPOYグループ・レジスタ（POY：周辺アドレス42H番地）と呼びますが，周辺アドレスは同一であり，名称のみ読み替えています。

22.3.3にキー・ソース・データ・レジスタの構成と機能を示します。

また，“**21. LCDコントローラ/ドライバ**”の図21-7も参照してください。

22.3.3 キー・ソース・データ・レジスタ（KSR）の構成と機能

以下にキー・ソース・データ・レジスタの構成と機能を示します。

名　称	データ・バッファ			
記　号	DBF 3	DBF 2	DBF 1	DBF 0
アドレス	0 CH	0 DH	0 EH	0 FH
ビット	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0	b_3 b_2 b_1 b_0
データ	転送データ			

16

GET 可

PUT 可

周辺レジスタ																			
名　称	b_{15}	b_{14}	b_{13}	b_{12}	b_{11}	b_{10}	b_9	b_8	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0	記　号	周辺アドレス	周辺ハードウエア
キー・ソース・データ・レジスタ	有効データ																KSR	42 H	キー・ソース・コントローラ/デコーダ

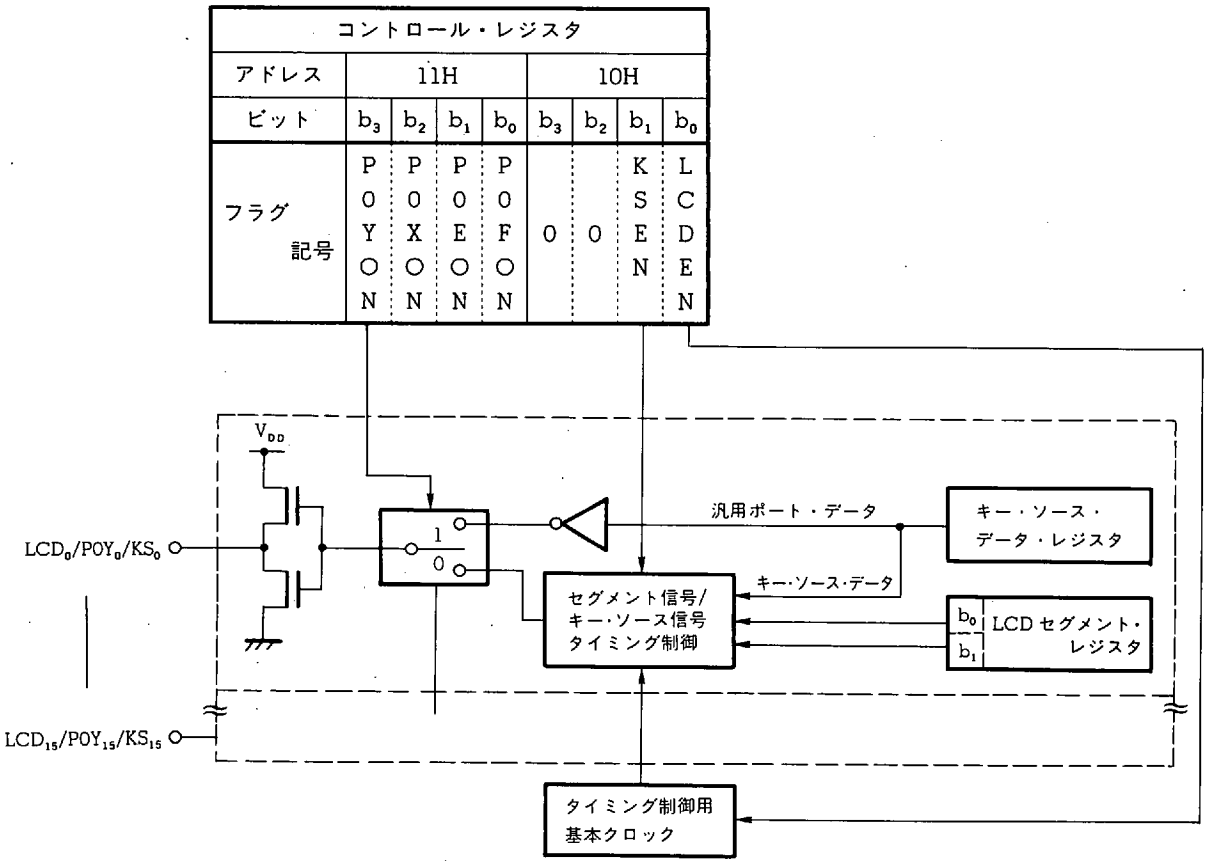
	キー・ソース信号の出力端子を設定
	$LCD_0/POY_0/KS_0$ 端子
	$LCD_1/POY_1/KS_1$ 端子
	$LCD_2/POY_2/KS_2$ 端子
	$LCD_3/POY_3/KS_3$ 端子
	$LCD_4/POY_4/KS_4$ 端子
	$LCD_5/POY_5/KS_5$ 端子
	$LCD_6/POY_6/KS_6$ 端子
	$LCD_7/POY_7/KS_7$ 端子
	$LCD_8/POY_8/KS_8$ 端子
	$LCD_9/POY_9/KS_9$ 端子
	$LCD_{10}/POY_{10}/KS_{10}$ 端子
	$LCD_{11}/POY_{11}/KS_{11}$ 端子
	$LCD_{12}/POY_{12}/KS_{12}$ 端子
	$LCD_{13}/POY_{13}/KS_{13}$ 端子
	$LCD_{14}/POY_{14}/KS_{14}$ 端子
	$LCD_{15}/POY_{15}/KS_{15}$ 端子
0	キー・ソース信号を出力しない
1	キー・ソース信号を出力する

22.4 出力タイミング制御ブロックおよびセグメント/ポート切り替えブロック

22.4.1 出力タイミング制御ブロックおよびセグメント/ポート切り替えブロックの構成

図22-4にコモン信号およびセグメント信号/キー・ソース信号出力タイミング制御ブロックおよびセグメント信号/汎用出力ポート切り替えブロックの構成を示します。

図22-4 タイミング制御ブロックおよびポート切り替えブロックの構成



22.4.2 セグメント信号/汎用出力ポート切り替えブロックの機能

セグメント信号/汎用出力ポート切り替えブロックは，LCD ポート・セレクト・レジスタの P0YON フラグにより各端子($LCD_{15}/P0Y_{15}/KS_{15}$ - $LCD_0/P0Y_0/KS_0$端子)をセグメント信号出力として使用するか汎用出力ポート(ポート 0Y)として使用するかを設定します。

P0YON フラグが“1”の時に汎用出力ポートに設定されます。

$LCD_{15}/P0Y_{15}/KS_{15}$ - $LCD_0/P0Y_0/KS_0$端子からキー・ソース信号を出力する場合は，P0YON フラグを“0”にしておく必要があります。

すなわち，ポート 0Yが選択されているとポートの出力が優先されます。

汎用出力ポートについては“**15. 汎用ポート**”を参照してください。

22.4.3 出力タイミング制御ブロックの機能

出力タイミング制御ブロックは，キー・ソース信号とセグメント信号のタイミング制御を行います。

LCD セグメント信号は LCD モード・セレクト・レジスタの LCDEN フラグが“1”のときに出力されます。

このとき，LCDEN フラグを“0”に設定することにより，すべての LCD 表示を消灯することができますが，すべての LCD 表示が消灯している時はセグメント信号はロウ・レベルを出力し，キー・ソース信号も出力されません。

すなわち，キー・ソース信号を出力するためには LCDEN フラグが“1”である必要があります。

また，キー・ソース信号は LCD モード・セレクト・レジスタの KSEN フラグが“1”の時に出力されます。

すなわち，KSEN フラグによりキー・ソース信号の使用の有無を選択します。

したがって，キー・ソース信号を出力するためには P0YON フラグが“0”であり，かつ LCDEN フラグと KSEN フラグが“1”である必要があります。

22.4.4 に LCD モード・セレクト・レジスタの構成と機能を示します。

また，**22.4.5** にキー・ソース信号とセグメント信号の出力波形を示します。

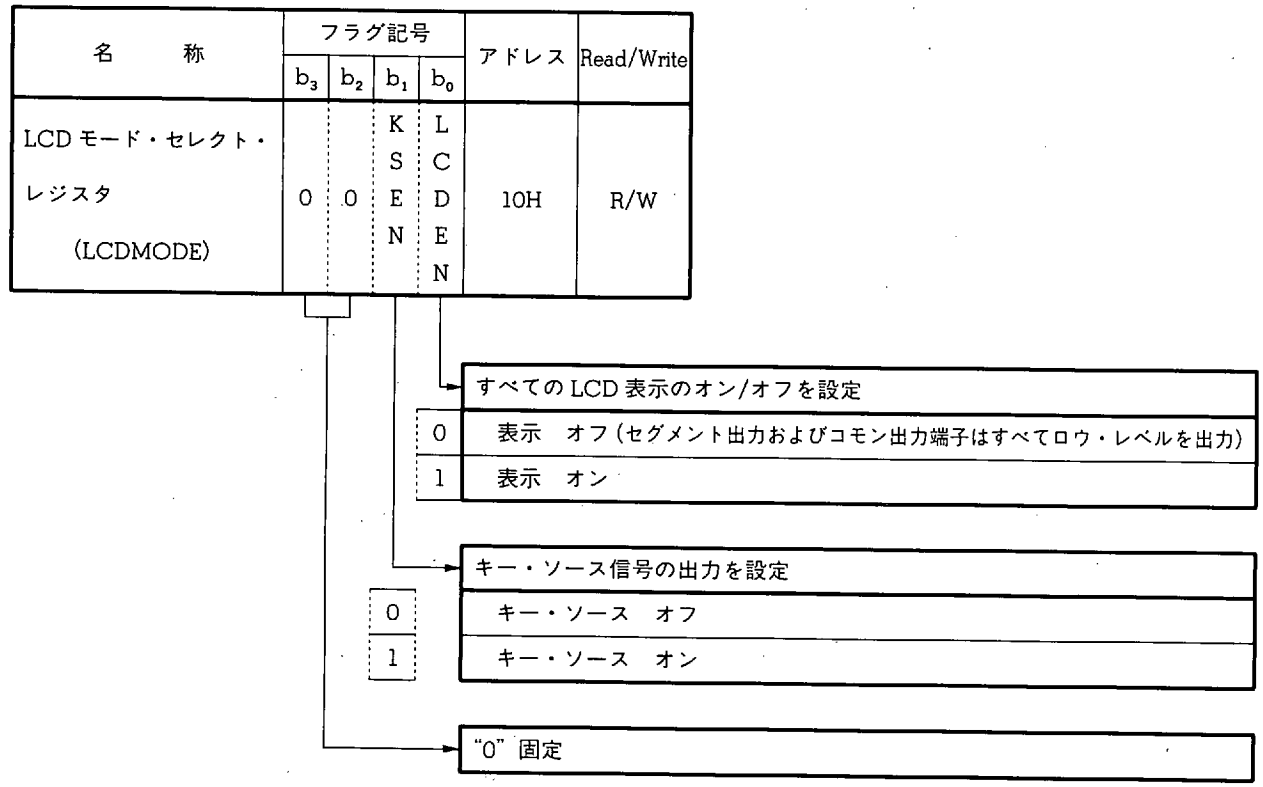
LCD のコモン信号，セグメント信号およびキー・ソース信号との関係は“**21. LCD コントローラ/ドライバ**”を参照してください。

22.4.4 LCD モード・セレクト・レジスタ（LCDMODE）の構成と機能

LCD モード・セレクト・レジスタは，すべての LCD 表示のオン/オフ制御およびキー・ソース信号の出力を設定します。

以下に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
LCD モード・セレクト・レジスタ（LCDMODE）	0	0	KSEN	LCDEN	10H	R/W



リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	0	0
	CE	↓	↓	0	0

22.4.5 セグメント信号およびキー・ソース信号出力波形

図 22 - 5 にキー・ソース信号とセグメント信号出力波形を示します。

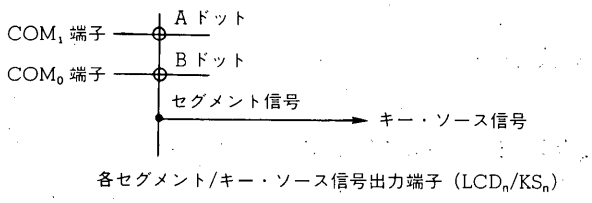
図 22 - 5 に示すようにキー・ソース信号はセグメント信号と時分割で出力されます。

キー・ソース信号が出力される時間は 220 μs で，出力される間隔は4 ms です。

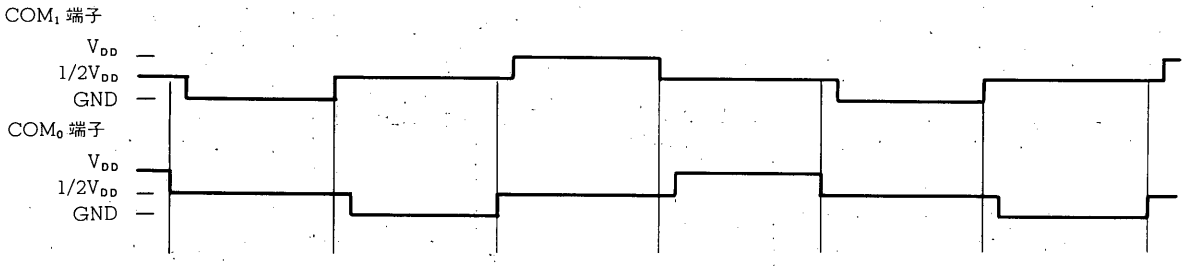
すなわち，キー・ソース・データ・レジスタに “1” が設定された端子からは 4 ms ごとに 220 μs の間ハイ・レベルを出力し，キー・ソース・データ・レジスタに “0” が設定された端子からは 4 ms ごとに 220 μs の間ロウ・レベルを出力します。

キー・ソース信号の出力を設定(KSEN フラグ＝1)すると，キー・ソースを出力しない端子(LCD_{29}/POF_3 - LCD_{16}/POX_0端子）からも図 22 - 5 に示した波形が出力されます。ただし，キー・ソース・データは “0” の波形を出力します。

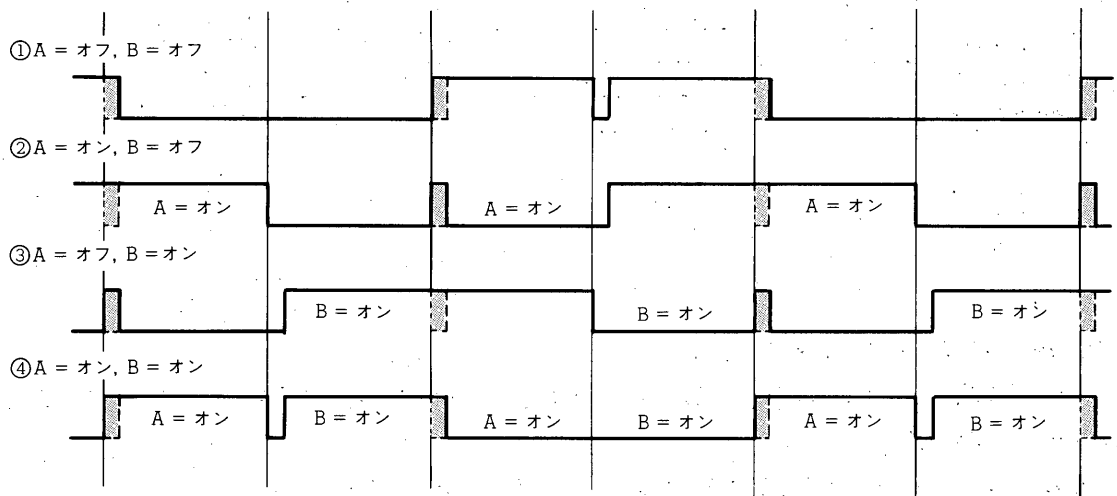
図 22-5　キー・ソース信号とセグメント信号出力波形



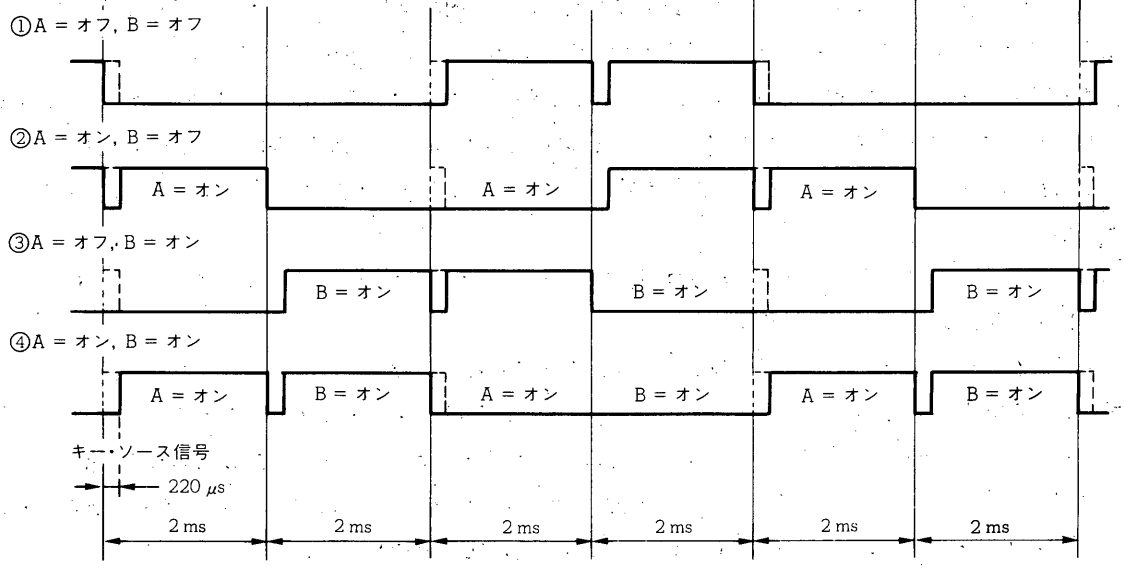
コモン信号



各セグメント端子（キー・ソースに“1”を出力している端子）



各セグメント端子（キー・ソースに“0”を出力している端子）

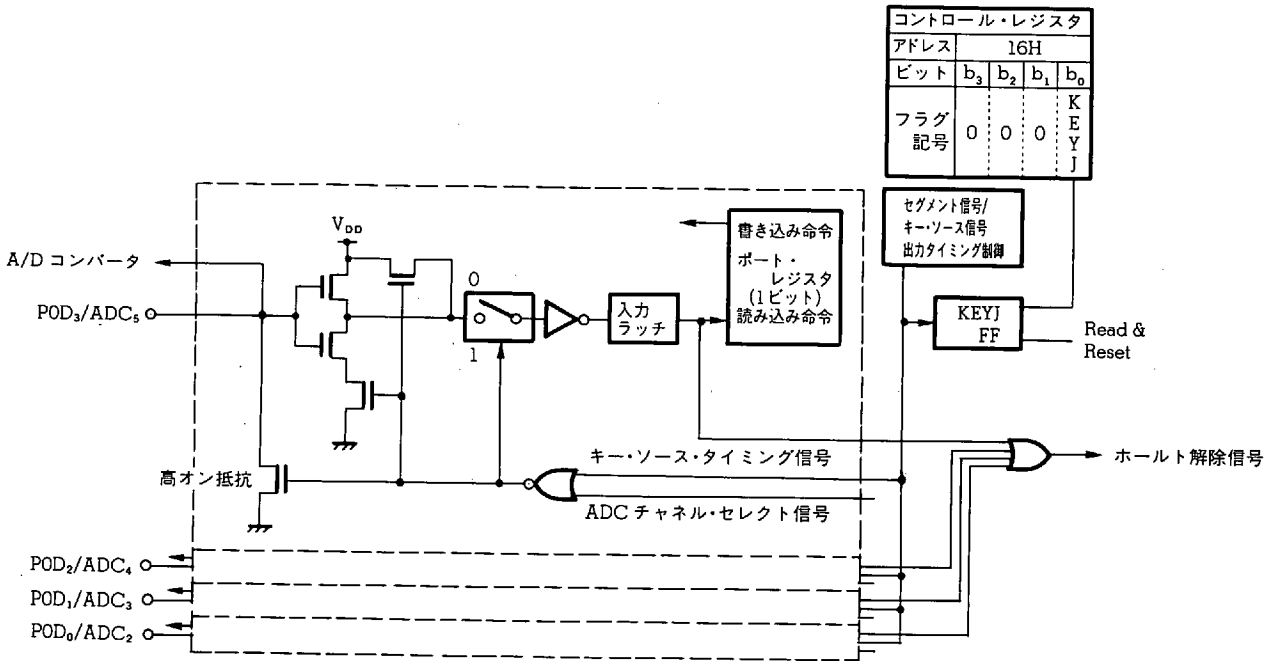


22.5 キー入力制御ブロック

22.5.1 キー入力制御ブロックの構成

図22-6にキー入力制御ブロックの構成を示します。

図22-6 キー入力制御ブロックの構成



22.5.2 キー入力制御ブロックの機能

キー入力制御ブロックは，POD_3/ADC_5 - POD_0/ADC_2 端子からキー入力信号を読み込むタイミングの制御と，キー入力データの読み込みを行います。

図22-7にキー・ソース信号とキー入力タイミングを示します。

図22-7に示すように POD_3/ADC_5 - POD_0/ADC_2 端子の内蔵プルダウン抵抗は，LCDセグメントの表示データ出力中はオフしており，キー・ソース信号を出力している220 μsの間のみオンします。

また，キー・ソース信号を出力している220 μsの間は各キー入力端子の入力信号を入力ラッチに接続します。

したがって，キー・ソース信号を出力している220 μsの間に各キー入力端子に入力された信号を検出できます。

図22-8にキー・ソース信号とキー入力信号およびキー入力データ(PODポート・レジスタ)のタイミング・チャートを示します。

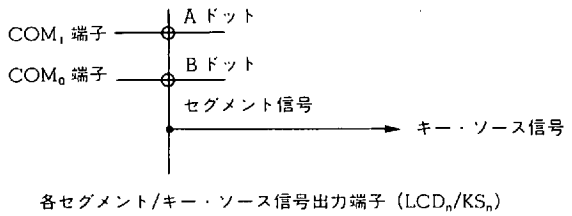
キー・ソース信号が出力されたかどうかは，キー・インプット・ジャッジ・レジスタ(KEYJDG：RFアドレス16H番地）のKEYJフラグにより検出します。

KEYJフラグは，キー・ソース信号が220 μs出力されたあとにセットされ，キー・ソース・データ・レジスタにデータを設定したときおよびKEYJフラグの内容を読み込んだときにリセットされます。

したがって，キー・ソース・データ・レジスタにキー・ソース信号データを出力したあとにKEYJフラグを検出し，KEYJフラグが“1”になってから各キー入力端子の状態を検出することによりキー入力を取り込むことができます。

22.5.3にキー・インプット・ジャッジ・レジスタの構成と機能を示します。

図 22-7 キー・ソース信号とキー入力タイミング



各セグメント端子（キー・ソースに“1”を出力している端子，A＝オン，B＝オフ）

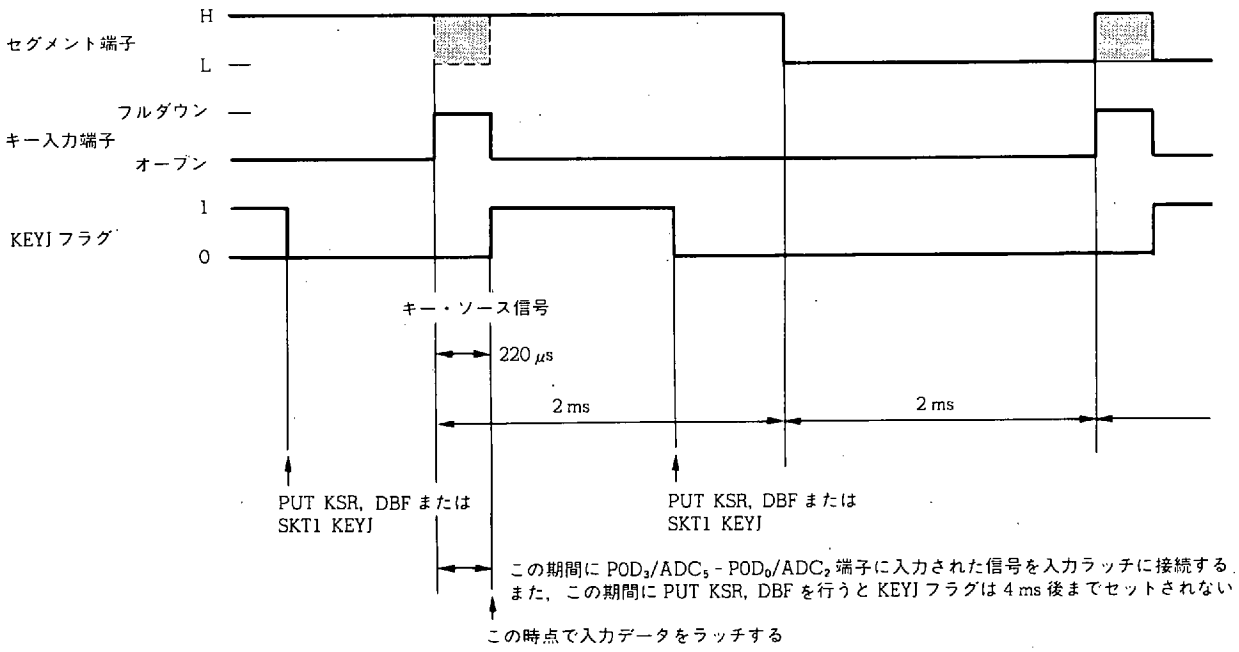
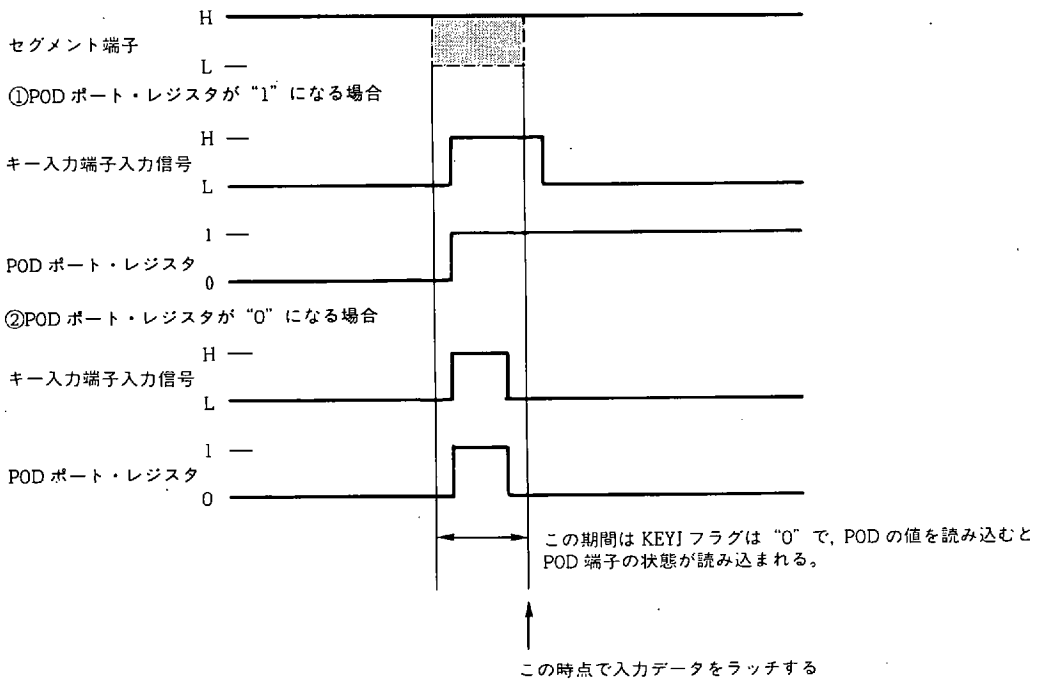


図 22-8 キー・ソース信号とキー入力信号およびキー入力データ（POD ポート・レジスタ）のタイミング・チャート



22.5.3 キー・インプット・ジャッジ・レジスタの構成と機能

キー・インプット・ジャッジ・レジスタはLCDセグメント信号出力端子をキー・ソース信号出力と兼用して使用したときのキー入力信号ラッチの有無を検出します。

以下に構成と機能を示します。

名　　称	フラグ記号				アドレス	Read/Write
	b_3	b_2	b_1	b_0		
キー・インプット・ジャッジ・レジスタ (KEYJDG)	0	0	0	KEYJ	16H	R & Reset

	キー入力信号のラッチの有無を検出
0	キー・ラッチなし
1	キー・ラッチあり

	"0" 固定

リセット時					
	パワーオン	0	0	0	0
	クロック・ストップ	↓	↓	↓	不定
	CE	↓	↓	↓	

キー・ソース信号データの設定は"PUT"命令によりデータ・バッファの内容をキー・ソース・データ・レジスタに設定することにより行います。

"PUT"命令によりデータ・バッファを介してキー・ソース信号出力データが設定されると，KEYJフラグはリセット（0）されます。

また，KEYJフラグは"PEEK"命令によりウインドウ・レジスタに読み込んだときにもリセット（0）されます(Read & Reset)。

22.6 キー・ソース・コントローラ/デコーダの使用方法

22.6.1 キー・マトリクスの構成方法

図22-9にキー・マトリクスの構成例を示します。

図22-9に示すようにキー・マトリクスは最大64個のキーを使用できます。

キー・ソース信号出力端子はLCDセグメント信号も同時に出力するため，モメンタリ・スイッチを使用する場合はLCDセグメント信号の逆流防止用ダイオード“A”を使用する必要があります。

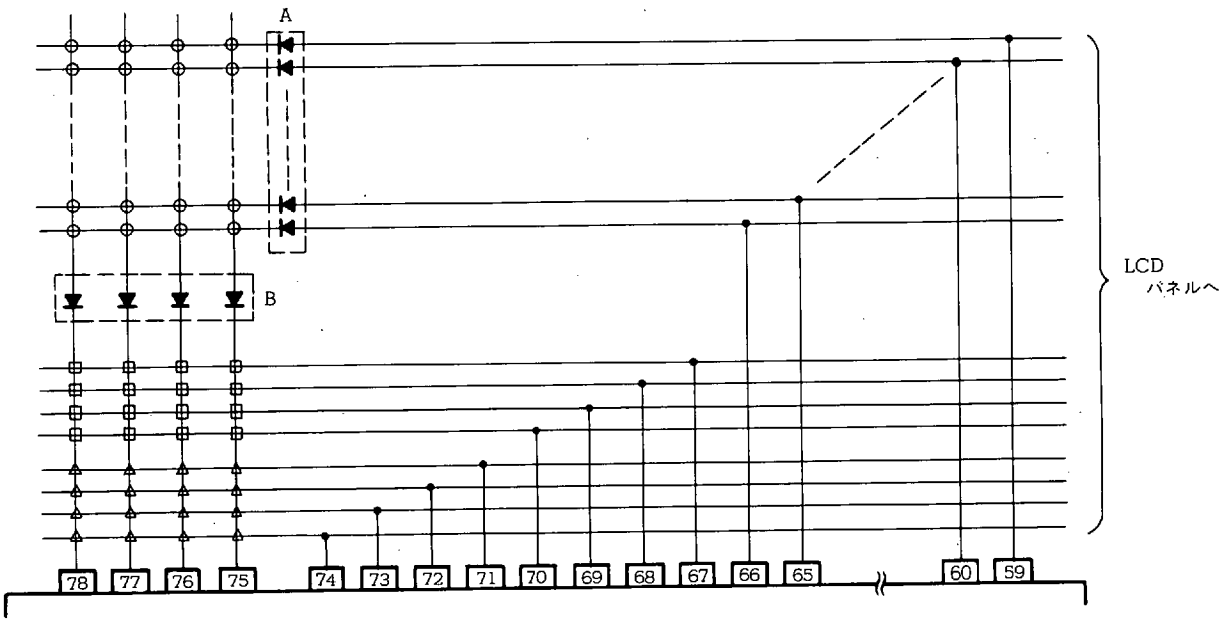
ダイオード“B”および“C”は，キー・ソース信号の回り込みを防止するために使用します。

また，トランジスタ・スイッチにはPNP形のトランジスタを使用してください。

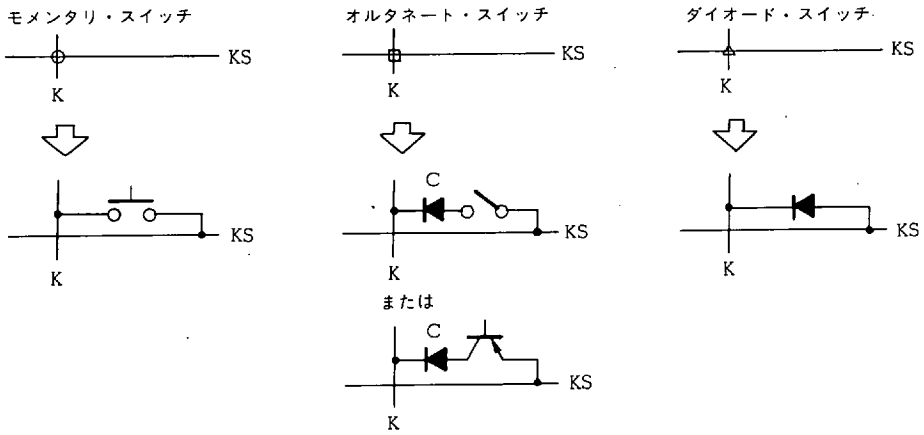
次頁の(1)にNPN形トランジスタを使用したときの注意点を示します。

また，(2)-(4)にダイオードA，BおよびCがない場合の注意を示します。

図22-9 キー・マトリクスの構成例

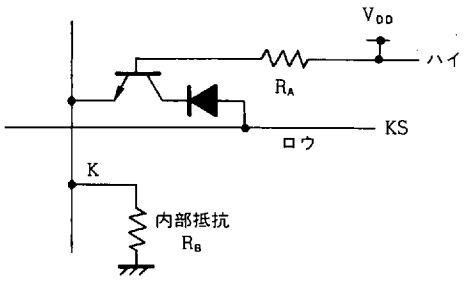


各スイッチの構成方法



(1) NPN 形トランジスタ・スイッチ使用時の注意

トランジスタ・スイッチに NPN トランジスタを使用する場合は，下図に示すように ロウ・レベルが正確に読み込めない場合があるため注意が必要です。



左図において KS がロウ・レベルでありトランジスタのベースにハイ・レベルが入力されていると，K に入力される電圧 V_K は以下の電圧になります。

$$V_K = \frac{R_B}{R_A + R_B} \times (V_{DD} - V_{BE})$$

このとき KS はロウ・レベルであるため K にはロウ・レベルが入力される必要があります。

ところが，K に入力される電圧は上式に示したように R_A および R_B により変化します。

したがって，R_A および R_B の値によりロウ・レベルが入力されない場合が生じます。

(2) ダイオード A がない場合の注意

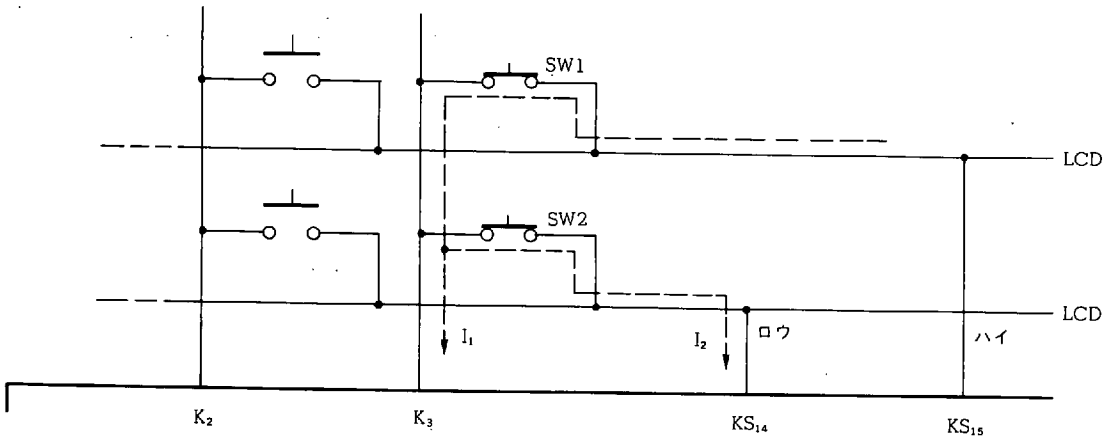
下図にダイオード A がない場合の回路例を示します。

下図に示すようにスイッチ SW1 および SW2 がオンしており，KS_{15} からハイ・レベルを出力し KS_{14} からロウ・レベルを出力しているとします。

このときダイオード A がないと，点線で示す電流 I_1 および I_2 が流れます。

したがって，I_2 により KS_{15} のハイ・レベルおよび KS_{14} のロウ・レベルが正常に出力されなくなり，K_3 のキー入力データが正確に読み込めません。

また，KS_{15} および KS_{14} を LCD セグメント信号出力として使用していると LCD 表示も正常に点消灯しなくなります。



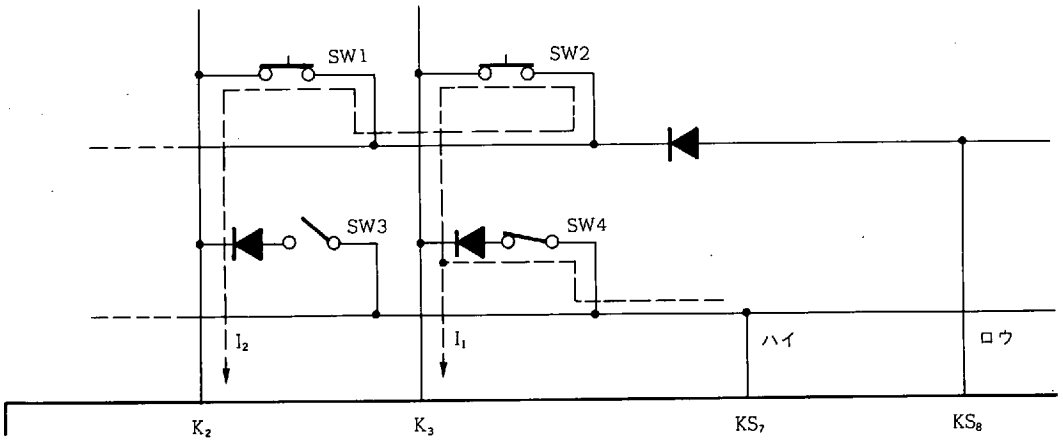
(3) ダイオードBがない場合の注意

下図にダイオードBがない場合の回路例を示します。

下図に示すようにスイッチSW1，SW2およびSW4がオンしており，KS_7からハイ・レベルを出力しているとします。

このときダイオードBがないと，点線で示す電流I_1およびI_2が流れます。

したがって，スイッチSW3がオフしているにもかかわらずI_2によりK_2にハイ・レベルが入力されるため，SW3がオンしていると判断されてしまいます。



(4) ダイオードCがない場合の注意

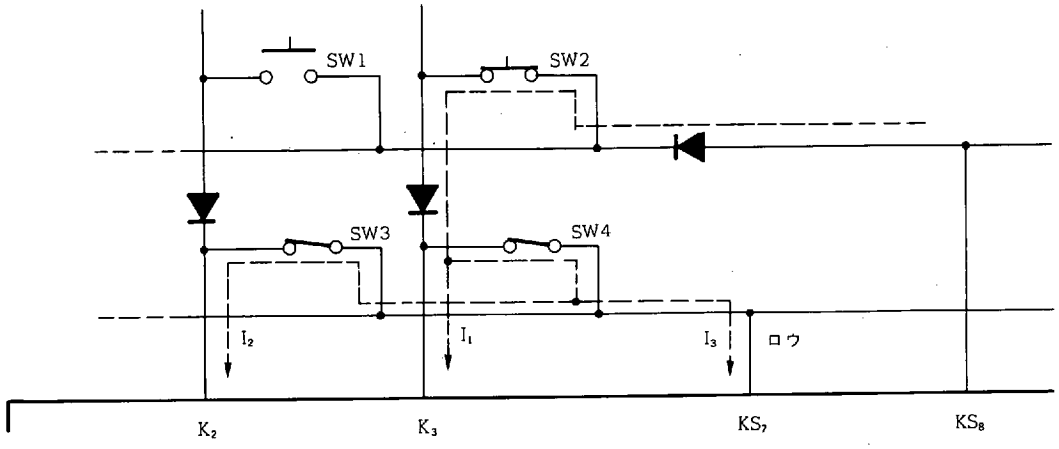
下図にダイオードCがない場合の回路例を示します。

下図に示すようにスイッチSW2，SW3およびSW4がオンしており，KS_8からハイ・レベルを出力しているとします。

このときダイオードCがないと，点線で示す電流I_1，I_2およびI_3が流れます。

したがって，スイッチSW1がオフしているにもかかわらずI_2によりK_2にハイ・レベルが入力されるため，SW1がオンしていると判断されてしまいます。

また，I_3によりKS_8のハイ・レベルが正常に出力されません。



★ **22.6.2 オルタネート・スイッチ，ダイオード・スイッチの取り組み方法**

次に，プログラム例を示します。

例 **LCD_{15}/POY_{15}/KS_{15}-LCD_8/POY_8/KS_8 端子のオルタネート・スイッチ，ダイオード・スイッチの状態を，データ・メモリの BANK0 の 20H-27H 番地に読み込む**

```
KS8         NIBBLE8  0.20H
KEY_IN      MEM      0.73H              ; P0D ポート・レジスタ

KEY_LOAD :
            CLR1     P0YON              ; LCD15/P0Y15/KS15-LCD8/P0Y8/KS8 端子を
                                        ; LCD セグメントに設定
            SET2     LCDEN, KSEN        ; LCD セグメントおよびキー・ソース信号出力
            MOV      DBF3, #0000B       ; キー・ソース・データ設定
            MOV      DBF2, #0001B       ; KS8 からロウ・レベルを出力
            MOV      DBF1, #0000B
            MOV      DBF0, #0000B
            MOV      IXM, #0000B
            MOV      IXL, #0000B
            MOV      RPH, #0000B
            MOV      RPL, #0000B
KSCAN :
            PUT      KSR, DBF           ; キー・ソース・データの信号を出力
LOOP :
            SKF1     KEYJ               ; キー入力をラッチしたか判断
            BR       KCHECK
            [ 処 理 A ]                 ; キー入力をラッチするまでウエイト
            BR       LOOP
KCHECK :
            MOV      RPL#.DM.KEY_IN SHR 3 AND 0EH
            SET1     IXE
            ST       KS8, KEY_IN        ; キー入力データをデータ・メモリに格納
            CLR1     IXE
            MOV      RPL, #0000B
            INC      IX
            ADD      DBF2, DBF2         ; キー・ソース・データの値を更新し，
            ADD      DBF3, DBF3         ; 再度キー・スキャンを行う
            SKT1     CY                 ; すべてのキー・ソース・ラインを取り込んだか判断
            BR       KSCAN
KEY_END :                               ; 取り込み終了
```

22.6.3 バイナリ・サーチによるモメンタリ・スイッチの取り込み方法

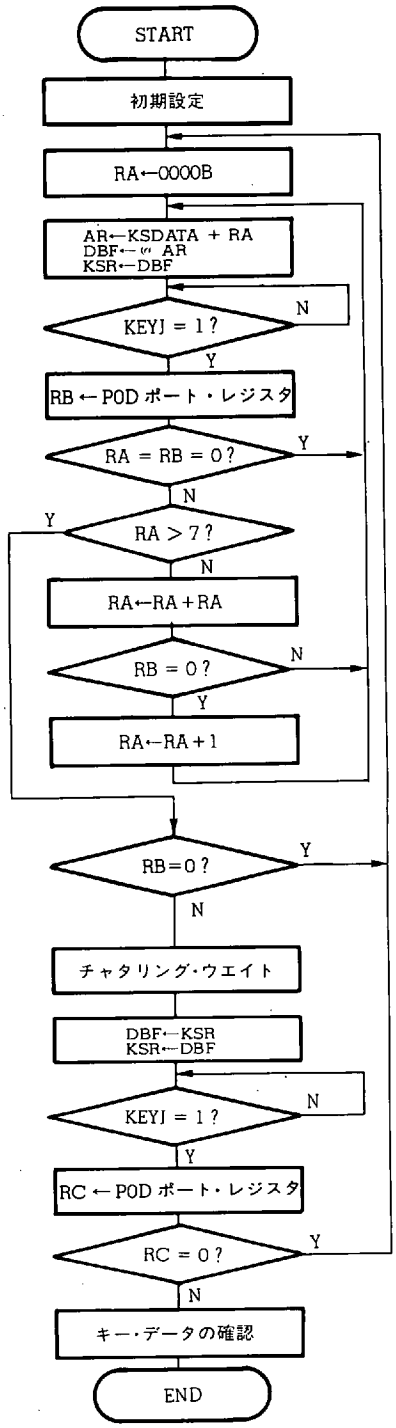
キー・ソース・コントローラ/デコーダは1本のキー・ソース信号ラインのキーを取り込むのに4 msの時間がかかります。

すなわち，16本のキー・ソース信号のキーを取り込むためには，64 msの時間が必要になります。

したがって，以下の(1)および(2)に示すようなバイナリ・サーチ方法を使用すると便利です。

(1) フロー・チャート

KS_7 - KS_0 をモメンタリ・スイッチのキー・ソース信号に使用している場合



; キー・ソース・コントローラの設定

; キー・ソース・データを格納してあるテーブルのオフセット・アドレスをRAに設定

; RAで指定されるオフセット・アドレスのキー・ソース・データを出力

; キー入力ラッチにデータがラッチされるまでウエイト(4 ms)

; キー入力データをRBに退避

; キー入力データおよびRAが“0”であれば，すべてのキー入力がないため，再度すべてのキー
; を取り込む。

; RAが“7”より大きければ，キー・ソース1本分の取り込みまで終了し，チャタリング・ウエ
; イトする。
; RAが“7”より小さければ，RAを更新してバイナリ・サーチを継続する。

; キー入力データがなければ，
; 再度すべてのキーのチェックを行う

; このチャタリング・ウエイトがなくても，4 msのチャタリングは行える。

; バイナリ・サーチで確定されたキー入力を，再度RCに入力し確認する。

; すなわち，RC = 0ならチャタリングと判定し，最初から取り込む。

; RBにチャタリング前のキー入力データ，RCにチャタリング後のデータ，RAにキー・
; ソース・データが格納される。

バイナリ・サーチ用テーブル・データ例

シフト・アドレス (RA)	テーブル・データ (キー・ソース・データ)															
	b_{15}	b_{14}	b_{13}	b_{12}	b_{11}	b_{10}	b_9	b_8	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0
0000B									■	■	■	■	■	■	■	■
0001B									■	■	■	■				
0010B													■	■		
0011B											■	■				
0100B															■	
0101B													■			
0110B											■					
0111B									■							
1000B																■
1001B															■	
1010B														■		
1011B													■			
1100B												■				
1101B											■					
1110B										■						
1111B									■							

(2) プログラム例 ★

```
RA      MEM     0.1AH                   ; 汎用ワーク・レジスタ
RB      MEM     0.1BH                   ; 汎用ワーク・レジスタ
RC      MEM     0.1CH                   ; 汎用ワーク・レジスタ

KEY_IN  MEM     0.73H                   ; P0D ポート・レジスタ

KSDATA :
        ;       KKKKKKKKKKKKKKKK
        ;       SSSSSSSSSSSSSSSS
        ;       1111119876543210
        ;       543210
        DW      0000000011111111B       ; RA=0
        DW      0000000011110000B       ; RA=1
        DW      0000000000001100B       ; RA=2
        DW      0000000000110000B       ; RA=3
        DW      0000000000000010B       ; RA=4
        DW      0000000000001000B       ; RA=5
        DW      0000000000100000B       ; RA=6
        DW      0000000010000000B       ; RA=7
        DW      0000000000000001B       ; RA=8
        DW      0000000000000010B       ; RA=9
        DW      0000000000000100B       ; RA=10
        DW      0000000000001000B       ; RA=11
        DW      0000000000010000B       ; RA=12
        DW      0000000000100000B       ; RA=13
        DW      0000000001000000B       ; RA=14
        DW      0000000010000000B       ; RA=15
KEY_LOAD :
        CLR1    P0YON                   ; LCD15/P0Y15/KS15-LCD8/P0Y8/KS8 端子を
                                        ; LCD セグメントに設定
        SET2    LCDEN, KSEN             ; LCD セグメントおよびキー・ソース信号出力
START :
        MOV     RA, #0000B
```

```
KSCAN :
        MOV     AR3, #.DL.KSDATA SHR 0CH AND 0FH
        MOV     AR2, #.DL.KSDATA SHR 8 AND 0FH
        MOV     AR1, #.DL.KSDATA SHR 4 AND 0FH
        MOV     AR0, #.DL.KSDATA AND 0FH
        MOV     RPL, #.DL.AR0 SHR 3 AND 0EH
        ADD     AR0, RA
        ADDC    AR1, #0
        ADDC    AR2, #0
        ADDC    AR3, #0
        MOV     RPL, #0
        MOVT    DBF, @AR                ; テーブル・データの読み込み

        PUT     KSR, DBF                ; キー・ソース・データの信号を出力
LOOP1 :
        SKF1    KEYJ                    ; キー入力をラッチしたか判断
        BR      KCHECK
        [ 処 理 A ]                     ; キー入力をラッチするまでウエイト
        BR      LOOP1
KCHECK :
        MOV     PRL, #.DM.RB SHR 3 AND 0EH
        LD      RB, KEY_IN              ; キー入力データを RB に格納
        SKNE    RA, #0000B              ; すべてのキーをチェックしているか
        SKE     RB, #0000B
        BR      キー入力あり
        BR      START                   ; キー入力がまったくない
キー入力あり :
        SKLT    RA, RA                  ; キー・ソースが 1 本にしぼれたか
        BR      LASTCHK
                                        ; キー・ソースが 1 本にしぼりきれていなければ,
        ADD     RA, RA                  ; RA の値を更新し, 再度キー・スキャンを行う
        SKE     RB, #0000B
        ADD     RA, #0001B
        BR      KSCAN
LASTCHK :
        MOV     RPL, #0
        SKNE    RB, #0000B              ; 1 本のキー・ソースでキー入力があるか
        BR      START                   ; なければ, チャタリングと判断
        [ チャタリング・ウエイト ]
```

```
LOOP2 :
        SKF1    KEYJ                    ; キー入力をラッチしたか判断
        BR      KEYDEC
        [ 処 理 B ]                     ; キー入力をラッチするまでウエイト
        BR      LOOP2
KEYDEC :
        MOV     RPL, #.DM.RC SHR 3 AND 0EH
        LD      RC, KEY_IN              ; キー入力データをラッチに格納
        SET2    CAP, Z                  ; チャタリング・ウエイト後のキー入力データと
        SUB     RC, RB                  ; チャタリング・ウエイト前のキー入力データを
        SKT1    Z                       ; 比較する
        BR      START                   ; データが異なっていれば
KEY_END :
                                        ; RA にキー・ソース・データが,
                                        ; RB にチャタリング前のキー入力データが,
                                        ; RC にチャタリング後のキー入力データが,
                                        ; それぞれ格納されている
```

22.7 リセット時の状態

22.7.1 パワーオン・リセット時

$LCD_{29}/P0F_3$ - $LCD_0/P0Y_0/KS_0$ 端子は LCD セグメント信号出力に指定され，ロウ・レベル（表示オフ）を出力するため，キー・ソース信号もロウ・レベルを出力します。

22.7.2 クロック・ストップ時

$LCD_{29}/P0F_3$ - $LCD_0/P0Y_0/KS_0$ 端子は LCD セグメント信号出力に指定され，ロウ・レベル（表示オフ）を出力するため，キー・ソース信号もロウ・レベルを出力します。

22.7.3 CE リセット時

キー・ソース信号を出力中であれば，そのままの出力データを保持します。

22.7.4 ホールト状態時

キー・ソース信号を出力中であれば，そのままの出力データを保持します。

ホールト状態の解除条件にキー入力が設定されている場合は，$P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子にハイ・レベルが入力されると，ホールト状態が解除されます。

ただし，キー・ソース・コントローラを使用している場合はキー・ソース・データを出力している 220 μs の間に入力されたハイ・レベルによってのみ解除されます。

また，キー・ソース・コントローラを使用してキー入力によるホールト状態の解除を行う場合は，$P0D_3/ADC_5$ - $P0D_0/ADC_2$ 端子を A/D コンバータに使用しないでください。

キー入力によるホールト状態の解除については“**12.4 ホールト機能**”を参照してください。

23. μPD17005 命令

23.1 命令セット一覧表

b_{14}-b_{11} BIN.	HEX.	b_{15} = 0		b_{15} = 1	
0 0 0 0	0	ADD	r, m	ADD	m, #i
0 0 0 1	1	SUB	r, m	SUB	m, #i
0 0 1 0	2	ADDC	r, m	ADDC	m, #i
0 0 1 1	3	SUBC	r, m	SUBC	m, #i
0 1 0 0	4	AND	r, m	AND	m, #i
0 1 0 1	5	XOR	r, m	XOR	m, #i
0 1 1 0	6	OR	r, m	OR	m, #i
0 1 1 1	7	INC	AR		
		INC	IX		
		MOVT	DBF, @AR		
		BR	@AR		
		CALL	@AR		
		RET			
		RETSK			
		EI			
		DI			
		RETI			
		PUSH	AR		
		POP	AR		
		GET	DBF, p		
		PUT	p, DBF		
		PEEK	WR, rf		
		POKE	rf, WR		
		RORC	r		
		STOP	s		
		HALT	h		
		NOP			
1 0 0 0	8	LD	r, m	ST	m, r
1 0 0 1	9	SKE	m, #i	SKGE	m, #i
1 0 1 0	A	MOV	@r, m	MOV	m, @r
1 0 1 1	B	SKNE	m, #i	SKLT	m, #i
1 1 0 0	C	BR	addr (ページ 0)	CALL	addr (ページ 0)
1 1 0 1	D	BR	addr (ページ 1)	MOV	m, #i
1 1 1 0	E	BR	addr (ページ 2)	SKT	m, #n
1 1 1 1	F	BR	addr (ページ 3)	SKF	m, #n

★

23.2 命令一覧表

凡　例

addr	：プログラム・メモリ・アドレス（下位 11 ビット）
AR	：アドレス・レジスタ
$(AR)_{rom}$	：アドレス・レジスタで示されるプログラム・メモリのデータ
ASR	：スタック・ポインタで示されるアドレス・スタック・レジスタ
BANK	：バンク・レジスタ
CMP	：コンペア・フラグ
CY	：キャリー・フラグ
DBF	：データ・バッファ
h	：ホールト解除条件
i	：イミーディエト・データ
INTEF	：インタラプト・イネーブル・フラグ
INTR	：割り込み時スタックに退避されるレジスタ
INTSK	：割り込みスタック・レジスタ
IX	：インデクス・レジスタ
IXE	：インデクス・イネーブル・フラグ
M	：データ・メモリ・アドレス IXE=0のとき：M= [(BANK), m_H, m_L] IXE=1のとき：M= [(BANK), m_H, m_L] or (IX)
m	：バンクを除くデータ・メモリ・アドレス
m_H	：データ・メモリ・ロウ・アドレス（3 ビット）
m_L	：データ・メモリ・カラム・アドレス（4 ビット）
MP	：データ・メモリ・ロウ・アドレス・ポインタ
MPE	：メモリ・ポインタ・イネーブル・フラグ
n	：ビット・ポジション（4 ビット）
PAGE	：ページ（プログラム・カウンタのビット 12, 11）
PC	：プログラム・カウンタ
PE	：周辺レジスタ
p	：周辺レジスタ・アドレス
p_H	：周辺レジスタ・アドレス（上位 3 ビット）
p_L	：周辺レジスタ・アドレス（下位 4 ビット）
R	：ジェネラル・レジスタ・アドレス R= [(RP), r]
r	：ジェネラル・レジスタ・カラム・アドレス
R (n)	：ジェネラル・レジスタのビット n
RP	：ジェネラル・レジスタ・ポインタ
RF	：レジスタ・ファイル
rf	：レジスタ・ファイル・アドレス
rf_H	：レジスタ・ファイル・アドレス（上位 3 ビット）
rf_L	：レジスタ・ファイル・アドレス（下位 4 ビット）
s	：ストップ解除条件
SP	：スタック・ポインタ
WR	：ウインドウ・レジスタ
[ ]	：データ・メモリまたはレジスタのアドレス
( )	：データ・メモリまたはレジスタの値

命令群	ニモニック	オペランド	オペレーション	マシン・コード オペ・コード			
加算	ADD	r, m	(R) ← (R) + (M)	00000	m_H	m_L	r
		m, #i	(M) ← (M) + i	10000	m_H	m_L	i
	ADDC	r, m	(R) ← (R) + (M) + (CY)	00010	m_H	m_L	r
		m, #i	(M) ← (M) + i + (CY)	10010	m_H	m_L	i
	INC	AR	(AR) ← (AR) +1	00111	000	1001	0000
		IX	(IX) ← (IX) +1	00111	000	1000	0000
減算	SUB	r, m	(R) ← (R) − (M)	00001	m_H	m_L	r
		m, #i	(M) ← (M) − i	10001	m_H	m_L	i
	SUBC	r, m	(R) ← (R) − (M) − (CY)	00011	m_H	m_L	r
		m, #i	(M) ← (M) − i − (CY)	10011	m_H	m_L	i
比較	SKE	m, #i	(M) − i, skip if zero	01001	m_H	m_L	i
	SKGE	m, #i	(M) − i, skip if not borrow	11001	m_H	m_L	i
	SKLT	m, #i	(M) − i, skip if borrow	11011	m_H	m_L	i
	SKNE	m, #i	(M) − i, skip if not zero	01011	m_H	m_L	i
論理演算	AND	m, #i	(M) ← (M) AND i	10100	m_H	m_L	i
		r, m	(R) ← (R) AND (M)	00100	m_H	m_L	r
	OR	m, #i	(M) ← (M) OR i	10110	m_H	m_L	i
		r, m	(R) ← (R) OR (M)	00110	m_H	m_L	r
	XOR	m, #i	(M) ← (M) XOR i	10101	m_H	m_L	i
		r, m	(R) ← (R) XOR (M)	00101	m_H	m_L	r
転送	LD	r, m	(R) ← (M)	01000	m_H	m_L	r
	ST	m, r	(M) ← (R)	11000	m_H	m_L	r
	MOV	@r, m	if MPE=1 : [(MP), (R)] ← (M) if MPE=0 : [(BANK), m_H, (R)] ← (M)	01010	m_H	m_L	r
		m, @r	if MPE=1 : (M) ← [(MP), (R)] if MPE=0 : (M) ← [(BANK), m_H, (R)]	11010	m_H	m_L	r
		m, #i	(M) ← i	11101	m_H	m_L	i
	MOVT	DBF, @AR	SP ← (SP) −1, (ASR) ←PC, PC ← (AR), (DBF) ← $(AR)_{rom}$, PC ← (ASR), (SP) ← (SP) +1	00111	000	0001	0000 ★
	PUSH	AR	(SP) ← (SP) −1, (ASR) ← (AR)	00111	000	1101	0000
	POP	AR	(AR) ← (ASR), (SP) ← (SP) +1	00111	000	1100	0000
	PEEK	WR, rf	(WR) ← (RF)	00111	rf_H	0011	rf_L
	POKE	rf, WR	(RF) ← (WR)	00111	rf_H	0010	rf_L
	GET	DBF, p	(DBF) ← (PE)	00111	p_H	1011	p_L
	PUT	p, DBF	(PE) ← (DBF)	00111	p_H	1010	p_L
判断	SKT	m, #n	CMP ←0, if (M) AND n=n, then skip	11110	m_H	m_L	n ★
	SKF	m, #n	CMP ←0, if (M) AND n=0, then skip	11111	m_H	m_L	n

命令群	ニモニック	オペランド	オペレーション	マシン・コード			
				オペ・コード			
分岐	BR	addr	PC ← addr, PAGE ← 0	01100	addr (11ビット)		
			PC ← addr, PAGE ← 1	01101			
			PC ← addr, PAGE ← 2	01110			
			PC ← addr, PAGE ← 3	01111			
		@AR	PC ← (AR)	00111	000	0100	0000
★ 回転	RORC	r	→ (CY) → R(3) → R(2) → R(1) → R(0) →	00111	000	0111	r
サブルーチン	CALL	addr	(SP) ← (SP) − 1, (ASR) ← PC + 1, PC ← addr, PAGE ← 0	11100	addr (11ビット)		
★		@AR	(SP) ← (SP) − 1, (ASR) ← PC + 1, PC ← (AR)	00111	000	0101	0000
	RET		PC ← (ASR), (SP) ← (SP) + 1	00111	000	1110	0000
	RETSK		PC ← (ASR), (SP) ← (SP) + 1 and skip	00111	001	1110	0000
	RETI		PC ← (ASR), (SP) ← (SP) + 1, INTR ← (INTSK)	00111	100	1110	0000
割り込み	EI		INTEF←1	00111	000	1111	0000
	DI		INTEF←0	00111	001	1111	0000
その他	STOP	s	stop clock if CE = low	00111	010	1111	s
★	HALT	h	halt CPU	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

23.3 アセンブラ（AS17K）組み込みマクロ命令

凡　例

flag　　：flag1-flagn のうちの１つ

flag1-flagn　　：シンボル定義またはアセンブラ予約語で示されるフラグ名

n　　：番号

＜　＞　　：省略可能

ニモニック	オペランド	n	オペレーション
SKTn	flag1, …flagn	1 ≦n≦ 4	if (flag1) − (flagn) = all "1", then skip
SKFn	flag1, …flagn	1 ≦n≦ 4	if (flag1) − (flagn) = all "0", then skip
SETn	flag1, …flagn	1 ≦n≦ 4	(flag1) − (flagn) ← 1
CLRn	flag1, …flagn	1 ≦n≦ 4	(flag1) − (flagn) ← 0
NOTn	flag1, …flagn	1 ≦n≦ 4	if (flag) = "0", then (flag) ← 1 , if (flag) = "1", then (flag) ← 0
INITFLG	<NOT>flag1, …<NOT>flagn	1 ≦n≦ 4	if description = NOT flag, (flag) ← 0 if description = flag, (flag) ← 1
BANKn		0 ≦n≦ 3	(BANK) ← n

24. μPD17005 予約語

24.1 予約語一覧

24.1.1 システム・レジスタ（SYSREG）

シンボル名	属性	値	R/W	説　　明
AR3	MEM	0.74H	R/W	アドレス・レジスタのビット 15 - ビット 12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット 11 - ビット 8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット 7 - ビット 4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット 3 - ビット 0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタ・ハイ
MPH	MEM	0.7AH	R/W	メモリ・ポインタ・ハイ
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタ・ミドル
MPL	MEM	0.7BH	R/W	メモリ・ポインタ・ロウ
IXL	MEM	0.7CH	R/W	インデクス・レジスタ・ロウ
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタ・ハイ
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタ・ロウ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCD フラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ

24.1.2 データ・バッファ（DBF）

シンボル名	属性	値	R/W	説　　明
DBF3	MEM	0.0CH	R/W	DBF のビット 15 - ビット 12
DBF2	MEM	0.0DH	R/W	DBF のビット 11 - ビット 8
DBF1	MEM	0.0EH	R/W	DBF のビット 7 - ビット 4
DBF0	MEM	0.0FH	R/W	DBF のビット 3 - ビット 0

24.1.3 LCD セグメント・レジスタ

シンボル名	属性	値	R/W	説　明
LCDD0	MEM	0.60H	R/W	LCD セグメント・レジスタ
LCDD1	MEM	0.61H	R/W	LCD セグメント・レジスタ
LCDD2	MEM	0.62H	R/W	LCD セグメント・レジスタ
LCDD3	MEM	0.63H	R/W	LCD セグメント・レジスタ
LCDD4	MEM	0.64H	R/W	LCD セグメント・レジスタ
LCDD5	MEM	0.65H	R/W	LCD セグメント・レジスタ
LCDD6	MEM	0.66H	R/W	LCD セグメント・レジスタ
LCDD7	MEM	0.67H	R/W	LCD セグメント・レジスタ
LCDD8	MEM	0.68H	R/W	LCD セグメント・レジスタ
LCDD9	MEM	0.69H	R/W	LCD セグメント・レジスタ
LCDD10	MEM	0.6AH	R/W	LCD セグメント・レジスタ
LCDD11	MEM	0.6BH	R/W	LCD セグメント・レジスタ
LCDD12	MEM	0.6CH	R/W	LCD セグメント・レジスタ
LCDD13	MEM	0.6DH	R/W	LCD セグメント・レジスタ
LCDD14	MEM	0.6EH	R/W	LCD セグメント・レジスタ

24.1.4 汎用ポート・レジスタ

シンボル名	属性	値	R/W	説　明
P0A3	FLG	0.70H.3	R/W	ポート 0A のビット 3
P0A2	FLG	0.70H.2	R/W	ポート 0A のビット 2
P0A1	FLG	0.70H.1	R/W	ポート 0A のビット 1
P0A0	FLG	0.70H.0	R/W	ポート 0A のビット 0
P0B3	FLG	0.71H.3	R/W	ポート 0B のビット 3
P0B2	FLG	0.71H.2	R/W	ポート 0B のビット 2
P0B1	FLG	0.71H.1	R/W	ポート 0B のビット 1
P0B0	FLG	0.71H.0	R/W	ポート 0B のビット 0
P0C3	FLG	0.72H.3	R/W	ポート 0C のビット 3
P0C2	FLG	0.72H.2	R/W	ポート 0C のビット 2
P0C1	FLG	0.72H.1	R/W	ポート 0C のビット 1
P0C0	FLG	0.72H.0	R/W	ポート 0C のビット 0
P0D3	FLG	0.73H.3	R	ポート 0D のビット 3
P0D2	FLG	0.73H.2	R	ポート 0D のビット 2
P0D1	FLG	0.73H.1	R	ポート 0D のビット 1
P0D0	FLG	0.73H.0	R	ポート 0D のビット 0
P0XL3	FLG	0.68H.3	R/W	ポート 0X のビット 1
P0XL2	FLG	0.68H.2	R/W	ポート 0X のビット 0
P0XL1	FLG	0.68H.1	R/W	ダミー
P0XL0	FLG	0.68H.0	R/W	ダミー

シンボル名	属性	値	R/W	説　　明
P0XH3	FLG	0.69H.3	R/W	ポート 0X のビット 5
P0XH2	FLG	0.69H.2	R/W	ポート 0X のビット 4
P0XH1	FLG	0.69H.1	R/W	ポート 0X のビット 3
P0XH0	FLG	0.69H.0	R/W	ポート 0X のビット 2
P0E3	FLG	0.6BH.3	R/W	ポート 0E のビット 3
P0E2	FLG	0.6BH.2	R/W	ポート 0E のビット 2
P0E1	FLG	0.6BH.1	R/W	ポート 0E のビット 1
P0E0	FLG	0.6BH.0	R/W	ポート 0E のビット 0
P0F3	FLG	0.6DH.3	R/W	ポート 0F のビット 3
P0F2	FLG	0.6DH.2	R/W	ポート 0F のビット 2
P0F1	FLG	0.6DH.1	R/W	ポート 0F のビット 1
P0F0	FLG	0.6DH.0	R/W	ポート 0F のビット 0
P1A3	FLG	1.70H.3	R/W	ポート 1A のビット 3
P1A2	FLG	1.70H.2	R/W	ポート 1A のビット 2
P1A1	FLG	1.70H.1	R/W	ポート 1A のビット 1
P1A0	FLG	1.70H.0	R/W	ポート 1A のビット 0
P1B3	FLG	1.71H.3	R/W	ポート 1B のビット 3
P1B2	FLG	1.71H.2	R/W	ポート 1B のビット 2
P1B1	FLG	1.71H.1	R/W	ポート 1B のビット 1
P1B0	FLG	1.71H.0	R/W	ポート 1B のビット 0
P1C3	FLG	1.72H.3	R/W	ポート 1C のビット 3
P1C2	FLG	1.72H.2	R/W	ポート 1C のビット 2
P1C1	FLG	1.72H.1	R/W	ポート 1C のビット 1
P1C0	FLG	1.72H.0	R/W	ポート 1C のビット 0
P1D3	FLG	1.73H.3	R	ポート 1D のビット 3
P1D2	FLG	1.73H.2	R	ポート 1D のビット 2
P1D1	FLG	1.73H.1	R	ポート 1D のビット 1
P1D0	FLG	1.73H.0	R	ポート 1D のビット 0
P2A3	FLG	2.70H.3	R/W	ポート 2A のビット 3
P2A2	FLG	2.70H.2	R/W	ポート 2A のビット 2
P2A1	FLG	2.70H.1	R/W	ポート 2A のビット 1
P2A0	FLG	2.70H.0	R/W	ポート 2A のビット 0

24.1.5 レジスタ・ファイル（コントロール・レジスタ）

シンボル名	属性	値	R/W	説　　明
SP	MEM	0.81H	R/W	スタック・ポインタ
SIO2TS	FLG	0.82H.3	R/W	SIO2 スタート・フラグ
SIO2HIZ	FLG	0.82H.2	R/W	SIO2/P0B1 セレクト・フラグ
SIO2CK1	FLG	0.82H.1	R/W	SIO2 クロック・セレクトのビット 1
SIO2CK0	FLG	0.82H.0	R/W	SIO2 クロック・セレクトのビット 0
IFCG	FLG	0.84H.0	R	IF カウンタ・ゲート・ステータス・フラグ
PLLUL	FLG	0.85H.0	R	PLL アンロック FF フラグ
ADCCMP	FLG	0.86H.0	R	ADC ジャッジ・フラグ
CE	FLG	0.87H.0	R	CE 端子ステータス・フラグ
SIO1CH	FLG	0.88H.3	R/W	SIO1 モード・セレクト・フラグ
SB	FLG	0.88H.2	R/W	I^2C バス方式/シリアル I/O 方式セレクト・フラグ
SIO1MS	FLG	0.88H.1	R/W	SIO1 クロック・モード・セレクト・フラグ
SIO1TX	FLG	0.88H.0	R/W	SIO1 TX/RX セレクト・フラグ
TMMD3	FLG	0.89H.3	R/W	タイマ・インタラプト・モード・セレクト・フラグ
TMMD2	FLG	0.89H.2	R/W	タイマ・インタラプト・モード・セレクト・フラグ
TMMD1	FLG	0.89H.1	R/W	タイマ・キャリー FF モード・セレクト・フラグ
TMMD0	FLG	0.89H.0	R/W	タイマ・キャリー FF モード・セレクト・フラグ
INT1	FLG	0.8FH.1	R	INT_1 端子ステータス・フラグ
INT0	FLG	0.8FH.0	R	INT_0 端子ステータス・フラグ
KSEN	FLG	0.90H.1	R/W	キー・ソース・デコーダ・イネーブル・フラグ
LCDEN	FLG	0.90H.0	R/W	LCD ドライバ・イネーブル・フラグ
P0YON	FLG	0.91H.3	R/W	ポート 0Y セレクト・フラグ
P0XON	FLG	0.91H.2	R/W	ポート 0X セレクト・フラグ
P0EON	FLG	0.91H.1	R/W	ポート 0E セレクト・フラグ
P0FON	FLG	0.91H.0	R/W	ポート 0F セレクト・フラグ
IFCMD1	FLG	0.92H.3	R/W	IF カウンタ・モード・セレクト・フラグ
IFCMD0	FLG	0.92H.2	R/W	IF カウンタ・モード・セレクト・フラグ
IFCCK1	FLG	0.92H.1	R/W	IF カウンタ・クロック・セレクト・フラグ
IFCCK0	FLG	0.92H.0	R/W	IF カウンタ・クロック・セレクト・フラグ
PWM2ON	FLG	0.93H.3	R/W	PWM2 セレクト・フラグ
PWM1ON	FLG	0.93H.2	R/W	PWM1 セレクト・フラグ
PWM0ON	FLG	0.93H.1	R/W	PWM0 セレクト・フラグ
CGPON	FLG	0.93H.0	R/W	CGP セレクト・フラグ
ADCCH3	FLG	0.94H.3	R/W	AD モード・セレクト・フラグ（ダミー：0）
ADCCH2	FLG	0.94H.2	R/W	AD モード・セレクト・フラグ
ADCCH1	FLG	0.94H.1	R/W	AD モード・セレクト・フラグ
ADCCH0	FLG	0.94H.0	R/W	AD モード・セレクト・フラグ
PLULDLY3	FLG	0.95H.3	R/W	PLL アンロック・タイム・セレクト・フラグ（ダミー：0）
PLULDLY2	FLG	0.95H.2	R/W	PLL アンロック・タイム・セレクト・フラグ（ダミー：0）
PLULDLY1	FLG	0.95H.1	R/W	PLL アンロック・タイム・セレクト・フラグ
PLULDLY0	FLG	0.95H.0	R/W	PLL アンロック・タイム・セレクト・フラグ

シンボル名	属性	値	R/W	説　　明
KEYJ	FLG	0.96H.0	R	キー・インプット・ジャッジ・フラグ
TMCY	FLG	0.97H.0	R	タイマ・キャリーFF ステータス・フラグ
SBACK	FLG	0.98H.3	R/W	I^2C バス・アクノリッジ・フラグ
SIO1NWT	FLG	0.98H.2	R/W	SIO1 ノット・ウエイト・フラグ
SIO1WRQ1	FLG	0.98H.1	R/W	SIO1 ウエイト・モード・フラグ
SIO1WRQ0	FLG	0.98H.0	R/W	SIO1 ウエイト・モード・フラグ
IEG1	FLG	0.9FH.1	R/W	INT1 インタラプト・エッジ・セレクト・フラグ
IEG0	FLG	0.9FH.0	R/W	INT0 インタラプト・エッジ・セレクト・フラグ
PLLMD3	FLG	0.0A1H.3	R/W	PLL モード・セレクト・フラグ（ダミー：0）
PLLMD2	FLG	0.0A1H.2	R/W	PLL モード・セレクト・フラグ（ダミー：0）
PLLMD1	FLG	0.0A1H.1	R/W	PLL モード・セレクト・フラグ
PLLMD0	FLG	0.0A1H.0	R/W	PLL モード・セレクト・フラグ
IFCSTRT	FLG	0.0A3H.1	W	IF カウンタ・スタート・フラグ
IFCRES	FLG	0.0A3H.0	W	IF カウンタ・リセット・フラグ
P0CGIO	FLG	0.0A7H.0	R/W	ポート μC グループ I/O セレクト・フラグ
SIO1SF8	FLG	0.0A8H.3	R	SIO1 クロック・カウンタ・ステータス・フラグ
SIO1SF9	FLG	0.0A8H.2	R	SIO1 クロック・カウンタ・ステータス・フラグ
SBSTT	FLG	0.0A8H.1	R	I^2C バス・スタート・コンディション・ステータス・フラグ
SBBSY	FLG	0.0A8H.0	R	I^2C バス・スタート/ストップ・コンディション・ステータス・フラグ
IPIFC	FLG	0.0AEH.0	R/W	IF カウンタ・インタラプト・パーミッション・フラグ
IPSIO1	FLG	0.0AFH.3	R/W	SIO1 インタラプト・パーミッション・フラグ
IPTM	FLG	0.0AFH.2	R/W	タイマ・インタラプト・パーミッション・フラグ
IP1	FLG	0.0AFH.1	R/W	INT1 インタラプト・パーミッション・フラグ
IP0	FLG	0.0AFH.0	R/W	INT0 インタラプト・パーミッション・フラグ
PLLRFMD3	FLG	0.0B1H.3	R/W	PLL レファレンス・クロック・セレクト・フラグ
PLLRFMD2	FLG	0.0B1H.2	R/W	PLL レファレンス・クロック・セレクト・フラグ
PLLRFMD1	FLG	0.0B1H.1	R/W	PLL レファレンス・クロック・セレクト・フラグ
PLLRFMD0	FLG	0.0B1H.0	R/W	PLL レファレンス・クロック・セレクト・フラグ
P1ABIO3	FLG	0.0B5H.3	R/W	P1A3 I/O セレクト・フラグ
P1ABIO2	FLG	0.0B5H.2	R/W	P1A2 I/O セレクト・フラグ
P1ABIO1	FLG	0.0B5H.1	R/W	P1A1 I/O セレクト・フラグ
P1ABIO0	FLG	0.0B5H.0	R/W	P1A0 I/O セレクト・フラグ
P0BBIO3	FLG	0.0B6H.3	R/W	P0B3 I/O セレクト・フラグ
P0BBIO2	FLG	0.0B6H.2	R/W	P0B2 I/O セレクト・フラグ
P0BBIO1	FLG	0.0B6H.1	R/W	P0B1 I/O セレクト・フラグ
P0BBIO0	FLG	0.0B6H.0	R/W	P0B0 I/O セレクト・フラグ
P0ABIO3	FLG	0.0B7H.3	R/W	P0A3 I/O セレクト・フラグ
P0ABIO2	FLG	0.0B7H.2	R/W	P0A2 I/O セレクト・フラグ
P0ABIO1	FLG	0.0B7H.1	R/W	P0A1 I/O セレクト・フラグ
P0ABIO0	FLG	0.0B7H.0	R/W	P0A0 I/O セレクト・フラグ

シンボル名	属性	値	R/W	説　　明
SIO1IMD3	FLG	0.0B8H.3	R/W	SIO1 インタラプト・モード・セレクト・フラグ（ダミー：0）
SIO1IMD2	FLG	0.0B8H.2	R/W	SIO1 インタラプト・モード・セレクト・フラグ（ダミー：0）
SIO1IMD1	FLG	0.0B8H.1	R/W	SIO1 インタラプト・モード・セレクト・フラグ
SIO1IMD0	FLG	0.0B8H.0	R/W	SIO1 インタラプト・モード・セレクト・フラグ
SIO1CK3	FLG	0.0B9H.3	R/W	SIO1 シフト・クロック・セレクト・フラグ（ダミー：0）
SIO1CK2	FLG	0.0B9H.2	R/W	SIO1 シフト・クロック・セレクト・フラグ（ダミー：0）
SIO1CK1	FLG	0.0B9H.1	R/W	SIO1 シフト・クロック・セレクト・フラグ
SIO1CK0	FLG	0.0B9H.0	R/W	SIO1 シフト・クロック・セレクト・フラグ
IRQIFC	FLG	0.0BEH.0	R/W	IF カウンタ・インタラプト・リクエスト・フラグ
IRQSIO1	FLG	0.0BFH.3	R/W	SIO1 インタラプト・リクエスト・フラグ
IRQTM	FLG	0.0BFH.2	R/W	タイマ・インタラプト・リクエスト・フラグ
IRQ1	FLG	0.0BFH.1	R/W	INT1 インタラプト・リクエスト・フラグ
IRQ0	FLG	0.0BFH.0	R/W	INT0 インタラプト・リクエスト・フラグ

24.1.6 周辺ハードウエア・アドレス

シンボル名	属性	値	R/W	説　　明
DBF	DAT	0FH	R/W	GET/PUT 命令のデータ・バッファ・アドレス
IX	DAT	01H	R/W	INC 命令のインデクス・レジスタ・アドレス
ADCR	DAT	02H	R/W	A/D コンバータ V_{REF}データ・レジスタ
SIO2SFR	DAT	03H	R/W	SIO2 プリセッタブル・シフト・レジスタ
SIO1SFR	DAT	04H	R/W	SIO1 プリセッタブル・シフト・レジスタ
PWMR0	DAT	05H	R/W	PWM0 データ・レジスタ
PWMR1	DAT	06H	R/W	PWM1 データ・レジスタ
PWMR2	DAT	07H	R/W	PWM2 データ・レジスタ
LCDR0	DAT	08H	W	LCD グループ・レジスタ 0
LCDR1	DAT	09H	W	LCD グループ・レジスタ 1
LCDR2	DAT	0AH	W	LCD グループ・レジスタ 2
LCDR3	DAT	0BH	W	LCD グループ・レジスタ 3
LCDR4	DAT	0CH	W	LCD グループ・レジスタ 4
P0X	DAT	0CH	W	ポート 0X グループ・レジスタ
LCDR5	DAT	0DH	W	LCD グループ・レジスタ 5
LCDR6	DAT	0EH	W	LCD グループ・レジスタ 6
LCDR7	DAT	0FH	W	LCD グループ・レジスタ 7
CGPR	DAT	20H	R/W	CGP データ・レジスタ
AR	DAT	40H	R/W	GET/PUT/PUSH/CALL/BR/MOVT/INC 命令のアドレス・レジスタ・アドレス
PLLR	DAT	41H	R/W	PLL データ・レジスタ
KSR	DAT	42H	R/W	キー・ソース・データ・レジスタ
P0Y	DAT	42H	R/W	ポート 0Y グループ・レジスタ
IFC	DAT	43H	R	IF カウンタ・データ・レジスタ

25. 電気的特性

絶対最大定格 (T_a = 25 ± 2 °C)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		−0.3～+6.0	V
入力電圧	V_I		−0.3～V_{DD}+0.3	V
出力電圧	V_O	$P1B_1$-$P1B_3$, POA_2, POA_3, LPF_{OUT} を除く	−0.3～V_{DD}+0.3	V
出力耐圧	V_{BDS1}	$P1B_1$-$P1B_3$, LPF_{OUT}	18.0	V
	V_{BDS2}	POA_2, POA_3	V_{DD}+0.3	V
高レベル出力電流	I_{OH}	1端子	−12	mA
		全端子合計	−20	mA
低レベル出力電流	I_{OL}	1端子	12	mA
		全端子合計	20	mA
動作温度	T_{opt}		−40～+85	°C
保存温度	T_{stg}		−55～+125	°C

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V_{DD1}	PLL および CPU 動作時	4.5	5.0	5.5	V
	V_{DD2}	PLL 停止，CPU 動作時	3.5	5.0	5.5	V
データ保持電圧	V_{DDR}	水晶発振停止時	2.2		5.5	V
電源電圧立ち上がり時間	t_{rise}	V_{DD} = 0 → 4.5 V			500	ms
入力振幅	V_{IN1}	VCOL, VCOH	0.5		V_{DD}	V_{P-P}
	V_{IN2}	AMIFC, FMIFC	0.5		V_{DD}	V_{P-P}
出力耐圧	V_{BDS}	$P1B_1$-$P1B_3$, LPF_{OUT}			16.0	V
動作温度	T_{opt}		−40		+85	°C

DC 特性 (T_a = − 40 ～ + 85 °C, V_{DD} = 4.5 ～ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V_{DD1}	CPU および PLL 動作時	4.5	5.0	5.5	V
	V_{DD2}	CPU 動作, PLL 停止時	3.5	5.0	5.5	V
電源電流	I_{DD1}	CPU および PLL 動作時 X_{IN} 端子正弦波入力 (f_{IN}=4.5 MHz, V_{IN}=V_{DD}), T_a=25 °C		1.2	2.4	mA
	I_{DD2}	CPU 動作, PLL 停止時 HALT 命令使用 (1 ms ごとに 20 命令実行) X_{IN} 端子正弦波入力 (f_{IN}=4.5 MHz, V_{IN}=V_{DD}), T_a=25 °C		0.45	0.90	mA
データ保持電圧	V_{DDR1}	タイマ FF による停電検出方法使用 水晶発振時	3.5		5.5	V
	V_{DDR2}	タイマ FF による停電検出方法使用 水晶発振停止時	2.2		5.5	V
	V_{DDR3}	データ・メモリ (RAM) の保持	2.0		5.5	V
データ保持電流	I_{DDR1}	水晶発振停止時 T_a=25 °C		2	15	μA
	I_{DDR2}	水晶発振停止時 V_{DD}=5.0 V, T_a = 25 °C		2	10	μA
中間レベル出力電圧	V_{OM1}	COM_0, COM_1 V_{DD}=5 V	2.3	2.5	2.7	V
高レベル入力電圧	V_{IH1}	$P0A_0$-$P0A_3$, $P0B_0$-$P0B_3$, $P0C_0$-$P0C_3$, $P1A_0$-$P1A_3$, $P1D_0$-$P1D_3$ CE, INT_0, INT_1	0.8 V_{DD}		V_{DD}	V
	V_{IH2}	$P0D_0$-$P0D_3$	0.6 V_{DD}		V_{DD}	V
低レベル入力電圧	V_{IL}	$P0A_0$-$P0A_3$, $P0B_0$-$P0B_3$, $P0C_0$-$P0C_3$, $P0D_0$-$P0D_3$, $P1A_0$-$P1A_3$, $P1D_0$-$P1D_3$, CE, INT_0, INT_1	0		0.2 V_{DD}	V
高レベル出力電流	I_{OH1}	$P0A_0$, $P0A_1$, $P0B_0$-$P0B_3$, $P0C_0$-$P0C_3$, $P1A_0$-$P1A_3$, $P1C_0$-$P1C_3$, $P1B_0$, $P2A_0$ V_{OH}=V_{DD}−1 V	−1.0	−5.0		mA
	I_{OH2}	LCD_0-LCD_{29}, EO_0, EO_1 V_{OH}=V_{DD}−1 V	−1.0	−4.0		mA
低レベル出力電流	I_{OL1}	$P0A_0$-$P0A_3$, $P0B_0$-$P0B_3$, $P0C_0$-$P0C_3$, $P1A_0$-$P1A_3$, $P1C_0$-$P1C_3$, $P1B_0$, $P2A_0$ V_{OL}=1 V	1.0	7.0		mA
	I_{OL2}	LCD_0-LCD_{29}, EO_0, EO_1 V_{OL}=1 V	1.0	3.5		mA
	I_{OL3}	$P1B_1$-$P1B_3$ V_{OL}=1 V	1.0	2.0		mA
	I_{OL4}	$P0A_2$, $P0A_3$ V_{OL}=1 V	1.0	10.0		mA
高レベル入力電流	I_{IH1}	VCOH プルダウン時 V_{IH}=V_{DD}	0.1	0.8		mA
	I_{IH2}	VCOL プルダウン時 V_{IH}=V_{DD}	0.1	0.8		mA
	I_{IH3}	X_{IN} プルダウン時 V_{IH}=V_{DD}	0.1	1.3		mA
	I_{IH4}	$P0D_0$-$P0D_3$ プルダウン時 V_{IH}=V_{DD}	0.05	0.13	0.30	mA
出力オフ・リーク電流	I_{L1}	$P0A_2$, $P0A_3$ V_{OH}=V_{DD}			500	nA
	I_{L2}	$P1B_1$-$P1B_3$, LPF_{OUT} V_{OH}=16 V			500	nA
	I_{L3}	EO_0, EO_1 V_{OH}=V_{DD}, V_{OL}=0 V			±100	nA

AC 特性 (T_a = − 40 ～ + 85 °C, V_{DD} = 4.5 ～ 5.5 V)

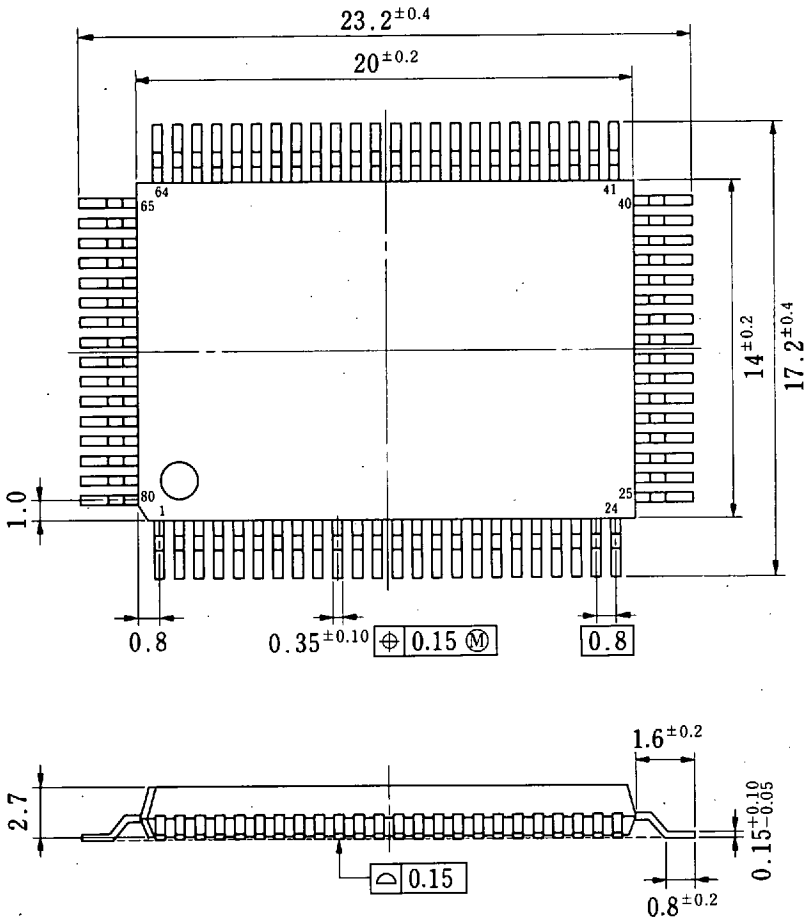
項　目	略号	条　件	MIN.	TYP.	MAX.	単位
動作周波数	f_{IN1}	VCOL MF モード　正弦波入力　V_{IN}=0.3 V_{P-P}	0.5		30	MHz
	f_{IN2}	VCOL HF モード　正弦波入力　V_{IN}=0.3 V_{P-P}	5		40	MHz
	f_{IN3}	VCOH　正弦波入力　V_{IN}=0.3 V_{P-P}	9		150	MHz
	f_{IN4}	AMIFC　正弦波入力　V_{IN}=0.5 V_{P-P}	0.1		1	MHz
	f_{IN5}	AMIFC　正弦波入力　V_{IN}=0.05 V_{P-P}	0.44		0.46	MHz
	f_{IN6}	FMIFC　正弦波入力　V_{IN}=0.5 V_{P-P}	5		15	MHz
	f_{IN7}	FMIFC　正弦波入力　V_{IN}=0.06 V_{P-P}	10.5		10.9	MHz
AD 変換分解能					6	bit
AD 変換総合誤差		T_a=−10～+50 °C		±1	±1.5	LSB

参考特性

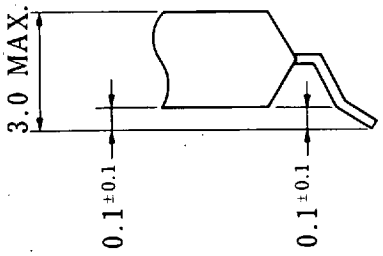
項　目	略号	条　件	MIN.	TYP.	MAX.	単位
電源電流	I_{DD3}	CPU および PLL 動作時 VCOH 正弦波入力 f_{IN}=150 MHz, V_{IN}=0.3 V_{P-P} V_{DD}=5 V, T_a=25 °C		15		mA
高レベル出力電流	I_{OH4}	COM_0, COM_1　V_{OH}=V_{DD}−1 V		−0.2		mA
中間レベル出力電流	I_{OM1}	COM_0, COM_1　V_{OM}=V_{DD}−1 V		−20		μA
	I_{OM2}	COM_0, COM_1　V_{OM}=1 V		20		μA
低レベル出力電流	I_{OL5}	COM_0, COM_1　V_{OL}=1 V		0.2		mA

26. 外形図

80ピン・プラスチックQFP(14×20) 外形図(単位：mm)

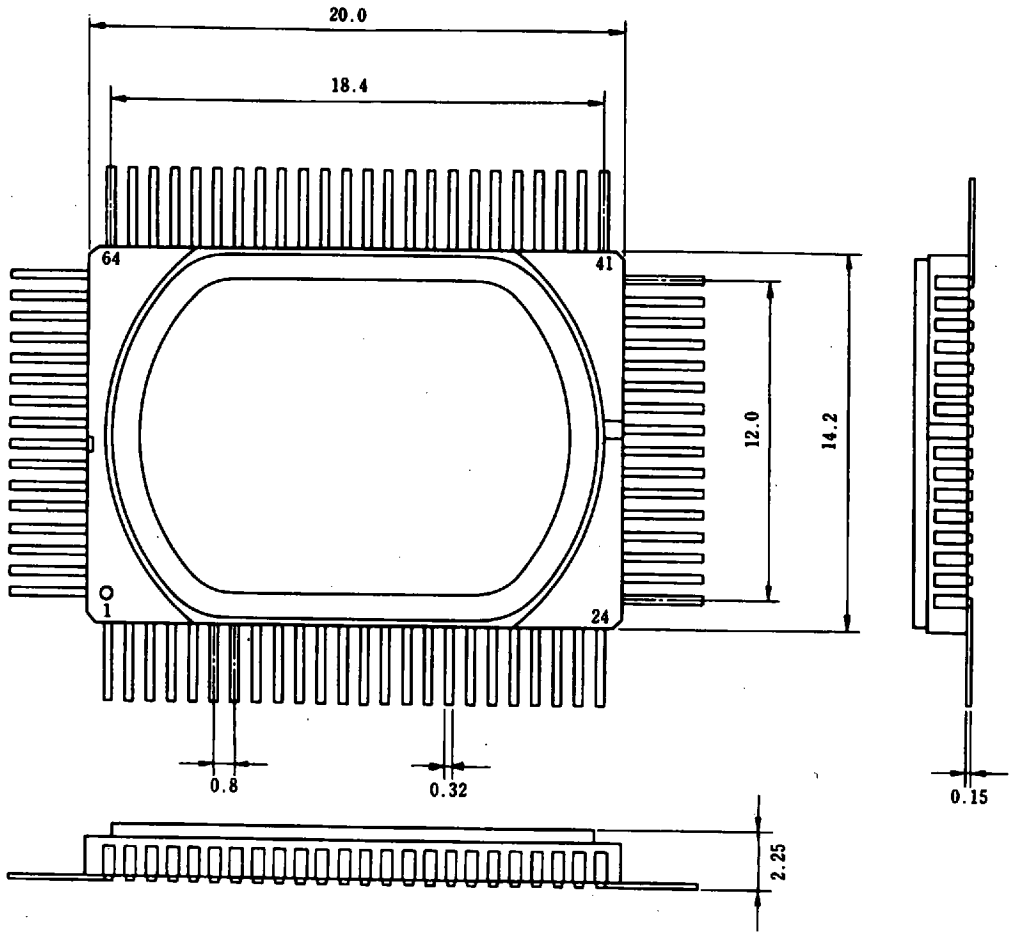


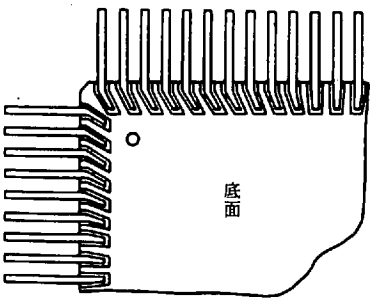
端子先端形状詳細図



S80GF−80−3B9

★ ES 用 80 ピン・セラミック QFP（参考図）（単位：mm）





注意事項

1．底面のリードは斜めに形成されていますので，注意してください。

2．リード先端の切断加工は工程管理されていませんので，リード長は規定していません。

27. 半田付け推奨条件

μPD17005 の半田付け実装は，次の推奨条件で実施してください。
なお，推奨条件以外の半田付け方式および半田付け条件については，当社販売員にご相談ください。

表 27 - 1 半田付け推奨条件一覧

製品名	パッケージ	推奨条件記号
μPD17005GF-×××-3B9 μPD17005GF-E××-3B9	80ピン・プラスチック QFP（14×20 mm）	• IR30-162 • VP15-162 • WS60-162 • 端子部分加熱

表 27 - 2 半田付け条件

推奨条件記号	半田付け方式	半田付け条件
IR30-162	赤外線リフロ	パッケージ・ピーク温度：230 °C，時間：30秒以内（210 °C 以上），回数：1 回 制限日数注：2 日間（以降は125 °C プリベーク16時間必要）
VP15-162	VPS	パッケージ・ピーク温度：215 °C，時間：40秒以内（200 °C 以上），回数：1 回 制限日数注：2 日間（以降は125 °C プリベーク16時間必要）
WS60-162	ウエーブ・ソルダリング	半田槽温度：260 °C 以下，時間：10秒以内，回数：1 回 制限日数注：2 日間（以降は125 °C プリベーク16時間必要）
端子部分加熱	端子部分加熱	端子部温度：300 °C 以下，時間：10秒以内

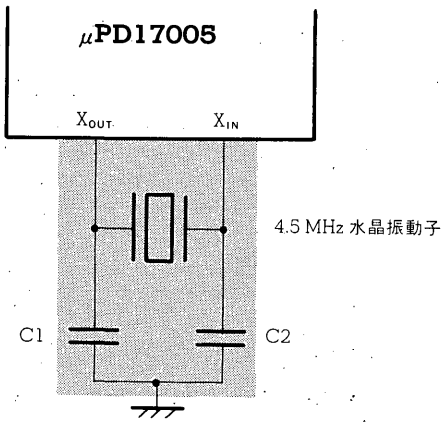
注 ドライパック開封後の保管日数で，保管条件は25 °C，65 %RH 以下。

備考 半田付け推奨条件の詳細は，インフォメーション資料「**半導体デバイス実装マニュアル**」(IEI-616) をご参照ください。

★ 付録 A. 水晶振動子を接続するときの注意

システム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の ▒ の部分に次のような注意が必要です。

- 配線は極力短くしてください。
- C1，C2 をあまり大きくすると，発振起動特性が悪化したり，消費電力が増加したりします。
- 発振周波数調整用のトリマ・コンデンサは一般的には X_{IN} 端子に接続します。ただし，使用する水晶振動子によっては発振安定感が異なることがあります。したがって，実際に使用する水晶振動子で評価してください。
- 水晶周波数の調整は，X_{OUT} 端子や X_{IN} 端子にエミュレーション・プローブなどを接続するとプローブの容量により正確に調整できません。LCD 駆動波形（125 Hz）もしくは VCO 発振周波数を測定しながら行ってください。



付録 B. μPD17005, 17003A と μPD17010 の相違点 ★

(1) ハードウエア ★

項　　目	μPD17010	μPD17005	μPD17003A
ROM	7932×16ビット		3836×16ビット
RAM	432×4 ビット		320×4 ビット
レジスタ・ファイル（コントロール・レジスタ）	41×4 ビット	33×4 ビット	
ジェネラル・レジスタ・ポインタ	5 ビット	4 ビット	
スタック・レベル	9 レベル	7 レベル	
シリアル・インタフェース	• SIO0 クロック 37.5, 75, 112.5, 225 Hz • SIO1 クロック 外部, 37.5, 75, 450 Hz • SCL, SDA, $\overline{SCK_0}$, $\overline{SCK_1}$, SI_0, SI_1端子にヒステリシス特性	• SIO1 クロック 75, 150, 225, 450 kHz • SIO2 クロック 外部, 75, 150, 450 kHz	
D/A コンバータ	• 周波数：4394.5 Hz	• 周波数：878.9 Hz	
割　り　込　み	• 割り込み優先順位(ベクタ・アドレス) 1. (6H) INT_0 端子 2. (5H) INT_1 端子 (タイマ・カウンタ・オーバフローと兼用) 3. (4H) モジュロ・タイマ 4. (3H) ベーシック・タイマ 1 5. (2H) シリアル・インタフェース 0 6. (1H) 周波数カウンタ • システム・レジスタ自動退避(3 レベル) (WR, BANK, RP, PSWORD) • IRQ×××フラグのアドレス変更	• 割り込み優先順位(ベクタ・アドレス) 1. (5H) INT_0 端子 2. (4H) INT_1 端子 3. (3H) タイマ 4. (2H) シリアル・インタフェース 1 5. (1H) 周波数カウンタ • システム・レジスタ自動退避(4 レベル) (BANK, IXE)	
タ　イ　マ	• ベーシック・タイマ 0 キャリー (クロック：4, 10, 200, 1000 Hz) • ベーシック・タイマ 1 割り込み (クロック：4, 10, 200, 1000 Hz) • モジュロ・タイマ (クロック：1, 3, 90, 100 kHz)	• タイマ・キャリー (クロック：4, 10, 200, 1000 Hz) • タイマ割り込み (クロック：4, 10, 200, 1000 Hz)	
PLL 周波数シンセサイザ	• LPF(ロウ・パス・フィルタ)用オペアンプなし	• LPF 用オペアンプ内蔵	

★ (2) ソフトウエア

項　　目	μPD17010	μPD17005	μPD17003A
インタラプト・リクエスト・フラグ	書き込み (POKE) 命令やフラグ操作組み込みマクロ命令を使用できます。	書き込み (POKE) 命令を使用すると，アセンブル時にエラーが発生します。また，フラグ操作組み込みマクロ命令を使用すると，アセンブル時にエラーが発生します。 対象となるフラグ • IRQIFC • IRQSIO1 • IRQTM • IRQ1 • IRQ0 上記のフラグに書き込みを行いたい場合には，マクロ・ライブラリ IRQ.MAC を使用してください。	
IF カウンタ・コントロール・レジスタ	読み込み (PEEK) 命令を使用できます。このとき，常に "0" が読み出されます。SETn 命令も使用できます。	読み込み (PEEK) 命令を使用すると，アセンブル時にエラーが発生します。したがって，SETn 命令などに展開されたときに PEEK 命令をオブジェクトに生成するようなマクロ命令も使用できません。 対象となるフラグ • IFCRES • IFCSTRT 上記のフラグを読み込みたい場合には，マクロ・ライブラリ IFCSET.LIB を使用してください。	

★ (3) 開発ツール

項　　目		μPD17010	μPD17005	μPD17003A
ハードウエア	SE ボード	SE-17010		
	エミュレーション・プローブ	EP-17003GF		
ソフトウエア	デバイス・ファイル	AS17010	AS17005	AS17003
	マクロ・ライブラリ	なし	• IFCSET. LIB • IRQ. MAC	

(4) 予約語名称に関する注意 ★

μPD17005 のコントロール・レジスタの予約語は，μPD17010 の予約語と一部異なっています。

μPD17005，17003A と μPD17010 の予約語の違いを次に示します。

項目	μPD17010	μPD17005, 17003A
タイマ	BTM1CK1	TMMD3
	BTM1CK0	TMMD2
	BTM0CK1	TMMD1
	BTM0CK0	TMMD0
	BTM0CY	TMCY
	TMCK3	
	TMCK2	
	TMCK1	
	TMCK0	
	TMOVF	
	TMRPT	
	TMRES	
	TMEN	
PLL周波数シンセサイザ	PLULSEN3	PLULDLY3
	PLULSEN2	PLULDLY2
	PLULSEN1	PLULDLY1
	PLULSEN0	PLULDLY0
	PLLRFCK3	PLLRFMD3
	PLLRFCK2	PLLRFMD2
	PLLRFCK1	PLLRFMD1
	PLLRFCK0	PLLRFMD0
D／Aコンバータ	PWM2SEL	PWM2ON
	PWM1SEL	PWM1ON
	PWM0SEL	PWM0ON
	CGPSEL	CGPON
LCDドライバ	P0YSEL	P0YON
	P0XSEL	P0XON
	P0ESEL	P0EON
	P0FSEL	P0FON
IF	IFCGOSTT	IFCG

項目	μPD17010	μPD17005, 17003A
シリアル・インタフェース	SIO1TS	SIO2TS
	SIO1HIZ	SIO2HIZ
	SIO1CK1	SIO2CK1
	SIO1CK0	SIO2CK0
	SIO0CH	SIO1CH
	SIO0MS	SIO1MS
	SIO0TX	SIO1TX
	SIO0NWT	SIO1NWT
	SIO0WRQ1	SIO1WRQ1
	SIO0WRQ0	SIO1WRQ0
	SIO0WSTT	
	SIO0SF8	SIO1SF8
	SIO0SF9	SIO1SF9
	SIO0IMD3	SIO1IMD3
	SIO0IMD2	SIO1IMD2
	SIO0IMD1	SIO1IMD1
	SIO0IMD0	SIO1IMD0
	SIO0CK3	SIO1CK3
	SIO0CK2	SIO1CK2
	SIO0CK1	SIO1CK1
	SIO0CK0	SIO1CK0
割り込み	IGRPSL	
	IPSIO0	IPSIO1
	IPBTM1	IPTM
	IPGRP	IP1
	IPTM	
	IRQSIO0	IRQSIO1
	IRQBTM1	IRQTM
	IRQTM	
	IRQGRP	IRQ1

★ 付録 C. 開発ツール

μPD17005 のプログラムを開発するために，次の開発ツールを用意しています。

ハードウエア

名　　称	概　　要	オーダ名称
インサーキット・エミュレータ	インサーキット・エミュレータは，17K シリーズ共通です。 μPD17005 のプログラム開発には，インサーキット・エミュレータとシステム・エバリュエーション・ボード（SE ボード）を組み合わせて使用します。 インサーキット・エミュレータは RAM ベースで動作させるものであり，インサーキット・エミュレータにコンソールを接続するだけで，プログラムの追加，修正がコンソール上で即時に行えます。また，サポート・ソフトウエアである SIMPLEHOST™ を動作させることにより，より高度なプログラム環境を提供します。	IE-17K IE-17K-ET注
SE ボード	μPD17005 のシステム評価に使用します。単体で，またはインサーキット・エミュレータとともに使用します。	SE-17010
エミュレーション・プローブ	SE ボードとターゲット・システムを接続します。	EP-17003GF
変換ソケット	エミュレーション・プローブと組み合わせて，ターゲット・システムに接続します。	EV-9200G-80
ワン・タイム PROM	μPD17P005 は，μPD17005 のプログラム評価や少量生産を行うためのワン・タイム PROM 版です。	μPD17P005GF-3B9

注　廉価版：電源外付けタイプ

ソフトウエア

名　称	概　　要	ホスト・マシン	OS		供給媒体	オーダ名称
17K シリーズ アセンブラ(AS17K)	AS17K は 17K シリーズ共通に使用できるアセンブラです。 μPD17005 のプログラム開発には，この AS17K とデバイス・ファイル（AS17005）を組み合わせて使用します。	PC-9800 シリーズ	MS-DOS™ (Ver.3.1 ～ Ver.3.30C)		5 インチ 2HD	μS5A10AS17K
					3.5 インチ 2HD	μS5A13AS17K
		IBM PC/AT™	PC DOS™ (Ver.3.1)		5 インチ 2HC	μS7B10AS17K
デバイス・ファイル (AS17005)	AS17005 は μPD17005 用のデバイス・ファイルです。 17K シリーズ共通のアセンブラ（AS17K）と組み合わせて使用します。	PC-9800 シリーズ	MS-DOS (Ver.3.1 ～ Ver.3.30C)		5 インチ 2HD	μS5A10AS17005
					3.5 インチ 2HD	μS5A13AS17005
		IBM PC/AT	PC DOS (Ver.3.1)		5 インチ 2HC	μS7B10AS17005
サポート・ソフトウエア (SIMPLEHOST)	SIMPLEHOST はインサーキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときに MS-WINDOWS™ 上でマン・マシン・インタフェースを行うソフトウエアです。	PC-9800 シリーズ	MS-DOS (Ver.3.1 ～ Ver.3.30C)	MS-WINDOWS (Ver.2.1 ～ Ver.3.0)	5 インチ 2HD	μS5A10IE17K
					3.5 インチ 2HD	μS5A13IE17K
		IBM PC/AT	PC DOS (Ver.3.1)		5 インチ 2HC	μS7B10IE17K

〔メ モ〕

○文書による当社の承諾なしに本資料の転載複製を禁じます。
○本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して，当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合，当社はその責を負うものではありませんのでご了承ください。
○当社は品質，信頼性の向上に努めていますが，半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として，人身事故，火災事故，社会的な損害等を生じさせない冗長設計，延焼対策設計，誤動作防止設計等安全設計に十分ご注意願います。
○当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また，各品質水準は以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認の上ご使用願います。
標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット
特別水準：輸送機器（自動車，列車，船舶等），交通用信号機器，防災／防犯装置，各種安全装置，生命維持を直接の目的としない医療機器
特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等
当社製品のデータ・シート／データ・ブック等の資料で，特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は，必ず事前に当社販売窓口までご相談頂きますようお願い致します。
○この製品は耐放射線設計をしておりません。
M4 94.11

注意：本製品はI^2Cバス・インタフェース回路を内蔵しています。
I^2Cバス・インタフェースを使用される場合には，カスタム・コードをご発注いただく時に，事前にその旨ご申告下さい。申告に基づき，以下の特典が受けられます。
日本電気株式会社のI^2Cバス対応部品をご購入いただくことにより，これらの部品をI^2Cシステムに使用する実施権がフィリップス社I^2C特許に基づき許諾されることになります。ただし，これらのI^2Cシステムはフィリップス社によって設定されたI^2C標準規格に合致しているものとします。

Purchase of NEC I^2C components conveys a license under the Philips I^2C Patent Rights to use these components in an I^2C system, provided that the system conforms to the I^2C Standard Specification as defined by Philips.

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは，ユーザ(仕様を決定した者)が判定してください。

○文書による当社の承諾なしに本資料の転載複製を禁じます。
○この製品を使用したことにより，第三者の工業所有権等にかかわる問題が発生した場合，当社製品の構造製法に直接かかわるもの以外につきましては，当社はその責を負いませんのでご了承ください。
○当社は，航空宇宙機器，海底中継器，原子力制御システム，生命維持のための医療用機器など極めて高い信頼性が要求される『特定』用途に推奨できる製品を標準的には用意しておりません。当社製品を『特定』用途にご使用をお考えのお客様，および，『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は，事前に販売窓口までご連絡頂きますようお願い致します。
当社推奨の用途例
標準：コンピュータ，OA機器，通信機器，計測機器，工作機械，産業用ロボット，AV機器，家電等
特別：輸送機器（航空機，列車，自動車等），交通信号機器，防災／防犯装置等
○この製品は耐放射線設計をしておりません。

SIMPLEHOST™ は，日本電気株式会社の商標です。
MS-DOS™，MS-WINDOWS™ は，米国マイクロソフト社の商標です。
PC/AT™，PC DOS™ は，米国 IBM 社の商標です。

NEC 日本電気株式会社

本社 〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル)

半導体第一、第二販売事業部 〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル) 東京(03)3454-1111

関西支社 半導体販売部 〒540 大阪市中央区城見一丁目4番24号(日本電気関西ビル) 大阪(06)945-3178 大阪(06)945-3200

中部支社 半導体販売部 〒460 名古屋市中区栄四丁目14番5号(松下中日ビル) 名古屋(052)242-2755

北海道支社 札幌(011)231-0161
東北支社 仙台(022)261-5511
岩手支店 盛岡(0196)51-4344
山形支店 山形(0236)23-5511
郡山支店 郡山(0249)23-5511
いわき支店 いわき(0246)21-5511
長岡支店 長岡(0258)36-2155
水戸支店 水戸(0292)26-1717
神奈川支社 横浜(045)324-5511
群馬支店 高崎(0273)26-1255
太田支店 太田(0276)46-4011
宇都宮支店 宇都宮(0286)21-2281
小山支店 小山(0285)24-5011
長野支店 長野(0262)35-1444
松本支店 松本(0263)35-1666
上諏訪支店 諏訪(0266)53-5350
甲府支店 甲府(0552)24-4141
埼玉支社 大宮(048)641-1411
立川支社 立川(0425)26-0911
千葉支社 千葉(0472)27-5441
静岡支社 静岡(054)255-2211
沼津支店 沼津(0559)63-4455
浜松支店 浜松(053)452-2711
北陸支社 金沢(0762)23-1621
福井支店 福井(0776)22-1866
富山支店 富山(0764)31-8461
京都支社 京都(075)221-8511
神戸支社 神戸(078)332-3311
中国支社 広島(082)242-5504
鳥取支店 鳥取(0857)27-5311
岡山支店 岡山(0862)25-4455
四国支社 高松(0878)36-1200
新居浜支店 新居浜(0897)32-5001
松山支店 松山(0899)45-4111
九州支社 福岡(092)271-7700
北九州支店 北九州(093)541-2887

(技術お問い合せ先)

半導体応用技術本部 第一応用システム技術部 〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル) 東京(03)3798-6105
半導体応用技術本部 第二応用システム技術部 〒540 大阪市中央区城見一丁目4番24号(日本電気関西ビル) 大阪(06)945-3383
半導体応用技術本部 第三応用システム技術部 〒460 名古屋市中区栄四丁目14番5号(松下中日ビル) 名古屋(052)242-2762
半導体応用技術本部 マイクロコンピュータ技術部 〒210 川崎市川崎区駅前本町15番5号(十五番館) 川崎(044)246-3923

インフォメーションセンター
FAX(044)548-7900