

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



RAM 内蔵 240 出力 LCD カラム（セグメント）・ドライバ

μ PD16663 は、フルドット LCD の駆動が可能な RAM 内蔵のカラム（セグメント）・ドライバです。

出力は、240 本で表示用の RAM を $240 \times 160 \times 4$ ビット内蔵しており、16 階調の表示が可能です。階調は、49 段の階調パレットから任意の 16 階調を選択することが可能です。 μ PD16667 と組み合わせることで 240×160 ドットから 480×320 ドットの表示が可能です。

特 徴

- 表示用 RAM 内蔵： $240 \times 160 \times 4$ ビット
- ロジック電圧：3.0～3.6 V
- デューティ：1/160
- 出力数：240 本
- 階調表示可能：16 階調（49 段階の階調パレットから選択可能）
- メモリ管理：パacked・ピクセル方式
- 8/16 ビット・データ・バス対応

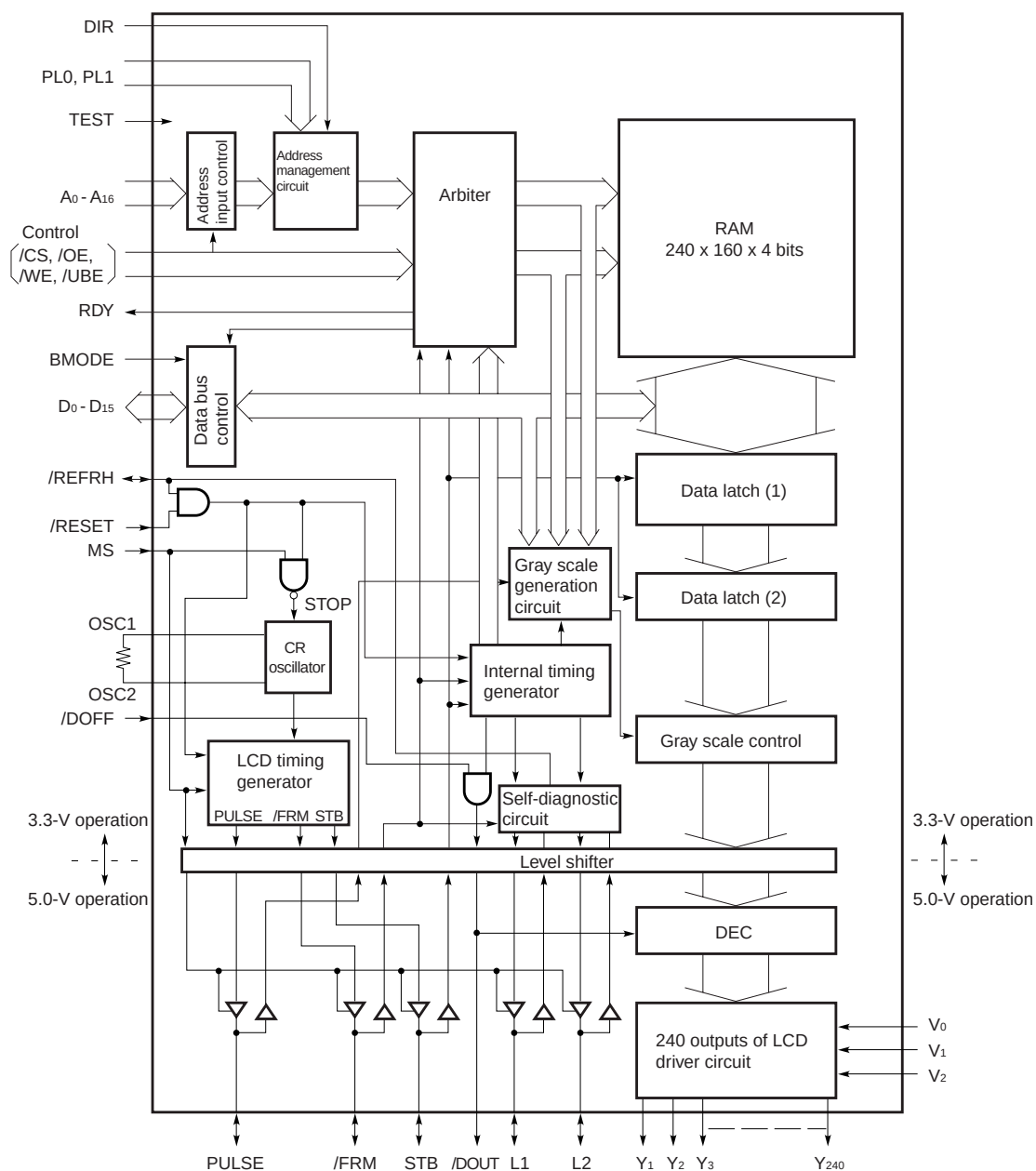
オーダ情報

	オーダ情報	パッケージ
	μ PD16663N-XXX	TCP（TAB パッケージ）
★	μ PD16663N-051	標準 TCP（2 方向）

備考 TCP 外形は、カスタム受注となりますので NEC 販売員までご相談ください。

本資料の内容は、後日変更する場合があります。

ブロック図



備考 /xxx はアクティブ・ロウを示します。

1. 端子名称

分 類	端子名 ^注	I/O	機 能
CPU インタフェース	D0-D15	I/O	データ・バス 16 本
	A0-A16	I	アドレス・バス 17 本
	/CS	I	チップ・セレクト
	/OE	I	リード信号
	/WE	I	ライト信号
	/UBE	I	上位バイト・イネーブル
	RDY	O	CPU へのレディ信号 (“H” でレディ状態)
コントロール信号	PL0	I	LSI 配置位置を指定します (No.0-3)。
	PL1	I	LSI 配置位置を指定します (No.0-3)。
	DIR	I	液晶パネル配置方向を指定します。
	MS	I	マスタ/スレーブ選択端子 (“H” でマスタ・モード)
	BMODE	I	データ・バス・ビット選択端子 (“H” = 8 ビット, “L” = 16 ビット)
	/REFRH	I/O	自己診断リセット端子 (ワイアード OR 接続)
	TEST	I	テスト端子 (“H” = テスト・モード, プルダウン抵抗内蔵)
	/RESET	I	リセット信号
	/DOFF	I	表示 OFF 入力信号
	OSC1	—	発振外付け抵抗端子
	OSC2	—	発振外付け抵抗端子
	STB	I/O	カラム駆動信号 (MS 端子 “H” = 出力, MS 端子 “L” = 入力)
	/FRM	I/O	フレーム信号 (MS 端子 “H” = 出力, MS 端子 “L” = 入力)
	PULSE	I/O	25 階調パルス変調クロック
	L1	I/O	ロウ・ドライバ駆動レベル選択信号 (第一ライン)
	L2	I/O	ロウ・ドライバ駆動レベル選択信号 (第二ライン)
	/DOUT	O	表示 OFF 出力信号
液晶駆動	Y1-Y ₂₄₀	O	液晶駆動出力
電源	GND	—	グランド (5 V 系 2 本, 3.3 V 系 3 本)
	V _{CC1}	—	5 V 電源
	V _{CC2}	—	3.3 V 電源
	V ₀	—	液晶駆動アナログ電源
	V ₁	—	液晶駆動アナログ電源
	V ₂	—	液晶駆動アナログ電源

注 端子系は次の 2 つに分かれます。

3.3 V 系端子：D0-D15, A0-A16, /CS, /OE, /WE, /UBE, RDY, BMODE, PL0, PL1, DIR, OSC1, OSC2, /RESET, /DOFF, TEST, MS

5 V 系端子：STB, /FRM, L1, L2, /DOUT, PULSE

備考 N.C. = ノン・コネクション

2. ブロック機能

(1) アドレス管理回路 (Address management circuit)

システムから A0-A16 を介して転送されるアドレスを、内蔵 RAM のメモリ・マップに対応するアドレスに変換します。

この機能により、μPD16663 を 4 個使い最大 480×320 ドットまでのアドレス管理が可能となり、液晶ディスプレイ・システムが容易に構成できます。

また、アドレス 1FFF80H-1FFFEH (偶数アドレスのみ) は、階調パレット・レジスタに割り当てられており、49 段階のパレットから任意の 16 階調を選択することが可能です。

(2) アービタ (Arbiter)

システムからの RAM アクセスと、液晶駆動側の RAM リードの競合を調整します。

(3) RAM

240×160×4 ビットのスタティック RAM (シングル・ポート) です。

(4) データ・バス制御 (Data bus control)

システムからのリード／ライトによって、データ転送方向を制御します。

また、BMODE 端子により 8/16 ビットの切り替えを行います。

(5) 階調発生回路 (Gray scale generation circuit)

49 段階を、フレーム間引きとパルス幅変調で実現します。

(6) 内部タイミング発生 (Internal timing generator)

/FRM、STB 信号から、各ブロックへの内部タイミングを発生します。

(7) CR 発振器 (CR oscillator)

マスタ・モードにおいて、フレーム周波数の基準となるクロックを発生します。本発振の 1/2592 が、フレーム周波数となります。たとえば、フレーム周波数 70 Hz の場合は、181.44 kHz の発振周波数が必要となります。容量を内蔵している CR 発振器なので、必要な発振周波数を外付け抵抗で調整してください。

スレーブ・モードでは、発振は止めます。

(8) 液晶タイミング発生 (LCD timing generator)

マスタ・モードにおいて、/FRM (フレーム信号)、STB (カラム駆動信号ストロブ)、PULSE (49 階調パルス変調クロック) を発生します。

(9) 階調制御 (Gray scale control)

16 階調表示を実現する回路です。

(10) データ・ラッチ (1) (Data latch(1))

240 画素分のデータを RAM から読み出し、ラッチします。

(11) データ・ラッチ (2) (Data latch(2))

STB 信号に同期して、240 画素分のデータをラッチします。

(12) レベル・シフタ (Level shifter)

内部回路の動作電圧 (3.3 V) から、液晶駆動回路とロウ・ドライバ・インタフェース電圧 (5 V) に変換します。

(13) DEC

階調表示データを、液晶駆動電圧 V_0 , V_1 , V_2 の対応にデコードします。

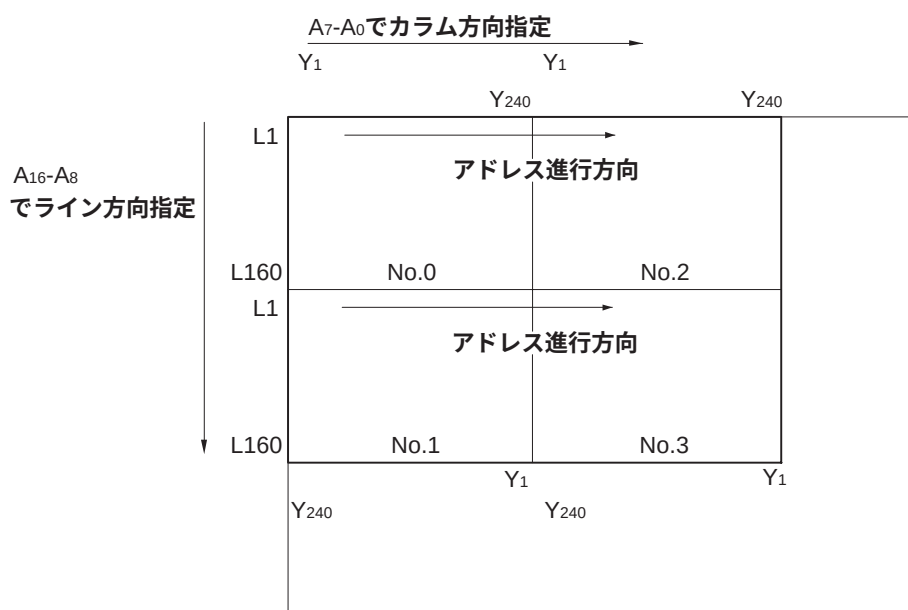
(14) 液晶駆動回路 (LCD driver circuit)

階調表示データ、表示オフ信号 (/DOFF) に対応した、液晶駆動電源 V_0 , V_1 , V_2 のうち、いずれかを選択し、液晶印加電圧を生成します。

(15) 自己診断回路 (Self-diagnostic circuit)

外来ノイズなどにより、マスタ・チップとスレーブ・チップの動作タイミングがずれてしまった場合、自動的にそれを検出し、全カラム・ドライバにリフレッシュ信号を発生します。

アドレス・マップのイメージ図 (ハーフ VGA サイズ構成の例)



3. データ・バスについて

データ・バス上のバイト・データの配列方法は、ほとんどの NEC およびインテル社製品で採用しているリトル・エンディアン方式です。

(1) 16 ビット・データ・バス (BMODE = L)

・バイト単位アクセス

アドレスの → 進み方	D0-D7	D8-D15
	00000H	00001H
	00002H	00003H
	00004H	00005H
	⋮	⋮

・ワード単位アクセス

アドレスの → 進み方	D0-D7	D8-D15
	00000H	
	00002H	
	00004H	
	⋮	

システムからのアクセスを、ワード（16 ビット）単位、または、バイト（8 ビット）単位で行えるように、/UBE（上位バイト・イネーブル）と A₀ により、有効データが D₀-D₇、または、D₈-D₁₅ のどちらのバイトに（または両方）あるかを示します。

/CS	/OE	/WE	/UBE	A ₀	MODE	I/O	
						D0-D7	D8-D15
H	X	X	X	X	Not Selected	Hi-z	Hi-z
L	L	H	L	L	Read	Dout	Dout
			L	H		Hi-z	Dout
			H	L		Dout	Hi-z
L	H	L	L	L	Write	Din	Din
			L	H		X	Din
			H	L		Din	X
L	H	H	X	X	Output	Hi-z	Hi-z
L	X	X	H	H	Disable	Hi-z	Hi-z

備考 X = Don't Care, Hi-z = High impedance

(2) 8 ビット・データ・バス (BMODE = H)

アドレスの →
進み方

D0-D7
00000H
00001H
00002H
⋮
⋮

/CS	/OE	/WE	MODE	I/O	
				D0-D7	D8-D15
H	X	X	Not Selected	Hi-z	注
L	L	H	Read	Dout	注
L	H	L	Write	Din	注
L	H	H	Output Disable	Hi-z	注

注 BMODE = H のとき、D8-D15 および /UBE は内部でプルダウンされていますので、オープンとするか、または GND に接続してください。

備考 X = Don't Care, Hi-z = High impedance

4. データ・ビットと画素の関係

16 階調表示なので、1 画素あたり 4 ビットの構成になります。

パワード・ピクセル方式で、2 画素（1 ワードあたり 4 画素）で RAM を構成しています。

(1) BMODE = L

・バイト単位（8 ビット）アクセス時

D0 D1 D2 D3	D4 D5 D6 D7	D8 D9 D10 D11	D12 D13 D14 D15
1 画素	2 画素	3 画素	4 画素

00000H 00001H

液晶パネル	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素

00000H 00001H 00002H 00003H 00004H 00005H 00006H 00007H

・ワード単位（16 ビット）アクセス時

D0 D1 D2 D3	D4 D5 D6 D7	D8 D9 D10 D11	D12 D13 D14 D15
1 画素	2 画素	3 画素	4 画素

00000H

液晶パネル	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素

00000H 00002H 00004H 00006H

(2) BMODE = H

D0 D1 D2 D3	D4 D5 D6 D7	D0 D1 D2 D3	D4 D5 D6 D7
1 画素	2 画素	3 画素	4 画素

00000H 00001H

液晶パネル	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素	画素

00000H 00001H 00002H 00003H 00004H 00005H 00006H 00007H

5. 階調制御

μ PD16663 の階調制御は、フレーム間引きとパルス幅変調により、49 段階の階調パレットを実現します。そのうち 16 階調を選択し、階調パレット・レジスタに登録して使用します。

5.1 階調パレット・レジスタ

階調パレット・レジスタにより、49 段階から 16 階調をあらかじめ選択しておきます。階調パレット・レジスタは、1FF80H-1FFFEH（偶数アドレスのみ）に割り当てられており、階調データとの関係は次のとおりです。

階調パレット・レジスタは、PL0, PL1 によって決まる、カラム・ドライバの配置位置（No.0-3）ごとに設定することが可能です。

★ 階調パレット・レジスタ (1/2)

アドレス	LSI配置位置 No.	階調データ (表示データ)				初期値
		D ₃ /D ₇	D ₂ /D ₆	D ₁ /D ₅	D ₀ /D ₄	
1FF80 H	No.0	0	0	0	0	階調 0
1FF82 H		0	0	0	1	階調 4
1FF84 H		0	0	1	0	階調 8
1FF86 H		0	0	1	1	階調 12
1FF88 H		0	1	0	0	階調 16
1FF8A H		0	1	0	1	階調 19
1FF8C H		0	1	1	0	階調 21
1FF8E H		0	1	1	1	階調 23
1FF90 H		1	0	0	0	階調 25
1FF92 H		1	0	0	1	階調 27
1FF94 H		1	0	1	0	階調 29
1FF96 H		1	0	1	1	階調 32
1FF98 H		1	1	0	0	階調 36
1FF9A H		1	1	0	1	階調 40
1FF9C H		1	1	1	0	階調 44
1FF9E H		1	1	1	1	階調 48
1FFA0 H	No.1	0	0	0	0	階調 0
1FFA2 H		0	0	0	1	階調 4
1FFA4 H		0	0	1	0	階調 8
1FFA6 H		0	0	1	1	階調 12
1FFA8 H		0	1	0	0	階調 16
1FFAA H		0	1	0	1	階調 19
1FFAC H		0	1	1	0	階調 21
1FFAE H		0	1	1	1	階調 23
1FFB0 H		1	0	0	0	階調 25
1FFB2 H		1	0	0	1	階調 27
1FFB4 H		1	0	1	0	階調 29
1FFB6 H		1	0	1	1	階調 32
1FFB8 H		1	1	0	0	階調 36
1FFBA H		1	1	0	1	階調 40
1FFBC H		1	1	1	0	階調 44
1FFBE H		1	1	1	1	階調 48

備考 階調パレット・レジスタは、/RESET 信号により初期値に戻ります。

★ 階調パレット・レジスタ(2/2)

アドレス	LSI配置位置 No.	階調データ (表示データ)				初期値
		D ₃ /D ₇	D ₂ /D ₆	D ₁ /D ₅	D ₀ /D ₄	
1FFC0 H	No.2	0	0	0	0	階調 0
1FFC2 H		0	0	0	1	階調 4
1FFC4 H		0	0	1	0	階調 8
1FFC6 H		0	0	1	1	階調 12
1FFC8 H		0	1	0	0	階調 16
1FFCA H		0	1	0	1	階調 19
1FFCC H		0	1	1	0	階調 21
1FFCE H		0	1	1	1	階調 23
1FFD0 H		1	0	0	0	階調 25
1FFD2 H		1	0	0	1	階調 27
1FFD4 H		1	0	1	0	階調 29
1FFD6 H		1	0	1	1	階調 32
1FFD8 H		1	1	0	0	階調 36
1FFDA H		1	1	0	1	階調 40
1FFDC H		1	1	1	0	階調 44
1FFDE H		1	1	1	1	階調 48
1FFE0 H	No.3	0	0	0	0	階調 0
1FFE2 H		0	0	0	1	階調 4
1FFE4 H		0	0	1	0	階調 8
1FFE6 H		0	0	1	1	階調 12
1FFE8 H		0	1	0	0	階調 16
1FFEA H		0	1	0	1	階調 19
1FFEC H		0	1	1	0	階調 21
1FFEE H		0	1	1	1	階調 23
1FFF0 H		1	0	0	0	階調 25
1FFF2 H		1	0	0	1	階調 27
1FFF4 H		1	0	1	0	階調 29
1FFF6 H		1	0	1	1	階調 32
1FFF8 H		1	1	0	0	階調 36
1FFFA H		1	1	0	1	階調 40
1FFFC H		1	1	1	0	階調 44
1FFFE H		1	1	1	1	階調 48

備考 階調パレット・レジスタは、/RESET 信号により初期値に戻ります。

5.2 階調と階調パレット・データとの関係

階調と階調パレット・レジスタで設定する階調パレット・データとの関係は、次のとおりです。

階調パレット・データ (1/2)

PMODE	階調パレット・データ						備考
	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	
階調 0	0	0	0	0	0	0	OFF
階調 1	0	0	0	0	0	1	
階調 2	0	0	0	0	1	0	
階調 3	0	0	0	0	1	1	
階調 4	0	0	0	1	0	0	
階調 5	0	0	0	1	0	1	
階調 6	0	0	0	1	1	0	
階調 7	0	0	0	1	1	1	
階調 8	0	0	1	0	0	0	
階調 9	0	0	1	0	0	1	
階調 10	0	0	1	0	1	0	
階調 11	0	0	1	0	1	1	
階調 12	0	0	1	1	0	0	
階調 13	0	0	1	1	0	1	
階調 14	0	0	1	1	1	0	
階調 15	0	0	1	1	1	1	
階調 16	0	1	0	0	0	0	
階調 17	0	1	0	0	0	1	
階調 18	0	1	0	0	1	0	
階調 19	0	1	0	0	1	1	
階調 20	0	1	0	1	0	0	
階調 21	0	1	0	1	0	1	
階調 22	0	1	0	1	1	0	
階調 23	0	1	0	1	1	1	
階調 24	0	1	1	0	0	0	

階調パレット・データ(2/2)

PMODE	階調パレット・データ						備考
	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	
階調 25	0	1	1	0	0	1	
階調 26	0	1	1	0	1	0	
階調 27	0	1	1	0	1	1	
階調 28	0	1	1	1	0	0	
階調 29	0	1	1	1	0	1	
階調 30	0	1	1	1	1	0	
階調 31	0	1	1	1	1	1	
階調 32	1	0	0	0	0	0	
階調 33	1	0	0	0	0	1	
階調 34	1	0	0	0	1	0	
階調 35	1	0	0	0	1	1	
階調 36	1	0	0	1	0	0	
階調 37	1	0	0	1	0	1	
階調 38	1	0	0	1	1	0	
階調 39	1	0	0	1	1	1	
階調 40	1	0	1	0	0	0	
階調 41	1	0	1	0	0	1	
階調 42	1	0	1	0	1	0	
階調 43	1	0	1	0	1	1	
階調 44	1	0	1	1	0	0	
階調 45	1	0	1	1	0	1	
階調 46	1	0	1	1	1	0	
階調 47	1	0	1	1	1	1	
階調 48	1	1	0	0	0	0	ON

6. LSI 配置とアドレス管理

μPD16663 を最大 4 個使用して、1/2 VGA (320×480 ドット) までの、液晶ディスプレイを構成できるように、アドレス管理しています。

μPD16663 を 4 個まで、データ・バスおよび、/CS、/WE、/OE 端子を共用して接続することができます。

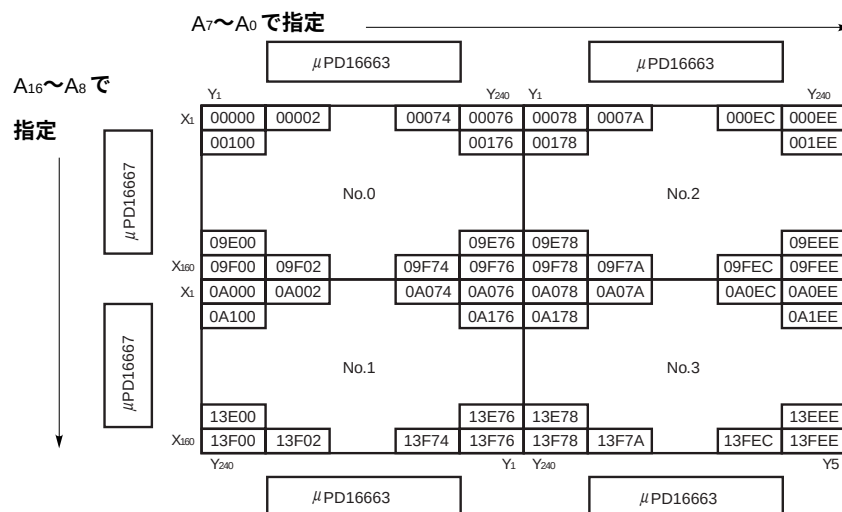
システム側では、液晶ディスプレイの一画面を一つのメモリ領域として扱うことができ、複数の μPD16663 をデコードする必要はありません。

PL0, PL1 端子で LSI No.を指定し、LSI 配置を決め、DIR 端子で液晶ディスプレイの向き（縦，横）を決めます。

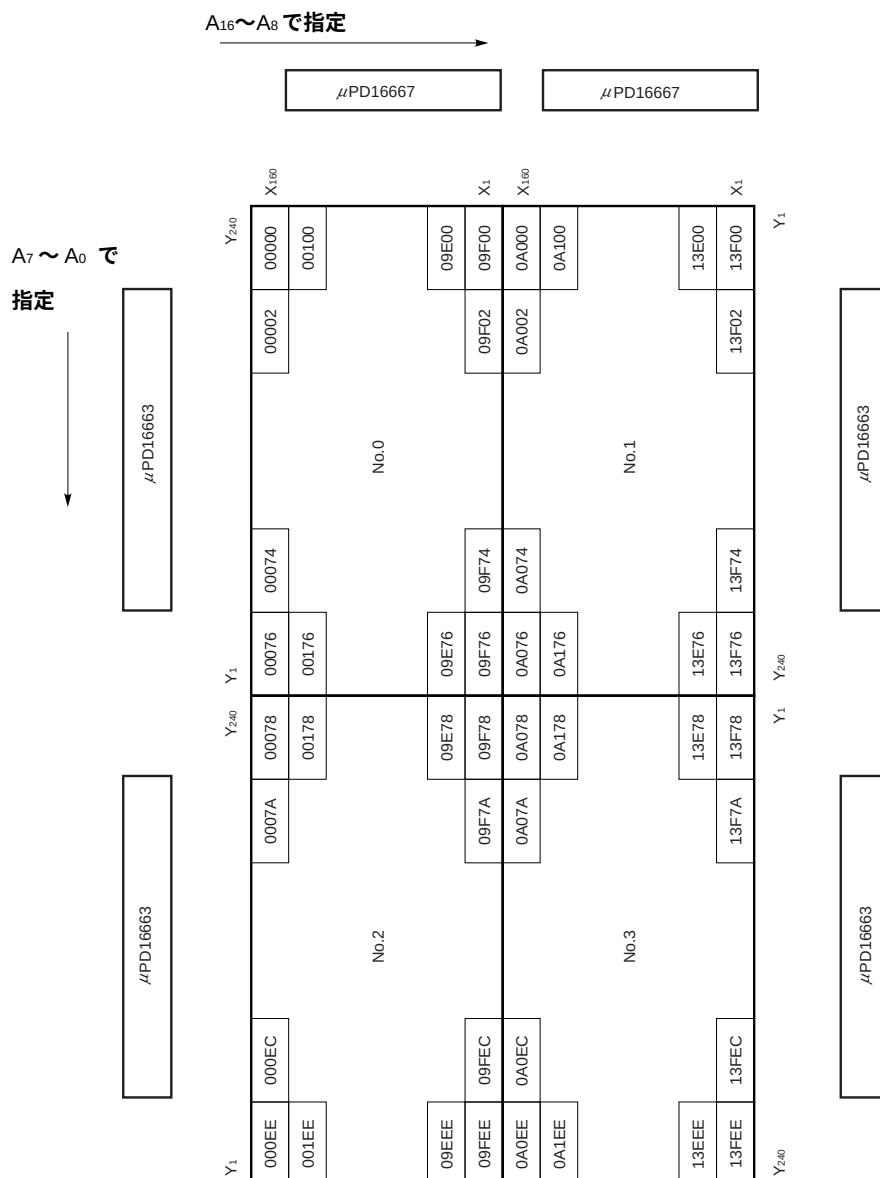
PL1	PL0	LSI 配置位置 No.
0	0	No. 0
0	1	No. 1
1	0	No. 2
1	1	No. 3

6.1 ハーフ VGA サイズ横長のアドレス

DIR = "0"



6.2 ハーフ VGA サイズ縦長のアドレス DIR= “ 1 ”

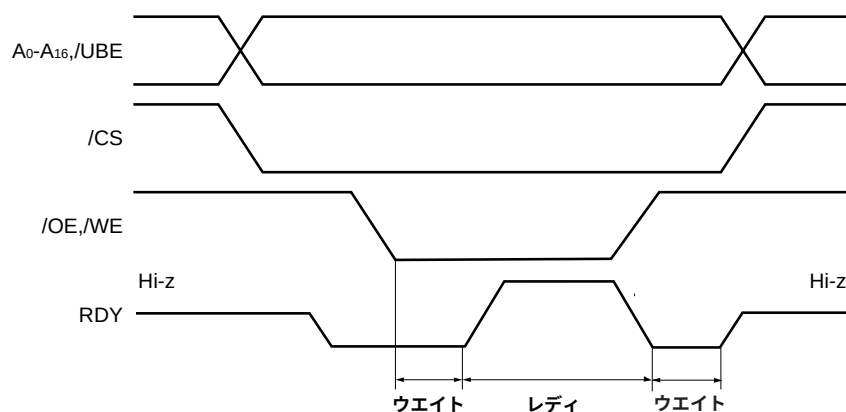


7. CPU インタフェース

7.1 RDY（レディ）端子の機能について

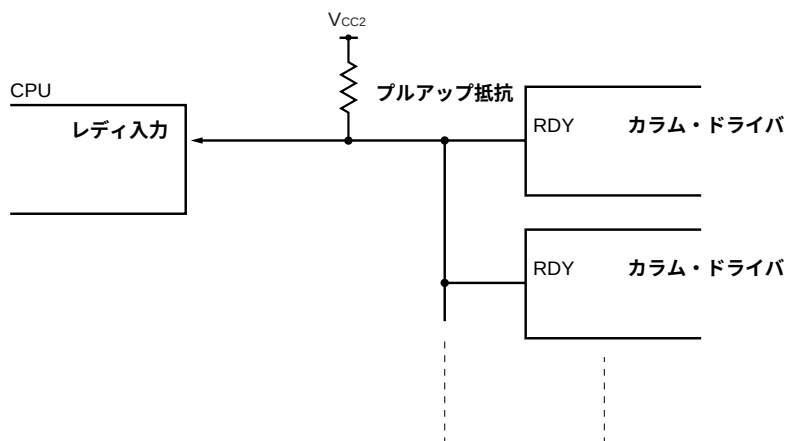
内蔵している RAM は、シングル・ポート RAM を使用しています。CPU 側からのアクセスと液晶駆動側のリードが競合しないように RDY 端子により CPU にウエイト操作を行います。

7.1.1 タイミング



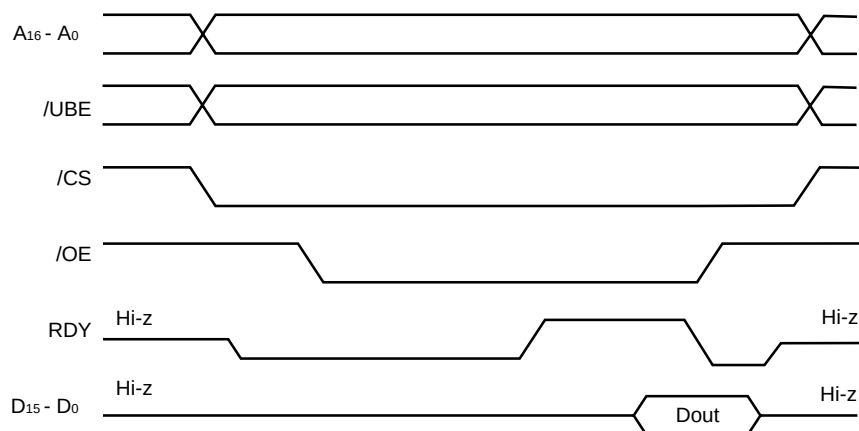
7.1.2 RDY 端子の接続

RDY 端子は、3-ステート・バッファを使用しています。RDY 端子には、プルアップ抵抗を外付けしてください。また、μPD16663 を複数個使用した場合、各 LSI の RDY 端子をワイアード OR 接続してください。

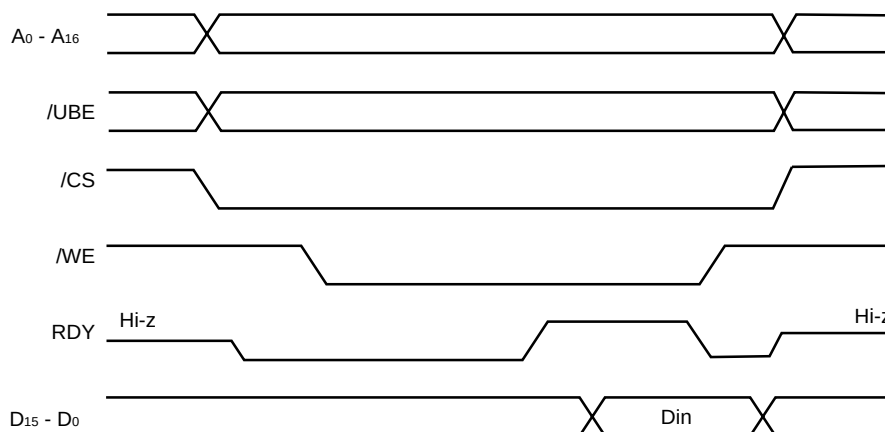


7.2 アクセス・タイミング

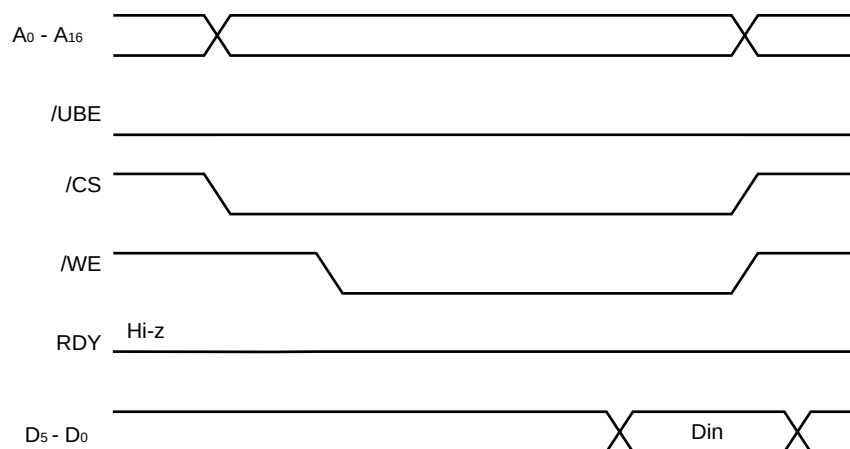
(1) 表示データ・リード・タイミング



(2) 表示データ・ライト・タイミング



(3) 階調パレット・データ・ライト・タイミング



★ 8. 初期化機能

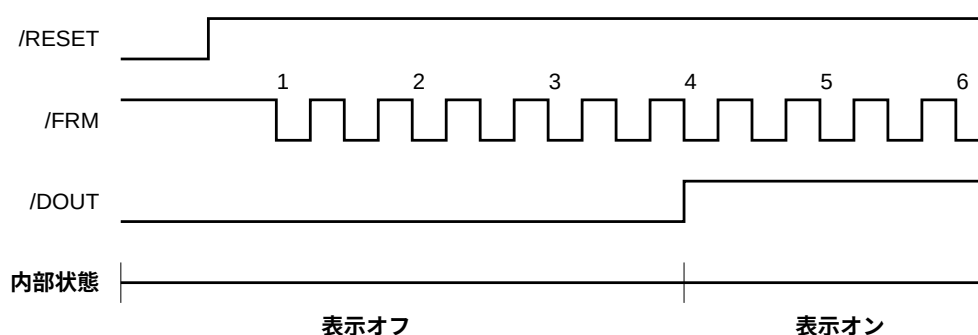
μ PD16663 には、2 種類の初期化機能があります。

8.1 /RESET による初期化

/RESET は、外部から強制的に初期化する場合に使用します。/RESET = L となった場合、μ PD16663 内部の状態は次のようになります。

- ・ 発振回路停止
- ・ 液晶タイミング発生回路初期化
- ・ 内部タイミング発生回路初期化
- ・ 自己診断回路初期化
- ・ 階調パレット・レジスタ初期化
- ・ 表示オフ

/RESET 解除後、/DOFF 端子が“H”でも 4 フレーム・サイクルの間は、表示オフ機能が働きます。



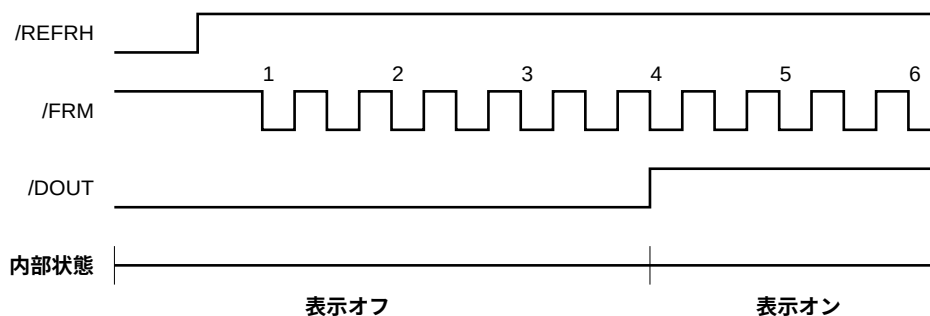
なお、電源投入時には必ず /RESET で初期化を行ってください。

8.2 /REFRH による初期化

/REFRH は、外来ノイズなどにより各カラム・ドライバのタイミングがずれた場合に、IC 内部の自己診断回路により初期化する端子です。/REFRH = L となった場合、μ PD16663 内部の状態は次のようになります。

- ・ 発振回路停止
- ・ 液晶タイミング発生回路初期化
- ・ 内部タイミング発生回路初期化
- ・ 表示オフ

/REFRH 解除後、/DOFF 端子が“H”でも 4 フレーム・サイクルの間は、表示オフ機能が働きます。



★ 9. 表示オフ機能

/DOFF = L となると、カラム・ドライバの出力 Y_n はすべて V_1 レベルとなります。また、/DOUT 出力も L となるため、ロウ・ドライバの /DOFF' = L となり、ロウ・ドライバの出力 X_n もすべて V_1 レベルとなります。よって、表示データに関係なく、強制的に表示がオフになります。

備考 /DOFF' は、ロウ・ドライバの入力端子です。

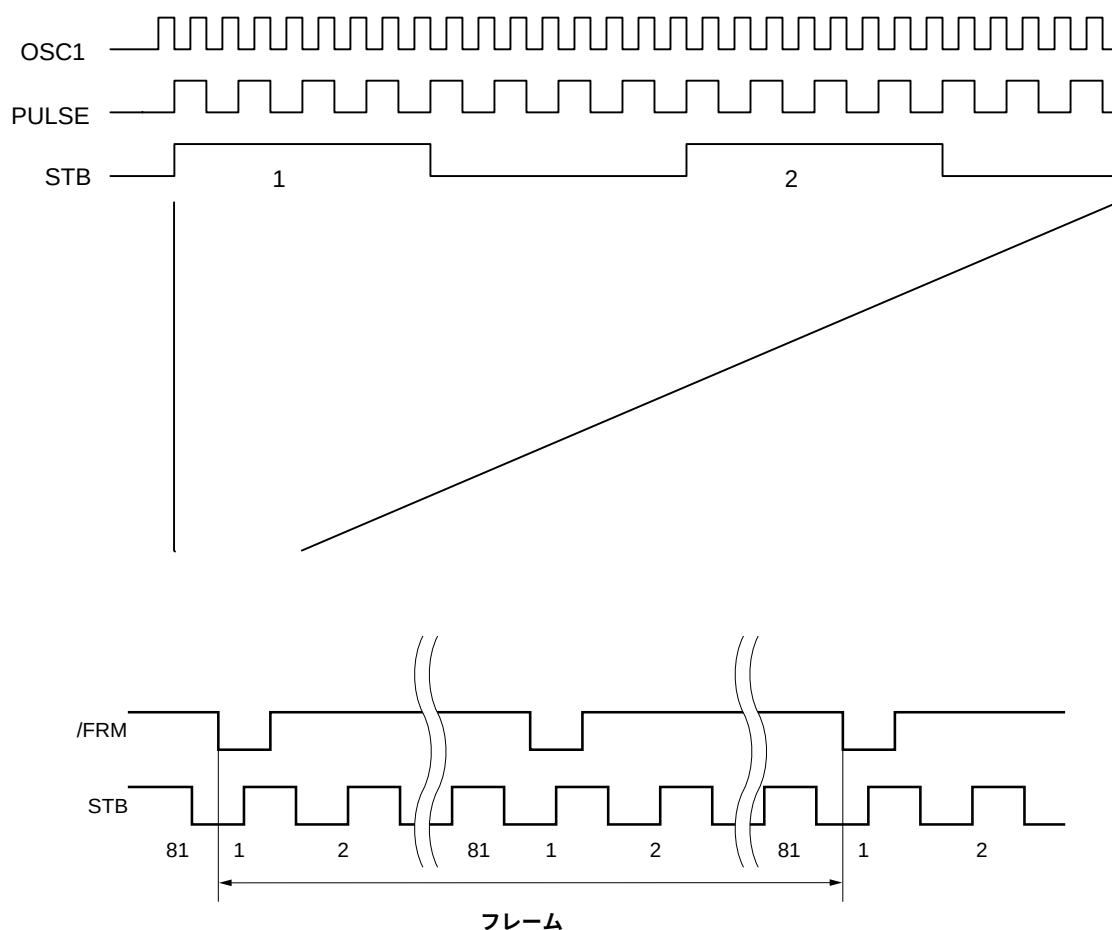
10. 液晶タイミング発生回路

MS = “H” でマスタ・モードに設定すれば、デューティ比 1/160 のタイミングで、/FRM, STB を発生します。

ロウ・ドライバに対する、ドライバ駆動電圧選択信号 L1, L2 を発生します。

/FRM は 1 フレームに 2 回発生します。また、STB は 1/2 フレームに 81 回、1 フレームに 162 回発生します。

(1) /FRM, STB 信号発生



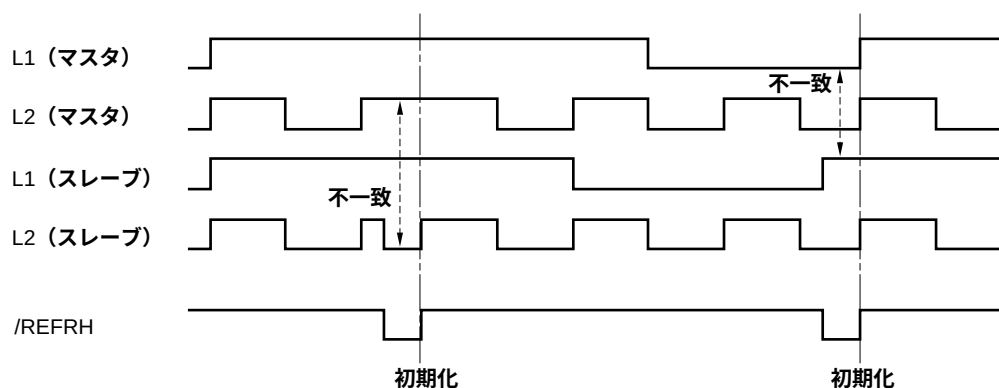
(2) L1, L2 信号発生

STB	1	2	3	4	...	1	2	3	4	...	1	2	3	4	...	1	2	3	4	...
L1	1	1	1	1	...	1	1	1	1	...	0	0	0	0	...	0	0	0	0	...
L2	1	0	1	0	...	0	1	0	1	...	0	1	0	1	...	1	0	1	0	...

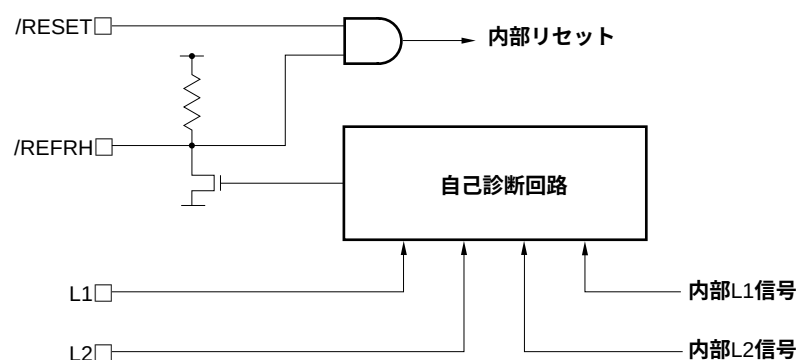
11. 自己診断機能

外部からのノイズなどにより、各カラム・ドライバのタイミングがずれていないかどうかを監視する機能です。スレーブ・チップは、マスタ・チップの L1, L2 と内部で発生した L1, L2 を比較し、不一致が生じた場合、全カラム・ドライバにリフレッシュ信号を送信します。リフレッシュ信号を受けると、内部リセットが掛かり、タイミングを初期化します。その際、/REFRH = L の時間と 4 フレーム・サイクルの間表示はオフとなります。

L1, L2 の不一致は、1/2 フレームに一度 /FRM の立ち上がりエッジで監視します。



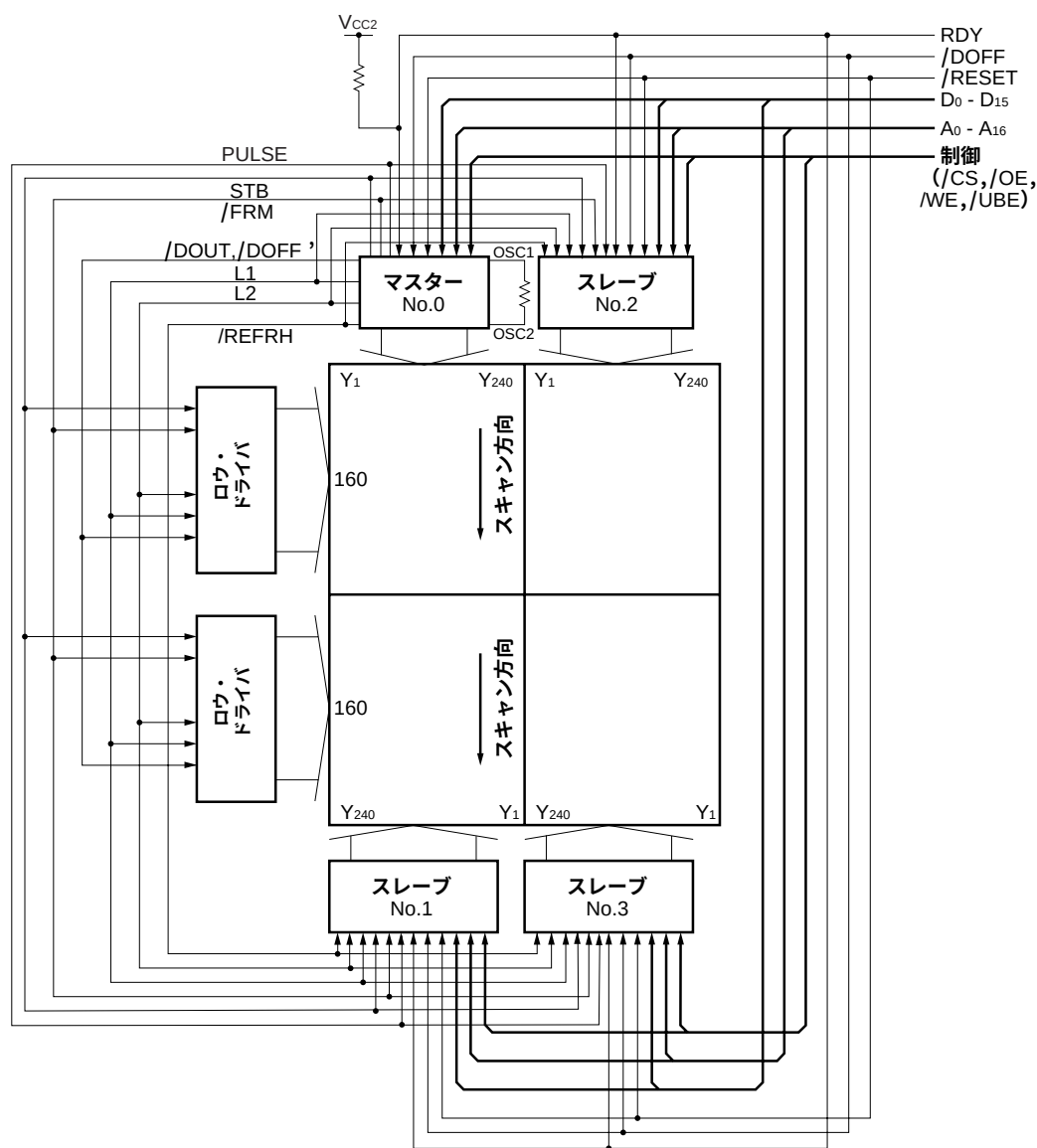
ブロック構成図 (スレーブ側)



12. システム構成例

μ PD16663 を 4 個、ロウ・ドライバを 2 個使用して、ハーフ VGA サイズ（480×320 ドット、横長）の液晶パネルを、構成する場合の例を示します。

- ・各カラム・ドライバは、PL0, PL1 端子で、LSI No. を設定します。
- ・各カラム・ドライバの DIR 端子は、すべてロウに設定します。
- ・カラム・ドライバのうち 1 つだけマスタに、他のカラム・ドライバはスレーブに設定し、マスタのカラム・ドライバから、スレーブのカラム・ドライバとロウ・ドライバに信号を供給します。
- ・マスタの OSC1, OSC2 端子には、発振器用の抵抗を付け、スレーブはオープンにします。
- ・システム側からの信号（D₀-D₁₅, A₀-A₁₆, /CS, /OE, /WE, /UBE, RDY, /RESET, /DOFF）はすべてのカラム・ドライバに並列に接続します。RDY 信号にはプルアップ抵抗を付けます。
- ・TEST 端子は LSI テスト用の端子なので、システム構成時はオープンとするか、または GND に接続します。



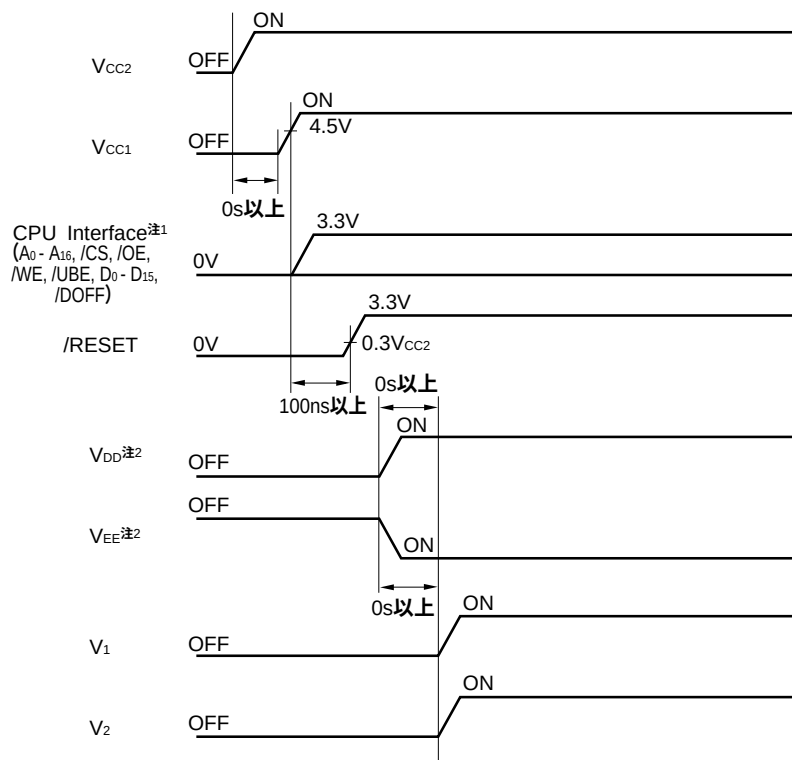
備考 /DOFF' は、ロウ・ドライバの入力端子です。

13. チップセット電源投入順序

電源投入は次のように推奨します。

$V_{CC2} \rightarrow V_{CC1} \rightarrow \text{CPU インタフェース} \rightarrow V_{DD}, V_{EE} \rightarrow V_1, V_2$

LCD 駆動電源 V_1, V_2 は、必ず最後に投入してください。

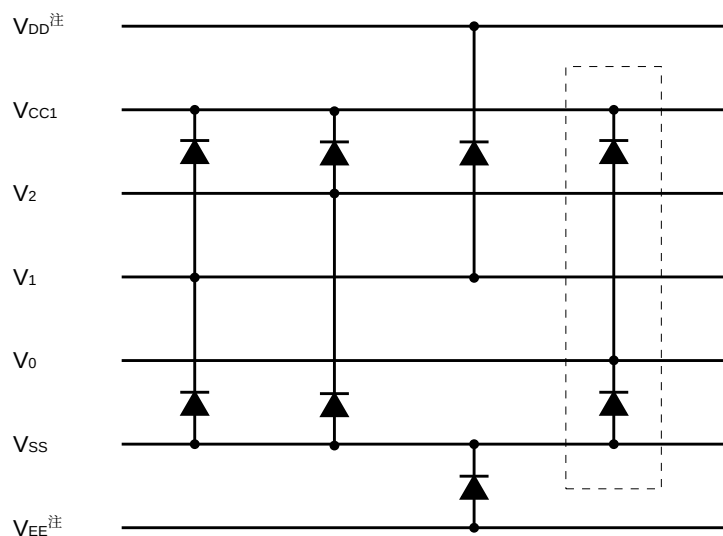


注1. 選択信号 (PL0, PL1, DIR, MS, BMODE) は、 V_{CC2} と同時に入力しても問題ありません。

2. V_{DD} と V_{EE} は同時 ON である必要はありません。また、 V_{DD}, V_{EE} は、ロウ・ドライバの液晶電源です。

注意 チップセット電源切断順序は投入順序の逆順序としてください。

14. 電源保護強化によるモジュール内部ショットキ・バリア・ダイオード配置例



 内のダイオードは V_0 が0 V (GND) 以外のときは配置してください。

注 V_{DD} , V_{EE} は、ロウ・ドライバの液晶電源です。

備考 ショットキ・バリア・ダイオードは、 $V_f = 0.5$ V 以下のものを使用してください。

15. 電気的特性

絶対最大定格 ($T_A = +25\text{ }^{\circ}\text{C}$)

項 目	略 号	定 格	単 位
電源電圧 (1) 注1	V_{CC1}	$-0.5 \sim +6.5$	V
電源電圧 (2) 注2	V_{CC2}	$-0.5 \sim +4.5$	V
入力／出力電圧 (1) 注1	V_{IO1}	$-0.5 \sim V_{CC1} + 0.5$	V
入力／出力電圧 (2) 注2	V_{IO2}	$-0.5 \sim V_{CC2} + 0.5$	V
入力／出力電圧 (3) 注3, 4	V_{IO3}	$-0.5 \sim V_{CC1} + 0.5$	V
動作周囲温度	T_A	$-20 \sim +70$	$^{\circ}\text{C}$
保存温度	T_{stg}	$-40 \sim +125$	$^{\circ}\text{C}$

注1. 5 V 系の信号 (/FRM, STB, /DOUT, L1, L2, PULSE) です。

2. 3.3 V 系の信号 (MS, DIR, PL0, PL1, A0-A16, /CS, /OE, /WE, /UBE, RDY, D0-D15, /RESET, OSC1, OSC2, /DOFF, TEST, BMODE, /REFRH) です。

3. 液晶駆動電源 (V_0 , V_1 , V_2 , Y1-Y240) です。

4. $V_0 < V_1 < V_2$ としてください。

注意 各項目のうち1項目でも、また、一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

推奨動作範囲 ($T_A = -20 \sim +70\text{ }^{\circ}\text{C}$, $V_0 = 0\text{ V}$)

項 目	略 号	MIN.	TYP.	MAX.	単 位
電源電圧 (1)	V_{CC1}	4.5	5.0	5.5	V
電源電圧 (2)	V_{CC2}	3.0	3.3	3.6	V
入力電圧 (1) 注1	V_{I1}	0		V_{CC1}	V
入力電圧 (2) 注2	V_{I2}	0		V_{CC2}	V
V_1 入力電圧	V_1	V_0		V_2	V
V_2 入力電圧	V_2	V_1		V_{CC1}	V
OSC 用外付け抵抗	R_{OSC}	30	62	90	k Ω

注1. 5 V 系の信号 (/FRM, STB, /DOUT, L1, L2, PULSE) です。

2. 3.3 V 系の信号 (MS, DIR, PL0, PL1, A0-A16, /CS, /OE, /WE, /UBE, RDY, D0-D15, /RESET, OSC1, OSC2, /DOFF, TEST, BMODE, /REFRH) です。

DC 特性 (特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$,
 $V_2 = 2.8 \sim 4.0 \text{ V}$, $T_A = -20 \sim +70 \text{ }^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧 (1) V_{CC1} 系 ^{注1}	V_{IH1}		$0.7 V_{CC1}$			V
ロウ・レベル入力電圧 (1) V_{CC1} 系 ^{注1}	V_{IL1}				$0.3 V_{CC1}$	V
ハイ・レベル入力電圧 (2) V_{CC2} 系 ^{注2}	V_{IH2}		$0.7 V_{CC2}$			V
ロウ・レベル入力電圧 (2) V_{CC2} 系 ^{注2}	V_{IL2}				$0.3 V_{CC2}$	V
ハイ・レベル入力電圧 (2) V_{CC2} 系 ^{注4}	V_{IH3}		$0.8 V_{CC2}$			V
ロウ・レベル入力電圧 (2) V_{CC2} 系 ^{注4}	V_{IL3}				$0.2 V_{CC2}$	V
ハイ・レベル出力電圧 (1) V_{CC1} 系 ^{注3}	V_{OH1}	$I_{OH} = -1 \text{ mA}$	$V_{CC1} - 0.4$			V
ロウ・レベル出力電圧 (1) V_{CC1} 系 ^{注3}	V_{OL1}	$I_{OL} = 2 \text{ mA}$			0.4	V
ハイ・レベル出力電圧 (2) V_{CC1} 系 ^{注1}	V_{OH2}	$I_{OH} = -2 \text{ mA}$	$V_{CC1} - 0.4$			V
ロウ・レベル出力電圧 (2) V_{CC1} 系 ^{注1,4}	V_{OL2}	$I_{OL} = 4 \text{ mA}$			0.4	V
ハイ・レベル出力電圧 (3) V_{CC2} 系 ^{注5}	V_{OH3}	$I_{OH} = -1 \text{ mA}$	$V_{CC2} - 0.4$			V
ロウ・レベル出力電圧 (3) V_{CC2} 系 ^{注5}	V_{OL3}	$I_{OL} = 2 \text{ mA}$			0.4	V
入力リーク電流 (1)	I_{I1}	TEST 端子以外, $V_I = V_{CC2}$ または GND			± 10	μA
入力リーク電流 (2)	I_{I2}	プルダウン (TEST 端子) $V_I = V_{CC2}$	10	40	100	μA
表示動作消費電流 (1) ^{注6}	I_{MAS1}	マスタ, V_{CC1} 系			150	μA
表示動作消費電流 (2) ^{注6}	I_{MAS2}	マスタ, V_{CC2} 系			350	μA
表示動作消費電流 (3) ^{注6}	I_{SLV1}	スレーブ, V_{CC1} 系			100	μA
表示動作消費電流 (4) ^{注6}	I_{SLV2}	スレーブ, V_{CC2} 系			250	μA
液晶駆動出力 ON 抵抗 ^{注7}	R_{ON}			1	2	$\text{k}\Omega$

注 1. 5 V 系の信号 (/FRM, STB, /DOUT, L1, L2, PULSE) です。

2. 3.3 V 系の信号 (MS, DIR, PL0, PL1, A0-A16, /CS, /OE, /WE, /UBE, RDY, D0-D15, /RESET, OSC1, OSC2, /DOFF, TEST, BMODE, /REFRH) です。

3. /DOUT 端子です。

4. /REFRH 端子です。

5. D0-15, RDY, OSC2 端子です。

6. フレーム周波数 70 Hz, 出力無負荷, CPU 非アクセス時です。

(D0-D15, A0-A16, /UBE = GND, /CS, /OE, /WE = V_{CC2})

7. Y1-Y240 の 1 端子に負荷電流 ($I_{ON} = 100 \mu\text{A}$) を流したときの Y 端子と V 端子 (V_0, V_1, V_2 のいずれか) 間の抵抗値です。

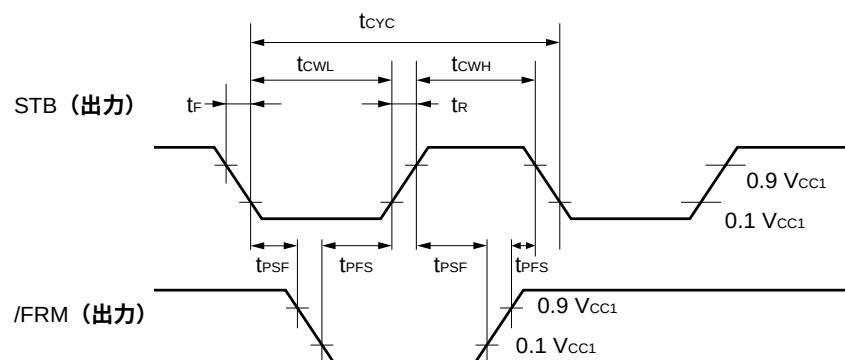
AC 特性 (1) 表示データ転送タイミング

(1) マスタ・モード

(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$,

$T_A = -20 \sim +70 \text{ }^\circ\text{C}$, フレーム周波数 70 Hz ($f_{\text{OSC}} = 181.44 \text{ kHz}$), 出力負荷: 100 pF)

項 目	略 号	条 件	MIN.	TYP .	MAX.	単 位
STB クロック・サイクル時間	t_{CYC}		87	$16/f_{\text{OSC}}$		μs
STB ハイ・レベル幅	t_{CWH}		43	$8/f_{\text{OSC}}$		μs
STB ロウ・レベル幅	t_{CWL}		43	$8/f_{\text{OSC}}$		μs
STB 立ち上がり時間	t_{R}				100	ns
STB 立ち下がり時間	t_{F}				100	ns
STB—/FRM 遅延時間	t_{PSF}		20			μs
/FRM—STB 遅延時間	t_{PFS}		20			μs

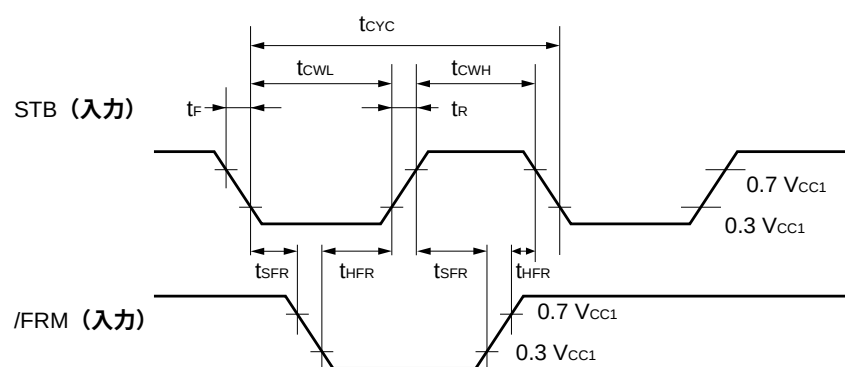


(2) スレープ・モード

(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$,

$T_A = -20 \sim +70 \text{ }^\circ\text{C}$)

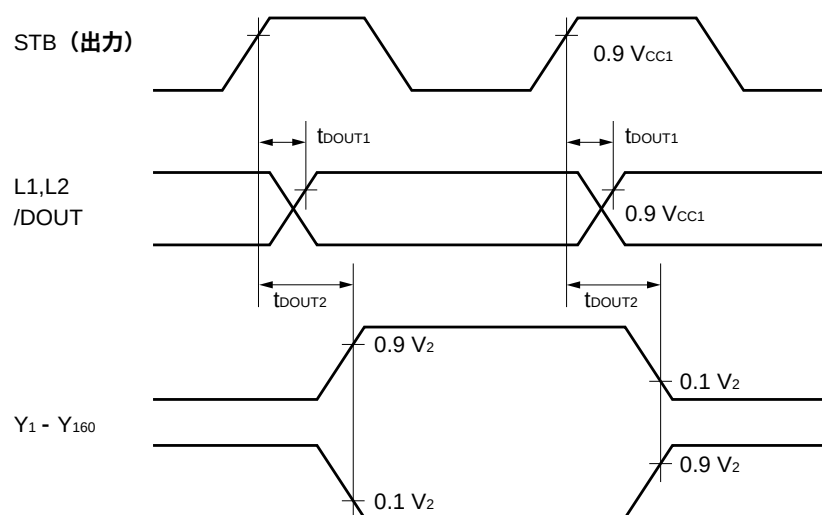
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
STB クロック・サイクル時間	t_{CYC}		10			μs
STB ハイ・レベル幅	t_{CWH}		4			μs
STB ロウ・レベル幅	t_{CWL}		4			μs
STB 立ち上がり時間	t_R				150	ns
STB 立ち下がり時間	t_F				150	ns
/FRM セットアップ時間	t_{SFR}		1			μs
/FRM ホールド時間	t_{HFR}		1			μs



(3) マスタ/スレーブ共通項目

(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$, $T_A = -20 \sim +70 \text{ }^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
出力遅延時間 (L1, L2, /DOUT)	t_{DOUT1}	出力無負荷		50	100	ns
出力遅延時間 (Y1-Y240)	t_{DOUT2}	出力無負荷		90	150	ns

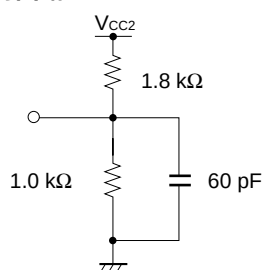


AC 特性 (2) 描画アクセス・タイミング

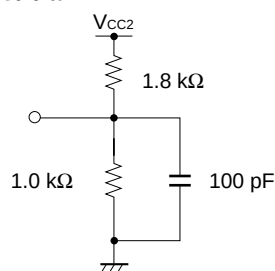
(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$, $T_A = -20 \sim +70 \text{ }^\circ\text{C}$, $t_r = t_f = 5 \text{ ns}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
/OE, /WE リカバリ時間	t_{RY}		30			ns
アドレス・セットアップ時間	t_{AS}		10			ns
アドレス・ホールド時間	t_{AH}		20			ns
RDY 出力遅延時間	t_{RYR}	CL = 15 pF			30	ns
RDY フロート時間 ^{注3}	t_{RYZ}				30	ns
ウェイト状態時間 ^{注1}	t_{RYW}				35	ns
レディ状態時間 (非競合時) ^{注1}	t_{RYF1}			60	100	ns
レディ状態時間 (競合時) ^{注1}	t_{RYF2}			650	1200	ns
データ・アクセス時間 (リード・サイクル) ^{注2}	t_{ACS}				100	ns
データ・フロート時間 (リード・サイクル) ^{注3}	t_{HZ}				40	ns
/CS - /OE 時間 (リード・サイクル)	t_{CSOE}		10			ns
/OE - /CS 時間 (リード・サイクル)	t_{OECs}		20			ns
ライト・パルス幅 1 (ライト・サイクル) ^{注1}	t_{WP1}		50			ns
ライト・パルス幅 2 (ライト・サイクル) ^{注1}	t_{WP2}		50			ns
データ・セットアップ時間 (ライト・サイクル 1,2)	t_{DW}		20			ns
データ・ホールド時間 (ライト・サイクル 1,2)	t_{DH}		20			ns
/CS - /WE 時間 (ライト・サイクル 1,2)	t_{CSWE}		10			ns
/WE - /CS 時間 (ライト・サイクル 1,2)	t_{WECS}		20			ns
リセット・パルス幅	t_{WRES}		100			ns
RDY - /OE 時間	t_{RDOE}				注 4	—
RDY - /WE 時間	t_{RDWE}				注 4	—

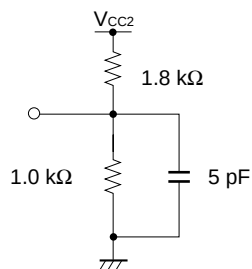
注 1. 負荷回路



2. 負荷回路



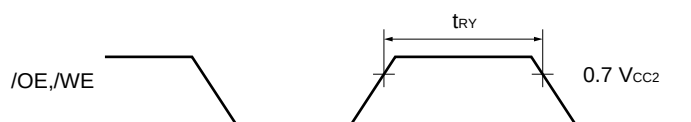
注 3. 負荷回路



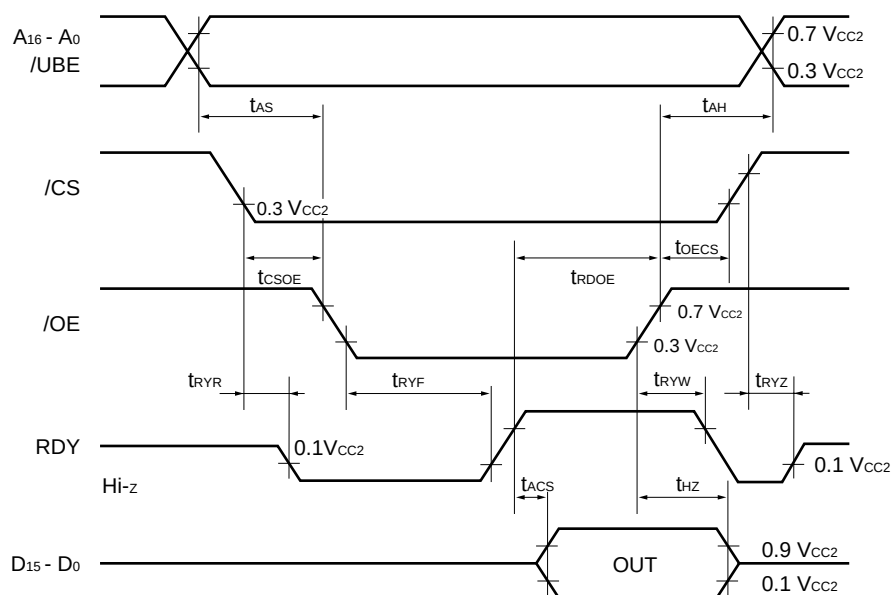
4. RDY の立ち上がりから /OE または /WE までの時間が長いと表示に影響が出る可能性があります。

$t_{\text{RDOE}}, t_{\text{RDWE}}$ は 1000 ns 以下を推奨します。

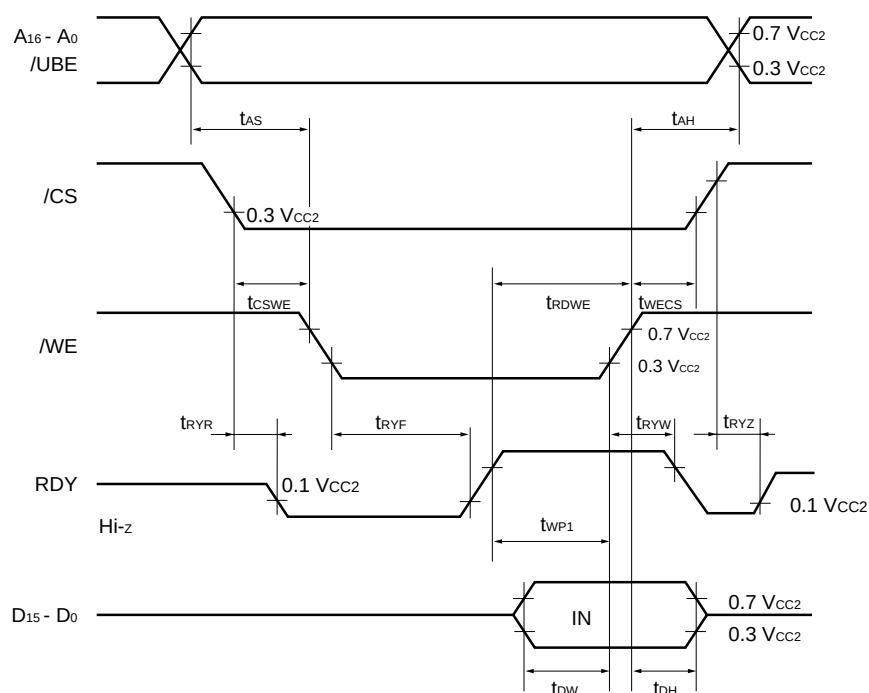
/OE, /WE リカバリ時間



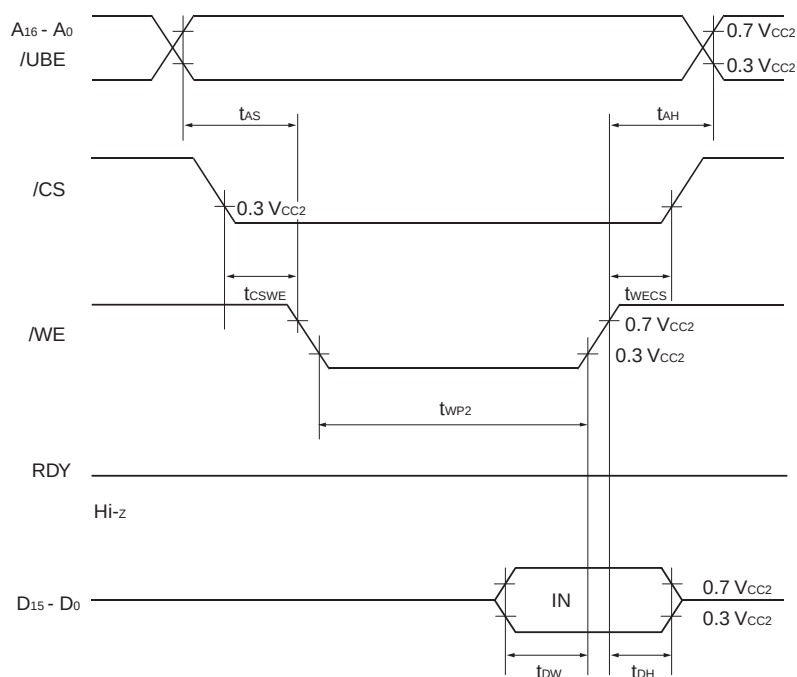
リード・サイクル



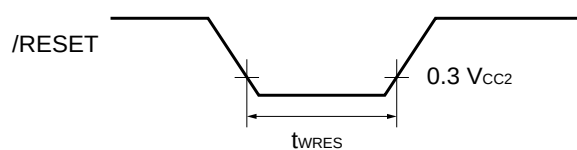
ライト・サイクル1 (表示データ・ライト時)



ライト・サイクル2 (階調パレット・データ・ライト時)



リセット・パルス幅



AC 特性 (3) CR 発振器

(V_{CC2} = 3.0~3.6 V, T_A = -20~+70 °C)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
発振周波数	f _{osc}	外付抵抗 62 kΩ	160	190	220	kHz
フレーム周波数	—	外付抵抗 62 kΩ	61.7	73.3	84.9	Hz

発振周波数とフレーム周波数，STB 周波数の関係

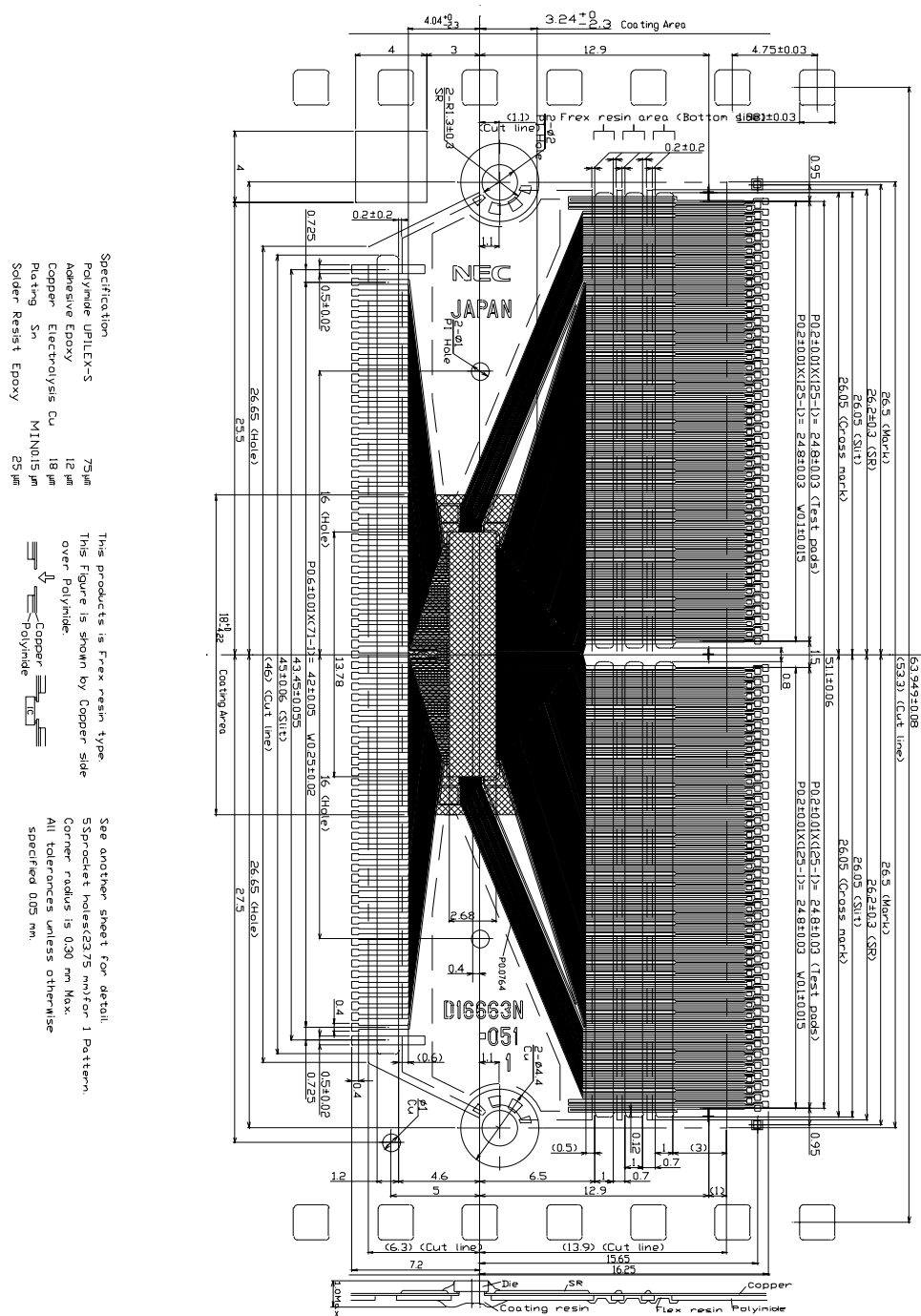
発振周波数とフレーム周波数，STB 周波数の関係は，次のとおりです。

$$\bullet \text{ フレーム周波数} = \frac{1}{162 \times 2 \times 8} \times \text{発振周波数}$$

$$\bullet \text{ STB 周波数} = \frac{1}{2 \times 8} \times \text{発振周波数}$$

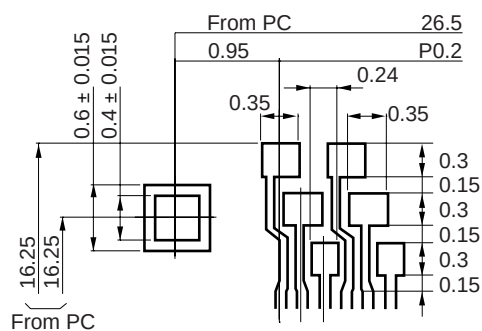
16. 外形図

標準 TCP 外形図 (μPD16663N-051) (1/3)

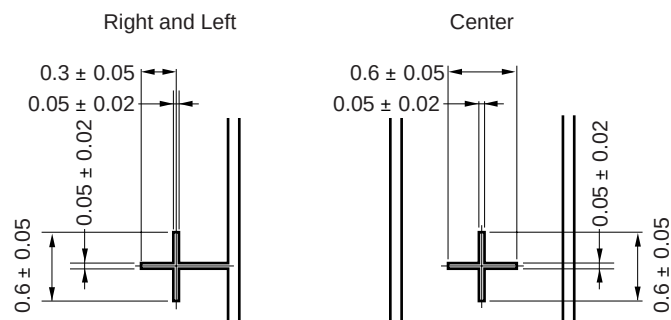


標準 TCP 外形図 (μPD16663N-051) (2/3)

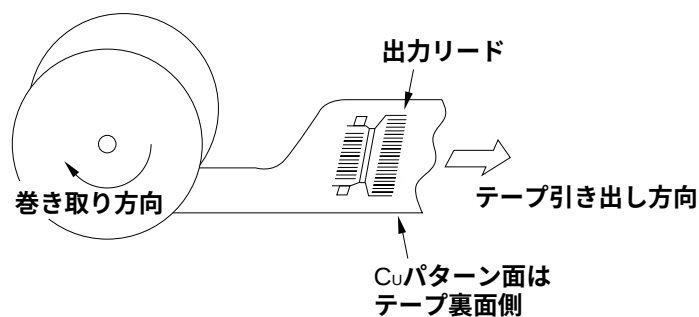
テスト・バッド詳細



クロス・マーク詳細

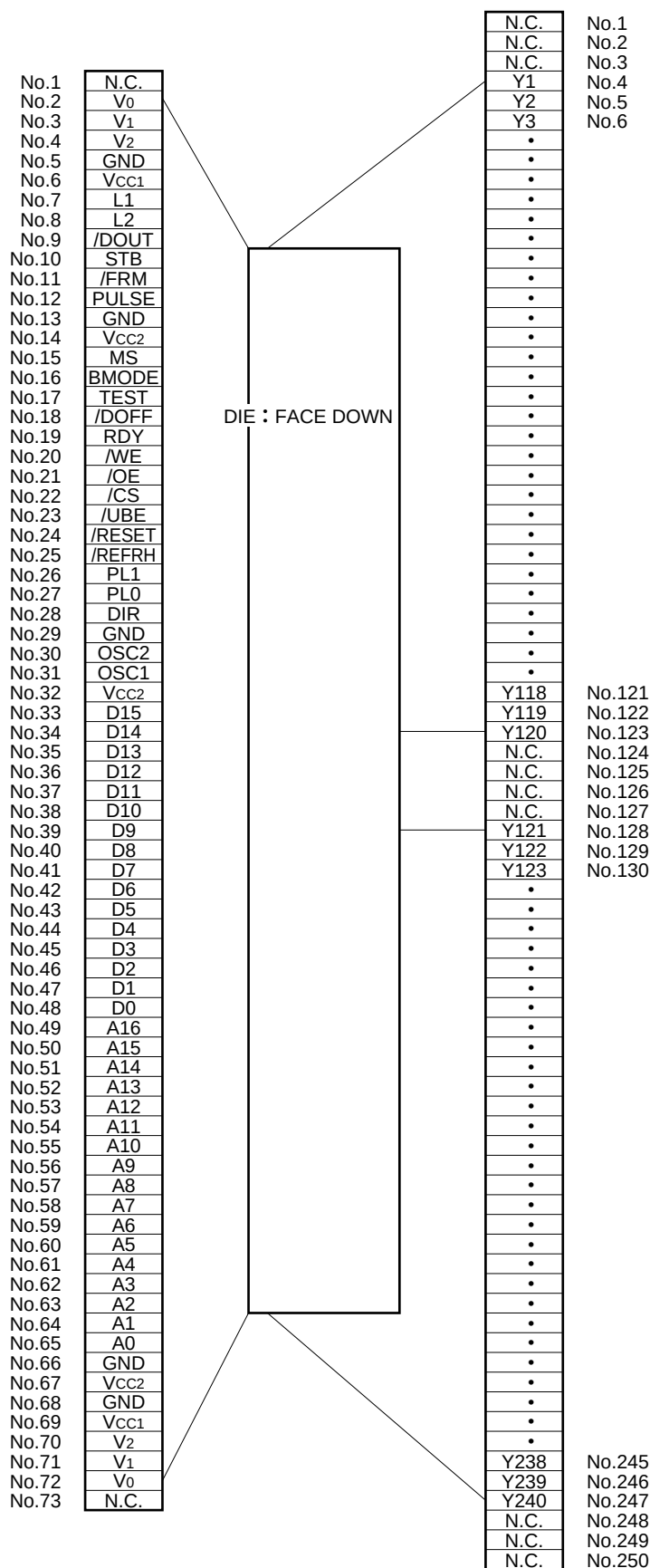


TCP テープ巻き方向



標準 TCP 外形図 (μPD16663N-051) (3/3)

端子接続図



(X モ)

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車，列車，船舶等），交通用信号機器，防災／防犯装置，各種安全装置，生命維持を直接の目的としない医療機器

特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-548-8899

FAX : 044-548-7900

FAX : 044-348-7900
E-mail : s-info@saed.tmg.nec.co.jp

営業関係お問い合わせ先】

[illegible]

C99.7