

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



160 出力 RAM 内蔵 LCD カラム (セグメント) ・ドライバ

μ PD16661A は、フルドット LCD の駆動が可能な RAM 内蔵のカラム (セグメント) ・ドライバです。

出力は、160 本で表示用の RAM を $160 \times 240 \times 2$ ビット内蔵しています。 μ PD16661A と μ PD16666A を組み合わせることで 1/8VGA から VGA (640×480 ドット) の表示が可能です。

μ PD16661A は、 μ PD16661 の上位コンパチブル製品です。

特 徴

- 表示用 RAM 内蔵 : $160 \times 240 \times 2$ ビット
- ロジック電圧 : 3.0 ~ 3.6 V
- デューティ : 1/240
- 出力数 : 160 本
- 階調表示可能 : 4 階調 (フレーム間引き)
- メモリ管理 : パックド・ピクセル方式
- 8/16 ビット・データ・バス対応

オーダ情報

オーダ名称	パッケージ
μ PD16661AN-XXX	TCP (TAB)
μ PD16661AN-051	標準 TCP (OLB : 0.2 mm ピッチ , 折り曲げ)

備考 TCP 外形は、カスタム受注となりますので弊社販売員までご相談ください。

本資料の内容は、後日変更する場合があります。

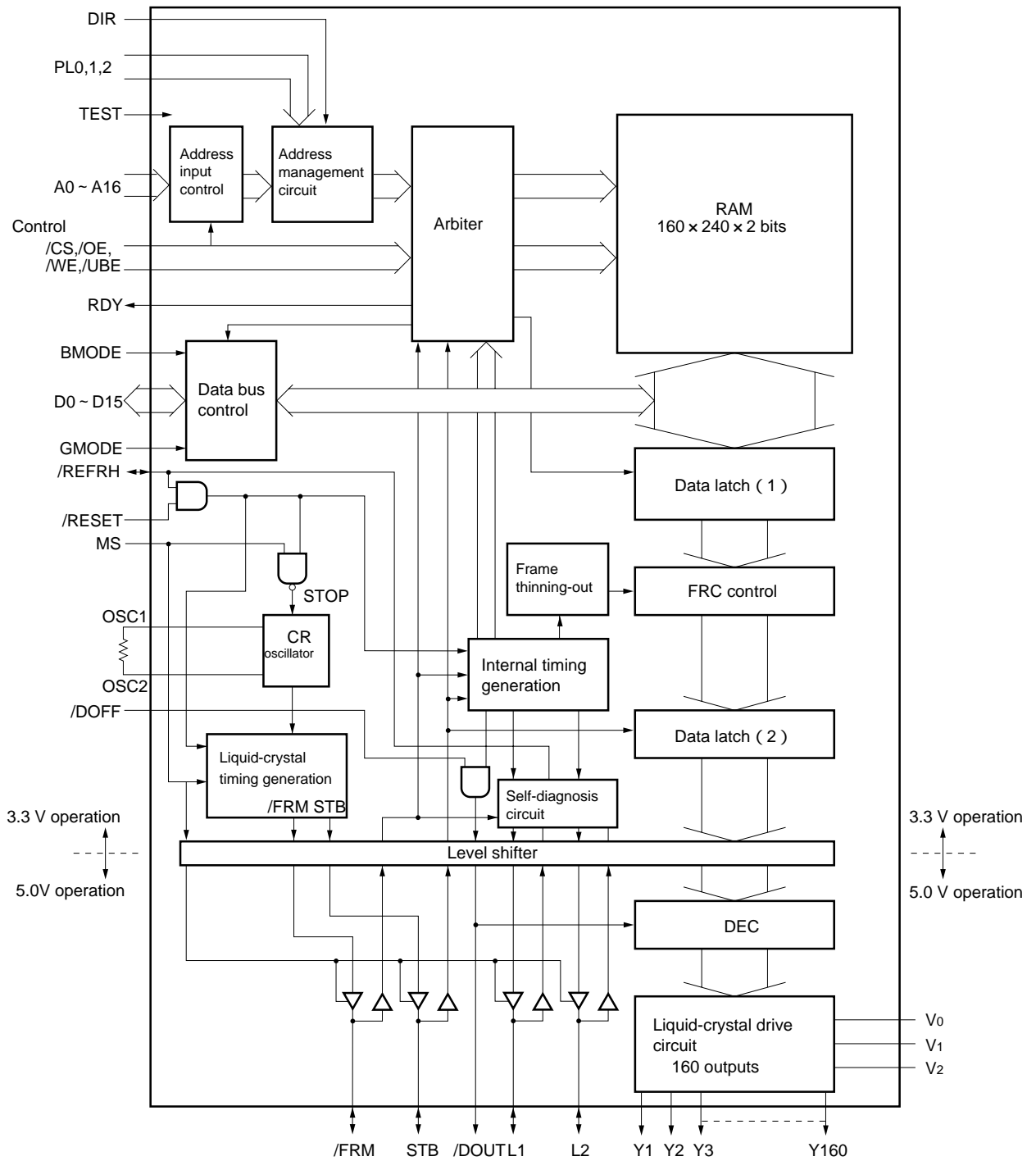
端子名称

分類	端子名 ^注	I/O	パッド No.	機能
CPU インタフェース	D0-D15	I/O		データ・バス：16本
	A0-A16	I		アドレス・バス：17本
	/CS	I		チップ・セレクト
	/OE	I		リード信号
	/WE	I		ライト信号
	/UBE	I		上位バイト・イネーブル
	RDY	O		CPUへのレディ信号（“H”でレディ状態）
コントロール信号	PL0	I		LSI配置位置を指定する（No.0-7）
	PL1	I		LSI配置位置を指定する（No.0-7）
	PL2	I		LSI配置位置を指定する（No.0-7）
	DIR	I		液晶パネル配置方向を指定する
	MS	I		マスタ/スレーブ選択端子（“H”でマスタ・モード）
	BMODE	I		データ・バス・ビット選択端子（“H”=8ビット，“L”=16ビット）
	GMODE	I		階調データ重み反転切り替え（データ[1,1]時，“L”=黒，“H”=白）
	/REFRH	I/O		自己診断リセット端子（ワイアード OR 接続）
	TEST	I		テスト端子（“H”=テスト・モード，プルダウン抵抗内蔵）
	/RESET	I		リセット信号
	/DOFF	I		表示OFF入力信号
	OSC1	-		発振外付け抵抗端子
	OSC2	-		発振外付け抵抗端子
	5.0V系	STB	I/O	
/FRM		I/O		フレーム信号（MS端子“H”=出力，MS端子“L”=入力）
L1		I/O		ロウ・ドライバ駆動レベル選択信号（第一ライン）
L2		I/O		ロウ・ドライバ駆動レベル選択信号（第二ライン）
/DOUT		O		表示OFF出力信号
液晶駆動	Y1-Y160	O		液晶駆動出力
電源	GND	-		グラウンド（5V系：2本，3.3V系：3本）
	V _{cc1}	-		5V電源
	V _{cc2}	-		3.3V電源
	V ₀	-		液晶駆動アナログ電源
	V ₁	-		液晶駆動アナログ電源
	V ₂	-		液晶駆動アナログ電源

注 3.3V系端子：D0-D15, A0-A16, /CS, /OE, /WE, /UBE, RDY, BMODE, GMODE, PL0, PL1, PL2, DIR, OSC1, OSC2, /RESET, /DOFF, TEST, MS
5V系端子：STB, /FRM, L1, L2, /DOUT

備考 端子名中の /xxx は、アクティブ・ロウ端子を示します。

ブロック図



1. ブロック機能

(1) アドレス管理回路 (Address management circuit)

システムから A0 ~ A16 を介して転送されるアドレスを、内蔵 RAM のメモリ・マップに対応したアドレスに変換します。

この機能により、μ PD16661A を 8 個使い最大 VGA サイズ (480 × 640 ドット) までのアドレス管理が可能で、液晶ディスプレイ・システムが容易に構成できます。

(2) アービタ (Arbiter)

システムからの RAM アクセスと、液晶駆動側の RAM リードの競合を調整します。

(3) RAM

160 × 240 × 2 ビットのスタティック RAM (シングルポート)

(4) データ・バス制御 (Data bus control)

システムからのリード/ライトによって、データ転送方向を制御します。

また、BMODE 端子により 8/16 ビットの切り替え、GMODE 端子により、表示データと階調レベルの関係の切り替えを行います。

(5) フレーム間引き制御 (Frame thinning-out)

4 階調を、3 フレーム間引きで表します。3 カラム × 3 ラインの 9 画素単位で、間引き方法を変えます。

(6) 内部タイミング発生 (Internal timing generation)

/FRM, STB 信号から、各ブロックへの内部タイミングを発生します。

(7) CR 発振器 (CR oscillator)

マスタ・モード時、フレーム周波数の基準となるクロックを発生します。この発振の 1/484 が、フレーム周波数となります。たとえば、フレーム周波数 80 Hz の場合は、38.72 kHz の発振周波数が必要となります。容量を内蔵している CR 発振器なので、必要な発振周波数を外付け抵抗で調整してください。

スレーブ・モード時、発振は停止します。

(8) 液晶タイミング発生 (Liquid-crystal timing generation)

マスタ・モードにおいて、/FRM (フレーム信号)、STB (カラム駆動信号ストロブ) を発生します。

(9) FRC 制御 (FRC control)

4 階調表示を実現する回路です。

(10) データ・ラッチ (1) (Data latch (1))

160 画素分のデータを RAM から読み出し、ラッチします。

(11) データ・ラッチ (2) (Data latch (2))

STB 信号に同期して、160 画素分のデータをラッチします。

(12) レベル・シフタ (Level shifter)

内部回路の動作電圧 (3.3V) から、液晶駆動回路とロウ・ドライバ・インタフェース電圧 (5V) に変換します。

(13) DEC

階調表示データを、液晶駆動電圧 V_0 , V_1 , V_2 の対応にデコードします。

(14) 液晶駆動回路 (Liquid-crystal drive circuit)

階調表示データ、表示オフ信号 (/DOFF) に対応した液晶駆動電源 V_0 , V_1 , V_2 のうち、いずれかを選択し、液晶印加電圧を生成します。

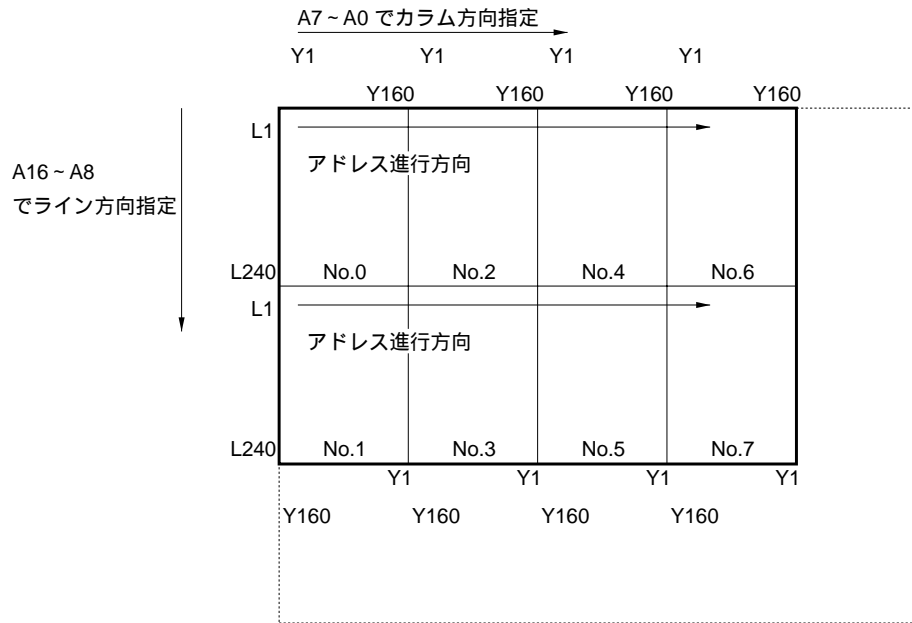
(15) 自己診断回路 (Self-diagnosis circuit)

外来ノイズなどにより、マスタ・チップとスレーブ・チップの動作タイミングがずれてしまった場合、自動的にそれを検出し、全カラム・ドライバにリフレッシュ信号を発生します。

2. メモリ・マップ

アドレス A16.....A0	内 容
00000H : :	No. 0, 2, 4, 6 の表示データ
0F000H : :	No. 1, 3, 5, 7 の表示データ
1DFA0H : 1FFFFH	空 き

アドレス・マップ・イメージ図 (VGA サイズ構成の例)



3. データ・バスについて

データ・バス上のバイト・データの配列方法は、ほとんどの NEC およびインテル社製品で採用しているリトル・エンディアン方式です。

3.1 16 ビット・データ・バス (BMODE = L)

バイト単位アクセス

	D0 ~ D7	D8 ~ D15
アドレスの	00000H	00001H
進行方向	00002H	00003H
	00004H	00005H
	:	:
	:	:

ワード単位アクセス

	D0 ~ D7	D8 ~ D15
アドレスの	00000H	
進行方向	00002H	
	00004H	
	:	
	:	

システムからのアクセスを、ワード (16 ビット) 単位またはバイト (8 ビット) 単位で行えるように、/UBE (上位バイト・イネーブル) と A0 により、有効データが D0 ~ D7 または D8 ~ D15 のどちらのバイト (または両方) にあるか示します。

/CS	/OE	/WE	/UBE	A0	MODE	I/O	
						D0-D7	D8-D15
H	X	X	X	X	Not Selected	Hi-z	Hi-z
L	L	H	L	L	Read	Dout	Dout
			H	H		Hi-z	Dout
			L	L		Dout	Hi-z
L	H	L	L	L	Write	Din	Din
			H	H		X	Din
			L	L		Din	X
L	H	H	X	X	Output	Hi-z	Hi-z
L	X	X	H	H	Disable	Hi-z	Hi-z

備考 X : Don't Care

Hi-z : High impedance

3.2 8ビット・データ・バス (BMODE = H)

アドレスの 進行方向	D0 ~ D7
	00000H
	00001H
	00002H
	:
	:

/CS	/OE	/WE	MODE	I/O	
				D0-D7	D8-D15
H	X	X	Not Selected	Hi-z	注
L	L	H	Read	Dout	注
L	H	L	Write	Din	注
L	H	H	Output Disable	Hi-z	注

注 BMODE=H のとき，D8 ~ D15 および/UBE は，内部でプルダウンされていますので，オープンまたは GND に接続してください。

備考 X : Don't Care

Hi-z : High impedance

4. データ・ビットと画素の関係

4 階調表示なので、1 画素あたり 2 ビットの構成になります。

バックド・ピクセル方式で、4 画素（1 ワードあたり 8 画素）で、RAM を構成しています。

(1) BMODE = L

バイト単位（8 ビット）アクセス時

D0 D1	D2 D3	D4 D5	D6 D7	D8 D9	D10 D11	D12 D13	D14 D15
1 画素	2 画素	3 画素	4 画素	5 画素	6 画素	7 画素	8 画素

00000H
00001H



ワード単位（16 ビット）アクセス時

D0 D1	D2 D3	D4 D5	D6 D7	D8 D9	D10 D11	D12 D13	D14 D15
1 画素	2 画素	3 画素	4 画素	5 画素	6 画素	7 画素	8 画素

00000H



(2) BMODE = H

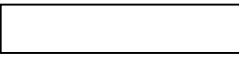



D0 D1	D2 D3	D4 D5	D6 D7	D0 D1	D2 D3	D4 D5	D6 D7
1 画素	2 画素	3 画素	4 画素	5 画素	6 画素	7 画素	8 画素

00000H
00001H



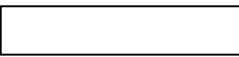



5. 表示データと階調レベルの関係

(1) GMODE = L

D _n	D _{n+1}	階調レベル	表示状態	液晶状態
0	0	0		OFF ↓ ON
1	0	1		
0	1	2		
1	1	3		

ディスプレイ
OFF 状態

(2) GMODE = H

D _n	D _{n+1}	階調レベル	表示状態	液晶状態
1	1	3		OFF ↓ ON
0	1	2		
1	0	1		
0	0	0		

ディスプレイ
OFF 状態

6. LSI 配置とアドレス管理

μ PD16661A を最大 8 個使用して、VGA (480×640 ドット) までの液晶ディスプレイを構成できるように、アドレス管理しています。

μ PD16661A を 8 個まで、データ・バスおよび/CS, /WE, /OE 端子を共用して接続することができます。

システム側では、液晶ディスプレイの一画面を一つのメモリ領域として扱うことができるので、複数個の μ PD16661A をデコードする必要はありません。

PL0, PL1, PL2 端子で LSI No. を指定し、LSI 配置を決め、DIR 端子で液晶ディスプレイの向き (縦, 横) を決めます。

PL2	PL1	PL0	LSI No.
0	0	0	No.0
0	0	1	No.1
0	1	0	No.2
0	1	1	No.3
1	0	0	No.4
1	0	1	No.5
1	1	0	No.6
1	1	1	No.7

VGA サイズ横長のアドレス DIR = " 0 "

A7 ~ A0 で指定 →

	Y8	Y160	Y8	Y160	Y8	Y160	Y8	Y160
	Y1	Y153	Y1	Y153	Y1	Y153	Y1	Y153
L1	00000	00026	00028	0004E	00050	00076	00078	0009E
L2	00100	00126	00128	0014E	00150	00176	00178	0019E
A16 ~ A8で 指定 ↓	No.0		No.2		No.4		No.6	
L239	0EE00	0EE26	0EE28	0EE4E	0EE50	0EE76	0EE78	0EE9E
L240	0EF00	0EF26	0EF28	0EF4E	0EF50	0EF76	0EF78	0EF9E
L1	0F000	0F026	0F028	0F04E	0F050	0F076	0F078	0F09E
L2	0F100	0F126	0F128	0F14E	0F150	0F176	0F178	0F19E
	No.1		No.3		No.5		No.7	
L239	1DE00	1DE26	1DE28	1DE4E	1DE50	1DE76	1DE78	1DE9E
L240	1DF00	1DF26	1DF28	1DF4E	1DF50	1DF76	1DF78	1DF9E
	Y153	Y1	Y153	Y1	Y153	Y1	Y153	Y1
	Y160	Y8	Y160	Y8	Y160	Y8	Y160	Y8

保守/廃止

VGA サイ文縦長のアドレス

DIR = "1"

A7 ~ A0 で
指定

		Y8		Y160		Y8		Y160		Y8		Y160			
Y1		Y153		Y1		Y153		Y1		Y153		Y1		Y153	
0009E		00078	00076			00050	0004E			00028	00026			00000	L1
0019E		00178	00176			00150	0014E			00128	00126			00100	L2
No.6		No.4		No.2		No.0									
0EE9E		0EE78	0EE76			0EE50	0EE4E			0EE28	0EF26			0EE00	L239
0EF9E		0EF78	0EF76			0EF50	0EF4E			0EF28	0EF26			0EF00	L240
0F09E		0F078	0F076			0F050	0F04E			0F028	0F026			0F000	L1
0F19E		0F178	0F176			0F150	0F14E			0F128	0F126			0F100	L2
No.7		No.5		No.3		No.1									
1DE9E		1DE78	1DE76			1DE50	1DE4E			1DE28	1DE26			1DE00	L239
1DF9E		1DF78	1DF76			1DF50	1DF4E			1DF28	1DF26			1DF00	L240
Y153		Y1		Y153		Y1		Y153		Y1		Y153		Y1	
Y160		Y8		Y160		Y8		Y160		Y8		Y160		Y8	

A16 ~ A8 で指定

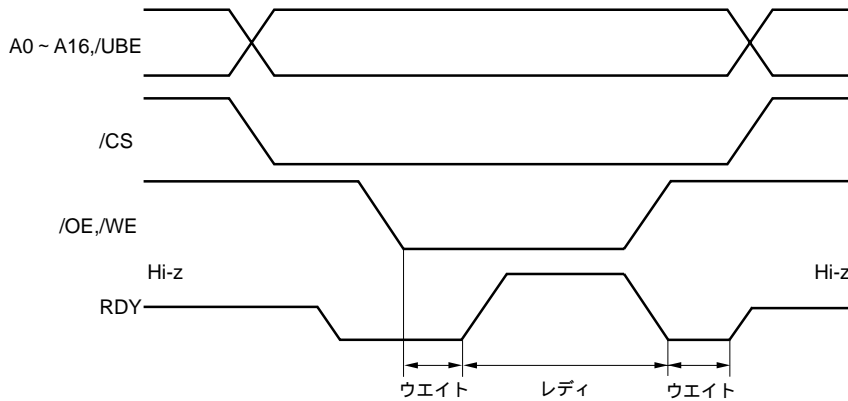


7. CPU インタフェース

7.1 RDY (レディ) 端子の機能について

内蔵している RAM は、シングルポート RAM を使用しています。CPU 側からのアクセスと液晶駆動側のリードが競合しないように、RDY 端子により CPU にウエイト操作を行います。

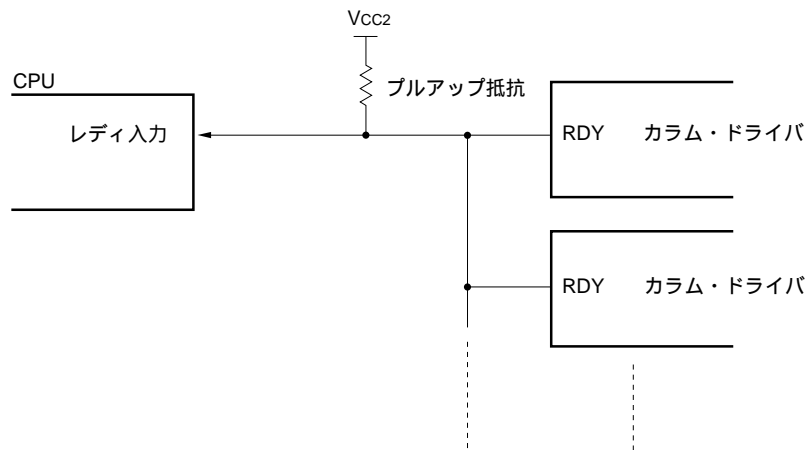
(1) タイミング



(2) RDY 端子の接続

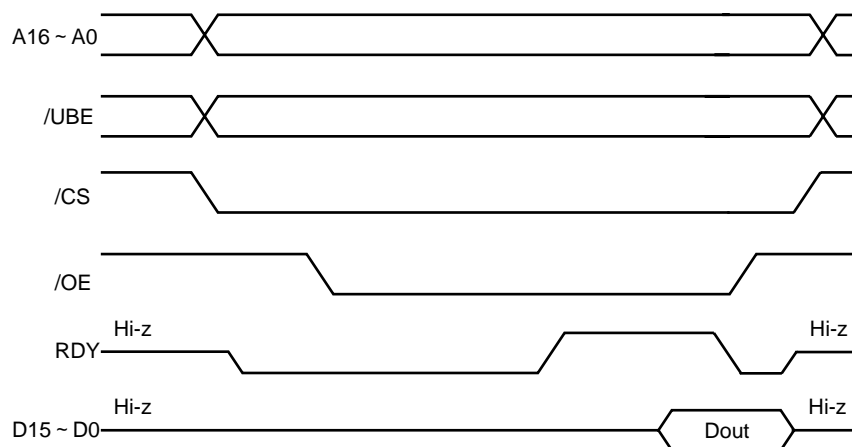
RDY 端子は、3-ステート・バッファを使用しています。RDY 端子には、プルアップ抵抗を外付けしてください。

また、μ PD16661A を複数個使用した場合は、各 LSI の RDY 端子をワイアード OR 接続してください。

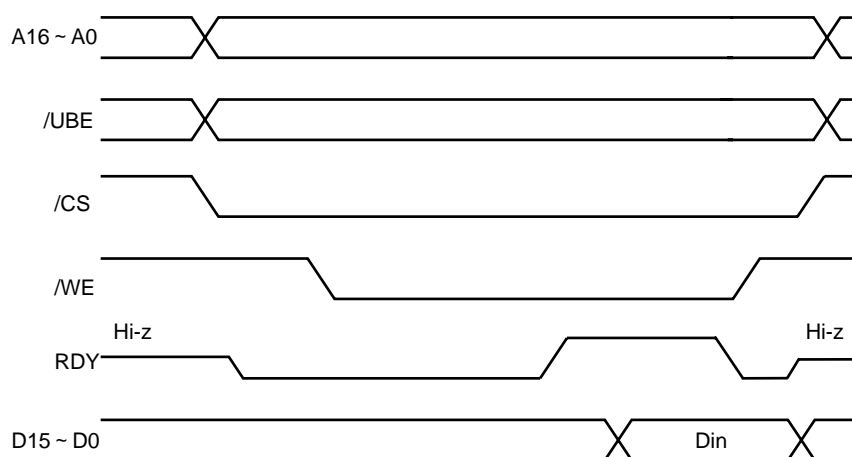


7.2 アクセス・タイミング

(1) 表示データ・リード・タイミング



(2) 表示データ・ライト・タイミング

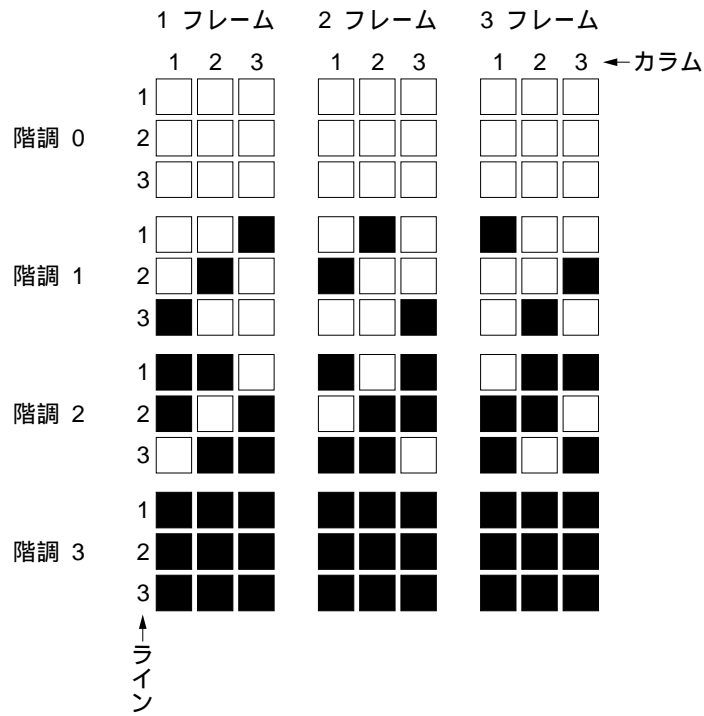


8. 階調制御

4 階調を 3 フレーム間引きで表現します。

液晶パネルの第 1 画素，第 2 画素，第 3 画素，また，第 1 ライン，第 2 ライン，第 3 ラインの 9 画素で，間引き方法を変えています。

フレーム間引き方法

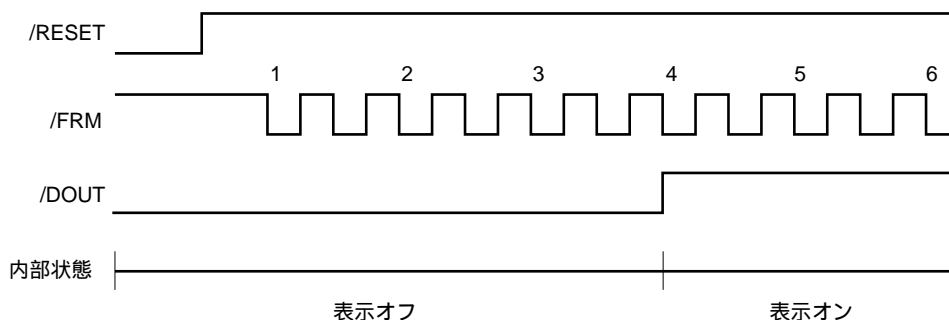


9. 液晶タイミング発生

9.1 リセット状態

リセット状態では、内部カウンタは0クリアされます。

リセット解除後、/DOFF 端子が“H”でも4フレーム・サイクルの間は、表示オフ機能が働きます。



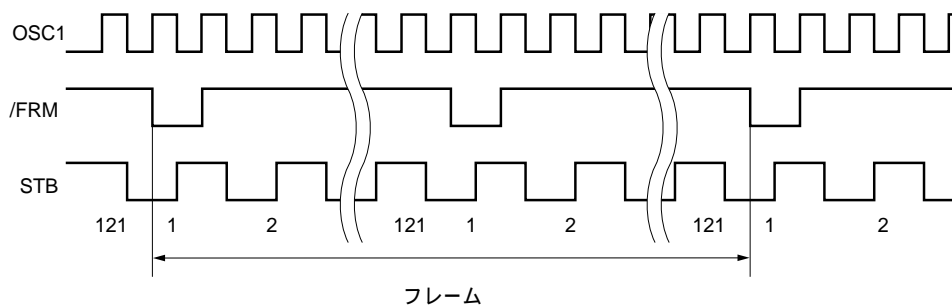
9.2 液晶タイミング発生回路

MS = “H” でマスタ・モードが設定されると、デューティ比 1/240 のタイミングで、/FRM, STB が発生します。

ロウ・ドライバに対するドライバ駆動電圧選択信号 L1, L2 を発生します。

/FRM は1フレームに2回発生します。また、STB は1/2フレームに121回、1フレームに242回発生します。

•/FRM, STB 信号発生



•L1, L2 信号発生

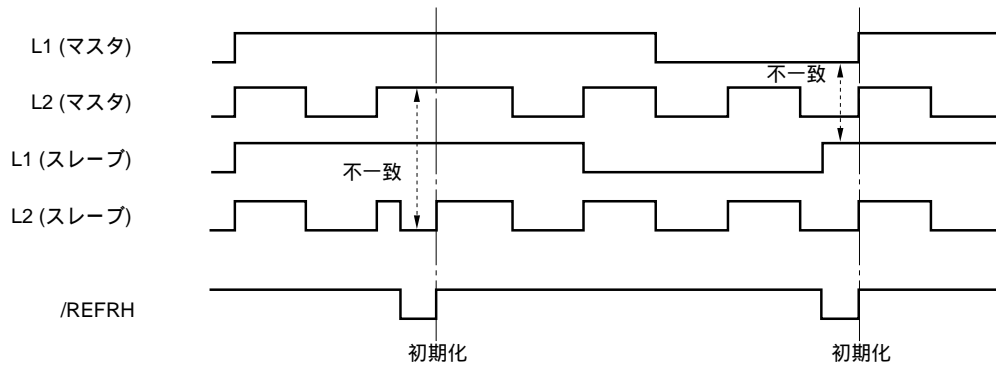
STB	1	2	3	4	...	1	2	3	4	...	1	2	3	4	...	1	2	3	4	...
L1	1	1	1	1	...	1	1	1	1	...	0	0	0	0	...	0	0	0	0	...
L2	1	0	1	0	...	0	1	0	1	...	0	1	0	1	...	1	0	1	0	...

10. 自己診断機能

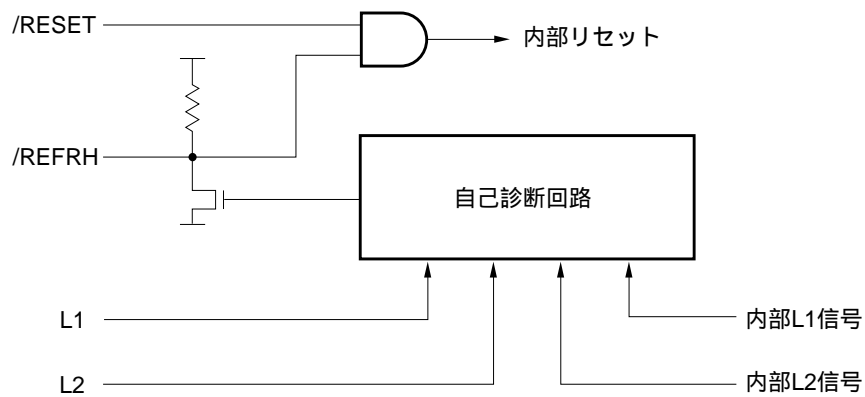
外部からのノイズなどにより、各カラム・ドライバのタイミングがずれていないかを監視する機能です。

スレーブ・チップは、マスタ・チップのL1, L2と内部で発生したL1, L2を比較し、不一致が生じた場合、全カラム・ドライバにリフレッシュ信号を送信します。リフレッシュ信号を受けると、内部リセットがかかり、タイミングを初期化します。その際、/REFRH=Lの時間と4フレーム・サイクルの間、表示はオフとなります。

L1, L2の不一致は1/2フレームごとに1回、/FRMの立ち上がりエッジで監視します。



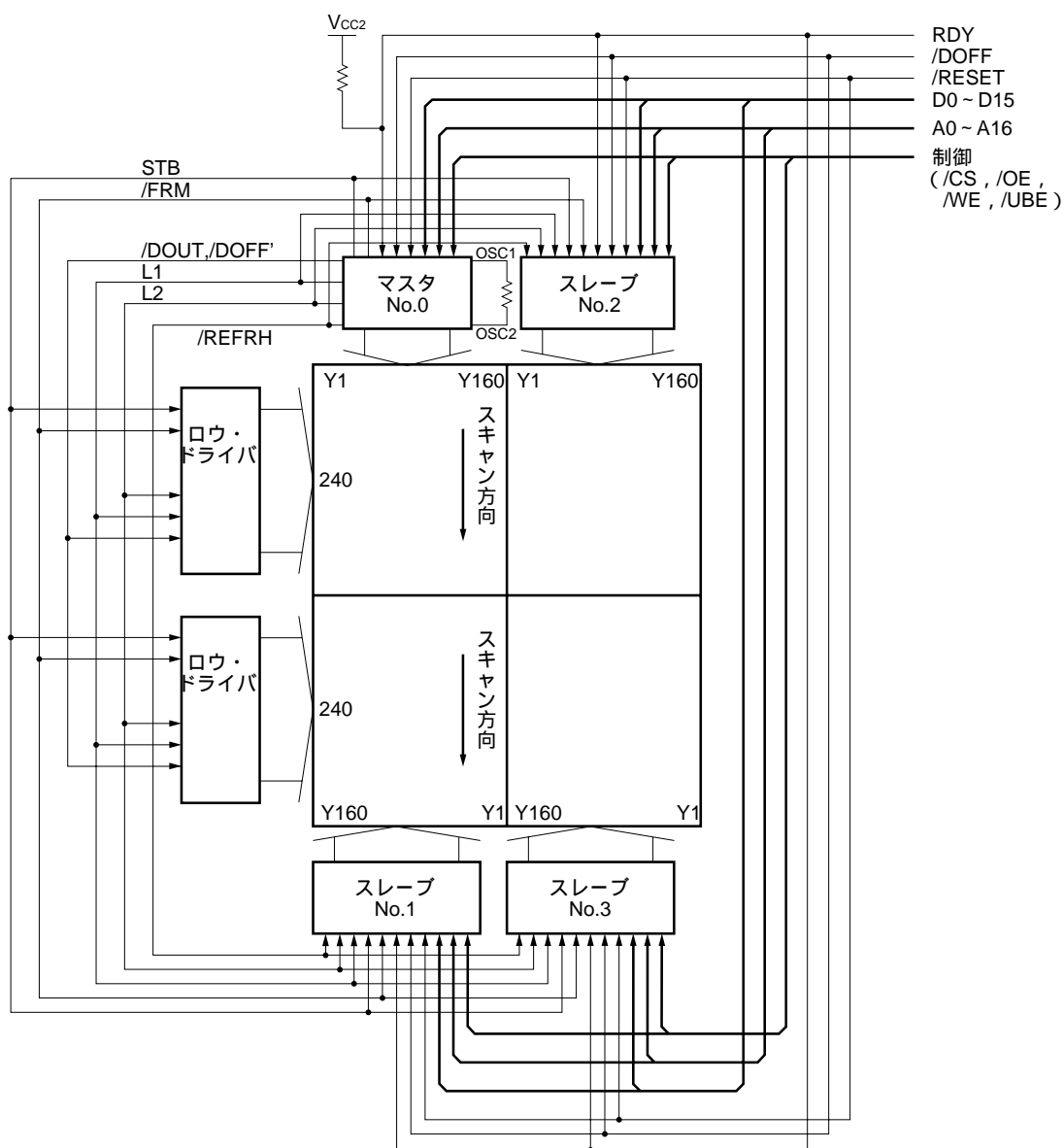
ブロック構成図 (スレーブ側)



11. システム構成例

μ PD16661A を 4 個，ロウ・ドライバを 2 個使用して，ハーフ VGA サイズ（480×320，縦長）の液晶パネルを，構成する場合の例を示します。

- ・各カラム・ドライバは，PL0, PL1, PL2 端子で，LSI No. を設定します。
- ・各カラム・ドライバの DIR 端子は，すべてロウに設定します。
- ・カラム・ドライバのうち 1 つだけマスタに，他はスレーブに設定し，マスタのカラム・ドライバからスレーブのカラム・ドライバとロウ・ドライバに信号を供給します。
- ・マスタの OSC1, OSC2 端子には発振器用の抵抗を付け，スレーブはオープンにします。
- ・システム側からの信号（D0-D15, A0-A16, /CS, /OE, /WE, /UBE, RDY, /RESET, /DOFF）はすべてのカラム・ドライバに並列に接続します。RDY 信号にはプルアップ抵抗を付けます。
- ・TEST 端子は LSI テスト用の端子なので，システム構成時はオープンとするか，GND に接続します。



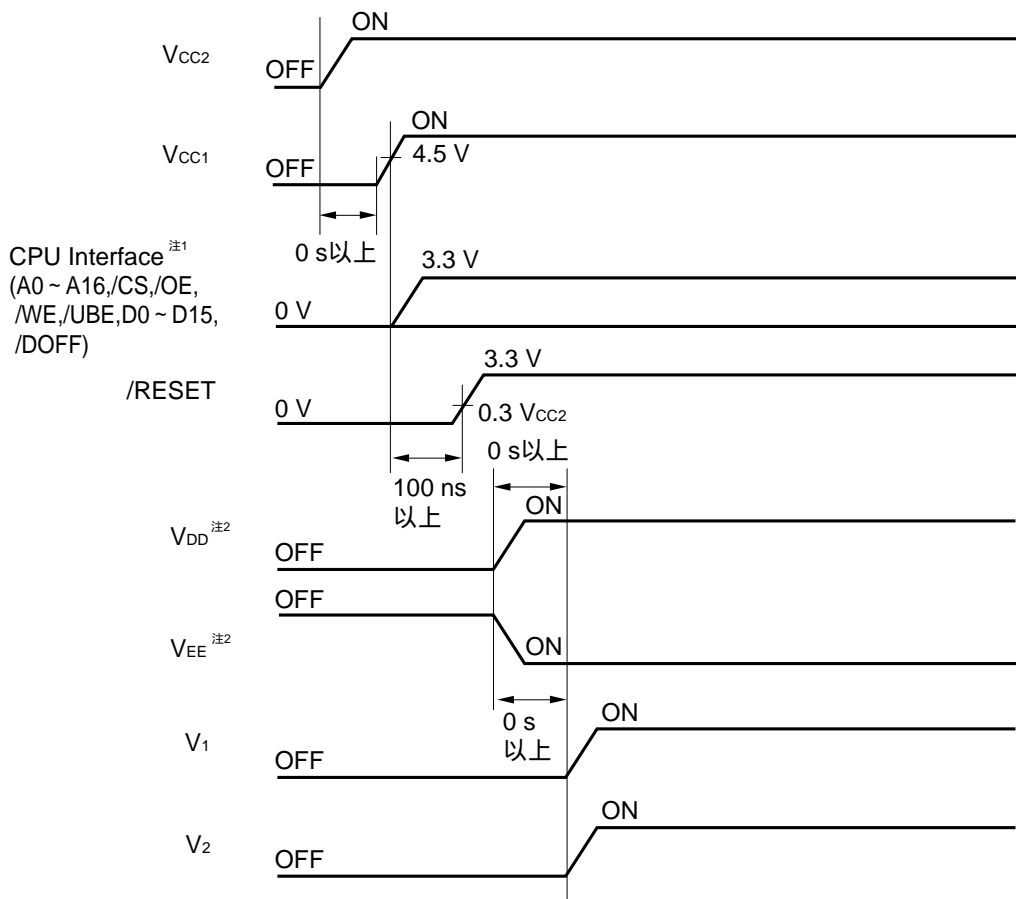
備考 /DOFF'は，ロウ・ドライバの入力端子です。

12. チップセット電源投入順序

次のような電源投入を推奨します。

V_{CC2} V_{CC1} 入力 V_{DD} , V_{EE} V_1 , V_2

LCD 駆動電源 V_1 , V_2 は、必ず最後に投入してください。

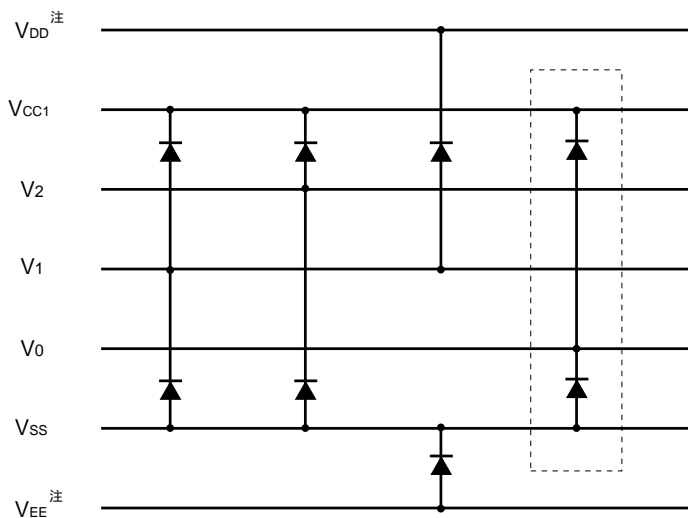


注 1. 選択端子 (PL0, PL1, PL2, DIR, MS, BMODE) は、 V_{CC2} と同時に入力しても問題ありません。

2. V_{DD} と V_{EE} は同時に ON である必要はありません。また、 V_{DD} と V_{EE} はロウ・ドライバの液晶電源です。

注意 チップセット電源切断順序は投入順序の逆順序としてください。

13. 電源保護強化のためのモジュール内部ショットキ・バリア・ダイオード配置例



内のダイオードは、V₀が0 V (GND)以外のときに配置してください。

注 V_{DD} と V_{EE} は、ロウ・ドライバの液晶電源です。

備考 ショットキ・バリア・ダイオードは、V_f = 0.5 V 以下のものを使用してください。

14. 電気的特性

絶対最大定格 (TA = +25)

項目	略号	定格	単位	備考
電源電圧 (1)	V _{CC1}	- 0.5 ~ + 6.5	V	注 1
電源電圧 (2)	V _{CC2}	- 0.5 ~ + 4.5	V	注 2
入力 / 出力電圧 (1)	V _{I/O1}	- 0.5 ~ V _{CC1} + 0.5	V	注 1
入力 / 出力電圧 (2)	V _{I/O2}	- 0.5 ~ V _{CC2} + 0.5	V	注 2
入力 / 出力電圧 (3)	V _{I/O3}	- 0.5 ~ V _{CC1} + 0.5	V	注 3, 注 4
動作周囲温度	T _A	- 20 ~ + 70		
保存温度	T _{stg.}	- 40 ~ + 125		

注 1 . 5 V 系信号 (/FRM, STB, /DOUT, L1, L2)

2 . 3.3 V 系信号 (MS, DIR, PL0 ~ PL2, A0 ~ A16, /CS, /OE, /WE, /UBE, RDY, D0 ~ D15, /RESET, OSC1, OSC2, /DOFF, TEST, GMODE, BMODE, /REFRH)

3 . 液晶駆動電源 (V₀, V₁, V₂, Y1 ~ Y160)

4 . V₀ < V₁ < V₂ としてください。

注意 各項目のうち 1 項目でも、また、一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作範囲 (TA = -20 ~ +70 , V₀ = 0 V)

項目	略号	MIN.	TYP.	MAX.	単位	備考
電源電圧 (1)	V _{CC1}	4.5	5.0	5.5	V	
電源電圧 (2)	V _{CC2}	3.0	3.3	3.6	V	
入力電圧 (1)	V _{I1}	0		V _{CC1}	V	注 1
入力電圧 (2)	V _{I2}	0		V _{CC2}	V	注 2
V ₁ 入力電圧	V ₁	V ₀		V ₂	V	
V ₂ 入力電圧	V ₂	V ₁		V _{CC1}	V	
OSC 用外付け抵抗	R _{osc}	300		700	kΩ	

注 1 . 5 V 系信号 (/FRM, STB)

2 . 3.3 V 系信号 (MS, DIR, PL0 ~ PL2, A0 ~ A16, /CS, /OE, /WE, /UBE, RDY, D0 ~ D15, /RESET, OSC1, OSC2, /DOFF, TEST, GMODE, BMODE, /REFRH)

DC 特性

(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$,

$T_A = -20 \sim +70$)

項目	略号	MIN.	TYP.	MAX.	単位	備考
ハイ・レベル入力電圧(1) V_{CC1} 系	V_{IH1}	$0.7 V_{CC1}$			V	注 1
ロウ・レベル入力電圧(1) V_{CC1} 系	V_{IL1}			$0.3 V_{CC1}$	V	注 1
ハイ・レベル入力電圧(2) V_{CC2} 系	V_{IH2}	$0.7 V_{CC2}$			V	注 2
ロウ・レベル入力電圧(2) V_{CC2} 系	V_{IL2}			$0.3 V_{CC2}$	V	注 2
ハイ・レベル入力電圧(2) V_{CC2} 系	V_{IH3}	$0.8 V_{CC2}$			V	注 4
ロウ・レベル入力電圧(2) V_{CC2} 系	V_{IL3}			$0.2 V_{CC2}$	V	注 4
ハイ・レベル出力電圧(1) V_{CC1} 系	V_{OH1}	$V_{CC1} - 0.4$			V	$I_{OH} = -1 \text{ mA}$, 注 3
ロウ・レベル出力電圧(1) V_{CC1} 系	V_{OL1}			0.4	V	$I_{OL} = 2 \text{ mA}$, 注 3
ハイ・レベル出力電圧(2) V_{CC1} 系	V_{OH2}	$V_{CC1} - 0.4$			V	$I_{OH} = -2 \text{ mA}$, 注 1
ロウ・レベル出力電圧(2) V_{CC1} 系	V_{OL2}			0.4	V	$I_{OL} = 4 \text{ mA}$, 注 1
ハイ・レベル出力電圧(3) V_{CC2} 系	V_{OH3}	$V_{CC2} - 0.4$			V	$I_{OH} = -1 \text{ mA}$, 注 4
ロウ・レベル出力電圧(3) V_{CC2} 系	V_{OL3}			0.4	V	$I_{OL} = 2 \text{ mA}$, 注 4
入力リーク電流(1)	I_{I1}			± 10	μA	TEST 端子以外, $V_i = V_{CC2}$ or GND
入力リーク電流(2)	I_{I2}	10	40	100	μA	プルダウン (TEST 端子) $V_i = V_{CC2}$
表示動作消費電流(1)	I_{MAS1}			40	μA	マスタ, V_{CC1} 系, 注 5
表示動作消費電流(2)	I_{MAS2}			150	μA	マスタ, V_{CC2} 系, 注 5
表示動作消費電流(3)	I_{SLV1}			30	μA	スレーブ, V_{CC1} 系, 注 5
表示動作消費電流(4)	I_{SLV2}			100	μA	スレーブ, V_{CC2} 系, 注 5
液晶駆動出力 ON 抵抗	R_{ON}		1	2	$\text{k}\Omega$	注 6

注 1 . 5 V 系信号 (/FRM, STB, L1, L2)

2 . 3.3 V 系信号 (MS, DIR, PL0 ~ PL2, A0 ~ A16, /CS, /OE, /WE, /UBE, RDY, D0 ~ D15, /RESET, /DOFF, TEST, GMODE, BMODE)

3 . /DOUT 端子

4 . D0 ~ D15, RDY, OSC2 端子

5 . フレーム周波数 70 Hz, 出力無負荷, CPU 非アクセス時

(D0 ~ D15, A0 ~ A16, /UBE = GND, /CS, /OE, /WE = V_{CC2})

6 . Y1 ~ Y160 の 1 端子に負荷電流 ($I_{ON} = 100 \mu\text{A}$) を流したときの Y 端子と V 端子 (V_0, V_1, V_2 のいずれか) 間の抵抗値です。

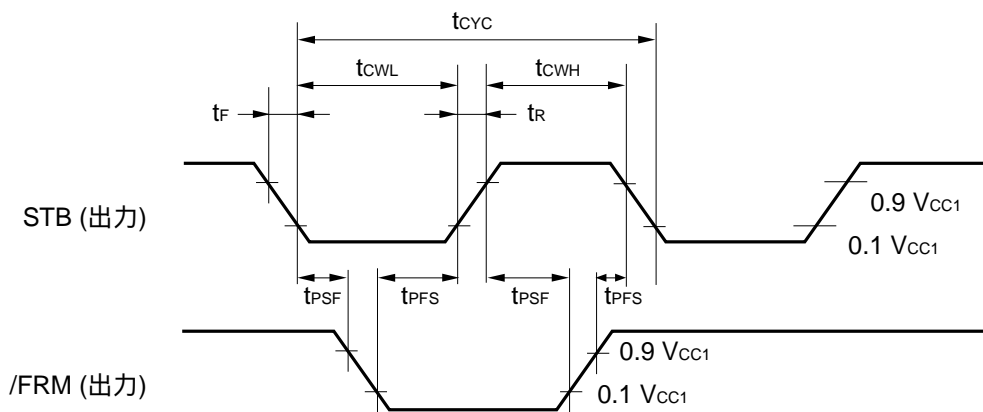
AC 特性 1 表示データ転送タイミング

マスタ・モード

(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$,

$T_A = -20 \sim +70$, フレーム周波数: 70 Hz ($f_{osc} = 33.88 \text{ kHz}$), 出力負荷: 100 pF)

項目	略号	MIN.	TYP.	MAX.	単位	備考
STB クロック・サイクル時間	t _{cyC}	58	2/f _{osc}		μs	
STB ハイ・レベル幅	t _{cwH}	28	1/f _{osc}		μs	
STB ロウ・レベル幅	t _{cwL}	28	1/f _{osc}		μs	
STB 立ち上がり時間	t _r			100	ns	
STB 立ち下がり時間	t _f			100	ns	
STB - /FRM 遅延時間	t _{psF}	12			μs	
/FRM - STB 遅延時間	t _{pFS}	12			μs	

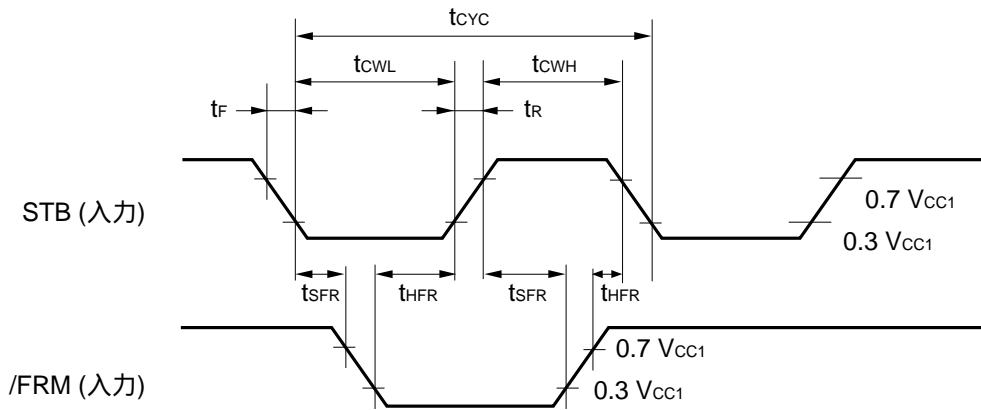


スレーブ・モード

(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$,

$T_A = -20 \sim +70$)

項目	略号	MIN.	TYP.	MAX.	単位	備考
STB クロック・サイクル時間	t _{CYC}	10			μs	
STB ハイ・レベル幅	t _{CWH}	4			μs	
STB ロウ・レベル幅	t _{CWL}	4			μs	
STB 立ち上がり時間	t _R			150	ns	
STB 立ち下がり時間	t _F			150	ns	
/FRM セットアップ時間	t _{SFR}	1			μs	
/FRM ホールド時間	t _{HFR}	1			μs	

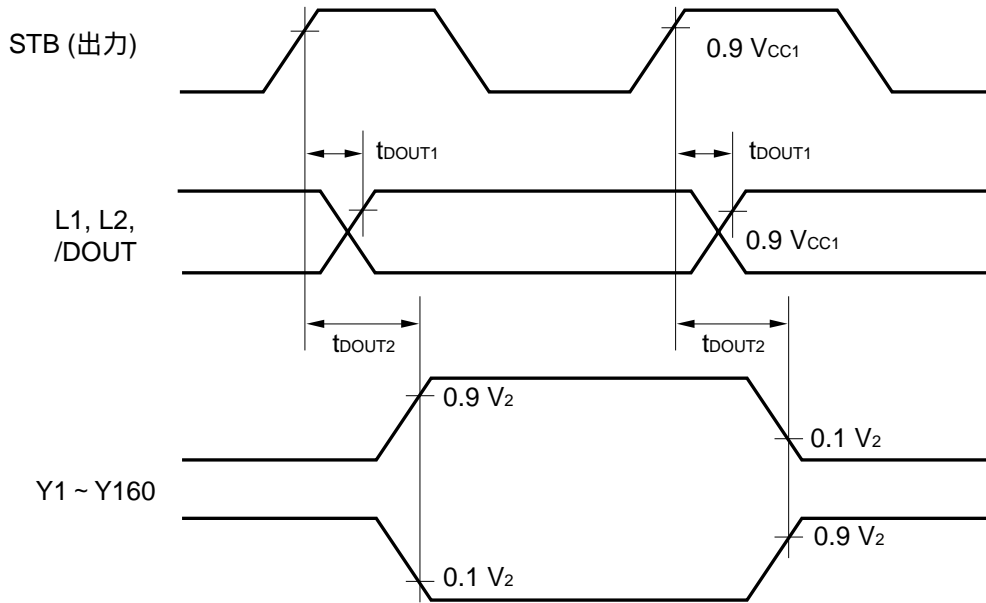


マスタ/スレーブ共通項目

(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$,

$T_A = -20 \sim +70$)

項目	略号	MIN.	TYP.	MAX.	単位	備考
出力遅延時間 (L1, L2, /DOUT)	t _{DOUT1}		50	100	ns	出力無負荷
出力遅延時間 (Y1 ~ Y160)	t _{DOUT2}		90	150	ns	出力無負荷



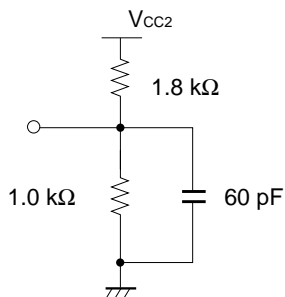
AC 特性 2 描画アクセス・タイミング

(特に指定のない限り, $V_{CC1} = 4.5 \sim 5.5 \text{ V}$, $V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $V_0 = 0 \text{ V}$, $V_1 = 1.4 \sim 2.0 \text{ V}$, $V_2 = 2.8 \sim 4.0 \text{ V}$,

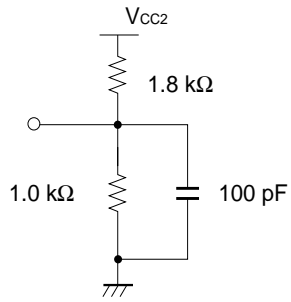
$T_A = -20 \sim +70$, $t_r = t_f = 5 \text{ ns}$, フレーム周波数: 70 Hz ($f_{osc} = 33.88 \text{ kHz}$))

項目	略号	MIN.	TYP.	MAX.	単位	備考
/OE, /WE リカバリ時間	t _{RY}	30			ns	
アドレス・セットアップ時間	t _{AS}	10			ns	
アドレス・ホールド時間	t _{AH}	20			ns	
RDY 出力遅延時間	t _{RYR}			30	ns	C _L = 15 pF
RDY フロート時間	t _{RYZ}			30	ns	注 3
ウェイト状態時間	t _{RYW}			35	ns	注 1
レディ状態時間 (非競合時)	t _{RYF1}		60	100	ns	注 1
レディ状態時間 (競合時)	t _{RYF2}		650	1200	ns	注 1
データ・アクセス時間 (リード・サイクル)	t _{ACS}			100	ns	注 2
データ・フロート時間 (リード・サイクル)	t _{HZ}			40	ns	注 3
/CS - /OE 時間 (リード・サイクル)	t _{CSOE}	10			ns	
/OE - /CS 時間 (リード・サイクル)	t _{OECS}	20			ns	
ライト・パルス幅 (ライト・サイクル)	t _{WP}	50			ns	注 1
データ・セットアップ時間 (ライト・サイクル)	t _{DW}	20			ns	
データ・ホールド時間 (ライト・サイクル)	t _{DH}	20			ns	
/CS - /WE 時間 (ライト・サイクル)	t _{CSWE}	10			ns	
/WE - /CS 時間 (ライト・サイクル)	t _{WECS}	20			ns	
リセット・パルス幅	t _{WRES}	100			ns	
RDY - /OE 時間	t _{RDOE}			注 4	-	
RDY - /WE 時間	t _{RDWE}			注 4	-	

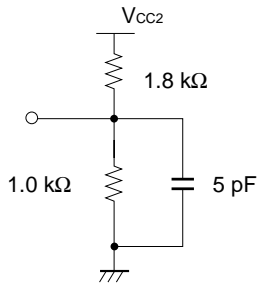
注 1. 負荷回路



2. 負荷回路



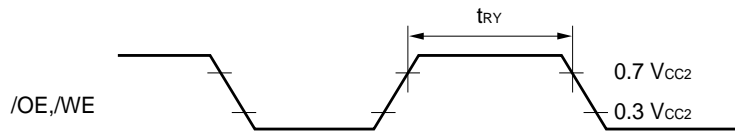
3. 負荷回路



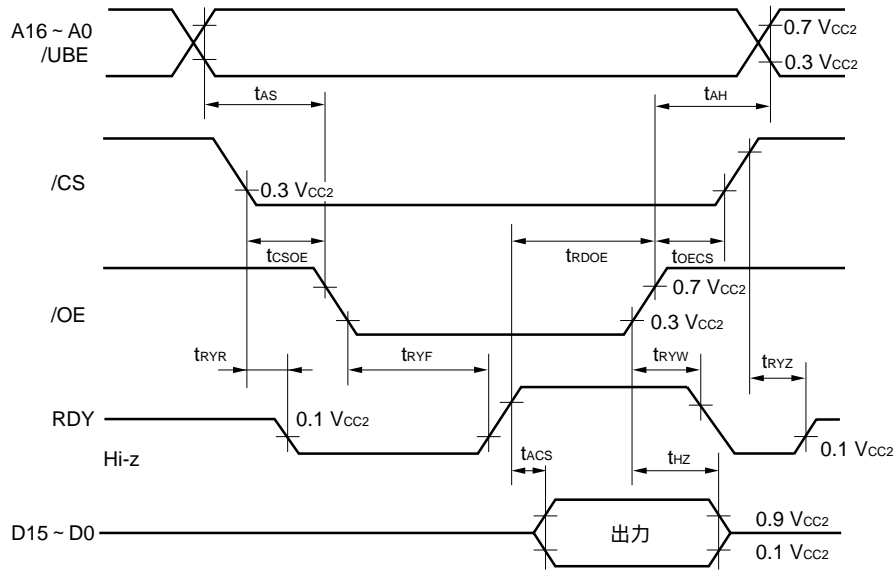
4. RDY の立ち上がりから/OE または/WE までの時間が長いと、表示に影響が出る可能性があります。

$t_{RD OE}$, $t_{RD WE}$ は、 1000 ns 以下を推奨いたします。

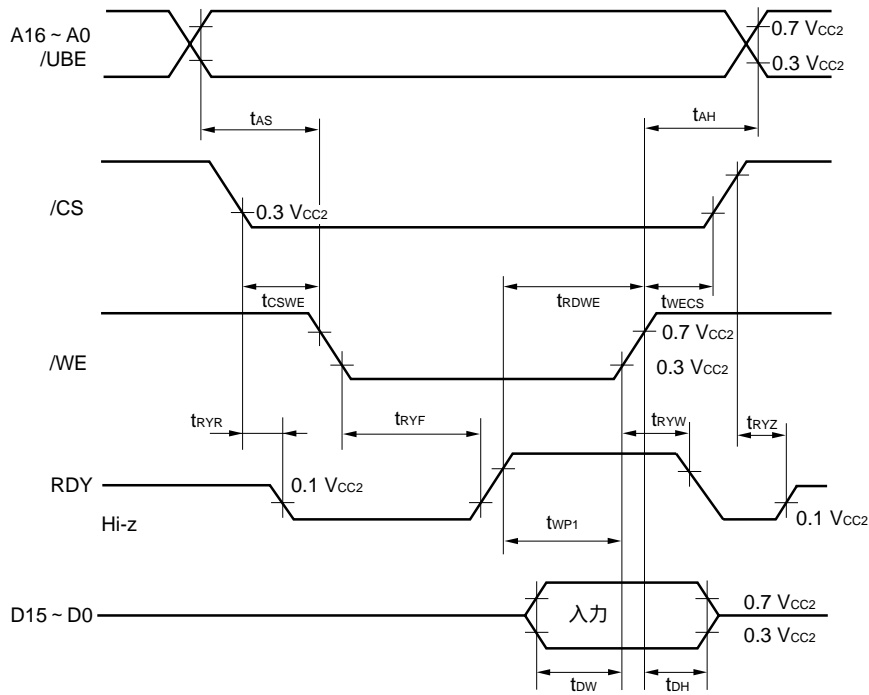
/OE, /WE リカバリ時間



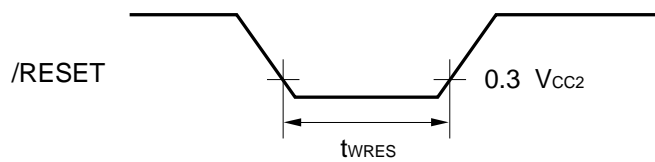
リード・サイクル



ライト・サイクル



リセット・パルス幅



AC 特性 3 CR 発振器

($V_{CC2} = 3.0 \sim 3.6 \text{ V}$, $T_A = -20 \sim +70$)

項目	略号	MIN.	TYP.	MAX.	単位	備考
発振周波数	f _{osc}	32	36	40	kHz	外付抵抗：350 kΩ
フレーム周波数	-	66.1	74.4	82.6	Hz	外付抵抗：350 kΩ

15. 発振周波数とフレーム周波数，STB 周波数の関係

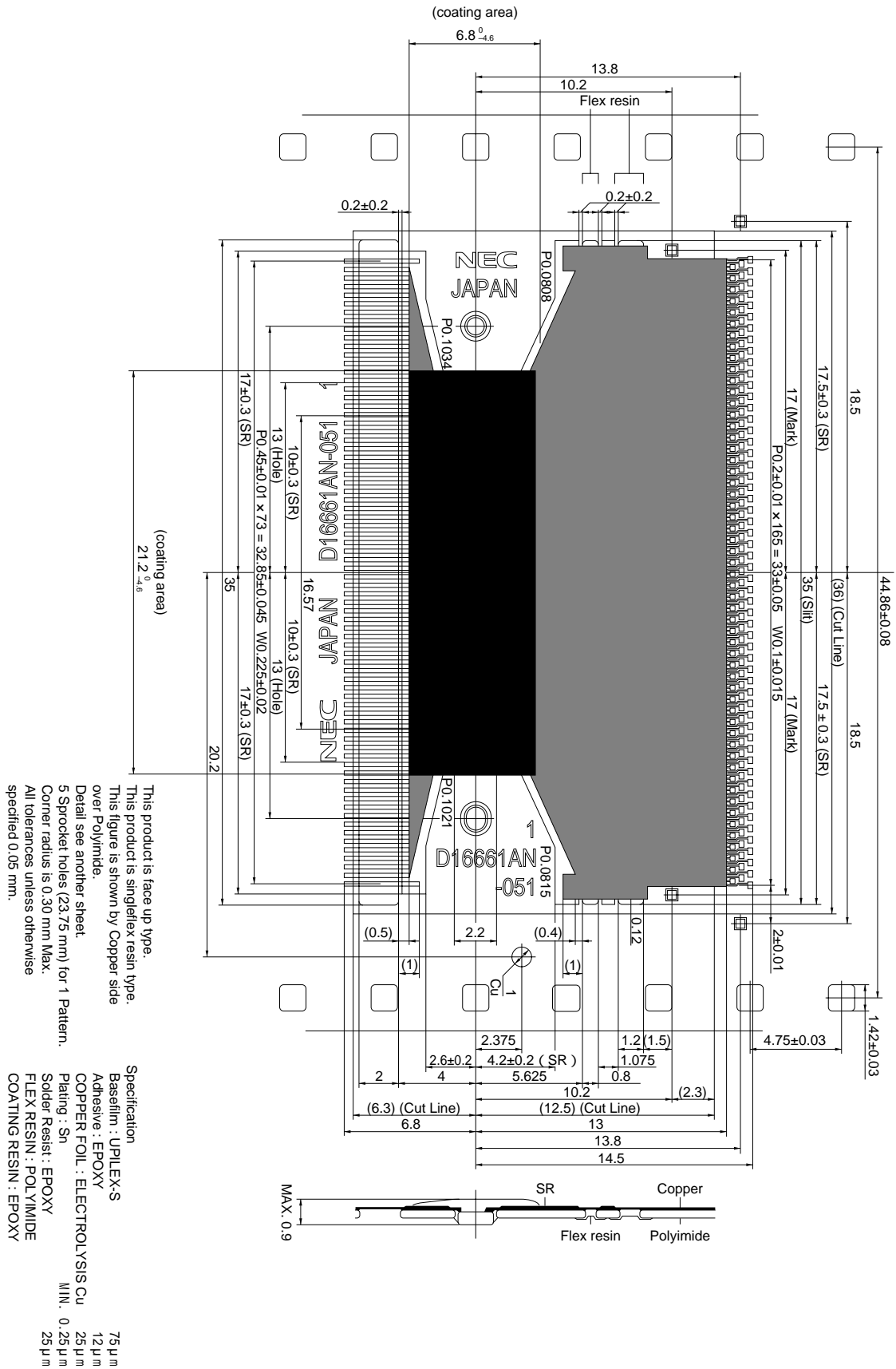
発振周波数とフレーム周波数，STB 周波数の関係は，次のとおりです。

$$\text{フレーム周波数} = \frac{1}{242 \times 2} \times \text{発振周波数}$$

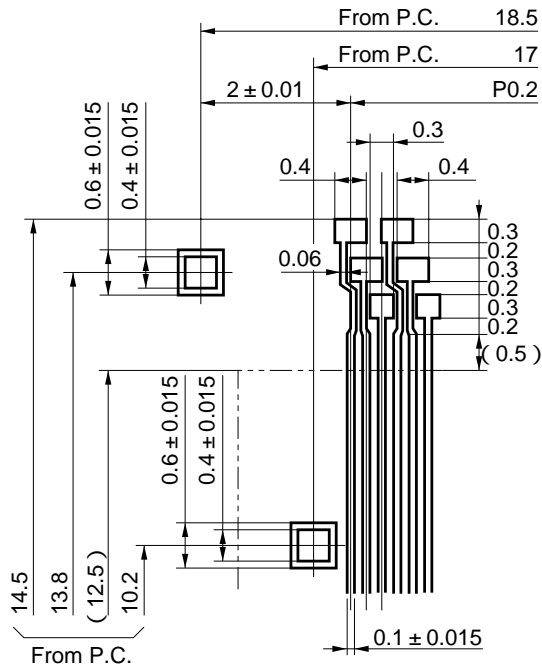
$$\text{STB 周波数} = \frac{1}{2} \times \text{発振周波数}$$

16. 外形図

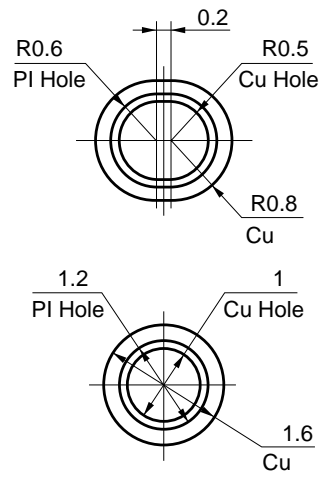
標準 TCP 外形図 (μ PD16661AN-051)



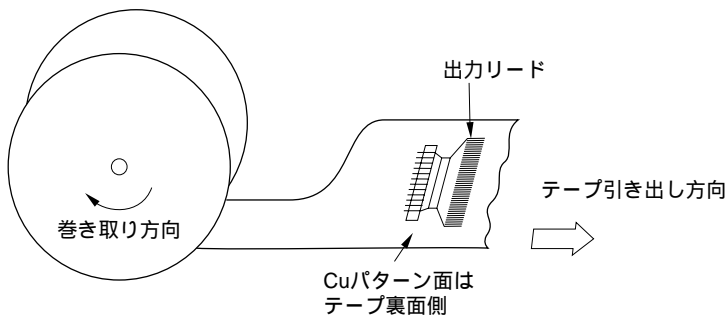
テスト・パッドとアラインメント・マーク詳細
(×20)



アラインメント・ホール詳細
(×20)

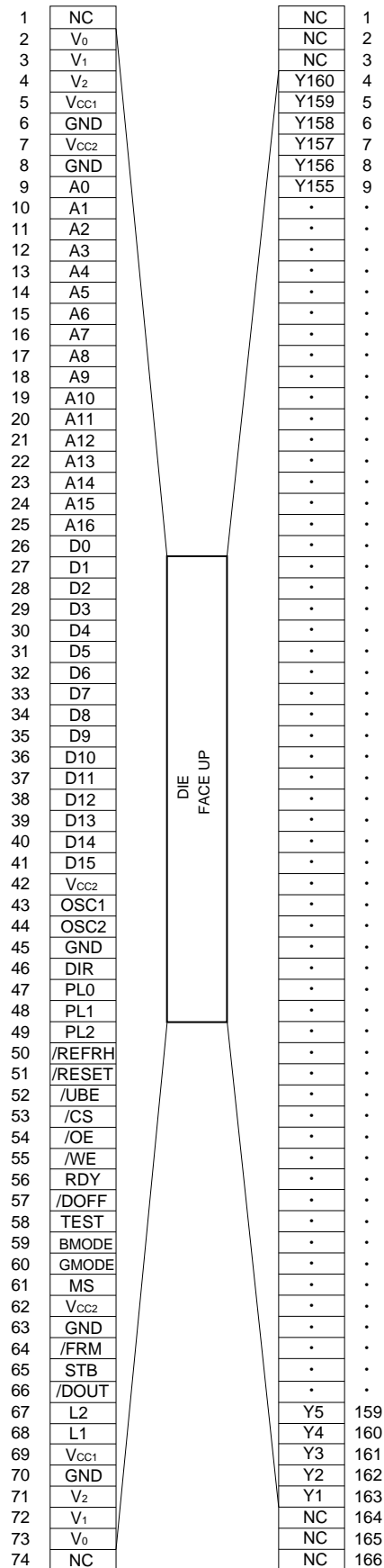


TCP テープ巻き方向



標準 TCP 外形図 (μ PD16661AN-051)

端子接続図



CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）
（電話：午前 9:00 ~ 12:00、午後 1:00 ~ 5:00）

電話 : 044-548-8899
FAX : 044-548-7900
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部								
半導体第二販売事業部	〒108-8001	東京都港区芝 5 - 7 - 1	（日本電気本社ビル）		(03)3454-1111			
半導体第三販売事業部								
中部支社 半導体第一販売部	〒460-8525	愛知県名古屋市中区錦 1 - 17 - 1	（日本電気中部ビル）		(052)222-2170			
中部支社 半導体第二販売部					(052)222-2190			
関西支社 半導体第一販売部	〒540-8551	大阪府大阪市中央区城見 1 - 4 - 24	（日本電気関西ビル）		(06) 945-3178			
関西支社 半導体第二販売部					(06) 945-3200			
関西支社 半導体第三販売部					(06) 945-3208			
北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(0552)24-4141	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(0249)23-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806
群馬支店	高崎	(027)326-1255	神奈川支店	横浜	(045)682-4524			
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			