

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ドット文字 VFD コントローラ / ドライバ

μ PD16314 は、ドット・マトリクス VFD の表示が可能な VFD コントローラ / ドライバです。出力はアノード 80 本とグリッド 24 本です。μ PD16314 単体で 16 桁×2 行、20 桁×2 行、または 24 桁×2 行までの表示が可能です。μ PD16314 には、240×5×8 ドット文字を記憶したキャラクタ・ジェネレータ ROM が備わっております。

特 徴

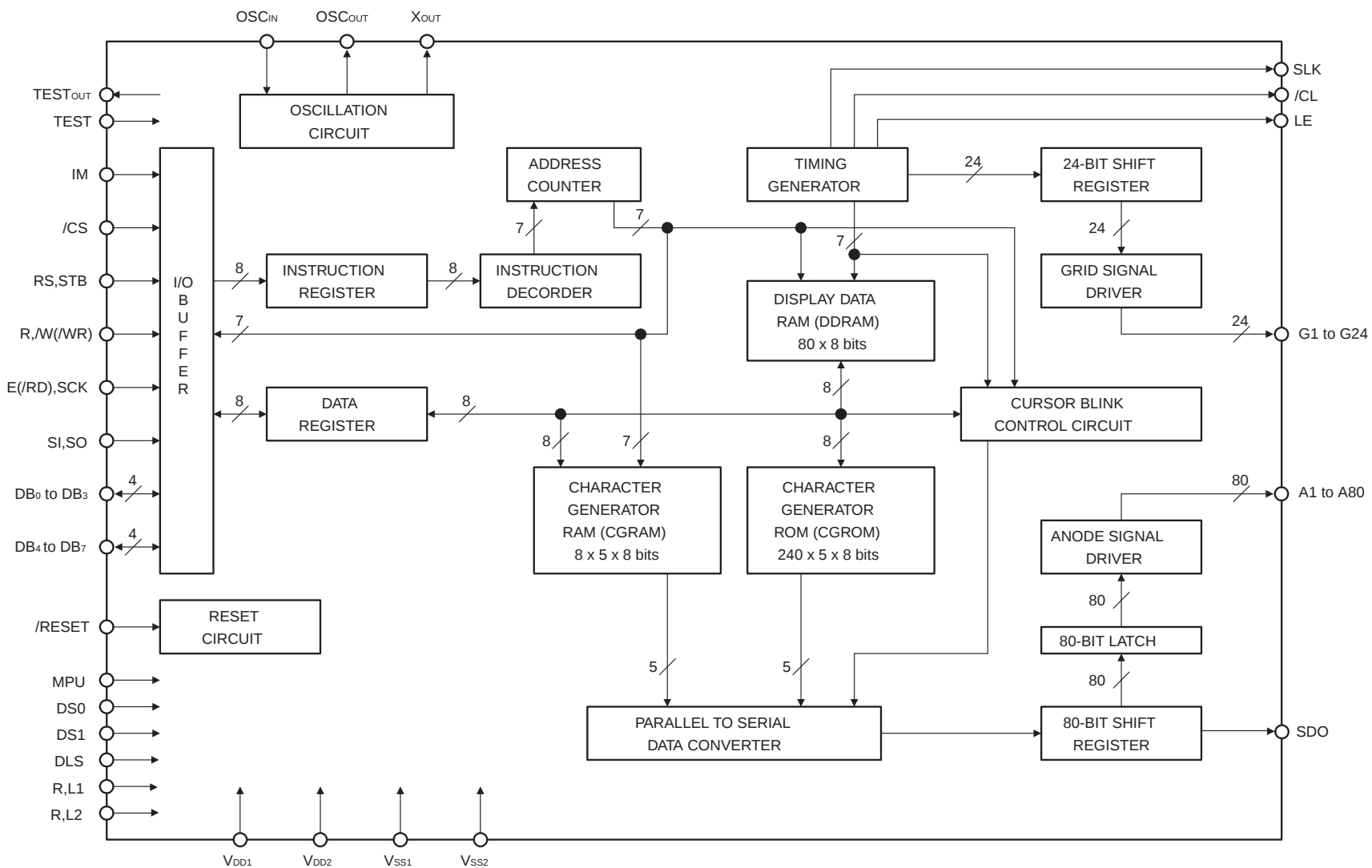
- ドット・マトリクス VFD コントローラ / ドライバ
- カーソル表示用アノード駆動可能 (48 個)
- 表示 RAM 80×8 ビット内蔵
- 内蔵 ROM により英数字、記号表示可能 (5×8 ドット)、240 文字 + ユーザ定義 8 文字
- 表示内容 : 16 桁×2(1)行 + 32 (16) カーソル、20 桁×2(1)行 + 40 (20) カーソル、
24 桁×2(1)行 + 48 (24) カーソル
- パラレル・データ入出力 (4 ビット、8 ビット切り替え可能)、シリアル・データ入出力選択可能
- 発振回路内蔵
- カスタム ROM 対応可能

オーダ情報

オーダ名称	パッケージ
μ PD16314GJ-001-8EU	144 ピン・プラスチック LQFP (ファインピッチ) (20×20), 標準 ROM コード (001)
μ PD16314GJ-002-8EU	144 ピン・プラスチック LQFP (ファインピッチ) (20×20), 標準 ROM コード (002)

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

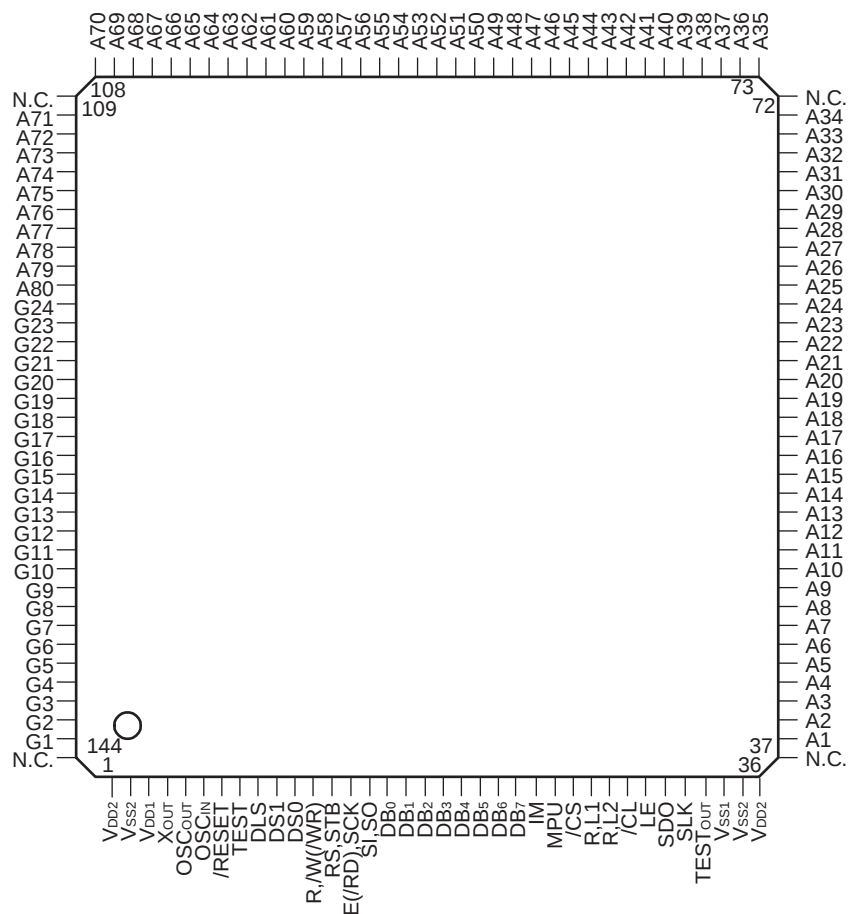
1. フロッグ図



備考 /xxx はアクティヴ・ロウを示します。

保守/廃止

2. 端子接続図 (Top View)



備考 電源端子はすべて使用してください。また，N.C.端子はオープンにしてください。

3. 端子説明

3.1 電源系

端子記号	端子名	端子番号	I/O	出力形式	機能説明
V _{DD1}	ロジック電源端子	3	—	—	ロジック用電源端子
V _{SS1}	ロジック・グランド端子	34	—	—	ロジック用グランド端子
V _{DD2}	VFD 駆動電源端子	1,36	—	—	VFD 駆動回路用電源
V _{SS2}	VFD 駆動電源端子	2,35	—	—	VFD 駆動用グランド端子

3.2 ロジック系（マイクロプロセッサ・インタフェース）

端子記号	端子名	端子番号	I/O	出力形式	機能説明
RS,STB	レジスタ・セレクト / ストロープ	13	I	—	パラレル・データ転送モード選択時、この端子はレジスタ選択となります。 L: インストラクション・レジスタ (IR) 選択 H: データ・レジスタ (DR) 選択 シリアル・データ転送モード選択時、この端子はストロープ入力となります。信号がLのとき、データ入力が可能です。本信号の立ち上がりで、コマンド処理が実行されます。
/CS	チップ・セレクト	26	I	—	この端子がLのとき、このデバイスはアクティブになります。
E(/RD), SCK	イネーブル (リード) / シフト・クロック	14	I	—	M68 パラレル・データ転送モード選択時 (E), この端子はイネーブルとなります。立ち下がり書き込み / 読み出しが行われます。 i80 パラレル・データ転送選択時 (/RD), この端子はリード・イネーブル端子となります。この端子がLのとき、データがデータ・バスに出力されます。シリアル・データ転送選択時、本端子はシフト・クロック入力となります。信号の立ち上がりで、書き込みが行われます。
R,/W(/WR)	リード / ライト信号 (ライト)	12	I	—	M68 パラレル・データ転送モード選択時 (R,/W), 本端子はデータ転送選択端子となります。 L: ライト H: リード i80 パラレル・データ転送モード選択時 (/WR), 本端子はライト・イネーブルとなります。信号の立ち上がりで書き込みが行われます。 シリアル・データ転送モード選択時、この端子を H または L に固定してください。
SI,SO	シリアル入出力	15	I/O	CMOS-3ステート	シリアル・データ転送モード選択時、本端子は I/O 端子として使用されます。パラレル・データ転送モード選択時、この端子を H または L に固定してください。
DB ₀ - DB ₇	パラレル・データ入出力	16 - 23	I/O	CMOS-3ステート	パラレル・データ転送モード選択時、本端子は I/O 端子として使用されます。 4 ビット転送モード選択時に DB₄ - DB₇ が使用されます。データは、上位ビット (MSB) から転送され逐次記憶されます。 シリアル・データ転送モード選択時は、この端子を H または L に固定してください。
/RESET	リセット	7	I	—	L: 内部レジスタとコマンドをすべて初期化します。 アノードとグリッド出力は V_{SS2} に固定されます。

3.3 ロジック系（その他）

端子記号	端子名	端子番号	I/O	出力形式	機能説明
OSC _{IN}	発振端子	6	—	—	外部に発振周波数を決める抵抗を付けます。
OSC _{OUT}		5			
X _{OUT}	発振出力	4	O	CMOS	発振信号出力端子
DS0	デューティ・セクタ	11	I	—	デューティ比を決めます。グリッドの数はデューティ比によって決まります。デューティ比とこれらの端子の関係を 4. デューティ比の設定に示します。
DS1		10			
IM	インタフェース選択	24	I	—	インタフェース・モードの選択で、シリアル転送かパラレル転送のどちらかを選択します。 L：シリアル・データ転送選択 H：パラレル・データ転送選択 (パラレル・データ転送モードでは、ワード長は命令によって異なります。)
MPU	インタフェース選択	25	I	—	インタフェース・モードの選択で、i80 型 CPU モードか M68 型 CPU モードかを選択します。 L：i80 型 CPU モードの選択 H：M68 型 CPU モードの選択 シリアル・データ転送モード選択時も、この端子を H または L に固定してください。
DLS	表示ライン選択	9	I	—	パワー・オン・リセット、またはリセット時に表示するラインの数を選択します。 L：1 行を選択 (N [※] = 0) H：2 行を選択 (N [※] = 1)
R,L1	アノード出力の選択	27	I	—	アノード出力を設定します。Ox 端子はこれらの端子で設定されます。Ox と Ax(アノード)の関係を 5. アノード設定に示します。
R,L2		28			
TEST	テスト端子	8	I	—	IC テスト用の端子です。 L または オープン： ノーマル動作モード H：テスト・モード
TEST _{OUT}	テスト端子	33	O	—	IC テスト用の端子です。オープンにしてください。

注 N：ファンクション設定コマンドの表示ラインの選択

3.4 ロジック系（外部拡張ドライバ）

端子記号	端子名	端子番号	I/O	出力形式	機能説明
SDO	シリアル・データ出力	31	O	CMOS	拡張グリッド・ドライバ用シリアル・データ出力
SLK	シリアル・クロック出力	32	O	CMOS	拡張グリッド・ドライバ用シフト・クロック・パルス
/CL	クリア信号	29	O	CMOS	拡張グリッド・ドライバ用クリア信号、アクティブ・ロウ。拡張ドライバのラッチで記憶したグリッド・データは、信号が H で出力します。この信号が L の場合、拡張ドライバ出力は L になります。
LE	ラッチ・イネーブル	30	O	CMOS	拡張グリッド・ドライバ用ラッチ・イネーブル信号

3.5 出力端子

端子記号	端子名	端子番号	I/O	出力形式	機能説明
G1 - G24	グリッド出力	注	O	CMOS	グリッド信号出力端子
A1 - A80 (O1 - O80)	アノード出力	注	O	CMOS	アノード信号出力端子

注 4. デューティ比の設定を参照してください。

4. デューティ比の設定

μ PD16314 のデューティ比は、表 3 - 1 の DS0 と DS1 で設定できます。

表 4 - 1 デューティ比設定

DS1	DS0	デューティ比
L	L	1/16 (グリッド数 = 16)
L	H	1/20 (グリッド数 = 20)
H	L	1/24 (グリッド数 = 24)
H	H	1/40 (グリッド数 = 40) ^注

注 1/40 デューティ・モードに設定すると外部拡張グリッド・ドライバが使用できます。

5. アノード設定

R,L1 と R,L2 により、表に示すようにアノード端子を設定します。

表 5 - 1 アノード設定：2 行表示 (N = 1)

R,L1	R,L2	端子配置
L	L	表 5 - 2
L	H	表 5 - 3
H	L	表 5 - 3
H	H	表 5 - 4

表 5 - 2 端子配置 (R,L1 = L , R,L2 = L のとき)

No.	名称	No.	名称	No.	名称	No.	名称
1	V _{DD2}	37	N.C.	73	A35	109	N.C.
2	V _{SS2}	38	A1	74	A36	110	A71
3	V _{DD1}	39	A2	75	A37	111	A72
4	X _{OUT}	40	A3	76	A38	112	A73
5	OSC _{OUT}	41	A4	77	A39	113	A74
6	OSC _{IN}	42	A5	78	A40	114	A75
7	/RESET	43	A6	79	A41	115	A76
8	TEST	44	A7	80	A42	116	A77
9	DLS	45	A8	81	A43	117	A78
10	DS1	46	A9	82	A44	118	A79
11	DS0	47	A10	83	A45	119	A80
12	R,W(WR)	48	A11	84	A46	120	G24
13	RS,STB	49	A12	85	A47	121	G23
14	E(/RD),SCK	50	A13	86	A48	122	G22
15	SI,SO	51	A14	87	A49	123	G21
16	DB ₀	52	A15	88	A50	124	G20
17	DB ₁	53	A16	89	A51	125	G19
18	DB ₂	54	A17	90	A52	126	G18
19	DB ₃	55	A18	91	A53	127	G17
20	DB ₄	56	A19	92	A54	128	G16
21	DB ₅	57	A20	93	A55	129	G15
22	DB ₆	58	A21	94	A56	130	G14
23	DB ₇	59	A22	95	A57	131	G13
24	IM	60	A23	96	A58	132	G12
25	MPU	61	A24	97	A59	133	G11
26	/CS	62	A25	98	A60	134	G10
27	R,L1	63	A26	99	A61	135	G9
28	R,L2	64	A27	100	A62	136	G8
29	/CL	65	A28	101	A63	137	G7
30	LE	66	A29	102	A64	138	G6
31	SDO	67	A30	103	A65	139	G5
32	SLK	68	A31	104	A66	140	G4
33	TEST _{OUT}	69	A32	105	A67	141	G3
34	V _{SS1}	70	A33	106	A68	142	G2
35	V _{SS2}	71	A34	107	A69	143	G1
36	V _{DD2}	72	N.C.	108	A70	144	N.C.

表 5 - 3 端子配置 (R,L1 = L , R,L2 = H のとき)

No.	名称	No.	名称	No.	名称	No.	名称
1	V _{DD2}	37	N.C.	73	A6	109	N.C.
2	V _{SS2}	38	A40	74	A5	110	A71
3	V _{DD1}	39	A39	75	A4	111	A72
4	X _{OUT}	40	A38	76	A3	112	A73
5	OSC _{OUT}	41	A37	77	A2	113	A74
6	OSC _{IN}	42	A36	78	A1	114	A75
7	/RESET	43	A35	79	A41	115	A76
8	TEST	44	A34	80	A42	116	A77
9	DLS	45	A33	81	A43	117	A78
10	DS1	46	A32	82	A44	118	A79
11	DS0	47	A31	83	A45	119	A80
12	R,W(WR)	48	A30	84	A46	120	G24
13	RS,STB	49	A29	85	A47	121	G23
14	E(/RD),SCK	50	A28	86	A48	122	G22
15	SI,SO	51	A27	87	A49	123	G21
16	DB ₀	52	A26	88	A50	124	G20
17	DB ₁	53	A25	89	A51	125	G19
18	DB ₂	54	A24	90	A52	126	G18
19	DB ₃	55	A23	91	A53	127	G17
20	DB ₄	56	A22	92	A54	128	G16
21	DB ₅	57	A21	93	A55	129	G15
22	DB ₆	58	A20	94	A56	130	G14
23	DB ₇	59	A19	95	A57	131	G13
24	IM	60	A18	96	A58	132	G12
25	MPU	61	A17	97	A59	133	G11
26	/CS	62	A16	98	A60	134	G10
27	R,L1	63	A15	99	A61	135	G9
28	R,L2	64	A14	100	A62	136	G8
29	/CL	65	A13	101	A63	137	G7
30	LE	66	A12	102	A64	138	G6
31	SDO	67	A11	103	A65	139	G5
32	SLK	68	A10	104	A66	140	G4
33	TEST _{OUT}	69	A9	105	A67	141	G3
34	V _{SS1}	70	A8	106	A68	142	G2
35	V _{SS2}	71	A7	107	A69	143	G1
36	V _{DD2}	72	N.C.	108	A70	144	N.C.

表 5 - 4 端子配置 (R,L1 = H , R,L2 = L のとき)

No.	名称	No.	名称	No.	名称	No.	名称
1	V _{DD2}	37	N.C.	73	A75	109	N.C.
2	V _{SS2}	38	A41	74	A76	110	A10
3	V _{DD1}	39	A42	75	A77	111	A9
4	X _{OUT}	40	A43	76	A78	112	A8
5	OSC _{OUT}	41	A44	77	A79	113	A7
6	OSC _{IN}	42	A45	78	A80	114	A6
7	/RESET	43	A46	79	A40	115	A5
8	TEST	44	A47	80	A39	116	A4
9	DLS	45	A48	81	A38	117	A3
10	DS1	46	A49	82	A37	118	A2
11	DS0	47	A50	83	A36	119	A1
12	R,W(WR)	48	A51	84	A35	120	G24
13	RS,STB	49	A52	85	A34	121	G23
14	E(/RD),SCK	50	A53	86	A33	122	G22
15	SI,SO	51	A54	87	A32	123	G21
16	DB ₀	52	A55	88	A31	124	G20
17	DB ₁	53	A56	89	A30	125	G19
18	DB ₂	54	A57	90	A29	126	G18
19	DB ₃	55	A58	91	A28	127	G17
20	DB ₄	56	A59	92	A27	128	G16
21	DB ₅	57	A60	93	A26	129	G15
22	DB ₆	58	A61	94	A25	130	G14
23	DB ₇	59	A62	95	A24	131	G13
24	IM	60	A63	96	A23	132	G12
25	MPU	61	A64	97	A22	133	G11
26	/CS	62	A65	98	A21	134	G10
27	R,L1	63	A66	99	A20	135	G9
28	R,L2	64	A67	100	A19	136	G8
29	/CL	65	A68	101	A18	137	G7
30	LE	66	A69	102	A17	138	G6
31	SDO	67	A70	103	A16	139	G5
32	SLK	68	A71	104	A15	140	G4
33	TEST _{OUT}	69	A72	105	A14	141	G3
34	V _{SS1}	70	A73	106	A13	142	G2
35	V _{SS2}	71	A74	107	A12	143	G1
36	V _{DD2}	72	N.C.	108	A11	144	N.C.

表 5 - 5 端子配置 (R,L1 = H , R,L2 = H のとき)

★
★
★
★
★
★

No.	名称	No.	名称	No.	名称	No.	名称
1	V _{DD2}	37	N.C.	73	A46	109	N.C.
2	V _{SS2}	38	A80	74	A45	110	A10
3	V _{DD1}	39	A79	75	A44	111	A9
4	X _{OUT}	40	A78	76	A43	112	A8
5	OSC _{OUT}	41	A77	77	A42	113	A7
6	OSC _{IN}	42	A76	78	A41	114	A6
7	/RESET	43	A75	79	A40	115	A5
8	TEST	44	A74	80	A39	116	A4
9	DLS	45	A73	81	A38	117	A3
10	DS1	46	A72	82	A37	118	A2
11	DS0	47	A71	83	A36	119	A1
12	R,/W	48	A70	84	A35	120	G24
13	RS,STB	49	A69	85	A34	121	G23
14	E(/RD),SCK	50	A68	86	A33	122	G22
15	SI,SO	51	A67	87	A32	123	G21
16	DB ₀	52	A66	88	A31	124	G20
17	DB ₁	53	A65	89	A30	125	G19
18	DB ₂	54	A64	90	A29	126	G18
19	DB ₃	55	A63	91	A28	127	G17
20	DB ₄	56	A62	92	A27	128	G16
21	DB ₅	57	A61	93	A26	129	G15
22	DB ₆	58	A60	94	A25	130	G14
23	DB ₇	59	A59	95	A24	131	G13
24	IM	60	A58	96	A23	132	G12
25	MPU	61	A57	97	A22	133	G11
26	/CS	62	A56	98	A21	134	G10
27	R,L1	63	A55	99	A20	135	G9
28	R,L2	64	A54	100	A19	136	G8
29	/CL	65	A53	101	A18	137	G7
30	LE	66	A52	102	A17	138	G6
31	SDO	67	A51	103	A16	139	G5
32	SLK	68	A50	104	A15	140	G4
33	TEST _{OUT}	69	A49	105	A14	141	G3
34	V _{SS1}	70	A48	106	A13	142	G2
35	V _{SS2}	71	A47	107	A12	143	G1
36	V _{DD2}	72	N.C.	108	A11	144	N.C.

表 5 - 6 アノード設定 : 1 行表示 (N = 0)

R,L1	R,L2	表番号
Don't care	L	表 5 - 7
Don't care	H	表 5 - 8

表 5 - 7 端子配置 (R,L2 = L のとき)

No.	名称	No.	名称	No.	名称	No.	名称
1	V _{DD2}	37	N.C.	73	A35	109	N.C.
2	V _{SS2}	38	A1	74	A36	110	未使用
3	V _{DD1}	39	A2	75	A37	111	
4	X _{OUT}	40	A3	76	A38	112	
5	OSC _{OUT}	41	A4	77	A39	113	
6	OSC _{IN}	42	A5	78	A40	114	
7	/RESET	43	A6	79	未使用	115	
8	TEST	44	A7	80		116	
9	DLS	45	A8	81		117	
10	DS1	46	A9	82		118	
11	DS0	47	A10	83		119	▼
12	R ₁ /W	48	A11	84		120	G24
13	RS,STB	49	A12	85		121	G23
14	E(/RD),SCK	50	A13	86		122	G22
15	SI,SO	51	A14	87		123	G21
16	DB ₀	52	A15	88		124	G20
17	DB ₁	53	A16	89		125	G19
18	DB ₂	54	A17	90		126	G18
19	DB ₃	55	A18	91		127	G17
20	DB ₄	56	A19	92		128	G16
21	DB ₅	57	A20	93		129	G15
22	DB ₆	58	A21	94		130	G14
23	DB ₇	59	A22	95		131	G13
24	IM	60	A23	96		132	G12
25	MPU	61	A24	97		133	G11
26	/CS	62	A25	98		134	G10
27	R ₁ ,L1	63	A26	99		135	G9
28	R ₁ ,L2	64	A27	100		136	G8
29	/CL	65	A28	101		137	G7
30	LE	66	A29	102		138	G6
31	SDO	67	A30	103		139	G5
32	SLK	68	A31	104		140	G4
33	TEST _{OUT}	69	A32	105		141	G3
34	V _{SS1}	70	A33	106		142	G2
35	V _{SS2}	71	A34	107		143	G1
36	V _{DD2}	72	N.C.	108	▼	144	N.C.

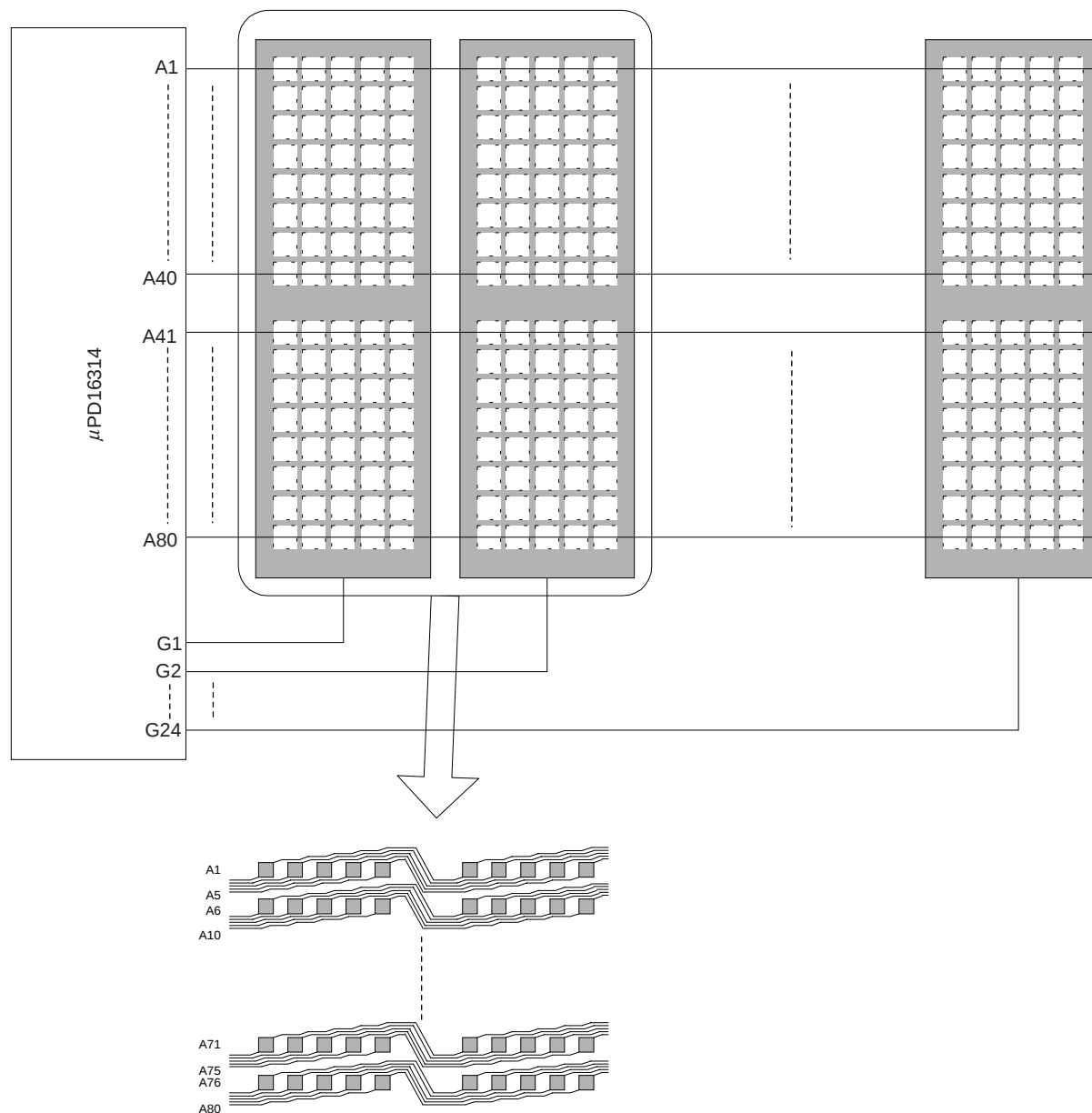
表 5 - 8 端子配置 (R,L2 = 1 のとき)

No.	名称	No.	名称	No.	名称	No.	名称
1	V _{DD2}	37	N.C.	73	A6	109	N.C.
2	V _{SS2}	38	A40	74	A5	110	未使用
3	V _{DD1}	39	A39	75	A4	111	
4	X _{OUT}	40	A38	76	A3	112	
5	OSC _{OUT}	41	A37	77	A2	113	
6	OSC _{IN}	42	A36	78	A1	114	
7	/RESET	43	A35	79	未使用	115	
8	TEST	44	A34	80		116	
9	DLS	45	A33	81		117	
10	DS1	46	A32	82		118	
11	DS0	47	A31	83		119	▼
12	R,/W	48	A30	84		120	G24
13	RS,STB	49	A29	85		121	G23
14	E(/RD),SCK	50	A28	86		122	G22
15	SI,SO	51	A27	87		123	G21
16	DB ₀	52	A26	88		124	G20
17	DB ₁	53	A25	89		125	G19
18	DB ₂	54	A24	90		126	G18
19	DB ₃	55	A23	91		127	G17
20	DB ₄	56	A22	92		128	G16
21	DB ₅	57	A21	93		129	G15
22	DB ₆	58	A20	94		130	G14
23	DB ₇	59	A19	95		131	G13
24	IM	60	A18	96		132	G12
25	MPU	61	A17	97		133	G11
26	/CS	62	A16	98		134	G10
27	R,L1	63	A15	99		135	G9
28	R,L2	64	A14	100		136	G8
29	/CL	65	A13	101		137	G7
30	LE	66	A12	102		138	G6
31	SDO	67	A11	103		139	G5
32	SLK	68	A10	104		140	G4
33	TEST _{OUT}	69	A9	105		141	G3
34	V _{SS1}	70	A8	106		142	G2
35	V _{SS2}	71	A7	107		143	G1
36	V _{DD2}	72	N.C.	108	▼	144	N.C.

6. VFD 表示

μ PD16314 は、24 文字 × 2 行を表示可能です。また、次に示すように VFD と接続します。

図 6 - 1 VFD 表示



7. 各ブロックの機能

7.1 CPU インタフェース

μ PD16314 には、4/8 ビットの平行とシリアルインタフェースが備わっています。モードは IM 端子で設定します。

IM = L：シリアル・データ転送

IM = H：平行・データ転送

表 7 - 1 CPU インタフェース

IM	/CS	RS,STB	E(/RD),SCK	R,/W(/WR)	MPU	SI,SO	DBn
L	/CS	STB	SCK	注	注	SI,SO	注
H	/CS	RS	E(/RD)	R,/W(/WR)	MPU	注	DBn

注 H または L に固定してください。

7.2 レジスタ (IR, DR)

μ PD16314 には、インストラクション・レジスタ (IR) とデータ・レジスタ (DR) の 8 ビット・レジスタがあります。インストラクション・レジスタには、表示クリアやカーソル・シフトといった命令コードや、表示データ RAM (DDRAM) やキャラクタ・ジェネレータ RAM (CGRAM) 用のアドレス情報が保存されます。IR は MPU からのみ書き込まれます。DR は、DDRAM や CGRAM に書き込まれるデータを、また DDRAM や CGRAM から読み込まれるデータを一時的に保存します。

表 7 - 2 レジスタ選択 (IR, DR)

共通	68 系	80 系		機 能
RS	R,/W	/RD	/WR	
L	L	H	L	IR データを書き込む内部動作 (表示クリアなど)
L	H	L	H	ビジィ・フラグ (DB ₇) とアドレス・カウンタ (DB ₆ - DB ₀) への読み出し
H	L	H	L	DR データの書き込み (DR → DDRAM, CGRAM)
H	H	L	H	DR データの読み出し (DDRAM, CGRAM → DR)

7.3 ビジィ・フラグ (リード BF フラグ)

ビジィ・フラグ・データ (DB₇) には、常に L が出力されます。

7.4 アドレス・カウンタ (AC)

アドレス・カウンタ (AC) は、DDRAM と CGRAM の両方にアドレスを割り当てます。命令のアドレスが IR に書き込まれた場合、アドレス情報は、IR から AC に送信されます。

DDRAM か CGRAM かの選択は、命令により同時に行われます。DDRAM や CGRAM への書き込み (読み込み) 後、AC は自動的にインクリメント (+1) されます。AC の内容は、RS = L で R/W = H のとき DB₀ - DB₆ に出力されます (表 7-2 レジスタ (IR, DR) を参照してください。)

7.5 表示データ RAM (DDRAM)

表示データ RAM (DDRAM) は、8 ビット文字コードで表された表示データを記憶します。容量は、80 × 8 ビットまたは 80 文字分です。表示に使用されない DDRAM の領域は、通常データ RAM として使用できます。DDRAM のアドレスと VFD 上での位置との関係については、7.5.1 1 行表示 (N = 0)、7.5.2 2 行表示 (N = 1) を参照してください。

DDRAM アドレス (ADD) は、16 進としてアドレス・カウンタ (AC) に設定されます。

図 7-1 DDRAM アドレス

AC	上位ビット			下位ビット			
	AC6	AC5	AC4	AC3	AC2	AC1	AC0
	16 進			16 進			

例：DDRAM アドレスが 26 の場合

0	1	0	0	1	1	0
2			6			

7.5.1 1 行表示 (N = 0)

図 7-2 1 行表示

表示位置									
(桁)	1	2	3	4	5	6		79	80
DDRAM アドレス	00	01	02	03	04	05		4E	4F
(16 進)									

表示が、80 文字未満の場合、表示は先頭から開始します。たとえば、μ PD16314 を 1 つ使用すると、24 文字表示されます。表示シフト操作を実行すると、DDRAM アドレスはシフトします。図 7-3 24 桁 1 行表示の例を参照してください。

図 7-3 24 桁 1 行表示の例

表示位置									
(桁)	1	2	3	4	5	6		23	24
DDRAM アドレス	00	01	02	03	04	05		16	17
(16 進)									
左ヘシフト	01	02	03	04	05	06		17	18
右ヘシフト	4F	00	01	02	03	04		15	16

7.5.2 2行表示 (N = 1)

図 7 - 4 2行表示

表示位置 (桁)	1	2	3	4	5	6		23	24
DDRAM アドレス	00	01	02	03	04	05		16	17
(16進)	40	41	42	43	44	45		56	57

表示文字が 40 桁 2 行未満の場合，2 行は，先頭から表示を開始します。1 行目の最終アドレスと 2 行目の先頭アドレスは連続しておりません。

たとえば，μ PD16314 を 1 個使用すると 24 桁 2 行を表示します。表示シフト操作を実行すると，DDRAM アドレスはシフトします。図 7 - 5 24 桁 2 行表示の例を参照してください。

図 7 - 5 24 桁 2 行表示の例

表示位置 (桁)	1	2	3	4	5	6		23	24
DDRAM アドレス	00	01	02	03	04	05		16	17
(16進)	40	41	42	43	44	45		56	57

左ヘシフト	01	02	03	04	05	06		17	18
	41	42	43	44	45	46		57	58

右ヘシフト	27	00	01	02	03	04		15	16
	67	40	41	42	43	44		55	56

40 桁 2 行表示では，μ PD16314 と，16 出力グリッド拡張ドライバ 1 つを用います。ディスプレイ・シフト操作を実行すると，DDRAM アドレスがシフトします。図 7 - 6 40 桁 2 行表示の例を参照してください。

図 7 - 6 40 桁 2 行表示の例

表示位置 (桁)	1	2	3	4		23	24	25		39	40
DDRAM アドレス	00	01	02	03		16	17	18		26	27
(16進)	40	41	42	43		56	57	58		66	67

左ヘシフト	01	02	03	04		17	18	19		27	00
	41	42	43	44		57	58	59		57	40

右ヘシフト	27	00	01	02		15	16	17		25	26
	67	40	41	42		55	56	57		65	66
μ PD16314 表示								拡張ドライバ表示			

7.6 キャラクタ・ジェネレータ ROM (CGROM)

CGROM は、8 ビット文字コードから 5×8 ドットの文字パターンを生成する ROM で、文字パターンを 240 種類表示します。

次のページに文字コードを示します。文字コード 00H - 0FH は、CGRAM に割り付けられます。

図 7-7 文字コード表 1 (ROM コード : 001)

		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
XXXX0000	0	CG RAM (0)	▶		00P	'	F	0	P	A	0						
XXXX0001	1	CG RAM (1)	◀	!	1	A	0	3	4	2	0	A	+	4	0	0	0
XXXX0010	2	CG RAM (2)	◀	0	2	B	0	7	0	0	0	0	0	0	0	0	0
XXXX0011	3	CG RAM (3)	◀	#	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX0100	4	CG RAM (4)	◀	4	0	T	0	0	0	0	0	0	0	0	0	0	0
XXXX0101	5	CG RAM (5)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX0110	6	CG RAM (6)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX0111	7	CG RAM (7)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX1000	8	CG RAM (0)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX1001	9	CG RAM (1)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX1010	A	CG RAM (2)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX1011	B	CG RAM (3)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX1100	C	CG RAM (4)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX1101	D	CG RAM (5)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX1110	E	CG RAM (6)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0
XXXX1111	F	CG RAM (7)	◀	0	0	0	0	0	0	0	0	0	0	0	0	0	0

図 7 - 8 文字コード表 2 (ROM コード : 002)

		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
XXXX0000	0	CG RAM (0)			00P`FAH									一ヲ三OP			
XXXX0001	1	CG RAM (1)		!	1H034444									アチ434			
XXXX0010	2	CG RAM (2)		"	2B044444									イリ×44			
XXXX0011	3	CG RAM (3)		#	3C054444									ウテ644			
XXXX0100	4	CG RAM (4)		\$	4D064444									エト444			
XXXX0101	5	CG RAM (5)		%	5E074444									オチ144			
XXXX0110	6	CG RAM (6)		&	6F084444									カニヨ44			
XXXX0111	7	CG RAM (7)		'	7G094444									キ×ヲヨ44			
XXXX1000	8	CG RAM (0)		(	8H0A4444									イチリ×44			
XXXX1001	9	CG RAM (1)		)	9I0B4444									ル'リ'44			
XXXX1010	A	CG RAM (2)		*	0J0C4444									ル'リ'44			
XXXX1011	B	CG RAM (3)		+	1K0D4444									ル'リ'44			
XXXX1100	C	CG RAM (4)		,	2L0E4444									ル'リ'44			
XXXX1101	D	CG RAM (5)		-	3M0F4444									ル'リ'44			
XXXX1110	E	CG RAM (6)		.	4N104444									ル'リ'44			
XXXX1111	F	CG RAM (7)		/	5O114444									ル'リ'44			

7.7 キャラクタ・ジェネレータ RAM (CGRAM)

キャラクタ・ジェネレータ RAM (CGRAM) は、プログラムによって文字パターンを書き換えることができます。5×8 ドットで、8 文字分のパターンが書き換え可能です。文字コード 00H - 07H と 08H - 0FH は同じ CGRAM の内容です。

図 7 - 9 に CGRAM アドレスとデータと表示パターンの関係を示します。表示で使用されない領域は通常データ RAM として使用できます。

図 7 - 9 CGRAM アドレスと文字コード (DDRAM)と 5×7 (カーソル付き) ドット文字パターン (CGRAM)の関係

文字コード (DDR4Mデータ)								CGRAMアドレス						CGRAMデータ								
D7	D6	D5	D4	D3	D2	D1	D0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	
上位ビット				下位ビット				上位ビット			下位ビット			上位ビット				下位ビット				
0	0	0	0	x	0	0	0	0	0	0	0	0	0	x	x	x	1	0	0	0	1	文字 パターン(0)
↓				↓			↓			0	0	1	↓				1	0	0	0	1	
										0	1	0					1	1	0	1		
										0	1	1					1	0	1			
										1	0	0					1	1				
										1	0	1					1	0	1			
										1	1	0					1	0	1			
↓				↓			↓			1	1	1	↓				0	0	0	0	0	カーソル位置
										0	0	1					1	1	1			
										0	1	0					1	0	0			
										0	1	1					1	1	1			
										1	0	0					1	0	0			
										1	0	1					1	0	0			
↓				↓			↓			1	1	0	↓				1	1	1	1	1	文字 パターン(1)
										1	1	1					0	0				
										1	1	0					0	0				
										1	1	1					1	1				
										1	0	0					0	0				
										1	0	0					0	0				
↓				↓			↓			1	1	0	↓				1	1	1	1	1	カーソル位置
										1	1	1					0	0				
										1	1	1					0	0				
										1	1	1					1	1				
										1	0	0					0	0				
										1	0	0					0	0				
↓				↓			↓			0	0	0	↓				0	0	0	0	0	
										0	0	0					0	0				
										0	0	0					0	0				
										0	0	0					0	0				
										0	0	0					0	0				
										0	0	0					0	0				
↓				↓			↓			1	1	1	↓				0	1	1	1	0	文字 パターン(7)
										0	0	1					1	0	0			
										0	1	0					1	0	0			
										0	1	1					1	0	0			
										1	0	0					1	0	0			
										1	0	1					1	0	0			
↓				↓			↓			1	1	0	↓				0	1	1	1	0	カーソル位置
										1	1	0					0	0				
										1	1	1					1	1				
										1	1	1					1	1				
										1	1	1					1	1				
										1	1	1					1	1				

備考 1. x : Don't care.

- 文字コードの 0 - 2 ビット目は、CGRAM アドレス 3 - 5 ビット目に対応します (3 ビット : 8 種類)。
- CGRAM アドレス 0 - 2 ビット目は、文字ライン位置を表します。8 番目のラインは、カーソル位置を示し、カーソル指定と OR をとり表示されます。8 ライン目のデータを 0 にすると、カーソル指定により表示が決まります。データが 1 の場合、カーソルの存在にかかわらず、8 ライン目が点灯します。
- CGRAM データで、1 は表示の選択と対応し、0 は非選択と対応します。

7.8 タイミング生成回路

タイミング生成回路は、DDRAM や CGRAM , CGROM といった内部回路の動作のためにタイミング信号を生成します。表示用の RAM リード・タイミングと MPU による内部動作タイミングは、干渉し合わないようになんべに発生します。そのため、DDRAM にデータを書き込む場合、表示のちらつきなどは発生しません。

7.9 VFD ドライバ回路

VFD ドライバ回路は、24 グリッド信号ドライバと 80 アノード信号ドライバによって構成されています。文字フォントと桁数が選択されると、自動的に必要なグリッド信号ドライバが駆動波形を出力します。

7.10 カーソル／ブリンク制御回路

カーソル／ブリンク制御回路は、カーソルや文字ブリンクを発生します。カーソル／ブリンクは、アドレス・カウンタ (AC) に設定された表示データ RAM (DDRAM) に位置する桁で有効です。

たとえば、アドレス・カウンタが 08H の場合、カーソルは DDRAM アドレス 08H に表示されます。

図 7 - 10 カーソル／ブリンク制御

	AC6	AC5	AC4	AC3	AC2	AC1	AC0
AC	0	0	0	1	0	0	0

・ 1 行表示

表示位置

(桁)	1	2	3	4	5	6	7	8	9	10	11	12
DDRAM アドレス	00	01	02	03	04	05	06	07	<u>08</u>	09	0A	0B
(16 進)												

カーソル位置

・ 2 行表示

表示位置

(桁)	1	2	3	4	5	6	7	8	9	10	11	12
DDRAM アドレス	00	01	02	03	04	05	06	07	<u>08</u>	09	0A	0B
(16 進)	40	41	42	43	44	45	46	47	48	49	4A	4B

カーソル位置

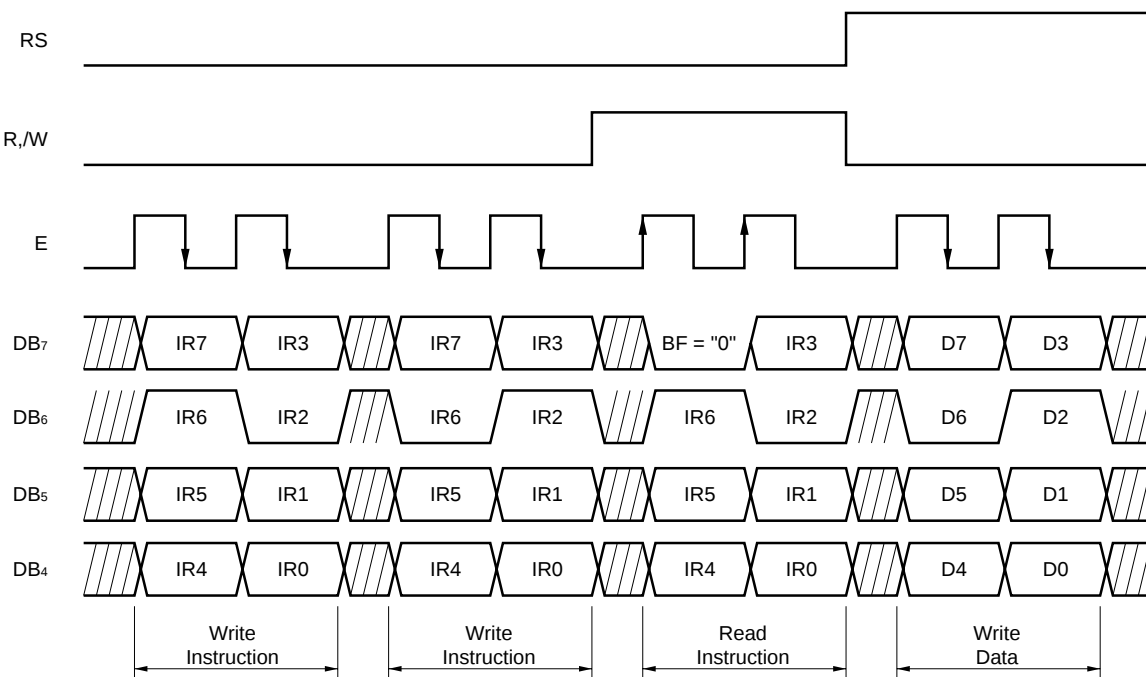
8. CPU とのインタフェース（データ転送）

★ 8.1 パラレル・データ転送 M68（IM = H, MPU = H）

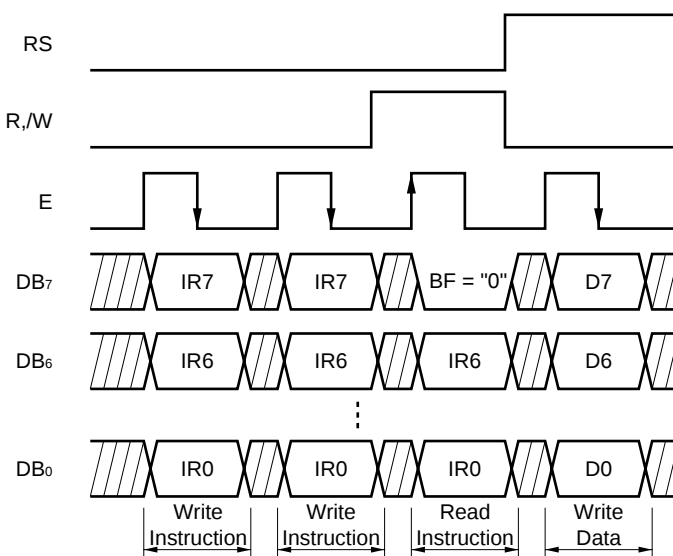
μ PD16314 は、CPU とのインタフェース（データ転送）を 4 または 8 ビットで行うことが可能です（M68 インタフェース：IM = H, MPU = H）。しかし、内部レジスタは 8 ビットで構成されていますので、4 ビットでデータ転送を行う場合には、DB₄ - DB₇ を 2 回使用する必要があります。4 ビット・パラレル・データ転送を使用する場合には、DB₀ - DB₃ 端子を H または L に保持してください。転送順序は、最初に上位 4 ビット（D₄ - D₇）で、次に下位 4 ビットです（D₀ - D₃）。

図 8 - 1 パラレル・データ転送 M68（IM = H, MPU = H）

(a) 4ビット・データ転送 (M68)



(b) 8ビットデータ転送 (M68)

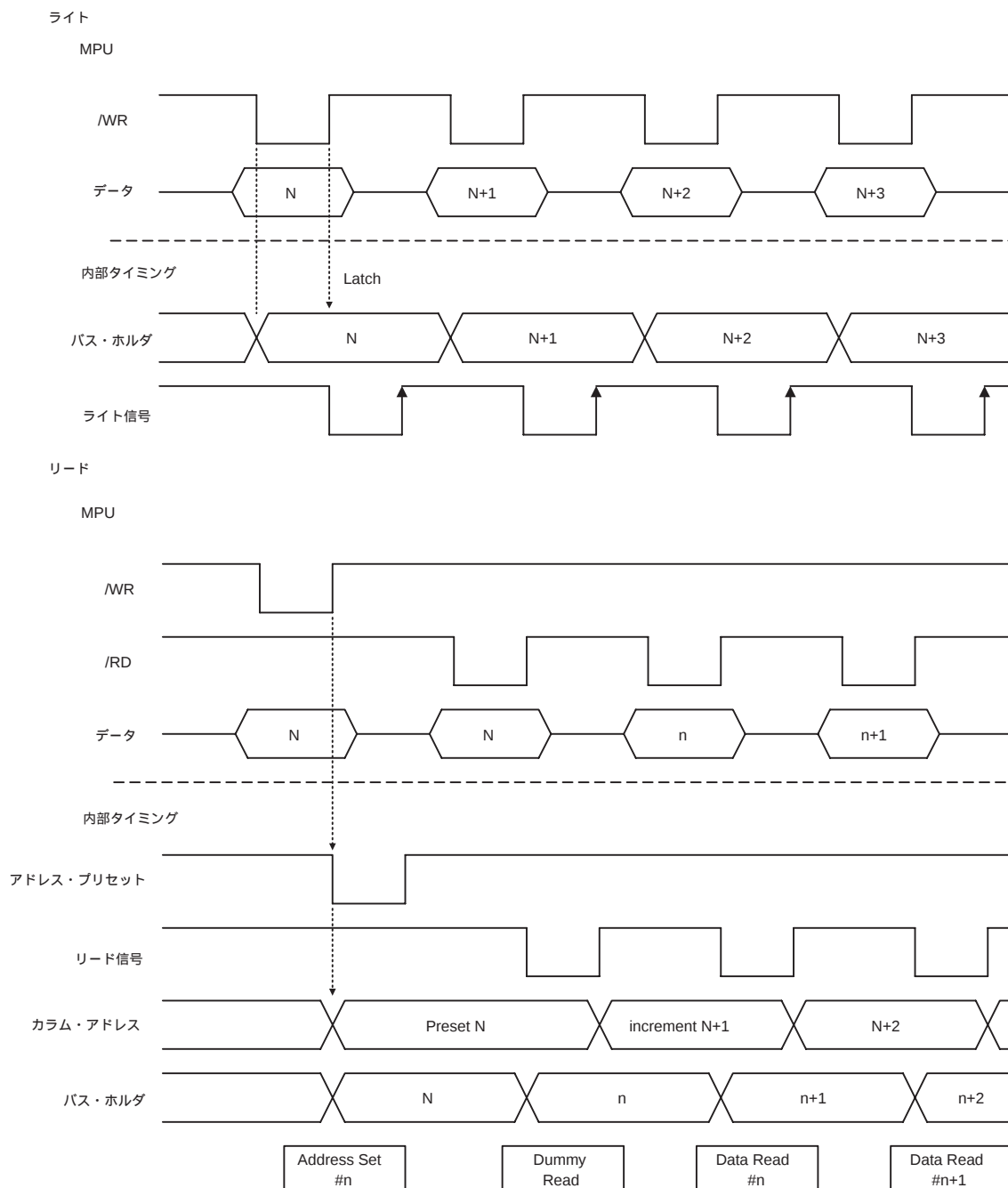


8.2 パラレル・データ転送 i80 (IM = H, MPU = L)

IM = H, MPU = L と設定すると, i80 が選択されます。μ PD16314 は, CPU とのデータ転送に際して, 内部データ・バスに付属するバス・ホルダに保持され, 次のデータ・ライト・サイクルまでに表示データ RAM に書き込まれます。また, CPU が表示データ RAM の内容を読み出す場合, はじめのデータ・リード・サイクル(ダミー)で, 読み出しデータがバス・ホルダに保持され, 次のデータ・リード・サイクルでバス・ホルダからシステム・バス上に読み出されます。

表示データ RAM のリード・シーケンスには制約があり, アドレス・セットを行った場合, その直後のリード命令には, 指定されたアドレスのデータが出力されず, 2 度目のデータ・リード時に指定アドレスのデータが出力されることに注意する必要があります。このため, アドレス・セット後やライト・サイクル後には, 必ずダミー・リードが 1 回必要となります。この関係を次の図に示します。

図 8 - 2 パラレル・データ転送 i80 (IM = H, MPU = L)



8.3 シリアル・データ転送

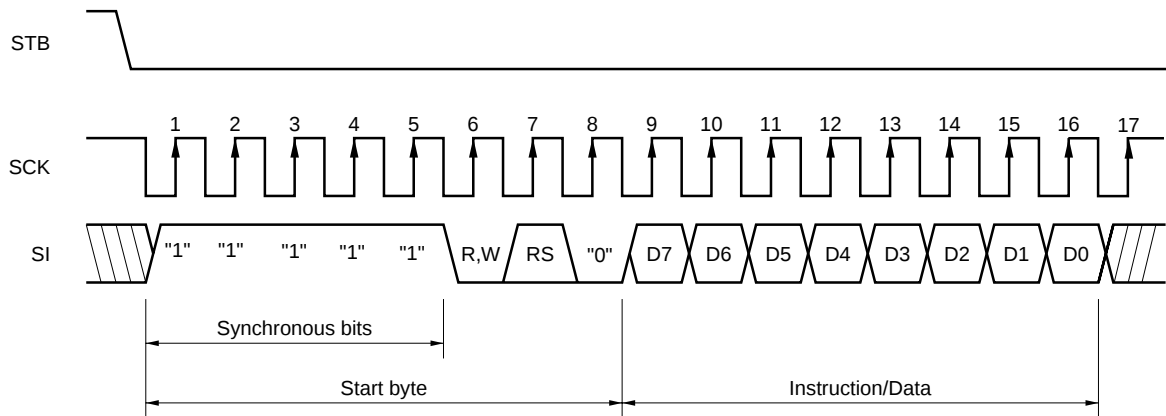
μ PD16314 は、CPU とのインタフェース（データ転送）をシリアルで行うことができます。

STB=L になると、データの書き込みが可能となります。第 1 バイトはスタート・バイトで、RS ビット（ビット 6）により IR（インストラクション・レジスタ）か DR（データ・レジスタ）を選択、R/W（bit 5=0）により、データのライトかリードかを選択します。そして次のバイト以降がインストラクションやデータとなります。

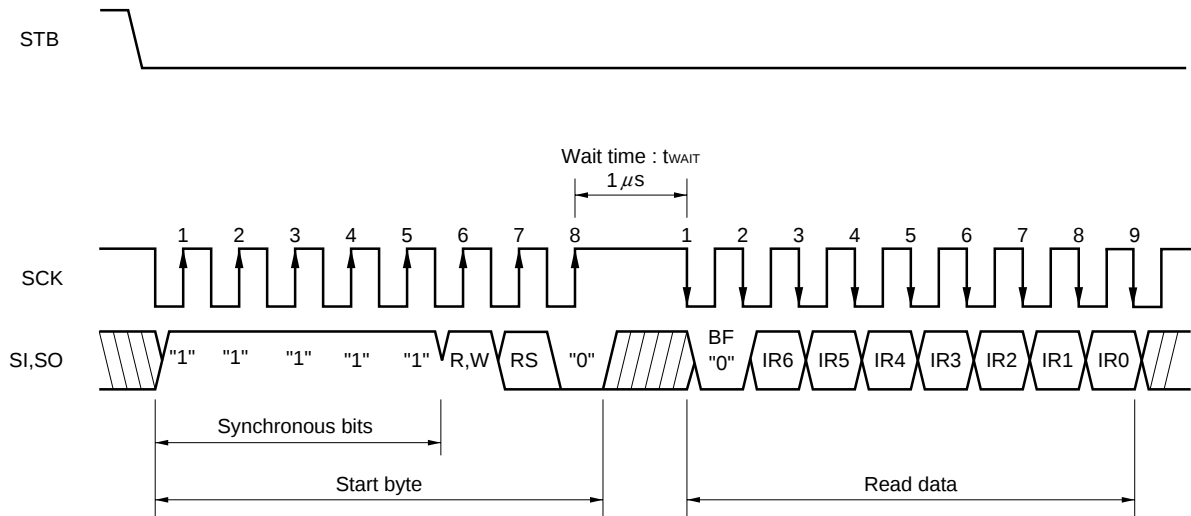
データの読み出し時には、ビジィ・フラグ+アドレス・カウンタ（AC6 - AC0）、あるいは DDRAM や CGRAM のデータかが最初に入力するスタート・バイトで選択されます。データはシフト・クロックの立ち下がりで出力されます。

図 8 - 3 シリアル・データ転送

データ・ライト



データ・リード



9. インストラクション

インストラクション	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀	説明
表示クリア	0	0	0	0	0	0	0	0	0	1	表示全体をクリアし、 DDRAM アドレスを 00H に設定します。
カーソル・ホーム	0	0	0	0	0	0	0	0	1	x	DDRAM アドレスを 00H に設定します。また、表 示を元の状態に戻しま す。DDRAM の内容に変 化はありません。
エントリ・モード設定	0	0	0	0	0	0	0	1	I/D	S	カーソルの方向を設定 し、表示シフトを選択し ます。これら動作はデー タのライト・リード中に 実行されます。
ON/OFF 表示	0	0	0	0	0	0	1	D	C	B	表示全体の ON/OFF(D)、 カーソルの ON/OFF(C)、 文字位置でのカーソルの 点滅(B)を設定します。
カーソルまたは表示 のシフト	0	0	0	0	0	1	S/C	R/L	x	x	表示やカーソルをシフト します。DDRAM の内容 は保持されます。
ファンクション設定	0	0	0	0	1	DL	N	x	BR1	BR0	データ長 (パラレル・デ ータ転送) とライン数を 設定します。
CGRAM アドレス設定	0	0	0	1	ACG						CGRAM のアドレスを設 定します。そのあと、 CGRAM のデータが転送 されます。
DDRAM アドレス設定	0	0	1	ADD						DDRAM のアドレスを設 定します。そのあと、 DDRAM のデータが転送 されます。	
ビジィ・フラグとア ドレスをリード	0	1	BF='0'	ACC						ビジィ・フラグ (BF) と アドレス・カウンタをリ ード。BF は常に 0 を出 力します。	
CGRAM や DDRAM にデータをライト	1	0	データ・ライト						DDRAM や CGRAM にデ ータをライト		
CGRAM や DDRAM よりデータをリード	1	1	DR データをリード						CGRAM や DDRAM より データをリード		

備考 1. I/D = 1 : インクリメント

I/D = 0 : デクリメント

S = 1 : 表示シフト・イネーブル

S = 0 : カーソル・シフト・イネーブル

S/C = 1 : 表示シフト

S/C = 0 : カーソル・シフト

R/L = 1 : 右へシフト

R/L = 0 : 左へシフト

DL = 1 : 8 ビット

DL = 0 : 4 ビット

N = 0 : 1 ライン

N = 1 : 2 ライン

BR1, BR0 = 00 : 100 %

01 : 75 %

10 : 50 %

11 : 25 %

2. x : Don't care.

DDRAM : データ RAM の表示

CGRAM : キャラクタ・ジェネレータ RAM

ACG : CGRAM アドレス

ADD : DDRAM アドレス

ACC : アドレス・カウンタ

10. インストラクション説明

10.1 表示クリア

	RS	R,/W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	0	0	0	0	0	0	0	0	1

この命令を実行すると、次のように設定されます。

- (1) 表示データ RAM (DDRAM) 内のすべてに 20H (スペース・コード) を書き込みます。
- (2) アドレス・カウンタ (ACC) に DDRAM アドレス 00H を設定します。
- (3) 表示シフトを 0 に戻します。
- (4) カーソルが表示された場合には、カーソルを一番上の行の最も左端に移動します。

リセット時；

DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
0	0	0	0	0	0	0	1

10.2 カーソル・ホーム

	RS	R,/W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	0	0	0	0	0	0	0	0	x

この命令を実行すると、次のように設定されます。

- (1) アドレス・カウンタ (ACC) に DDRAM アドレス 00H を設定します。
- (2) 表示シフトをゼロに戻します。
- (3) カーソルが表示された場合には、カーソルを一番上の行の最も左端に持っていきます。

10.3 エントリ・モード

	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	0	0	0	0	0	0	1	I/D	S

I/D ビットは、DDRAM や CGRAM にアクセスしたあとに、アドレス・カウンタがインクリメント / デクリメントされる方法を決定します。

I/D = 1 : DDRAM あるいは CGRAM のアクセス後にアドレス・カウンタはインクリメントします。

I/D = 0 : DDRAM あるいは CGRAM のアクセス後にアドレス・カウンタはデクリメントします。

S ビットは、DDRAM へのライトあるいはリードのあとに、カーソル・シフトするか、または表示シフトするかを決定します。

S = 1 : 表示シフト・イネーブル

S = 0 : カーソル・シフト・イネーブル

表示シフトの方向は、カーソル・シフトの方向とは反対です。

たとえば、S = 0 で I/D = 1 の場合、DDRAM への CPU ライトのあと、カーソルは右に 1 文字分シフトします。しかし、S = 1 と I/D = 1 の場合、ディスプレイは 1 文字左にシフトして、カーソルはパネル上のその位置に保持されます。なお、DDRAM の読み出し時には、S の値に関わらず、カーソルが I/D により選択された方向にシフトします。同様に CGRAM の読み込みと書き込みではカーソルが常にシフトします。

表 10 - 1 エントリ・モード設定によるカーソル移動と表示シフト

I/D	S	DDRAM データ書き込み後	DDRAM データ読み込み後
0	0	カーソルが左に 1 文字分移動	カーソルが左に 1 文字分移動
1	0	カーソルが右に 1 文字分移動	カーソルが右に 1 文字分移動
0	1	カーソルの移動なしで表示が右に 1 文字分移動	カーソルが左に 1 文字分移動
1	1	カーソルの移動なしで表示が左に 1 文字分移動	カーソルが右に 1 文字分移動

リセット時；

DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
0	0	0	0	0	1	1	0

10.4 表示 ON / OFF

	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	0	0	0	0	0	1	D	C	B

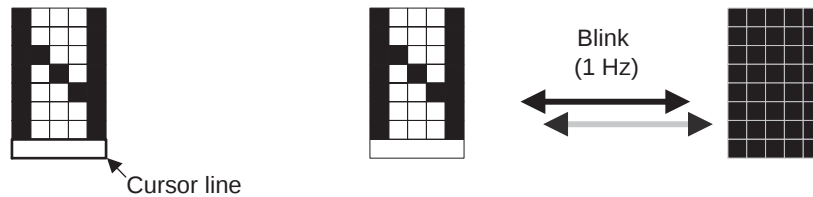
表示方法を指定するために使用します。

D = 1 : 表示 ON , D = 0 : 表示 OFF

C = 1 : カーソル ON , C = 0 : カーソル OFF

B = 1 : 点滅 ON , B = 0 : 点滅 OFF

点滅はノーマルと文字全表示とを繰り返します。カーソルは、1Hz、デューティ 50%で点滅します。



リセット時；

DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
0	0	0	0	1	0	0	0

10.5 カーソルまたは表示シフト

	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	0	0	0	0	1	S/C	R/L	x	x

この命令では、DDRAM の読み書きはせずに、左あるいは右の文字に表示のシフトをしたり、カーソルの移動を行います。

S/C ビットは、カーソルのみ、またはカーソルと表示の動きを選択します。

S/C = 1 : カーソルと表示の両方をシフトする

S/C = 0 : カーソルのみをシフトする

R/L ビットは、表示やカーソルの左右に動く方向を選択します。

R/L = 1 : 1 文字右へシフト

R/L = 0 : 1 文字左へシフト

表 10 - 2 カーソルまたは表示シフト

S/C	R/L	カーソル	表示
0	0	1 文字左にシフト	シフトなし
0	1	1 文字右にシフト	シフトなし
1	0	表示とともに 1 文字左にシフト	1 文字左にシフト
1	1	表示とともに 1 文字右にシフト	1 文字右にシフト

10.6 ファンクション設定

	RS	R ₁ /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	0	0	0	1	DL	N	x	BR1	BR0

この命令は、データ・バスのデータ長（パラレル・インタフェースを使用する場合、IM = H）、表示ラインと輝度調整を設定します。

この命令は、システムを初期化し、電源投入後、最初に実行する必要があります。

DL = 1 : DB₇ から DB₀ を使用した 8 ビット CPU インタフェース

DL = 0 : DB₇ から DB₄ を使用した 4 ビット CPU インタフェース

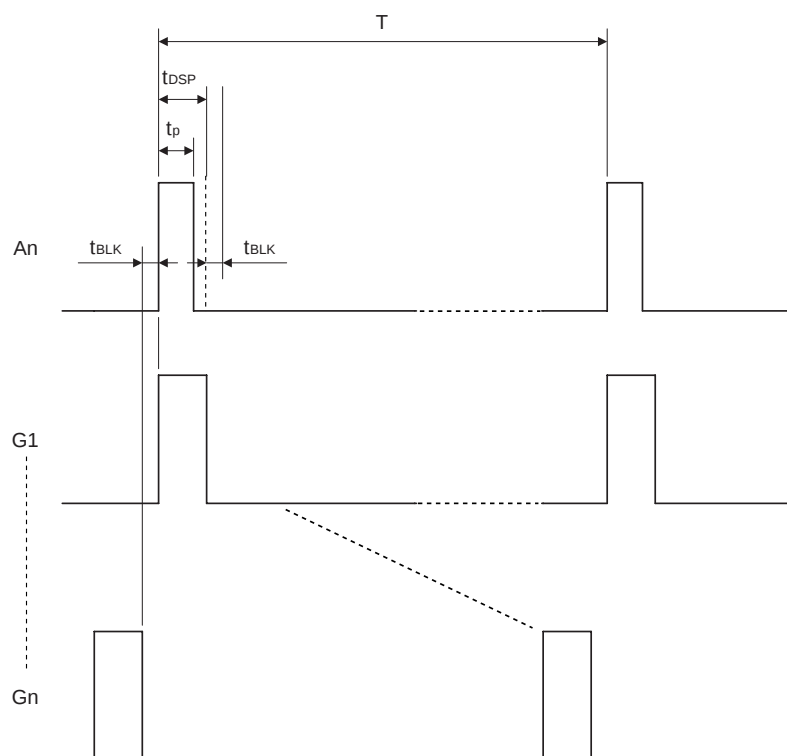
N = 0 : 1 ライン表示を選択（A1 - A40 のアノード出力を使用。A41 - A80 は L に固定）

N = 1 : 2 ライン表示を選択（A1 - A80 のアノード出力を使用）

BR1 と BR0 フラグは、次のようにアノード出力のパルス幅を調整し、VFD の輝度を制御します。

$t_{DSP} \ 200 \mu s, t_{BLK} \ 10 \mu s$

BR1	BR0	輝度	t_p
0	0	100 %	$t_{DSP} \times 1.00$
0	1	75 %	$t_{DSP} \times 0.75$
1	0	50 %	$t_{DSP} \times 0.50$
1	1	25 %	$t_{DSP} \times 0.25$



備考 n : グリッド数, $T = n \times (t_{DSP} + t_{BLK})$

リセット時 ;

DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
0	0	1	1	1	0	0	0

10.7 CGRAM アドレス設定

	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	0	0	1	A	A	A	A	A	A

この命令は次の処理を行います。

- (1) アドレス・カウンタに新しい6ビット・アドレスをロードします。
- (2) CGRAM の示すアドレス・カウンタを設定します。

CGRAM データ書き込み命令実行後は、アドレス・カウンタ (AC) の値は、エントリ・モード設定コマンドで設定されているとおり、自動的に+1 または-1 されます。

CGRAM のアドレスは、3FH の次は 00H (+1, インクリメント設定時) または 00H の次は 3FH (-1, デクリメント設定時) に移動します。

リセット時; Don't care.

10.8 DDRAM アドレス設定

	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	0	1	A	A	A	A	A	A	A

この命令は次の処理を行います。

- (1) アドレス・カウンタに新しい7ビットアドレスをロードします。
- (2) DDRAM の示すアドレス・カウンタを設定します。

DDRAM アドレス設定が一度実行されると、エントリ・モード設定の命令で決めてあるとおり、アドレス・カウンタ (ACC) の内容は、DDRAM にアクセスするたびに自動的に+1 または-1 されます。

表 10 - 3 有効 DDRAM アドレス範囲

	文字数	アドレス範囲
1 番目のライン	40	00H - 27H
2 番目のライン	40	40H - 67H

10.9 ビジィ・フラグ/アドレスのリード

	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	0	1	BF	A	A	A	A	A	A	A

この命令は、ビジィ・フラグ (BF)[※]とバイナリ AAAAAAA のアドレス・カウンタの値を読み込みます。このアドレス・カウンタは、CGRAM と DDRAM アドレスで使用され、この値は前の命令の指定により決まります。アドレス・カウンタの内容は CGRAM アドレス設定と DDRAM アドレス設定のインストラクションと同じです。

注 ビジィ・フラグは常に 0 を出力します。

10.10 CGRAM や DDRAM へのデータ・ライト

	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	1	0	D	D	D	D	D	D	D	D
	←上位ビット				下位ビット→					

この命令は、8 ビット・バイナリ・データ DDDDDDDD を CGRAM や DDRAM に書き込みます。

CGRAM か DDRAM かは、これ以降の指定（CGRAM アドレス・セットか DDRAM アドレス・セットか）によって決まります。データ書き込みのあと、アドレスの値は、エントリ・モード設定の選択により自動的に+1 または-1 されます。表示シフトも、エントリ・モードに従います。

10.11 CGRAM や DDRAM からのデータ・リード

	RS	R _i /W	DB ₇	DB ₆	DB ₅	DB ₄	DB ₃	DB ₂	DB ₁	DB ₀
コード	1	1	D	D	D	D	D	D	D	D
	←上位ビット				下位ビット→					

2 進 8 ビットのデータ DDDDDDDD を CGRAM または DDRAM から読み出します。CGRAM か DDRAM かはこれ以前の指定によって決まります。なお、この読み出し命令は、この直前に CGRAM アドレス・セット命令か、DDRAM アドレス・セット命令を必ず実行する必要があります。もし命令を行わなかったとき、1 回目の読み出しデータは無効のデータになり、連続して読み出し命令を実行する場合には、2 回目の読み出しから次のアドレスの正常データが読めます。ただし、カーソル・シフト命令により、カーソルを移動した場合には、読み出し命令の直前にアドレス・セット命令を実行する必要はありません（DDRAM の読み出しの場合のみ）。

カーソル・シフト命令は、DDRAM のアドレス・セット命令と同一の働きをします。読み出し後、アドレスはエントリ・モードに従って自動的に+1 または-1 されます。しかし、表示のシフトは、エントリ・モードにかかわらず行われません。

注意 CGRAM/DDRAM データ書き込み命令の実行後は、アドレス・カウンタ（AC）は、自動的に+1 または-1 されますが、この直後に読み出し命令を実行しても、そのときのアドレス・カウンタの指す RAM の内容は読み出されません。正しいデータが読み出されるのは、直前にアドレス・セット命令を実行するか、カーソル・シフト命令を実行するか（DDRAM の場合のみ）、連続して読み出し命令を実行する場合の 2 回目以降の場合です。

10.12 パワー・オン・リセット

μ PD16314 の内部設定は、電源投入時に次の状態になります。

- (1) 表示クリア：DDRAM に 20H (スペース・コード) が入ります。
- (2) アドレス・カウンタに、DDRAM アドレス 00H を設定します。
- (3) 表示 ON/OFF：D = 0, C = 0, B = 0
- (4) エントリ・モード設定：I/D = 1, S = 0
- (5) 関数設定：DL = 1, N = 1
- (6) 輝度調整：BR0 = BR1 = 0
- (7) CPU インタフェースとデューティ比の選択は、表 10 - 4 のとおりです。

表 10 - 4 パワー・オン・リセット時のμ PD16314 の状態と端子選択の関係

端子名称				機能	備考
TEST	IM	DS1	DS0		
H	x	x	x	セルフ・テスト・モード	
L または オープン	L	x	x	シリアル・インタフェース	SI, SO, SCK, STB 使用
L または オープン	H	x	x	パラレル・インタフェース	RS, E, R, W, DB ₇ - DB ₄ , または DB ₇ - DB ₀ 使用
L または オープン	x	L	L	デューティ = 1/16 (16C x 1 or 2L 表示)	拡張ドライバを使用する必要はありません。 命令によりライン数が選択されます。
L または オープン	x	L	H	デューティ = 1/20 (20C x 1 or 2L 表示)	
L または オープン	x	H	L	デューティ = 1/24 (24C x 1 or 2L 表示)	
L または オープン	x	H	H	デューティ = 1/40 (40C x 1 or 2L 表示)	拡張ドライバを使用する必要があります。命 令によりライン数が選択されます。

備考 x : Don't care.

11. データ転送の例（8ビット・パラレル、データ・インクリメント・モード）

図 11 - 1 初期化とデータ設定の手順

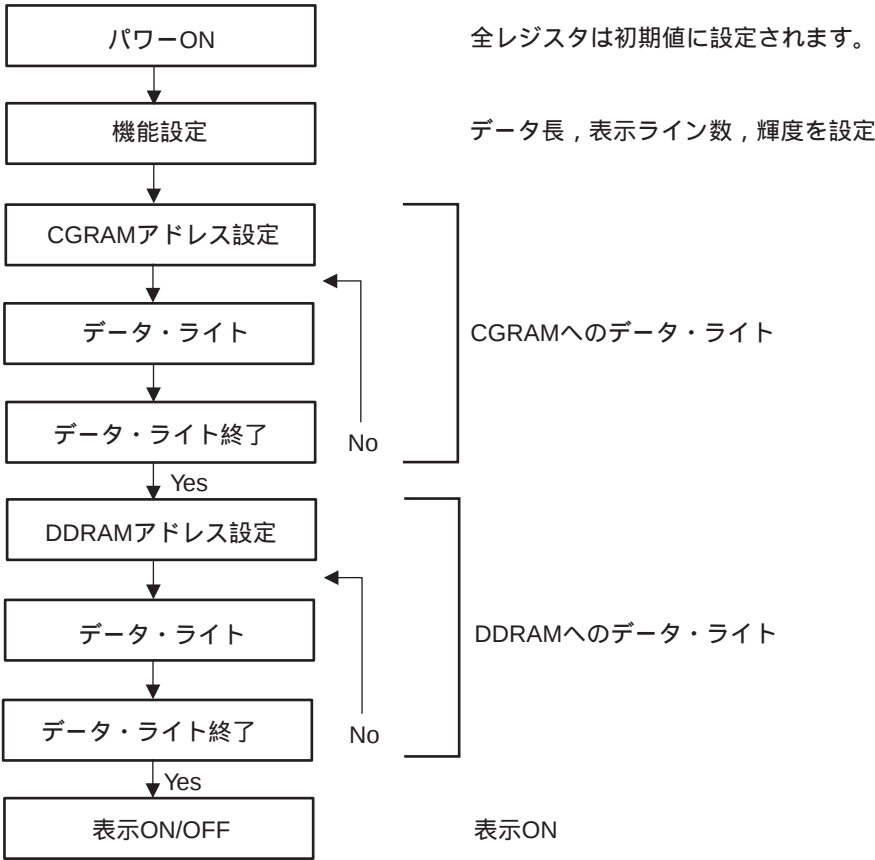


表 11 - 1 初期化とデータ設定のプログラム例（M68 シリーズ CPU）

RS	R,/W	D7	D6	D5	D4	D3	D2	D1	D0	
パワーON										
0	0	0	0	1	1	1	x	0	1	機能設定 データ長：8ビット 表示ライン数：2ライン VFD 輝度：75 %
0	0	0	1	0	0	0	0	0	0	CGRAM アドレスを 00H に設定
1	0	x	x	x	D	D	D	D	D	CGRAM へのデータ書き込み 64 バイト (8 文字)
		x	x	x	D	D	D	D	D	
		x	x	x	D	D	D	D	D	
0	0	1	0	0	0	0	0	0	0	DDRAM アドレスを 00H に設定
1	0	D	D	D	D	D	D	D	D	DDRAM へのデータ書き込み 80 バイト (80 文字)
		D	D	D	D	D	D	D	D	
		D	D	D	D	D	D	D	D	
0	0	0	0	0	0	1	1	0	0	表示 ON, カーソル OFF, カーソル点滅 OFF

備考 x : Don't care.

12. 電気的特性

絶対最大定格 ($T_A = 25^\circ\text{C}$, $V_{SS1} = V_{SS2} = 0\text{V}$)

項 目		略 号	定 格	単 位
ロジック電源電圧		V _{DD1}	-0.5 ~ +6.0	V
ロジック入力電圧		V _I	-0.5 ~ V _{DD1} + 0.5	V
ロジック出力電圧		V _{O1}	-0.5 ~ V _{DD1} + 0.5	V
ドライバ電源電圧		V _{DD2}	-0.5 ~ +60	V
ドライバ出力電圧		V _{O2}	-0.5 ~ V _{DD2} + 0.5	V
ドライバ出力電流	アノード	I _{OL2A}	10	mA
		I _{OH2A}	-2	mA
	グリッド	I _{OL2G}	15	mA
		I _{OH2G}	-20	mA
許容損失		P _D	1.2	W
動作周囲温度		T _A	-40 ~ +85	°C
保存温度		T _{stg}	-65 ~ +150	°C

注意 各項目のうち1項目でも、また、一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で製品をご使用ください。

推奨動作範囲 ($T_A = 25^\circ\text{C}$, $V_{SS1} = V_{SS2} = 0\text{V}$)

項 目		略 号	MIN.	TYP.	MAX.	単 位
ロジック電源電圧		V_{DD1}	2.7	5.0	5.5	V
ロジック・システム入力電圧		V_{IN}	0		V_{DD1}	V
ドライバ電源電圧		V_{DD2}	20		50	V
★ ★ ドライバ出力電流	アノード	I_{OL2A}			5	mA
		I_{OH2A}			-1	mA
	グリッド	I_{OL2G}			8	mA
		I_{OH2G}			-15	mA

注意 次の順序に従って、チップ・セットに電源を投入してください。

$V_{DD1} \rightarrow$ 入力 $\rightarrow V_{DD2}$

また、電源オフ時には、これの反対の順序でオフにしてください。

電気的特性 (特に指定のない限り, $T_A = -40 \sim +85^\circ\text{C}$, $V_{DD1} = 5.0\text{ V}$, $V_{DD2} = 50\text{ V}$, $V_{SS1} = V_{SS2} = 0\text{ V}$)

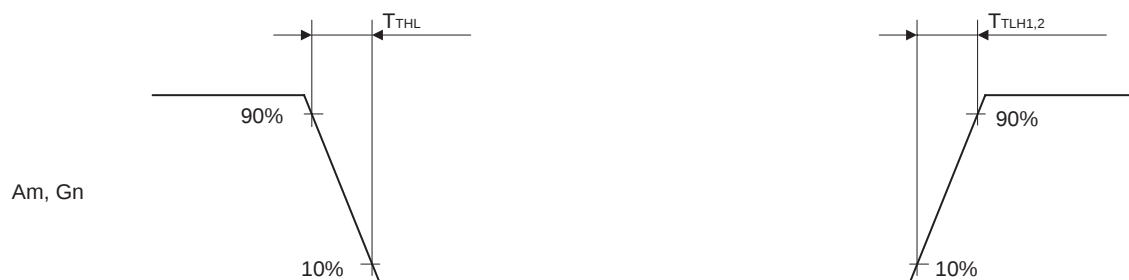
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
★ ハイ・レベル入力電圧 1	V_{IH1}	ロジック, E, SCK, /RESET, R, /W 以外	$0.7 V_{DD1}$			V
★ ロウ・レベル入力電圧 1	V_{IL1}	ロジック, E, SCK, /RESET, R, /W 以外			$0.3 V_{DD1}$	V
★ ハイ・レベル入力電圧 2	V_{IH2}	E, SCK, /RESET, R, /W	$0.8 V_{DD1}$			V
★ ロウ・レベル入力電圧 2	V_{IL2}	E, SCK, /RESET, R, /W			$0.2 V_{DD1}$	V
ハイ・レベル出力電圧 (ロジック)	V_{OH1}	DBn, SI, SO, SDO, SLK, LE, /CL, $I_{OH1} = -0.1\text{ mA}$	$V_{DD1} - 0.5$			V
ロウ・レベル出力電圧 (ロジック)	V_{OL1}	DBn, SI, SO, SDO, SLK, LE, /CL, $I_{OL1} = +0.1\text{ mA}$			$V_{SS1} + 0.5$	V
ハイ・レベル入力電流	I_{IH}	TEST, $V_{IN} = V_{DD1}$	20		500	μA
ハイ・レベル・リーク電流	I_{LOH}	ロジック, $V_{IN/OUT} = V_{DD1}$			1.0	μA
★ ロウ・レベル・リーク電流	I_{LOL}	DBn, SI, SO を除くロジック, $V_{IN/OUT} = V_{SS1}$			-1.0	μA
★ ブルアップ MOS 電流	- I_p	DBn, SI, SO	30	125	280	μA
★ ハイ・レベル出力電圧 (ドライバ)	V_{OH2A1}	A1 - A80, $I_{OH2} = -0.5\text{ mA}$	48			V
★	V_{OH2A2}	A1 - A80, $I_{OH2} = -1\text{ mA}$	46			V
	V_{OH2G}	G1 - G24, $I_{OH2} = -15\text{ mA}$	45			V
ロウ・レベル出力電圧 (ドライバ)	V_{OL2}	A1 - A80, G1 - G24, $I_{OL2} = 1\text{ mA}$			5	V
★ 消費電流	I_{DD1}	ロジック (CPU アクセスなし)			100	μA
	I_{DD2}	ドライバ			100	μA

備考 TYP.値は $T_A = 25^\circ\text{C}$ における参考値です。スイッチング特性 (特に指定のない限り, $T_A = -40 \sim +85^\circ\text{C}$, $V_{DD1} = 5.0\text{ V} \pm 10\%$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
発振周波数	f_{OSC}	$R = 56\text{ k}\Omega$	392	560	728	KHz
★ 動作周波数	f_C	OSC _{IN} 外部クロック	350	560	750	KHz
★ 立ち上がり時間	T_{TLH1}	A1 - A80, $C_L = 50\text{ pF}$			2.5	μs
	T_{TLH2}	G1 - G24, $C_L = 50\text{ pF}$			0.25	μs
立ち下がり時間	T_{THL}	A1 - A80, G1 - G24, $C_L = 50\text{ pF}$			1.0	μs

備考 TYP.値は $T_A = 25^\circ\text{C}$ における参考値です。

スイッチング・タイミング



タイミング必要条件 1 (特に指定のない限り, $T_A = -40 \sim +85^\circ\text{C}$)

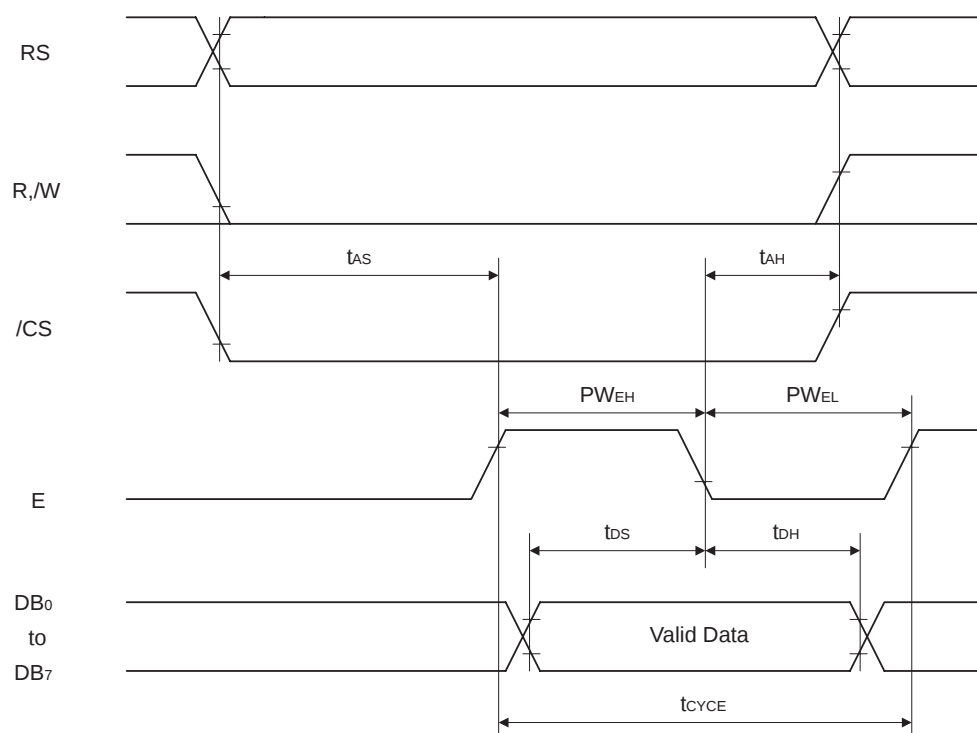
パラレル・データ転送 (M68 インタフェース): ライト ($V_{DD1} = 5.0\text{V} \pm 10\%$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
イネーブル・サイクル時間	t_{CYCE}	$E \uparrow \rightarrow E \uparrow$	500			ns
イネーブル H パルス幅	PW_{EH}	E	230			ns
イネーブル L パルス幅	PW_{EL}	E	230			ns
RS, R, W -E セットアップ時間	t_{AS}	RS, R, W $\rightarrow E \uparrow$	20			ns
RS, R, W -E ホールド時間	t_{AH}	$E \downarrow \rightarrow$ RS, R, W	10			ns
データ・セットアップ時間	t_{DS}	DATA $\rightarrow E \uparrow$	80			ns
データ・ホールド時間	t_{DH}	$E \downarrow \rightarrow$ DATA	10			ns
リセット・パルス幅	t_{WRE}		500			ns

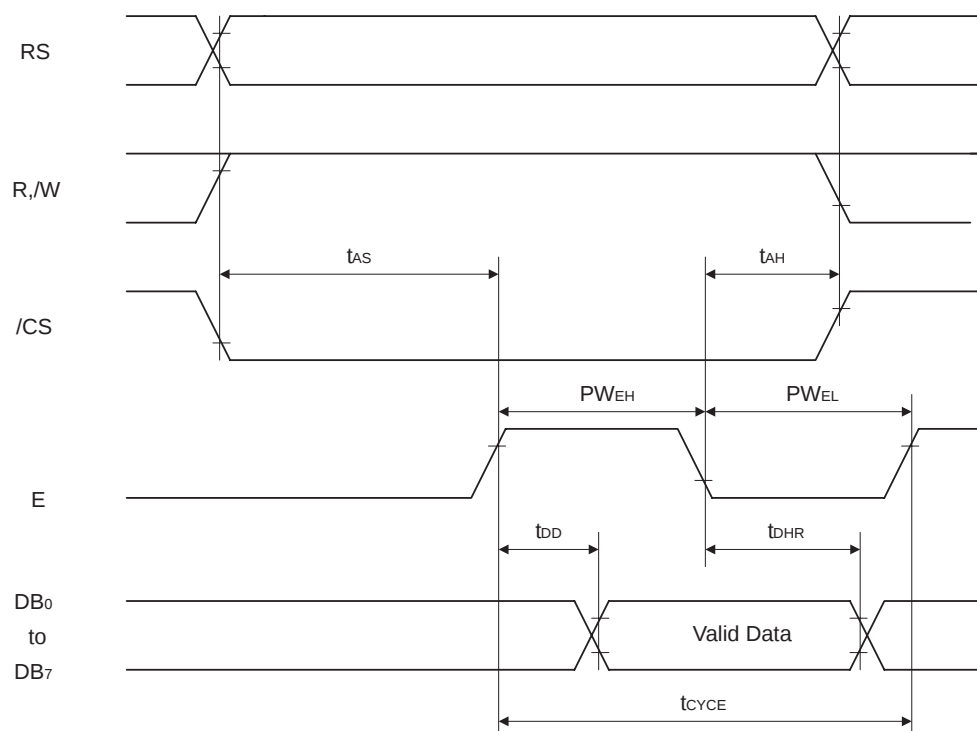
パラレル・データ転送 (M68 インタフェース): リード ($V_{DD1} = 5.0\text{V} \pm 10\%$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
イネーブル・サイクル時間	t_{CYCE}	$E \uparrow \rightarrow E \uparrow$	500			ns
イネーブル H パルス幅	PW_{EH}	E	230			ns
イネーブル L パルス幅	PW_{EL}	E	230			ns
RS, R, W -E セットアップ時間	t_{AS}	RS, R, W $\rightarrow E \uparrow$	20			ns
RS, R, W -E ホールド時間	t_{AH}	$E \downarrow \rightarrow$ RS, R, W	10			ns
データ遅延時間	t_{DD}	$E \downarrow \rightarrow$ DATA			160	ns
データ・ホールド時間	t_{DHR}	$E \downarrow \rightarrow$ DATA	5			ns

パラレル・インタフェース (M68 入力)



パラレル・インタフェース (M68 出力)



備考 1. 入力信号立ち上がりと立ち下がり時間 (t_r , t_f) は, 15 ns 以下となります。

2. タイミングは V_{DD1} の 20 % と 80 % を基準としています。

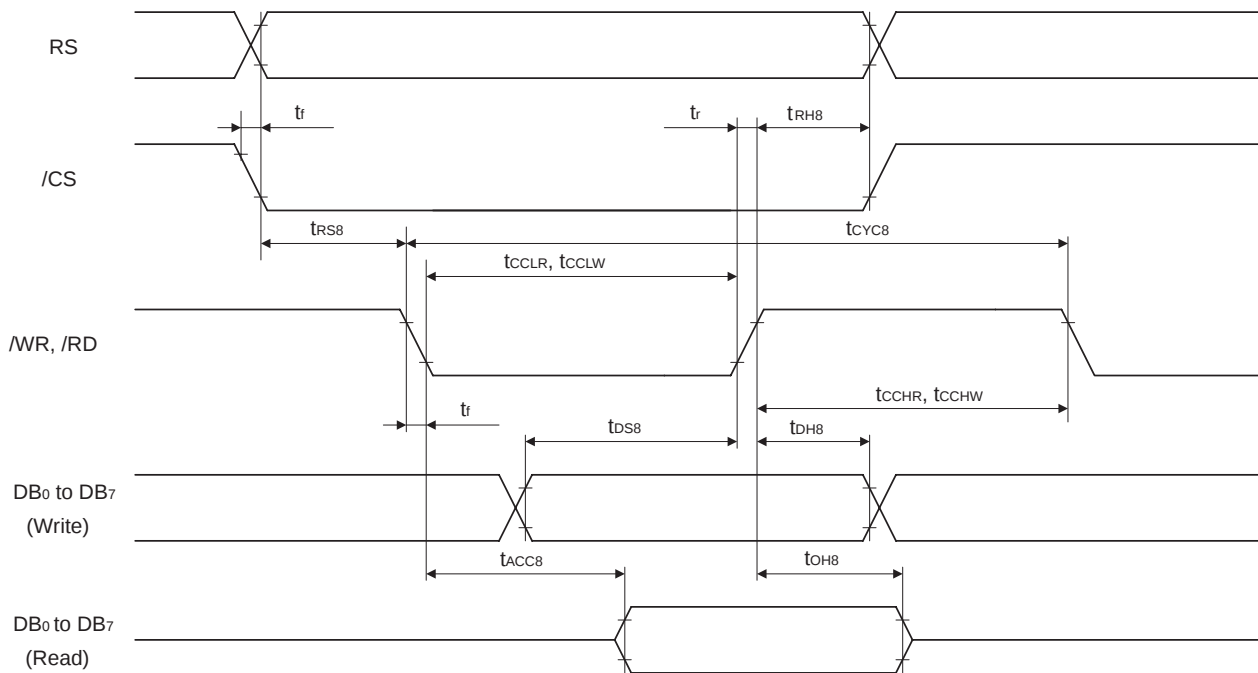
3. PW_{EH} は /CS が L の状態と E の間をとります。

タイミング必要条件 2 (特に指定のない限り, $T_A = -40 \sim +85^\circ\text{C}$)

パラレル・データ転送 (i80 インタフェース): ライト ($V_{DD1} = 5.0\text{V} \pm 10\%$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
RS ホールド時間	t_{RH8}		10			ns
RS セットアップ時間	t_{RS8}		10			ns
★ システム・サイクル時間	t_{CYC8}		200			ns
制御 L パルス幅 (/WR)	t_{CCLW}	/WR	30			ns
制御 L パルス幅 (/RD)	t_{CCLR}	/RD	70			ns
制御 H パルス幅 (/WR)	t_{CCHW}	/WR	100			ns
★ 制御 H パルス幅 (/RD)	t_{CCHR}	/RD	100			ns
データ・セットアップ時間	t_{DS8}	DB ₀ - DB ₇	30			ns
データ・ホールド時間	t_{DH8}	DB ₀ - DB ₇	10			ns
/RD アクセス時間	t_{ACC8}	DB ₀ - DB ₇ , $C_L = 100\text{ pF}$			70	ns
出力ディスエーブル時間	t_{OH8}	DB ₀ - DB ₇ , $C_L = 100\text{ pF}$	5			ns
リセット・パルス幅	t_{WRE}		500			ns

パラレル・インタフェース (i80)

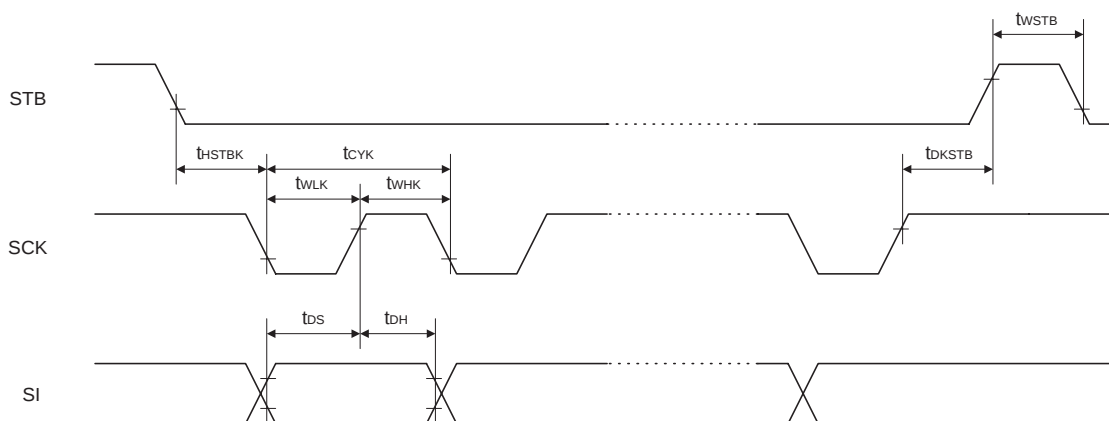


- 備考 1. 入力信号立ち上がりと立ち下がり時間 (t_r , t_f) は, 15 ns 以下となります。
2. タイミングは V_{DD1} の 20 % と 80 % を基準としています。
3. t_{CCLW} と t_{CCLR} は /CS が L の状態と, /WR と /RD が L の状態の間をとります。

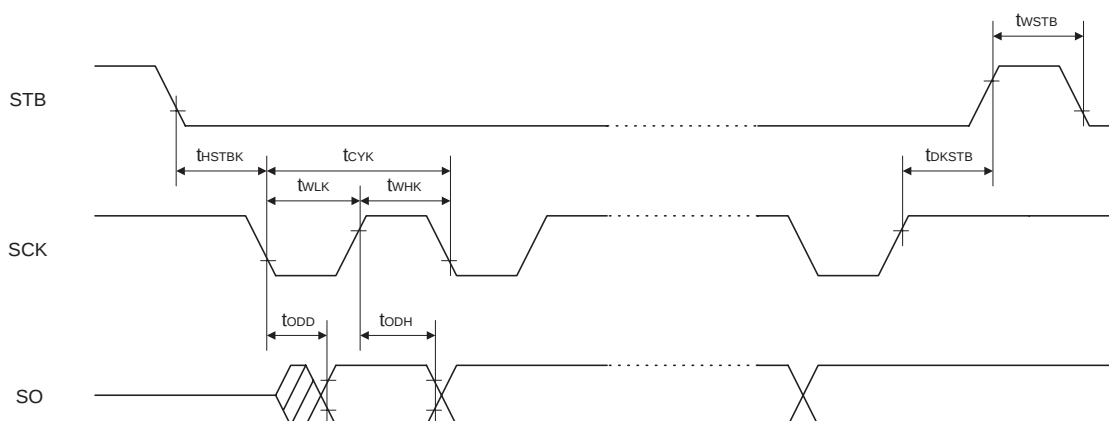
タイミング必要条件3 (特に指定のない限り, $T_A = -40 \sim +85^\circ\text{C}$)シリアル・データ転送 ($V_{DD1} = 5.0\text{V} \pm 10\%$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
シフト・クロック・サイクル	t_{CYK}	SCK	500			ns
ハイ・レベル・シフト・クロック・パルス幅	t_{WHK}	SCK	200			ns
ロウ・レベル・シフト・クロック・パルス幅	t_{WLK}	SCK	200			ns
シフト・クロック・ホールド時間	t_{HSTBK}	STB $\downarrow \rightarrow$ SCK $\downarrow$	100			ns
データ・セットアップ時間	t_{DS}	DATA $\rightarrow$ SCK $\uparrow$	100			ns
データ・ホールド時間	t_{DH}	SCK $\uparrow \rightarrow$ DATA	100			ns
STB ホールド時間	t_{DKSTB}	SCK $\uparrow \rightarrow$ STB $\uparrow$	500			ns
STB パルス幅	t_{WSTB}		500			ns
ウエイト時間	t_{WAIT}	8th CLK $\uparrow \rightarrow$ 1st CLK $\downarrow$	1			μs
出力データ遅延時間	t_{ODD}	STB $\downarrow \rightarrow$ DATA			150	ns
出力データ・ホールド時間	t_{ODH}	SCK $\uparrow \rightarrow$ DATA	5			ns
リセット・パルス幅	t_{WRE}		500			ns

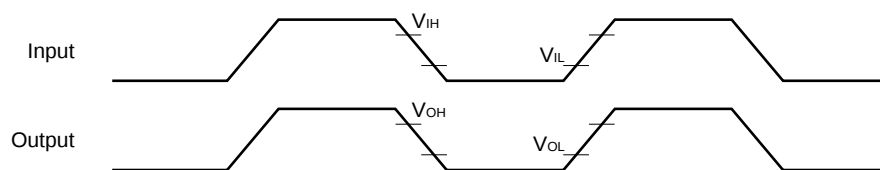
シリアル・インタフェース (入力)



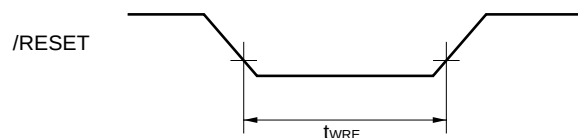
シリアル・インタフェース (出力)

備考 1. 入力信号立ち上がりと立ち下がり時間 (t_r , t_f) は, 15 ns 以下となります。2. タイミングは V_{DD1} の 20 % と 80 % を基準としています。

AC 測定点

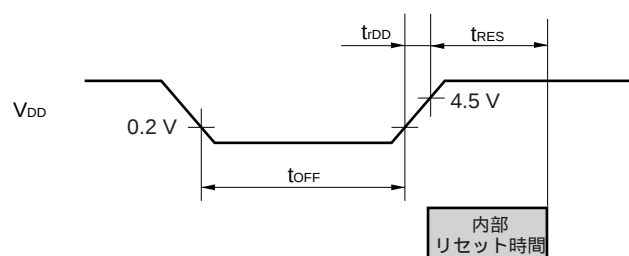


リセット

タイミング必要条件 4 (特に指定のない限り, $T_A = -40 \sim +85^\circ\text{C}$)

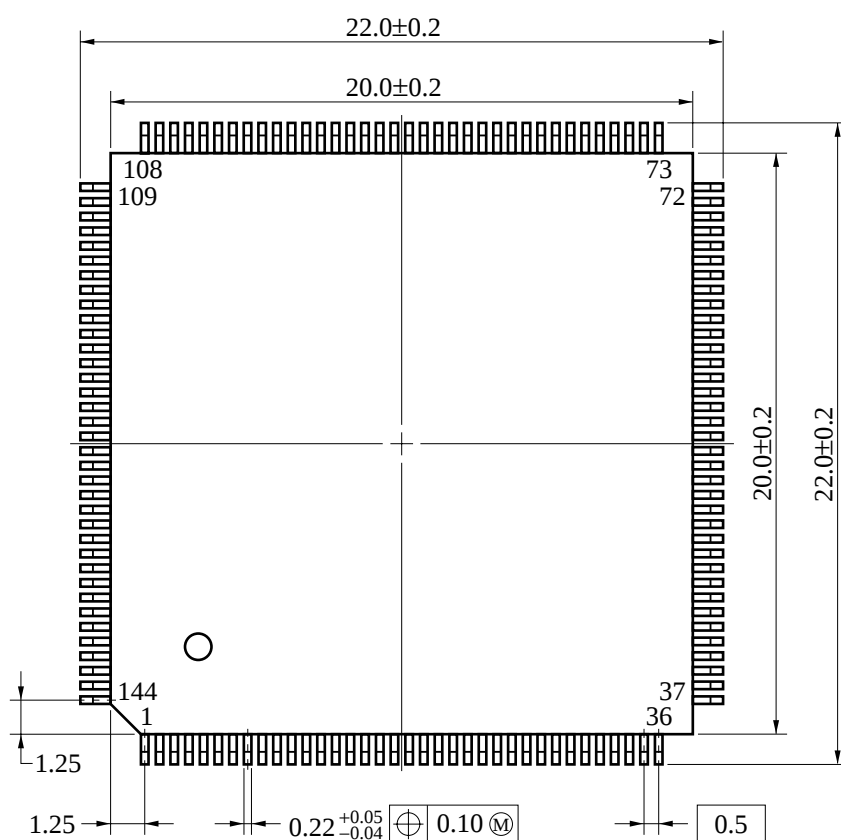
共通タイミング (M68, i80, シリアル・インタフェース): パワーオン・リセット ($V_{DD1} = 5.0\text{ V} \pm 10\%$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
リセット時間	t_{RES}	V_{DD}	100			μs
V_{DD} 立ち上がり時間	t_{DD}	V_{DD}	1			μs
V_{DD} OFF 幅	t_{OFF}	V_{DD}	1			ms

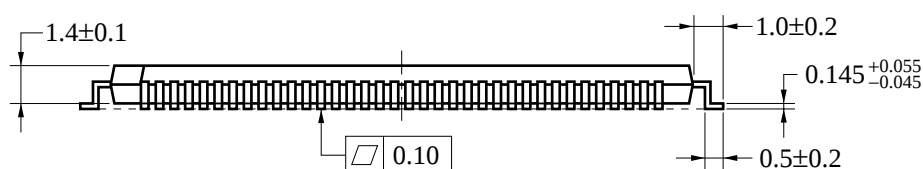
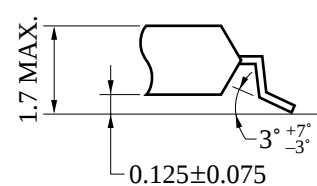


13. 外形図

144ピン・プラスチック LQFP (ファインピッチ) (20×20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-8EU-2

★ 14. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10531)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

実面実装タイプ

μ PD16314GJ-002-8EU : 144 ピン・プラスチック LQFP (20 x 20)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30 秒（210℃ 以上）， 回数：3 回以内 < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-3
VPS	パッケージ・ピーク温度：215℃，時間：40 秒（200℃ 以上）， 回数：3 回以内 < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-103-3
ウェーブ・ソルダーリング	半田槽温：260℃ 以下，時間：10 秒以内，回数：1 回， 予備加熱温度：120℃ MAX.（パッケージ表面温度）	WS60-103-1
端子部分加熱	端子温度：300℃ 以下，時間：3 秒以内（デバイスの一辺あたり）	-

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

〔メ モ〕

〔メ モ〕

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC 半導体テクニカルホットライン（インフォメーションセンター）
（電話：午前 9:00～12:00、午後 1:00～5:00）

電 話 : 044-548-8899
FAX : 044-548-7900
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部										
半導体第二販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)						(03)3454-1111	
半導体第三販売事業部										
中部支社	半導体第一販売部								(052)222-2170	
	半導体第二販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)					(052)222-2190	
関西支社	半導体第一販売部								(06)6945-3178	
	半導体第二販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)					(06)6945-3200	
	半導体第三販売部								(06)6945-3208	
北海道支社	札幌	(011)231-0163	甲府支店	甲府	(055)224-4141		京都支社	京都	(075)344-7824	
東北支社	仙台	(022)267-8740	長野支社	松本	(0263)35-1662		神戸支社	神戸	(078)333-3854	
岩手支店	盛岡	(019)651-4344	静岡支社	静岡	(054)254-4794		中国支社	広島	(082)242-5504	
郡山支店	郡山	(024)923-5511	立川支社	立川	(042)526-5981,6167		鳥取支店	鳥取	(0857)27-5311	
長岡支店	長岡	(0258)36-2155	埼玉支社	大宮	(048)649-1415		岡山支店	岡山	(086)225-4455	
水戸支店	水戸	(029)226-1717	千葉支社	千葉	(043)238-8116		四国支社	松山	(089)945-4149	
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524		九州支社	福岡	(092)261-2806	
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341					
宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303					

C99.7