

SH7753 グループ

ルネサスマイクロコンピュータ

R01DS0206JJ0110

Rev.1.10

2013.12.25

1. 概要

1.1 特長

本LSIは、メモリトレンドに追随したDDR3-SDRAMインタフェース、2チャンネルのギガビットイーサネットコントローラ (GETHER)、USB ホスト/ファンクション (USB)、PCIe インタフェース、I2C バスインタフェース (RIIC)、SD ホストインタフェース (SDHI)、MMC ホストインタフェース (eMMC)、タイマ、及びシリアルコミュニケーションインタフェース (SCIF、SPI) 等を内蔵しており、通信用の組み込みシステムなどに適しています。

本LSIの内部CPUコアSH-4Aは、RISCタイプの命令セットを内蔵しており、スーパースカラアーキテクチャを使用しています。これにより命令実行速度は大幅に向上します。このCPUで、高速処理が要求されるリアルタイム制御のような、従来のマイクロプロセッサでは処理できなかったアプリケーションに対しても、低コスト、高性能、及び高機能なシステムを組むことができます。

本LSIには、32Kバイトの命令キャッシュ、及び32Kバイトのオペランドキャッシュ領域があります。オペランドキャッシュ領域では、コピーバックとライト・スルーモードを切り替えることができます。さらに、内蔵されているMMU (memory management unit) により4Gバイトの仮想アドレス空間へアクセスすることができます。命令キャッシュには、命令に対する4エントリのフルアソシアティブTLB及びTLBと共有の64エントリのフルアソシアティブがあります。また、32KバイトのSRAM (16KバイトILRAM/16KバイトOLRAM)を内蔵しています。SRAMは高速アクセスが可能なので、スタックポインタやリアルタイム性を必要とする処理に使用できます。

本LSIの特長を表1.1に示します。

表1.1 仕様概要

項目	特長
CPU (SH-4A)	<ul style="list-style-type: none"> • ルネサス独自のSuperHアーキテクチャ • 32ビット内部データバス • 汎用レジスタファイル： <ul style="list-style-type: none"> - 16本の32ビット汎用レジスタ (及び8本の32ビットシャドウレジスタ) - 7本の32ビット制御レジスタ - 4本の32ビットシステムレジスタ • RISCタイプ命令セット (SH-1、SH-2、SH-3、SH-4マイクロプロセッサと上位互換性あり) <ul style="list-style-type: none"> - 命令長：コードの効率改善のための16ビット固定長 - ロードストアアーキテクチャ - 遅延分岐命令 - 条件付き実行 - C言語に基づく命令セット • FPUを含む2命令同時実行型スーパースカラ • 命令実行時間：最大2命令/サイクル • アドレス空間：4Gバイト • 空間識別子ASID：8ビット、256の仮想アドレス空間 • 乗算器内蔵 • 8段パイプライン

項目	特長
浮動小数点 ユニット (FPU)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32ビット) 及び倍精度 (64ビット) をサポート • IEEE754に準拠したデータタイプ及び例外をサポート • 丸めモード: 近傍及び0方向への丸め • 非正規化数の扱い: 0への切り捨て、又はIEEE754に準拠のための割り込み発生 • 浮動小数点レジスタ: 32ビット×16レジスタ×2バンク (単精度×16レジスタ又は倍精度×8レジスタ) ×2バンク • 32ビットCPU-FPU浮動小数点通信レジスタ (FPUL) • FMAC (乗算及びアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数0/1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> - レイテンシ (FADD/FSUB): 3サイクル (単精度)、5サイクル (倍精度) - レイテンシ (FMAC/FMUL): 5サイクル (単精度)、7サイクル (倍精度) - ピッチ (FADD/FSUB): 1サイクル (単精度/倍精度) - ピッチ (FMAC/FMUL): 1サイクル (単精度)、3サイクル (倍精度) 注. FMACは単精度に対してのみサポートしています • 3Dグラフィック命令 (単精度のみ) <ul style="list-style-type: none"> - 4次元ベクトル変換及び行列演算 (FTRV): 4サイクル (ピッチ)、8サイクル (レイテンシ) - 4次元ベクトル (FIPR) の内積: 1サイクル (ピッチ)、5サイクル (レイテンシ) • 10段パイプライン
メモリ管理 ユニット (MMU)	<ul style="list-style-type: none"> • 4Gバイトのアドレス空間、256のアドレス空間識別子 (ASID: 8ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、8K、64K、256K、1M、4M、64Mバイト • 命令に対する4エントリのフルアソシアティブTLB • 命令及びオペランドに対する64エントリのフルアソシアティブTLB • ソフトウェアにより入れ換え方法及びランダムカウンタ方式入れ替えアルゴリズムをサポート • TLBの内容はアドレスマッピングにより直接アクセス可能 • 29ビット物理アドレスモードと32ビット物理アドレスモードをサポート
キャッシュメモリ	<ul style="list-style-type: none"> • 命令キャッシュ (IC): 32Kバイト <ul style="list-style-type: none"> - 4ウェイセットアソシエイティブ - 32バイトブロック長 • オペランドキャッシュ (OC): 32Kバイト <ul style="list-style-type: none"> - 4ウェイセットアソシエイティブ - 32バイトブロック長 - 選択可能な書き込み方式 (コピーバック/ライトスルー) • ストアキュー (32バイト×2エントリ)
ILメモリ (ILRAM)	<ul style="list-style-type: none"> • 命令ローカルメモリ: 16Kバイト • 3本の独立した読み出し/書き込みポート <ul style="list-style-type: none"> - SH-4Aからの命令フェッチアクセス - SH-4Aからの8/16/32/64ビットオペランドアクセス - 外部要求による8/16/32/64ビット及び16/32バイトアクセス
OLメモリ (OLRAM)	<ul style="list-style-type: none"> • オペランドローカルメモリ: 16Kバイト • 3本の独立した読み出し/書き込みポート <ul style="list-style-type: none"> - SH-4Aからの命令フェッチアクセス - SH-4Aからの8/16/32/64ビットオペランドアクセス - 外部要求による8/16/32/64ビット及び16/32バイトアクセス
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> • ユーザブレイク割り込みによるデバックをサポート • 2本のブレイクチャネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブレイク条件として設定可能 • シーケンシャルブレイク機能をサポート

項目	特長
クロックパルス 発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード : <ul style="list-style-type: none"> - SH-4A周波数 : 384MHz又は576MHz - SHwyバス周波数 : 192MHz - DDR3-SDRAM周波数 : 1056Mbps - 周辺周波数 : 48MHz - CLKOUT出力周波数 : 48MHz - 外部WDTサブクロック周波数 : 32.768kHz • 低消費電力モード : <ul style="list-style-type: none"> - モジュールストップモード : 選択された周辺モジュールへのクロック供給を停止 - スリープモード : SH-4Aの動作を停止
割り込みコント ローラ (INTC)	<ul style="list-style-type: none"> • ダイレクトジャンプ方式 (SH-4互換) • 9本の外部割り込み端子 (NMI、IRQ7～IRQ0) • 内蔵周辺割り込み : モジュールごとに優先順位を設定 • 非サポート検出例外レジスタ (EXPMASK)
ローカルバス ステート コントローラ (LBSC)	<ul style="list-style-type: none"> • 外部非同期形メモリアクセスをサポート <ul style="list-style-type: none"> - 各エリア最大64Mバイト - SRAM/NOR型フラッシュメモリ接続可能 - ウェイトサイクルをソフトウエアによって挿入可能 - ウェイトサイクル機能 (ハードウエアによるウェイトサイクル : RDY信号) - データバスの衝突を防ぐためのウェイト制御 (アイドルサイクル挿入) - バス幅 : 16、8ビット - サポートエリア : エリア0、エリア4～エリア6 (CS0、CS4～CS6) • ビッグエンディアン又はリトルエンディアンを設定可能
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • 24チャンネル (うち2チャンネルは外部リクエスト可能) • 転送要求 : <ul style="list-style-type: none"> - 外部リクエスト (チャンネル0、1) - 内蔵周辺モジュールリクエスト : <ul style="list-style-type: none"> SCIF2、SCIF3、SCIF4、ADC0、ADC1、SIM、ARC4、SDHI、CRYPTO ENGINE、RSPI、eMMC、RIIC、TMR、PCIEC - オートリクエストモード : メモリ間転送 • 転送データサイズ : バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト、32バイト • 最大転送回数 : 16,777,216回 • アドレスモード : デュアルアドレスモード • バスモード : サイクルスチールモードとバーストモードから選択可能 • チャンネル優先順位選択可能 : <ul style="list-style-type: none"> - チャンネル優先レベルは固定モードとラウンドロビンモードから選択可能
DDR3-SDRAM インタフェース (DBSC3)	<ul style="list-style-type: none"> • JEDEC JESD79-3準拠 • データバス幅 : 16ビット • リフレッシュ機能サポート <ul style="list-style-type: none"> - セルフリフレッシュモード • パワーダウンモードサポート • DDR3-SDRAM 1056Mbpsに対応 • 8バンクDDR3-SDRAMデバイスに対応 • バースト長 : 8 • CASレイテンシ : 3～10サイクル • アドレス指定可能メモリ空間は8Gbits (=1Gバイト) まで <ul style="list-style-type: none"> - 32Mx16bit (512Mビット) x 1 - 64Mx16bit (1 Gビット) x 1、64Mx8bit (512Mビット) x 2 - 128Mx16bit (2 Gビット) x 1、128Mx8bit (1 Gビット) x 2 - 256Mx16bit (4 Gビット) x 1、256Mx8bit (2 Gビット) x 2 - 512Mx16bit (8 Gビット) x 1、512Mx8bit (4 Gビット) x 2 • ECC (SECDEC方式) によるデータ訂正機能サポート

項目	特長
PCI express コントローラ (PCIEC)	<ul style="list-style-type: none"> • 以下の各規格に準拠 <ul style="list-style-type: none"> - PCI Express Base Specification, Revision 2.1 - PCI Express to PCI/PCI-X Bridge Specification, Revision 1.0 - PCI Local Bus Specification, Revision 2.2 • リンク : 2.5Gbps、1レーン • 最大ペイロード : 128バイト • パワー制御 <ul style="list-style-type: none"> - デバイスパワーステート : D0、D3hot - リンクパワーステート : L0、L0s、L1 • ルートコンプレックス <ul style="list-style-type: none"> - SH-4Aによる各トランザクション発行 - 汎用DMACによる高速メモリ転送 - 複数の割り込み要因 • エンドポイント <ul style="list-style-type: none"> - 共有メモリデバイス : 共有メモリ (4Kバイト) <li style="padding-left: 40px;">メールボックス (4Kバイト) <li style="padding-left: 40px;">VDMバッファ (32Kバイト) - 専用DMACによる高速VDM転送 - 複数の割り込み要因 - PCIe Interrupt Capability (INTx、MSI) サポート - PCIe Advanced Error Reporting Capabilityサポート
イーサネット コントローラ (ETHER)	<ul style="list-style-type: none"> • MAC (Media Access Control 機能) <ul style="list-style-type: none"> - データフレームの組み立て/分解 (IEEE802.3 準拠フレーム形式) - CRC計算 - 全二重/半二重送受信サポート - ショートパケット、ロングパケット送受信検出 • RMI (Reduced Media Independent Interface) 標準転送レート : 10/100Mbpsに対応 <ul style="list-style-type: none"> - 2CH • 1 ディスクリプタで1フレーム、複数のディスクリプタ (マルチバッファ) で1フレームの方式に対応 • イーサネットコントローラ専用DMAチャンネル • SH-4A負荷軽減のためディスクリプタ管理方式を使用 • チャンネルごとに受信用FIFO (8KB)、送信用FIFO (2KB) を搭載 • 32バイトバースト転送によりシステムバスを効率よく使用 • シングルフレーム・マルチバッファ対応可能
ギガビット イーサネット コントローラ (GETHER)	<ul style="list-style-type: none"> • MAC (Media Access Control 機能) <ul style="list-style-type: none"> - データフレームの組み立て/分解 (IEEE802.3 2000Edition 準拠フレーム形式) - CRC計算 - 全二重/半二重送受信サポート - ショートパケット、ロングパケット送受信検出 - マルチキャストフィルタ • RGMII (Reduced Gigabit Media Independent Interface) 標準転送レート : 10/100/1000 Mbpsに対応 <ul style="list-style-type: none"> - 2CH • 1 ディスクリプタで1フレーム、複数のディスクリプタ (マルチバッファ) で1フレームの方式に対応 • IEEE802.1Q (VLAN) に対応 • ギガビットイーサネットコントローラ専用DMAチャンネル • SH-4A負荷軽減のためディスクリプタ管理方式を使用 • チャンネルごとに受信用FIFO (12KB)、送信用FIFO (2KB) を搭載 • 32バイトバースト転送によりシステムバスを効率よく使用 • シングルフレーム・マルチバッファ対応可能

項目	特長
SIMカードインタフェース (SIM)	<ul style="list-style-type: none"> • 1チャンネル • ISO7816-3 データプロトコルに対応 (T=0、T=1) • 調歩同期式半二重キャラクタ伝送プロトコル • データ長8ビット • パリティビットの生成及びチェック • キャラクタ保護追加時間選択可能 • 1etu当たりの出力クロック数を選択可能 • ダイレクトコンベンション/インバースコンベンションの選択可能 • 周辺クロック Pck プリスケラ内蔵 • アイドル時のクロック極性変更可 (Lレベル又はHレベル)
I2C インタフェース (RIIC)	<ul style="list-style-type: none"> • I2Cバスインタフェース方式サポート • マスタ/スレーブ機能 • 10チャンネル • 最大1Mbpsをサポート • 7ビット及び10ビットのアドレスモード対応 • 周辺クロックからプログラマブルにクロックを生成 • シーケンサにより、RIIC及びDMACをOffloadエンジンとして制御可能
USBホスト/ ファンクション 機能 (USB0、USB1)	<ul style="list-style-type: none"> • 2ポート (各ポートにUSB PHYを内蔵) • USB0、USB1共に、Universal Serial Bus Specification Revision 2.0準拠 • USB0 (ファンクション機能) : ハイスピード/フルスピードサポート • USB1 (ファンクション機能) : ハイスピード/フルスピードサポート • USB1 (ホスト機能) : ハイスピード (EHCI)、フルスピード/ロースピード (OHCI) サポート • パイプ構成 <ul style="list-style-type: none"> - 各USBファンクションで最大10パイプ使用可能 - 各USBファンクションで8.5Kバイト専用RAMバッファ内蔵 - パイプ0 : 64バイト コントロール転送 - パイプ1、2 : 最大2kx2のバルク転送/アイソクロナス転送 - パイプ3~5 : 最大2kx2のバルク転送 - パイプ6~9 : 64バイト インタラプト転送 - 最大10個の双方向のエンドポイントをサポート
FIFO 内蔵シリアル コミュニケーション インタフェース 0、1 (SCIF0、SCIF1)	<ul style="list-style-type: none"> • 2チャンネル内蔵 • 送受信FIFO各16バイト内蔵 • 16550シリーズとレジスタ互換 • 全二重通信が可能 • モデムコントロール信号サポート (DSR、DTR、CTS、RTS及びDCD) • 送受信クロックソースをポーレートジェネレータから選択可能 • 1.5Mbpsまでサポート • ループバックモードサポート • シリアルコミュニケーションインタフェース端子マルチプレクス機能を使用することにより、モデムステータス信号のモニタが可能
FIFO 内蔵シリアル コミュニケーション インタフェース 2、3、4 (SCIF2、 SCIF3、SCIF4)	<ul style="list-style-type: none"> • 3チャンネル内蔵 • 送受信FIFO各16バイト内蔵 • 調歩同期式モードまたはクロック同期式モードの選択が可能 • 全二重通信が可能 • 1.5Mbpsまでサポート (調歩同期式モード) • 送受信クロックソースを、ポーレートジェネレータからの内部クロック、又はSCK端子からの外部クロックから選択可能 • RS485 半二重通信の方向制御機能をサポート

項目	特長
8ビットタイマ (TMR)	<ul style="list-style-type: none"> • 2チャンネルの8ビットタイマを3ユニット • 6種類のクロックを選択可能 <ul style="list-style-type: none"> - Pck/2、Pck/8、Pck/32、Pck/64、Pck/1024、Pck/8192 (Pckは48MHzの周辺クロック) • カスケード接続 <ul style="list-style-type: none"> - 2つのチャンネルを接続し、16ビットタイマとして使用可能 • 複数の割り込み要因
16ビットフリーランニングタイマ (FRT)	<ul style="list-style-type: none"> • 16ビットのフリーランニングカウンタ • カウンタに入力するクロックを3種類から選択可能
32ビットタイマユニット (TMU)	<ul style="list-style-type: none"> • 6チャンネルオートリロード型32ビットタイマ • チャンネル2のみ、インプットキャプチャ機能を搭載 • カウンタに入力するクロックを6種類から選択可能 <ul style="list-style-type: none"> - 外部クロック、5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024)
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> • マニュアルリセット発生用2チャンネル (WDT0/1)、ABR機能用1チャンネル (ABRT) • WDT0/1は以下の2モードに対応 <ul style="list-style-type: none"> - ウォッチドッグタイマモード：カウンタオーバフローにより内部をリセット - インターバルタイマモード：カウンタオーバフローにより割り込みを発生 • カウンタ入力クロックを選択可能 <ul style="list-style-type: none"> - WDT0は16種類のカウンタクロック入力ソースを選択可能 - WDT1は16+8種類のカウンタクロック入力ソースを選択可能 - ABRTは16種類のカウンタクロック入力ソースを選択可能 • 最大計測時間は178秒 (48MHz動作時)、又は512秒 (32768Hz動作時) • SPI0 ブート発生時、外部デバイスへのSPILOAD信号出力 • バスタイムアウトカウンタによる強制マニュアルリセット機能
14ビットPWMタイマ (PWMX)	<ul style="list-style-type: none"> • 8チャンネル • 14ビットPWMタイマ • 13種類の分解能を選択可能 (1/2/4/8/12/16/32/64/128/256/1024/4096/16384) • 2種類の基本周期を設定可能：T×64あるいはT×256 (T：分解能) • 26種類の動作クロックを選択可能 (13種類の分解能と2種類の基本周期設定の組み合わせ)
8ビットPWMタイマ (PWMU)	<ul style="list-style-type: none"> • 6チャンネル • 8ビットPWMタイマ • 4種類の動作クロックを選択可能 • 8ビット、12ビット、16ビット単パルスモード • 8ビットパルス分割モード
ルネサスシリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> • 1チャンネルのSPIインタフェース • 2本のチップセレクトをサポート • マスタモード/スレーブモードをサポート • データサイズ、クロック極性/位相を設定可能 • MSBファースト方式/LSBファースト方式が選択可能 • 最大転送レート：24Mbps
シリアルペリフェラルインタフェース0 (SPI0)	<ul style="list-style-type: none"> • シングルレールモード/デュアルレールモードをサポート。 • 1M、2M、4M、8M、16M、32M、64M、及び128Mバイトのメモリサイズのみ指定可能 (その他のメモリサイズには非対応) • チップセレクト×4 • マスタモードのみサポート • SPIブート機能専用DMACを内蔵 • 5種類の転送クロック選択可能 (24MHz、27.4MHz、32MHz、38.4MHz、48MHz) • 転送データ同期をクロックの上立リエッジ/立下リエッジで選択可能 • MSBファースト方式/LSBファースト方式が選択可能 • SPIブート機能サポート (ブート時に2KバイトのコードをILメモリに自動転送)

項目	特長
シリアル ペリフェラル インタフェース1 (SPI1)	<ul style="list-style-type: none"> • シングルレールモードをサポート • 2M、4M、8M、16M、32M、64M、128M、及び256Mバイトのメモリサイズのみ指定可能（その他のメモリサイズには非対応） • チップセレクトx2 • マスタモードのみサポート • 8種類の転送クロックを選択可能（6MHz、6.9MHz、8MHz、9.6MHz、12MHz、16MHz、24MHz、48MHz） • 転送データ同期をクロックの立上りエッジ/立下りエッジで選択可能 • MSBファースト方式/LSBファースト方式が選択可能
A/D変換器 (ADC)	<ul style="list-style-type: none"> • 16チャンネル（8チャンネルx2ユニット） • 10ビットの分解能、変換時間は5.5μ秒 • ユニットごとにサンプル&ホールド回路搭載 • シングルモード/マルチモード/スキャンモード選択可能 • 外部基準電圧を使用 • 最小基準電圧：3.0V
イベントカウンタ (EVC)	<ul style="list-style-type: none"> • 16チャンネル • 外部のイベント入力をカウントする16ビットカウンタ • イベントは、立上りエッジ/立下りエッジを選択可能
CRC演算器 (CRC)	<ul style="list-style-type: none"> • 8ビット単位の任意のデータ長に対してCRCコードを生成 • 3種類の生成多項式から選択可能 • LSBファースト通信用CRCコード生成/MSBファースト通信用CRCコード生成の選択が可能
暗号機能	<ul style="list-style-type: none"> • AES128/256 • 3DES • SHA1、SHA256 • シード生成用の32ビットの真の乱数ジェネレータ • ARC4
SDホスト インタフェース (SDHI)	<ul style="list-style-type: none"> • 1チャンネル。SD Specification Ver.2.00に対応 • 最大動作周波数：48MHz • カード検出機能
MMCホスト インタフェース (eMMC)	<ul style="list-style-type: none"> • eMMC-v4.3（JESD84-A43）に対応 • 1/4/8ビットバス • 最大動作周波数：48MHz • 送受信データバッファ：512バイト
シリアル汎用 I/Oポート インタフェース (SGPIO)	<ul style="list-style-type: none"> • 3チャンネル • 74LV595Aプロトコル及び74LV165Aプロトコルと互換性あり • シフトクロック周波数選択可能（93 KHz～48 MHz） • 転送単位は2ビット～128ビット • 受信データのビット一致割り込みをサポート
I/Oポート (GPIO)	<ul style="list-style-type: none"> • 入出力ポートはビットごとに入出力切り替え可能 • ノイズキャンセラ内蔵端子x16 • 12mA駆動ポートx8
デバッグ インタフェース	<ul style="list-style-type: none"> • H-UDI（User Debugging Interface） <ul style="list-style-type: none"> - E10Aエミュレータのサポート - JTAG標準端子の割り当て • AUD（Advanced User Debugger）
低消費電力モード	<ul style="list-style-type: none"> • 2種類の低消費電力モード <ul style="list-style-type: none"> - スリープモード - モジュールストップモード（モジュールごとにクロック供給を停止可能）

項目	特長
電源電圧	<ul style="list-style-type: none">• 内部コア : 1.25V• I/O : 3.3V• ADC : 3.3V• DBSC3 : 1.5V• USB : 3.3V、1.25V• GETHER : 1.5V• PCIe : 1.5V• PLL : 1.25V
パッケージ	• BGA-524 23 x 23 mm、0.8mm ball pitch

1.2 アドレスマップ

図1.1にSH7753のアドレスマップを示します。

H'0000 0000	CS0 (LBSC) ^(注1)
H'0400 0000	リザーブ領域
H'1000 0000	CS4 (LBSC)
H'1400 0000	CS5 (LBSC)
H'1800 0000	CS6 (LBSC)
H'1C00 0000	リザーブ領域
H'4000 0000	DBSC
H'8000 0000	リザーブ領域
H'E000 0000	内部周辺機能領域 (512MB)
H'FFFF FFFF	

注1. MD6=Hのとき、この領域は使用できません。
 2. CS0、CS4～CS6は、それぞれエリア0、エリア4～エリア6を示します。

図 1.1 アドレスマップ

1.3 ブロック図

図1.2にSH7753のブロック図を示します。

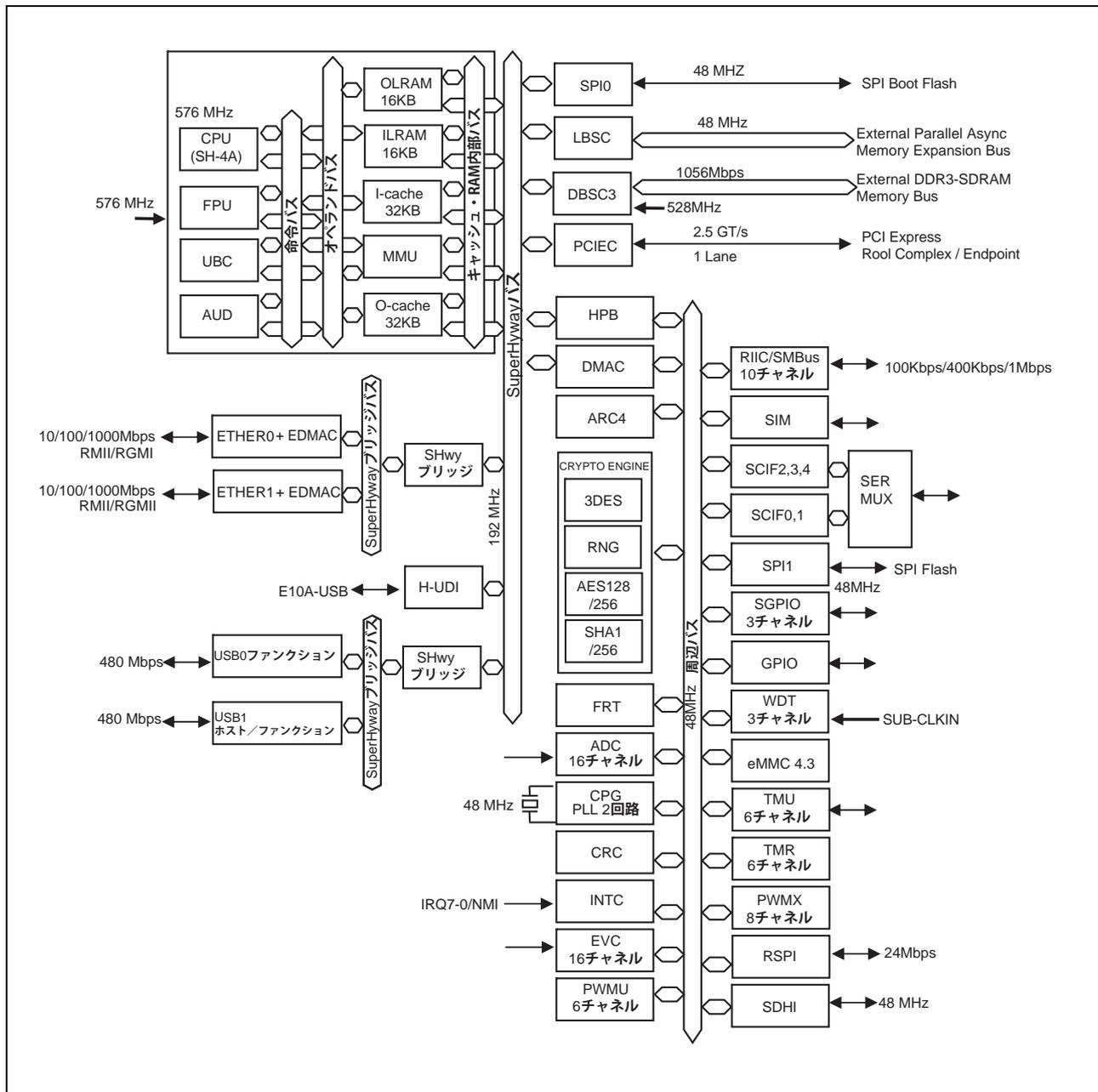


図 1.2 SH7753 ブロック図

1.4 ピン配置図

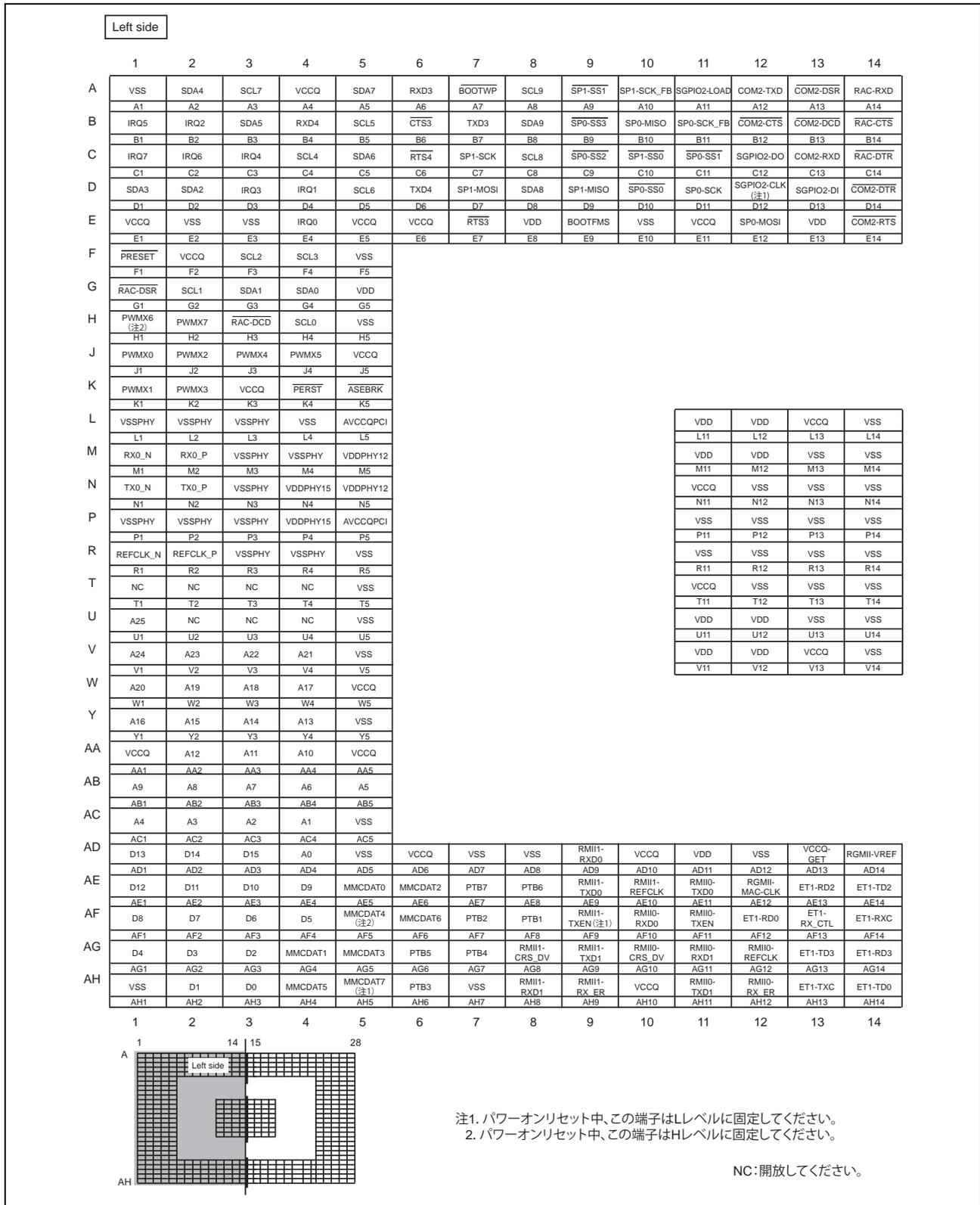


図 1.3 ピン配置図 (1)

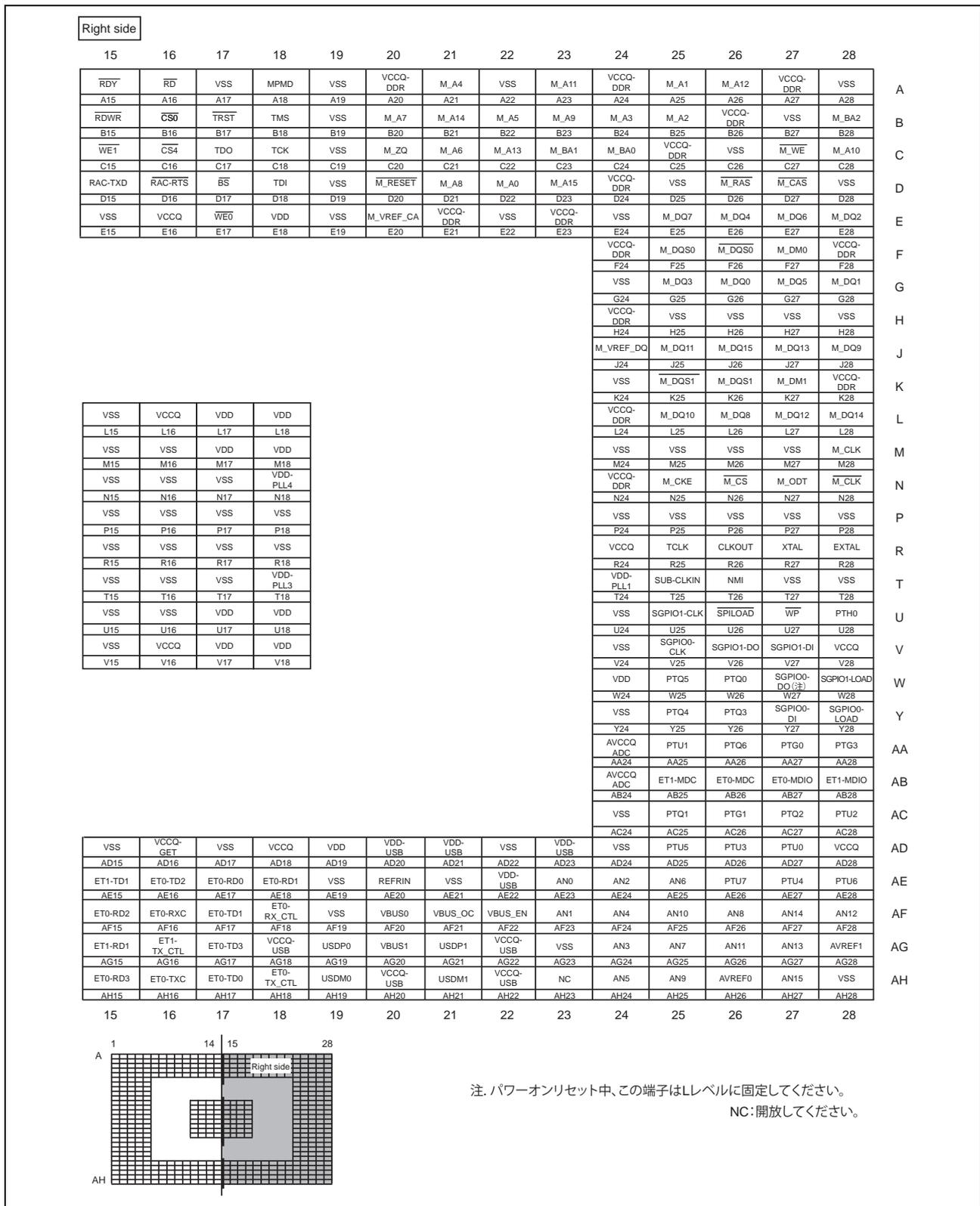


図 1.4 ピン配置図 (2)

表 1.2 ピン配置表

端子番号	端子名	機能
M28	M_CLK	DDR3クロック
N28	$\overline{\text{M_CLK}}$	DDR3クロック
N25	M_CKE	DDR3クロックイネーブル
N26	$\overline{\text{M_CS}}$	DDR3チップセレクト
C27	$\overline{\text{M_WE}}$	DDR3ライトイネーブル
D23	M_A15	DDR3アドレスバス
B21	M_A14	DDR3アドレスバス
C22	M_A13	DDR3アドレスバス
A26	M_A12	DDR3アドレスバス
A23	M_A11	DDR3アドレスバス
C28	M_A10	DDR3アドレスバス
B23	M_A9	DDR3アドレスバス
D21	M_A8	DDR3アドレスバス
B20	M_A7	DDR3アドレスバス
C21	M_A6	DDR3アドレスバス
B22	M_A5	DDR3アドレスバス
A21	M_A4	DDR3アドレスバス
B24	M_A3	DDR3アドレスバス
B25	M_A2	DDR3アドレスバス
A25	M_A1	DDR3アドレスバス
D22	M_A0	DDR3アドレスバス
B28	M_BA2	DDR3バンクアクティブ
C23	M_BA1	DDR3バンクアクティブ
C24	M_BA0	DDR3バンクアクティブ
J26	M_DQ15	DDR3データバス
L28	M_DQ14	DDR3データバス
J27	M_DQ13	DDR3データバス
L27	M_DQ12	DDR3データバス
J25	M_DQ11	DDR3データバス
L25	M_DQ10	DDR3データバス
J28	M_DQ9	DDR3データバス
L26	M_DQ8	DDR3データバス
E25	M_DQ7	DDR3データバス
E27	M_DQ6	DDR3データバス
G27	M_DQ5	DDR3データバス
E26	M_DQ4	DDR3データバス

端子番号	端子名	機能
G25	M_DQ3	DDR3データバス
E28	M_DQ2	DDR3データバス
G28	M_DQ1	DDR3データバス
G26	M_DQ0	DDR3データバス
K26	M_DQS1	DDR3データストロープ
K25	$\overline{\text{M_DQS1}}$	DDR3データストロープ
F25	M_DQS0	DDR3データストロープ
F26	$\overline{\text{M_DQS0}}$	DDR3データストロープ
K27	M_DM1	DDR3データマスク
F27	M_DM0	DDR3データマスク
D26	$\overline{\text{M_RAS}}$	DDR3ロウアドレスストロープ
D27	$\overline{\text{M_CAS}}$	DDR3カラムアドレスストロープ
J24	M_VREF_DQ	DDR3基準電圧入力
N27	M_ODT	DDR3 ODTイネーブル
D20	$\overline{\text{M_RESET}}$	DDR3リセット
C20	M_ZQ	DDR3インピーダンスマッチング
E20	M_VREF_CA	DDR3テスト用基準電圧入力
AH5	PTZ7/MMCDAT7	ポート/MMCデータバス 注. パワーオンリセット中、この端子はLレベルに固定してください。
AF6	PTZ6/MMCDAT6/WPSZ1	ポート/MMCデータバス/SPI1ライトプロテクトサイズ選択
AH4	PTZ5/MMCDAT5/WPSZ0	ポート/MMCデータバス/SPI1ライトプロテクトサイズ選択
AF5	PTZ4/MMCDAT4	ポート/MMCデータバス 注. パワーオンリセット中、この端子はHレベルに固定してください。
AG5	PTZ3/MMCDAT3/MD6	ポート/MMCデータバス/モード設定
AE6	PTZ2/MMCDAT2/MD9	ポート/MMCデータバス/モード設定
AG4	PTZ1/MMCDAT1/FLSHSZ1	ポート/MMCデータバス/SPI1フラッシュサイズ選択
AE5	PTZ0/MMCDAT0/FLSHSZ0	ポート/MMCデータバス/SPI1フラッシュサイズ選択
E12	SP0-MOSI	SPI0マスタ出力/入力
B10	PTD6/SP0-MISO	ポート/SPI0マスタ入力
D11	SP0-SCK	SPI0クロック
B11	PTD4/SP0-SCK_FB	ポート/SPI0クロックフィードバック
D10	$\overline{\text{SP0-SS0}}$	SPI0チップセレクト
C11	PTD2/SP0-SS1/ $\overline{\text{DREQ0}}$	ポート/SPI0チップセレクト/DMA転送要求
C9	PTD1/SP0-SS2/ $\overline{\text{DACK0}}$	ポート/SPI0チップセレクト/DMA転送要求アクノリッジ
B9	PTD0/SP0-SS3/ $\overline{\text{TEND0}}$	ポート/SPI0チップセレクト/DMA転送終了出力
D7	SP1-MOSI/ $\overline{\text{TEND1}}$ /MD5	SPI1マスタ出力/DMA転送終了出力/モード設定
D9	PTH6/SP1-MISO/ $\overline{\text{DREQ1}}$	ポート/SPI1マスタ入力/DMA転送要求
C7	SP1-SCK/ $\overline{\text{DACK1}}$	SPI1クロック/DMA転送要求アクノリッジ

端子番号	端子名	機能
A10	PTH4/SP1-SCK_FB/ADTRG1	ポート/SPI1クロックフィードバック/ADC外部トリガ入力
C10	SP1-SS0	SPI1チップセレクト
A9	PTH2/SP1-SS1/ADTRG0	ポート/SPI1チップセレクト/ADC外部トリガ入力
U27	WP	SPI1ライトプロテクト有効
U28	PTH0	ポート
W25	PTQ5	ポート
W26	PTQ0	ポート
Y25	PTQ4	ポート
Y26	PTQ3	ポート
AA25	PTU1	ポート
AA26	PTQ6	ポート
AA27	PTG0	ポート
AA28	PTG3	ポート
AC25	PTQ1	ポート
AC26	PTG1	ポート
AC27	PTQ2	ポート
AC28	PTU2	ポート
AD25	PTU5	ポート
AD26	PTU3	ポート
AD27	PTU0	ポート
AE26	PTU7	ポート
AE27	PTU4	ポート
AE28	PTU6	ポート
E9	PTG7/BOOTFMS	ポート/SPIブートフラッシュメモリエリアを選択
A7	BOOTWP	SPIブートフラッシュライトプロテクト有効
AF18	ET0-RX_CTL	ETHER RGMII受信制御
AF13	ET1-RX_CTL	ETHER RGMII受信制御
AF17	ET0-TD1	ETHER RGMII送信データ
AH17	ET0-TD0	ETHER RGMII送信データ
AE15	ET1-TD1	ETHER RGMII送信データ
AH14	ET1-TD0	ETHER RGMII送信データ
AH18	ET0-TX_CTL	ETHER RGMII送信制御
AG16	ET1-TX_CTL	ETHER RGMII送信制御
AF16	ET0-RXC	ETHER RGMII受信クロック
AF14	ET1-RXC	ETHER RGMII受信クロック
AE18	ET0-RD1	ETHER RGMII受信データ
AE17	ET0-RD0	ETHER RGMII受信データ
AG15	ET1-RD1	ETHER RGMII受信データ

端子番号	端子名	機能
AF12	ET1-RD0	ETHER RGMII受信データ
AH16	ET0-TXC	ETHER RGMII送信クロック
AH13	ET1-TXC	ETHER RGMII送信クロック
AF15	ET0-RD2	ETHER RGMII受信データ
AH15	ET0-RD3	ETHER RGMII受信データ
AE16	ET0-TD2	ETHER RGMII送信データ
AG17	ET0-TD3	ETHER RGMII送信データ
AE13	ET1-RD2	ETHER RGMII受信データ
AG14	ET1-RD3	ETHER RGMII受信データ
AE14	ET1-TD2	ETHER RGMII送信データ
AG13	ET1-TD3	ETHER RGMII送信データ
AB26	PTA3/ET0-MDC	ポート/ETHERマネージメントクロック
AB27	PTA2/ET0-MDIO	ポート/ETHERマネージメントクロック
AB25	PTA1/ET1-MDC	ポート/ETHERマネージメントクロック
AB28	PTA0/ET1-MDIO	ポート/ETHERマネージメントクロック
AE12	RGMII-MAC-CLK	ETHER RGMIIリファレンスクロック
AG10	PTE7/RMII0-CRS_DV	ポート/ETHER RMIIキャリア検出/受信データ有効
AF10	PTE1/RMII0-RXD0	ポート/ETHER RMII受信データ
AG11	PTE2/RMII0-RXD1	ポート/ETHER RMII受信データ
AE11	PTE5/RMII0-TXD0/ BOOTWPSZ0	ポート/ETHER RMII送信データ/ SPIブートフラッシュライトプロテクトエリアのデバイスサイズを 選択
AH11	PTE6/RMII0-TXD1/ BOOTWPSZ1	ポート/ETHER RMII送信データ/ SPIブートフラッシュライトプロテクトエリアのデバイスサイズを 選択
AH12	PTE0/RMII0-RX_ER	ポート/ETHER RMII受信エラー
AF11	PTE4/RMII0-TXEN/MD3	ポート/ETHER RMII送信イネーブル/モード設定
AG12	PTE3/RMII0-REFCLK	ポート/ETHER RMII送受信クロック
AE10	PTF3/RMII1-REFCLK	ポート/ETHER RMII送受信クロック
AG8	PTF7/RMII1-CRS_DV	ポート/ETHER RMIIキャリア検出/受信データ有効
AH9	PTF0/RMII1-RX_ER	ポート/ETHER RMII受信エラー
AD9	PTF1/RMII1-RXD0	ポート/ETHER RMII受信データ
AH8	PTF2/RMII1-RXD1/ RAC-RI/RI0	ポート/ETHER RMII受信データ/RACポート/ SCIFリングインジケータ
AF9	PTF4/RMII1-TXEN	ポート/ETHER RMII送信イネーブル 注. パワーオンリセット中、この端子はLレベルに固定してください。
AE9	PTF5/RMII1-TXD0/ WDTFOT1	ポート/ETHER RMII送信データ/ ウォッチドッグタイマABR遅延時間選択
AG9	PTF6/RMII1-TXD1/ WDTFOT0	ポート/ETHER RMII送信データ/ ウォッチドッグタイマABR遅延時間選択

端子番号	端子名	機能
H4	PTR0/SCL0	ポート/ IIC シリアルクロック
G4	PTR1/SDA0	ポート/ IIC シリアルデータ
G2	PTR2/SCL1	ポート/ IIC シリアルクロック
G3	PTR3/SDA1	ポート/ IIC シリアルデータ
F3	PTR4/SCL2	ポート/ IIC シリアルクロック
D2	PTR5/SDA2	ポート/ IIC シリアルデータ
F4	PTS0/SCL3	ポート/ IIC シリアルクロック
D1	PTS1/SDA3	ポート/ IIC シリアルデータ
A2	PTS3/SDA4	ポート/ IIC シリアルデータ
C4	PTS2/SCL4	ポート/ IIC シリアルクロック
B5	PTS4/SCL5	ポート/ IIC シリアルクロック
B3	PTS5/SDA5	ポート/ IIC シリアルデータ
C5	PTM3/SDA6	ポート/ IIC シリアルデータ
D5	PTM2/SCL6	ポート/ IIC シリアルクロック
A5	PTM1/SDA7	ポート/ IIC シリアルデータ
A3	PTM0/SCL7	ポート/ IIC シリアルクロック
N2	TX0_P	PCIe Tx+ 信号
N1	TX0_N	PCIe Tx- 信号
M2	RX0_P	PCIe Rx+ 信号
M1	RX0_N	PCIe Rx- 信号
R2	REFCLK_P	PCIe リファレンスクロック+
R1	REFCLK_N	PCIe リファレンスクロック-
K4	$\overline{\text{PERST}}$	PCIe リセット
AG19	USDP0	USB D+ データ
AH19	USDM0	USB D- データ
AF20	VBUS0	USB Vbus入力
AE20	REFRIN	USB リファレンス入力
AG21	USDP1	USB D+ データ
AH21	USDM1	USB D- データ
AG20	VBUS1	USB Vbus入力
AF22	PTN6/VBUS_EN	ポート/ USB VBUS パワーイネーブル
AF21	PTN5/VBUS_OC	ポート/ USB VBUS 過電流信号入力
D8	PTR7/SDA8	ポート/ IIC シリアルデータ
C8	PTR6/SCL8	ポート/ IIC シリアルクロック
B8	PTS7/SDA9	ポート/ IIC シリアルデータ
A8	PTS6/SCL9	ポート/ IIC シリアルクロック
AE23	AN0	アナログ入力

端子番号	端子名	機能
AF23	AN1	アナログ入力
AE24	AN2	アナログ入力
AG24	AN3	アナログ入力
AF24	AN4	アナログ入力
AH24	AN5	アナログ入力
AE25	AN6	アナログ入力
AG25	AN7	アナログ入力
AH26	AVREF0	ADC基準電圧入力
AG28	AVREF1	ADC基準電圧入力
U1	PTG5/A25/MMCCLK	ポート/アドレスバス/MMCクロック
V1	PTG4/A24/MMCCMD	ポート/アドレスバス/MMCコマンド
V2	PTV7/A23/COM2-RI/RI1	ポート/アドレスバス/COM2ポート/SCIFリングインジケータ
V3	PTV6/A22/RSPI-MOSI	ポート/アドレスバス/RSPIマスタ送信データ
V4	PTV5/A21/RSPI-MISO	ポート/アドレスバス/RSPIスレーブ送信データ
W1	PTV4/A20/RSPI-RSPCK	ポート/アドレスバス/RSPIクロック入出力
W2	PTV3/A19/RSPI-SSL0	ポート/アドレスバス/RSPIスレーブセレクト
W3	PTV2/A18/RSPI-SSL1	ポート/アドレスバス/RSPIスレーブセレクト
W4	PTV1/A17/EVENT7	ポート/アドレスバス/イベント入力
Y1	PTV0/A16/EVENT6	ポート/アドレスバス/イベント入力
Y2	PTW7/A15/EVENT5	ポート/アドレスバス/イベント入力
Y3	PTW6/A14/EVENT4	ポート/アドレスバス/イベント入力
Y4	PTW5/A13/EVENT3	ポート/アドレスバス/イベント入力
AA2	PTW4/A12/EVENT2	ポート/アドレスバス/イベント入力
AA3	PTW3/A11/EVENT1	ポート/アドレスバス/イベント入力
AA4	PTW2/A10/EVENT0	ポート/アドレスバス/イベント入力
AB1	PTW1/A9/CTS4	ポート/アドレスバス/SCIF送信許可
AB2	PTW0/A8/CTS2	ポート/アドレスバス/SCIF送信許可
AB3	PTX7/A7/RTS2	ポート/アドレスバス/SCIF送信要求
AB4	PTX6/A6/SIM_D	ポート/アドレスバス/SIM送受信データ
AB5	PTX5/A5/SIM_CLK	ポート/アドレスバス/SIMクロック
AC1	PTX4/A4/SIM_RST	ポート/アドレスバス/SIMリセット
AC2	PTX3/A3	ポート/アドレスバス
AC3	PTX2/A2	ポート/アドレスバス
AC4	PTX1/A1	ポート/アドレスバス
AD4	PTX0/A0	ポート/アドレスバス
AD3	PTI7/D15/SDWP	ポート/データバス/SDHIライトプロテクト
AD2	PTI6/D14/SDCD	ポート/データバス/SDHIカード検出
AD1	PTI5/D13/SDCLK	ポート/データバス/SDHIクロック

端子番号	端子名	機能
AE1	PTI4/D12/SDCMD	ポート/データバス/SDHIコマンド
AE2	PTI3/D11/SDDAT3	ポート/データバス/SDHIデータバス
AE3	PTI2/D10/SDDAT2	ポート/データバス/SDHIデータバス
AE4	PTI1/D9/SDDAT1	ポート/データバス/SDHIデータバス
AF1	PTI0/D8/SDDAT0	ポート/データバス/SDHIデータバス
AF2	PTY7/D7	ポート/データバス
AF3	PTY6/D6	ポート/データバス
AF4	PTY5/D5	ポート/データバス
AG1	PTY4/D4	ポート/データバス
AG2	PTY3/D3	ポート/データバス
AG3	PTY2/D2	ポート/データバス
AH2	PTY1/D1	ポート/データバス
AH3	PTY0/D0	ポート/データバス
C15	PTA5/ $\overline{WE1}$	ポート/ライトイネーブル
A15	PTA4/ \overline{RDY}	ポート/レディ
D17	PTA7/ \overline{BS}	ポート/バススタート
B15	PTA6/ \overline{RDWR}	ポート/ライト
C16	PTM7/ $\overline{CS4}$	ポート/チップセレクト
A16	PTM6/ \overline{RD}	ポート/リード
E17	PTM5/ $\overline{WE0}$	ポート/ライトイネーブル
B16	PTM4/ $\overline{CS0}$	ポート/チップセレクト
T26	NMI	ノンマスクابل割り込み
AE7	PTB7	ポート
AE8	PTB6	ポート
AG6	PTB5	ポート
AG7	PTB4	ポート
AH6	PTB3	ポート
AF7	PTB2	ポート
AF8	PTB1	ポート
R25	PTB0/TCLK	ポート/タイマクロック
C1	PTC7/ $\overline{IRQ7}/\overline{IRL7}/\overline{PWMU0}$	ポート/インタラプトリクエスト/PWMUパルス出力
C2	PTC6/ $\overline{IRQ6}/\overline{IRL6}/\overline{PWMU1}$	ポート/インタラプトリクエスト/PWMUパルス出力
B1	PTC5/ $\overline{IRQ5}/\overline{IRL5}/\overline{PWMU2}$	ポート/インタラプトリクエスト/PWMUパルス出力
C3	PTC4/ $\overline{IRQ4}/\overline{IRL4}/\overline{PWMU3}$	ポート/インタラプトリクエスト/PWMUパルス出力
D3	PTC3/ $\overline{IRQ3}/\overline{IRL3}/\overline{PWMU4}$	ポート/インタラプトリクエスト/PWMUパルス出力
B2	PTC2/ $\overline{IRQ2}/\overline{IRL2}/\overline{PWMU5}$	ポート/インタラプトリクエスト/PWMUパルス出力
D4	PTC1/ $\overline{IRQ1}/\overline{IRL1}$	ポート/インタラプトリクエスト
E4	PTC0/ $\overline{IRQ0}/\overline{IRL0}$	ポート/インタラプトリクエスト
AF26	PTP0/EVENT8/AN8	ポート/イベント入力/アナログ入力

端子番号	端子名	機能
AH25	PTP1/EVENT9/AN9	ポート/イベント入力/アナログ入力
AF25	PTP2/EVENT10/AN10	ポート/イベント入力/アナログ入力
AG26	PTP3/EVENT11/AN11	ポート/イベント入力/アナログ入力
AF28	PTP4/EVENT12/AN12	ポート/イベント入力/アナログ入力
AG27	PTP5/EVENT13/AN13	ポート/イベント入力/アナログ入力
AF27	PTP6/EVENT14/AN14	ポート/イベント入力/アナログ入力
AH27	PTP7/EVENT15/AN15	ポート/イベント入力/アナログ入力
J1	PTT0/PWMX0	ポート/PWMXパルス出力
K1	PTT1/PWMX1	ポート/PWMXパルス出力
J2	PTT2/PWMX2/STATUS0	ポート/PWMXパルス出力/ステータス出力
K2	PTT3/PWMX3/STATUS1	ポート/PWMXパルス出力/ステータス出力
H2	PTT7/PWMX7/AUDATA3/MD2	ポート/PWMXパルス出力/エミュレータ/モード設定
H1	PTT6/PWMX6/AUDATA2	ポート/PWMXパルス出力/エミュレータ 注. パワーオンリセット中、この端子はHレベルに固定してください。
J4	PTT5/PWMX5/AUDATA1/ FLSHS22	ポート/PWMXパルス出力/エミュレータ/SPI1フラッシュサイズ選択
J3	PTT4/PWMX4/AUDATA0/ WPLOCK	ポート/PWMXパルス出力/エミュレータ/SPI1 WPコマンドレジスタロック
V25	PTO7/SGPIO0-CLK/MD10	ポート/SGPIOクロック/モード設定
Y28	PTO6/SGPIO0-LOAD/MD8	ポート/SGPIOロード/モード設定
Y27	PTO5/SGPIO0-DI	ポート/SGPIOデータ入力
W27	PTO4/SGPIO0-DO	ポート/SGPIOデータ出力 注. パワーオンリセット中、この端子はLレベルに固定してください。
D12	PTO3/SGPIO2-CLK/COM1-TXD	ポート/SGPIOクロック/COM1ポート 注. パワーオンリセット中、この端子はLレベルに固定してください。
A11	PTO2/SGPIO2-LOAD/ COM1-RXD/MD1	ポート/SGPIOロード/COM1ポート/モード設定
D13	PTO1/SGPIO2-DI/COM1-RTS	ポート/SGPIOデータ入力/COM1ポート
C12	PTO0/SGPIO2-DO/COM1-CTS/ MD0	ポート/SGPIOデータ出力/COM1ポート/モード設定
A12	PTK7/COM2-TXD/TXD1/SCK2	ポート/COM2ポート/SCIF送信データ/SCIFシリアルクロック
C13	PTK6/COM2-RXD/RXD1	ポート/COM2ポート/SCIF受信データ
E14	PTK5/COM2-RTS/RTS1	ポート/COM2ポート/SCIF送信要求
B12	PTK4/COM2-CTS/CTS1	ポート/COM2ポート/SCIF送信許可
D14	PTK3/COM2-DTR/DTR1	ポート/COM2ポート/SCIFデータターミナルレディ
A13	PTK2/COM2-DSR/DSR1/SCK4	ポート/COM2ポート/SCIFデータセットレディ/ SCIFシリアルクロック
B13	PTK1/COM2-DCD/DCD1/SCK3	ポート/COM2ポート/SCIFデータキャリア検出/ SCIFシリアルクロック
E7	PTJ6/RTS3	ポート/SCIF送信要求

端子番号	端子名	機能
B6	PTJ5/CTS3	ポート/SCIF 送信許可
B7	PTJ4/TXD3	ポート/SCIF 送信データ
A6	PTJ3/RXD3	ポート/SCIF 受信データ
C6	PTJ2/RTS4	ポート/SCIF 送信要求
B4	PTJ1/RXD4	ポート/SCIF 受信データ
D6	PTJ0/TXD4	ポート/SCIF 送信データ
D15	PTL0/RAC-TXD/TXD0/TXD2	ポート/RACポート/SCIF 送信データ/SCIF 送信データ
A14	PTL6/RAC-RXD/RXD0/RXD2	ポート/RACポート/SCIF 受信データ/SCIF 受信データ
D16	PTL5/RAC-RTS/RTS0/CS5	ポート/RACポート/SCIF 送信要求/チップセレクト
B14	PTL4/RAC-CTS/CTS0/CS6	ポート/RACポート/SCIF 送信許可/チップセレクト
C14	PTL3/RAC-DTR/DTR0	ポート/RACポート/SCIF データターミナルレディ
G1	PTL2/RAC-DSR/DSR0/AUDSYNC	ポート/RACポート/SCIF データセットレディ/エミュレータ
H3	PTL1/RAC-DCD/DCD0/AUDCK	ポート/RACポート/SCIF データキャリア検出/エミュレータ
R27	XTAL	水晶発振子
R28	EXTAL	水晶発振子/外部クロック
F1	PRESET	パワーオンリセット
U26	SPILOAD	SPI0 ブートインジケータ
C18	TCK	テストクロック
B18	TMS	テストモードセレクト
B17	TRST	テストリセット
D18	TDI	テストデータ入力
C17	TDO	テストデータ出力
U25	PTN4/SGPIO1-CLK/BOOTSZ2	ポート/SGPIO クロック/SPI0 モジュール選択/SPI ブートフラッシュメモリのデバイスサイズを選択
W28	PTN3/SGPIO1-LOAD/BOOTSZ0	ポート/SGPIO ロード/SPI ブートフラッシュメモリのデバイスサイズを選択
V26	PTN2/SGPIO1-DO/BOOTSZ1	ポート/SGPIO データ出力/SPI ブートフラッシュメモリのデバイスサイズを選択
V27	PTN1/SGPIO1-DI	ポート/SGPIO データ入力
T25	PTN0/SUB-CLKIN	ポート/32kHz クロック入力端子
A18	MPMD	チップモード指定
R26	PTK0/CLKOUT	ポート/外部デバイス用クロック出力 (48MHz)
K5	ASEBRK/BRKACK	ブレークモードアクノリッジ
AD14	RGMII-VREF	RGMII 基準電圧入力
E8	VDD	内部コア用 1.25V 電源
E13	VDD	内部コア用 1.25V 電源
E18	VDD	内部コア用 1.25V 電源
G5	VDD	内部コア用 1.25V 電源

端子番号	端子名	機能
L11	VDD	内部コア用1.25V電源
L12	VDD	内部コア用1.25V電源
L17	VDD	内部コア用1.25V電源
L18	VDD	内部コア用1.25V電源
M11	VDD	内部コア用1.25V電源
M12	VDD	内部コア用1.25V電源
M17	VDD	内部コア用1.25V電源
M18	VDD	内部コア用1.25V電源
U11	VDD	内部コア用1.25V電源
U12	VDD	内部コア用1.25V電源
U17	VDD	内部コア用1.25V電源
U18	VDD	内部コア用1.25V電源
V11	VDD	内部コア用1.25V電源
V12	VDD	内部コア用1.25V電源
V17	VDD	内部コア用1.25V電源
V18	VDD	内部コア用1.25V電源
W24	VDD	内部コア用1.25V電源
AD11	VDD	内部コア用1.25V電源
AD19	VDD	内部コア用1.25V電源
A4	VCCQ	I/O用3.3V電源
E1	VCCQ	I/O用3.3V電源
E5	VCCQ	I/O用3.3V電源
E6	VCCQ	I/O用3.3V電源
E11	VCCQ	I/O用3.3V電源
E16	VCCQ	I/O用3.3V電源
F2	VCCQ	I/O用3.3V電源
J5	VCCQ	I/O用3.3V電源
K3	VCCQ	I/O用3.3V電源
L13	VCCQ	I/O用3.3V電源
L16	VCCQ	I/O用3.3V電源
N11	VCCQ	I/O用3.3V電源
R24	VCCQ	I/O用3.3V電源
T11	VCCQ	I/O用3.3V電源
V13	VCCQ	I/O用3.3V電源
V16	VCCQ	I/O用3.3V電源
V28	VCCQ	I/O用3.3V電源
W5	VCCQ	I/O用3.3V電源

端子番号	端子名	機能
AA1	VCCQ	I/O用3.3V電源
AA5	VCCQ	I/O用3.3V電源
AD6	VCCQ	I/O用3.3V電源
AD10	VCCQ	I/O用3.3V電源
AD18	VCCQ	I/O用3.3V電源
AD28	VCCQ	I/O用3.3V電源
AH10	VCCQ	I/O用3.3V電源
AA24	AVCCQADC	ADC用3.3Vアナログ電源
AB24	AVCCQADC	ADC用3.3Vアナログ電源
L5	AVCCQPCI	PCIe用3.3V電源
P5	AVCCQPCI	PCIe用3.3V電源
A20	VCCQ-DDR	DDR3 I/O用1.5V電源
A24	VCCQ-DDR	DDR3 I/O用1.5V電源
A27	VCCQ-DDR	DDR3 I/O用1.5V電源
B26	VCCQ-DDR	DDR3 I/O用1.5V電源
C25	VCCQ-DDR	DDR3 I/O用1.5V電源
D24	VCCQ-DDR	DDR3 I/O用1.5V電源
E21	VCCQ-DDR	DDR3 I/O用1.5V電源
E23	VCCQ-DDR	DDR3 I/O用1.5V電源
F24	VCCQ-DDR	DDR3 I/O用1.5V電源
F28	VCCQ-DDR	DDR3 I/O用1.5V電源
H24	VCCQ-DDR	DDR3 I/O用1.5V電源
K28	VCCQ-DDR	DDR3 I/O用1.5V電源
L24	VCCQ-DDR	DDR3 I/O用1.5V電源
N24	VCCQ-DDR	DDR3 I/O用1.5V電源
AG18	VCCQ-USB	USB用3.3V電源
AG22	VCCQ-USB	USB用3.3V電源
AH20	VCCQ-USB	USB用3.3V電源
AH22	VCCQ-USB	USB用3.3V電源
AD13	VCCQ-GET	GETHER用1.5V電源
AD16	VCCQ-GET	GETHER用1.5V電源
AD20	VDD-USB	USB用1.25V電源
AD21	VDD-USB	USB用1.25V電源
AD23	VDD-USB	USB用1.25V電源
AE22	VDD-USB	USB用1.25V電源
M5	VDDPHY12	PCIe用1.25V電源
N5	VDDPHY12	PCIe用1.25V電源

端子番号	端子名	機能
N4	VDDPHY15	PCIe用1.5V電源
P4	VDDPHY15	PCIe用1.5V電源
T24	VDD-PLL1	PLL1用1.25V電源
T18	VDD-PLL3	PLL3用1.25V電源
N18	VDD-PLL4	PLL4用1.25V電源
A1	VSS	グランド
A17	VSS	グランド
A19	VSS	グランド
A22	VSS	グランド
A28	VSS	グランド
B19	VSS	グランド
B27	VSS	グランド
C19	VSS	グランド
C26	VSS	グランド
D19	VSS	グランド
D25	VSS	グランド
D28	VSS	グランド
E2	VSS	グランド
E3	VSS	グランド
E10	VSS	グランド
E15	VSS	グランド
E19	VSS	グランド
E22	VSS	グランド
E24	VSS	グランド
F5	VSS	グランド
G24	VSS	グランド
H5	VSS	グランド
H25	VSS	グランド
H26	VSS	グランド
H27	VSS	グランド
H28	VSS	グランド
K24	VSS	グランド
L4	VSS	グランド
L14	VSS	グランド
L15	VSS	グランド
M13	VSS	グランド
M14	VSS	グランド
M15	VSS	グランド
M16	VSS	グランド

端子番号	端子名	機能
M24	VSS	グラウンド
M25	VSS	グラウンド
M26	VSS	グラウンド
M27	VSS	グラウンド
N12	VSS	グラウンド
N13	VSS	グラウンド
N14	VSS	グラウンド
N15	VSS	グラウンド
N16	VSS	グラウンド
N17	VSS	グラウンド
P11	VSS	グラウンド
P12	VSS	グラウンド
P13	VSS	グラウンド
P14	VSS	グラウンド
P15	VSS	グラウンド
P16	VSS	グラウンド
P17	VSS	グラウンド
P18	VSS	グラウンド
P24	VSS	グラウンド
P25	VSS	グラウンド
P26	VSS	グラウンド
P27	VSS	グラウンド
P28	VSS	グラウンド
R5	VSS	グラウンド
R11	VSS	グラウンド
R12	VSS	グラウンド
R13	VSS	グラウンド
R14	VSS	グラウンド
R15	VSS	グラウンド
R16	VSS	グラウンド
R17	VSS	グラウンド
R18	VSS	グラウンド
T5	VSS	グラウンド
T12	VSS	グラウンド
T13	VSS	グラウンド
T14	VSS	グラウンド
T15	VSS	グラウンド
T16	VSS	グラウンド
T17	VSS	グラウンド
T27	VSS	グラウンド

端子番号	端子名	機能
T28	VSS	グラウンド
U5	VSS	グラウンド
U13	VSS	グラウンド
U14	VSS	グラウンド
U15	VSS	グラウンド
U16	VSS	グラウンド
U24	VSS	グラウンド
V5	VSS	グラウンド
V14	VSS	グラウンド
V15	VSS	グラウンド
V24	VSS	グラウンド
Y5	VSS	グラウンド
Y24	VSS	グラウンド
AC5	VSS	グラウンド
AC24	VSS	グラウンド
AD5	VSS	グラウンド
AD7	VSS	グラウンド
AD8	VSS	グラウンド
AD12	VSS	グラウンド
AD15	VSS	グラウンド
AD17	VSS	グラウンド
AD22	VSS	グラウンド
AD24	VSS	グラウンド
AE19	VSS	グラウンド
AE21	VSS	グラウンド
AF19	VSS	グラウンド
AH1	VSS	グラウンド
AH7	VSS	グラウンド
AH28	VSS	グラウンド
AG23	VSS	グラウンド
L1	VSSPHY	PCIe用グラウンド
L2	VSSPHY	PCIe用グラウンド
L3	VSSPHY	PCIe用グラウンド
M3	VSSPHY	PCIe用グラウンド
M4	VSSPHY	PCIe用グラウンド
N3	VSSPHY	PCIe用グラウンド
P1	VSSPHY	PCIe用グラウンド
P2	VSSPHY	PCIe用グラウンド
P3	VSSPHY	PCIe用グラウンド

端子番号	端子名	機能
R3	VSSPHY	PCIe用グラウンド
R4	VSSPHY	PCIe用グラウンド
U4	NC	開放
T1	NC	開放
T2	NC	開放
T3	NC	開放
T4	NC	開放
U2	NC	開放
U3	NC	開放
AH23	NC	開放

1.5 端子機能

SH7753の各端子の機能を表1.3に示します。

表1.3 端子機能

分類	端子名	入出力	説明
電源	VDD	入力	内部コア電源端子 (1.25V) です。すべてのVDD端子をシステムの電源に接続してください。開放するとSH7753は動作しません。
	VSS	入力	グランド端子です。すべてのVSS端子をシステム電源 (0V) に接続してください。開放するとSH7753は動作しません。
	VCCQ	入力	入出力端子用 (IO) 電源端子 (3.3V) です。すべてのVCCQ端子をシステムの電源に接続してください。開放するとSH7753は動作しません。
	AVCCQADC	入力	ADC用電源端子 (3.3V) です。開放するとSH7753は動作しません。
	VDD-PLL1	入力	内蔵PLL1発振器用電源端子 (1.25V) です。開放するとSH7753は動作しません。
	VDD-PLL3	入力	内蔵PLL3発振器用電源端子 (1.25V) です。開放するとSH7753は動作しません。
	VDD-PLL4	入力	内蔵PLL4発振器用電源端子 (1.25V) です。開放するとSH7753は動作しません。
	VCCQ-GET	入力	GETHERインターフェイス用電源端子 (1.5V) です。開放するとSH7753は動作しません。
	VCCQ-DDR	入力	DBSC3用電源端子 (1.5V) です。開放するとSH7753は動作しません。
	VCCQ-USB	入力	USB-PHY用電源端子 (3.3V) です。開放するとSH7753は動作しません。
	VDD-USB	入力	USB-PHY用電源端子 (1.25V) です。開放するとSH7753は動作しません。
	AVCCQPCI	入力	PCIe-PHY用電源電圧 (3.3V) です。開放するとSH7753は動作しません。
	VDDPHY15	入力	PCIe-PHY用電源電圧 (1.5V) です。開放するとSH7753は動作しません。
	VDDPHY12	入力	PCIe-PHY用電源電圧 (1.25V) です。開放するとSH7753は動作しません。
VSSPHY	入力	PCIe-PHY用グランド端子です。開放するとSH7753は動作しません。	
クロック	EXTAL	入力	水晶発振子を接続します。また、外部クロック信号を入力することもできます。
	XTAL	出力	水晶発振子を接続します。外部クロック信号を使用する場合は、開放してください。
	CLKOUT	出力	外部デバイス用クロック出力端子です。外部デバイスにクロック (48MHz) を供給します。
動作モード コントロール	MD10 (注1)	入力	CPUブートモード設定 L: 32ビットブートモード H: 29ビットブートモード
	MD6、MD9 (注1)	入力	ブートモード設定 LL: LBSCブート HL: 2KB SPIブート 注. 上記以外は設定禁止。
	MD8 (注1)	入力	クロック端子機能設定 L: 外部クロック入力 (EXTAL端子に48MHzの外部クロック信号を入力) H: 水晶発振子接続 (EXTAL/XTAL端子間に48MHzの水晶発振子を接続)
	MD2、MD1、 MD0 (注1)	入力	クロック動作モード設定 LLL: クロック動作モード0 (注2) LLH: クロック動作モード1 (注3) 注. 上記以外は設定禁止。
	MD3 (注1)	入力	バスモード設定 LBSCエリア0のバス幅を設定 L: 16ビット H: 8ビット

分類	端子名	入出力	説明
動作モード コントロール	MD5 (注1)	入力	エンディアン設定 LBSC、DBSC3バス及びSHwyバス用にSH-4Aのエンディアンを設定 L：ビッグエンディアン H：リトルエンディアン
システム制御1	PRESET	入力	パワーオンリセット
	STATUS1、 STATUS0	出力	ステータス出力 プロセッサの動作状態を表します。
システム制御2 (ストラップ ピン)	BOOTSZ2、 BOOTSZ1、 BOOTSZ0 (注1)	入力	SPI0 ブートフラッシュメモリサイズ (ABR用) 設定 LLL : 1MB (3バイトアドレッシングモード) LLH : 2MB (3バイトアドレッシングモード) LHL : 4MB (3バイトアドレッシングモード) LHH : 8MB (3バイトアドレッシングモード) HLL : 16MB (3バイトアドレッシングモード) HLH : 32MB (4バイトアドレッシングモード) HHL : 64MB (4バイトアドレッシングモード) HHH : 128MB (4バイトアドレッシングモード)
	BOOTWPSZ1 BOOTWPSZ0 (注1)	入力	SPI0 ブートフラッシュライトプロテクトエリアサイズ設定 LL : 64 KB LH : 128 KB HL : 256 KB HH : 512 KB
	BOOTFMS (注1)	入力	SPI ブートフラッシュメモリ領域選択 (ABR開始アドレス) L : SPIフラッシュメモリエリアの下位半分からロード H : SPIフラッシュメモリエリアの上位半分からロード
	BOOTWP	入力	SPI0 ブートフラッシュライトプロテクト設定 L : SPI0 ライトプロテクト有効 H : SPI0 ライトプロテクト無効
	WDTFOT1、 WDTFOT0 (注1)	入力	SPI0のABR遅延時間を設定 LL : ABR機能無効 LH : 22 秒 HL : 44 秒 HH : 88 秒
	FLSHSZ2、 FLSHSZ1、 FLSHSZ0 (注1)	入力	SPI1 フラッシュメモリサイズ設定 LLL : 2MB LLH : 4MB LHL : 8MB LHH : 16MB HLL : 32MB HLH : 64MB HHL : 128MB HHH : 256MB
	WPSZ1、 WPSZ0 (注1)	入力	SPI1 フラッシュライトプロテクトエリアサイズ設定 LL : 256 KB LH : 512 KB HL : 1 MB HH : 2 MB
	WP	入力	SPI1 フラッシュライトプロテクト設定 L : SPI1 ライトプロテクト有効 H : SPI1 ライトプロテクト無効
	WPLOCK (注1)	入力	SPI1 WP コマンドレジスタロック L : WP コマンドレジスタは、SH-4Aからのみ読み出し可能 H : WP コマンドレジスタは、BOOTWP = Hのとき、 SH-4Aから読み出し及び書き込みが可能

分類	端子名	入出力	説明
割り込み	NMI	入力	ノンマスカブル割り込み要求端子です。使用しない場合はHレベルに固定してください。
	IRQ7 ~ IRQ0	入力	マスク可能な外部割り込み要求端子です。レベル入力、エッジ入力を選択できます。
アドレスバス	A25 ~ A0	出力	アドレスバス出力端子です。
データバス	D15 ~ D0	入出力	データバス入出力端子です。
バス制御	$\overline{CS6}$ 、 $\overline{CS5}$ 、 $\overline{CS4}$ 、 $\overline{CS0}$	出力	外部メモリ又はデバイスのチップセレクト端子です。
	\overline{RD}	出力	リード端子です。 外部のデバイスからの読み出しを示します
	\overline{RDWR}	出力	リード/ライト端子です。 外部のデバイスに対する読み出し、書き込みを示します
	\overline{RDY}	入力	レディ端子です。 外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させます。
	$\overline{WE0}$	出力	ライトイネーブル0端子です。 外部メモリ又はデバイスへの、8ビットデータ（データ0~7）の書き込みを示します（8/16ビットバスアクセス時）。
	$\overline{WE1}$	出力	ライトイネーブル1端子です。 外部メモリ又はデバイスへの、8ビットデータ（データ8~15）の書き込みを示します（16ビットバスアクセス時）。
	\overline{BS}	出力	バススタート端子です。 バスサイクルの開始を示します。
バス制御DDR3-SDRAMインタフェース (DBSC3)	M_A15 ~ M_A0	出力	DDR3-SDRAM用アドレスバス端子です。
	M_BA2 ~ M_BA0	出力	DDR3-SDRAM用バンクアドレス端子です。
	M_DQ15 ~ M_DQ0	入出力	DDR3-SDRAM用データバス端子です。
	$\overline{M_CS}$	出力	DDR3-SDRAM用チップセレクト端子です。
	$\overline{M_RAS}$	出力	DDR3-SDRAM用ロウアドレスストロープ端子です。
	$\overline{M_CAS}$	出力	DDR3-SDRAM用コラムアドレスストロープ端子です。
	$\overline{M_WE}$	出力	DDR3-SDRAM用ライトイネーブル端子です。
	M_CKE	出力	DDR3-SDRAM用クロックイネーブル端子です。
	$\overline{M_CLK}$ 、 $\overline{M_CLK}$	出力	DDR3-SDRAM用クロック（差動信号）端子です。
	M_VREF_DQ	入力	DDR3基準電圧入力（VDDQ-DDR/2）端子です。
	M_VREF_CA	入力	DDR3テスト用基準電圧入力端子です。グラウンドに接続してください。
	$\overline{M_DQS1}$ 、 $\overline{M_DQS0}$ 、 $\overline{M_DQS1}$ 、 $\overline{M_DQS0}$	入出力	DDR3-SDRAM用データストロープ（差動信号）端子です。
	M_ODT	出力	DDR3-SDRAM用ODTイネーブル端子です。
	M_DM1、M_DM0	出力	DDR3-SDRAM用データマスク端子です。

分類	端子名	入出力	説明
バス制御DDR3-SDRAMインタフェース (DBSC3)	M_RESET	出力	DDR3-SDRAM用リセット端子です。
	M_ZQ	入出力	DDR3インピーダンスマッチング端子です。
PCIe インタフェース	TX0_P	出力	PCIe Tx+ 信号出力端子です。PCIe差動データを出力します。
	TX0_N	出力	PCIe Tx+ 信号出力端子です。PCIe差動データを出力します。
	RX0_P	入力	PCIe Rx+ 信号入力端子です。PCIe差動データを入力します。
	RX0_N	入力	PCIe Rx+ 信号入力端子です。PCIe差動データを入力します。
	REFCLK_P	入力	PCIe Rx+ 信号入力端子です。PCIe差動クロックを入力します。
	REFCLK_N	入力	PCIe Rx+ 信号入力端子です。PCIe差動クロックを入力します。
	PERST	入力	PCIeリセット入力です。 PCI Express Card Electromechanical (CEM) で定められたPERST信号を入力してください。
DMA コントローラ (DMAC)	DREQ0、 DREQ1	入力	DMA転送要求入力端子です。
	DACK0、 DACK1	出力	DMA転送要求アクノリッジ端子です。 外部からのDMA転送要求に対する、DMAアクノリッジを出力します。
	TEND0、 TEND1	出力	DMA転送終了出力端子です。
イーサネット コントローラ (RMII)	RMII0- CRS_DV、 RMII1- CRS_DV	入力	キャリア検出/受信データ有効信号入力端子です。
	RMII0-TXD1、 RMII0-TXD0、 RMII1-TXD1、 RMII1-TXD0	出力	送信データ端子です。
	RMII0-TXEN、 RMII1-TXEN	出力	送信イネーブル端子です。 TXD端子上に送信データが準備できたことを示します
	RMII0- REFCLK、 RMII1- REFCLK	入力	送受信クロック端子です。
	RMII0-RXD1、 RMII0-RXD0、 RMII1-RXD1、 RMII1-RXD0	入力	受信データ端子です。
	RMII0- RX_ER、 RMII1-RX_ER	入力	受信エラー端子です。
イーサネット コントローラ (RMII-RGMII 共通)	ET0-MDC、 ET1-MDC	出力	MDIOによる転送情報のクロック信号端子です。
	ET0-MDIO、 ET1-MDIO	入出力	管理情報を交換する為の双方向のデータ端子です。

分類	端子名	入出力	説明
イーサネット コントローラ (RGMII)	ET0-TX_CTL、 ET1-TX_CTL	出力	送信信号用制御信号出力端子です。
	ET0-TXC、 ET1-TXC	出力	送信信号用クロック出力端子です。
	ET0-TD0～ ET0-TD3、 ET1-TD0～ ET1-TD3	出力	4ビットの送信データ用出力端子です。
	ET0- RX_CTL、 ET1-RX_CTL	入力	受信信号用制御信号入力端子です。
	ET0-RXC、 ET1-RXC	入力	受信信号用クロック入力端子です。
	ET0-RD0～ ET0-RD3、 ET1-RD0～ ET1-RD3	入力	4ビットの受信データ用入力端子です。
	RGMII-MAC- CLK	入力	RGMII用基準クロック入力端子です。
	RGMII-VREF	入力	RGMII基準電圧入力端子です。
FIFO内蔵 シリアル コミュニケー ションインタ フェース (SCIF0、SCIF1)	TXD0、TXD1	出力	送信データ出力端子です。
	RXD0、RXD1	入力	受信データ入力端子です。
	$\overline{\text{RTS0}}$ 、 $\overline{\text{RTS1}}$	出力	モデム制御信号（送信要求出力）端子です。
	$\overline{\text{CTS0}}$ 、 $\overline{\text{CTS1}}$	入力	モデム制御信号（送信許可入力）端子です。
	$\overline{\text{DTR0}}$ 、 $\overline{\text{DTR1}}$	出力	データターミナルレディ出力端子です。
	$\overline{\text{DSR0}}$ 、 $\overline{\text{DSR1}}$	入力	データセットレディ入力端子です。
	$\overline{\text{DCD0}}$ 、 $\overline{\text{DCD1}}$	入力	データキャリア検出入力端子です。
	$\overline{\text{RI0}}$ 、 $\overline{\text{RI1}}$	入力	リングインジケータ入力端子です。
FIFO内蔵 シリアル コミュニケー ションインタ フェース (SCIF2、 SCIF3、SCIF4)	SCK2～SCK4	入出力	クロック入出力端子です。
	TXD2～TXD4	出力	送信データ出力端子です。
	RXD2～RXD4	入力	受信データ入力端子です。
	$\overline{\text{RTS2}}$ ～ $\overline{\text{RTS4}}$	入出力	モデム制御信号（送信要求）端子です。
	$\overline{\text{CTS2}}$ ～ $\overline{\text{CTS4}}$	入出力	送信許可 モデム制御信号（送信許可）端子です。
I2Cバスインタ フェース (IIC)	SCL0～SCL9	入出力	シリアルクロック入出力端子です。
	SDA0～SDA9	入出力	シリアルデータ入出力端子です。
USB ファンクショ ン0 (USB0)	USDP0	入出力	USB0 D+ データ端子です。
	USDM0	入出力	USB0 D- データ端子です。
	VBUS0	入力	USB0 Vbus 入力端子です。
USB0、USB1 共通リファレン ス入力	REFRIN	入力	リファレンス入力端子です。 5.6K Ω ($\pm 1\%$) の抵抗を介してグラウンドに接続してください

分類	端子名	入出力	説明
USB ホスト/ ファンクション 1 (USB1)	USDP1	入出力	USB1 D+ データ端子です。
	USDM1	入出力	USB1 D- データ端子です。
	VBUS1	入力	USB1 Vbus 入力端子です。
	VBUS_EN	出力	USB Vbus パワーイネーブル出力端子です。
	VBUS_OC	入力	USB過電流モニタ端子です。
ルネサスシリアル ペリフェラル インタフェース (RSPI)	RSPI-RSPCK	入出力	RSPIクロック入出力端子です。
	RSPI-MOSI	入出力	RSPIデータ入出力端子です。
	RSPI-MISO	入出力	RSPIデータ入出力端子です。
	RSPI-SSL0、 RSPI-SSL1	入出力	RSPIチップセレクト入出力端子です。
SIMカード モジュール (SIM)	SIM_D	入出力	SIM送受信データ入出力端子です。
	SIM_CLK	出力	SIMクロック出力端子です。
	SIM_RST	出力	SIMリセット出力端子です。
シリアルペリ フェラルインタ フェース (SPI0、SPI1)	SP0-MOSI	入出力	SPIマスタデータ入出力端子です。
	SP1-MOSI	出力	SPIマスタデータ出力端子です。
	SP0-MISO、 SP1-MISO	入力	SPIマスタデータ入力端子です。
	SP0-SCK、 SP1-SCK	出力	SPIシリアルクロック出力端子です。
	SP0- SCK_FB、 SP1-SCK_FB	入力	SPIシリアルクロックフィードバック入力端子です。
	SP0-SS3 ~ SP0-SS0、 SP1-SS1、 SP1-SS0	出力	SPIスレーブデバイスセレクト出力端子です。
	SPILOAD	出力	SPI0ブートインジケータ出力端子です。
タイマユニット (TMU)	TCLK	入力	タイマの外部クロック入力端子です。 チャンネル2のインプットキャプチャ信号端子としても使用できます
14ビット PWMタイマ (PWMX)	PWMX7 ~ PWMX0	出力	14ビットPWMタイマのパルス出力端子です。
8ビット PWMタイマ (PWMU)	PWMU5 ~ PWMU0	出力	8ビットPWMタイマのパルス出力端子です。
サブクロック	SUB-CLKIN	入力	32.768kHzのクロック入力端子です
A/D変換器 (ADC)	AN15 ~ AN0	入力	アナログ入力端子です。
	ADTRG0、 ADTRG1	入力	A/D外部トリガ入力端子です。
	AVREF0、 AVREF1	入力	A/D変換器の基準電圧端子です。

分類	端子名	入出力	説明
シリアル端子 マルチプレクサ (SERMUX)	COM1-TXD、 COM1-RXD、 COM1-RTS、 COM1-CTS	出力 入力 出力 入力	COM1ポート入出力端子です。
	COM2-TXD、 COM2-RXD、 COM2-RTS、 COM2-CTS、 COM2-DTR、 COM2-DSR、 COM2-DCD、 COM2-RI	出力 入力 出力 入力 出力 入力 入力 入力	COM2ポート入出力端子です。
	RAC-TXD、 RAC-RXD、 RAC-RTS、 RAC-CTS、 RAC-DTR、 RAC-DSR、 RAC-DCD、 RAC-RI	入出力	RACポート入出力端子です。
SDホスト インタフェース (SDHI)	SDCD	入力	SDHIカード検出信号端子です。
	SDWP	入力	SDHIライトプロテクト信号端子です。
	SDDAT3～ SDDAT0	入出力	SDHIデータバス信号端子です。
	SDCMD	入出力	SDHIコマンド出力、レスポンス入力信号端子です。
	SDCLK	出力	SDHIクロック出力端子です。
イベント カウンタ (EVC)	EVENT15～ EVENT0	入力	イベントカウンタの入力端子です。
I/Oポート	PTA～PTI、 PTK、PTM、 PTP、PTO、 PTR～PTZ	入出力	汎用ポート (8ビット) PTB、PTC : ノイズキャンセラ内蔵 PTT : 12mA駆動
	PTJ、PTL、 PTN、PTQ	入出力	汎用ポート (7ビット)
汎用シリアル 入出力ポート (SGPIO)	SGPIO0-CLK	出力	SGPIO0クロック信号端子です。
	SGPIO0- LOAD	出力	SGPIO0のロード信号端子です。
	SGPIO0-DI	入力	SGPIO0のデータ入力端子です。
	SGPIO0-DO	出力	SGPIO0のデータ出力端子です。
	SGPIO1-CLK	出力	SGPIO1のクロック信号端子です。
	SGPIO1- LOAD	出力	SGPIO1のロード信号端子です。
	SGPIO1-DI	入力	SGPIO1のデータ入力端子です。
	SGPIO1-DO	出力	SGPIO1のデータ出力端子です。
	SGPIO2-CLK	出力	SGPIO2のクロック信号端子です。
	SGPIO2- LOAD	出力	SGPIO2のロード信号端子です。
	SGPIO2-DI	入力	SGPIO2のデータ入力端子です。
	SGPIO2-DO	出力	SGPIO2のデータ出力端子です。

分類	端子名	入出力	説明
eMMCホスト インタフェース	MMCCLK	出力	MMCクロック出力端子です。
	MMCCMD	入出力	MMCコマンド入力端子／レスポンス出力端子です。
	MMCDAT7～ MMCDAT0	入出力	MMC送信出力端子／受信入力端子です。
ハイパフォーマンス ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック入力端子です。
	TMS	入力	テストモードセレクト信号入力端子です。
	$\overline{\text{TRST}}$	入力	初期化信号入力端子（テストリセット）です。
	TDI	入力	インストラクション／データシリアル入力端子です。
	TDO	出力	インストラクション／データシリアル出力端子です。
アドバンスト ユーザデバッグ (AUD)	AUDATA3～ AUDATA0、 AUDCK、 AUDSYNC	出力	エミュレータ専用端子です。
	$\overline{\text{ASEBRK}}/BRKACK$	入出力	エミュレータ専用端子です。
	MPMD	入力	チップモード指定 L：エミュレーションモード H：ノーマルモード（チップモード）

- 注1. これらの端子の入力レベルは、 $\overline{\text{PRESET}}$ 端子入力の立ち上がりでラッチされます。
2. SH-4Aクロック = 384 MHz、SHwyクロック = 192 MHz、周辺クロック = 48 MHz
3. SH-4Aクロック = 576 MHz、SHwyクロック = 192 MHz、周辺クロック = 48 MHz

2. 電気的特性

2.1 絶対最大定格

表2.1 絶対最大定格

項目	記号	定格値	単位	測定条件
電源電圧 (注)	VCCQ	-0.3 ~ +4.6	V	
	VCCQ-USB	-0.3 ~ +4.6		
	AVCCQADC	-0.3 ~ +4.6		
	AVCCQPCI	-0.3 ~ +4.6		
	VCCQ-GET	-0.3 ~ +2.0		
	VCCQ-DDR	-0.3 ~ +2.0		
	VDDPHY15	-0.3 ~ +2.0		
	VDD	-0.3 ~ +1.8		
	VDD-PLL1	-0.3 ~ +1.8		
	VDD-PLL3	-0.3 ~ +1.8		
	VDD-PLL4	-0.3 ~ +1.8		
	VDD-USB	-0.3 ~ +1.8		
	VDDPHY12	-0.3 ~ +1.8		
入力電圧 (VCCQ_デジタルブロック)	Vin	-0.3 ~ VCCQ+0.3		
入力電圧 (AVCCQADC ブロック)	Vin	-0.3 ~ AVCCQADC+0.3		
入力電圧 (VCCQ-GET)	Vin	0.3 ~ VCCQ-GET+0.3		
入力電圧 (VCCQ-USBブロック)	Vin	-0.3 ~ VCCQ-USB+0.3		
入力電圧 (VCCQ-DDR ブロック)	Vin	-0.3 ~ VCCQ-DDR+0.3		
消費電力	Pd	Max. 5	W	TOPR = 25 °C
動作温度	Topr	-20 ~ +70	°C	
最大許容ジャンクション温度	Tjmax	110		
保存温度	Tstg	-20 ~ +125		

注. 絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

2.2 電源投入・切断シーケンス

2.2.1 電源投入・切断シーケンス

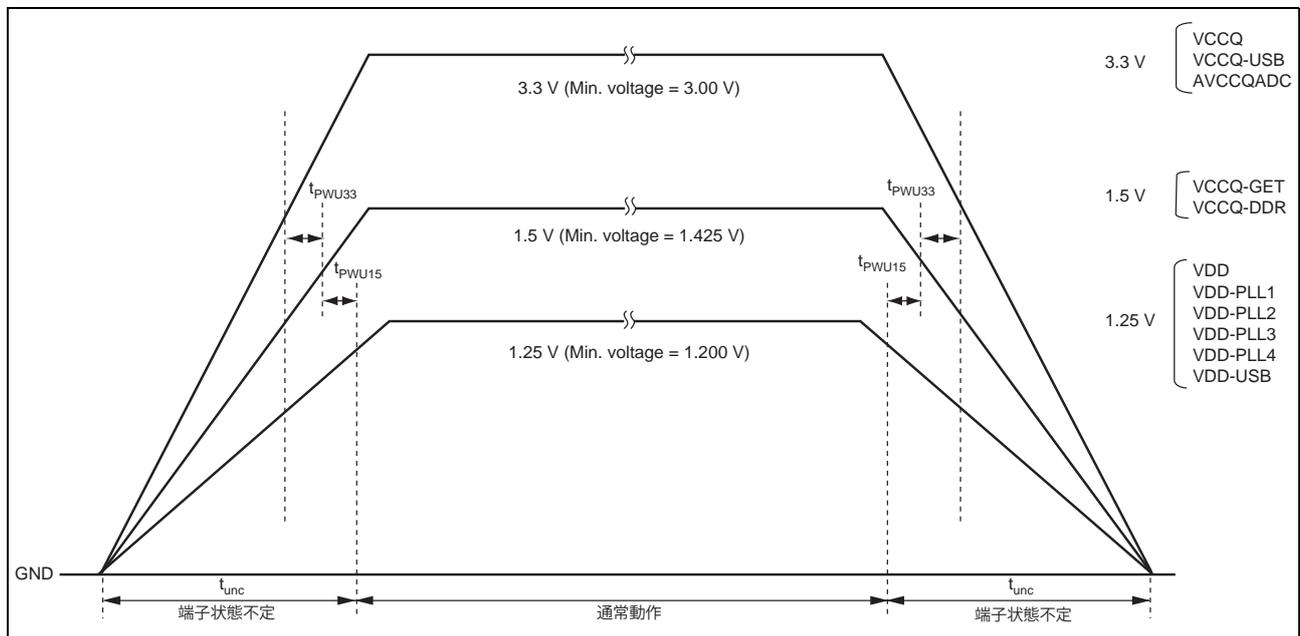


図 2.1 電源投入・切断シーケンス

表 2.2 電源投入・切断時間

項目	記号	Min.	Max.	単位
3.3V-1.5V 電源投入時間差 (注1)	t_{PWU33}	0	—	msec
1.5V-1.25V 電源投入時間差 (注1)	t_{PWU15}	0	—	msec
状態不定時間 (注2)	t_{UNC}	—	100	msec

- 注1. 3.3V 電源を 1.5V 電源よりも先に投入してください。1.5V 電源を 1.25V 電源よりも先に投入してください。また、1.5V 電源を 1.25V 電源よりも後に切断してください。3.3V 電源を 1.5V 電源よりも後に切断してください。
2. 推奨値であり、厳密な設定を要求するものではありません。1.25V 電源が Min. 電圧以上に到達するまで、及び Min. 電圧以下になってからが状態不定期間となり、その期間は端子状態及び内部状態が不定となります。その状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。

2.3 DC 特性

2.3.1 DC 特性 (1)

表2.3 DC 特性 (1)

項目	記号	Min.	Typ.	Max.	単位	測定条件	
電源電圧	VCCQ	3.00	3.30	3.60	V		
	VDD	1.20	1.25	1.30	V		
	VDD-PLL1、 VDD-PLL3、 VDD-PLL4	1.20	1.25	1.30	V		
A/D 電源電圧	AVCCQADC	3.00	3.30	3.60	V		
DBSC3 電源電圧	VCCQ-DDR	1.425	1.50	1.575	V		
DBSC3 基準電圧入力	M_VREF_DQ	VCCQ- DDR x 0.49	VCCQ- DDR x 0.50	VCCQ- DDR x 0.51	V		
USB 電源電圧	VCCQ-USB	3.00	3.30	3.60	V		
	VDD-USB	1.20	1.25	1.30	V		
PCIe 電源電圧	AVCCQPCI	3.00	3.30	3.60	V		
	VDDPHY15	1.425	1.50	1.575	V		
	VDDPHY12	1.20	1.25	1.30	V		
RGMI 電源電圧	VCCQ-GET	1.425	1.50	1.575	V		
RGMI 入力基準電圧	VREF-GET	0.68	0.75	0.80	V		
電源電流	通常動作	I _{CCQ}	—	—	300	mA	VCCQ + AVCCQADC + VCCQ-USB
		I _{DD}	—	—	939	mA	VDD + VDD-PLL1 ~ VDD-PLL4 + VDD-USB
		I _{DD15}	—	—	378	mA	VCCQ-DDR + VCCQ-GET
	スリープ/ モジュール ストップモード	I _{CCQ}	—	13	18	mA	VCCQ + AVCCQADC + VCCQ-USB
		I _{DD}	—	342	479	mA	VDD + VDD-PLL1 ~ VDD-PLL4 + VDD-USB
		I _{DD15}	—	170	181	mA	VCCQ-DDR + VCCQ-GET

2.3.2 DC 特性 (2)

表2.4 DC 特性(2)

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力リーク電流		Ilk	—	—	5	μA	VCCQ システム
		Ilk_USB	—	—	5	μA	
		Ilk_ADC	—	—	1	μA	AN0 ~ AN7
			—	—	5	μA	その他の端子
		Ilk_DDR	—	—	16	μA	
		Ilk_PHY12	—	—	5	μA	
プルアップ抵抗	RGMI _{II} 端子 (注)	R _{pull-RGMI_{II}}	30	65	140	kΩ	
	その他の端子 (注)	R _{pull}	25	50	110	kΩ	
端子容量		C _L	—	—	5	pF	DBSC3 システム
			—	—	10	pF	VCCQ システム

注. RGMI_{II} 端子 :

ET0-RX_CTL, ET1-RX_CTL, ET0-RXC, ET1-RXC, ET0-RD1, ET0-RD0, ET1-RD1, ET1-RD0, ET0-RD2, ET0-RD3, ET1-RD2, ET1-RD3, RGMI_{II}-MAC-CLK

その他の端子 :

MMCDAT7 ~ MMCDAT0, SP0-MOSI, SP0-MISO, SP0-SCK, SP0-SCK_FB, SP0-SS0 ~ SP0-SS3, SP1-MOSI, SP1-MISO, SP1-SCK, SP1-SCK_FB, SP1-SS0, SP1-SS1, WP, BOOTFMS, BOOTWP, ET0-MDC, ET0-MDIO, ET1-MDC, ET1-MDIO, RMII0-CRS_DV, RMII0-RXD0, RMII0-RXD1, RMII0-TXD0, RMII0-TXD1, RMII0-RX_ER, RMII0-TXEN, RMII0-REFCLK, RMII1-REFCLK, RMII1-CRS_DV, RMII1-RX_ER, RMII1-RXD0, RMII1-RXD1, RMII1-TXEN, RMII1-TXD0, RMII1-TXD1, PERST, A24 ~ A18, A9 ~ A0, D13 ~ D0, WE1, RDY, BS, RDWR, CS4, RD, WE0, CS0, PWMX7 ~ PWMX0, SGPIO0-CLK, SGPIO0-LOAD, SGPIO0-DI, SGPIO0-DO, SGPIO2-CLK, SGPIO2-LOAD, SGPIO2-DI, SGPIO2-DO, COM2-TXD, COM2-RXD, COM2-RTS, COM2-CTS, COM2-DTR, COM2-DSR, COM2-DCD, RTS3, CTS3, TXD3, RXD3, RTS4, RXD4, TXD4, RAC-TXD, RAC-RXD, RAC-RTS, RAC-CTS, RAC-DTR, RAC-DSR, RAC-DCD, SPILOAD, TMS, TRST, TDI, TDO, MPMD, CLKOUT, ASEBRK

2.3.3 DC 特性 (USB トランシーバ、RIIC 関連端子を除く)

表2.5 DC 特性 (USB トランシーバ、RIIC 関連端子を除く)

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力Hレベル電圧	Xtal 端子	V_{IH}	$VCCQ \times 0.80$	—	$VCCQ+0.3$	V	
	DBSC3 端子 (DC)		$M_VREF_DQ + 0.1$	—	—	V	
			(AC)	$M_VREF_DQ + 0.175$	—	—	V
	PCIe 端子		$VDDPHY12 \times 0.60$	—	$VDDPHY12 + 0.30$	V	
	RGMII 端子 (注1) (DC)		$VREF-GET + 0.1$	—	$VCCQ-GET + 0.3$	V	
			(AC)	$VREF-GET + 0.2$	—	—	V
上記以外の入出力端子			2.00	—	$VCCQ+0.30$	V	
入力Lレベル電圧	Xtal 端子	V_{IL}	$VSS - 0.30$	—	$VCCQ \times 0.20$	V	
	DBSC3 端子 (DC)		—	—	$M_VREF_DQ - 0.1$	V	
			(AC)	—	—	$M_VREF_DQ - 0.175$	V
	PCIe 端子		$VSSPHY - 0.30$	—	$VDDPHY12 \times 0.40$	V	
	RGMII 端子 (注1) (DC)		-0.3	—	$VREF-GET - 0.1$	V	
			(AC)	—	—	$VREF-GET - 0.2$	V
上記以外の入出力端子			$VSS - 0.30$	—	0.80	V	
DBSC3 DC 差動入力レベル電圧		V_{IHD}	0.2	—	—	V	M_DQS=H、 VIN=VCCQ-DDR/2、 VDD=1.25V、VCCQ-DDR=1.425 ~ 1.575V
		V_{ILD}	—	—	-0.2	V	M_DQS=L、 VIN=VCCQ-DDR/2、 VDD=1.25V、VCCQ-DDR=1.425 ~ 1.575V
		V_{IN}	$0.5 \times VCCQ-DDR - 0.25$	—	$0.5 \times VCCQ-DDR + 0.25$	V	VIHD=200mV or VILD=-200mV、 VDD=1.25V、VCCQ-DDR=1.425 ~ 1.575V
DBSC3 AC 差動入力クロスポイント電圧		$V_{IX} (AC)$	$VCCQ-DDR - 0.15$	—	$VCCQ-DDR + 0.15$	V	
シュミットトリガ入力電圧	L 逆スレシヨルド電圧	V_{T-}	$VCCQ \times 0.20$	—	—	V	
	H 逆スレシヨルド電圧	V_{T+}	—	—	$VCCQ \times 0.7$	V	
		$(V_{T+}) - (V_{T-})$	$VCCQ \times 0.02$	—	—	V	
Hレベル出力電圧 (注3)	RGMII 端子 (注1)(DC)	V_{OH}	$VCCQ-GET - 0.4$	—	—	V	
			(AC)	$VCCQ-GET - 0.5$	—	—	V
	上記以外の入出力端子 (注2)			2.40	—	—	V

項目	記号	Min.	Typ.	Max.	単位	測定条件
Lレベル出力電圧	RGMII 端子 (注1)(DC)	V_{OL}	—	—	0.4	V
			—	—	0.5	V
	上記以外の入出力端子 (注2)	—	—	0.60	V	
DBSC3 AC 差動出カクロスポイント電圧	V_{OX} (AC)	M_VREF_DQ - 0.125	—	M_VREF_DQ + 0.125	V	
DBSC3 DC 差動出カクロスポイント電圧	V_{OH}	0.8x VCCQ_DDR	—	—	V	
	V_{OM}	—	0.5x VCCQ_DDR	—	V	
	V_{OL}	—	—	0.2x VCCQ_DDR	V	
PCIe Tx DC コモンモード電圧	$V_{TX-DC-CM}$	0	—	3.6	V	

- 注1. RGMII 端子は高速トランシーバーロジック (HSTL) に準拠しています。
 2. ADC、DBSC3 端子を除く。
 3. 出力許容電流値については、表 2.9 を参照してください。

2.3.4 DC 特性 (RIIC)

表 2.6 DC 特性 (RIIC)

項目	記号	Min.	Typ.	Max.	単位	測定条件
プルアップ電源電圧 (1)	VPU	2.7	3.3	3.6	V	
プルアップ電源電圧 (2)		4.5	5	5.5	V	
シュミットトリガ入力電圧	VT-	$VCCQ \times 0.3$	—	—	V	
	VT+	—	—	$VCCQ \times 0.7$	V	
	VT+ - VT-	$(VCCQ \times 0.05)$	—	—	V	
入力Hレベル電圧	VIH	$VCCQ \times 0.7$	—	$VCCQ + 0.3$	V	
入力Lレベル電圧	VIL	-0.3	—	$VCCQ \times 0.3$	V	
出力Lレベル電圧	VOL	—	—	0.4	V	IOL = 3 mA
IOL Std、Fm	IOL1	—	—	3	mA	VOL = 0.4 V
IOL Fm	IOL2	—	—	6	mA	VOL = 0.6 V
(IOL Fm+)	IOL3	—	—	20	mA	VOL = 0.4 V
3ステートリーク電流 (オフ状態)	IL	—	—	15	μA	VIN = 0.1 ~ 0.9 x VCCQ

2.3.5 DC 特性 (USB (ハイスピードトランシーバ))

表2.7 DC 特性 (USB (ハイスピードトランシーバ))

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力	コモンモード入力電圧範囲	VHSCM	-50	—	500	mV	
	差動入力電位	Vdiff	150	400	575	mV	
	スケルチ検出スレッショルド電圧 (差動電圧)	VHSSQ	100	—	150	mV	
	ディスコネクト検出電圧	VHSDSQ	525	—	625	mV	
出力	出力電流	IOUT	—	17.5	—	mA	
	アイドル状態	VHSOI	-20	—	20	mV	
	"H"出力電圧	VHSOH	360	—	440	mV	
	"L"出力電圧	VHSOL	-20	—	20	mV	

2.3.6 DC 特性 (USB (フルスピード/ロースピードトランシーバ))

表2.8 DC 特性 (USB (フルスピード/ロースピードトランシーバ))

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力	"H"入力電圧	VIH	2.0	—	—	V	
	"L"入力電圧	VIL	—	—	0.8	V	
	シュミットトリガ入力特性	ΔV	—	0.2	—	V	
	差動入力感度	VDI	0.2	—	—	V	D+ - D-
	差動コモンモード範囲	VCM	0.8	—	2.5	V	
出力	"H"出力電圧	VOH	2.7	—	VCCQ	V	14.25 k Ω を介してGNDに接続
	"L"出力電圧	VOL	—	—	0.4	V	1.425 k Ω を介してVCCQに接続

2.3.7 DC 特性 (出力許容電流値)

表2.9 出力許容電流値

項目		記号	Min.	Typ.	Max.	単位	測定条件
出力電流	PTA0、PTA2、PTA4 ~ PTA7、PTB0、PTB3 ~ PTB5、PTC0 ~ PTC7、PTD0 ~ PTD2、PTD4、PTD6、PTE0 ~ PTE3、PTE7、PTF0 ~ PTF3、PTF7、PTG2、PTG7、PTH0、PTH2、PTH4、PTH6、PTI6、PTI7、PTJ0 ~ PTJ6、PTK1 ~ PTK7、PTL0、PTL3 ~ PTL6、PTM4 ~ PTM7、PTN0 ~ PTN3、PTN6、PTO0 ~ PTO2、PTO4 ~ PTO6、PTV0 ~ PTV3、PTV7、PTW0 ~ PTW7、PTX0 ~ PTX4、PTX6、PTX7、PTY0 ~ PTY7、SP0-SS0、SP1-SS0、ASEBRK/BRKACK	IOL	—	—	4	mA	
		IOH	—	—	-4	mA	
	PTA1、PTA3、PTB1、PTB2、PTB6、PTB7、PTE4 ~ PTE6、PTF4 ~ PTF6、PTG4、PTG5、PTI0 ~ PTI4、PTK0、PTN4、PTN5、PTO3、PTO7、PTU4 ~ PTU7、PTV4 ~ PTV6、PTX5、PTZ0 ~ PTZ7、SP0-MOSI、SP0-SCK、SP1-MOSI/TEND1、SP1-SCK/DACK1、TDO、ET0-TD0 ~ ET0-TD3、ET1-TD0 ~ ET1-TD3、ET0-TX_CTL、ET1-TX_CTL、ET0-TXC、ET1-TXC	IOL	—	—	8	mA	
		IOH	—	—	-8	mA	
	PTG0、PTG1、PTG3、PTI5、PTL1、PTL2、PTQ0 ~ PTQ6、PTT0 ~ PTT7、PTU0 ~ PTU3	IOL	—	—	12	mA	
		IOH	—	—	-12	mA	
	PTM0、PTM1、PTR0 ~ PTR7、PTS0、PTS1、PTS4 ~ PTS7	IOL	—	—	6	mA	これらの端子をRIIC関連端子として使用する場合は、表2.6を参照してください。
	PTM2、PTM3、PTS2、PTS3	IOL	—	—	20	mA	これらの端子をRIIC関連端子として使用する場合は、表2.6を参照してください。

2.3.8 DC 特性 (シュミットトリガ入力)

表2.10 シュミットトリガ入出力一覧

端子名	端子名	端子名	端子名
MPMD	PTG1	PTQ1	PTS7/SDA9 (注)
NMI	PTG3	PTQ2	PTT0/PWMX0
PERST	PTG5/A25/MMCCLK	PTQ3	PTT1/PWMX1
PRESET	PTI5/D13/SDCLK	PTQ4	PTT2/PWMX2/STATUS0
PTB0/TCLK	PTI6/D14/SDCD	PTQ5	PTT3/PWMX3/STATUS1
PTB1	PTI7/D15/SDWP	PTQ6	PTT4/PWMX4/AUDATA0
PTB2	PTL1/RAC-DCD/DCD0/AUDCK	PTR0/SCL0 (注)	PTT5/PWMX5/AUDATA1
PTB3	PTL2/RAC-DSR/DSR0/AUDSYNC	PTR1/SDA0 (注)	PTT6/PWMX6/AUDATA2
PTB4	PTM0/SCL7 (注)	PTR2/SCL1 (注)	PTT7/PWMX7/AUDATA3/MD2
PTB5	PTM1/SDA7 (注)	PTR3/SDA1 (注)	PTU0
PTB6	PTM2/SCL6 (注)	PTR4/SCL2 (注)	PTU1
PTB7	PTM3/SDA6 (注)	PTR5/SDA2 (注)	PTU2
PTC0/IRQ0/IRL0	PTP0/EVENT8/AN8	PTR6/SCL8 (注)	PTU3
PTC1/IRQ1/IRL1	PTP1/EVENT9/AN9	PTR7/SDA8 (注)	PTV0/A16/EVENT6
PTC2/IRQ2/IRL2/PWMU5	PTP2/EVENT10/AN10	PTS0/SCL3 (注)	PTV1/A17/EVENT7
PTC3/IRQ3/IRL3/PWMU4	PTP3/EVENT11/AN11	PTS1/SDA3 (注)	PTW2/A10/EVENT0
PTC4/IRQ4/IRL4/PWMU3	PTP4/EVENT12/AN12	PTS2/SCL4 (注)	PTW3/A11/EVENT1
PTC5/IRQ5/IRL5/PWMU2	PTP5/EVENT13/AN13	PTS3/SDA4 (注)	PTW4/A12/EVENT2
PTC6/IRQ6/IRL6/PWMU1	PTP6/EVENT14/AN14	PTS4/SCL5 (注)	PTW5/A13/EVENT3
PTC7/IRQ7/IRL7/PWMU0	PTP7/EVENT15/AN15	PTS5/SDA5 (注)	PTW6/A14/EVENT4
PTG0	PTQ0	PTS6/SCL9 (注)	PTW7/A15/EVENT5

注. 端子がシュミットトリガ入力になるのはRIICバスが選択されたとき (ICMR3.SMBSビット=0) に限られます。

2.4 AC特性

2.4.1 クロック・制御信号タイミング

表2.11 クロック・制御信号タイミング

項目	記号	Min.	Typ.	Max.	単位	参照図
EXTAL クロック入力周波数 (注1、4)	f_{EX}	—	48	—	MHz	
EXTAL クロック入力サイクル時間 (注4)	t_{EXcyc}	—	20.8	—	ns	2.2
EXTAL クロック入力Lレベルパルス幅 (注4)	t_{EXL}	3.5	—	—	ns	2.2
EXTAL クロック入力Hレベルパルス幅 (注4)	t_{EXH}	3.5	—	—	ns	2.2
EXTAL クロック入力立ち上がり時間 (注4)	t_{EXr}	—	—	4	ns	2.2
EXTAL クロック入力立ち下がり時間 (注4)	t_{EXf}	—	—	4	ns	2.2
CLKOUT クロック出力 (注1、2)	f_{OP}	—	48	—	MHz	
CLKOUT クロック出力サイクル時間	$t_{CLKOUTcyc}$	—	20.8	—	ns	2.3
パワーオンEXTAL入力安定時間	t_{OSC1}	30	—	—	ms	2.4
ストラップピン (スタティック) (注5) セットアップ時間	t_{STRPS}	3	—	—	t_{cyc} (注3)	2.5
ストラップピン (スタティック) (注5) ホールド時間	t_{STRPH}	0	—	—	ns	2.5
PRESET アサート時間	t_{RESW}	20	—	—	t_{cyc} (注3)	2.4
PLL 発振安定時間	t_{PLL}	—	—	200	μ s	2.6
TRSTリセットホールド時間	t_{TRSTRH}	0	—	—	ns	2.4
PRESET入力立ち上がり時間 (20~80%)	t_{PRr}	—	—	100	ns	2.4

- 注1. 水晶発振子がEXTALとXTALに接続されているとき、周波数は48MHzになります。また、3次オーバートーン水晶発振子は使用しないでください。
2. CLKOUT端子への接続負荷容量は最大20pFとしてください。
3. t_{cyc} はCLKOUTクロックの1サイクル時間を示します。
4. EXTALの周波数温度特性は ± 100 ppmです。
5. ストラップピン：
MD0～MD3、MD5、MD6、MD8～MD10、FLSHSZ0、FLSHSZ1、WPSZ0、WPSZ1、BOOTSZ0、BOOTSZ1、SPI0VER、BOOTWPSZ0、BOOTWPSZ1、WDTFOT0、WDTFOT1、BOOTFMS

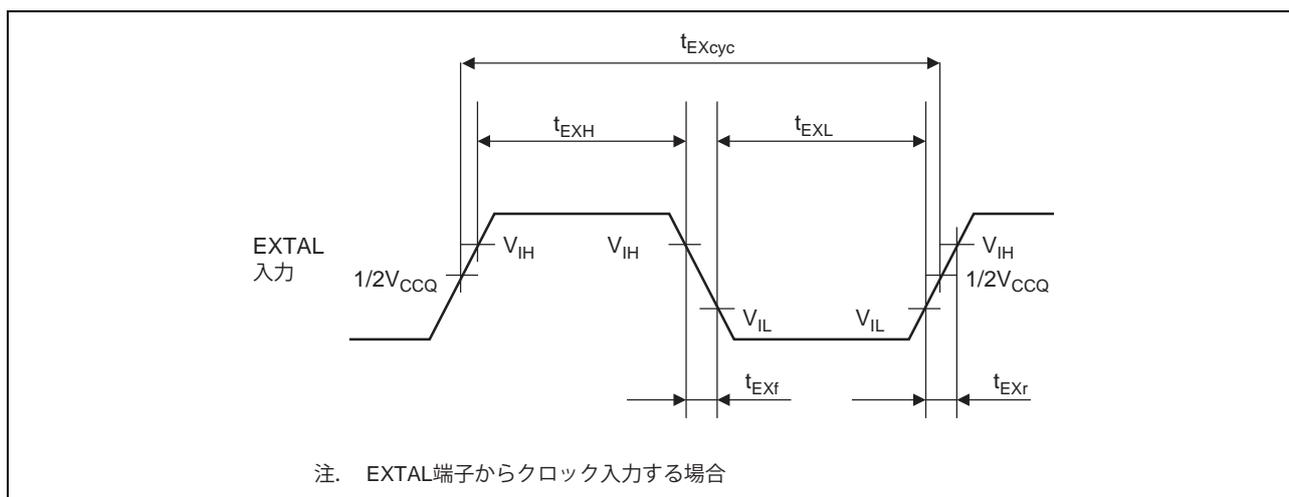


図 2.2 EXTERNAL クロック入力タイミング

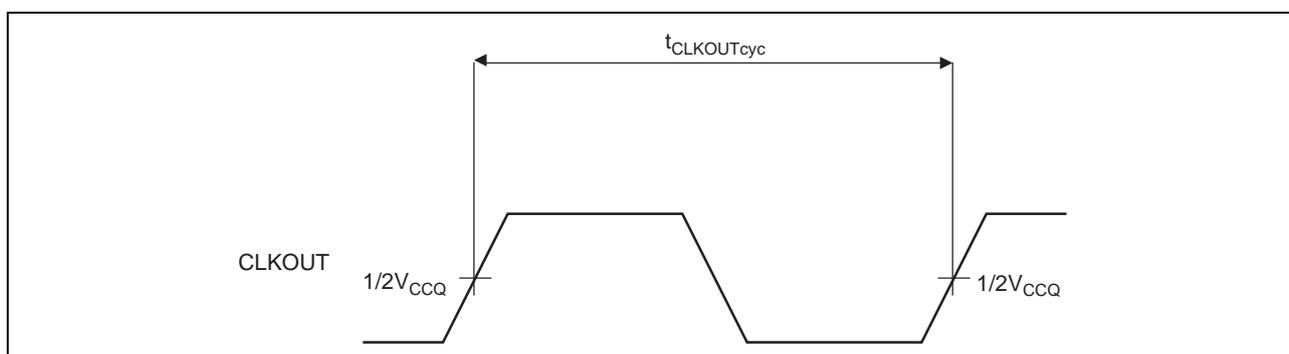


図 2.3 CLKOUT クロック出力タイミング

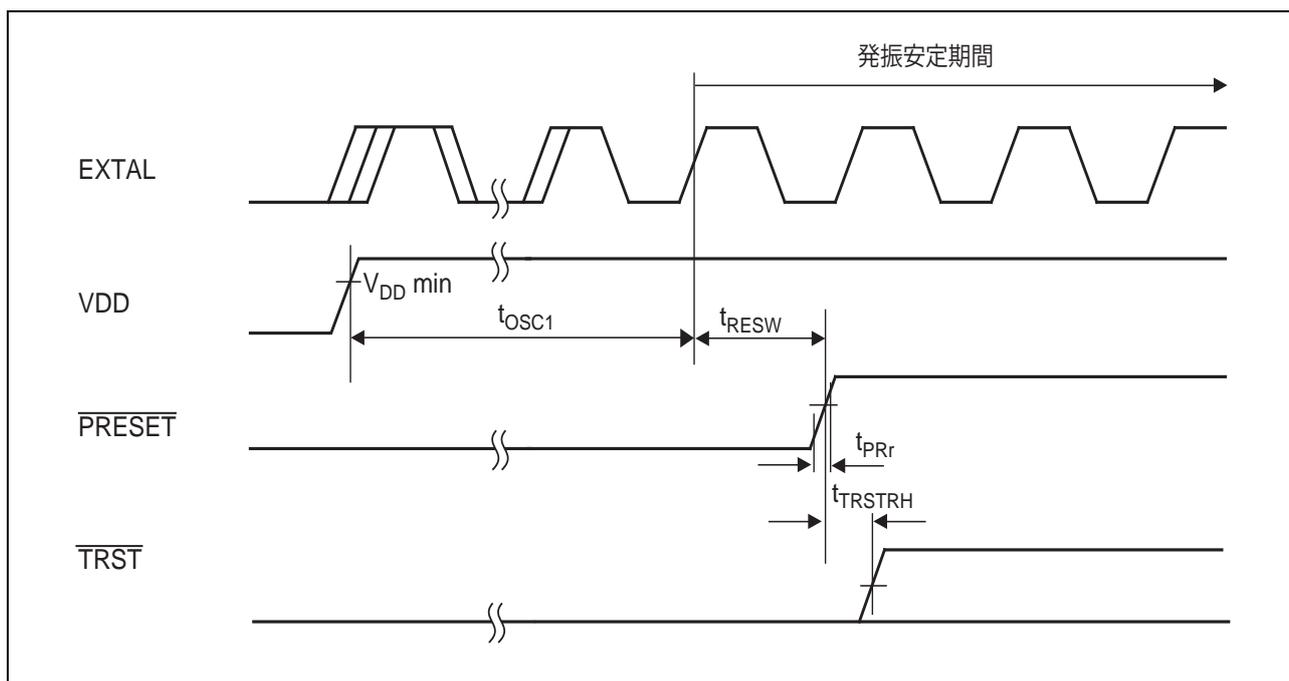


図 2.4 パワーオン時EXTAL入力発振安定時間

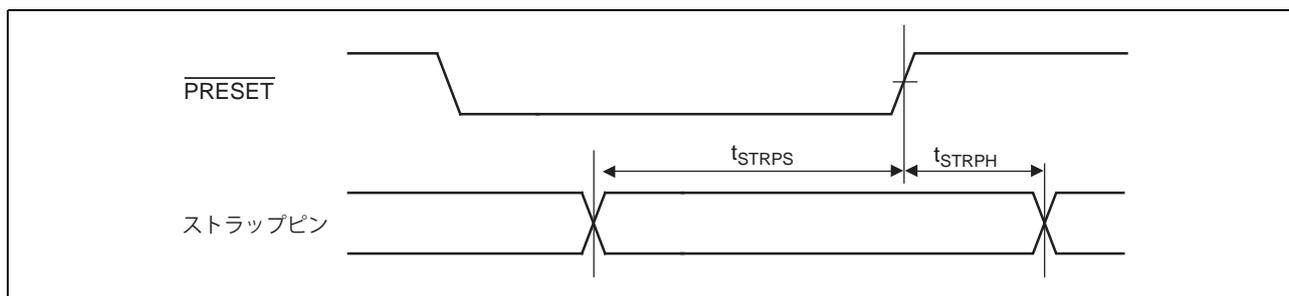


図 2.5 ストラップピンセットアップ/ホールドタイミング

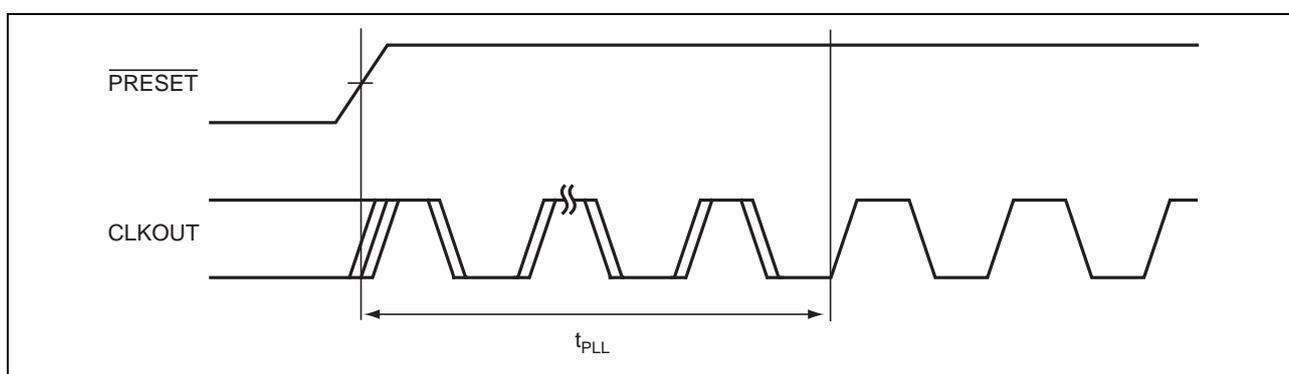


図 2.6 PLL 発振安定時間

2.4.2 バスタイミング

表2.12 バスタイミング

項目	記号	Min.	Max.	単位	備考
アドレス遅延時間	t_{AD}	1	9	ns	
\overline{BS} 遅延時間	t_{BSD}	1	9	ns	
\overline{CSn} 遅延時間	t_{CSD}	1	9	ns	
\overline{RDWR} 遅延時間	t_{RWD}	1	9	ns	
\overline{RD} 遅延時間	t_{RSD}	1	9	ns	
読み出しデータセットアップ時間	t_{RDS}	6	—	ns	
読み出しデータホールド時間	t_{RDH}	2	—	ns	
\overline{WEn} 遅延時間 (立ち下がリエッジ時)	t_{WEDF}	1	9	ns	CLKOUT の立ち下がリエッジに対して
\overline{WEn} 遅延時間	t_{WED1}	1	9	ns	
書き込みデータ遅延時間	t_{WDD}	1	9	ns	
\overline{RDY} セットアップ時間	t_{RDYS}	6	—	ns	
\overline{RDY} ホールド時間	t_{RDYH}	2	—	ns	

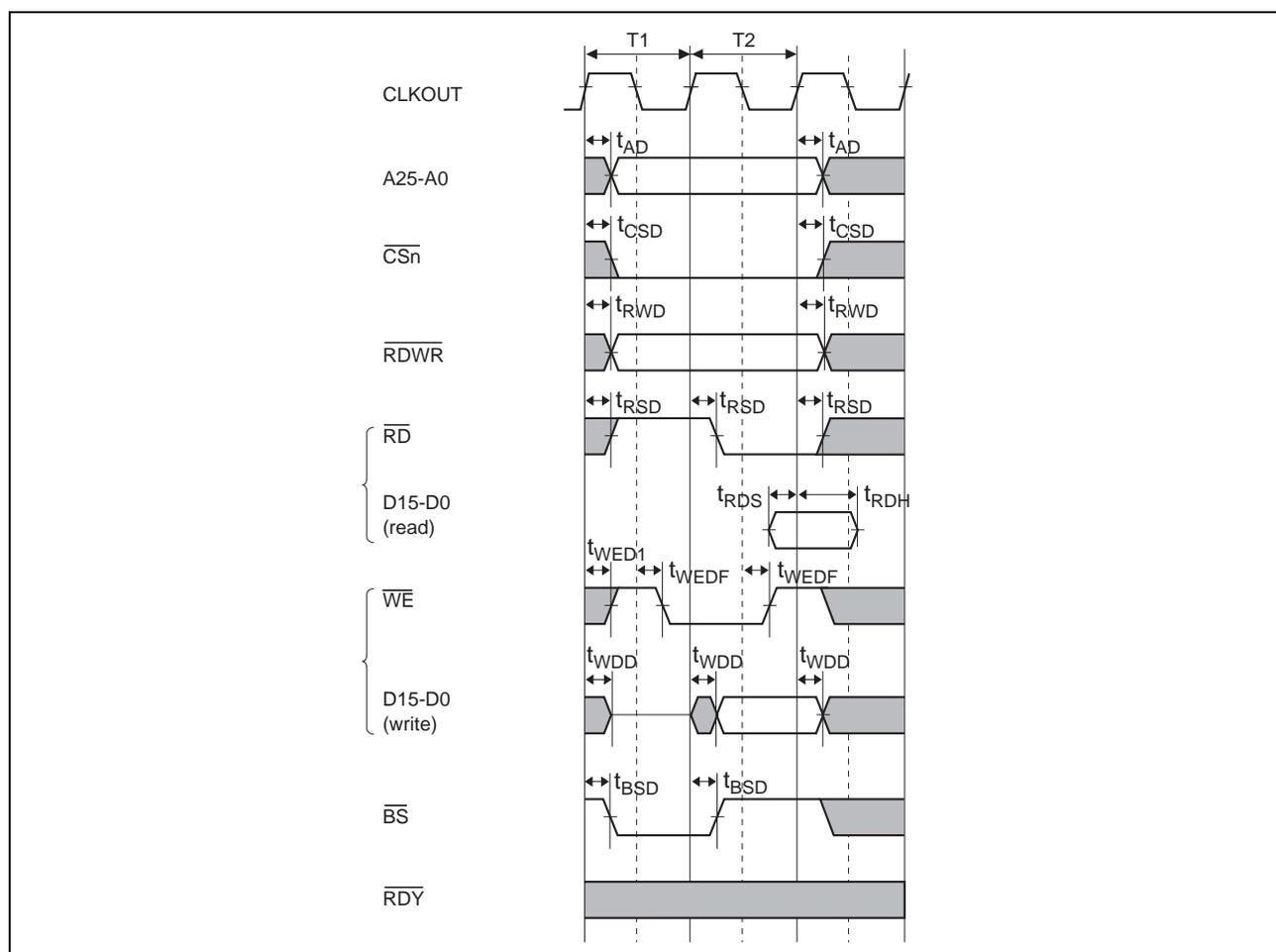


図 2.7 SRAM バスサイクル：基本バスサイクル（ノーウェイト）

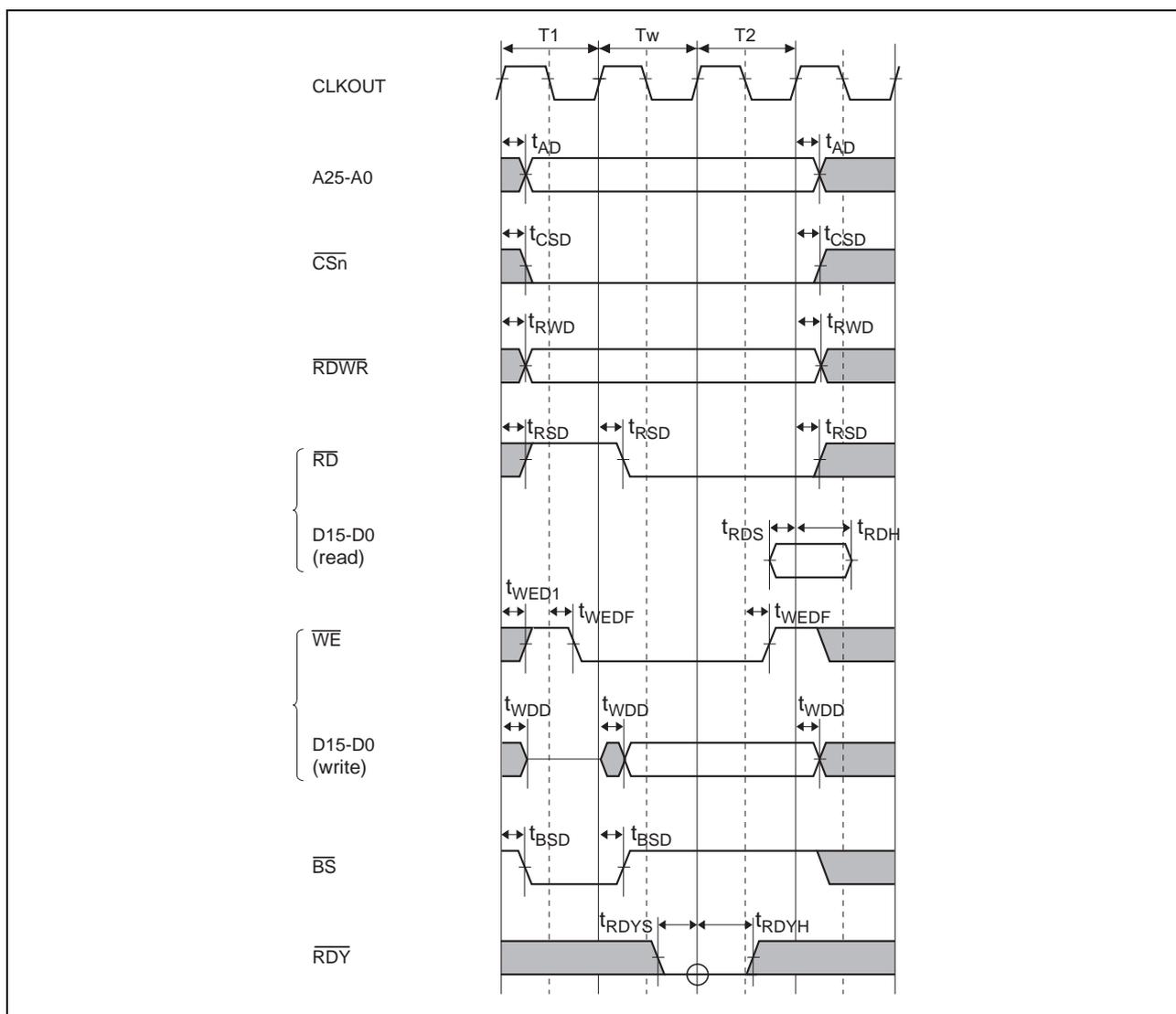


図 2.8 SRAM バスサイクル：基本バスサイクル（ソフトウェアウェイトのみ）

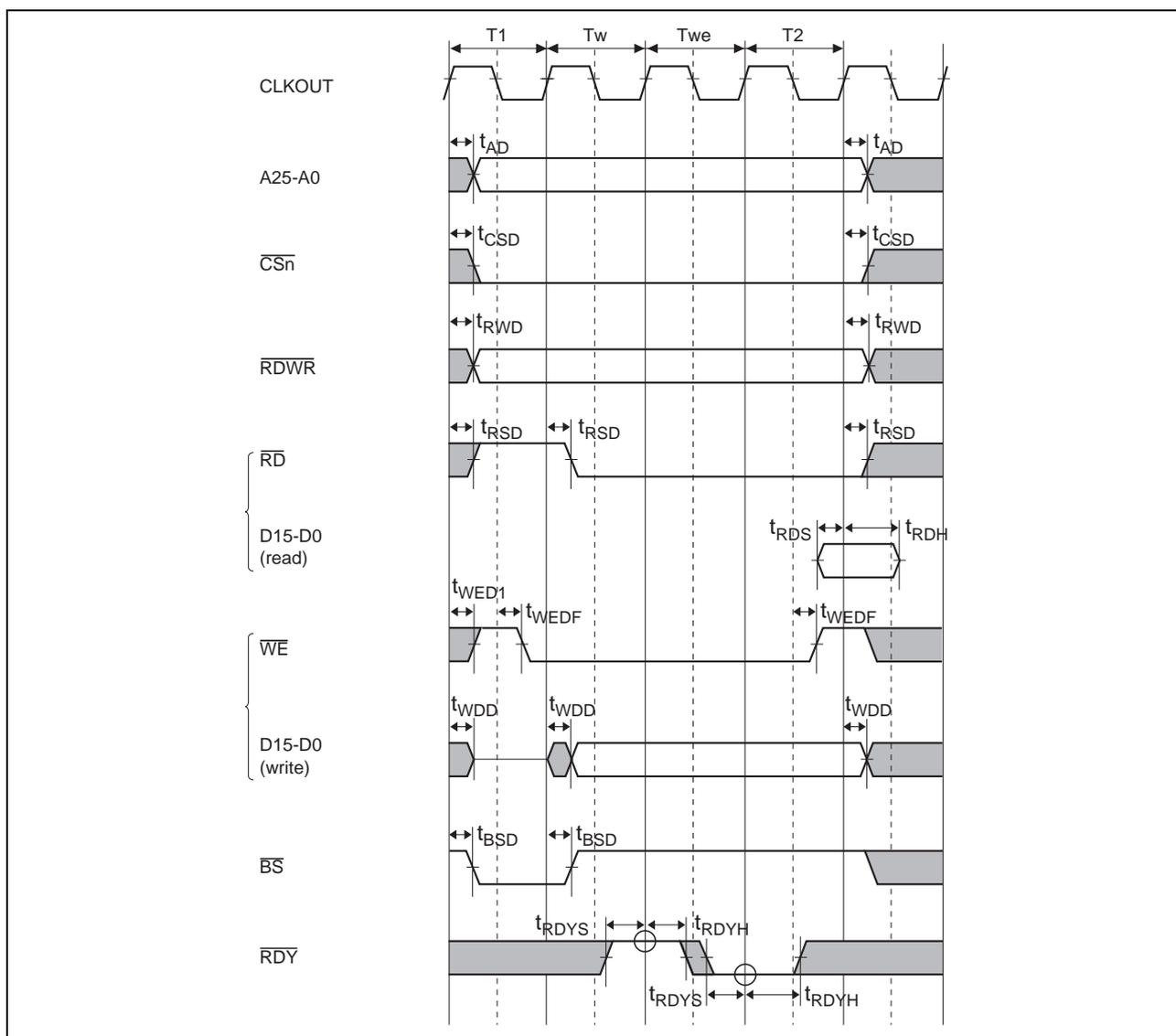


図 2.9 SRAM バスサイクル：基本バスサイクル
(ソフトウェアウェイト+RDYによるウェイト、RDYは同期入力)

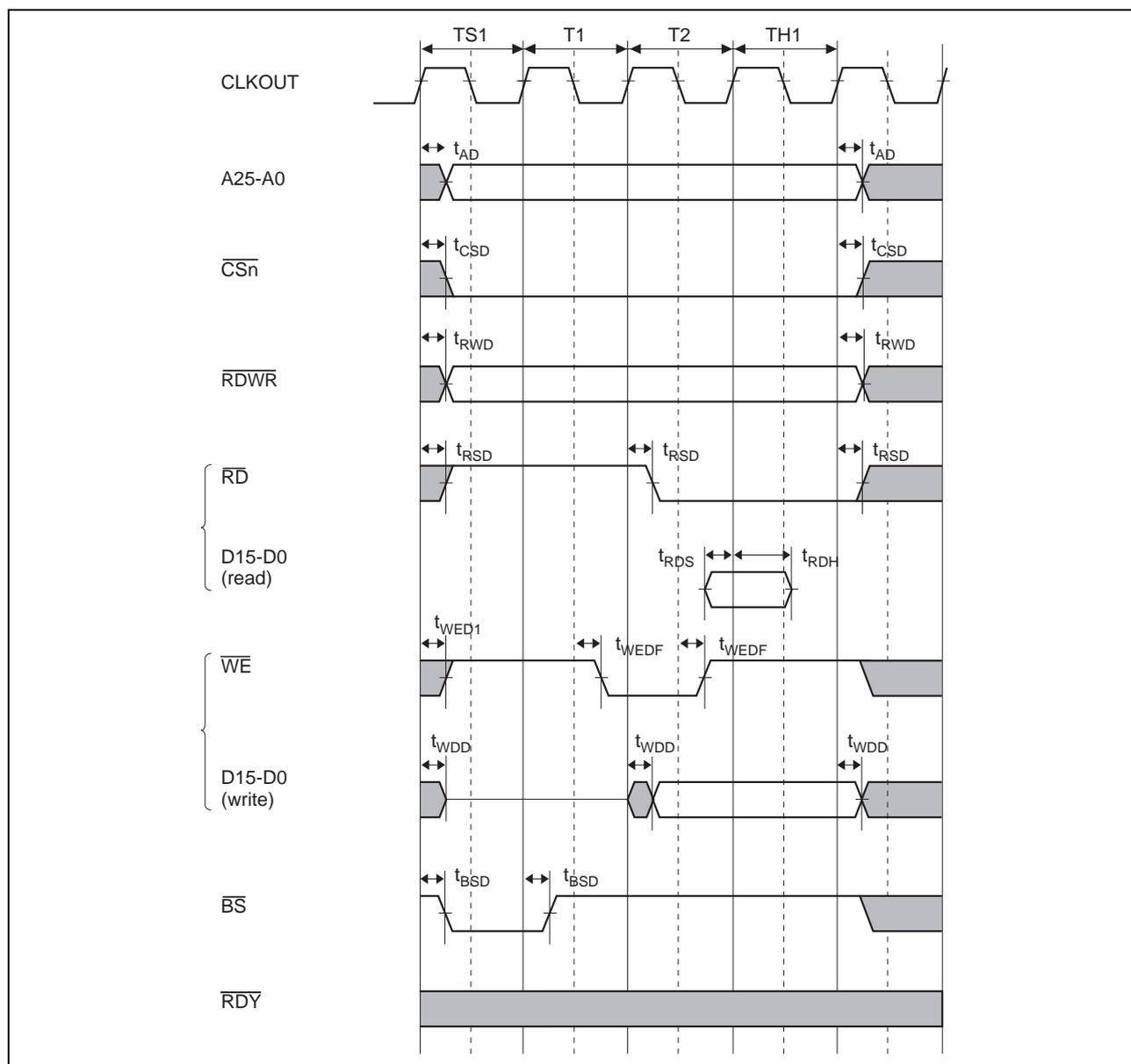


図 2.10 SRAM バスサイクル：基本バスサイクル

(ノーウェイト、アドレスセットアップ/ホールド挿入なし、RDS=1、RDH=0、WTS=1、WTH=1)

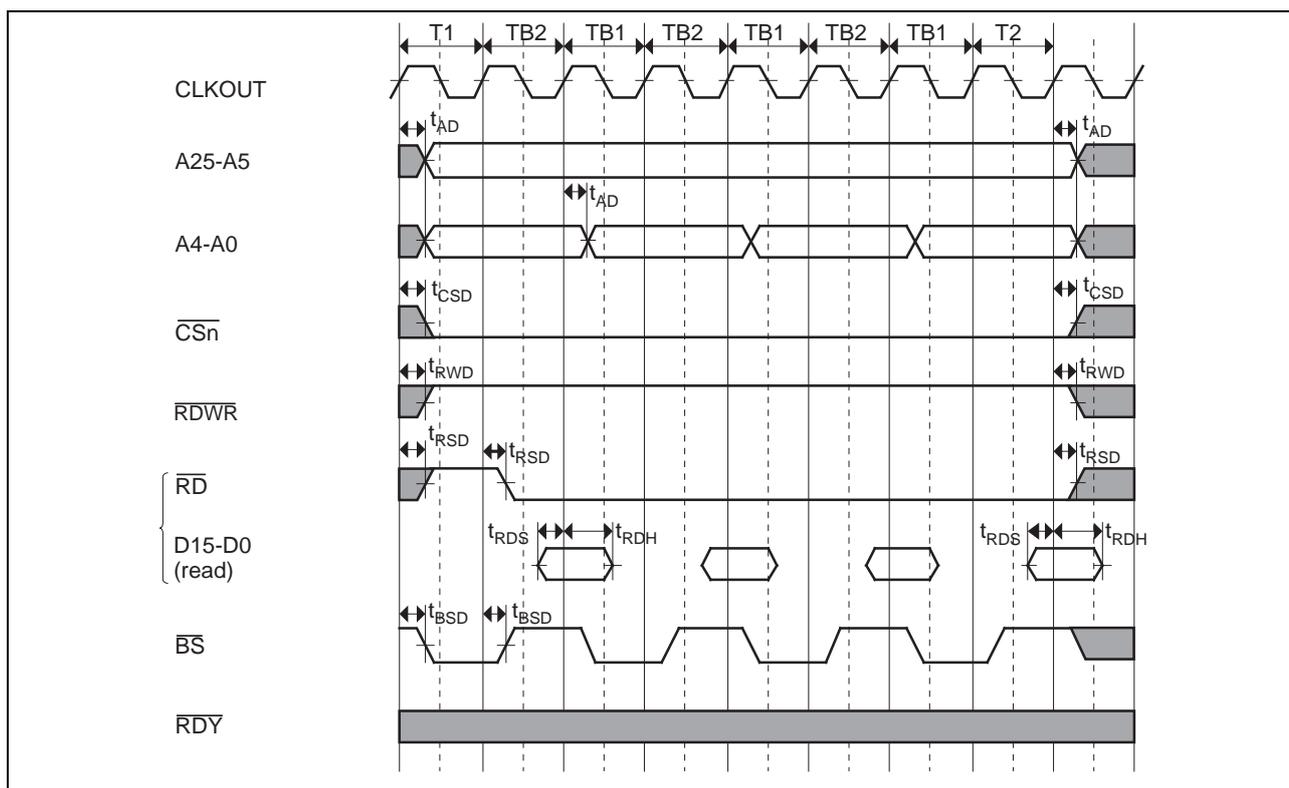


図 2.11 バーストROM バスサイクル (ノーウェイト)

2.4.3 DBSC3 モジュール信号タイミング

(1) 入力オーバーシュート/アンダシュート特性

表2.13 入力オーバーシュート/アンダシュート規定

項目	定格値	単位	参照図
オーバーシュートエリアで許容されている最大ピーク振幅	0.3	V	2.15
アンダシュートエリアで許容されている最大ピーク振幅	0.3	V	2.15
VCCQ-DDRを上回る最大オーバーシュートエリア	0.19	V-ns	2.15
VSSを下回る最大アンダシュートエリア	0.19	V-ns	2.15

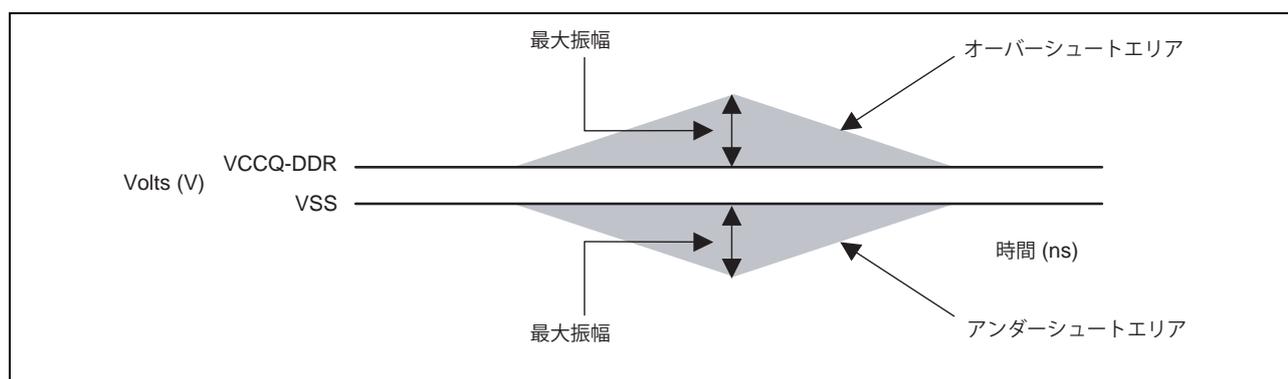


図 2.15 DBSC3 信号のオーバーシュート/アンダシュート

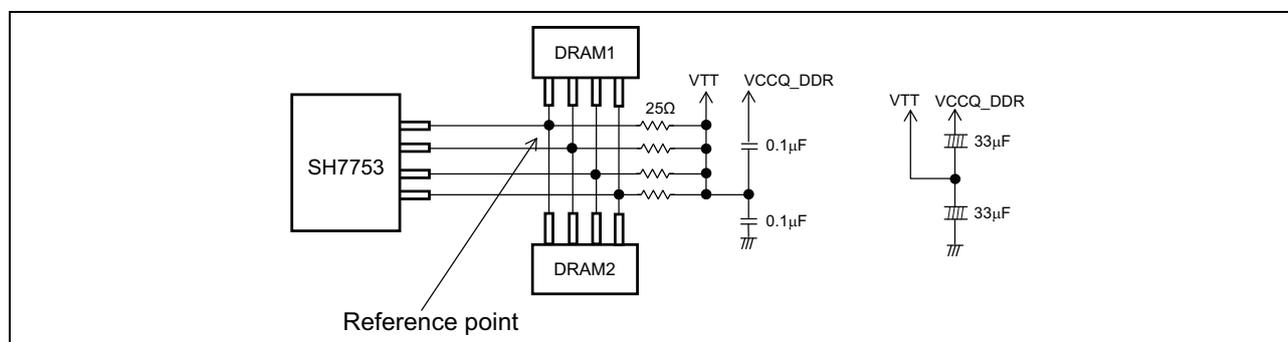


図 2.16 AC 特性測定条件

(2) AC特性

表2.14 DBSC3 モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
M_CLKクロック出力サイクル	tCK	1875	—	ps	2.17
M_CLK クロック出力Hレベルパルス幅	tCH	0.43	0.57	tCK	
M_CLK クロック出力Lレベルパルス幅	tCL	0.43	0.57	tCK	
アドレス/制御信号セットアップ時間 (M_CLK 立ち上がりエッジに対する)	tIS (1T) tIS (2T)	523 1513	—	ps ps	2.18
アドレス/制御信号ホールド時間 (M_CLK 立ち上がりエッジに対する)	tIH (1T) tIH (2T)	523 978	—	ps ps	
M_DQS、 $\overline{M_DQS}$ 立ち上がり時間 (M_CLK 立ち上がりエッジに対する)	tDQSS	-0.183	0.183	tCK	2.19
M_DQS、 $\overline{M_DQS}$ 立ち下がりセットアップ時間 (M_CLK 立ち上がりエッジに対する)	tDSS	0.267	—	tCK	
M_DQS、 $\overline{M_DQS}$ 立ち下がりホールド時間 (M_CLK 立ち上がりエッジに対する)	tDSH	0.267	—	tCK	
M_DQS、 $\overline{M_DQS}$ 差動出力Hレベルパルス幅	tDQSH	0.45	0.55	tCK	2.20
M_DQS、 $\overline{M_DQS}$ 差動出力Lレベルパルス幅	tDQSL	0.45	0.55	tCK	
M_DQS、 $\overline{M_DQS}$ ライトプレアンブル時間	tWPRE	0.9	—	tCK	
M_DQS、 $\overline{M_DQS}$ ライトポストアンブル時間	tWPST	0.3	—	tCK	
M_DQ/M_DQM セットアップ時間 (DQS、 \overline{DQS} の VIH(AC)/VIL(AC)に対する)	tDS	284	—	ps	2.21
M_DQ/M_DQM ホールド時間 (DQS、 \overline{DQS} の VIH(AC)/VIL(AC)に対する)	tDH	284	—	ps	
M_DQS、 $\overline{M_DQS}$ ・M_CLK、M_CLK 間スキュー	tDQSK	-300	1300	ps	2.22
M_DQ ホールド時間 (M_DQS、 $\overline{M_DQS}$ に対する)	tQH	0.319	—	tCK	2.24
M_DQS、 $\overline{M_DQS}$ ・M_DQ 間スキュー	tDQSQ	—	225	ps	
M_DQS、 $\overline{M_DQS}$ Hレベルパルス幅	tQSH	0.38	—	tCK	2.23
M_DQS、 $\overline{M_DQS}$ Lレベルパルス幅	tQSL	0.38	—	tCK	
M_DQS、 $\overline{M_DQS}$ リードプレアンブル時間	tRPRE	0.9	—	tCK	
M_DQS、 $\overline{M_DQS}$ リードポストアンブル時間	tRPST	0.3	—	tCK	

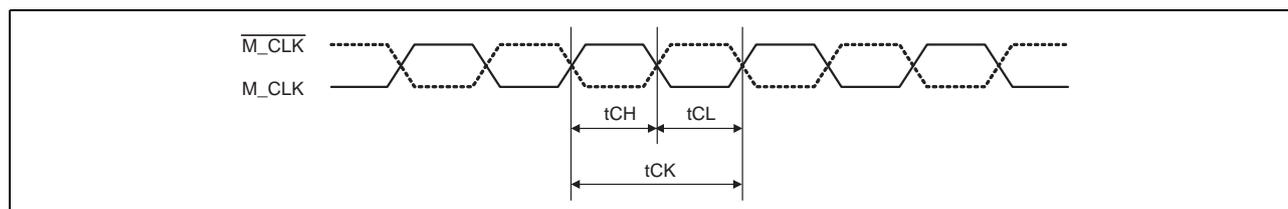


図 2.17 クロックタイミング

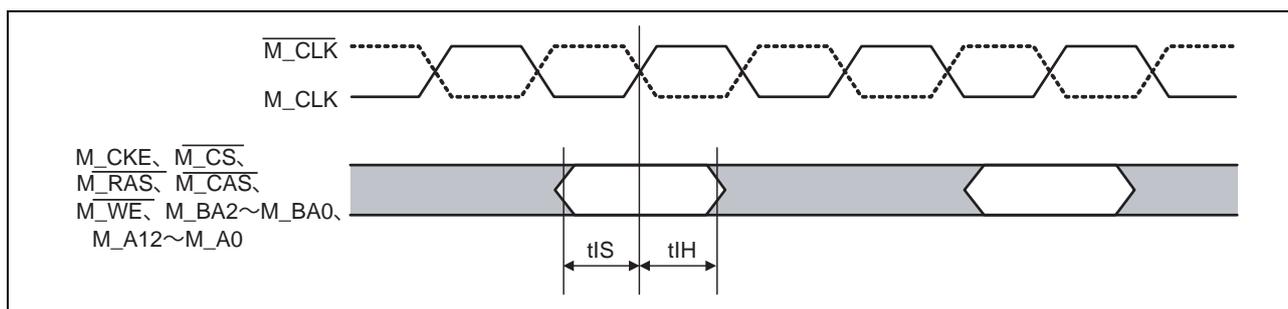


図 2.18 アドレスとコントロールタイミング

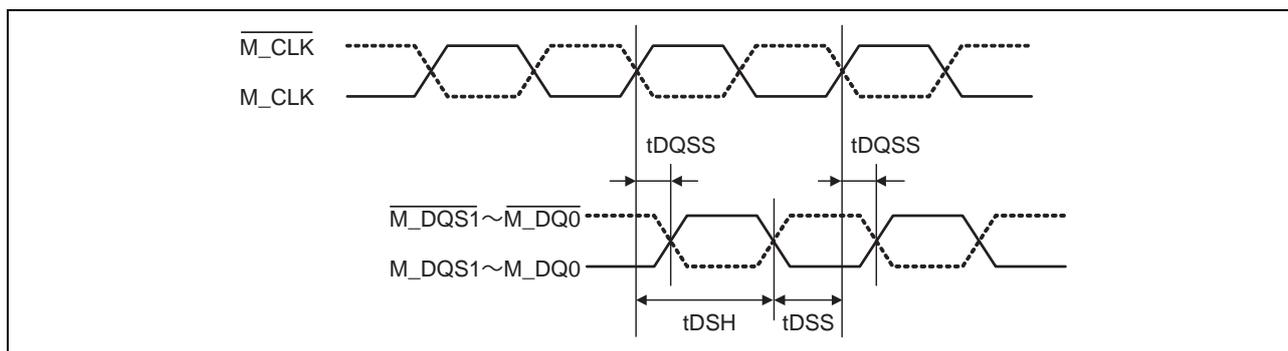


図 2.19 クロックとDQSタイミング (ライト時)

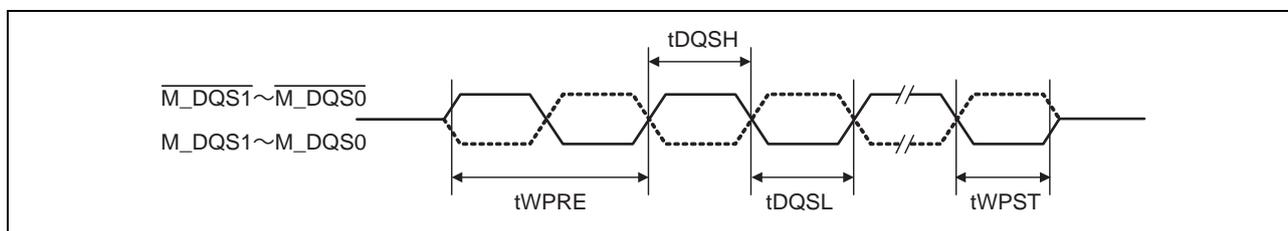


図 2.20 DQS タイミング (ライト時)

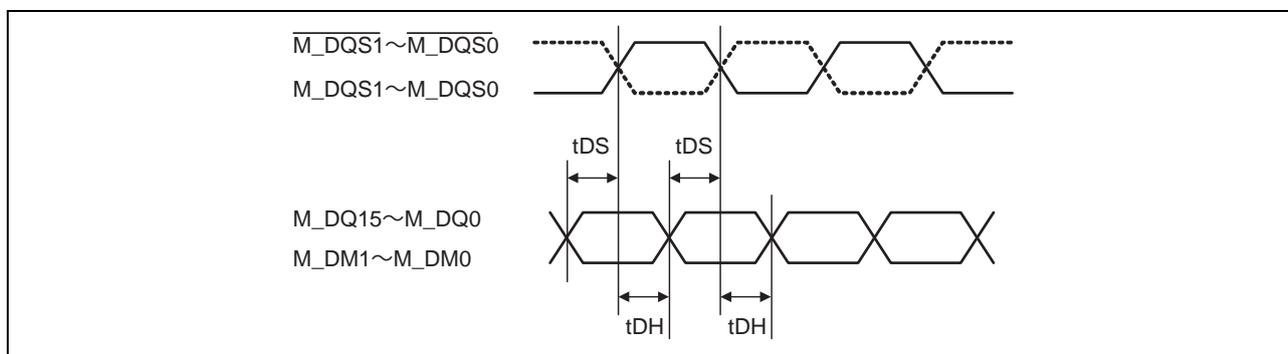


図 2.21 DQ/DM とDQSタイミング (ライト時)

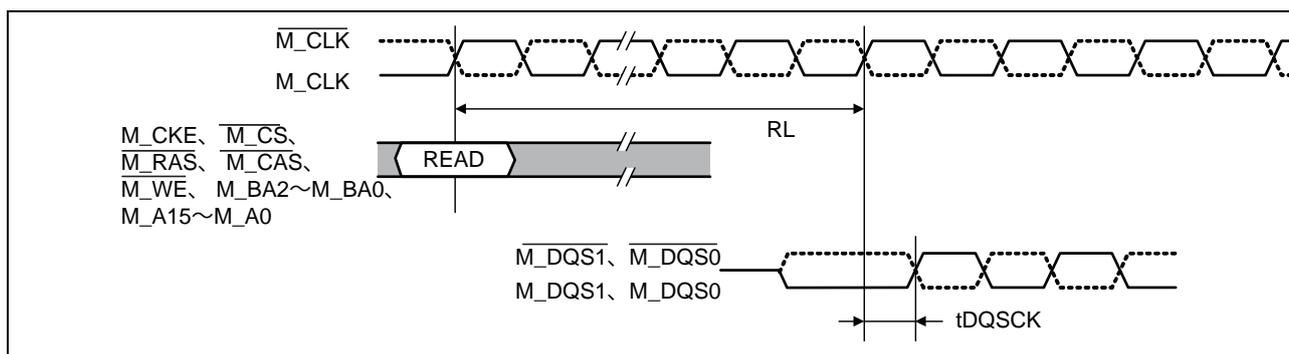


図 2.22 クロックに対するDQS出力波形の関係（リード時）

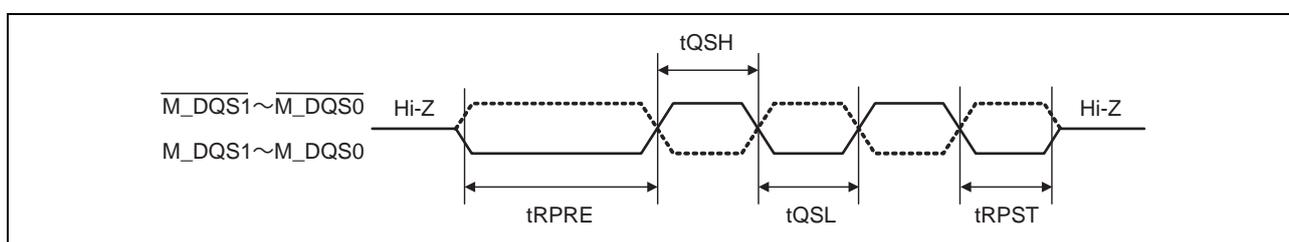


図 2.23 DQS タイミング（リード時）

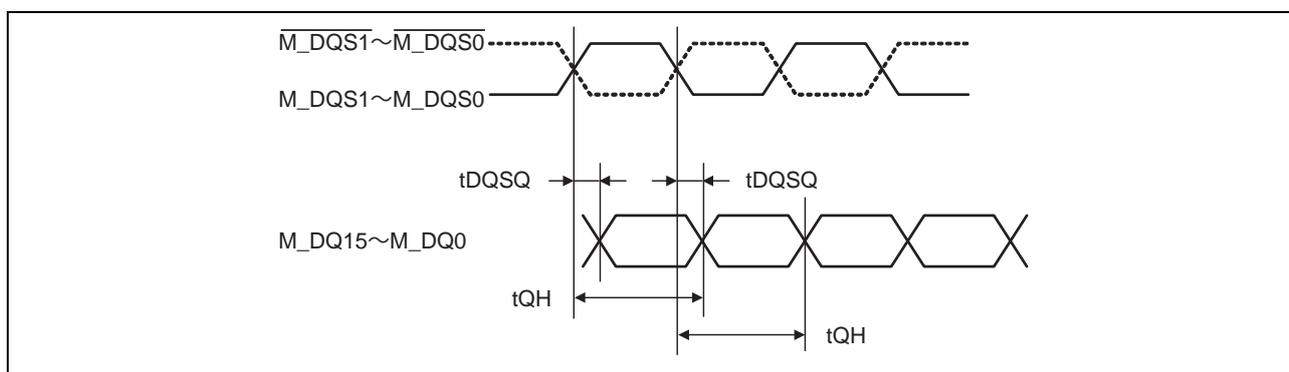


図 2.24 DQ と DQS タイミング（リード時）

2.4.4 INTC モジュール信号タイミング

表2.15 INTC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図	備考
NMI Hパルス幅	t_{NMIH}	5	—	t_{cyc}	2.25	通常動作時 スリープモード時
NMI Lパルス幅	t_{NMIL}	5	—	t_{cyc}	2.25	通常動作時 スリープモード時
IRQ7/IRL7 ~ IRQ0/IRL0 セットアップ時間	t_{IRQS}	18	—	ns	2.26	IRQ 入力
IRQ7/IRL7 ~ IRQ0/IRL0 ホールド時間	t_{IRQH}	1.5	—	ns	2.26	IRQ 入力
IRQ7/IRL7 ~ IRQ0/IRL0 セットアップ時間	t_{IRLS}	18	—	ns	2.26	IRL 入力
IRQ7/IRL7 ~ IRQ0/IRL0 ホールド時間	t_{IRLH}	1.5	—	ns	2.26	IRL 入力

注. t_{cyc} はCLKOUT クロックの1 サイクル時間を示します。

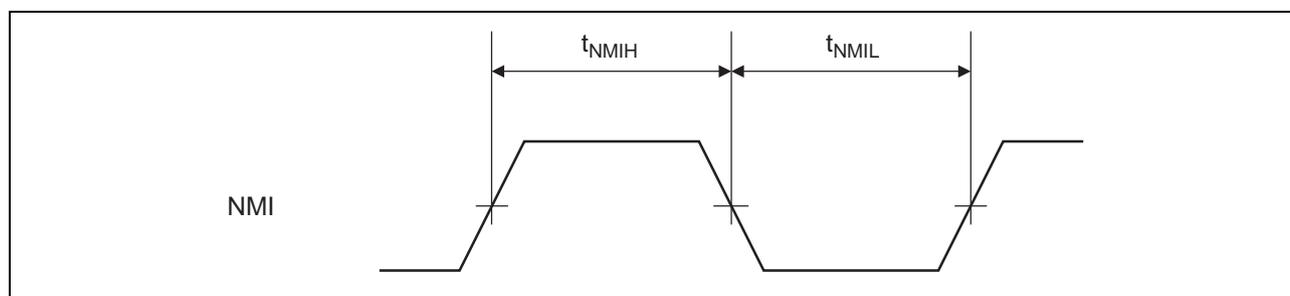


図 2.25 NMI 入力タイミング

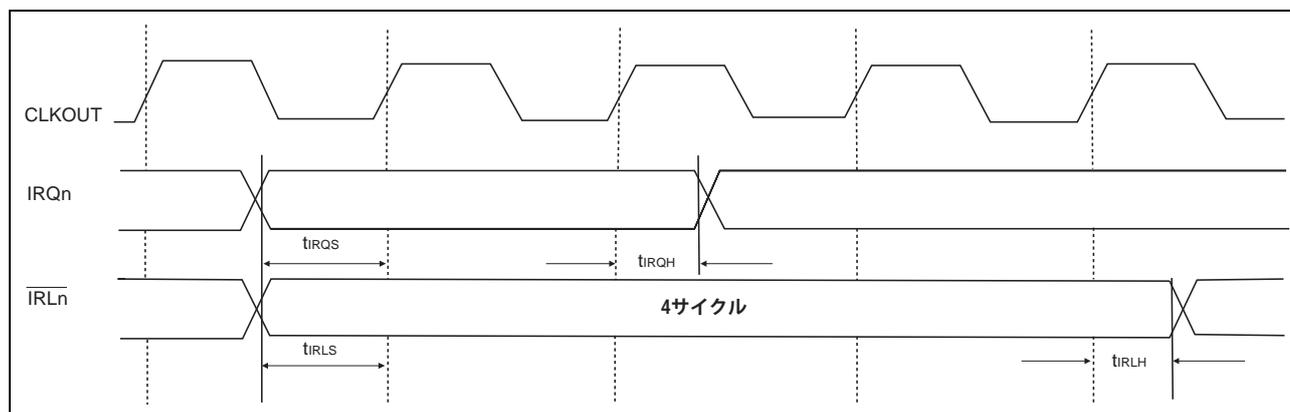


図 2.26 IRQ/IRL 入力タイミング

2.4.5 DMAC モジュール信号タイミング

表2.16 DMAC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図	備考
DREQn セットアップ時間	t_{DRQS}	6	—	ns	2.27	
DREQn ホールド時間	t_{DRQH}	4	—	ns	2.27	
TENDn 遅延時間	t_{TENDD}	—	9	ns	2.27	
DACKn 遅延時間	t_{DACKD}	—	9	ns	2.27	

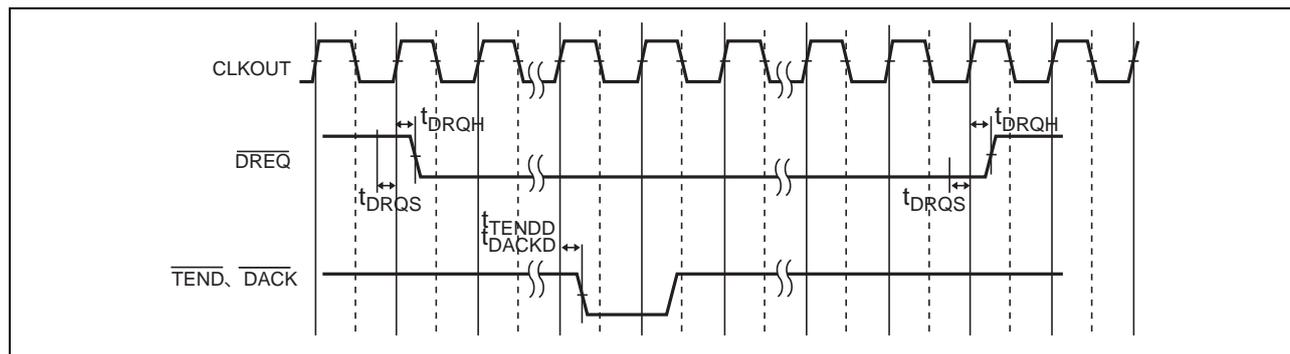


図 2.27 DREQ/TEND/DACK タイミング

2.4.6 SPI0 モジュール信号タイミング

表2.17 SPI0 モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
SP0-SCK クロック出力周波数	f_{SP0C}	—	48	MHz	
SP0-SCK クロック出力周期	t_{SP0C}	20.8	—	ns	2.28
SP0-SCK クロック出力Lレベルパルス幅	t_{SP0CL}	8	—	ns	2.28
SP0-SCK クロック出力Hレベルパルス幅	t_{SP0CH}	8	—	ns	2.28
SP0-SCK_FB クロック入力立ち上がり時間 (VCCQの20%~80%)	$t_{SP0FBCR}$	—	6	ns	2.29
SP0-SCK_FB クロック入力立ち下がり時間 (VCCQの20%~80%)	t_{SP0BCF}	—	6	ns	2.29
SP0-MISO/SP0-MOSI入力セットアップ時間 (SP0-SCK_FB 立ち上がり前)	$t_{SP0DVCH}$	2	—	ns	2.29
SP0-MISO/SP0-MOSI入力ホールド時間 (SP0-SCK_FB 立ち上がり後)	$t_{SP0CHDX}$	10	—	ns	2.29
SP0-MOSI 出力有効時間 (SP0-SCK 立ち上がり前)	$t_{SP0QVCH}$	$t_{SP0C}/2-6$	—	ns	2.28
SP0-MOSI 出力有効時間 (SP0-SCK 立ち上がり後)	$t_{SP0CHQX}$	$t_{SP0C}/2-6$	—	ns	2.28
SP0-SS0 ~ SP0-SS3 出力有効時間 (SP0-SCK 立ち上がり前)	$t_{SP0SLCH}$	$t_{SP0C}/2-5$	—	ns	2.28
SP0-SS0 ~ SP0-SS3 出力有効時間 (SP0-SCK 立ち上がり後)	$t_{SP0CHSH}$	$t_{SP0C}-15$	—	ns	2.28

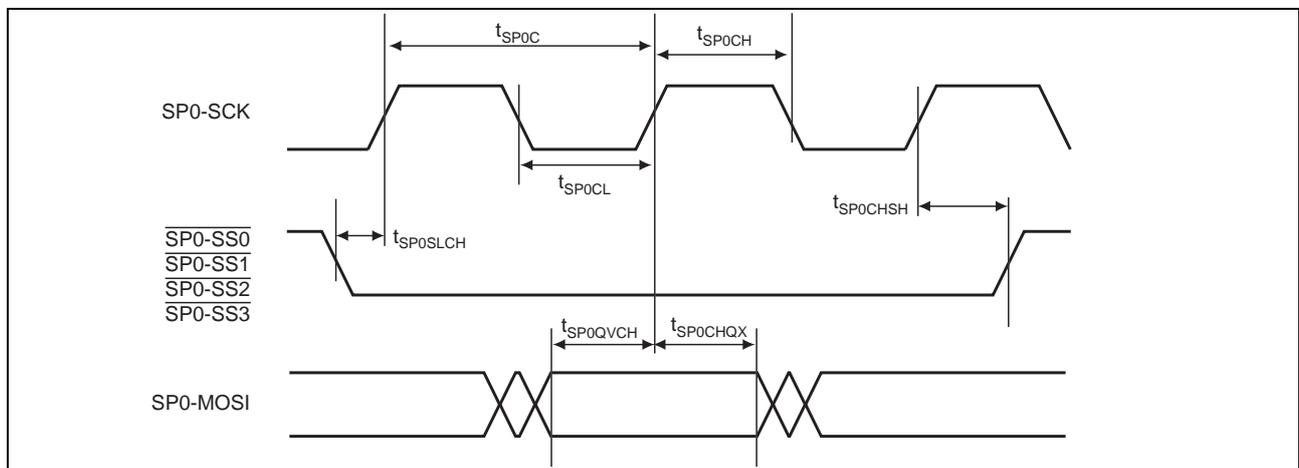


図 2.28 SPI0 出力信号タイミング

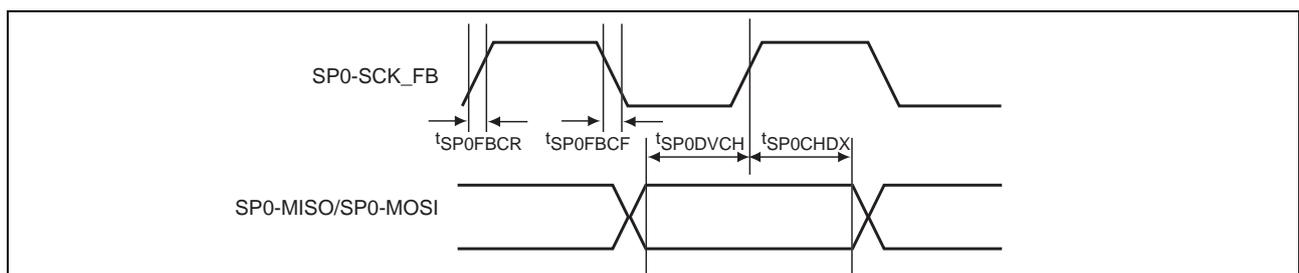


図 2.29 SPI0 入力信号タイミング

2.4.7 WDTモジュール信号タイミング

表2.18 WDTモジュール信号タイミング

項目	記号	Min.	Typ.	Max.	単位	参照図
SUB-CLKIN クロック入力周波数	t_{CLK}	—	32.768	—	kHz	2.30
SUB-CLKIN クロック入力サイクル時間	t_{CLKcyc}	—	15.26	—	μ s	2.30
SUB-CLKIN クロック入力Lレベルパルス幅	t_{CLKL}	7	—	—	μ s	2.30
SUB-CLKIN クロック入力Hレベルパルス幅	t_{CLKH}	7	—	—	μ s	2.30
SUB-CLKIN クロック入力立ち上がり時間	t_{CLKr}	—	—	4	ns	2.30
SUB-CLKIN クロック入力立ち下がり時間	t_{CLKf}	—	—	4	ns	2.30

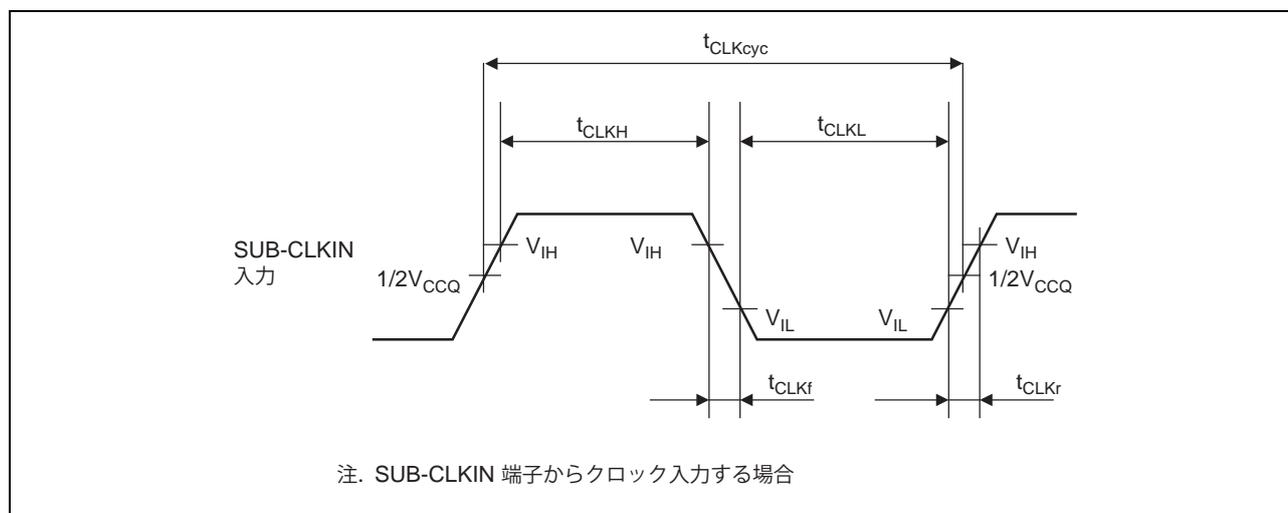


図 2.30 SUB-CLKIN クロック入力タイミング

2.4.8 PWMXモジュール信号タイミング

表2.19 PWMXモジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
パルス出力遅延時間	t_{PWOD}	—	30	ns	2.31

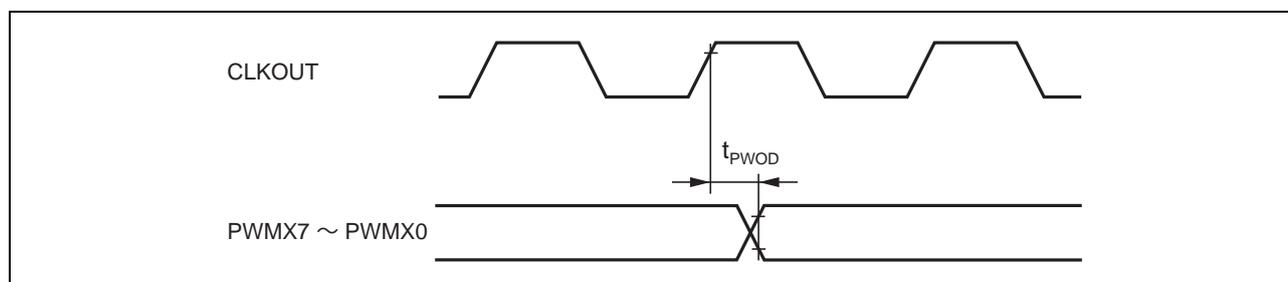


図 2.31 PWMX 出力タイミング

2.4.9 PWMU モジュール信号タイミング

表2.20 PWMU モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
パルス出力遅延時間	t_{PWOD}	—	30	ns	2.32

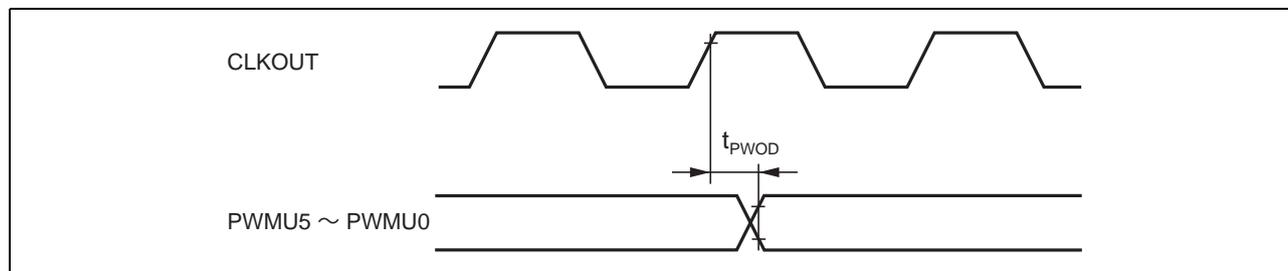


図 2.32 PWMU 出力タイミング

2.4.10 TMU モジュール信号タイミング

表2.21 TMU モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
タイマクロックHパルス幅	t_{TCLKWH}	4	—	t_{pcyc}	2.33
タイマクロックLパルス幅	t_{TCLKWL}	4	—	t_{pcyc}	2.33
タイマクロック立ち上がり時間	t_{TCLKr}	—	0.8	t_{pcyc}	2.33
タイマクロック立ち下がり時間	t_{TCLKf}	—	0.8	t_{pcyc}	2.33

注. t_{pcyc} は周辺クロック (Pck) の1 サイクル時間を示します。

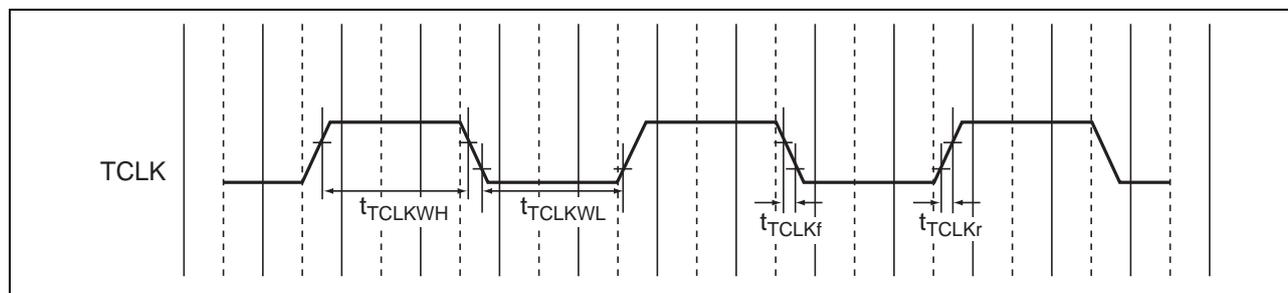


図 2.33 TCLK 入力タイミング

2.4.11 ETHER モジュール信号タイミング

表2.22 ETHER モジュール信号タイミング (RMII)

項目	記号	Min.	Typ.	Max.	単位	参照図	
RMIIIn-REFCLK 入力サイクル時間	t_{RTcyc}	19.97	20	20.03	ns	2.34	
RMIIIn-REFCLK デューティサイクル	t_{RTD}	35	—	65	%		
RMIIIn-REFCLK Hパルス幅	t_{RTH}	5	—	—	ns		
RMIIIn-REFCLK Lパルス幅	t_{RTL}	5	—	—	ns		
RMIIIn-REFCLK 立ち上がり時間	t_{RTr}	—	—	4	ns		
RMIIIn-REFCLK 立ち下がり時間	t_{RTf}	—	—	4	ns		
出力遅延時間	RMII0-TXEN、 RMII1-TXEN	t_{RTEND}	2.5	—	12.5	ns	2.35
	RMII0-TXD1、 RMII0-TXD0、 RMII1-TXD1、 RMII1-TXD0	t_{RETDDo}	2.5	—	12.5		
セットアップ時間	RMII0-CRS_DV、 RMII1-CRS_DV	t_{RRDVS}	3	—	—		2.36
ホールド時間		t_{RRDVH}	1	—	—		
セットアップ時間	RMII0-RXD1、 RMII0-RXD0、 RMII1-RXD1、 RMII1-RXD0	t_{RERDS}	3	—	—		
ホールド時間		t_{RERDH}	1	—	—		
セットアップ時間	RMII0-RX_ER、 RMII1-RX_ER	t_{RRERS}	3	—	—	2.37	
ホールド時間		t_{RRERH}	1	—	—		
ET0_MDIO、ET1_MDIO 出力データホールド時間 (注)		$t_{RMDIODH}$	5	—	18	2.38	

注. 本規定を満足するように、プログラムで設定してください。

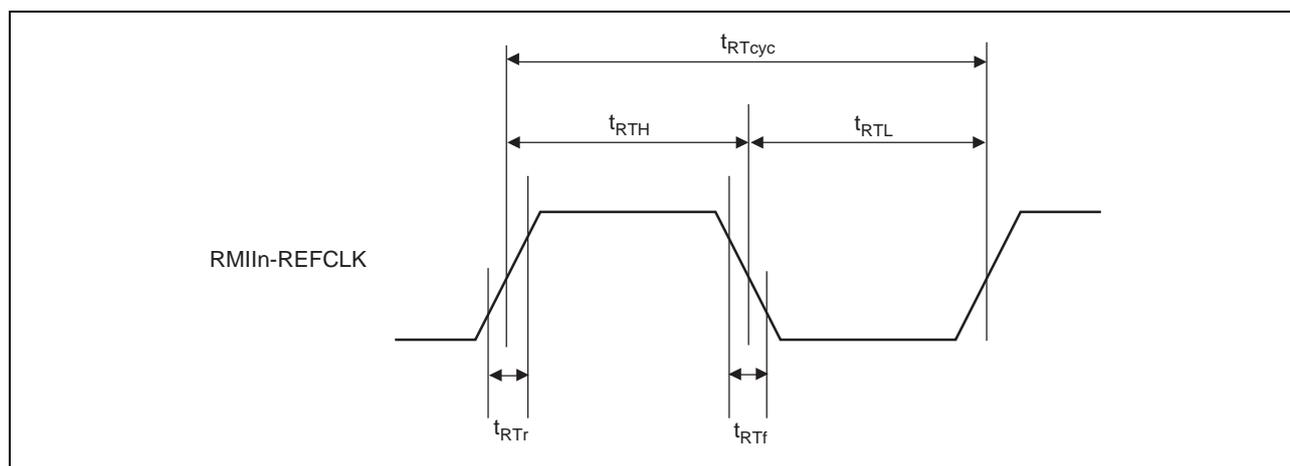


図 2.34 RMIIIn-REFCLK クロック入力タイミング

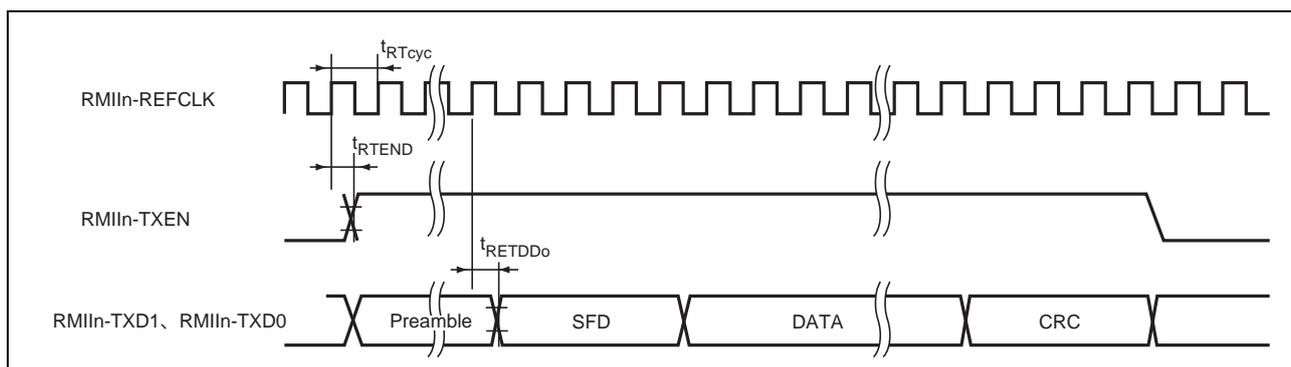


図 2.35 RMIIn 送信タイミング

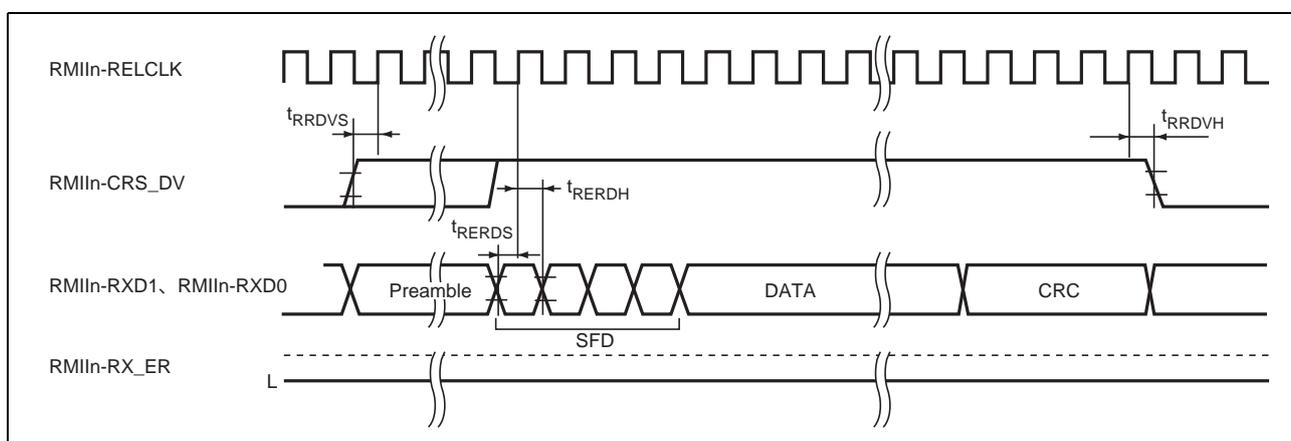


図 2.36 RMIIn 送信タイミング (正常動作時)

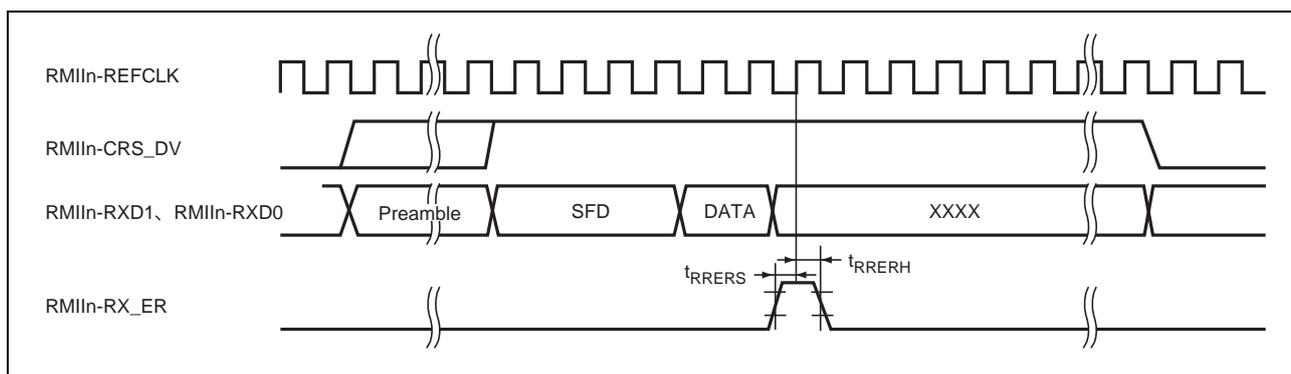


図 2.37 RMIIn 受信タイミング (エラー発生ケース)

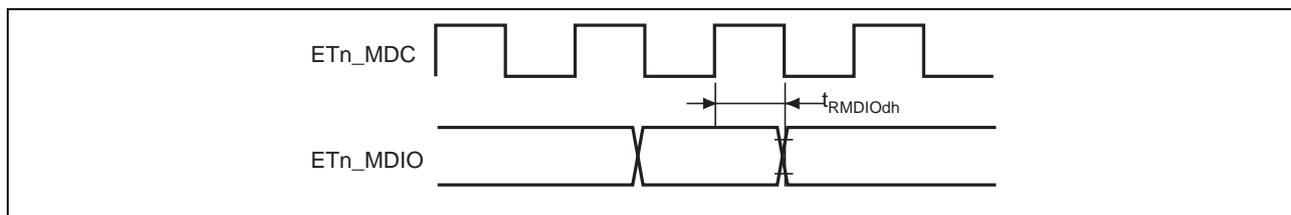


図 2.38 MDIO 出力タイミング

2.4.12 RGMII モジュール信号タイミング

表2.23 RGMII モジュール信号タイミング

項目	記号	Min.	Typ.	Max.	単位	参照図
RGMII-MAC-CLK 入力クロック周期	$t_{\text{MACCLKcyc}}$	7.8	8.0	8.2	ns	2.39
RGMII-MAC-CLK デューティ比	$t_{\text{MACCLKcyc}}$	45.0	50.0	55.0	%	2.39
RGMII-MAC-CLK 入力立ち上がり時間(20%~80%)	t_{MACCLKr}	—	—	2.0	ns	2.39
RGMII-MAC-CLK 入力立ち下がり時間(20%~80%)	t_{MACCLKf}	—	—	2.0	ns	2.39
データ-クロック出カスキュー (注1)	$T_{\text{skew T-ET0}}$	-500	0	500	ps	2.40
データ-クロック出カスキュー (注2)	$T_{\text{skew T-ET1}}$	200	700	1200	ps	2.40
データ-クロック入カスキュー	$T_{\text{skew R}}$	1	1.8	2.6	ns	2.40
データ-クロック入カセットアップ時間	$T_{\text{setup R}}$	1.0	2.0	—	ns	2.41
データ-クロック入カホールド時間	$T_{\text{hold R}}$	1.0	2.0	—	ns	2.41
クロック周期	T_{cyc}	7.2	8	8.8	ns	2.40
デューティ比 (ギガビット)	Duty_G	45	50	55	%	—
デューティ比 (10/100T)	Duty_T	40	50	60	%	—
立ち上がり/立ち下がり時間	T_r/T_f	—	—	0.75	ns	2.40

注1. TX0DLY = 010の場合。

注2. TX1DLY = 010の場合。

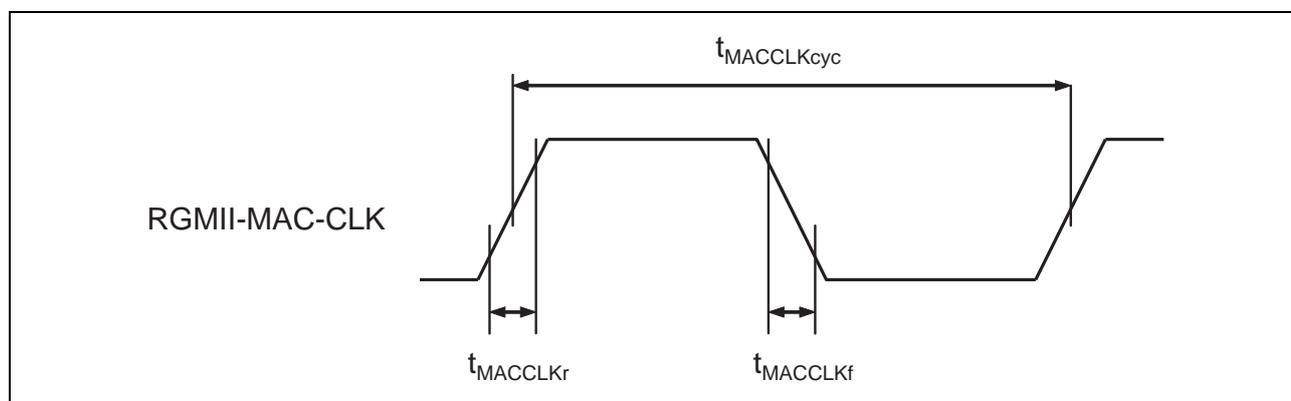


図 2.39 RGMII-MAC-CLK クロック入カタイミング

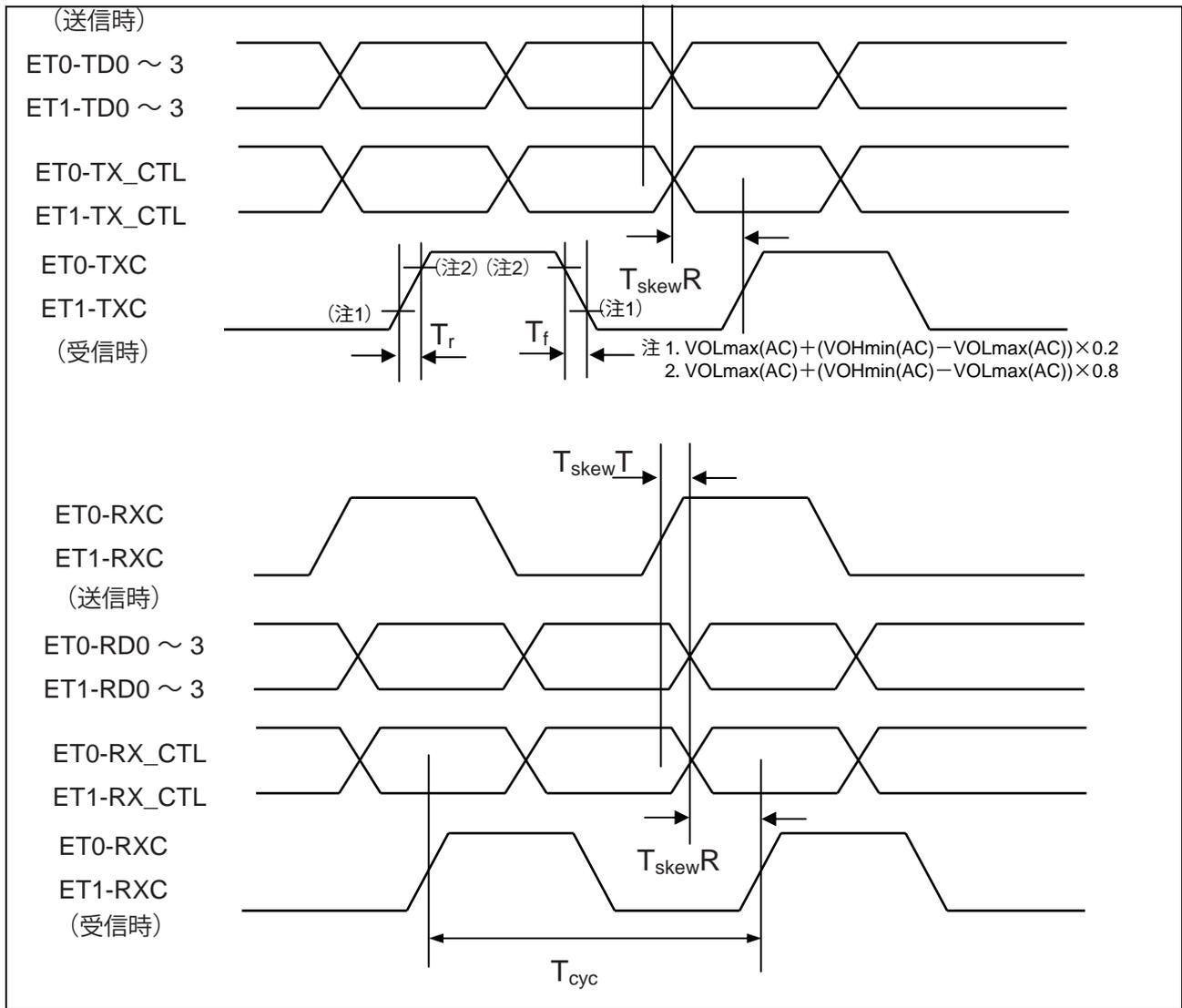


図 2.40 RGMII 補正 AC タイミング

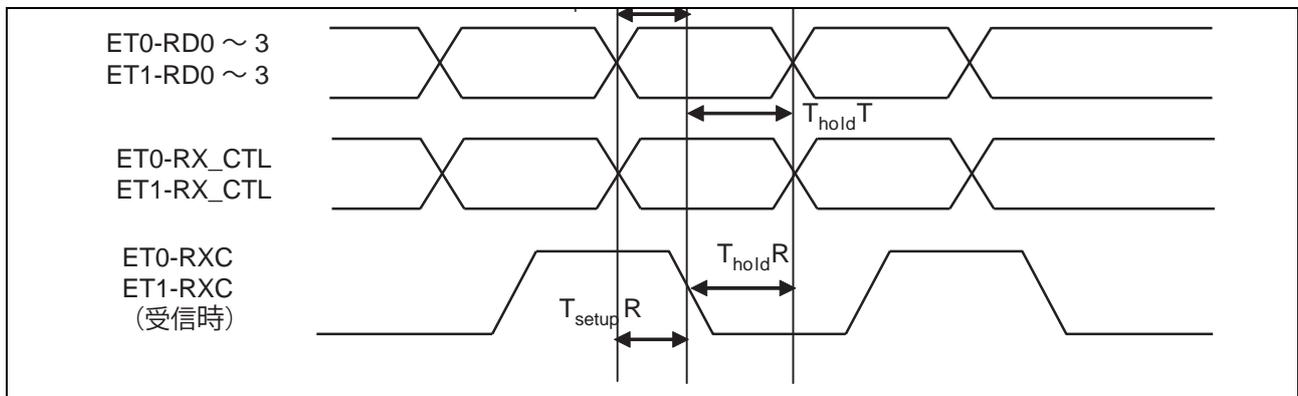


図 2.41 RGMII 補正 AC タイミング

2.4.13 RIIC モジュール信号タイミング

表2.24 RIIC モジュール信号タイミング

項目		記号	Min. (注1)(注2)(注3)	Max.	単位	参照図
RIIC (標準モード) ICFER.FMPE = 0	SCL入力サイクル時間	t_{SCL}	$4(12) \times IIC\phi + 1300$	—	ns	2.42
	SCL入力Hレベルパルス幅	t_{SCLH}	$2(6) \times IIC\phi$	—	ns	
	SCL入力Lレベルパルス幅	t_{SCLL}	$2(6) \times IIC\phi$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$IIC\phi$	ns	
	SDA入力バスフリー時間	t_{BUF}	$2(6) \times IIC\phi + internal_delay$ (注4)	—	ns	
	開始条件ホールド時間	t_{STAH}	$IIC\phi + internal_delay$ (注4)	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	0	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	0	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$IIC\phi$	—	ns	
	データ入力ホールド時間	t_{SDAH}	$- internal_delay$ (注4)	—	ns	
	SCL、SDA容量性負荷	C_b	—	400	pF	
RIIC (高速モード) ICFER.FMPE = 0	SCL入力サイクル時間	t_{SCL}	$4(12) \times IIC\phi + 600$	—	ns	2.42
	SCL入力Hレベルパルス幅	t_{SCLH}	$2(6) \times IIC\phi$	—	ns	
	SCL入力Lレベルパルス幅	t_{SCLL}	$2(6) \times IIC\phi$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$IIC\phi$	ns	
	SDA入力バスフリー時間	t_{BUF}	$2(6) \times IIC\phi + internal_delay$ (注4)	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$IIC\phi + internal_delay$ (注4)	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	0	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	0	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$IIC\phi$	—	ns	
	データ入力ホールド時間	t_{SDAH}	$- internal_delay$ (注4)	—	ns	
	SCL、SDA容量性負荷	C_b	—	400	pF	

項目	記号	Min. (注1)(注2)(注3)	Max.	単位	参照図	
RIIC (高速モード) ICFER.FMPE= 1	SCL入力サイクル時間	t_{SCL}	$4(12) \times IIC\phi + 240$	—	ns	2.42
	SCL入力Hレベルパルス幅	t_{SCLH}	$2(6) \times IIC\phi$	—	ns	
	SCL入力Lレベルパルス幅	t_{SCLL}	$2(6) \times IIC\phi$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$IIC\phi$	ns	
	SDA入カバスフリー時間	t_{BUF}	$2(6) \times IIC\phi$	—	ns	
	開始条件入カホールド時間	t_{STAH}	$IIC\phi$	—	ns	
	再送開始条件入カセットアップ時間	t_{STAS}	0	—	ns	
	停止条件入カセットアップ時間	t_{STOS}	0	—	ns	
	データ入カセットアップ時間	t_{SDAS}	$IIC\phi$	—	ns	
	データ入カホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA容量性負荷	C_b	—	550	pF	

- 注1. デジタルフィルタ有効 (ICFER.NFE = 1) で、ICMR3.NF[1:0] = 11 の場合は、() 内の数値を使用してください。
2. C_b はバスラインの総容量を示します。
3. $IIC\phi$ は、CKS[2:0] ビットにより、Pckのn分周 (n=1、2、4、8、16、32、64、128) に設定できます。
4. internal_delay の設定により、以下のようになります。
- SDID[1:0] = 00 --> internal_delay = 1IICφ
SDID[1:0] = 01 --> internal_delay = 2IICφ
SDID[1:0] = 10 --> internal_delay = 4IICφ
SDID[1:0] = 11 --> internal_delay = 0 (遅延なし)

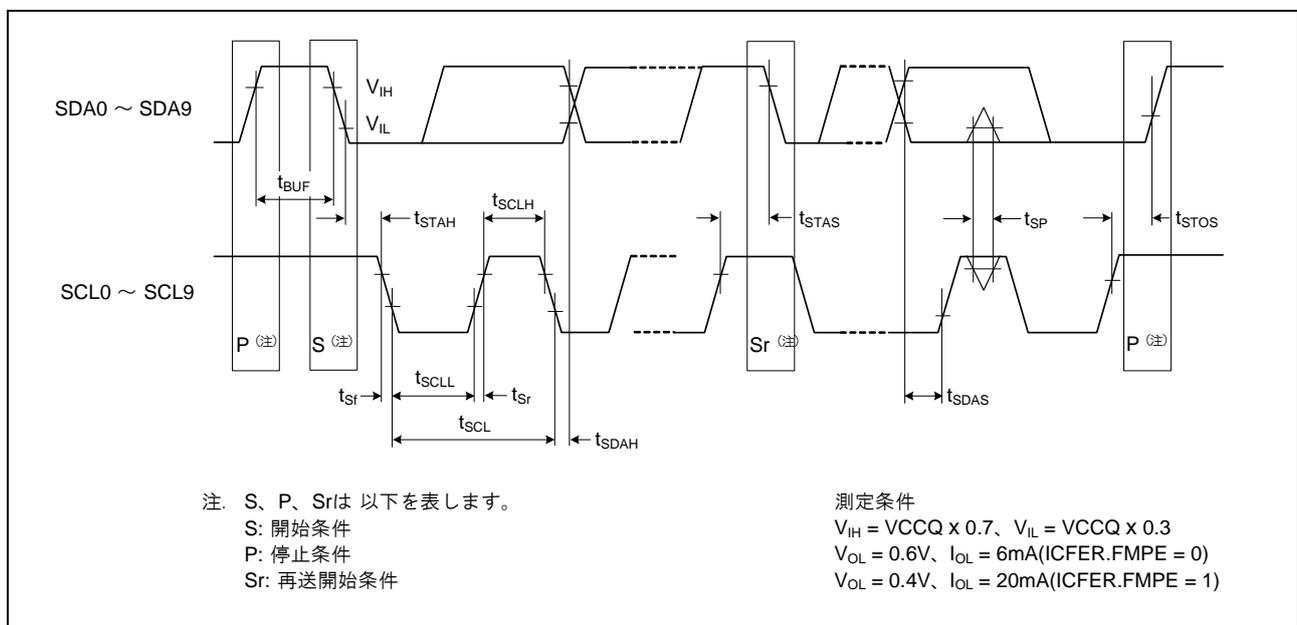


図 2.42 RIIC バスインターフェース入出力タイミング SPI1 モジュール信号タイミング

表2.25 SPI1 モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
SP1-SCK クロック出力周波数	f_{SP1C}	—	48	MHz	
SP1-SCK クロック出力周期	t_{SP1C}	20.8	—	ns	2.43
SP1-SCK クロック出力Lレベルパルス幅	t_{SP1CL}	8	—	ns	2.43
SP1-SCK クロック出力Hレベルパルス幅	t_{SP1CH}	8	—	ns	2.43
SP1-SCK_FB クロック立ち上がり時間 (VCCQの20%-80%)	$t_{SP1FBCR}$	—	6	ns	2.44
SP1-SCK_FB クロック立ち下がり時間 (VCCQの20%-80%)	$t_{SP1FBCF}$	—	6	ns	2.44
SP1-MISO入力セットアップ時間(SP1-SCK_FB 立ち上がり)	$t_{SP1DVCH}$	2	—	ns	2.44
SP1-MISO入力ホールド時間 (SP1-SCK_FB 立ち上がり)	$t_{SP1CHDX}$	10	—	ns	2.44
SP1-MOSI 出力有効時間 (SP1-SCK 立ち上がり前)	$t_{SP1QVCH}$	$t_{SP1C}/2-6$	—	ns	2.43
SP1-MOSI 出力有効時間 (SP1-SCK 立ち上がり後)	$t_{SP1CHQX}$	$t_{SP1C}/2-6$	—	ns	2.43
SP1-SS0、SP1-SS1 出力有効時間 (SP1-SCK 立ち上がり前)	$t_{SP1SLCH}$	$t_{SP1C}/2-5$	—	ns	2.43
SP1-SS0、SP1-SS1 出力有効時間 (SP1-SCK 立ち上がり後)	$t_{SP1CHSH}$	$t_{SP1C}-15$	—	ns	2.43

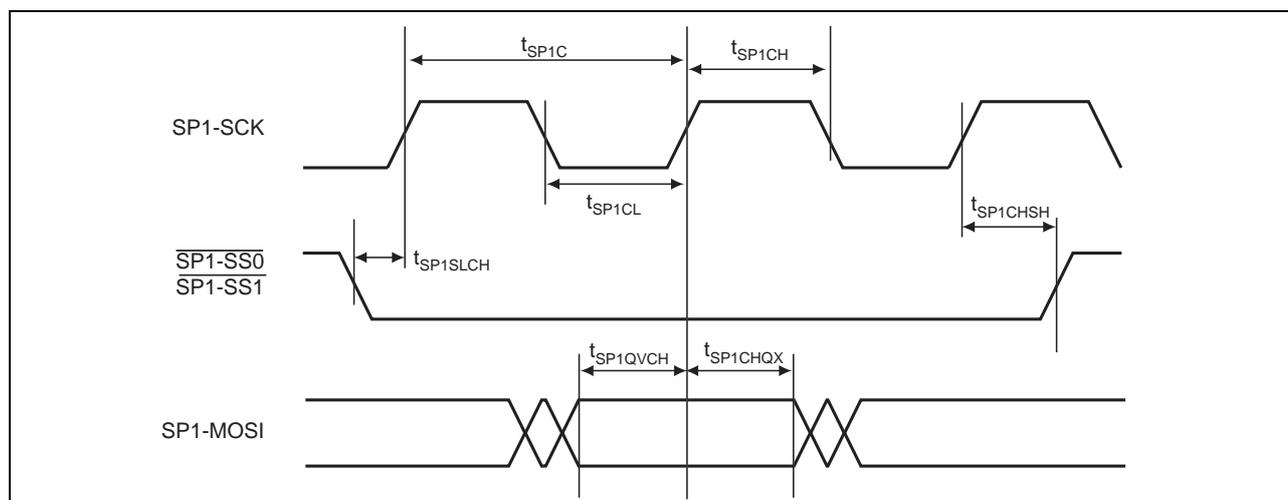


図 2.43 SPI1 出力信号タイミング

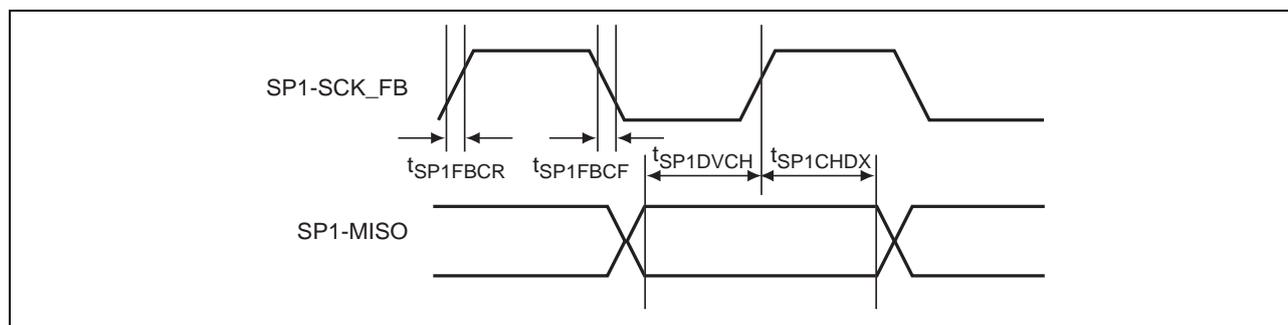


図 2.44 SPI入力信号タイミング

2.4.14 SCIF2~4 モジュール信号タイミング

表2.26 SCIF2~4 モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図	備考
入力クロックサイクル (調歩同期)	t_{Scyc}	4	—	t_{Pcyc}	2.45	
入力クロックサイクル (クロック同期)		12	—	t_{Pcyc}	2.45	
入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	2.45	
入力クロック立ち上がり時間	t_{SCKr}	—	0.8	t_{Pcyc}	2.45	
入力クロック立ち下がり時間	t_{SCKf}	—	0.8	t_{Pcyc}	2.45	
転送データ遅延時間	t_{TXD}	—	$4 \times t_{Pcyc} + 15$	ns	2.46	
受信データセットアップ時間 (クロック同期)	t_{RXS}	16	—	ns	2.46	
受信データホールド時間 (クロック同期)	t_{RXH}	$t_{Pcyc} + 5$	—	ns	2.46	

注. t_{Pcyc} は周辺クロック (Pck) の1サイクル時間を示します。

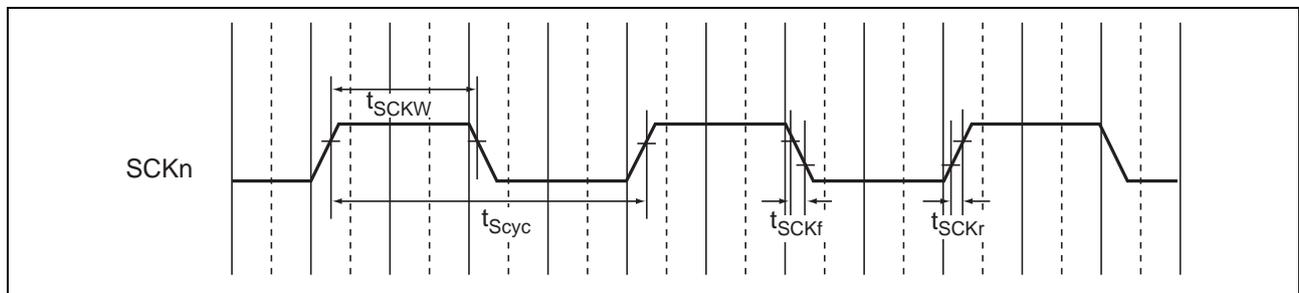


図 2.45 SCKn入力クロックタイミング (n=2~4)

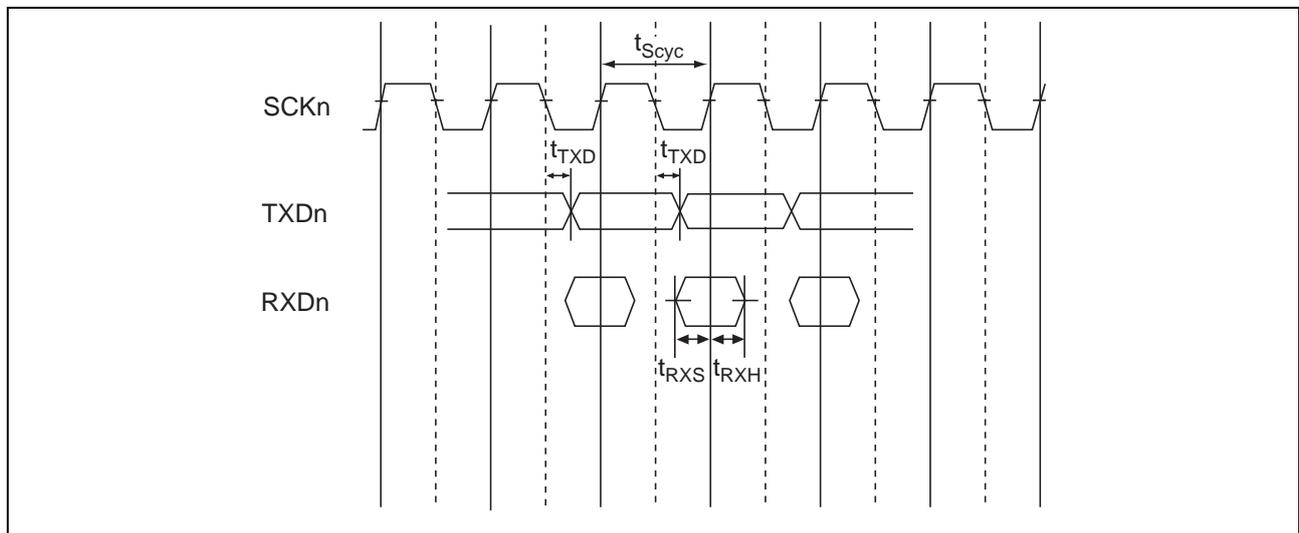


図 2.46 SCIFn クロック同期モード I/O タイミング (n=2~4)

2.4.15 USB0/USB1 モジュール信号タイミング

表2.27 USB0/USB1 トランシーバタイミング (フルスピード時)

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{FR}	4	—	20	ns	2.47
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり/立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%	

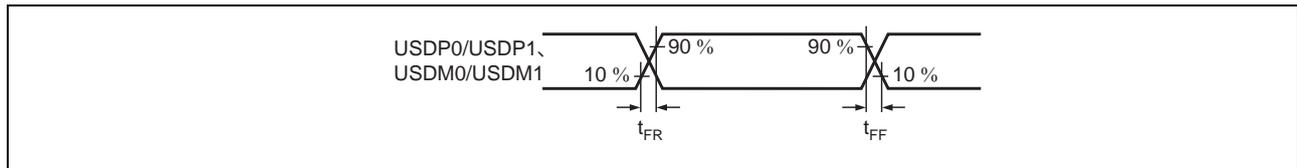


図 2.47 USDP0/USDP1、USDM0/USDM1 出カタイミング (フルスピード時)

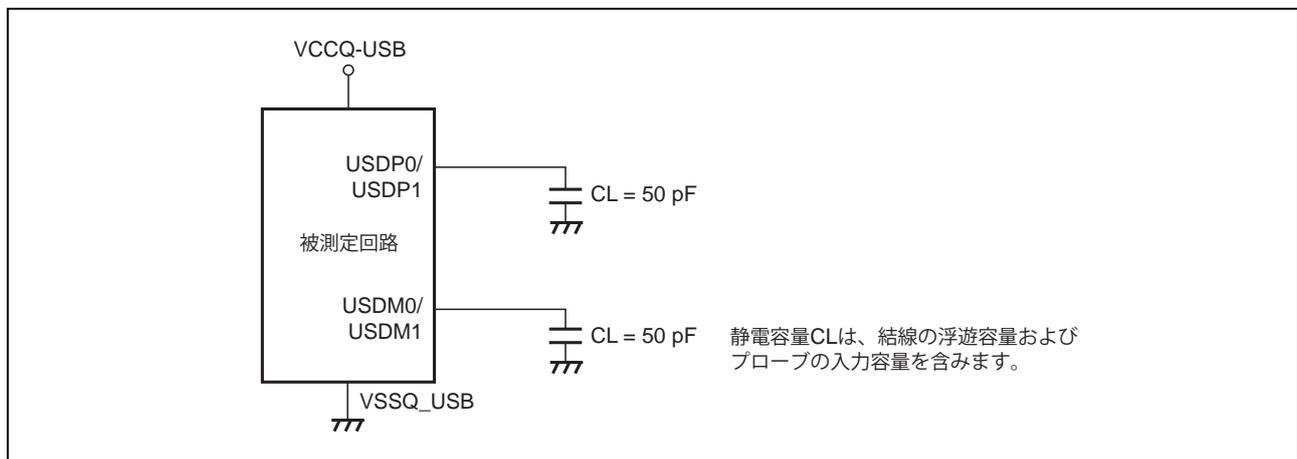


図 2.48 測定回路 (フルスピード時)

表2.28 USB0/USB1 トランシーバタイミング (ハイスピード時)

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{HSR}	400	—	—	ps	2.49
立ち下がり時間	t_{HSF}	400	—	—	ps	
出力ドライバ抵抗	Z_{HSDRV}	40.5	—	49.5	Ω	

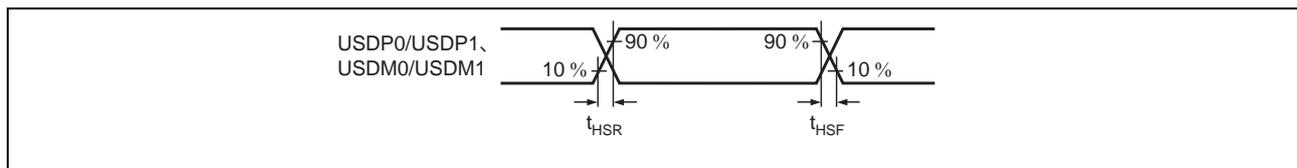


図 2.49 USDP0/USDP1、USDM0/USDM1 出カタイミング (ハイスピード時)

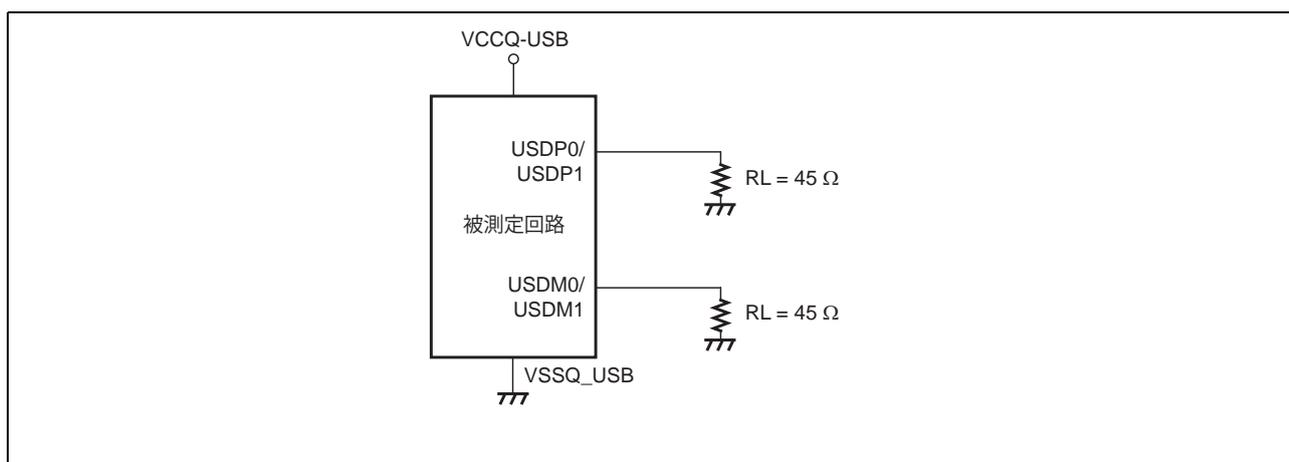


図 2.50 測定回路 (ハイスピード時)

2.4.16 A/D モジュール信号タイミング

表 2.29 A/D モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
ADTRG0、ADTRG1 入力パルス幅	t_{TRGW}	2	—	t_{Pcyc}	2.51

注. t_{Pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。

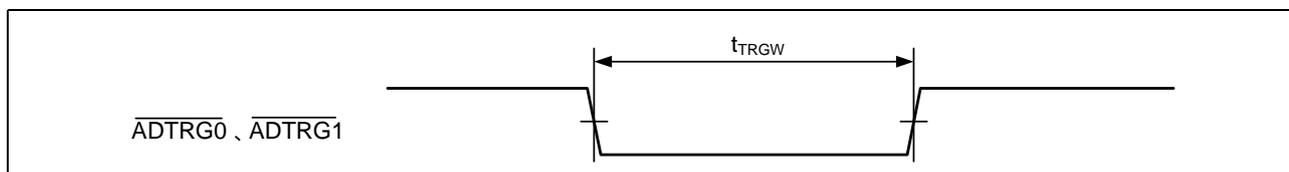


図 2.51 A/D 変換器外部トリガ 入力パルス幅

2.4.17 GPIO モジュール信号タイミング

表2.30 GPIO モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
GPIO 出力遅延時間	t_{IOPD}	0	400	ns	2.52
		0	12	ns	
GPIO入力セットアップ時間	t_{IOPS}	9	—	ns	2.52
GPIO入力ホールド時間	t_{IOPH}	1.5	—	ns	2.52

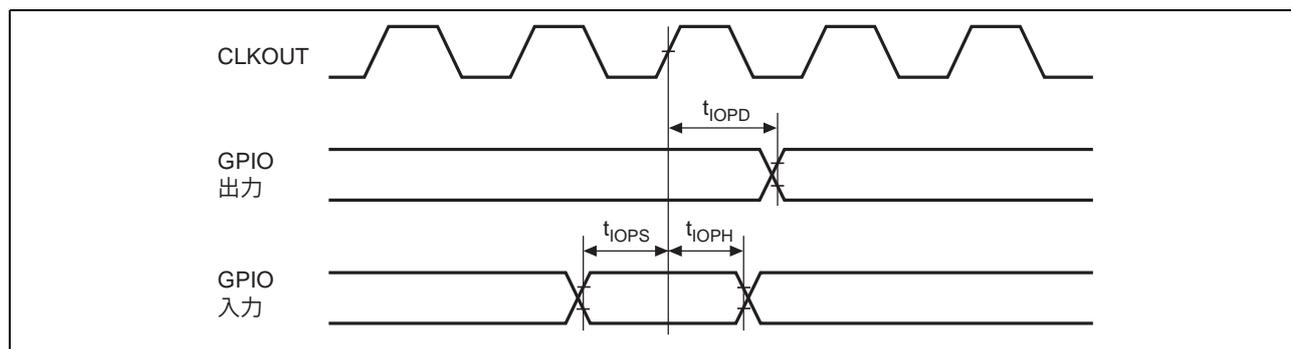


図 2.52 GPIO タイミング

2.4.18 H-UDI モジュール信号タイミング

表2.31 H-UDI モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図	備考
入カクロックサイクル	t_{TCKcyc}	50	—	ns	2.53、2.55	
入カクロックHパルス幅	t_{TCKH}	15	—	ns	2.53	
入カクロックLパルス幅	t_{TCKL}	15	—	ns	2.53	
入カクロック立ち上がり時間	t_{TCKr}	—	10	ns	2.53	
入カクロック立ち下がり時間	t_{TCKf}	—	10	ns	2.53	
ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	—	t_{cyc}	2.54	
ASEBRK ホールド時間	$t_{ASEBRKH}$	10	—	t_{cyc}	2.54	
TDI/TMS セットアップ時間	t_{TDIS}	15	—	ns	2.55	
TDI/TMS ホールド時間	t_{TDIH}	15	—	ns	2.55	
TDO データ遅延時間	t_{TDO}	—	12	ns	2.55	
ASEBRK 端子パルス幅	t_{PINBRK}	2	—	t_{Pcyc}	2.56	

- 注1. t_{cyc} はCLKOUT クロックの1 サイクル時間を示します。
 2. t_{Pcyc} は周辺クロック (Pck) の1 サイクル時間を示します。

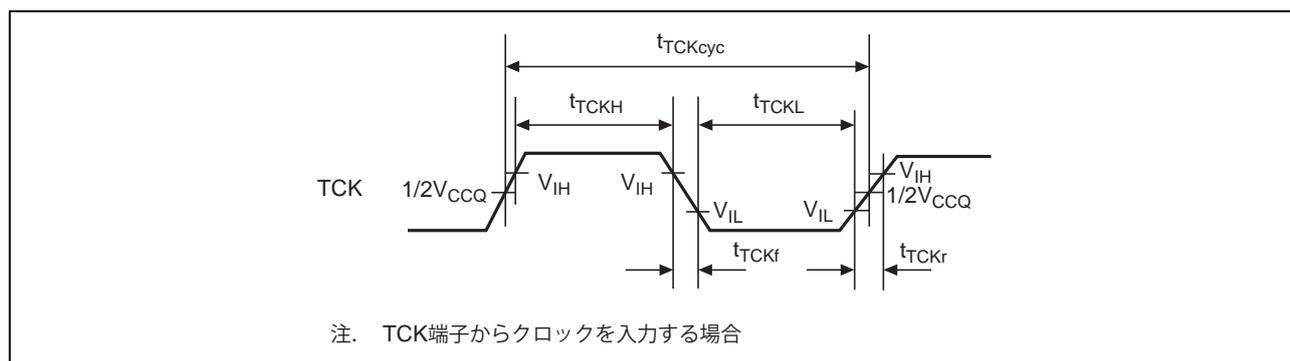


図 2.53 TCK 入力タイミング

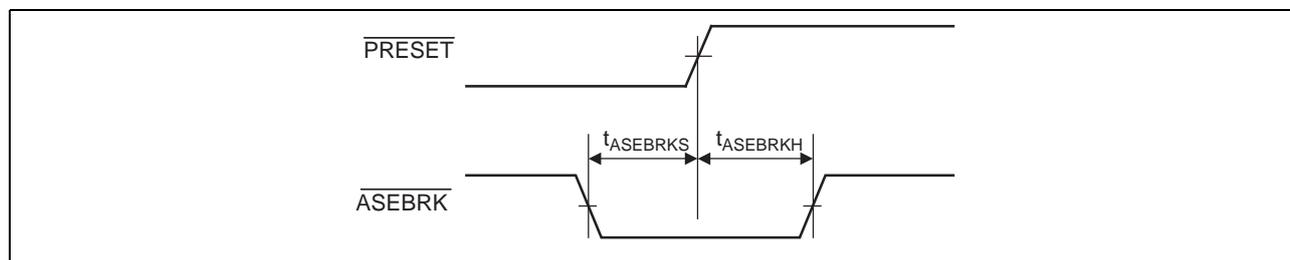


図 2.54 ASEBRK セットアップ/ホールドタイミング

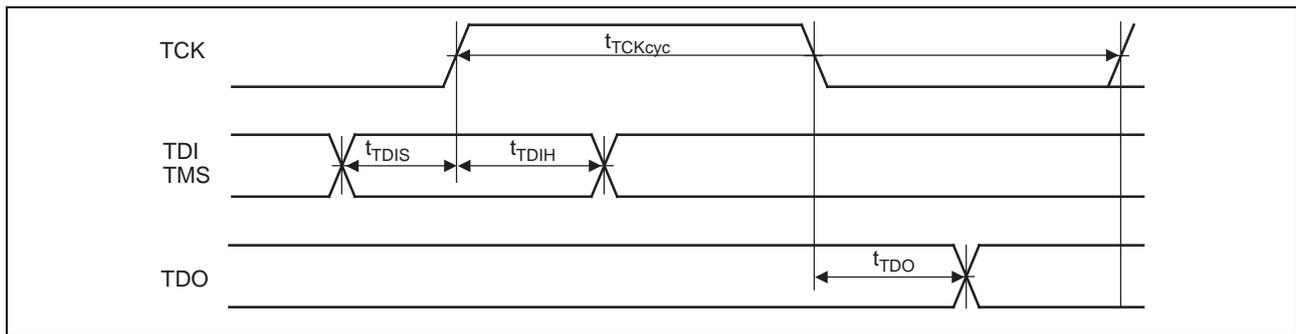


図 2.55 H-UDI データ転送タイミング

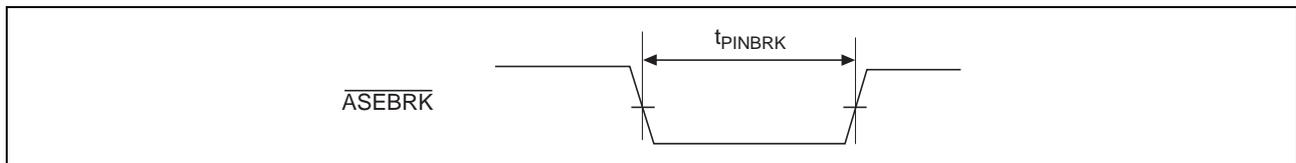


図 2.56 ASEBRK 端子パルス幅

2.4.19 RSPI モジュール信号タイミング

条件：tPcyc = 20.8ns

表2.32 RSPI タイミング

項目		記号	Min.	Typ.	Max.	単位	参照図	
RSPCK クロックサイクル	マスタ	tSPcyc	2	—	—	tPcyc	2.57	
	スレーブ		4	—	—			
RSPCK クロックHレベルパルス幅	マスタ	tSPCKWH	$(tSPcyc - tSPCKR - tSPCKF) / 2 - 3$	—	—	ns		
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF) / 2$	—	—			
RSPCK クロックLレベルパルス幅	マスタ	tSPCKWL	$(tSPcyc - tSPCKR - tSPCKF) / 2 - 3$	—	—	ns		
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF) / 2$	—	—			
RSPCK クロック立ち上がり/立ち下がり時間	出力	tSPCKR、tSPCKF	—	3	5	ns		
	入力		—	—	1	μs		
データ入力セットアップ時間	マスタ	tSU	25	—	—	ns		2.58 2.59 2.60 2.61
	スレーブ		20 - tPcyc	—	—			
データ入力ホールド時間	マスタ	tH	10	—	—	ns		
	スレーブ		20	—	—			
SSL セットアップ時間	マスタ	tLEAD	1	—	8	tSPcyc		
	スレーブ		5	—	—	tPcyc		
SSL ホールド時間	マスタ	tLAG	1	—	8	tSPcyc		
	スレーブ		2	—	—	tPcyc		
データ出力遅延時間	マスタ	tOD	—	—	25	ns		
	スレーブ		—	—	$1.5 \times tPcyc + 40$	ns		
データ出力ホールド時間	マスタ	tOH	-5	—	—	ns		
	スレーブ		-5	—	—			
連続送信遅延時間	マスタ	tTD	tSPcyc + tPcyc	—	$8 \times tSPcyc + tPcyc$	ns		
	スレーブ		$2 \times tPcyc$	—	—			
MOSI、MISO立ち上がり/立ち下がり時間	出力	tDR、	—	—	5	ns		
	入力	tDF	—	—	1		μs	
SSL 立ち上がり/立ち下がり時間	出力	tSSLR、	—	—	5	ns		
	入力	tSSLF	—	—	1		μs	
スレーブアクセス時間		tSA	—	—	2	tPcyc	2.60	
スレーブアウト開放時間		tREL	—	—	1.5	tPcyc	2.61	

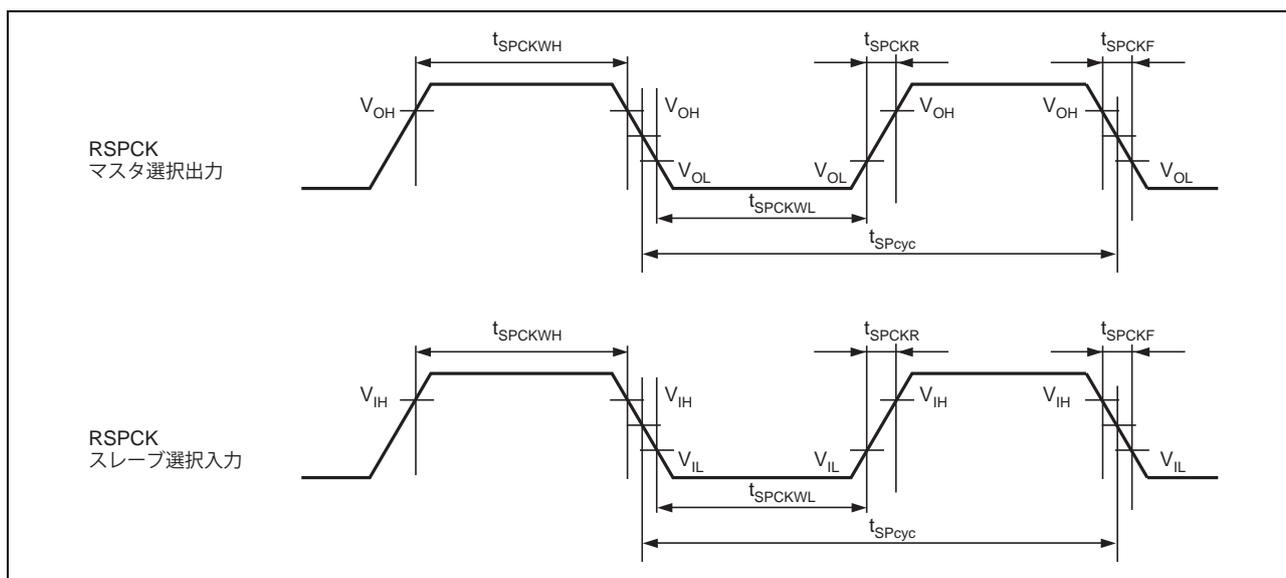


図 2.57 RSPCK クロックタイミング

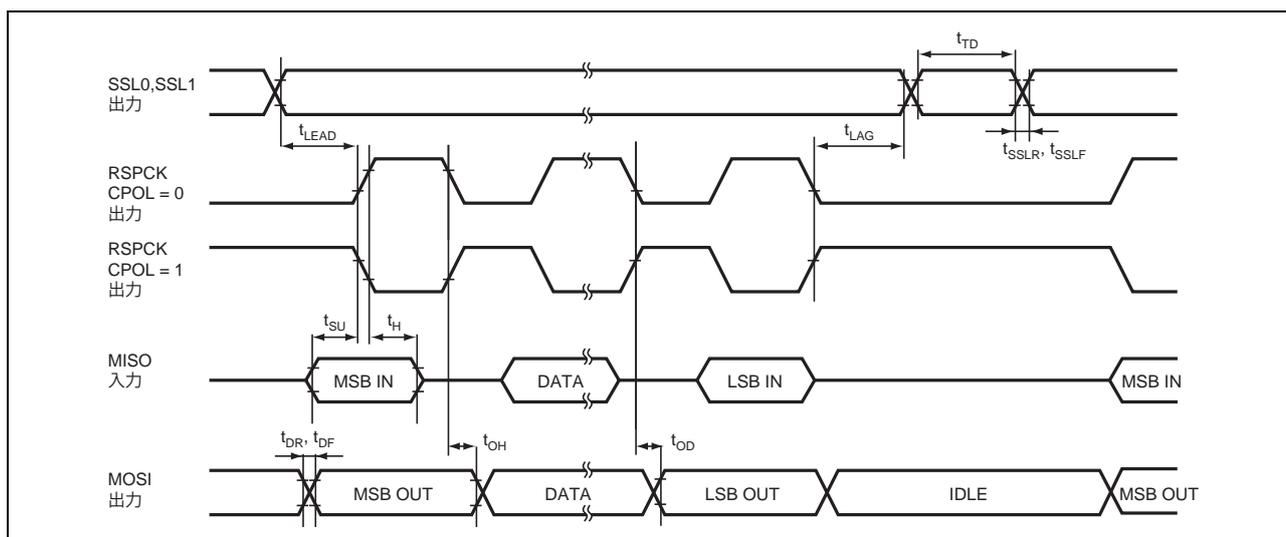


図 2.58 RSPCK タイミング (マスタ、CPHA = 0)

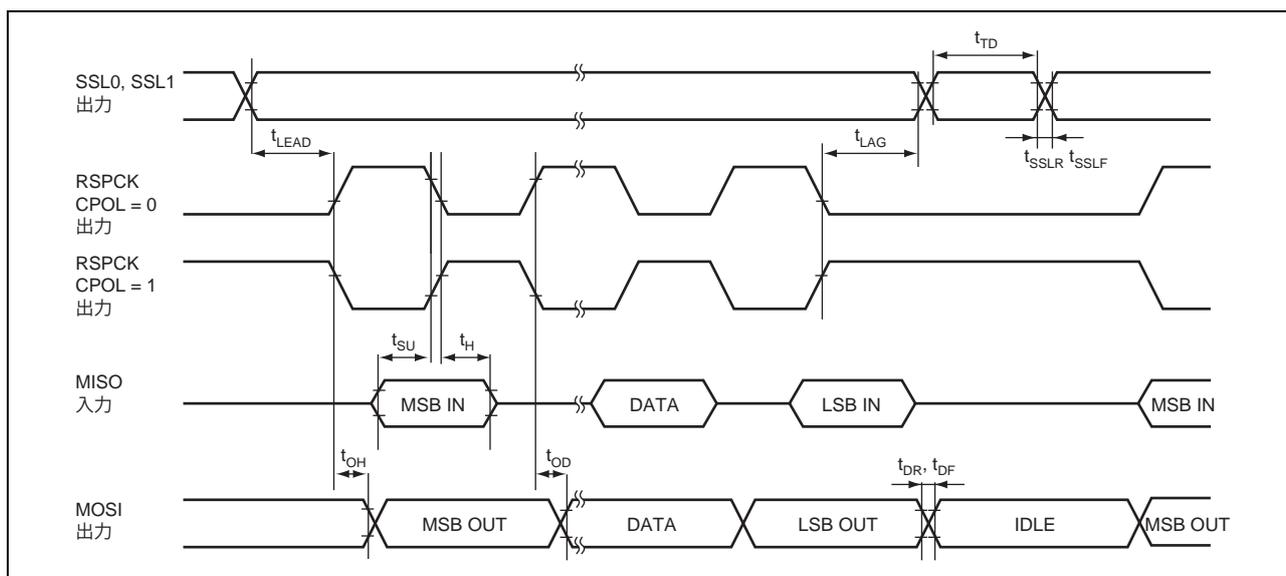


図 2.59 RSPI タイミング (マスタ、CPHA = 1)

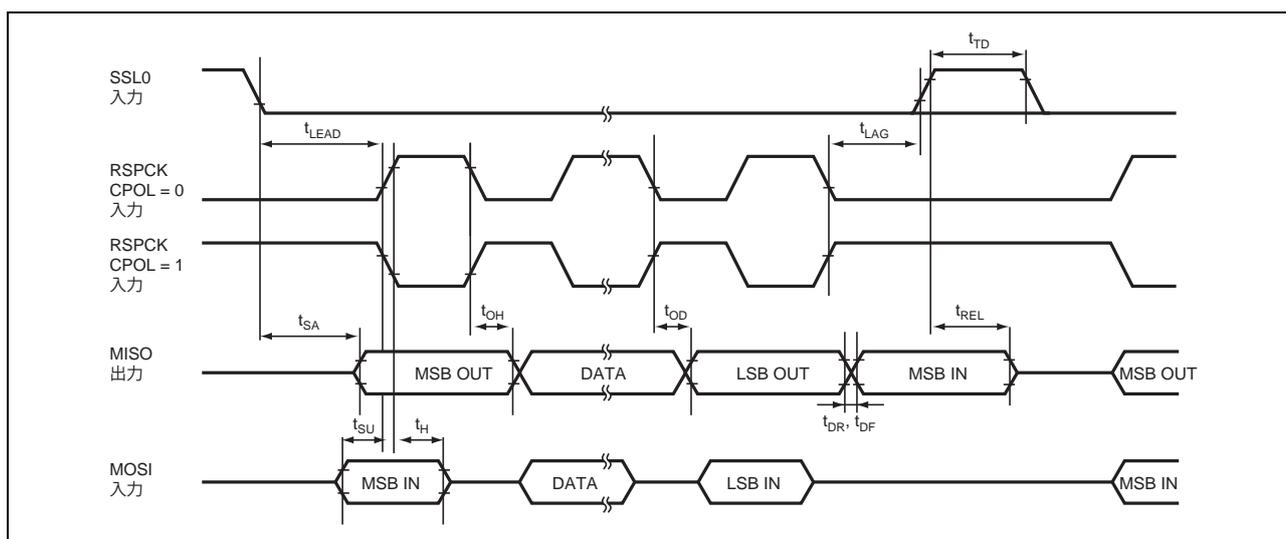


図 2.60 RSPI タイミング (スレーブ、CPHA = 0)

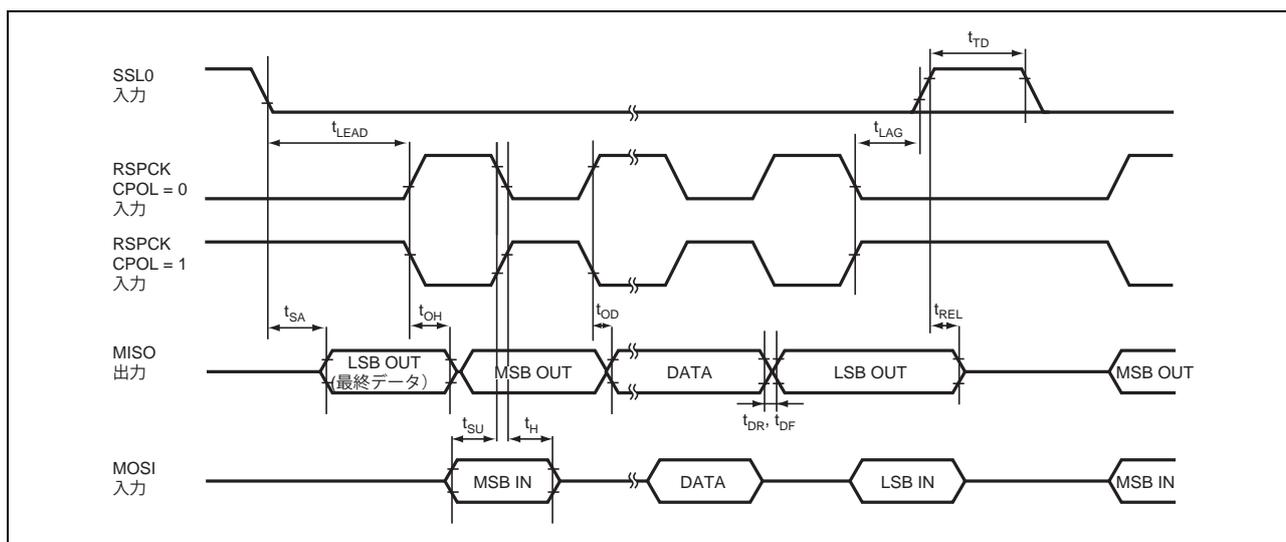


図 2.61 RSPI タイミング (スレーブ、CPHA = 1)

2.4.20 eMMC モジュール信号タイミング

表2.33 eMMC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
CLK クロックサイクル	t_{MMCCYC}	t_{PCYC} (注)	—	ns	2.62
CLK クロックLレベル幅	t_{MMCCWL}	6.5	—	ns	2.62
CLK クロックHレベル幅	t_{MMCCWH}	6.5	—	ns	2.62
CLK クロック立ち上がり時間 (VCCQの20%~80%)	$t_{MMCC LH}$	—	3	ns	2.62
CLKクロック立ち下がり時間 (VCCQの20%~80%)	$t_{MMCC HL}$	—	3	ns	2.62
CMD 出力データ遅延	t_{MMCCMD}	-6.6	6.6	ns	2.62
DAT 出力データ遅延	t_{MMCDAD}	-6.6	6.6	ns	2.62
CMD 入力データセットアップ	t_{MMCCMS}	4.0	—	ns	2.62
CMD 入力データホールド	t_{MMCCMH}	2.5	—	ns	2.62
DAT 入力データセットアップ	t_{MMCDAS}	4.0	—	ns	2.62
DAT 入力データホールド	t_{MMCDAH}	2.5	—	ns	2.62

注. t_{PCYC} は周辺クロック (Pck) の1 サイクル時間を示します (Pck = 48 MHz)。

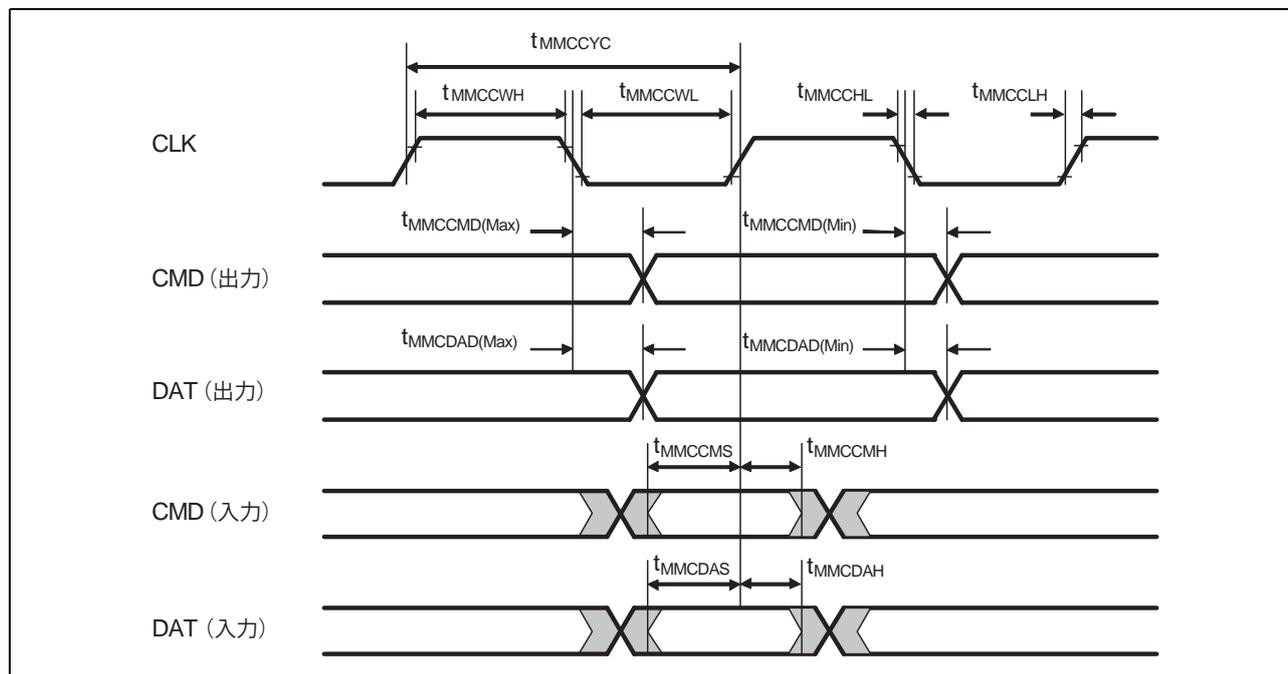


図 2.62 MMC クロックタイミング

2.4.21 SGPIO モジュール信号タイミング

表2.34 SGPIO モジュール信号タイミング

項目	記号	Min.	Max.	単位
SClock 周波数	f_{CYC}	—	48	MHz
SLoad ~ SClock 時間	t_{LC}	16.0	—	ns
SClock ~ SLoad 時間	t_{CL}	20.0	—	ns
SDataOut 遅延時間	t_{OD}	-2.0	6.0	ns
SDataIn セットアップ時間	t_{ISU}	2.0	—	ns
SDataIn ホールド時間	t_{IH}	8.0	—	ns

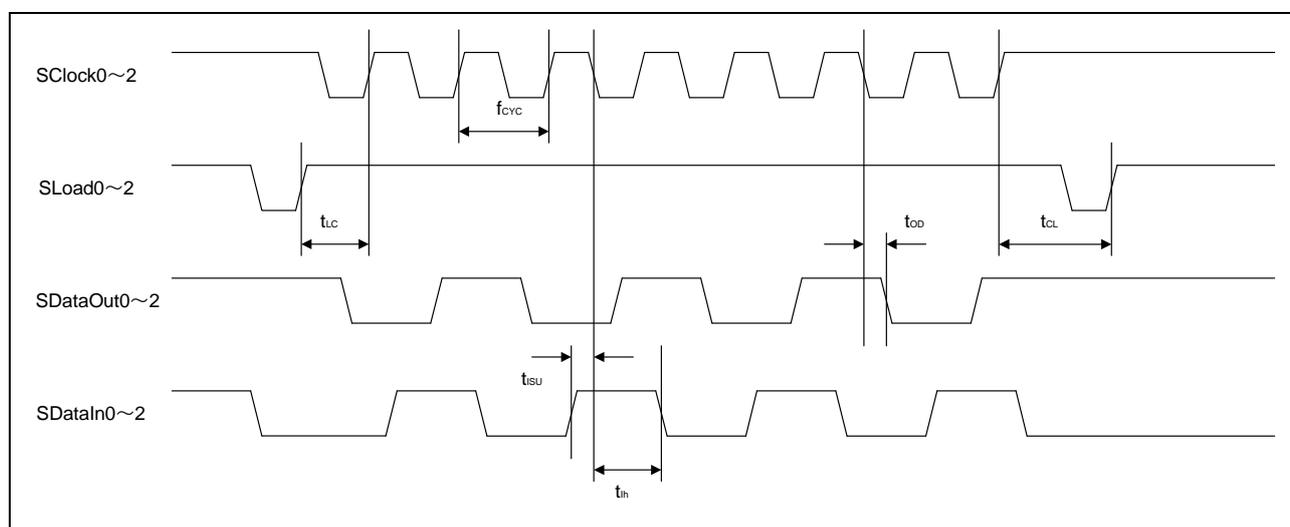


図 2.63 SGPIO クロックタイミング

2.4.22 PCIe モジュール信号タイミング

PCIe PHY モジュールは「PCIe CEM specification rev1.1」に基づいて設計されています。

表2.35 送信パスコンプライアンスアイの必要条件（カードエッジ部）

記号	Min.	Max.	単位	参照注釈	参照図
V_{txA}	514	—	mV	注1、2、5	2.64
V_{txA_d}	360	—	mV	注1、2、5	2.64
T_{txA}	—	287	ps	注1、3、5	2.64
$J_{TXA-MEDIAN-to-MAX-JITTER}$	—	56.5	ps	注1、4、5	2.64

- 注1. ジッタなしの理想的なリファレンスクロックを前提とした仕様です。このアイダイアグラムでは、リンクはすべてアクティブとします。
2. デエンファシス電圧レベル (V_{TXA_d}) とコンプライアンスを比較できるように、遷移ビット及び非遷移ビットは分離させる必要があります。 $VTXA$ 及び $VTXA_d$ は最小差動ピークtoピーク出力電圧です。
3. T_{TXA} は最小アイ幅です。この測定におけるサンプルサイズは 10^6UI です。BER 10^{-12} でシミュレーションを行う場合、この値の最小値は274psになります。
4. $J_{TXA-MEDIAN-to-MAX-JITTER}$ はPCI Express Base Specification, Revision 1.1 で定められた median-to-max ジッタの最大外れ値です。この測定におけるサンプルサイズは 10^6UI です。BER 10^{-12} でシミュレーションを行う場合、この値の最小値は63psになります。
5. 表2.35の値は、アドインカードのエッジフィンガ境界にあるインターコネクtpasの終端での理想差動負荷が100Ω時の値を参照しています。アイダイアグラムはジッタ中央値に定義および配置します。このアイダイアグラム生成時のコンプライアンス確認条件の詳細については「PHY Electrical Test Considerations for PCI Express Architecture」を参照して下さい。

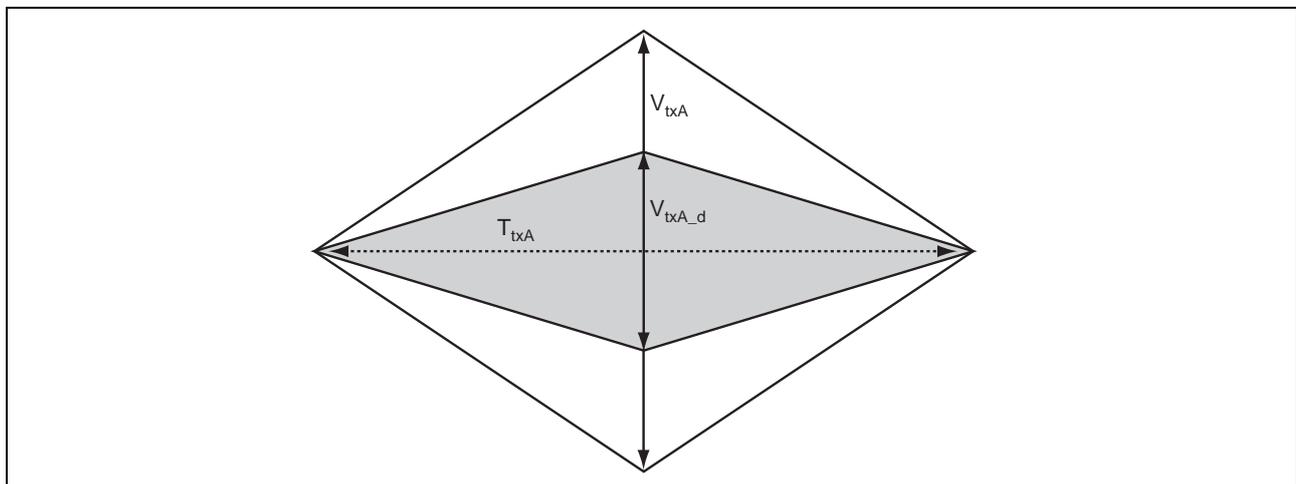


図 2.64 カードエッジの送信パスのコンプライアンスアイダイアグラム

表 2.36 受信パスコンプライアンスアイの必要条件（カードエッジ部）

記号	Min.	Max.	単位	参照注釈	参照図
V_{rxA}	238	—	mV	Notes 1, 2, 5	2.65
V_{rxA_d}	219	—	mV	Notes 1, 2, 5	2.65
T_{rxA}	—	246	ps	Notes 1, 3, 5	2.65
$J_{\text{RxA-MEDIAN-to-MAX-JITTER}}$	—	77	ps	Notes 1, 4, 5	2.65

注 1. ジッタなしの理想的なリファレンスクロックを前提とした仕様です。このアイダイアグラムでは、リンクはすべてアクティブとします。

2. デエンファシス電圧レベル (V_{RxA_d}) とコンプライアンスを比較できるように、遷移ビット及び非遷移ビットは分離させる必要があります。 V_{RxA} 及び V_{RxA_d} は最小差動ピーク to ピーク出力電圧です。
3. T_{RxA} はアイ幅です。この測定におけるサンプルサイズは 10^6 UI です。BER 10^{-12} でシミュレーションを行う場合、この値の最小値は 233ps になります。
4. $J_{\text{RxA-MEDIAN-to-MAX-JITTER}}$ は PCI Express Base Specification, Revision 1.1 で定められた median-to-peak ジッタの最大外れ値です。この測定におけるサンプルサイズは 10^6 UI です。BER 10^{-12} でシミュレーションを行う場合、この値の最大値は 83.5ps になります。
5. 表 2.36 の値は、理想差動負荷が 100Ω の時の値を参照しています。カードエッジの受信側インタコネクタパスへの入力値により、受信パスのカードエッジでの実証テストが可能です。センシティブ性の条件はジッタ中央に配置します。コンプライアンス確認条件の詳細については「PHY Electrical Test Considerations for PCI Express Architecture」を参照して下さい。

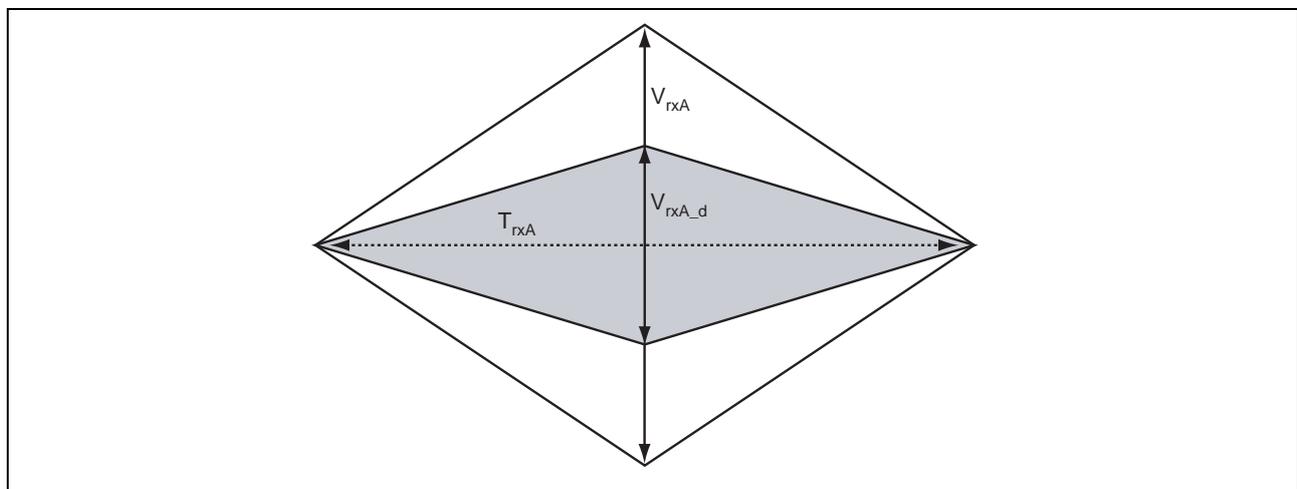


図 2.65 カードエッジの受信パスのコンプライアンスアイダイアグラム

2.4.23 EVC モジュール信号タイミング

表2.37 EVC モジュール信号タイミング

項目	記号	Min.	Max.	単位
イベント入力Hパルス幅	t_{EVWH}	2	—	t_{pcyc}
イベント入力Lパルス幅	t_{EVWL}	2	—	t_{pcyc}

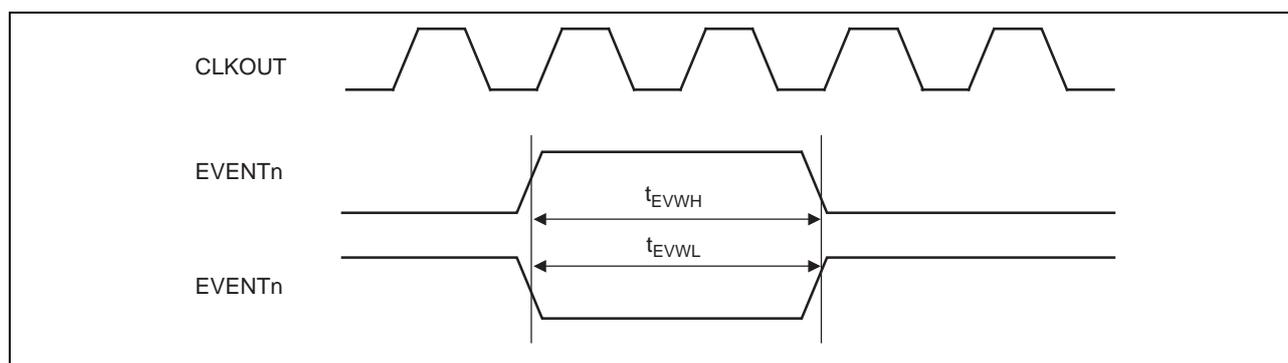


図 2.66 EVENT 入力信号タイミング

2.5 A/D 変換器特性

表2.38 A/D 変換器特性 ($V_{DD} = 1.20 \sim 1.30V$, $V_{CCQ} = 3.0 \sim 3.6V$, $AV_{ref} = 3.0V \sim AV_{CC}$, $AV_{CC} = 3.0 \sim 3.6V$)

項目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	5.5	—	—	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	± 3.0 (注)	LSB
オフセット誤差	—	—	± 2.0 (注)	LSB
フルスケール誤差	—	—	± 2.0 (注)	LSB
量子化誤差	—	—	± 0.5 (注)	LSB
絶対精度	—	—	± 4.0	LSB

注. 参考値

2.6 AC特性テスト条件

AC特性のテスト条件は以下の通りです。

- 入出力信号基準レベル : V (注) /2
- 入力パルスレベル : $V_{SS} \sim V$ (注)
- 入力立ち上がり/立下り時間: 1 ns

注. V : 電源電圧

DDRについては「2.4.3 DBSC3 モジュール信号タイミング」を参照して下さい。

USBについては「2.4.15 USB0/USB1 モジュール信号タイミング」を参照して下さい。

出力負荷回路を図2.67に示します。

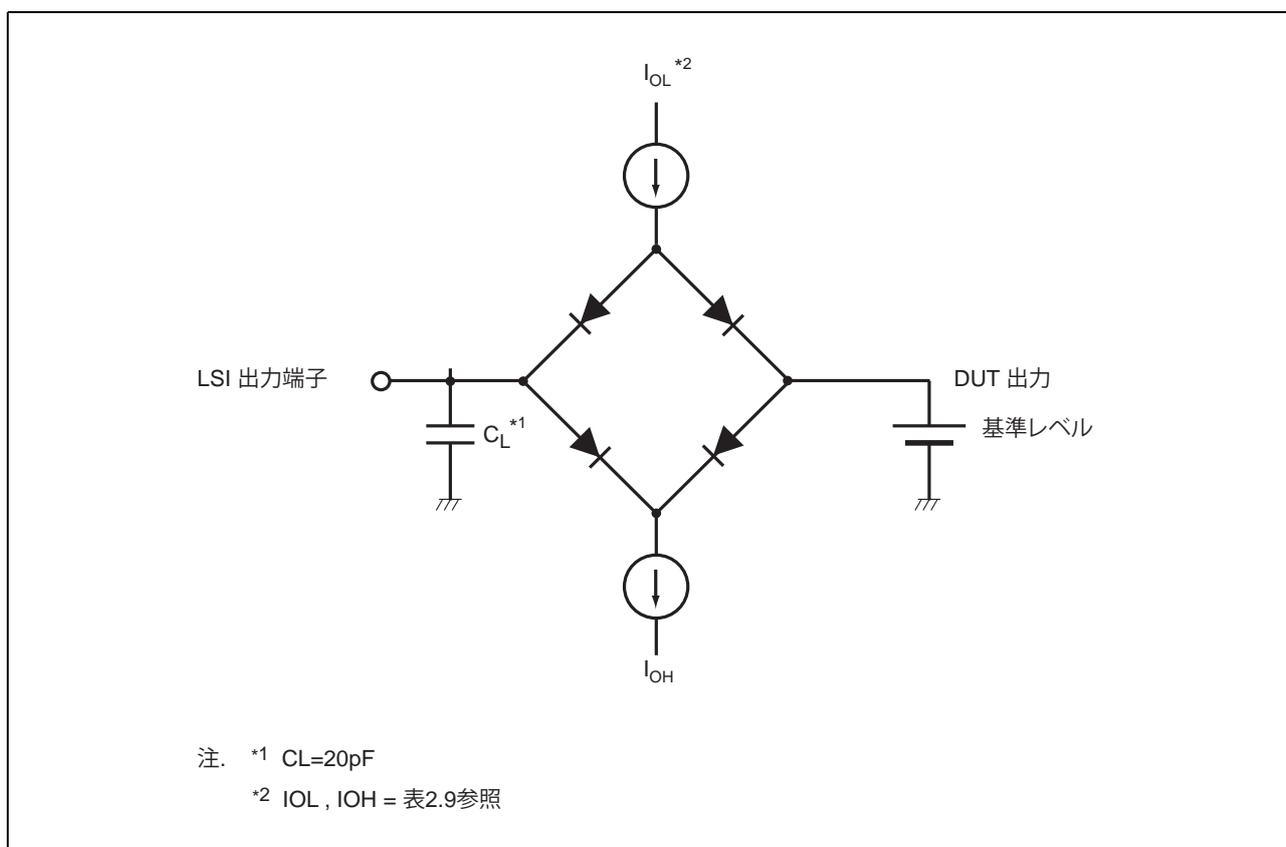


図 2.67 出力負荷回路

3. 外形寸法図

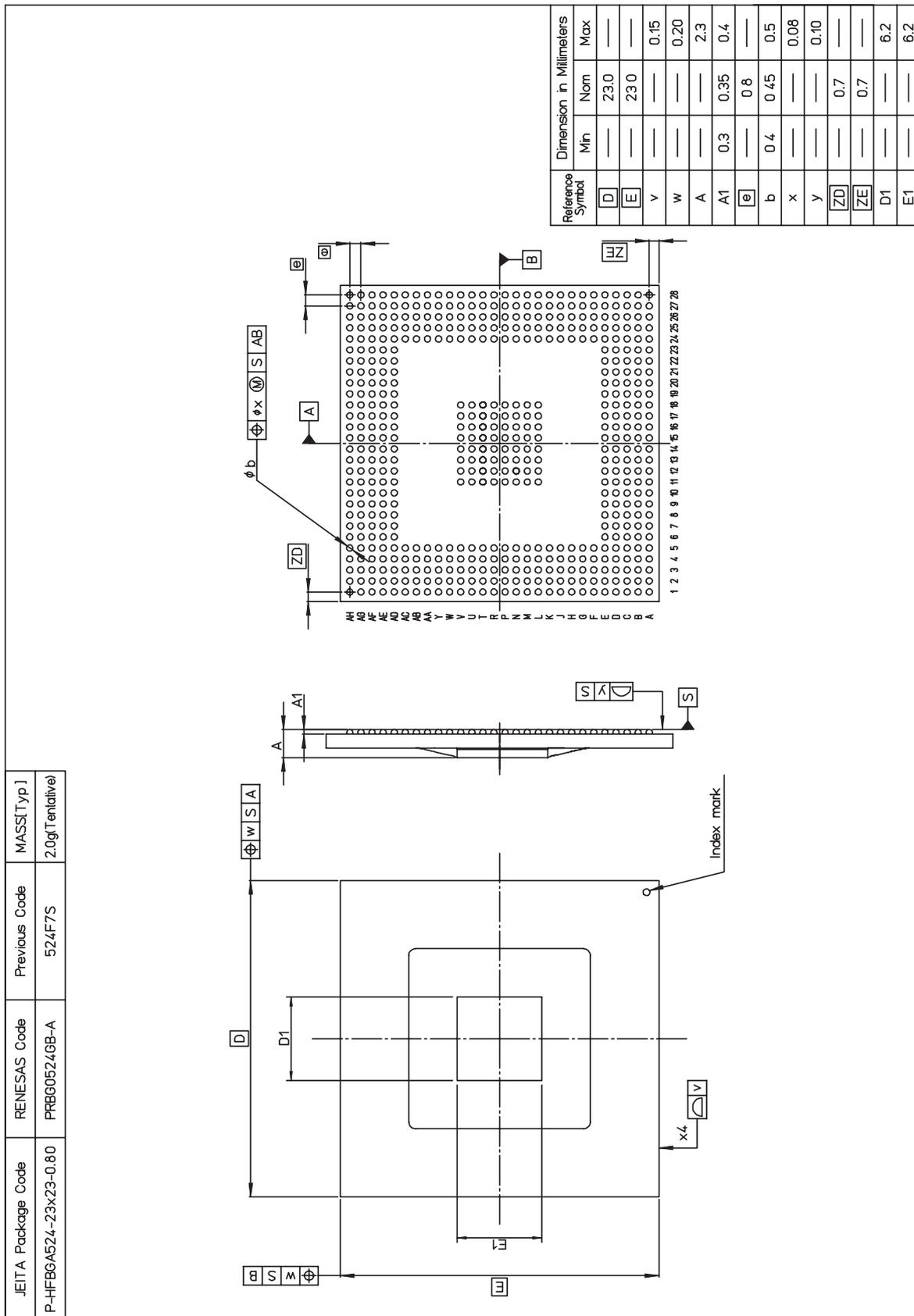


図 3.1 外形寸法図

改訂記録	SH7753グループ データシート
------	-------------------

誤記修正や表現のみの変更は含みません。
概要のみを記載していますので、詳細は該当ページを参照してください。

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.07.31	—	初版発行
1.10	2013.12.25	36	表2.1 動作温度 【変更前】 0 ~ +70 【変更後】 -20 ~ +70

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>