

# SH74593

ルネサスマイクロコンピュータ

R01DS0185JJ0120

Rev.01.20

2012.09.10

## 1. 概要

SH7459 グループは、ルネサスオリジナルの RISC (reduced instruction set computer) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7459 グループは、SH7456 グループの製品仕様をベースとしています。本資料に SH7456 グループと SH7459 グループの違いを示します。SH7456 グループの製品仕様は「SH7455 グループ、SH7456 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (2011.09.16)」を参照してください。

以下、太字部分 (網掛け文字) は、ベース品種との差異部分です。

表 1.1 製品一覧

グループ	製品名	型名	CPU 周波数	内蔵メモリ容量	パッケージ	FlexRay	動作温度(Ta)
SH7459	SH74593	R5F74593LBG	240MHz	ROM: 1.5M バイト, IL memory: 8K バイト, OL memory: 16K バイト, SHwyRAM : 512K バイト	PRBG0176GA-A	Yes	-40 ~ +105
SH7455	SH74552	R5F74552KBG	160MHz	ROM: 1M バイト, IL memory: 8K バイト,		Yes	-40 ~ +125
SH7456	SH74562	R5F74562KBG		OL memory: 16K バイト,		No	
SH7457	SH74572	R5F74572LBG	240MHz	SHwyRAM : 256K バイト		Yes	-40 ~ +105

## 2. 詳細内容

SH7459 グループは、SH7456 グループの製品仕様をベースとしています。表 2.1 に SH74562 と SH74593 の違いを示します。SH7456 グループの製品仕様は「SH7455 グループ、SH7456 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (2011.09.16)」を参照してください。

表2.1 SH74562とSH74593の仕様差異

ページ	内容
1-1	<ul style="list-style-type: none"> <li>1.1 特長</li> <li>製品名 <u>スーパーハイウェイ RAM(SHwyRAM)容量</u></li> <li>SH74562 256K バイト</li> <li>SH74593 <b>512K</b> バイト</li> </ul>
1-4	<ul style="list-style-type: none"> <li>表1.1 仕様概要のROM</li> <li>製品名 <u>フラッシュメモリ容量</u></li> <li>SH74562 1M バイト</li> <li>SH74593 <b>1.5M</b> バイト</li> <li>表1.1 仕様概要のRAM</li> <li>製品名 <u>SRAM 容量</u></li> <li>SH74562 256K バイト</li> <li>SH74593 <b>512K</b> バイト</li> <li>表1.1 仕様概要のクロック発振器 (CPG)</li> <li>製品名 <u>CPU クロック (lck)</u></li> <li>SH74562 Max. 160 MHz</li> <li>SH74593 Max. <b>240</b> MHz</li> </ul>
1-7	<ul style="list-style-type: none"> <li>表1.1 仕様概要のFlexRay</li> <li>製品名 <u>FlexRay チャンネル数</u></li> <li>SH74562 なし: SH7456 グループ</li> <li>SH74593 <b>2 チャンネル</b>: SH7459 グループ</li> </ul>

ページ	内容																					
1-7	<ul style="list-style-type: none"> <li>表1.1 仕様概要の動作温度</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>動作温度</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>Ta = -40 ~ +125</td> </tr> <tr> <td>SH74593</td> <td>Ta = -40 ~ +105</td> </tr> </tbody> </table>	製品名	動作温度	SH74562	Ta = -40 ~ +125	SH74593	Ta = -40 ~ +105															
製品名	動作温度																					
SH74562	Ta = -40 ~ +125																					
SH74593	Ta = -40 ~ +105																					
1-8	<ul style="list-style-type: none"> <li>表1.2 製品一覧表</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>型名</th> <th>ROM 容量</th> <th>SHwyRAM 容量</th> <th>FlexRay</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>R5F74562KBG</td> <td>1M バイト</td> <td>256K バイト</td> <td>なし</td> </tr> <tr> <td>SH74593</td> <td><b>R5F74593LBG</b></td> <td><b>1.5M バイト</b></td> <td><b>512K バイト</b></td> <td><b>あり</b></td> </tr> </tbody> </table> <p>詳細は「付録 A」を参照してください。</p>	製品名	型名	ROM 容量	SHwyRAM 容量	FlexRay	SH74562	R5F74562KBG	1M バイト	256K バイト	なし	SH74593	<b>R5F74593LBG</b>	<b>1.5M バイト</b>	<b>512K バイト</b>	<b>あり</b>						
製品名	型名	ROM 容量	SHwyRAM 容量	FlexRay																		
SH74562	R5F74562KBG	1M バイト	256K バイト	なし																		
SH74593	<b>R5F74593LBG</b>	<b>1.5M バイト</b>	<b>512K バイト</b>	<b>あり</b>																		
1-9	<ul style="list-style-type: none"> <li>図1.1 ブロック図</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SH-4A コアのクロック</th> <th>ROM 容量</th> <th>SHwyRAM 容量</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>SH-4A コア (Max. 160 MHz)</td> <td>ROM (1M バイト)</td> <td>SHwyRAM (256K バイト)</td> </tr> <tr> <td>SH74593</td> <td>SH-4A コア (Max. <b>240</b> MHz)</td> <td>ROM (<b>1.5M</b> バイト)</td> <td>SHwyRAM (<b>512K</b> バイト)</td> </tr> </tbody> </table>	製品名	SH-4A コアのクロック	ROM 容量	SHwyRAM 容量	SH74562	SH-4A コア (Max. 160 MHz)	ROM (1M バイト)	SHwyRAM (256K バイト)	SH74593	SH-4A コア (Max. <b>240</b> MHz)	ROM ( <b>1.5M</b> バイト)	SHwyRAM ( <b>512K</b> バイト)									
製品名	SH-4A コアのクロック	ROM 容量	SHwyRAM 容量																			
SH74562	SH-4A コア (Max. 160 MHz)	ROM (1M バイト)	SHwyRAM (256K バイト)																			
SH74593	SH-4A コア (Max. <b>240</b> MHz)	ROM ( <b>1.5M</b> バイト)	SHwyRAM ( <b>512K</b> バイト)																			
1-10 1-15	<ul style="list-style-type: none"> <li>図1.2 ピン配置図 (上面透視図)</li> <li>表1.3 端子機能の端子番号A6</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>端子番号 A6</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>Vcc</td> </tr> <tr> <td>SH74593</td> <td><b>Vss</b></td> </tr> </tbody> </table> <p>詳細は「付録 B」を参照してください。</p>	製品名	端子番号 A6	SH74562	Vcc	SH74593	<b>Vss</b>															
製品名	端子番号 A6																					
SH74562	Vcc																					
SH74593	<b>Vss</b>																					
11-2	<ul style="list-style-type: none"> <li>図11.2 アドレス空間 (P0/U0領域) の29ビット物理アドレス空間 (シングルチップ)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>内蔵 ROM 容量 (先頭アドレス 終了アドレス)</th> <th>SHwyRAM 容量 (先頭アドレス 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>1M バイト (H 0000 0000 H 000F FFFF)</td> <td>256K バイト (H 1800 0000 H 1803 FFFF)</td> </tr> <tr> <td>SH74593</td> <td><b>1.5M</b> バイト (H 0000 0000 H <b>0017 FFFF</b>)</td> <td><b>512K</b> バイト (H 1800 0000 H <b>1807 FFFF</b>)</td> </tr> </tbody> </table> <p>詳細は「付録 C.1」を参照してください。</p>	製品名	内蔵 ROM 容量 (先頭アドレス 終了アドレス)	SHwyRAM 容量 (先頭アドレス 終了アドレス)	SH74562	1M バイト (H 0000 0000 H 000F FFFF)	256K バイト (H 1800 0000 H 1803 FFFF)	SH74593	<b>1.5M</b> バイト (H 0000 0000 H <b>0017 FFFF</b> )	<b>512K</b> バイト (H 1800 0000 H <b>1807 FFFF</b> )												
製品名	内蔵 ROM 容量 (先頭アドレス 終了アドレス)	SHwyRAM 容量 (先頭アドレス 終了アドレス)																				
SH74562	1M バイト (H 0000 0000 H 000F FFFF)	256K バイト (H 1800 0000 H 1803 FFFF)																				
SH74593	<b>1.5M</b> バイト (H 0000 0000 H <b>0017 FFFF</b> )	<b>512K</b> バイト (H 1800 0000 H <b>1807 FFFF</b> )																				
11-3	<ul style="list-style-type: none"> <li>図11.3 アドレス空間 (P1領域) の29ビット物理アドレス空間 (シングルチップ)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>内蔵 ROM 容量 (先頭アドレス 終了アドレス)</th> <th>SHwyRAM 容量 (先頭アドレス 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>1M バイト (H 8000 0000 H 800F FFFF)</td> <td>256K バイト (H 9800 0000 H 9803 FFFF)</td> </tr> <tr> <td>SH74593</td> <td><b>1.5M</b> バイト (H 8000 0000 H <b>8017 FFFF</b>)</td> <td><b>512K</b> バイト (H 9800 0000 H <b>9807 FFFF</b>)</td> </tr> </tbody> </table> <p>詳細は「付録 C.2」を参照してください。</p>	製品名	内蔵 ROM 容量 (先頭アドレス 終了アドレス)	SHwyRAM 容量 (先頭アドレス 終了アドレス)	SH74562	1M バイト (H 8000 0000 H 800F FFFF)	256K バイト (H 9800 0000 H 9803 FFFF)	SH74593	<b>1.5M</b> バイト (H 8000 0000 H <b>8017 FFFF</b> )	<b>512K</b> バイト (H 9800 0000 H <b>9807 FFFF</b> )												
製品名	内蔵 ROM 容量 (先頭アドレス 終了アドレス)	SHwyRAM 容量 (先頭アドレス 終了アドレス)																				
SH74562	1M バイト (H 8000 0000 H 800F FFFF)	256K バイト (H 9800 0000 H 9803 FFFF)																				
SH74593	<b>1.5M</b> バイト (H 8000 0000 H <b>8017 FFFF</b> )	<b>512K</b> バイト (H 9800 0000 H <b>9807 FFFF</b> )																				
11-4	<ul style="list-style-type: none"> <li>図11.4 アドレス空間 (P2領域) の29ビット物理アドレス空間 (シングルチップ)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>内蔵 ROM 容量 (先頭アドレス 終了アドレス)</th> <th>SHwyRAM 容量 (先頭アドレス 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>1M バイト (H A000 0000 H A00F FFFF)</td> <td>256K バイト (H B800 0000 H B803 FFFF)</td> </tr> <tr> <td>SH74593</td> <td><b>1.5M</b> バイト (H A000 0000 H <b>A017 FFFF</b>)</td> <td><b>512K</b> バイト (H B800 0000 H <b>B807 FFFF</b>)</td> </tr> </tbody> </table> <p>詳細は「付録 C.3」を参照してください。</p>	製品名	内蔵 ROM 容量 (先頭アドレス 終了アドレス)	SHwyRAM 容量 (先頭アドレス 終了アドレス)	SH74562	1M バイト (H A000 0000 H A00F FFFF)	256K バイト (H B800 0000 H B803 FFFF)	SH74593	<b>1.5M</b> バイト (H A000 0000 H <b>A017 FFFF</b> )	<b>512K</b> バイト (H B800 0000 H <b>B807 FFFF</b> )												
製品名	内蔵 ROM 容量 (先頭アドレス 終了アドレス)	SHwyRAM 容量 (先頭アドレス 終了アドレス)																				
SH74562	1M バイト (H A000 0000 H A00F FFFF)	256K バイト (H B800 0000 H B803 FFFF)																				
SH74593	<b>1.5M</b> バイト (H A000 0000 H <b>A017 FFFF</b> )	<b>512K</b> バイト (H B800 0000 H <b>B807 FFFF</b> )																				
11-5	<ul style="list-style-type: none"> <li>図11.5 アドレス空間 (P3領域) の29ビット物理アドレス空間 (シングルチップ)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>内蔵 ROM 容量 (先頭アドレス 終了アドレス)</th> <th>SHwyRAM 容量 (先頭アドレス 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>1M バイト (H C000 0000 H C00F FFFF)</td> <td>256K バイト (H D800 0000 H D803 FFFF)</td> </tr> <tr> <td>SH74593</td> <td><b>1.5M</b> バイト (H C000 0000 H <b>C017 FFFF</b>)</td> <td><b>512K</b> バイト (H D800 0000 H <b>D807 FFFF</b>)</td> </tr> </tbody> </table> <p>詳細は「付録 C.4」を参照してください。</p>	製品名	内蔵 ROM 容量 (先頭アドレス 終了アドレス)	SHwyRAM 容量 (先頭アドレス 終了アドレス)	SH74562	1M バイト (H C000 0000 H C00F FFFF)	256K バイト (H D800 0000 H D803 FFFF)	SH74593	<b>1.5M</b> バイト (H C000 0000 H <b>C017 FFFF</b> )	<b>512K</b> バイト (H D800 0000 H <b>D807 FFFF</b> )												
製品名	内蔵 ROM 容量 (先頭アドレス 終了アドレス)	SHwyRAM 容量 (先頭アドレス 終了アドレス)																				
SH74562	1M バイト (H C000 0000 H C00F FFFF)	256K バイト (H D800 0000 H D803 FFFF)																				
SH74593	<b>1.5M</b> バイト (H C000 0000 H <b>C017 FFFF</b> )	<b>512K</b> バイト (H D800 0000 H <b>D807 FFFF</b> )																				
12-1	<ul style="list-style-type: none"> <li>12. ROM</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>コード格納用フラッシュメモリ (ROM) 容量</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>1M バイト</td> </tr> <tr> <td>SH74593</td> <td><b>1.5M</b> バイト</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>12.1 概要</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>ユーザブートマット選択時に読み出し値が不定、書き込み/消去が無効になる領域</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>H 0000 8000 ~ H 000F FFFF</td> </tr> <tr> <td>SH74593</td> <td>H 0000 8000 ~ H <b>0017 FFFF</b></td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>図12.1 ROMのメモリマップ構成 のユーザマット</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>読み出し : 先頭アドレス 終了アドレス</th> <th>書き込み/消去 : 先頭アドレス 終了アドレス</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>H 0000 0000 H 000F FFFF</td> <td>H FD80 0000 H FD8F FFFF</td> </tr> <tr> <td>SH74593</td> <td>H 0000 0000 H <b>0017 FFFF</b></td> <td>H FD80 0000 H <b>FD97 FFFF</b></td> </tr> </tbody> </table> <p>詳細は「付録 D.1」を参照してください。</p>	製品名	コード格納用フラッシュメモリ (ROM) 容量	SH74562	1M バイト	SH74593	<b>1.5M</b> バイト	製品名	ユーザブートマット選択時に読み出し値が不定、書き込み/消去が無効になる領域	SH74562	H 0000 8000 ~ H 000F FFFF	SH74593	H 0000 8000 ~ H <b>0017 FFFF</b>	製品名	読み出し : 先頭アドレス 終了アドレス	書き込み/消去 : 先頭アドレス 終了アドレス	SH74562	H 0000 0000 H 000F FFFF	H FD80 0000 H FD8F FFFF	SH74593	H 0000 0000 H <b>0017 FFFF</b>	H FD80 0000 H <b>FD97 FFFF</b>
製品名	コード格納用フラッシュメモリ (ROM) 容量																					
SH74562	1M バイト																					
SH74593	<b>1.5M</b> バイト																					
製品名	ユーザブートマット選択時に読み出し値が不定、書き込み/消去が無効になる領域																					
SH74562	H 0000 8000 ~ H 000F FFFF																					
SH74593	H 0000 8000 ~ H <b>0017 FFFF</b>																					
製品名	読み出し : 先頭アドレス 終了アドレス	書き込み/消去 : 先頭アドレス 終了アドレス																				
SH74562	H 0000 0000 H 000F FFFF	H FD80 0000 H FD8F FFFF																				
SH74593	H 0000 0000 H <b>0017 FFFF</b>	H FD80 0000 H <b>FD97 FFFF</b>																				

ページ	内容																									
12-1	<ul style="list-style-type: none"> <li>12.1 概要</li> </ul>																									
12-2	<ul style="list-style-type: none"> <li>図12.2 ROMのブロック図 のROMマップ</li> </ul> <p>製品名 ユーザマップ容量</p> <p>SH74562 1M バイト</p> <p>SH74593 1.5M バイト</p>																									
12-3	<ul style="list-style-type: none"> <li>12.1 概要 の書き込み/消去単位</li> </ul> <p>製品名 128K バイトのブロック数</p> <p>SH74562 3 ブロック</p> <p>SH74593 7 ブロック</p> <ul style="list-style-type: none"> <li>図12.3 ユーザマップのブロック分割</li> </ul> <p>製品名 128K バイトのブロック名</p> <p>SH74562 EB17 ~ EB19</p> <p>SH74593 EB17 ~ EB23</p> <p>以下のブロック追加</p> <table border="1"> <thead> <tr> <th>ブロック名</th> <th>読み出し：先頭アドレス</th> <th>終了アドレス</th> <th>書き込み/消去：先頭アドレス</th> <th>終了アドレス</th> </tr> </thead> <tbody> <tr> <td>EB20</td> <td>H 0010 0000</td> <td>H 0011 FFFF</td> <td>H FD90 0000</td> <td>H FD91 FFFF</td> </tr> <tr> <td>EB21</td> <td>H 0012 0000</td> <td>H 0013 FFFF</td> <td>H FD92 0000</td> <td>H FD93 FFFF</td> </tr> <tr> <td>EB22</td> <td>H 0014 0000</td> <td>H 0015 FFFF</td> <td>H FD94 0000</td> <td>H FD95 FFFF</td> </tr> <tr> <td>EB23</td> <td>H 0016 0000</td> <td>H 0017 FFFF</td> <td>H FD96 0000</td> <td>H FD97 FFFF</td> </tr> </tbody> </table> <p>詳細は「付録D.2」を参照してください。</p>	ブロック名	読み出し：先頭アドレス	終了アドレス	書き込み/消去：先頭アドレス	終了アドレス	EB20	H 0010 0000	H 0011 FFFF	H FD90 0000	H FD91 FFFF	EB21	H 0012 0000	H 0013 FFFF	H FD92 0000	H FD93 FFFF	EB22	H 0014 0000	H 0015 FFFF	H FD94 0000	H FD95 FFFF	EB23	H 0016 0000	H 0017 FFFF	H FD96 0000	H FD97 FFFF
ブロック名	読み出し：先頭アドレス	終了アドレス	書き込み/消去：先頭アドレス	終了アドレス																						
EB20	H 0010 0000	H 0011 FFFF	H FD90 0000	H FD91 FFFF																						
EB21	H 0012 0000	H 0013 FFFF	H FD92 0000	H FD93 FFFF																						
EB22	H 0014 0000	H 0015 FFFF	H FD94 0000	H FD95 FFFF																						
EB23	H 0016 0000	H 0017 FFFF	H FD96 0000	H FD97 FFFF																						
12-4	<ul style="list-style-type: none"> <li>12.1 概要 のプロテクトモード</li> </ul> <p>製品名 説明</p> <p>SH74562 FWE 端子/モード端子によるハードウェアプロテクトと、FENTRY0 ビット/ロックビットによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み/消去に対するプロテクト状態を設定できます。FENTRY0 ビットはFCUによるROM書き込み/消去処理の許可/禁止を制御するためのビットです。</p> <p>SH74593 FWE端子/モード端子によるハードウェアプロテクトと、FENTRY1ビット、FENTRY0ビット/ロックビットによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み/消去に対するプロテクト状態を設定できます。FENTRY1ビット、FENTRY0ビットはFCUによるROM書き込み/消去処理の許可/禁止を制御するためのビットです。</p>																									
12-8	<ul style="list-style-type: none"> <li>12.3.2 フラッシュアクセスステータスレジスタ (FASTAT) のROMAEビット</li> </ul> <p>製品名 "1" セット条件</p> <p>SH74562</p> <ul style="list-style-type: none"> <li>FENTRYR レジスタが H'0000 以外の状態で、ROM 読み出し用アドレス H'0000 0000 ~ H'000F FFFF に対してリードアクセスを発行</li> <li>ユーザブートマップ選択時に ROM 書き込み/消去用アドレス H'FD80 0000 ~ H'FD8F FFFF 以外に対するアクセスを発行</li> </ul> <p>SH74593</p> <ul style="list-style-type: none"> <li>FENTRYR レジスタの FENTRY1 ビットが"1"かつ ROM P/E ノーマルモードの状態、ROM 書き込み/消去用アドレス H'FD90 0000 ~ H'FD97 FFFF に対してリードアクセスを発行</li> <li>FENTRYR レジスタの FENTRY1 ビットが"0"の状態、ROM 書き込み/消去用アドレス H'FD90 0000 ~ H'FD97 FFFF に対するアクセスを発行</li> <li>FENTRYR レジスタが H'0000 以外の状態で、ROM 読み出し用アドレス H'0000 0000 ~ H'0017 FFFF に対してリードアクセスを発行</li> <li>ユーザブートマップ選択時に ROM 書き込み/消去用アドレス H'FD80 0000 ~ H'FD80 7FFF 以外に対するアクセスを発行</li> </ul> <p>詳細は「付録D.3」を参照してください。</p>																									
12-14	<ul style="list-style-type: none"> <li>12.3.6 フラッシュP/Eモードエントリレジスタ (FENTRYR)</li> </ul> <p>製品名 説明</p> <p>SH74562 ROM を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRY0 ビットに"1"を設定する必要があります。</p> <p>SH74593 ROM を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRY1、0 のいずれかのビットに"1"を設定する必要があります。</p>																									

ページ	内容
12-14	<p>• 12.3.6 フラッシュP/Eモードエントリレジスタ (FENTRYR) のFEKEYビット</p> <p><b>製品名</b> ビット説明</p> <p>SH74562 FENTRY0 ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'AA : FENTRY0 ビットの書き換え許可 H'AA 以外 : FENTRY0 ビットの書き換え禁止</p> <p>SH74593 <b>FENTRY1ビット</b>、FENTRY0ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'AA : <b>FENTRY1ビット</b>、FENTRY0ビットの書き換え許可 H'AA以外 : <b>FENTRY1ビット</b>、FENTRY0ビットの書き換え禁止</p> <p>• 12.3.6 フラッシュP/Eモードエントリレジスタ (FENTRYR) のFENTRY1ビット</p> <p><b>製品名</b> R W ビット説明</p> <p>SH74562 0 0 ROM P/E モードエントリビット1 本MCUではこのビットをサポートしていませんので、書き込み値は常に"0"にしてください。</p> <p>SH74593 R W ROM P/E モードエントリビット1 ROM EB20~EB23 <b>ブロック (読み出し用アドレス : H'0010 0000 ~ H'0017 FFFF、書き込み/消去用アドレス : H'FD90 0000 ~ H'FD97 FFFF) を P/E モードに設定するためのビットです。</b> 0 : ROM EB20~EB23 <b>ブロック (0.5M バイト) はリードモード</b> 1 : ROM EB20~EB23 <b>ブロック (0.5M バイト) は P/E モード</b> <b>書き込みは、以下の条件をすべて満たす場合に有効です。</b></p> <ul style="list-style-type: none"> <li>• FPMON レジスタの FWE ビットが"1"</li> <li>• FSTATRO レジスタの FRDY ビットが"1"</li> <li>• <b>ワードアクセスで FEKEY ビットに H'AA 書き込み</b></li> </ul> <p><b>["0"クリア条件]</b></p> <ul style="list-style-type: none"> <li>• FSTATRO レジスタの FRDY ビットが"1"、かつ FPMON レジスタの FWE ビットが"0"の場合</li> <li>• <b>バイトアクセスで書き込んだ場合</b></li> <li>• <b>ワードアクセスで FEKEY ビットが H'AA 以外の状態で書き込んだ場合</b></li> <li>• <b>書き込み有効条件を満たした状態で、FENTRY1 ビットに"0"を書き込んだ場合</b></li> <li>• <b>書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合</b></li> </ul> <p><b>["1"セット条件]</b></p> <ul style="list-style-type: none"> <li>• <b>書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRY1 ビットに"1"を書き込んだ場合</b></li> </ul> <p>詳細は「付録D.4」を参照してください。</p>
12-22	<p>• 表12.5 FCUコマンドのフォーマットの【記号説明】</p> <p><b>製品名</b> RA:ROM 書き込み/消去用のアドレス</p> <p>SH74562 FENTRY0ビットが"1"の場合 : H FD80 000 ~ H FD8F FFFFの任意のアドレス</p> <p>SH74593 FENTRY0ビットが"1"の場合 : H FD80 000 ~ H FD8F FFFFの任意のアドレス FENTRY1ビットが"1"の場合 : H FD90 000 ~ H FD97 FFFFの任意のアドレス</p>
12-23	<p>• 図12.6 FCUのモード遷移図 (ROM関連)</p> <p><b>製品名</b> ROM リードモードから ROM P/E モードへの遷移</p> <p>SH74562 FENTRYRレジスタ = H 0001</p> <p>SH74593 FENTRYRレジスタ = H 0001 <b>または FENTRYRレジスタ = H 0002</b></p> <p>詳細は「付録D.5」を参照してください。</p> <p>• 12.6.2 FCUコマンド受け付け条件 (1) ROM リードモード</p> <p><b>製品名</b> 説明</p> <p>SH74562 FENTRYR レジスタの FENTRY0 ビットを"0"に設定した場合に、このモードに遷移します。</p> <p>SH74593 FENTRYRレジスタの<b>FENTRY1ビットとFENTRY0ビットのどちらも</b>"0"に設定した場合に、このモードに遷移します。</p>

ページ	内容
12-23	<ul style="list-style-type: none"> <li>12.6.2 FCUコマンド受け付け条件 (2) ROM P/Eモード</li> </ul> <p><b>製品名</b> 説明</p> <p>SH74562 ROMリードモード時にFENTRY0ビットを"1"に設定した場合に遷移するモードです。表12.6に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。H'FD80 0000~H'FD8F FFFFに対するリードアクセスは禁止されていませんが、読み出し値は不定となります。ROMデータの読み出しを行う場合は、ROMリードモードに遷移してから行ってください。FENTRY0ビットが"1"の状態ではH'FD80 0000~H'FD8F FFFFに対して周辺バスリードアクセスを発行した場合には、ROMアクセス違反が発生してFCUはコマンドロック状態になります(「12.8.3 エラープロテクト」を参照)。</p> <p>SH74593 ROMリードモード時に<b>FENTRY1ビットがFENTRY0ビットのいずれかを</b>"1"に設定した場合に遷移するモードです。表12.6に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。H'FD80 0000~H'FD97 FFFFに対するリードアクセスは禁止されていませんが、読み出し値は不定となります。ROMデータの読み出しを行う場合は、ROMリードモードに遷移してから行ってください。<b>FENTRY1ビットが"1"の状態ではH'FD90 0000~H'FD97 FFFFに対して周辺バスリードアクセスを発行した場合、またはFENTRY0ビットが"1"の状態ではH'FD80 0000~H'FD8F FFFFに対して周辺バスリードアクセスを発行した場合には、ROMアクセス違反が発生してFCUはコマンドロック状態になります(「12.8.3 エラープロテクト」を参照)。</b></p>
12-25	<ul style="list-style-type: none"> <li>図12.7 ROMリードモードとP/Eモード中のコマンド遷移図</li> </ul> <p><b>製品名</b> ROMリードモードからROM P/Eモードへの遷移</p> <p>SH74562 FENTRYRレジスタ = H 0001</p> <p>SH74593 FENTRYRレジスタ = H 0001 <b>または FENTRYRレジスタ = H 0002</b></p> <p>詳細は「付録D.6」を参照してください。</p>
12-26	<ul style="list-style-type: none"> <li>12.6.3 FCUコマンド使用方法 (1) ROM P/Eモード移行方法</li> </ul> <p><b>製品名</b> 説明</p> <p>SH74562 ROM関連のFCUコマンドを実行するためには、FENTRYRレジスタのFENTRY0ビットを設定して、FCUをROM P/Eモードに設定する必要があります(「12.6.2 FCUコマンド受け付け条件」を参照)。ROMに対するFCUコマンドを使用したい場合には、FENTRY0ビットを"1"に設定します。FENTRY0ビットの書き込み条件については、「12.3.6 フラッシュP/Eモードエントリレジスタ(FENTRYR)」を参照してください。</p> <p>SH74593 ROM関連のFCUコマンドを実行するためには、FENTRYRレジスタの<b>FENTRY1ビット、FENTRY0ビット</b>を設定して、FCUをROM P/Eモードに設定する必要があります(「12.6.2 FCUコマンド受け付け条件」を参照)。ROMの<b>前半1M/バイト、後半0.5M/バイト</b>に対するFCUコマンドを使用したい場合には、対応する<b>FENTRY1ビット、FENTRY0ビット</b>を"1"に設定します。<b>FENTRY1ビット、FENTRY0ビット</b>の書き込み条件については、「12.3.6 フラッシュP/Eモードエントリレジスタ(FENTRYR)」を参照してください。</p>
12-26	<ul style="list-style-type: none"> <li>図12.8 ROM P/Eモード移行フロー</li> </ul> <p><b>製品名</b> ROM P/Eモードに設定</p> <p>SH74562 FENTRY0ビットに"1"を設定する場合:H AA01書き込み</p> <p>SH74593 <b>FENTRY1ビットに"1"を設定する場合:H AA02書き込み</b> FENTRY0ビットに"1"を設定する場合:H AA01書き込み</p> <p>詳細は「付録D.7」を参照してください。</p>
12-27	<ul style="list-style-type: none"> <li>12.6.3 FCUコマンド使用方法 (2) ROM リードモード移行方法</li> </ul> <p><b>製品名</b> 説明</p> <p>SH74562 SuperHywayバス経由でROMを高速読み出しするためには、FENTRYRレジスタのFENTRY0ビットをクリアして、FCUをROMリードモードに設定する必要があります(「12.6.2 FCUコマンド受け付け条件」を参照)。</p> <p>SH74593 SuperHywayバス経由でROMを高速読み出しするためには、FENTRYRレジスタの<b>FENTRY1ビット、FENTRY0ビット</b>をクリアして、FCUをROMリードモードに設定する必要があります(「12.6.2 FCUコマンド受け付け条件」を参照)。</p>

ページ	内容
12-28	<ul style="list-style-type: none"> <li>12.6.3 FCUコマンド使用方法 (3) 書き込み方法</li> </ul> <p><b>製品名</b> <b>説明</b></p> <p>SH74562 第1～第131サイクルで指定可能なアドレスは、FENTRYRレジスタのFENTRY0ビットの設定によって異なります。FENTRY0ビットを"1"に設定した場合にはアドレスH'FD80 0000～H'FD8F FFFFを指定可能です。誤ったFENTRY0ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCUはエラーを検出しコマンドロック状態になります(「12.8.3 エラープロテクト」を参照)。</p> <p>SH74593 第1～第131サイクルで指定可能なアドレスは、FENTRYRレジスタの<b>FENTRY1ビット</b>、FENTRY0ビットの設定によって異なります。<b>FENTRY1ビットを"1"に設定した場合にはアドレスH'FD90 0000～H'FD97 FFFF</b>、FENTRY0ビットを"1"に設定した場合にはアドレスH'FD80 0000～H'FD8F FFFFを指定可能です。誤った<b>FENTRY1ビット</b>、FENTRY0ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCUはエラーを検出しコマンドロック状態になります(「12.8.3 エラープロテクト」を参照)。</p>
12-36	<ul style="list-style-type: none"> <li>12.8.1 ハードウェアプロテクト (1) FWE端子によるプロテクト</li> </ul> <p><b>製品名</b> <b>説明</b></p> <p>SH74562 FWEビットが"0"の場合には、FENTRYRレジスタのFENTRY0ビットに"1"を書き込めません。ROM P/Eモードに移行できないため、ROMの書き込み/消去が禁止された状態になります。FRDYビットが"1"かつFWE端子が"L"レベルの状態では、FCUはFENTRY0ビットをクリアしてROMの書き込み/消去を禁止します。</p> <p>SH74593 FWEビットが"0"の場合には、FENTRYRレジスタの<b>FENTRY1ビット</b>、FENTRY0ビットに"1"を書き込めません。ROM P/Eモードに移行できないため、ROMの書き込み/消去が禁止された状態になります。FRDYビットが"1"かつFWE端子が"L"レベルの状態では、FCUは<b>FENTRY1ビット</b>、FENTRY0ビットをクリアしてROMの書き込み/消去を禁止します。</p>
12-37	<ul style="list-style-type: none"> <li>12.8.2 ソフトウェアプロテクト (1) FENTRYRによるプロテクト</li> </ul> <p><b>製品名</b> <b>説明</b></p> <p>SH74562 FENTRY0ビットが"0"の場合には、ROM EB00～EB19ブロック(読み出し用アドレス:H'0000 0000～H'000F FFFF、書き込み/消去用アドレス:H'FD80 0000～H'FD8F FFFF)はROMリードモードになります。</p> <p>SH74593 <b>FENTRYRレジスタのFENTRY1ビットが"0"の場合には、ROM EB20～EB23ブロック(読み出し用アドレス:H'0010 0000～H'0017 FFFF、書き込み/消去用アドレス:H'FD90 0000～H'FD97 FFFF)はROMリードモードになります。</b> FENTRY0ビットが"0"の場合には、ROM EB00～EB19ブロック(読み出し用アドレス:H'0000 0000～H'000F FFFF、書き込み/消去用アドレス:H'FD80 0000～H'FD8F FFFF)はROMリードモードになります。</p>
12-38	<ul style="list-style-type: none"> <li>表12.7 エラープロテクト一覧</li> </ul> <p><b>製品名</b> ROM アクセス違反の内容</p> <p>SH74562 ・FENTRYRレジスタがH'0000以外の状態で、H'0000 0000～H'000F FFFFに対してリードアクセスを発行</p> <p>SH74593 ・<b>FENTRY1="1"かつROM P/E ノーマルモードの場合に、H'FD90 0000～H'FD97 FFFFに対するリードアクセスを発行</b></p> <p>・FENTRYRレジスタがH'0000以外の状態で、H'0000 0000～H'0017 FFFFに対してリードアクセスを発行</p> <p>詳細は「付録D.8」を参照してください。</p>
13-1	<ul style="list-style-type: none"> <li>13.1 概要</li> </ul>
13-2	<ul style="list-style-type: none"> <li>図13.2 アドレス空間 (29ビット物理アドレス空間(エリア6))</li> </ul> <p><b>製品名</b> SHwyRAM 容量(先頭アドレス - 終了アドレス)</p> <p>SH74562 256K バイト(H 1800 0000 ~ H 1803 FFFF)</p> <p>SH74593 <b>512K バイト(H 1800 0000 ~ H 1807 FFFF)</b></p> <p>詳細は「付録E」を参照してください。</p>
13-1	<ul style="list-style-type: none"> <li>図13.1 SHwyRAMのブロック図 のメモリ部</li> </ul> <p><b>製品名</b> ページ数 [容量]</p> <p>SH74562 ページ3 [64K バイト]</p> <p>SH74593 <b>ページ7 [64K バイト]</b></p>

ページ	内容																									
13-2	<ul style="list-style-type: none"> <li>図13.2 アドレス空間</li> </ul> <p>製品名 ページ</p> <p>SH74562 ページ0 ~ ページ3</p> <p>SH74593 ページ0 ~ <b>ページ7</b></p> <p>以下のページ追加</p> <table border="1"> <thead> <tr> <th>ページ</th> <th colspan="4">アドレス (29ビット物理アドレス)</th> </tr> </thead> <tbody> <tr> <td>ページ4</td> <td>H 1804 0000</td> <td>H 1804 FFFF</td> <td></td> <td></td> </tr> <tr> <td>ページ5</td> <td>H 1805 0000</td> <td>H 1805 FFFF</td> <td></td> <td></td> </tr> <tr> <td>ページ6</td> <td>H 1806 0000</td> <td>H 1806 FFFF</td> <td></td> <td></td> </tr> <tr> <td>ページ7</td> <td>H 1807 0000</td> <td>H 1807 FFFF</td> <td></td> <td></td> </tr> </tbody> </table> <p>詳細は「付録E」を参照してください。</p>	ページ	アドレス (29ビット物理アドレス)				ページ4	H 1804 0000	H 1804 FFFF			ページ5	H 1805 0000	H 1805 FFFF			ページ6	H 1806 0000	H 1806 FFFF			ページ7	H 1807 0000	H 1807 FFFF		
ページ	アドレス (29ビット物理アドレス)																									
ページ4	H 1804 0000	H 1804 FFFF																								
ページ5	H 1805 0000	H 1805 FFFF																								
ページ6	H 1806 0000	H 1806 FFFF																								
ページ7	H 1807 0000	H 1807 FFFF																								
14-1 14-2	<ul style="list-style-type: none"> <li>表14.1 入力周波数と内部クロックの関係</li> <li>図14.1 CPGのブロック図</li> </ul> <p>製品名 PLL 通倍比 (入力対 CPU)</p> <p>SH74562 ×8.</p> <p>SH74593 ×<b>12</b>.</p> <p>詳細は「付録F」を参照してください。</p>																									
14-1	<ul style="list-style-type: none"> <li>表14.1 入力周波数と内部クロックの関係</li> </ul> <p>製品名 CPU クロック (MHz)</p> <p>SH74562 160</p> <p>SH74593 <b>240</b></p> <p>詳細は「付録F」を参照してください。</p>																									
15-67	<ul style="list-style-type: none"> <li>表15.9 割り込み応答時間(最少時)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>NMI</th> <th>IRQ</th> <th>周辺モジュール</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>40Icyc + S × Icyc</td> <td>36Icyc + S × Icyc</td> <td>32Icyc + S × Icyc</td> <td>Icyc:Scyc: Pcyc = 4:2:1のとき</td> </tr> <tr> <td>SH74593</td> <td><b>55</b>Icyc + S × Icyc</td> <td><b>49</b>Icyc + S × Icyc</td> <td><b>43</b>Icyc + S × Icyc</td> <td>Icyc:Scyc: Pcyc = <b>6</b>:2:1のとき</td> </tr> </tbody> </table> <p>詳細は「付録G」を参照してください。</p>	製品名	NMI	IRQ	周辺モジュール	備考	SH74562	40Icyc + S × Icyc	36Icyc + S × Icyc	32Icyc + S × Icyc	Icyc:Scyc: Pcyc = 4:2:1のとき	SH74593	<b>55</b> Icyc + S × Icyc	<b>49</b> Icyc + S × Icyc	<b>43</b> Icyc + S × Icyc	Icyc:Scyc: Pcyc = <b>6</b> :2:1のとき										
製品名	NMI	IRQ	周辺モジュール	備考																						
SH74562	40Icyc + S × Icyc	36Icyc + S × Icyc	32Icyc + S × Icyc	Icyc:Scyc: Pcyc = 4:2:1のとき																						
SH74593	<b>55</b> Icyc + S × Icyc	<b>49</b> Icyc + S × Icyc	<b>43</b> Icyc + S × Icyc	Icyc:Scyc: Pcyc = <b>6</b> :2:1のとき																						
28-1	<ul style="list-style-type: none"> <li>表28.1 DRIiの概要</li> </ul> <p>製品名 アクセス領域</p> <p>SH74562 SHwyRAM 全領域 (256K バイト)</p> <p>SH74593 SHwyRAM 全領域 (<b>512K</b> バイト)</p> <p>詳細は「付録H.1」を参照してください。</p>																									
28-47	<ul style="list-style-type: none"> <li>28.3.23 DRIiアドレスリロードレジスタ0,1 (DRIiADRORLD, DRIiADR1RLD) のDRIADmRLDビット</li> </ul> <p>製品名 アクセス領域</p> <p>SH74562 アドレス 18~2 リロード値 (256K バイト領域)</p> <p>SH74593 アドレス 18~2 リロード値 (<b>512K</b> バイト領域)</p> <p>詳細は「付録H.2」を参照してください。</p>																									
28-48	<ul style="list-style-type: none"> <li>28.3.24 DRIiアドレスカウンタ0,1 (DRIiADROCT, DRIiADR1CT) のDRIADnビット</li> </ul> <p>製品名 アクセス領域</p> <p>SH74562 デスティネーションアドレス 18~2 (256K バイト領域)</p> <p>SH74593 デスティネーションアドレス 18~2 (<b>512K</b> バイト領域)</p> <p>詳細は「付録H.3」を参照してください。</p>																									
29-1	<ul style="list-style-type: none"> <li>表29.1 DROの概要</li> </ul> <p>製品名 アクセス領域</p> <p>SH74562 SHwyRAM 全領域 (256K バイト)</p> <p>SH74593 SHwyRAM 全領域 (<b>512K</b> バイト)</p> <p>詳細は「付録I」を参照してください。</p>																									

ページ	内容						
38-1	<ul style="list-style-type: none"> <li>表38.1 絶対最大定格</li> </ul> <table border="1" data-bbox="264 208 718 302"> <thead> <tr> <th>製品名</th> <th>消費電力 (Pd)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>1000 mW , Ta = -40 ~ +125</td> </tr> <tr> <td>SH74593</td> <td><b>1200</b> mW , Ta = -40 ~ <b>+105</b></td> </tr> </tbody> </table> <p>詳細は「付録 J.1」を参照してください。</p>	製品名	消費電力 (Pd)	SH74562	1000 mW , Ta = -40 ~ +125	SH74593	<b>1200</b> mW , Ta = -40 ~ <b>+105</b>
製品名	消費電力 (Pd)						
SH74562	1000 mW , Ta = -40 ~ +125						
SH74593	<b>1200</b> mW , Ta = -40 ~ <b>+105</b>						
38-1	<ul style="list-style-type: none"> <li>表38.1 絶対最大定格</li> </ul> <table border="1" data-bbox="264 398 582 492"> <thead> <tr> <th>製品名</th> <th>動作温度 (topr)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>-40 ~ +125</td> </tr> <tr> <td>SH74593</td> <td>-40 ~ <b>+105</b></td> </tr> </tbody> </table> <p>詳細は「付録 J.1」を参照してください。</p>	製品名	動作温度 (topr)	SH74562	-40 ~ +125	SH74593	-40 ~ <b>+105</b>
製品名	動作温度 (topr)						
SH74562	-40 ~ +125						
SH74593	-40 ~ <b>+105</b>						
38-12	<ul style="list-style-type: none"> <li>表38.14 DC特性 (消費電流)</li> </ul> <table border="1" data-bbox="264 589 746 683"> <thead> <tr> <th>製品名</th> <th>コア消費電流 (Vdd 電源) IDD</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>Max. 480 mA (Ick = 160 MHz)</td> </tr> <tr> <td>SH74593</td> <td>Max. <b>560</b> mA (Ick = <b>240</b> MHz)</td> </tr> </tbody> </table> <p>詳細は「付録 J.2」を参照してください。</p>	製品名	コア消費電流 (Vdd 電源) IDD	SH74562	Max. 480 mA (Ick = 160 MHz)	SH74593	Max. <b>560</b> mA (Ick = <b>240</b> MHz)
製品名	コア消費電流 (Vdd 電源) IDD						
SH74562	Max. 480 mA (Ick = 160 MHz)						
SH74593	Max. <b>560</b> mA (Ick = <b>240</b> MHz)						
38-13	<ul style="list-style-type: none"> <li>38.3 AC特性</li> </ul> <table border="1" data-bbox="264 779 662 873"> <thead> <tr> <th>製品名</th> <th>AC 特性のタイミング条件</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>Ta = -40 ~ +125</td> </tr> <tr> <td>SH74593</td> <td>Ta = -40 ~ <b>+105</b></td> </tr> </tbody> </table> <p>詳細は「付録 J.3」を参照してください。</p>	製品名	AC 特性のタイミング条件	SH74562	Ta = -40 ~ +125	SH74593	Ta = -40 ~ <b>+105</b>
製品名	AC 特性のタイミング条件						
SH74562	Ta = -40 ~ +125						
SH74593	Ta = -40 ~ <b>+105</b>						



## 付録 A.

## 1. 概要

## 1.2 製品一覧

表 1.2 に製品一覧表を示します。

表 1.2 製品一覧表

製品名	型名	ROM 容量	RAM 容量	パッケージ	FlexRay
SH74552	R5F74552KBG	1 M バイト	IL メモリ : 8 K バイト+	PRBG0176GA-A	あり
SH74562	R5F74562KBG		OL メモリ : 16 K バイト+		なし
SH74572	R5F74572LBG		SHwyRAM : 256 K バイト		あり
<b>SH74593</b>	<b>R5F74593LBG</b>	<b>1.5 M バイト</b>	IL メモリ : 8 K バイト+		<b>あり</b>
			OL メモリ : 16 K バイト+		
			SHwyRAM : <b>512</b> K バイト		

## 付録 B.

## 1. 概要

## 1.4 ピン配置図

図 1.2 にピン配置図を示します。

A1番のピンの位置  
↓

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		
A	Vss (N.C.)	PG0/ MOSI0/ TO40	PF5/ SCL/ (CTX3)	PF1/ CTX0	DET3OR5	Vss	PL8/ TIA14/ IRQ7/ DREQ3	PL6/ TIA12/ (TIF1A)	PH15/ DR0D7/ TO37/ DDC15	PH13/ DR0D5/ (TO35)/ DDC13	PH9/ DR0D1/ (TO31)/ DDC09/ CTS2#	PH5/ DR0D13/ TO25/ DDC05/ TIA01	PH2/ DR0D10/ TO22/ DDC02/ TIF1A	PH0/ DR0D8/ TO20/ DDC00/ TIF0A	Vss (N.C.)	A	
B	PG1/ MISO0/ TO41	PG2/ RSPCK0/ TO42	PG3/ TO43/ SSL00/ (IRQ7)	PF4/ SDA/ (CRX3)	PF0/ CRX0	ASEBRK#/ BRKACK	PL9/ TIA15/ AUDREVT#	PL5/ TIA11/ (TIF0B)	PL2/ DROWR	PH12/ DR0D4/ TO34/ DDC12	PH8/ DR0D0/ (TO30)/ DDC08/ RTS2#	PH4/ DR0D12/ TO24/ DDC04/ TIA00	PH1/ DR0D9/ TO21/ DDC01/ TIF0B	PH3/ DR0D11/ TO23/ DDC03/ TIF1B	PK14/ AUDRSYN#	B	
C	PG4/ IRO2/ TO44/ SSL01	Vss	WDT0VF#	Vdd	Vdd	Vdd	PL4/ TIA10/ (TIF0A)	Vss	Vcc	PH14/ DR0D6/ (TO36)/ DDC14/ IRQ1	PH10/ DR0D2/ (TO32)/ DDC10	PH6/ DR0D14/ TO26/ DDC06/ TIA02	PK12/ AUDRD3	PK13/ AUDRCLK	PK11/ AUDRD2	C	
D	FWE	RESET#	Vss	Vss	Vdd	Vdd	PL3/ IRQ6	Vss	Vcc	PH11/ DR0D3/ (TO33)/ DDC11	PH7/ DR0D15/ (TO27)/ DDC07/ TIA03	PK8/ DREQ2	PK9/ AUDRD0/ RTS3#	PK10/ AUDRD1/ CTS3#	PK6/ TXD3	D	
E	MD1	NMI	Vss	Vss								Vss	PK0/ IRQ5/ SSL10	PK5/ DINC4/ DMD3	PJ14/ TXD1/ MOS11	E	
F	XTAL	EXTAL	Vss	Vss								Vcc	PJ10/ RXD0/ PWMOFF4/ AD0TRG#	PJ15/ SCK1/ PSPCK1	PJ13/ RXD1/ MISO1	F	
G	PLLvss	PLLvcc	MD0	MPMD									PJ1/ (CTX0)/ FTXA	PJ7/ CTX3/ TIF2B/ TXD2	PJ12/ SCK0/ TCLKB/ (IRQ0)	PJ11/ TXD0/ ADDEND	G
H	TCK	TMS	MD2	TRST#									PJ0/ (CRX0)/ FRXA	PJ4/ CRX2/ FTXENA/ CTS0#	PJ6/ CRX3/ TIF2A/ RXD2/ TIA04	PJ5/ CTX2/ FTXENB/ SCK2	H
J	PD1/ PDIDATA1	TDO	TDI	Vss									PN1/ AD1IN1	PN0/ AD1IN0	PJ3/ CTX1/ FTXB/ RTS0#	PJ2/ CRX1/ FRXB	J
K	PD4/ PDIDATA4	PD3/ PDIDATA3	Vss	Vss									PN4/ AD1IN4	PN5/ AD1IN5	AVss	AVcc	K
L	PD8/ PDIDATA8	PD7/ PDIDATA7	Vcc	Vcc									PM0/ AD0IN0	AVss	AVREFL	AVREFH	L
M	PD9/ PDIDATA9	PD6/ PDIDATA6	PD0/ PDIDATA0	Vss	Vss	Vss	Vdd	Vdd	PC6/ CLKOUT/ TO36	Vcc	Vss	AVss	PM4/ AD0IN4	AVREFL	AVREFH	M	
N	PD10/ PDIWR	PD5/ PDIDATA5	PA4/ TO04/ DDB04	PA7/ TO07/ DDB07	PA10/ TO12/ DDB10/ PSLDATA0	PA11/ TO13/ DDB11/ PSLDATA1	Vdd	Vdd	PC1/ TO31/ MISO2	Vcc	Vss	PM2/ AD0IN2	PM6/ AD0IN6	PM9/ AD0IN9	AVss	N	
P	PD2/ PDIDATA2	PA3/ TO03/ DDB03	PA0/ TO00/ DDB00	PA2/ TO02/ DDB02	PA6/ TO06/ DDB06	PA9/ TO11/ DDB09/ PSLCLKA	PA13/ TO15/ DDB13/ PSLDATA3	PB1/ PWMOFF1/ DINB1	PC0/ TO30/ MOSI2/ (IRQ6)	PC3/ TO33/ SSL20/ IRQ0	PM15/ AD0IN15	PM13/ AD0IN13	PM11/ AD0IN11	PM8/ AD0IN8	AVcc	P	
R	Vss (N.C.)	PE15/ TO27/ PSLCLR	PA1/ TO01/ DDB01	PA5/ TO05/ DDB05	PA8/ TO10/ DDB08/ PSLCLKB	PA12/ TO14/ DDB12/ PSLDATA2	PB0/ PWMOFF0/ DINB0	PB3/ PWMOFF3/ DINB3	PC2/ TO32/ RSPCK2/ DREQ0	PC5/ TO35	PC14	PM14/ AD0IN14	PM12/ AD0IN12	PM10/ AD0IN10	AVcc (N.C.)	R	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		

図 1.2 ピン配置図 (上面透視図)

## 付録 C.

## 付録 C.1

## 11. アドレス空間

P0/U0領域～P4領域の詳細は図11.2～図11.6を参照してください。

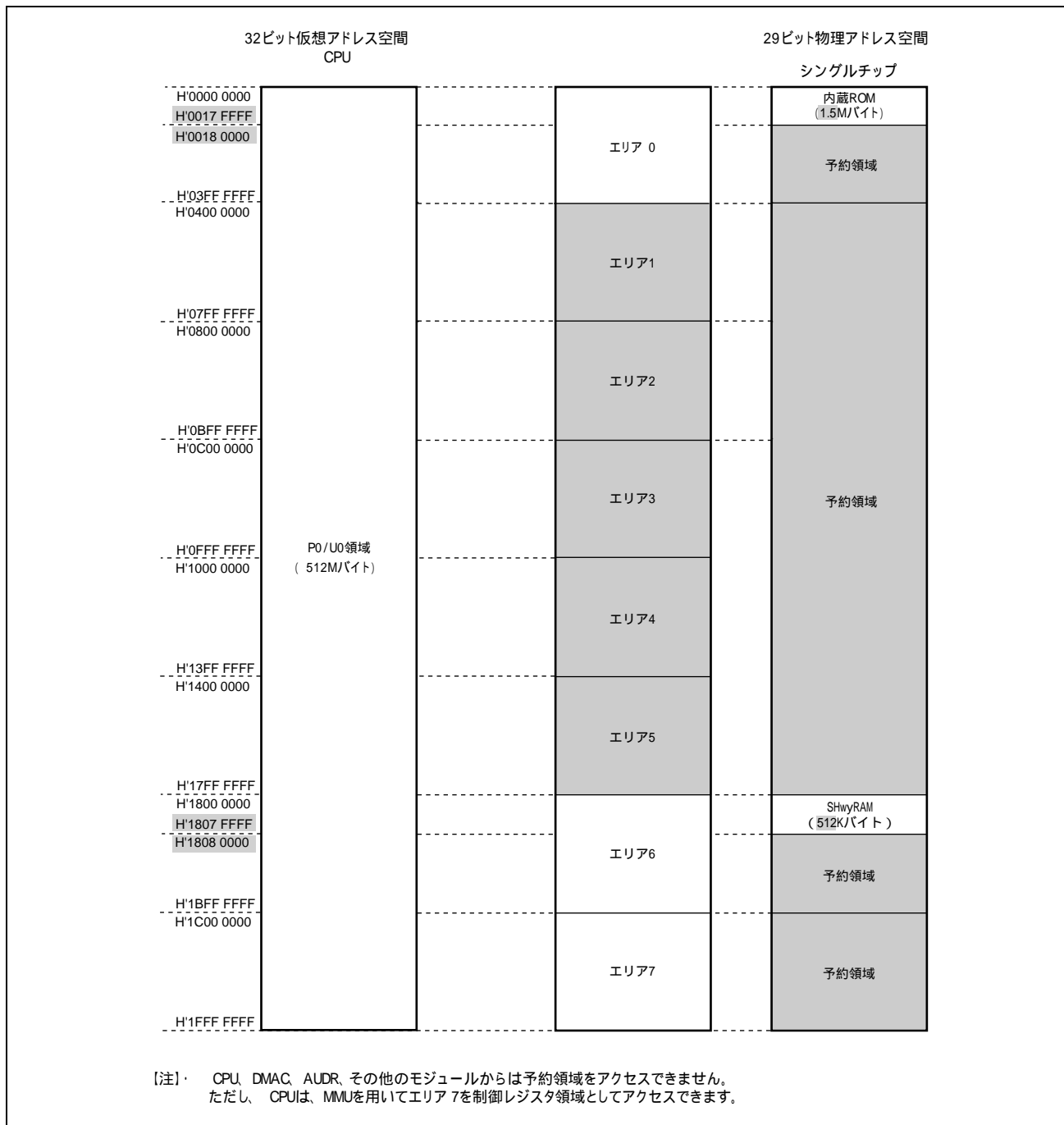


図 11.2 アドレス空間 (P0/U0 領域)

## 付録 C.2

## 11. アドレス空間

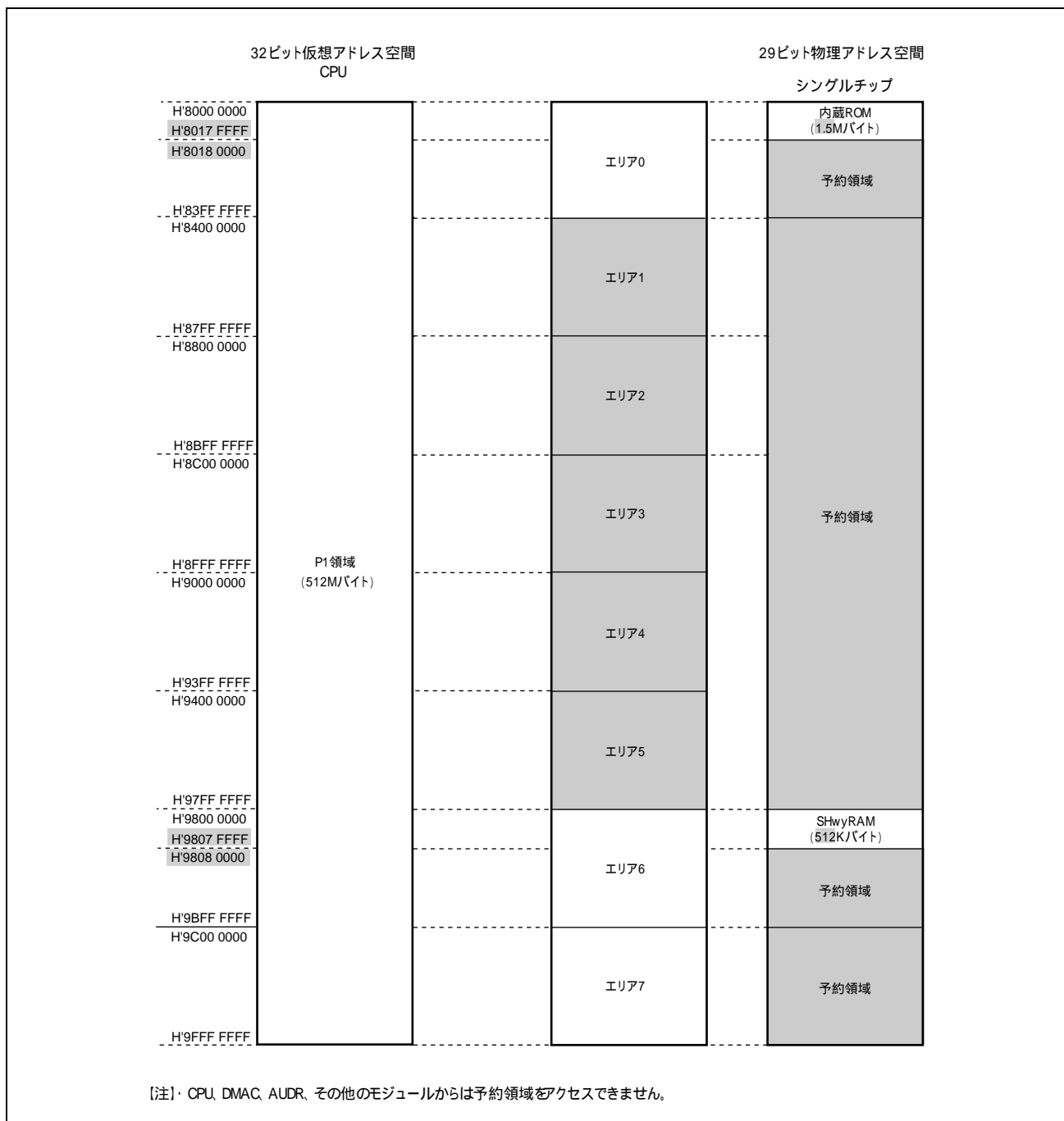


図 11.3 アドレス空間 (P1 領域)

## 付録 C.3

## 11. アドレス空間

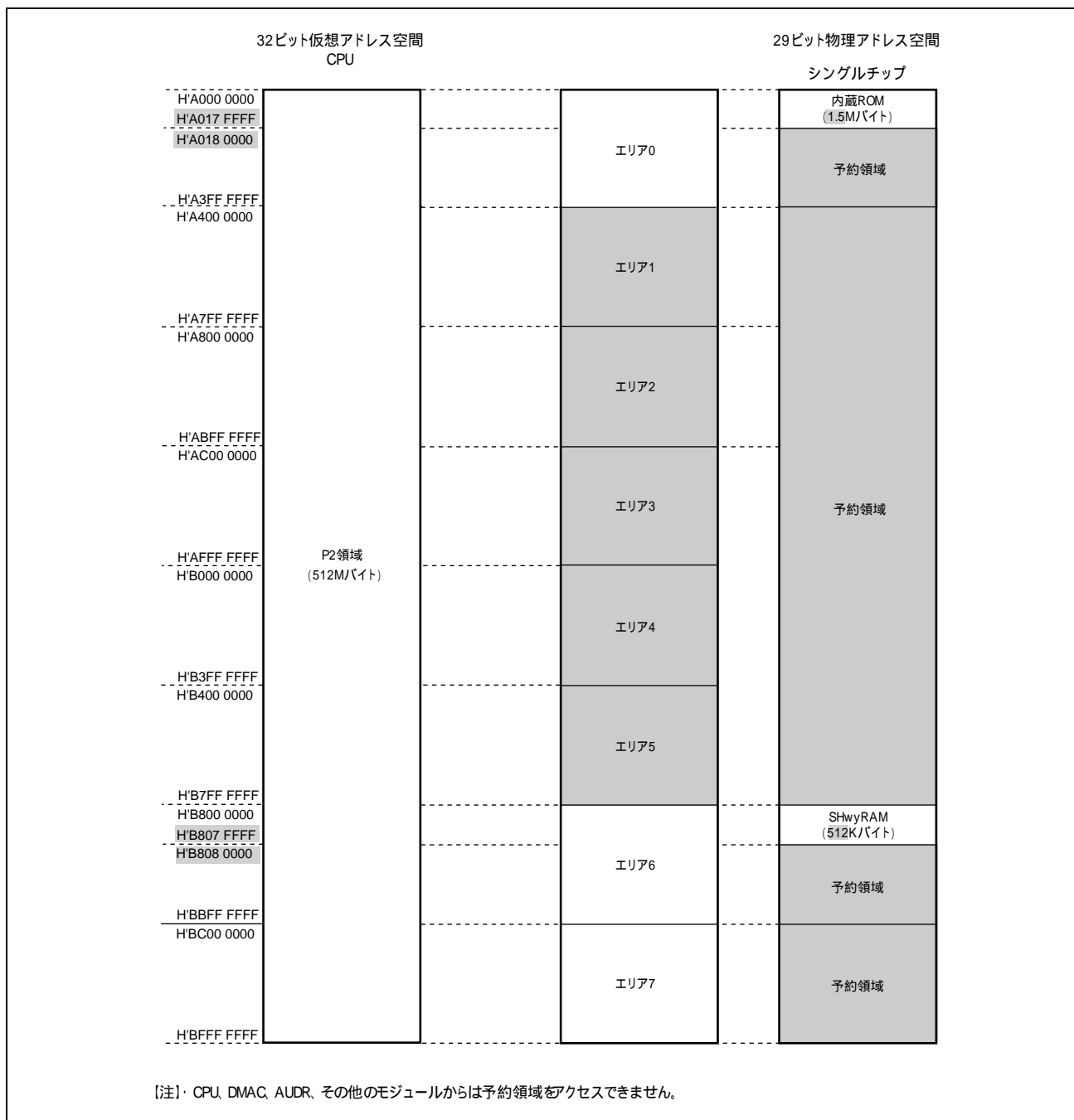


図 11.4 アドレス空間 (P2 領域)

## 付録 C.4

## 11. アドレス空間

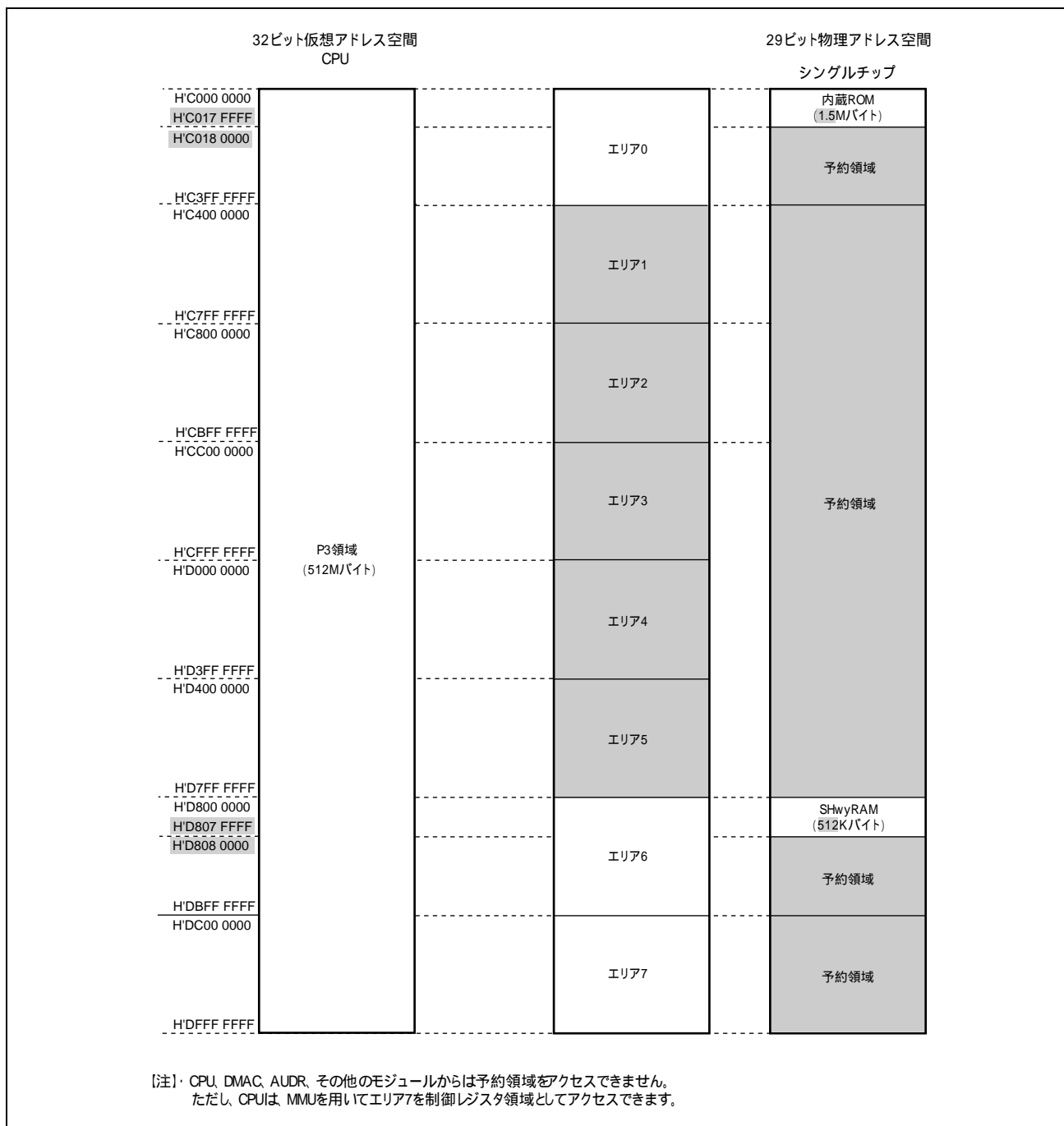


図 11.5 アドレス空間 (P3 領域)

## 付録 D.

## 12. ROM

## 付録 D.1

## 12.1 概要

- 2種類のフラッシュメモリマット

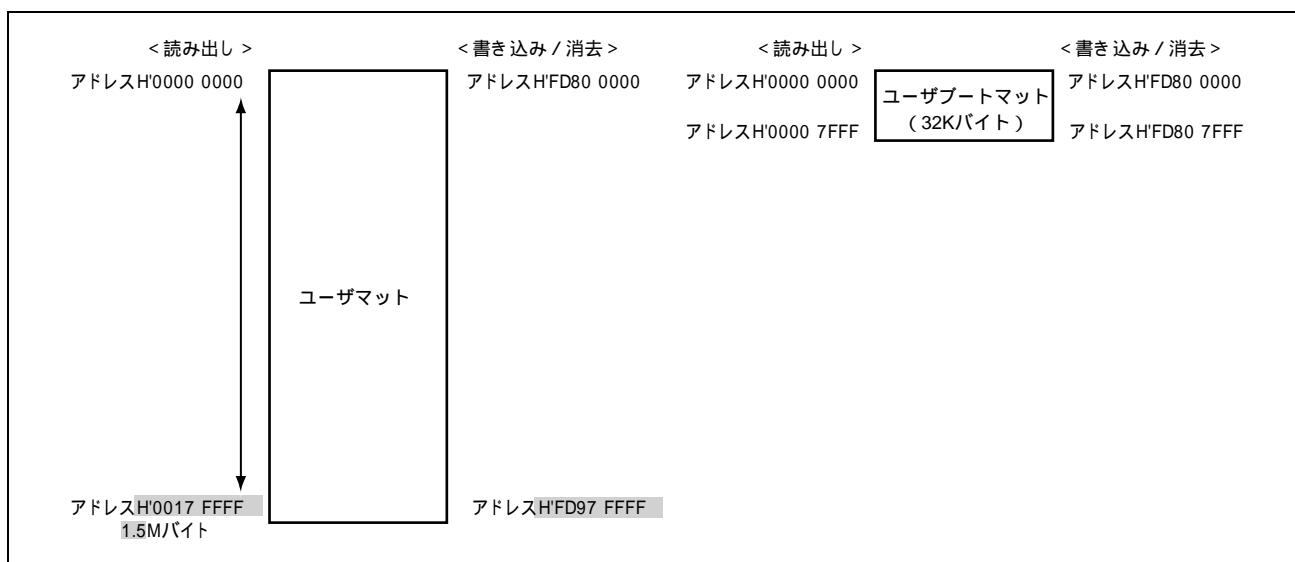


図 12.1 ROM のメモリマット構成





## 付録 D.3

## 12.3.2 フラッシュアクセスステータスレジスタ (FASTAT)

FASTATレジスタは、ROMに対するアクセス違反の有無を確認するためのレジスタです。FASTATレジスタのいずれかのビットが"1"にセットされると、FCUはコマンドロック状態になります（「12.8.3 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTATレジスタをH'10に設定した後、FCUにステータスクリアコマンドを発行する必要があります。

フラッシュアクセスステータスレジスタ (FASTAT)

&lt;P4領域アドレス : H'FDFF A810番地&gt;

ビット :	7	6	5	4	3	2	1	0
	ROM AE	-	-	CMD LK	-	-	-	-
リセット後の値 :	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7	ROMAE	0	R	*1	<p>アクセス違反ビット</p> <p>ROMに対するアクセス違反の有無を示すビットです。ROMAE ビットが"1"になると、FSTATR0 レジスタの ILGLERR ビットが"1"にセットされ、FCU はコマンドロック状態になります。</p> <p>0 : ROM アクセスエラーなし 1 : ROM アクセスエラーあり</p> <p>[ "0"クリア条件 ]</p> <ul style="list-style-type: none"> <li>ROMAE = "1"を読み出した後に、"0"を書き込み</li> </ul> <p>[ "1"セット条件 ]</p> <ul style="list-style-type: none"> <li><b>FENTRYR レジスタの FENTRY1 ビットが"1"かつ ROM P/E ノーマルモードの状態、ROM 書き込み/消去用アドレス H'FD90 0000 ~ H'FD97 FFFF に対してリードアクセスを発行</b></li> <li>FENTRYR レジスタの FENTRY0 ビットが"1"かつ ROM P/E ノーマルモードの状態、ROM 書き込み/消去用アドレス H'FD80 0000 ~ H'FD8F FFFF に対してリードアクセスを発行</li> <li><b>FENTRYR レジスタの FENTRY1 ビットが"0"の状態、ROM 書き込み/消去用アドレス H'FD90 0000 ~ H'FD97 FFFF に対するアクセスを発行</b></li> <li>FENTRYR レジスタの FENTRY0 ビットが"0"の状態、ROM 書き込み/消去用アドレス H'FD80 0000 ~ H'FD8F FFFF に対するアクセスを発行</li> <li>FENTRYR レジスタが H'0000 以外の状態で、ROM 読み出し用アドレス H'0000 0000 ~ H'0017 FFFF に対してリードアクセスを発行</li> <li>ユーザブートマット選択時に ROM に対してブロックイレーズ、プログラム、ロックビットプログラムコマンドを発行</li> <li>ユーザブートマット選択時に ROM 書き込み/消去用アドレス H'FD80 0000 ~ H'FD80 7FFF 以外に対するアクセスを発行</li> </ul>
6、5	-	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

ビット	シンボル	リセット 後の値	R	W	説 明
4	CMDLK	0	R	-	<p>FCU コマンドロックビット</p> <p>FCU がコマンドロック状態であることを示すビットです（「12.8.3 エラープロテクト」を参照）。</p> <p>0 : FCU はコマンドロック状態ではない</p> <p>1 : FCU はコマンドロック状態</p> <p>[ "0"クリア条件 ]</p> <ul style="list-style-type: none"> <li>FASTAT レジスタが H'10 の状態で、FCU がステータスクリアコマンドを処理した後</li> </ul> <p>[ "1"セット条件 ]</p> <ul style="list-style-type: none"> <li>FCU がエラーを検出しコマンドロック状態に遷移した後</li> </ul>
3~0	-	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

【注】 \*1 フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。

## 付録 D.4

## 12.3.6 フラッシュ P/E モードエントリレジスタ (FENTRYR)

FENTRYRレジスタは、ROMをP/Eモードに設定するために使用するレジスタです。FENTRYRレジスタは、ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。ROMをP/EモードにしてFCUのコマンド受け付けを可能にするためには、**FENTRY1、0のいずれかのビットに"1"を設定する必要があります。**ただし、本レジスタにH'0001、H'0002以外の値を設定した場合、FSTATR0レジスタのILGLERRビットが"1"にセットされて、FCUはコマンドロック状態になります。

FENTRYRは、ハードウェアリセットまたはFRESETRレジスタのFRESETビットを"1"にすることによって初期化されます。

フラッシュP/Eモードエントリレジスタ (FENTRYR)

&lt;P4領域アドレス : H'FDFF A902番地&gt;

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FEKEY								-	-	-	-	-	-	FENTRY1	FENTRY0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~8	FEKEY	すべて0	0	W	FENTRYR レジスタライトキーコードビット <b>FENTRY1、FENTRY0</b> ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'AA : <b>FENTRY1、FENTRY0</b> ビットの書き換え許可 H'AA 以外 : <b>FENTRY1、FENTRY0</b> ビットの書き換え禁止
7~2	-	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット後の値	R	W	説明
1	FENTRY1	0	R	W	<p>ROM P/E モードエントリビット 1</p> <p>ROM EB20 ~ EB23 ブロック (読み出し用アドレス : H'0010 0000 ~ H'0017 FFFF、書き込み/消去用アドレス : H'FD90 0000 ~ H'FD97 FFFF) を P/E モードに設定するためのビットです。</p> <p>0 : ROM EB20 ~ EB23 ブロック (0.5M バイト) はリードモード 1 : ROM EB20 ~ EB23 ブロック (0.5M バイト) は P/E モード</p> <p>書き込みは、以下の条件をすべて満たす場合に有効です。</p> <ul style="list-style-type: none"> <li>• FPMON レジスタの FWE ビットが"1"</li> <li>• FSTATR0 レジスタの FRDY ビットが"1"</li> <li>• ワードアクセスで FEKEY ビットに H'AA 書き込み</li> </ul> <p>[ "0"クリア条件 ]</p> <ul style="list-style-type: none"> <li>• FSTATR0 レジスタの FRDY ビットが"1"、かつ FPMON レジスタの FWE ビットが"0"の場合</li> <li>• バイトアクセスで書き込んだ場合</li> <li>• ワードアクセスで FEKEY ビットが H'AA 以外の状態で書き込んだ場合</li> <li>• 書き込み有効条件を満たした状態で、FENTRY1 ビットに"0"を書き込んだ場合</li> <li>• 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合</li> </ul> <p>[ "1"セット条件 ]</p> <ul style="list-style-type: none"> <li>• 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRY1 ビットに"1"を書き込んだ場合</li> </ul>

ビット	シンボル	リセット後の値	R	W	説明
0	FENTRY0	0	R	W	<p>ROM P/E モードエントリビット 0</p> <p>ROM EB00 ~ EB19 ブロック (読み出し用アドレス : H'0000 0000 ~ H'000F FFFF、書き込み/消去用アドレス : H'FD80 0000 ~ H'FD8F FFFF) を P/E モードに設定するためのビットです。</p> <p>0 : ROM EB00 ~ EB19 ブロック (1M バイト) はリードモード 1 : ROM EB00 ~ EB19 ブロック (1M バイト) は P/E モード</p> <p>書き込みは、以下の条件をすべて満たす場合に有効です。</p> <ul style="list-style-type: none"> <li>• FPMON レジスタの FWE ビットが"1"</li> <li>• FSTATR0 レジスタの FRDY ビットが"1"</li> <li>• ワードアクセスで FEKEY ビットに H'AA 書き込み</li> </ul> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• FSTATR0 レジスタの FRDY ビットが"1"、かつ FPMON レジスタの FWE ビットが"0"の場合</li> <li>• バイトアクセスで書き込んだ場合</li> <li>• ワードアクセスで FEKEY ビットが H'AA 以外の状態で書き込んだ場合</li> <li>• 書き込み有効条件を満たした状態で、FENTRY0 ビットに"0"を書き込んだ場合</li> <li>• 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRY0 ビットに"1"を書き込んだ場合</li> </ul>

## 付録 D.5

## 12.6.2 FCU コマンド受け付け条件

図12.6にFCUのモード遷移図を示します。

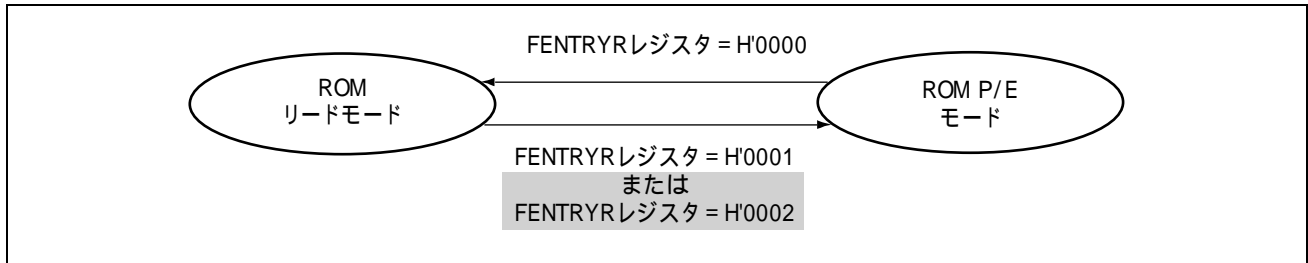


図 12.6 FCU のモード遷移図 (ROM 関連)

## 付録 D.6

## 12.6.2 FCU コマンド受け付け条件

## (2) ROM P/E モード

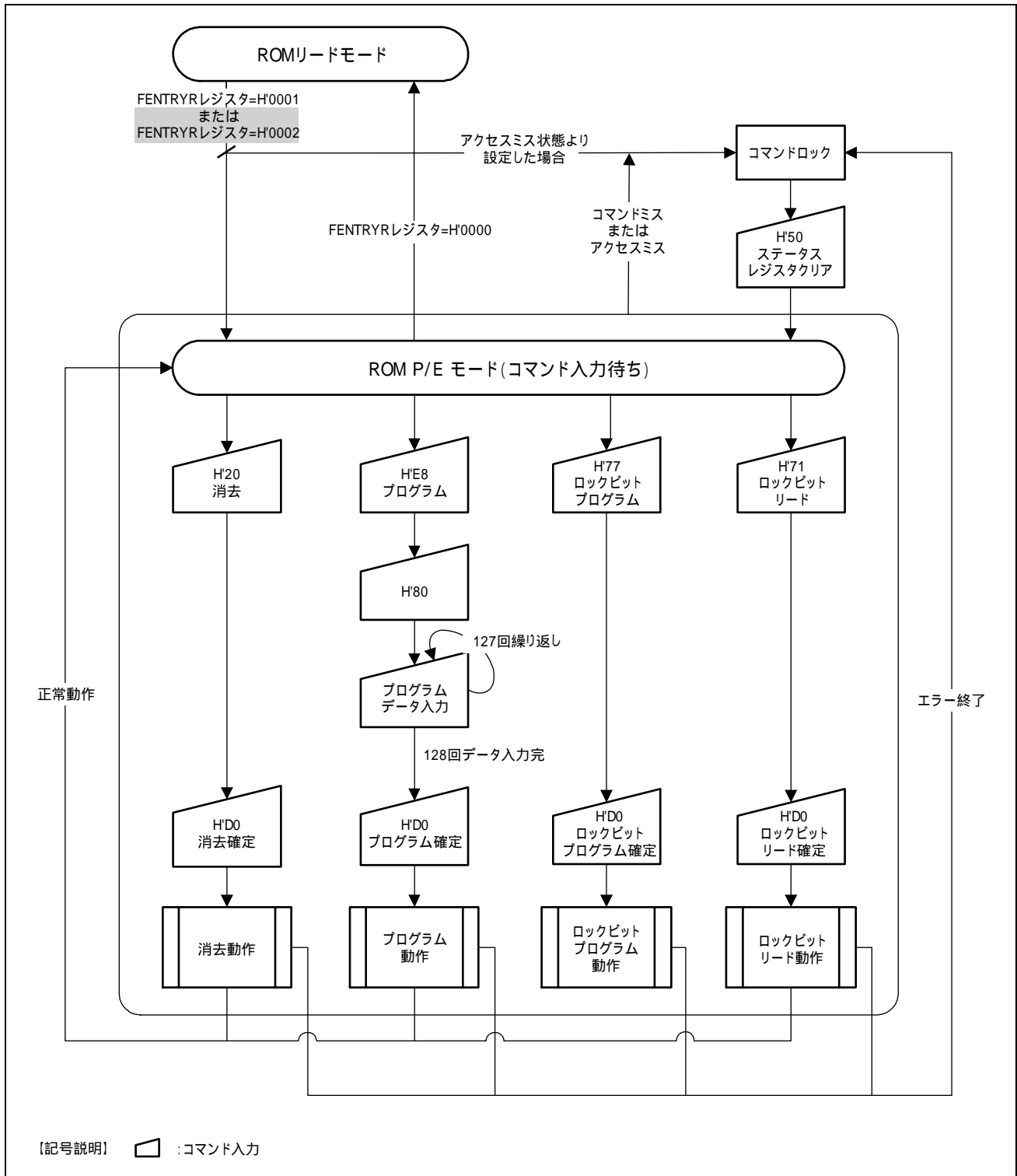


図 12.7 ROM リードモードと P/E モード中のコマンド遷移図

## 付録 D.7

## 12.6.3 FCU コマンド使用条件

## (1) ROM P/E モード移行方法

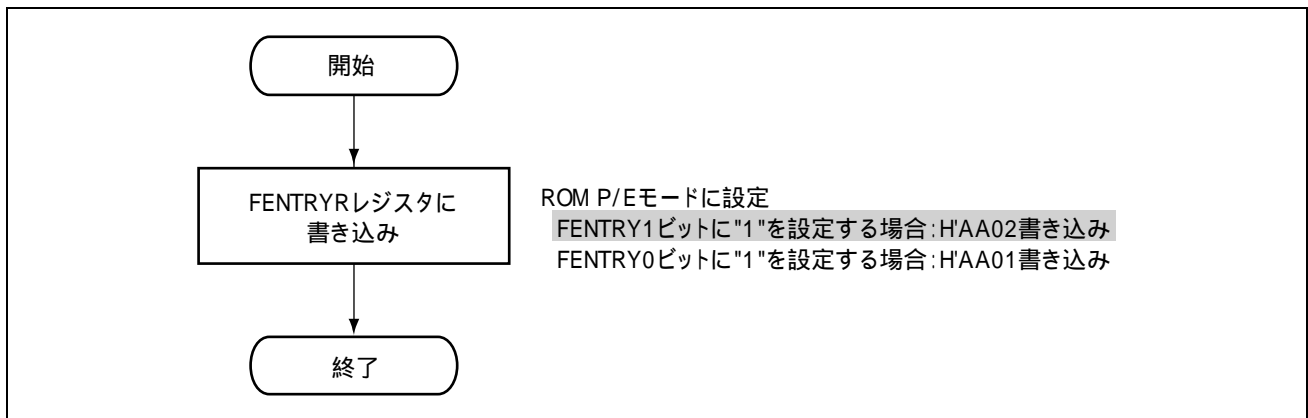


図 12.8 ROM P/E モード移行フロー



## 付録 D.8

## 12.8.3 エラープロテクト

表 12.7 エラープロテクト一覧

分類	内 容	ILGLERR ビット	ERSERR ビット	PRGERR ビット	FCUERR ビット	FRDTCT ビット	ROMAE ビット
FENTRYR 設定エラー	FENTRYR レジスタの上位 8 ビットにキーコード (H'AA) が与えられた状態で、下位 8 ビットに H'01 および H'02 以外の値を設定	1	0	0	0	0	0
不正コマンドエラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0	0
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0	0
	プログラムコマンドの 2 サイクル目で H'80 以外を指定	1	0	0	0	0	0
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1	0/1
消去エラー	消去処理中のエラー発生	0	1	0	0	0	0
	FPROTR レジスタの FPROTCN ビットが"0"の場合に、ロックビットが"0"に設定された消去ブロックにブロックイレーズコマンドを発行	0	1	0	0	0	0
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0	0
	FPROTR レジスタの FPROTCN ビットが"0"の場合に、ロックビットが"0"に設定された消去ブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0	0
FCU エラー	FCU 内部の CPU 処理でエラー発生	0	0	0	1	0	0
ROM アクセス違反	<b>FENTRY1 = "1"かつ ROM P/E ノーマルモードの場合に、H'FD90 0000 ~ H'FD97 FFFF に対するリードアクセスを発行</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>
	FENTRY0 = "1"かつ ROM P/E ノーマルモードの場合に、H'FD80 0000 ~ H'FD8F FFFF に対するリードアクセスを発行	1	0	0	0	0	1
	FENTRY1 = "0"で H'FD90 0000 ~ H'FD9F FFFF に対するアクセスを発行	1	0	0	0	0	1
	FENTRY0 = "0"で H'FD80 0000 ~ H'FD8F FFFF に対するアクセスを発行	1	0	0	0	0	1
	FENTRYR レジスタが H'0000 以外の状態で、H'0000 0000 ~ H'0017 FFFF に対してリードアクセスを発行	1	0	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み/消去系コマンド (プログラム/ロックビットプログラム/ブロックイレーズ) を発行	1	0	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み/消去用アドレス H'FD80 0000 ~ H'FD80 7FFF 以外に対するアクセスを発行	1	0	0	0	0	1

## 付録 E.

## 13. スーパーハイレイ RAM ( SHwyRAM )

## 13.1 概要

SHwyRAMは、図13.2に示すとおりエリア6の上位512Kバイト（29ビット物理アドレス空間のH'1800 0000 ~ H'1807 FFFF）に割り付けられています。

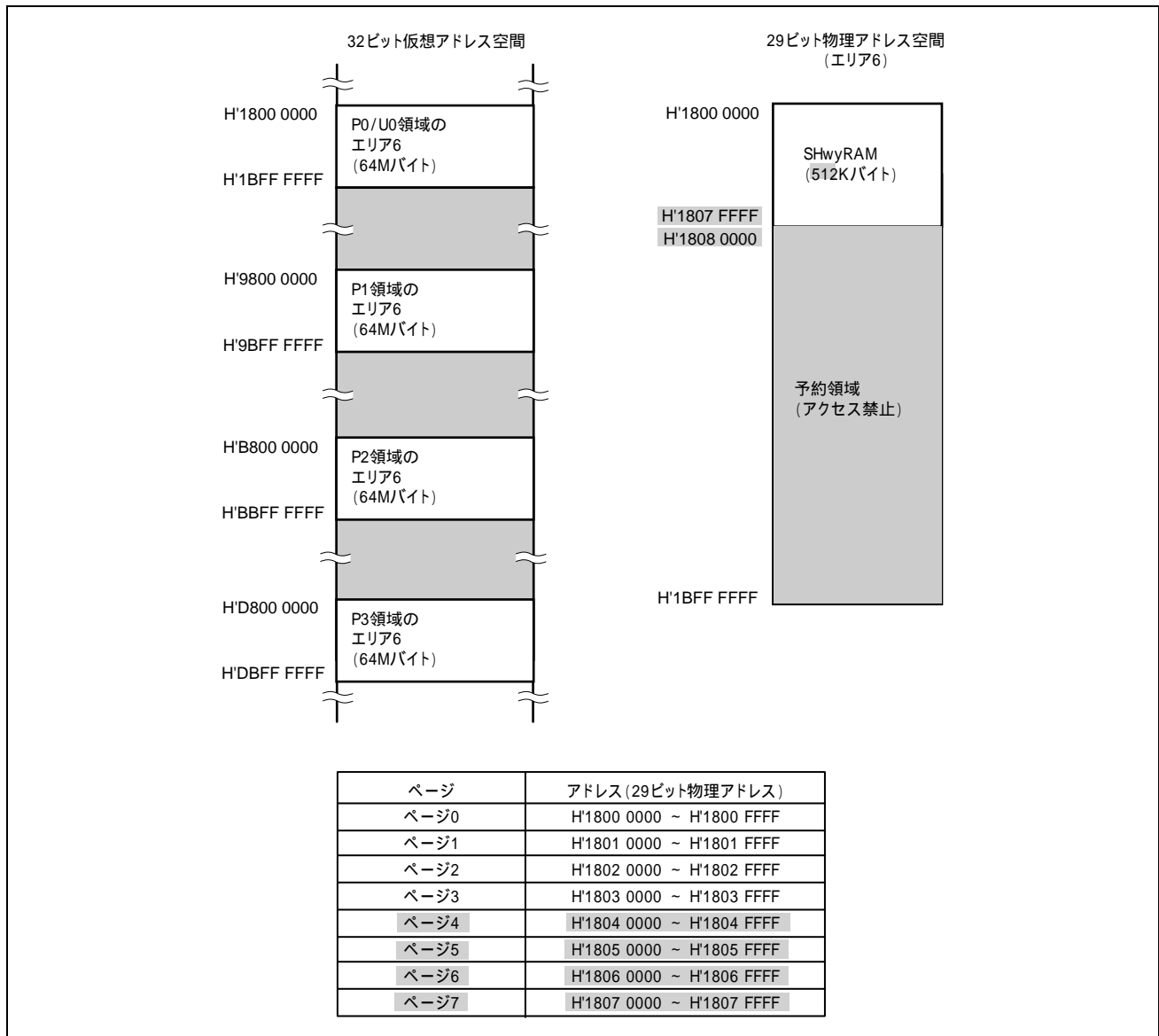


図 13.2 アドレス空間

## 付録 F.

## 14. クロック発振器 (CPG)

## 14.1 概要

表 14.1 に入力周波数と内部クロックの関係を示します。

表 14.1 入力周波数と内部クロックの関係

入力周波数 (MHz)	PLL 逡倍比 (入力対 CPU)	CPU クロック (MHz)	SHwy クロック (MHz)	周辺 クロック (MHz)	周辺 A クロック (MHz)	FlexRay クロック (MHz)
20	× 12	240	80	40	80	80

## 付録 G.

## 15. 割り込みコントローラ (INTC)

## 15.5 割り込み応答時間

表 15.9 に割り込み要求が発生してから、割り込みの例外処理が行われ、割り込みハンドラの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を示します。

表 15.9 割り込み応答時間

項 目	ステート数			備 考	
	NMI	IRQ	周辺モジュール		
優先順位判定時間	7Pcyc	6Pcyc	5Pcyc		
CPU が実行中のシーケンス終了までの待ち時間	S-1 (≥0) × 1cyc				
割り込み例外処理 (SR、PC の退避) から、割り込みハンドラの先頭命令フェッチの SHwy バスリクエストを発行するまでの時間	111cyc+1Scyc				
応答時間	合計	(S+10) 1cyc +1Scyc +7Pcyc	(S+10) 1cyc +1Scyc +6Pcyc	(S+10) 1cyc +1Scyc +5Pcyc	
	最小時	551cyc +S × 1cyc	491cyc +S × 1cyc	431cyc +S × 1cyc	1cyc:Scyc:Pcyc =6:2:1 のとき

- 【注】
- ・ 1cyc : CPU クロック (1ck) の 1 サイクル期間
  - ・ Scyc : SHwy クロック (SHck) の 1 サイクル期間
  - ・ Pcyc : 周辺クロック (Pck) の 1 サイクル期間
  - ・ S : 命令実行ステート数

## 付録 H.

## 28. ダイレクト RAM インพุットインタフェース (DRI)

## 付録 H.1

## 28.1 概要

表28.1にDRIiの概要、表28.2にDRIiの割り込み要求、DMA転送要求発生機能を示します。

表 28.1 DRIi の概要

項目	概要
チャンネル数	3 チャンネル
動作周波数	80MHz (PAck = 80MHz 時)
転送方式	クロック同期型パラレル入力
アクセス領域	SHwyRAM 全領域 (512K バイト)
最大転送速度	80M バイト/秒 (DRIi 動作周波数が 80MHz のとき)
データ取り込み最小周期	下記いずれも DRIi 動作周波数が 80MHz のときの最小周期です。 43.75ns (特殊モード禁止、入力データバス幅 16/8 ビット時) 25ns (特殊モード許可時)
データ取り込みバス幅	16、8 ビット
イベントカウンタ	16 ビット × 6 本 (DEC5 ~ DEC0)
バンク切り替え機能	データ格納先を SHwyRAM 上に 2 バンク指定可能
データ取り込みエッジ	立ち上がり、立ち下がり、両エッジから選択
取り込みタイミング調整機能	データ取り込みエッジ検出からデータ取り込みまでのタイミングを設定可能
間引き制御機能	イベントカウンタ (DEC5 ~ DEC0) を使用して選択的にデータ取り込み可能



## 付録 H.3

## 28.3.24 DRli アドレスカウンタ 0、1 (DRliADR0CT、DRliADR1CT)

DRliADR0CT、DRliADR1CTカウンタは、DRli転送先であるSHwyRAM上のアドレスのA18～A2を指定するためのカウンタで、A31～A19は"0"固定となっています。DRli転送が完了するたびに+4されます。DRliアドレスカウンタには2つの動作モードがあり、DRli転送制御レジスタ (DRliTRMCNT) のADMDビットでモード選択できます。

- 【注】・ DRli アドレスカウンタ値が SHwyRAM の配置されている領域以外の値であった場合、DRli はあたかも DRli 転送が完了したかのように動作しますが、取り込みデータの書き込みはどこにも行われません。
- ・ DRli 転送が完了したとき +4 される DRli アドレスカウンタは、DRli 転送制御レジスタ (DRliTRMCNT) の ADSL (アドレスカウンタ選択) ビットの設定により、そのときアクティブなものに対して行われます。
  - ・ このレジスタの書き換えは、必ず DRli 転送カウンタ (DRliTRMCT) がアンダフロー (H'0000 0000 : カウンタ停止) した状態で行ってください。

DRli0 アドレスカウンタ 0 (DRli0ADR0CT) <P4領域アドレス : H'FFBF C028番地>  
 DRli1 アドレスカウンタ 0 (DRli1ADR0CT) <P4領域アドレス : H'FFBF D028番地>  
 DRli2 アドレスカウンタ 0 (DRli2ADR0CT) <P4領域アドレス : H'FFBF E028番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRIAD0		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRIAD0														—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DRli0 アドレスカウンタ 1 (DRli0ADR1CT) <P4領域アドレス : H'FFBF C030番地>  
 DRli1 アドレスカウンタ 1 (DRli1ADR1CT) <P4領域アドレス : H'FFBF D030番地>  
 DRli2 アドレスカウンタ 1 (DRli2ADR1CT) <P4領域アドレス : H'FFBF E030番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRIAD1		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRIAD1														—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000 >

ビット	シンボル	リセット後の値	R	W	説明
31～19	-	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18～2	DRIADn	すべて 0	R	W	デスティネーションアドレスの 18～2 (512K バイト領域)
1、0	-	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 n=0、1

## 付録 I.

## 29. ダイレクト RAM アウトプットインタフェース (DRO)

## 29.1 概要

表29.1にDROの概要を示します。

表 29.1 DRO の概要

項目	概要
転送方式	ストローブ方式パラレル出力
アクセス領域	SHwyRAM 全領域 (512K バイト)
出力データ幅	8 ビットと 16 ビットから選択
最大転送クロック	10MHz
最大転送レート	20M バイト/秒 (16 ビット幅選択時、Pck = 40MHz 時)
ストローブ極性	"H"アクティブ/"L"アクティブから選択
タイミング調整機能	ストローブエッジに対して、セットアップおよびホールドを 1Pck 単位でプログラム可能
割り込み要求	あらかじめ設定した数のデータ出力が完了した時点で割り込み要求を発生

## 付録 J.

## 38. 電気的特性

## 付録 J.1

## 38.1 絶対最大定格

表 38.1 に絶対最大定格を示します。

表 38.1 絶対最大定格

項目		記号	定格値	単位	備考
電源電圧	Vdd	Vdd	-0.3 ~ +2.0	V	
	Vcc、 PLLVcc	Vcc	-0.3 ~ +6.5	V	
入力電圧	Vcc 電源関連端子	Vin	-0.3 ~ Vcc+0.3	V	
アナログ電源電圧		AVcc	-0.3 ~ +6.5	V	
アナログ基準電圧		AVREFH	-0.3 ~ AVcc+0.3	V	AVREFH > AVREFL
		AVREFL	-0.3 ~ AVss+0.3	V	
アナログ入力電圧		VAN	-0.3 ~ AVcc+0.3	V	
Vss 差動電圧		Vss - PLLVss	-0.1 ~ +0.1	V	
		Vss - AVss	-0.1 ~ +0.1	V	
		PLLVss - AVss	-0.1 ~ +0.1	V	
最大入力電流* <sup>2</sup> (1 端子当たり)	デジタル入力端子	I <sub>max</sub>	-20 ~ +20	mA	
	アナログ入力端子	I <sub>max</sub>	-20 ~ +20	mA	
消費電力		P <sub>d</sub>	<b>1200</b>	mW	T <sub>a</sub> =-40 ~ +105
動作温度* <sup>1</sup>		t <sub>opr</sub>	-40 ~ +105		
保存温度		t <sub>stg</sub>	-55 ~ +125		実装前

## 【使用上の注意】

絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での MCU の使用は MCU の永久破壊、MCU を実装したシステムへのダメージを生じる場合があります。

【注】 \*<sup>1</sup> 85 を超える連続動作を保証するものではありません。85 を超える応用を検討されているお客様は弊社までお問い合わせください。

\*<sup>2</sup> 電流注入時間の最大は 10ms 以内、合計は 100mA 以内としてください。



## 付録 J.2

## 38.2 DC 特性

表 38.14 DC 特性 (消費電流)

推奨動作条件 :  $V_{CC}=PLL_{VCC}=5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $AV_{CC}=5.0V \pm 0.5V/3.3V \pm 0.3V$ 

項目		記号	Min.	Typ.	Max.	単位	測定条件
コア消費電流 (Vdd 電源)		IDD	-	-	560	mA	I <sub>clk</sub> = 240MHz
システム系の消費電流 (Vcc 電源) *1 (フラッシュメモリ書き込み/消去動作を含む)		ICC	-	-	90	mA	P <sub>clk</sub> = 40MHz
PLL 消費電流 (PLL <sub>VCC</sub> 電源)		I <sub>PLL</sub>	-	-	10	mA	
アナログ電源電流 (AV <sub>CC</sub> 電源)	A/D 変換中	IA <sub>VCC</sub>	-	-	10	mA	2 モジュール、 P <sub>clk</sub> = 40MHz
	A/D 変換待機中		-	-	1	mA	
ADC 基準電源電流 (AV <sub>REF</sub> )	A/D 変換中	IA <sub>REF</sub>	-	-	4	mA	2 モジュール、 P <sub>clk</sub> = 40MHz
	A/D 変換待機中		-	-	3.5	mA	

【注】 \*1 電源立ち上げ時に 100mA 程度の突入電流が発生します。

- ・ A/D 変換器を使用しないとき、AV<sub>CC</sub> 端子、AV<sub>REF</sub> 端子、AV<sub>SS</sub> 端子を開放しないでください。
- ・ 消費電流値はすべての出力端子を無負荷状態で、V<sub>IHmin</sub> = V<sub>CC</sub> - 0.5V、V<sub>IL</sub> = 0.5V のときの値です。

## 付録 J.3.

## 38.3 AC 特性

- 指定のないタイミング条件は、  
 $V_{dd}=1.5V + 0.15V$ ,  $-0.1V$ ,  $V_{cc}=PLL_{Vcc}=5.0V \pm 0.5V/3.3V \pm 0.3V$ ,  
 $AV_{cc}=5.0V \pm 0.5V/3.3V \pm 0.3V$ ,  $AVREFH=4.5V \sim AV_{cc}/3.0V \sim AV_{cc}$ ,  
 $V_{ss}=PLL_{Vss}=AV_{ss}=AVREFL=0V$ ,  $T_a=-40 \sim +105$   
 です。

指定のない入力しきい値は、同一チャンネルにおけるモジュールの入力端子をすべて同じ特性で設定した条件の値です。

指定のない出力ドライブ能力については、同一チャンネルにおけるモジュールの出力端子をすべて同じドライブ能力で設定した条件の値です。

- 規格値は測定端子の出力負荷容量が $15pF \sim 50pF$ のときの保証値です。  
 ただし、CLKOUT端子は $15pF \sim 30pF$ です。

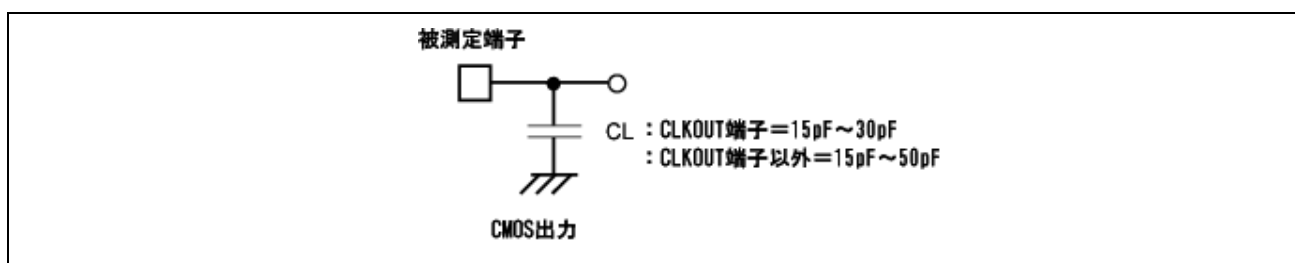


図 38.1 出力スイッチング特性測定回路

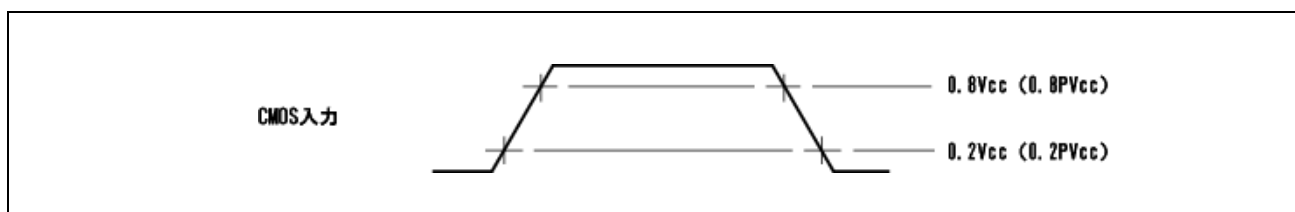


図 38.2 特性測定時入力波形とタイミング判定点

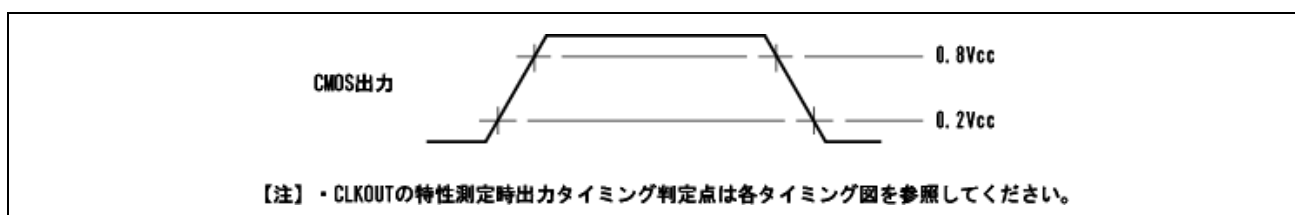


図 38.3 特性測定時出力タイミング判定点

## 改訂記録

## SH74593 データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2012.06.26	-	初版発行
1.20	2012.09.10	全体	ドキュメント管理番号を追加
		1	表 1.1 製品一覧表： ・「SH7457 グループ」を追加
		1, 2	表 2.1 SH74562 と SH74593 の仕様差異： ・ROM/RAM 容量の差異を追加
		5, 6	以下の付録を追加 ・付録 C 「11. アドレス空間」 ・付録 D 「12. ROM」 ・付録 E 「13. スーパーハイスピード RAM (SHwyRAM)」 ・付録 H 「28. ダイレクト RAM インพุットインタフェース (DRI)」 ・付録 I 「29. ダイレクト RAM アウトプットインタフェース (DRO)」
		5, 6	付録の番号を変更 ・「14. クロック発振器 (CPG)」 : 付録 C ==> 付録 F ・「15. 割り込みコントローラ (INTC)」 : 付録 D ==> 付録 G ・「38. 電気的特性」 : 付録 E ==> 付録 J
		9	付録 A 表 1.2 製品一覧表： ・「SH7457 グループ」を追加
		最終ページ	「製品ご使用上の注意事項」、「ご注意書き」を追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないで行ってください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>