

600/1200 MHz Arm® Cortex®-A55 デュアル/シングル MPCore、400/800 MHz デュアル Arm® Cortex®-R52 で、FPU および NEON™ を内蔵し、2.0 MB 内蔵 SRAM、16 ビット LPDDR4-1600、イーサネット MAC、EtherCAT、USB 2.0 ハイスピード、PCI Express Gen3、SD カードホストインタフェース、NAND フラッシュコントローラ、CAN/CANFD、xSPI や ΔΣ インタフェースなどの多種多様な通信インタフェース、エンコーダインタフェース、およびセキュリティ機能を搭載

特長

■ 内蔵 64 ビット Arm Cortex-A55 プロセッサ

- デュアル/シングル MPCore コア
- 最高動作周波数：
 - コア：600/1200 MHz
 - DSU：500/1000 MHz
- 64 ビット Arm Cortex-A55 デュアル/シングル MPCore コア (revision r2p0)
- アドレス空間：32 GB
- L1 キャッシュ：
 - I キャッシュ：32 KB (パリティ付き)
 - D キャッシュ：32 KB (ECC 付き)
- L2 キャッシュ：128 KB (ECC 付き)
- L3 キャッシュ：256 KB (ECC 付き)
- NEON/FPU 対応
- 暗号拡張機能対応 (セキュリティ製品のみ)
- Arm V8.2-A アーキテクチャ

■ 内蔵 32 ビット Arm Cortex-R52 プロセッサ

- 動作周波数 400/800 MHz の高速リアルタイム制御
- デュアル 32 ビット Arm Cortex-R52 (revision r1p4) を内蔵
- ECC 付き密接合メモリ (TCM)
 - CPU0、CPU1：512 KB/64 KB
- ECC 付き命令キャッシュ/データキャッシュ
 - CPU0、CPU1：キャッシュあたり、16 KB
- 高速割り込み
- NEON/FPU 対応
- 8 段パイプラインのハーバードアーキテクチャ
- メモリプロテクションユニット (MPU) 対応
- Arm CoreSight アーキテクチャで JTAG および SWD インタフェースによるデバッグをサポート
- DCLS (デュアルコアロックステップ) のサポートなし

■ 低消費電力

- スタンバイモード、モジュールストップ機能

■ 内蔵 SRAM

- 2.0 MB の ECC 付き内蔵 SRAM
- 200 MHz

■ LPDDR4 SDRAM メモリインタフェース

- データ転送：1.6 Gbps
- バス幅：16 ビット
- バンク：1
- サイズ：最大 16 Gb

■ データ転送

- DMAC: 16 チャンネル×3 ユニット

■ イベントリンクコントローラ

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU がスタンバイ状態でも、モジュール間のリンク動作が可能

■ リセットと電源電圧制御

- 端子リセットを含む 10 個のリセット要因

■ クロック機能

- 外部クロック/発振器入力周波数：25 MHz
- CPU クロック周波数：600/1200 MHz (Cortex-A55)、400/800 MHz (Cortex-R52)
- システムクロック周波数：400 MHz (A-Bus)、200 MHz (R-Bus)
- 低速オンチップオシレータ (LOCO)：240 kHz

■ セーフティ機能

- レジスタライトプロテクション、入力クロック発振停止の検出および CRC
- マスタメモリプロテクションユニット (MPU)

■ セキュリティ機能 (オプション)

- 暗号化によるセキュリティを備えたブートモード
- JTAG 認証
- 暗号化アクセラレータ
- TRNG
- Cortex-A55 暗号拡張
- TrustZone

■ エンコーダインタフェース

- 8 または 4 チャンネル
- EnDat 2.2、BiSS-C、A-format、HIPERFACE DSL、EnDat 3、および BiSS-Line 準拠のインタフェース
- エンコーダからの周波数分周出力

■ 多種多様な通信機能を内蔵

- イーサネット
 - EtherCAT スレーブコントローラ：3 ポート
 - イーサネットスイッチ：3 ポート
 - イーサネット MAC：1 ポート×3 ユニット
 - HSR/PRP スイッチ：2 ポート
- USB2.0 ハイスピードホスト/ファンクション：1 チャンネル
- ISO11898-1 準拠の CAN/CANFD：2 チャンネル
- 16 バイトの送受信 FIFO 搭載 SCI：6 チャンネル+8 チャンネル (エンコーダ用)
- I2C バスインタフェース：3 チャンネル (最高 400 kbps 転送)
- SPI：4 チャンネル
- xSPI：2 チャンネル
- PCI Express Gen2：1 レーン×1 ポート
- SD カードホストインタフェース：2 チャンネル
- NAND フラッシュコントローラ

■ 外部ホストインタフェース

- シリアルホストインタフェース
- パラレルホストインタフェース

■ 外部アドレス空間

- 高速データ転送バス (最高 100 MHz)
- 最大 4 つの CS 領域をサポート
- エリアごとに 8/16/32 ビットバス空間を選択可能

■ 最大 48 本の拡張タイマ機能

- 16 ビット×8+32 ビット MTU3: 9 チャンネル、32 ビット GPT: 31 チャンネル
- 16 ビット CMT: 6 チャンネル、32 ビット CMTW: 2 チャンネル

■ ΔΣ インタフェース

- 外部に最大 15 チャンネルの ΔΣ モジュレータを接続可能

■ 三角関数ユニット

- 2 ユニット
- sin と cos を同時に計算
- arctan と hypot_k を同時に計算

■ 12 ビット A/D コンバータ

- 12 ビット×3 ユニット (ユニット 0、1：4 チャンネル、ユニット 2：8 チャンネル)

■ チップ内部の温度を計測可能な温度センサを内蔵

■ 汎用入出力ポート

- 入力プルアップ/プルダウン
- 周辺機能の入出力端子を複数箇所から選択可能

■ 動作温度範囲

- Tj = -40~+125°C

1. 概要

1.1 仕様概要

この MPU は、浮動小数点ユニット (FPU) および NEON™ を備える、Arm® Cortex®-A55 デュアル MPCore およびデュアル Arm® Cortex®-R52 プロセッサによる高性能 ASSP です。システム構成に必要な統合された周辺機能を内蔵しています。

表 1.1 CPU

機能	機能説明
Arm® Cortex®-A55	- デュアル/シングル MPCore コア 1 プロセッサ構成 - 動作周波数 - コア : 600 MHz/1200 MHz - DSU : 500 MHz/1000 MHz - Arm の設計による 64 ビット CPU Cortex-A55 (Core revision r2p0) - アドレス空間 : 32 GB - L1 キャッシュ - I キャッシュ : コアごとに 32 KB (パリティ付き) - D キャッシュ : コアごとに 32 KB (ECC 付き) - L2 キャッシュ : 128 KB (ECC あり) - L3 キャッシュ : 256 KB (ECC あり) - Arm V8.2-A アーキテクチャ - NEON/FPU 対応 - 暗号拡張機能対応 (セキュリティ製品のみ)
Arm® Cortex®-R52	- シングルコア 2 プロセッサ構成 - 動作周波数 - 各 CPU0 および CPU1 : 400 MHz/800 MHz - Arm の設計による 32 ビット CPU Cortex-R52 (Core revision r1p4) - アドレス空間 : 4 GB - 命令キャッシュ - 各 CPU0 および CPU1 : 16 KB (ECC あり) - データキャッシュ - 各 CPU0 および CPU1 : 16 KB (ECC あり) - 密接合メモリ (TCM) - 各 CPU0 および CPU1 - ATCM: 512 KB (ECC あり) 0 ウェイト (400 MHz)/1 ウェイト (800 MHz) - BTCM: 64 KB (ECC あり) 0 ウェイト - CTCM: 0 KB - 命令セット : ARM v8-R アーキテクチャ、Thumb® および Thumb-2 を含めてサポート 2 ステージメモリプロテクションユニット (MPU) - NEON/FPU 対応

表 1.2 メモリ (1/2)

機能	機能説明
ECC 付きシステム SRAM	- 容量 : 2.0 MB (512 KB × 4 ユニット) (ECC 付き) - 動作周波数 : 200 MHz - SEC-DED (シングルエラー訂正/ダブルエラー検出) エラーインジェクションをサポート
ワンタイムプログラマブルメモリ	- 上書き保護 - 冗長機能対応 - 使用可能な情報 - ユニーク ID - 認証設定 - トリミングデータ - ブートモード設定 - ユーザー領域

表 1.2 メモリ (2/2)

機能	機能説明
LPDDR4 SDRAM メモリインタフェース	- データ転送 : 1.6 Gbps - バス幅 : 16 ビット - ランク : 1 - サイズ : 最大 16 Gb - インライン ECC - LPDDR4X のサポートなし - オンザフライ復号処理/暗号化をサポート(注1)

注 1. この機能は、セキュリティ製品でのみサポートされます。

表 1.3 システム (1/2)

機能	機能説明
動作モード	動作モードは、以下の 7 つのブートモードから選択できます。 - xSPI0 ブートモード (CS0 × 1 ブートシリアルフラッシュ) - xSPI0 ブートモード (CS0 × 8 ブートシリアルフラッシュ) - eMMC ブートモード - SD ブートモード - xSPI1 ブートモード (CS0 × 1 ブートシリアルフラッシュ) - SCI ブートモード - USB ブートモード
クロック発生回路	- 入力クロックは、外部クロックまたは外部発振子から選択できます。 - 入力クロック発振停止の検出 - 以下のクロックを発生します。 - Cortex-A55 クロック : 600 または 1200 MHz (コアごとに選択可能) - Cortex-R52 クロック : 400 または 800 MHz (ユニットごとに選択可能) - A-Bus クロック : 400 MHz - R-Bus クロック : 200 MHz - 高速周辺モジュールクロック A (PCLKAH): 400 MHz - 中速周辺モジュールクロック A (PCLKAM): 200 MHz - 低速周辺モジュールクロック A (PCLKAL): 100 MHz - 高速周辺モジュールクロック R (PCLKH): 200 MHz - 中速周辺モジュールクロック R (PCLKM): 100 MHz - 低速周辺モジュールクロック R (PCLKL): 50 MHz 12 ビット A/D コンバータの ADC クロック : 25 MHz - 外部バスクロック 100 MHz (最大) - 低速オンチップオシレータ : 240 kHz (固定)
リセット	RES#端子リセット、ソフトウェアリセット、エラーリセット、Cortex-A55 クラスタソフトウェアリセット、Cortex-A55 core0 ソフトウェアリセット、Cortex-A55 core1 ソフトウェアリセット、Cortex-R52 CPU0 ソフトウェアリセット、Cortex-R52 CPU1 ソフトウェアリセット
低消費電力機能	- スタンバイモード (Cortex-A55, Cortex-R52) - モジュールストップ機能
割り込みコントローラ (ICU)	- Cortex-A55 の GIC600 に割り込みを接続します。 - Cortex-R52 CPU0 および CPU1 の GIC (ジェネリック割り込みコントローラ) に割り込みを接続します。 - 起動トリガを DMAC と ELC に接続します。 - 周辺機能割り込み : 589 要因 - 外部割り込み : 16 要因 (IRQ0~IRQ15 端子) - ソフトウェア割り込み : 16 要因 - システムエラー割り込み : 1 要因 32 レベルの優先順位を GIC に設定可能

表 1.3 システム (2/2)

機能	機能説明
バスステートコントローラ (BSC)	- 外部アドレス空間は、管理のために 4 領域 (CS0、CS2、CS3、CS5) に分割されています。 - 以下の機能を各領域に対して独立して設定可能です。 バスサイズ (8、16、または 32 ビット)：使用可能なサイズは領域に依存します。アクセスウェイトサイクル数 (領域によって、読み出しアクセスサイクルと書き込みアクセスサイクルに異なるウェイトサイクルを指定可能です)。アイドルウェイトサイクル挿入 (同じ領域のアクセスサイクル間、または異なる領域のアクセスサイクル間)。各領域に接続されるメモリを指定することで、SRAM、バイト選択付き SRAM、およびバースト ROM (クロック同期または調歩同期) への直接接続が可能です。アドレス/データマルチプレクス入出力 (MPX) インタフェースも利用可能です。 - 対象の領域に従って、チップセレクト信号 (CS0#~CS5#) を出力します。(CS アサートまたはネゲートのタイミングはソフトウェアで選択可能です。)

表 1.4 ダイレクトメモリアクセス

機能	機能説明
ダイレクトメモリアクセスコントローラ (DMAC)	3 ユニット (各ユニットあたり 16 チャンネル) - 転送モード：シングル転送モードおよびブロック転送モード - 転送サイズ - ユニット 0：1/2/4/8/16/32/64 バイト - ユニット 1、2：1/2/4/8/16/32 バイト - 起動要因：ソフトウェアトリガ、外部 DMA 要求 (DREQ)、外部割り込み、および周辺機能割り込み要求

表 1.5 I/O ポート

機能	機能説明
汎用入出力ポート	537 ピン FBGA - 入出力端子：200 - 入力端子：1 - プルアップ/プルダウン抵抗：201 489 ピン FBGA - 入出力端子：160 - 入力端子：1 - プルアップ/プルダウン抵抗：161 - 入出力機能の場所は、複数の端子から選択可能です。

表 1.6 イベントリンク

機能	機能説明
イベントリンクコントローラ (ELC)	- 最大 413 イベント信号をモジュールの動作に連動可能です。 - 特にタイマ系のモジュールの動作はイベント信号の入力で起動できます。 - ポート 09 およびポート 14 の信号のイベントリンク動作が可能になります。

表 1.7 タイマ (1/2)

機能	機能説明
マルチファンクションタイマパルスユニット 3 (MTU3)	9 チャンネル (16 ビット× 8 チャンネル、32 ビット× 1 チャンネル) - 最大 28 本のパルス入出力および 3 本のパルス入力が可能 - チャンネルごとに 10、11、12、または 14 種類のカウント入カクロック信号から選択可能 (最高動作周波数 250 MHz) - インプットキャプチャ機能 39 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ - カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同期クリア) - 複数のタイマカウンタ (TCNT) への同時書き込み - カウンタの同期動作による各レジスタの同時入出力 - バッファ動作 - カスケード接続動作をサポート - レジスタデータの自動転送 - パルス出力モード - トグル/PWM/相補 PWM/リセット同期 PWM - 相補 PWM 出力モード - 三相インバータ制御用ノンオーバーラップ波形を出力 - デッドタイム自動設定 - PWM デューティサイクル: PWM のデューティ比を 0~100%の任意の値に選択可能 - A/D 変換要求ディレイド機能 - 山/谷割り込み間引き機能 - ダブルバッファ構成 - リセット同期 PWM モード - 任意のデューティ比の正相/逆相 PWM 波形を 6 相出力可能 - 位相計数モード: 16 ビットモード (チャンネル 1 および 2) /32 ビットモード (チャンネル 1 と 2 のカスケード接続) - デッドタイム補償用カウンタ機能 - A/D コンバータの変換開始トリガ生成機能 - A/D コンバータの変換開始トリガの間引きが可能 - インプットキャプチャ端子および外部カウントクロック端子の信号に対するデジタルノイズフィルタ機能 - ELC によるイベントリンク機能をサポート
汎用 PWM タイマ (GPT)	32 ビット× 31 チャンネル (5 チャンネル× 4 ユニット + 7 チャンネル× 1 ユニット + 4 チャンネル× 1 ユニット) - 全チャンネルで、アップカウントもしくはダウンカウント (のこぎり波)、アップダウンカウント (三角波) が選択可能 - チャンネルごとに 4 種類のカウント入カクロック信号から選択可能 (LLPP での最高動作周波数 500 MHz) - チャンネルごとに 2 本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが 2 本 - 各チャンネル 2 本のアウトプットコンペア/インプットキャプチャレジスタに対し、バッファレジスタとして 4 本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成可能 - チャンネルごとにフレーム周期用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能) - 複数のカウンタを同期動作可能 - 同期動作のモード (同時または任意のタイミングでずらす (位相シフトに対応)) - PWM 動作の際にデッドタイム生成が可能 3 つのカウンタを組み合わせ、デッドタイム付きの 3 相 PWM 波形を生成可能 - 外部/内部トリガによるアップカウンタ/ダウンカウンタのスタート/クリア/ストップ/切り替え、およびインプットキャプチャ - 入力レベル比較によるアップカウンタ/ダウンカウンタのスタート/クリア/ストップ/切り替え、およびインプットキャプチャ - 内部トリガ要因: ソフトウェアおよびコンペアマッチ - A/D コンバータの変換開始トリガ生成機能 - インプットキャプチャ端子および外部トリガ端子の信号に対するデジタルノイズフィルタ機能 - ELC によるイベントリンク機能をサポート 谷、または山/谷から出力デューティ 0%および出力デューティ 100%機能を選択可能 - 周期計数機能 - カウンタクリアおよびコンペアマッチによるバッファ転送動作 - 外部パルス幅測定機能

表 1.7 タイマ (2/2)

機能	機能説明
コンペアマッチタイマ (CMT)	• (16 ビット× 2 チャンネル) × 3 ユニット • チャンネルごとに 4 種類のカウント入力クロック信号から選択
コンペアマッチタイマ W (CMTW)	• (32 ビット× 1 チャンネル) × 2 ユニット • コンペアマッチ、インプットキャプチャ入力、およびアウトプットコンペア出力が可能 • チャンネルごとに 4 種類のカウント入力クロック信号から選択 • コンペアマッチ、インプットキャプチャ、およびアウトプットコンペアのイベントにตอบสนองして、割り込み要求の出力が可能
ウォッチドッグタイマ (WDT)	• 14 ビット × 4 チャンネル • チャンネルごとに 6 種類のカウント入力クロック信号から選択
ポートアウトプットイネーブル 3 (POE3)	• MTU3 波形出力端子のハイインピーダンス制御 • 以下の 5 つの入力端子からの入力 : POE0#, POE4#, POE8#, POE10#, POE11# • 出力短絡検出 (PWM 出力が同時にアクティブレベルになったことを検出) による起動 • 入力クロック発振停止検出、PLL 発振異常検出、2 種類の DSMIF エラー検出、またはソフトウェアによる起動 • 出力制御対象端子をプログラマブルに追加制御可能
GPT 用のポートアウトプットイネーブル (POEG)	• GPT 波形出力の出力禁止を制御 • GTETRIG 端子の入力レベル検出による起動 • GPT からの出力禁止要求による起動 • 発振停止検出、2 種類の DSMIF エラー検出、またはソフトウェアによる起動
リアルタイムクロック (RTC)	• 2000 年から 2099 年までの 100 年カレンダー • BCD コード表示 • クロックソースは、メイン発振器を分周 • うるう年自動補正機能

表 1.8 通信インタフェース (1/4)

機能	機能説明
イーサネット MAC (GMAC)	• 1 ポート × 3 ユニット • IEEE802.3 • IEEE1588-2008 • IEEE 用の IEEE802.3-az-2010 • 10/100/1000 Mbps データ転送をサポート • 全二重モードおよび半二重モードに対応 • 16 KB までの標準フレームとジャンボフレームの両方をサポートするプログラマブルなフレーム長 • 32 本のアドレスフィルタブロック用 MAC アドレスレジスタ • 多様なフレキシブルアドレスフィルタモードをサポート • 先進の IEEE 1588-2002 および 2008 イーサネットフレームタイムスタンプをサポート • RMII/RGMII コンバータが MII/RMII/RGMII インタフェースをサポート • TSN 機能 (IEEE802.1Qbv, IEEE802.1Qbu/802.3br) • 最大 8 RX キューおよび 8 TX キューのマルチキューをサポート • DMA チャンネル : 8 RX チャンネルおよび 8 TX チャンネル • VLAN フィルタリング、L3 フィルタリングおよび L4 フィルタリング

表 1.8 通信インタフェース (2/4)

機能	機能説明
イーサネットスイッチ (ETHSW)	3 ポート PHY インタフェース - IEEE802.3 10/100/1000 Mbps データ転送をサポート - 全二重通信および半二重通信 (1000 Mbps は全二重通信のみ) - ハードウェアスイッチング、ルックアップ、およびフィルタリング - フレーム優先順位付けによる QoS - VLAN Priority (IEEE802.1q) に基づく優先度制御により、優先度再配分を実現 - IPv4 DiffServ コードポイントフィールド、IPv6 サービスのクラスに基づく分類と優先度配分 8 つの優先度レベルによるキュー - マルチキャストとブロードキャスト - VLAN フレーム - IEEE 1588-2008 互換 - プログラマブルな Ingress VLAN タグと Egress VLAN タグの追加、削除、および操作 (各ポートでのシングルタグとダブルタグ VLAN フレームをサポート) - カットスルーとハブ機能 - デバイスレベルリング (DLR) - プログラマブルなポート毎の Egress レート制限 - 設定可能なポート毎の Ingress ブロードキャスト/マルチキャストストーム保護 - IEEE802.1X 送信元アドレス認証をサポート - IEEE802.1X ゲスト VLAN をサポート - PRP 機能 (IEC 62439-3 2.0 2012 版) - 遅延の事前確定を可能にする帯域予約のためのタイムスロットを使ったリアルタイムネットワークインフラストラクチャをサポートする、設定可能な時分割多重アクセス (TDMA) 出力キュースケジューラ - フレームプリエンブション - 周期的キューイングとフォワーディング - TSN-IA プロファイルのフォワーディングルール - MAC 送信元アドレスフィルタリング - パターン一致 12 チャンネル - タイムスタンプ用および TDMA 時間用に独立した 2 つのタイマモジュールが使用可能 - SNMP 経由のリモート監視 - パワーリンク可能なハブ - 拡張フレームパーサーによる Ingress フィルタとフレームヘッダの操作 (アクティブストリームの識別、フローメーターリング) 4 つの追加 PTP タイマパルスジェネレータ - RMII/RGMII コンバータが MII/RMII/RGMII インタフェースをサポート - IEEE1588 UDP/IPv4 1 ステップエンドツーエンドトランスベアレントクロック
EtherCAT スレーブコントローラ (ESC) (注1)	1 チャンネル (3 ポート) - EtherCAT スレーブコントローラ IP コア (Beckhoff Automation GmbH 製) を搭載 - MI I インタフェースをサポート。イーサネットサブシステムの RGMII コンバータが RMII/RGMII インタフェースをサポート。
レイヤ 3 イーサネットスイッチモジュール (ESWM)	レイヤ 3 イーサネットスイッチモジュール (ESWM) は、高レベルのルーティング機能を持つイーサネットスイッチとマルチプロトコルインタフェースサポートで構成されています。これにより、同一のネットワークインタフェースプロトコル内および異なるネットワークインタフェースプロトコル間 (当面はイーサネットのみ) で最適化ゲートウェイアプリケーションに対する自律的フレームルーティングが可能となります。
HSR/PRP スイッチ (HPSW)	2 ポート PHY インタフェース - 高可用性シームレス冗長化プロトコル/パラレル冗長化プロトコル (HSR/PRP) - トランスベアレントクロック - 通常クロック
USB2.0 HS ホスト/ファンクションモジュール	1 ポート - USB 2.0 仕様に準拠 - OTG 対応 - 転送速度 - ハイスピード (480 Mbps)、フルスピード (12 Mbps)、およびロースピード (1.5 Mbps、ホストのみ) - 通信バッファ - ホストモード用に 1 KB の RAM を内蔵 - ファンクションモード用に 8 KB の RAM を内蔵 - DMAC (2 チャンネル) を内蔵

表 1.8 通信インタフェース (3/4)

機能	機能説明
シリアルコミュニケーションインタフェース (SCI)	● 6 チャンネル + 8 チャンネル (エンコーダ用) ● 6 種類の通信モード – 調歩同期式インタフェース – 8 ビットクロック同期式インタフェース – 簡易 I²C (マスタのみ) – 簡易 SPI – スマートカードインタフェース – マンチェスタモード (エンコーダ用のチャンネルでは、簡易 I²C、簡易 SPI、およびスマートカードインタフェースモードがサポートされません。) ● クロック源は、4 つの内部クロック信号から選択 ● 内蔵のボーレートジェネレータにより任意のビットレートを設定可能 ● 全二重モードおよび半二重モード通信 ● データ長 : 7~9 ビット (調歩同期式モード) ● ビットレート変調 ● 倍速モード (調歩同期式モード、クロック同期式モード、簡易 SPI モード、マンチェスタモード) ● RS-485 ドライバコントロール機能 (調歩同期式モード) ● 自己診断機能を有効にするループバック機能 (調歩同期式モード、クロック同期式モード)
I ² C バスインタフェース (IIC)	● 3 チャンネル ● 通信フォーマット : I²C バスフォーマットまたは SMBus フォーマット ● マスタ/スレーブモードを選択可能 ● マルチマスタ対応 ● 最大転送速度 : 400 kbps (スタンダードモードおよびファストモード)
CAN-FD モジュール (CANFD)	● 2 チャンネル ● CAN-FD ISO 11898-1 (2015) 準拠 ● 通信速度 – クラシカル CAN モード : 1 Mbps – CAN FD モード : - 公称ビットレート : 最大 1 Mbps - データビットレート : 最大 8 Mbps ● 合計 192 メッセージバッファ (フレームサイズが 76 バイトの場合) – 個別バッファ : TX 用 64 個 – 共用バッファ : TX と RX 共用 128 個 (FIFO を含む) ● 11 ビットの標準 ID および 18 ビットの拡張 ID の選択可能な ID タイプ ● 選択可能なフレームタイプ : データフレームとリモートフレーム ● 最大 256 の受信ルール
シリアルペリフェラルインタフェース (SPI)	● 4 チャンネル ● SPI 転送機能 - MOSI (マスタ出力、スレーブ入力)、MISO (マスタ入力、スレーブ出力)、SSL (スレーブ選択)、および RSPCK (SPI クロック) 信号を使用して、マスタまたはスレーブとしてシリアル転送が可能な SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) でシリアル通信が可能 ● データフォーマット – MSB ファースト/LSB ファーストの切り替え可能 – 転送ビット長を 4~32 ビットから選択可能 – 32 ビット × 4 段 FIFO の送信用バッファと受信用バッファ – 1 回の転送動作で最大 4 フレームの送受信が可能 (1 フレームは最大 32 ビット) ● マスタ受信時、RSPCK は受信バッファフルで自動停止可能

表 1.8 通信インタフェース (4/4)

機能	機能説明
拡張シリアルペリフェラルインタフェース (xSPI)	2 チャンネル - JESD251 準拠 - マルチスレーブは最大 2 スレーブ - プロトコルモード : 1/4/8 ピン SDR/DDR 1S-1S-1S、4S-4D-4D、8D-8D-8D - OctaFlash、OctaRAM、HyperFlash、および HyperRAM をサポート - プロトコルモード : QSPI 互換の 2/4 ピン SDR 1S-2S-2S、2S-2S-2S 1S-4S-4S、4S-4S-4S 1S-1S-4S - 設定可能なアドレス長 - 設定可能な初期アクセスレイテンシサイクル - XiP モードをサポート 256 MB までのアドレス空間に対応 - 低レイテンシのバーストリードプリフェッチ機能 - 高スループットのバーストライト高性能バッファ - 最大 4 コマンドまで設定可能なマニュアルコマンド - 出カクロック/入カストロブのポートタイミングシフト - リセット解除後の自動コマンド設定 : 最大 4 コマンド - オンザフライ復号処理をサポート (復号処理の読み出しのみ) (注2)
SD/MMC ホストインタフェース (SDHI)	2 チャンネル (チャンネル 0 には最大 8 ビット、チャンネル 1 には最大 4 ビット) - SD メモリ/IO カードインタフェース (1 ビット/4 ビット SD バス) - SD、SDHC、および SDXC SD メモリカードアクセスをサポート - デフォルト、high-speed、UHS-I/SDR12、SDR25、SDR50、SDR104、および DDR50 転送モードをサポート - エラーチェック機能 : CRC7 (コマンド/レスポンス用)、CRC16 (データ用) - カード検出機能 - 書き込み保護をサポート - MMC インタフェース (1/4/8 ビット MMC バス) - eMMC デバイスアクセスに対応 - 下位互換、High-speed (SDR/DDR)、および HS200 転送モードをサポート - 高優先順位割り込み (HPI) をサポート
PCI Express Gen2 (PCIe)	- PCI Express Gen1 (2.5 [GT/s]) / Gen2 (5.0 [GT/s]) - ルートコンプレックス/エンドポイントアプリケーション、タイプ 0/1 コンフィグレーションレジスタ - レーン/ポート : 1 レーン × 1 ポート - 極性反転をサポート - 最大データペイロード 256 バイト、最大読み出し要求サイズ 512 バイト - 未処理の数 : 1~8 - 速度/幅の増減構成の動的な制御 - 電力管理 (ASPM L1-Substate のサポートなし) - エラー処理/ログ (AER サポート) - ECC による FIFO リブレイ - サポート機能数 : 2
NAND フラッシュコントローラ (NANDC)	8 ビットバス幅の NAND インタフェース - ONFI 1.x および 2.x 標準と互換 - 非同期モード (SDR) のみサポート - DMAC 対応 256 B~16 KB のページサイズをサポート - チップセレクトの数 : 4

注 1. EtherCAT は、Beckhoff Automation GmbH, Germany の登録商標です。

注 2. この機能は、セキュリティ製品でのみサポートされます。

表 1.9 アナログ

機能	機能説明
12 ビット A/D コンバータ (ADC12)	12 ビット × 3 ユニット (ユニット 0、1 : 4 チャンネル、ユニット 2 : 8 チャンネル) - 分解能 : 12 ビット - 変換時間 0.84 μs/チャンネル - 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3 グループスキャンモード) - グループ優先制御 - サンプル&ホールド機能 共用のサンプル&ホールド回路を搭載 上記に加え、チャンネル専用サンプル&ホールド機能を搭載 (全ユニットに 3 チャンネル) - サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 - ダブルトリガモード (A/D 変換データ 2 重化機能) 3 種類の A/D 変換開始方法 ソフトウェアトリガ、タイマ (MTU3, ELC) のトリガ、外部トリガ - ELC によるイベントリンク機能をサポート
温度センサユニット (TSU)	1 チャンネル - 相対精度 : $\pm 1^{\circ}\text{C}$ (Typ)

表 1.10 産業用インタフェース用ハードウェアアクセラレータ

機能	機能説明
$\Delta\Sigma$ インタフェース (DSMIF)	3 チャンネル × 5 ユニット 2 入力 (U/V) または 3 入力 (U/V/W) 選択可能 - 最大 6 本の $\Delta\Sigma$ モジュレータを外部から接続可能 - Sinc フィルタは、1 次、2 次、または 3 次を選択可能 - POE3 と POEG に直接エラー接続 - 電流エラー検出の機能強化 - コアクロック : 200 MHz
三角関数ユニット (TFU)	2 ユニット $\sin$、$\cos$、$\arctan$、$\text{hypot_k}(\sqrt{x^2 + y^2}/k)$ の計算 $\sin$ と $\cos$ の同時計算 $\arctan$ と hypot_k の同時計算
エンコーダインタフェース	- EnDat 2.2 (8 ユニット) - EnDat 3.0 (4 ユニット) - BiSS-C (8 ユニット) - BiSS-Line (4 ユニット) - A-format (8 ユニット) - HIPERFACE DSL (8 ユニット) - ENCOUT (1 ユニット)

表 1.11 セーフティ (1/2)

機能	機能説明
メモリプロテクションユニット (MPU)	- Cortex-R52 MPU 2 ステージ MPU (EL2 および EL1) 各 MPU あたり 24 領域 - マスタ MPU Cortex-A55 および Cortex-R52 を含むマスタ (DMAC、USB、イーサネット MAC、イーサネット TSN スイッチ、CoreSight、SHOSTIF、PHOSTIF、SDHI、PCIE、NANDC) に対するメモリプロテクション
レジスタライトプロテクション機能	プログラムが暴走したときに備え、重要なレジスタの書き換えを防止

表 1.11 セーフティ (2/2)

機能	機能説明
CRC 演算器 (CRC)	2 チャンネル 8、16、または 32 ビット単位の任意のデータ長に対して CRC コードを生成 - 以下の 5 つの生成多項式から選択可能： $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (32-Ethernet) $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C) $X^{16} + X^{15} + X^2 + 1$ (CRC-16) $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT) $X^8 + X^2 + X + 1$ (CRC-8)
クロックモニタ回路 (CLMA)	- 入力クロック（メインクロック発振器）、PLL 回路、または低速オンチップオシレータからの異常な出力クロック周波数を監視 - 入力クロック発振停止の検出：使用可能
データ演算回路 (DOC)	16 ビットのデータを比較、加算、または減算する機能
独立周辺モジュール	- 以下のセーフティ機能専用周辺モジュールが利用可能です： - GPT: 4 チャンネル - SCI: 1 チャンネル - IIC: 1 チャンネル - SPI: 1 チャンネル - CRC: 1 ユニット - RTC: 1 ユニット - GPIO：通常 GPIO と兼用可能 - ECC 付き内蔵システム SRAM - これらの周辺モジュールは通常の周辺モジュールから独立してマッピングされているため、EL2 MPU によりアクセス保護が可能です。

表 1.12 セキュリティ

機能	機能説明
セキュリティ ^(注1)	- セキュアブート - JTAG 認証^(注2) - SCI/USB ブート認証^(注2) - 暗号化アクセラレータ - 対称暗号：CBC/ECB/CTR/GCM/XTS の AES128/192/256 ビット - 非対称暗号：ECC 256 ビット、RSA 1024/2048/3072 ビット、RSAES-OAEP - ハッシュ：SHA-1、SHA-2 - メッセージ認証：HMAC、CMAC、GMAC - 署名アルゴリズム：NIST P-256 による ECDSA、RSASSA-PSS、RSASSA-PKCS1 - TRNG - Cortex-A55 暗号拡張 - TrustZone

注 1. 詳しくは、弊社営業担当までお問い合わせください。

注 2. 非セキュリティ対応製品では平文による認証が可能です。

表 1.13 デバッグ

機能	機能説明
デバッグインタフェース	- Arm の設計による CoreSight アーキテクチャ - JTAG/SWD インタフェースによるデバッグ機能、ETF によるトレース機能、および ETR によるシステムバス

表 1.14 外部ホストインタフェース

機能	機能の説明
シリアルホストインタフェース (SHOSTIF)	- スレーブモードでのシリアル通信が可能です。 - 対応インタフェース - モトローラシリアルペリフェラルインタフェース (4 線式 SPI) - デュアル、クワッド、またはオクタル SPI による拡張 SPI モード - シリアルクロック極性切り替え - シリアルクロック位相切り替え - シングルデータ転送 - データサイズは最大 32 ビット × 64 バースト
パラレルホストインタフェース (PHOSTIF)	- 同期／非同期 SRAM インタフェースモード - 同期バースト SRAM タイプ転送モード - バス幅：8、16、および 32 ビット - 同期関連 - HCKIO 同期 - 書き込みバッファ - 読み出しバッファ - アドレスとデータのマルチプレクス (同期バースト SRAM タイプのみ)
メールボックスおよびセマフォ (MBXSEM)	- 外部ホスト CPU および Cortex-A55/Cortex-R52 用の 8 つのセマフォ - 外部ホスト CPU から Cortex-A55/Cortex-R52 へと Cortex-A55/Cortex-R52 から外部ホスト CPU への両方向に用いる 4 つの 32 ビットメールボックス - 外部ホスト CPU と Cortex-A55/Cortex-R52 の両方から、割り込みの発生とクリアが可能 - Cortex-A55、Cortex-R52 の CPU0 および CPU1 の間で排他アクセスをするセマフォとメールボックス

表 1.15 その他

機能	機能説明
電源電圧	1.1 V：コア (デジタルおよびアナログ (PLL, TSU, OTP, USB, PCIE, ADC)) 1.1 V：DDR 1.8 V：PLL, OSC, USB, ADC, TSU, OTP, PCIE, DDR, RGMII 3.3 V：GPIO, USB, OSC, RMII/MII、その他の周辺 1.8 V/3.3 V 選択可能：xSPI, SDHI
動作温度	T _J = -40～+125℃
パッケージ	537 ピン FBGA (21 mm × 21 mm、0.8 mm ピッチ) 489 ピン FBGA (16 mm × 16 mm、0.65 mm ピッチ)

1.2 機能の比較

表 1.16 機能の比較 (1/2)

モジュール／機能		537 ピン FBGA	489 ピン FBGA
CPU	ARM Cortex-A55	デュアル／シングル	
	ARM Cortex-R52	デュアル	
メモリ	システム SRAM	2.0 MB	
外部バス	外部バス幅	32 ビット	16 ビット
割り込み	外部割り込み	SEI, IRQ0~IRQ15	
DMA	DMA コントローラ (DMAC)	3 ユニット (各ユニットあたり 16 チャンネル)	
タイマ	マルチファンクションタイマパルスユニット 3 (MTU3)	1 ユニット (9 チャンネル)	
	汎用 PWM タイマ (GPT)	6 ユニット (31 チャンネル)	
	コンペアマッチタイマ (CMT)	3 ユニット (6 チャンネル)	
	コンペアマッチタイマ W (CMTW)	2 チャンネル	
	ウォッチドッグタイマ	4 チャンネル	
	ポートアウトプットイネーブル 3 (POE3)	1 ユニット	
	GPT 用のポートアウトプットイネーブル (POEG)	3 ユニット	
	リアルタイムクロック (RTC)	1 ユニット	
通信機能	イーサネット MAC (GMAC)	3 ユニット	
	イーサネットスイッチ (ETHSW)	1 ユニット (3 外部ポート)	
	EtherCAT スレーブコントローラ (ESC)	1 ユニット (3 外部ポート)	
	レイヤ 3 イーサネットスイッチモジュール (ESWM)	1 ユニット (2 外部ポート)	
	HSR/PRP スwitch (HPSW)	1 ユニット (2 外部ポート)	
	USB2.0HS ホスト/ファンクションモジュール (USB)	1 ユニット (1 ポート)	
	シリアルコミュニケーションインタフェース (SCI)	6 チャンネル + 8 チャンネル	
	I2C バスインタフェース (IIC)	3 チャンネル	
	CANFD モジュール (CANFD)	2 チャンネル	
	シリアルペリフェラルインタフェース (SPI)	4 チャンネル	
	拡張シリアルペリフェラルインタフェース (xSPI)	2 チャンネル	
	SD/eMMC ホストインタフェース (SDHI)	2 チャンネル	
	PCI Express Gen2 (PCIE)	1 ユニット (1 レーン × 1 ポート)	
	NAND フラッシュコントローラ (NANDC)	1 ユニット	
12 ビット A/D コンバータ (ADC12)		3 ユニット (ユニット 0 とユニット 1 は 4 チャンネル、ユニット 2 は 8 チャンネル)	
温度センサユニット (TSU)		1 ユニット	
$\Delta\Sigma$ インタフェース (DSMIF)		5 ユニット (15 チャンネル)	5 ユニット (13 チャンネル)
三角関数ユニット (TFU)		2 ユニット	

表 1.16 機能の比較 (2/2)

モジュール／機能		537 ピン FBGA	489 ピン FBGA
エンコーダ I/F	EnDat 2.2 (ENDAT22)	8 ユニット	
	EnDat 3.0 (ENDAT3)	4 ユニット	
	BiSS-C (BISS)	8 ユニット	
	BiSS-Line (BISSL)	4 ユニット	
	A-format (AFMT)	8 ユニット	
	HIPERFACE DSL (HDSL)	8 ユニット	
	ENCOUT	1 ユニット	
CRC 演算器 (CRC)		2 チャンネル	
クロックモニタ回路 (CLMA)		7 ユニット	
データ演算回路 (DOC)		1 ユニット	
セキュリティ ^(注1)		オプション機能	
ワンタイムプログラマブルメモリ (OTP)		使用可能	
シリアルホストインタフェース (SHOSTIF)		1 ユニット	
パラレルホストインタフェース (PHOSTIF)		1 ユニット	
メールボックスおよびセマフォ (MBXSEM)		使用可能	
イベントリンクコントローラ (ELC)		使用可能	
LPDDR4 SDRAM サブシステム (DDRSS)		16 ビット	

注 1. 詳しくは、弊社営業担当までお問い合わせください。

1.3 製品ラインナップ

表 1.17 に製品ラインナップを示します。

表 1.17 製品ラインナップ

型名	パッケージ	Cortex-A55	EtherCAT	HSR/PRP スイッチ	CAN	セキュリティ(注1)
R9A07G076M48GBG	537 ピン FBGA	デュアルコア	使用可能	使用可能	CAN-FD	使用可能
R9A07G076M47GBG	537 ピン FBGA	デュアルコア	使用可能	使用不可	CAN-FD	使用可能
R9A07G076M45GBG	537 ピン FBGA	デュアルコア	使用不可	使用不可	クラシカル CAN	使用可能
R9A07G076M43GBG	537 ピン FBGA	デュアルコア	使用可能	使用可能	CAN-FD	使用不可
R9A07G076M37GBG	537 ピン FBGA	シングルコア	使用可能	使用不可	CAN-FD	使用可能
R9A07G076M35GBG	537 ピン FBGA	シングルコア	使用不可	使用不可	クラシカル CAN	使用可能
R9A07G076M30GBG	537 ピン FBGA	シングルコア	使用不可	使用不可	クラシカル CAN	使用不可
R9A07G076M48GBA	489 ピン FBGA	デュアルコア	使用可能	使用可能	CAN-FD	使用可能
R9A07G076M47GBA	489 ピン FBGA	デュアルコア	使用可能	使用不可	CAN-FD	使用可能
R9A07G076M45GBA	489 ピン FBGA	デュアルコア	使用不可	使用不可	クラシカル CAN	使用可能
R9A07G076M43GBA	489 ピン FBGA	デュアルコア	使用可能	使用可能	CAN-FD	使用不可
R9A07G076M37GBA	489 ピン FBGA	シングルコア	使用可能	使用不可	CAN-FD	使用可能
R9A07G076M35GBA	489 ピン FBGA	シングルコア	使用不可	使用不可	クラシカル CAN	使用可能
R9A07G076M30GBA	489 ピン FBGA	シングルコア	使用不可	使用不可	クラシカル CAN	使用不可

注 1. TrustZone を除く。TrustZone は全製品型名で使用可能です。

1.4 ブロック図

図 1.1 にブロック図を示します。

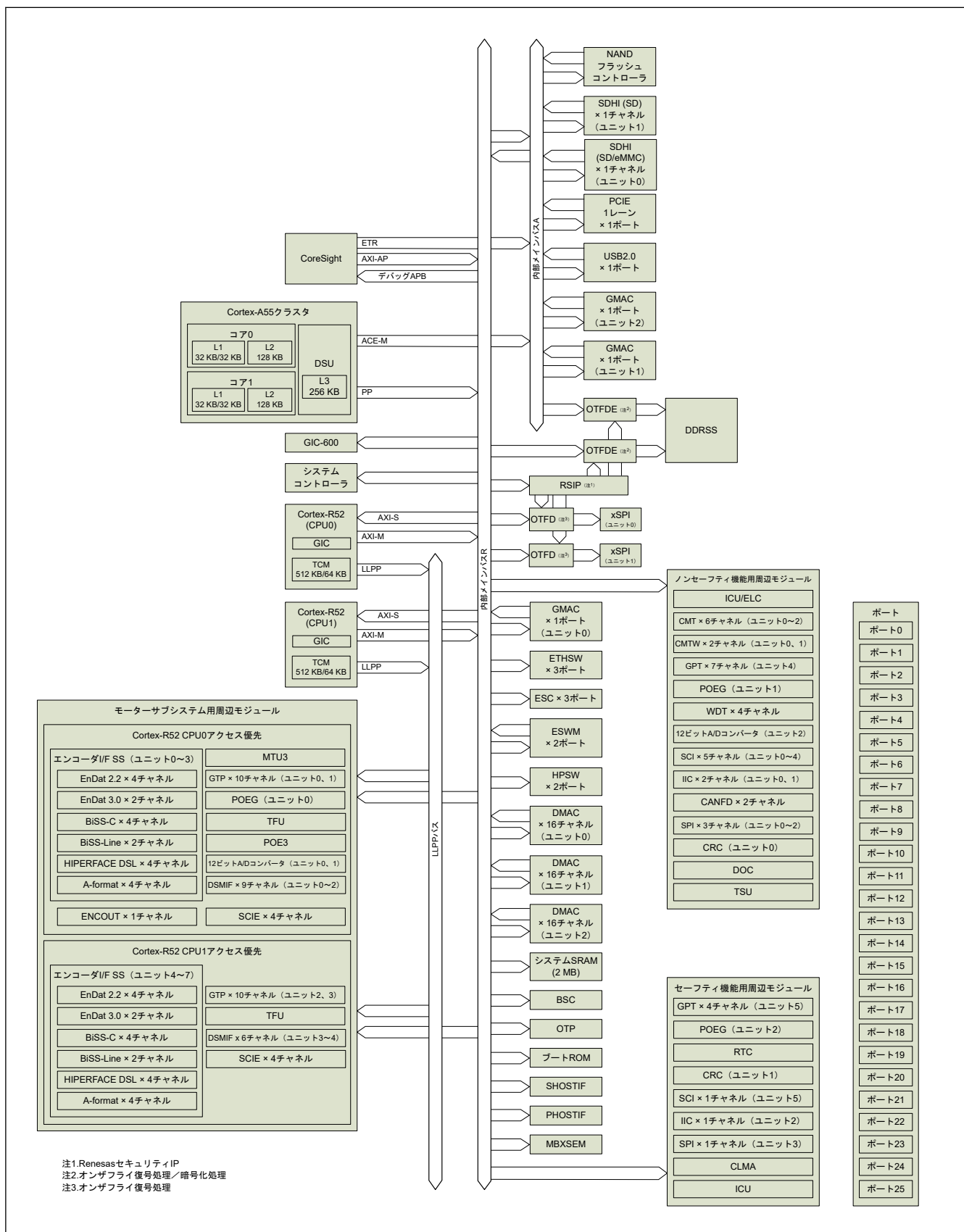


図 1.1 ブロック図

図 1.1 で示された略語を以下の表に示します。

1.5 端子機能

表 1.18 に端子機能を示します。

表 1.18 端子機能 (1/9)

分類	端子名	入出力	機能
電源	VDD	入力	1.1 V 電源端子
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
	VCC1833_0~VCC1833_6	入力	各 I/O ドメインの電源端子。(1.8 V または 3.3 V) VCC1833_0: ETH0 および ETH1 ドメイン VCC1833_1: ETH2 ドメイン VCC1833_2: ETH3 および ETH4 ドメイン VCC1833_3: xSPI0 ドメイン VCC1833_4: xSPI1 ドメイン VCC1833_5: SDHI0 ドメイン VCC1833_6: SDHI1 ドメイン
	VCC33	入力	I/O 用 3.3 V 電源端子
	VCC18_PLL0~VCC18_PLL4	入力	PLL 用 1.8 V 電源端子
	AVCC18_TSU	入力	温度センサ用 1.8 V 電源端子
	VCC18_OTP	入力	OTP 用 1.8 V 電源端子
アダプティブボディバイアスジェネレータ (ABBG)	VDD18ABG	入力	ABBG 電源端子
	NCPOUT	入出力	アナログ入出力端子
クロック	XTAL	出力	水晶振動子の接続端子。外部クロック信号を使用する場合、EXTAL 端子は Low にしてください。XTAL 端子は、水晶振動子以外のものでも駆動したり、負荷をかけたりしないでください。EXTAL の電圧レベルが VDD (1.16 V) を絶対に超えないようにしてください。
	EXTAL	入力	
	EXTCLKIN	入力	外部クロック入力端子。水晶振動子を接続する場合は、Low にしてください。
	CKIO	出力	外部デバイス用の外部バスクロック出力端子
	ETH0_REFCLK	出力	EtherPHY 0 用 25 MHz クロック出力端子
	ETH1_REFCLK	出力	EtherPHY 1 用 25 MHz クロック出力端子
	ETH2_REFCLK	出力	EtherPHY 2 用 25 MHz クロック出力端子
	ETH3_REFCLK	出力	EtherPHY 3 用 25 MHz クロック出力端子
	ETH4_REFCLK	出力	EtherPHY 4 用 25 MHz クロック出力端子
	RMII0_REFCLK	出力	RMII0 用 50 MHz クロック出力端子
	RMII1_REFCLK	出力	RMII1 用 50 MHz クロック出力端子
	RMII2_REFCLK	出力	RMII2 用 50 MHz クロック出力端子
	RMII3_REFCLK	出力	RMII3 用 50 MHz クロック出力端子
	RMII4_REFCLK	出力	RMII4 用 50 MHz クロック出力端子

表 1.18 端子機能 (2/9)

分類	端子名	入出力	機能
動作モードコントロール	MDX	入力	Low にしてください。
	MD0~MD2	入力	動作モード選択信号の入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDV0~MDV5	入力	動作電圧選択信号の入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDW0, MDW1	入力	ATCM ウェイトサイクル選択信号の入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDD	入力	ハッシュ信号による JTAG 認証有効入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDB	入力	セカンドブート CPU の設定用の端子です。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システムコントロール	RES#	入力	リセット信号の入力端子。この端子が Low になると、本 MPU はリセット状態となります。
	BSCANP	入力	バウンダリスキャンイネーブル信号の入力端子。この端子が High になると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合、この端子は Low にしてください。
	RSTOUT#	出力	外部リセット信号の出力端子
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモード選択端子 シリアルワイヤデバッグ (SWD) モードでは SWDIO 端子として機能します。
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子 シリアルワイヤデバッグ (SWD) モードでは SWCLK 端子として機能します。
バーステートコントローラ (BSC)	A25~A0	出力	アドレス出力端子
	D31~D0	入出力	データ入出力端子
	CS0#, CS2#, CS3#, CS5#	出力	外部メモリおよびデバイス用のチップセレクト信号の出力端子
	RD#	出力	読み出し進行中を示すストロブ信号の出力端子
	RD/WR#	出力	読み出しまたは書き込みアクセスを示すストロブ信号の出力端子
	BS#	出力	バスサイクルの開始を示すステータス信号の出力端子
	AH#	出力	マルチプレクス I/O インタフェースを使用するデバイス用のアドレスホールド信号の出力端子
	WAIT#	入力	バスサイクルにウェイトサイクルを挿入する外部ウェイトコントロール信号の入力端子
	WE0#	出力	D7~D0 へのライトストロブ信号の出力端子
	WE1#	出力	D15~D8 へのライトストロブ信号の出力端子
	WE2#	出力	D23~D16 へのライトストロブ信号の出力端子
	WE3#	出力	D31~D24 へのライトストロブ信号の出力端子

表 1.18 端子機能 (3/9)

分類	端子名	入出力	機能
ダイレクトメモリアクセス コントローラ (DMAC)	DREQ	入力	外部デバイス DMA 転送要求信号の入力端子
	DACK	出力	外部デバイスからの DMA 転送要求を受け付けたことを示すアクノリッジ信号の出力端子
	TEND	出力	DMA 転送終了信号の出力端子
割り込み	IRQ00_0~IRQ25_0	入力	システムエラー割り込み信号と外部割り込み要求信号の入力端子
マルチファンクションタイ マパルスユニット 3 (MTU3)	MTIOC0A、MTIOC0B、MTIOC0C、 MTIOC0D	入出力	TGRA0~TGRD0 インพุットキャプチャ入力、アウトプ ットコンペア出力、および PWM 出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1 インพุットキャプチャ入力、アウトプ ットコンペア出力、および PWM 出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2 インพุットキャプチャ入力、アウトプ ットコンペア出力、および PWM 出力端子
	MTIOC3A、MTIOC3B、MTIOC3C、 MTIOC3D	入出力	TGRA3~TGRD3 インพุットキャプチャ入力、アウトプ ットコンペア出力、および PWM 出力端子
	MTIOC4A、MTIOC4B、MTIOC4C、 MTIOC4D	入出力	TGRA4~TGRD4 インพุットキャプチャ入力、アウトプ ットコンペア出力、および PWM 出力端子
	MTIC5U、MTIC5V、MTIC5W	入力	TGRU5、TGRV5、TGRW5 インพุットキャプチャ入 力、およびデッドタイム補償機能の入力端子
	MTIOC6A、MTIOC6B、MTIOC6C、 MTIOC6D	入出力	TGRA6~TGRD6 インพุットキャプチャ入力/アウト ットコンペア出力/PWM 出力端子
	MTIOC7A、MTIOC7B、MTIOC7C、 MTIOC7D	入出力	TGRA7~TGRD7 インพุットキャプチャ入力/アウト ットコンペア出力/PWM 出力端子
	MTIOC8A、MTIOC8B、MTIOC8C、 MTIOC8D	入出力	TGRA8~TGRD8 インพุットキャプチャ入力/アウト ットコンペア出力/PWM 出力端子
	MTCLKA、MTCLKB、MTCLKC、 MTCLKD	入力	MTU3 用外部クロック入力端子
ポートアウトプットイネー ブル 3 (POE3)	POE0#、POE4#、POE8#、POE10#、 POE11#	入力	MTU3 をハイインピーダンス状態にする要求信号の入 力端子
汎用 PWM タイマ (GPT)/ GPT 用のポートアウトプ ットイネーブル (POEG)	GTETRGA、GTETRGB、GTETRGC、 GTETRGD	入力	外部トリガ入力端子および出力禁止要求の入力端子
	GTETRGSА、GTETRGSB	入力	外部トリガ入力端子および出力禁止要求の入力端子 (SAFETY)
	GTIOC0_0A~GTIOC0_4A、 GTIOC0_0B~GTIOC0_4B、 GTIOC1_0A~GTIOC1_4A、 GTIOC1_0B~GTIOC1_4B、 GTIOC2_0A~GTIOC2_4A、 GTIOC2_0B~GTIOC2_4B、 GTIOC3_0A~GTIOC3_4A、 GTIOC3_0B~GTIOC3_4B、 GTIOC4_0A~GTIOC4_6A、 GTIOC4_0B~GTIOC4_6B、 GTIOC5_0A~GTIOC5_3A、 GTIOC5_0B~GTIOC5_3B	入出力	インพุットキャプチャ入力/アウトプットコンペア出 力/PWM 出力端子
	GTADSM0_0~GTADSM0_1、 GTADSM1_0~GTADSM1_1、 GTADSM2_0~GTADSM2_1、 GTADSM3_0~GTADSM3_1、 GTADSM4_0~GTADSM4_1	出力	A/D 変換開始要求監視用の出力端子
コンペアマッチタイマ W (CMTW)	CMTW0_TIC0、CMTW0_TIC1、 CMTW1_TIC0、CMTW1_TIC1	入力	CMTW インพุットキャプチャ入力端子
	CMTW0_TOC0、CMTW0_TOC1、 CMTW1_TOC0、CMTW1_TOC1	出力	CMTW アウトプットコンペア出力端子

表 1.18 端子機能 (4/9)

分類	端子名	入出力	機能
リアルタイムクロック (RTC)	RTCAT1HZ	出力	RTC 1 Hz 出力端子
シリアルコミュニケーションインタフェース (SCI)	SCK0~SCK5	入出力	クロック入出力端子 (クロック同期式モード/簡易 SPI モード/スマートカードモード)
	RXD0~RXD5	入力	受信データ入力端子 (調歩同期式モード/クロック同期式モード/スマートカードモード)
	TXD0~TXD5	出力	送信データ出力端子 (調歩同期式モード/クロック同期式モード/スマートカードモード)
	CTS0#~CTS5#	入力	送信開始信号の入力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	RTS0#~RTS5#	出力	受信出力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	SCL0~SCL5	入出力	I2C クロック入出力端子 (簡易 I2C モード)
	SDA0~SDA5	入出力	I2C データ入出力端子 (簡易 I2C モード)
	MISO0~MISO5	入出力	スレーブ送信データ入出力端子 (簡易 SPI モード)
	MOSI0~MOSI5	入出力	マスタ送信データ入出力端子 (簡易 SPI モード)
	SS0#~SS5#	入力	チップセレクト入力端子 (簡易 SPI モード)、アクティブ Low
	DE0~DE5	出力	ドライバイネーブル出力端子 (調歩同期式モード)
エンコーダ用シリアルコミュニケーションインタフェース (SCIE)	SCKE0~SCKE7	出力	クロック入出力端子 (クロック同期式モード)
	RXDE0~RXDE7	入力	受信データ入力端子 (調歩同期式モード/クロック同期式モード)
	TXDE0~TXDE7	出力	送信データ出力端子 (調歩同期式モード/クロック同期式モード)
	DEE0~DEE7	出力	ドライバイネーブル出力端子 (調歩同期式モード)
SCI および SCIE 共通	SCIEXTCLK	入力	SCI 外部動作クロック入力端子
I2C バスインタフェース (IIC)	IIC_SCL0~IIC_SCL2	入出力	クロック入出力端子
	IIC_SDA0~IIC_SDA2	入出力	データ入出力端子

表 1.18 端子機能 (5/9)

分類	端子名	入出力	機能
イーサネット	ETH0_TXCLK~ETH4_TXCLK	入出力	TX クロック入力端子 (MII モード) TX クロック出力端子 (RGMII モード)
	ETH0_TXD0~ETH4_TXD0	出力	TX データ 0 出力端子 (RGMII、RMII、MII モード)
	ETH0_TXD1~ETH4_TXD1	出力	TX データ 1 出力端子 (RGMII、RMII、MII モード)
	ETH0_TXD2~ETH4_TXD2	出力	TX データ 2 出力端子 (RGMII、MII モード)
	ETH0_TXD3~ETH4_TXD3	出力	TX データ 3 出力端子 (RGMII、MII モード)
	ETH0_TXEN~ETH4_TXEN	出力	TX データイネーブル出力端子 (RMII、MII モード) TX データイネーブル/TX データエラー (TX_CTL) 端子 (RGMII モード)
	ETH0_TXER~ETH4_TXER	出力	TX データエラー出力端子 (MII モード)
	ETH0_RXCLK~ETH4_RXCLK	入力	RX クロック入力端子 (RGMII、RMII、MII モード)
	ETH0_RXD0~ETH4_RXD0	入力	RX データ 0 入力端子 (RGMII、RMII、MII モード)
	ETH0_RXD1~ETH4_RXD1	入力	RX データ 1 入力端子 (RGMII、RMII、MII モード)
	ETH0_RXD2~ETH4_RXD2	入力	RX データ 2 入力端子 (RGMII、MII モード)
	ETH0_RXD3~ETH4_RXD3	入力	RX データ 3 入力端子 (RGMII、MII モード)
	ETH0_RXDV~ETH4_RXDV	入力	RX データ有効入力端子 (MII モード) キャリア検知/RX データ有効 (CRS_DV) 入力端子 (RMII モード) RX データ有効/RX エラー (RX_CTL) 入力端子 (RGMII モード)
	ETH0_RXER~ETH4_RXER	入力	RX データエラー端子 (RMII、MII モード)
	ETH0_CRS~ETH4_CRS	入力	キャリア検知入力端子 (MII モード)
	ETH0_COL~ETH4_COL	入力	衝突検出の入力端子 (MII モード)
イーサネット MAC (GMAC)	GMAC0_PTPTRG0~GMAC2_PTPTRG0	入力	PTP タイマトリガ外部入力端子 0
	GMAC0_PTPTRG1~GMAC2_PTPTRG1	入力	PTP タイマトリガ外部入力端子 1
	GMAC0_MDC~GMAC2_MDC	出力	マネジメントデータクロック出力端子
	GMAC0_MDIO~GMAC2_MDIO	入出力	マネジメントデータ入出力端子
イーサネットスイッチ (ETHSW)	ETHSW_LPI0	出力	Port 0 MAC ステータスは、PHY からの低電力アイドルシーケンスを現在受信中であることを示す。
	ETHSW_LPI1	出力	Port 1 MAC ステータスは、PHY からの低電力アイドルシーケンスを現在受信中であることを示す。
	ETHSW_LPI2	出力	Port 2 MAC ステータスは、PHY からの低電力アイドルシーケンスを現在受信中であることを示す。
	ETHSW_PTPOUT0~ETHSW_PTPOUT3	出力	イーサネットスイッチタイマパルス出力端子
	ETHSW_TDMAOUT0~ETHSW_TDMAOUT3	出力	イーサネットスイッチ TDMA タイマ出力端子
	ETHSW_PHYLINK0~ETHSW_PHYLINK2	入力	イーサネットスイッチ PHY リンクステータス入力端子
	ETHSW_MDC	出力	マネジメントデータクロック出力端子
	ETHSW_MDIO	入出力	マネジメントデータ入出力端子

表 1.18 端子機能 (6/9)

分類	端子名	入出力	機能
EtherCAT スレーブコントローラ (ESC)	ESC_LED RUN	出力	EtherCAT RUN LED 信号の出力端子
	ESC_IRQ	出力	EtherCAT IRQ 信号の出力端子
	ESC_LED STER	出力	EtherCAT デュアルカラスステート LED 信号の出力端子
	ESC_LED ERR	出力	EtherCAT エラー LED 信号の出力端子
	ESC_LINKACT0~ESC_LINKACT2	出力	EtherCAT リンク/アクティビティ LED 信号の出力端子
	ESC_SYNC0、ESC_SYNC1	出力	EtherCAT SYNC 信号の出力端子
	ESC_LATCH0、ESC_LATCH1	入力	EtherCAT LATCH 信号の入力端子
	ESC_RESETOUT#	出力	EtherCAT リセット信号の出力端子
	ESC_I2CCLK	出力	EtherCAT EEPROM I2C クロック信号の出力端子
	ESC_I2CDATA	入出力	EtherCAT EEPROM I2C データ信号の入出力端子
	ESC_PHYLINK0~ESC_PHYLINK2	入力	EtherCAT PHY リンクステータス信号の入力端子
	ESC_MDC	出力	マネジメントデータクロック出力端子
	ESC_MDIO	入出力	マネジメントデータ入出力端子
レイヤ 3 イーサネットスイッチモジュール (ESWM)	ESWM_MPINT0、ESWM_MPINT1	出力	Magic Packet の割り込み出力
	ESWM_PHYLINK0、ESWM_PHYLINK1	入力	TSN スイッチ PHY リンク状態入力端子
	ESWM_MDC	出力	管理データクロック出力端子
	ESWM_MDIO	入出力	管理データ入出力端子
	ESWM_TASGATE0[8:0]、ESWM_TASGATE1[8:0]	出力	TAS ゲートステータスのデバッグ出力
HSR/PRP スイッチ (HPSW)	HPSW_PHYLINK0	入力	HSR/PRP スイッチ PHY リンク状態入力ポート 0
	HPSW_PHYLINK1	入力	HSR/PRP スイッチ PHY リンク状態入力ポート 1
USB2.0 ホスト/ファンクションモジュール	VCC33_USB	入力	USB 用電源入力端子
	VCC18_USB	入力	USB 用電源入力端子
	VSS_USB	入力	USB 用グランド入力端子
	AVCC18_USB	入力	USB 用アナログ電源入力端子
	USB_RREF	入力	USB 用基準電流入力端子。この端子は VSS_USB 端子に 1.8 k Ω ($\pm 1\%$) の抵抗で接続してください。
	USB_DP	入出力	USB バス D + データ入出力端子
	USB_DM	入出力	USB バス D - データ入出力端子
	USB_VBUSEN	出力	USB 用 VBUS パワーイネーブル信号の出力端子
	USB_OVRCUR	入力	USB 用過電流信号の入力端子
	USB_VBUSIN	入力	USB ケーブル接続/切断検出の入力端子
	USB_EXICEN	出力	OTG 電源 IC 制御出力端子
	USB_OTGID	入力	OTG ID 入力端子
CANFD モジュール (CANFD)	CANRX0、CANRX1	入力	受信データ入力端子
	CANTX0、CANTX1	出力	送信データ出力端子
	CANRXDP0、CANRXDP1	出力	受信データフェーズ出力端子
	CANTXDP0、CANTXDP1	出力	送信データフェーズ出力端子

表 1.18 端子機能 (7/9)

分類	端子名	入出力	機能
シリアルペリフェラルインタフェース (SPI)	SPI_RSPCK0~SPI_RSPCK3	入出力	クロック入出力端子
	SPI_MOSI0~SPI_MOSI3	入出力	マスタ送信データ入出力端子
	SPI_MISO0~SPI_MISO3	入出力	スレーブ送信データ入出力端子
	SPI_SSL00~SPI_SSL30	入出力	スレーブセレクト信号の入出力端子
	SPI_SSL01~SPI_SSL31、 SPI_SSL02~SPI_SSL32、 SPI_SSL03~SPI_SSL33	出力	スレーブセレクト信号の出力端子
拡張シリアルペリフェラルインタフェース (xSPI)	XSPI0_CKP、XSPI1_CKP、 XSPI0_CKN	出力	クロック出力端子
	XSPI0_CS0#, XSPI0_CS1#、 XSPI1_CS0#, XSPI1_CS1#	出力	チップセレクト出力端子
	XSPI0_DS、XSPI1_DS	入出力	リードデータストロブ/ライトデータマスク入出力端子
	XSPI0_IO0~XSPI0_IO7、XSPI1_IO0 ~XSPI1_IO7	入出力	Data0~Data7 入出力端子
	XSPI0_RESET0#	出力	マスタリセットステータス出力端子
$\Delta\Sigma$ インタフェース (DSMIF)	MCLK00~MCLK40、 MCLK01~MCLK41、 MCLK02~MCLK42	入出力	クロック入出力端子
	MDAT00~MDAT40、 MDAT01~MDAT41、 MDAT02~MDAT42	入力	データ入力端子
12 ビット A/D コンバータ (ADC12)	AN000~AN003、AN100~AN103、 AN200~AN207	入力	A/D コンバータ用アナログ入力端子
	ADTRG0#~ADTRG2#	入力	A/D 変換開始のための外部トリガ入力端子
アナログ電源	VCC18_ADC0~VCC18_ADC2	入力	12 ビット A/D コンバータのアナログ電源入力端子。 12 ビット A/D コンバータを使用しない場合は、この端子を 1.8 V 電源に接続してください。
	VREFH0~VREFH2	入力	12 ビット A/D コンバータの基準電圧入力端子。12 ビット A/D コンバータを使用しない場合は、この端子を 1.8 V 電源に接続してください。
シリアルホストインタフェース (SHOSTIF)	HSPI_CK	入力	クロック入力端子
	HSPI_CS#	入力	チップセレクト入力端子
	HSPI_IO0~HSPI_IO7	入出力	Data0~Data7 入出力端子
	HSPI_INT#	出力	割り込み出力端子

表 1.18 端子機能 (8/9)

分類	端子名	入出力	機能
パラレルホストインタフェース (PHOSTIF)	HCKIO	入力	バスクロック入力端子
	HA0~HA21	入力	アドレス入力端子
	HD0~HD31	入出力	データ入出力端子
	HCS0#	入力	チップセレクト入力端子 (バースト転送をサポート)
	HCS1#	入力	チップセレクト入力端子 (BSC ADMUX モードをサポート)
	HRD#	入力	読み出しアクセスを示すストロブ入力端子
	HWAIT#	出力	バスサイクルがウェイト状態であることを示す出力端子
	HWRSTB#	入力	書き込みアクセスを示すストロブ入力端子
	HWR0#	入力	HD7~HD0 へのライトストロブ/バ이트イネーブル入力端子
	HWR1#	入力	HD15~HD8 へのライトストロブ/バ이트イネーブル入力端子
	HWR2#	入力	HD23~HD16 へのライトストロブ/バ이트イネーブル入力端子
	HWR3#	入力	HD31~HD24 へのライトストロブ/バ이트イネーブル入力端子
	HERROUT#	出力	バスアクセスエラー割り込み信号の出力端子
	HBS#	入力	バスサイクル入力端子
メールボックスおよびセマフォ (MBXSEM)	MBX_HINT#	出力	メールボックス (Cortex-A55/Cortex-R52 からホスト CPU へ) 割り込み出力端子
エンコーダインタフェース 共通	ENCIFCK0~ENCIFCK7	出力	エンコーダインタフェースクロック出力端子
	ENCIFOE0~ENCIFOE7	出力	エンコーダインタフェースデータ出力カインーブル端子
	ENCIFDO0~ENCIFDO7	出力	エンコーダインタフェースデータ出力端子
	ENCIFDI0~ENCIFDI7	入力	エンコーダインタフェースデータ入力端子
EnDat 2.2 (ENDAT)	DUEI0~DUEI7	出力	EnDat 2.2 データ転送端子
	TST_OUT0~TSTOUT7	出力	内部同期後の EnDat 2.2 データ入力端子
	SI0#~SI7#	出力	EnDat 2.2 スタートパルス端子
HIPERFACE DSL (HDSL)	HDSL0_LINK~HDSL7_LINK	出力	HDSL LINK 端子
	HDSL0_SMPL~HDSL7_SMPL	出力	HDSL テスト信号ラインサンブラ端子
	HDSL0_CLK1~HDSL7_CLK1	入力	HDSL SPI クロック安全 1 端子
	HDSL0_SEL1~HDSL7_SEL1	入力	HDSL SPI 選択安全 1 端子
	HDSL0_MISO1~HDSL7_MISO1	出力	HDSL SPI データ出力安全 1 端子
	HDSL0_MOSI1~HDSL7_MOSI1	入力	HDSL SPI データ入力安全 1 端子
	HDSL0_CLK2~HDSL7_CLK2	入力	HDSL SPI クロック安全 2 端子
	HDSL0_SEL2~HDSL7_SEL2	入力	HDSL SPI 選択安全 2 端子
	HDSL0_MISO2~HDSL7_MISO2	出力	HDSL SPI データ出力安全 2 端子
	HDSL0_MOSI2~HDSL7_MOSI2	入力	HDSL SPI データ入力安全 2 端子
ENCOUT	POUTA	出力	ENCOUT A 相出力端子
	POUTB	出力	ENCOUT B 相出力端子
	POUTZ	出力	ENCOUT Z 相出力端子

表 1.18 端子機能 (9/9)

分類	端子名	入出力	機能
SD/eMMC ホストインタフェース (SDHI)	SD0_CLK, SD1_CLK	出力	SD/MMC クロック出力端子
	SD0_CMD, SD1_CMD	入出力	SD/MMC コマンドの出力、レスポンスの入力端子
	SD0_DATA0~SD0_DATA7, SD1_DATA0~SD1_DATA3	入出力	SD/MMC データ端子
	SD0_CD, SD1_CD	入力	SD カード検出端子
	SD0_WP, SD1_WP	入力	SD ライトプロテクト端子
	SD0_RST#	出力	MMC リセット端子
	SD0_PWEN, SD1_PWEN	出力	SD 電源イネーブル端子
	SD0_IOVS, SD1_IOVS	出力	SD 電圧選択端子
PCI Express Gen2 (PCIe)	PCIE_VCC18A、PCIE_VCC18A_CMN	入力	PCIe 用 1.8 V 電源端子
	PCIE_VDDA_TX、PCIE_VDDA_RX	入力	PCIe 用 1.1 V 電源端子
	PCIE_REFCLKP、PCIE_REFCLKN	入力	基準クロック入力端子
	PCIE_RXDP、PCIE_RXDN	入力	シリアルデータ入力端子
	PCIE_TXDP、PCIE_TXDN	出力	シリアルデータ出力端子
	PCIE_RSTOUTB	出力	ルートコンプレックス用 PCIe リセット出力端子
NAND フラッシュコントローラ (NAND)	NAND_CE[3:0]#	出力	チップ有効、アクティブ Low
	NAND_IO[7:0]	入出力	データ
	NAND_CLE	出力	コマンドラッチ有効
	NAND_ALE	出力	アドレスラッチ有効
	NAND_RE#	出力	読み出し許可、アクティブ Low
	NAND_WE#	出力	書き込み許可、アクティブ Low
	NAND_WP#	出力	書き込み保護／リセット
	NAND_RY_BY[3:0]#	入力	レディ／ビジー (RnB)、レディ = High、ビジー = Low
LPDDR4 SDRAM サブシステム (DDRSS)	DDR_VDDQ	入力	DDRPHY 用 1.1 V 電源端子
	DDR_RESET#	出力	DDRSS DRAM リセット端子
	DDR_CKA_T、DDR_CKA_C	入出力	DDRSS DRAM チャンネル A クロック
	DDR_CKEA[1:0]	入出力	DDRSS DRAM チャンネル A クロックイネーブル
	DDR_CSA[1:0]	入出力	DDRSS DRAM チャンネル A チップセレクト
	DDR_CAA[5:0]	入出力	DDRSS DRAM チャンネル A コマンド／アドレス
	DDR_DQA[15:0]	入出力	DDRSS DRAM チャンネル A データ
	DDR_DMIA[1:0]	入出力	DDRSS DRAM チャンネル A データマスク反転端子
	DDR_DQSA_T[1:0]	入出力	DDRSS DRAM チャンネル A データストローブ (正相) 端子
	DDR_DQSA_C[1:0]	入出力	DDRSS DRAM チャンネル A データストローブ (逆相) 端子
	DDR_CALIBRATION	入力	インピーダンス校正 240 Ω (±1%) の抵抗で DDR_VDDQ に接続。
	DDR_RETENTION	入力	保持入力 この LSI では保持モードがサポートされていないため、この端子は DDR_VDDQ に接続 (プルアップ抵抗の挿入は不要)。
I/O ポート	P00_0~P25_0	入出力	汎用入出力端子

1.6 537 ピン FBGA のピン割り付け

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25								
A	VSS	P23_5	P23_0	VSS	P22_2	P21_6	VSS	P21_4	P20_4	P20_1	VSS	P19_5	VSS	P18_4	P18_1	P17_6	VSS	P17_1	P16_4	P16_1	VSS	P15_3	P14_6	P14_3	VSS	A							
B	P24_3	P23_6	P23_2	P22_4	P22_6	P21_5	P21_7	P21_1	P20_6	P20_7	P19_6	P19_2	P19_0	P18_5	P18_0	P17_3	P17_2	P16_6	P16_3	P16_0	P15_6	P15_1	P14_7	P14_1	P13_4	B							
C	P25_0	P24_2	P24_0	P23_3	P23_1	P22_0	P20_5	P21_3	P21_0	P20_2	P20_0	P19_3	P18_7	P18_2	P17_7	P17_5	P17_0	P16_5	P15_7	P15_2	P15_4	P14_4	P14_2	P13_3	P13_2	C							
D	VSS	P24_7	P24_6	P24_1	P23_4	P22_3	P22_1	P21_2	P22_5	P20_3	P19_7	P19_4	P19_1	P18_6	P18_3	P17_4	P16_7	P16_2	P15_5	P14_5	P15_0	P13_5	P13_1	P13_0	P12_6	D							
E	P00_0	P00_6	P24_5	P00_1	P23_7	P22_7	VCC1833_1	VSS	VCC1833_0	VSS	VCC1833_9	VSS	VCC1833_3	VSS	VSS	VCC1833_4	VSS	VCC33	VSS	P13_7	P14_0	P12_7	P13_6	P12_5	VSS	E							
F	P00_3	P00_5	P00_2	P00_4	P24_4	VSS	VCC1833_1	VSS	VCC1833_0	VSS	VCC1833_9	VSS	VCC1833_3	VSS	VCC1833_4	VSS	VCC33	VSS	VCC33	VSS	VCC33	VSS	VSS	VSS	VSS	VSS	F						
G	VSS	P01_4	P01_5	P01_2	P00_7	VSS														DDR_VDD_Q	VSS	VSS	VSS	VSS	VSS	G							
H	P01_6	P01_1	P01_3	P01_0	VSS	VSS														DDR_VDD_Q	VSS	DDR_DQA15	DDR_DQA8	VSS	DDR_DQA14	H							
J	P02_5	P02_1	P02_0	P01_7	VCC1833_2	VCC1833_2														VSS	DDR_DQA12	DDR_DQA11	VSS	DDR_DQS_A_C1	DDR_DQS_A_C1	J							
K	VSS	P02_4	P03_1	P02_2	P02_3	VCC1833_2														VSS	DDR_VDD_Q	DDR_DQA13	VSS	DDR_DQA9	DDR_DM_A1	VSS	K						
L	P03_3	P03_2	P03_0	P02_7	P02_6	VCC1833_2														VSS	DDR_DQA10	VSS	DDR_DQA1	DDR_DQA3	VSS	L							
M	P04_1	P03_5	P03_7	P03_4	VSS	VSS														VSS	DDR_VDD_Q	DDR_DM_A0	DDR_DQA7	VSS	DDR_DQS_A_C0	DDR_DQS_A_T0	M						
N	VSS	P03_6	P04_0	P04_2	VCC1833_6	VCC1833_6														VSS	DDR_DQA2	VSS	DDR_DQA5	DDR_DQA4	VSS	N							
P	P04_5	P04_4	P04_3	P04_6	VSS	VSS														VSS	DDR_VDD_Q	VSS	DDR_DQA0	VSS	DDR_DQA6	VSS	P						
R	P05_2	P05_0	P04_7	P05_1	VCC1833_5	VCC1833_5														VCC18_RL0	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	R	
T	VSS	P05_5	P05_3	P05_4	VSS	VSS														VSS	VSS	VDD	VDD	VDD	VSS	VSS	VSS	VSS	VSS	VSS	T		
U	P06_0	P05_7	P05_6	P06_3	P06_1	VCC33														VDD	VDD	VSS	VCC18_RL3	VCC18_RL4	VSS	VDD	VCC33	VDD	VSS	VSS	VSS	U	
V	P06_5	P06_4	P06_2	P06_7	P07_1	VCC33																		DDR_VDD_Q	DDR_CALIBRATION	DDR_RETENTION	DDR_RESET#	DDR_CAA5	VSS	V			
W	VSS	P07_0	P06_6	P07_4	P07_2	VSS																		VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	W
Y	P07_5	P07_6	P07_3	P07_7	P08_3	VSS	VCC33	VCC33	VSS	VDD18AB_G	NCPOUT	VSS_USB	VSS	POE_VDD_A_RX	POE_VDD_A_TX	VSS	POE_VCC18A_GMN	VSS	VSS	VCC18_AD_C1	VCC18_AD_C2	VCC18_OT_P	AVCC18_TSU	VSS	VSS	Y							
AA	P08_0	P08_2	P08_1	P08_5	P09_0	P09_3	VSS	VSS	VSS	VSS	VCC33_USB	AVCC18_USB	VSS	POE_VDD_A_RX	POE_VDD_A_TX	VSS	VSS	VREFH0	VCC18_AD_C0	VREFH1	VREFH2	VSS	VSS	VSS	AA								
AB	VSS	P08_4	P08_7	P09_5	P10_3	P10_6	P11_2	P11_3	TRST#	VSS	VSS_USB	USB_REF#	VSS	POE_VCC18A	PCIE_REF_CLKIN	VSS	RES#	VSS	VSS	VSS	VSS	AN204	VSS	VSS	VSS	AB							
AC	P08_6	P09_1	P09_7	P10_5	P10_4	P10_7	P12_0	P11_7	P12_4	VSS	VSS_USB	VCC18_USB	VSS_USB	VSS	VSS	PCIE_REF_CLKP	MDX	EXTCLKIN	VSS	AN002	AN100	AN102	AN202	AN203	AN207	AC							
AD	P09_2	P09_4	P09_6	P10_2	P11_0	P11_1	P11_5	P12_1	P12_3	VSS	USB_DP	VSS_USB	VSS	POE_RXD_P	VSS	PCIE_TXD_P	VSS	XTAL	VSS	AN001	AN101	AN103	AN200	AN201	AN205	AD							
AE	VSS	P10_0	P10_1	VSS	P11_4	P11_6	VSS	P12_2	BSCANP	VSS	USB_DM	VSS_USB	VSS	POE_RXD_N	VSS	PCIE_TXD_N	VSS	EXTAL	VSS	AN000	AN003	VSS	VSS	AN206	VSS	AE							
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25								

図 1.2 537 ピン FBGA のピン配置図 (上面図)

表 1.19 機能別の端子一覧 (537 ピン FBGA) (1/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLSL, ENCOUT)
A1	—	VSS	—	—	—	—	—	—	—	—
A2	VCC1833_1	IRQ23_5	P23_5	—	GTIOC4_2B	DE3 / ETH2_TXEN / ESC_LEDERR / SPI_SSL02	MCLK30 / MCLK42	—	—	HDLS7_MOSI1
A3	VCC1833_1	IRQ23_0	P23_0	—	GTIOC3_3A / GTIOC4_0A	RXD3/SCL3/MISO3 / ETH2_TXCLK / SPI_RSPCK0	MDAT01	—	—	HDLS7_LINK
A4	—	VSS	—	—	—	—	—	—	—	—
A5	VCC1833_0	IRQ22_2	P22_2	—	GTIOC0_3A / GTIOC4_5B / GTIOC5_0B	ETH1_RXD2	—	—	—	HDLS6_MISO1
A6	VCC1833_0	IRQ21_6	P21_6	—	—	ETH1_TXEN	—	—	—	HDLS6_LINK
A7	—	VSS	—	—	—	—	—	—	—	—
A8	VCC1833_0	IRQ21_4	P21_4	—	—	ETH1_TXD2	—	—	—	HDLS5_MISO2

表 1.19 機能別の端子一覧 (537 ピン FBGA) (2/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
A9	VCC1833_0	MD0 / IRQ20_4	P20_4	—	—	GMAC0_MDC / GMAC1_MDC / GMAC2_MDC / ETHSW_MDC / ESC_MDC / ESWM_MDC / CANTX1	—	—	—	—
A10	VCC1833_0	IRQ20_1	P20_1	—	—	ETH0_RXD2 / CANRXDP0	—	—	—	HDSL4_MISO2
A11	—	VSS	—	—	—	—	—	—	—	—
A12	VCC1833_0	IRQ19_5	P19_5	—	—	ETH0_TXEN	—	—	—	HDSL4_MISO1
A13	—	VSS	—	—	—	—	—	—	—	—
A14	VCC1833_3	IRQ18_4	P18_4	—	GTETRGA	DEE4 / ESWM_TASGATE1_5 / XSPI0_IO5	MDAT21	—	—	ENCIFOE4 / HDL3_MOSI1
A15	VCC1833_3	IRQ18_1	P18_1	—	—	ESWM_TASGATE1_2 / XSPI0_IO2	MCLK32	—	—	HDSL3_CLK1
A16	VCC1833_3	IRQ17_6	P17_6	—	—	ESWM_TASGATE0_8 / XSPI0_DS	MCLK20	—	—	HDSL2_MOSI2
A17	—	VSS	—	—	—	—	—	—	—	—
A18	VCC1833_4	IRQ17_1	P17_1	—	MTIOC0B / MTIOC6C / GTIOC4_4B	RXDE3 / IIC_SDA1 / ETH2_COL / ETH3_COL / CANTX0 / XSPI1_IO7	MDAT31	—	MBX_HINT#	ENCIFDI3 / HDL2_MISO1
A19	VCC1833_4	IRQ16_4	P16_4	—	MTIOC7B / GTIOC3_2A / GTIOC4_2A	RXD4/SCL3/MISO3 / SCKE7 / ETH4_CRS, SPI_MISO0 / XSPI1_IO2	MCLK01	—	—	ENCIFCK7 / HDL1_MOSI2
A20	VCC1833_4	IRQ16_1	P16_1	—	MTIOC6D / GTIOC3_0B / GTIOC4_0B	TXD1/SDA1/MOSI1 / RXDE1 / IIC_SDA2 / ESWM_TASGATE0_3 / XSPI1_DS	MDAT22	—	—	ENCIFDI1 / HDL1_CLK2
A21	—	VSS	—	—	—	—	—	—	—	—
A22	—	IRQ15_3	P15_3	D10	MTIOC1A / MTIOC3C / GTIOC2_4B / CMTW1_TOC0	RXDE2 / SD1_IOVS	—	ADTRG0#	HD10	ENCIFDI2 / HDL1_LINK
A23	—	IRQ14_6	P14_6	D5	MTIOC1B / MTIOC4B / GTIOC2_2A / CMTW0_TIC0	SD0_PWEN	—	—	HD5	HDSL0_MOSI1 / POUTA
A24	—	IRQ14_3	P14_3	D2	POE0# / GTIOC0_2A / GTETRGA / RTCAT1HZ	SCIEXTCLK	—	ADTRG0# / USB_EXICEN	HD2 / MBX_HINT#	HDSL0_CLK1
A25	—	VSS	—	—	—	—	—	—	—	—
B1	VCC1833_1	IRQ24_3	P24_3	—	GTIOC4_5B / CMTW0_TIC1	RXD5/SDA5/MOSI5 / IIC_SCL1 / ETH0_RXER / ETH2_RXDV / ESC_I2CCLK / SPI_MOSI1 / SD0_PWEN	MDAT12	—	—	HDSL0_LINK
B2	VCC1833_1	IRQ23_6	P23_6	—	GTIOC4_3A / GTIOC5_3A / RTCAT1HZ	SCK4 / ETH2_RXCLK / ESC_LED RUN / SD0_CD	MDAT30 / MDAT42	—	—	HDSL7_CLK2
B3	VCC1833_1	IRQ23_2	P23_2	—	GTIOC4_1A	IIC_SDA0 / ETH2_TXD1 / ESC_LINKACT0 / CANTXDP1 / SPI_MOSI0	MDAT21 / MDAT40	—	—	HDSL7_CLK1
B4	VCC1833_0	IRQ22_4	P22_4	—	GTIOC0_2B	ETH1_RXDV	—	—	—	HDSL6_CLK2
B5	VCC1833_0	ETH1_REFCLK / RMI11_REFCLK / IRQ22_6	P22_6	—	—	—	—	—	—	HDSL6_MISO2
B6	VCC1833_0	IRQ21_5	P21_5	—	—	ETH1_TXD3	—	—	—	HDSL5_MOSI2
B7	VCC1833_0	IRQ21_7	P21_7	—	GTIOC4_4A	ETH1_RXCLK	—	—	—	HDSL6_SMPL

表 1.19 機能別の端子一覧 (537 ピン FBGA) (3/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
B8	VCC1833_0	IRQ21_1	P21_1	—	—	ETH1_TXCLK	—	—	—	HDSL5_MOSI1
B9	VCC1833_0	IRQ20_6	P20_6	—	—	ETHSW_PHYLINK0 / ESC_PHYLINK0 / ESWM_PHYLINK0 / HPSW_PHYLINK0 / CANRXDP1	—	—	—	HDSL5_CLK1
B10	VCC1833_0	ETH0_REFCLK / RMII0_REFCLK / IRQ20_7	P20_7	—	—	CANTXDP1	—	—	—	HDSL5_SEL1
B11	VCC1833_0	IRQ19_6	P19_6	—	—	ETH0_RXCLK	—	—	—	HDSL4_MOSI1
B12	VCC1833_0	IRQ19_2	P19_2	—	—	ETH0_TXD1	—	—	—	HDSL4_SMPL
B13	VCC1833_0	IRQ19_0	P19_0	—	—	ETH0_TXCLK	—	—	—	HDSL3_MOSI2
B14	VCC1833_3	IRQ18_5	P18_5	—	GTETRGB	RXDE4 / ESWM_TASGATE1_6 / XSPI0_IO6	MCLK20	—	—	ENCIFD4 / HDL3_CLK2
B15	VCC1833_3	IRQ18_0	P18_0	—	—	ESWM_TASGATE1_1 / XSPI0_IO1	MCLK02	—	—	HDSL3_SMPL
B16	VCC1833_3	IRQ17_3	P17_3	—	—	DEE7 / ESWM_TASGATE0_5 / XSPI0_CKN	MDAT30	—	—	ENCIFOE7 / HDL2_CLK2
B17	VCC1833_3	IRQ17_2	P17_2	—	—	SCKE7 / ESWM_TASGATE0_4 / XSPI0_CKP	MCLK30	—	—	ENCIFCK7 / HDL2_MOSI1
B18	VCC1833_4	IRQ16_6	P16_6	—	MTCLKC / MTIOC0C / GTIOC3_3A	SCKE3 / IIC_SCL0 / ETH2_TXER / ETH3_TXER / CANRXDP0 / SPI_RSPCK0 / XSPI1_IO4	MCLK30	—	—	ENCIFCK3 / HDL2_SMPL
B19	VCC1833_4	IRQ16_3	P16_3	—	MTIOC7C / GTIOC3_1A / GTIOC4_1B	TXD5/SDA5/MOSI5 / TXDE4 / ETH4_RXER / SPI_SSL02 / XSPI1_IO1	—	—	—	ENCIFD04 / HDL1_MISO2
B20	VCC1833_4	IRQ16_0	P16_0	—	MTIOC1B / MTIOC6B / GTIOC3_0A / GTIOC4_0A	RXD1/SCL1/MISO1 / TXDE1 / IIC_SCL2 / ESWM_TASGATE0_2 / XSPI1_CS1#	MCLK22	—	—	ENCIFD01 / HDL1_MOSI1
B21	VCC1833_4	IRQ15_6	P15_6	—	GTIOC0_4A	DE1 / TXDE6 / TXDE7 / IIC_SCL1 / ESWM_TASGATE0_0 / XSPI1_CKP	MCLK21	—	—	ENCIFD06 / ENCIFD07 / HDL1_SEL1
B22	—	IRQ15_1	P15_1	D8	MTCLKB / MTIOC8D / GTIOC2_3B / CMTW0_TOC1	DEE2 / SD1_WP	—	—	HD8	ENCIFOE2 / HDL0_MISO2
B23	—	IRQ14_7	P14_7	D6	MTIOC1A / MTIOC4D / GTIOC2_2B / CMTW0_TOC0	SD0_IOVS	—	—	HD6	HDL0_CLK2 / POUTB
B24	—	IRQ14_1	P14_1	D0	MTIOC3B / MTIOC8A / GTIOC0_0A / GTIOC2_0A / GTIOC4_6A	SCKE6 / ETH2_TXER / ETH3_TXER	—	USB_VBUSEN	HD0	ENCIFCK6 / HDL0_LINK
B25	—	IRQ13_4	P13_4	D23	GTADSM3_1 / RTCAT1HZ	ETH1_COL / GMAC0_MDIO / GMAC1_MDIO / GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / ESWM_MDIO / SD1_IOVS	MDAT42	—	HD23	HDSL7_MOSI1
C1	VCC1833_1	IRQ25_0	P25_0	—	—	RXD1/SCL1/MISO1 / RXD3/SCL3/MISO3 / ETHSW_PHYLINK2 / ESC_PHYLINK2 / CANTX1 / SPI_SSL03	MCLK22	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (4/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLSL, ENCOUT)
C2	VCC1833_1	IRQ24_2	P24_2	TEND	POE8# / GTIOC4_5A / CMTW0_TOC0	CTS4# / RXDE0 / ETH2_RXD3 / ESC_RESETOUT# / SPI_SSL11	MDAT11	—	—	ENCIFDI0 / HDLSL7_MOSI2
C3	VCC1833_1	IRQ24_0	P24_0	DREQ	POE0# / GTIOC4_4A	DEE0 / IIC_SDA1 / ETH0_CRS / ETH2_RXD1 / ESC_LINKACT2 / SPI_SSL13 / SD1_CD	MDAT10 / MDAT32	—	—	ENCIFOE0 / HDLSL7_MISO2
C4	VCC1833_1	IRQ23_3	P23_3	—	GTIOC4_1B / GTIOC4_3A	SS3#/CTS3#/RTS3# / ETH2_TXD2 / ESC_LINKACT1 / SPI_SSL00	MCLK01 / MCLK41	—	—	HDLSL7_SEL1
C5	VCC1833_1	IRQ23_1	P23_1	—	GTIOC3_3B / GTIOC4_0B	SCK3 / IIC_SCL0 / ETH2_TXD0 / GMAC0_PTPTRG0 / ESC_LATCH0 / CANRXDP1 / SPI_MISO0	MCLK21 / MCLK40	—	—	HDLSL7_SMPL
C6	VCC1833_0	IRQ22_0	P22_0	—	GTIOC4_4B	ETH1_RXD0	—	—	—	HDLSL6_CLK1
C7	VCC1833_0	IRQ20_5	P20_5	—	—	GMAC0_MDIO / GMAC1_MDIO / GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / ESWM_MDIO / CANRX1	—	—	—	HDLSL5_SMPL
C8	VCC1833_0	IRQ21_3	P21_3	—	—	ETH1_TXD1	—	—	—	HDLSL5_SEL2
C9	VCC1833_0	IRQ21_0	P21_0	—	—	—	—	—	—	HDLSL5_MISO1
C10	VCC1833_0	IRQ20_2	P20_2	—	—	ETH0_RXD3 / CANTXDP0	—	—	—	HDLSL4_MOSI2
C11	VCC1833_0	IRQ20_0	P20_0	—	—	ETH0_RXD1 / CANTX0	—	—	—	HDLSL4_SEL2
C12	VCC1833_0	IRQ19_3	P19_3	—	—	ETH0_TXD2	—	—	—	HDLSL4_CLK1
C13	VCC1833_3	IRQ18_7	P18_7	—	—	ESWM_TASGATE1_8 / XSPI0_RESET0#	MCLK30 / MDAT02	—	—	HDLSL3_MISO2
C14	VCC1833_3	IRQ18_2	P18_2	—	—	ESWM_TASGATE1_3 / XSPI0_IO3	MDAT32	—	—	HDLSL3_SEL1
C15	VCC1833_3	IRQ17_7	P17_7	—	—	ESWM_TASGATE1_0 / XSPI0_IO0	MDAT20	—	—	HDLSL3_LINK
C16	VCC1833_3	IRQ17_5	P17_5	—	—	RXDE7 / ESWM_TASGATE0_7 / XSPI0_CS1#	MDAT31	—	—	ENCIFDI7 / HDLSL2_MISO2
C17	VCC1833_4	IRQ17_0	P17_0	—	MTIOC0A / MTIOC6A / GTIOC3_4A	TXDE3 / IIC_SCL1 / ETH2_CRS / ETH3_CRS / CANRX0 / XSPI1_IO6	MCLK31	USB_VBUSEN	—	ENCIFDO3 / HDLSL2_SEL1
C18	VCC1833_4	IRQ16_5	P16_5	—	MTIOC7D / GTIOC3_2B / GTIOC4_2B	TXD3/SDA3/MOSI3 / DEE7 / ETH4_COL / SPI_MOSI0 / XSPI1_IO3	MDAT01	—	—	ENCIFOE7 / HDLSL2_LINK
C19	VCC1833_4	IRQ15_7	P15_7	—	GTIOC0_4B	DE3 / RXDE6 / RXDE7 / IIC_SDA1 / ESWM_TASGATE0_1 / XSPI1_CS0#	MDAT21	—	—	ENCIFDI6 / ENCIFDI7 / HDLSL1_MISO1
C20	—	IRQ15_2	P15_2	D9	MTIOC3A / MTIC5W / GTIOC2_4A / CMTW1_TIC0	TXDE2 / SD1_PWEN	—	—	HD9	ENCIFDO2 / HDLSL0_MOSI2
C21	—	IRQ15_4	P15_4	D11	GTIOC2_0A / CMTW1_TIC1	SCKE6 / IIC_SCL0 / ESC_I2CCLK	MCLK20	ADTRG1#	HD11	ENCIFCK6 / HDLSL1_SMPL
C22	—	IRQ14_4	P14_4	D3	MTIOC4A / MTIC5U / GTIOC0_1B / GTIOC2_1A	TXDE6 / ETH2_CRS / ETH3_CRS	—	ADTRG1#	HD3	ENCIFDO6 / HDLSL0_SEL1

表 1.19 機能別の端子一覧 (537 ピン FBGA) (5/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
C23	—	IRQ14_2	P14_2	D1	MTIOC3D / MTIOC8B / GTIOC0_0B / GTIOC2_0B / GTIOC4_6B	DEE6 / ETH2_RXER / ETH3_RXER	—	USB_OVRCUR	HD1	ENCIFOE6 / HDL0_SMPL
C24	—	IRQ13_3	P13_3	D22	GTADSM3_0	ETH1_CRS / GMAC0_MDC / GMAC1_MDC / GMAC2_MDC / ETHSW_MDC / ESC_MDC / ESWM_MDC / SD1_PWEN	MCLK42	—	HD22	HDL7_MISO1
C25	—	IRQ13_2	P13_2	D21	GTADSM2_1	ESC_EDERR / SD1_IOVS	MDAT10	—	HD21	HDL7_SEL1
D1	—	VSS	—	—	—	—	—	—	—	—
D2	VCC1833_1	IRQ24_7	P24_7	—	—	TXD3/SDA3/MOSI3 / GMAC0_MDIO / GMAC1_MDIO / GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / ESWM_MDIO / CANRX1 / SPI_RSPCK1	—	—	—	—
D3	VCC1833_1	MD1 / IRQ24_6	P24_6	—	—	DE5 / GMAC0_MDC / GMAC1_MDC / GMAC2_MDC / ETHSW_MDC / ESC_MDC / ESWM_MDC	—	—	—	—
D4	VCC1833_1	IRQ24_1	P24_1	DACK	POE4# / GTIOC4_4B / CMTW0_TIC0	SS4#/CTS4#/RTS4# / TXDE0 / ETH0_TXER / ETH2_RXD2 / ESC_IRQ / SPI_SSL10 / SD1_WP	MCLK11	—	MBX_HINT#	ENCIFD00
D5	VCC1833_1	IRQ23_4	P23_4	—	GTIOC4_2A / GTIOC4_3B	CTS3# / ETH2_TXD3 / ETHSW_PTPUT2 / ESC_SYNC0 / SPI_SSL01	MDAT01 / MDAT41	—	—	HDL7_MISO1
D6	VCC1833_0	IRQ22_3	P22_3	—	GTIOC0_3B	ETH1_RXD3	—	—	—	HDL6_MOSI1
D7	VCC1833_0	IRQ22_1	P22_1	—	GTIOC4_5A / GTIOC5_0A	ETH1_RXD1	—	—	—	HDL6_SEL1
D8	VCC1833_0	IRQ21_2	P21_2	—	—	ETH1_TXD0	—	—	—	HDL5_CLK2
D9	VCC1833_0	IRQ22_5	P22_5	—	—	ETHSW_PHYLINK1 / ESC_PHYLINK1 / ESWM_PHYLINK1 / HPSW_PHYLINK1	—	—	—	HDL6_SEL2
D10	VCC1833_0	IRQ20_3	P20_3	—	—	ETH0_RXDV	—	—	—	HDL5_LINK
D11	VCC1833_0	IRQ19_7	P19_7	—	—	ETH0_RXD0 / CANRX0	—	—	—	HDL4_CLK2
D12	VCC1833_0	IRQ19_4	P19_4	—	—	ETH0_TXD3	—	—	—	HDL4_SEL1
D13	VCC1833_0	IRQ19_1	P19_1	—	—	ETH0_TXD0	—	—	—	HDL4_LINK
D14	VCC1833_3	IRQ18_6	P18_6	—	GTETRGC	TXDE4 / ESWM_TASGATE1_7 / XSPI0_IO7	MDAT20	—	—	ENCIFD04 / HDL3_SEL2
D15	VCC1833_3	IRQ18_3	P18_3	—	—	SCKE4 / ESWM_TASGATE1_4 / XSPI0_IO4	MCLK21	—	—	ENCIFCK4 / HDL3_MISO1
D16	VCC1833_3	IRQ17_4	P17_4	—	—	TXDE7 / ESWM_TASGATE0_6 / XSPI0_CS0#	MCLK31	—	—	ENCIFD07 / HDL2_SEL2
D17	VCC1833_4	IRQ16_7	P16_7	—	MTCLKD / MTIOC0D / GTIOC3_3B	DEE3 / IIC_SDA0 / ETH2_RXER / ETH3_RXER / CANTXDP0 / SPI_SSL00 / XSPI1_IO5	MDAT30	—	—	ENCIFOE3 / HDL2_CLK1

表 1.19 機能別の端子一覧 (537 ピン FBGA) (6/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
D18	VCC1833_4	IRQ16_2	P16_2	—	MTIOC7A / GTIOC3_1B / GTIOC4_1A	RXD5/SCL5/MISO5 / RXDE4 / ETH4_TXER / SPI_SSL01 / XSPI1_IO0	—	—	—	ENCIFDI4 / HDL1_SEL2
D19	—	IRQ15_5	P15_5	D12	GTIOC2_0B / CMTW1_TOC1 / RTCAT1HZ	DEE6 / IIC_SDA0 / ESC_I2CDATA	MDAT20	ADTRG2#	HD12	ENCIFDO6 / HDL1_CLK1
D20	—	IRQ14_5	P14_5	D4	MTIOC4C / MTIC5V / GTIOC0_1A / GTIOC2_1B	RXDE6 / ETH2_COL / ETH3_COL	—	ADTRG2#	HD4	ENCIFDI6 / HDL0_MISO1
D21	—	IRQ15_0	P15_0	D7	MTCLKA / MTIOC8C / GTIOC2_3A / CMTW0_TIC1	SCKE2 / SD1_CD	—	—	HD7	ENCIFCK2 / HDL0_SEL2 / POUTZ
D22	—	IRQ13_5	P13_5	D24	GTADSM4_0	SCKE7 / ESC_LEDSTER	MCLK11	—	HD24	ENCIFCK7 / HDL7_CLK2
D23	—	IRQ13_1	P13_1	D20 / TEND	GTADSM2_0	ESC_LED RUN / SD1_PWEN	MCLK10	—	HD20	HDL7_CLK1
D24	—	IRQ13_0	P13_0	D19	GTADSM1_1 / CMTW1_TOC1	ETHSW_PTPOUT1 / ESC_SYNC1	MDAT41	—	HD19	HDL7_SMPL
D25	—	IRQ12_6	P12_6	D17 / DACK	GTADSM0_1 / GTETRGC / CMTW1_TOC0	—	MDAT40	—	HD17	HDL6_MOSI2
E1	VCC1833_2	IRQ00_0	P00_0	A16	MTIOC3B / GTIOC0_0A / GTADSM0_0	SCKE1 / ETH3_TXCLK / SPI_RSPCK2	—	—	HA16	ENCIFCK1 / HDL0_SEL1
E2	VCC1833_2	IRQ00_6	P00_6	A22	MTCLKA / MTIOC8D / GTIOC0_3A / GTADSM3_0	RXD4/SCL4/MISO4 / SCKE0 / SCKE6 / ETH3_RXCLK / SPI_SSL23	—	—	MBX_HINT#	ENCIFCK0 / ENCIFCK6
E3	VCC1833_1	IRQ24_5	P24_5	—	POE10# / GTIOC4_6B / GTETRGA	TXD4/SDA4/MOSI4 / SCIEXTCLK	MDAT22	PCIE_RSTOUTB	—	HDL0_CLK1
E4	VCC1833_2	IRQ00_1	P00_1	A17	MTIOC3D / GTIOC0_0B / GTADSM0_1	DEE1 / IIC_SCL2 / ETH3_TXD0 / CANRX0 / SPI_MISO2	—	—	HA17	ENCIFOE1 / HDL0_MISO1
E5	VCC1833_1	IRQ23_7	P23_7	—	GTIOC4_3B / GTIOC5_3B	SCKE0 / IIC_SCL1 / ETH0_COL / ETH2_RXD0 / SPI_SSL12 / SD0_WP	MCLK10 / MCLK32	—	—	ENCIFCK0 / HDL7_SEL2
E6	VCC1833_0	IRQ22_7	P22_7	—	—	—	—	—	—	HDL6_MOSI2
E7	—	VCC1833_1	—	—	—	—	—	—	—	—
E8	—	VSS	—	—	—	—	—	—	—	—
E9	—	VCC1833_0	—	—	—	—	—	—	—	—
E10	—	VSS	—	—	—	—	—	—	—	—
E11	—	VCC1833_0	—	—	—	—	—	—	—	—
E12	—	VSS	—	—	—	—	—	—	—	—
E13	—	VCC1833_3	—	—	—	—	—	—	—	—
E14	—	VSS	—	—	—	—	—	—	—	—
E15	—	VSS	—	—	—	—	—	—	—	—
E16	—	VCC1833_4	—	—	—	—	—	—	—	—
E17	—	VSS	—	—	—	—	—	—	—	—
E18	—	VCC33	—	—	—	—	—	—	—	—
E19	—	VSS	—	—	—	—	—	—	—	—
E20	—	IRQ13_7	P13_7	D26	—	TXDE7	MCLK12	—	HD26	ENCIFDO7 / HDL7_MISO2
E21	—	IRQ14_0	P14_0	D27	—	RXDE7 / ETHSW_PTPOUT3 / ESC_SYNC1	MDAT12	—	HD27	ENCIFDI7 / HDL7_MOSI2

表 1.19 機能別の端子一覧 (537 ピン FBGA) (7/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLS, ENCOUT)
E22	—	IRQ12_7	P12_7	D18	GTADSM1_0 / GTETRGD / CMTW1_TIC1	ETHSW_PTPOUT0 / ESC_SYNC0	MCLK41	—	HD18	HDLS7_LINK
E23	—	IRQ13_6	P13_6	D25	GTADSM4_1	DEE7	MDAT11	—	HD25	ENCIFOE7 / HDLS7_SEL2
E24	—	IRQ12_5	P12_5	D16 / DREQ	GTADSM0_0 / GTETRGRB / CMTW1_TIC0	—	MCLK40	—	HD16	HDLS6_MISO2
E25	—	VSS	—	—	—	—	—	—	—	—
F1	VCC1833_2	IRQ00_3	P00_3	A19	MTIOC4C / GTIOC0_1A / GTADSM1_1	RXDE1 / ETH3_TXD2 / CANRXDP0 / SPI_SSL20	MDAT41	—	HA19	ENCIFDI1 / HDLS0_CLK2
F2	VCC1833_2	IRQ00_5	P00_5	A21	MTIOC4D / MTIOC8C / GTIOC0_2B / GTADSM2_1	RXDE6 / ETH3_TXEN / SPI_SSL22	MDAT20	—	HA21	ENCIFDI6 / HDLS0_MISO2
F3	VCC1833_2	IRQ00_2	P00_2	A18	MTIOC4A / GTIOC0_1B / GTADSM1_0	TXDE1 / IIC_SDA2 / ETH3_TXD1 / CANTX0 / SPI_MOSI2	MCLK41	—	HA18	ENCIFDO1 / HDLS0_MOSI1
F4	VCC1833_2	IRQ00_4	P00_4	A20	MTIOC4B / GTIOC0_2A / GTADSM2_0	TXDE6 / ETH3_TXD3 / CANTXDP0 / SPI_SSL21	MCLK20	—	HA20	ENCIFDO6 / HDLS0_SEL2
F5	VCC1833_1	ETH2_REFCLK / RMI2_REFCLK / IRQ24_4	P24_4	—	POE11# / GTIOC4_6A / CMTW0_TOC1	RXD5/SC15/MISO5 / IIC_SDA1 / ETH1_RXER / ESC_I2CDATA / SPI_MISO1 / SD0_IOVS	MCLK12	—	—	HDLS0_SMPL
F6	—	VSS	—	—	—	—	—	—	—	—
F7	—	VCC1833_1	—	—	—	—	—	—	—	—
F8	—	VSS	—	—	—	—	—	—	—	—
F9	—	VCC1833_0	—	—	—	—	—	—	—	—
F10	—	VSS	—	—	—	—	—	—	—	—
F11	—	VCC1833_0	—	—	—	—	—	—	—	—
F12	—	VSS	—	—	—	—	—	—	—	—
F13	—	VCC1833_3	—	—	—	—	—	—	—	—
F14	—	VSS	—	—	—	—	—	—	—	—
F15	—	VCC18_PLL1	—	—	—	—	—	—	—	—
F16	—	VCC1833_4	—	—	—	—	—	—	—	—
F17	—	VSS	—	—	—	—	—	—	—	—
F18	—	VCC33	—	—	—	—	—	—	—	—
F19	—	VSS	—	—	—	—	—	—	—	—
F20	—	VCC33	—	—	—	—	—	—	—	—
F21	—	VSS	—	—	—	—	—	—	—	—
F22	—	VSS	—	—	—	—	—	—	—	—
F23	—	VSS	—	—	—	—	—	—	—	—
F24	—	VSS	—	—	—	—	—	—	—	—
F25	—	VSS	—	—	—	—	—	—	—	—
G1	—	VSS	—	—	—	—	—	—	—	—
G2	VCC1833_2	ETH3_REFCLK / RMI3_REFCLK / IRQ01_4	P01_4	CS5# / TEND	—	TXD1/SDA1/MOSI1 / RXDE4 / IIC_SDA1 / ETH1_RXER / ETH1_CRS / ESC_I2CDATA / SPI_RSPCK2	MCLK01	USB_EXICEN / ADTRG2#	—	ENCIFDI4

表 1.19 機能別の端子一覧 (537 ピン FBGA) (8/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
G3	VCC1833_2	IRQ01_5	P01_5	CS2# / DREQ	—	TXDE4 / ETH1_COL / ETH3_TXER / ESC_RESETOUT# / ESWM_PHYLINK0 / HPSW_PHYLINK0 / SPI_SSL20	MDAT01	USB_EXICEN	HCS1#	ENCIFD04
G4	VCC1833_2	IRQ01_2	P01_2	BS# / DREQ	—	SS5# / CTS5# / RST5# / TXD5 / SDA5 / MOSI5 / SCKE4 / ETH3_RXD3 / SPI_MOSI2 / SD1_IOVS	MCLK00	ADTRG0#	HBS#	ENCIFCK4
G5	VCC1833_2	IRQ00_7	P00_7	A23	MTCLKB / MTIOC1B / GTIOC0_3B / GTADSM3_1	TXD4 / SDA4 / MOSI4 / DEE0 / DEE6 / ETH3_RXD0 / SPI_SSL22	—	—	HERROUT#	ENCIFOE0 / ENCIFOE6
G6	—	VSS	—	—	—	—	—	—	—	—
G7	—	—	—	—	—	—	—	—	—	—
G8	—	—	—	—	—	—	—	—	—	—
G9	—	—	—	—	—	—	—	—	—	—
G10	—	—	—	—	—	—	—	—	—	—
G11	—	—	—	—	—	—	—	—	—	—
G12	—	—	—	—	—	—	—	—	—	—
G13	—	—	—	—	—	—	—	—	—	—
G14	—	—	—	—	—	—	—	—	—	—
G15	—	—	—	—	—	—	—	—	—	—
G16	—	—	—	—	—	—	—	—	—	—
G17	—	—	—	—	—	—	—	—	—	—
G18	—	—	—	—	—	—	—	—	—	—
G19	—	—	—	—	—	—	—	—	—	—
G20	—	DDR_VDDQ	—	—	—	—	—	—	—	—
G21	—	VSS	—	—	—	—	—	—	—	—
G22	—	VSS	—	—	—	—	—	—	—	—
G23	—	VSS	—	—	—	—	—	—	—	—
G24	—	VSS	—	—	—	—	—	—	—	—
G25	—	VSS	—	—	—	—	—	—	—	—
H1	VCC1833_2	IRQ01_6	P01_6	D13	MTIOC6B / MTIOC8B / GTIOC1_0A / GTADSM0_0 / GTETRGB / CMTW1_TIC0	SCK1 / ETH0_RXER / ETH4_TXCLK / SPI_RSPCK3 / SD1_CD	MCLK02	—	HD13	—
H2	VCC1833_2	IRQ01_1	P01_1	RD/WR#	MITOC3C / MTIOC8A / GTIOC0_4B / GTADSM4_1	SCK5 / RXD5 / SCL5 / MISO5 / RXDE0 / ETH3_RXD2 / SD1_PWEN	—	USB_OVRCUR	HWRSTB#	ENCIFDI0
H3	VCC1833_2	IRQ01_3	P01_3	CS3# / DACK	—	CTS5# / RXD1 / SCL1 / MISO1 / DEE4 / IIC_SCL1 / ETH1_TXER / ETH3_RXDV / ESC_I2CCLK / SPI_MISO2	MDAT00	ADTRG1#	MBX_HINT#	ENCIFOE4
H4	VCC1833_2	IRQ01_0	P01_0	A0	MTIOC1A / MTIOC3A / GTIOC0_4A / GTADSM4_0_	DE4 / TXDE0 / ETH3_RXD1 / SPI_SSL21	—	—	HA0	ENCIFD00
H5	—	VSS	—	—	—	—	—	—	—	—
H6	—	VSS	—	—	—	—	—	—	—	—
H7	—	—	—	—	—	—	—	—	—	—
H8	—	—	—	—	—	—	—	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (9/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
H9	—	—	—	—	—	—	—	—	—	—
H10	—	—	—	—	—	—	—	—	—	—
H11	—	—	—	—	—	—	—	—	—	—
H12	—	—	—	—	—	—	—	—	—	—
H13	—	—	—	—	—	—	—	—	—	—
H14	—	—	—	—	—	—	—	—	—	—
H15	—	—	—	—	—	—	—	—	—	—
H16	—	—	—	—	—	—	—	—	—	—
H17	—	—	—	—	—	—	—	—	—	—
H18	—	—	—	—	—	—	—	—	—	—
H19	—	—	—	—	—	—	—	—	—	—
H20	—	DDR_VDDQ	—	—	—	—	—	—	—	—
H21	—	VSS	—	—	—	—	—	—	—	—
H22	—	—	—	—	—	—	—	DDR_DQA15	—	—
H23	—	—	—	—	—	—	—	DDR_DQA8	—	—
H24	—	VSS	—	—	—	—	—	—	—	—
H25	—	—	—	—	—	—	—	DDR_DQA14	—	—
J1	VCC1833_2	IRQ02_5	P02_5	A11	MTCLKD / MTIOC0D / GTIOC1_3B / GTADSM3_1	RXD2/SCL2/MISO2 / DEE1 / ETH4_RXD0 / GMAC2_PTPTRG1 / SPI_SSL32	MDAT12/MDAT40	—	HA11	ENCIFOE1
J2	VCC1833_2	IRQ02_1	P02_1	WE3#/AH#	MTIC5W / MTIOC7C / GTIOC1_1A / GTADSM1_1	SS1#/CTS1#/RTS1# / RXD3/SCL3/MISO3 / TXDE5 / ETH4_TXD2 / GMAC0_PTPTRG0 / ESC_LATCH0 / SPI_SSL30 / SPI_SSL00	—	—	HWR3#	ENCIFDO5
J3	VCC1833_2	IRQ02_0	P02_0	WE2#	MTIC5V / MTIOC7A / GTIOC1_1B / GTADSM1_0 / GTETRGD	TXD1/SDA1/MOSI1 / SCIEXTCLK / ETH4_TXD1 / ETHSW_PTPOUT0 / ESC_SYNC0 / SPI_MOSI3 / SD1_PWEN	—	—	HWR2#	—
J4	VCC1833_2	IRQ01_7	P01_7	D14	MTIC5U / MTIOC6D / GTIOC1_0B / GTADSM0_1 / GTETRGC / CMTW1_TOC0	RXD1/SCL1/MISO1 / ETH1_RXER / ETH4_TXD0 / SPI_MISO3 / SD1_WP	MDAT02	—	HD14	—
J5	—	VCC1833_2	—	—	—	—	—	—	—	—
J6	—	VCC1833_2	—	—	—	—	—	—	—	—
J7	—	—	—	—	—	—	—	—	—	—
J8	—	—	—	—	—	—	—	—	—	—
J9	—	VDD	—	—	—	—	—	—	—	—
J10	—	VSS	—	—	—	—	—	—	—	—
J11	—	VSS	—	—	—	—	—	—	—	—
J12	—	VDD	—	—	—	—	—	—	—	—
J13	—	VDD	—	—	—	—	—	—	—	—
J14	—	VSS	—	—	—	—	—	—	—	—
J15	—	VSS	—	—	—	—	—	—	—	—
J16	—	VDD	—	—	—	—	—	—	—	—
J17	—	VDD	—	—	—	—	—	—	—	—
J18	—	—	—	—	—	—	—	—	—	—
J19	—	—	—	—	—	—	—	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (10/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLSL, ENCOUT)
J20	—	VSS	—	—	—	—	—	—	—	—
J21	—	—	—	—	—	—	—	DDR_DQA12	—	—
J22	—	—	—	—	—	—	—	DDR_DQA11	—	—
J23	—	VSS	—	—	—	—	—	—	—	—
J24	—	—	—	—	—	—	—	DDR_DQSA_T1	—	—
J25	—	—	—	—	—	—	—	DDR_DQSA_C1	—	—
K1	—	VSS	—	—	—	—	—	—	—	—
K2	VCC1833_2	IRQ02_4	P02_4	A10	MTCLKC / MTIOC0C / GTIOC1_3A / GTADSM3_0	SCK2 / SCKE1 / ETH4_RXCLK / GMAC1_PTPTRG1 / SPI_SSL03 / SPI_SSL33	MCLK12 / MCLK40	—	HA10	ENCIFCK1
K3	VCC1833_2	IRQ03_1	P03_1	A15	GTIOC3_3B	DE2 / DEE5 / IIC_SDA2 / ETH0_CRS / ETH4_RXDV / ETHSW_PTPOUT3 / ESC_SYNC1 / SPI_MISO3	MDAT10	—	HA15	ENCIFOE5 / SI3# / HDLSL1_LINK
K4	VCC1833_2	IRQ02_2	P02_2	D15	MTIOC0A / MTIOC7B / GTIOC1_2A / GTADSM2_0	CTS1# / ETH4_TXD3 / GMAC0_PTPTRG1 / ESC_LED RUN / ESC_LATCH1 / SPI_SSL01 / SPI_SSL31 / SD1_PWEN	—	—	HD15	—
K5	VCC1833_2	IRQ02_3	P02_3	A9	MTIOC0B / MTIOC7D / GTIOC1_2B / GTADSM2_1	DE1 / ETH4_TXEN / GMAC1_PTPTRG0 / ESC_LEDERR / SPI_SSL02 / SPI_SSL32 / SD1_OVS	—	—	HA9	—
K6	—	VCC1833_2	—	—	—	—	—	—	—	—
K7	—	—	—	—	—	—	—	—	—	—
K8	—	—	—	—	—	—	—	—	—	—
K9	—	VSS	—	—	—	—	—	—	—	—
K10	—	VDD	—	—	—	—	—	—	—	—
K11	—	VDD	—	—	—	—	—	—	—	—
K12	—	VSS	—	—	—	—	—	—	—	—
K13	—	VSS	—	—	—	—	—	—	—	—
K14	—	VDD	—	—	—	—	—	—	—	—
K15	—	VDD	—	—	—	—	—	—	—	—
K16	—	VSS	—	—	—	—	—	—	—	—
K17	—	VSS	—	—	—	—	—	—	—	—
K18	—	—	—	—	—	—	—	—	—	—
K19	—	—	—	—	—	—	—	—	—	—
K20	—	DDR_VDDQ	—	—	—	—	—	—	—	—
K21	—	—	—	—	—	—	—	DDR_DQA13	—	—
K22	—	VSS	—	—	—	—	—	—	—	—
K23	—	—	—	—	—	—	—	DDR_DQA9	—	—
K24	—	—	—	—	—	—	—	DDR_DMIA1	—	—
K25	—	VSS	—	—	—	—	—	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (11/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLSL, ENCOUT)
L1	VCC1833_2	IRQ03_3	P03_3	TEND	CMTW1_TIC1	TXD1/SDA1/MOSI1 / TXD3/SDA3/MOSI3 / GMAC0_MDIO / GMAC1_MDIO / GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / ESWM_MDIO / ESC_LINKACT0 / SD1_PWEN	—	—	—	—
L2	VCC1833_2	MD2 / IRQ03_2	P03_2	DACK	CMTW1_TOC1 / RTCAT1HZ	DE2 / TXDE4 / ETH0_TXER / GMAC0_MDC / GMAC1_MDC / GMAC2_MDC / ETHSW_MDC / ESC_MDC / ESWM_MDC / SD1_IOVS	—	—	—	ENCIFD04
L3	VCC1833_2	IRQ03_0	P03_0	A14	GTIOC3_3A	CTS2# / SCKE5 / IIC_SCL2 / ETH0_COL / ETH4_RXD3 / SPI_MOSI3	MCLK10	—	HA14	ENCIFCK5 / TST_OUT3 / HDLSL0_MOSI2
L4	VCC1833_2	IRQ02_7	P02_7	A13	MTIOC1B / MTIOC6C / GTIOC1_4B / GTADSM4_1	SS2#/CTS2#/RTS2# / RXDE1 / ETH4_RXD2	MDAT11 / MDAT42	—	HA13	ENCIFDI1 / DUEI3
L5	VCC1833_2	IRQ02_6	P02_6	A12	MTIOC1A / MTIOC6A / GTIOC1_4A / GTADSM4_0	TXD2/SDA2/MOSI2 / TXDE1 / ETH4_RXD1 / GMAC2_PTPTRG0 / ESC_LEDSTER / SPI_SSL31	MCLK11 / MCLK42	—	HA12	ENCIFD01
L6	—	VCC1833_2	—	—	—	—	—	—	—	—
L7	—	—	—	—	—	—	—	—	—	—
L8	—	—	—	—	—	—	—	—	—	—
L9	—	VDD	—	—	—	—	—	—	—	—
L10	—	VSS	—	—	—	—	—	—	—	—
L11	—	VSS	—	—	—	—	—	—	—	—
L12	—	VSS	—	—	—	—	—	—	—	—
L13	—	VSS	—	—	—	—	—	—	—	—
L14	—	VSS	—	—	—	—	—	—	—	—
L15	—	VSS	—	—	—	—	—	—	—	—
L16	—	VDD	—	—	—	—	—	—	—	—
L17	—	VDD	—	—	—	—	—	—	—	—
L18	—	—	—	—	—	—	—	—	—	—
L19	—	—	—	—	—	—	—	—	—	—
L20	—	VSS	—	—	—	—	—	—	—	—
L21	—	—	—	—	—	—	—	DDR_DQA10	—	—
L22	—	VSS	—	—	—	—	—	—	—	—
L23	—	—	—	—	—	—	—	DDR_DQA1	—	—
L24	—	—	—	—	—	—	—	DDR_DQA3	—	—
L25	—	VSS	—	—	—	—	—	—	—	—
M1	VCC1833_6	IRQ04_1	P04_1	—	GTIOC1_1A	SS0#/CTS0#/RST0# / DEE1 / SD1_DATA1	MDAT00 / MDAT30	—	—	ENCIFOE1 / DUEI5 / HDLSL1_MISO1
M2	VCC1833_2	IRQ03_5	P03_5	A25	GTETRGSB	RXD3/SCL3/MISO3 / RXDE5 / ETH4_RXER / ESWM_PHYLINK1 / HPSW_PHYLINK1 / SPI_MISO0 / SPI_SSL30 / SD1_WP	MDAT11 / MCLK30	—	—	ENCIFDI5

表 1.19 機能別の端子一覧 (537 ピン FBGA) (12/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
M3	VCC1833_6	IRQ03_7	P03_7	—	GTIOC1_0B	RXD0/SCL0/MISO0 / DEE0 / IIC_SCL0 / SD1_CMD	MDAT02 / MDAT32	—	—	ENCIFOE0 / TST_OUT4 / HDL1_CLK1
M4	VCC1833_2	ETH4_REFCLK / RMII4_REFCLK / IRQ03_4	P03_4	A24	GTETRGS	TXDE5 / ESC_RESETOUT# / SPI_MOSI0 / SPI_RSPCK3 / SD1_CD	MCLK11	—	—	ENCIFDO5
M5	—	VSS	—	—	—	—	—	—	—	—
M6	—	VSS	—	—	—	—	—	—	—	—
M7	—	—	—	—	—	—	—	—	—	—
M8	—	—	—	—	—	—	—	—	—	—
M9	—	VSS	—	—	—	—	—	—	—	—
M10	—	VDD	—	—	—	—	—	—	—	—
M11	—	VSS	—	—	—	—	—	—	—	—
M12	—	VSS	—	—	—	—	—	—	—	—
M13	—	VSS	—	—	—	—	—	—	—	—
M14	—	VSS	—	—	—	—	—	—	—	—
M15	—	VSS	—	—	—	—	—	—	—	—
M16	—	VSS	—	—	—	—	—	—	—	—
M17	—	VSS	—	—	—	—	—	—	—	—
M18	—	—	—	—	—	—	—	—	—	—
M19	—	—	—	—	—	—	—	—	—	—
M20	—	DDR_VDDQ	—	—	—	—	—	—	—	—
M21	—	—	—	—	—	—	—	DDR_DMIA0	—	—
M22	—	—	—	—	—	—	—	DDR_DQA7	—	—
M23	—	VSS	—	—	—	—	—	—	—	—
M24	—	—	—	—	—	—	—	DDR_DQSA_C0	—	—
M25	—	—	—	—	—	—	—	DDR_DQSA_T0	—	—
N1	—	VSS	—	—	—	—	—	—	—	—
N2	VCC1833_6	IRQ03_6	P03_6	—	GTIOC1_0A	SCK0 / SCKE0 / SD1_CLK	MCLK02 / MCLK32	—	—	ENCIFCK0 / DUEI4 / HDL1_SMPL
N3	VCC1833_6	IRQ04_0	P04_0	—	GTIOC1_1B	TXD0/SDA0/MOSI0 / SCKE1 / IIC_SDA0 / SD1_DATA0	MCLK00 / MCLK30	—	—	ENCIFCK1 / SI4# / HDL1_SEL1
N4	VCC1833_6	IRQ04_2	P04_2	—	GTIOC1_2A	CTS0# / TXDE2 / SD1_DATA2	MCLK01 / MCLK31	—	—	ENCIFDO2 / TST_OUT5 / HDL1_MOSI1
N5	—	VCC1833_6	—	—	—	—	—	—	—	—
N6	—	VCC1833_6	—	—	—	—	—	—	—	—
N7	—	—	—	—	—	—	—	—	—	—
N8	—	—	—	—	—	—	—	—	—	—
N9	—	VDD	—	—	—	—	—	—	—	—
N10	—	VSS	—	—	—	—	—	—	—	—
N11	—	VSS	—	—	—	—	—	—	—	—
N12	—	VSS	—	—	—	—	—	—	—	—
N13	—	VSS	—	—	—	—	—	—	—	—
N14	—	VSS	—	—	—	—	—	—	—	—
N15	—	VSS	—	—	—	—	—	—	—	—
N16	—	VDD	—	—	—	—	—	—	—	—
N17	—	VCC18_PLL2	—	—	—	—	—	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (13/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
N18	—	—	—	—	—	—	—	—	—	—
N19	—	—	—	—	—	—	—	—	—	—
N20	—	VSS	—	—	—	—	—	—	—	—
N21	—	—	—	—	—	—	—	DDR_DQA2	—	—
N22	—	VSS	—	—	—	—	—	—	—	—
N23	—	—	—	—	—	—	—	DDR_DQA5	—	—
N24	—	—	—	—	—	—	—	DDR_DQA4	—	—
N25	—	VSS	—	—	—	—	—	—	—	—
P1	VCC1833_5	IRQ04_5	P04_5	—	GTIOC5_1B / CMTW0_TOC0	RXD1/SCL1/MISO1 / ESC_LINKACT0 / CANRX0 / SPI_MISO1 / SD0_CMD / NAND_RE#	—	—	HSPI_CS#	TST_OUT6 / HDL1_MISO2
P2	VCC1833_5	IRQ04_4	P04_4	—	GTIOC5_1A / CMTW0_TIC0	SCK1 / GMAC0_PTPTRG0 / ESC_LATCH0 / SPI_RSPCK1 / SD0_CLK / NAND_WE#	—	—	HSPI_INT#	DUEI6 / HDL1_SEL2
P3	VCC1833_6	IRQ04_3	P04_3	—	GTIOC1_2B	DE0 / RXDE2 / SD1_DATA3	MDAT01 / MDAT31	—	—	ENCIFDI2 / SI5# / HDL1_CLK2
P4	VCC1833_5	IRQ04_6	P04_6	—	GTIOC2_4A / GTIOC5_2A / CMTW0_TIC1	TXD1/SDA1/MOSI1 / ESC_LINKACT1 / CANTX0 / SPI_MOSI1 / SD0_DATA0 / NAND_IO0	—	—	HSPI_IO0	SI6# / HDL1_MOSI2
P5	—	VSS	—	—	—	—	—	—	—	—
P6	—	VSS	—	—	—	—	—	—	—	—
P7	—	—	—	—	—	—	—	—	—	—
P8	—	—	—	—	—	—	—	—	—	—
P9	—	VSS	—	—	—	—	—	—	—	—
P10	—	VDD	—	—	—	—	—	—	—	—
P11	—	VSS	—	—	—	—	—	—	—	—
P12	—	VSS	—	—	—	—	—	—	—	—
P13	—	VSS	—	—	—	—	—	—	—	—
P14	—	VSS	—	—	—	—	—	—	—	—
P15	—	VSS	—	—	—	—	—	—	—	—
P16	—	VSS	—	—	—	—	—	—	—	—
P17	—	VSS	—	—	—	—	—	—	—	—
P18	—	—	—	—	—	—	—	—	—	—
P19	—	—	—	—	—	—	—	—	—	—
P20	—	DDR_VDDQ	—	—	—	—	—	—	—	—
P21	—	VSS	—	—	—	—	—	—	—	—
P22	—	—	—	—	—	—	—	DDR_DQA0	—	—
P23	—	VSS	—	—	—	—	—	—	—	—
P24	—	—	—	—	—	—	—	DDR_DQA6	—	—
P25	—	VSS	—	—	—	—	—	—	—	—
R1	VCC1833_5	IRQ05_2	P05_2	—	GTIOC1_3B / GTIOC5_0A / CMTW1_TIC1	SCK2 / TXDE5 / ESC_LED RUN / SPI_RSPCK2 / SD0_DATA4 / NAND_IO4	—	—	HSPI_CK	ENCIFDO5 / HDL2_CLK1

表 1.19 機能別の端子一覧 (537 ピン FBGA) (14/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL2, ENCOUT)
R2	VCC1833_5	IRQ05_0	P05_0	—	GTIOC3_4A / GTIOC5_3A / CMTW1_TIC0	CTS1# / SCKE5 / ESC_LEDERR / CANTXDP0 / SPI_SSL11 / SD0_DATA2 / NAND_IO2	—	—	HSPI_IO2	ENCIFCK5 / TST_OUT7 / HDL2_SMPL
R3	VCC1833_5	IRQ04_7	P04_7	—	GTIOC2_4B / GTIOC5_2B / CMTW0_TOC1	SS1#/CTS1#/RTS1# / ESC_RESETOUT# / CANRXDP0 / SPI_DDL10 / SD0_DATA1 / NAND_IO1	—	—	HSPI_IO1	DUEI7 / HDL2_LINK
R4	VCC1833_5	IRQ05_1	P05_1	—	GTIOC4_4B / GTIOC5_3B / CMTW1_TOC0	DE1 / DEE5 / ETHSW_PTPOUT0 / ESC_SYNC0 / SPI_SSL12 / SPI_RSPCK0 / SD0_DATA3 / NAND_IO3	—	—	HSPI_IO3	ENCIFOE5 / SI7#
R5	—	VCC1833_5	—	—	—	—	—	—	—	—
R6	—	VCC1833_5	—	—	—	—	—	—	—	—
R7	—	—	—	—	—	—	—	—	—	—
R8	—	—	—	—	—	—	—	—	—	—
R9	—	VCC18_PLL0	—	—	—	—	—	—	—	—
R10	—	VSS	—	—	—	—	—	—	—	—
R11	—	VSS	—	—	—	—	—	—	—	—
R12	—	VSS	—	—	—	—	—	—	—	—
R13	—	VSS	—	—	—	—	—	—	—	—
R14	—	VSS	—	—	—	—	—	—	—	—
R15	—	VSS	—	—	—	—	—	—	—	—
R16	—	VDD	—	—	—	—	—	—	—	—
R17	—	VDD	—	—	—	—	—	—	—	—
R18	—	—	—	—	—	—	—	—	—	—
R19	—	—	—	—	—	—	—	—	—	—
R20	—	VSS	—	—	—	—	—	—	—	—
R21	—	—	—	—	—	—	—	DDR_CSA0	—	—
R22	—	—	—	—	—	—	—	DDR_CAA0	—	—
R23	—	VSS	—	—	—	—	—	—	—	—
R24	—	—	—	—	—	—	—	DDR_CKA_C	—	—
R25	—	—	—	—	—	—	—	DDR_CKA_T	—	—
T1	—	VSS	—	—	—	—	—	—	—	—
T2	VCC1833_5	IRQ05_5	P05_5	—	GTIOC2_3B	SS2#/CTS2#/RTS2# / RXD2/SCL2/MISO2 / ETH0_CRS / SPI_SSL20 / SD0_DATA7 / NAND_IO7	MDAT00	—	HSPI_IO6	HDL2_MOSI1
T3	VCC1833_5	IRQ05_3	P05_3	—	GTIOC5_0B / CMTW1_TOC1	RXD2/SCL2/MISO2 / RXDE5 / IIC_SCL2 / ETH0_TXER / ETH1_RXER / SPI_MISO2 / SD0_DATA5 / NAND_IO5	—	—	HSPI_IO4	ENCIFDI5 / HDL2_SEL1
T4	VCC1833_5	IRQ05_4	P05_4	—	GTIOC2_3A	TXD2/SDA2/MOSI2 / IIC_SDA2 / ETH0_RXER / SPI_MOSI2 / SD0_DATA6 / NAND_IO6	MCLK00	—	HSPI_IO5	HDL2_MISO1
T5	—	VSS	—	—	—	—	—	—	—	—
T6	—	VSS	—	—	—	—	—	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (15/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLS, ENCOUT)
T7	—	—	—	—	—	—	—	—	—	—
T8	—	—	—	—	—	—	—	—	—	—
T9	—	VSS	—	—	—	—	—	—	—	—
T10	—	VSS	—	—	—	—	—	—	—	—
T11	—	VDD	—	—	—	—	—	—	—	—
T12	—	VDD	—	—	—	—	—	—	—	—
T13	—	VDD	—	—	—	—	—	—	—	—
T14	—	VDD	—	—	—	—	—	—	—	—
T15	—	VSS	—	—	—	—	—	—	—	—
T16	—	VSS	—	—	—	—	—	—	—	—
T17	—	VSS	—	—	—	—	—	—	—	—
T18	—	—	—	—	—	—	—	—	—	—
T19	—	—	—	—	—	—	—	—	—	—
T20	—	DDR_VDDQ	—	—	—	—	—	—	—	—
T21	—	VSS	—	—	—	—	—	—	—	—
T22	—	—	—	—	—	—	—	DDR_CAA2	—	—
T23	—	—	—	—	—	—	—	DDR_CAA1	—	—
T24	—	—	—	—	—	—	—	DDR_CKEA0	—	—
T25	—	VSS	—	—	—	—	—	—	—	—
U1	—	IRQ06_0	P06_0	CS3#	GTIOC1_0A	SS3#/CTS3#/RTS3# / ETH1_RXER / ESC_LEDSTER / CANRXDP1 / SPI_SSL00	—	—	—	TST_OUT4 / HDLS2_MISO2
U2	—	IRQ05_7	P05_7	CS2#	GTIOC1_3A	SCK3 / SCKE5 / ETH1_TXER / ESC_RESETOUT# / SPI_RSPCK0	MCLK00	—	—	ENCIFCK5 / DUEI4 / HDLS2_SEL2
U3	VCC1833_5	IRQ05_6	P05_6	—	—	CTS2# / TXD2/SDA2 / MOSI2 / ETH2_COL / SPI_SSL21 / SD0_RST# / NAND_WP#	MCLK01	—	HSPI_I07	HDLS2_CLK2
U4	—	IRQ06_3	P06_3	D29	GTIOC1_1B / GTIOC2_0B	CTS3# / GMAC1_PTPTRG0 / ESC_LEDERR / CANTXDP1 / SPI_SSL01	—	—	HD29	TST_OUT5 / HDLS3_SMPL
U5	—	IRQ06_1	P06_1	CS5#	GTIOC1_3B	DEE5 / TXD3/SDA3 / MOSI3 / ETH1_CRS / CANTX1 / SPI_MOSI0	MDAT00	—	—	ENCIFOE5 / SI4# / HDLS2_MOSI2
U6	—	VCC33	—	—	—	—	—	—	—	—
U7	—	—	—	—	—	—	—	—	—	—
U8	—	—	—	—	—	—	—	—	—	—
U9	—	VDD	—	—	—	—	—	—	—	—
U10	—	VDD	—	—	—	—	—	—	—	—
U11	—	VSS	—	—	—	—	—	—	—	—
U12	—	VCC18_PLL3	—	—	—	—	—	—	—	—
U13	—	VCC18_PLL4	—	—	—	—	—	—	—	—
U14	—	VSS	—	—	—	—	—	—	—	—
U15	—	VDD	—	—	—	—	—	—	—	—
U16	—	VCC33	—	—	—	—	—	—	—	—
U17	—	VDD	—	—	—	—	—	—	—	—
U18	—	—	—	—	—	—	—	—	—	—
U19	—	—	—	—	—	—	—	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (16/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL3, ENCOUT)
U20	—	VSS	—	—	—	—	—	—	—	—
U21	—	—	—	—	—	—	—	DDR_CAA4	—	—
U22	—	—	—	—	—	—	—	DDR_CAA3	—	—
U23	—	VSS	—	—	—	—	—	—	—	—
U24	—	—	—	—	—	—	—	DDR_CSA1	—	—
U25	—	—	—	—	—	—	—	DDR_CKEA1	—	—
V1	—	IRQ06_5	P06_5	D31	MTIOC2B / GTIOC1_2A / GTIOC2_1B	SCK4 / SPI_SSL03	MCLK30	—	HD31	DUIE6 / HDL3_SEL1
V2	—	IRQ06_4	P06_4	D30	GTIOC1_1A / GTIOC2_1A	DE3 / GMAC1_PTPTRG1 / SPI_SSL02	MDAT01	—	HD30	SI5# / HDL3_CLK1
V3	—	IRQ06_2	P06_2	D28	GTIOC1_0B / GITOC02_0A	RXD3/SCL3/MISO3 / ETH1_COL / CANRX1 / SPI_MISO0	MCLK01	—	HD28	DUEI5 / HDL3_LINK
V4	—	IRQ06_7	P06_7	—	GTIOC1_4B / GITOC02_2B	TXD4/SDA4/MOSI4 / RXDE5 / CANTX0 / SD1_IQVS	MDAT02	—	—	ENCIFDI5 / SI6# / HDL3_MOSI1
V5	—	IRQ07_1	P07_1	—	POE4#	CTS4# / DEE1 / ETH4_RXER / ETHSW_TDMAOUT1 / ESC_LEDERR / CANRXDP0 / SPI_SSL22	MCLK31	ADTRG0#	—	ENCIFOE1 / TST_OUT7 / HDL3_SEL2
V6	—	VCC33	—	—	—	—	—	—	—	—
V7	—	—	—	—	—	—	—	—	—	—
V8	—	—	—	—	—	—	—	—	—	—
V9	—	—	—	—	—	—	—	—	—	—
V10	—	—	—	—	—	—	—	—	—	—
V11	—	—	—	—	—	—	—	—	—	—
V12	—	—	—	—	—	—	—	—	—	—
V13	—	—	—	—	—	—	—	—	—	—
V14	—	—	—	—	—	—	—	—	—	—
V15	—	—	—	—	—	—	—	—	—	—
V16	—	—	—	—	—	—	—	—	—	—
V17	—	—	—	—	—	—	—	—	—	—
V18	—	—	—	—	—	—	—	—	—	—
V19	—	—	—	—	—	—	—	—	—	—
V20	—	DDR_VDDQ	—	—	—	—	—	—	—	—
V21	—	—	—	—	—	—	—	DDR_CALIBRATION	—	—
V22	—	—	—	—	—	—	—	DDR_RETENTION	—	—
V23	—	—	—	—	—	—	—	DDR_RESET#	—	—
V24	—	—	—	—	—	—	—	DDR_CAA5	—	—
V25	—	VSS	—	—	—	—	—	—	—	—
W1	—	VSS	—	—	—	—	—	—	—	—
W2	—	IRQ07_0	P07_0	—	POE0# / GTIOC1_2B	SS4#/CTS4#/RTS4# / IIC_SDA1 / ETH4_TXER / ESC_RESETOUT# / SPI_SSL13	MDAT30	ADTRG2#	—	DUEI7 / HDL3_CLK2 / POUTA
W3	—	IRQ06_6	P06_6	—	GTIOC1_4A / GTIOC2_2A	RXD4/SCL4/MISO4 / TXDE5 / CANRX0 / SD1_PWEN	MCLK02	—	—	ENCIFDO5 / TST_OUT6 / HDL3_MISO1

表 1.19 機能別の端子一覧 (537 ピン FBGA) (17/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL3, ENCOUT)
W4	—	IRQ07_4	P07_4	A16	POE11# / GTIOC1_1B	SCKE1 / GMAC2_PTPTRG0 / ETHSW_TDMAOUT0 / ESC_LEDUN	MDAT22	—	—	ENCIFCK1 / HDL3_MOSI2
W5	—	IRQ07_2	P07_2	—	POE8#	DE4 / TXDE1 / ETH4_CRS / ETHSW_PTPOUT2 / ESC_SYNC0 / CANTXDP0 / SPI_SSL23	MDAT31	ADTRG1#	—	ENCIFDO1 / SI7# / POUTB
W6	—	VSS	—	—	—	—	—	—	—	—
W7	—	—	—	—	—	—	—	—	—	—
W8	—	—	—	—	—	—	—	—	—	—
W9	—	—	—	—	—	—	—	—	—	—
W10	—	—	—	—	—	—	—	—	—	—
W11	—	—	—	—	—	—	—	—	—	—
W12	—	—	—	—	—	—	—	—	—	—
W13	—	—	—	—	—	—	—	—	—	—
W14	—	—	—	—	—	—	—	—	—	—
W15	—	—	—	—	—	—	—	—	—	—
W16	—	—	—	—	—	—	—	—	—	—
W17	—	—	—	—	—	—	—	—	—	—
W18	—	—	—	—	—	—	—	—	—	—
W19	—	—	—	—	—	—	—	—	—	—
W20	—	VSS	—	—	—	—	—	—	—	—
W21	—	VSS	—	—	—	—	—	—	—	—
W22	—	VSS	—	—	—	—	—	—	—	—
W23	—	VSS	—	—	—	—	—	—	—	—
W24	—	VSS	—	—	—	—	—	—	—	—
W25	—	VSS	—	—	—	—	—	—	—	—
Y1	—	IRQ07_5	P07_5	—	MTCLKC / MTIOC0C / GTETRGA	TXDE6 / IIC_SDA0 / ETH0_TXER / CANTX0 / SPI_MOSI3	MCLK21	—	—	ENCIFDO6 / DUEI0 / HDL6_LINK
Y2	—	IRQ07_6	P07_6	A23	GTETRGA	ETH0_RXER / CANRXDP0 / SPI_SSL30	—	—	—	TST_OUT0 / HDL6_SMPL
Y3	—	IRQ07_3	P07_3	—	POE10# / GTIOC1_0A	RXDE1 / IIC_SCL1 / ETH4_COL / GMAC2_PTPTRG1 / ETHSW_PTPOUT3 / ESC_SYNC1	MCLK22	—	—	ENCIFDI1 / HDL3_MISO2 / POUTZ
Y4	—	IRQ07_7	P07_7	A22	MTCLKD / MTIOC0D / GTIOC0_1B / GTIOC4_0B / GTETRGC	SCK5 / DEE6 / IIC_SCL0 / ETH0_CRS / CANRX0 / SPI_MISO3	MCLK32	—	—	ENCIFOE6
Y5	—	IRQ08_3	P08_3	A18	—	TXD5/SDA5/MOSI5 / ETH1_CRS / ETHSW_TDMAOUT2 / ESC_LINKACT0 / CANRXDP1 / SPI_SSL33	—	—	—	SI0# / HDL6_CLK2
Y6	—	VSS	—	—	—	—	—	—	—	—
Y7	—	VCC33	—	—	—	—	—	—	—	—
Y8	—	VCC33	—	—	—	—	—	—	—	—
Y9	—	VSS	—	—	—	—	—	—	—	—
Y10	—	VDD18ABG	—	—	—	—	—	—	—	—
Y11	—	NCPOUT	—	—	—	—	—	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (18/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
Y12	—	VSS_USB	—	—	—	—	—	—	—	—
Y13	—	VSS	—	—	—	—	—	—	—	—
Y14	—	PCIE_VDDA_RX	—	—	—	—	—	—	—	—
Y15	—	PCIE_VDDA_TX	—	—	—	—	—	—	—	—
Y16	—	VSS	—	—	—	—	—	—	—	—
Y17	—	PCIE_VCC18A_CMN	—	—	—	—	—	—	—	—
Y18	—	VSS	—	—	—	—	—	—	—	—
Y19	—	VSS	—	—	—	—	—	—	—	—
Y20	—	VCC18_ADC1	—	—	—	—	—	—	—	—
Y21	—	VCC18_ADC2	—	—	—	—	—	—	—	—
Y22	—	VCC18_OTP	—	—	—	—	—	—	—	—
Y23	—	AVCC18_TSU	—	—	—	—	—	—	—	—
Y24	—	VSS	—	—	—	—	—	—	—	—
Y25	—	VSS	—	—	—	—	—	—	—	—
AA1	—	IRQ08_0	P08_0	A21	MTIOC0A / MTIOC6A / GTIOC4_1A / GTETRGD	SS5#/CTS5#/RTS5# / SCKE6 / ETH0_COL / CANRX1 / SPI_RSPCK3	MDAT32	—	—	ENCIFCK6 / DUEI1 / HDL6_SEL1
AA2	—	IRQ08_2	P08_2	A19	MTIOC0B / MTIOC6C / GTETRGSB	DE5 / RXDE6 / GMAC0_PTPTRG1 / ESC_LATCH1 / CANTX1 / SPI_SSL32 / SD0_WP	MDAT21	—	—	ENCIFDI6
AA3	—	IRQ08_1	P08_1	A20	GTETRGSB	CTS5# / GMAC0_PTPTRG0 / ESC_LATCH0 / CANTXDP0 / SPI_SSL31 / SD0_CD	—	—	—	TST_OUT1 / HDL6_MISO1
AA4	—	MDW0 / IRQ08_5	P08_5	A6	—	SCKE3 / SD1_PWEN / NAND_ALE	—	—	HA6	ENCIFCK3 / DUEI0
AA5	—	MDV0 / IRQ09_0	P09_0	WE0#	—	TXDE7 / ETHSW_PTPOUT1 / ESC_SYNC1 / SD0_IOVS	—	—	HWR0#	ENCIFDO7 / DUEI1
AA6	—	IRQ09_3	P09_3	CS0#	MTIOC2A / GTIOC4_3A	SS0#/CTS0#/RST0# / RXDE6 / SCKE4 / ETHSW_LPI0 / ESWM_MPINT0 / SD0_CD / NAND_RY_BY0#	MCLK31	—	HCS0#	ENCIFCK4 / ENCIFDI6 / HDL6_MOSI1
AA7	—	VSS	—	—	—	—	—	—	—	—
AA8	—	VSS	—	—	—	—	—	—	—	—
AA9	—	VSS	—	—	—	—	—	—	—	—
AA10	—	VSS	—	—	—	—	—	—	—	—
AA11	—	VCC33_USB	—	—	—	—	—	—	—	—
AA12	—	AVCC18_USB	—	—	—	—	—	—	—	—
AA13	—	VSS	—	—	—	—	—	—	—	—
AA14	—	PCIE_VDDA_RX	—	—	—	—	—	—	—	—
AA15	—	PCIE_VDDA_TX	—	—	—	—	—	—	—	—
AA16	—	VSS	—	—	—	—	—	—	—	—
AA17	—	VSS	—	—	—	—	—	—	—	—
AA18	—	VREFH0	—	—	—	—	—	—	—	—
AA19	—	VCC18_ADC0	—	—	—	—	—	—	—	—
AA20	—	VREFH1	—	—	—	—	—	—	—	—
AA21	—	VREFH2	—	—	—	—	—	—	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (19/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
AA22	—	VSS	—	—	—	—	—	—	—	—
AA23	—	VSS	—	—	—	—	—	—	—	—
AA24	—	VSS	—	—	—	—	—	—	—	—
AA25	—	VSS	—	—	—	—	—	—	—	—
AB1	—	VSS	—	—	—	—	—	—	—	—
AB2	—	IRQ08_4	P08_4	A17	—	RXD5/SCL5/MISO5 / ETH1_COL / ETHSW_TDMAOUT3 / ESC_LINKACT1 / CANTXDP1	—	—	—	SI1# / HDL6_SEL2
AB3	—	MDD / IRQ08_7	P08_7	A8	—	DEE7 / SD0_PWEN / NAND_CE0#	—	—	HA8	ENCIFOE7 / SI0#
AB4	—	MDV2 / IRQ09_5	P09_5	A1	—	TXDE3 / TXDE4 / ETHSW_LPI2	—	—	HA1	ENCIFDO3 / ENCIFDO4 / DUEI2
AB5	—	IRQ10_3	P10_3	—	MTIOC6D / GTIOC3_0B	RXD2/SCL2/MISO2	MDAT22	—	—	TST_OUT2
AB6	—	IRQ10_6	P10_6	—	MTIOC7B / GTIOC3_2A / CMTW0_TIC1	CTS2# / SCKE2	—	—	—	ENCIFCK2 / TST_OUT3
AB7	—	IRQ11_2	P11_2	—	GTIOC0_3B	TXD1/SDA1/MOSI1 / IIC_SDA0 / ESC_I2CDATA	—	USB_EXICEN	—	—
AB8	—	IRQ11_3	P11_3	—	POE4# / GTETRGD	RXD0/SCL0/MISO0 / IIC_SCL1	—	—	—	—
AB9	—	TRST#	—	—	—	—	—	—	—	—
AB10	—	VSS	—	—	—	—	—	—	—	—
AB11	—	VSS_USB	—	—	—	—	—	—	—	—
AB12	—	USB_RREF	—	—	—	—	—	—	—	—
AB13	—	VSS	—	—	—	—	—	—	—	—
AB14	—	PCIE_VCC18A	—	—	—	—	—	—	—	—
AB15	—	—	—	—	—	—	—	PCIE_REFCLKN	—	—
AB16	—	VSS	—	—	—	—	—	—	—	—
AB17	—	RES#	—	—	—	—	—	—	—	—
AB18	—	VSS	—	—	—	—	—	—	—	—
AB19	—	VSS	—	—	—	—	—	—	—	—
AB20	—	VSS	—	—	—	—	—	—	—	—
AB21	—	VSS	—	—	—	—	—	—	—	—
AB22	—	—	—	—	—	—	—	AN204	—	—
AB23	—	VSS	—	—	—	—	—	—	—	—
AB24	—	VSS	—	—	—	—	—	—	—	—
AB25	—	VSS	—	—	—	—	—	—	—	—
AC1	—	MDW1 / IRQ08_6	P08_6	A7	—	DEE3 / SD1_IOVS / NAND_CLE	—	—	HA7	ENCIFOE3 / TST_OUT0
AC2	—	MDV1 / IRQ09_1	P09_1	WE1#	—	SCKE7 / NAND_CE1#	—	—	HWR1#	ENCIFCK7 / TST_OUT1
AC3	—	MDV4 / IRQ09_7	P09_7	A3	—	SCKE6 / ETHSW_TDMAOUT1 / ESC_LINKACT1 / ESC_LINKACT2	—	—	HA3	ENCIFCK6 / SI2# / POUTA
AC4	—	IRQ10_5	P10_5	—	MTIOC7C / GTIOC3_1A / GTIOC4_2B / CMTW0_TOC0	SS2#/CTS2#/RTS2# / IIC_SDA2	—	—	—	DUEI3
AC5	—	IRQ10_4	P10_4	—	MTIOC7A / GTIOC3_1B / GTIOC4_2A / CMTW0_TIC0	TXD2/SDA2/MOSI2	—	—	—	SI2#

表 1.19 機能別の端子一覧 (537 ピン FBGA) (20/21)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
AC6	—	IRQ10_7	P10_7	—	MTIOC7D / GTIOC3_2B / CMTW0_TOC1	DE2 / DEE2	—	—	—	ENCIFOE2 / SI3#
AC7	—	TMS / IRQ12_0	P12_0	—	—	—	—	—	—	—
AC8	—	IRQ11_7	P11_7	—	POE11# / GTIOC5_2A / GTETRGA / RTCAT1HZ	—	—	USB_OTG_ID	MBX_HINT#	—
AC9	—	IRQ12_4	P12_4	—	—	—	—	USB_VBUSIN	—	—
AC10	—	VSS	—	—	—	—	—	—	—	—
AC11	—	VSS_USB	—	—	—	—	—	—	—	—
AC12	—	VCC18_USB	—	—	—	—	—	—	—	—
AC13	—	VSS_USB	—	—	—	—	—	—	—	—
AC14	—	VSS	—	—	—	—	—	—	—	—
AC15	—	VSS	—	—	—	—	—	—	—	—
AC16	—	—	—	—	—	—	—	PCIE_REFCLKP	—	—
AC17	—	MDX	—	—	—	—	—	—	—	—
AC18	—	EXTCLKIN	—	—	—	—	—	—	—	—
AC19	—	VSS	—	—	—	—	—	—	—	—
AC20	—	—	—	—	—	—	—	AN002	—	—
AC21	—	—	—	—	—	—	—	AN100	—	—
AC22	—	—	—	—	—	—	—	AN102	—	—
AC23	—	—	—	—	—	—	—	AN202	—	—
AC24	—	—	—	—	—	—	—	AN203	—	—
AC25	—	—	—	—	—	—	—	AN207	—	—
AD1	—	IRQ09_2	P09_2	WAIT#	—	SCK0 / RXDE3 / RXDE4 / NAND_RY_BY1#	—	—	HWAIT#	ENCIFDI3 / ENCIFI4 / SI1# / HDCL6_CLK1
AD2	—	IRQ09_4	P09_4	RD#	MTIOC2B / GTIOC4_3B	CTS0# / RXDE7 / DEE4 / ETHSW_LPI1 / ESWM_MPINT1 / SD0_WP / NAND_RY_BY2#	MDAT31	—	HRD#	ENCIFOE4 / ENCIFI7
AD3	—	MDV3 / IRQ09_6	P09_6	A2	—	DE0 / TXDE6 / ETHSW_TDMAOUT0 / NAND_CE2#	—	—	HA2	ENCIFD06 / TST_OUT2
AD4	—	IRQ10_2	P10_2	—	MTIOC1B / MTIOC6B / GTIOC3_0A / GTIOC4_1B	SCK2 / IIC_SCL2	MCLK22	—	—	DUEI2
AD5	—	IRQ11_0	P11_0	—	—	TXDE2	—	USB_VBUSIN	—	ENCIFD02
AD6	—	IRQ11_1	P11_1	—	GTIOC0_3A	RXD1/SCL1/MISO1 / RXDE2 / IIC_SCL0 / ESC_I2CCLK	—	USB_OVRCUR	—	ENCIFI2
AD7	—	CKIO / IRQ11_5	P11_5	—	POE0# / GTIOC5_0A / GTETRGA	SCIEXTCLK / IIC_SCL2 / NAND_RY_BY3#	—	—	HCKIO	—
AD8	—	TDI / IRQ12_1	P12_1	—	—	—	—	—	—	—
AD9	—	TDO / IRQ12_3	P12_3	—	—	—	—	—	—	—
AD10	—	VSS	—	—	—	—	—	—	—	—
AD11	—	—	—	—	—	—	—	USB_DP	—	—
AD12	—	VSS_USB	—	—	—	—	—	—	—	—
AD13	—	VSS	—	—	—	—	—	—	—	—
AD14	—	—	—	—	—	—	—	PCIE_RXDP	—	—
AD15	—	VSS	—	—	—	—	—	—	—	—
AD16	—	—	—	—	—	—	—	PCIE_TXDP	—	—

表 1.19 機能別の端子一覧 (537 ピン FBGA) (21/21)

端子番号	I/O ポート電 源ドメイン	電源クロック、シ ステム制御、割り 込み	I/O ポ ート	バス、 DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタ フェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
AD17	—	VSS	—	—	—	—	—	—	—	—
AD18	—	XTAL	—	—	—	—	—	—	—	—
AD19	—	VSS	—	—	—	—	—	—	—	—
AD20	—	—	—	—	—	—	—	AN001	—	—
AD21	—	—	—	—	—	—	—	AN101	—	—
AD22	—	—	—	—	—	—	—	AN103	—	—
AD23	—	—	—	—	—	—	—	AN200	—	—
AD24	—	—	—	—	—	—	—	AN201	—	—
AD25	—	—	—	—	—	—	—	AN205	—	—
AE1	—	VSS	—	—	—	—	—	—	—	—
AE2	—	MDV5 / IRQ10_0	P10_0	A4	—	DEE6 / ETHSW_TDMAOUT2 / ESC_IRQ / NAND_CE3#	—	—	HA4	ENCIFOE6 / POUTB
AE3	—	MDB / IRQ10_1	P10_1	A5	—	ETHSW_TDMAOUT3 / ESC_RESETOUT# / ESC_LED RUN	—	—	HA5	POUTZ
AE4	—	VSS	—	—	—	—	—	—	—	—
AE5	—	RSTOUT# / IRQ11_4	P11_4	—	GTETRGS A	TXD0/SDA0/MOSI0 / IIC_SDA1	—	—	—	—
AE6	—	IRQ11_6	P11_6	—	—	IIC_SDA2	—	USB_OVRCUR	—	—
AE7	—	VSS	—	—	—	—	—	—	—	—
AE8	—	TCK / IRQ12_2	P12_2	—	—	—	—	—	—	—
AE9	—	BSCANP	—	—	—	—	—	—	—	—
AE10	—	VSS	—	—	—	—	—	—	—	—
AE11	—	—	—	—	—	—	—	USB_DM	—	—
AE12	—	VSS_USB	—	—	—	—	—	—	—	—
AE13	—	VSS	—	—	—	—	—	—	—	—
AE14	—	—	—	—	—	—	—	PCIE_RXDN	—	—
AE15	—	VSS	—	—	—	—	—	—	—	—
AE16	—	—	—	—	—	—	—	PCIE_TXDN	—	—
AE17	—	VSS	—	—	—	—	—	—	—	—
AE18	—	EXTAL	—	—	—	—	—	—	—	—
AE19	—	VSS	—	—	—	—	—	—	—	—
AE20	—	—	—	—	—	—	—	AN000	—	—
AE21	—	—	—	—	—	—	—	AN003	—	—
AE22	—	VSS	—	—	—	—	—	—	—	—
AE23	—	VSS	—	—	—	—	—	—	—	—
AE24	—	—	—	—	—	—	—	AN206	—	—
AE25	—	VSS	—	—	—	—	—	—	—	—

1.7 489 ピン FBGA のピン割り付け

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	
A	VSS	P22_3	P22_2	P21_6	P21_4	P21_3	VSS	P20_4	P20_1	VSS	P20_0	P19_2	VSS	P18_4	P18_0	P17_2	VSS	P16_6	P16_4	VSS	P15_3	P14_6	VSS	A
B	P23_6	P23_0	P23_1	P22_1	VSS	P21_1	P21_2	P20_6	P20_3	P19_6	P19_3	P19_0	P18_7	P18_3	P17_7	P17_3	P17_1	P16_5	P16_1	P15_6	P15_2	P14_5	P15_4	B
C	P23_4	P24_1	P23_3	P23_2	P22_4	P21_7	P22_5	P21_0	P20_5	P19_7	P19_5	VSS	P18_5	P18_2	P17_5	P17_4	P17_0	P16_3	P16_0	P15_5	P15_0	P14_3	P14_1	C
D	P24_2	P24_0	P23_5	VSS	P22_7	P22_6	P22_0	P21_5	P20_7	P20_2	P19_4	P19_1	P18_6	P18_1	P17_6	P16_7	P16_2	P15_7	P15_1	P14_7	P14_4	P14_2	VSS	D
E	P24_7	P24_5	P24_3	VSS	P23_7	VSS	VCC1833_1	VSS	VCC1833_0	VSS	VCC1833_0	VSS	VCC1833_3	VSS	VCC1833_4	VSS	VCC33	VSS	VSS	VSS	VSS	VSS	VSS	E
F	VSS	P25_0	P24_6	P24_4	P00_1	VSS	VCC1833_1	VSS	VCC1833_0	VSS	VCC1833_0	VSS	VCC1833_3	VCC18_RL1	VCC1833_4	VSS	VCC33	VSS	DDR_VDDQ	VSS	VSS	VSS	VSS	F
G	VSS	P00_0	P00_2	P00_4	VSS	VSS																		G
H	P00_5	P00_6	P00_3	P00_7	VCC1833_2	VCC1833_2																		H
J	P01_0	P01_1	P01_2	P01_4	VSS	VSS																		J
K	VSS	P01_3	P01_5	P02_0	VCC1833_2	VCC1833_2																		K
L	P01_7	P01_6	P02_1	P02_3	VSS	VSS																		L
M	VSS	P02_4	P02_6	P03_1	VCC1833_6	VCC1833_6											VCC18_RL2							M
N	P02_2	P02_5	P03_0	P03_4	VSS	VSS											VSS							N
P	P02_7	P03_3	P04_0	P03_7	VSS	VCC18_RL0											VSS							P
R	P03_2	P03_5	P04_1	P04_2	VCC1833_5	VCC1833_5											VSS							R
T	P03_6	P04_3	P04_6	P05_1	VSS	VSS											VCC18_RL4							T
U	VSS	P04_4	P05_2	P05_4	VSS	VCC33											VSS							U
V	P04_5	P04_7	VSS	P05_3	VSS	VSS	VCC33	VCC33	VSS	VCC18_RL3	VSS	PCIE_VDDA_RX	PCIE_VDDA_TX	PCIE_VDDA_TX	PCIE_VDDA_TX	PCIE_VDDA_TX	VSS	VSS	VSS	VSS	VCC18_OTP	VSS	VSS	V
W	P05_0	P05_5	P05_6	P05_8	P08_7	VSS	VSS	VSS	VDD18AB	VCC33_USB	VSS_USB	VSS	PCIE_VDDA_RX	PCIE_REFCLKIN	VSS	VSS	VCC18_AD0	VCC18_AD0	VCC18_AD0	VCC18_AD0	VSS	AVCC18_TSU	VSS	W
Y	P08_6	P09_0	P09_3	P09_5	P09_7	P12_1	TRST#	VSS	NCPOUT	AVCC18_USB	VSS_USB	VSS	PCIE_VDDA_TX	PCIE_REFCLKIN	EXTCLKIN	MDX	VREFH0	VREFH0	VREFH0	VREFH0	VSS	VSS	VSS	Y
AA	P09_1	P09_2	P09_4	P11_3	P11_7	P12_3	P12_4	VSS	VSS_USB	USB_RREF	VSS_USB	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	AN102	AN103	AN201	AN203	AA
AB	P09_6	P10_0	P10_1	P11_0	P11_2	P11_5	BSCANP	VSS	USB_DP	VCC18_USB	VSS	PCIE_RXD_P	VSS	PCIE_TXD_P	VSS	XTAL	VSS	AN000	AN002	AN101	AN202	AN204	AN206	AB
AC	VSS	P11_1	P11_4	P11_6	P12_0	VSS	P12_2	VSS	USB_DM	VSS_USB	VSS	PCIE_RXD_N	VSS	PCIE_TXD_N	VSS	EXTAL	RES#	AN001	AN003	AN100	VSS	AN200	VSS	AC
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	

図 1.3 489 ピン FBGA のピン配置図 (上面図)

表 1.20 機能別の端子一覧 (489 ピン FBGA) (1/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLS, ENCOUT)
A1	—	VSS	—	—	—	—	—	—	—	—
A2	VCC1833_0	IRQ22_3	P22_3	—	GTIOC0_3B	ETH1_RXD3	—	—	—	HDLS6_MOSI1
A3	VCC1833_0	IRQ22_2	P22_2	—	GTIOC0_3A / GTIOC4_5B / GTIOC5_0B	ETH1_RXD2	—	—	—	HDLS6_MISO1
A4	VCC1833_0	IRQ21_6	P21_6	—	—	ETH1_TXEN	—	—	—	HDLS6_LINK
A5	VCC1833_0	IRQ21_4	P21_4	—	—	ETH1_TXD2	—	—	—	HDLS5_MISO2
A6	VCC1833_0	IRQ21_3	P21_3	—	—	ETH1_TXD1	—	—	—	HDLS5_SEL2
A7	—	VSS	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (2/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
A8	VCC1833_0	MD0 / IRQ20_4	P20_4	—	—	GMAC0_MDC / GMAC1_MDC / GMAC2_MDC / ETHSW_MDC / ESC_MDC / ESWM_MDC / CANTX1	—	—	—	—
A9	VCC1833_0	IRQ20_1	P20_1	—	—	ETH0_RXD2 / CANRXDP0	—	—	—	HDSL4_MISO2
A10	—	VSS	—	—	—	—	—	—	—	—
A11	VCC1833_0	IRQ20_0	P20_0	—	—	ETH0_RXD1 / CANTX0	—	—	—	HDSL4_SEL2
A12	VCC1833_0	IRQ19_2	P19_2	—	—	ETH0_TXD1	—	—	—	HDSL4_SMPL
A13	—	VSS	—	—	—	—	—	—	—	—
A14	VCC1833_3	IRQ18_4	P18_4	—	GTETRGA	DEE4 / ESWM_TASGATE1_5 / XSPI0_IO5	MDAT21	—	—	ENCIFOE4 / HDL3_MOSI1
A15	VCC1833_3	IRQ18_0	P18_0	—	—	ESWM_TASGATE1_1 / XSPI0_IO1	MCLK02	—	—	HDSL3_SMPL
A16	VCC1833_3	IRQ17_2	P17_2	—	—	SCKE7 / ESWM_TASGATE0_4 / XSPI0_CKP	MCLK30	—	—	ENCIFCK7 / HDL2_MOSI1
A17	—	VSS	—	—	—	—	—	—	—	—
A18	VCC1833_4	IRQ16_6	P16_6	—	MTCLKC / MTIOC0C / GTIOC3_3A	SCKE3 / IIC_SCL0 / ETH2_TXER / ETH3_TXER / CANRXDP0 / SPI_RSPCK0 / XSPI1_IO4	MCLK30	—	—	ENCIFCK3 / HDL2_SMPL
A19	VCC1833_4	IRQ16_4	P16_4	—	MTIOC7B / GTIOC3_2A / GTIOC4_2A	RXD4/SCL3/MISO3 / SCKE7 / ETH4_CRS, SPI_MISO0 / XSPI1_IO2	MCLK01	—	—	ENCIFCK7 / HDL1_MOSI2
A20	—	VSS	—	—	—	—	—	—	—	—
A21	—	IRQ15_3	P15_3	D10	MTIOC1A / MTIOC3C / GTIOC2_4B / CMTW1_TOC0	RXDE2 / SD1_IOVS	—	ADTRG0#	HD10	ENCIFDI2 / HDL1_LINK
A22	—	IRQ14_6	P14_6	D5	MTIOC1B / MTIOC4B / GTIOC2_2A / CMTW0_TIC0	SD0_PWEN	—	—	HD5	HDSL0_MOSI1 / POUTA
A23	—	VSS	—	—	—	—	—	—	—	—
B1	VCC1833_1	IRQ23_6	P23_6	—	GTIOC4_3A / GTIOC5_3A / RTCAT1HZ	SCK4 / ETH2_RXCLK / ESC_LEDUN / SD0_CD	MDAT30 / MDAT42	—	—	HDSL7_CLK2
B2	VCC1833_1	IRQ23_0	P23_0	—	GTIOC3_3A / GTIOC4_0A	RXD3/SCL3/MISO3 / ETH2_TXCLK / SPI_RSPCK0	MDAT01	—	—	HDSL7_LINK
B3	VCC1833_1	IRQ23_1	P23_1	—	GTIOC3_3B / GTIOC4_0B	SCK3 / IIC_SCL0 / ETH2_TXD0 / GMAC0_PTPTRG0 / ESC_LATCH0 / CANRXDP1 / SPI_MISO0	MCLK21 / MCLK40	—	—	HDSL7_SMPL
B4	VCC1833_0	IRQ22_1	P22_1	—	GTIOC4_5A / GTIOC5_0A	ETH1_RXD1	—	—	—	HDSL6_SEL1
B5	—	VSS	—	—	—	—	—	—	—	—
B6	VCC1833_0	IRQ21_1	P21_1	—	—	ETH1_TXCLK	—	—	—	HDSL5_MOSI1
B7	VCC1833_0	IRQ21_2	P21_2	—	—	ETH1_TXD0	—	—	—	HDSL5_CLK2
B8	VCC1833_0	IRQ20_6	P20_6	—	—	ETHSW_PHYLINK0 / ESC_PHYLINK0 / ESWM_PHYLINK0 / HPSW_PHYLINK0 / CANRXDP1	—	—	—	HDSL5_CLK1
B9	VCC1833_0	IRQ20_3	P20_3	—	—	ETH0_RXDV	—	—	—	HDSL5_LINK

表 1.20 機能別の端子一覧 (489 ピン FBGA) (3/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLS, ENCOUT)
B10	VCC1833_0	IRQ19_6	P19_6	—	—	ETH0_RXCLK	—	—	—	HDLS4_MISO1
B11	VCC1833_0	IRQ19_3	P19_3	—	—	ETH0_TXD2	—	—	—	HDLS4_CLK1
B12	VCC1833_0	IRQ19_0	P19_0	—	—	ETH0_TXCLK	—	—	—	HDLS3_MISO2
B13	VCC1833_3	IRQ18_7	P18_7	—	—	ESWM_TASGATE1_8 / XSPI0_RESET0#	MCLK30 / MDAT02	—	—	HDLS3_MISO2
B14	VCC1833_3	IRQ18_3	P18_3	—	—	SCKE4 / ESWM_TASGATE1_4 / XSPI0_IO4	MCLK21	—	—	ENCIFCK4 / HDLS3_MISO1
B15	VCC1833_3	IRQ17_7	P17_7	—	—	ESWM_TASGATE1_0 / XSPI0_IO0	MDAT20	—	—	HDLS3_LINK
B16	VCC1833_3	IRQ17_3	P17_3	—	—	DEE7 / ESWM_TASGATE0_5 / XSPI0_CKN	MDAT30	—	—	ENCIFOE7 / HDLS2_CLK2
B17	VCC1833_4	IRQ17_1	P17_1	—	MTIOC0B / MTIOC6C / GTIOC4_4B	RXDE3 / IIC_SDA1 / ETH2_COL / ETH3_COL / CANTX0 / XSPI1_IO7	MDAT31	—	MBX_HINT#	ENCIFDI3 / HDLS2_MISO1
B18	VCC1833_4	IRQ16_5	P16_5	—	MTIOC7D / GTIOC3_2B / GTIOC4_2B	TXD3/SDA3/MOSI3 / DEE7 / ETH4_COL / SPI_MOSI0 / XSPI1_IO3	MDAT01	—	—	ENCIFOE7 / HDLS2_LINK
B19	VCC1833_4	IRQ16_1	P16_1	—	MTIOC6D / GTIOC3_0B / GTIOC4_0B	TXD1/SDA1/MOSI1 / RXDE1 / IIC_SDA2 / ESWM_TASGATE0_3 / XSPI1_DS	MDAT22	—	—	ENCIFDI1 / HDLS1_CLK2
B20	VCC1833_4	IRQ15_6	P15_6	—	GTIOC0_4A	DE1 / TXDE6 / TXDE7 / IIC_SCL1 / ESWM_TASGATE0_0 / XSPI1_CKP	MCLK21	—	—	ENCIFDO6 / ENCIFDO7 / HDLS1_SEL1
B21	—	IRQ15_2	P15_2	D9	MTIOC3A / MTIC5W / GTIOC2_4A / CMTW1_TIC0	TXDE2 / SD1_PWEN	—	—	HD9	ENCIFDO2 / HDLS0_MISO2
B22	—	IRQ14_5	P14_5	D4	MTIOC4C / MTIC5V / GTIOC0_1A / GTIOC2_1B	RXDE6 / ETH2_COL / ETH3_COL	—	ADTRG2#	HD4	ENCIFDI6 / HDLS0_MISO1
B23	—	IRQ15_4	P15_4	D11	GTIOC2_0A / CMTW1_TIC1	SCKE6 / IIC_SCL0 / ESC_I2CCLK	MCLK20	ADTRG1#	HD11	ENCIFCK6 / HDLS1_SMPL
C1	VCC1833_1	IRQ23_4	P23_4	—	GTIOC4_2A / GTIOC4_3B	CTS3# / ETH2_TXD3 / ETHSW_PTPOUT2 / ESC_SYNC0 / SPI_SSL01	MDAT01 / MDAT41	—	—	HDLS7_MISO1
C2	VCC1833_1	IRQ24_1	P24_1	DACK	POE4# / GTIOC4_4B / CMTW0_TIC0	SS4#/CTS4#/RTS4# / TXDE0 / ETH0_TXER / ETH2_RXD2 / ESC_IRQ / SPI_SSL10 / SD1_WP	MCLK11	—	MBX_HINT#	ENCIFDO0
C3	VCC1833_1	IRQ23_3	P23_3	—	GTIOC4_1B / GTIOC4_3A	SS3#/CTS3#/RTS3# / ETH2_TXD2 / ESC_LINKACT1 / SPI_SSL00	MCLK01 / MCLK41	—	—	HDLS7_SEL1
C4	VCC1833_1	IRQ23_2	P23_2	—	GTIOC4_1A	IIC_SDA0 / ETH2_TXD1 / ESC_LINKACT0 / CANTXDP1 / SPI_MOSI0	MDAT21 / MDAT40	—	—	HDLS7_CLK1
C5	VCC1833_0	IRQ22_4	P22_4	—	GTIOC0_2B	ETH1_RXDV	—	—	—	HDLS6_CLK2
C6	VCC1833_0	IRQ21_7	P21_7	—	GTIOC4_4A	ETH1_RXCLK	—	—	—	HDLS6_SMPL
C7	VCC1833_0	IRQ22_5	P22_5	—	—	ETHSW_PHYLINK1 / ESC_PHYLINK1 / ESWM_PHYLINK1 / HPSW_PHYLINK1	—	—	—	HDLS6_SEL2
C8	VCC1833_0	IRQ21_0	P21_0	—	—	—	—	—	—	HDLS5_MISO1

表 1.20 機能別の端子一覧 (489 ピン FBGA) (4/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
C9	VCC1833_0	IRQ20_5	P20_5	—	—	GMAC0_MDIO / GMAC1_MDIO / GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / ESWM_MDIO / CANRX1	—	—	—	HDSL5_SMPL
C10	VCC1833_0	IRQ19_7	P19_7	—	—	ETH0_RXD0 / CANRX0	—	—	—	HDSL4_CLK2
C11	VCC1833_0	IRQ19_5	P19_5	—	—	ETH0_TXEN	—	—	—	HDSL4_MISO1
C12	—	VSS	—	—	—	—	—	—	—	—
C13	VCC1833_3	IRQ18_5	P18_5	—	GTETRGB	RXDE4 / ESWM_TASGATE1_6 / XSPI0_IO6	MCLK20	—	—	ENCIFDI4 / HDL3_CLK2
C14	VCC1833_3	IRQ18_2	P18_2	—	—	ESWM_TASGATE1_3 / XSPI0_IO3	MDAT32	—	—	HDSL3_SEL1
C15	VCC1833_3	IRQ17_5	P17_5	—	—	RXDE7 / ESWM_TASGATE0_7 / XSPI0_CS1#	MDAT31	—	—	ENCIFDI7 / HDL2_MISO2
C16	VCC1833_3	IRQ17_4	P17_4	—	—	TXDE7 / ESWM_TASGATE0_6 / XSPI0_CS0#	MCLK31	—	—	ENCIFDO7 / HDL2_SEL2
C17	VCC1833_4	IRQ17_0	P17_0	—	MTIOC0A / MTIOC6A / GTIOC3_4A	TXDE3 / IIC_SCL1 / ETH2_CRS / ETH3_CRS / CANRX0 / XSPI1_IO6	MCLK31	USB_VBUSEN	—	ENCIFDO3 / HDL2_SEL1
C18	VCC1833_4	IRQ16_3	P16_3	—	MTIOC7C / GTIOC3_1A / GTIOC4_1B	TXD5/SDA5/MOSI5 / TXDE4 / ETH4_RXER / SPI_SSL02 / XSPI1_IO1	—	—	—	ENCIFDO4 / HDL1_MISO2
C19	VCC1833_4	IRQ16_0	P16_0	—	MTIOC1B / MTIOC6B / GTIOC3_0A / GTIOC4_0A	RXD1/SCL1/MISO1 / TXDE1 / IIC_SCL2 / ESWM_TASGATE0_2 / XSPI1_CS1#	MCLK22	—	—	ENCIFDO1 / HDL1_MOSI1
C20	—	IRQ15_5	P15_5	D12	GTIOC2_0B / CMTW1_TOC1 / RTCAT1HZ	DEE6 / IIC_SDA0 / ESC_I2CDATA	MDAT20	ADTRG2#	HD12	ENCIFDO6 / HDL1_CLK1
C21	—	IRQ15_0	P15_0	D7	MTCLKA / MTIOC8C / GTIOC2_3A / CMTW0_TIC1	SCKE2 / SD1_CD	—	—	HD7	ENCIFCK2 / HDL0_SEL2 / POUTZ
C22	—	IRQ14_3	P14_3	D2	POE0# / GTIOC0_2A / GTETRGA / RTCAT1HZ	SCIEXTCLK	—	ADTRG0# / USB_EXICEN	HD2 / MBX_HINT#	HDL0_CLK1
C23	—	IRQ14_1	P14_1	D0	MTIOC3B / MTIOC8A / GTIOC0_0A / GTIOC2_0A / GTIOC4_6A	SCKE6 / ETH2_TXER / ETH3_TXER	—	USB_VBUSEN	HD0	ENCIFCK6 / HDL0_LINK
D1	VCC1833_1	IRQ24_2	P24_2	TEND	POE8# / GTIOC4_5A / CMTW0_TOC0	CTS4# / RXDE0 / ETH2_RXD3 / ESC_RESETOUT# / SPI_SSL11	MDAT11	—	—	ENCIFDI0 / HDL7_MOSI2
D2	VCC1833_1	IRQ24_0	P24_0	DREQ	POE0# / GTIOC4_4A	DEE0 / IIC_SDA1 / ETH0_CRS / ETH2_RXD1 / ESC_LINKACT2 / SPI_SSL13 / SD1_CD	MDAT10 / MDAT32	—	—	ENCIFOE0 / HDL7_MISO2
D3	VCC1833_1	IRQ23_5	P23_5	—	GTIOC4_2B	DE3 / ETH2_TXEN / ESC_LEDERR / SPI_SSL02	MCLK30 / MCLK42	—	—	HDSL7_MOSI1
D4	—	VSS	—	—	—	—	—	—	—	—
D5	VCC1833_0	IRQ22_7	P22_7	—	—	—	—	—	—	HDSL6_MOSI2
D6	VCC1833_0	ETH1_REFCLK / RMI11_REFCLK / IRQ22_6	P22_6	—	—	—	—	—	—	HDSL6_MISO2
D7	VCC1833_0	IRQ22_0	P22_0	—	GTIOC4_4B	ETH1_RXD0	—	—	—	HDSL6_CLK1
D8	VCC1833_0	IRQ21_5	P21_5	—	—	ETH1_TXD3	—	—	—	HDSL5_MOSI2

表 1.20 機能別の端子一覧 (489 ピン FBGA) (5/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
D9	VCC1833_0	ETH0_REFCLK / RMII0_REFCLK / IRQ20_7	P20_7	—	—	CANTXDP1	—	—	—	HDSL5_SEL1
D10	VCC1833_0	IRQ20_2	P20_2	—	—	ETH0_RXD3 / CANTXDP0	—	—	—	HDSL4_MOSI2
D11	VCC1833_0	IRQ19_4	P19_4	—	—	ETH0_TXD3	—	—	—	HDSL4_SEL1
D12	VCC1833_0	IRQ19_1	P19_1	—	—	ETH0_TXD0	—	—	—	HDSL4_LINK
D13	VCC1833_3	IRQ18_6	P18_6	—	GTETRGC	TXDE4 / ESWM_TASGATE1_7 / XSPI0_IO7	MDAT20	—	—	ENCIFD04 / HDL3_SEL2
D14	VCC1833_3	IRQ18_1	P18_1	—	—	ESWM_TASGATE1_2 / XSPI0_IO2	MCLK32	—	—	HDSL3_CLK1
D15	VCC1833_3	IRQ17_6	P17_6	—	—	ESWM_TASGATE0_8 / XSPI0_DS	MCLK20	—	—	HDSL2_MOSI2
D16	VCC1833_4	IRQ16_7	P16_7	—	MTCLKD / MTIOC0D / GTIOC3_3B	DEE3 / IIC_SDA0 / ETH2_RXER / ETH3_RXER / CANTXDP0 / SPI_SSL00 / XSPI1_IO5	MDAT30	—	—	ENCIFOE3 / HDL2_CLK1
D17	VCC1833_4	IRQ16_2	P16_2	—	MTIOC7A / GTIOC3_1B / GTIOC4_1A	RXD5/SCL5/MISO5 / RXDE4 / ETH4_TXER / SPI_SSL01 / XSPI1_IO0	—	—	—	ENCIFD4 / HDL1_SEL2
D18	VCC1833_4	IRQ15_7	P15_7	—	GTIOC0_4B	DE3 / RXDE6 / RXDE7 / IIC_SDA1 / ESWM_TASGATE0_1 / XSPI1_CS0#	MDAT21	—	—	ENCIFD16 / ENCIFD17 / HDL1_MISO1
D19	—	IRQ15_1	P15_1	D8	MTCLKB / MTIOC8D / GTIOC2_3B / CMTW0_TOC1	DEE2 / SD1_WP	—	—	HD8	ENCIFOE2 / HDL0_MISO2
D20	—	IRQ14_7	P14_7	D6	MTIOC1A / MTIOC4D / GTIOC2_2B / CMTW0_TOC0	SD0_IOVS	—	—	HD6	HDL0_CLK2 / POUTB
D21	—	IRQ14_4	P14_4	D3	MTIOC4A / MTIC5U / GTIOC0_1B / GTIOC2_1A	TXDE6 / ETH2_CRS / ETH3_CRS	—	ADTRG1#	HD3	ENCIFD06 / HDL0_SEL1
D22	—	IRQ14_2	P14_2	D1	MTIOC3D / MTIOC8B / GTIOC0_0B / GTIOC2_0B / GTIOC4_6B	DEE6 / ETH2_RXER / ETH3_RXER	—	USB_OVRCUR	HD1	ENCIFOE6 / HDL0_SMPL
D23	—	VSS	—	—	—	—	—	—	—	—
E1	VCC1833_1	IRQ24_7	P24_7	—	—	TXD3/SDA3/MOSI3 / GMAC0_MDIO / GMAC1_MDIO / GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / ESWM_MDIO / CANRX1 / SPI_RSPCK1	—	—	—	—
E2	VCC1833_1	IRQ24_5	P24_5	—	POE10# / GTIOC4_6B / GTETRGA	TXD4/SDA4/MOSI4 / SCIEXTCLK	MDAT22	PCIE_RSTOUTB	—	HDL0_CLK1
E3	VCC1833_1	IRQ24_3	P24_3	—	GTIOC4_5B / CMTW0_TIC1	RXD5/SDA5/MOSI5 / IIC_SCL1 / ETH0_RXER / ETH2_RXDV / ESC_I2CCLK / SPI_MOSI1 / SD0_PWEN	MDAT12	—	—	HDL0_LINK
E4	—	VSS	—	—	—	—	—	—	—	—
E5	VCC1833_1	IRQ23_7	P23_7	—	GTIOC4_3B / GTIOC5_3B	SCKE0 / IIC_SCL1 / ETH0_COL / ETH2_RXD0 / SPI_SSL12 / SD0_WP	MCLK10 / MCLK32	—	—	ENCIFCK0 / HDL7_SEL2

表 1.20 機能別の端子一覧 (489 ピン FBGA) (6/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
E6	—	VSS	—	—	—	—	—	—	—	—
E7	—	VCC1833_1	—	—	—	—	—	—	—	—
E8	—	VSS	—	—	—	—	—	—	—	—
E9	—	VCC1833_0	—	—	—	—	—	—	—	—
E10	—	VSS	—	—	—	—	—	—	—	—
E11	—	VCC1833_0	—	—	—	—	—	—	—	—
E12	—	VSS	—	—	—	—	—	—	—	—
E13	—	VCC1833_3	—	—	—	—	—	—	—	—
E14	—	VSS	—	—	—	—	—	—	—	—
E15	—	VCC1833_4	—	—	—	—	—	—	—	—
E16	—	VSS	—	—	—	—	—	—	—	—
E17	—	VCC33	—	—	—	—	—	—	—	—
E18	—	VSS	—	—	—	—	—	—	—	—
E19	—	VSS	—	—	—	—	—	—	—	—
E20	—	VSS	—	—	—	—	—	—	—	—
E21	—	VSS	—	—	—	—	—	—	—	—
E22	—	VSS	—	—	—	—	—	—	—	—
E23	—	VSS	—	—	—	—	—	—	—	—
F1	—	VSS	—	—	—	—	—	—	—	—
F2	VCC1833_1	IRQ25_0	P25_0	—	—	RXD1/SCL1/MISO1 / RXD3/SCL3/MISO3 / ETHSW_PHYLINK2 / ESC_PHYLINK2 / CANTX1 / SPI_SSL03	MCLK22	—	—	—
F3	VCC1833_1	MD1 / IRQ24_6	P24_6	—	—	DE5 / GMAC0_MDC / GMAC1_MDC / GMAC2_MDC / ETHSW_MDC / ESC_MDC / ESWM_MDC	—	—	—	—
F4	VCC1833_1	ETH2_REFCLK / RMII2_REFCLK / IRQ24_4	P24_4	—	POE11# / GTIOC4_6A / CMTW0_TOC1	RXD5/SCL5/MISO5 / IIC_SDA1 / ETH1_RXER / ESC_I2CDATA / SPI_MISO1 / SD0_IOVS	MCLK12	—	—	HDSL0_SMPL
F5	VCC1833_2	IRQ00_1	P00_1	A17	MTIOC3D / GTIOC0_0B / GTADSM0_1	DEE1 / IIC_SCL2 / ETH3_TXD0 / CANRX0 / SPI_MISO2	—	—	HA17	ENCIFOE1 / HDL0_MISO1
F6	—	VSS	—	—	—	—	—	—	—	—
F7	—	VCC1833_1	—	—	—	—	—	—	—	—
F8	—	VSS	—	—	—	—	—	—	—	—
F9	—	VCC1833_0	—	—	—	—	—	—	—	—
F10	—	VSS	—	—	—	—	—	—	—	—
F11	—	VCC1833_0	—	—	—	—	—	—	—	—
F12	—	VSS	—	—	—	—	—	—	—	—
F13	—	VCC1833_3	—	—	—	—	—	—	—	—
F14	—	VCC18_PLL1	—	—	—	—	—	—	—	—
F15	—	VCC1833_4	—	—	—	—	—	—	—	—
F16	—	VSS	—	—	—	—	—	—	—	—
F17	—	VCC33	—	—	—	—	—	—	—	—
F18	—	VSS	—	—	—	—	—	—	—	—
F19	—	DDR_VDDQ	—	—	—	—	—	—	—	—
F20	—	VSS	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (7/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLSL, ENCOUT)
F21	—	VSS	—	—	—	—	—	—	—	—
F22	—	VSS	—	—	—	—	—	—	—	—
F23	—	VSS	—	—	—	—	—	—	—	—
G1	—	VSS	—	—	—	—	—	—	—	—
G2	VCC1833_2	IRQ00_0	P00_0	A16	MTIOC3B / GTIOC0_0A / GTADSM0_0	SCKE1 / ETH3_TXCLK / SPI_RSPCK2	—	—	HA16	ENCIFCK1 / HDLSL0_SEL1
G3	VCC1833_2	IRQ00_2	P00_2	A18	MTIOC4A / GTIOC0_1B / GTADSM1_0	TXDE1 / IIC_SDA2 / ETH3_TXD1 / CANTX0 / SPI_MOSI2	MCLK41	—	HA18	ENCIFD01 / HDLSL0_MOSI1
G4	VCC1833_2	IRQ00_4	P00_4	A20	MITOC4B / GTIOC0_2A / GTADSM2_0	TXDE6 / ETH3_TXD3 / CANTXDP0 / SPI_SSL21	MCLK20	—	HA20	ENCIFD06 / HDLSL0_SEL2
G5	—	VSS	—	—	—	—	—	—	—	—
G6	—	VSS	—	—	—	—	—	—	—	—
G7	—	—	—	—	—	—	—	—	—	—
G8	—	—	—	—	—	—	—	—	—	—
G9	—	—	—	—	—	—	—	—	—	—
G10	—	—	—	—	—	—	—	—	—	—
G11	—	—	—	—	—	—	—	—	—	—
G12	—	—	—	—	—	—	—	—	—	—
G13	—	—	—	—	—	—	—	—	—	—
G14	—	—	—	—	—	—	—	—	—	—
G15	—	—	—	—	—	—	—	—	—	—
G16	—	—	—	—	—	—	—	—	—	—
G17	—	—	—	—	—	—	—	—	—	—
G18	—	DDR_VDDQ	—	—	—	—	—	—	—	—
G19	—	VSS	—	—	—	—	—	—	—	—
G20	—	—	—	—	—	—	—	DDR_DQA15	—	—
G21	—	—	—	—	—	—	—	DDR_DQA8	—	—
G22	—	VSS	—	—	—	—	—	—	—	—
G23	—	—	—	—	—	—	—	DDR_DQA14	—	—
H1	VCC1833_2	IRQ00_5	P00_5	A21	MTIOC4D / MTIOC8C / GTIOC0_2B / GTADSM2_1	RXDE6 / ETH3_TXEN / SPI_SSL22	MDAT20	—	HA21	ENCIFDI6 / HDLSL0_MISO2
H2	VCC1833_2	IRQ00_6	P00_6	A22	MTCLKA / MTIOC8D / GTIOC0_3A / GTADSM3_0	RXD4/SCL4/MISO4 / SCKE0 / SCKE6 / ETH3_RXCLK / SPI_SSL23	—	—	MBX_HINT#	ENCIFCK0 / ENCIFCK6
H3	VCC1833_2	IRQ00_3	P00_3	A19	MTIOC4C / GTIOC0_1A / GTADSM1_1	RXDE1 / ETH3_TXD2 / CANRXDP0 / SPI_SSL20	MDAT41	—	HA19	ENCIFDI1 / HDLSL0_CLK2
H4	VCC1833_2	IRQ00_7	P00_7	A23	MTCLKB / MTIOC1B / GTIOC0_3B / GTADSM3_1	TXD4/SDA4/MOSI4 / DEE0 / DEE6 / ETH3_RXD0 / SPI_SSL22	—	—	HERROUT#	ENCIFOE0 / ENCIFOE6
H5	—	VCC1833_2	—	—	—	—	—	—	—	—
H6	—	VCC1833_2	—	—	—	—	—	—	—	—
H7	—	—	—	—	—	—	—	—	—	—
H8	—	VDD	—	—	—	—	—	—	—	—
H9	—	VSS	—	—	—	—	—	—	—	—
H10	—	VSS	—	—	—	—	—	—	—	—
H11	—	VDD	—	—	—	—	—	—	—	—
H12	—	VSS	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (8/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLS, ENCOUT)
H13	—	VSS	—	—	—	—	—	—	—	—
H14	—	VDD	—	—	—	—	—	—	—	—
H15	—	VSS	—	—	—	—	—	—	—	—
H16	—	VDD	—	—	—	—	—	—	—	—
H17	—	—	—	—	—	—	—	—	—	—
H18	—	VSS	—	—	—	—	—	—	—	—
H19	—	—	—	—	—	—	—	DDR_DQA12	—	—
H20	—	—	—	—	—	—	—	DDR_DQA11	—	—
H21	—	VSS	—	—	—	—	—	—	—	—
H22	—	—	—	—	—	—	—	DDR_DQSA_T1	—	—
H23	—	—	—	—	—	—	—	DDR_DQSA_C1	—	—
J1	VCC1833_2	IRQ01_0	P01_0	A0	MTIOC1A / MTIOC3A / GTIOC0_4A / GTADSM4_0_	DE4 / TXDE0 / ETH3_RXD1 / SPI_SSL21	—	—	HA0	ENCIFD00
J2	VCC1833_2	IRQ01_1	P01_1	RD/WR#	MITOC3C / MTIOC8A / GTIOC0_4B / GTADSM4_1	SCK5 / RXD5/SCL5 / MISO5 / RXDE0 / ETH3_RXD2 / SD1_PWEN	—	USB_OVRCUR	HWRSTB#	ENCIFD10
J3	VCC1833_2	IRQ01_2	P01_2	BS# / DREQ	—	SS5#/CTS5#/RST5# / TXD5/SDA5/MOSI5 / SCKE4 / ETH3_RXD3 / SPI_MOSI2 / SD1_IOVS	MCLK00	ADTRG0#	HBS#	ENCIFCK4
J4	VCC1833_2	ETH3_REFCLK / RMI3_REFCLK / IRQ01_4	P01_4	CS5# / TEND	—	TXD1/SDA1/MOSI1 / RXDE4 / IIC_SDA1 / ETH1_RXER / ETH1_CRS / ESC_I2CDATA / SPI_RSPCK2	MCLK01	USB_EXICEN / ADTRG2#	—	ENCIFD14
J5	—	VSS	—	—	—	—	—	—	—	—
J6	—	VSS	—	—	—	—	—	—	—	—
J7	—	—	—	—	—	—	—	—	—	—
J8	—	VSS	—	—	—	—	—	—	—	—
J9	—	VDD	—	—	—	—	—	—	—	—
J10	—	VDD	—	—	—	—	—	—	—	—
J11	—	VSS	—	—	—	—	—	—	—	—
J12	—	VDD	—	—	—	—	—	—	—	—
J13	—	VDD	—	—	—	—	—	—	—	—
J14	—	VSS	—	—	—	—	—	—	—	—
J15	—	VDD	—	—	—	—	—	—	—	—
J16	—	VSS	—	—	—	—	—	—	—	—
J17	—	—	—	—	—	—	—	—	—	—
J18	—	DDR_VDDQ	—	—	—	—	—	—	—	—
J19	—	—	—	—	—	—	—	DDR_DQA13	—	—
J20	—	VSS	—	—	—	—	—	—	—	—
J21	—	—	—	—	—	—	—	DDR_DQA9	—	—
J22	—	—	—	—	—	—	—	DDR_DMIA1	—	—
J23	—	VSS	—	—	—	—	—	—	—	—
K1	—	VSS	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (9/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
K2	VCC1833_2	IRQ01_3	P01_3	CS3# / DACK	—	CTS5# / RXD1/SCL1 / MISO1 / DEE4 / IIC_SCL1 / ETH1_TXER / ETH3_RXDV / ESC_I2CCLK / SPI_MISO2	MDAT00	ADTRG1#	MBX_HINT#	ENCIFOE4
K3	VCC1833_2	IRQ01_5	P01_5	CS2# / DREQ	—	TXDE4 / ETH1_COL / ETH3_TXER / ESC_RESETOUT# / ESWM_PHYLINK0 / HPSW_PHYLINK0 / SPI_SSL20	MDAT01	USB_EXICEN	HCS1#	ENCIFDO4
K4	VCC1833_2	IRQ02_0	P02_0	WE2#	MTIC5V / MTIOC7A / GTIOC1_1B / GTADSM1_0 / GTETRGD	TXD1/SDA1/MOSI1 / SCIEXTCLK / ETH4_TXD1 / ETHSW_PTPOUT0 / ESC_SYNC0 / SPI_MOSI3 / SD1_PWEN	—	—	HWR2#	—
K5	—	VCC1833_2	—	—	—	—	—	—	—	—
K6	—	VCC1833_2	—	—	—	—	—	—	—	—
K7	—	—	—	—	—	—	—	—	—	—
K8	—	VDD	—	—	—	—	—	—	—	—
K9	—	VSS	—	—	—	—	—	—	—	—
K10	—	VSS	—	—	—	—	—	—	—	—
K11	—	VSS	—	—	—	—	—	—	—	—
K12	—	VSS	—	—	—	—	—	—	—	—
K13	—	VSS	—	—	—	—	—	—	—	—
K14	—	VSS	—	—	—	—	—	—	—	—
K15	—	VSS	—	—	—	—	—	—	—	—
K16	—	VDD	—	—	—	—	—	—	—	—
K17	—	—	—	—	—	—	—	—	—	—
K18	—	VSS	—	—	—	—	—	—	—	—
K19	—	—	—	—	—	—	—	DDR_DQA10	—	—
K20	—	VSS	—	—	—	—	—	—	—	—
K21	—	—	—	—	—	—	—	DDR_DQA1	—	—
K22	—	—	—	—	—	—	—	DDR_DQA3	—	—
K23	—	VSS	—	—	—	—	—	—	—	—
L1	VCC1833_2	IRQ01_7	P01_7	D14	MTIC5U / MTIOC6D / GTIOC1_0B / GTADSM0_1 / GTETRGC / CMTW1_TOC0	RXD1/SCL1/MISO1 / ETH1_RXER / ETH4_TXD0 / SPI_MISO3 / SD1_WP	MDAT02	—	HD14	—
L2	VCC1833_2	IRQ01_6	P01_6	D13	MTIOC6B / MTIOC8B / GTIOC1_0A / GTADSM0_0 / GTETRGB / CMTW1_TIC0	SCK1 / ETH0_RXER / ETH4_TXCLK / SPI_RSPCK3 / SD1_CD	MCLK02	—	HD13	—
L3	VCC1833_2	IRQ02_1	P02_1	WE3#/AH#	MTIC5W / MTIOC7C / GTIOC1_1A / GTADSM1_1	SS1#/CTS1#/RTS1# / RXD3/SCL3/MISO3 / TXDE5 / ETH4_TXD2 / GMAC0_PTPTRG0 / ESC_LATCH0 / SPI_SSL30 / SPI_SSL00	—	—	HWR3#	ENCIFDO5
L4	VCC1833_2	IRQ02_3	P02_3	A9	MTIOC0B / MTIOC7D / GTIOC1_2B / GTADSM2_1	DE1 / ETH4_TXEN / GMAC1_PTPTRG0 / ESC_LEDERR / SPI_SSL02 / SPI_SSL32 / SD1_IOVS	—	—	HA9	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (10/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
L5	—	VSS	—	—	—	—	—	—	—	—
L6	—	VSS	—	—	—	—	—	—	—	—
L7	—	—	—	—	—	—	—	—	—	—
L8	—	VSS	—	—	—	—	—	—	—	—
L9	—	VDD	—	—	—	—	—	—	—	—
L10	—	VSS	—	—	—	—	—	—	—	—
L11	—	VSS	—	—	—	—	—	—	—	—
L12	—	VSS	—	—	—	—	—	—	—	—
L13	—	VSS	—	—	—	—	—	—	—	—
L14	—	VSS	—	—	—	—	—	—	—	—
L15	—	VDD	—	—	—	—	—	—	—	—
L16	—	VSS	—	—	—	—	—	—	—	—
L17	—	—	—	—	—	—	—	—	—	—
L18	—	DDR_VDDQ	—	—	—	—	—	—	—	—
L19	—	—	—	—	—	—	—	DDR_DMIA0	—	—
L20	—	—	—	—	—	—	—	DDR_DQA7	—	—
L21	—	VSS	—	—	—	—	—	—	—	—
L22	—	—	—	—	—	—	—	DDR_DQSA_C0	—	—
L23	—	—	—	—	—	—	—	DDR_DQSA_T0	—	—
M1	—	VSS	—	—	—	—	—	—	—	—
M2	VCC1833_2	IRQ02_4	P02_4	A10	MTCLKC / MTIOC0C / GTIOC1_3A / GTADSM3_0	SCK2 / SCKE1 / ETH4_RXCLK / GMAC1_PTPTRG1 / SPI_SSL03 / SPI_SSL33	MCLK12 / MCLK40	—	HA10	ENCIFCK1
M3	VCC1833_2	IRQ02_6	P02_6	A12	MTIOC1A / MTIOC6A / GTIOC1_4A / GTADSM4_0	TXD2/SDA2/MOSI2 / TXDE1 / ETH4_RXD1 / GMAC2_PTPTRG0 / ESC_LEDSTER / SPI_SSL31	MCLK11 / MCLK42	—	HA12	ENCIFDO1
M4	VCC1833_2	IRQ03_1	P03_1	A15	GTIOC3_3B	DE2 / DEE5 / IIC_SDA2 / ETH0_CRS / ETH4_RXDV / ETHSW_PTPOUT3 / ESC_SYNC1 / SPI_MISO3	MDAT10	—	HA15	ENCIFOE5 / SI3# / HDL1_LINK
M5	—	VCC1833_6	—	—	—	—	—	—	—	—
M6	—	VCC1833_6	—	—	—	—	—	—	—	—
M7	—	—	—	—	—	—	—	—	—	—
M8	—	VDD	—	—	—	—	—	—	—	—
M9	—	VSS	—	—	—	—	—	—	—	—
M10	—	VSS	—	—	—	—	—	—	—	—
M11	—	VSS	—	—	—	—	—	—	—	—
M12	—	VSS	—	—	—	—	—	—	—	—
M13	—	VSS	—	—	—	—	—	—	—	—
M14	—	VSS	—	—	—	—	—	—	—	—
M15	—	VSS	—	—	—	—	—	—	—	—
M16	—	VCC18_PLL2	—	—	—	—	—	—	—	—
M17	—	—	—	—	—	—	—	—	—	—
M18	—	VSS	—	—	—	—	—	—	—	—
M19	—	—	—	—	—	—	—	DDR_DQA2	—	—
M20	—	VSS	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (11/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDSL, ENCOUT)
M21	—	—	—	—	—	—	—	DDR_DQA5	—	—
M22	—	—	—	—	—	—	—	DDR_DQA4	—	—
M23	—	VSS	—	—	—	—	—	—	—	—
N1	VCC1833_2	IRQ02_2	P02_2	D15	MTIOC0A / MTIOC7B / GTIOC1_2A / GTADSM2_0	CTS1# / ETH4_TXD3 / GMAC0_PTPTRG1 / ESC_LED RUN / ESC_LATCH1 / SPI_SSL01 / SPI_SSL31 / SD1_PWEN	—	—	HD15	—
N2	VCC1833_2	IRQ02_5	P02_5	A11	MTCLKD / MTIOC0D / GTIOC1_3B / GTADSM3_1	RXD2/SCL2/MISO2 / DEE1 / ETH4_RXD0 / GMAC2_PTPTRG1 / SPI_SSL32	MDAT12 / MDAT40	—	HA11	ENCIFOE1
N3	VCC1833_2	IRQ03_0	P03_0	A14	GTIOC3_3A	CTS2# / SCKE5 / IIC_SCL2 / ETH0_COL / ETH4_RXD3 / SPI_MOSI3	MCLK10	—	HA14	ENCIFCK5 / TST_OUT3 / HDLS0_MOSI2
N4	VCC1833_2	ETH4_REFCLK / RMII4_REFCLK / IRQ03_4	P03_4	A24	GTETRGS A	TXDE5 / ESC_RESETOUT# / SPI_MOSI0 / SPI_RSPCK3 / SD1_CD	MCLK11	—	—	ENCIFD05
N5	—	VSS	—	—	—	—	—	—	—	—
N6	—	VSS	—	—	—	—	—	—	—	—
N7	—	—	—	—	—	—	—	—	—	—
N8	—	VSS	—	—	—	—	—	—	—	—
N9	—	VDD	—	—	—	—	—	—	—	—
N10	—	VSS	—	—	—	—	—	—	—	—
N11	—	VSS	—	—	—	—	—	—	—	—
N12	—	VSS	—	—	—	—	—	—	—	—
N13	—	VSS	—	—	—	—	—	—	—	—
N14	—	VSS	—	—	—	—	—	—	—	—
N15	—	VDD	—	—	—	—	—	—	—	—
N16	—	VSS	—	—	—	—	—	—	—	—
N17	—	—	—	—	—	—	—	—	—	—
N18	—	DDR_VDDQ	—	—	—	—	—	—	—	—
N19	—	VSS	—	—	—	—	—	—	—	—
N20	—	—	—	—	—	—	—	DDR_DQA0	—	—
N21	—	VSS	—	—	—	—	—	—	—	—
N22	—	—	—	—	—	—	—	DDR_DQA6	—	—
N23	—	VSS	—	—	—	—	—	—	—	—
P1	VCC1833_2	IRQ02_7	P02_7	A13	MTIOC1B / MTIOC6C / GTIOC1_4B / GTADSM4_1	SS2#/CTS2#/RTS2# / RXDE1 / ETH4_RXD2	MDAT11 / MDAT42	—	HA13	ENCIFD11 / DUEI3
P2	VCC1833_2	IRQ03_3	P03_3	TEND	CMTW1_TIC1	TXD1/SDA1/MOSI1 / TXD3/SDA3/MOSI3 / GMAC0_MDIO / GMAC1_MDIO / GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / ESWM_MDIO / ESC_LINKACT0 / SD1_PWEN	—	—	—	—
P3	VCC1833_6	IRQ04_0	P04_0	—	GTIOC1_1B	TXD0/SDA0/MOSI0 / SCKE1 / IIC_SDA0 / SD1_DATA0	MCLK00 / MCLK30	—	—	ENCIFCK1 / SI4# / HDLS1_SEL1

表 1.20 機能別の端子一覧 (489 ピン FBGA) (12/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLSL, ENCOUT)
P4	VCC1833_6	IRQ03_7	P03_7	—	GTIOC1_0B	RXD0/SCL0/MISO0 / DEE0 / IIC_SCL0 / SD1_CMD	MDAT02 / MDAT32	—	—	ENCIFOE0 / TST_OUT4 / HDLSL1_CLK1
P5	—	VSS	—	—	—	—	—	—	—	—
P6	—	VCC18_PLL0	—	—	—	—	—	—	—	—
P7	—	—	—	—	—	—	—	—	—	—
P8	—	VDD	—	—	—	—	—	—	—	—
P9	—	VSS	—	—	—	—	—	—	—	—
P10	—	VSS	—	—	—	—	—	—	—	—
P11	—	VSS	—	—	—	—	—	—	—	—
P12	—	VSS	—	—	—	—	—	—	—	—
P13	—	VSS	—	—	—	—	—	—	—	—
P14	—	VSS	—	—	—	—	—	—	—	—
P15	—	VSS	—	—	—	—	—	—	—	—
P16	—	VDD	—	—	—	—	—	—	—	—
P17	—	—	—	—	—	—	—	—	—	—
P18	—	VSS	—	—	—	—	—	—	—	—
P19	—	—	—	—	—	—	—	DDR_CSA0	—	—
P20	—	—	—	—	—	—	—	DDR_CAA0	—	—
P21	—	VSS	—	—	—	—	—	—	—	—
P22	—	—	—	—	—	—	—	DDR_CKA_C	—	—
P23	—	—	—	—	—	—	—	DDR_CKA_T	—	—
R1	VCC1833_2	MD2 / IRQ03_2	P03_2	DACK	CMTW1_TOC1 / RTCAT1HZ	DE2 / TXDE4 / ETH0_TXER / GMAC0_MDC / GMAC1_MDC / GMAC2_MDC / ETHSW_MDC / ESC_MDC / ESWM_MDC / SD1_IOVS	—	—	—	ENCIFD04
R2	VCC1833_2	IRQ03_5	P03_5	A25	GTETRGSB	RXD3/SCL3/MISO3 / RXDE5 / ETH4_RXER / ESWM_PHYLINK1 / HPSW_PHYLINK1 / SPI_MISO0 / SPI_SSL30 / SD1_WP	MDAT11 / MCLK30	—	—	ENCIFD15
R3	VCC1833_6	IRQ04_1	P04_1	—	GTIOC1_1A	SS0#/CTS0#/RST0# / DEE1 / SD1_DATA1	MDAT00 / MDAT30	—	—	ENCIFOE1 / DUE15 / HDLSL1_MISO1
R4	VCC1833_6	IRQ04_2	P04_2	—	GTIOC1_2A	CTS0# / TXDE2 / SD1_DATA2	MCLK01 / MCLK31	—	—	ENCIFD02 / TST_OUT5 / HDLSL1_MOSI1
R5	—	VCC1833_5	—	—	—	—	—	—	—	—
R6	—	VCC1833_5	—	—	—	—	—	—	—	—
R7	—	—	—	—	—	—	—	—	—	—
R8	—	VSS	—	—	—	—	—	—	—	—
R9	—	VDD	—	—	—	—	—	—	—	—
R10	—	VSS	—	—	—	—	—	—	—	—
R11	—	VDD	—	—	—	—	—	—	—	—
R12	—	VDD	—	—	—	—	—	—	—	—
R13	—	VSS	—	—	—	—	—	—	—	—
R14	—	VDD	—	—	—	—	—	—	—	—
R15	—	VDD	—	—	—	—	—	—	—	—
R16	—	VSS	—	—	—	—	—	—	—	—
R17	—	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (13/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL1, ENCOUT)
R18	—	DDR_VDDQ	—	—	—	—	—	—	—	—
R19	—	VSS	—	—	—	—	—	—	—	—
R20	—	—	—	—	—	—	—	DDR_CAA2	—	—
R21	—	—	—	—	—	—	—	DDR_CAA1	—	—
R22	—	—	—	—	—	—	—	DDR_CKEA0	—	—
R23	—	VSS	—	—	—	—	—	—	—	—
T1	VCC1833_6	IRQ03_6	P03_6	—	GTIOC1_0A	SCK0 / SCKE0 / SD1_CLK	MCLK02 / MCLK32	—	—	ENCIFCK0 / DUEI4 / HDL1_SMPL
T2	VCC1833_6	IRQ04_3	P04_3	—	GTIOC1_2B	DE0 / RXDE2 / SD1_DATA3	MDAT01 / MDAT31	—	—	ENCIFD12 / SI5# / HDL1_CLK2
T3	VCC1833_5	IRQ04_6	P04_6	—	GTIOC2_4A / GTIOC5_2A / CMTW0_TIC1	TXD1/SDA1/MOSI1 / ESC_LINKACT1 / CANTX0 / SPI_MOSI1 / SD0_DATA0 / NAND_IO0	—	—	HSPI_IO0	SI6# / HDL1_MOSI2
T4	VCC1833_5	IRQ05_1	P05_1	—	GTIOC4_4B / GTIOC5_3B / CMTW1_TOC0	DE1 / DEE5 / ETHSW_PTPOUT0 / ESC_SYNC0 / SPI_SSL12 / SPI_RSPCK0 / SD0_DATA3 / NAND_IO3	—	—	HSPI_IO3	ENCIFOE5 / SI7#
T5	—	VSS	—	—	—	—	—	—	—	—
T6	—	VSS	—	—	—	—	—	—	—	—
T7	—	—	—	—	—	—	—	—	—	—
T8	—	VDD	—	—	—	—	—	—	—	—
T9	—	VSS	—	—	—	—	—	—	—	—
T10	—	VDD	—	—	—	—	—	—	—	—
T11	—	VCC18_PLL4	—	—	—	—	—	—	—	—
T12	—	VSS	—	—	—	—	—	—	—	—
T13	—	VDD	—	—	—	—	—	—	—	—
T14	—	VCC33	—	—	—	—	—	—	—	—
T15	—	VSS	—	—	—	—	—	—	—	—
T16	—	VDD	—	—	—	—	—	—	—	—
T17	—	—	—	—	—	—	—	—	—	—
T18	—	VSS	—	—	—	—	—	—	—	—
T19	—	—	—	—	—	—	—	DDR_CAA4	—	—
T20	—	—	—	—	—	—	—	DDR_CAA3	—	—
T21	—	VSS	—	—	—	—	—	—	—	—
T22	—	—	—	—	—	—	—	DDR_CSA1	—	—
T23	—	—	—	—	—	—	—	DDR_CKEA1	—	—
U1	—	VSS	—	—	—	—	—	—	—	—
U2	VCC1833_5	IRQ04_4	P04_4	—	GTIOC5_1A / CMTW0_TIC0	SCK1 / GMAC0_PTPTRG0 / ESC_LATCH0 / SPI_RSPCK1 / SD0_CLK / NAND_WE#	—	—	HSPI_INT#	DUEI6 / HDL1_SEL2
U3	VCC1833_5	IRQ05_2	P05_2	—	GTIOC1_3B / GTIOC5_0A / CMTW1_TIC1	SCK2 / TXDE5 / ESC_LED RUN / SPI_RSPCK2 / SD0_DATA4 / NAND_IO4	—	—	HSPI_CK	ENCIFD05 / HDL2_CLK1

表 1.20 機能別の端子一覧 (489 ピン FBGA) (14/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
U4	VCC1833_5	IRQ05_4	P05_4	—	GTIOC2_3A	TXD2/SDA2/MOSI2 / IIC_SDA2 / ETH0_RXER / SPI_MOSI2 / SD0_DATA6 / NAND_IO6	MCLK00	—	HSPI_IO5	HDLS2_MISO1
U5	—	VSS	—	—	—	—	—	—	—	—
U6	—	VCC33	—	—	—	—	—	—	—	—
U7	—	—	—	—	—	—	—	—	—	—
U8	—	—	—	—	—	—	—	—	—	—
U9	—	—	—	—	—	—	—	—	—	—
U10	—	—	—	—	—	—	—	—	—	—
U11	—	—	—	—	—	—	—	—	—	—
U12	—	—	—	—	—	—	—	—	—	—
U13	—	—	—	—	—	—	—	—	—	—
U14	—	—	—	—	—	—	—	—	—	—
U15	—	—	—	—	—	—	—	—	—	—
U16	—	—	—	—	—	—	—	—	—	—
U17	—	—	—	—	—	—	—	—	—	—
U18	—	DDR_VDDQ	—	—	—	—	—	—	—	—
U19	—	—	—	—	—	—	—	DDR_CALIBRATION	—	—
U20	—	—	—	—	—	—	—	DDR_RETENTION	—	—
U21	—	—	—	—	—	—	—	DDR_RESET#	—	—
U22	—	—	—	—	—	—	—	DDR_CAA5	—	—
U23	—	VSS	—	—	—	—	—	—	—	—
V1	VCC1833_5	IRQ04_5	P04_5	—	GTIOC5_1B / CMTW0_TOC0	RXD1/SCL1/MISO1 / ESC_LINKACT0 / CANRX0 / SPI_MISO1 / SD0_CMD / NAND_RE#	—	—	HSPI_CS#	TST_OUT6 / HDLS1_MISO2
V2	VCC1833_5	IRQ04_7	P04_7	—	GTIOC2_4B / GTIOC5_2B / CMTW0_TOC1	SS1#/CTS1#/RTS1# / ESC_RESETOUT# / CANRXDP0 / SPI_DDL10 / SD0_DATA1 / NAND_IO1	—	—	HSPI_IO1	DUEI7 / HDLS2_LINK
V3	—	VSS	—	—	—	—	—	—	—	—
V4	VCC1833_5	IRQ05_3	P05_3	—	GTIOC5_0B / CMTW1_TOC1	RXD2/SCL2/MISO2 / RXDE5 / IIC_SCL2 / ETH0_TXER / ETH1_RXER / SPI_MISO2 / SD0_DATA5 / NAND_IO5	—	—	HSPI_IO4	ENCIFDI5 / HDLS2_SEL1
V5	—	VSS	—	—	—	—	—	—	—	—
V6	—	VSS	—	—	—	—	—	—	—	—
V7	—	VCC33	—	—	—	—	—	—	—	—
V8	—	VCC33	—	—	—	—	—	—	—	—
V9	—	VSS	—	—	—	—	—	—	—	—
V10	—	VCC18_PLL3	—	—	—	—	—	—	—	—
V11	—	VSS	—	—	—	—	—	—	—	—
V12	—	PCIE_VDDA_RX	—	—	—	—	—	—	—	—
V13	—	PCIE_VDDA_TX	—	—	—	—	—	—	—	—
V14	—	PCIE_VDDA_TX	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (15/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDLSL, ENCOUT)
V15	—	PCIE_VCC18A_CMN	—	—	—	—	—	—	—	—
V16	—	VSS	—	—	—	—	—	—	—	—
V17	—	VSS	—	—	—	—	—	—	—	—
V18	—	VSS	—	—	—	—	—	—	—	—
V19	—	VSS	—	—	—	—	—	—	—	—
V20	—	VCC18_OTP	—	—	—	—	—	—	—	—
V21	—	VSS	—	—	—	—	—	—	—	—
V22	—	VSS	—	—	—	—	—	—	—	—
V23	—	VSS	—	—	—	—	—	—	—	—
W1	VCC1833_5	IRQ05_0	P05_0	—	GTIOC3_4A / GTIOC5_3A / CMTW1_TIC0	CTS1# / SCKE5 / ESC_LEDERR / CANTXDP0 / SPI_SSL11 / SD0_DATA2 / NAND_IO2	—	—	HSPI_IO2	ENCIFCK5 / TST_OUT7 / HDLSL2_SMPL
W2	VCC1833_5	IRQ05_5	P05_5	—	GTIOC2_3B	SS2#/CTS2#/RTS2# / RXD2/SCL2/MISO2 / ETH0_CRS / SPI_SSL20 / SD0_DATA7 / NAND_IO7	MDAT00	—	HSPI_IO6	HDLSL2_MOSI1
W3	VCC1833_5	IRQ05_6	P05_6	—	—	CTS2# / TXD2/SDA2 / MOSI2 / ETH2_COL / SPI_SSL21 / SD0_RST# / NAND_WP#	MCLK01	—	HSPI_IO7	HDLSL2_CLK2
W4	—	MDW0 / IRQ08_5	P08_5	A6	—	SCKE3 / SD1_PWEN / NAND_ALE	—	—	HA6	ENCIFCK3 / DUIE0
W5	—	MDD / IRQ08_7	P08_7	A8	—	DEE7 / SD0_PWEN / NAND_CE0#	—	—	HA8	ENCIFOE7 / SI0#
W6	—	VSS	—	—	—	—	—	—	—	—
W7	—	VSS	—	—	—	—	—	—	—	—
W8	—	VSS	—	—	—	—	—	—	—	—
W9	—	VDD18ABG	—	—	—	—	—	—	—	—
W10	—	VCC33_USB	—	—	—	—	—	—	—	—
W11	—	VSS_USB	—	—	—	—	—	—	—	—
W12	—	VSS	—	—	—	—	—	—	—	—
W13	—	PCIE_VDDA_RX	—	—	—	—	—	—	—	—
W14	—	—	—	—	—	—	—	PCIE_REFCLKN	—	—
W15	—	VSS	—	—	—	—	—	—	—	—
W16	—	VSS	—	—	—	—	—	—	—	—
W17	—	VCC18_ADC0	—	—	—	—	—	—	—	—
W18	—	VCC18_ADC1	—	—	—	—	—	—	—	—
W19	—	VCC18_ADC2	—	—	—	—	—	—	—	—
W20	—	VSS	—	—	—	—	—	—	—	—
W21	—	AVCC18_TSU	—	—	—	—	—	—	—	—
W22	—	VSS	—	—	—	—	—	—	—	—
W23	—	VSS	—	—	—	—	—	—	—	—
Y1	—	MDW1 / IRQ08_6	P08_6	A7	—	DEE3 / SD1_IOVS / NAND_CLE	—	—	HA7	ENCIFOE3 / TST_OUT0
Y2	—	MDV0 / IRQ09_0	P09_0	WE0#	—	TXDE7 / ETHSW_PTPOUT1 / ESC_SYNC1 / SD0_IOVS	—	—	HWR0#	ENCIFDO7 / DUE1

表 1.20 機能別の端子一覧 (489 ピン FBGA) (16/18)

端子番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタフェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
Y3	—	IRQ09_3	P09_3	CS0#	MTIOC2A / GTIOC4_3A	SS0#/CTS0#/RST0# / RXDE6 / SCKE4 / ETHSW_LPI0 / ESWM_MPINT0 / SD0_CD / NAND_RY_BY0#	MCLK31	—	HCS0#	ENCIFCK4 / ENCIFI6 / HDL6_MOSi1
Y4	—	MDV2 / IRQ09_5	P09_5	A1	—	TXDE3 / TXDE4 / ETHSW_LPI2	—	—	HA1	ENCIFDO3 / ENCIFDO4 / DUEI2
Y5	—	MDV4 / IRQ09_7	P09_7	A3	—	SCKE6 / ETHSW_TDMAOUT1 / ESC_LINKACT1 / ESC_LINKACT2	—	—	HA3	ENCIFCK6 / SI2# / POUTA
Y6	—	TDI / IRQ12_1	P12_1	—	—	—	—	—	—	—
Y7	—	TRST#	—	—	—	—	—	—	—	—
Y8	—	VSS	—	—	—	—	—	—	—	—
Y9	—	NCPOUT	—	—	—	—	—	—	—	—
Y10	—	AVCC18_USB	—	—	—	—	—	—	—	—
Y11	—	VSS_USB	—	—	—	—	—	—	—	—
Y12	—	VSS	—	—	—	—	—	—	—	—
Y13	—	PCIE_VCC18A	—	—	—	—	—	—	—	—
Y14	—	—	—	—	—	—	—	PCIE_REFCLKP	—	—
Y15	—	EXTCLKIN	—	—	—	—	—	—	—	—
Y16	—	MDX	—	—	—	—	—	—	—	—
Y17	—	VREFH0	—	—	—	—	—	—	—	—
Y18	—	VREFH1	—	—	—	—	—	—	—	—
Y19	—	VREFH2	—	—	—	—	—	—	—	—
Y20	—	VSS	—	—	—	—	—	—	—	—
Y21	—	VSS	—	—	—	—	—	—	—	—
Y22	—	VSS	—	—	—	—	—	—	—	—
Y23	—	—	—	—	—	—	—	AN205	—	—
AA1	—	MDV1 / IRQ09_1	P09_1	WE1#	—	SCKE7 / NAND_CE1#	—	—	HWR1#	ENCIFCK7 / TST_OUT1
AA2	—	IRQ09_2	P09_2	WAIT#	—	SCK0 / RXDE3 / RXDE4 / NAND_RY_BY1#	—	—	HWAIT#	ENCIFDI3 / ENCIFDI4 / SI1# / HDL6_CLK1
AA3	—	IRQ09_4	P09_4	RD#	MTIOC2B / GTIOC4_3B	CTS0# / RXDE7 / DEE4 / ETHSW_LPI1 / ESWM_MPINT1 / SD0_WP / NAND_RY_BY2#	MDAT31	—	HRD#	ENCIFOE4 / ENCIFI7
AA4	—	IRQ11_3	P11_3	—	POE4# / GTETRGRD	RXD0/SCL0/MISO0 / IIC_SCL1	—	—	—	—
AA5	—	IRQ11_7	P11_7	—	POE11# / GTIOC5_2A / GTETRGRB / RTCAT1HZ	—	—	USB_OTG_ID	MBX_HINT#	—
AA6	—	TDO / IRQ12_3	P12_3	—	—	—	—	—	—	—
AA7	—	IRQ12_4	P12_4	—	—	—	—	USB_VBUSIN	—	—
AA8	—	VSS	—	—	—	—	—	—	—	—
AA9	—	VSS_USB	—	—	—	—	—	—	—	—
AA10	—	USB_RREF	—	—	—	—	—	—	—	—
AA11	—	VSS_USB	—	—	—	—	—	—	—	—
AA12	—	VSS	—	—	—	—	—	—	—	—
AA13	—	VSS	—	—	—	—	—	—	—	—
AA14	—	VSS	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (17/18)

端子番号	I/O ポート電 源ドメイン	電源クロック、シ ステム制御、割り 込み	I/O ポ ート	バス、 DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタ フェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
AA15	—	VSS	—	—	—	—	—	—	—	—
AA16	—	VSS	—	—	—	—	—	—	—	—
AA17	—	VSS	—	—	—	—	—	—	—	—
AA18	—	VSS	—	—	—	—	—	—	—	—
AA19	—	—	—	—	—	—	—	AN102	—	—
AA20	—	—	—	—	—	—	—	AN103	—	—
AA21	—	—	—	—	—	—	—	AN201	—	—
AA22	—	—	—	—	—	—	—	AN203	—	—
AA23	—	—	—	—	—	—	—	AN207	—	—
AB1	—	MDV3 / IRQ09_6	P09_6	A2	—	DE0 / TXDE6 / ETHSW_TDMAOUT0 / NAND_CE2#	—	—	HA2	ENCIFD06 / TST_OUT2
AB2	—	MDV5 / IRQ10_0	P10_0	A4	—	DEE6 / ETHSW_TDMAOUT2 / ESC_IRQ / NAND_CE3#	—	—	HA4	ENCIFOE6 / POUTB
AB3	—	MDB / IRQ10_1	P10_1	A5	—	ETHSW_TDMAOUT3 / ESC_RESETOUT# / ESC_LED RUN	—	—	HA5	POUTZ
AB4	—	IRQ11_0	P11_0	—	—	TXDE2	—	USB_VBUSEN	—	ENCIFD02
AB5	—	IRQ11_2	P11_2	—	GTIOC0_3B	TXD1/SDA1/MOSI1 / IIC_SDA0 / ESC_I2CDATA	—	USB_EXICEN	—	—
AB6	—	CKIO / IRQ11_5	P11_5	—	POE0# / GTIOC5_0A / GTETRGA	SCIEXTCLK / IIC_SCL2 / NAND_RY_BY3#	—	—	HCKIO	—
AB7	—	BSCANP	—	—	—	—	—	—	—	—
AB8	—	VSS	—	—	—	—	—	—	—	—
AB9	—	—	—	—	—	—	—	USB_DP	—	—
AB10	—	VCC18_USB	—	—	—	—	—	—	—	—
AB11	—	VSS	—	—	—	—	—	—	—	—
AB12	—	—	—	—	—	—	—	PCIE_RXDP	—	—
AB13	—	VSS	—	—	—	—	—	—	—	—
AB14	—	—	—	—	—	—	—	PCIE_TXDP	—	—
AB15	—	VSS	—	—	—	—	—	—	—	—
AB16	—	XTAL	—	—	—	—	—	—	—	—
AB17	—	VSS	—	—	—	—	—	—	—	—
AB18	—	—	—	—	—	—	—	AN000	—	—
AB19	—	—	—	—	—	—	—	AN002	—	—
AB20	—	—	—	—	—	—	—	AN101	—	—
AB21	—	—	—	—	—	—	—	AN202	—	—
AB22	—	—	—	—	—	—	—	AN204	—	—
AB23	—	—	—	—	—	—	—	AN206	—	—
AC1	—	VSS	—	—	—	—	—	—	—	—
AC2	—	IRQ11_1	P11_1	—	GTIOC0_3A	RXD1/SCL1/MISO1 / RXDE2 / IIC_SCL0 / ESC_I2CCLK	—	USB_OVRCUR	—	ENCIFD12
AC3	—	RSTOUT# / IRQ11_4	P11_4	—	GTETRGA	TXD0/SDA0/MOSI0 / IIC_SDA1	—	—	—	—
AC4	—	IRQ11_6	P11_6	—	—	IIC_SDA2	—	USB_OVRCUR	—	—
AC5	—	TMS / IRQ12_0	P12_0	—	—	—	—	—	—	—
AC6	—	VSS	—	—	—	—	—	—	—	—
AC7	—	TCK / IRQ12_2	P12_2	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧 (489 ピン FBGA) (18/18)

端子番号	I/O ポート電 源ドメイン	電源クロック、シ ステム制御、割り 込み	I/O ポ ート	バス、 DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ETHSW, ESC, ESWM, HPSW, CANFD, SPI, xSPI, SDHI, NAND)	DSMIF	アナログ/高速 (DDRSS, ADC12, USB, PCIE)	ホストインタ フェース (SHOST, PHOST, MBXSEM)	エンコーダ I/F (ENCIF, ENDAT, ENDAT3, HDL, ENCOUT)
AC8	—	VSS	—	—	—	—	—	—	—	—
AC9	—	—	—	—	—	—	—	USB_DM	—	—
AC10	—	VSS_USB	—	—	—	—	—	—	—	—
AC11	—	VSS	—	—	—	—	—	—	—	—
AC12	—	—	—	—	—	—	—	PCIE_RXDN	—	—
AC13	—	VSS	—	—	—	—	—	—	—	—
AC14	—	—	—	—	—	—	—	PCIE_TXDN	—	—
AC15	—	VSS	—	—	—	—	—	—	—	—
AC16	—	EXTAL	—	—	—	—	—	—	—	—
AC17	—	RES#	—	—	—	—	—	—	—	—
AC18	—	—	—	—	—	—	—	AN001	—	—
AC19	—	—	—	—	—	—	—	AN003	—	—
AC20	—	—	—	—	—	—	—	AN100	—	—
AC21	—	VSS	—	—	—	—	—	—	—	—
AC22	—	—	—	—	—	—	—	AN200	—	—
AC23	—	VSS	—	—	—	—	—	—	—	—

2. 電気的特性

特に説明がない限り、本 LSI の電気特性は以下の条件で定義されます。

条件：

- コア電圧
VDD = PCIE_VDDA_TX = PCIE_VDDA_RX = 1.05~1.15 V
- LPDDR4 入出力電圧
DDR_VDDQ = 1.06~1.17 V
- 1.8 V 入出力電圧およびアナログ電圧
VCC1833_n (n = 0~6, 1.8 V モード) = VCC18_PLLn (n = 0~4) = AVCC18_TSU = VCC18_OTP = VCC18_USB
= AVCC18_USB = VCC18_ADCn (n = 0~2) = PCIE_VCC18A = PCIE_VCC18A_CMN = 1.70~1.95 V
- 3.3 V 入出力電圧およびアナログ電圧
VCC33 = VCC1833_n (n = 0~6, 3.3 V モード) = VCC33_USB = 3.135~3.465 V
- グランド
VSS = VSS_USB = 0 V
- 動作温度
Tj = -40~+125°C

2.1 絶対最大定格

表 2.1 絶対最大定格 (1/2)

項目	シンボル	値	単位
電源電圧 (3.3 V モード)	VCC33 VCC1833_0~VCC1833_6 (3.3 V モード)	-0.3~+3.8	V
電源電圧 (1.8 V モード)	(VCC18) VCC1833_0~VCC1833_6 (1.8 V モード)	-0.3~+2.5	V
電源電圧 (コア)	VDD	-0.3~+1.5	V
入力電圧	Vin (3.3 V ロジック)	-0.3~VDD33/VCC1833_n (3.3 V モード) + 0.3 または 3.8 の小さい方	V
入力電圧	Vin (1.8 V ロジック)	-0.3~VDD33/VCC1833_n (1.8 V モード) + 0.3 または 2.5 の小さい方	V
ABBG 電源電圧	VDD18ABG	-0.3~+2.5	V
PLL 電源電圧	VCC18_PLL0~VCC18_PLL4	-0.3~+2.5	V
TSU 電源電圧	AVCC18_TSU	-0.3~+2.5	V
OTP 電源電圧	VCC18_OTP	-0.3~+2.5	V
USB 電源電圧	VCC33_USB	-0.3~VCC33 + 0.3 または 3.8 の小さい方	V
	VCC18_USB, AVCC18_USB	-0.3~+2.5	V
ADC12 電源電圧	VCC18_ADC0~VCC18_ADC2	-0.3~+2.5	V
PCI Express 電源電圧	PCIE_VCC18A, PCIE_VCC18A_CMN	-0.3~+2.5	V
	PCIE_VDDA_TX, PCIE_VDDA_RX	-0.3~+1.5	V
LPDDR4 電源電圧	DDR_VDDQ	-0.3~+1.4	V
電源電圧差	VCC33-VCC18	-2.5~+2.1	V
ADC12 アナログ入力電圧	VAN	-0.3~VCC18_ADCn + 0.3 また は 2.5 の小さい方	V

表 2.1 絶対最大定格 (2/2)

項目	シンボル	値	単位
ADC12 基準電圧	VREFH0~VREFH2	-0.3~VCC18_ADCn + 0.3 または 2.5 の小さい方	V
水晶振動子端子入力電圧	XTAL, EXTAL	-0.3~+1.5	V
動作温度 (ジャンクション温度)	Tj	-40~+125	°C
保存温度	Tstg	-55~+125	°C

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、MCU の永久破壊となることがあります。

2.2 電源

表 2.2 電源

項目	シンボル	Min	Typ	Max	単位
電源電圧 (3.3 V 入出力)	VCC33 VCC1833_0~ VCC1833_6 (3.3 V モード)	3.135	3.3	3.465	V
電源電圧 (1.8 V 入出力)	(VCC18) VCC1833_0~ VCC1833_6 (1.8 V モード)	1.7	1.8	1.95	V
電源電圧 (コア)	VDD	1.05	1.1	1.15	V
グラウンド	VSS	—	0	—	V
ABBG 電源電圧	VDD18ABG	1.7	1.8	1.95	V
PLL 電源電圧	VCC18_PLL0~ VCC18_PLL4	1.7	1.8	1.95	V
TSU 電源電圧	AVCC18_TSU	1.7	1.8	1.95	V
OTP 電源電圧	VCC18_OTP	1.7	1.8	1.95	V
USB 電源電圧	VCC33_USB	3.135	3.3	3.465	V
	VCC18_USB, AVCC18_USB	1.7	1.8	1.95	V
	VSS_USB	—	0	—	V
ADC12 電源電圧	VCC18_ADC0~ VCC18_ADC2	1.7	1.8	1.95	V
PCI Express 電源電圧	PCIE_VCC18A, PCIE_VCC18A_CMN	1.7	1.8	1.95	V
	PCIE_VDDA_TX, PCIE_VDDA_RX	1.05	1.1	1.15	V
LPDDR4 電源電圧	DDR_VDDQ	1.06	1.1	1.17	V
ADC12 基準電圧	VREFHn (n = 0~2)	VSS	—	VCC18_ADCn	V

注. A/D 変換特性の条件は、VREFHn = VCC18_ADCn (n = 0~2) です。また、パワーアップ/パワーダウンシーケンスは VCC18_ADCn に従う必要があります。

注. 使用されていない機能に対しても、各電源端子に電源の供給が必要です。

2.3 電源投入/遮断シーケンス

電源投入/遮断シーケンスとタイミングを以下の図と表に示します。

電源投入では、最初に 1.1 V 電源 (VDD) を供給し、2 番目に 1.8 V 電源 (VCC18、PCIE_VCC18A、および AVCC) を供給し、3 番目に 3.3 V 電源 (VCC33) を供給し、最後に 1.8 V/3.3 V SDHI 電源、1.1 V DDR I/O 電源、および 1.1 V PCIe 電源 (VCC1833_5/6、DDR_VDDQ、および PCIE_VDDA_TX/RX) を供給する必要があります。電源投入シーケンスは、100 ms 以内に完了する必要があります。リセット信号 (RES#) は、電源投入中 Low レベルにしておく必要があります。

電源遮断では、最初に 1.8 V/3.3 V SDHI 電源、1.1 V DDR I/O 電源、および 1.1 V PCIe 電源 (VCC1833_5/6、DDR_VDDQ、および PCIE_VDDA_TX/RX) を遮断し、2 番目に 3.3 V 電源 (VCC33) を遮断し、最後に 1.1 V 電源と 1.8 V 電源 (VDD、VCC18、PCIE_VCC18A、および AVCC) を遮断する必要があります。電源遮断シーケンスは、100 ms 以内に完了する必要があります。

SDHI 用の 1.8 V/3.3 V スwitchング電源を使用しない場合、VCC1833_5 は 1.8 V 電源または 3.3 V 電源のタイミングを電圧モードに従って追従できます。VCC1833_6 は、電源投入時に 3.3 V に固定されているため、3.3 V 電源のタイミングに従う必要があります。

電源投入時と電源遮断時のそれぞれの電源の立ち上がり／立ち下がり時間は、10 μ s より長い必要があります。

電源電圧とリセット信号は、単調に立ち上がる必要があります。

電源電圧に負の電圧を印加しないでください。

電源が投入されるまで、PI2_4 (USB_VBUSIN) 端子以外のいかなる端子にも電圧を印加してはなりません。

リセット信号 (RES#) が High のときは、EXTAL/XTAL または EXTCLKIN 端子に安定したクロックを供給する必要があります。

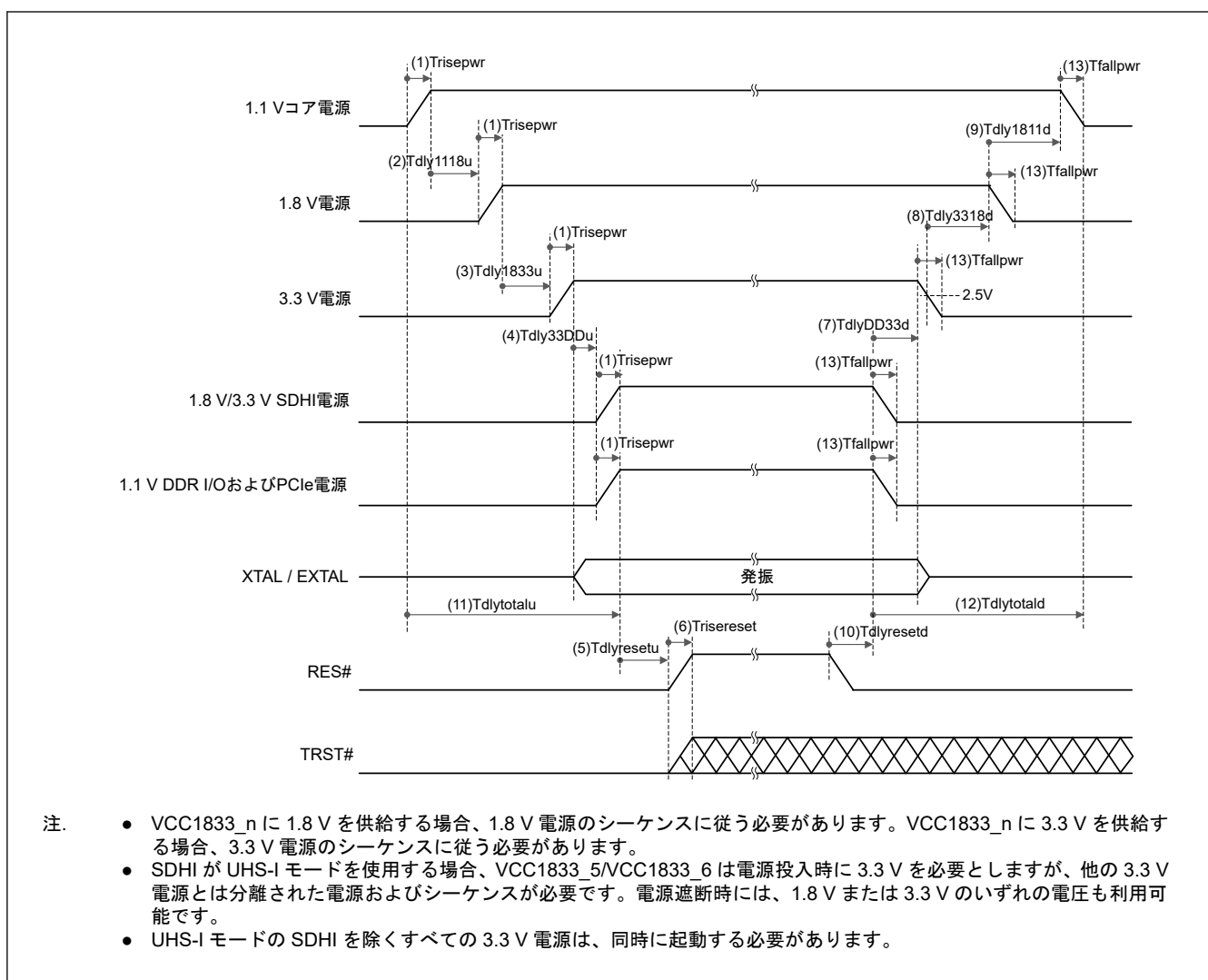


図 2.1 電源投入／遮断シーケンス

表 2.3 電源投入／遮断シーケンスタイミング (1/2)

No.	シンボル	説明	値		
			Min	Typ	Max
(1)	Triseppwr	電源電圧の立ち上がり時間	10 μ s	—	30 ms

表 2.3 電源投入／遮断シーケンスタイミング (2/2)

No.	シンボル	説明	値		
			Min	Typ	Max
(2)	Tdly1118u	1.1 V コア電源電圧の立ち上がり完了から、1.8 V 電源電圧の立ち上がり開始までの遅延時間	0	—	100 ms
(3)	Tdly1833u	1.8 V 電源電圧の立ち上がり完了から、3.3 V 電源電圧の立ち上がり開始までの遅延時間	0	—	100 ms
(4)	Tdly33DDu	3.3 V 電源電圧の立ち上がり完了から、1.8 V/3.3 V SDHI 電源電圧、1.1 V DDR I/O 電源電圧、および 1.1 V PCIe 電源電圧の立ち上がり開始までの遅延時間	10 μ s	—	100 ms
(5)	Tdlyresetu	XTAL/EXTAL 使用時の 1.8 V/3.3 V SDHI 電源電圧、1.1 V DDR I/O 電源電圧、および 1.1 V PCIe 電源電圧の立ち上がり完了から、RES#信号の立ち上がり開始までの遅延時間	10 ms	—	—
		EXTCLKIN 使用時の 1.8 V/3.3 V SDHI 電源電圧、1.1 V DDR I/O 電源電圧、および 1.1 V PCIe 電源電圧の立ち上がり完了から、RES#信号の立ち上がり開始までの遅延時間	1 ms	—	—
(6)	Trisereset	RES#信号の立ち上がり時間	—	—	150 μ s
(7)	TdlyDD33d	1.8 V/3.3 V SDHI 電源電圧、1.1 V DDR I/O 電源電圧、および 1.1 V PCIe 電源電圧の立ち下がり開始から、3.3 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(8)	Tdly3318d	3.3 V 電源電圧が 2.5 V より低下した時点から、1.8 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(9)	Tdly1811d	1.8 V 電源電圧の立ち下がり開始から、1.1 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(10)	Tdlyresetd	RES#信号の立ち下がり開始から、1.8 V/3.3 V SDHI 電源電圧、1.1 V DDR I/O 電源電圧、および 1.1 V PCIe 電源電圧の立ち下がり開始までの遅延時間	8 μ s	—	—
(11)	Tdlytotalu	すべての電源電圧の起動時間	0	—	100 ms
(12)	Tdlytotald	すべての電源電圧の遮断時間	0	—	100 ms
(13)	Tfallpwr	電源電圧の立ち下がり時間	10 μ s	—	30 ms

2.4 DC 特性

表 2.4 DC 特性 (3.3 V モード) (1/2)

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V _{IH33}	3.3 V モード、シュミットトリガ制御無効、P12_4 端子を除く	2.0	—	VCC33 + 0.3	V
入力 Low レベル電圧	V _{IL33}		-0.3	—	0.8	V
正トリガ電圧	V _{T33+}		0.9	—	2.1	V
負トリガ電圧	V _{T33-}		0.7	—	1.9	V
ヒステリシス電圧	ΔV_{T33}	3.3 V モード、シュミットトリガ制御有効、P12_4 端子を除く	0.2	—	—	V
入力 High レベル電圧 2	V _{IH33_2}		VCC33 $\times$ 0.7	—	VCC33 + 0.3	V
入力 Low レベル電圧 2	V _{IL33_2}		-0.3	—	VCC33 $\times$ 0.3	V
正トリガ電圧 2	V _{T33+_2}		—	—	VCC33 $\times$ 0.72	V
負トリガ電圧 2	V _{T33-_2}	3.3 V モード、シュミットトリガ制御有効、P12_4 端子のみ	VCC33 $\times$ 0.3	—	—	V
ヒステリシス電圧 2	ΔV_{T33_2}		VCC33 $\times$ 0.1	—	—	V
出力 High レベル電圧	V _{OH33}	Low、IOH = -2 mA	VCC33 - 0.4	—	—	V
	V _{OH33}	Middle、IOH = -4 mA	VCC33 - 0.4	—	—	V
	V _{OH33}	High、IOH = -8 mA	VCC33 - 0.4	—	—	V
	V _{OH33}	Ultra High、IOH = -12 mA	VCC33 - 0.4	—	—	V

表 2.4 DC 特性 (3.3 V モード) (2/2)

項目	シンボル	条件	Min	Typ	Max	単位
出力 Low レベル電圧	V _{OL33}	Low、IOL = 2 mA	—	—	0.4	V
	V _{OL33}	Middle、IOL = 4 mA	—	—	0.4	V
	V _{OL33}	High、IOL = 8 mA	—	—	0.4	V
	V _{OL33}	Ultra High、IOL = 12 mA	—	—	0.4	V
入力リーク電流	I _{lin}	V _{in} = 0 V、V _{in} = VCC33	—	—	10	μA
スリーステートリーク電流 (オフ状態)	I _{TSI}	V _{in} = 0 V、V _{in} = VCC33	—	—	10	μA
入力プルアップ抵抗の値	R _{pu}	V _{in} = 0 V	15	—	300	kΩ
入力プルアップ抵抗の電流	I _{pu}	V _{in} = 0 V	-220	—	-11	μA
入力プルダウン抵抗の値	R _{pd}	V _{in} = VCC33	15	—	300	kΩ
入力プルダウン抵抗の電流	I _{pd}	V _{in} = VCC33	11	—	220	μA
入力容量	C _{in}	全入出力端子および全入力端子	—	—	10	pF

表 2.5 DC 特性 (1.8 V モード)

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V _{IH18}	1.8 V モード、シュミットトリガ制御無効	VCC18 × 0.65	—	VCC18 + 0.3	V
入力 Low レベル電圧	V _{IL18}		-0.3	—	VCC18 × 0.35	V
正トリガ電圧	V _{T18+}	1.8 V モード、シュミットトリガ制御有効	VCC18 × 0.4	—	VCC18 × 0.7	V
負トリガ電圧	V _{T18-}		VCC18 × 0.3	—	VCC18 × 0.6	V
ヒステリシス電圧	ΔV _{T18}		VCC18 × 0.1	—	—	V
出力 High レベル電圧	V _{OH18}	Low、IOH = -2 mA	VCC18 - 0.45	—	—	V
	V _{OH18}	Middle、IOH = -4 mA	VCC18 - 0.45	—	—	V
	V _{OH18}	High、IOH = -8 mA	VCC18 - 0.45	—	—	V
	V _{OH18}	Ultra High、IOH = -12 mA	VCC18 - 0.45	—	—	V
出力 Low レベル電圧	V _{OL18}	Low、IOL = 2 mA	—	—	0.45	V
	V _{OL18}	Middle、IOL = 4 mA	—	—	0.45	V
	V _{OL18}	High、IOL = 8 mA	—	—	0.45	V
	V _{OL18}	Ultra High、IOL = 12 mA	—	—	0.45	V
入力リーク電流	I _{lin}	V _{in} = 0 V、V _{in} = VCC18	—	—	10	μA
スリーステートリーク電流 (オフ状態)	I _{TSI}	V _{in} = 0 V、V _{in} = VCC18	—	—	10	μA
入力プルアップ抵抗の値	R _{pu}	V _{in} = 0 V	15	—	300	kΩ
入力プルアップ抵抗の電流	I _{pu}	V _{in} = 0 V	-120	—	-6	μA
入力プルダウン抵抗の値	R _{pd}	V _{in} = VCC18	15	—	300	kΩ
入力プルダウン抵抗の電流	I _{pd}	V _{in} = VCC18	6	—	120	μA
入力容量	C _{in}	全入出力端子および全入力端子	—	—	10	pF

表 2.6 USB2.0 USB_RREF 端子

項目	シンボル	条件	Min	Typ	Max	単位
基準抵抗(注1)	R _{REF}	—	1.8 (±1%)			kΩ

注 1. USB_RREF 端子に接続した基準抵抗は外部から本 LSI への接続のためのものです。

表 2.7 USB2.0 プルアップ/プルダウン抵抗

項目	シンボル	条件	Min	Typ	Max	単位
USB_DP プルアップ抵抗 (ファンクションコントローラ選択時)	R _{PU}	アイドル状態	0.900	—	1.575	kΩ
		送受信	1.425	—	3.090	kΩ
USB_DP/USB_DM プルダウン抵抗 (ホストコントローラ選択時)	R _{PD}	—	14.25	—	24.80	kΩ

表 2.8 USB2.0 ホスト/ファンクション関連端子（ロースピードおよびフルスピード）

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V _{FSIH}	—	2.0	—	—	V
入力 Low レベル電圧	V _{FSIL}	—	—	—	0.8	V
差動入力感度	V _{FSDI}	(USB_DP) - (USB_DM)	0.2	—	—	V
差動共通モードレンジ	V _{FSCM}	—	0.8	—	2.5	V
出力 Low レベル電圧	V _{FSOL}	IFSOL = 2 mA	0.0	—	0.3	V
出力 High レベル電圧	V _{FSOH}	IFSOH = -200 μA	2.8	—	3.6	V
出力信号クロスオーバー電圧	V _{FSCRS}	—	1.3	—	2.0	V

表 2.9 USB2.0 ホスト/ファンクション関連端子（ハイスピード）

項目	シンボル	条件	Min	Typ	Max	単位
スケルチ検出しきい値電圧（差動電圧）	V _{HSSQ}	—	100	—	150	mV
切断検出しきい値電圧（差動電圧）	V _{HSDSC}	—	525	—	625	mV
共通モード電圧範囲	V _{HSCM}	—	-50	—	500	mV
アイドル状態	V _{HSOI}	—	-10.0	—	10.0	mV
出力 High レベル電圧	V _{HSOH}	—	360	—	440	mV
出力 Low レベル電圧	V _{HSOL}	—	-10.0	—	10.0	mV
Chirp J 出力電圧（差動）	V _{CHIRPJ}	—	700	—	1100	mV
Chirp K 出力電圧（差動）	V _{CHIRPK}	—	-900	—	-500	mV

表 2.10 消費電流 (1/2)

項目	シンボル	条件	Min	Typ	Max	単位
通常動作	I _{VDD}	Cortex-A55 クロック = 1.2 GHz Cortex-R52 クロック = 800 MHz、 T _J ≤ 110°C	—	—	2300	mA
	I _{VCC33}	(注1)	—	27	—	mA
	I _{VCC1833_0}	(注1)	—	18	—	mA
	I _{VCC1833_1}	(注1)	—	9	—	mA
	I _{VCC1833_2}	(注1)	—	18	—	mA
	I _{VCC1833_3}	(注1)	—	9	—	mA
	I _{VCC1833_4}	(注1)	—	9	—	mA
	I _{VCC1833_5}	(注1)	—	9	—	mA
	I _{VCC1833_6}	(注1)	—	9	—	mA
	I _{VCC18_PLL0}	—	—	—	6	mA
	I _{VCC18_PLL1}	—	—	—	6	mA
	I _{VCC18_PLL2}	—	—	—	6	mA
	I _{VCC18_PLL3}	—	—	—	6	mA
	I _{VCC18_PLL4}	—	—	—	6	mA
	I _{VCC18_USB}	—	—	—	39	mA
	I _{VCC18_ADC0}	—	—	—	3	mA
	I _{VCC18_ADC1}	—	—	—	3	mA
	I _{VCC18_ADC2}	—	—	—	3	mA
	I _{VCC18_TSU}	—	—	—	1	mA
	I _{VCC18_OTP}	—	—	—	5	mA
	I _{VCC33_USB}	—	—	—	6	mA
	I _{PCIE_VCC18A}	—	—	—	8	mA
	I _{PCIE_VCC18A_CMN}	—	—	—	8	mA
	I _{PCIE_VDDA_TX}	—	—	—	18	mA
	I _{PCIE_VDDA_RX}	—	—	—	19	mA
	I _{DDR_VDDQ}	—	—	—	260	mA
	I _{VDDABG}	—	—	—	1.1	mA

表 2.10 消費電流 (2/2)

項目	シンボル	条件	Min	Typ	Max	単位
低消費電力モード(注2)	I_{VDD}	全モジュールが非アクティブ	—	18	—	mA
	I_{VCC33}	(注1)	—	13	—	mA
	$I_{VCC1833_0}$	(注1)	—	4	—	mA
	$I_{VCC1833_1}$	(注1)	—	2	—	mA
	$I_{VCC1833_2}$	(注1)	—	4	—	mA
	$I_{VCC1833_3}$	(注1)	—	2	—	mA
	$I_{VCC1833_4}$	(注1)	—	2	—	mA
	$I_{VCC1833_5}$	(注1)	—	2	—	mA
	$I_{VCC1833_6}$	(注1)	—	1	—	mA
	I_{VCC18_PLL0}	—	—	3.5	—	mA
	I_{VCC18_PLL1}	—	—	3.5	—	mA
	I_{VCC18_PLL2}	—	—	0.1	—	mA
	I_{VCC18_PLL3}	—	—	0.1	—	mA
	I_{VCC18_PLL4}	—	—	0.1	—	mA
	I_{VCC18_USB}	—	—	0.5	—	mA
	I_{VCC18_ADC0}	—	—	0.2	—	mA
	I_{VCC18_ADC1}	—	—	0.2	—	mA
	I_{VCC18_ADC2}	—	—	0.2	—	mA
	I_{VCC18_TSU}	—	—	0.1	—	mA
	I_{VCC18_OTP}	—	—	0.1	—	mA
	I_{VCC33_USB}	—	—	0.3	—	mA
	I_{PCIE_VCC18A}	—	—	0.8	—	mA
	$I_{PCIE_VCC18A_CMN}$	—	—	0.8	—	mA
	$I_{PCIE_VDDA_TX}$	—	—	0.5	—	mA
	$I_{PCIE_VDDA_RX}$	—	—	0.5	—	mA
	I_{DDR_VDDQ}	—	—	0.3	—	mA
	I_{VDDABG}	—	—	0.1	—	mA

注. ここに示す値は参考値です。実際の動作電流はシステムに大きく依存します（たとえば、I/O 負荷やトグル周波数による鈍った波形など）。必ずシステム上でこれら電流値を測定してください。

注 1. IO 消費電流 (I_{VCC33} , $I_{VCC1833_n}$ ($n = 0 \sim 6$)) は、80 mA 以下である必要があります。(表 2.11 の ΣIOH を参照)

注 2. 設定可能なモジュールはすべて停止または最低クロック周波数設定のスタンバイモードとし、すべての入出力ポートのプルアップおよびプルダウンまたは動作なし、および室温での測定とします。

表 2.11 出力許容電流 (1/2)

項目	シンボル	条件	Min	Typ	Max	単位
出力 Low レベル許容電流 (端子ごとの最大値)	IOL	全出力端子	—	—	12	mA
出力 Low レベル許容電流 (総和)	ΣIOL	全出力端子の総和	—	—	80	mA
出力 High レベル許容電流 (端子ごとの最大値)	IOH	全出力端子	—	—	-12	mA

表 2.11 出力許容電流 (2/2)

項目	シンボル	条件	Min	Typ	Max	単位
出力 High レベル許容電流 (総和)	ΣI_{OH}	全出力端子の総和	—	—	-80	mA

注. LSI の信頼性を確保するため、すべての出力電流値はこの表の値の範囲である必要があります。

表 2.12 熱抵抗値 (参考)

項目	シンボル	パッケージ	Max	単位
熱抵抗	θ_{ja}	537 ピン FBGA (21 mm × 21 mm、0.8 mm ピッチ)	15.0	°C/W
		489 ピン FBGA (16 mm × 16 mm、0.65 mm ピッチ)	15.0	°C/W
	Ψ_{jt}	537 ピン FBGA (21 mm × 21 mm、0.8 mm ピッチ)	0.13	°C/W
		489 ピン FBGA (16 mm × 16 mm、0.65 mm ピッチ)	0.13	°C/W

注. 上記パッケージ熱抵抗値は、EIA/JESD51-9 (2s2p) 条件に基づくもので、参考用です。

2.5 AC 特性

表 2.13 動作周波数

項目		シンボル	Min	Max	単位
動作周波数	Cortex-A55 コアクロック (CA55CnCLK, n = 0, 1)	f	600	1,200	MHz
	Cortex-A55 DSU クロック (CA55SCLK)		500	1,000	
	Cortex-R52 コアクロック (CR52CnCLK, n = 0, 1)		400	800	
	周辺モジュールクロック AH (PCLKAH)		400		
	周辺モジュールクロック AM (PCLKAM)		200		
	周辺モジュールクロック AL (PCLKAL)		100		
	周辺モジュールクロック H (PCLKH)		200		
	周辺モジュールクロック M (PCLKM)		100		
	周辺モジュールクロック L (PCLKL)		50		
	ADC 用周辺モジュールクロック (PCLKADC)		25		
	SCIn 用周辺モジュールクロック (PCLKSCIn, n = 0~5)		75	100	
	SCIEn 用周辺モジュールクロック (PCLKSCIEn, n = 0~7)		75	100	
	SPIn 用周辺モジュールクロック (PCLKSPIn, n = 0~3)		75	100	
	xSPI シリアルクロック (XSPI_CLKn, n = 0, 1)		12.5	133	
	DDR コントローラクロック		0.0125	800	
	外部バスクロック出力 (CKIO)		25	100	
	イーサネット PHY 基準クロック (ETHn_REFCLK, n = 0~4)		25		
	イーサネット PHY 基準クロック (RMII _n _REFCLK, n = 0~4)		50		

AC 特性は、表 2.14 に示す I/O 設定 (DRCTLm レジスタ設定) の条件で定義されます。

表 2.14 I/O 設定 (DRCTLm レジスタ設定) の条件 (1/2)

モジュール	信号		I/O の種類	電圧	DRCTLm レジスタ		
					DRVn	SRn	SMTn
バス	CKIO	高駆動	—	3.3 V	高	高速	—
		上記以外	—	3.3 V	中	高速	—
	上記以外		タイプ A	3.3 V	中	低速	無効
			タイプ B	3.3 V	低	低速	無効

表 2.14 I/O 設定 (DRCTLm レジスタ設定) の条件 (2/2)

モジュール	信号	I/O の種類	電圧	DRCTLm レジスタ		
				DRVn	SRn	SMTn
DMAC, MTU3, IIC, CANFD, DSMIF	全信号	タイプ A	3.3 V	中	低速	無効
		タイプ B	3.3 V	低	低速	無効
GPT (n = 0~17) (m = 0, 1)	GTIOcnA, GTIOcnB	タイプ A	3.3 V	中	低速	無効
		タイプ B	3.3 V	低	低速	無効
	GTADSMLm, GTADSMPm	—	3.3 V	低	低速	無効
SCI, SCIE, SPI	全信号	—	3.3 V	高	高速	無効
xSPI (n = 0, 1; m = 0, 1)	XSPln_CKP, XSPln_CKN, XSPln_IO [7:0], XSPln_CSm#, XSPln_DS	—	1.8 V	高	高速	無効
		—	3.3 V	高	高速	有効
	上記以外	—	—	低	低速	無効
イーサネットインタフェース (n = 0~4)	ETHn_TXCLK, ETHn_TXD[3:0]	—	1.8 V/ 3.3 V	高	高速	無効
	ETHn_TXER	—	3.3 V	中	高速	—
	ETHn_RXCLK, ETHn_RXD[3:0]	—	1.8 V/ 3.3 V	—	—	無効
	ETHn_RXER, ETHn_COL, ETHn_CRS	—	3.3 V	—	—	無効
	ETHn_REFCLK, RMIIIn_REFCLK	—	3.3 V	高	高速	—
	上記以外	—	—	低	低速	無効
SHOSTIF	HSPI_CK, HSPI_CS#, HSPI_IO[7:0]	—	1.8 V/ 3.3 V	高	高速	無効
	HSPI_INT#	—	1.8 V/ 3.3 V	低	低速	無効
PHOSTIF	全信号	タイプ A	3.3 V	中	低速	無効
		タイプ B	3.3 V	低	低速	無効
SDHI (n = 0, 1)	SDR104, SDR50, HS200	SDn_CLK	1.8 V	超高	高速	—
		上記以外	1.8 V	高	高速	無効
	DDR50、 高速 DDR	全信号	1.8 V/ 3.3 V	高	高速	無効
		SDn_CLK	1.8 V/ 3.3 V	高	高速	—
		上記以外	1.8 V/ 3.3 V	中	高速	無効
		—	—	—	—	—
NANDC	NAND_CEn#, NAND_CLE, NAND_ALE, NAND_WP#	—	3.3 V	中	高速	—
	NAND_IOn	—	3.3 V	高	高速	無効
	NAND_RW#, NAND_WE#	—	3.3 V	中	高速	—
	NAND_RY_BYn#	—	3.3 V	—	—	無効
デバッグインタフェース	TDO, TMS	—	3.3 V	高	高速	無効
	上記以外	—	—	低	低速	無効
上記以外		—	—	低	低速	無効

2.5.1 クロックタイミング

2.5.1.1 CKIO 端子出力タイミング

表 2.15 CKIO 端子出力タイミング

項目	シンボル	条件	Min	Typ	Max	単位
CKIO 端子出力サイクル時間	t_{CKcyc}	図 2.2	10	—	40	ns
CKIO 端子出力 High レベルパルス幅	t_{CKH}		$t_{CKcyc} / 2 - t_{CKr}$	—	—	ns
CKIO 端子出力 Low レベルパルス幅	t_{CKL}		$t_{CKcyc} / 2 - t_{CKf}$	—	—	ns
CKIO 端子出力立ち上がり時間 1	t_{CKr}	CKIO : 高駆動出力設定	—	—	3.8	ns
CKIO 端子出力立ち下がり時間 1	t_{CKf}		—	—	3.8	ns
CKIO 端子出力立ち上がり時間 2	t_{CKr}	CKIO : 通常出力設定	—	—	9	ns
CKIO 端子出力立ち下がり時間 2	t_{CKf}		—	—	9	ns

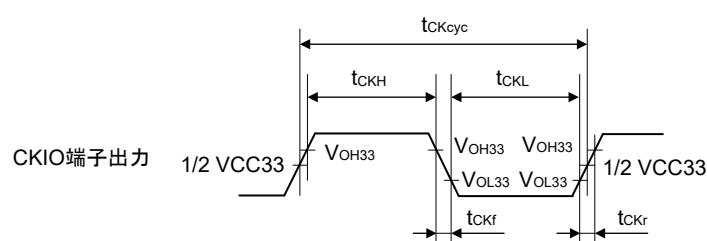


図 2.2 CKIO 端子出力タイミング

2.5.1.2 イーサネット PHY 基準クロック出力タイミング

条件：

C = 30 pF (ETHn_REFCLK)

C = 25 pF (RMIIIn_REFCLK)

表 2.16 イーサネット PHY 基準クロック出力タイミング

項目	シンボル	条件	Min	Typ	Max	単位
ETHn_REFCLK サイクルタイム	t_{CK}	—	40	—	—	ns
ETHn_REFCLK 周波数	—	—	25.00 ± 50 ppm			MHz
		EtherCAT 使用中	25.00 ± 25 ppm			MHz
ETHn_REFCLK デューティー(注1)	—	—	47	—	53	%
ETHn_REFCLK 立ち上がり／立ち下がり時間	t_{CKr}/t_{CKf}	—	0.5	—	4.2	ns
RMIIIn_REFCLK サイクルタイム	t_{CK}	—	20	—	—	ns
RMIIIn_REFCLK 周波数	—	—	50.00 ± 50 ppm			MHz
RMIIIn_REFCLK デューティー	—	—	45	—	55	%
RMIIIn_REFCLK 立ち上がり／立ち下がり時間	t_{CKr}/t_{CKf}	—	0.5	—	4.2	ns

注 1. SCKCR3.ETHnREFCLKSEL = 0 (n = 0~4) の場合

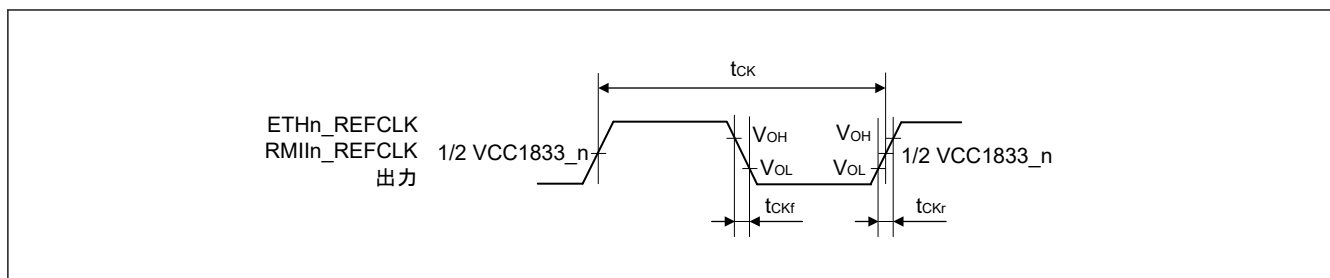


図 2.3 イーサネット PHY 基準クロック出力タイミング

2.5.1.3 EXTCLKIN 外部クロック入力

表 2.17 EXTCLKIN クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
EXTCLKIN 外部クロック周波数	$f_{EXTCLKIN}$	—	25.00 ± 50 ppm			MHz
		EtherCAT 使用中	25.00 ± 25 ppm			MHz
EXTCLKIN デューティー	$r_{EXTCLKIN}$	—	$\pm 5\%$			—
EXTCLKIN 立ち上がり時間	$t_{EXTCLKIN}$	—	0	—	5	ns
EXTCLKIN 立ち下がり時間	$t_{EXTCLKIN}$	—	0	—	5	ns

注. 水晶振動子を接続する場合（すなわち EXTAL/XTAL クロックを使用時）は、EXTCLKIN を Low にしてください。

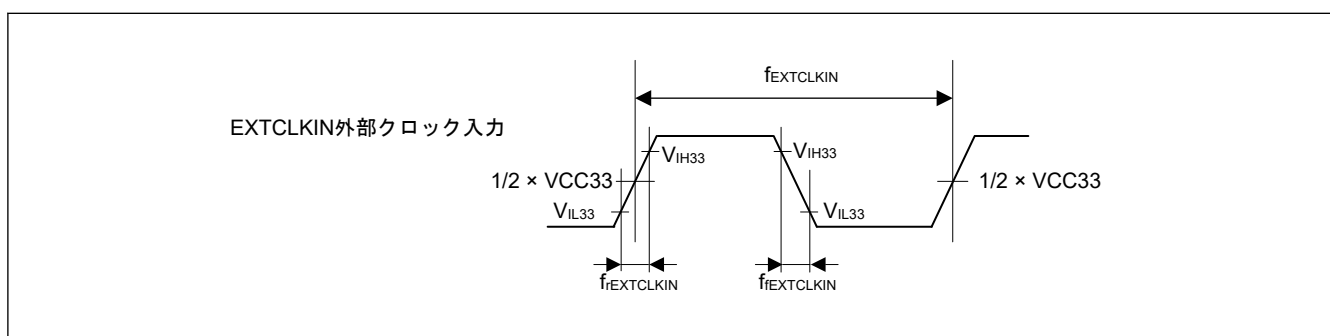


図 2.4 EXTCLKIN 外部クロック入力タイミング

2.5.1.4 EXTAL/XTAL クロックタイミング

表 2.18 EXTAL/XTAL クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
EXTAL/XTAL クロック周波数 ^(注1)	f_{XTAL}	—	25.00 ± 50 ppm			MHz
		EtherCAT 使用中	25.00 ± 25 ppm			MHz

注. 外部発振器を使用する場合、必ず XTAL を開放とし、EXTAL を Low にしてください。

注 1. EXTAL/XTAL クロック（例：水晶振動子）を使用する場合、発振器の製造元に発振器の発振評価を依頼してください。発振安定待ち時間については、発振器の製造元の評価結果を参照してください。

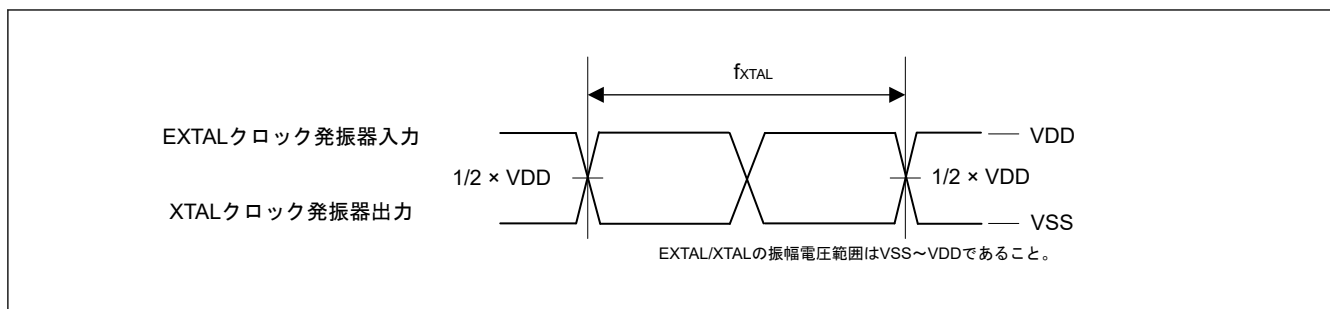


図 2.5 EXTAL クロック発振器入力と XTAL クロック発振器出力のタイミング

2.5.1.5 LOCO クロックタイミング

表 2.19 LOCO クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
LOCO クロックサイクル時間	t_{LCyc}	—	4.62	4.17	3.79	μs
LOCO クロック発振周波数	f_{LOCO}	—	216	240	264	kHz
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	—	40	μs

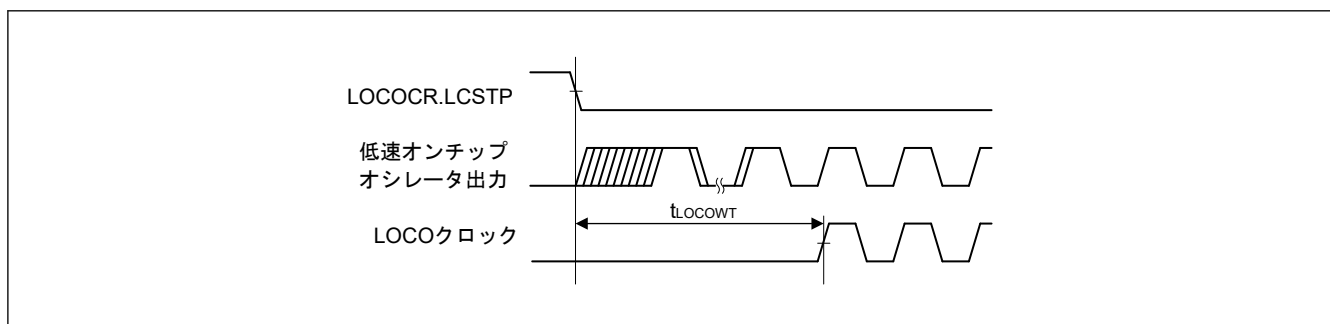


図 2.6 LOCO クロック発振開始タイミング

2.5.2 リセット、割り込み、およびモードタイミング

表 2.20 リセット、割り込み、およびモードタイミング

項目	シンボル	条件	Min	Typ	Max	単位
RES#パルス幅	電源投入時	図 2.7	10	—	—	ms
	上記以外		1	—	—	ms
RES#立ち上がり時間	$t_{risereset}$		—	—	150	μs
TRST#パルス幅	電源投入時		10	—	—	ms
	上記以外		1	—	—	ms
TRST#立ち上がり時間	$t_{risereset}$		—	—	150	μs
SEI パルス幅	レベル検出	図 2.8	$t_{PHCyc} \times 2.5$ (注1)	—	—	ns
	エッジ検出		$t_{PMCyc} \times 3.5$ (注2)(注3)	—	—	ns
IRQ パルス幅	レベル検出	図 2.9	$t_{PHCyc} \times 2.5$ (注1)	—	—	ns
	エッジ検出		$t_{PMCyc} \times 3.5$ (注2)(注3)	—	—	ns
モードホールド時間 (RES#に対して)	電源投入時	図 2.10	250	—	—	ns

注 1. t_{PHCyc} : PCLKH サイクル注 2. t_{PMCyc} : PCLKM サイクル

注 3. この値は、ノイズフィルタのサンプリング周波数分周比が1であるときの値です。それ以外の場合には、[クロック分周比] × t_{PMcyc} × 3.5 になります。

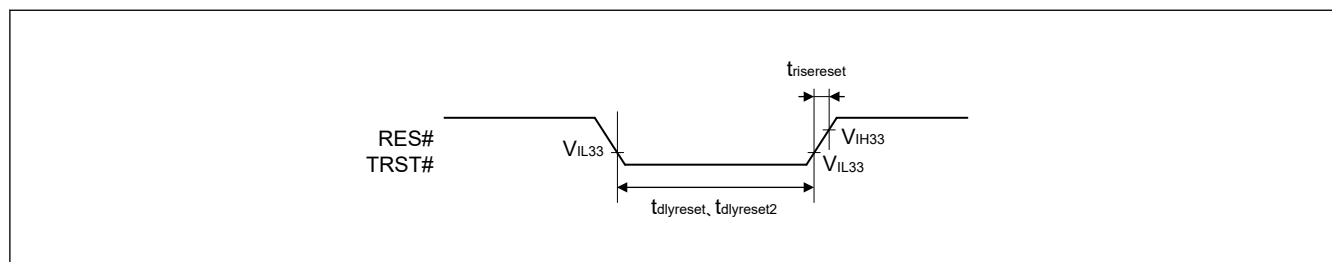


図 2.7 リセット入力タイミング

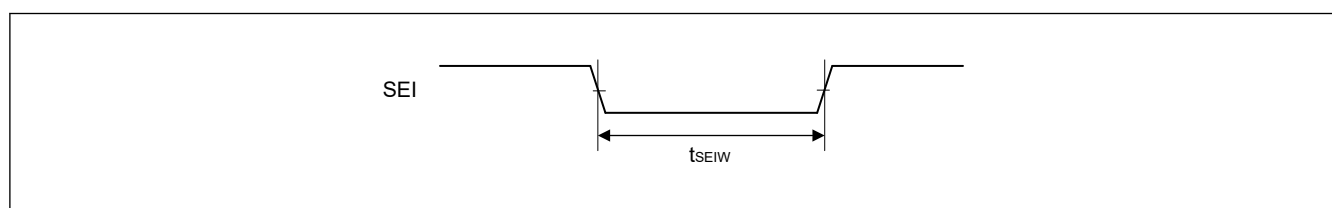


図 2.8 SEI 割り込み入力タイミング

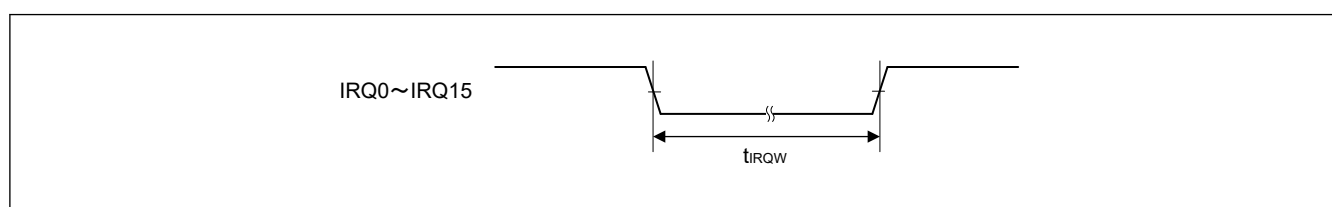


図 2.9 IRQ 割り込み入力タイミング

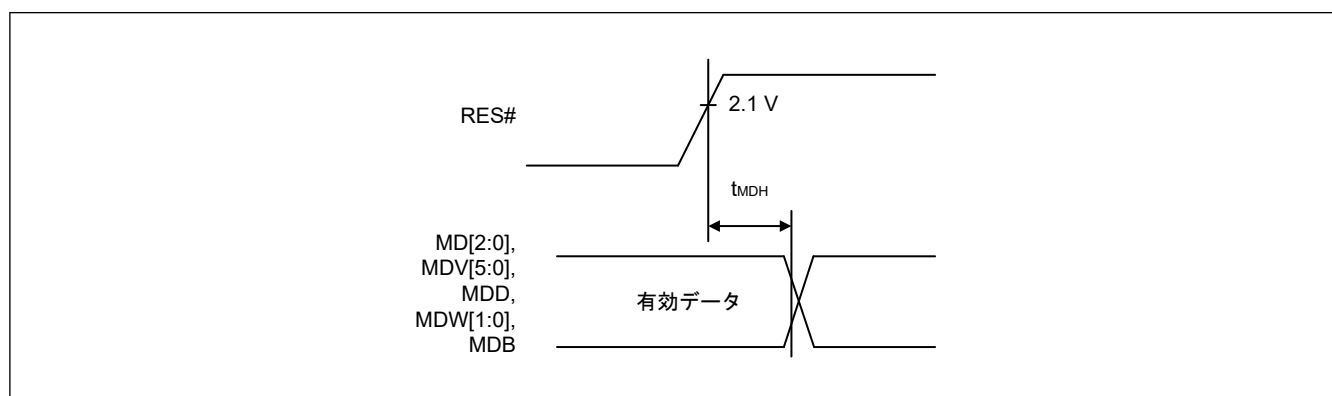


図 2.10 モード入力タイミング

2.5.3 バスタイミング

表 2.21 バスタイミング (1/2)

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 15 \text{ pF}$ (CKIO)、 30 pF (その他)、 $T_{jmin} = -40^\circ\text{C}$

パラメータ	シンボル	CKIO = $1/t_{CKcyc}$ (注1) (最高 66 MHz)		単位	参照図
		Min	Max		
アドレス遅延時間 1	t_{AD1}	0	10	ns	図 2.11 ~ 図 2.18
アドレス遅延時間 2	t_{AD2}	$1/2 t_{CKcyc}$	$1/2 t_{CKcyc} + 10$	ns	図 2.18
アドレスセットアップ時間	t_{AS}	0	—	ns	図 2.11 ~ 図 2.14、図 2.18

表 2.21 バスタイミング (2/2)

条件: $V_{OH} = V_{CC33} \times 0.5$, $V_{OL} = V_{CC33} \times 0.5$, $C = 15 \text{ pF}$ (CKIO), 30 pF (その他), $T_{jmin} = -40^{\circ}\text{C}$

パラメータ	シンボル	CKIO = $1/t_{CKcyc}$ (注1) (最高 66 MHz)		単位	参照図
		Min	Max		
チップイネーブルセットアップ時間	t_{CS}	0	—	ns	図 2.11～図 2.14、図 2.18
アドレスホールド時間	t_{AH}	0	—	ns	図 2.11～図 2.14
BS 遅延時間	t_{BSD}	—	11	ns	図 2.11～図 2.18
CSn#遅延時間 1	t_{CSD1}	0	10	ns	図 2.11～図 2.18
リード/ライト遅延時間 1	t_{RWD1}	0	10	ns	図 2.11～図 2.18
リードストロブ遅延時間	t_{RSD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図 2.11～図 2.18
リードデータセットアップ時間 1(注2)	高駆動出力	t_{RDS1}	$1/2t_{CKcyc} + 4$	ns	図 2.11～図 2.17
		通常出力	$1/2t_{CKcyc} + 7$	ns	
リードデータセットアップ時間 3(注2)	高駆動出力	t_{RDS3}	$1/2t_{CKcyc} + 4$	ns	図 2.18
		通常出力	$1/2t_{CKcyc} + 7$	ns	
リードデータホールド時間 1	t_{RDH1}	0	—	ns	図 2.11～図 2.17
リードデータホールド時間 3	t_{RDH3}	0	—	ns	図 2.18
ライトイネーブル遅延時間 1	t_{WED1}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図 2.11～図 2.16
ライトイネーブル遅延時間 2	t_{WED2}	—	11	ns	図 2.17
ライトデータ遅延時間 1	t_{WDD1}	—	11	ns	図 2.11～図 2.17
ライトデータホールド時間 1	t_{WDH1}	1	—	ns	図 2.11～図 2.17
ライトデータホールド時間 4	t_{WDH4}	0	—	ns	図 2.11～図 2.15
WAIT#セットアップ時間 (注2)	高駆動出力	t_{WTS}	$1/2t_{CKcyc} + 4.5$	ns	図 2.12～図 2.18
	通常出力		$1/2t_{CKcyc} + 8$	ns	
WAIT#ホールド時間	t_{WTH}	$1/2t_{CKcyc} + 3.5$	—	ns	図 2.12～図 2.18
AH#遅延時間	t_{AHD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図 2.15
マルチプレクスアドレス遅延時間	t_{MAD}	—	10	ns	図 2.15
マルチプレクスアドレスホールド時間	t_{MAH}	1	—	ns	図 2.15
AH#アドレスセットアップ時間	t_{AVVH}	$1/2t_{CKcyc} - 2$	—	ns	図 2.15
DACK/TEND 遅延時間	t_{DACD}	「2.5.4. DMAC タイミング」を参照してください。		ns	図 2.11～図 2.18

注. 遅延時間、セットアップ時間、ホールド時間の記述にある $1/2t_{CKcyc}$ は、クロック立ち上がりエッジから $1/2$ サイクル、すなわちクロック立ち下りの基準を示します。

注 1. CKIO (外部バスクロック) の f_{max} 値に関しては、システム構成に合わせた待機サイクル数を考慮に入れてください。CKIO が 50 MHz 以上の周波数で動作しているときは、高駆動出力を選択してください。

注 2. これらの値は、CKIO に高駆動出力と通常出力をそれぞれ選択している場合です。

表 2.22 バスタイミング (1/2)

条件: $V_{OH} = V_{CC33} \times 0.5$, $V_{OL} = V_{CC33} \times 0.5$, $C = 12 \text{ pF}$ (CKIO), 12 pF (その他), $T_{jmin} = -20^{\circ}\text{C}$

パラメータ	シンボル	CKIO = $1/t_{CKcyc}$ (注1) (最高 100 MHz)		単位	参照図
		Min	Max		
アドレス遅延時間 1	t_{AD1}	0	8	ns	図 2.11～図 2.18
アドレス遅延時間 2	t_{AD2}	$1/2t_{CKcyc} - 0.5$	$1/2t_{CKcyc} + 8$	ns	図 2.18
アドレスセットアップ時間	t_{AS}	0	—	ns	図 2.11～図 2.14、図 2.18

表 2.22 バスタイミング (2/2)

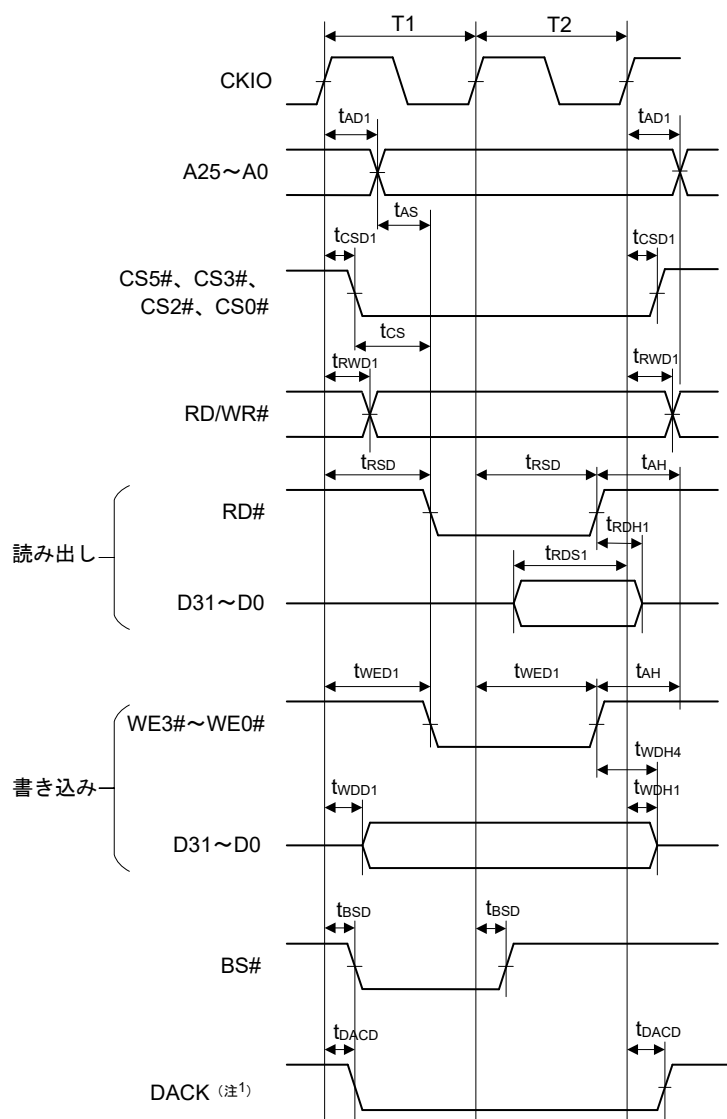
条件: $V_{OH} = V_{CC33} \times 0.5$, $V_{OL} = V_{CC33} \times 0.5$, $C = 12 \text{ pF}$ (CKIO)、 12 pF (その他)、 $T_{jmin} = -20^\circ\text{C}$

パラメータ	シンボル	CKIO = $1/t_{CKcyc}$ (注1) (最高 100 MHz)		単位	参照図
		Min	Max		
チップイネーブルセットアップ時間	t_{CS}	0	—	ns	図 2.11～図 2.14、図 2.18
アドレスホールド時間	t_{AH}	0	—	ns	図 2.11～図 2.14
BS 遅延時間	t_{BSD}	—	8	ns	図 2.11～図 2.18
CSn#遅延時間 1	t_{CSD1}	0	8	ns	図 2.11～図 2.18
リード/ライト遅延時間 1	t_{RWD1}	0	8	ns	図 2.11～図 2.18
リードストローブ遅延時間	t_{RSD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 8$	ns	図 2.11～図 2.18
リードデータセットアップ時間 1(注2)	高駆動出力 通常出力	t_{RDS1}	$1/2t_{CKcyc} + 4.5$ $1/2t_{CKcyc} + 7$	ns ns	図 2.11～図 2.17
リードデータセットアップ時間 3(注2)	高駆動出力 通常出力	t_{RDS3}	$1/2t_{CKcyc} + 4.5$ $1/2t_{CKcyc} + 7$	ns ns	図 2.18
リードデータホールド時間 1	t_{RDH1}	0	—	ns	図 2.11～図 2.17
リードデータホールド時間 3	t_{RDH3}	0	—	ns	図 2.18
ライトイネーブル遅延時間 1	t_{WED1}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 8$	ns	図 2.11～図 2.16
ライトイネーブル遅延時間 2	t_{WED2}	—	9	ns	図 2.17
ライトデータ遅延時間 1	t_{WDD1}	—	8	ns	図 2.11～図 2.17
ライトデータホールド時間 1	t_{WDH1}	1	—	ns	図 2.11～図 2.17
ライトデータホールド時間 4	t_{WDH4}	0	—	ns	図 2.11～図 2.15
WAIT#セットアップ時間 (注2)	高駆動出力 通常出力	t_{WTS}	$1/2t_{CKcyc} + 4.5$ $1/2t_{CKcyc} + 8$	ns ns	図 2.12～図 2.18
WAIT#ホールド時間	t_{WTH}	$1/2t_{CKcyc} + 3.5$	—	ns	図 2.12～図 2.18
AH#遅延時間	t_{AHD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 8$	ns	図 2.15
マルチプレクスアドレス遅延時間	t_{MAD}	—	8	ns	図 2.15
マルチプレクスアドレスホールド時間	t_{MAH}	1	—	ns	図 2.15
AH#アドレスセットアップ時間	t_{AVVH}	$1/2t_{CKcyc} - 2$	—	ns	図 2.15
DACK/TEND 遅延時間	t_{DACD}	「2.5.4. DMAC タイミング」を参照してください。		ns	図 2.11～図 2.18

注. 遅延時間、セットアップ時間、ホールド時間の記述にある $1/2t_{CKcyc}$ は、クロック立ち上がりエッジから $1/2$ サイクル、すなわちクロック立ち下りの基準を示します。

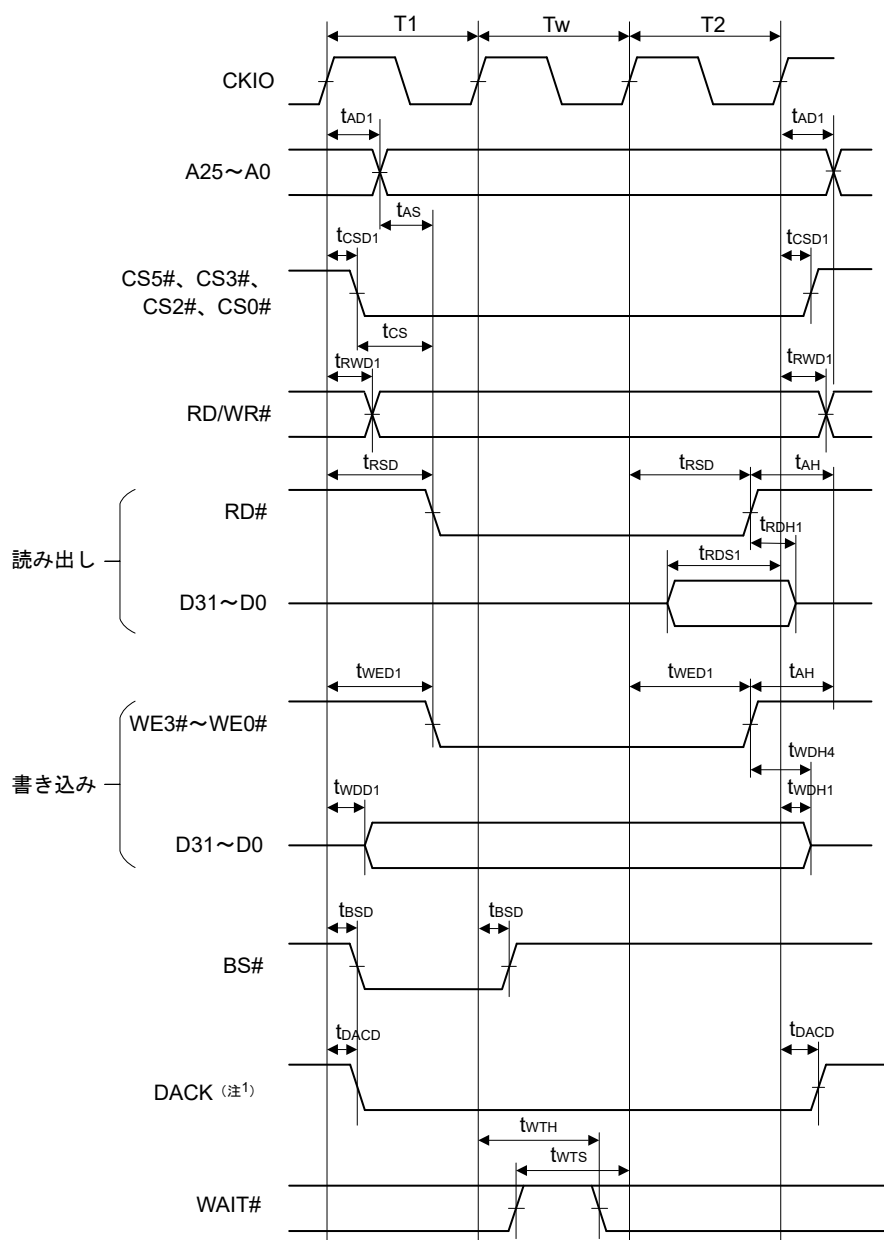
注 1. CKIO (外部バスクロック) の f_{max} 値に関しては、システム構成に合わせた待機サイクル数を考慮に入れてください。CKIO が 50 MHz 以上の周波数で動作しているときは、高駆動出力を選択してください。

注 2. これらの値は、CKIO に高駆動出力と通常出力をそれぞれ選択している場合です。



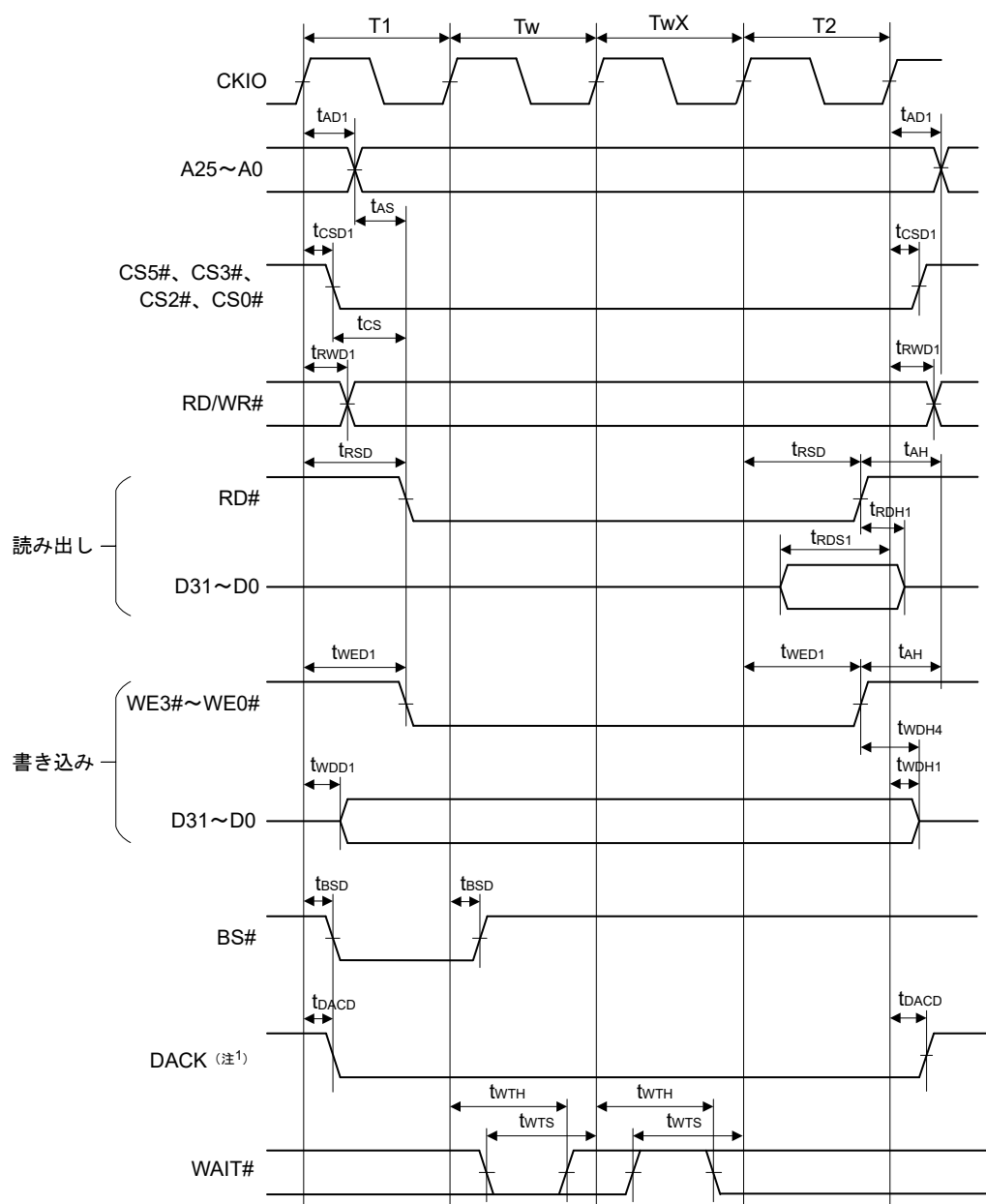
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.11 SRAM インタフェース基本バスサイクル (ウェイトなし)



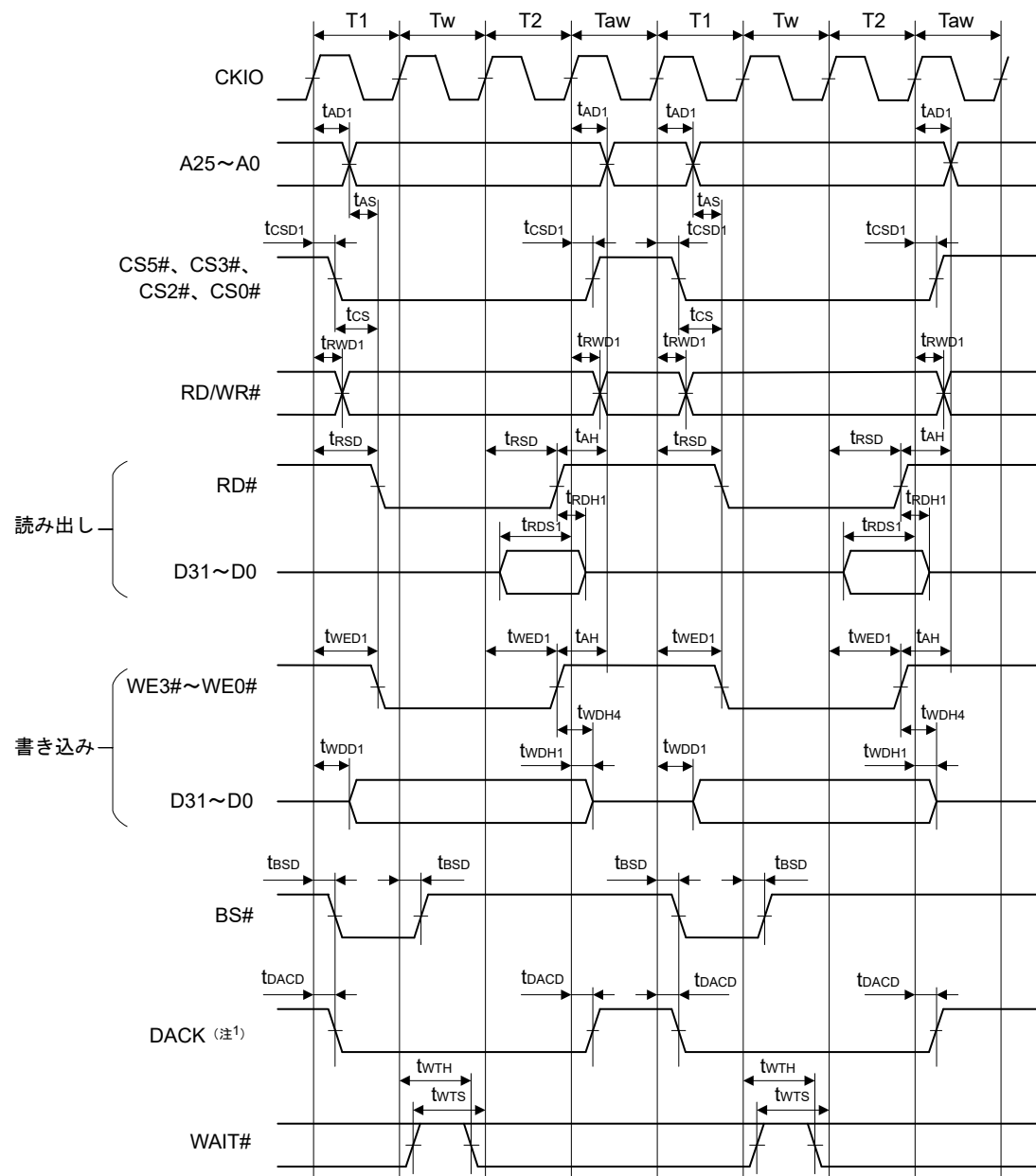
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.12 SRAM インタフェース基本バスサイクル (ソフトウェアウェイト 1)



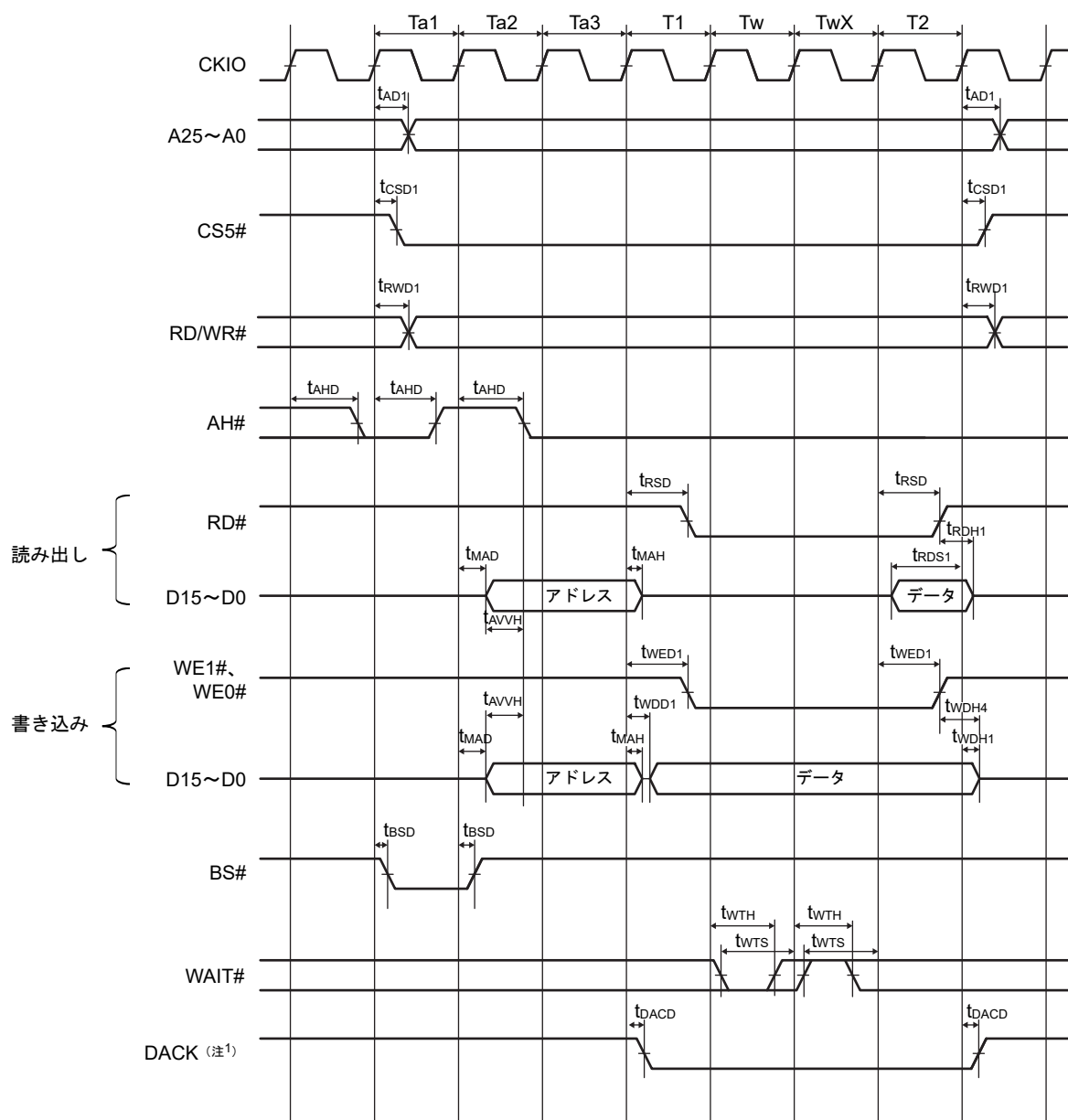
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.13 SRAM インタフェース基本バスサイクル (ソフトウェアウェイト 1、外部ウェイト 1 を挿入)



注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.14 SRAM インタフェース基本バスサイクル (ソフトウェアウェイト 1、外部ウェイト有効 (WM = 0)、アイドルサイクルなし)



注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.15 MPX-I/O インタフェースバスサイクル (アドレスサイクル 3、ソフトウェアウェイト 1、外部ウェイト 1 を挿入)

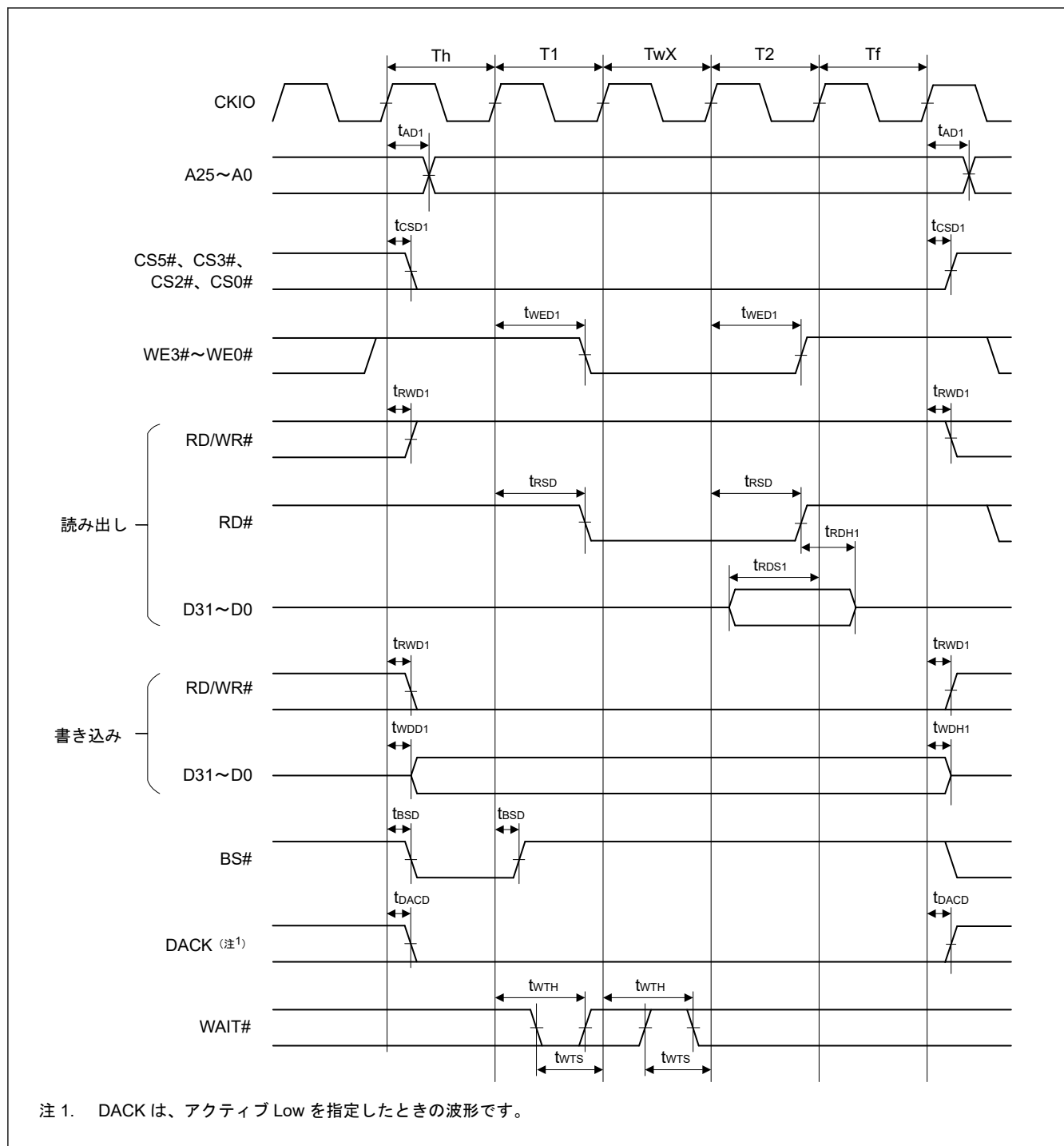
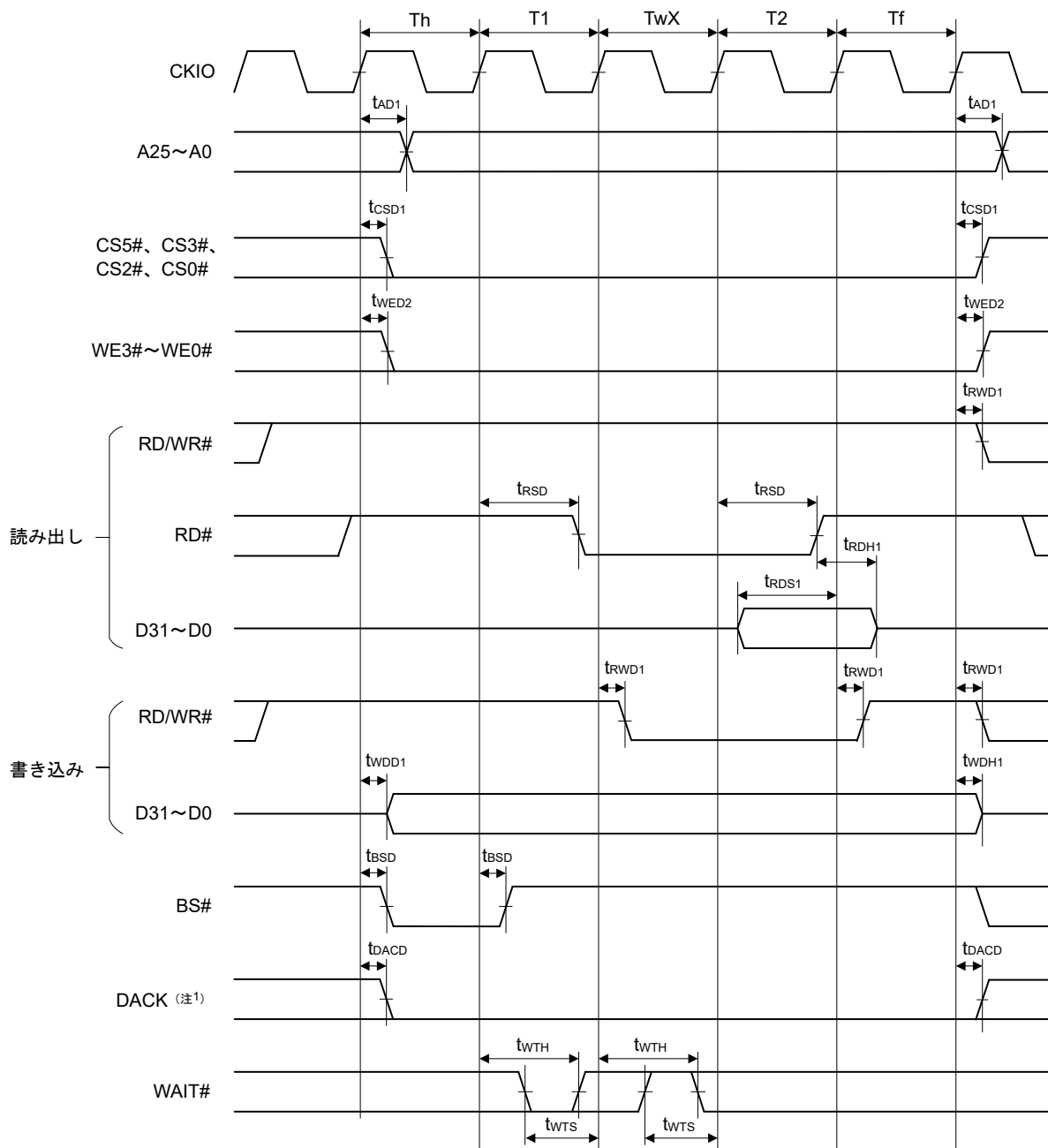
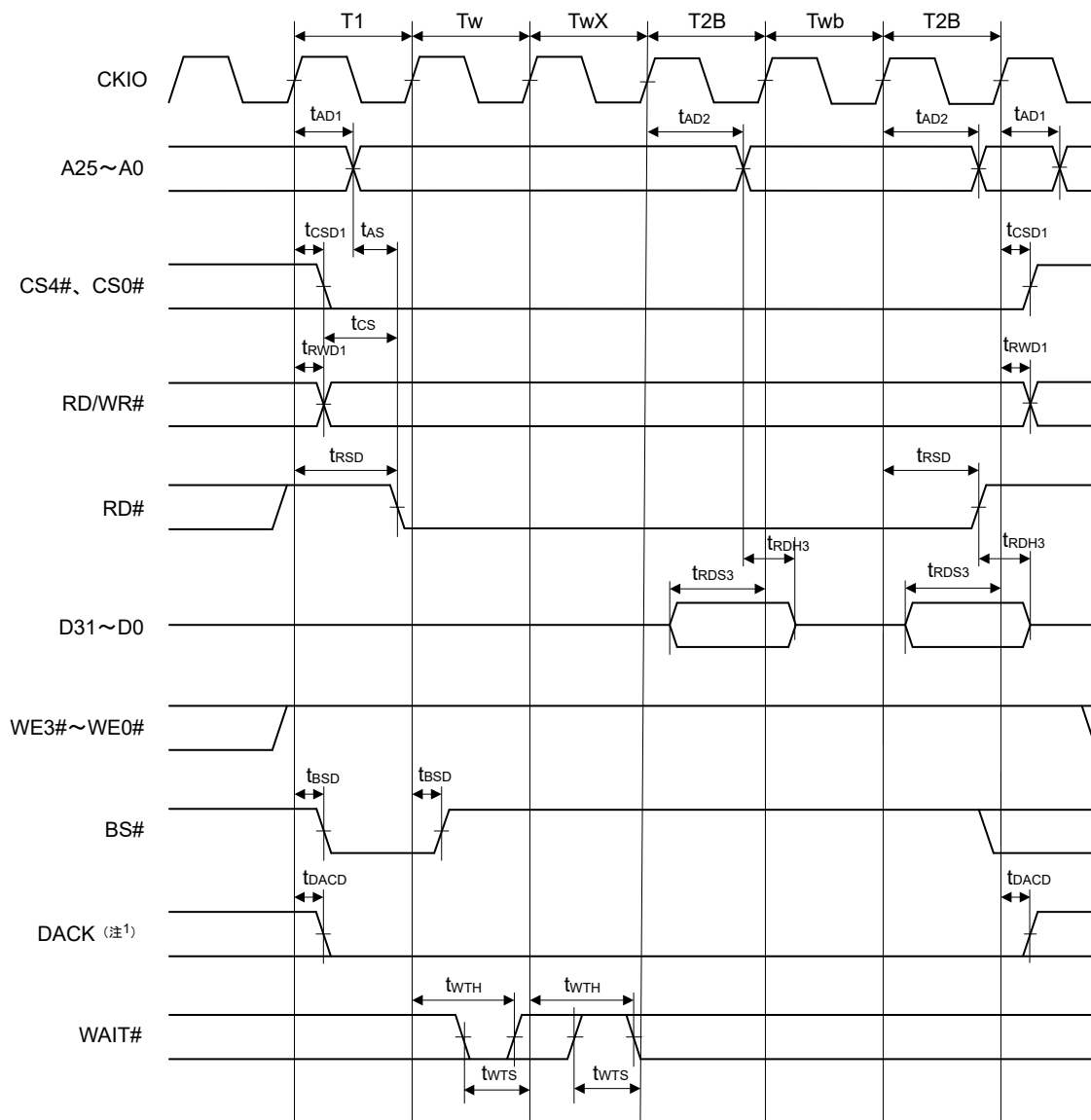


図 2.16 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB/LB 制御))



注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.17 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 1 (ライトサイクル WE 制御))



注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.18 バースト ROM リードサイクル (ソフトウェアウェイト 1、非同期外部ウェイト 1 を挿入、バーストウェイト 1、2)

2.5.4 DMAC タイミング

表 2.23 DMAC タイミング

条件 : $V_{OH} = V_{CC33} \times 0.5$, $V_{OL} = V_{CC33} \times 0.5$, $C = 15 \text{ pF}$ (CKIO), 30 pF (その他), $T_{jmin} = -40^\circ\text{C}$

項目	シンボル	Min(注1)	Max	単位	参照図
DMAC	DREQ パルス幅	t_{DRQW}	$t_{PHCyc} \times 2$	ns	図 2.19
	DACK および TEND の遅延時間	t_{DACD}	10	ns	図 2.20

注 1. t_{PHCyc} : PCLKH サイクル

表 2.24 DMAC タイミング

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 12 \text{ pF}$ (CKIO)、 12 pF (その他)、 $T_{jmin} = -20 \text{ }^{\circ}\text{C}$

項目		シンボル	Min(注1)	Max	単位	参照図
DMAC	DREQ パルス幅	t _{DRQW}	t _{PHcyc} × 2	—	ns	図 2.19
	DACK および TEND の遅延時間	t _{DACD}	-0.5	8	ns	図 2.20

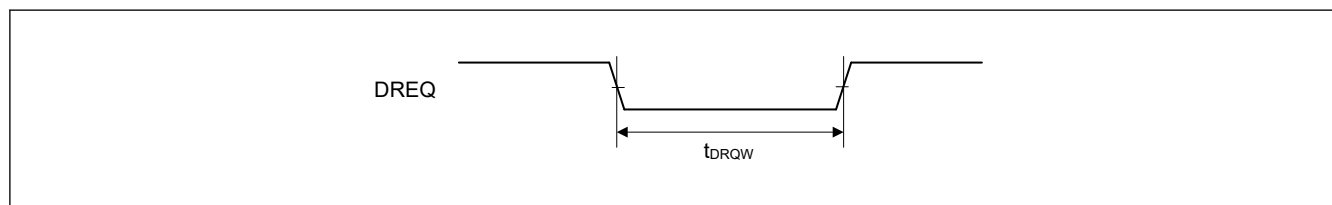
注 1. t_{PHcyc} : PCLKH サイクル

図 2.19 DREQ 入力タイミング

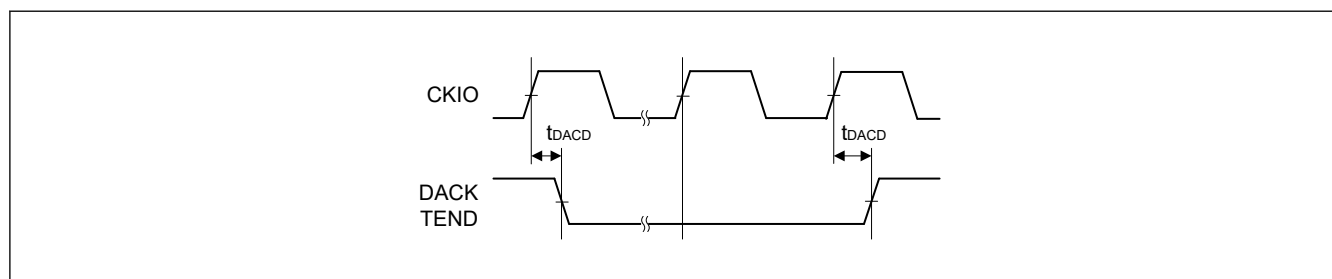


図 2.20 DACK および TEND の出力タイミング

2.5.5 内蔵周辺モジュールタイミング

2.5.5.1 I/O ポートタイミング

表 2.25 I/O ポートタイミング

項目	シンボル	Min	Max	単位(注1)	参照図
I/O ポート	入カデータパルス幅	t_{PRW}	1.5	t_{PLcyc}	図 2.21

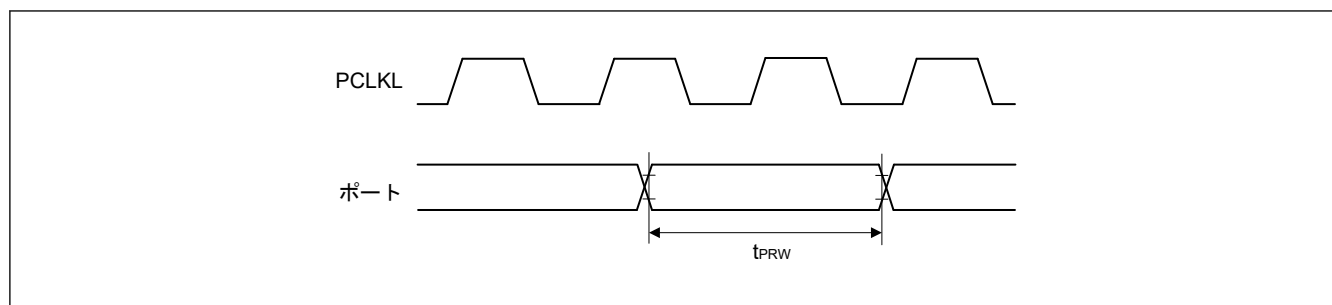
注 1. t_{PLcyc} : PCLKL サイクル

図 2.21 I/O ポート入力タイミング

2.5.5.2 CMTW タイミング

表 2.26 CMTW タイミング

項目	シンボル	Min	Max	単位(注1)	参照図
CMTW	インプットキャプチャ入力パルス幅	$t_{CMTWICW}$	1.5	t_{PLcyc}	図 2.22
	片エッジ設定	2.5	—		
	両エッジ設定	—	—		

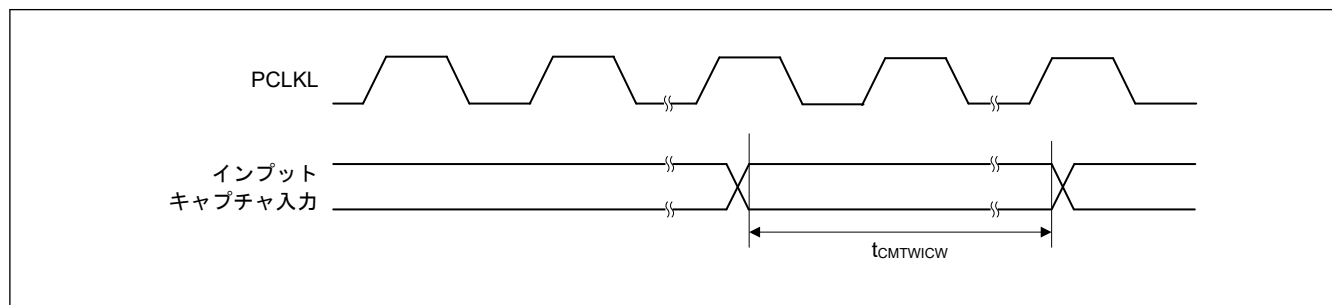
注 1. t_{PLcyc} : PCLKL サイクル

図 2.22 CMTW インพุットキャプチャ入力タイミング

2.5.5.3 MTU3 タイミング

表 2.27 MTU3 タイミング

項目		シンボル	Min	Max	単位(注1)	参照図
MTU3	インพุットキャプチャ入力パルス幅	t_{MTICW}	2.5	—	t_{PHcyc}	図 2.23
			3.5	—		
	タイマクロックパルス幅	t_{MTCKWH}	2.5	—	t_{PHcyc}	図 2.24
		t_{MTCKWL}	3.5	—		
		位相計数モード	3.5	—		

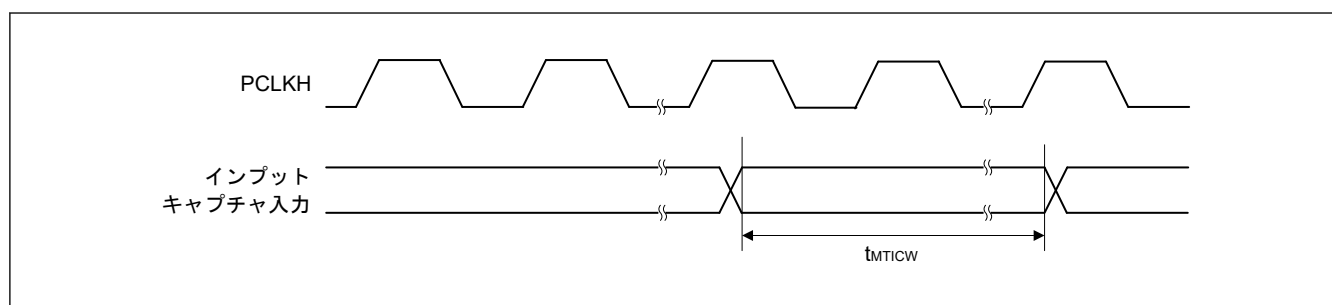
注 1. t_{PHcyc} : PCLKH サイクル

図 2.23 MTU3 インพุットキャプチャ入力タイミング

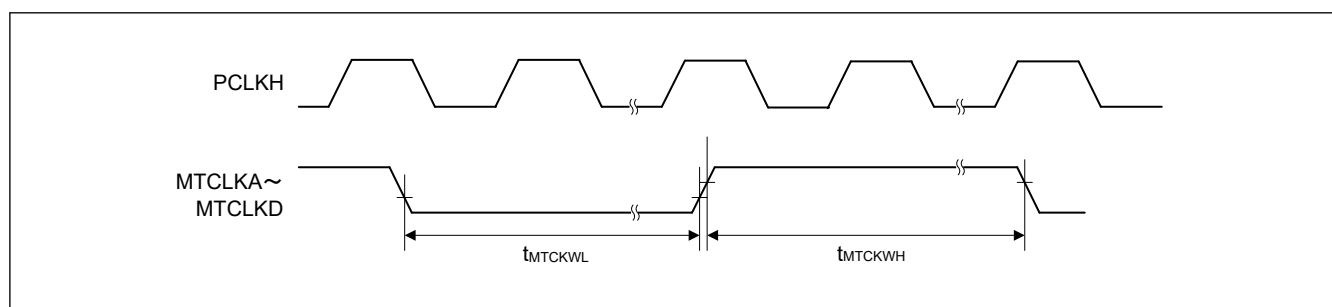


図 2.24 MTU3 クロック入力タイミング

2.5.5.4 POE3 タイミング

表 2.28 POE3 タイミング

項目	シンボル	Min	Max	単位(注1)	参照図
POE3	POEn#入力パルス幅	t_{POEW}	2.5	—	t_{PHcyc} 図 2.25
	出力禁止時間				
	POEn#信号レベルの遷移	t_{POEDI}	—	$5 \times PCLKH + 0.1$	μs 図 2.26
	出力端子の同時出力	t_{POEDO}	—	$3 \times PCLKH + 0.1$	μs 図 2.27
	レジスタ設定	t_{POEDS}	—	$PCLKH + 0.1$	μs 図 2.28
	発振停止検出	t_{POEDOS}	—	74	μs 図 2.29

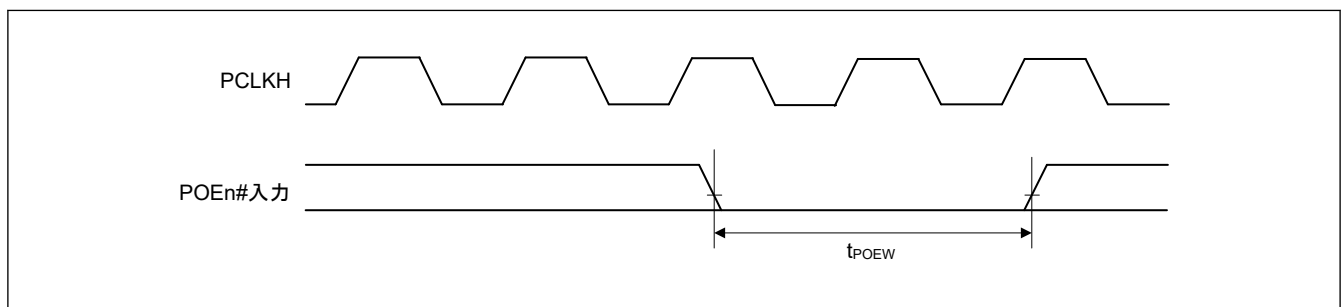
注 1. t_{PHcyc} : PCLKH サイクル

図 2.25 POEn#入力パルスタイミング

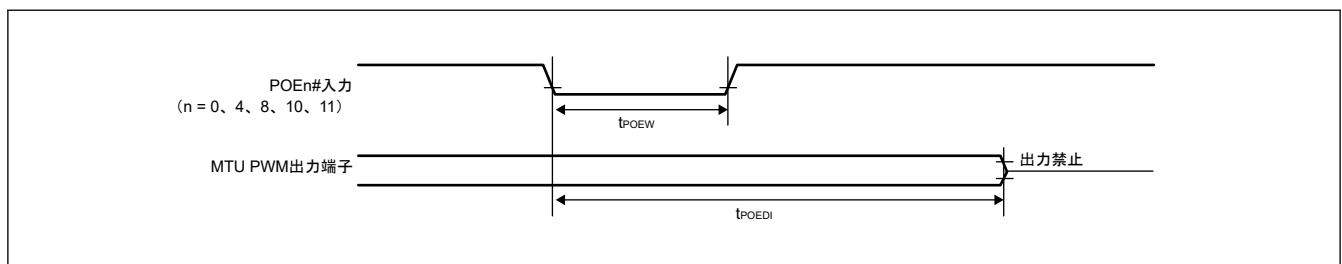


図 2.26 POEn#の信号レベルの遷移に対応した POE の出力禁止時間

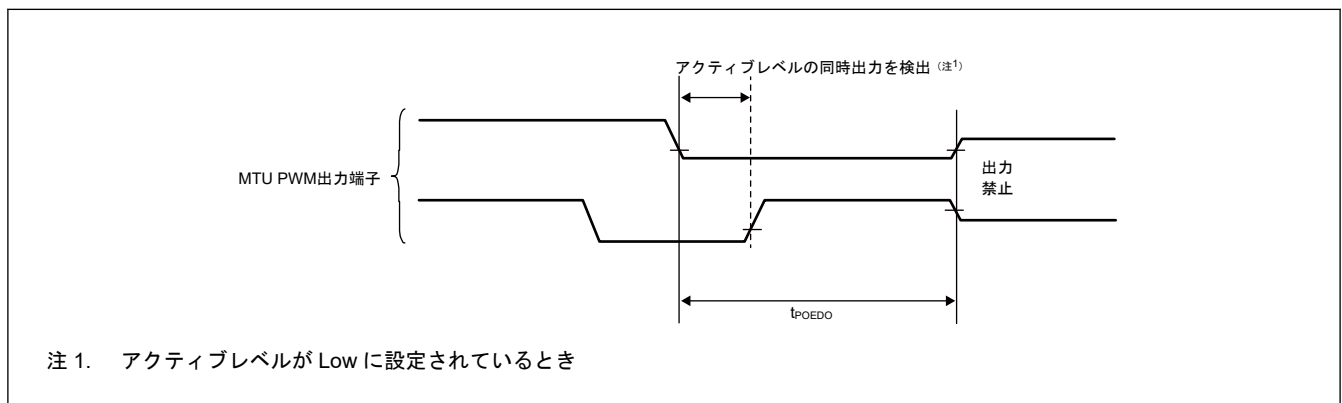


図 2.27 出力端子の同時出力に対応した POE の出力禁止時間

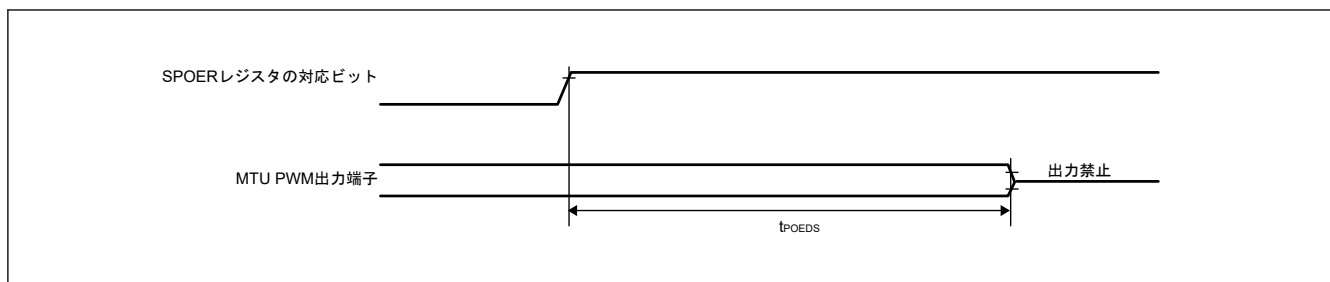


図 2.28 レジスタ設定に対応した POE の出力禁止時間

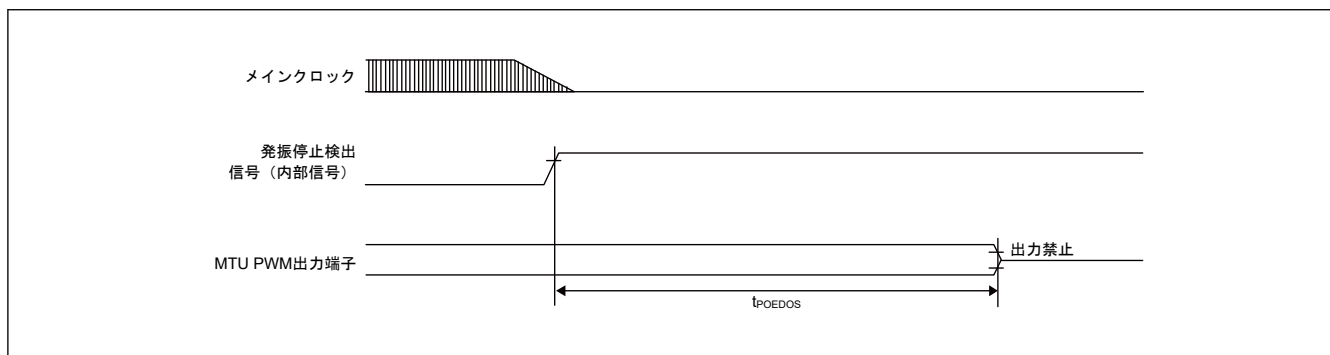


図 2.29 発振停止検出に対応した POE の出力禁止時間

2.5.5.5 GPT タイミング

表 2.29 GPT タイミング

項目			シンボル	Min	Max	単位(注1)	参照図
GPT	インプットキャプチャ入力パルス幅	片エッジ設定	t_{GTICW}	2.5	—	t_{pHcyc}	図 2.30
		両エッジ設定		3.5	—		
	外部トリガ入力パルス幅	片エッジ設定	t_{GTEW}	2.5	—	t_{pHcyc}	図 2.31
		両エッジ設定		3.5	—		

注 1. t_{pHcyc} : PCLKH サイクル (LLPP チャンネル)、PCLKM サイクル (その他のチャンネル)

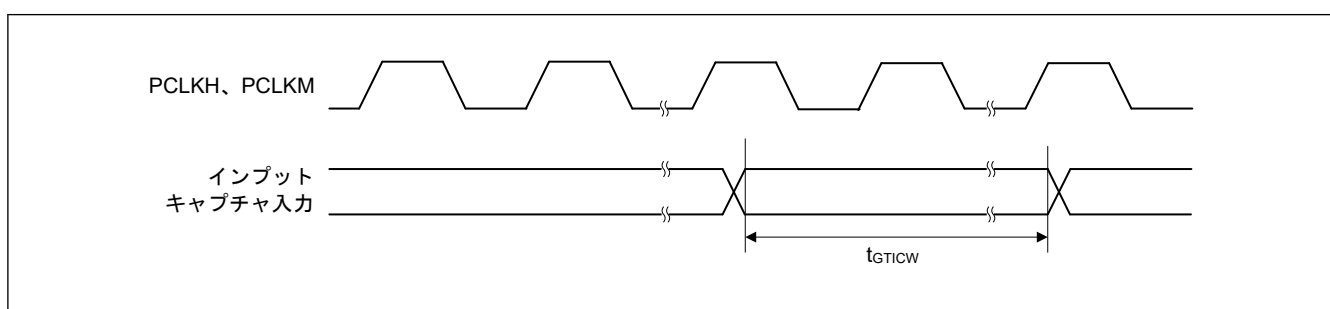


図 2.30 GPT インプットキャプチャ入力タイミング

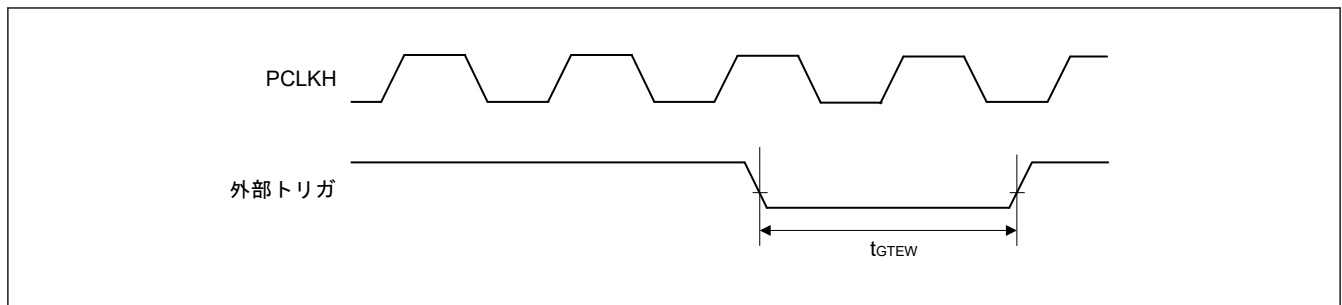


図 2.31 GPT 外部トリガ入力タイミング

2.5.5.6 POEG タイミング

表 2.30 POEG タイミング

項目		シンボル	Min	Max	単位(注1)	参照図
POEG	GTETRn 入力パルス幅 (n = A~D)	t_{POEGW}	2.5	—	t_{PHcyc}	図 2.32
	出力禁止時間	GTETRn 端子の入レベル検出 (フラグ経由)	t_{POEGDI}	$3 \times PCLKH + 0.1$	μs	図 2.33
		GPT からの出力停止信号の検出 (デッドタイムエラー、同時 High 出力、または同時 Low 出力)	t_{POEGDO}	0.1	μs	図 2.34
		レジスタ設定	t_{POEGDS}	$PCLKH + 0.1$	μs	図 2.35
		発振停止検出	$t_{POEGDOS}$	74	μs	図 2.36

注 1. t_{PHcyc} : PCLKH サイクル (LLPP チャンネル)、PCLKL サイクル (その他のチャンネル)

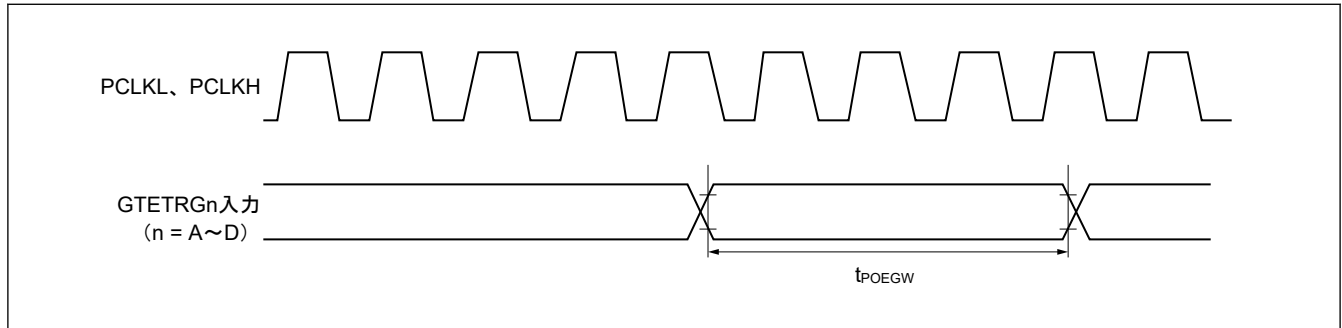


図 2.32 POEG 入力タイミング

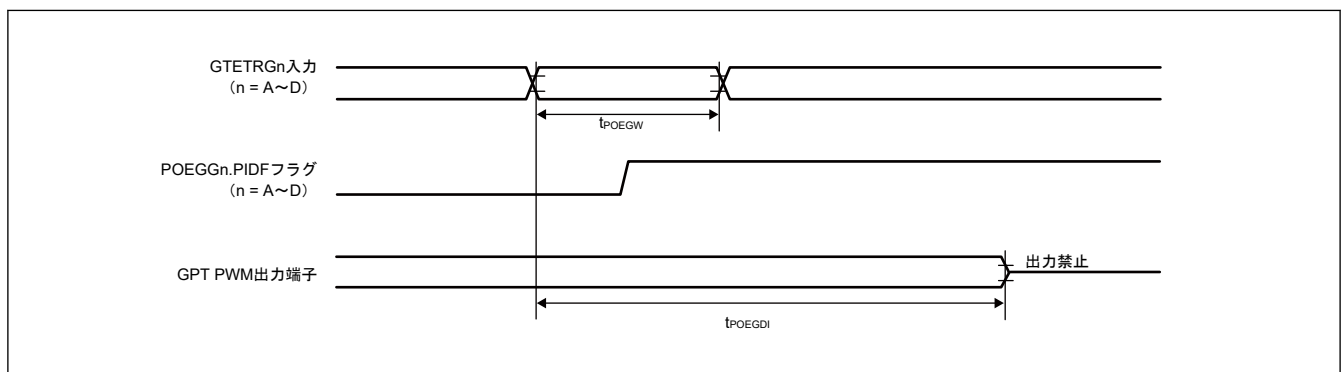


図 2.33 GTETRn 端子の入レベル検出に対応した検出フラグによる POEG の出力禁止時間

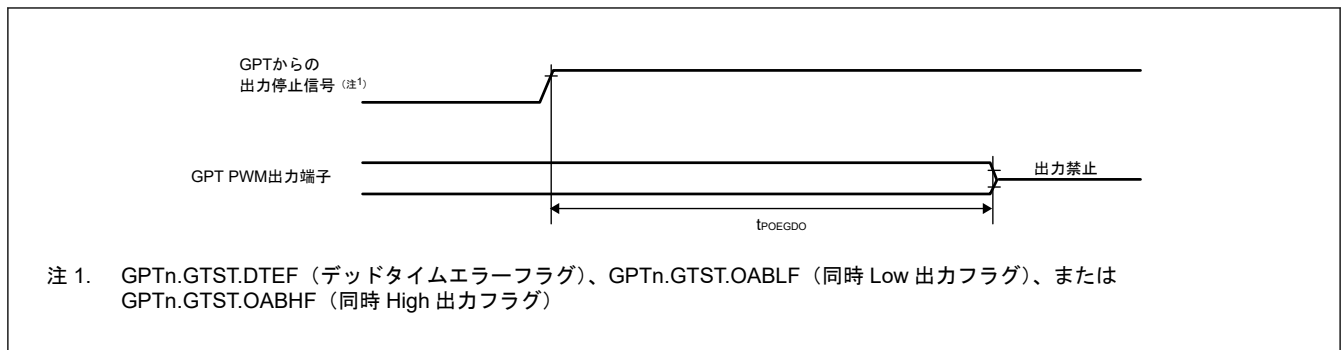


図 2.34 GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

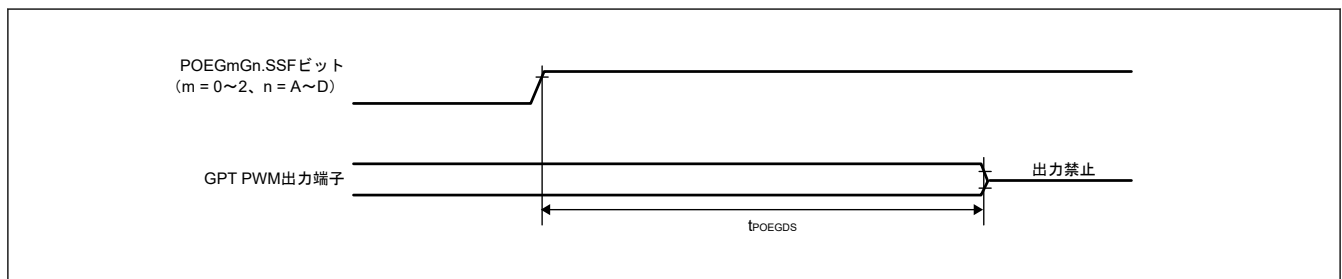


図 2.35 レジスタ設定に対応した POEG の出力禁止時間

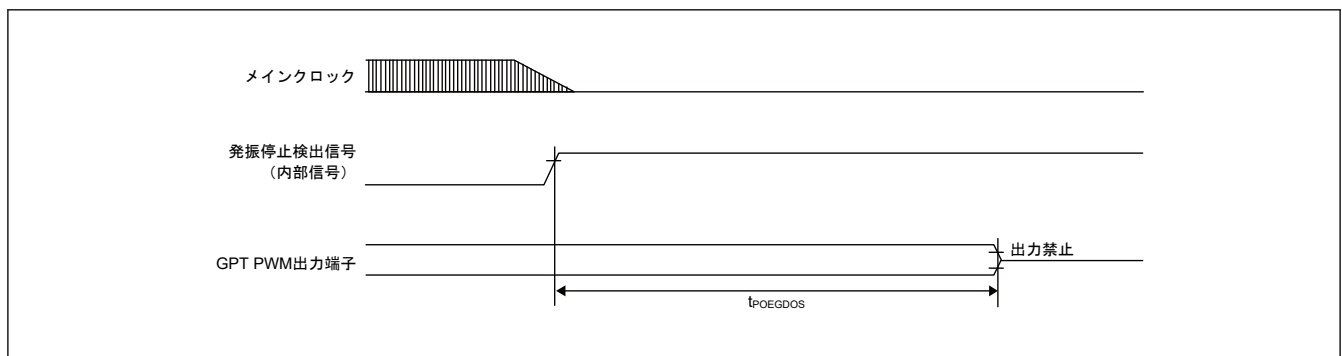


図 2.36 発振停止検出に対応した POEG の出力禁止時間

2.5.5.7 A/D コンバータトリガタイミング

表 2.31 A/D コンバータトリガタイミング

項目		シンボル	Min	Max	単位(注1)	参照図
A/D コンバータ	A/D コンバータトリガ入力パルス幅	ADTRG0#, ADTRG1# t_{TRGW}	1.5	—	$t_{PADCcyc}$	図 2.37

注 1. $t_{PADCcyc}$: PCLKADC サイクル

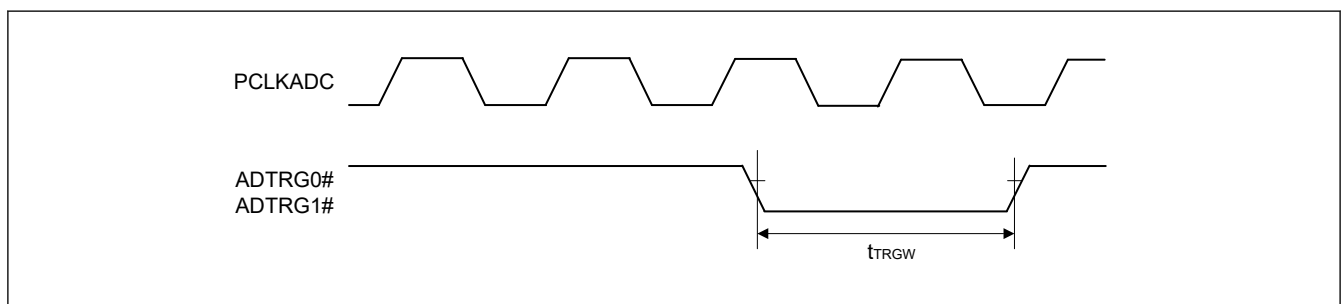


図 2.37 A/D コンバータトリガ入力タイミング (ADTRG0#、ADTRG1#)

2.5.5.8 SCI、SCIE タイミング

条件： $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 30 \text{ pF}$ （簡易 I2C 以外）

表 2.32 SCI タイミング (1/2)

項目		シンボル	Min	Max	単位	参照図
SCI、SCIE (調歩同期式)	入カクロックサイクル	t_{Scyc}	4	—	$t_{PSClCyc}$	図 2.38
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カクロック立ち上がり時間	t_{SCKr}	—	3	ns	
	入カクロック立ち下がり時間	t_{SCKf}	—	3	ns	
	出カクロックサイクル	t_{Scyc}	6	—	$t_{PSClCyc}$	
	出カクロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カクロック立ち上がり時間	t_{SCKr}	—	3	ns	
	出カクロック立ち下がり時間	t_{SCKf}	—	3	ns	
SCI (簡易 I2C、 標準モード)	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.39
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$2 \times NF_{cyc}^{(注1)}$	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	
SCI (簡易 I2C、 ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.39
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$2 \times NF_{cyc}^{(注1)}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	

表 2.32 SCI タイミング (2/2)

項目			シンボル	Min	Max	単位	参照図
SCI (クロック同期、 簡易 SPI) SCIE (クロック同期)	SCK 出カクロックサイクル (マスタ)		tSPcyc	2	65536	tPSClCyc	図 2.40～図 2.45
	SCK 入カクロックサイクル (スレーブ)			2	65536		
	SCK クロック High レベルパルス幅		tSPCKWH	0.4	0.6	tSPcyc	
	SCK クロック Low レベルパルス幅		tSPCKWL	0.4	0.6	tSPcyc	
	SCK クロック立ち上がり／立ち下がり時間		tSPCKR、 tSPCKF	—	3	ns	
	データ入力セットアップ時間	内部クロック	tSU	7	—	ns	
		外部クロック		4	—		
	データ入力ホールド時間	内部クロック	tH	3	—	ns	
		外部クロック		4	—		
	データ出力遅延時間	内部クロック	tOD	—	3	ns	
		外部クロック		—	14		
	データ出力ホールド時間	内部クロック	tOH	-3	—	ns	
		外部クロック		0	—		
	データ立ち上がり／立ち下がり時間		tDR、tDF	—	3	ns	
スレーブアクセス時間	内部クロック	tSA	—	3 × tPSClCyc + 14	ns		
	外部クロック		—	3 × tPSClCyc + 14			
スレーブ出力開放時間	内部クロック	tREL	—	3 × tPSClCyc + 12	ns		
	外部クロック		—	3 × tPSClCyc + 12			
SCI (簡易 SPI)	SS 入力セットアップ時間		tLEAD	1	—	tSPcyc	
	SS 入力ホールド時間		tLAG	1	—	tSPcyc	
	SS 入力立ち上がり／立ち下がり時間		tSSR、tSSF	—	3	ns	

注. $t_{PSClCyc}$: PCLKSCIn サイクル

注 1. $N_{FcyC} = 4^n \times 2^{m-1} \times t_{PSClCyc}$
 n : CCR2.CKS[1:0] ($n = 0, 1, 2, 3$)
 m : CCR1.NFCS[2:0] ($n = 1, 2, 3, 4$)

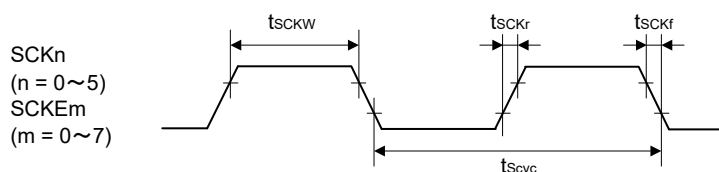
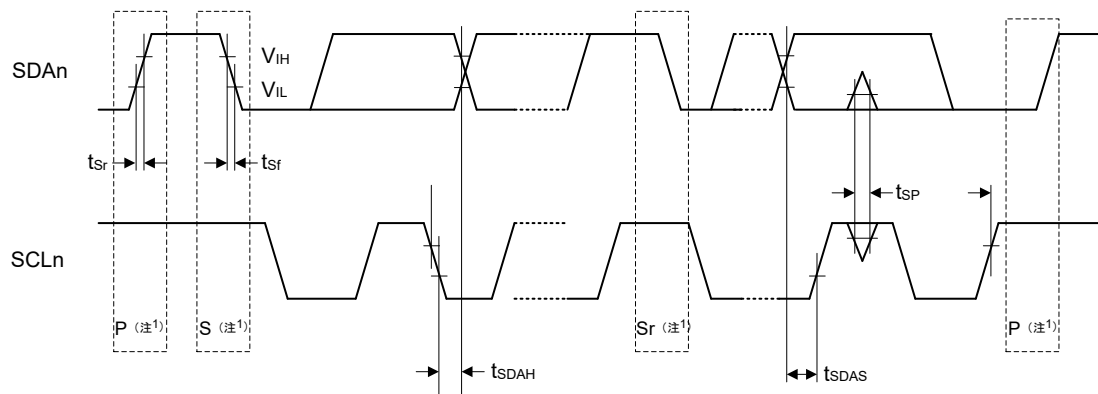


図 2.38 SCK クロック入出力タイミング



注 1. S、P、Sr はそれぞれ以下の条件を示します。
 S : 開始条件
 P : 停止条件
 Sr : 再開条件

図 2.39 SCI 簡易 I2C モードタイミング

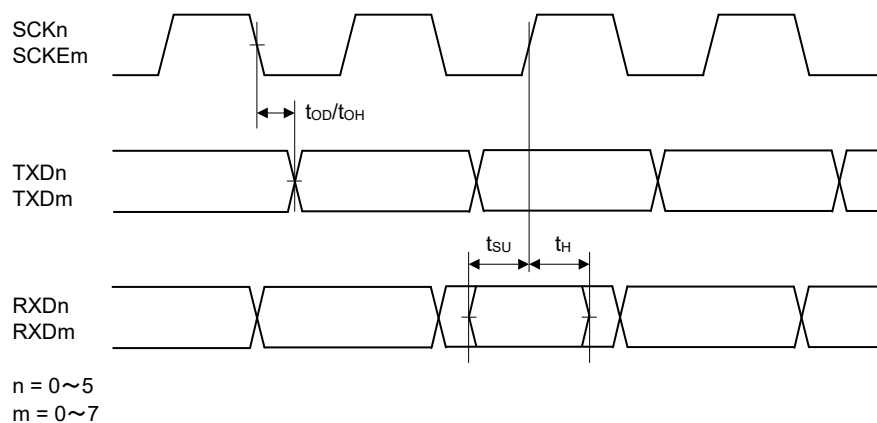


図 2.40 クロック同期式モードにおける SCI 入出力タイミング

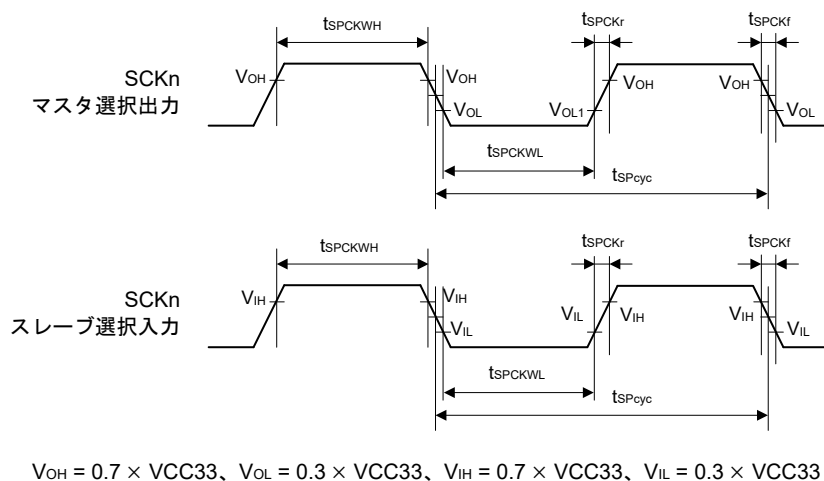


図 2.41 SCI 簡易 SPI モードクロックタイミング

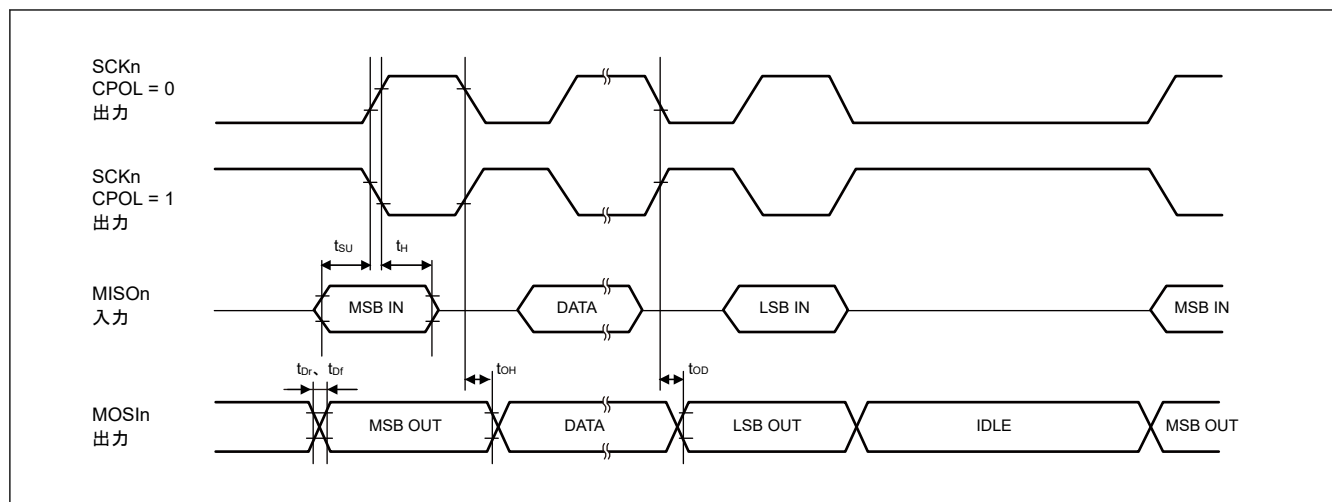


図 2.42 SCI 簡易 SPI モードタイミング (マスタ、CPHA = 0)

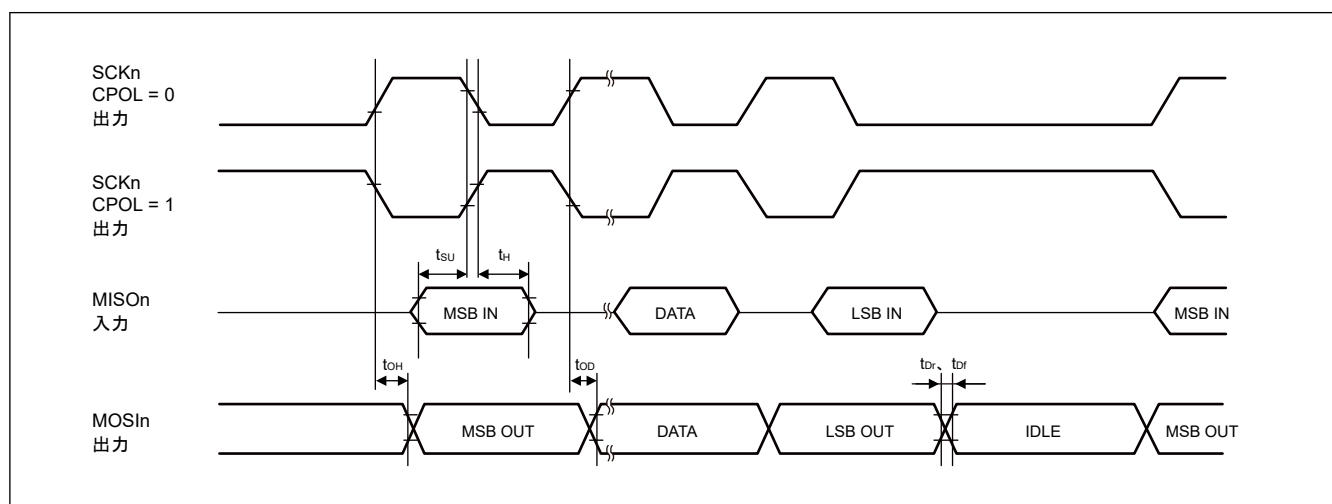


図 2.43 SCI 簡易 SPI モードタイミング (マスタ、CPHA = 1)

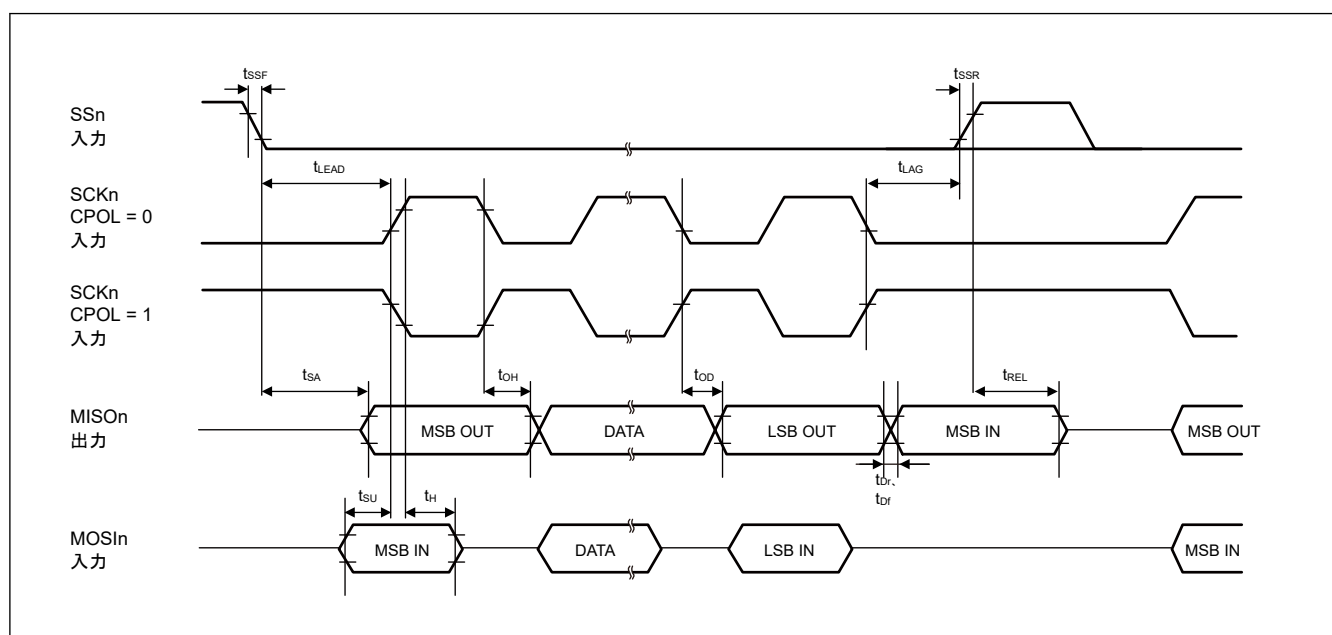


図 2.44 SCI 簡易 SPI モードタイミング (スレーブ、CPHA = 0)

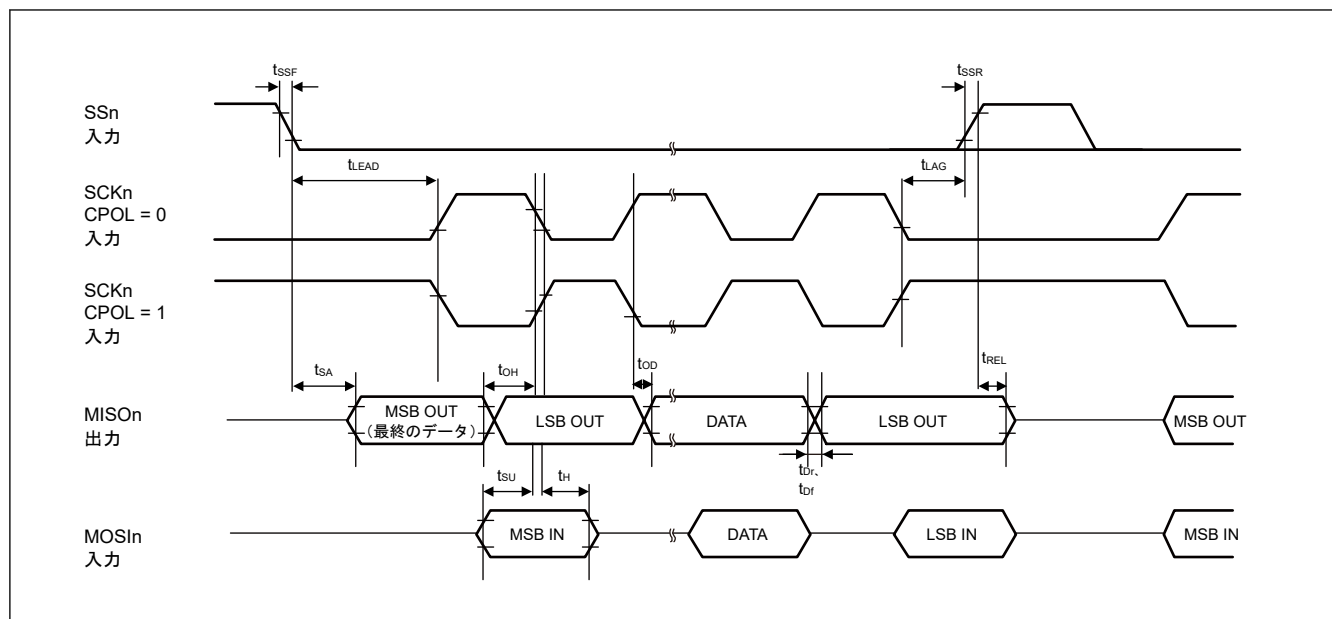


図 2.45 SCI 簡易 SPI モードタイミング (スレーブ、CPHA = 1)

2.5.5.9 IIC タイミング

条件 : $V_{OL} = 0.4 \text{ V}$ 、 $I_{OL} = 4 \text{ mA}$

表 2.33 IIC タイミング

項目		シンボル	Min(注1) (注2)	Max(注1) (注2)	単位	参照図
IIC (標準モード)	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 2.46
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再開条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	
	SCL、SDA の負荷容量(注3)	C_b	—	400	pF	
IIC (ファストモード)	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	図 2.46
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{sr}	—(注4)	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{sf}	—(注4)	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再開条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量(注3)	C_b	—	400	pF	
	SCL、SDA の負荷容量(注3)	C_b	—	400	pF	

注 1. t_{IICcyc} : IIC 内部基準クロック (IICΦ) サイクル

注 2. ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 00b の場合は、() の外の値が適用されます。ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合は、() 内の値が適用されます。

注 3. C_b はバスラインの容量の総計です。注 4. ファストモードでは、 t_{sr} と t_{sf} に対する最小値は指定されていません。

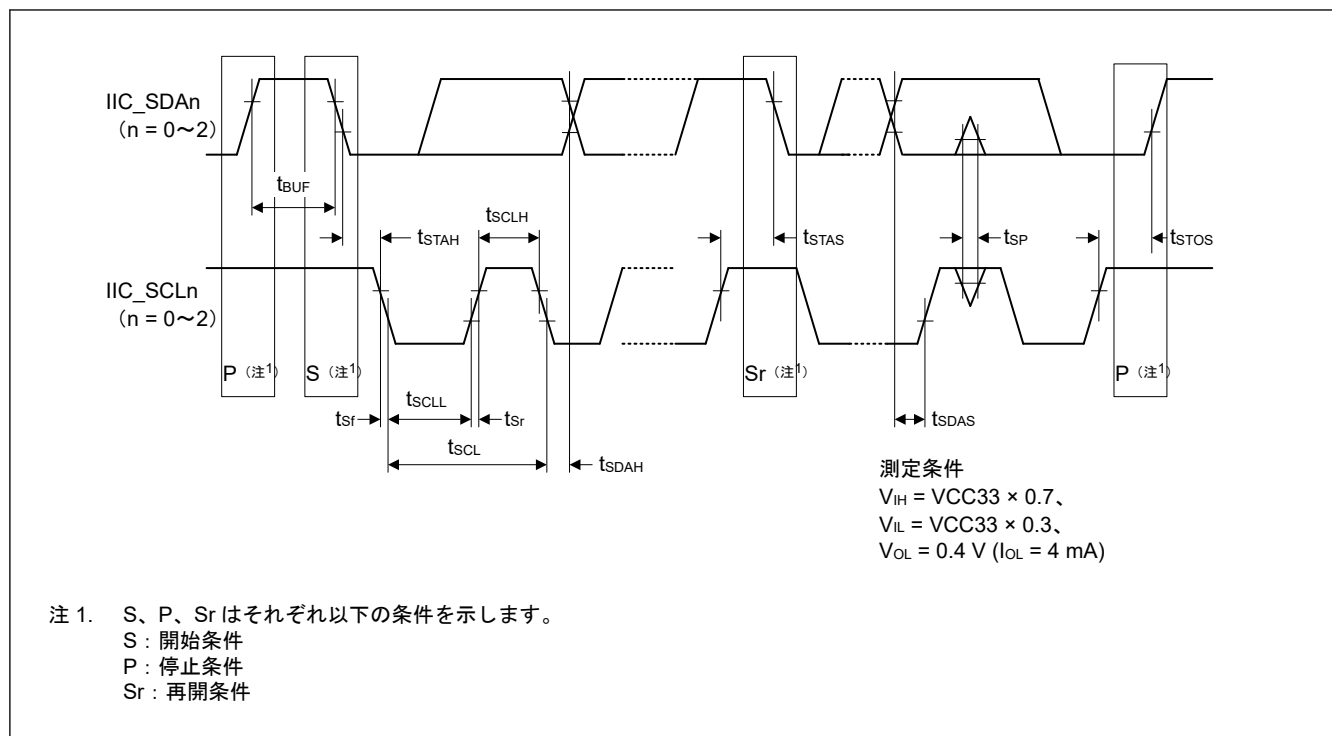


図 2.46 IIC バスインタフェース入出力タイミング

2.5.5.10 CANFD タイミング

表 2.34 CANFD タイミング

項目		シンボル	CAN		CANFD		単位	参照図
			Min	Max	Min	Max		
CANFD	内部遅延時間	t _{node}	—	100	—	50	ns	図 2.47
	通信速度	—	—	1	—	8	Mbps	

注. 内部遅延時間 (t_{node}) = 内部送信遅延時間 (t_{output}) + 内部受信遅延時間 (t_{input})

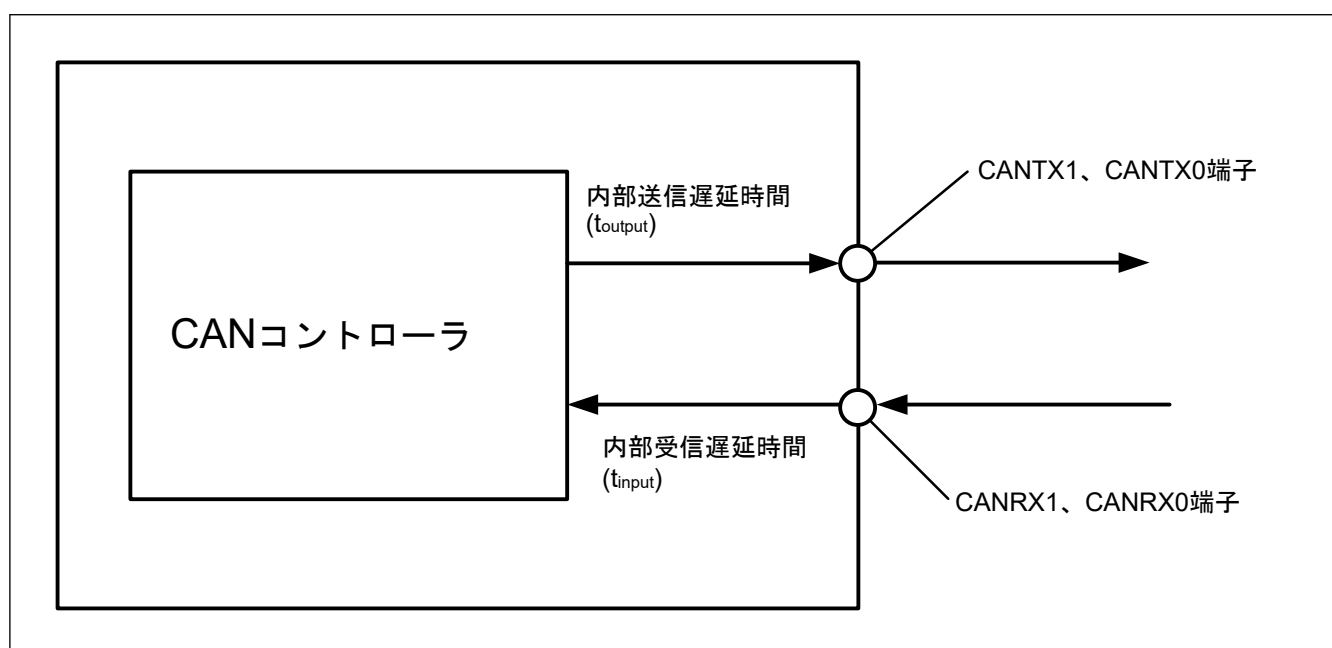


図 2.47 CAN インタフェース条件

2.5.5.11 SPI タイミング

表 2.35 SPI タイミング (1/2)

条件: $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 30 \text{ pF}$

項目		シンボル	Min(注1)	Max(注1)	単位(注1)	参照図
RSPCK クロックサイクル	マスタ	t_{SPCyc}	2	4096	t_{SPICyc}	図 2.48
	スレーブ		2	4096		
RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 2.5$	—	ns	
	スレーブ		1	—	t_{SPICyc}	
RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 2.5$	—	ns	
	スレーブ		1	—	t_{SPICyc}	
RSPCK クロック立ち上がり/立ち下がり時間	出力	t_{SPCKr}	—	3	ns	図 2.49～図 2.55
	入力	t_{SPCKf}	—	1	ns	
データ入力セットアップ時間	マスタ	t_{SU}	5	—	ns	
	スレーブ		3	—		
データ入力ホールド時間	マスタ	t_H	3	—	ns	
	スレーブ		3	—		
SSL セットアップ時間	マスタ	t_{LEAD}	$N \times t_{SPCyc} - 3$ (注2)	$N \times t_{SPCyc} + 3$ (注2)	ns	図 2.49～図 2.52
	スレーブ		4	—	t_{SPICyc}	
SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SPCyc} - 3$ (注3)	$N \times t_{SPCyc} + 3$ (注3)	ns	
	スレーブ		4	—	t_{SPICyc}	
連続送信遅延	マスタ	t_{TD}	$t_{SPCyc} + 2 \times t_{SPICyc}$	$8 \times t_{SPCyc} + 2 \times t_{SPICyc}$	ns	
	スレーブ		$t_{SPCyc} + 5 \times t_{SPICyc}$	—		
TI-SSP SS 入力セットアップ時間		t_{TISS}	3	—	ns	図 2.53～図 2.55
TI-SSP SS 入力ホールド時間		t_{TISH}	3	—	ns	
TI-SSP 次アクセス時間		t_{TIND}	M(注4)	—	t_{SPICyc}	
TI-SSP マスタ SS 出力遅延		t_{TISSOD}	-3	3	ns	
TI-SSP マスタ OE 遅延 1		$t_{TIMOED1}$	—	2	ns	
TI-SSP マスタ OE 遅延 2		$t_{TIMOED2}$	—	2	ns	
TI-SSP スレーブ OE 遅延 1		$t_{TISOED1}$	—	14	ns	
TI-SSP スレーブ OE 遅延 2		$t_{TISOED2}$	—	11	ns	
データ出力遅延時間	マスタ	t_{OD}	—	3	ns	図 2.49～図 2.55
	スレーブ		—	12	ns	
データ出力ホールド時間	マスタ	t_{OH}	-3	—	ns	
	スレーブ		3	—		
MOSI、MISO クロック立ち上がり/立ち下がり時間	出力	t_{Dr}, t_{Df}	—	3	ns	
	入力		—	1	μs	
SSL 立ち上がり/立ち下がり時間	出力	t_{SSLr}, t_{SSLf}	—	3	ns	図 2.49、図 2.50
	入力		—	1	μs	

表 2.35 SPI タイミング (2/2)

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 30 \text{ pF}$

項目	シンボル	Min(注1)	Max(注1)	単位 (注1)	参照図
スレーブアクセス時間	t_{SA}	—	14	ns	図 2.51、図 2.52
スレーブ出力開放時間	t_{REL}	—	12	ns	

注 1. t_{SPICyc} : PCLKSPIn サイクル

注 2. SPCKD 設定値 + 1 (1~8)

注 3. SSLND 設定値 + 1 (1~8)

注 4. SSLND 設定値 + 2 (2~9)

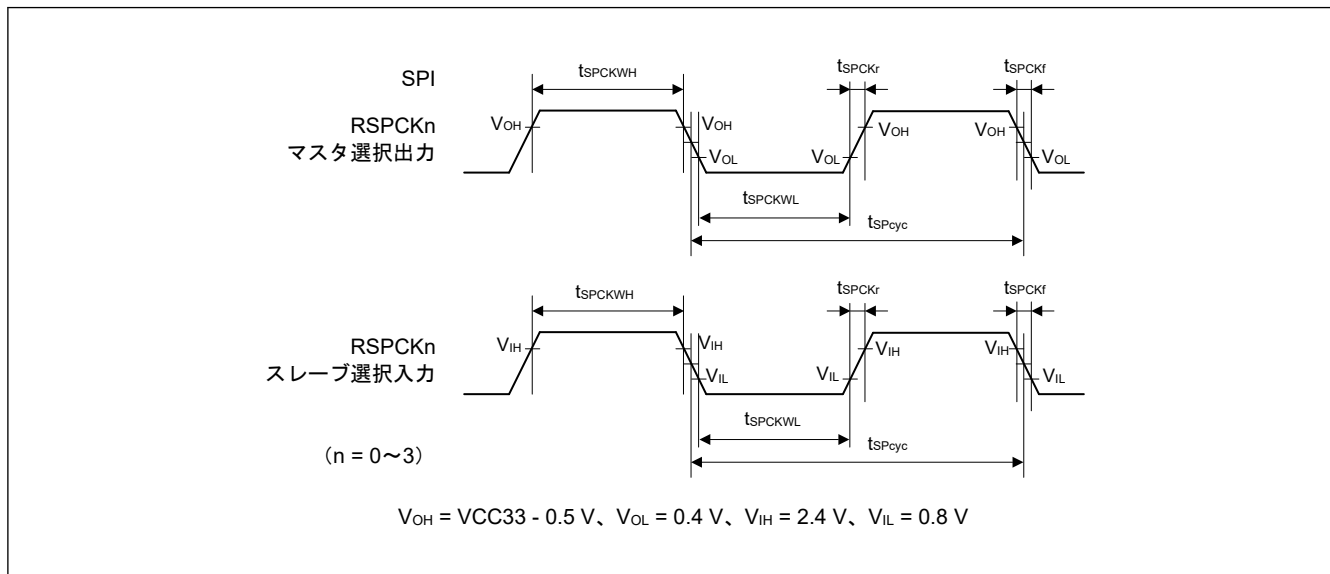


図 2.48 SPI クロックタイミング

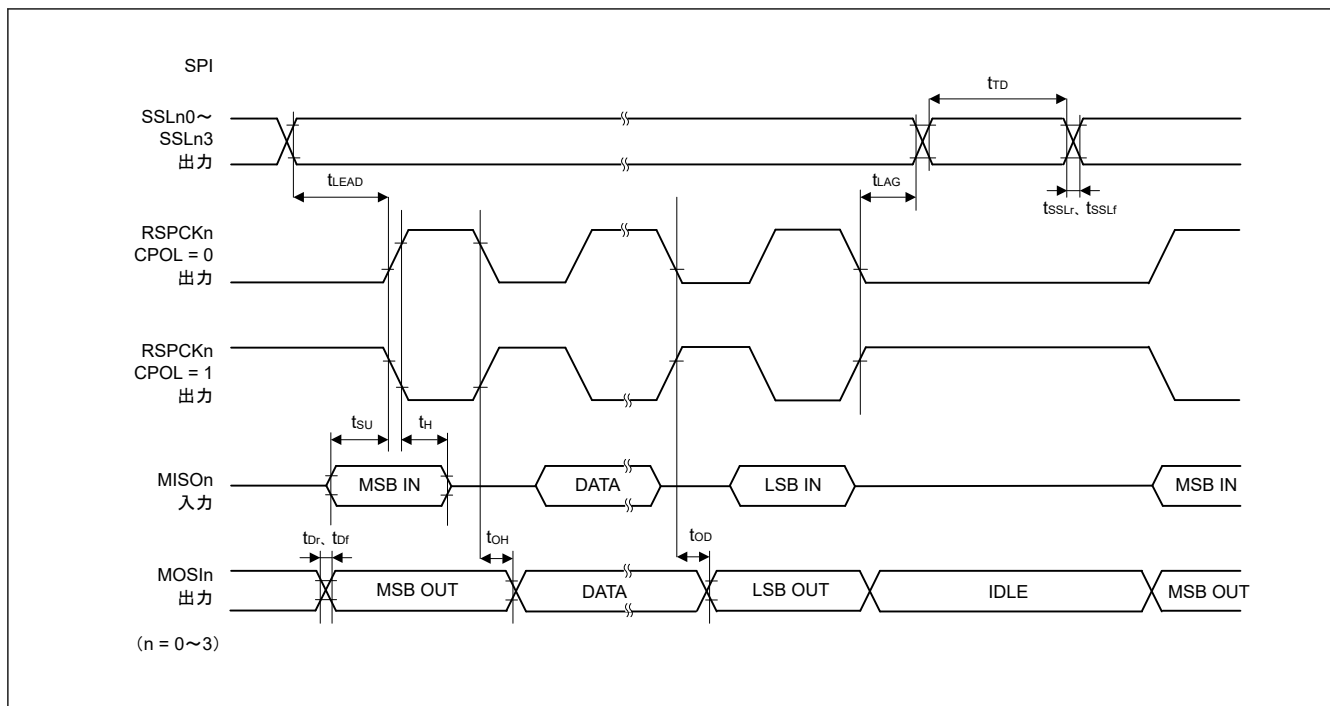


図 2.49 SPI タイミング (マスタ、モトローラ SPI、CPHA = 0)

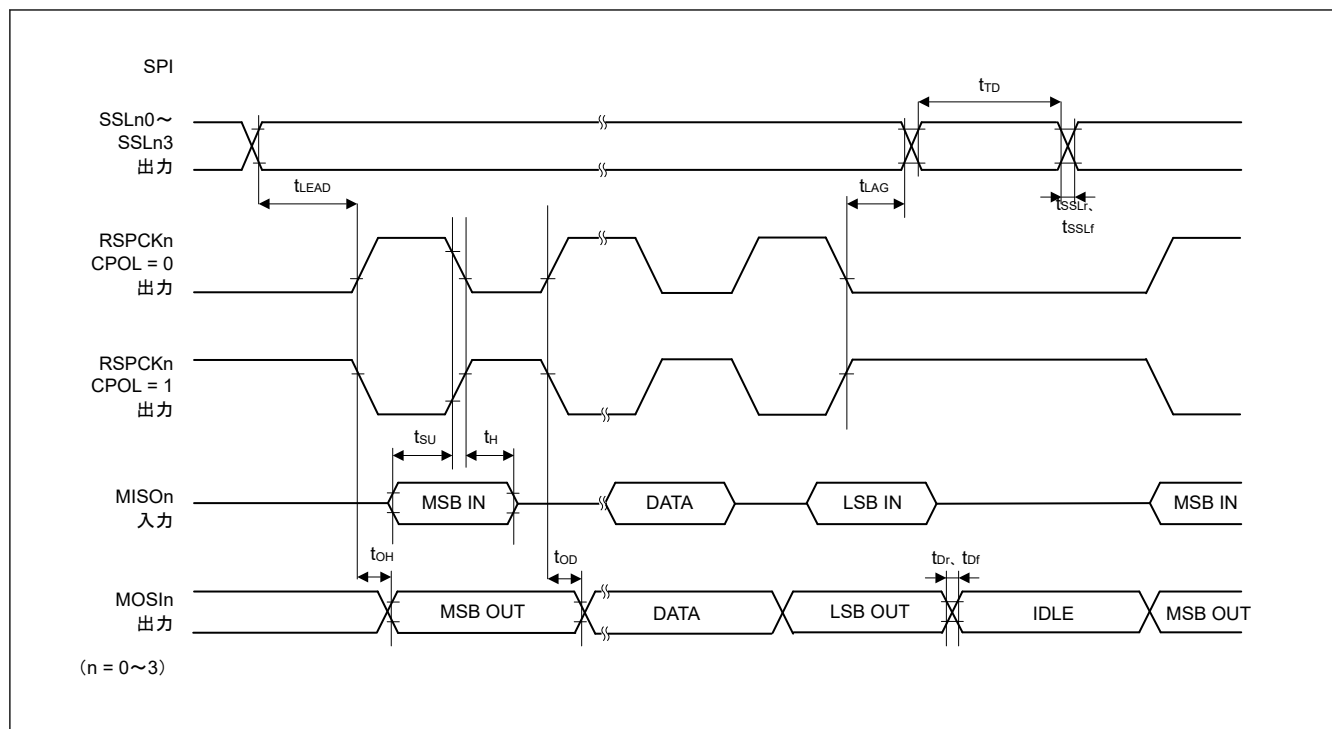


図 2.50 SPI タイミング (マスタ、モトローラ SPI、CPHA = 1)

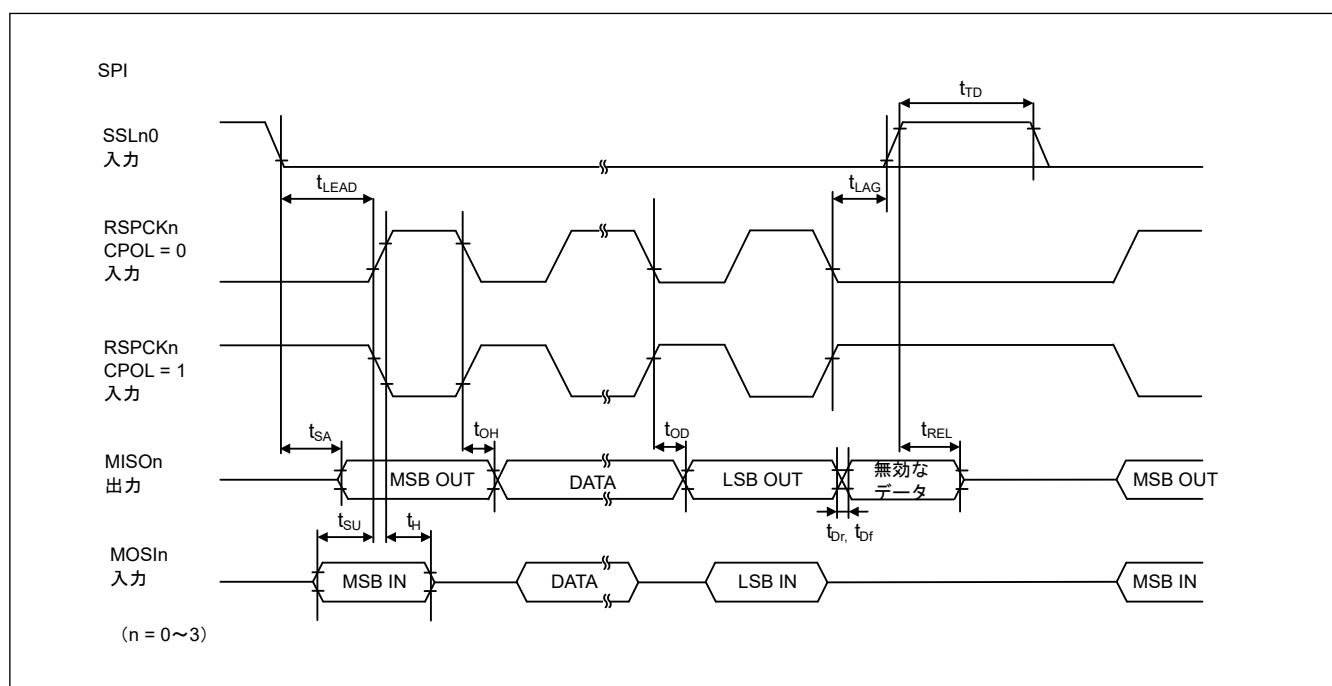


図 2.51 SPI タイミング (スレーブ、モトローラ SPI、CPHA = 0)

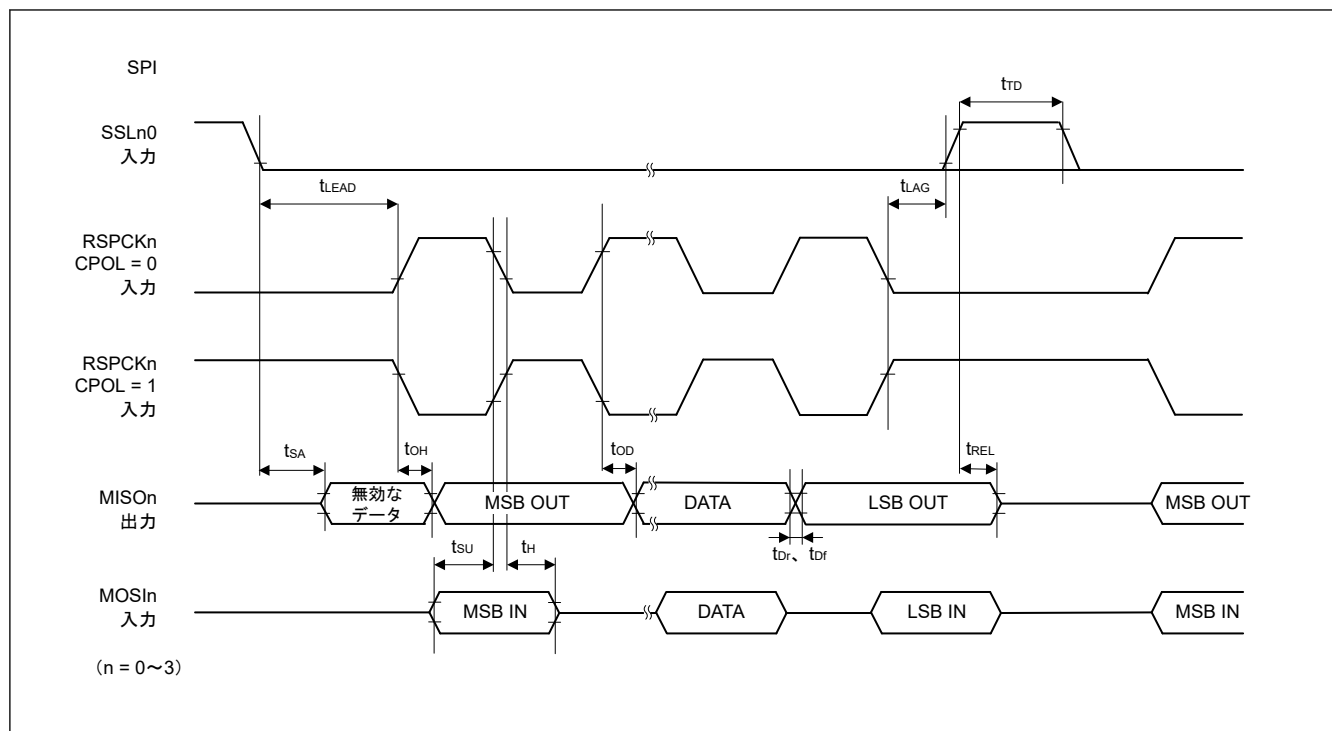


図 2.52 SPI タイミング (スレーブ、モトローラ SPI、CPHA = 1)

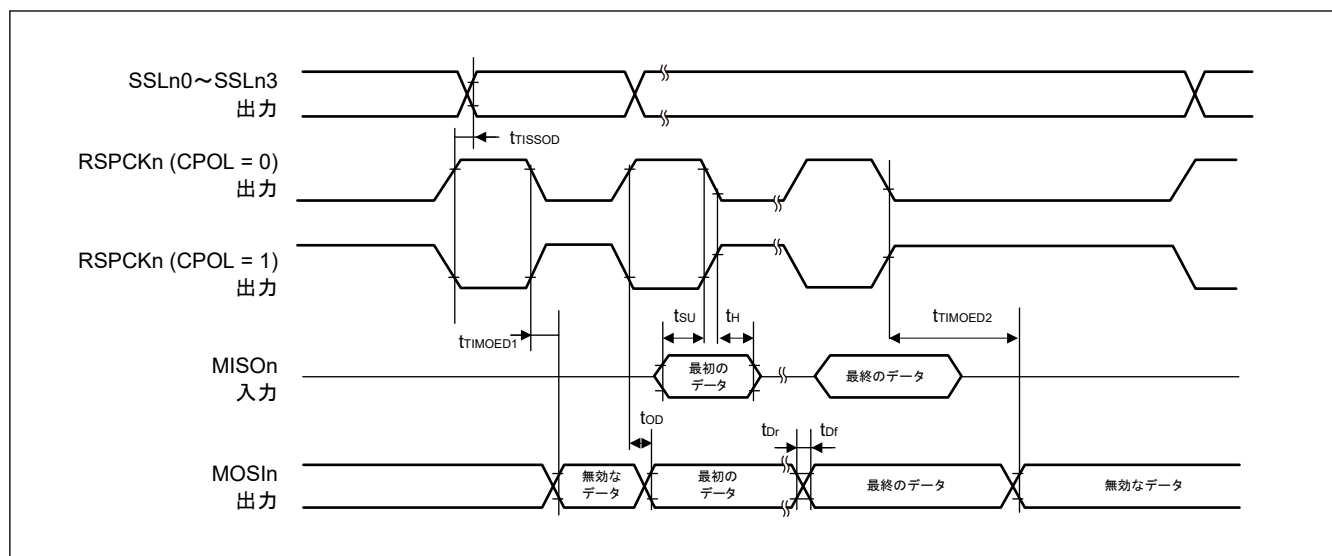


図 2.53 SPI タイミング (マスタ、TI SSP)

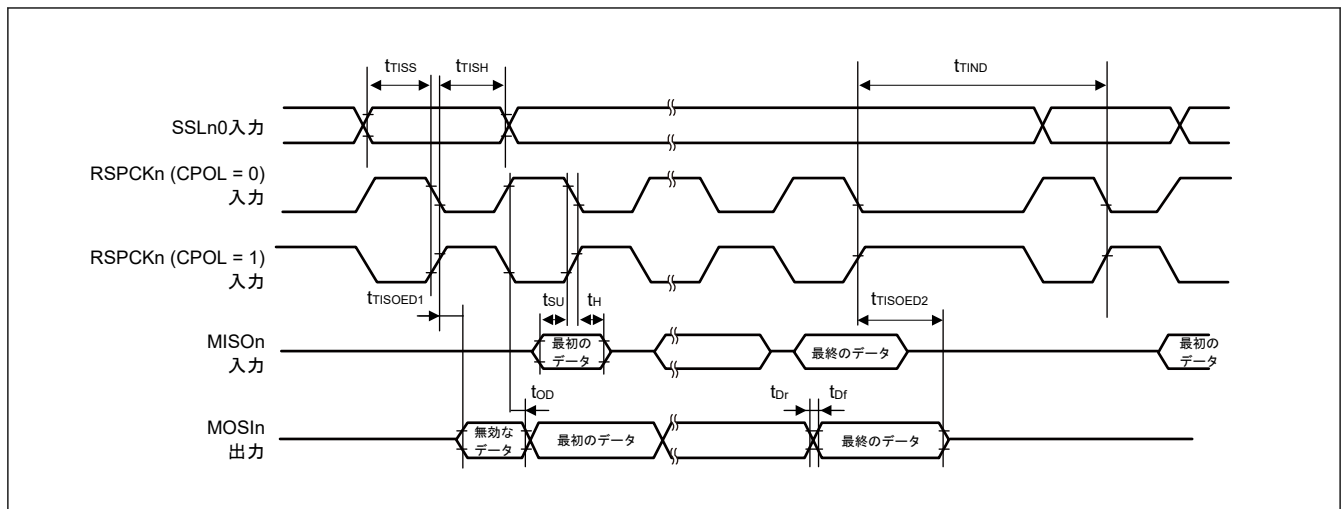


図 2.54 SPI タイミング (スレープ、TI SSP、バースト転送時の遅延あり)

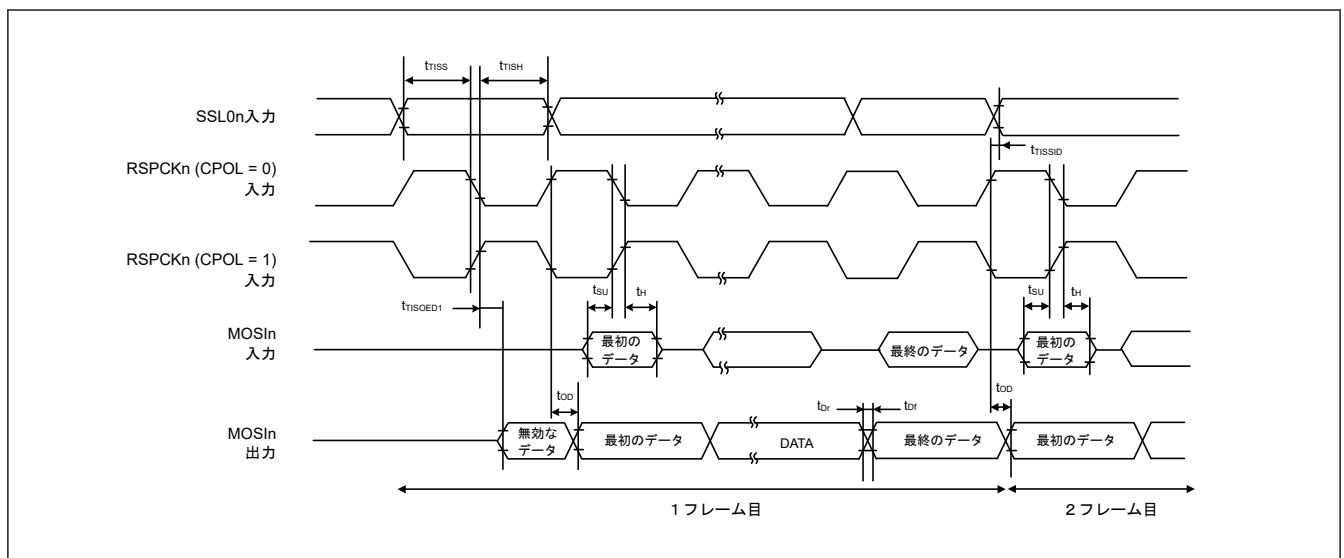


図 2.55 SPI タイミング (スレープ、TI SSP、バースト転送時の遅延なし)

2.5.5.12 xSPI タイミング

条件：

シングルエンドクロック

$$V_{OH} = V_{CC18} \times 0.5, V_{OL} = V_{CC18} \times 0.5, C = 15 \text{ pF (1.8 V)}$$

$$V_{OH} = V_{CC33} \times 0.5, V_{OL} = V_{CC33} \times 0.5, C = 15 \text{ pF (3.3 V)}$$

データ

$$V_{OH} = V_{CC18} \times 0.5, V_{OL} = V_{CC18} \times 0.5, C = 15 \text{ pF (1.8 V)}$$

$$V_{OH} = V_{CC33} \times 0.5, V_{OL} = V_{CC33} \times 0.5, C = 15 \text{ pF (3.3 V)}$$

表 2.36 xSPI タイミング (1/2)

項目		シンボル	1.8 V		3.3 V		単位	参照図
			Min	Max	Min	Max		
サイクルタイム	SDR	t _{PERIOD}	7.5	—	13.3	—	ns	図 2.56
	DDR		10.0	—	13.3	—	ns	
クロック出力スルーレート		t _{SRck}	0.75/0.56 (注2)	—	0.56	—	V/ns	
クロックデューティサイクル歪み		t _{CKDCD}	0.0	t _{PERIOD} × 0.05	0.0	t _{PERIOD} × 0.05	ns	
クロック最小パルス幅		t _{CKMPW}	t _{PERIOD} × 0.45	—	t _{PERIOD} × 0.45	—	ns	
差動クロック交差電圧		V _{OX(AC)}	0.4 × V _{CC18}	0.6 × V _{CC18}	—	—	V	
DS デューティサイクル歪み		t _{DSDCD}	0.0	t _{PERIOD} × 0.04	0.0	t _{PERIOD} × 0.04	ns	
DS 最小パルス幅		t _{DSMPW}	t _{PERIOD} × 0.41	—	t _{PERIOD} × 0.41	—	ns	図 2.57
データ入出力スルーレート		t _{SR}	0.75/0.56 (注2)	—	0.56	—	V/ns	
データ入力セットアップ時間（CK に対して）	SDR	t _{SU}	2.0	—	2.3	—	ns	
データ入力ホールド時間（CK に対して）		t _H	1.0	—	1.0	—	ns	
データ出力遅延時間		t _{OD}	—	1.0(注3)	—	1.4(注3)	ns	
データ出力ホールド時間		t _{OH}	-1.0	—	-2.3	—	ns	
データ出力バッファオフ時間		t _{BOFF}	-1.0	—	-2.3	—	ns	
データ入力セットアップ時間（DS に対して）	DDR (注1) (注3)	t _{SU}	-0.6	—	-0.8	—	ns	図 2.58、 図 2.59
データ入力ホールド時間（DS に対して）		t _H	t _{PERIOD} × 0.41 - 0.6	—	t _{PERIOD} × 0.41 - 0.8	—	ns	
データ入力セットアップ時間（CK に対して）		t _{SU}	2.0	—	2.3	—	ns	
データ入力ホールド時間（CK に対して）		t _H	1.0	—	1.0	—	ns	
データ出力セットアップ時間（CK に対して）		t _{SUO}	1.0/1.5/2.5 (注5)	—	1.5/2.5(注6)	—	ns	
データ出力ホールド時間（CK に対して）		t _{HO}	1.0/1.5/2.5 (注5)	—	1.5/2.5(注6)	—	ns	
CS Low～クロック High		t _{CSLCKH}	6.0/8.0(注2) (注4)	—	8.0(注4)	—	ns	図 2.57～ 図 2.59
クロック Low～CS High		t _{CKLCSH}	6.0/8.0(注2)	—	8.0	—	ns	
CS High 時間		t _{CSTD}	1	16	1	16	t _{PERIOD}	

表 2.36 xSPI タイミング (2/2)

項目	シンボル	1.8 V		3.3 V		単位	参照図
		Min	Max	Min	Max		
DS Low～CS High	t_{DSLCSH}	6.0/8.0 ^(注2) (注7)	—	10.6 ^(注7)	—	ns	図 2.60
CS High～DS トライステート	t_{CSHDST}	0.0	t_{PERIOD}	0.0	t_{PERIOD}	ns	
CS Low～DS Low ^(注10)	t_{CSLDSL}	0.0	16.0 ^(注11)	0.0	20.0 (注11)	ns	
DS トライステート～CS Low	t_{DSTCSL}	0.0	—	0.0	—	ns	
CK Low～DS Low ^(注8)	t_{CKLDSL}	—	$(0.45 + e) \times t_{PERIOD} - 2$ ^(注9)	—	$(0.45 + e) \times t_{PERIOD} - 2$ ^(注9)	ns	

注 1. xSPI200 での DS シフト設定 (WRAPCFG.DSSFTCSx[4:0]) は 01000b です。

注 2. 133 MHz 時の仕様／100 MHz 時の仕様

注 3. これらは OEN アサートが出力許可アサート拡張ビット (COMCFG.OEASTEX = 1) で拡張されたときの値です。

注 4. これは CS アサートが CS アサート拡張ビット (LIOCFGCSn.CSASTEX = 1) で拡張されたときの値です。

注 5. 100 MHz 時の仕様／75 MHz 時の仕様／50 MHz 時の仕様

注 6. 75 MHz 時の仕様／50 MHz 時の仕様

注 7. これらは t_{CKLDSL} の制約が満たされているときの値です。

注 8. この制約は、 t_{DSLCSH} は t_{PERIOD} の 80%以上である必要があると規定している、JESD251 の t_{DSLCSH} 要件を満たすためにのみ必要です。メモリ仕様がこの制約に確実に従うようにするため、LIOCFGCSn.CSNEGEX を適切な値に設定してください。

注 9. $e = LIOCFGCSn.CSNEGEX$

注 10. JESD251 プロファイル 2.0 メモリを使用しているときに、コマンド&モディファイアフェーズの間に DS が High である場合、CS Low から DS High になるまでの時間もこの仕様に満たす必要があります。

注 11. LIOCFGCSn.LATEMD を 0 に設定して JESD251 プロファイル 1.0 メモリまたは JESD251 プロファイル 2.0 メモリを使用するとき、DS 端子の内部プルダウン抵抗が有効であれば、この制約は適用しません。

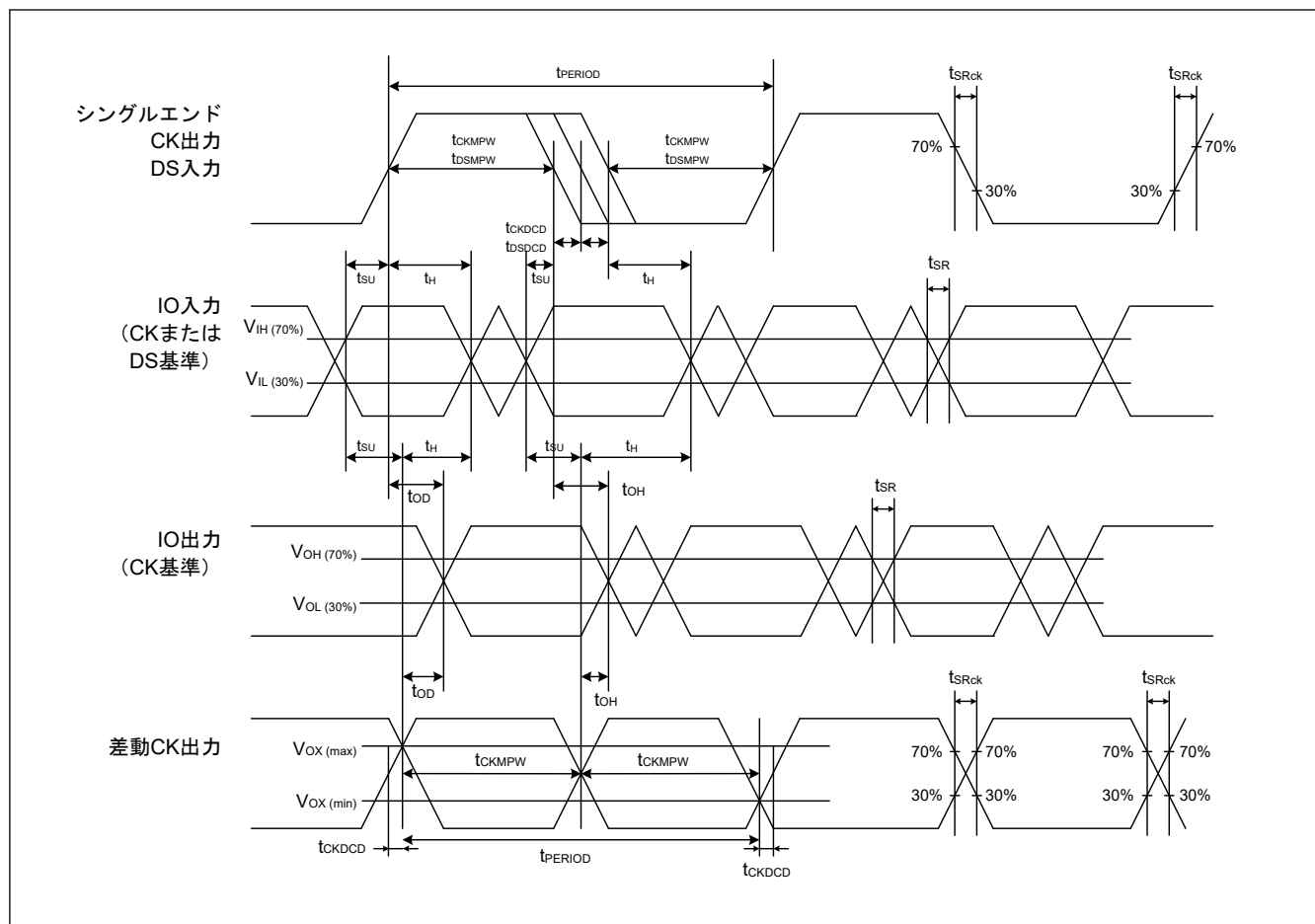


図 2.56 xSPI クロック/DS タイミング

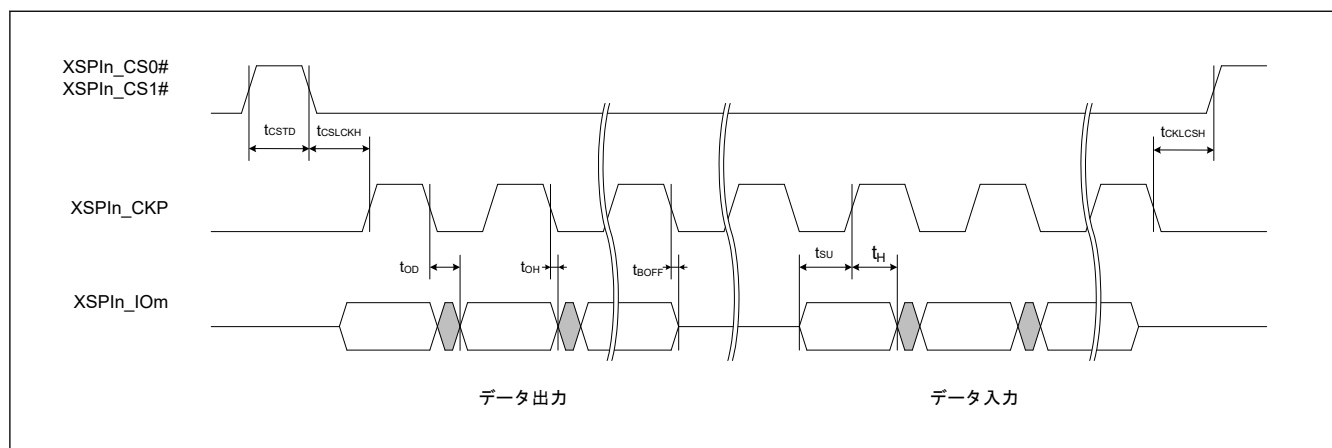


図 2.57 SDR 送受信タイミング (1S-1S-1S、1S-2S-2S、2S-2S-2S、1S-4S-4S、4S-4S-4S)

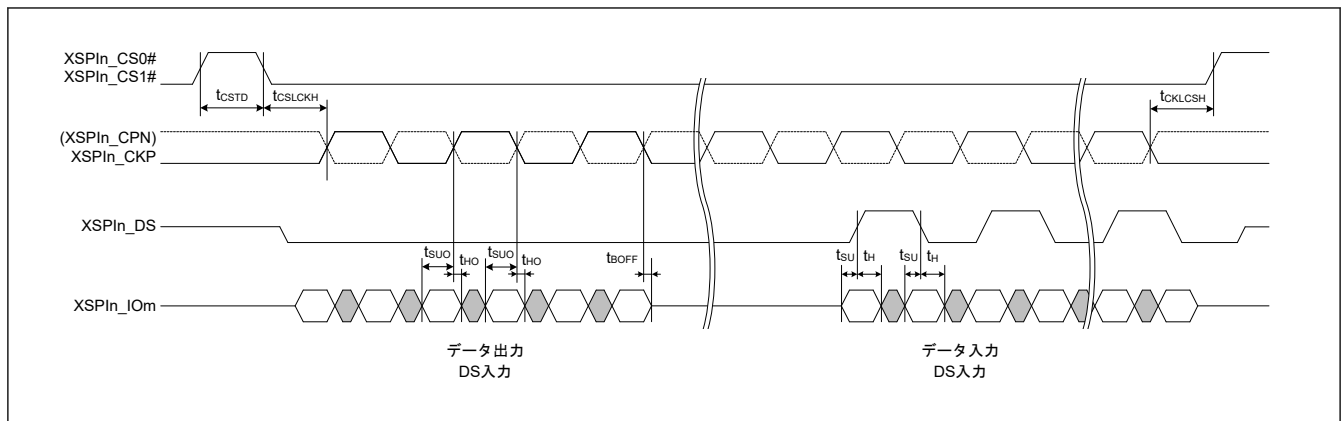


図 2.58 DDR 送受信タイミング (4S-4D-4D、8D-8D-8D)

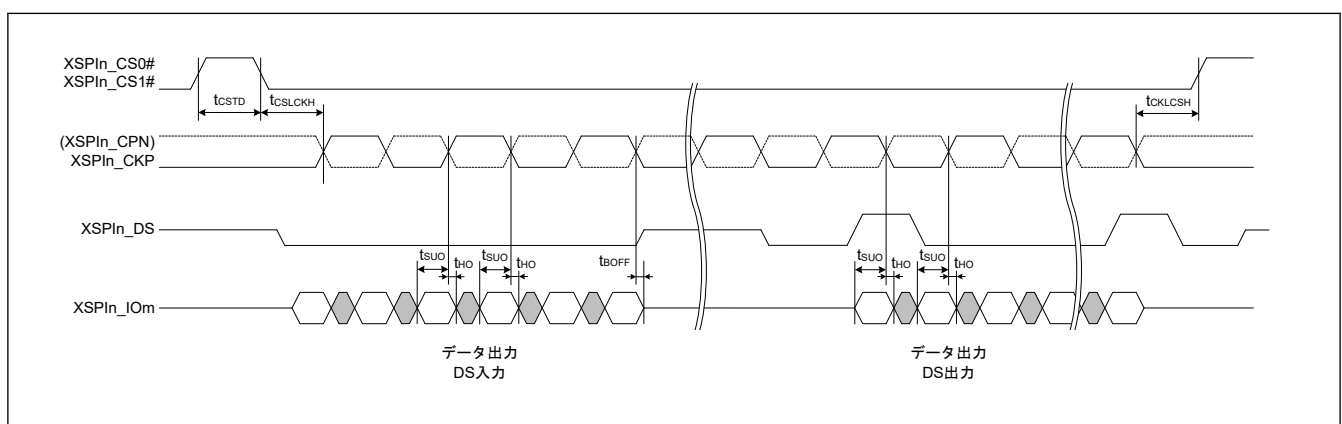


図 2.59 DDR 送受信タイミング (HyperRAM 書き込み)

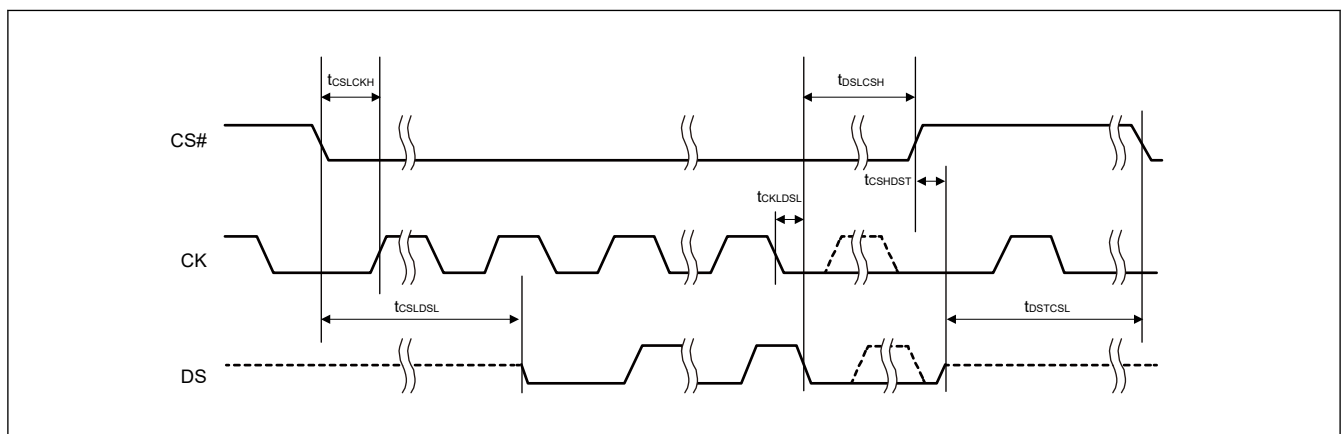


図 2.60 DS~CS 信号タイミング

2.5.5.13 デルタシグマインタフェースタイミング

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 30 \text{ pF}$

表 2.37 $\Delta\Sigma$ インタフェースタイミング

項目			シンボル	Min	Max	単位	参照図
DSMIF	クロックサイクル	マスタ	t_{DScyc}	40	200	ns	図 2.61
		スレーブ		40	200		
	クロック High レベル	マスタ	t_{DSCKWH}	16	—	ns	
		スレーブ		16	—		
	クロック Low レベル	マスタ	t_{DSCKWL}	16	—	ns	
		スレーブ		16	—		
	セットアップ時間	マスタ	t_{SU}	15	—	ns	図 2.62、図 2.63
		スレーブ		5	—		
	ホールド時間	マスタ	t_H	0	—	ns	
		スレーブ		5	—		

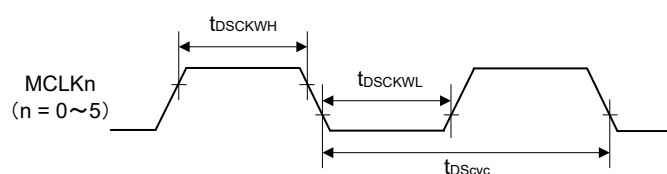


図 2.61 クロック入出力タイミング

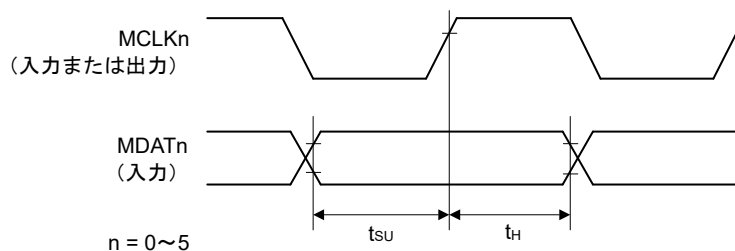


図 2.62 受信タイミング (MCLKn 立ち上がり同期)

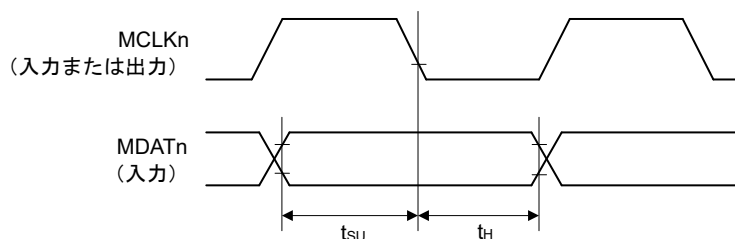


図 2.63 受信タイミング (MCLKn 立ち下がり同期)

2.5.5.14 イーサネットインタフェースタイミング

条件：

$$V_{OH} = VCC18 \times 0.5, V_{OL} = VCC18 \times 0.5, C = 15 \text{ pF (RGMII)}^{(注1)}$$

$$V_{OH} = VCC33 \times 0.5, V_{OL} = VCC33 \times 0.5, C = 25 \text{ pF (RMII)}$$

$$V_{OH} = VCC33 \times 0.5, V_{OL} = VCC33 \times 0.5, C = 30 \text{ pF (MII)}$$

表 2.38 イーサネットインタフェースタイミング (1/2)

項目			シンボル	Min	Max	単位	参照図
イーサネット (RGMII)	ETHn_TXCLK、ETHn_RXCLK サイクルタイム期間	1 Gbps	$t_{RGMIIck}$	7.2	8.8	ns	図 2.64
		100 Mbps		36	44		
		10 Mbps		360	440		
	ETHn_TXCLK、ETHn_RXCLK 周波数	1 Gbps	—	125 – 50 ppm	125 + 50 ppm	MHz	
		100 Mbps		25 – 50 ppm	25 + 50 ppm		
		10 Mbps		2.5 – 50 ppm	2.5 + 50 ppm		
	ETHn_TXCLK、ETHn_RXCLK デューティサイクル	1 Gbps	—	45	55	%	
		100 Mbps 10 Mbps		40	60		
	ETHn_TXCLK、ETHn_TXD0～ETHn_TXD3、ETHn_TXEN (TX_CTL)、ETHn_RXCLK、ETHn_RXD0～ETHn_RXD3、ETHn_RXDV (RX_CTL) 立ち上がり／立ち下がり時間		t_{RGMIIr} 、 $t_{RGMIIlf}$ (注1)	—	0.75	ns	
	ETHn_TXD0～ETHn_TXD3、ETHn_TXEN (TX_CTL)～ETHn_TXCLK 出力スキュー		$t_{RGMIIos}$	-0.5	0.5	ns	
ETHn_RXD0～ETHn_RXD3、ETHn_RXDV (RX_CTL) セットアップ時間		$t_{RGMIIls}$	1	—	ns		
ETHn_RXD0～ETHn_RXD3、ETHn_RXDV (RX_CTL) ホールド時間		t_{RGMIIh}	1	—	ns		
イーサネット (RMII)	ETHn_RXCLK サイクルタイム		t_{RMIIck}	20	—	ns	図 2.65 図 2.66
	ETHn_RXCLK 周波数 Typ. 50 MHz		—	50 – 50 ppm	50 + 50 ppm	MHz	
	ETHn_RXCLK デューティ		—	35	65	%	
	ETHn_RXCLK 立ち上がり／立ち下がり時間		$t_{RMIIckr}$ 、 $t_{RMIIckf}$	0.5	3.0	ns	
	ETHn_TXD0、ETHn_TXD1、ETHn_TXEN 出力遅延時間		t_{RMIIld}	2.5	12	ns	
	ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) セットアップ時間	ケース A(注2)	t_{RMIIls}	4.0	—	ns	
		ケース B(注2)		4.0	—		
		ケース C(注2)		4.8	—		
	ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) ホールド時間		t_{RMIIh}	2	—	ns	
ETHn_TXD0、ETHn_TXD1、ETHn_TXEN、ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) 立ち上がり／立ち下がり時間		t_{RMIIlr} 、 t_{RMIIlf}	0.5	4	ns		

表 2.38 イーサネットインタフェースタイミング (2/2)

項目			シンボル	Min	Max	単位	参照図
イーサネット (MII)	ETHn_TXCLK、ETHn_RXCLK サイクルタイム	100 Mbps	$t_{MI\text{I}ck}$	40	—	ns	図 2.67 図 2.68
		10 Mbps		400	—		
	ETHn_TXCLK、ETHn_RXCLK 周波数	100 Mbps	—	25 – 50 ppm	25 + 50 ppm	MHz	
		10 Mbps		2.5 – 50 ppm	2.5 + 50 ppm		
	ETHn_TXD0~ETHn_TXD3、ETHn_TXEN、ETHn_TXER 出力遅延時間		$t_{MI\text{I}d}$	1	20	ns	
	ETHn_TXD0~ETHn_TXD3、ETHn_TXEN 出力遅延時間 (ESC、自動 TX シフト無効 (ETHn_TXCLK はクランプ))	TXSFTn = 00b	$t_{MI\text{I}dESC}$	19.5	23.5	ns	
		TXSFTn = 01b		29.5	33.5		
		TXSFTn = 10b		-0.5	3.5		
		TXSFTn = 11b		9.5	13.5		
ETHn_RXD0~ETHn_RXD3、ETHn_RXDV、ETHn_RXER セットアップ時間		$t_{MI\text{I}s}$	10	—	ns		
ETHn_RXD0~ETHn_RXD3、ETHn_RXDV、ETHn_RXER ホールド時間		$t_{MI\text{I}h}$	10	—	ns		

注 1. $t_{RGMI\text{I}r}$ と $t_{RGMI\text{I}f}$ の測定条件については、Reduced Gigabit Media Independent Interface (RGMI) 12/10/2000 バージョン 1.3 の図 3 を参照してください。

注 2. 以下に、ケースごとの詳細を示します。

ケース A: ETHn_RXCLK (基準クロック入力) 使用時の ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) セットアップ時間

ケース B: RMII_n_REFCLK (基準クロック出力) 使用時の ETHn_RXD0、ETHn_RXD1、ETHn_RXDV (CRS_DV) セットアップ時間

ケース C: RMII_n_REFCLK (基準クロック出力) 使用時の ETHn_RXER セットアップ時間

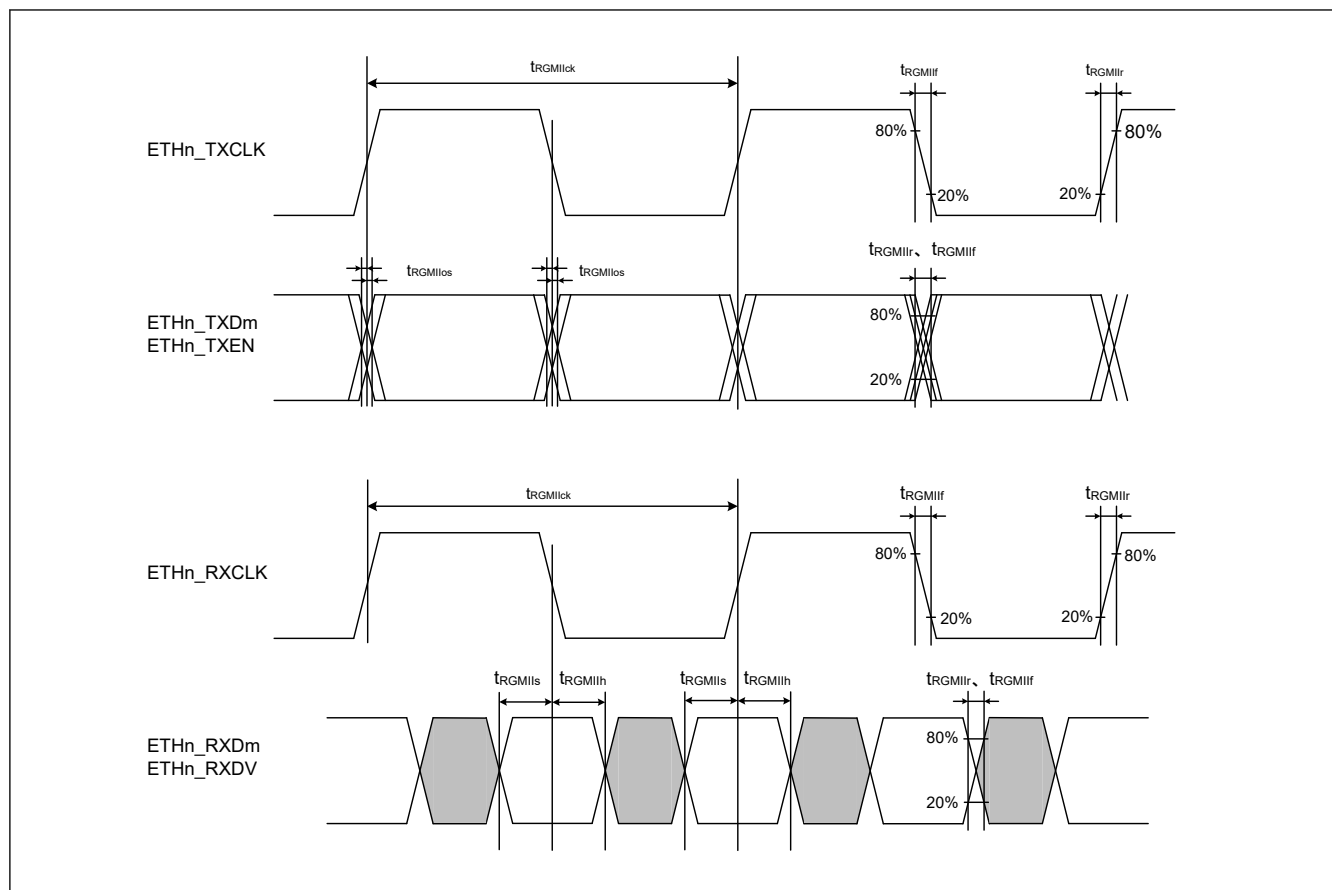


図 2.64 RGMII 送信、受信タイミング (n = 0~4, m = 0~3)

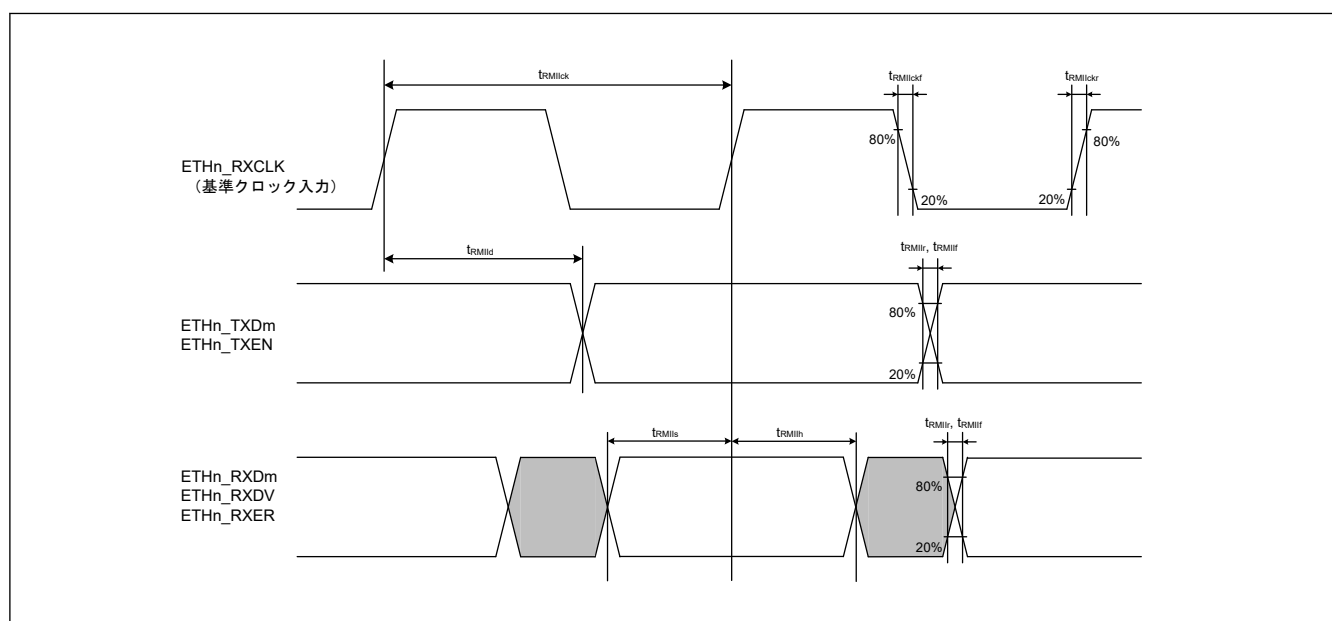
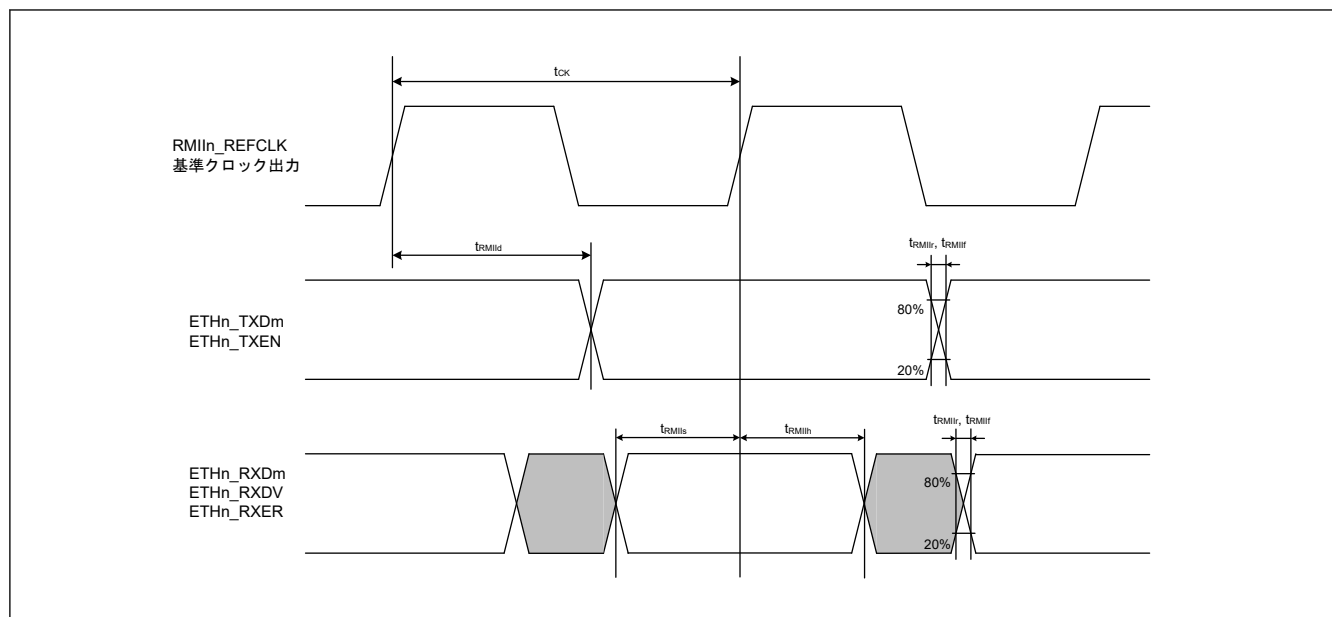
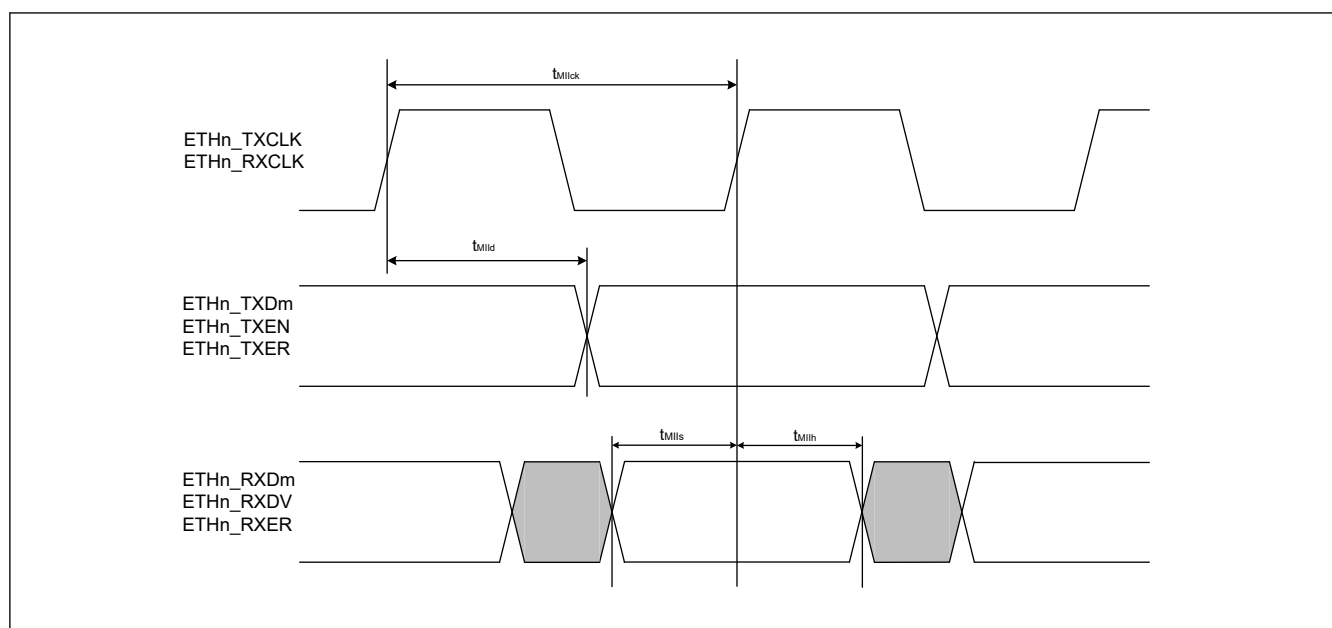


図 2.65 RMII 送信、受信タイミング (基準クロック入力) (n = 0~4, m = 0~1)

図 2.66 RMII 送信、受信タイミング (基準クロック出力) ($n = 0 \sim 4$, $m = 0 \sim 1$)図 2.67 MII 送信、受信タイミング ($n = 0 \sim 4$, $m = 0 \sim 3$)

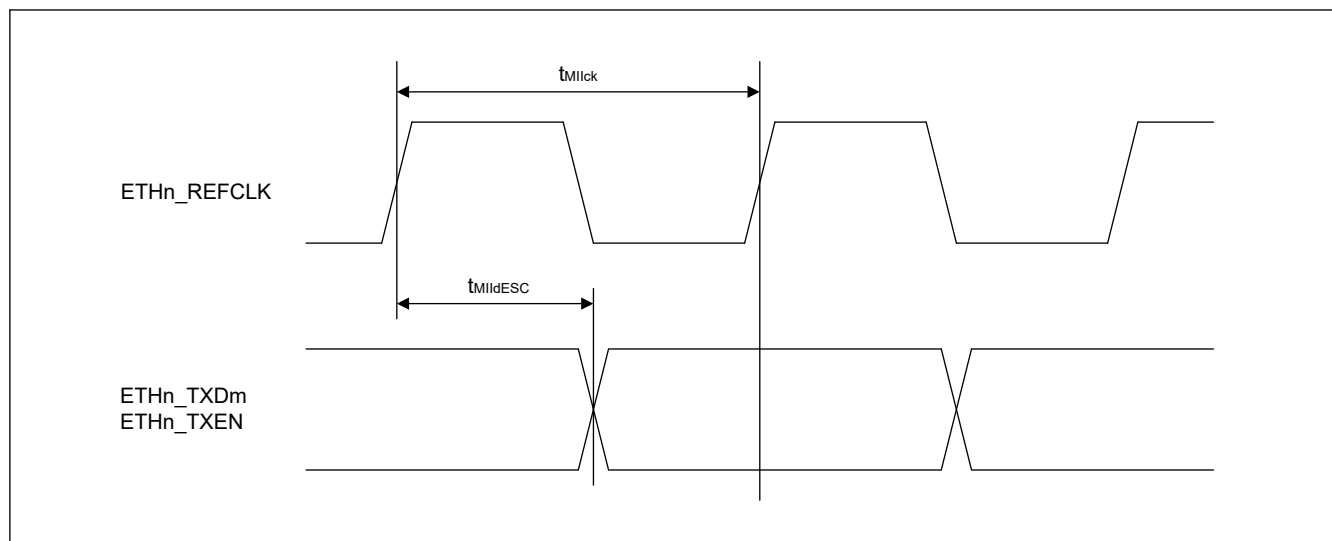


図 2.68 ESC MII 送信タイミング (自動 TX シフト無効) (n = 0~2, m = 0~3)

2.5.5.15 シリアルマネジメントインタフェースタイミング

条件：

$$V_{OH} = V_{CC18} \times 0.5, V_{OL} = V_{CC18} \times 0.5, C = 30 \text{ pF (1.8 V)}$$

$$V_{OH} = V_{CC33} \times 0.5, V_{OL} = V_{CC33} \times 0.5, C = 30 \text{ pF (3.3 V)}$$

表 2.39 シリアルマネジメントインタフェースタイミング

項目			シンボル	Min	Max	単位	参照図
MDIO	MDC 出力サイクル時間	GMAC_MDC、ETHSW_MDC	T_{MDCck}	80	—	ns	図 2.69
		ESC_MDC		400	—	ns	
	MDIO 出力遅延時間 (MDC 立ち下がりに対して) (注1)		T_{MDIOd}	—	20	ns	
	MDIO 入力セットアップ時間 (MDC 立ち上がりに対して)	GMAC_MDC、ETHSW_MDC	T_{MDIOs}	18	—	ns	
		ESC_MDC		70	—	ns	
	MDIO 入力ホールド時間 (MDC 立ち上がりに対して)		T_{MDIOh}	0	—	ns	

注 1. ETHSW からの出力タイミングは MDC の立ち上がりエッジに基づいており、レジスタに出力遅延を設定可能です。

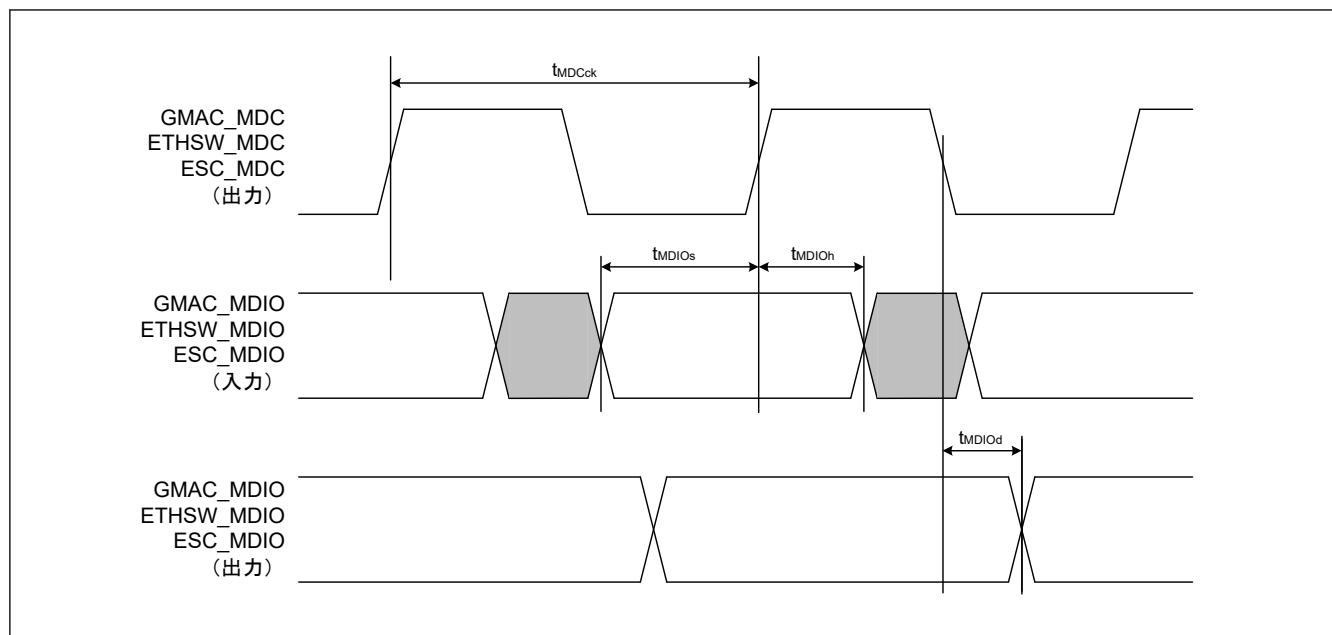


図 2.69 シリアルマネジメントインタフェースタイミング

2.5.5.16 SHOSTIF タイミング

条件：

 $V_{OH} = V_{CC18} \times 0.5$ 、 $V_{OL} = V_{CC18} \times 0.5$ 、 $C = 30 \text{ pF}$ (1.8 V) $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 30 \text{ pF}$ (3.3 V)

表 2.40 SHOSTIF タイミング

項目		シンボル	Min	Max	単位	参照図
SHOSTIF	クロックサイクルタイム	t _{SHck}	25	—	ns	図 2.70
	クロック High 時間	t _{CH}	0.45	0.55	t _{SHck}	
	クロック Low 時間	t _{CL}	0.45	0.55	t _{SHck}	
	クロック立ち上がりスルーレート	t _{CRT}	0.1	—	V/ns	
	クロック立ち下がりスルーレート	t _{CFT}	0.1	—	V/ns	
	CS# High 時間	t _{CS}	2	—	t _{SHck}	図 2.71, 図 2.72
	CS#アクティブセットアップ時間	t _{CSS}	15	—	ns	
	CS#アクティブホールド時間	t _{CSH}	15	—	ns	
	データ入力セットアップ時間	t _{SU}	3	—	ns	
	データ入力ホールド時間	t _{HD}	10.5	—	ns	
	クロック Low～出力有効	t _V	—	15.5	ns	
	データ出力ホールド時間	t _{HO}	6		ns	
	データ出力禁止時間	t _{DIS}	—	18	ns	

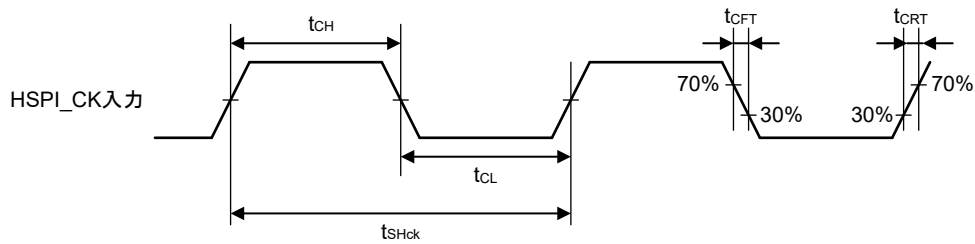


図 2.70 SHOSTIF クロックタイミング

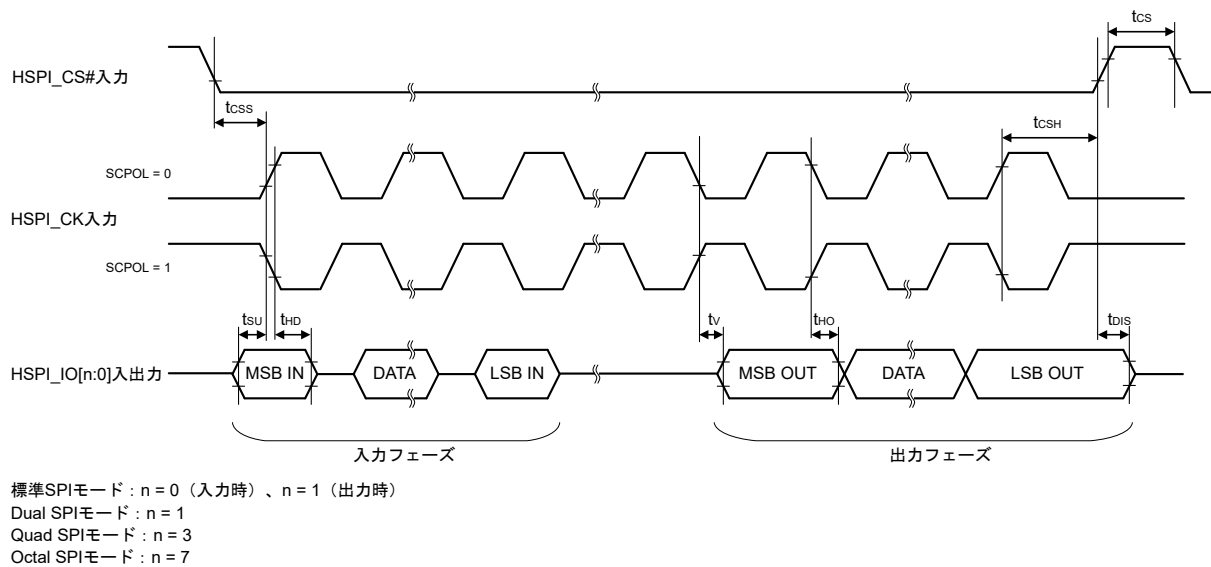


図 2.71 SHOSTIF タイミング (SCPH = 0)

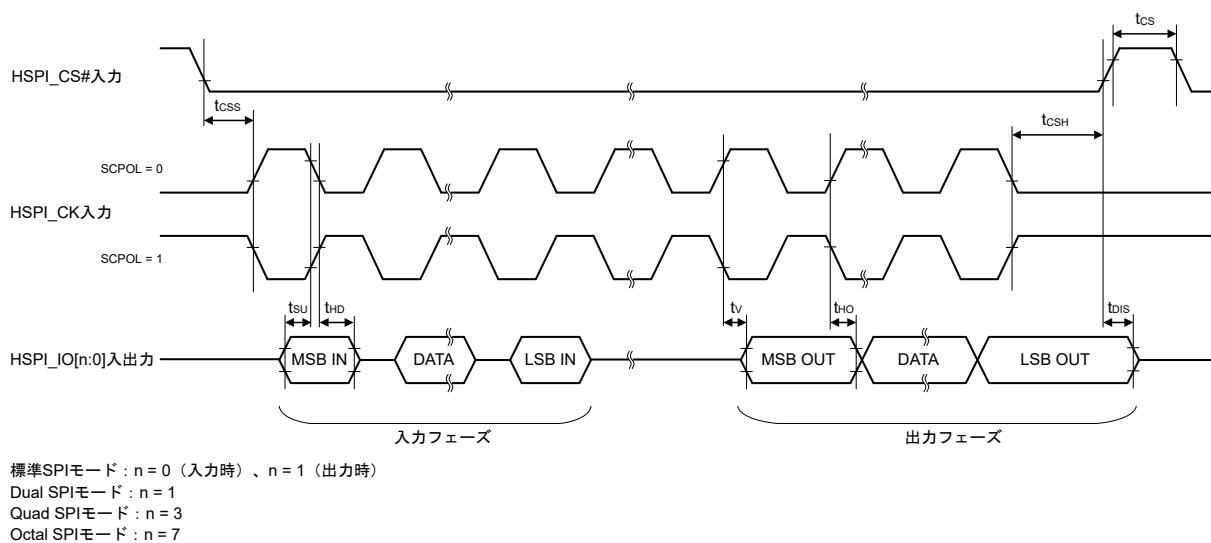


図 2.72 SHOSTIF タイミング (SCPH = 1)

2.5.5.17 PHOSTIF タイミング

条件 : $V_{OH} = VCC33 \times 0.5$ 、 $V_{OL} = VCC33 \times 0.5$ 、 $C = 30 \text{ pF}$ (3.3 V)

2.5.5.17.1 同期 SRAM インタフェースモード

表 2.41 PHOSTIF タイミング (同期 SRAM インタフェースモード) (1/2)

項目	シンボル	Min	Max	単位	参照図
HCKIO 入力サイクル	t_{HCKIO}	20.0	—	ns	図 2.73～図 2.77
HCKIO High レベル幅	t_{HBHIGH}	$0.5 \times t_{HCKIO} - 2.1$	$0.5 \times t_{HCKIO} + 2.1$	ns	
HCKIO Low レベル幅	t_{HBLOW}	$0.5 \times t_{HCKIO} - 2.1$	$0.5 \times t_{HCKIO} + 2.1$	ns	
アドレスおよび HCS0#/HCS# 入力セットアップ時間 (HCKIO 立ち上がりエッジに対して)	t_{SKHA}	4.8	—	ns	
アドレスおよび HCS0#/HCS# 入力ホールド時間 (HCKIO 立ち上がりエッジに対して)	t_{HKHA}	1.0	—	ns	
HWR0#/HWR1#/HWR2#/HWR3# 入力セットアップ時間 (HCKIO 立ち上がりエッジに対して)	t_{SKHWR}	4.8	—	ns	
HWR0#/HWR1#/HWR2#/HWR3# 入力ホールド時間 (HCKIO 立ち上がりエッジに対して)	t_{KHWR}	1.0	—	ns	
HWRSTB# 入力セットアップ時間 (HCKIO 立ち上がりエッジに対して)	$t_{SKHWRSTB}$	4.8	—	ns	
HWRSTB# 入力ホールド時間 (HCKIO 立ち上がりエッジに対して)	$t_{KHWRSTB}$	1.0	—	ns	
HRD# 入力セットアップ時間 (HCKIO 立ち上がりエッジに対して)	t_{SKHRD}	4.8	—	ns	
HRD# 入力ホールド時間 (HCKIO 立ち上がりエッジに対して)	t_{KHRD}	1.0	—	ns	
データ入力セットアップ時間 (HCKIO 立ち上がりエッジに対して)	t_{SKIHD}	4.8	—	ns	
データ入力ホールド時間 (HCKIO 立ち上がりエッジに対して)	t_{KIHHD}	1.0	—	ns	
データおよび HWAIT# 出力遅延時間 (HRD# 立ち下がりエッジに対して)	t_{DKHDHR}	2.0	—	ns	
データおよび HWAIT# 出力ホールド時間 (HRD# 立ち上がりエッジに対して)	t_{HKOHD}	—	15.0	ns	
データおよび HWAIT# 出力遅延時間 (HCS0#/HCS1# 立ち下がりエッジに対して)	t_{DKHD}	2.0	—	ns	
データおよび HWAIT# 出力ホールド時間 (HCS0#/HCS1# 立ち上がりエッジに対して)	t_{HKWTCS}	—	15.0	ns	
HWAIT# 出力遅延時間 (HWRSTB#、HWR0#/HWR1#/HWR2#/HWR3# 立ち下がりエッジに対して)	t_{DKHWT}	2.0	—	ns	
HWAIT# 出力ホールド時間 (HWRSTB#、HWR0#/HWR1#/HWR2#/HWR3# 立ち上がりエッジに対して)	t_{HKWTWR}	—	15.0	ns	
HWAIT# 出力遅延時間 (HCKIO 立ち上がりエッジに対して)	t_{DKHWTV}	2.0	16.0	ns	

表 2.41 PHOSTIF タイミング（同期 SRAM インタフェースモード）（2/2）

項目	シンボル	Min	Max	単位	参照図
データ出力遅延時間 (HCKIO 立ち上がりエッジに対して)	t _{DKHDV}	2.0	16.0	ns	図 2.73～図 2.77
データおよび HWAIT#有効データ出力ホールド時間 (HRD#立ち上がりエッジに対して)	t _{HKHWTHR}	2.0	—	ns	
HWR0#/HWR1#/HWR2#/HWR3#、HWRSTB#リカバリ時間 (High レベル幅)	t _{WHWR}	40.0	—	ns	
HRD#リカバリ時間 (High レベル幅)	t _{WHRD}	40.0	—	ns	

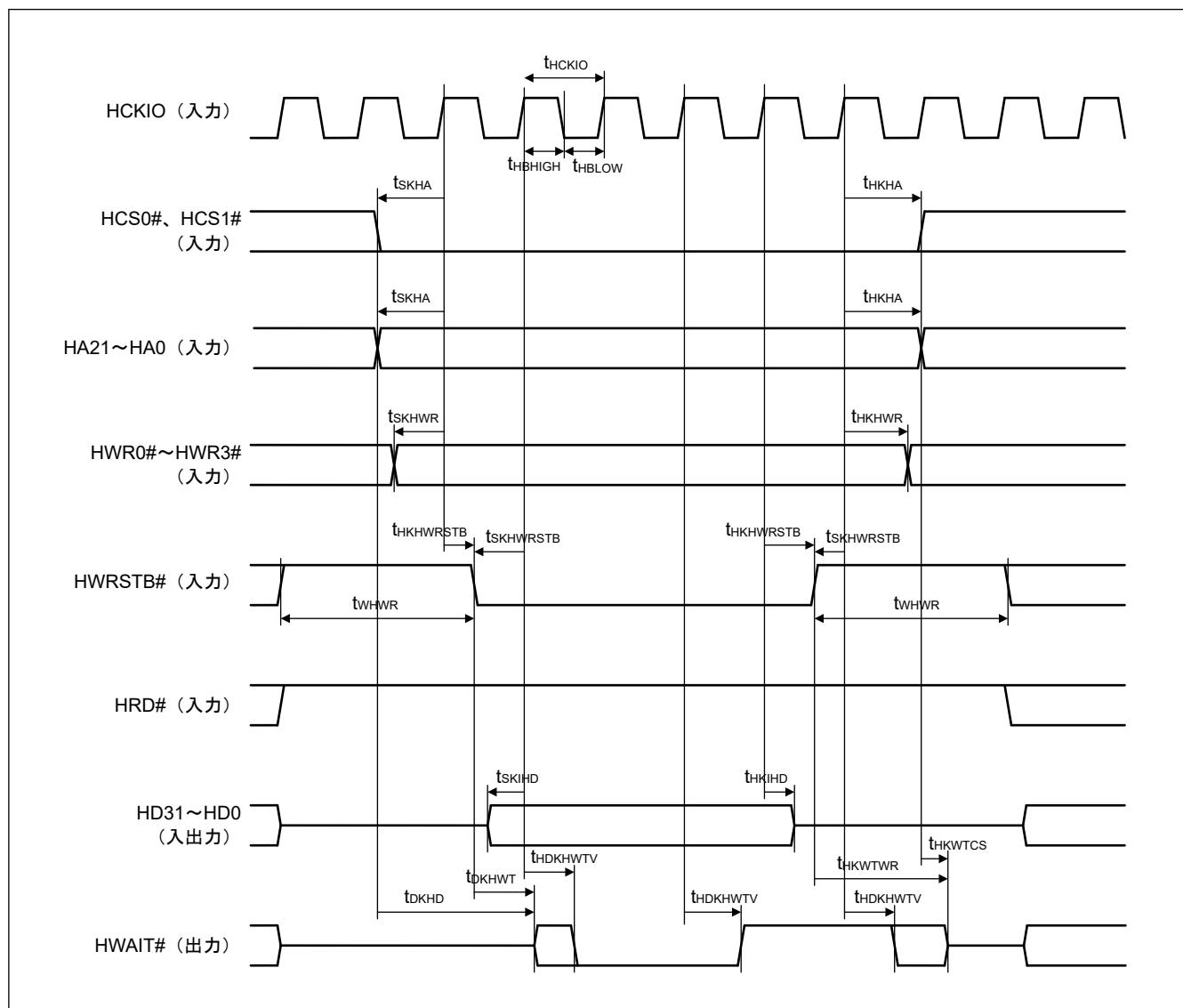


図 2.73 PHOSTIF ライトタイミング (同期 SRAM インタフェースモード)

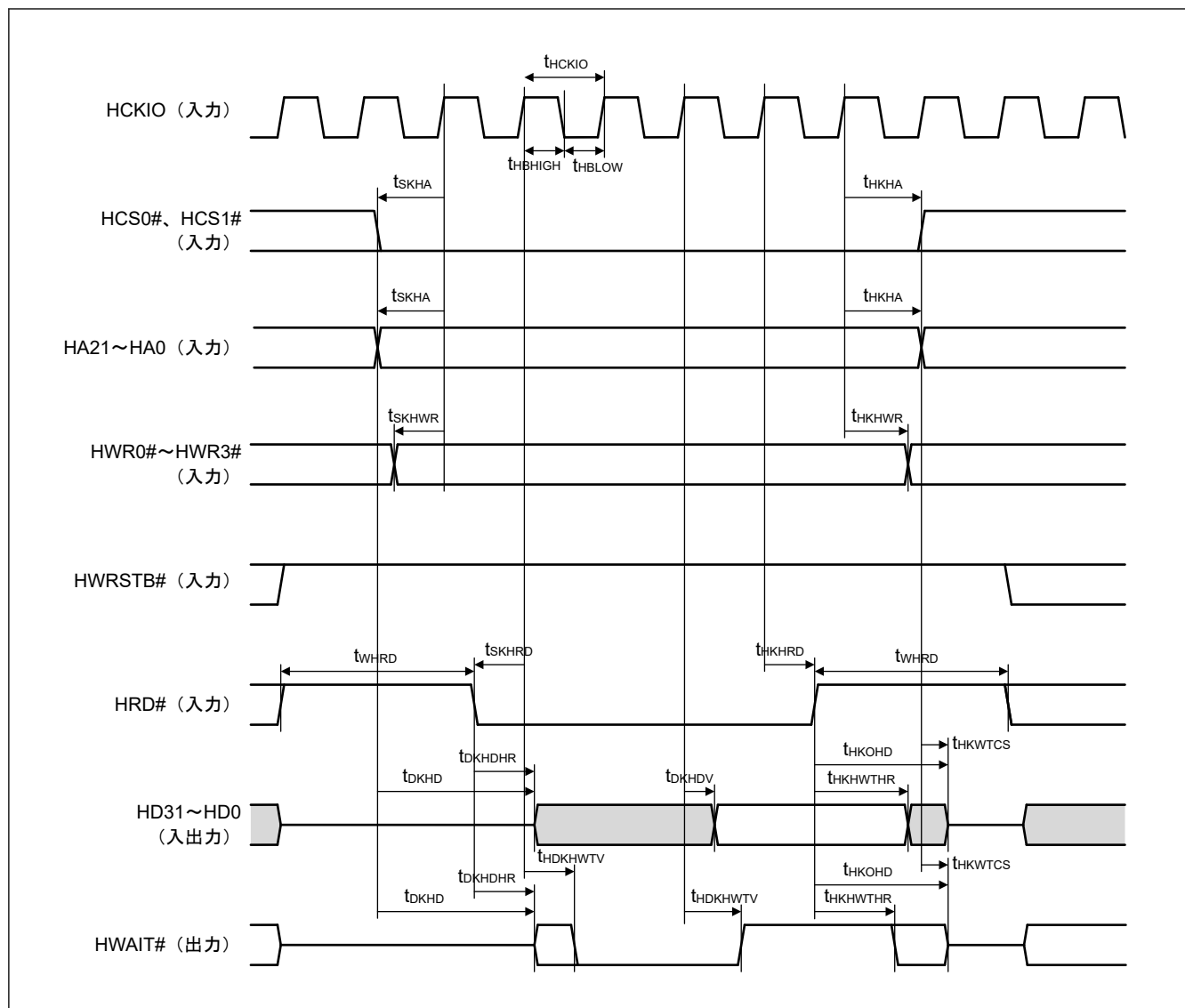


図 2.74 PHOSTIF リードタイミング (同期 SRAM インタフェースモード)

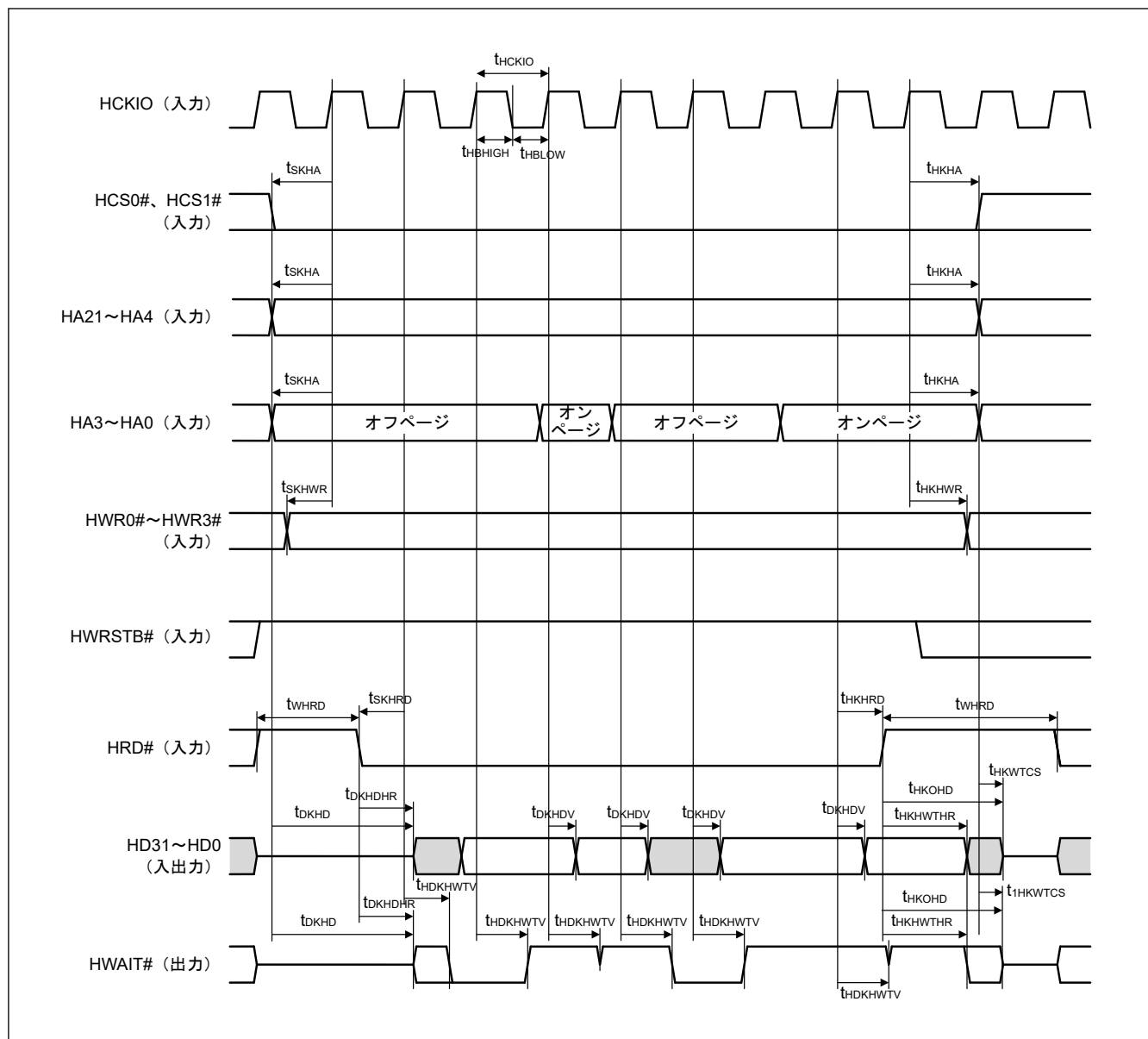


図 2.75 PHOSTIF ページリードタイミング（同期 SRAM インタフェースモード）

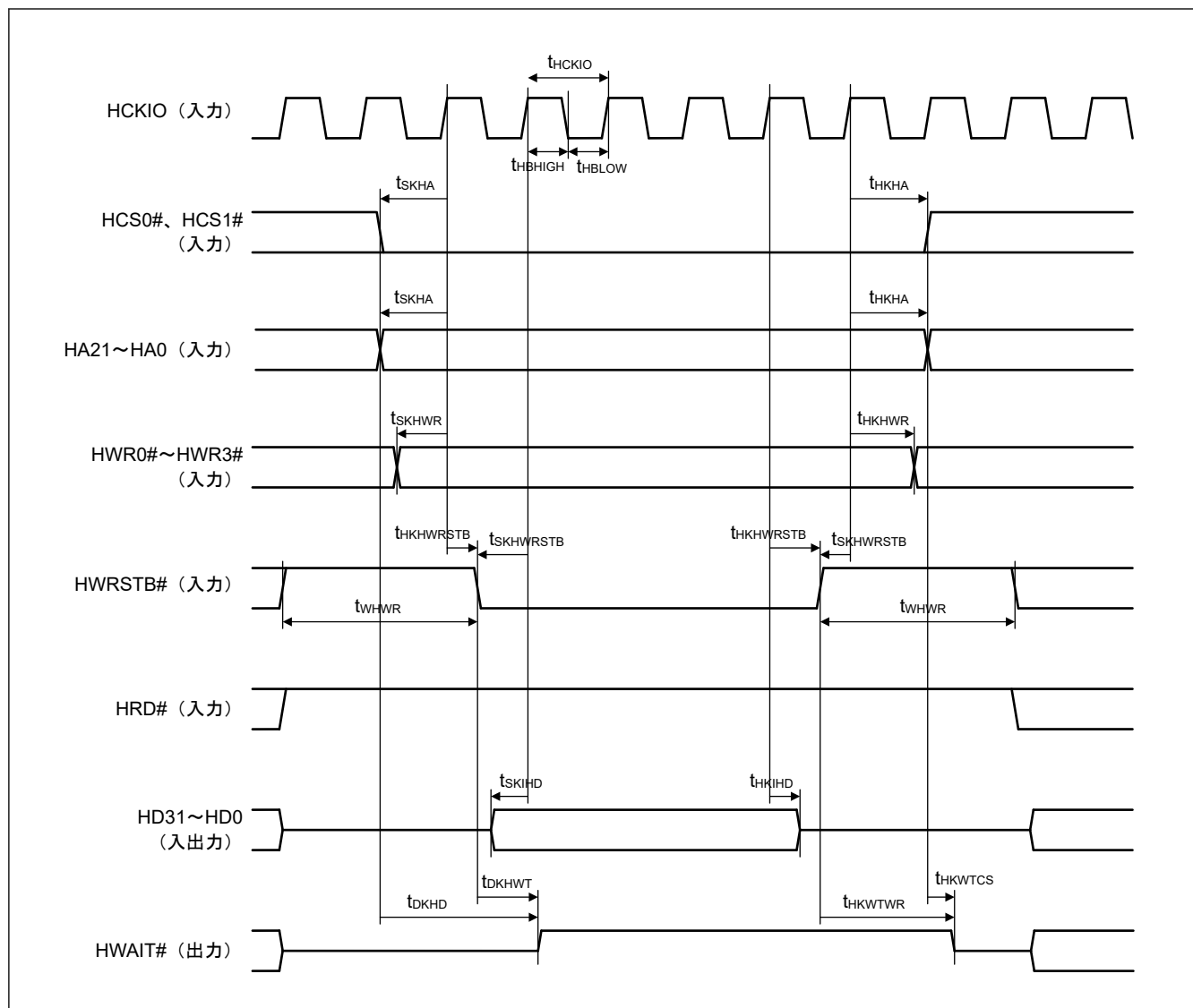


図 2.76 PHOSTIF ページライトタイミング (PHOSTIF レジスタライト) (同期 SRAM インタフェースモード)

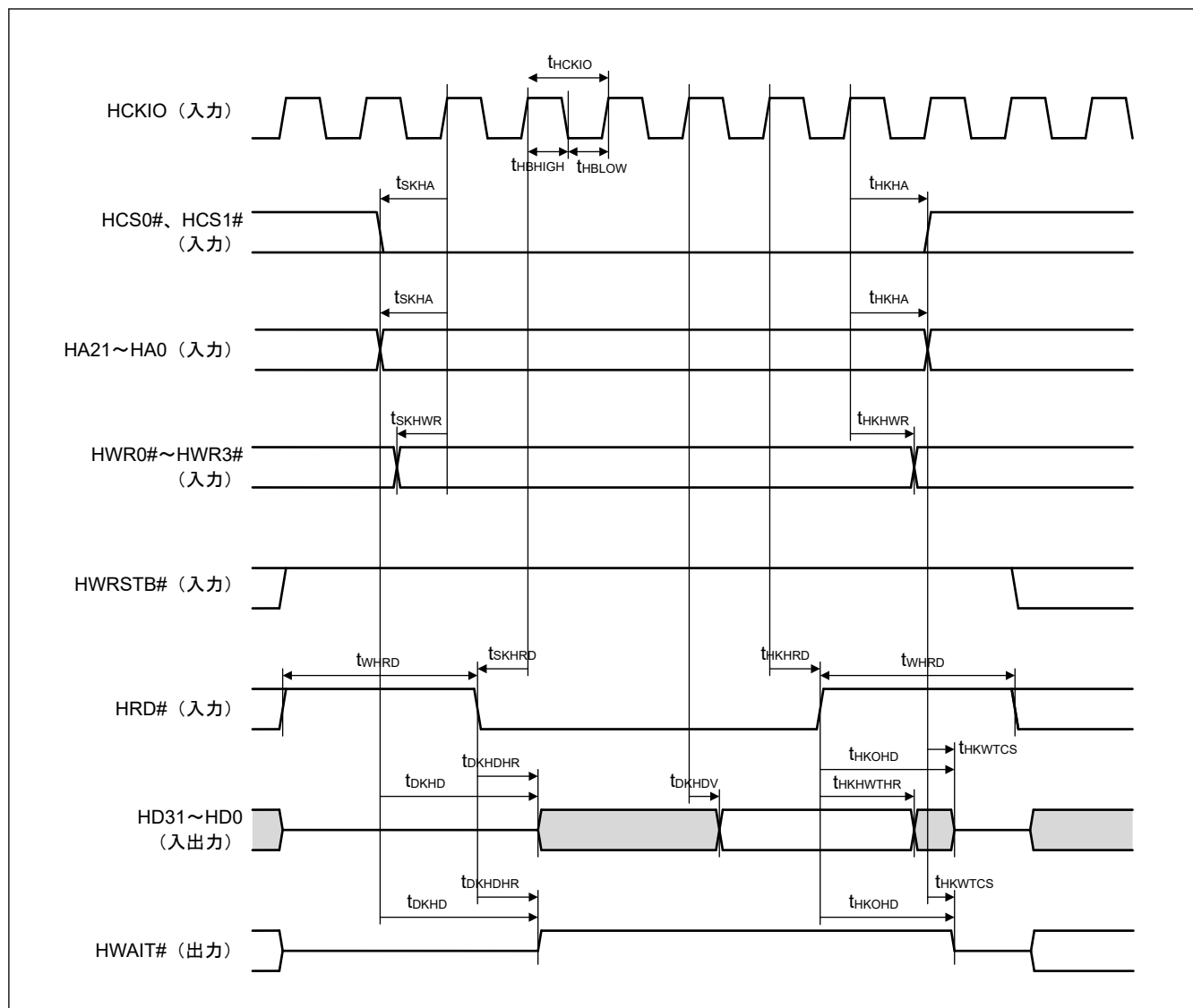


図 2.77 PHOSTIF ページリードタイミング (PHOSTIF レジスタライト) (同期 SRAM インタフェースモード)

2.5.5.17.2 非同期 SRAM インタフェースモード

表 2.42 PHOSTIF タイミング (非同期 SRAM インタフェースモード) (1/2)

項目	シンボル	Min	Max	単位	参照図
アドレス、HCS0#/HCS1#入力セットアップ時間 (HWRSTB#、HWR0#/HWR1#/HWR2#/HWR3#立ち下がりエッジに対して)	t_{ADDWRS}	0	—	ns	図 2.78～図 2.81
HWR0#/HWR1#/HWR2#/HWR3#および HWRSTB#リカバリ時間 (High レベル幅)	t_{WRW}	20.0	—	ns	
データ入力セットアップ時間 (HWRSTB#、HWR0#/HWR1#/HWR2#/HWR3#立ち下がりエッジに対して)	t_{WRS}	0	—	ns	
データ入力ホールド時間 (HWRSTB#、HWR0#/HWR1#/HWR2#/HWR3#立ち上がりエッジに対して)	t_{WRH}	0	—	ns	
HWAIT#出力遅延時間 (HCS0#/HCS1#立ち下がりエッジに対して)	t_{CLZ}	2.0	—	ns	
HWAIT#出力遅延時間 (HWRSTB#、HWR0#/HWR1#/HWR2#/HWR3#立ち下がりエッジに対して)	t_{WAITD}	2.0	—	ns	
HWAIT#有効データ出力遅延時間 (HWRSTB#、HWR0#/HWR1#/HWR2#/HWR3#立ち下がりエッジに対して)	$t_{WRWAITF}$	—	45.0	ns	
HWAIT#有効データ出力ホールド時間 (HWRSTB#、HWR0#/HWR1#/HWR2#/HWR3#立ち上がりエッジに対して)	t_{WAITVH}	0	—	ns	
HWAIT#出力ホールド時間 (HWR0#/HWR1#/HWR2#/HWR3#、HWRSTB#立ち上がりエッジに対して)	t_{WAITH}	—	15.0	ns	
HWAIT#出力ホールド時間 (HCS0#/HCS1#立ち上がりエッジに対して)	t_{CHZ}	—	15.0	ns	
アドレスおよび HCS0#/HCS1#入力セットアップ時間 (HRD#立ち下がりエッジに対して)	t_{ADDRDS}	0	—	ns	
ページアクセス時のアドレス入力ホールド時間 (HRD#立ち上がりエッジに対して)	t_{ADDRDH}	0	—	ns	
HRD#リカバリ時間 (High レベル幅)	t_{RDW}	20.0	—	ns	
データおよび HWAIT#出力遅延時間 (HRD#立ち下がりエッジに対して)	t_{RDLZ}	2.0	—	ns	
HWAIT#有効データ出力遅延時間 (HRD#立ち下がりエッジに対して)	$t_{RDWAITF}$	—	45.0	ns	

表 2.42 PHOSTIF タイミング (非同期 SRAM インタフェースモード) (2/2)

項目	シンボル	Min	Max	単位	参照図
データ固定時間 (HWAIT#立ち上がりエッジに対して)	t_{WAITR}	0	—	ns	図 2.78~図 2.81
データおよび HWAIT#有効データ出力ホールド時間 (HRD#立ち上がりエッジに対して)	t_{DATAOH}	2.0	—	ns	
データおよび HWAIT#出力ホールド時間 (HRD#立ち上がりエッジに対して)	t_{RDHZ}	—	15.0	ns	
オンページアクセス時のデータおよび HWAIT#出力遅延時間 (アドレスに対して)	t_{PAGEOND}	18.0	35.0	ns	
オフページアクセス時のデータおよび HWAIT#出力遅延時間 (アドレスに対して) (16 バイト境界をまたがない場合)	t_{PAGEOFD}	18.0	35.0	ns	
オフページアクセス時のデータおよび HWAIT#出力遅延時間 (アドレスに対して) (16 バイト境界をまたぐ場合)	t_{PAGEOFD}	18.0	35.0	ns	
HWAIT#有効データ出力遅延時間 (HCS0#/HCS1#立ち下がりエッジに対して)	t_{WAITVD}	—	45.0	ns	
データ固定時間 (アドレスに対して)	t_{ADDFIX}	18.0	—	ns	

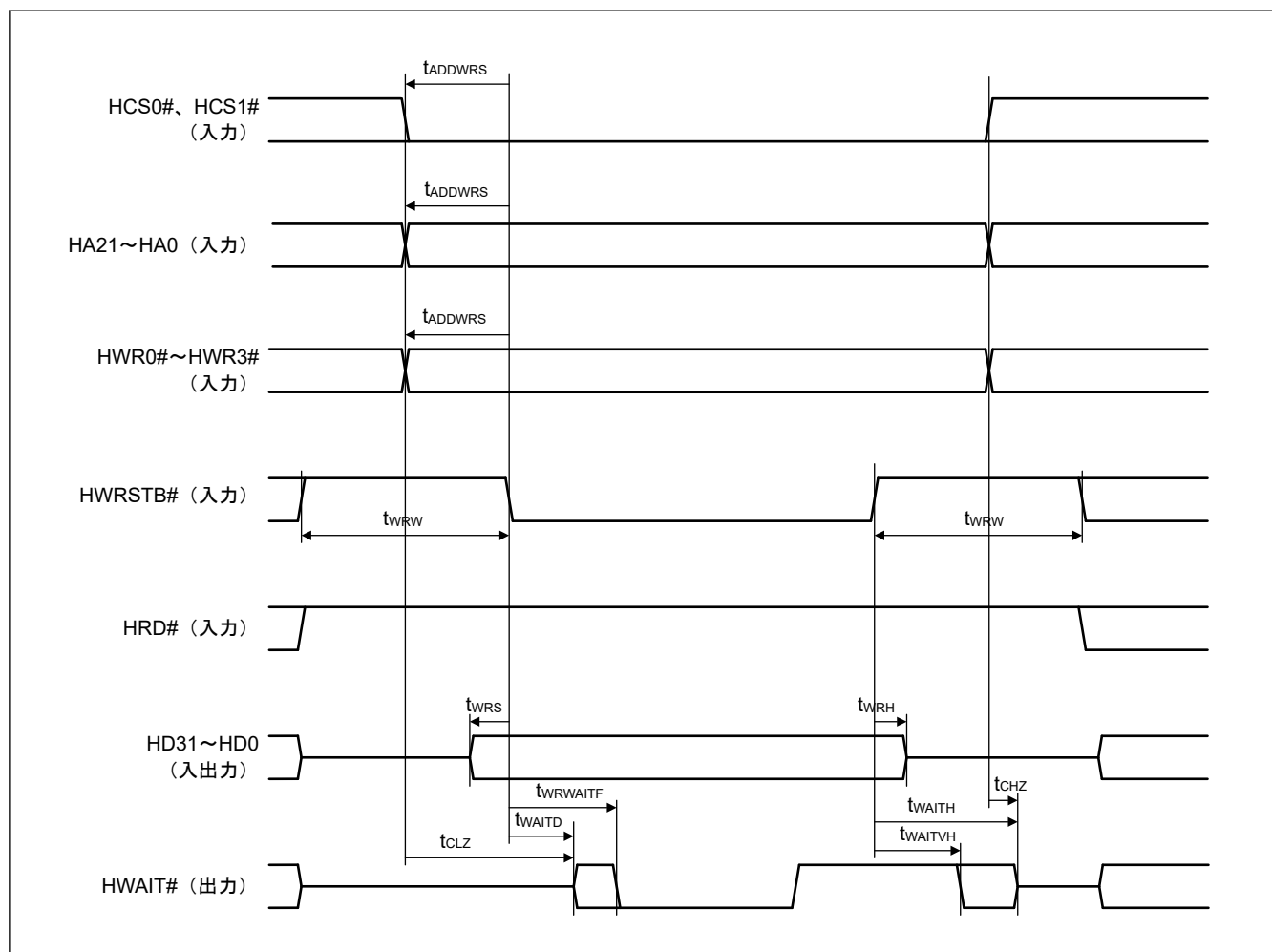


図 2.78 PHOSTIF ライトタイミング (非同期 SRAM インタフェースモード)

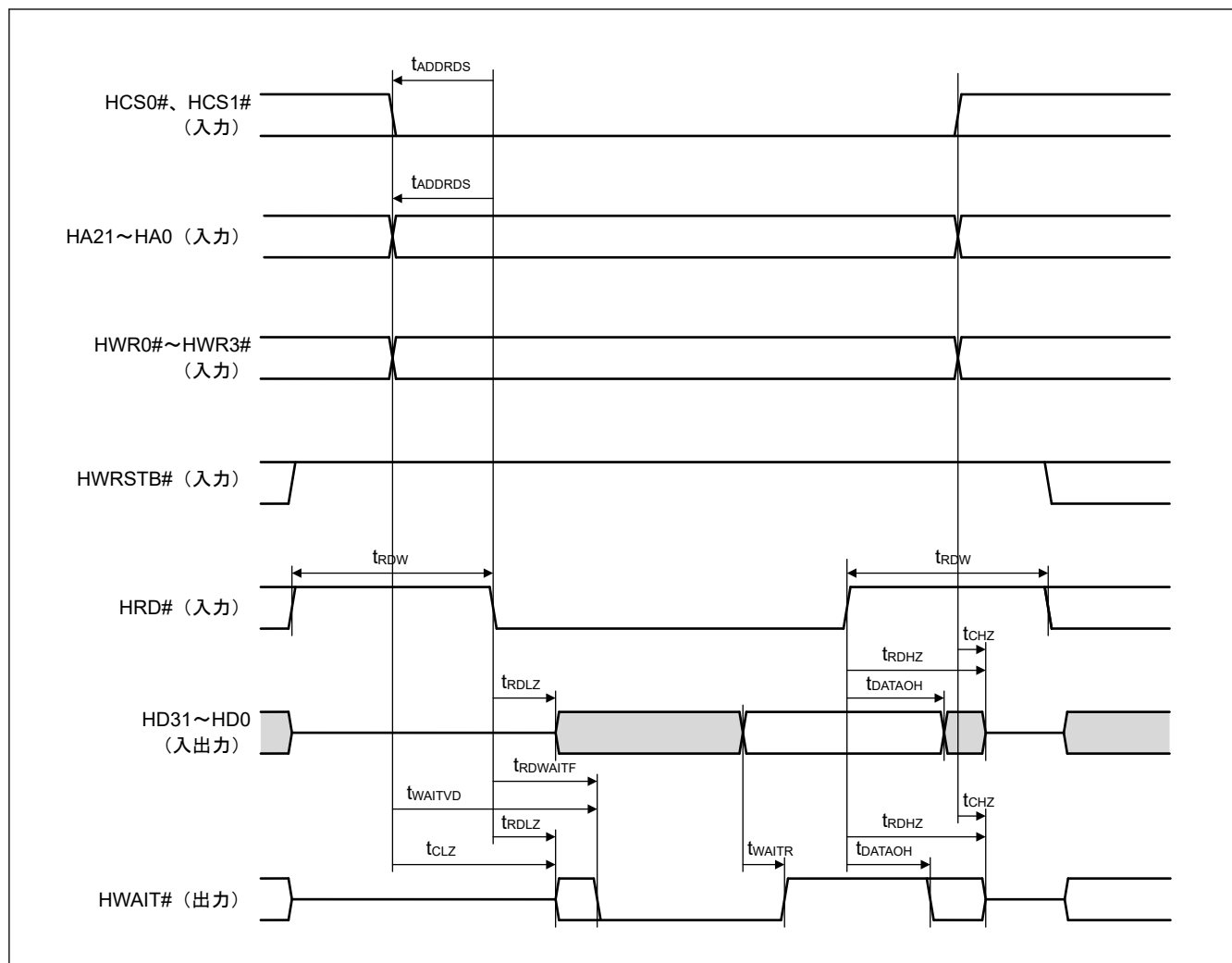


図 2.79 PHOSTIF リードタイミング（非同期 SRAM インタフェースモード）

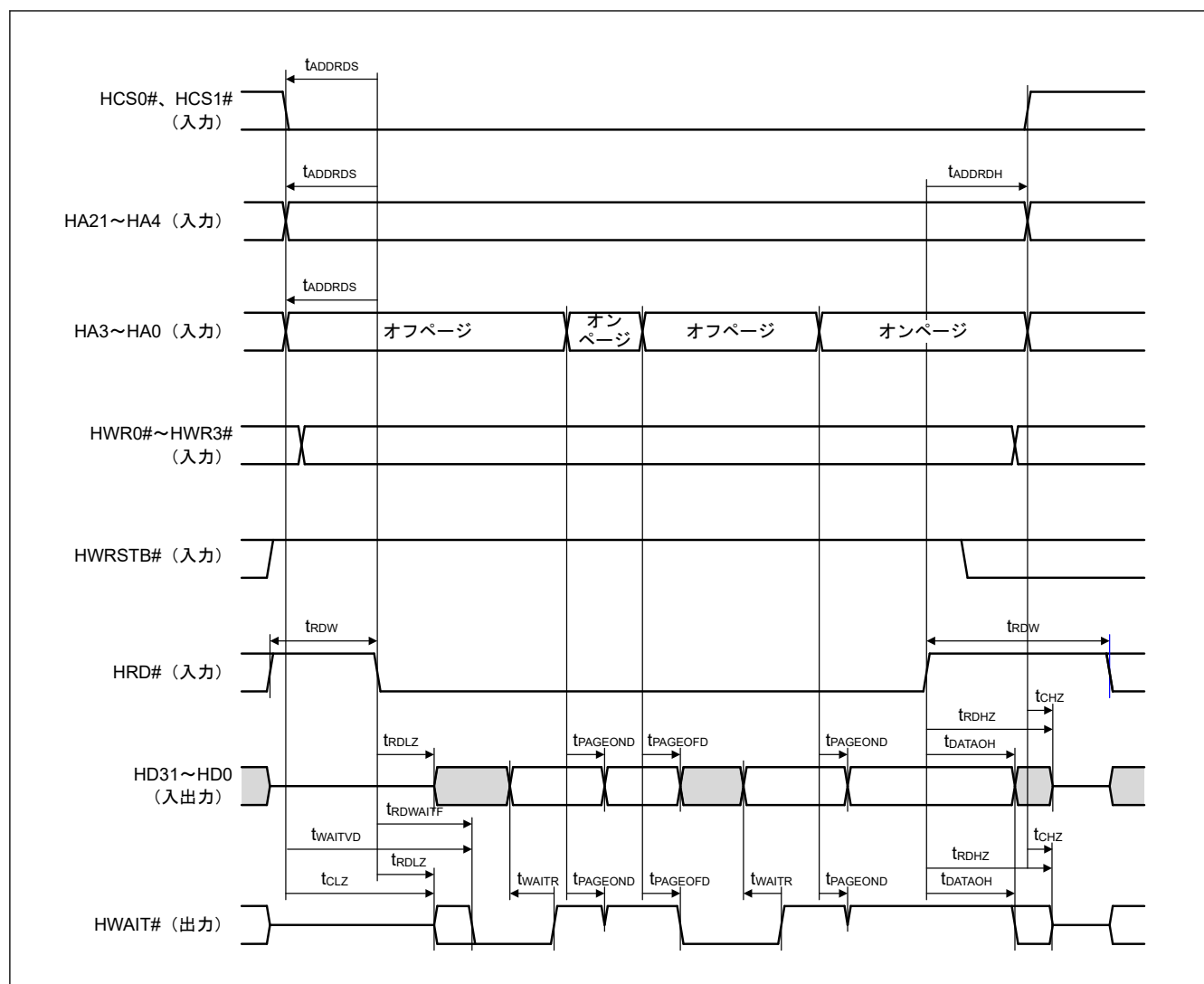


図 2.80 PHOSTIF ページリードタイミング (非同期 SRAM インタフェースモード)

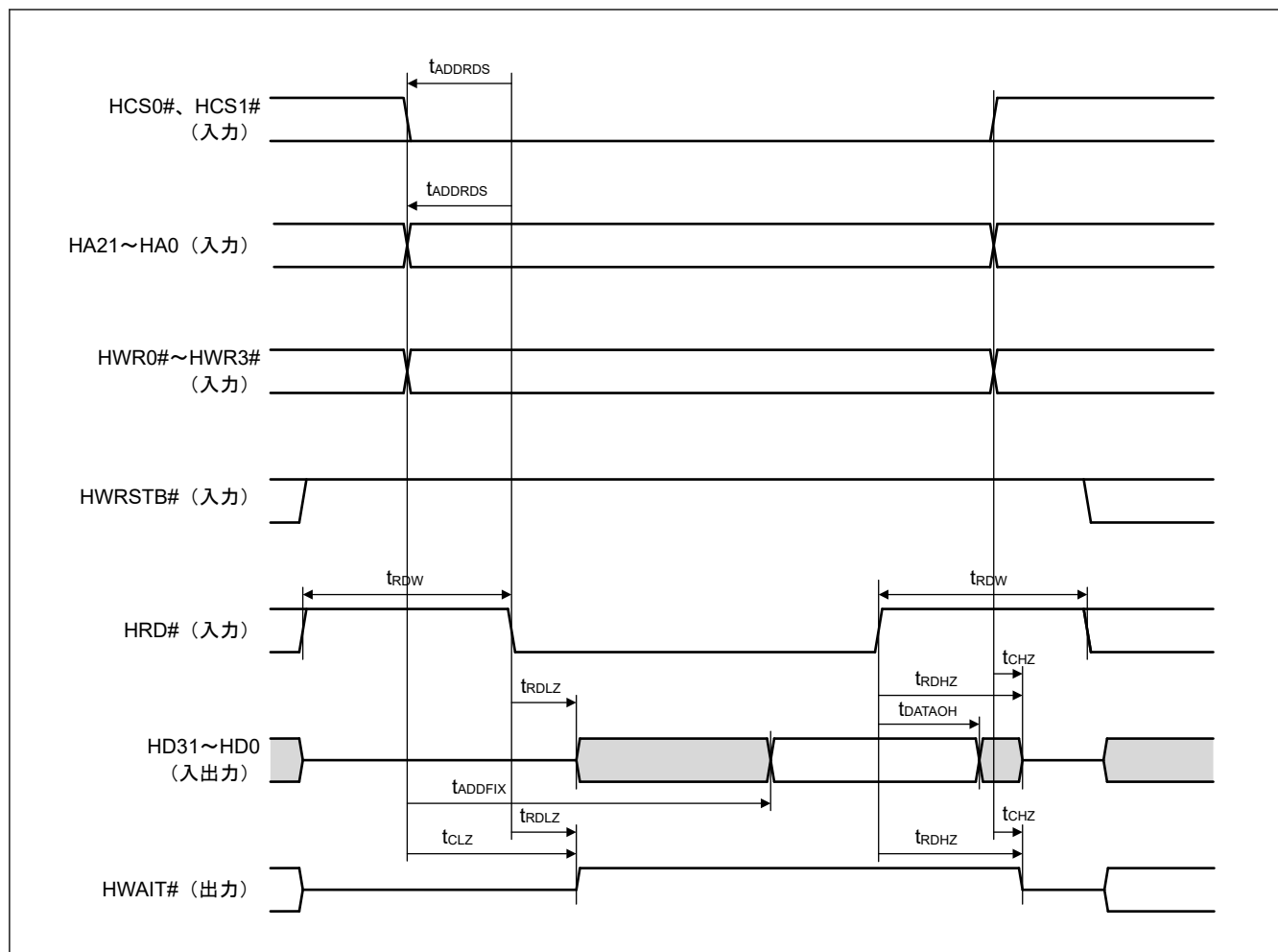


図 2.81 PHOSTIF レジスタリードタイミング (非同期 SRAM インタフェースモード)

2.5.5.17.3 同期バースト SRAM タイプ転送モード

表 2.43 PHOSTIF タイミング (同期バースト SRAM タイプインタフェースモード) (1/2)

項目	シンボル	Min	Max	単位	参照図
HCKIO 入力サイクル	t_{HCKIO}	20.0	—	ns	図 2.82 ~ 図 2.85
HCKIO High レベル幅	t_{HBHIGH}	$0.5 \times t_{HCKIO} - 2.1$	$0.5 \times t_{HCKIO} + 2.1$	ns	
HCKIO Low レベル幅	t_{HBLOW}	$0.5 \times t_{HCKIO} - 2.1$	$0.5 \times t_{HCKIO} + 2.1$	ns	
アドレスおよび HCS0#/HCS1#入力セットアップ時間 (HCKIO 立ち上がりエッジに対して)	t_{SKPHA}	4.8	—	ns	
アドレスおよび HCS0#/HCS1#入力ホールド時間 (HCKIO 立ち上がりエッジに対して)	t_{HKPHA}	1.0	—	ns	
アドレスおよび HCS0#/HCS1#入力セットアップ時間 (HCKIO 立ち下がりエッジに対して)	t_{SKNHA}	4.8	—	ns	
アドレスおよび HCS0#/HCS1#入力ホールド時間 (HCKIO 立ち下がりエッジに対して)	t_{HKNHA}	1.0	—	ns	
HWR0#/HWR1#/HWR2#/HWR3#入力セットアップ時間 (HCKIO 立ち上がりエッジに対して)	t_{SKPHWR}	4.8	—	ns	
HWR0#/HWR1#/HWR2#/HWR3#入力ホールド時間 (HCKIO 立ち上がりエッジに対して)	t_{HKPHWR}	1.0	—	ns	
HWR0#/HWR1#/HWR2#/HWR3#入力セットアップ時間 (HCKIO 立ち下がりエッジに対して)	t_{SKNHWR}	4.8	—	ns	
HWR0#/HWR1#/HWR2#/HWR3#入力ホールド時間 (HCKIO 立ち下がりエッジに対して)	t_{HKNHWR}	1.0	—	ns	
HBS#, HWRSTB#入力セットアップ時間 (CKIO 立ち上がりエッジに対して)	$t_{SKPHBCY}$	4.8	—	ns	
HBS#, HWRSTB#入力ホールド時間 (CKIO 立ち上がりエッジに対して)	$t_{HKPHBCY}$	1.0	—	ns	
HBS#, HWRSTB#入力セットアップ時間 (CKIO 立ち下がりエッジに対して)	$t_{SKNHBCY}$	4.8	—	ns	
HBS#, HWRSTB#入力ホールド時間 (CKIO 立ち下がりエッジに対して)	$t_{HKNHBCY}$	1.0	—	ns	
HRD#入力セットアップ時間 (CKIO 立ち上がりエッジに対して)	t_{SKPHRD}	4.8	—	ns	
HRD#入力ホールド時間 (CKIO 立ち上がりエッジに対して)	t_{HKPHRD}	1.0	—	ns	
HRD#入力セットアップ時間 (CKIO 立ち下がりエッジに対して)	t_{SKNHRD}	4.8	—	ns	
HRD#入力ホールド時間 (CKIO 立ち下がりエッジに対して)	t_{HKNHRD}	1.0	—	ns	

表 2.43 PHOSTIF タイミング（同期バースト SRAM タイプインタフェースモード）(2/2)

項目	シンボル	Min	Max	単位	参照図
データ入力セットアップ時間（CKIO 立ち上がりエッジに対して）	t _{SKPHD}	4.8	—	ns	図 2.82～図 2.85
データ入力ホールド時間（CKIO 立ち上がりエッジに対して）	t _{HKPHD}	1.0	—	ns	
データ入力セットアップ時間（CKIO 立ち下がりエッジに対して）	t _{SKNHD}	4.8	—	ns	
データ入力ホールド時間（CKIO 立ち下がりエッジに対して）	t _{HKNHD}	1.0	—	ns	
データ出力遅延時間（HRD#立ち下がりエッジに対して）	t _{DKNHRD}	2.0	—	ns	
データ出力ホールド時間（HRD#立ち上がりエッジに対して）	t _{HKPHRD}	—	15.0	ns	
データ出力遅延時間（HCKIO 立ち上がりエッジに対して）	t _{DKPHD}	2.0	16.0	ns	
データ出力遅延時間（HCKIO 立ち下がりエッジに対して）	t _{DKNHD}	2.0	16.0	ns	
HWAIT#出力遅延時間（HCKIO 立ち上がりエッジに対して）	t _{DKPHWT}	2.0	16.0	ns	
HWAIT#出力遅延時間（HCKIO 立ち下がりエッジに対して）	t _{DKNHWWT}	2.0	16.0	ns	
データ出力ホールド時間（HCS0#/HCS1#立ち上がりエッジに対して）	t _{HKPHCS}	—	15.0	ns	
HWRSTB#リカバリ時間（High レベル幅）	t _{WHWR}	40.0	—	ns	
HRD#リカバリ時間（High レベル幅）	t _{WHRD}	40.0	—	ns	

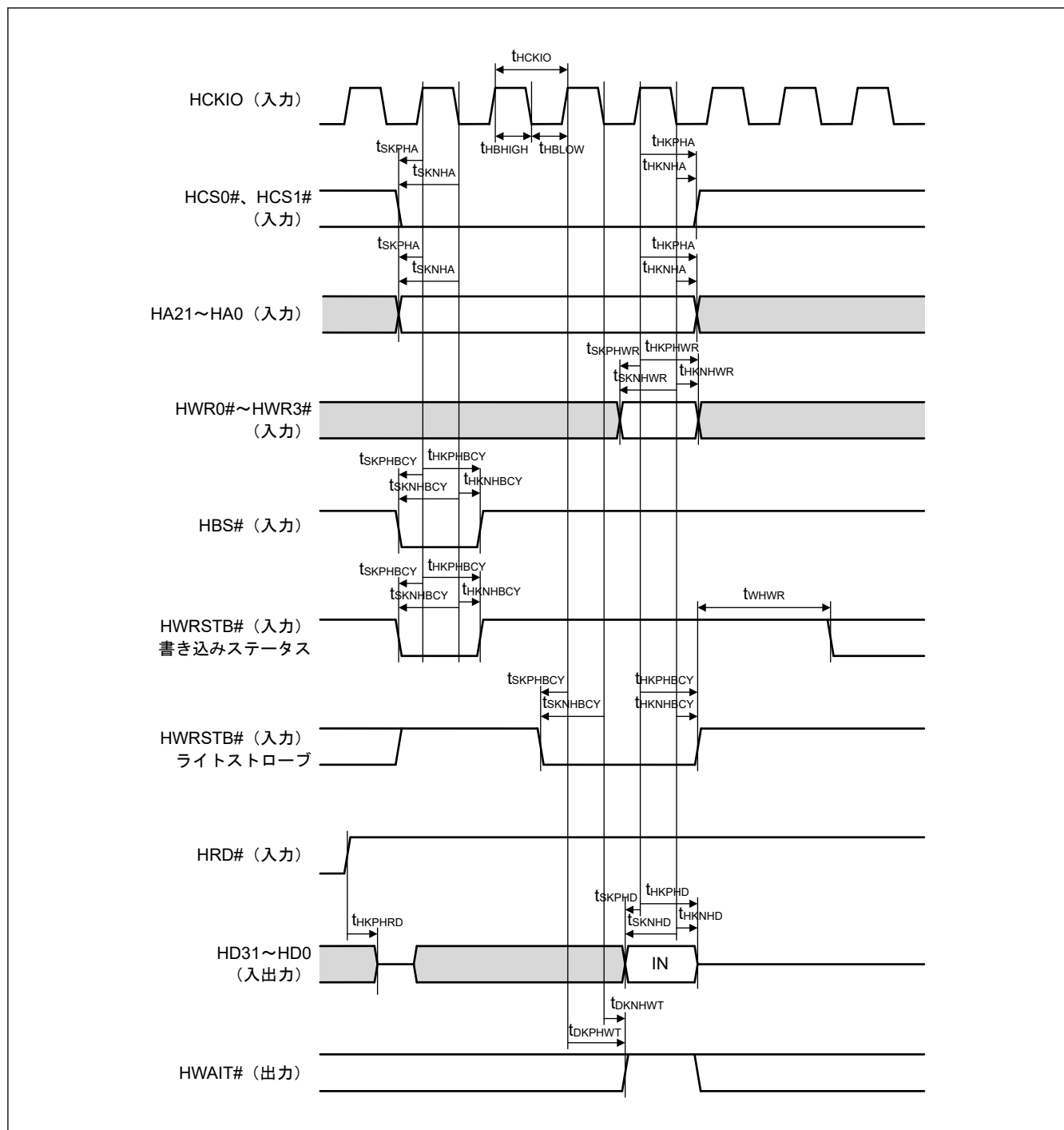


図 2.82 PHOSTIF ライトタイミング (同期バースト SRAM タイプ転送モード、アドレス/データ分離)

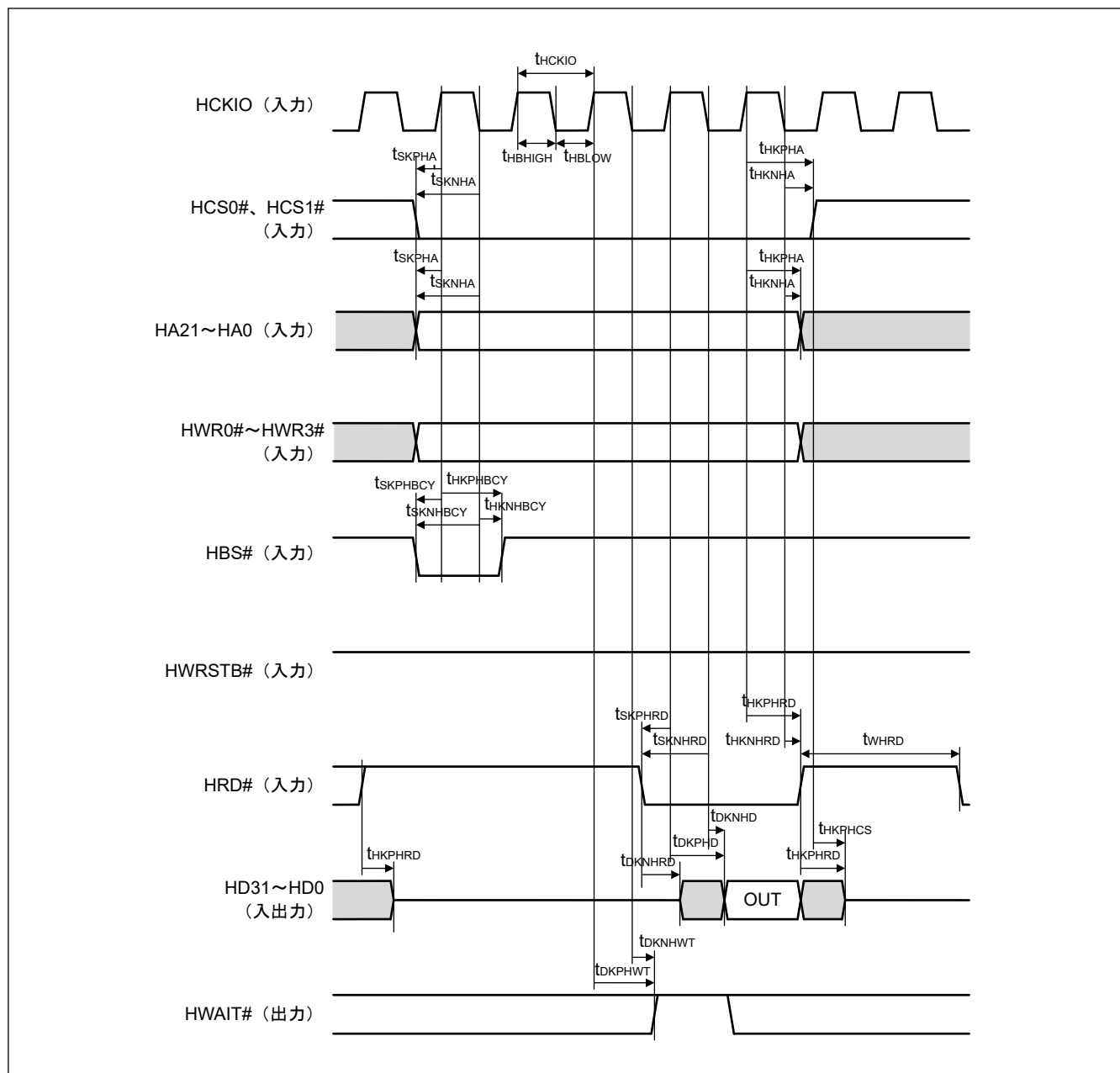


図 2.83 PHOSTIF リードタイミング (同期バースト SRAM タイプ転送モード、アドレス/データ分離)

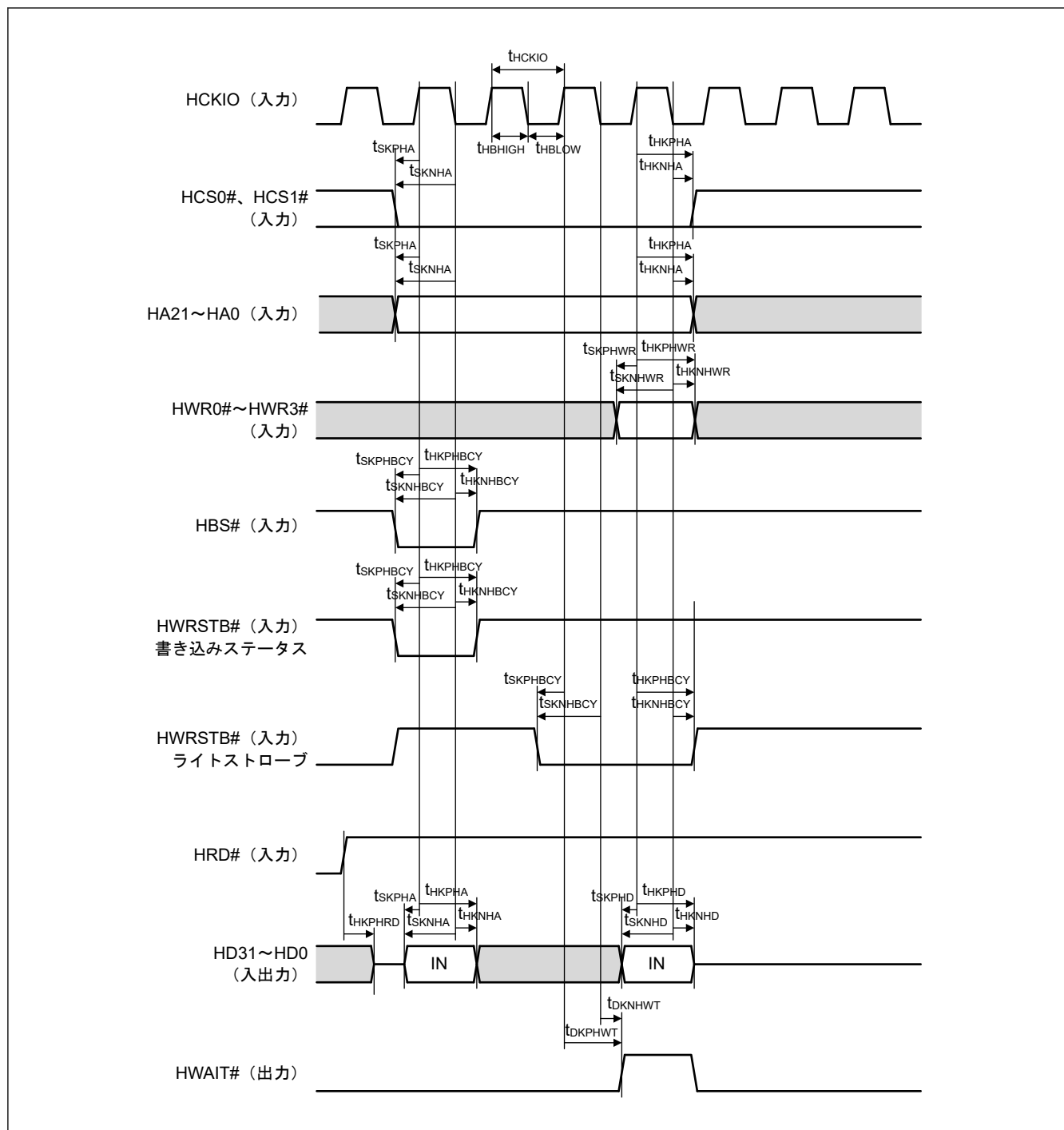


図 2.84 PHOSTIF ライトタイミング (同期バースト SRAM タイプ転送モード、アドレス/データマルチプレクス)

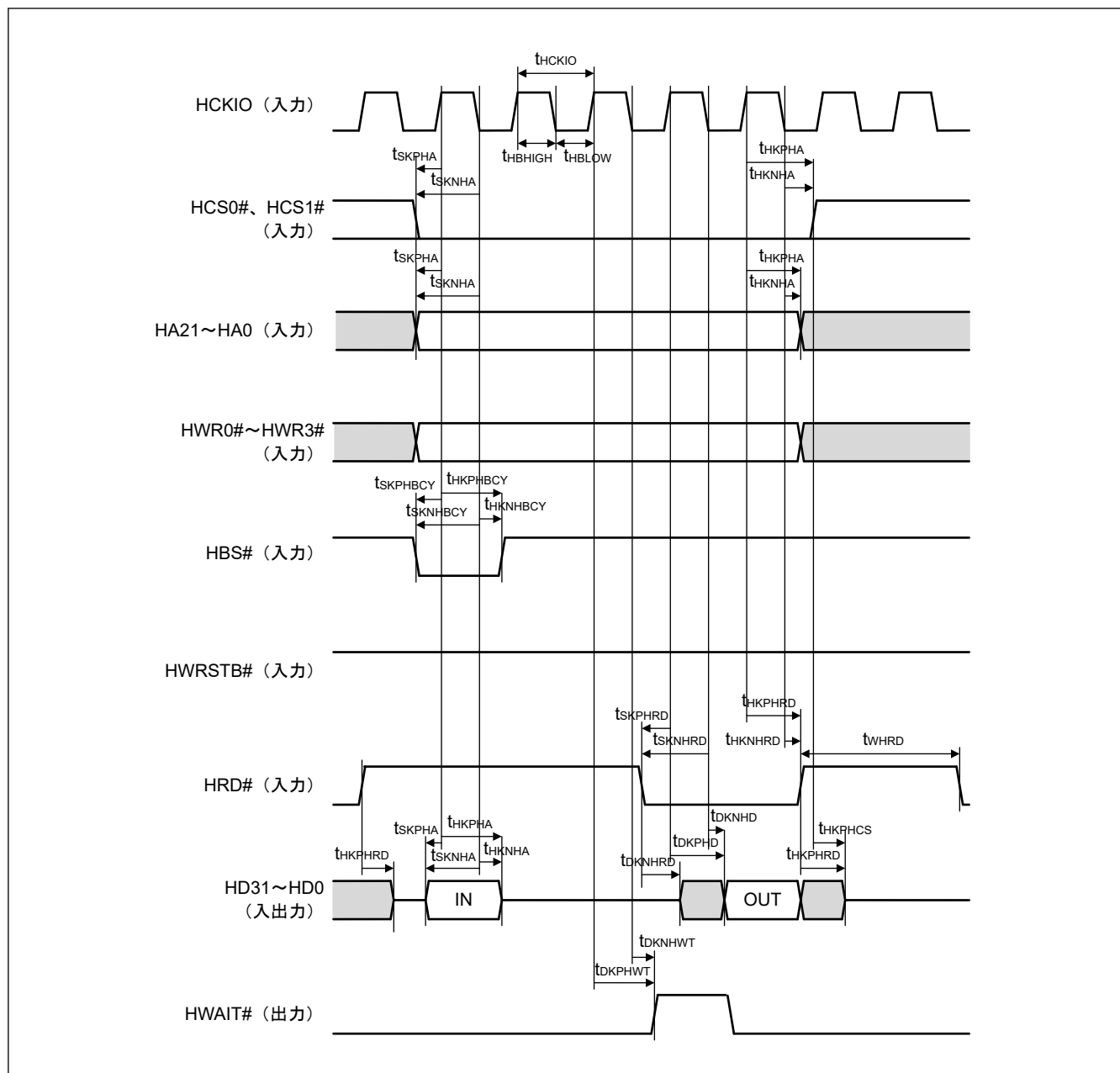


図 2.85 PHOSTIF リードタイミング (同期バースト SRAM タイプ転送モード、アドレス/データマルチプレクス)

2.5.5.18 SDHC タイミング

条件 : $V_{OH} = V_{CC18} \times 0.5$ 、 $V_{OL} = V_{CC18} \times 0.5$

表 2.44 1.8 V SDHI タイミング (1/2)

項目	シンボル	条件	Min	Max	単位	参照図
(SD) SDR104 (eMMC) HS200	SD_CLK クロック サイクル	C = 15 pF 駆動強度 クロック : 超高 その他 : 高	6.67		ns	図 2.86
	SD_CLK クロック High レベル幅		1.99	—	ns	
	SD_CLK クロック Low レベル幅		1.99	—	ns	
	SD_CLK クロック 立ち上がり時間		—	1	ns	
	SD_CLK クロック 立ち下がり時間		—	1	ns	
	SD_CMD、 SD_DATA 出力遅延		-2.2	1.5	ns	
	SD_CMD、 SD_DATA 入力セ ットアップ時間		—	—	ns	
	SD_CMD、 SD_DATA 入力ホ ールド時間		—	—	ns	
(SD) SDR50、 SDR25、SDR12 (eMMC) 高速 SDR、下位互換性	SD_CLK クロック サイクル	C = 30 pF 駆動強度 クロック : 超高 その他 : 高	10/13.33 (注1)	—	ns	図 2.86
	SD_CLK クロック High レベル幅		3/3.99(注1)	—	ns	
	SD_CLK クロック Low レベル幅		3/3.99(注1)	—	ns	
	SD_CLK クロック 立ち上がり時間		—	2	ns	
	SD_CLK クロック 立ち下がり時間		—	2	ns	
	SD_CMD、 SD_DATA 出力遅延		-4.2	1.8	ns	
	SD_CMD、 SD_DATA 入力セ ットアップ時間		1.3/1.4(注1)	—	ns	
	SD_CMD、 SD_DATA 入力ホ ールド時間		1.8	—	ns	
(SD) SDR50、 SDR25、SDR12 (eMMC) 高速 SDR、下位互換性	SD_CMD、 SD_DATA 入力デ ータ幅	C = 30 pF 駆動強度 クロック : 超高 その他 : 高	—	—	ns	図 2.86
	SD_CLK クロック サイクル		10/13.33 (注1)	—	ns	
	SD_CLK クロック High レベル幅		3/3.99(注1)	—	ns	
	SD_CLK クロック Low レベル幅		3/3.99(注1)	—	ns	
	SD_CLK クロック 立ち上がり時間		—	2	ns	
	SD_CLK クロック 立ち下がり時間		—	2	ns	
	SD_CMD、 SD_DATA 出力遅延		-4.2	1.8	ns	
	SD_CMD、 SD_DATA 入力セ ットアップ時間		1.3/1.4(注1)	—	ns	
(SD) SDR50、 SDR25、SDR12 (eMMC) 高速 SDR、下位互換性	SD_CMD、 SD_DATA 入力ホ ールド時間	C = 30 pF 駆動強度 クロック : 超高 その他 : 高	1.8	—	ns	図 2.86
	SD_CMD、 SD_DATA 入力デ ータ幅		—	—	ns	
	SD_CLK クロック サイクル		10/13.33 (注1)	—	ns	
	SD_CLK クロック High レベル幅		3/3.99(注1)	—	ns	
	SD_CLK クロック Low レベル幅		3/3.99(注1)	—	ns	
	SD_CLK クロック 立ち上がり時間		—	2	ns	
	SD_CLK クロック 立ち下がり時間		—	2	ns	
	SD_CMD、 SD_DATA 出力遅延		-4.2	1.8	ns	

表 2.44 1.8 V SDHI タイミング (2/2)

項目	シンボル	条件	Min	Max	単位	参照図
(SD) DDR50 (eMMC) 高速 DDR	SD_CLK クロック サイクル	C = 25 pF 駆動強度 クロック : 高 その他 : 高	20/26.66 (注1)	—	ns	図 2.87
	SD_CLK クロック High レベル幅		9/11.9(注1)	11/14.66(注1)	ns	
	SD_CLK クロック Low レベル幅		9/11.9(注1)	11/14.66(注1)	ns	
	SD_CLK クロック 立ち上がり時間		—	3	ns	
	SD_CLK クロック 立ち下がり時間		—	3	ns	
	SD_CMD 出力遅延 (SDR)		-6	3	ns	
	SD_CMD 入力セットアップ時間 (SDR)		4.8	—	ns	
	SD_CMD 入力ホールド時間 (SDR)		2.5	—	ns	
	SD_DATA 出力遅延 (DDR)		2.6	6	ns	
	SD_DATA 入力セットアップ時間 (DDR)		1.5	—	ns	
	SD_DATA 入力ホールド時間 (DDR)		1.5	—	ns	

注 1. 200 MHz 時の仕様/150 MHz 時の仕様

条件 : $V_{OH} = VCC33 \times 0.5$ 、 $V_{OL} = VCC33 \times 0.5$

表 2.45 3.3 V SDHI タイミング (1/2)

項目	シンボル	条件	Min	Max	単位	参照図
(SD) 高速 (eMMC) 高速 SDR	SD_CLK クロック サイクル	C = 30 pF 駆動強度 クロック : 高 その他 : 中	20/26.66 (注1)	—	ns	図 2.86
	SD_CLK クロック High レベル幅		7	—	ns	
	SD_CLK クロック Low レベル幅		7	—	ns	
	SD_CLK クロック リセット時間		—	3	ns	
	SD_CLK クロック 立ち下がり時間		—	3	ns	
	SD_CMD、SD_DATA 出力遅延		-6.2	2.5	ns	
	SD_CMD、SD_DATA 入力セットアップ時間		4	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間		2	—	ns	
	SD_CMD、SD_DATA 入力データ幅		—	—	ns	

表 2.45 3.3 V SDHI タイミング (2/2)

項目		シンボル	条件	Min	Max	単位	参照図
(SD) デフォルト速度 (eMMC) 後方互換性	SD_CLK クロック サイクル	T _{SDCYC}	C = 30 pF 駆動強度 クロック : 高 その他 : 中	40/53.32 (注1)	—	ns	図 2.86
	SD_CLK クロック High レベル幅	T _{SDWH}		10	—	ns	
	SD_CLK クロック Low レベル幅	T _{SDWL}		10	—	ns	
	SD_CLK クロック リセット時間	T _{SDLH}		—	10	ns	
	SD_CLK クロック 立ち下がり時間	T _{SDHL}		—	10	ns	
	SD_CMD、SD_DATA 出力遅延	T _{SDODLY}		-7.5	2.5	ns	
	SD_CMD、SD_DATA 入力セットアップ時間	T _{SDIS}		4	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間	T _{SDIH}		2	—	ns	
	SD_CMD、SD_DATA 入力データ幅	T _{SDIDW}		—	—	ns	
(eMMC) 高速 DDR	SD_CLK クロック サイクル	T _{SDCYC}	C = 20 pF 駆動強度 クロック : 高 その他 : 高	20/26.66 (注1)	—	ns	図 2.86～図 2.87
	SD_CLK クロック High レベル幅	T _{SDWH}		9/11.99(注1)	11/14.66(注1)	ns	
	SD_CLK クロック Low レベル幅	T _{SDWL}		9/11.99(注1)	11/14.66(注1)	ns	
	SD_CLK クロック 立ち上がり時間	T _{SDLH}		—	3	ns	
	SD_CLK クロック 立ち下がり時間	T _{SDHL}		—	3	ns	
	SD_CMD 出力遅延 (SDR)	T _{SDODLY}		-6	6	ns	
	SD_CMD 入力セットアップ時間 (SDR)	T _{SDIS}		4.8	—	ns	
	SD_CMD 入力ホールド時間 (SDR)	T _{SDIH}		2.5	—	ns	
	SD_DATA 出力遅延 (DDR)	T _{SDODLY_DDR}		2.5	6.5/6.8(注1)	ns	
	SD_DATA 入力セットアップ時間 (DDR)	T _{SDIS_DDR}		2.23/2.5(注1)	—	ns	
	SD_DATA 入力ホールド時間 (DDR)	T _{SDIH_DDR}		1.5	—	ns	

注 1. 200 MHz 時の仕様／150 MHz 時の仕様

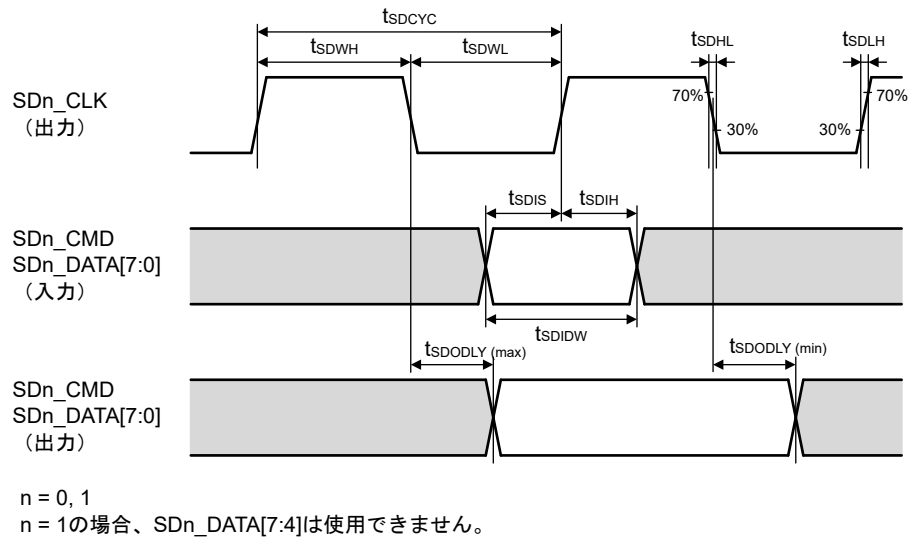


図 2.86 SDHI タイミング (SDR)

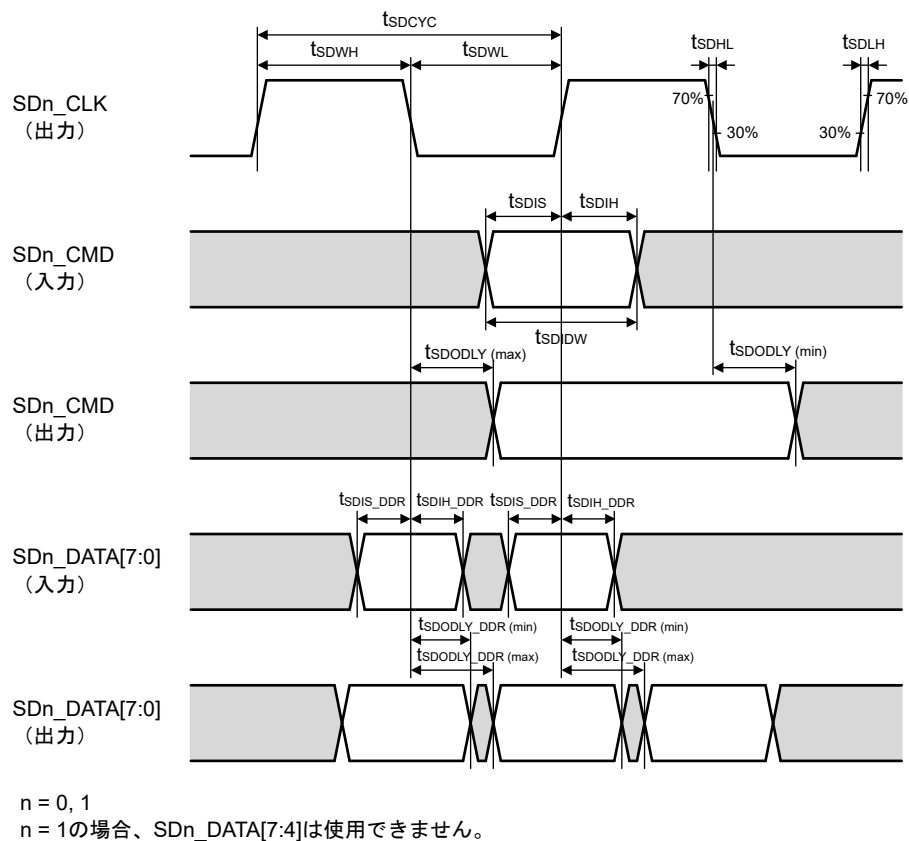


図 2.87 SDHI タイミング (DDR)

2.5.5.19 NANDC タイミング

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 30 \text{ pF}$ (3.3 V)

表 2.46 NANDC タイミング

項目			シンボル	Min	Max	単位	参照図
NANDC	CLE ホールド 時間	パフォーマンス モード	t_{CLH}	$1.5 \times t_{NF_CLK} - 2.0$	—	ns	図 2.88～図 2.91
		拡張モード		$t_{NF_CLK} - 3.0$ (注1)	—	ns	
	CE#ホールド 時間	パフォーマンス モード	t_{CH}	$2.5 \times t_{NF_CLK} - 2.0$	—	ns	
		拡張モード		$t_{NF_CLK} - 8.0$ (注1)	—	ns	
	WE#パルス幅	パフォーマンス モード	t_{WP}	$0.5 \times t_{NF_CLK} - 2.0$	—	ns	
		拡張モード		$t_{NF_CLK} - 3.0$ (注1)	—	ns	
	WE# High ホー ルド時間	パフォーマンス モード	t_{WH}	$0.5 \times t_{NF_CLK} - 2.0$	—	ns	
		拡張モード		$t_{NF_CLK} - 3.0$ (注1)	—	ns	
	ALE ホールド 時間	パフォーマンス モード	t_{ALH}	$0.5 \times t_{NF_CLK} - 3.0$	—	ns	
		拡張モード		$t_{NF_CLK} - 4.0$ (注1)	—	ns	
	RE#パルス幅	パフォーマンス モード	t_{RP}	$0.5 \times t_{NF_CLK} - 2.0$	—	ns	
		拡張モード		$t_{NF_CLK} - 3.0$ (注1)	—	ns	
	RE# High ホー ルド時間	パフォーマンス モード	t_{RH}	$0.5 \times t_{NF_CLK} - 2.0$	—	ns	
		拡張モード		$t_{NF_CLK} - 3.0$ (注1)	—	ns	
	データ出力ホ ールド時間	パフォーマンス モード	t_{DH}	$0.5 \times t_{NF_CLK} - 4.0$	—	ns	
		拡張モード		$t_{NF_CLK} - 6.0$ (注1)	—	ns	
	WE# High から RY_BY[3:0]#ま での待機時間		t_{WB}	$52 \times t_{NF_CLK} - 2.0$ (注2)	—	ns	

注. t_{NF_CLK} : NF_CLK cycle

注 1. パフォーマンスモード。拡張モードでは、レジスタ設定に依存します。

注 2. RY/BY#キャプチャタイミングは、レジスタ設定で延長できます。

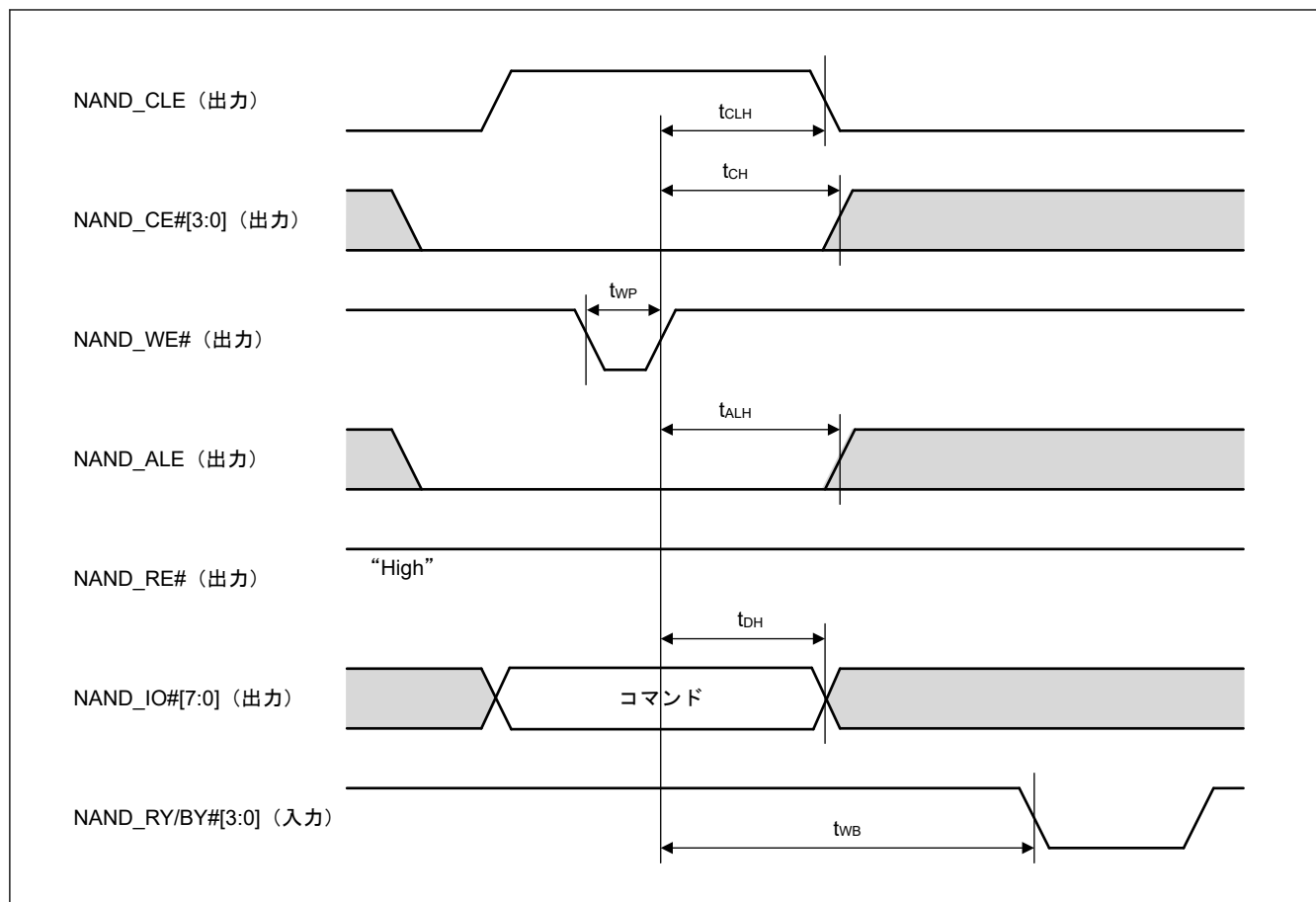


図 2.88 コマンドタイミング

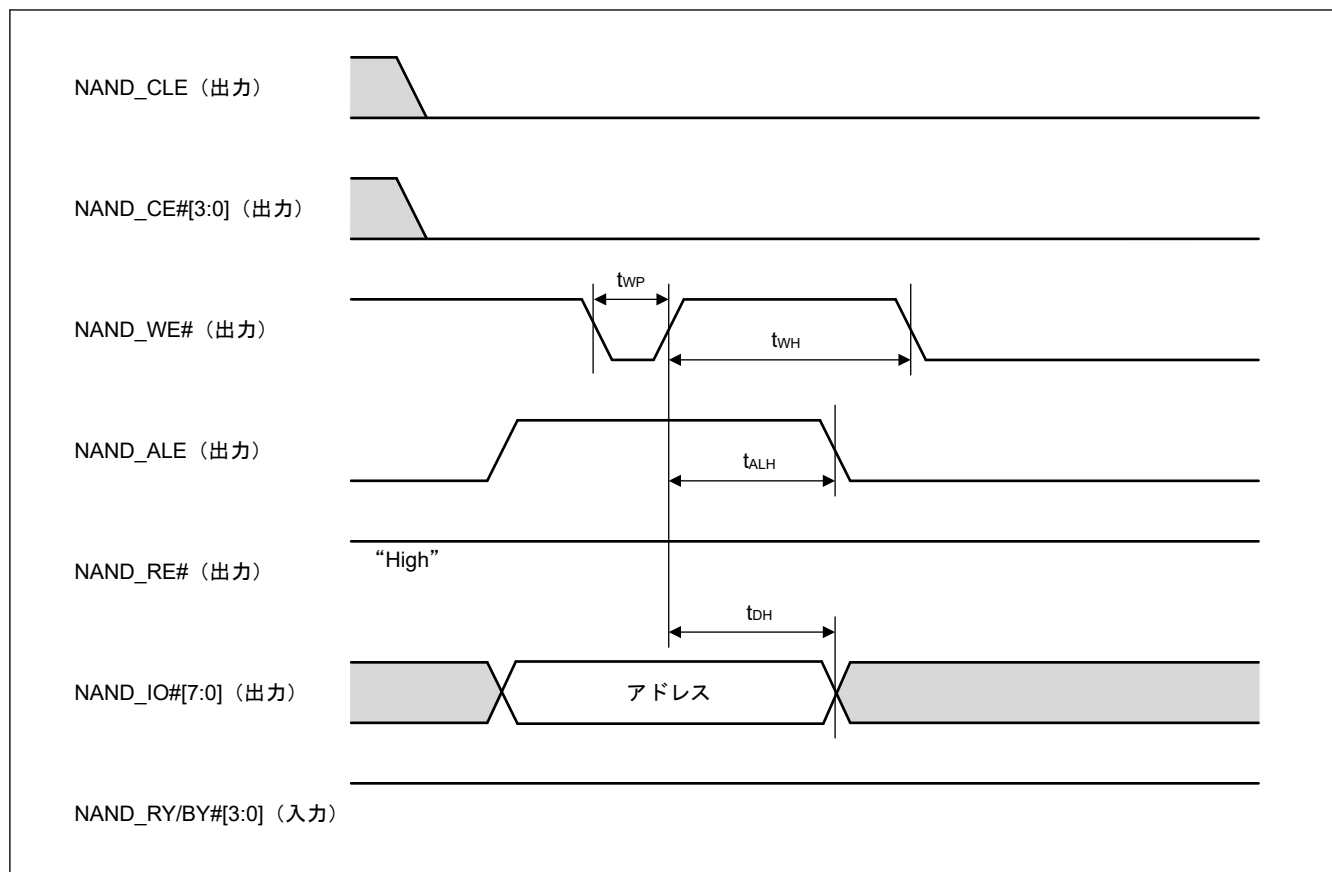


図 2.89 アドレスタイミング

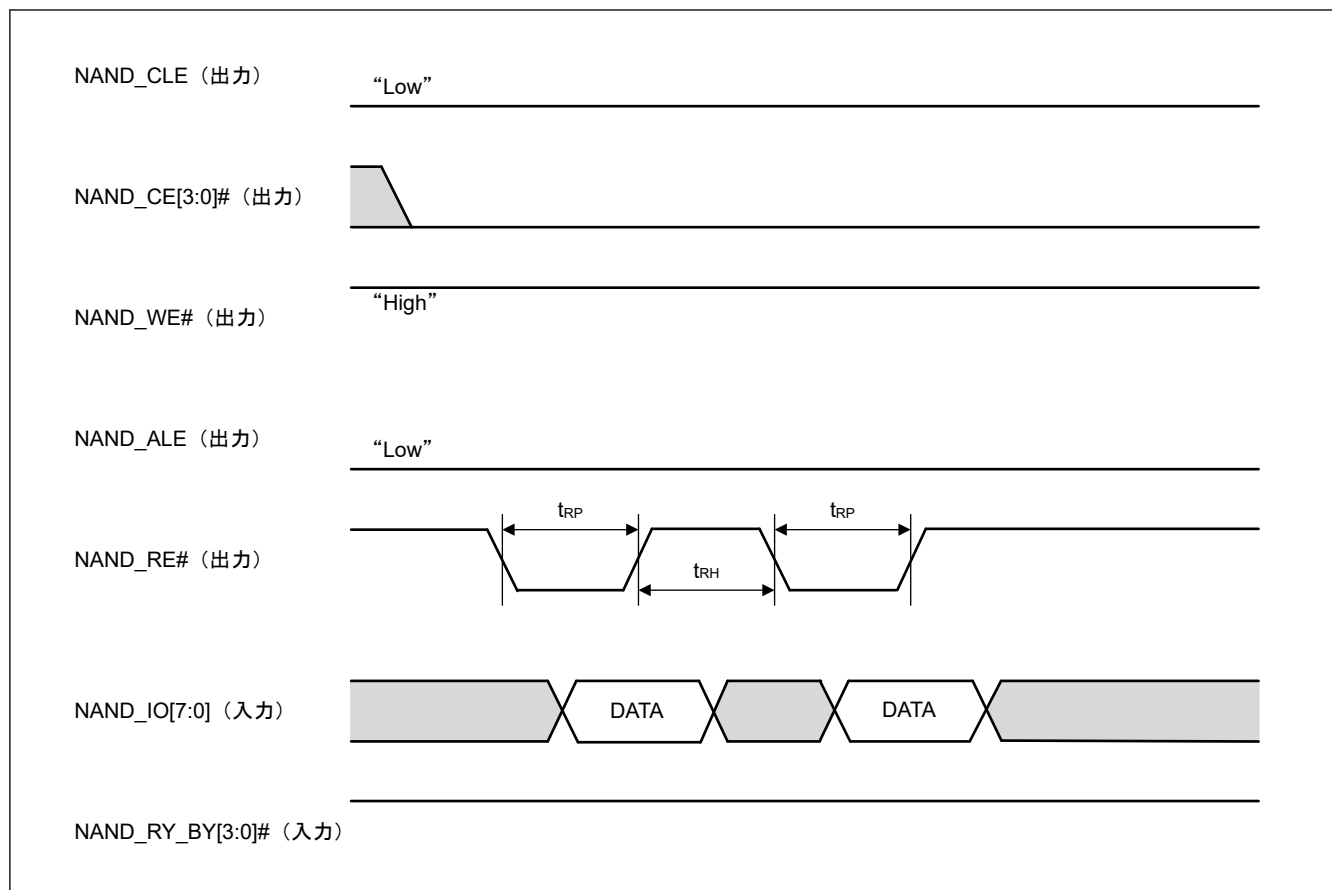


図 2.90 データ読み出しタイミング

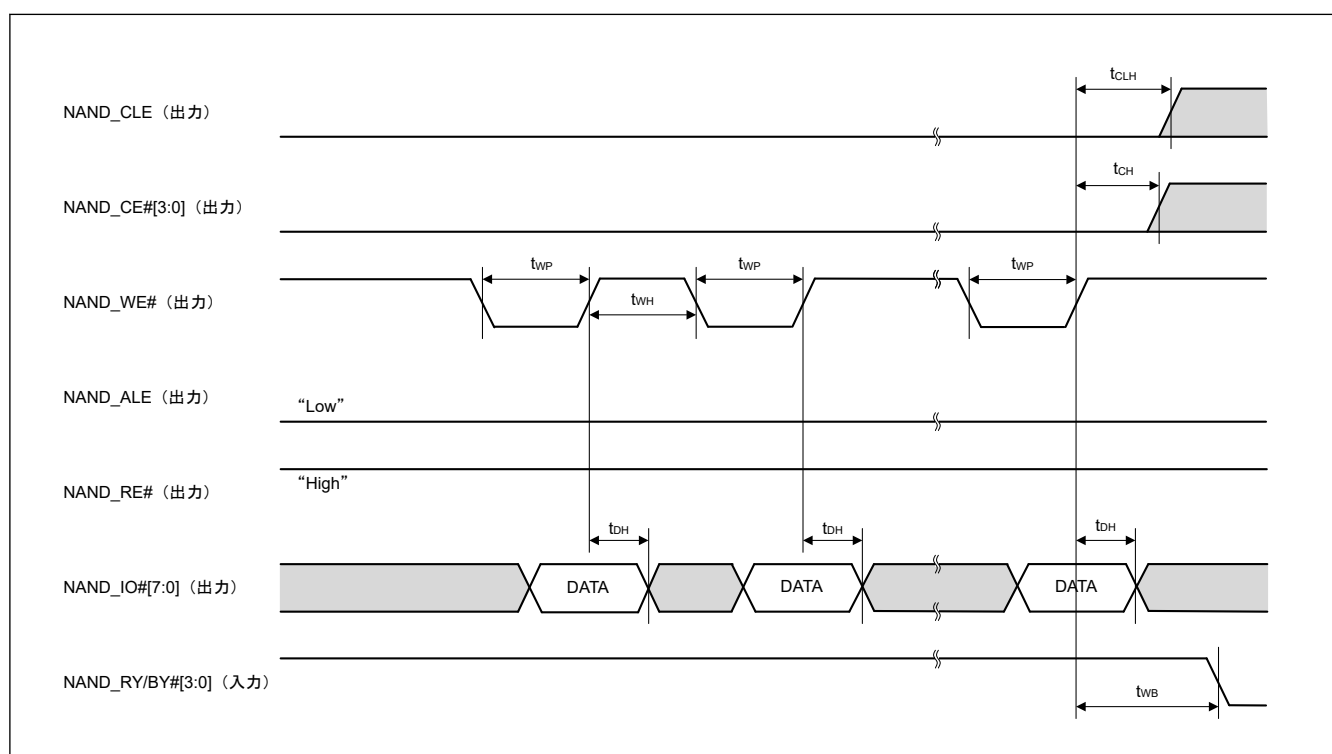


図 2.91 データ書き込みタイミング

2.6 USB 特性

表 2.47 内蔵 USB ロースピード（ホストのみ）特性

項目	シンボル	Min	Typ	Max	単位	参照図
立ち上がり時間	t_{LR}	75	—	300	ns	図 2.92、図 2.93
立ち下がり時間	t_{LF}	75	—	300	ns	
立ち上がり／立ち下がり時間比	t_{LR}/t_{LF}	80	—	125	%	

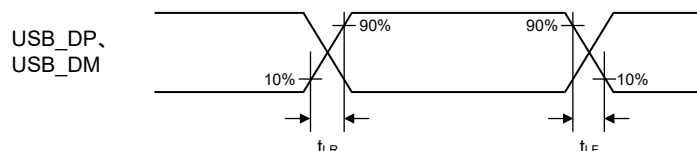


図 2.92 USB_DP、USB_DM の出カタイミング（ロースピード時／ホストのみ）

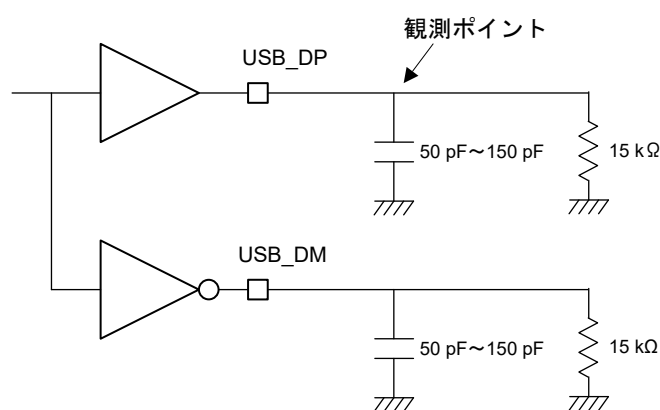


図 2.93 測定回路（ロースピード時／ホストのみ）

表 2.48 内蔵 USB フルスピード特性

項目	シンボル	Min	Typ	Max	単位	参照図
立ち上がり時間	t_{FR}	4	—	20	ns	図 2.94、図 2.95
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり／立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%	

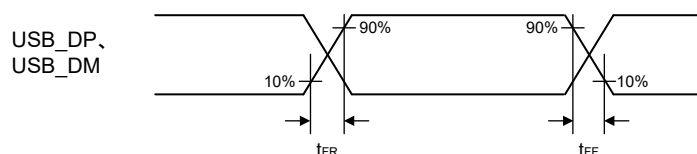


図 2.94 USB_DP、USB_DM の出カタイミング（フルスピード時）

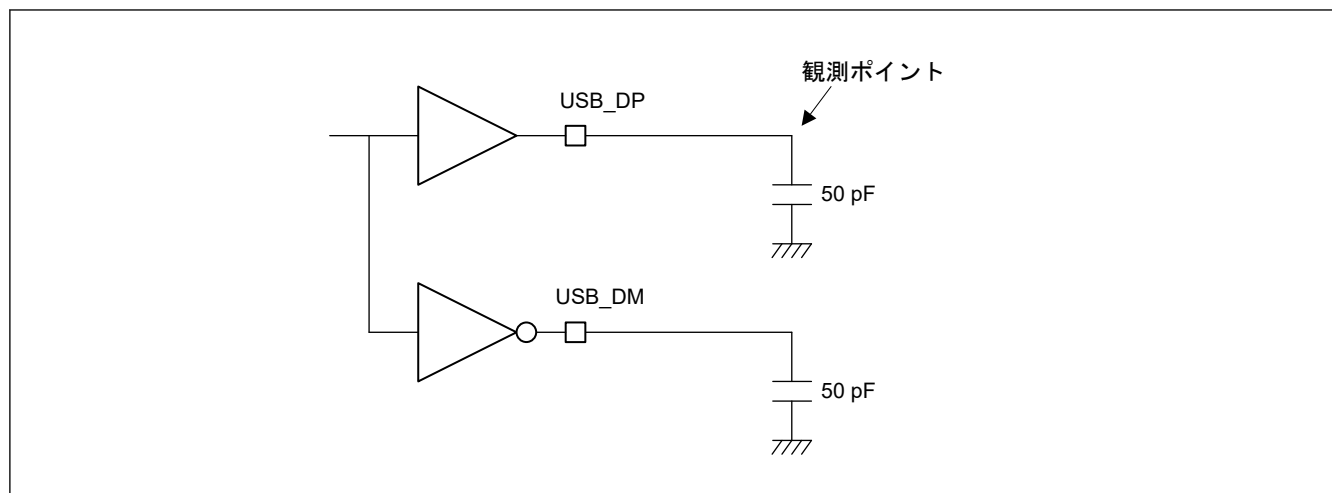


図 2.95 測定回路（フルスピード時）

表 2.49 内蔵 USB ハイスピード特性

項目	シンボル	Min	Typ	Max	単位	参照図
立ち上がり時間	t_{HSR}	—	—	2.133	V/ μ s	図 2.96、図 2.97
立ち下がり時間	t_{HSF}	—	—	2.133	V/ μ s	
出力抵抗（ハイスピード終端抵抗としても使用）	Z_{HSDRV}	40.5	—	49.5	Ω	—

注: USB_DP および USB_DM 端子に接続する出力抵抗 (Z_{HSDRV}) は LSI に内蔵しています。

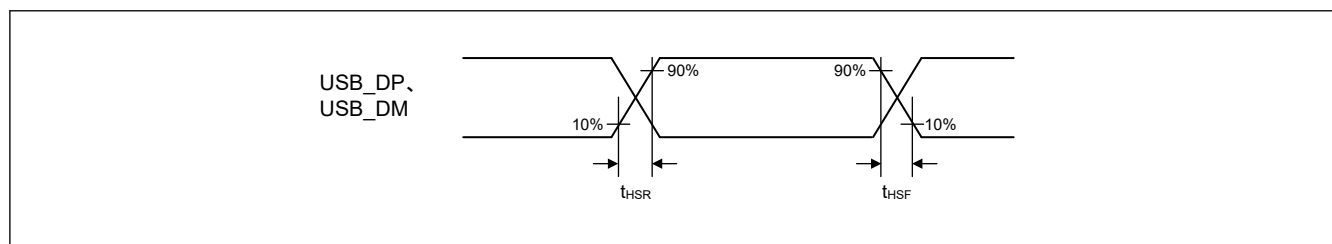


図 2.96 USB_DP、USB_DM の出力タイミング（ハイスピード時）

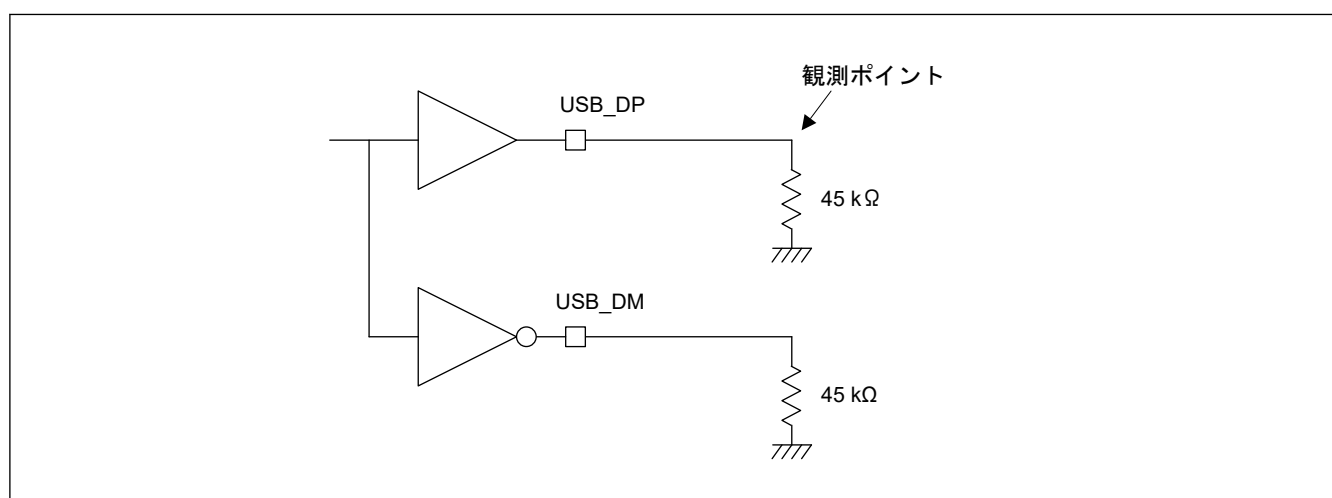


図 2.97 測定回路（ハイスピード時）

2.7 A/D 変換特性

表 2.50 12 ビット A/D 変換特性

項目			Min	Typ	Max	単位	参照図
分解能			12			ビット	—
アナログ入力容量		BGA パッケージ	—	—	13	pF	—
チャンネル専用サンプル&ホールド回路使用時 (AN000~AN002, AN100~AN102, AN200~AN202)	変換時間(注1) 許容信号源インピーダンス Max = 1.0 kΩ		1.52	—	—	μs	—
	オフセット誤差		—	—	±13	LSB	—
	フルスケール誤差		—	—	±13	LSB	—
	量子化誤差		—	±0.5	—	LSB	—
	絶対精度	BGA パッケージ	—	—	±14	LSB	—
	DNL 微分非直線性誤差	BGA パッケージ	—	—	±3	LSB	—
	INL 積分非直線性誤差	BGA パッケージ	—	—	±4	LSB	—
	サンプル&ホールド回路のホールド特性		—	—	2.67	μs	—
	ダイナミックレンジ		0.15	—	VREFH0 - 0.15	V	—
チャンネル専用サンプル&ホールド回路不使用時 (AN000~AN003, AN100~AN103, AN200~AN207)	変換時間(注1) 許容信号源インピーダンス Max = 1.0 kΩ		0.84	—	—	μs	—
	オフセット誤差		—	—	±11	LSB	—
	フルスケール誤差		—	—	±11	LSB	—
	量子化誤差		—	±0.5	—	LSB	—
	絶対精度	BGA パッケージ	—	—	±12	LSB	—
	DNL 微分非直線性誤差	BGA パッケージ	—	—	±3	LSB	—
	INL 積分非直線性誤差	BGA パッケージ	—	—	±4	LSB	—

注: 表の指定値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中に外部バスアクセスを行った場合は、指定した値の範囲に収まらない可能性があります。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。

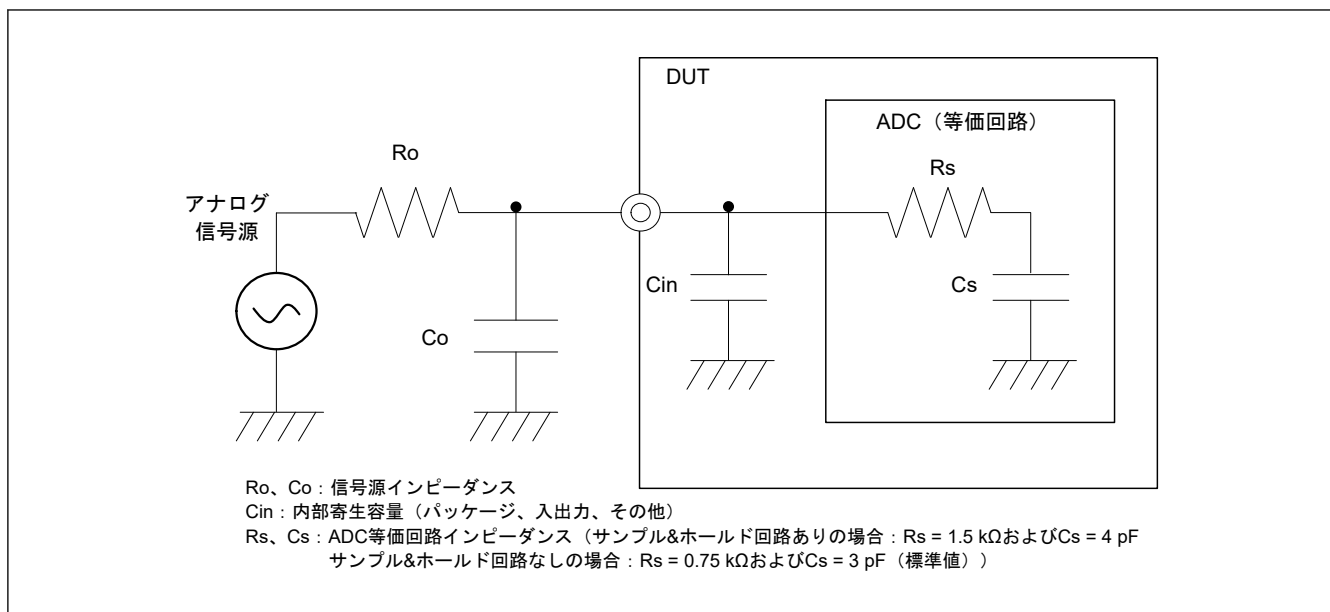


図 2.98 A/D コンバータの等価回路と周辺回路構成図

2.8 温度センサ特性

表 2.51 温度センサ特性

項目	Min	Typ	Max	単位	測定条件
相対精度	—	± 1	—	$^{\circ}\text{C}$	(注1)
温度傾斜	—	0.0625	—	$^{\circ}\text{C}/\text{LSB}$	—
出力コード (25 $^{\circ}\text{C}$ 時)	—	1545 (10 進数)	—	—	SCRR レジスタ

注 1. 2 点キャリブレーション ($T_j = 25^{\circ}\text{C}$ および $T_j = 85^{\circ}\text{C}$)、および 8 回平均。

2.9 PCI-Express 特性

本 LSI の PCI Express PHY は、PCI Express[®] Base Specification 2.1 (Gen1/Gen2) に準拠します。

表 2.52 PCI Express REFCLK 入力特性

項目	シンボル	条件	Min	Typ	Max	単位
入力シングルエンド 終端インピーダンス	$t_{RX-SINGLEEND}$	—	10	—	—	$\text{k}\Omega$
差動入力ピークトゥ ピーク電圧	$t_{RXCLK-DPP}$	—	150	—	—	mV
入力コモンモード電 圧	$t_{RXCLK-DC-CML}$	—	0.25	—	0.55	V
絶対シングルエンド 入力電圧	$t_{RXCLK-SE}$	—	-0.3	—	1.15	V

2.10 DDRSS (LPDDR4) 特性

本 LSI の LPDDR4 PHY は、JEDEC 209-4D 規格に準拠します。

注. DDR_CALIBRATION と DDR_VDDQ の間に $240 (\pm 1\%) \Omega$ の外部抵抗を接続する必要があります。

2.11 デバッグインタフェースタイミング

条件: $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$

表 2.53 デバッグインタフェースタイミング

項目		シンボル	Min	Max	単位	参照図
TCK サイクル時間	ICE 接続時	t_{TCKcyc}	30(注1)	—	ns	図 2.99
	BSCAN 使用時		80	—	—	
TCK High レベルパルス幅		t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCK Low レベルパルス幅		t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDI セットアップ時間		t_{TDIS}	5	—	ns	図 2.100 出力負荷 : 30 pF
TDI ホールド時間		t_{TDIH}	5	—	ns	
TMS/SWDIO セットアップ時間		t_{TMSS}	5	—	ns	
TMS/SWDIO ホールド時間		t_{TMSH}	5	—	ns	
SWDIO 遅延時間		t_{SWDO}	—	11	ns	
TDO 遅延時間	ICE 接続時	t_{TDOD}	—	11	ns	
	BSCAN 使用時		—	22	—	
キャプチャレジスタセットアップ時間		t_{CAPTS}	5	—	ns	図 2.101
キャプチャレジスタホールド時間		t_{CAPTH}	5	—	ns	
更新レジスタ遅延時間		$t_{UPDATED}$	—	15	ns	

注 1. この値は、内部回路の通常動作のための最小のサイクルタイムです。

実際のサイクルタイムは、TCK キャプチャエッジタイミングと接続する ICE のケーブル長を考慮して決定する必要があります。

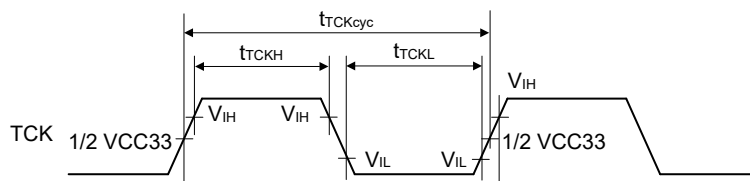


図 2.99 TCK 入力タイミング

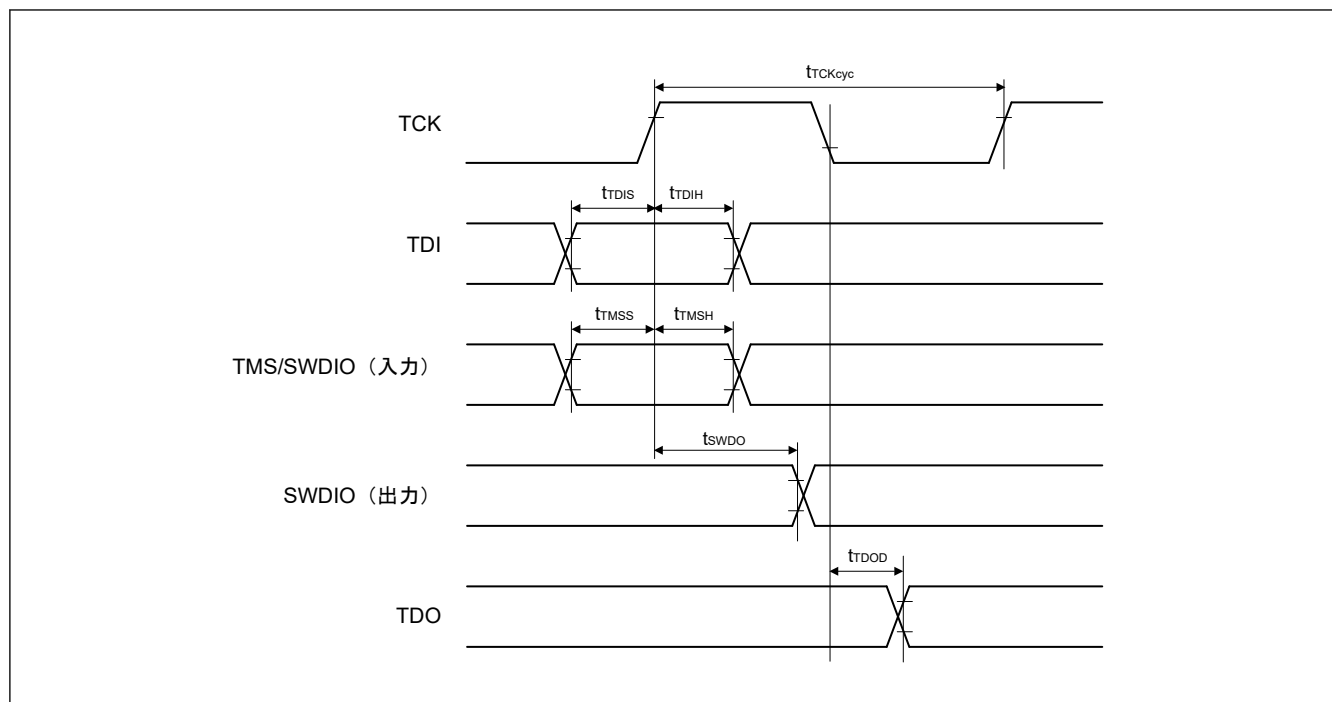


図 2.100 データ転送タイミング

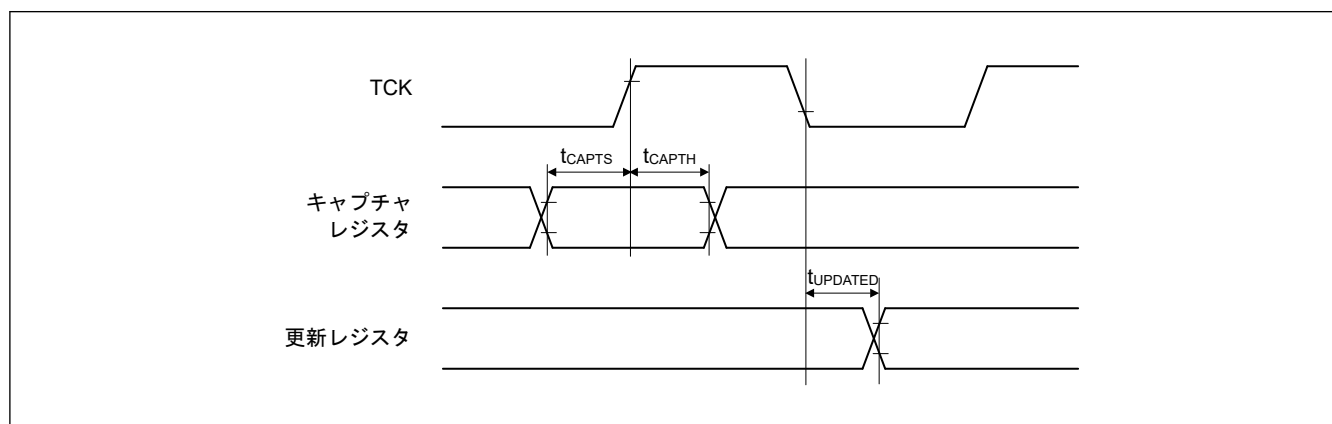
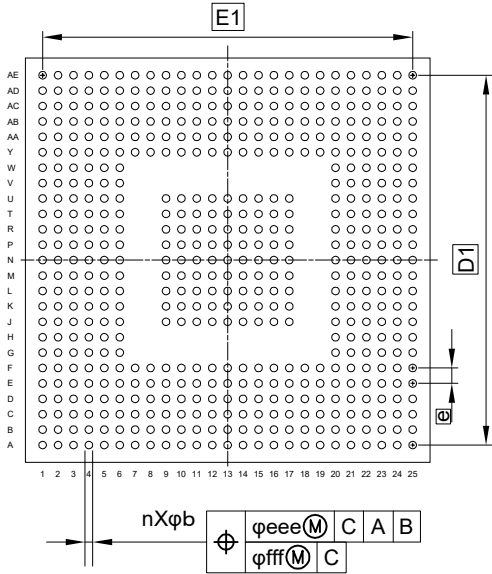
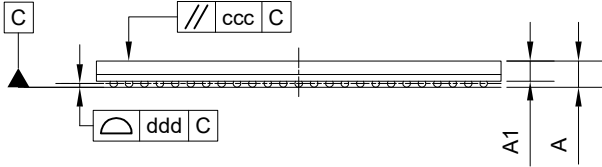
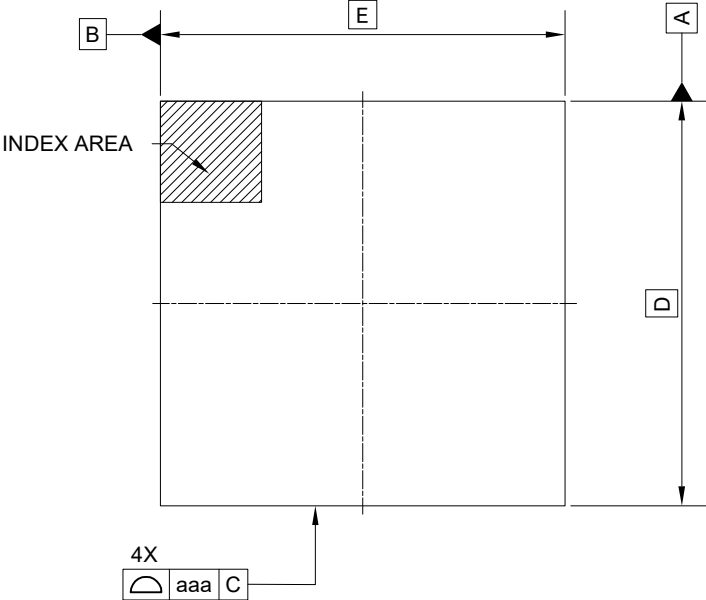


図 2.101 バウンダリスキャン入出力タイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

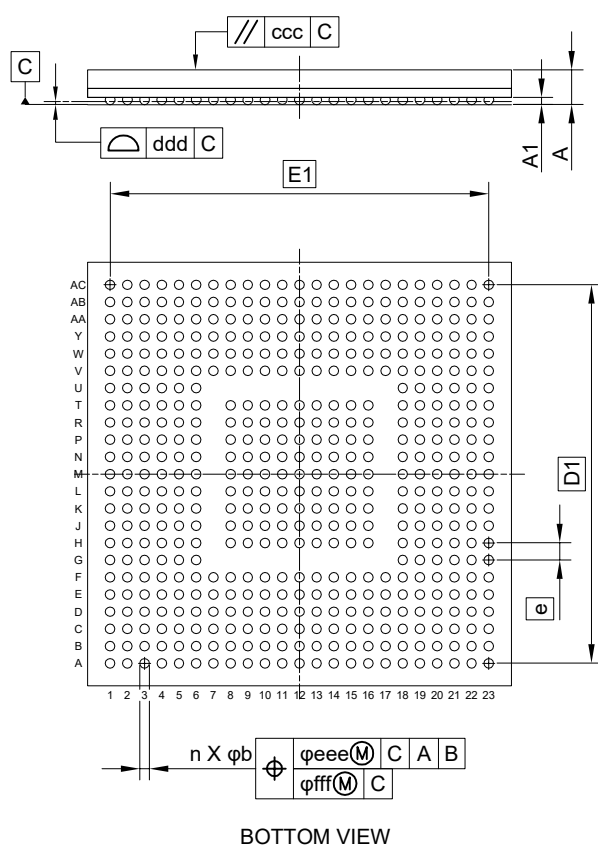
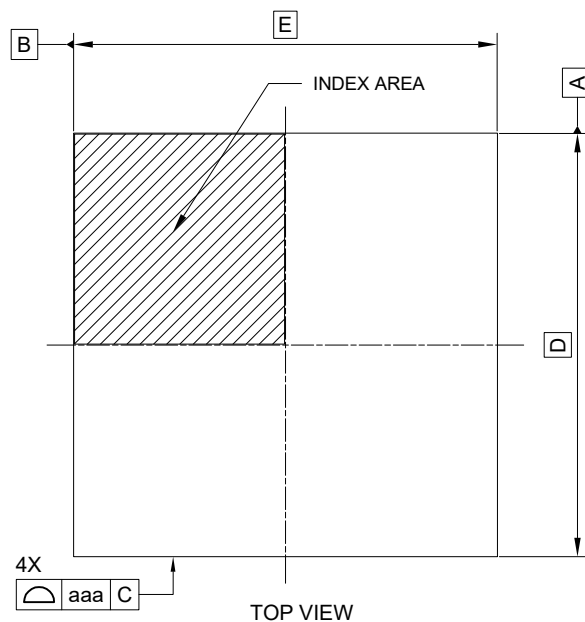
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA537-21x21-0.80	PLBG0537GB-A	1.10



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	21.00	—
E	—	21.00	—
D1	—	19.20	—
E1	—	19.20	—
A	—	—	1.45
A1	0.27	—	—
b	0.38	0.43	0.48
e	—	0.80	—
aaa	—	—	0.15
ccc	—	—	0.35
ddd	—	—	0.20
eee	—	—	0.15
fff	—	—	0.08
n	—	537	—

図 A1.1 537 ピン FBGA

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA489-16x16-0.65	PLBG0489JA-A	0.65



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	16.00	—
E	—	16.00	—
D1	—	14.30	—
E1	—	14.30	—
A	—	—	1.40
A1	0.22	—	—
b	0.32	0.37	0.42
e	—	0.65	—
aaa	—	—	0.15
ccc	—	—	0.20
ddd	—	—	0.15
eee	—	—	0.15
fff	—	—	0.08
n	—	489	—

図 A1.2 489 ピン FBGA

付録 2. ECAD Design Information

2.1 Part Number Indexing

Orderable part number	Number of pins	Package type	Package Code/POD number
R9A07G076M48GBG	537	FBGA	PLBG0537GB-A
R9A07G076M47GBG	537	FBGA	PLBG0537GB-A
R9A07G076M45GBG	537	FBGA	PLBG0537GB-A
R9A07G076M43GBG	537	FBGA	PLBG0537GB-A
R9A07G076M37GBG	537	FBGA	PLBG0537GB-A
R9A07G076M35GBG	537	FBGA	PLBG0537GB-A
R9A07G076M30GBG	537	FBGA	PLBG0537GB-A
R9A07G076M48GBA	489	FBGA	PLBG0489JA-A
R9A07G076M47GBA	489	FBGA	PLBG0489JA-A
R9A07G076M45GBA	489	FBGA	PLBG0489JA-A
R9A07G076M43GBA	489	FBGA	PLBG0489JA-A
R9A07G076M37GBA	489	FBGA	PLBG0489JA-A
R9A07G076M35GBA	489	FBGA	PLBG0489JA-A
R9A07G076M30GBA	489	FBGA	PLBG0489JA-A

2.2 Symbol Pin Information

2.2.1 537-FBGA

Pin number	Primary pin name	Primary electrical type	Alternate pin names
A1	VSS	Power	—
A2	P23_5	I/O	IRQ23_5/GTIOC4_2B/DE3/ETH2_TXEN/ESC_LEDERR/SPI_SSL02/MCLK30/MCLK42/HDSL7_MOSI1
A3	P23_0	I/O	IRQ23_0/GTIOC3_3A/GTIOC4_0A/RXD3/SCL3/MISO3/ETH2_TXCLK/SPI_RSPCK0/MDAT01/HDSL7_LINK
A4	VSS	Power	—
A5	P22_2	I/O	IRQ22_2/GTIOC0_3A/GTIOC4_5B/GTIOC5_0B/ETH1_RXD2/HDSL6_MISO1
A6	P21_6	I/O	IRQ21_6/ETH1_TXEN/HDSL6_LINK
A7	VSS	Power	—
A8	P21_4	I/O	IRQ21_4/ETH1_TXD2/HDSL5_MISO2
A9	P20_4	I/O	MD0/IRQ20_4/GMAC0_MDC/GMAC1_MDC/GMAC2_MDC/ETHSW_MDC/ESC_MDC/ESWM_MDC/CANTX1
A10	P20_1	I/O	IRQ20_1/ETH0_RXD2/CANRXDP0/HDSL4_MISO2
A11	VSS	Power	—
A12	P19_5	I/O	IRQ19_5/ETH0_TXEN/HDSL4_MISO1
A13	VSS	Power	—
A14	P18_4	I/O	IRQ18_4/GTETRGA/DEE4/ESWM_TASGATE1_5/XSPI0_IO5/MDAT21/ENCIFOE4/HDSL3_MOSI1
A15	P18_1	I/O	IRQ18_1/ESWM_TASGATE1_2/XSPI0_IO2/MCLK32/HDSL3_CLK1
A16	P17_6	I/O	IRQ17_6/ESWM_TASGATE0_8/XSPI0_DS/MCLK20/HDSL2_MOSI2

Pin number	Primary pin name	Primary electrical type	Alternate pin names
A17	VSS	Power	—
A18	P17_1	I/O	IRQ17_1/MTIOC0B/MTIOC6C/GTIOC4_4B/RXDE3/IIC_SDA1/ETH2_COL/ETH3_COL/CANTX0/XSPI1_IO7/MDAT31/MBX_HINT#/ENCIFDI3/HDSL2_MISO1
A19	P16_4	I/O	IRQ16_4/MTIOC7B/GTIOC3_2A/GTIOC4_2A/RXD4/SCL3/MISO3/SCKE7/ETH4_CRS, SPI_MISO0/XSPI1_IO2/MCLK01/ENCIFCK7/HDSL1_MOSI2
A20	P16_1	I/O	IRQ16_1/MTIOC6D/GTIOC3_0B/GTIOC4_0B/TXD1/SDA1/MOSI1/RXDE1/IIC_SDA2/ESWM_TASGATE0_3/XSPI1_DS/MDAT22/ENCIFDI1/HDSL1_CLK2
A21	VSS	Power	—
A22	P15_3	I/O	IRQ15_3/D10/MTIOC1A/MTIOC3C/GTIOC2_4B/CMTW1_TOC0/RXDE2/SD1_IOVS/ADTRG0#/HD10/ENCIFDI2/HDSL1_LINK
A23	P14_6	I/O	IRQ14_6/D5/MTIOC1B/MTIOC4B/GTIOC2_2A/CMTW0_TIC0/SD0_PWEN/HD5/HDSL0_MOSI1/POUTA
A24	P14_3	I/O	IRQ14_3/D2/POE0#/GTIOC0_2A/GTETRGA/RTCAT1HZ/SCIEXTCLK/ADTRG0#/USB_EXICEN/HD2/MBX_HINT#/HDSL0_CLK1
A25	VSS	Power	—
B1	P24_3	I/O	IRQ24_3/GTIOC4_5B/CMTW0_TIC1/RXD5/SDA5/MOSI5/IIC_SCL1/ETH0_RXER/ETH2_RXDV/ESC_I2CCLK/SPI_MOSI1/SD0_PWEN/MDAT12/HDSL0_LINK
B2	P23_6	I/O	IRQ23_6/GTIOC4_3A/GTIOC5_3A/RTCAT1HZ/SCK4/ETH2_RXCLK/ESC_LED RUN/SD0_CD/MDAT30/MDAT42/HDSL7_CLK2
B3	P23_2	I/O	IRQ23_2/GTIOC4_1A/IIC_SDA0/ETH2_TXD1/ESC_LINKACT0/CANTXDP1/SPI_MOSI0/MDAT21/MDAT40/HDSL7_CLK1
B4	P22_4	I/O	IRQ22_4/GTIOC0_2B/ETH1_RXDV/HDSL6_CLK2
B5	P22_6	I/O	ETH1_REFCLK/RMII1_REFCLK/IRQ22_6/HDSL6_MISO2
B6	P21_5	I/O	IRQ21_5/ETH1_TXD3/HDSL5_MOSI2
B7	P21_7	I/O	IRQ21_7/GTIOC4_4A/ETH1_RXCLK/HDSL6_SMPL
B8	P21_1	I/O	IRQ21_1/ETH1_TXCLK/HDSL5_MOSI1
B9	P20_6	I/O	IRQ20_6/ETHSW_PHYLINK0/ESC_PHYLINK0/ESWM_PHYLINK0/HPSW_PHYLINK0/CANRXDP1/HDSL5_CLK1
B10	P20_7	I/O	ETH0_REFCLK/RMII0_REFCLK/IRQ20_7/CANTXDP1/HDSL5_SEL1
B11	P19_6	I/O	IRQ19_6/ETH0_RXCLK/HDSL4_MOSI1
B12	P19_2	I/O	IRQ19_2/ETH0_TXD1/HDSL4_SMPL
B13	P19_0	I/O	IRQ19_0/ETH0_TXCLK/HDSL3_MOSI2
B14	P18_5	I/O	IRQ18_5/GTETRGA/RXDE4/ESWM_TASGATE1_6/XSPI0_IO6/MCLK20/ENCIFDI4/HDSL3_CLK2
B15	P18_0	I/O	IRQ18_0/ESWM_TASGATE1_1/XSPI0_IO1/MCLK02/HDSL3_SMPL
B16	P17_3	I/O	IRQ17_3/DEE7/ESWM_TASGATE0_5/XSPI0_CKN/MDAT30/ENCIFOE7/HDSL2_CLK2
B17	P17_2	I/O	IRQ17_2/SCKE7/ESWM_TASGATE0_4/XSPI0_CKP/MCLK30/ENCIFCK7/HDSL2_MOSI1
B18	P16_6	I/O	IRQ16_6/MTCLKC/MTIOC0C/GTIOC3_3A/SCKE3/IIC_SCL0/ETH2_TXER/ETH3_TXER/CANRXDP0/SPI_RSPCK0/XSPI1_IO4/MCLK30/ENCIFCK3/HDSL2_SMPL
B19	P16_3	I/O	IRQ16_3/MTIOC7C/GTIOC3_1A/GTIOC4_1B/TXD5/SDA5/MOSI5/TXDE4/ETH4_RXER/SPI_SSL02/XSPI1_IO1/ENCIFDO4/HDSL1_MISO2
B20	P16_0	I/O	IRQ16_0/MTIOC1B/MTIOC6B/GTIOC3_0A/GTIOC4_0A/RXD1/SCL1/MISO1/TXDE1/IIC_SCL2/ESWM_TASGATE0_2/XSPI1_CS1#/MCLK22/ENCIFDO1/HDSL1_MOSI1
B21	P15_6	I/O	IRQ15_6/GTIOC0_4A/DE1/TXDE6/TXDE7/IIC_SCL1/ESWM_TASGATE0_0/XSPI1_CKP/MCLK21/ENCIFDO6/ENCIFDO7/HDSL1_SEL1
B22	P15_1	I/O	IRQ15_1/D8/MTCLKB/MTIOC8D/GTIOC2_3B/CMTW0_TOC1/DEE2/SD1_WP/HD8/ENCIFOE2/HDSL0_MISO2

Pin number	Primary pin name	Primary electrical type	Alternate pin names
B23	P14_7	I/O	IRQ14_7/D6/MTIOC1A/MTIOC4D/GTIOC2_2B/CMTW0_TOC0/SD0_IOVS/HD6/HDSL0_CLK2/POUTB
B24	P14_1	I/O	IRQ14_1/D0/MTIOC3B/MTIOC8A/GTIOC0_0A/GTIOC2_0A/GTIOC4_6A/SCKE6/ETH2_TXER/ETH3_TXER/USB_VBUSEN/HD0/ENCIFCK6/HDSL0_LINK
B25	P13_4	I/O	IRQ13_4/D23/GTADSM3_1/RTCAT1HZ/ETH1_COL/GMAC0_MDIO/GMAC1_MDIO/GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO/ESWM_MDIO/SD1_IOVS/MDAT42/HD23/HDSL7_MOSI1
C1	P25_0	I/O	IRQ25_0/RXD1/SCL1/MISO1/RXD3/SCL3/MISO3/ETHSW_PHYLINK2/ESC_PHYLINK2/CANTX1/SPI_SSL03/MCLK22
C2	P24_2	I/O	IRQ24_2/TEND/POE8#/GTIOC4_5A/CMTW0_TOC0/CTS4#/RXDE0/ETH2_RXD3/ESC_RESETOUT#/SPI_SSL11/MDAT11/ENCIFDI0/HDSL7_MOSI2
C3	P24_0	I/O	IRQ24_0/DREQ/POE0#/GTIOC4_4A/DEE0/IIC_SDA1/ETH0_CRS/ETH2_RXD1/ESC_LINKACT2/SPI_SSL13/SD1_CD/MDAT10/MDAT32/ENCIFOE0/HDSL7_MISO2
C4	P23_3	I/O	IRQ23_3/GTIOC4_1B/GTIOC4_3A/SS3#/CTS3#/RTS3#/ETH2_TXD2/ESC_LINKACT1/SPI_SSL00/MCLK01/MCLK41/HDSL7_SEL1
C5	P23_1	I/O	IRQ23_1/GTIOC3_3B/GTIOC4_0B/SCK3/IIC_SCL0/ETH2_TXD0/GMAC0_PTPTRG0/ESC_LATCH0/CANRXDP1/SPI_MISO0/MCLK21/MCLK40/HDSL7_SMPL
C6	P22_0	I/O	IRQ22_0/GTIOC4_4B/ETH1_RXD0/HDSL6_CLK1
C7	P20_5	I/O	IRQ20_5/GMAC0_MDIO/GMAC1_MDIO/GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO/ESWM_MDIO/CANRX1/HDSL5_SMPL
C8	P21_3	I/O	IRQ21_3/ETH1_TXD1/HDSL5_SEL2
C9	P21_0	I/O	IRQ21_0/HDSL5_MISO1
C10	P20_2	I/O	IRQ20_2/ETH0_RXD3/CANTXDP0/HDSL4_MOSI2
C11	P20_0	I/O	IRQ20_0/ETH0_RXD1/CANTX0/HDSL4_SEL2
C12	P19_3	I/O	IRQ19_3/ETH0_TXD2/HDSL4_CLK1
C13	P18_7	I/O	IRQ18_7/ESWM_TASGATE1_8/XSPI0_RESETO#/MCLK30/MDAT02/HDSL3_MISO2
C14	P18_2	I/O	IRQ18_2/ESWM_TASGATE1_3/XSPI0_IO3/MDAT32/HDSL3_SEL1
C15	P17_7	I/O	IRQ17_7/ESWM_TASGATE1_0/XSPI0_IO0/MDAT20/HDSL3_LINK
C16	P17_5	I/O	IRQ17_5/RXDE7/ESWM_TASGATE0_7/XSPI0_CS1#/MDAT31/ENCIFDI7/HDSL2_MISO2
C17	P17_0	I/O	IRQ17_0/MTIOC0A/MTIOC6A/GTIOC3_4A/TXDE3/IIC_SCL1/ETH2_CRS/ETH3_CRS/CANRX0/XSPI1_IO6/MCLK31/USB_VBUSEN/ENCIFDO3/HDSL2_SEL1
C18	P16_5	I/O	IRQ16_5/MTIOC7D/GTIOC3_2B/GTIOC4_2B/TXD3/SDA3/MOSI3/DEE7/ETH4_COL/SPI_MOSI0/XSPI1_IO3/MDAT01/ENCIFOE7/HDSL2_LINK
C19	P15_7	I/O	IRQ15_7/GTIOC0_4B/DE3/RXDE6/RXDE7/IIC_SDA1/ESWM_TASGATE0_1/XSPI1_CS0#/MDAT21/ENCIFDI6/ENCIFDI7/HDSL1_MISO1
C20	P15_2	I/O	IRQ15_2/D9/MTIOC3A/MTIC5W/GTIOC2_4A/CMTW1_TIC0/TXDE2/SD1_PWEN/HD9/ENCIFDO2/HDSL0_MOSI2
C21	P15_4	I/O	IRQ15_4/D11/GTIOC2_0A/CMTW1_TIC1/SCKE6/IIC_SCL0/ESC_I2CCLK/MCLK20/ADTRG1#/HD11/ENCIFCK6/HDSL1_SMPL
C22	P14_4	I/O	IRQ14_4/D3/MTIOC4A/MTIC5U/GTIOC0_1B/GTIOC2_1A/TXDE6/ETH2_CRS/ETH3_CRS/ADTRG1#/HD3/ENCIFDO6/HDSL0_SEL1
C23	P14_2	I/O	IRQ14_2/D1/MTIOC3D/MTIOC8B/GTIOC0_0B/GTIOC2_0B/GTIOC4_6B/DEE6/ETH2_RXER/ETH3_RXER/USB_OVRUR/HD1/ENCIFOE6/HDSL0_SMPL
C24	P13_3	I/O	IRQ13_3/D22/GTADSM3_0/ETH1_CRS/GMAC0_MDC/GMAC1_MDC/GAMC2_MDC/ETHSW_MDC/ESC_MDC/ESWM_MDC/SD1_PWEN/MCLK42/HD22/HDSL7_MISO1
C25	P13_2	I/O	IRQ13_2/D21/GTADSM2_1/ESC_EDERR/SD1_IOVS/MDAT10/HD21/HDSL7_SEL1
D1	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
D2	P24_7	I/O	IRQ24_7/TXD3/SDA3/MOSI3/GMAC0_MDIO/GMAC1_MDIO/GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO/ESWM_MDIO/CANRX1/SPI_RSPCK1
D3	P24_6	I/O	MD1/IRQ24_6/DE5/GMAC0_MDC/GMAC1_MDC/GMAC2_MDC/ETHSW_MDC/ESC_MDC/ESWM_MDC
D4	P24_1	I/O	IRQ24_1/DACK/POE4#/GTIOC4_4B/CMTW0_TIC0/SS4#/CTS4#/RTS4#/TXDE0/ETH0_TXER/ETH2_RXD2/ESC_IRQ/ SPI_SSL10/SD1_WP/MCLK11/MBX_HINT#/ENCIFDO0
D5	P23_4	I/O	IRQ23_4/GTIOC4_2A/GTIOC4_3B/CTS3#/ETH2_TXD3/ETHSW_PTPOUT2/ESC_SYNC0/SPI_SSL01/MDAT01/MDAT41/HDSL7_MISO1
D6	P22_3	I/O	IRQ22_3/GTIOC0_3B/ETH1_RXD3/HDSL6_MOSI1
D7	P22_1	I/O	IRQ22_1/GTIOC4_5A/GTIOC5_0A/ETH1_RXD1/HDSL6_SEL1
D8	P21_2	I/O	IRQ21_2/ETH1_TXD0/HDSL5_CLK2
D9	P22_5	I/O	IRQ22_5/ETHSW_PHYLINK1/ESC_PHYLINK1/ESWM_PHYLINK1/HPSW_PHYLINK1/HDSL6_SEL2
D10	P20_3	I/O	IRQ20_3/ETH0_RXDV/HDSL5_LINK
D11	P19_7	I/O	IRQ19_7/ETH0_RXD0/CANRX0/HDSL4_CLK2
D12	P19_4	I/O	IRQ19_4/ETH0_TXD3/HDSL4_SEL1
D13	P19_1	I/O	IRQ19_1/ETH0_TXD0/HDSL4_LINK
D14	P18_6	I/O	IRQ18_6/GTETRGC/TXDE4/ESWM_TASGATE1_7/XSPI0_IO7/MDAT20/ENCIFDO4/HDSL3_SEL2
D15	P18_3	I/O	IRQ18_3/SCKE4/ESWM_TASGATE1_4/XSPI0_IO4/MCLK21/ENCIFCK4/HDSL3_MISO1
D16	P17_4	I/O	IRQ17_4/TXDE7/ESWM_TASGATE0_6/XSPI0_CS0#/MCLK31/ENCIFDO7/HDSL2_SEL2
D17	P16_7	I/O	IRQ16_7/MTCLKD/MTIOC0D/GTIOC3_3B/DEE3/IIC_SDA0/ETH2_RXER/ETH3_RXER/CANTXDP0/SPI_SSL00/XSPI1_IO5/MDAT30/ENCIFOE3/HDSL2_CLK1
D18	P16_2	I/O	IRQ16_2/MTIOC7A/GTIOC3_1B/GTIOC4_1A/RXD5/SCL5/MISO5/RXDE4/ETH4_TXER/SPI_SSL01/XSPI1_IO0/ENCIFDI4/HDSL1_SEL2
D19	P15_5	I/O	IRQ15_5/D12/GTIOC2_0B/CMTW1_TOC1/RTCAT1HZ/DEE6/IIC_SDA0/ESC_I2CDATA/MDAT20/ADTRG2#/HD12/ENCIFDO6/HDSL1_CLK1
D20	P14_5	I/O	IRQ14_5/D4/MTIOC4C/MTIC5V/GTIOC0_1A/GTIOC2_1B/RXDE6/ETH2_COL/ETH3_COL/ADTRG2#/HD4/ENCIFDI6/HDSL0_MISO1
D21	P15_0	I/O	IRQ15_0/D7/MTCLKA/MTIOC8C/GTIOC2_3A/CMTW0_TIC1/SCKE2/SD1_CD/HD7/ENCIFCK2/HDSL0_SEL2/POUTZ
D22	P13_5	I/O	IRQ13_5/D24/GTADSM4_0/SCKE7/ESC_LEDSTER/MCLK11/HD24/ENCIFCK7/HDSL7_CLK2
D23	P13_1	I/O	IRQ13_1/D20/TEND/GTADSM2_0/ESC_LED RUN/SD1_PWEN/MCLK10/HD20/HDSL7_CLK1
D24	P13_0	I/O	IRQ13_0/D19/GTADSM1_1/CMTW1_TOC1/ETHSW_PTPOUT1/ESC_SYNC1/MDAT41/HD19/HDSL7_SMPL
D25	P12_6	I/O	IRQ12_6/D17/DACK/GTADSM0_1/GTETRGC/CMTW1_TOC0/MDAT40/HD17/HDSL6_MOSI2
E1	P00_0	I/O	IRQ00_0/A16/MTIOC3B/GTIOC0_0A/GTADSM0_0/SCKE1/ETH3_TXCLK/SPI_RSPCK2/HA16/ENCIFCK1/HDSL0_SEL1
E2	P00_6	I/O	IRQ00_6/A22/MTCLKA/MTIOC8D/GTIOC0_3A/GTADSM3_0/RXD4/SCL4/MISO4/SCKE0/SCKE6/ETH3_RXCLK/SPI_SSL23/MBX_HINT#/ENCIFCK0/ENCIFCK6
E3	P24_5	I/O	IRQ24_5/POE10#/GTIOC4_6B/GTETRGA/TXD4/SDA4/MOSI4/SCIEXTCLK/MDAT22/PCIE_RSTOUTB/HDSL0_CLK1
E4	P00_1	I/O	IRQ00_1/A17/MTIOC3D/GTIOC0_0B/GTADSM0_1/DEE1/IIC_SCL2/ETH3_TXD0/CANRX0/SPI_MISO2/HA17/ENCIFOE1/HDSL0_MISO1
E5	P23_7	I/O	IRQ23_7/GTIOC4_3B/GTIOC5_3B/SCKE0/IIC_SCL1/ETH0_COL/ETH2_RXD0/SPI_SSL12/SD0_WP/MCLK10/MCLK32/ENCIFCK0/HDSL7_SEL2
E6	P22_7	I/O	IRQ22_7/HDSL6_MOSI2
E7	VCC1833_1	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
E8	VSS	Power	—
E9	VCC1833_0	Power	—
E10	VSS	Power	—
E11	VCC1833_0	Power	—
E12	VSS	Power	—
E13	VCC1833_3	Power	—
E14	VSS	Power	—
E15	VSS	Power	—
E16	VCC1833_4	Power	—
E17	VSS	Power	—
E18	VCC33	Power	—
E19	VSS	Power	—
E20	P13_7	I/O	IRQ13_7/D26/TXDE7/MCLK12/HD26/ENCIFD07/HDSL7_MISO2
E21	P14_0	I/O	IRQ14_0/D27/RXDE7/ETHSW_PTPOUT3/ESC_SYNC1/MDAT12/HD27/ENCIFDI7/HDSL7_MOSI2
E22	P12_7	I/O	IRQ12_7/D18/GTADSM1_0/GTETRGD/CMTW1_TIC1/ETHSW_PTPOUT0/ESC_SYNC0/MCLK41/HD18/HDSL7_LINK
E23	P13_6	I/O	IRQ13_6/D25/GTADSM4_1/DEE7/MDAT11/HD25/ENCIFOE7/HDSL7_SEL2
E24	P12_5	I/O	IRQ12_5/D16/DREQ/GTADSM0_0/GTETRGB/CMTW1_TIC0/MCLK40/HD16/HDSL6_MISO2
E25	VSS	Power	—
F1	P00_3	I/O	IRQ00_3/A19/MTIOC4C/GTIOC0_1A/GTADSM1_1/RXDE1/ETH3_TXD2/CANRXDP0/SPI_SSL20/MDAT41/HA19/ENCIFDI1/HDSL0_CLK2
F2	P00_5	I/O	IRQ00_5/A21/MTIOC4D/MTIOC8C/GTIOC0_2B/GTADSM2_1/RXDE6/ETH3_TXEN/SPI_SSL22/MDAT20/HA21/ENCIFDI6/HDSL0_MISO2
F3	P00_2	I/O	IRQ00_2/A18/MTIOC4A/GTIOC0_1B/GTADSM1_0/TXDE1/IIC_SDA2/ETH3_TXD1/CANTX0/SPI_MOSI2/MCLK41/HA18/ENCIFD01/HDSL0_MOSI1
F4	P00_4	I/O	IRQ00_4/A20/MTIOC4B/GTIOC0_2A/GTADSM2_0/TXDE6/ETH3_TXD3/CANTXDP0/SPI_SSL21/MCLK20/HA20/ENCIFD06/HDSL0_SEL2
F5	P24_4	I/O	ETH2_REFCLK/RMII2_REFCLK/IRQ24_4/POE11#/GTIOC4_6A/CMTW0_TOC1/RXD5/SCL5/MISO5/IIC_SDA1/ETH1_RXER/ESC_I2CDATA/SPI_MISO1/SD0_IOVS/MCLK12/HDSL0_SMPL
F6	VSS	Power	—
F7	VCC1833_1	Power	—
F8	VSS	Power	—
F9	VCC1833_0	Power	—
F10	VSS	Power	—
F11	VCC1833_0	Power	—
F12	VSS	Power	—
F13	VCC1833_3	Power	—
F14	VSS	Power	—
F15	VCC18_PL L1	Power	—
F16	VCC1833_4	Power	—
F17	VSS	Power	—
F18	VCC33	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
F19	VSS	Power	—
F20	VCC33	Power	—
F21	VSS	Power	—
F22	VSS	Power	—
F23	VSS	Power	—
F24	VSS	Power	—
F25	VSS	Power	—
G1	VSS	Power	—
G2	P01_4	I/O	ETH3_REFCLK/RMII3_REFCLK/IRQ01_4/CS5#/TEND/TXD1/SDA1/MOSI1/RXDE4/IIC_SDA1/ETH1_RXER/ETH1_CRS/ESC_I2CDATA/SPI_RSPCK2/MCLK01/USB_EXICEN/ADTRG2#/ENCIFDI4
G3	P01_5	I/O	IRQ01_5/CS2#/DREQ/TXDE4/ETH1_COL/ETH3_TXER/ESC_RESETOUT#/ESWM_PHYLINK0/HPSW_PHYLINK0/SPI_SSL20/MDAT01/USB_EXICEN/HCS1#/ENCIFDO4
G4	P01_2	I/O	IRQ01_2/BS#/DREQ/SS5#/CTS5#/RST5#/TXD5/SDA5/MOSI5/SCKE4/ETH3_RXD3/SPI_MOSI2/SD1_IOVS/MCLK00/ADTRG0#/HBS#/ENCIFCK4
G5	P00_7	I/O	IRQ00_7/A23/MTCLKB/MTIOC1B/GTIOC0_3B/GTADSM3_1/TXD4/SDA4/MOSI4/DEE0/DEE6/ETH3_RXD0/SPI_SSL22/HERROUT#/ENCIFOE0/ENCIFOE6
G6	VSS	Power	—
G7	—	—	—
G8	—	—	—
G9	—	—	—
G10	—	—	—
G11	—	—	—
G12	—	—	—
G13	—	—	—
G14	—	—	—
G15	—	—	—
G16	—	—	—
G17	—	—	—
G18	—	—	—
G19	—	—	—
G20	DDR_VDDQ	Power	—
G21	VSS	Power	—
G22	VSS	Power	—
G23	VSS	Power	—
G24	VSS	Power	—
G25	VSS	Power	—
H1	P01_6	I/O	IRQ01_6/D13/MTIOC6B/MTIOC8B/GTIOC1_0A/GTADSM0_0/GTETRGB/CMTW1_TIC0/SCK1/ETH0_RXER/ETH4_TXCLK/SPI_RSPCK3/SD1_CD/MCLK02/HD13/—
H2	P01_1	I/O	IRQ01_1/RD/WR#/MITOC3C/MTIOC8A/GTIOC0_4B/GTADSM4_1/SCK5/RXD5/SCL5/ MISO5/RXDE0/ETH3_RXD2/SD1_PWEN/USB_OVRCUR/HWRSTB#/ENCIFDI0
H3	P01_3	I/O	IRQ01_3/CS3#/DACK/CTS5#/RXD1/ SCL1/MISO1/ DEE4/IIC_SCL1/ETH1_TXER/ETH3_RXDV/ESC_I2CCLK/SPI_MISO2/MDAT00/ADTRG1#/MBX_HINT#/ENCIFOE4

Pin number	Primary pin name	Primary electrical type	Alternate pin names
H4	P01_0	I/O	IRQ01_0/A0/MTIOC1A/MTIOC3A/GTIOC0_4A/GTADSM4_0_/DE4/TXDE0/ETH3_RXD1/SPI_SSL21/HA0/ENCIFD00
H5	VSS	Power	—
H6	VSS	Power	—
H7	—	—	—
H8	—	—	—
H9	—	—	—
H10	—	—	—
H11	—	—	—
H12	—	—	—
H13	—	—	—
H14	—	—	—
H15	—	—	—
H16	—	—	—
H17	—	—	—
H18	—	—	—
H19	—	—	—
H20	DDR_VDD Q	Power	—
H21	VSS	Power	—
H22	DDR_DQA1 5	I/O	—
H23	DDR_DQA8	I/O	—
H24	VSS	Power	—
H25	DDR_DQA1 4	I/O	—
J1	P02_5	I/O	IRQ02_5/A11/MTCLKD/MTIOC0D/GTIOC1_3B/GTADSM3_1/RXD2/SCL2/MISO2/DEE1/ETH4_RXD0/GMAC2_PTPTRG1/SPI_SSL32/MDAT12/ MDAT40/HA11/ENCIFOE1
J2	P02_1	I/O	IRQ02_1/WE3#/A H#/MTIC5W/MTIOC7C/GTIOC1_1A/GTADSM1_1/SS1#/CTS1#/RTS1#/RXD3/SCL3/MISO3/TXDE5/ETH4_TXD2/GMAC0_PTPTRG0/ESC_LATCH0/SPI_SSL30/SPI_SSL00/HWR3#/ENCIFD05
J3	P02_0	I/O	IRQ02_0/WE2#/MTIC5W/MTIOC7A/GTIOC1_1B/GTADSM1_0/GTETRGD/TXD1/SDA1/MOSI1/SCIEXTCLK/ETH4_TXD1/ETHSW_PTPOUT0/ESC_SYNC0/SPI_MOSI3/SD1_PWEN/HWR2#
J4	P01_7	I/O	IRQ01_7/D14/MTIC5U/MTIOC6D/GTIOC1_0B/GTADSM0_1/GTETRGC/CMTW1_TOC0/RXD1/SCL1/MISO1/ETH1_RXER/ETH4_TXD0/SPI_MISO3/SD1_WP/MDAT02/HD14
J5	VCC1833_2	Power	—
J6	VCC1833_2	Power	—
J7	—	—	—
J8	—	—	—
J9	VDD	Power	—
J10	VSS	Power	—
J11	VSS	Power	—
J12	VDD	Power	—
J13	VDD	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
J14	VSS	Power	—
J15	VSS	Power	—
J16	VDD	Power	—
J17	VDD	Power	—
J18	—	—	—
J19	—	—	—
J20	VSS	Power	—
J21	DDR_DQA1_2	I/O	—
J22	DDR_DQA1_1	I/O	—
J23	VSS	Power	—
J24	DDR_DQS_A_T1	I/O	—
J25	DDR_DQS_A_C1	I/O	—
K1	VSS	Power	—
K2	P02_4	I/O	IRQ02_4/A10/MTCLKC/MTIOC0C/GTIOC1_3A/GTADSM3_0/SCK2/ SCKE1/ETH4_RXCLK/ GMAC1_PTPTRG1/SPI_SSL03/SPI_SSL33/MCLK12/MCLK40/HA10/ENCIFCK1
K3	P03_1	I/O	IRQ03_1/A15/GTIOC3_3B/DE2/DEE5/IIC_SDA2/ETH0_CRSS/ETH4_RXDV/ETHSW_PTPOUT3/ ESC_SYNC1/SPI_MISO3/MDAT10/HA15/ENCIFOE5/SI3#/HDSL1_LINK
K4	P02_2	I/O	IRQ02_2/D15/MTIOC0A/MTIOC7B/GTIOC1_2A/GTADSM2_0/CTS1#/ETH4_TXD3/ GMAC0_PTPTRG1/ESC_LED RUN/ESC_LATCH1/SPI_SSL01/SPI_SSL31/SD1_PWEN/HD15
K5	P02_3	I/O	IRQ02_3/A9/MTIOC0B/MTIOC7D/GTIOC1_2B/GTADSM2_1/DE1/ETH4_TXEN/ GMAC1_PTPTRG0/ESC_LEDERR/SPI_SSL02/SPI_SSL32/SD1_IOVS/HA9
K6	VCC1833_2	Power	—
K7	—	—	—
K8	—	—	—
K9	VSS	Power	—
K10	VDD	Power	—
K11	VDD	Power	—
K12	VSS	Power	—
K13	VSS	Power	—
K14	VDD	Power	—
K15	VDD	Power	—
K16	VSS	Power	—
K17	VSS	Power	—
K18	—	—	—
K19	—	—	—
K20	DDR_VDD_Q	Power	—
K21	DDR_DQA1_3	I/O	—
K22	VSS	Power	—
K23	DDR_DQA9	I/O	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
K24	DDR_DMIA1	I/O	—
K25	VSS	Power	—
L1	P03_3	I/O	IRQ03_3/TEND/CMTW1_TIC1/TXD1/SDA1/MOSI1/TXD3/SDA3/MOSI3/GMAC0_MDIO/GMAC1_MDIO/GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO/ESWM_MDIO/ESC_LINKACT0/SD1_PWEN
L2	P03_2	I/O	MD2/IRQ03_2/DACK/CMTW1_TOC1/RTCAT1HZ/DE2/TXDE4/ETH0_TXER/GMAC0_MDC/GMAC1_MDC/GMAC2_MDC/ETHSW_MDC/ESC_MDC/ESWM_MDC/SD1_IOVS/ENCIFDO4
L3	P03_0	I/O	IRQ03_0/A14/GTIOC3_3A/CTS2#/SCKE5/IIC_SCL2/ETH0_COL/ETH4_RXD3/SPI_MOSI3/MCLK10/HA14/ENCIFCK5/TST_OUT3/HDSL0_MOSI2
L4	P02_7	I/O	IRQ02_7/A13/MTIOC1B/MTIOC6C/GTIOC1_4B/GTADSM4_1/SS2#/CTS2#/RTS2#/RXDE1/ETH4_RXD2/MDAT11/MDAT42/HA13/ENCIFDI1/DUEI3
L5	P02_6	I/O	IRQ02_6/A12/MTIOC1A/MTIOC6A/GTIOC1_4A/GTADSM4_0/TXD2/SDA2/MOSI2/TXDE1/ETH4_RXD1/GMAC2_PTPTRG0/ESC_LEDSTER/SPI_SSL31/MCLK11/MCLK42/HA12/ENCIFDO1
L6	VCC1833_2	Power	—
L7	—	—	—
L8	—	—	—
L9	VDD	Power	—
L10	VSS	Power	—
L11	VSS	Power	—
L12	VSS	Power	—
L13	VSS	Power	—
L14	VSS	Power	—
L15	VSS	Power	—
L16	VDD	Power	—
L17	VDD	Power	—
L18	—	—	—
L19	—	—	—
L20	VSS	Power	—
L21	DDR_DQA10	I/O	—
L22	VSS	Power	—
L23	DDR_DQA1	I/O	—
L24	DDR_DQA3	I/O	—
L25	VSS	Power	—
M1	P04_1	I/O	IRQ04_1/GTIOC1_1A/SS0#/CTS0#/RST0#/DEE1/SD1_DATA1/MDAT00/MDAT30/ENCIFOE1/DUEI5/HDSL1_MISO1
M2	P03_5	I/O	IRQ03_5/A25/GTETRGSB/RXD3/SCL3/MISO3/RXDE5/ETH4_RXER/ESWM_PHYLINK1/HPSW_PHYLINK1/SPI_MISO0/SPI_SSL30/SD1_WP/MDAT11/MCLK30/ENCIFDI5
M3	P03_7	I/O	IRQ03_7/GTIOC1_0B/RXD0/SCL0/MISO0/DEE0/IIC_SCL0/SD1_CMD/MDAT02/MDAT32/ENCIFOE0/TST_OUT4/HDSL1_CLK1
M4	P03_4	I/O	ETH4_REFCLK/RMI4_REFCLK/IRQ03_4/A24/GTETRGSB/TXDE5/ESC_RESETOUT#/SPI_MOSI0/SPI_RSPCK3/SD1_CD/MCLK11/ENCIFDO5
M5	VSS	Power	—
M6	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
M7	—	—	—
M8	—	—	—
M9	VSS	Power	—
M10	VDD	Power	—
M11	VSS	Power	—
M12	VSS	Power	—
M13	VSS	Power	—
M14	VSS	Power	—
M15	VSS	Power	—
M16	VSS	Power	—
M17	VSS	Power	—
M18	—	—	—
M19	—	—	—
M20	DDR_VDD Q	Power	—
M21	DDR_DMIA 0	I/O	—
M22	DDR_DQA7	I/O	—
M23	VSS	Power	—
M24	DDR_DQS A_C0	I/O	—
M25	DDR_DQS A_T0	I/O	—
N1	VSS	Power	—
N2	P03_6	I/O	IRQ03_6/GTIOC1_0A/SCK0/SCKE0/SD1_CLK/MCLK02/MCLK32/ENCIFCK0/DUEI4/ HDSL1_SMPL
N3	P04_0	I/O	IRQ04_0/GTIOC1_1B/TXD0/SDA0/MOSI0/SCKE1/IIC_SDA0/SD1_DATA0/MCLK00/MCLK30/ ENCIFCK1/SI4#/HDSL1_SEL1
N4	P04_2	I/O	IRQ04_2/GTIOC1_2A/CTS0#/TXDE2/SD1_DATA2/MCLK01/MCLK31/ENCIFDO2/TST_OUT5/ HDSL1_MOSI1
N5	VCC1833_6	Power	—
N6	VCC1833_6	Power	—
N7	—	—	—
N8	—	—	—
N9	VDD	Power	—
N10	VSS	Power	—
N11	VSS	Power	—
N12	VSS	Power	—
N13	VSS	Power	—
N14	VSS	Power	—
N15	VSS	Power	—
N16	VDD	Power	—
N17	VCC18_PL L2	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
N18	—	—	—
N19	—	—	—
N20	VSS	Power	—
N21	DDR_DQA2	I/O	—
N22	VSS	Power	—
N23	DDR_DQA5	I/O	—
N24	DDR_DQA4	I/O	—
N25	VSS	Power	—
P1	P04_5	I/O	IRQ04_5/GTIOC5_1B/CMTW0_TOC0/RXD1/SCL1/MISO1/ESC_LINKACT0/CANRX0/ SPI_MISO1/SD0_CMD/NAND_RE#/HSPI_CS#/TST_OUT6/HDLSL1_MISO2
P2	P04_4	I/O	IRQ04_4/GTIOC5_1A/CMTW0_TIC0/SCK1/GMAC0_PTPTRG0/ESC_LATCH0/SPI_RSPCK1/ SD0_CLK/NAND_WE#/HSPI_INT#/DUEI6/HDLSL1_SEL2
P3	P04_3	I/O	IRQ04_3/GTIOC1_2B/DE0/RXDE2/SD1_DATA3/MDAT01/MDAT31/ENCIFDI2/SI5#/ HDLSL1_CLK2
P4	P04_6	I/O	IRQ04_6/GTIOC2_4A/GTIOC5_2A/CMTW0_TIC1/TXD1/SDA1/MOSI1/ESC_LINKACT1/ CANTX0/SPI_MOSI1/SD0_DATA0/NAND_IO0/HSPI_IO0/SI6#/HDLSL1_MOSI2
P5	VSS	Power	—
P6	VSS	Power	—
P7	—	—	—
P8	—	—	—
P9	VSS	Power	—
P10	VDD	Power	—
P11	VSS	Power	—
P12	VSS	Power	—
P13	VSS	Power	—
P14	VSS	Power	—
P15	VSS	Power	—
P16	VSS	Power	—
P17	VSS	Power	—
P18	—	—	—
P19	—	—	—
P20	DDR_VDD Q	Power	—
P21	VSS	Power	—
P22	DDR_DQA0	I/O	—
P23	VSS	Power	—
P24	DDR_DQA6	I/O	—
P25	VSS	Power	—
R1	P05_2	I/O	IRQ05_2/GTIOC1_3B/GTIOC5_0A/CMTW1_TIC1/SCK2/TXDE5/ESC_LED RUN/SPI_RSPCK2/ SD0_DATA4/NAND_IO4/HSPI_CK/ENCIFD05/HDLSL2_CLK1
R2	P05_0	I/O	IRQ05_0/GTIOC3_4A/GTIOC5_3A/CMTW1_TIC0/CTS1#/SCKE5/ESC_LEDERR/CANTXDP0/ SPI_SSL11/SD0_DATA2/NAND_IO2/HSPI_IO2/ENCIFCK5/TST_OUT7/HDLSL2_SMPL
R3	P04_7	I/O	IRQ04_7/GTIOC2_4B/GTIOC5_2B/CMTW0_TOC1/SS1#/CTS1#/RTS1#/ESC_RESETOUT#/ CANRXDP0/SPI_DDL10/SD0_DATA1/NAND_IO1/HSPI_IO1/DUEI7/HDLSL2_LINK

Pin number	Primary pin name	Primary electrical type	Alternate pin names
R4	P05_1	I/O	IRQ05_1/GTIOC4_4B/GTIOC5_3B/CMTW1_TOC0/DE1/DEE5/ETHSW_PTPOUT0/ESC_SYNC0/SPI_SSL12/SPI_RSPCK0/SD0_DATA3/NAND_IO3/HSPI_IO3/ENCIFOE5/SI7#
R5	VCC1833_5	Power	—
R6	VCC1833_5	Power	—
R7	—	—	—
R8	—	—	—
R9	VCC18_PL L0	Power	—
R10	VSS	Power	—
R11	VSS	Power	—
R12	VSS	Power	—
R13	VSS	Power	—
R14	VSS	Power	—
R15	VSS	Power	—
R16	VDD	Power	—
R17	VDD	Power	—
R18	—	—	—
R19	—	—	—
R20	VSS	Power	—
R21	DDR_CSA0	I/O	—
R22	DDR_CAA0	I/O	—
R23	VSS	Power	—
R24	DDR_CKA_C	I/O	—
R25	DDR_CKA_T	I/O	—
T1	VSS	Power	—
T2	P05_5	I/O	IRQ05_5/GTIOC2_3B/SS2#/CTS2#/RTS2#/RXD2/SCL2/MISO2/ETH0_CRS/SPI_SSL20/SD0_DATA7/NAND_IO7/MDAT00/HSPI_IO6/HDLSL2_MOSI1
T3	P05_3	I/O	IRQ05_3/GTIOC5_0B/CMTW1_TOC1/RXD2/SCL2/MISO2/RXDE5/IIC_SCL2/ETH0_TXER/ETH1_RXER/SPI_MISO2/SD0_DATA5/NAND_IO5/HSPI_IO4/ENCIFDI5/HDLSL2_SEL1
T4	P05_4	I/O	IRQ05_4/GTIOC2_3A/TXD2/SDA2/MOSI2/IIC_SDA2/ETH0_RXER/SPI_MOSI2/SD0_DATA6/NAND_IO6/MCLK00/HSPI_IO5/HDLSL2_MISO1
T5	VSS	Power	—
T6	VSS	Power	—
T7	—	—	—
T8	—	—	—
T9	VSS	Power	—
T10	VSS	Power	—
T11	VDD	Power	—
T12	VDD	Power	—
T13	VDD	Power	—
T14	VDD	Power	—
T15	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
T16	VSS	Power	—
T17	VSS	Power	—
T18	—	—	—
T19	—	—	—
T20	DDR_VDD Q	Power	—
T21	VSS	Power	—
T22	DDR_CAA2	I/O	—
T23	DDR_CAA1	I/O	—
T24	DDR_CKEA 0	I/O	—
T25	VSS	Power	—
U1	P06_0	I/O	IRQ06_0/CS3#/GTIOC1_0A/SS3#/CTS3#/RTS3#/ETH1_RXER/ESC_LEDSTER/CANRXDP1/ SPI_SSL00/TST_OUT4/HDSL2_MISO2
U2	P05_7	I/O	IRQ05_7/CS2#/GTIOC1_3A/SCK3/SCKE5/ETH1_TXER/ESC_RESETOUT#/SPI_RSPCK0/ MCLK00/ENCIFCK5/DUEI4/HDSL2_SEL2
U3	P05_6	I/O	IRQ05_6/CTS2#/TXD2/SDA2/ MOSI2/ETH2_COL/SPI_SSL21/SD0_RST#/NAND_WP#/ MCLK01/HSPI_IO7/HDSL2_CLK2
U4	P06_3	I/O	IRQ06_3/D29/GTIOC1_1B/GTIOC2_0B/CTS3#/GMAC1_PTPTRG0/ESC_LEDERR/ CANTXDP1/SPI_SSL01/HD29/TST_OUT5/HDSL3_SMPL
U5	P06_1	I/O	IRQ06_1/CS5#/GTIOC1_3B/DEE5/TXD3/SDA3/ MOSI3/ETH1_CRS/CANTX1/SPI_MOSI0/ MDAT00/ENCIFOE5/SI4#/HDSL2_MOSI2
U6	VCC33	Power	—
U7	—	—	—
U8	—	—	—
U9	VDD	Power	—
U10	VDD	Power	—
U11	VSS	Power	—
U12	VCC18_PL L3	Power	—
U13	VCC18_PL L4	Power	—
U14	VSS	Power	—
U15	VDD	Power	—
U16	VCC33	Power	—
U17	VDD	Power	—
U18	—	—	—
U19	—	—	—
U20	VSS	Power	—
U21	DDR_CAA4	I/O	—
U22	DDR_CAA3	I/O	—
U23	VSS	Power	—
U24	DDR_CSA1	I/O	—
U25	DDR_CKEA 1	I/O	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
V1	P06_5	I/O	IRQ06_5/D31/MTIOC2B/GTIOC1_2A/GTIOC2_1B/SCK4/SPI_SSL03/MCLK30/HD31/DUIE6/HD31_SEL1
V2	P06_4	I/O	IRQ06_4/D30/GTIOC1_1A/GTIOC2_1A/DE3/GMAC1_PTPTRG1/SPI_SSL02/MDAT01/HD30/SI5#/HD31_CLK1
V3	P06_2	I/O	IRQ06_2/D28/GTIOC1_0B/GTIOC2_0A/RXD3/SCL3/MISO3/ETH1_COL/CANRX1/SPI_MISO0/MCLK01/HD28/DUEI5/HD31_LINK
V4	P06_7	I/O	IRQ06_7/GTIOC1_4B/GTIOC2_2B/TXD4/SDA4/MOSI4/RXDE5/CANTX0/SD1_IOVS/MDAT02/ENCIFDI5/SI6#/HD31_MOSI1
V5	P07_1	I/O	IRQ07_1/POE4#/CTS4#/DEE1/ETH4_RXER/ETHSW_TDMAOUT1/ESC_LEDERR/CANRXDP0/SPI_SSL22/MCLK31/ADTRG0#/ENCIFOE1/TST_OUT7/HD31_SEL2
V6	VCC33	Power	—
V7	—	—	—
V8	—	—	—
V9	—	—	—
V10	—	—	—
V11	—	—	—
V12	—	—	—
V13	—	—	—
V14	—	—	—
V15	—	—	—
V16	—	—	—
V17	—	—	—
V18	—	—	—
V19	—	—	—
V20	DDR_VDDQ	Power	—
V21	DDR_CALIBRATION	Input	—
V22	DDR_RESETION	Input	—
V23	DDR_RESET#	Output	—
V24	DDR_CAA5	I/O	—
V25	VSS	Power	—
W1	VSS	Power	—
W2	P07_0	I/O	IRQ07_0/POE0#/GTIOC1_2B/SS4#/CTS4#/RTS4#/IIC_SDA1/ETH4_TXER/ESC_RESETOUT#/SPI_SSL13/MDAT30/ADTRG2#/DUEI7/HD31_CLK2/POUTA
W3	P06_6	I/O	IRQ06_6/GTIOC1_4A/GTIOC2_2A/RXD4/SCL4/MISO4/TXDE5/CANRX0/SD1_PWEN/MCLK02/ENCIFDO5/TST_OUT6/HD31_MISO1
W4	P07_4	I/O	IRQ07_4/A16/POE11#/GTIOC1_1B/SCKE1/GMAC2_PTPTRG0/ETHSW_TDMAOUT0/ESC_LEDERR/MDAT22/ENCIFCK1/HD31_MOSI2
W5	P07_2	I/O	IRQ07_2/POE8#/DE4/TXDE1/ETH4_CRS/ETHSW_PTPOUT2/ESC_SYNC0/CANTXDP0/SPI_SSL23/MDAT31/ADTRG1#/ENCIFDO1/SI7#/POUTB
W6	VSS	Power	—
W7	—	—	—
W8	—	—	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
W9	—	—	—
W10	—	—	—
W11	—	—	—
W12	—	—	—
W13	—	—	—
W14	—	—	—
W15	—	—	—
W16	—	—	—
W17	—	—	—
W18	—	—	—
W19	—	—	—
W20	VSS	Power	—
W21	VSS	Power	—
W22	VSS	Power	—
W23	VSS	Power	—
W24	VSS	Power	—
W25	VSS	Power	—
Y1	P07_5	I/O	IRQ07_5/MTCLKC/MTIOC0C/GTETRGA/TXDE6/IIC_SDA0/ETH0_TXER/CANTX0/SPI_MOSI3/MCLK21/ENCIFD06/DUEI0/HDLSL6_LINK
Y2	P07_6	I/O	IRQ07_6/A23/GTETRGA/ETH0_RXER/CANRXDP0/SPI_SSL30/TST_OUT0/HDLSL6_SMPL
Y3	P07_3	I/O	IRQ07_3/POE10#/GTIOC1_0A/RXDE1/IIC_SCL1/ETH4_COL/GMAC2_PTPTRG1/ETHSW_PTPOUT3/ESC_SYNC1/MCLK22/ENCIFD11/HDLSL3_MISO2/POUTZ
Y4	P07_7	I/O	IRQ07_7/A22/MTCLKD/MTIOC0D/GTIOC0_1B/GTIOC4_0B/GTETRGC/SCK5/DEE6/IIC_SCL0/ETH0_CRS/CANRX0/SPI_MISO3/MCLK32/ENCIFOE6
Y5	P08_3	I/O	IRQ08_3/A18/TXD5/SDA5/MOSI5/ETH1_CRS/ETHSW_TDMAOUT2/ESC_LINKACT0/CANRXDP1/SPI_SSL33/SI0#/HDLSL6_CLK2
Y6	VSS	Power	—
Y7	VCC33	Power	—
Y8	VCC33	Power	—
Y9	VSS	Power	—
Y10	VDD18ABG	Power	—
Y11	NCPOUT	Input	—
Y12	VSS_USB	Power	—
Y13	VSS	Power	—
Y14	PCIE_VDD A_RX	Power	—
Y15	PCIE_VDD A_TX	Power	—
Y16	VSS	Power	—
Y17	PCIE_VCC 18A_CMN	Power	—
Y18	VSS	Power	—
Y19	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
Y20	VCC18_AD C1	Power	—
Y21	VCC18_AD C2	Power	—
Y22	VCC18_OT P	Power	—
Y23	AVCC18_T SU	Power	—
Y24	VSS	Power	—
Y25	VSS	Power	—
AA1	P08_0	I/O	IRQ08_0/A21/MTIOC0A/MTIOC6A/GTIOC4_1A/GTETRGD/SS5#/CTS5#/RTS5#/SCKE6/ETH0_COL/CANRX1/SPI_RSPCK3/MDAT32/ENCIFCK6/DUEI1/HDSL6_SEL1
AA2	P08_2	I/O	IRQ08_2/A19/MTIOC0B/MTIOC6C/GTETRGSB/DE5/RXDE6/GMAC0_PTPTRG1/ESC_LATCH1/CANTX1/SPI_SSL32/SD0_WP/MDAT21/ENCIFDI6
AA3	P08_1	I/O	IRQ08_1/A20/GTETRGSB/CTS5#/GMAC0_PTPTRG0/ESC_LATCH0/CANTXDP0/SPI_SSL31/SD0_CD/TST_OUT1/HDSL6_MISO1
AA4	P08_5	I/O	MDW0/IRQ08_5/A6/SCKE3/SD1_PWEN/NAND_ALE/HA6/ENCIFCK3/DUIE0
AA5	P09_0	I/O	MDV0/IRQ09_0/WE0#/TXDE7/ETHSW_PTPOUT1/ESC_SYNC1/SD0_IOVS/HWR0#/ENCIFDO7/DUEI1
AA6	P09_3	I/O	IRQ09_3/CS0#/MTIOC2A/GTIOC4_3A/SS0#/CTS0#/RST0#/RXDE6/SCKE4/ETHSW_LPI0/ESWM_MPINT0/SD0_CD/NAND_RY_BY0#/MCLK31/HCS0#/ENCIFCK4/ENCIFDI6/HDSL6_MOSi1
AA7	VSS	Power	—
AA8	VSS	Power	—
AA9	VSS	Power	—
AA10	VSS	Power	—
AA11	VCC33_US B	Power	—
AA12	AVCC18_U SB	Power	—
AA13	VSS	Power	—
AA14	PCIE_VDD A_RX	Power	—
AA15	PCIE_VDD A_TX	Power	—
AA16	VSS	Power	—
AA17	VSS	Power	—
AA18	VREFH0	Input	—
AA19	VCC18_AD C0	Power	—
AA20	VREFH1	Input	—
AA21	VREFH2	Input	—
AA22	VSS	Power	—
AA23	VSS	Power	—
AA24	VSS	Power	—
AA25	VSS	Power	—
AB1	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
AB2	P08_4	I/O	IRQ08_4/A17/RXD5/SCL5/MISO5/ETH1_COL/ETHSW_TDMAOUT3/ESC_LINKACT1/CANTXDP1/SI1#/HDSL6_SEL2
AB3	P08_7	I/O	MDD/IRQ08_7/A8/DEE7/SD0_PWEN/NAND_CE0#/HA8/ENCIFOE7/SI0#
AB4	P09_5	I/O	MDV2/IRQ09_5/A1/TXDE3/TXDE4/ETHSW_LPI2/HA1/ENCIFDO3/ENCIFDO4/DUEI2
AB5	P10_3	I/O	IRQ10_3/MTIOC6D/GTIOC3_0B/RXD2/SCL2/MISO2/MDAT22/TST_OUT2
AB6	P10_6	I/O	IRQ10_6/MTIOC7B/GTIOC3_2A/CMTW0_TIC1/CTS2#/SCKE2/ENCIFCK2/TST_OUT3
AB7	P11_2	I/O	IRQ11_2/GTIOC0_3B/TXD1/SDA1/MOSI1/IIC_SDA0/ESC_I2CDATA/USB_EXICEN
AB8	P11_3	I/O	IRQ11_3/POE4#/GTETRGD/RXD0/SCL0/MISO0/IIC_SCL1
AB9	TRST#	Input	—
AB10	VSS	Power	—
AB11	VSS_USB	Power	—
AB12	USB_RREF	Input	—
AB13	VSS	Power	—
AB14	PCIE_VCC 18A	Power	—
AB15	PCIE_REF CLKN	Input	—
AB16	VSS	Power	—
AB17	RES#	Input	—
AB18	VSS	Power	—
AB19	VSS	Power	—
AB20	VSS	Power	—
AB21	VSS	Power	—
AB22	AN204	Input	—
AB23	VSS	Power	—
AB24	VSS	Power	—
AB25	VSS	Power	—
AC1	P08_6	I/O	MDW1/IRQ08_6/A7/DEE3/SD1_IOVS/NAND_CLE/HA7/ENCIFOE3/TST_OUT0
AC2	P09_1	I/O	MDV1/IRQ09_1/WE1#/SCKE7/NAND_CE1#/HWR1#/ENCIFCK7/TST_OUT1
AC3	P09_7	I/O	MDV4/IRQ09_7/A3/SCKE6/ETHSW_TDMAOUT1/ESC_LINKACT1/ESC_LINKACT2/HA3/ENCIFCK6/SI2#/POUTA
AC4	P10_5	I/O	IRQ10_5/MTIOC7C/GTIOC3_1A/GTIOC4_2B/CMTW0_TOC0/SS2#/CTS2#/RTS2#/IIC_SDA2/DUEI3
AC5	P10_4	I/O	IRQ10_4/MTIOC7A/GTIOC3_1B/GTIOC4_2A/CMTW0_TIC0/TXD2/SDA2/MOSI2/SI2#
AC6	P10_7	I/O	IRQ10_7/MTIOC7D/GTIOC3_2B/CMTW0_TOC1/DE2/DEE2/ENCIFOE2/SI3#
AC7	TMS	I/O	P12_0/IRQ12_0
AC8	P11_7	I/O	IRQ11_7/POE11#/GTIOC5_2A/GTETRGB/RTCAT1HZ/USB_OTG_ID/MBX_HINT#
AC9	P12_4	I/O	IRQ12_4/USB_VBUSIN
AC10	VSS	Power	—
AC11	VSS_USB	Power	—
AC12	VCC18_USB	Power	—
AC13	VSS_USB	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
AC14	VSS	Power	—
AC15	VSS	Power	—
AC16	PCIE_REF CLKP	Input	—
AC17	MDX	Input	—
AC18	EXTCLKIN	Input	—
AC19	VSS	Power	—
AC20	AN002	Input	—
AC21	AN100	Input	—
AC22	AN102	Input	—
AC23	AN202	Input	—
AC24	AN203	Input	—
AC25	AN207	Input	—
AD1	P09_2	I/O	IRQ09_2/WAIT#/SCK0/RXDE3/RXDE4/NAND_RY_BY1#/HWAIT#/ENCIFDI3/ENCIFDI4/SI1#/HDCL6_CLK1
AD2	P09_4	I/O	IRQ09_4/RD#/MTIOC2B/GTIOC4_3B/CTS0#/RXDE7/DEE4/ETHSW_LPI1/ESWM_MPINT1/SD0_WP/NAND_RY_BY2#/MDAT31/HRD#/ENCIFOE4/ENCIFDI7
AD3	P09_6	I/O	MDV3/IRQ09_6/A2/DE0/TXDE6/ETHSW_TDMAOUT0/NAND_CE2#/HA2/ENCIFDO6/TST_OUT2
AD4	P10_2	I/O	IRQ10_2/MTIOC1B/MTIOC6B/GTIOC3_0A/GTIOC4_1B/SCK2/IIC_SCL2/MCLK22/DUEI2
AD5	P11_0	I/O	IRQ11_0/TXDE2/USB_VBUSEN/ENCIFDO2
AD6	P11_1	I/O	IRQ11_1/GTIOC0_3A/RXD1/SCL1/MISO1/RXDE2/IIC_SCL0/ESC_I2CCLK/USB_OVRCUR/ENCIFDI2
AD7	P11_5	I/O	CKIO/IRQ11_5/POE0#/GTIOC5_0A/GTETRGA/SCIEXTCLK/IIC_SCL2/NAND_RY_BY3#/HCKIO
AD8	TDI	Input	P12_1/IRQ12_1
AD9	TDO	Output	P12_3/IRQ12_3
AD10	VSS	Power	—
AD11	USB_DP	I/O	—
AD12	VSS_USB	Power	—
AD13	VSS	Power	—
AD14	PCIE_RXD P	Input	—
AD15	VSS	Power	—
AD16	PCIE_TXD P	Output	—
AD17	VSS	Power	—
AD18	XTAL	Output	—
AD19	VSS	Power	—
AD20	AN001	Input	—
AD21	AN101	Input	—
AD22	AN103	Input	—
AD23	AN200	Input	—
AD24	AN201	Input	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
AD25	AN205	Input	—
AE1	VSS	Power	—
AE2	P10_0	I/O	MDV5/IRQ10_0/A4/DEE6/ETHSW_TDMAOUT2/ESC_IRQ/NAND_CE3#/HA4/ENCIFOE6/POUTB
AE3	P10_1	I/O	MDB/IRQ10_1/A5/ETHSW_TDMAOUT3/ESC_RESETOUT#/ESC_LED RUN/HA5/POUTZ
AE4	VSS	Power	—
AE5	RSTOUT#	Output	P11_4/IRQ11_4/GTETRGS/TXD0/SDA0/MOSI0/IIC_SDA1
AE6	P11_6	I/O	IRQ11_6/IIC_SDA2/USB_OVRCUR
AE7	VSS	Power	—
AE8	TCK	Input	P12_2/IRQ12_2
AE9	BSCANP	Input	—
AE10	VSS	Power	—
AE11	USB_DM	I/O	—
AE12	VSS_USB	Power	—
AE13	VSS	Power	—
AE14	PCIE_RXD N	Input	—
AE15	VSS	Power	—
AE16	PCIE_TXD N	Output	—
AE17	VSS	Power	—
AE18	EXTAL	Input	—
AE19	VSS	Power	—
AE20	AN000	Input	—
AE21	AN003	Input	—
AE22	VSS	Power	—
AE23	VSS	Power	—
AE24	AN206	Input	—
AE25	VSS	Power	—

2.2.2 489-FBGA

Pin number	Primary pin name	Primary electrical type	Alternate pin names
A1	VSS	Power	—
A2	P22_3	I/O	IRQ22_3/GTIOC0_3B/ETH1_RXD3/HD SL6_MOSI1
A3	P22_2	I/O	IRQ22_2/GTIOC0_3A/GTIOC4_5B/GTIOC5_0B/ETH1_RXD2/HD SL6_MISO1
A4	P21_6	I/O	IRQ21_6/ETH1_TXEN/HD SL6_LINK
A5	P21_4	I/O	IRQ21_4/ETH1_TXD2/HD SL5_MISO2
A6	P21_3	I/O	IRQ21_3/ETH1_TXD1/HD SL5_SEL2
A7	VSS	Power	—
A8	P20_4	I/O	MD0/IRQ20_4/GMAC0_MDC/GMAC1_MDC/GMAC2_MDC/ETHSW_MDC/ESC_MDC/ESWM_MDC/CANTX1

Pin number	Primary pin name	Primary electrical type	Alternate pin names
A9	P20_1	I/O	IRQ20_1/ETH0_RXD2/CANRXDP0/HDSL4_MISO2
A10	VSS	Power	—
A11	P20_0	I/O	IRQ20_0/ETH0_RXD1/CANTX0/HDSL4_SEL2
A12	P19_2	I/O	IRQ19_2/ETH0_TXD1/HDSL4_SMPL
A13	VSS	Power	—
A14	P18_4	I/O	IRQ18_4/GTETRGA/DEE4/ESWM_TASGATE1_5/XSPI0_IO5/MDAT21/ENCIFOE4/HDSL3_MOSI1
A15	P18_0	I/O	IRQ18_0/ESWM_TASGATE1_1/XSPI0_IO1/MCLK02/HDSL3_SMPL
A16	P17_2	I/O	IRQ17_2/SCKE7/ESWM_TASGATE0_4/XSPI0_CKP/MCLK30/ENCIFCK7/HDSL2_MOSI1
A17	VSS	Power	—
A18	P16_6	I/O	IRQ16_6/MTCLKC/MTIOC0C/GTIOC3_3A/SCKE3/IIC_SCL0/ETH2_TXER/ETH3_TXER/CANRXDP0/SPI_RSPCK0/XSPI1_IO4/MCLK30/ENCIFCK3/HDSL2_SMPL
A19	P16_4	I/O	IRQ16_4/MTIOC7B/GTIOC3_2A/GTIOC4_2A/RXD4/SCL3/MISO3/SCKE7/ETH4_CRS, SPI_MISO0/XSPI1_IO2/MCLK01/ENCIFCK7/HDSL1_MOSI2
A20	VSS	Power	—
A21	P15_3	I/O	IRQ15_3/D10/MTIOC1A/MTIOC3C/GTIOC2_4B/CMTW1_TOC0/RXDE2/SD1_IOVS/ADTRG0#/HD10/ENCIFDI2/HDSL1_LINK
A22	P14_6	I/O	IRQ14_6/D5/MTIOC1B/MTIOC4B/GTIOC2_2A/CMTW0_TIC0/SD0_PWEN/HD5/HDSL0_MOSI1/POUTA
A23	VSS	Power	—
B1	P23_6	I/O	IRQ23_6/GTIOC4_3A/GTIOC5_3A/RTCAT1HZ/SCK4/ETH2_RXCLK/ESC_LED RUN/SD0_CD/MDAT30/MDAT42/HDSL7_CLK2
B2	P23_0	I/O	IRQ23_0/GTIOC3_3A/GTIOC4_0A/RXD3/SCL3/MISO3/ETH2_TXCLK/SPI_RSPCK0/MDAT01/HDSL7_LINK
B3	P23_1	I/O	IRQ23_1/GTIOC3_3B/GTIOC4_0B/SCK3/IIC_SCL0/ETH2_TXD0/GMAC0_PTPTRG0/ESC_LATCH0/CANRXDP1/SPI_MISO0/MCLK21/MCLK40/HDSL7_SMPL
B4	P22_1	I/O	IRQ22_1/GTIOC4_5A/GTIOC5_0A/ETH1_RXD1/HDSL6_SEL1
B5	VSS	Power	—
B6	P21_1	I/O	IRQ21_1/ETH1_TXCLK/HDSL5_MOSI1
B7	P21_2	I/O	IRQ21_2/ETH1_TXD0/HDSL5_CLK2
B8	P20_6	I/O	IRQ20_6/ETHSW_PHYLINK0/ESC_PHYLINK0/ESWM_PHYLINK0/HPSW_PHYLINK0/CANRXDP1/HDSL5_CLK1
B9	P20_3	I/O	IRQ20_3/ETH0_RXDV/HDSL5_LINK
B10	P19_6	I/O	IRQ19_6/ETH0_RXCLK/HDSL4_MOSI1
B11	P19_3	I/O	IRQ19_3/ETH0_TXD2/HDSL4_CLK1
B12	P19_0	I/O	IRQ19_0/ETH0_TXCLK/HDSL3_MOSI2
B13	P18_7	I/O	IRQ18_7/ESWM_TASGATE1_8/XSPI0_RESET0#/MCLK30/MDAT02/HDSL3_MISO2
B14	P18_3	I/O	IRQ18_3/SCKE4/ESWM_TASGATE1_4/XSPI0_IO4/MCLK21/ENCIFCK4/HDSL3_MISO1
B15	P17_7	I/O	IRQ17_7/ESWM_TASGATE1_0/XSPI0_IO0/MDAT20/HDSL3_LINK
B16	P17_3	I/O	IRQ17_3/DEE7/ESWM_TASGATE0_5/XSPI0_CKN/MDAT30/ENCIFOE7/HDSL2_CLK2
B17	P17_1	I/O	IRQ17_1/MTIOC0B/MTIOC6C/GTIOC4_4B/RXDE3/IIC_SDA1/ETH2_COL/ETH3_COL/CANTX0/XSPI1_IO7/MDAT31/MBX_HINT#/ENCIFDI3/HDSL2_MISO1
B18	P16_5	I/O	IRQ16_5/MTIOC7D/GTIOC3_2B/GTIOC4_2B/TXD3/SDA3/MOSI3/DEE7/ETH4_COL/SPI_MOSI0/XSPI1_IO3/MDAT01/ENCIFOE7/HDSL2_LINK
B19	P16_1	I/O	IRQ16_1/MTIOC6D/GTIOC3_0B/GTIOC4_0B/TXD1/SDA1/MOSI1/RXDE1/IIC_SDA2/ESWM_TASGATE0_3/XSPI1_DS/MDAT22/ENCIFDI1/HDSL1_CLK2

Pin number	Primary pin name	Primary electrical type	Alternate pin names
B20	P15_6	I/O	IRQ15_6/GTIOC0_4A/DE1/TXDE6/TXDE7/IIC_SCL1/ESWM_TASGATE0_0/XSPI1_CKP/MCLK21/ENCIFD06/ENCIFD07/HDSL1_SEL1
B21	P15_2	I/O	IRQ15_2/D9/MTIOC3A/MTIC5W/GTIOC2_4A/CMTW1_TIC0/TXDE2/SD1_PWEN/HD9/ENCIFD02/HDSL0_MOSI2
B22	P14_5	I/O	IRQ14_5/D4/MTIOC4C/MTIC5V/GTIOC0_1A/GTIOC2_1B/RXDE6/ETH2_COL/ETH3_COL/ADTRG2#/HD4/ENCIFDI6/HDSL0_MISO1
B23	P15_4	I/O	IRQ15_4/D11/GTIOC2_0A/CMTW1_TIC1/SCKE6/IIC_SCL0/ESC_I2CCLK/MCLK20/ADTRG1#/HD11/ENCIFCK6/HDSL1_SMPL
C1	P23_4	I/O	IRQ23_4/GTIOC4_2A/GTIOC4_3B/CTS3#/ETH2_TXD3/ETHSW_PTPOUT2/ESC_SYNC0/SPI_SSL01/MDAT01/MDAT41/HDSL7_MISO1
C2	P24_1	I/O	IRQ24_1/DACK/POE4#/GTIOC4_4B/CMTW0_TIC0/SS4#/CTS4#/RTS4#/TXDE0/ETH0_TXER/ETH2_RXD2/ESC_IRQ/SPI_SSL10/SD1_WP/MCLK11/MBX_HINT#/ENCIFD00
C3	P23_3	I/O	IRQ23_3/GTIOC4_1B/GTIOC4_3A/SS3#/CTS3#/RTS3#/ETH2_TXD2/ESC_LINKACT1/SPI_SSL00/MCLK01/MCLK41/HDSL7_SEL1
C4	P23_2	I/O	IRQ23_2/GTIOC4_1A/IIC_SDA0/ETH2_TXD1/ESC_LINKACT0/CANTXDP1/SPI_MOSI0/MDAT21/MDAT40/HDSL7_CLK1
C5	P22_4	I/O	IRQ22_4/GTIOC0_2B/ETH1_RXDV/HDSL6_CLK2
C6	P21_7	I/O	IRQ21_7/GTIOC4_4A/ETH1_RXCLK/HDSL6_SMPL
C7	P22_5	I/O	IRQ22_5/ETHSW_PHYLINK1/ESC_PHYLINK1/ESWM_PHYLINK1/HPSW_PHYLINK1/HDSL6_SEL2
C8	P21_0	I/O	IRQ21_0/HDSL5_MISO1
C9	P20_5	I/O	IRQ20_5/GMAC0_MDIO/GMAC1_MDIO/GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO/ESWM_MDIO/CANRX1/HDSL5_SMPL
C10	P19_7	I/O	IRQ19_7/ETH0_RXD0/CANRX0/HDSL4_CLK2
C11	P19_5	I/O	IRQ19_5/ETH0_TXEN/HDSL4_MISO1
C12	VSS	Power	—
C13	P18_5	I/O	IRQ18_5/GTETRGA/RXDE4/ESWM_TASGATE1_6/XSPI0_IO6/MCLK20/ENCIFDI4/HDSL3_CLK2
C14	P18_2	I/O	IRQ18_2/ESWM_TASGATE1_3/XSPI0_IO3/MDAT32/HDSL3_SEL1
C15	P17_5	I/O	IRQ17_5/RXDE7/ESWM_TASGATE0_7/XSPI0_CS1#/MDAT31/ENCIFDI7/HDSL2_MISO2
C16	P17_4	I/O	IRQ17_4/TXDE7/ESWM_TASGATE0_6/XSPI0_CS0#/MCLK31/ENCIFD07/HDSL2_SEL2
C17	P17_0	I/O	IRQ17_0/MTIOC0A/MTIOC6A/GTIOC3_4A/TXDE3/IIC_SCL1/ETH2_CRS/ETH3_CRS/CANRX0/XSPI1_IO6/MCLK31/USB_VBUSEN/ENCIFD03/HDSL2_SEL1
C18	P16_3	I/O	IRQ16_3/MTIOC7C/GTIOC3_1A/GTIOC4_1B/TXD5/SDA5/MOSI5/TXDE4/ETH4_RXER/SPI_SSL02/XSPI1_IO1/ENCIFD04/HDSL1_MISO2
C19	P16_0	I/O	IRQ16_0/MTIOC1B/MTIOC6B/GTIOC3_0A/GTIOC4_0A/RXD1/SCL1/MISO1/TXDE1/IIC_SCL2/ESWM_TASGATE0_2/XSPI1_CS1#/MCLK22/ENCIFD01/HDSL1_MOSI1
C20	P15_5	I/O	IRQ15_5/D12/GTIOC2_0B/CMTW1_TOC1/RTCAT1HZ/DEE6/IIC_SDA0/ESC_I2CDATA/MDAT20/ADTRG2#/HD12/ENCIFD06/HDSL1_CLK1
C21	P15_0	I/O	IRQ15_0/D7/MTCLKA/MTIOC8C/GTIOC2_3A/CMTW0_TIC1/SCKE2/SD1_CD/HD7/ENCIFCK2/HDSL0_SEL2/POUTZ
C22	P14_3	I/O	IRQ14_3/D2/POE0#/GTIOC0_2A/GTETRGA/RTCAT1HZ/SCIEXTCLK/ADTRG0#/USB_EXICEN/HD2/MBX_HINT#/HDSL0_CLK1
C23	P14_1	I/O	IRQ14_1/D0/MTIOC3B/MTIOC8A/GTIOC0_0A/GTIOC2_0A/GTIOC4_6A/SCKE6/ETH2_TXER/ETH3_TXER/USB_VBUSEN/HD0/ENCIFCK6/HDSL0_LINK
D1	P24_2	I/O	IRQ24_2/TEND/POE8#/GTIOC4_5A/CMTW0_TOC0/CTS4#/RXDE0/ETH2_RXD3/ESC_RESETOUT#/SPI_SSL11/MDAT11/ENCIFDI0/HDSL7_MOSI2
D2	P24_0	I/O	IRQ24_0/DREQ/POE0#/GTIOC4_4A/DEE0/IIC_SDA1/ETH0_CRS/ETH2_RXD1/ESC_LINKACT2/SPI_SSL13/SD1_CD/MDAT10/MDAT32/ENCIFOE0/HDSL7_MISO2

Pin number	Primary pin name	Primary electrical type	Alternate pin names
D3	P23_5	I/O	IRQ23_5/GTIOC4_2B/DE3/ETH2_TXEN/ESC_LEDERR/SPI_SSL02/MCLK30/MCLK42/HDSL7_MOSI1
D4	VSS	Power	—
D5	P22_7	I/O	IRQ22_7/HDSL6_MOSI2
D6	P22_6	I/O	ETH1_REFCLK/RMII1_REFCLK/IRQ22_6/HDSL6_MISO2
D7	P22_0	I/O	IRQ22_0/GTIOC4_4B/ETH1_RXD0/HDSL6_CLK1
D8	P21_5	I/O	IRQ21_5/ETH1_TXD3/HDSL5_MOSI2
D9	P20_7	I/O	ETH0_REFCLK/RMII0_REFCLK/IRQ20_7/CANTXDP1/HDSL5_SEL1
D10	P20_2	I/O	IRQ20_2/ETH0_RXD3/CANTXDP0/HDSL4_MOSI2
D11	P19_4	I/O	IRQ19_4/ETH0_TXD3/HDSL4_SEL1
D12	P19_1	I/O	IRQ19_1/ETH0_TXD0/HDSL4_LINK
D13	P18_6	I/O	IRQ18_6/GTETRGC/TXDE4/ESWM_TASGATE1_7/XSPI0_IO7/MDAT20/ENCIFDO4/HDSL3_SEL2
D14	P18_1	I/O	IRQ18_1/ESWM_TASGATE1_2/XSPI0_IO2/MCLK32/HDSL3_CLK1
D15	P17_6	I/O	IRQ17_6/ESWM_TASGATE0_8/XSPI0_DS/MCLK20/HDSL2_MOSI2
D16	P16_7	I/O	IRQ16_7/MTCLKD/MTIOC0D/GTIOC3_3B/DEE3/IIC_SDA0/ETH2_RXER/ETH3_RXER/CANTXDP0/SPI_SSL00/XSPI1_IO5/MDAT30/ENCIFOE3/HDSL2_CLK1
D17	P16_2	I/O	IRQ16_2/MTIOC7A/GTIOC3_1B/GTIOC4_1A/RXD5/SCL5/MISO5/RXDE4/ETH4_TXER/SPI_SSL01/XSPI1_IO0/ENCIFDI4/HDSL1_SEL2
D18	P15_7	I/O	IRQ15_7/GTIOC0_4B/DE3/RXDE6/RXDE7/IIC_SDA1/ESWM_TASGATE0_1/XSPI1_CS0#/MDAT21/ENCIFDI6/ENCIFDI7/HDSL1_MISO1
D19	P15_1	I/O	IRQ15_1/D8/MTCLKB/MTIOC8D/GTIOC2_3B/CMTW0_TOC1/DEE2/SD1_WP/HD8/ENCIFOE2/HDSL0_MISO2
D20	P14_7	I/O	IRQ14_7/D6/MTIOC1A/MTIOC4D/GTIOC2_2B/CMTW0_TOC0/SD0_IOVS/HD6/HDSL0_CLK2/POUTB
D21	P14_4	I/O	IRQ14_4/D3/MTIOC4A/MTIC5U/GTIOC0_1B/GTIOC2_1A/TXDE6/ETH2_CRS/ETH3_CRS/ADTRG1#/HD3/ENCIFDO6/HDSL0_SEL1
D22	P14_2	I/O	IRQ14_2/D1/MTIOC3D/MTIOC8B/GTIOC0_0B/GTIOC2_0B/GTIOC4_6B/DEE6/ETH2_RXER/ETH3_RXER/USB_OVRCUR/HD1/ENCIFOE6/HDSL0_SMPL
D23	VSS	Power	—
E1	P24_7	I/O	IRQ24_7/TXD3/SDA3/MOSI3/GMAC0_MDIO/GMAC1_MDIO/GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO/ESWM_MDIO/CANRX1/SPI_RSPCK1
E2	P24_5	I/O	IRQ24_5/POE10#/GTIOC4_6B/GTETRGA/TXD4/SDA4/MOSI4/SCIEXTCLK/MDAT22/PCIE_RSTOUTB/HDSL0_CLK1
E3	P24_3	I/O	IRQ24_3/GTIOC4_5B/CMTW0_TIC1/RXD5/SDA5/MOSI5/IIC_SCL1/ETH0_RXER/ETH2_RXDV/ESC_I2CCLK/SPI_MOSI1/SD0_PWEN/MDAT12/HDSL0_LINK
E4	VSS	Power	—
E5	P23_7	I/O	IRQ23_7/GTIOC4_3B/GTIOC5_3B/SCKE0/IIC_SCL1/ETH0_COL/ETH2_RXD0/SPI_SSL12/SD0_WP/MCLK10/MCLK32/ENCIFCK0/HDSL7_SEL2
E6	VSS	Power	—
E7	VCC1833_1	Power	—
E8	VSS	Power	—
E9	VCC1833_0	Power	—
E10	VSS	Power	—
E11	VCC1833_0	Power	—
E12	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
E13	VCC1833_3	Power	—
E14	VSS	Power	—
E15	VCC1833_4	Power	—
E16	VSS	Power	—
E17	VCC33	Power	—
E18	VSS	Power	—
E19	VSS	Power	—
E20	VSS	Power	—
E21	VSS	Power	—
E22	VSS	Power	—
E23	VSS	Power	—
F1	VSS	Power	—
F2	P25_0	I/O	IRQ25_0/RXD1/SCL1/MISO1/RXD3/SCL3/MISO3/ETHSW_PHYLINK2/ESC_PHYLINK2/CANTX1/SPI_SSL03/MCLK22
F3	P24_6	I/O	MD1/IRQ24_6/DE5/GMAC0_MDC/GMAC1_MDC/GMAC2_MDC/ETHSW_MDC/ESC_MDC/ESWM_MDC
F4	P24_4	I/O	ETH2_REFCLK/RMII2_REFCLK/IRQ24_4/POE11#/GTIOC4_6A/CMTW0_TOC1/RXD5/SCL5/MISO5/IIC_SDA1/ETH1_RXER/ESC_I2CDATA/SPI_MISO1/SD0_IOVS/MCLK12/HDSL0_SMPL
F5	P00_1	I/O	IRQ00_1/A17/MTIOC3D/GTIOC0_0B/GTADSM0_1/DEE1/IIC_SCL2/ETH3_TXD0/CANRX0/SPI_MISO2/HA17/ENCIFOE1/HDSL0_MISO1
F6	VSS	Power	—
F7	VCC1833_1	Power	—
F8	VSS	Power	—
F9	VCC1833_0	Power	—
F10	VSS	Power	—
F11	VCC1833_0	Power	—
F12	VSS	Power	—
F13	VCC1833_3	Power	—
F14	VCC18_PL L1	Power	—
F15	VCC1833_4	Power	—
F16	VSS	Power	—
F17	VCC33	Power	—
F18	VSS	Power	—
F19	DDR_VDD Q	Power	—
F20	VSS	Power	—
F21	VSS	Power	—
F22	VSS	Power	—
F23	VSS	Power	—
G1	VSS	Power	—
G2	P00_0	I/O	IRQ00_0/A16/MTIOC3B/GTIOC0_0A/GTADSM0_0/SCKE1/ETH3_TXCLK/SPI_RSPCK2/HA16/ENCIFCK1/HDSL0_SEL1

Pin number	Primary pin name	Primary electrical type	Alternate pin names
G3	P00_2	I/O	IRQ00_2/A18/MTIOC4A/GTIOC0_1B/GTADSM1_0/TXDE1/IIC_SDA2/ETH3_TXD1/CANTX0/ SPI_MOSI2/MCLK41/HA18/ENCIFDO1/HDSL0_MOSI1
G4	P00_4	I/O	IRQ00_4/A20/MITOC4B/GTIOC0_2A/GTADSM2_0/TXDE6/ETH3_TXD3/CANTXDP0/ SPI_SSL21/MCLK20/HA20/ENCIFDO6/HDSL0_SEL2
G5	VSS	Power	—
G6	VSS	Power	—
G7	—	—	—
G8	—	—	—
G9	—	—	—
G10	—	—	—
G11	—	—	—
G12	—	—	—
G13	—	—	—
G14	—	—	—
G15	—	—	—
G16	—	—	—
G17	—	—	—
G18	DDR_VDD Q	Power	—
G19	VSS	Power	—
G20	DDR_DQA1 5	I/O	—
G21	DDR_DQA8	I/O	—
G22	VSS	Power	—
G23	DDR_DQA1 4	I/O	—
H1	P00_5	I/O	IRQ00_5/A21/MTIOC4D/MTIOC8C/GTIOC0_2B/GTADSM2_1/RXDE6/ETH3_TXEN/ SPI_SSL22/MDAT20/HA21/ENCIFDI6/HDSL0_MISO2
H2	P00_6	I/O	IRQ00_6/A22/MTCLKA/MTIOC8D/GTIOC0_3A/GTADSM3_0/RXD4/SCL4/MISO4/SCKE0/ SCKE6/ETH3_RXCLK/SPI_SSL23/MBX_HINT#/ENCIFCK0/ENCIFCK6
H3	P00_3	I/O	IRQ00_3/A19/MTIOC4C/GTIOC0_1A/GTADSM1_1/RXDE1/ETH3_TXD2/CANRXDP0/ SPI_SSL20/MDAT41/HA19/ENCIFDI1/HDSL0_CLK2
H4	P00_7	I/O	IRQ00_7/A23/MTCLKB/MTIOC1B/GTIOC0_3B/GTADSM3_1/TXD4/SDA4/MOSI4/DEE0/DEE6/ ETH3_RXD0/SPI_SSL22/HERROUT#/ENCIFOE0/ENCIFOE6
H5	VCC1833_2	Power	—
H6	VCC1833_2	Power	—
H7	—	—	—
H8	VDD	Power	—
H9	VSS	Power	—
H10	VSS	Power	—
H11	VDD	Power	—
H12	VSS	Power	—
H13	VSS	Power	—
H14	VDD	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
H15	VSS	Power	—
H16	VDD	Power	—
H17	—	—	—
H18	VSS	Power	—
H19	DDR_DQA1_2	I/O	—
H20	DDR_DQA1_1	I/O	—
H21	VSS	Power	—
H22	DDR_DQS_A_T1	I/O	—
H23	DDR_DQS_A_C1	I/O	—
J1	P01_0	I/O	IRQ01_0/A0/MTIOC1A/MTIOC3A/GTIOC0_4A/GTADSM4_0_/DE4/TXDE0/ETH3_RXD1/ SPI_SSL21/HA0/ENCIFD00
J2	P01_1	I/O	IRQ01_1/RD/WR#/MITOC3C/MTIOC8A/GTIOC0_4B/GTADSM4_1/SCK5/RXD5/SCL5/ MISO5/ RXDE0/ETH3_RXD2/SD1_PWEN/USB_OVRCUR/HWRSTB#/ENCIFDI0
J3	P01_2	I/O	IRQ01_2/BS#/DREQ/SS5#/CTS5#/RST5#/TXD5/SDA5/MOSI5/SCKE4/ETH3_RXD3/ SPI_MOSI2/SD1_IOVS/MCLK00/ADTRG0#/HBS#/ENCIFCK4
J4	P01_4	I/O	ETH3_REFCLK/RMII3_REFCLK/IRQ01_4/CS5#/TEND/TXD1/SDA1/MOSI1/RXDE4/IIC_SDA1/ ETH1_RXER/ETH1_CRS/ESC_I2CDATA/SPI_RSPCK2/MCLK01/USB_EXICEN/ADTRG2#/ENCIFDI4
J5	VSS	Power	—
J6	VSS	Power	—
J7	—	—	—
J8	VSS	Power	—
J9	VDD	Power	—
J10	VDD	Power	—
J11	VSS	Power	—
J12	VDD	Power	—
J13	VDD	Power	—
J14	VSS	Power	—
J15	VDD	Power	—
J16	VSS	Power	—
J17	—	—	—
J18	DDR_VDD_Q	Power	—
J19	DDR_DQA1_3	I/O	—
J20	VSS	Power	—
J21	DDR_DQA9	I/O	—
J22	DDR_DMIA_1	I/O	—
J23	VSS	Power	—
K1	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
K2	P01_3	I/O	IRQ01_3/CS3#/DACK/CTS5#/RXD1/ SCL1/MISO1/ DEE4/IIC_SCL1/ETH1_TXER/ETH3_RXDV/ESC_I2CCLK/SPI_MISO2/MDAT00/ADTRG1#/MBX_HINT#/ENCIFOE4
K3	P01_5	I/O	IRQ01_5/CS2#/DREQ/TXDE4/ETH1_COL/ETH3_TXER/ESC_RESETOUT#/ESWM_PHYLINK0/HPSW_PHYLINK0/SPI_SSL20/MDAT01/USB_EXICEN/HCS1#/ENCIFDO4
K4	P02_0	I/O	IRQ02_0/WE2#/MTIC5V/MTIOC7A/GTIOC1_1B/GTADSM1_0/GTETRGD/TXD1/SDA1/MOSI1/SCIEXTCLK/ETH4_TXD1/ETHSW_PTPOUT0/ESC_SYNC0/SPI_MOSI3/SD1_PWEN/HWR2#
K5	VCC1833_2	Power	—
K6	VCC1833_2	Power	—
K7	—	—	—
K8	VDD	Power	—
K9	VSS	Power	—
K10	VSS	Power	—
K11	VSS	Power	—
K12	VSS	Power	—
K13	VSS	Power	—
K14	VSS	Power	—
K15	VSS	Power	—
K16	VDD	Power	—
K17	—	—	—
K18	VSS	Power	—
K19	DDR_DQA10	I/O	—
K20	VSS	Power	—
K21	DDR_DQA1	I/O	—
K22	DDR_DQA3	I/O	—
K23	VSS	Power	—
L1	P01_7	I/O	IRQ01_7/D14/MTIC5U/MTIOC6D/GTIOC1_0B/GTADSM0_1/GTETRGC/CMTW1_TOC0/RXD1/SCL1/MISO1/ETH1_RXER/ETH4_TXD0/SPI_MISO3/SD1_WP/MDAT02/HD14
L2	P01_6	I/O	IRQ01_6/D13/MTIOC6B/MTIOC8B/GTIOC1_0A/GTADSM0_0/GTETRGC/CMTW1_TIC0/SCK1/ETH0_RXER/ETH4_TXCLK/SPI_RSPCK3/SD1_CD/MCLK02/HD13
L3	P02_1	I/O	IRQ02_1/WE3#/A H#/MTIC5W/MTIOC7C/GTIOC1_1A/GTADSM1_1/SS1#/CTS1#/RTS1#/RXD3/SCL3/MISO3/TXDE5/ETH4_TXD2/GMAC0_PTPTRG0/ESC_LATCH0/SPI_SSL30/SPI_SSL00/HWR3#/ENCIFDO5
L4	P02_3	I/O	IRQ02_3/A9/MTIOC0B/MTIOC7D/GTIOC1_2B/GTADSM2_1/DE1/ETH4_TXEN/GMAC1_PTPTRG0/ESC_LEDERR/SPI_SSL02/SPI_SSL32/SD1_IOVS/HA9
L5	VSS	Power	—
L6	VSS	Power	—
L7	—	—	—
L8	VSS	Power	—
L9	VDD	Power	—
L10	VSS	Power	—
L11	VSS	Power	—
L12	VSS	Power	—
L13	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
L14	VSS	Power	—
L15	VDD	Power	—
L16	VSS	Power	—
L17	—	—	—
L18	DDR_VDD Q	Power	—
L19	DDR_DMIA 0	I/O	—
L20	DDR_DQA7	I/O	—
L21	VSS	Power	—
L22	DDR_DQS A_C0	I/O	—
L23	DDR_DQS A_T0	I/O	—
M1	VSS	Power	—
M2	P02_4	I/O	IRQ02_4/A10/MTCLKC/MTIOC0C/GTIOC1_3A/GTADSM3_0/SCK2/ SCKE1/ETH4_RXCLK/ GMAC1_PTPTRG1/SPI_SSL03/SPI_SSL33/MCLK12/MCLK40/HA10/ENCIFCK1
M3	P02_6	I/O	IRQ02_6/A12/MTIOC1A/MTIOC6A/GTIOC1_4A/GTADSM4_0/TXD2/SDA2/MOSI2/TXDE1/ ETH4_RXD1/GMAC2_PTPTRG0/ESC_LEDSTER/SPI_SSL31/MCLK11/MCLK42/HA12/ ENCIFDO1
M4	P03_1	I/O	IRQ03_1/A15/GTIOC3_3B/DE2/DEE5/IIC_SDA2/ETH0_CRS/ETH4_RXDV/ETHSW_PTPOUT3/ ESC_SYNC1/SPI_MISO3/MDAT10/HA15/ENCIFOE5/SI3#/HDSL1_LINK
M5	VCC1833_6	Power	—
M6	VCC1833_6	Power	—
M7	—	—	—
M8	VDD	Power	—
M9	VSS	Power	—
M10	VSS	Power	—
M11	VSS	Power	—
M12	VSS	Power	—
M13	VSS	Power	—
M14	VSS	Power	—
M15	VSS	Power	—
M16	VCC18_PL L2	Power	—
M17	—	—	—
M18	VSS	Power	—
M19	DDR_DQA2	I/O	—
M20	VSS	Power	—
M21	DDR_DQA5	I/O	—
M22	DDR_DQA4	I/O	—
M23	VSS	Power	—
N1	P02_2	I/O	IRQ02_2/D15/MTIOC0A/MTIOC7B/GTIOC1_2A/GTADSM2_0/CTS1#/ETH4_TXD3/ GMAC0_PTPTRG1/ESC_LED RUN/ESC_LATCH1/SPI_SSL01/SPI_SSL31/SD1_PWEN/HD15

Pin number	Primary pin name	Primary electrical type	Alternate pin names
N2	P02_5	I/O	IRQ02_5/A11/MTCLKD/MTIOC0D/GTIOC1_3B/GTADSM3_1/RXD2/SCL2/MISO2/DEE1/ETH4_RXD0/GMAC2_PTPTRG1/SPI_SSL32/MDAT12/MDAT40/HA11/ENCIFOE1
N3	P03_0	I/O	IRQ03_0/A14/GTIOC3_3A/CTS2#/SCKE5/IIC_SCL2/ETH0_COL/ETH4_RXD3/SPI_MOSI3/MCLK10/HA14/ENCIFCK5/TST_OUT3/HDSL0_MOSI2
N4	P03_4	I/O	ETH4_REFCLK/RMII4_REFCLK/IRQ03_4/A24/GTETRGS/TXDE5/ESC_RESETOUT#/SPI_MOSI0/SPI_RSPCK3/SD1_CD/MCLK11/ENCIFDO5
N5	VSS	Power	—
N6	VSS	Power	—
N7	—	—	—
N8	VSS	Power	—
N9	VDD	Power	—
N10	VSS	Power	—
N11	VSS	Power	—
N12	VSS	Power	—
N13	VSS	Power	—
N14	VSS	Power	—
N15	VDD	Power	—
N16	VSS	Power	—
N17	—	—	—
N18	DDR_VDD Q	Power	—
N19	VSS	Power	—
N20	DDR_DQA0	I/O	—
N21	VSS	Power	—
N22	DDR_DQA6	I/O	—
N23	VSS	Power	—
P1	P02_7	I/O	IRQ02_7/A13/MTIOC1B/MTIOC6C/GTIOC1_4B/GTADSM4_1/SS2#/CTS2#/RTS2#/RXDE1/ETH4_RXD2/MDAT11/MDAT42/HA13/ENCIFDI1/DUEI3
P2	P03_3	I/O	IRQ03_3/TEND/CMTW1_TIC1/TXD1/SDA1/MOSI1/TXD3/SDA3/MOSI3/GMAC0_MDIO/GMAC1_MDIO/GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO/ESWM_MDIO/ESC_LINKACT0/SD1_PWEN
P3	P04_0	I/O	IRQ04_0/GTIOC1_1B/TXD0/SDA0/MOSI0/SCKE1/IIC_SDA0/SD1_DATA0/MCLK00/MCLK30/ENCIFCK1/SI4#/HDSL1_SEL1
P4	P03_7	I/O	IRQ03_7/GTIOC1_0B/RXD0/SCL0/MISO0/DEE0/IIC_SCL0/SD1_CMD/MDAT02/MDAT32/ENCIFOE0/TST_OUT4/HDSL1_CLK1
P5	VSS	Power	—
P6	VCC18_PL L0	Power	—
P7	—	—	—
P8	VDD	Power	—
P9	VSS	Power	—
P10	VSS	Power	—
P11	VSS	Power	—
P12	VSS	Power	—
P13	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
P14	VSS	Power	—
P15	VSS	Power	—
P16	VDD	Power	—
P17	—	—	—
P18	VSS	Power	—
P19	DDR_CSA0	I/O	—
P20	DDR_CAA0	I/O	—
P21	VSS	Power	—
P22	DDR_CKA_C	I/O	—
P23	DDR_CKA_T	I/O	—
R1	P03_2	I/O	MD2/IRQ03_2/DACK/CMTW1_TOC1/RTCAT1HZ/DE2/TXDE4/ETH0_TXER/GMAC0_MDC/GMAC1_MDC/GMAC2_MDC/ETHSW_MDC/ESC_MDC/ESWM_MDC/SD1_IOVS/ENCIFDO4
R2	P03_5	I/O	IRQ03_5/A25/GTETRGSB/RXD3/SCL3/MISO3/RXDE5/ETH4_RXER/ESWM_PHYLINK1/HPSW_PHYLINK1/SPI_MISO0/SPI_SSL30/SD1_WP/MDAT11/MCLK30/ENCIFDI5
R3	P04_1	I/O	IRQ04_1/GTIOC1_1A/SS0#/CTS0#/RST0#/DEE1/SD1_DATA1/MDAT00/MDAT30/ENCIFOE1/DUEI5/HDSL1_MISO1
R4	P04_2	I/O	IRQ04_2/GTIOC1_2A/CTS0#/TXDE2/SD1_DATA2/MCLK01/MCLK31/ENCIFDO2/TST_OUT5/HDSL1_MOSI1
R5	VCC1833_5	Power	—
R6	VCC1833_5	Power	—
R7	—	—	—
R8	VSS	Power	—
R9	VDD	Power	—
R10	VSS	Power	—
R11	VDD	Power	—
R12	VDD	Power	—
R13	VSS	Power	—
R14	VDD	Power	—
R15	VDD	Power	—
R16	VSS	Power	—
R17	—	—	—
R18	DDR_VDD_Q	Power	—
R19	VSS	Power	—
R20	DDR_CAA2	I/O	—
R21	DDR_CAA1	I/O	—
R22	DDR_CKEA0	I/O	—
R23	VSS	Power	—
T1	P03_6	I/O	IRQ03_6/GTIOC1_0A/SCK0/SCKE0/SD1_CLK/MCLK02/MCLK32/ENCIFCK0/DUEI4/HDSL1_SMPL
T2	P04_3	I/O	IRQ04_3/GTIOC1_2B/DE0/RXDE2/SD1_DATA3/MDAT01/MDAT31/ENCIFDI2/SI5#/HDSL1_CLK2

Pin number	Primary pin name	Primary electrical type	Alternate pin names
T3	P04_6	I/O	IRQ04_6/GTIOC2_4A/GTIOC5_2A/CMTW0_TIC1/TXD1/SDA1/MOSI1/ESC_LINKACT1/CANTX0/SPI_MOSI1/SD0_DATA0/NAND_IO0/HSPI_IO0/SI6#/HDSL1_MOSI2
T4	P05_1	I/O	IRQ05_1/GTIOC4_4B/GTIOC5_3B/CMTW1_TOC0/DE1/DEE5/ETHSW_PTPOUT0/ESC_SYNC0/SPI_SSL12/SPI_RSPCK0/SD0_DATA3/NAND_IO3/HSPI_IO3/ENCIFOE5/SI7#
T5	VSS	Power	—
T6	VSS	Power	—
T7	—	—	—
T8	VDD	Power	—
T9	VSS	Power	—
T10	VDD	Power	—
T11	VCC18_PL L4	Power	—
T12	VSS	Power	—
T13	VDD	Power	—
T14	VCC33	Power	—
T15	VSS	Power	—
T16	VDD	Power	—
T17	—	—	—
T18	VSS	Power	—
T19	DDR_CAA4	I/O	—
T20	DDR_CAA3	I/O	—
T21	VSS	Power	—
T22	DDR_CSA1	I/O	—
T23	DDR_CKEA1	I/O	—
U1	VSS	Power	—
U2	P04_4	I/O	IRQ04_4/GTIOC5_1A/CMTW0_TIC0/SCK1/GMAC0_PTPTRG0/ESC_LATCH0/SPI_RSPCK1/SD0_CLK/NAND_WE#/HSPI_INT#/DUEI6/HDSL1_SEL2
U3	P05_2	I/O	IRQ05_2/GTIOC1_3B/GTIOC5_0A/CMTW1_TIC1/SCK2/TXDE5/ESC_LED RUN/SPI_RSPCK2/SD0_DATA4/NAND_IO4/HSPI_CK/ENCIFDO5/HDSL2_CLK1
U4	P05_4	I/O	IRQ05_4/GTIOC2_3A/TXD2/SDA2/MOSI2/IIC_SDA2/ETH0_RXER/SPI_MOSI2/SD0_DATA6/NAND_IO6/MCLK00/HSPI_IO5/HDSL2_MISO1
U5	VSS	Power	—
U6	VCC33	Power	—
U7	—	—	—
U8	—	—	—
U9	—	—	—
U10	—	—	—
U11	—	—	—
U12	—	—	—
U13	—	—	—
U14	—	—	—
U15	—	—	—
U16	—	—	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
U17	—	—	—
U18	DDR_VDD Q	Power	—
U19	DDR_CALI BRAT ION	Input	—
U20	DDR_RETE NTI ON	Input	—
U21	DDR_RESE T#	Output	—
U22	DDR_CAA5	I/O	—
U23	VSS	Power	—
V1	P04_5	I/O	IRQ04_5/GTIOC5_1B/CMTW0_TOC0/RXD1/SCL1/MISO1/ESC_LINKACT0/CANRX0/ SPI_MISO1/SD0_CMD/NAND_RE#/HSPI_CS#/TST_OUT6/HDLSL1_MISO2
V2	P04_7	I/O	IRQ04_7/GTIOC2_4B/GTIOC5_2B/CMTW0_TOC1/SS1#/CTS1#/RTS1#/ESC_RESETOUT#/ CANRXDP0/SPI_DDL10/SD0_DATA1/NAND_IO1/HSPI_IO1/DUEI7/HDLSL2_LINK
V3	VSS	Power	—
V4	P05_3	I/O	IRQ05_3/GTIOC5_0B/CMTW1_TOC1/RXD2/SCL2/MISO2/RXDE5/IIC_SCL2/ETH0_TXER/ ETH1_RXER/SPI_MISO2/SD0_DATA5/NAND_IO5/HSPI_IO4/ENCIFDI5/HDLSL2_SEL1
V5	VSS	Power	—
V6	VSS	Power	—
V7	VCC33	Power	—
V8	VCC33	Power	—
V9	VSS	Power	—
V10	VCC18_PL L3	Power	—
V11	VSS	Power	—
V12	PCIE_VDD A_RX	Power	—
V13	PCIE_VDD A_TX	Power	—
V14	PCIE_VDD A_TX	Power	—
V15	PCIE_VCC 18A_CMN	Power	—
V16	VSS	Power	—
V17	VSS	Power	—
V18	VSS	Power	—
V19	VSS	Power	—
V20	VCC18_OT P	Power	—
V21	VSS	Power	—
V22	VSS	Power	—
V23	VSS	Power	—
W1	P05_0	I/O	IRQ05_0/GTIOC3_4A/GTIOC5_3A/CMTW1_TIC0/CTS1#/SCKE5/ESC_LEDERR/CANTXDP0/ SPI_SSL11/SD0_DATA2/NAND_IO2/HSPI_IO2/ENCIFCK5/TST_OUT7/HDLSL2_SMPL
W2	P05_5	I/O	IRQ05_5/GTIOC2_3B/SS2#/CTS2#/RTS2#/RXD2/SCL2/MISO2/ETH0_CRS/SPI_SSL20/ SD0_DATA7/NAND_IO7/MDAT00/HSPI_IO6/HDLSL2_MOSI1

Pin number	Primary pin name	Primary electrical type	Alternate pin names
W3	P05_6	I/O	IRQ05_6/CTS2#/TXD2/SDA2/ MOSI2/ETH2_COL/SPI_SSL21/SD0_RST#/NAND_WP#/MCLK01/HSPI_IO7/HDSL2_CLK2
W4	P08_5	I/O	MDW0/IRQ08_5/A6/SCKE3/SD1_PWEN/NAND_ALE/HA6/ENCIFCK3/DUIE0
W5	P08_7	I/O	MDD/IRQ08_7/A8/DEE7/SD0_PWEN/NAND_CE0#/HA8/ENCIFOE7/SI0#
W6	VSS	Power	—
W7	VSS	Power	—
W8	VSS	Power	—
W9	VDD18ABG	Power	—
W10	VCC33_US B	Power	—
W11	VSS_USB	Power	—
W12	VSS	Power	—
W13	PCIE_VDD A_RX	Power	—
W14	PCIE_REF CLKN	Input	—
W15	VSS	Power	—
W16	VSS	Power	—
W17	VCC18_AD C0	Power	—
W18	VCC18_AD C1	Power	—
W19	VCC18_AD C2	Power	—
W20	VSS	Power	—
W21	AVCC18_T SU	Power	—
W22	VSS	Power	—
W23	VSS	Power	—
Y1	P08_6	I/O	MDW1/IRQ08_6/A7/DEE3/SD1_IOVS/NAND_CLE/HA7/ENCIFOE3/TST_OUT0
Y2	P09_0	I/O	MDV0/IRQ09_0/WE0#/TXDE7/ETHSW_PTPOUT1/ESC_SYNC1/SD0_IOVS/HWR0#/ENCIFDO7/DUEI1
Y3	P09_3	I/O	IRQ09_3/CS0#/MTIOC2A/GTIOC4_3A/SS0#/CTS0#/RST0#/RXDE6/SCKE4/ETHSW_LPI0/ESWM_MPINT0/SD0_CD/NAND_RY_BY0#/MCLK31/HCS0#/ENCIFCK4/ENCIFDI6/HDSL6_MOSI1
Y4	P09_5	I/O	MDV2/IRQ09_5/A1/TXDE3/TXDE4/ETHSW_LPI2/HA1/ENCIFDO3/ENCIFDO4/DUEI2
Y5	P09_7	I/O	MDV4/IRQ09_7/A3/SCKE6/ETHSW_TDMAOUT1/ESC_LINKACT1/ESC_LINKACT2/HA3/ENCIFCK6/SI2#/POUTA
Y6	TDI	Input	P12_1/IRQ12_1
Y7	TRST#	Input	—
Y8	VSS	Power	—
Y9	NCPOUT	Input	—
Y10	AVCC18_U SB	Power	—
Y11	VSS_USB	Power	—
Y12	VSS	Power	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
Y13	PCIE_VCC 18A	Power	—
Y14	PCIE_REF CLKP	Input	—
Y15	EXTCLKIN	Input	—
Y16	MDX	Input	—
Y17	VREFH0	Power	—
Y18	VREFH1	Power	—
Y19	VREFH2	Power	—
Y20	VSS	Power	—
Y21	VSS	Power	—
Y22	VSS	Power	—
Y23	AN205	Input	—
AA1	P09_1	I/O	MDV1/IRQ09_1/WE1#/SCKE7/NAND_CE1#/HWR1#/ENCIFCK7/TST_OUT1
AA2	P09_2	I/O	IRQ09_2/WAIT#/SCK0/RXDE3/RXDE4/NAND_RY_BY1#/HWR1#/ENCIFDI3/ENCIFDI4/SI1#/HDCL6_CLK1
AA3	P09_4	I/O	IRQ09_4/RD#/MTIOC2B/GTIOC4_3B/CTS0#/RXDE7/DEE4/ETHSW_LPI1/ESWM_MPINT1/SD0_WP/NAND_RY_BY2#/MDAT31/HRD#/ENCIFOE4/ENCIFDI7
AA4	P11_3	I/O	IRQ11_3/POE4#/GTETRGD/RXD0/SCL0/MISO0/IIC_SCL1
AA5	P11_7	I/O	IRQ11_7/POE11#/GTIOC5_2A/GTETRGB/RTCAT1HZ/USB_OTG_ID/MBX_HINT#
AA6	TDO	Output	P12_3/IRQ12_3
AA7	P12_4	I/O	IRQ12_4/USB_VBUSIN
AA8	VSS	Power	—
AA9	VSS_USB	Power	—
AA10	USB_RREF	Power	—
AA11	VSS_USB	Power	—
AA12	VSS	Power	—
AA13	VSS	Power	—
AA14	VSS	Power	—
AA15	VSS	Power	—
AA16	VSS	Power	—
AA17	VSS	Power	—
AA18	VSS	Power	—
AA19	AN102	Input	—
AA20	AN103	Input	—
AA21	AN201	Input	—
AA22	AN203	Input	—
AA23	AN207	Input	—
AB1	P09_6	I/O	MDV3/IRQ09_6/A2/DE0/TXDE6/ETHSW_TDMAOUT0/NAND_CE2#/HA2/ENCIFDO6/TST_OUT2
AB2	P10_0	I/O	MDV5/IRQ10_0/A4/DEE6/ETHSW_TDMAOUT2/ESC_IRQ/NAND_CE3#/HA4/ENCIFOE6/POUTB
AB3	P10_1	I/O	MDB/IRQ10_1/A5/ETHSW_TDMAOUT3/ESC_RESETOUT#/ESC_LED RUN/HA5/POUTZ

Pin number	Primary pin name	Primary electrical type	Alternate pin names
AB4	P11_0	I/O	IRQ11_0/TXDE2/USB_VBUSEN/ENCIFDO2
AB5	P11_2	I/O	IRQ11_2/GTIOC0_3B/TXD1/SDA1/MOSI1/IIC_SDA0/ESC_I2CDATA/USB_EXICEN
AB6	P11_5	I/O	CKIO/IRQ11_5/POE0#/GTIOC5_0A/GTETRGA/SCIEXTCLK/IIC_SCL2/NAND_RY_BY3#/HCKIO
AB7	BSCANP	Input	—
AB8	VSS	Power	—
AB9	USB_DP	I/O	—
AB10	VCC18_USB	Power	—
AB11	VSS	Power	—
AB12	PCIE_RXD P	Input	—
AB13	VSS	Power	—
AB14	PCIE_TXD P	Output	—
AB15	VSS	Power	—
AB16	XTAL	Power	—
AB17	VSS	Power	—
AB18	AN000	Input	—
AB19	AN002	Input	—
AB20	AN101	Input	—
AB21	AN202	Input	—
AB22	AN204	Input	—
AB23	AN206	Input	—
AC1	VSS	Power	—
AC2	P11_1	I/O	IRQ11_1/GTIOC0_3A/RXD1/SCL1/MISO1/RXDE2/IIC_SCL0/ESC_I2CCLK/USB_OVRCUR/ENCIFDI2
AC3	RSTOUT#	Output	P11_4/IRQ11_4/GTETRGA/TXD0/SDA0/MOSI0/IIC_SDA1
AC4	P11_6	I/O	IRQ11_6/IIC_SDA2/USB_OVRCUR
AC5	TMS	I/O	P12_0/IRQ12_0
AC6	VSS	Power	—
AC7	TCK	Input	P12_2/IRQ12_2
AC8	VSS	Power	—
AC9	USB_DM	I/O	—
AC10	VSS_USB	Power	—
AC11	VSS	Power	—
AC12	PCIE_RXD N	Input	—
AC13	VSS	Power	—
AC14	PCIE_TXD N	Output	—
AC15	VSS	Power	—
AC16	EXTAL	Input	—
AC17	RES#	Input	—

Pin number	Primary pin name	Primary electrical type	Alternate pin names
AC18	AN001	Input	—
AC19	AN003	Input	—
AC20	AN100	Input	—
AC21	VSS	Power	—
AC22	AN200	Input	—
AC23	VSS	Power	—

2.3 Symbol Parameters

Orderable Part Number	Min Input Voltage	Max Input Voltage	Frequency	Min Operating Temperature	Max Operating Temperature	RAM size	Memory Size	Interface	Number of A/D Converters	Number of I2C Channels	Number of SPI Channels	Number of UART Channels	Number of Timers/ Counters
R9A07G076M48GBG	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M47GBG	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M45GBG	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M43GBG	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1

Orderable Part Number	Min Input Voltage	Max Input Voltage	Frequency	Min Operating Temperature	Max Operating Temperature	RAM size	Memory Size	Interface	Number of A/D Converters	Number of I2C Channels	Number of SPI Channels	Number of UART Channels	Number of Timers/ Counters
R9A07G076M37GBG	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M35GBG	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M30GBG	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M48GBA	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M47GBA	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M45GBA	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1

Orderable Part Number	Min Input Voltage	Max Input Voltage	Frequency	Min Operating Temperature	Max Operating Temperature	RAM size	Memory Size	Interface	Number of A/D Converters	Number of I2C Channels	Number of SPI Channels	Number of UART Channels	Number of Timers/ Counters
R9A07G076M43 GBA	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M37 GBA	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M35 GBA	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1
R9A07G076M30 GBA	1.05	1.10	1200 MHz	-40 °C	125 °C	2 MB	N/A	USB, SCI, I2C, CANF D, SPI, xSPI, SDHI, PCIE	3	3	4	0	MTU3 × 1, GPT × 6, CMT × 3, CMTW × 2, WDT × 4, RTC × 1

2.4 Footprint Design Information

2.4.1 537-FBGA

IPC footprint type	Package Code/ POD number	Number of pins
BGA	PLBG0537GB-A	537

Description	Dimension	Value (mm)	Diagram
Minimum body Length (vertical side)	D_{min}	20.85	Bottom View Side View
Maximum body Length (vertical side)	D_{max}	21.15	
Average length of grid (vertical side)	$D1_{ave}$	19.20	
Minimum body Width (horizontal side)	E_{min}	20.85	
Maximum body Width (horizontal side)	E_{max}	21.15	
Average length of grid (horizontal side)	$E1_{ave}$	19.20	
Average ball diameter	B_{nom}	0.43	
Distance between the center of any two adjacent balls (vertical side)	PitchD	0.80	
Distance between the center of any two adjacent balls (horizontal side)	PitchE	0.80	
P = Plain Grid, S = Staggered Grid	GridType	P	
F = Full Matrix, P = Perimeter, SD = Selectively Depopulated, TE = Thermally Enhanced	MatrixType	TE	
Number of balls (vertical side)	Rows	25	
Number of balls (horizontal side)	Columns	25	
Maximum number of ball positions (Rows × Columns)	Nmax	625	
Number of actual balls present	PinCount	537	
Ball positions removed from matrix. Example: C5-H10, B6-B9, A1	Depopulate Balls	G7-W19	
Ball positions added back into depopulated matrix. Example: C8, D6-F9	Repopulate Balls	J9-U17	
Minimum Standoff Height	$A1_{min}$	0.27	
Maximum Height	A_{max}	1.45	

2.4.2 489-FBGA

IPC footprint type	Package Code/ POD number	Number of pins
BGA	PLBG0489JA-A	489

Description	Dimension	Value (mm)	Diagram
Minimum body Length (vertical side)	D_{min}	15.85	Bottom View Side View
Maximum body Length (vertical side)	D_{max}	16.15	
Average length of grid (vertical side)	$D1_{ave}$	14.30	
Minimum body Width (horizontal side)	E_{min}	15.85	
Maximum body Width (horizontal side)	E_{max}	16.15	
Average length of grid (horizontal side)	$E1_{ave}$	14.30	
Average ball diameter	B_{nom}	0.37	
Distance between the center of any two adjacent balls (vertical side)	PitchD	0.65	
Distance between the center of any two adjacent balls (horizontal side)	PitchE	0.65	
P = Plain Grid, S = Staggered Grid	GridType	P	
F = Full Matrix, P = Perimeter, SD = Selectively Depopulated, TE = Thermally Enhanced	MatrixType	TE	
Number of balls (vertical side)	Rows	23	
Number of balls (horizontal side)	Columns	23	
Maximum number of ball positions (Rows × Columns)	Nmax	529	
Number of actual balls present	PinCount	489	
Ball positions removed from matrix. Example: C5-H10, B6-B9, A1	Depopulate Balls	G7-U17	
Ball positions added back into depopulated matrix. Example: C8, D6-F9	Repopulate Balls	H8-T16	
Minimum Standoff Height	$A1_{min}$	0.22	
Maximum Height	A_{max}	1.40	

改訂履歴

Revision 1.00 — 2025 年 12 月 26 日

- 初版発行

Revision 1.10 — 2026 年 7 月 17 日

1. 概要 :

- 1.1 仕様概要を更新
- 表 1.6 イベントリンクを更新
- 表 1.8 通信インタフェースを更新
- 表 1.12 セキュリティを更新
- 表 1.17 製品ラインナップを更新
- 図 1.1 ブロック図を更新
- 表 1.18 端子機能を更新

2. 電気的特性 :

- 表 2.3 電源投入／遮断シーケンスタイミングを更新
- 表 2.14 I/O 設定 (DRCTLm レジスタ設定) の条件を更新
- 表 2.20 リセット、割り込み、およびモードタイミングを更新
- 表 2.36 xSPI タイミングを更新
- 表 2.38 イーサネットインタフェースタイミングを更新

付録 2. ECAD Design Information :

- 付録 2. ECAD Design Information を追加

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットしてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。