RZ/T2H および RZ/N2H グループ
RZ Arm ベースハイエンド 32 ビット／64 ビット MPU

R01DS0426JJ0110
Rev.1.10
Oct 25, 2024

600/1200 MHz Cortex-A55 クワッド／デュアル／シングル MPCore、500/1000 MHz デュアル Arm® Cortex®-R52 で、FPU および NEON™を内蔵し、2.0 MB 内蔵 SRAM、32 ビット LPDDR4-3200、イーサネット MAC、EtherCAT、USB 2.0 ハイスピード、PCI Express Gen3、SD カードホストインタフェース、CAN/CANFD、xSPI や ΔΣ インタフェースなどの多種多様な通信機能、エンコーダインタフェース、およびセキュリティ機能を搭載

特長

■ 内蔵 64 ビット Arm Cortex-A55 プロセッサ
- クワッド／デュアル／シングル MPCore コア
- 最高動作周波数：
  - コア：600/1200 MHz
  - DSU：500/1000 MHz
- 64 ビット Arm Cortex-A55 クワッド／デュアル／シングル MPCore コア (revision r2p0)
- アドレス空間：32 GB
- L1 キャッシュ：
  - I キャッシュ：32 KB（パリティ付き）
  - D キャッシュ：32 KB（ECC 付き）
- L2 キャッシュ：0 バイト
- L3 キャッシュ：1024 KB（ECC 付き）
- NEON/FPU 対応
- 暗号拡張機能対応（セキュリティ製品のみ）
- Arm V8.2-A アーキテクチャ

■ 内蔵 32 ビット Arm Cortex-R52 プロセッサ
- 動作周波数 500/1000 MHz の高速リアルタイムコントロール
- デュアル 32 ビット Arm Cortex-R52 (revision r1p4) を内蔵
- ECC 付き密接合メモリ (TCM)
  - CPU0、CPU1：512 KB/64 KB
- ECC 付き命令キャッシュ／データキャッシュ
  - CPU0、CPU1：キャッシュあたり、16 KB
- 高速割り込み
- NEON/FPU 対応
- 8 段パイプラインのハーバードアーキテクチャ
- メモリプロテクションユニット (MPU) 対応
- Arm CoreSight アーキテクチャで JTAG および SWD インタフェースによるデバッグをサポート
- DCLS（デュアルコアロックステップ）のサポートなし

■ 低消費電力
- スタンバイモード、モジュールストップ機能

■ 内蔵 SRAM
- 2.0 MB の ECC 付き内蔵 SRAM
- 250 MHz

■ LPDDR4 SDRAM メモリインタフェース
- データ転送：3.2 Gbps
- バス幅：32 ビット
- ランク：1、2
- サイズ：最大 64 Gb

■ データ転送
- DMAC：16 チャネル × 3 ユニット

■ イベントリンクコントローラ
- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU がスタンバイ状態でも、モジュール間のリンク動作が可能

■ リセットと電源電圧制御
- 端子リセットを含む 10 個のリセット要因

■ クロック機能
- 外部クロック／発振器入力周波数：25 MHz
- CPU クロック周波数：600/1200 MHz (Cortex-A55)、500/1000 MHz (Cortex-R52)
- システムクロック周波数：400 MHz (A-Bus)、250 MHz (R-Bus)
- 低速オンチップオシレータ (LOCO)：1 MHz

■ セーフティ機能
- レジスタライトプロテクション、入力クロック発振停止の検出および CRC
- マスタメモリプロテクションユニット (MPU)

■ セキュリティ機能（オプション）
- 暗号化によるセキュリティを備えたブートモード
- JTAG 認証
- 暗号化アクセラレータ
- TRNG
- Cortex-A55 暗号拡張
- Arm® TrustZone®テクノロジー

■ エンコーダインタフェース
- 16 チャネル
- EnDat 2.2、BiSS-C、A-format、HIPERFACE DSL 準拠の I/F
- エンコーダからの周波数分周出力

■ 多種多様な通信機能を内蔵
- イーサネット
  - EtherCAT スレーブコントローラ：3 ポート
  - イーサネットスイッチ：3 ポート
  - イーサネット MAC：1 ポート × 3 ユニット
- USB2.0 ハイスピードホスト／ファンクション：1 チャネル
- ISO11898-1 準拠の CAN/CANFD：2 チャネル
- 16 バイトの送受信 FIFO 搭載 SCI：6 チャネル + 12 チャネル（エンコーダ用）
- I2C バスインタフェース：3 チャネル（最高 400 kbps 転送）
- SPI：4 チャネル
- xSPI：2 チャネル
- PCI Express Gen3：2 レーン × 1 ポート／1 レーン × 2 ポート
- SD カードホストインタフェース：2 チャネル

■ 外部ホストインタフェース
- シリアルホストインタフェース

■ 外部アドレス空間
- 高速データ転送バス（最高 125 MHz）
- 最大 4 つの CS 領域をサポート
- エリアごとに 8/16/32 ビットバス空間を選択可能

■ 最大 73 本の拡張タイマ機能
- 16 ビット × 8 + 32 ビット MTU3（9 チャネル）、32 ビット GPT（56 チャネル）
- 16 ビット CMT：6 チャネル、32 ビット CMTW：2 チャネル

■ ΔΣ インタフェース
- 外部に最大 30 チャネルの ΔΣ モジュレータを接続可能

■ 三角関数ユニット
- 2 ユニット
- sin と cos を同時に計算
- arctan と hypot_k を同時に計算

■ 12 ビット A/D コンバータ
- 12 ビット × 3 ユニット（ユニット 0、1：4 チャネル、ユニット 2：15 チャネル）

■ チップ内部の温度を計測可能な温度センサを内蔵

■ LCD コントローラ
- 画像処理をサポート（ディザ、クリップ、ガンマ補正）
- パラレル出力インタフェース
- 出力データフォーマット：RGB666 / RGB888
- WXGA (1280 × 800)、60 fps をサポート

■ 汎用入出力ポート
- 入力プルアップ／プルダウン
- 周辺機能の入出力端子を複数個所から選択可能

■ 動作温度範囲
- Tj = -40～+125°C

1. 概要

1.1 仕様概要

この MPU は、浮動小数点ユニット (FPU) および NEON™を備える、Cortex-A55 クワッド MPCore およびデュアル Arm Cortex®-R52 プロセッサによる高性能 ASSP です。システム構成に必要な統合された周辺機能を内蔵しています。

表 1.1 CPU

機能	機能説明
Arm® Cortex®-A55	● クワッド／デュアル／シングル MPCore コア 1 プロセッサ構成 ● 動作周波数 – コア：600 MHz/1200 MHz – DSU：500 MHz/1000 MHz ● Arm の設計による 64 ビット CPU Cortex-A55 (Core revision r2p0) ● アドレス空間： 32 GB ● L1 キャッシュ – I キャッシュ：コアごとに 32 KB（パリティ付き） – D キャッシュ：コアごとに 32 KB（ECC 付き） ● L2 キャッシュ：0 バイト ● L3 キャッシュ：1024 KB（ECC あり） ● Arm V8.2-A アーキテクチャ ● NEON/FPU 対応 ● 暗号拡張機能対応（セキュリティ製品のみ）
Arm®Cortex®-R52	● シングルコア 2 プロセッサ構成 ● 動作周波数 – 各 CPU0 および CPU1：500 MHz/1000 MHz ● Arm の設計による 32 ビット CPU Cortex-R52 (Core revision r1p4) ● アドレス空間：4 GB ● 命令キャッシュ – 各 CPU0 および CPU1：16 KB（ECC あり） ● データキャッシュ – 各 CPU0 および CPU1：16 KB（ECC あり） ● 密接合メモリ (TCM) – 各 CPU0 および CPU1 ATCM：512 KB（ECC 付き）0 ウェイト (500 MHz) ／1 ウェイト (1000 MHz) BTCM：64 KB（ECC あり）0 ウェイト CTCM：0 KB ● 命令セット：ARM v8-R アーキテクチャ、Thumb®および Thumb-2 を含めてサポート ● 2 ステージメモリプロテクションユニット (MPU) ● NEON/FPU 対応

表 1.2 メモリ

機能	機能説明
ECC 付き内蔵システム SRAM	● 容量：2.0 MB（512 KB × 4 ユニット）（ECC 付き） ● 動作周波数：250 MHz ● SEC-DED（シングルエラー訂正/ダブルエラー検出） エラーインジェクションをサポート
ワンタイムプログラマブルメモリ	● 上書き保護 ● 冗長機能対応 ● 使用可能な情報 – ユニーク ID – 認証設定 – トリミングデータ – ブートモード設定 – ユーザー領域
LPDDR4 SDRAM メモリインタフェース	● データ転送：3.2 Gbps ● バス幅：32 ビット ● ランク：1, 2 ● サイズ：最大 64 Gb ● インライン ECC ● LPDDR4X のサポートなし

表 1.3 システム

機能	機能説明
動作モード	動作モードは、以下の 7 つのブートモードから選択できます。 ● xSPI0 ブートモード（CS0 × 1 ブートシリアルフラッシュ） ● xSPI0 ブートモード（CS0 × 8 ブートシリアルフラッシュ） ● eMMC ブートモード ● SD ブートモード ● xSPI1 ブートモード（CS0 × 1 ブートシリアルフラッシュ） ● SCI ブートモード ● USB ブートモード
クロック発生回路	● 入力クロックは、外部クロックまたは外部発振子から選択できます。 ● 入力クロック発振停止の検出 ● 以下のクロックを発生します。 – Cortex-A55 クロック：600 または 1200 MHz（コアごとに選択可能） – Cortex-R52 クロック：500 または 1000 MHz（ユニットごとに選択可能） – A-Bus クロック：400 MHz – R-Bus クロック：250 MHz – 高速周辺モジュールクロック A (PCLKAH)：400 MHz – 中速周辺モジュールクロック A (PCLKAM)：200 MHz – 低速周辺モジュールクロック A (PCLKAL)：100 MHz – 高速周辺モジュールクロック R (PCLKH)：250 MHz – 中速周辺モジュールクロック R (PCLKM)：125 MHz – 低速周辺モジュールクロック R (PCLKL)：62.5 MHz – 12 ビット A/D コンバータの ADC クロック：62.5 MHz – 外部バスクロック：125 MHz – 低速オンチップオシレータ：1 MHz
リセット	RES#端子リセット、ソフトウェアリセット、エラーリセット、Cortex-A55 クラスタソフトウェアリセット、Cortex-A55 core0 ソフトウェアリセット、Cortex-A55 core1 ソフトウェアリセット、Cortex-A55 core2 ソフトウェアリセット、Cortex-A55 core3 ソフトウェアリセット、Cortex-R52 CPU0 ソフトウェアリセット、Cortex-R52 CPU1 ソフトウェアリセット
低消費電力機能	● スタンバイモード (Cortex-A55, Cortex-R52) ● モジュールストップ機能
割り込みコントローラ (ICU)	● Cortex-A55 の GIC600 に割り込みを接続します。 ● Cortex-R52 CPU0 および CPU1 の GIC（ジェネリック割り込みコントローラ）に割り込みを接続します。 ● 起動トリガを DMAC と ELC に接続します。 ● 周辺機能割り込み：394 要因 ● 外部割り込み：16 要因（IRQ0～IRQ15 端子） ● ソフトウェア割り込み：16 要因 ● システムエラー割り込み：1 要因 ● 32 レベルの優先順位を GIC に設定可能
バスステートコントローラ (BSC)	● 外部アドレス空間は、管理のために 4 領域（CS0、CS2、CS3、CS5）に分割されています。 ● 以下の機能を各領域に対して独立して設定可能です。 バスサイズ（8、16、または 32 ビット）：使用可能なサイズは領域に依存します。アクセスウェイトサイクル数（領域によって、読み出しアクセスサイクルと書き込みアクセスサイクルに異なるウェイトサイクルを指定可能です）。アイドルウェイトサイクル挿入（同じ領域のアクセスサイクル間、または異なる領域のアクセスサイクル間）。各領域に接続されるメモリを指定することで、SRAM、バイト選択付き SRAM、およびバースト ROM（クロック同期または調歩同期）への直接接続が可能です。アドレス／データマルチプレクス入出力 (MPX) インタフェースも利用可能です。 ● 対象の領域に従って、チップセレクト信号（CS0#～CS5#）を出力します。（CS アサートまたはネゲートのタイミングはソフトウェアで選択可能です。）

表 1.4 ダイレクトメモリアクセス

機能	機能説明
ダイレクトメモリアクセスコントローラ (DMAC)	● 3 ユニット（各ユニットあたり 16 チャネル） ● 転送モード：シングル転送モードおよびブロック転送モード ● 転送サイズ – ユニット 0：1/2/4/8/16/32/64 バイト – ユニット 1、2：1/2/4/8/16/32 バイト ● 起動要因：ソフトウェアトリガ、外部 DMA 要求 (DREQ)、外部割り込み、および周辺機能割り込み要求

表 1.5 I/O ポート

機能	機能説明
汎用入出力ポート	● 729 ピン FCBGA – 入出力端子：287 – 入力端子：0 – プルアップ／プルダウン抵抗：287 ● 576 ピン FCBGA – 入出力端子：189 – 入力端子：0 – プルアップ／プルダウン抵抗：189 ● 入出力機能の場所は、複数の端子から選択可能です。

表 1.6 イベントリンク

機能	機能説明
イベントリンクコントローラ (ELC)	● 最大 648 イベント信号をモジュールの動作に連動可能です。 ● 特にタイマ系のモジュールの動作はイベント信号の入力で起動できます。 ● ポート 14 およびポート 30 の信号のイベントリンク動作が可能になります。

表 1.7 タイマ (1/2)

機能	機能説明
マルチファンクションタイマパルスユニット 3 (MTU3)	● 9 チャネル（16 ビット× 8 チャネル、32 ビット× 1 チャネル） ● 最大 28 本のパルス入出力および 3 本のパルス入力が可能 ● チャネルごとに 10、11、12、または 14 種類のカウンタ入力クロック信号から選択可能（最高動作周波数 250 MHz） ● インプットキャプチャ機能 ● 39 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ ● カウンタクリア動作（コンペアマッチ／インプットキャプチャによる同期クリア） ● 複数のタイマカウンタ (TCNT) への同時書き込み ● カウンタの同期動作による各レジスタの同時入出力 ● バッファ動作 ● カスケード接続動作をサポート ● レジスタデータの自動転送 ● パルス出力モード トグル/PWM/相補 PWM/リセット同期 PWM ● 相補 PWM 出力モード – 三相インバータ制御用ノンオーバーラップ波形を出力 – デッドタイム自動設定 – PWM デューティーサイクル：PWM のデューティー比を 0～100%の任意の値に選択可能 – A/D 変換要求ディレイド機能 – 山／谷割り込み間引き機能 – ダブルバッファ構成 ● リセット同期 PWM モード 任意のデューティ比の正相／逆相 PWM 波形を 6 相出力可能 ● 位相計数モード：16 ビットモード（チャネル 1 および 2）／32 ビットモード（チャネル 1 と 2 のカスケード接続） ● デッドタイム補償用カウンタ機能 ● A/D コンバータの変換開始トリガ生成機能 ● A/D コンバータの変換開始トリガの間引きが可能 ● インプットキャプチャ端子および外部カウントクロック端子の信号に対するデジタルノイズフィルタ機能 ● ELC によるイベントリンク機能をサポート

表 1.7 タイマ (2/2)

機能	機能説明
汎用 PWM タイマ (GPT)	● 32 ビット × 56 チャネル（5 チャネル × 9 ユニット + 7 チャネル × 1 ユニット + 4 チャネル × 1 ユニット） ● 全チャネルで、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波）が選択可能 ● チャネルごとに 4 種類のカウンタ入力クロック信号から選択可能（LLPP での最高動作周波数 500 MHz） ● チャネルごとに 2 本の入出力端子 ● チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが 2 本 ● 各チャネル 2 本のアウトプットコンペア／インプットキャプチャレジスタに対し、バッファレジスタとして 4 本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 ● アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成可能 ● チャネルごとにフレーム周期用レジスタを搭載（オーバーフロー／アンダーフローで割り込み可能） ● 複数のカウンタを同期動作可能 ● 同期動作のモード（同時または任意のタイミングでずらす（位相シフトに対応）） ● PWM 動作の際にデッドタイム生成が可能 ● 3 つのカウンタを組み合わせ、デットタイム付きの 3 相 PWM 波形を生成可能 ● 外部／内部トリガによるアップカウンタ／ダウンカウンタのスタート／クリア／ストップ／切り替え、およびインプットキャプチャ ● 入力レベル比較によるアップカウンタ／ダウンカウンタのスタート／クリア／ストップ／切り替え、およびインプットキャプチャ ● 内部トリガ要因：ソフトウェアおよびコンペアマッチ ● A/D コンバータの変換開始トリガ生成機能 ● インプットキャプチャ端子および外部トリガ端子の信号に対するデジタルノイズフィルタ機能 ● ELC によるイベントリンク機能をサポート ● 谷、または山／谷から出力デューティー 0%および出力デューティー 100%機能を選択可能
コンペアマッチタイマ (CMT)	● （16 ビット× 2 チャネル）× 3 ユニット ● チャネルごとに 4 種類のカウンタ入力クロック信号から選択
コンペアマッチタイマ W (CMTW)	● （32 ビット× 1 チャネル）× 2 ユニット ● コンペアマッチ、インプットキャプチャ入力、およびアウトプットコンペア出力が可能 ● チャネルごとに 4 種類のカウンタ入力クロック信号から選択 ● コンペアマッチ、インプットキャプチャ、およびアウトプットコンペアのイベントに応答して、割り込み要求の出力が可能
ウォッチドッグタイマ (WDT)	● 14 ビット × 6 チャネル ● チャネルごとに 6 種類のカウンタ入力クロック信号から選択
ポートアウトプットイネーブル 3 (POE3)	● MTU3 波形出力端子のハイインピーダンス制御 ● 以下の 5 つの入力端子からの入力：POE0#、POE4#、POE8#、POE10#、POE11# ● 出力短絡検出（PWM 出力が同時にアクティブレベルになったことを検出）による起動 ● 入力クロック発振停止検出、PLL 発振異常検出、2 種類の DSMIF エラー検出、またはソフトウェアによる起動 ● 出力制御対象端子をプログラマブルに追加制御可能
GPT 用のポートアウトプットイネーブル (POEG)	● GPT 波形出力の出力禁止を制御 ● GTETRG 端子の入力レベル検出による起動 ● GPT からの出力禁止要求による起動 ● 発振停止検出、2 種類の DSMIF エラー検出、またはソフトウェアによる起動
リアルタイムクロック (RTC)	● 2000 年から 2099 年までの 100 年カレンダー ● BCD コード表示 ● クロック源は、メイン発振器を分周 ● うるう年自動補正機能

表 1.8 通信インタフェース (1/3)

機能	機能説明
イーサネット MAC (GMAC)	● 1 ポート × 3 ユニット ● IEEE802.3 ● IEEE1588-2008 ● EEE 用の IEEE802.3-az-2010 ● 10/100/1000 Mbps データ転送をサポート ● 全二重モードおよび半二重モードに対応 ● 16 KB までの標準フレームとジャンボフレームの両方をサポートするプログラマブルなフレーム長 ● 32 本のアドレスフィルタブロック用 MAC アドレスレジスタ ● 多様なフレキシブルアドレスフィルタモードをサポート ● 先進の IEEE 1588-2002 および 2008 イーサネットフレームタイムスタンプをサポート ● RMII/RGMII コンバータが MII/RMII/RGMII インタフェースをサポート ● TSN 機能 (IEEE802.1Qbv, IEEE802.1Qbu/802.3br) ● 最大 8 RX キューおよび 8 TX キューのマルチキューをサポート ● DMA チャネル：8 RX チャネルおよび 8 TX チャネル ● VLAN フィルタリング、L3 フィルタリングおよび L4 フィルタリング
イーサネットスイッチ (ETHSW)	● 3 ポート PHY インタフェース ● IEEE802.3 ● 10/100/1000 Mbps データ転送をサポート ● 全二重通信および半二重通信（1000 Mbps は全二重通信のみ） ● ハードウェアスイッチング、ルックアップ、およびフィルタリング ● フレーム優先順位付けによる QoS ● VLAN Priority (IEEE802.1q) に基づく優先度制御により、優先度再配分を実現 ● IPv4 DiffServ コードポイントフィールド、IPv6 サービスのクラスに基づく分類と優先度配分 ● 8 つの優先度レベルによるキュー ● マルチキャストとブロードキャスト ● VLAN フレーム ● IEEE 1588-2008 互換 ● プログラマブルな Ingress VLAN タグと Egress VLAN タグの追加、削除、および操作（各ポートでのシングルタグとダブルタグ VLAN フレームをサポート） ● カットスルーとハブ機能 ● デバイスレベルリング (DLR) ● プログラマブルなポート毎の Egress レート制限 ● 設定可能なポート毎の Ingress ブロードキャスト／マルチキャストストーム保護 ● IEEE802.1X 送信元アドレス認証をサポート ● IEEE802.1X ゲスト VLAN をサポート ● PRP 機能（IEC 62439-3 2.0 2012 版） ● 遅延の事前確定を可能にする帯域予約のためのタイムスロットを使ったリアルタイムネットワークインフラストラクチャをサポートする、設定可能な時分割多重アクセス (TDMA) 出力キュースケジューラ ● フレームプリエンプション ● 周期的キューイングとフォワーディング ● TSN-IA プロファイルのフォワーディングルール ● MAC 送信元アドレスフィルタリング ● パターンマッチャー 12 チャネル ● タイムスタンプ用および TDMA 時間用に独立した 2 つのタイマモジュールが使用可能。 ● SNMP 経由のリモート監視 ● パワーリンク可能なハブ ● 拡張フレームパーサーによる Ingress フィルタとフレームヘッダの操作（アクティブストリームの識別、フローメーターリング） ● 4 つの追加 PTP タイマパルスジェネレータ ● RMII/RGMII コンバータが MII/RMII/RGMII インタフェースをサポート
EtherCAT スレーブコントローラ (ESC) (注1)	● 1 チャネル（3 ポート） ● EtherCAT スレーブコントローラ IP コア（Beckhoff Automation GmbH 製）を搭載 ● MII インタフェースをサポート。イーサネットサブシステムの RGMII コンバータが RMII/RGMII インタフェースをサポート。

表 1.8 通信インタフェース (2/3)

機能	機能説明
USB2.0 HS ホスト／ファンクションモジュール	● 1 ポート ● USB 2.0 仕様に準拠 ● OTG 対応 ● 転送速度 ハイスピード (480 Mbps)、フルスピード (12 Mbps)、およびロースピード（1.5 Mbps、ホストのみ） ● 通信バッファ – ホストモード用に 1 KB の RAM を内蔵 – ファンクションモード用に 8 KB の RAM を内蔵 ● DMAC（2 チャネル）を内蔵
シリアルコミュニケーションインタフェース (SCI)	● 6 チャネル + 12 チャネル（エンコーダ用） ● 6 種類の通信モード – 調歩同期式インタフェース – 8 ビットクロック同期式インタフェース – 簡易 I^2C（マスタのみ） – 簡易 SPI – スマートカードインタフェース – マンチェスタモード （エンコーダ用のチャネルでは、簡易 I^2C、簡易 SPI、およびスマートカードインタフェースモードがサポートされません。） ● クロック源は、4 つの内部クロック信号から選択 ● 内蔵のボーレートジェネレータにより任意のビットレートを設定可能 ● 全二重モードおよび半二重モード通信 ● データ長：7～9 ビット（調歩同期式モード） ● ビットレート変調 ● 倍速モード（調歩同期式モード、クロック同期式モード、簡易 SPI モード、マンチェスタモード） ● RS-485 ドライバコントロール機能（調歩同期式モード） ● 自己診断機能を有効にするループバック機能（調歩同期式モード、クロック同期式モード）
I^2C バスインタフェース (IIC)	● 3 チャネル ● 通信フォーマット：I^2C バスフォーマットまたは SMBus フォーマット ● マスタ／スレーブモードを選択可能 ● マルチマスタ対応 ● 最大転送速度：400 kbps（スタンダードモードおよびファストモード）
CAN-FD モジュール (CANFD)	● 2 チャネル ● CAN-FD ISO 11898-1 (2015) 準拠 ● 通信速度 – クラシカル CAN モード：1 Mbps – CAN FD モード： 公称ビットレート：最大 1 Mbps データビットレート：最大 8 Mbps ● 合計 192 メッセージバッファ（フレームサイズが 76 バイトの場合） – 個別バッファ：TX 用 64 個 – 共用バッファ：TX と RX 共用 128 個（FIFO を含む） ● 11 ビットの標準 ID および 18 ビットの拡張 ID の選択可能な ID タイプ ● 選択可能なフレームタイプ：データフレームとリモートフレーム ● 最大 256 の受信ルール
シリアルペリフェラルインタフェース (SPI)	● 4 チャネル ● SPI 転送機能 MOSI（マスタ出力、スレーブ入力）、MISO（マスタ入力、スレーブ出力）、SSL（スレーブ選択）、および RSPCK（SPI クロック）信号を使用して、マスタまたはスレーブとしてシリアル転送が可能な SPI 動作（4 線式）またはクロック同期式動作（3 線式）でシリアル通信が可能 ● データフォーマット – MSB ファースト／LSB ファーストの切り替え可能 – 転送ビット長を 4 ビット～32 ビットから選択可能 – 32 ビット × 4 ステージ FIFO の送信用バッファと受信用バッファ – 1 回の転送動作で最大 4 フレームの送受信が可能（1 フレームは最大 32 ビット） ● マスタ受信時、RSPCK は受信バッファフルで自動停止可能

表 1.8 通信インタフェース (3/3)

機能	機能説明
拡張シリアルペリフェラルインタフェース (xSPI)	● 2 チャネル ● JESD251 準拠 ● マルチスレーブは最大 2 スレーブ ● プロトコルモード：1/4/8 ピン SDR/DDR 1S-1S-1S、4S-4D-4D、8D-8D-8D ● OctaFlash、OctaRAM、HyperFlash、および HyperRAM をサポート ● プロトコルモード：QSPI 互換の 2/4 ピン SDR 1S-2S-2S、2S-2S-2S 1S-4S-4S、4S-4S-4S ● 設定可能なアドレス長 ● 設定可能な初期アクセスレイテンシサイクル ● XiP モードをサポート ● 256 MB までのアドレス空間に対応 ● 低レイテンシのバーストリードプリフェッチ機能 ● 高スループットのバーストライト高性能バッファ ● 最大 4 コマンドまで設定可能なマニュアルコマンド ● 出力クロック／入力ストローブのポートタイミングシフト ● リセット解除後の自動コマンド設定：最大 4 コマンド
SD/eMMC ホストインタフェース (SDHI)	● SD メモリ／IO カードインタフェース（1 ビット／4 ビット SD バス） ● SD、SDHC、および SDXC SD メモリカードアクセスをサポート ● デフォルト、high-speed、UHS-I/SDR12、SDR25、SDR50、SDR104、および DDR50 転送モードをサポート ● エラーチェック機能：CRC7（コマンド／レスポンス用）、CRC16（データ用） ● カード検出機能 ● ライトプロテクトをサポート ● MMC インタフェース（1/4/8 ビット MMC バス） ● e-MMC デバイスアクセスに対応 ● 下位互換、High-speed (SDR/DDR)、および HS200 転送モードをサポート ● 高優先順位割り込み (HPI) をサポート
PCI Express Gen3 (PCIE)	● PCI Express Gen1 (2.5 [GT/s]) / Gen2 (5.0 [GT/s]) / Gen3 (8.0 [GT/s]) ● ルートコンプレックス／エンドポイントアプリケーション、タイプ 0/1 コンフィグレーションレジスタ ● レーン／ポート：1 レーン × 2 ポート、または 2 レーン × 1 ポートを選択可能 ● 極性反転をサポート ● 最大データペイロード 256 バイト、最大読み出し要求サイズ 512 バイト ● 未処理の数：1～8 ● 速度／幅の増減構成の動的な制御 ● 電力管理（ASPM L1-Substate のサポートなし） ● エラー処理／ログ（AER サポート） ● ECC による FIFO リプレイ ● サポート機能数：2

注 1. EtherCAT は、Beckhoff Automation GmbH, Germany の登録商標です。

表 1.9 アナログ (1/2)

機能	機能説明
12 ビット A/D コンバータ (ADC12)	● 12 ビット × 3 ユニット（ユニット 0、1：4 チャネル、ユニット 2：15 チャネル） ● 分解能：12 ビット ● 変換時間 0.32 μs／チャネル ● 動作モード スキャンモード（シングルスキャンモード／連続スキャンモード／3 グループスキャンモード） グループ優先制御 ● サンプル＆ホールド機能 共用のサンプル＆ホールド回路を搭載 上記に加え、チャネル専用サンプル＆ホールド機能を搭載（全ユニットに 3 チャネル） ● サンプリング可変機能 チャネルごとにサンプリング時間が設定可能 ● ダブルトリガモード（A/D 変換データ 2 重化機能） ● 3 種類の A/D 変換開始方法 ソフトウェアトリガ、タイマ（MTU3、ELC）のトリガ、外部トリガ ● ELC によるイベントリンク機能をサポート

表 1.9 アナログ (2/2)

機能	機能説明
温度センサユニット (TSU)	● 1 チャネル ● 相対精度：±2℃ (Typ)

表 1.10 産業用インタフェース用ハードウェアアクセラレータ

機能	機能説明
ΔΣ インタフェース (DSMIF)	● 3 チャネル × 10 ユニット ● 2 入力 (U/V) または 3 入力 (U/V/W) 選択可能 ● 最大 6 本の ΔΣ モジュレータを外部から接続可能 ● Sinc フィルタは、1 次、2 次、または 3 次を選択可能 ● POE3 と POEG に直接エラー接続 ● 電流エラー検出の機能強化 ● コアクロック：250 MHz/400 MHz 選択可能
三角関数ユニット (TFU)	● 2 ユニット ● sin、cos、arctan、hypot_k ($\sqrt{x^2+y^2}/k$) の計算 ● sin と cos の同時計算 ● arctan と hypot_k の同時計算
エンコーダインタフェース	● EnDat 2.2（16 ユニット） ● BiSS-C（16 ユニット） ● A-format（16 ユニット） ● HIPERFACE DSL（16 ユニット） ● ENCOUT（1 ユニット）

表 1.11 セーフティ

機能	機能説明
メモリプロテクションユニット (MPU)	● Cortex-R52 MPU 2 ステージ MPU（EL2 および EL1） 各 MPU あたり 24 領域 ● マスタ MPU Cortex-A55 および Cortex-R52 以外のマスタ（DMAC、USB、イーサネット MAC、CoreSight、SHOSTIF、LCDC、SDHI、PCIE）に対するメモリプロテクション
レジスタライトプロテクション機能	プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
CRC 演算器 (CRC)	● 2 チャネル ● 8、16、または 32 ビット単位の任意のデータ長に対して CRC コードを生成 ● 以下の 5 つの多項式から選択可能： – $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$ (32-Ethernet) – $X^{32}+X^{28}+X^{27}+X^{26}+X^{25}+X^{23}+X^{22}+X^{20}+X^{19}+X^{18}+X^{14}+X^{13}+X^{11}+X^{10}+X^{9}+X^{8}+X^{6}+1$ (CRC-32C) – $X^{16}+X^{15}+X^{2}+1$ (CRC-16) – $X^{16}+X^{12}+X^{5}+1$ (CRC-CCITT) – $X^{8}+X^{2}+X+1$ (CRC-8)
クロックモニタ回路 (CLMA)	● 入力クロック（メインクロック発振器）、PLL 回路、または低速オンチップオシレータからの異常な出力クロック周波数を監視 ● 入力クロック発振停止の検出：使用可能
データ演算回路 (DOC)	16 ビットのデータを比較、加算、または減算する機能
独立周辺モジュール	● 以下のセーフティ機能専用周辺モジュールが利用可能です： – GPT：4 チャネル – SCI：1 チャネル – IIC：1 チャネル – SPI：1 チャネル – CRC：1 ユニット – RTC：1 ユニット – GPIO：通常 GPIO と兼用可能 – ECC 付き内蔵システム SRAM ● これらの周辺モジュールは通常の周辺モジュールから独立してマッピングされているため、EL2 MPU によりアクセス保護が可能です。

表 1.12 セキュリティ

機能	機能説明
セキュリティ(注1)	● セキュアブート ● JTAG 認証 ● SCI/USB ブート認証 ● 暗号化アクセラレータ – 対称暗号：CBC/ECB/CTR/GCM/XTS の AES128/192/256 ビット – 非対称暗号：ECC 256 ビット、RSA 1024/2048/3072 ビット、RSAES-OAEP – ハッシュ：SHA-1、SHA-2 – メッセージ認証：HMAC、CMAC、GMAC – 署名アルゴリズム：NIST P-256 による ECDSA、RSASSA-PSS、RSASSA-PKCS1 ● TRNG ● Cortex-A55 暗号拡張 ● Arm® TrustZone®テクノロジー

注 1. 詳しくは、弊社営業担当までお問い合わせください。

表 1.13 デバッグ

機能	機能説明
デバッグインタフェース	● Arm の設計による CoreSight アーキテクチャ ● JTAG/SWD インタフェースによるデバッグ機能、ETF によるトレース機能、および ETR によるシステムバス

表 1.14 外部ホストインタフェース

機能	機能説明
シリアルホストインタフェース (SHOSTIF)	● スレーブモードでのシリアル通信が可能です。 ● 対応インタフェース – モトローラシリアルペリフェラルインタフェース（4 線式 SPI） – デュアル、クワッド、またはオクタル SPI による拡張 SPI モード ● シリアルクロック極性切り替え ● シリアルクロック位相切り替え ● シングルデータ転送 ● データサイズは最大 32 ビット × 64 バースト
メールボックスおよびセマフォ (MBXSEM)	● 外部ホスト CPU および Cortex-A55/Cortex-R52 用の 8 つのセマフォ ● 外部ホスト CPU から Cortex-A55/Cortex-R52 へと Cortex-A55/Cortex-R52 から外部ホスト CPU への両方向に用いる 4 つの 32 ビットメールボックス ● 外部ホスト CPU と Cortex-A55/Cortex-R52 の両方から、割り込みの発生とクリアが可能 ● Cortex-A55、Cortex-R52 の CPU0 および CPU1 の間で排他アクセスをするセマフォとメールボックス

表 1.15 ディスプレイインタフェース

機能	機能説明
LCD コントローラ (LCDC)	● 2 面のブレンド（2 つの異なるサイズの画像をブレンド可能） ● サポートする画像処理： – ディザ処理 (RGB666) – クリッピング – RGB ガンマ補正 LUT ● サポートする入力データフォーマット： – RGB565 / RGB666 / RGB888 – ARGB1555 / ARGB4444 / ARGB8888 – YcbCr444 8 ビット / YcbCr422 8 ビット / YcbCr420 8 ビット ● WXGA (1280 × 800)、60 fps をサポート ● サポートする出力データフォーマット： – RGB666 / RGB888 ● CLK / HD / VD タイミング信号をサポート

表 1.16 その他

機能	機能説明
電源電圧	0.8 V：コア（デジタルおよびアナログ (PLL, TSU, OTP, USB, PCIE, ADC)） 1.1 V：DDR 1.8 V：PLL, OSC, USB, ADC, TSU, OTP, PCIE, DDR, RGMII 3.3 V：GPIO（3.3 V 固定ドメイン）、USB、OSC、RMII/MII、その他の周辺 1.8 V/3.3 V 選択可能：xSPI、SDHI、GPIO（1.8 V/3.3 V 選択可能ドメイン）
動作温度	Tj = -40～+125℃
パッケージ	RZ/T2H：729 ピン FCBGA（23 mm × 23 mm、0.8 mm ピッチ） RZ/N2H：576 ピン FCBGA（21 mm × 21 mm、0.8 mm ピッチ）

1.2 機能の比較

表 1.17 機能の比較 (1/2)

モジュール／機能		RZ/T2H（729 ピン FCBGA）	RZ/N2H（576 ピン FCBGA）
CPU	ARM Cortex-A55	クワッド／デュアル／シングル	
	ARM Cortex-R52	2	
メモリ	システム SRAM	2.0 MB	
外部バス	外部バス幅	32 ビット	
割り込み	外部割り込み	SEI, IRQ0～IRQ15	
DMA	DMA コントローラ (DMAC)	3 ユニット（各ユニットあたり 16 チャネル）	
タイマ	マルチファンクションタイマパルスユニット 3 (MTU3)	1 ユニット（9 チャネル）	
	汎用 PWM タイマ (GPT)	11 ユニット（56 チャネル）	11 ユニット（56 チャネル）(注1)
	コンペアマッチタイマ (CMT)	3 ユニット（6 チャネル）	
	コンペアマッチタイマ W (CMTW)	2 チャネル	
	ウォッチドッグタイマ	6 チャネル	
	ポートアウトプットイネーブル 3 (POE3)	1 ユニット	
	GPT 用のポートアウトプットイネーブル (POEG)	3 ユニット	
	リアルタイムクロック (RTC)	1 ユニット	
通信機能	イーサネット MAC (GMAC)	3 ユニット	3 ユニット(注1)
	イーサネットスイッチ (ETHSW)	1 ユニット（3 外部ポート）	1 ユニット（3 外部ポート）(注1)
	EtherCAT スレーブコントローラ (ESC)	1 ユニット（3 外部ポート）	
	USB2.0HS ホスト/ファンクションモジュール (USB)	1 ユニット（1 ポート）	
	シリアルコミュニケーションインタフェース (SCI, SCIE)	6 チャネル + 12 チャネル	
	I2C バスインタフェース (IIC)	3 チャネル	
	CANFD モジュール (CANFD)	2 チャネル	
	シリアルペリフェラルインタフェース (SPI)	4 チャネル	4 チャネル(注1)
	拡張シリアルペリフェラルインタフェース (xSPI)	2 チャネル	2 チャネル(注1)
	PCI Express Gen3 (PCIE)	1 ユニット（1 レーン × 2 ポート、または 2 レーン × 1 ポート）	
	SD/eMMC ホストインタフェース (SDHI)	2 チャネル	
12 ビット A/D コンバータ (ADC12)		3 ユニット（ユニット 0 とユニット 1 は 4 チャネル、ユニット 2 は 6 チャネル）	3 ユニット（ユニット 0 とユニット 1 は 4 チャネル、ユニット 2 は 15 チャネル）
温度センサユニット (TSU)		1 ユニット	
ΔΣ インタフェース (DSMIF)		10 ユニット（30 チャネル）	8 ユニット（23 チャネル）(注2)
三角関数ユニット (TFU)		2 ユニット	
エンコーダ I/F	EnDat 2.2 (ENDAT)	16 ユニット	14 ユニット(注3)
	BiSS-C (BISS)	16 ユニット	14 ユニット(注3)
	A-format (AFMT)	16 ユニット	14 ユニット(注3)
	HIPERFACE DSL (HDSL)	16 ユニット	14 ユニット(注1)(注3)
	ENCOUT	1 ユニット	1 ユニット
CRC 演算器 (CRC)		2 チャネル	

表 1.17 機能の比較 (2/2)

モジュール／機能	RZ/T2H（729 ピン FCBGA）	RZ/N2H（576 ピン FCBGA）
クロックモニタ回路 (CLMA)	7 ユニット	
データ演算回路 (DOC)	1 ユニット	
セキュリティ(注4)	オプション機能	
ワンタイムプログラマブルメモリ (OTP)	使用可能	
シリアルホストインタフェース	1 ユニット	
メールボックスおよびセマフォ (MBXSEM)	使用可能	
イベントリンクコントローラ (ELC)	使用可能	
LPDDR4 SDRAM サブシステム (DDRSS)	32 ビット	
LCD コントローラ (LCDC)	1 ユニット	

注 1. 一部の外部信号は使用できません。
注 2. 必須の外部信号が足りないため、ユニット 6 とユニット 9、およびユニット 8 のチャネル 2 は使用できません。
注 3. 必須の外部信号が足りないため、ユニット 8 とユニット 15 は使用できません。
注 4. 詳しくは、弊社営業担当までお問い合わせください。

1.3 製品ラインナップ

表 1.18 に製品ラインナップを示します。

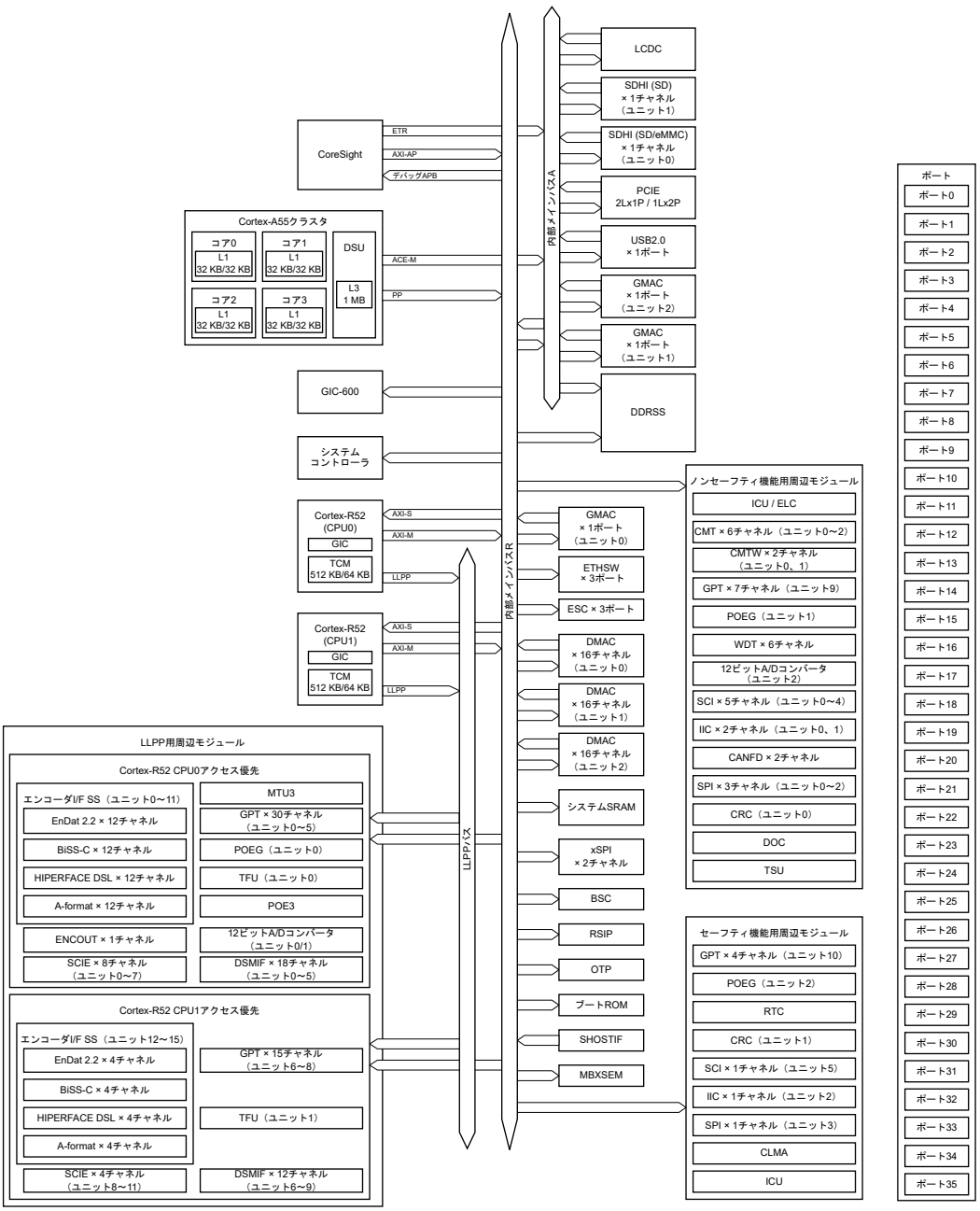
表 1.18 製品ラインナップ

製品	型名	パッケージ	Cortex-A55	Cortex-R52	セキュリティ(注1)
RZ/T2H	R9A09G077M48GBG	729 ピン FCBGA	クワッドコア	2 つの CPU	使用可能
	R9A09G077M28GBG	729 ピン FCBGA	デュアルコア	2 つの CPU	使用可能
	R9A09G077M08GBG	729 ピン FCBGA	シングルコア	2 つの CPU	使用可能
	R9A09G077M44GBG	729 ピン FCBGA	クワッドコア	2 つの CPU	使用不可
	R9A09G077M24GBG	729 ピン FCBGA	デュアルコア	2 つの CPU	使用不可
	R9A09G077M04GBG	729 ピン FCBGA	シングルコア	2 つの CPU	使用不可
RZ/N2H	R9A09G087M48GBG	576 ピン FCBGA	クワッドコア	2 つの CPU	使用可能
	R9A09G087M28GBG	576 ピン FCBGA	デュアルコア	2 つの CPU	使用可能
	R9A09G087M08GBG	576 ピン FCBGA	シングルコア	2 つの CPU	使用可能
	R9A09G087M44GBG	576 ピン FCBGA	クワッドコア	2 つの CPU	使用不可
	R9A09G087M24GBG	576 ピン FCBGA	デュアルコア	2 つの CPU	使用不可
	R9A09G087M04GBG	576 ピン FCBGA	シングルコア	2 つの CPU	使用不可

注 1. TrustZone を除く。TrustZone は全製品型名で使用可能です。

1.4 ブロック図

図 1.1 にブロック図を示します。



GMAC	：イーサネットMAC	GPT	：汎用PWMタイマ
ETHSW	：イーサネットスイッチ	CMT	：コンペアマッチタイマ
ESC	：EtherCATスレーブコントローラ	CMTW	：コンペアマッチタイマW
DMAC	：DMAコントローラ	POE3	：ポートアウトプットイネーブル3
BSC	：バスステートコントローラ	POEG	：GPT用ポートアウトプットイネーブル
xSPI	：拡張シリアルペリフェラルインタフェース	RTC	：リアルタイムクロック
WDT	：ウォッチドッグタイマ	IIC	：I^2Cバスインタフェース
SCI	：シリアルコミュニケーションインタフェース	CANFD	：CANFDモジュール
SCIE	：エンコーダ用シリアルコミュニケーションインタフェース	DSMIF	：ΔΣインタフェース
SPI	：シリアルペリフェラルインタフェース	TFU	：三角関数演算器
USB	：USB2.0 HSホスト／ファンクションモジュール	CRC	：巡回冗長検査 (CRC) 演算器
GIC	：ジェネリック割り込みコントローラ	CLMA	：クロックモニタ回路
ELC	：イベントリンクコントローラ	DOC	：データ演算回路
MTU3	：マルチファンクションタイマパルスユニット3	TSU	：温度センサユニット
SHOSTIF	：シリアルホストインタフェース	RSIP	：ルネサスセキュリティIP
MBXSEM	：メールボックスおよびセマフォ	OTP	：ワンタイムプログラマブルメモリ
SDHI	：SD/eMMCホストインタフェース	LCDC	：LCDコントローラ
PCIE	：PCI Express Gen 3	DDRSS	：LPDDR4 SDRAMメモリインタフェース

図 1.1　　ブロック図

1.5 端子機能

表 1.19 に端子機能を示します。

表 1.19 端子機能 (1/10)

分類	端子名	入出力	機能
電源	VDD33	入力	I/O 用 3.3 V 電源端子
	VDD1833_0～VDD1833_7	入力	各 I/O ドメインの電源端子。（1.8 V または 3.3 V） VDD1833_0 : ETH0 ドメイン VDD1833_1 : ETH1 ドメイン VDD1833_2 : ETH2 ドメイン VDD1833_3 : ETH3 ドメイン VDD1833_4 : xSPI0 ドメイン VDD1833_5 : xSPI1 ドメイン VDD1833_6 : SDHI0 ドメイン VDD1833_7 : SDHI1 ドメイン
	VDDP_18_33、VDDP_18_0～VDDP18_7	入力	I/O 用 1.8 V 電源端子
	VDD08	入力	0.8 V 電源端子
	VDD18_PLL0～VDD18_PLL4	入力	PLL 用 1.8 V 電源端子
	VDD08_PLL0～VDD08_PLL4	入力	PLL 用 0.8 V 電源端子
	VDD33_X	入力	発振器用 3.3 V 電源端子
	VDDP_18_X	入力	発振器用 1.8 V 電源端子
	AVDD18A_TSU	入力	温度センサ用 1.8 V 電源端子
	DVDD08A_TSU	入力	温度センサ用 0.8 V 電源端子
	OTPVDD18	入力	OTP 用 1.8 V 電源端子
	OTPVDD08	入力	OTP 用 0.8 V 電源端子
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
	VSS_PLL0～VSS_PLL4	入力	PLL 用グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子の接続端子。外部クロック信号を使用する場合、EXTAL 端子は Low にしてください。XTAL 端子は、水晶振動子以外のもので駆動したり、負荷をかけたりしないでください。EXTAL の電圧レベルが VDD18 (1.8 V) を絶対に超えないようにしてください。
	EXTAL	入力	
	EXTCLKIN	入力	外部クロック入力端子。水晶振動子を接続する場合は、Low にしてください。
	XTALSEL	入力	メインクロック源選択端子（Low : EXTCLKIN、High : XTAL/EXTAL）
	CKIO	出力	外部デバイス用の外部バスクロック出力端子
	ETH0_REFCLK	出力	EtherPHY 0 用 25 MHz クロック出力端子
	ETH1_REFCLK	出力	EtherPHY 1 用 25 MHz クロック出力端子
	ETH2_REFCLK	出力	EtherPHY 2 用 25 MHz クロック出力端子
	ETH3_REFCLK	出力	EtherPHY 3 用 25 MHz クロック出力端子
	RMII0_REFCLK	出力	RMII0 用 50 MHz クロック出力端子
	RMII1_REFCLK	出力	RMII1 用 50 MHz クロック出力端子
	RMII2_REFCLK	出力	RMII2 用 50 MHz クロック出力端子
	RMII3_REFCLK	出力	RMII3 用 50 MHz クロック出力端子

表 1.19 端子機能 (2/10)

分類	端子名	入出力	機能
動作モードコントロール	MDX	入力	Low にしてください。
	MD0～MD2	入力	動作モード選択信号の入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDV	入力	ブート周辺機器用動作電圧選択信号の入力端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDW0, MDW1	入力	ATCM ウェイトサイクル選択信号の入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDD	入力	ハッシュ信号による JTAG 認証有効入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システムコントロール	RES#	入力	リセット信号の入力端子。この端子が Low になると、本 MPU はリセット状態となります。
	BSCANP	入力	バウンダリスキャンイネーブル信号の入力端子。この端子が High になると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合、この端子は Low にしてください。
	RSTOUT#	出力	外部リセット信号の出力端子
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモード選択端子 シリアルワイヤデバッグ (SWD) モードでは SWDIO 端子として機能します。
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子 シリアルワイヤデバッグ (SWD) モードでは SWCLK 端子として機能します。
バスステートコントローラ (BSC)	A25～A0	出力	アドレス出力端子
	D31～D0	入出力	データ入出力端子
	CS0#、CS2#、CS3#、CS5#	出力	外部メモリおよびデバイス用のチップセレクト信号の出力端子
	RD#	出力	読み出し進行中を示すストローブ信号の出力端子
	RD/WR#	出力	読み出しまたは書き込みアクセスを示すストローブ信号の出力端子
	BS#	出力	バスサイクルの開始を示すステータス信号の出力端子
	AH#	出力	マルチプレクス I/O インタフェースを使用するデバイス用のアドレスホールド信号の出力端子
	WAIT#	入力	バスサイクルにウェイトサイクルを挿入する外部ウェイトコントロール信号の入力端子
	WE0#	出力	D7～D0 へのライトストローブ信号の出力端子
	WE1#	出力	D15～D8 へのライトストローブ信号の出力端子
	WE2#	出力	D23～D16 へのライトストローブ信号の出力端子
	WE3#	出力	D31～D24 へのライトストローブ信号の出力端子
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ	入力	外部デバイス DMA 転送要求信号の入力端子
	DACK	出力	外部デバイスからの DMA 転送要求を受け付けたことを示すアクノリッジ信号の出力端子
	TEND	出力	DMA 転送終了信号の出力端子

表 1.19 端子機能 (3/10)

分類	端子名	入出力	機能
割り込み	SEI	入力	システムエラー割り込み信号の入力端子
	IRQ0～IRQ15	入力	外部割り込み要求信号の入力端子
マルチファンクションタイマパルスユニット 3 (MTU3)	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0 インプットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1 インプットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2 インプットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3 インプットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4 インプットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIC5U、MTIC5V、MTIC5W	入力	TGRU5、TGRV5、TGRW5 インプットキャプチャ入力、およびデッドタイム補償機能の入力端子
	MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D	入出力	TGRA6～TGRD6 インプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D	入出力	TGRA7～TGRD7 インプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	MTIOC8A、MTIOC8B、MTIOC8C、MTIOC8D	入出力	TGRA8～TGRD8 インプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	MTCLKA、MTCLKB、MTCLKC、MTCLKD	入力	MTU3 用外部クロック入力端子
ポートアウトプットイネーブル 3 (POE3)	POE0#、POE4#、POE8#、POE10#、POE11#	入力	MTU3 をハイインピーダンス状態にする要求信号の入力端子

表 1.19 端子機能 (4/10)

分類	端子名	入出力	機能
汎用 PWM タイマ (GPT)／GPT 用のポートアウトプットイネーブル (POEG)	GTETRGA、GTETRGB、GTETRGC、GTETRGD	入力	外部トリガ入力端子および出力禁止要求の入力端子
	GTETRGSA、GTETRGSB	入力	外部トリガ入力端子および出力禁止要求の入力端子 (SAFETY)
	GTIOC00_0A～GTIOC00_4A、GTIOC00_0B～GTIOC00_4B、GTIOC01_0A～GTIOC01_4A、GTIOC01_0B～GTIOC01_4B、GTIOC02_0A～GTIOC02_4A、GTIOC02_0B～GTIOC02_4B、GTIOC03_0A～GTIOC03_4A、GTIOC03_0B～GTIOC03_4B、GTIOC04_0A～GTIOC04_4A、GTIOC04_0B～GTIOC04_4B、GTIOC05_0A～GTIOC05_4A、GTIOC05_0B～GTIOC05_4B、GTIOC06_0A～GTIOC06_4A、GTIOC06_0B～GTIOC06_4B、GTIOC07_0A～GTIOC07_4A、GTIOC07_0B～GTIOC07_4B、GTIOC08_0A～GTIOC08_4A、GTIOC08_0B～GTIOC08_4B、GTIOC09_0A～GTIOC09_6A、GTIOC09_0B～GTIOC09_6B、GTIOC10_0A～GTIOC10_3A、GTIOC10_0B～GTIOC10_3B	入出力	インプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTADSM00_0～GTADSM00_1、GTADSM01_0～GTADSM01_1、GTADSM02_0～GTADSM02_1、GTADSM03_0～GTADSM03_1、GTADSM04_0～GTADSM04_1、GTADSM05_0～GTADSM05_1、GTADSM06_0～GTADSM06_1、GTADSM07_0～GTADSM07_1、GTADSM08_0～GTADSM08_1、GTADSM09_0～GTADSM09_1	出力	A/D 変換開始要求監視用の出力端子
コンペアマッチタイマ W (CMTW)	CMTW0_TIC0、CMTW0_TIC1、CMTW1_TIC0、CMTW1_TIC1	入力	CMTW インプットキャプチャ入力端子
	CMTW0_TOC0、CMTW0_TOC1、CMTW1_TOC0、CMTW1_TOC1	出力	CMTW アウトプットコンペア出力端子
リアルタイムクロック (RTC)	RTCAT1HZ	出力	RTC 1 Hz 出力端子

表 1.19 端子機能 (5/10)

分類	端子名	入出力	機能
シリアルコミュニケーションインタフェース (SCI)	SCK0～SCK5	入出力	クロック入出力端子（クロック同期式モード／簡易 SPI モード／スマートカードモード）
	RXD0～RXD5	入力	受信データ入力端子（調歩同期式モード／クロック同期式モード／スマートカードモード）
	TXD0～TXD5	出力	送信データ出力端子（調歩同期式モード／クロック同期式モード／スマートカードモード）
	CTS0#～CTS5#	入力	送信開始信号の入力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	RTS0#～RTS5#	出力	受信出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	SCL0～SCL5	入出力	I2C クロック入出力端子（簡易 I2C モード）
	SDA0～SDA5	入出力	I2C データ入出力端子（簡易 I2C モード）
	MISO0～MISO5	入出力	スレーブ送信データ入出力端子（簡易 SPI モード）
	MOSI0～MOSI5	入出力	マスタ送信データ入出力端子（簡易 SPI モード）
	SS0#～SS5#	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
	DE0～DE5	出力	ドライバイネーブル出力端子（調歩同期式モード）
エンコーダ用シリアルコミュニケーションインタフェース (SCIE)	SCKE00～SCKE11	出力	クロック入出力端子（クロック同期式モード）
	RXDE00～RXDE11	入力	受信データ入力端子（調歩同期式モード／クロック同期式モード）
	TXDE00～TXDE11	出力	送信データ出力端子（調歩同期式モード／クロック同期式モード）
	DEE00～DEE11	出力	ドライバイネーブル出力端子（調歩同期式モード）
I^2C バスインタフェース (IIC)	IIC_SCL0～IIC_SCL2	入出力	クロック入出力端子
	IIC_SDA0～IIC_SDA2	入出力	データ入出力端子

表 1.19 端子機能 (6/10)

分類	端子名	入出力	機能
イーサネット	ETH0_TXCLK～ETH3_TXCLK	入出力	TX クロック入力端子（MII モード） TX クロック出力端子（RGMII モード）
	ETH0_TXD0～ETH3_TXD0	出力	TX データ 0 出力端子（RGMII、RMII、MII モード）
	ETH0_TXD1～ETH3_TXD1	出力	TX データ 1 出力端子（RGMII、RMII、MII モード）
	ETH0_TXD2～ETH3_TXD2	出力	TX データ 2 出力端子（RGMII、MII モード）
	ETH0_TXD3～ETH3_TXD3	出力	TX データ 3 出力端子（RGMII、MII モード）
	ETH0_TXEN～ETH3_TXEN	出力	TX データイネーブル出力端子（RMII、MII モード） TX データイネーブル／TX データエラー (TX_CTL) 端子（RGMII モード）
	ETH0_TXER～ETH3_TXER	出力	TX データエラー出力端子（MII モード）
	ETH0_RXCLK～ETH3_RXCLK	入力	RX クロック入力端子（RGMII、RMII、MII モード）
	ETH0_RXD0～ETH3_RXD0	入力	RX データ 0 入力端子（RGMII、RMII、MII モード）
	ETH0_RXD1～ETH3_RXD1	入力	RX データ 1 入力端子（RGMII、RMII、MII モード）
	ETH0_RXD2～ETH3_RXD2	入力	RX データ 2 入力端子（RGMII、MII モード）
	ETH0_RXD3～ETH3_RXD3	入力	RX データ 3 入力端子（RGMII、MII モード）
	ETH0_RXDV～ETH3_RXDV	入力	RX データ有効入力端子（MII モード） キャリア検知／RX データ有効 (CRS_DV) 入力端子（RMII モード） RX データ有効／RX エラー (RX_CTL) 入力端子（RGMII モード）
	ETH0_RXER～ETH3_RXER	入力	RX データエラー端子（RMII、MII モード）
	ETH0_CRS～ETH3_CRS	入力	キャリア検知入力端子（MII モード）
	ETH0_COL～ETH3_COL	入力	衝突検出の入力端子（MII モード）
イーサネット MAC (GMAC)	GMAC0_PTPTRG0～ GMAC2_PTPTRG0	入力	PTP タイマトリガ外部入力端子 0
	GMAC0_PTPTRG1～ GMAC2_PTPTRG1	入力	PTP タイマトリガ外部入力端子 1
	GMAC0_MDC～GMAC2_MDC	出力	マネジメントデータクロック出力端子
	GMAC0_MDIO～GMAC2_MDIO	入出力	マネジメントデータ入出力端子
イーサネットスイッチ (ETHSW)	ETHSW_LPI0	出力	Port 0 MAC ステータスは、PHY からの低電力アイドルシーケンスを現在受信中であることを示す。
	ETHSW_LPI1	出力	Port 1 MAC ステータスは、PHY からの低電力アイドルシーケンスを現在受信中であることを示す。
	ETHSW_LPI2	出力	Port 2 MAC ステータスは、PHY からの低電力アイドルシーケンスを現在受信中であることを示す。
	ETHSW_PTPOUT0～ ETHSW_PTPOUT3	出力	イーサネットスイッチタイマパルス出力端子
	ETHSW_TDMAOUT0～ ETHSW_TDMAOUT3	出力	イーサネットスイッチ TDMA タイマ出力端子
	ETHSW_PHYLINK0～ ETHSW_PHYLINK2	入力	イーサネットスイッチ PHY リンクステータス入力端子
	ETHSW_MDC	出力	マネジメントデータクロック出力端子
	ETHSW_MDIO	入出力	マネジメントデータ入出力端子

表 1.19 端子機能 (7/10)

分類	端子名	入出力	機能
EtherCAT スレーブコントローラ (ESC)	ESC_LEDRUN	出力	EtherCAT RUN LED 信号の出力端子
	ESC_IRQ	出力	EtherCAT IRQ 信号の出力端子
	ESC_LEDSTER	出力	EtherCAT デュアルカラーステート LED 信号の出力端子
	ESC_LEDERR	出力	EtherCAT エラー LED 信号の出力端子
	ESC_LINKACT0～ESC_LINKACT2	出力	EtherCAT リンク／アクティビティ LED 信号の出力端子
	ESC_SYNC0、ESC_SYNC1	出力	EtherCAT SYNC 信号の出力端子
	ESC_LATCH0、ESC_LATCH1	入力	EtherCAT LATCH 信号の入力端子
	ESC_RESETOUT#	出力	EtherCAT リセット信号の出力端子
	ESC_I2CCLK	出力	EtherCAT EEPROM I2C クロック信号の出力端子
	ESC_I2CDATA	入出力	EtherCAT EEPROM I2C データ信号の入出力端子
	ESC_PHYLINK0～ESC_PHYLINK2	入力	EtherCAT PHY リンクステータス信号の入力端子
	ESC_MDC	出力	マネジメントデータクロック出力端子
	ESC_MDIO	入出力	マネジメントデータ入出力端子
USB2.0 ホスト/ファンクションモジュール	USB_USVDD33	入力	USB 用 3.3 V 電源入力端子
	USB_USVDD18	入力	USB 用 1.8 V 電源入力端子
	USB_USDVDD	入力	0.8 V 電源端子
	USB_TXRTUNE	入力	USB2 トランスミッタ調整端子。200 Ω (±1%) を介して GND に接続してください。
	USB_QDP	入出力	USB バス D+データ入出力端子
	USB_QDM	入出力	USB バス D-データ入出力端子
	USB_VBUSEN	出力	USB 用 VBUS パワーイネーブル信号の出力端子
	USB_OVRCUR	入力	USB 用過電流信号の入力端子
	USB_VUBUSIN	入力	USB ケーブル接続／切断検出の入力端子
	USB_EXICEN	出力	OTG 電源 IC 制御出力端子
	USB_OTG_ID	入力	OTG ID 入力端子
CANFD モジュール (CANFD)	CANRX0、CANRX1	入力	受信データ入力端子
	CANTX0、CANTX1	出力	送信データ出力端子
	CANRXDP0、CANRXDP1	出力	受信データフェーズ出力端子
	CANTXDP0、CANTXDP1	出力	送信データフェーズ出力端子
シリアルペリフェラルインタフェース (SPI)	SPI_RSPCK0～SPI_RSPCK3	入出力	クロック入出力端子
	SPI_MOSI0～SPI_MOSI3	入出力	マスタ送信データ入出力端子
	SPI_MISO0～SPI_MISO3	入出力	スレーブ送信データ入出力端子
	SPI_SSL00～SPI_SSL30	入出力	スレーブセレクト信号の入出力端子
	SPI_SSL01～SPI_SSL31、SPI_SSL02～SPI_SSL32、SPI_SSL03～SPI_SSL33	出力	スレーブセレクト信号の出力端子

表 1.19 端子機能 (8/10)

分類	端子名	入出力	機能
拡張シリアルペリフェラルインタフェース (xSPI)	XSPI0_CKP、XSPI1_CKP、XSPI0_CKN	出力	クロック出力端子
	XSPI0_CS0#, XSPI0_CS1#, XSPI1_CS0#, XSPI1_CS1#	出力	チップセレクト出力端子
	XSPI0_DS、XSPI1_DS	入出力	リードデータストローブ／ライトデータマスク入出力端子
	XSPI0_IO0～XSPI0_IO7、XSPI1_IO0～XSPI1_IO7	入出力	Data0～Data7 入出力端子
	XSPI0_RESET0#、XSPI0_RESET1#	出力	マスタリセットステータス出力端子
	XSPI0_RSTO0#、XSPI0_RSTO1#	入力	スレーブリセットステータス入力端子
	XSPI0_INT0#、XSPI0_INT1#	入力	割り込み入力端子
	XSPI0_ECS0#、XSPI0_ECS1#	入力	誤り訂正ステータス入力端子
	XSPI0_WP0#、XSPI0_WP1#	出力	書き込み保護出力端子
ΔΣ インタフェース (DSMIF)	MCLK00～MCLK90、MCLK01～MCLK91、MCLK02～MCLK92	入出力	クロック入出力端子
	MDAT00～MDAT90、MDAT01～MDAT91、MDAT02～MDAT92	入力	データ入力端子
12 ビット A/D コンバータ (ADC12)	AVDD_ADC0～AVDD_ADC2	入力	ADC 用 0.8 V 電源端子
	AVDDIO_ADC0～AVDDIO_ADC2	入力	ADC 用 1.8 V 電源端子
	AVSS_ADC0～AVSS_ADC2	入力	ADC 用グランド端子
	AVSSIO_ADC0～AVSSIO_ADC2	入力	ADC 用グランド端子
	AVDDREF_ADC0～AVDDREF_ADC2	入力	電圧基準アナログ電源端子
	AN000～AN003、AN100～AN103、AN200～AN214	入力	A/D コンバータ用アナログ入力端子
	ADTRG0#～ADTRG2#	入力	A/D 変換開始のための外部トリガ入力端子
シリアルホストインタフェース (SHOSTIF)	HSPI_CK	入力	クロック入力端子
	HSPI_CS#	入力	チップセレクト入力端子
	HSPI_IO0～HSPI_IO7	入出力	Data0～Data7 入出力端子
	HSPI_INT#	出力	割り込み出力端子
メールボックスおよびセマフォ (MBXSEM)	MBX_HINT#	出力	メールボックス（Cortex-A55/Cortex-R52 からホスト CPU へ）割り込み出力端子
エンコーダインタフェース共通	ENCIFCK00～ENCIFCK15	出力	エンコーダインタフェースクロック出力端子
	ENCIFOE00～ENCIFOE15	出力	エンコーダインタフェースデータ出力イネーブル端子
	ENCIFDO00～ENCIFDO15	出力	エンコーダインタフェースデータ出力端子
	ENCIFDI00～ENCIFDI15	入力	エンコーダインタフェースデータ入力端子
EnDat 2.2 (ENDAT)	DUEI00～DUEI15	出力	EnDat 2.2 データ転送端子
	TST_OUT00～TSTOUT15	出力	内部同期後の EnDat 2.2 データ入力端子
	SI00#～SI15#	出力	EnDat 2.2 スタートパルス端子

表 1.19 端子機能 (9/10)

分類	端子名	入出力	機能
HIPERFACE DSL (HDSL)	HDSL00_LINK～HDSL15_LINK	出力	HDSL LINK 端子
	HDSL00_SMPL～HDSL15_SMPL	出力	HDSL テスト信号ラインサンプラ端子
	HDSL00_CLK1～HDSL15_CLK1	入力	HDSL SPI クロック安全 1 端子
	HDSL00_SEL1～HDSL15_SEL1	入力	HDSL SPI 選択安全 1 端子
	HDSL00_MISO1～HDSL15_MISO1	出力	HDSL SPI データ出力安全 1 端子
	HDSL00_MOSI1～HDSL15_MOSI1	入力	HDSL SPI データ入力安全 1 端子
	HDSL00_CLK2～HDSL15_CLK2	入力	HDSL SPI クロック安全 2 端子
	HDSL00_SEL2～HDSL15_SEL2	入力	HDSL SPI 選択安全 2 端子
	HDSL00_MISO2～HDSL15_MISO2	出力	HDSL SPI データ出力安全 2 端子
	HDSL00_MOSI2～HDSL15_MOSI2	入力	HDSL SPI データ入力安全 2 端子
ENCOUT	POUTA	出力	ENCOUT A 相出力端子
	POUTB	出力	ENCOUT B 相出力端子
	POUTZ	出力	ENCOUT Z 相出力端子
LCD コントローラ (LCDC)	DISP_CLK	出力	ディスプレイパラレルインタフェースピクセルクロック端子
	DISP_HSYNC	出力	ディスプレイパラレルインタフェース水平同期パルス端子
	DISP_VSYNC	出力	ディスプレイパラレルインタフェース垂直同期パルス端子
	DISP_DE	出力	ディスプレイパラレルインタフェースデータイネーブル端子
	DISP_DATAR0～DISP_DATAR7	出力	ディスプレイパラレルインタフェース画素データ出力（赤）端子
	DISP_DATAG0～DISP_DATAG7	出力	ディスプレイパラレルインタフェース画素データ出力（緑）端子
	DISP_DATAB0～DISP_DATAB7	出力	ディスプレイパラレルインタフェース画素データ出力（青）端子
SD/eMMC ホストインタフェース (SDHI)	SD0_CLK, SD1_CLK	出力	SD/MMC クロック出力端子
	SD0_CMD, SD1_CMD	入出力	SD/MMC コマンドの出力、レスポンスの入力端子
	SD0_DATA0～SD0_DATA7、SD1_DATA0～SD1_DATA3	入出力	SD/MMC データ端子
	SD0_CD, SD1_CD	入力	SD カード検出端子
	SD0_WP, SD1_WP	入力	SD ライトプロテクト端子
	SD0_RST#	出力	MMC リセット端子
	SD0_PWEN, SD1_PWEN	出力	SD 電源イネーブル端子
	SD0_IOVS, SD1_IOVS	出力	SD 電圧選択端子

表 1.19 端子機能 (10/10)

分類	端子名	入出力	機能
PCI Express Gen3 (PCIE)	PCIE_VDD18A_CMN、 PCIE_VDD18A_L0、 PCIE_VDD18A_L1	入力	PCIE 用 1.8 V 電源端子
	PCIE_VDD08A_L0, PCIE_VDD08A_L1	入力	PCIE 用 0.8 V 電源端子
	PCIE_REFCLK_P0, PCIE_REFCLK_N0, PCIE_REFCLK_P1, PCIE_REFCLK_N1	入力	基準クロック入力端子
	PCIE_RXDP_L0, PCIE_RXDN_L0, PCIE_RXDP_L1, PCIE_RXDN_L1	入力	シリアルデータ入力端子
	PCIE_TXDP_L0, PCIE_TXDN_L0, PCIE_TXDP_L1, PCIE_TXDN_L1	出力	シリアルデータ出力端子
	PCIE_RSTOUT0B, PCIE_RSTOUT1B	出力	ルートコンプレックス用 PCIE リセット出力端子
LPDDR4 SDRAM サブシステム (DDRSS)	DDR_VAA	入力	DDRPHY 用 1.8 V 電源端子
	DDR_VDDQ	入力	DDRPHY 用 1.1 V 電源端子
	DDR_ZN	出力	DDRSS キャリブレーション外部基準抵抗端子
	DDR_DTEST	入出力	デバッグ用 DDRSS デジタルテストポイント端子
	DDR_ATEST	入出力	デバッグ用 DDRSS アナログテストポイント端子
	DDR_RESET_N	出力	DDRSS DRAM リセット端子
	DDR_CKA_T, DDR_CKA_C, DDR_CKB_T, DDR_CKB_C	入出力	DDRSS DRAM チャネル A/B クロック端子
	DDR_CKEA[1:0], DDR_CKEB[1:0]	入出力	DDRSS DRAM チャネル A/B クロックイネーブル端子
	DDR_CSA[1:0], DDR_CSB[1:0]	入出力	DDRSS DRAM チャネル A/B チップセレクト端子
	DDR_CAA[5:0], DDR_CAB[5:0]	入出力	DDRSS DRAM チャネル A/B コマンド／アドレス端子
	DDR_DQA[15:0], DDR_DQB[15:0]	入出力	DDRSS DRAM チャネル A/B データ端子
	DDR_DMIA[1:0], DDR_DMIB[1:0]	入出力	DDRSS DRAM チャネル A/B データマスク反転端子
	DDR_DQSA_T[1:0], DDR_DQSB_T[1:0]	入出力	DDRSS DRAM チャネル A/B データストローブ（正相）端子
	DDR_DQSA_C[1:0], DDR_DQSB_C[1:0]	入出力	DDRSS DRAM チャネル A/B データストローブ（逆相）端子
I/O ポート	P00_0～P35_6	入出力	汎用入出力端子

1.6 RZ/T2H 729 ピン FCBGA のピン割り付け

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	
A	VSS	P11_4	P11_6	P11_7	P10_1	P10_6	P14_0	P13_6	P14_4	P14_7	P16_2	P16_4	P17_0	P17_5	P19_4	P19_5	P20_1	P20_0	P21_3	P23_1	P23_3	P23_2	P24_6	P25_2	P26_3	P25_1	VSS	A
B	P10_3	P10_2	P10_5	P11_5	P10_4	P12_4	P13_5	P13_4	P14_6	VSS	P16_1	P16_3	P17_1	VSS	P18_2	P18_6	P20_5	VSS	P21_2	P24_3	P23_6	VSS	P26_1	P26_2	P25_0	P25_3	P28_3	B
C	P11_1	P09_5	P11_2	P10_7	P11_0	VSS	P13_0	P13_7	P14_1	P14_2	P14_5	P16_6	P17_3	P19_2	P19_3	P18_7	P20_3	P20_6	P21_4	P23_4	P23_5	P22_6	P24_7	P24_5	P26_4	P26_5	P27_7	C
D	P11_3	P09_4	P09_6	P10_0	P09_7	P12_6	P12_0	VSS	P14_3	P15_6	P16_0	VSS	P18_3	P19_0	P18_0	VSS	P21_7	P20_7	P21_6	VSS	P22_1	P24_1	P25_6	VSS	P26_0	P26_6	P28_5	D
E	DDR_DQA12	DDR_DQA9	VSS	DDR_DQA13	VSS	P12_7	P12_3	P12_2	P15_7	P15_1	P15_5	P17_2	P18_1	P19_1	P17_7	P19_6	P20_2	P21_0	P22_0	P22_4	P22_5	P22_2	P25_4	P25_7	P28_4	P28_1	P28_6	E
F	VSS	DDR_DQA8	DDR_DQA11	DDR_DQA14	DDR_DQSA_C1	P13_3	P13_1	P13_2	P15_4	VSS	P15_2	P16_7	P17_6	VSS	P18_4	P19_7	P20_4	VSS	P24_0	P22_3	P24_2	VSS	P25_5	P28_0	P27_5	VSS	P27_3	F
G	DDR_DQA15	VSS	DDR_DQA10	DDR_DMIA1	DDR_DQSA_T1	DDR_VDDQ	P12_5	P12_1	P15_0	VSS	P15_3	P16_5	P17_4	VSS	P18_5	P21_5	P21_1	VSS	P23_7	P23_0	P22_7	P24_4	P27_0	P27_1	P28_2	P27_2	P27_6	G
H	DDR_DQA6	DDR_DQA5	VSS	VSS	VSS	DDR_VDDQ	VSS	VSS	VDDP_18_33	VSS	VDDP_18_6	VDDP_18_33	VSS	VDDP_18_7	VSS	VDDP_18_33	VSS	VDDP_18_0	VSS	VDDP_18_1	VDD1833_1	P26_7	P28_7	VSS	P29_0	P27_4	P29_3	H
J	DDR_DQA4	VSS	DDR_DMIA0	DDR_DQA7	DDR_DQSA_C0	DDR_VDDQ	VDD33	VSS	VDD1833_6	AVDD18A_TSU	VDD33	VSS	VDD1833_7	VSS	VDD33	VSS	VDD1833_0	VSS	VDDP_18_33	VSS	VDD1833_1	P30_5	P29_6	P30_7	P29_1	P31_1	P30_3	J
K	DDR_DQA2	DDR_DQA0	DDR_DQA1	DDR_DQA3	DDR_DQSA_T0	VSS	VDD33	VSS	VDD1833_6	DVDD08A_TSU	VDD33	VSS	VDD1833_7	VSS	VDD33	VSS	VDD1833_0	VDD33	VDD33	VDDP_18_2	P30_6	VSS	P29_2	P30_4	P30_1	VSS	P30_0	K
L	VSS	DDR_CAA1	VSS	VSS	VSS	DDR_CKEA1	VSS	VDD18_PLL2	VDD08_PLL2	VSS	VDD18_PLL3	VSS_PLL3	VDD08_PLL3	VSS	VSS	VSS	VSS	VSS	VSS	VDD1833_2	VDD1833_2	P29_4	P29_5	P31_0	P29_7	P30_2	P32_6	L
M	DDR_CKA_C	DDR_CAA3	DDR_CAA4	DDR_CSA0	DDR_CSA1	DDR_CKEA0	VSS	VSS_PLL2	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08_PLL0	VSS	VSS	P32_2	P32_1	VSS	P32_0	P31_7	P32_5	M
N	DDR_CKA_T	VSS	DDR_CAA2	VSS	DDR_CAA5	VSS	DDR_VDDQ	DDR_VAA	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS_PLL0	VDD18_PLL0	VSS	P32_4	P32_3	P32_7	P31_4	P31_3	P31_2	N
P	VSS	DDR_CKEB1	DDR_CAB0	DDR_CAA0	DDR_VDDQ	VSS	DDR_RESET_N	DDR_ATEST	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VSS	VSS	VDDP_18_33	VSS	P33_1	P33_0	P31_6	P31_5	P34_4	P
R	DDR_CKB_T	DDR_CKEB0	VSS	VSS	DDR_VDDQ	VSS	DDR_DTEST	DDR_ZN	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VDDP_18_X	VDD33	VSS	P34_1	P34_6	P33_2	P33_6	P33_7	P34_5	R
T	DDR_CKB_C	DDR_CAB1	DDR_VDDQ	DDR_CAB2	DDR_CAB5	DDR_CSB0	VSS	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD33_X	VSS	VDD1833_3	VDDP_18_3	P34_2	VSS	P33_5	P35_1	XTALSEL	T
U	DDR_CAB3	VSS	DDR_CAB4	DDR_DQB0	VSS	DDR_CSB1	VSS	VSS	VSS	VDD08	VSS	VDD08	VSS_PLL1	VSS_PLL4	VSS	VDD08	VSS	VSS	VSS	VSS	VDD1833_3	P35_6	P34_3	P33_4	P33_3	VSS	EXTCLKIN	U
V	DDR_DQB2	DDR_DQB1	VSS	DDR_DQB3	DDR_DQSB_T0	VSS	VSS	VSS	VDD1833_4	VDD33	VDDP_18_4	VDDP_18_5	VDD18_PLL1	VDD18_PLL4	VDD08	VSS	OTPVDD08	VSS	PCIE_VDD08A_L0	VSS	VSS	P35_3	P34_0	P35_5	P35_0	VSS	XTAL	V
W	VSS	DDR_DQB4	DDR_DQB7	DDR_DMIB0	DDR_DQSB_C0	VSS	VSS	VSS	VDD1833_4	VDD33	VDDP_18_33	VDDP_18_33	VDD08_PLL1	VDD08_PLL4	VSS	VSS	OTPVDD18	VSS	PCIE_VDD08A_L0	VSS	VSS	VSS	P34_7	P35_4	P35_2	VSS	EXTAL	W
Y	DDR_DQB6	DDR_VDDQ	DDR_DQB5	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDD33	VDD33	VDD1833_5	VDD1833_5	VSS	USB_USVDD18	USB_USVDD33	PCIE_VDD08A_L1	PCIE_VDD18A_L1	PCIE_VDD18A_L0	VSS	VSS	VSS	VSS	VSS	VSS	Y
AA	DDR_DQB8	VSS	DDR_DQB15	VSS	DDR_DQSB_T1	VSS	P06_5	P05_1	P05_2	P05_0	VSS	P04_2	P02_2	VSS	VSS	USB_USDVDD	USB_USVDD18	USB_USVDD33	PCIE_VDD08A_L1	PCIE_VDD18A_L1	PCIE_VDD18A_L0	AVSS_ADC0	AVDD_ADC0	AVSSIO_ADC0	AVSSIO_ADC0	AN002	AN000	AA
AB	DDR_DQB14	DDR_DQB9	DDR_DMIB1	DDR_DQB10	DDR_DQSB_C1	BSCANP	P06_3	P06_4	P07_7	P03_4	P03_3	P03_7	P02_1	P01_3	P00_5	USB_USDVDD	VSS	VSS	VSS	VSS	PCIE_VDD18A_CMN	AVSS_ADC1	AVDD_ADC1	AVDDIO_ADC0	AVDDREF_ADC0	AN001	AN003	AB
AC	DDR_DQB12	VSS	DDR_DQB13	DDR_DQB11	VSS	P06_1	P07_6	P07_4	P03_2	P03_1	P04_7	P03_5	P01_7	P02_0	P00_2	VSS	USB_TXRTUNE	VSS	PCIE_REFCLK_N1	PCIE_REFCLK_P0	PCIE_VDD18A_CMN	AVDD_ADC2	AVDDIO_ADC2	AVDDIO_ADC1	AVDDREF_ADC1	AN103	AN100	AC
AD	MDX	P08_6	P08_3	RES#	P08_2	P05_6	P08_0	VSS	P02_6	P04_6	P02_5	VSS	P01_6	P01_2	P00_1	USB_VUBUSIN	USB_OTG_ID	VSS	PCIE_REFCLK_P1	PCIE_REFCLK_N0	VSS	AVSS_ADC2	AVSSIO_ADC2	AVSSIO_ADC1	AVSSIO_ADC1	AN102	AN101	AD
AE	P09_0	P09_2	P08_5	P08_4	P06_0	P06_2	P05_7	P07_3	P02_7	P03_0	P04_0	P02_4	P01_5	P00_7	P00_0	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	AVSSIO_ADC2	AN202	AN201	AE
AF	P09_3	P08_7	TRST#	P07_1	P05_5	VSS	P06_7	P07_0	P04_5	VSS	P04_1	P02_3	P01_0	VSS	P00_4	VSS	USB_QDP	VSS	PCIE_RXDN_L1	PCIE_RXDN_L0	VSS	PCIE_TXDN_L1	PCIE_TXDN_L0	VSS	AVDDREF_ADC2	AN204	AN200	AF
AG	VSS	P09_1	P08_1	P05_3	P07_2	P07_5	P05_4	P06_6	P03_6	P04_3	P04_4	P01_1	P01_4	P00_6	P00_3	VSS	USB_QDM	VSS	PCIE_RXDP_L1	PCIE_RXDP_L0	VSS	PCIE_TXDP_L1	PCIE_TXDP_L0	VSS	AN205	AN203	VSS	AG
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	

図 1.2 RZ/T2H 729 ピン FCBGA のピン配置図（上面図）

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (1/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
A1	—	VSS	—	—	—	—	—	—	—	—	—
A2	VDD33	IRQ7	P11_4	—	—	DE1	MCLK31	—	—	—	HDSL09_SMPL
A3	VDD33	—	P11_6	—	GTIOC05_0A	—	—	—	—	—	TST_OUT00 / HDSL09_SEL1
A4	VDD33	—	P11_7	—	GTIOC05_0B	—	—	—	—	—	SI00# / HDSL09_MISO1
A5	VDD33	IRQ7	P10_1	WAIT#	MTIOC7D / GTIOC04_2B / GTIOC10_2B	SCK0	MDAT72	DISP_DATAR1	—	—	SI14# / HDSL08_LINK

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (2/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
A6	VDD33	IRQ0	P10_6	A3	MTIOC0B / GTIOC05_0A	DE0	MCLK21	DISP_DATAR6	—	—	HDSL08_MOSI1 / POUTA
A7	VDD1833_6	IRQ5	P14_0	A0	GTIOC06_4B	ETHSW_PTPOUT2 / ESC_SYNC0 / DE3	MCLK42	—	—	—	HDSL11_SMPL
A8	VDD1833_6	—	P13_6	D30	GTIOC06_3B / GTIOC04_3A	SS3#/CTS3#/ RTS3# / SPI_SSL23	MCLK41	—	—	—	ENCIFDO13 / TXDE09 / HDSL10_MOSI2
A9	VDD33	—	P14_4	DACK	POE4# / GTIOC06_1B / GTIOC09_1B / GTIOC06_3A / CMTW0_TIC0	ESC_IRQ / SS4#/ CTS4#/RTS4# / SD1_WP	—	DISP_DATAG4	—	MBX_HINT#	ENCIFDO00 / TXDE00 / HDSL11_MOSI1
A10	VDD33	IRQ9	P14_7	—	POE11# / GTIOC09_3A / CMTW0_TOC 1	ESC_I2CDATA / IIC_SDA0 / SD0_IOVS	MCLK32	—	—	—	SI02# / HDSL11_MISO2
A11	VDD33	—	P16_2	—	—	SCK5	MDAT51	—	—	—	SI03# / HDSL12_MOSI2
A12	VDD33	IRQ11	P16_4	—	GTETRGSB	ESC_LINKACT1 / TXD5/SDA5/MOSI5	—	—	—	—	TST_OUT04 / HDSL13_SMPL
A13	VDD1833_7	IRQ12	P17_0	—	GTIOC03_1B	SD1_DATA1	—	—	—	—	SI05# / HDSL13_MOSI1
A14	VDD33	—	P17_5	A7 / DACK	GTADSM00_1 / GTETRGC / CMTW1_TOC 0	SCK0 / CANTX0 / SD1_WP	—	—	—	—	TST_OUT07 / HDSL14_LINK
A15	VDD33	—	P19_4	—	GTIOC07_2A	—	—	—	—	—	TST_OUT10 / HDSL15_MOSI1
A16	VDD33	—	P19_5	—	GTIOC07_2B	—	—	—	—	—	SI10# / HDSL15_CLK2
A17	VDD1833_0	MDV	P20_1	—	—	ETH0_TXD0	—	—	—	—	—
A18	VDD1833_0	—	P20_0	—	—	ETH0_TXCLK	—	—	—	—	HDSL15_MOSI2
A19	VDD1833_0	—	P21_3	—	—	ETH0_RXDV	—	—	—	—	DUEI13 / HDSL00_CLK2
A20	VDD33	—	P23_1	—	GTIOC06_1A	ESC_IRQ	—	—	—	—	DUEI00 / HDSL02_LINK
A21	VDD33	—	P23_3	—	GTIOC06_2A	ESC_I2CCLK / IIC_SCL0	—	—	—	—	SI00# / HDSL02_CLK1
A22	VDD33	—	P23_2	—	GTIOC06_1B	ESC_RESETOUT#	—	—	—	—	TST_OUT00 / HDSL02_SMPL
A23	VDD1833_1	MD0	P24_6	—	—	ETH1_TXD0	—	—	—	—	—
A24	VDD1833_1	MDW1	P25_2	—	—	ETH1_TXEN	—	—	—	—	—
A25	VDD1833_1	—	P26_3	—	—	ETHSW_PHYLINK1 / ESC_PHYLINK1	—	—	—	—	HDSL04_SMPL
A26	VDD1833_1	MDW0	P25_1	—	—	ETH1_TXD3 / CANTXDP0	—	—	—	—	—
A27	—	VSS	—	—	—	—	—	—	—	—	—
B1	VDD33	IRQ2	P10_3	RD#	MTCLKD / MTIOC2B / GTIOC04_3B / GTIOC10_3B	TXD0/SDA0/MOSI0	MDAT10 / MDAT00	DISP_DATAR3	—	—	ENCIFOE04 / DEE04 / HDSL08_CLK1
B2	VDD33	IRQ1	P10_2	CS0#	MTCLKC / MTIOC2A / GTIOC04_3A / GTIOC10_3A	RXD0/SCL0/MISO0	MCLK10 / MCLK00	DISP_DATAR2	—	—	ENCIFCK04 / SCKE04 / HDSL08_SMPL
B3	VDD33	—	P10_5	A2	MTIOC1B / MTIOC0A / GTIOC04_4B	CTS0#	MDAT11 / MDAT01	DISP_DATAR5	—	—	ENCIFDI04 / RXDE04 / HDSL08_MISO1
B4	VDD33	—	P11_5	—	—	—	MDAT31	—	—	—	DUEI00 / HDSL09_CLK1
B5	VDD33	IRQ3	P10_4	A1	MTIOC1A / GTIOC04_4A	SS0#/CTS0#/RTS0#	MCLK11 / MCLK01	DISP_DATAR4	—	—	ENCIFDO04 / TXDE04 / HDSL08_SEL1

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (3/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
B6	VDD1833_6	IRQ1	P12_4	D20	GTIOC05_3A / CMTW1_TIC0	RXD2/SCL2/MISO2 / SD0_DATA2	MCLK02	—	—	—	ENCIFCK05 / SCKE05 / HDSL09_MOSI2
B7	VDD1833_6	IRQ4	P13_5	D29	GTIOC06_3A	TXD3/SDA3/MOSI3 / SPI_SSL32	MDAT40	—	—	—	ENCIFOE13 / DEE09 / HDSL10_MISO2
B8	VDD1833_6	—	P13_4	D28	GTIOC03_3B	RXD3/SCL3/MISO3 / SPI_SSL31	MCLK40	—	—	—	ENCIFCK13 / SCKE09 / HDSL10_SEL2
B9	VDD33	IRQ8	P14_6	—	POE10# / GTIOC06_2B / GTIOC09_2B / CMTW0_TIC1	ESC_I2CCLK / DE4 / IIC_SCL0 / SD0_PWEN	—	DISP_DATAG6	—	—	TST_OUT02 / HDSL11_SEL2
B10	—	VSS	—	—	—	—	—	—	—	—	—
B11	VDD33	—	P16_1	—	—	DE5	MCLK51	—	—	—	TST_OUT03 / HDSL12_MISO2
B12	VDD33	IRQ10	P16_3	—	GTETRGSA	ESC_LINKACT0 / RXD5/SCL5/MISO5	—	—	—	—	DUEI04 / HDSL13_LINK
B13	VDD1833_7	IRQ13	P17_1	—	GTIOC03_2A	SD1_DATA2	—	—	—	—	DUEI06 / HDSL13_CLK2
B14	—	VSS	—	—	—	—	—	—	—	—	—
B15	VDD33	SEI	P18_2	A10	GTADSM03_0 / GTIOC07_3B	ETH1_CRS / GMAC1_MDC / SCK1 / CANRX0 / SD1_PWEN	MCLK10	DISP_DATAB3	—	—	HDSL14_MOSI1
B16	VDD33	IRQ3	P18_6	A14	GTIOC07_4A / GTADSM05_0	CTS1# / CANRXDP1	MCLK12	DISP_DATAB7	—	—	ENCIFDO13 / ENCIFDO14 / TXDE09 / TXDE10 / HDSL14_MOSI2
B17	VDD1833_0	—	P20_5	—	—	ETH0_TXEN	—	—	—	—	DUEI11 / HDSL00_LINK
B18	—	VSS	—	—	—	—	—	—	—	—	—
B19	VDD1833_0	—	P21_2	—	—	ETH0_RXD3 / CANTXDP0	—	—	—	—	SI12# / HDSL00_MOSI1
B20	VDD33	IRQ14	P24_3	—	—	ESC_I2CCLK / IIC_SCL1 / CANRX0	MCLK70	—	—	—	HDSL03_LINK
B21	VDD33	—	P23_6	—	—	ETHSW_LPI0	MDAT60	—	—	—	SI01# / HDSL02_MOSI1
B22	—	VSS	—	—	—	—	—	—	—	—	—
B23	VDD1833_1	—	P26_1	—	—	GMAC1_MDC / ETHSW_MDC / ESC_MDC / CANRXDP1	—	—	—	—	HDSL03_MOSI2
B24	VDD1833_1	—	P26_2	—	—	GMAC1_MDIO / ETHSW_MDIO / ESC_MDIO / CANTXDP1	—	—	—	—	HDSL04_LINK
B25	VDD1833_1	MD2	P25_0	—	—	ETH1_TXD2 / CANRXDP0	—	—	—	—	—
B26	VDD1833_1	—	P25_3	—	—	ETH1_RXCLK	—	—	—	—	DUEI03 / HDSL03_SEL1
B27	VDD33	—	P28_3	—	GTIOC08_2A	SPI_SSL11	—	—	—	—	TST_OUT06 / HDSL05_CLK2
C1	VDD33	IRQ4	P11_1	—	—	ESC_LEDRUN / TXD1/SDA1/MOSI1	MDAT22	—	—	—	DUEI15 / HDSL08_MISO2
C2	VDD33	—	P09_5	D14	MTIOC6D / GTIOC04_0B / GTIOC10_0B	—	MDAT70	DISP_HSYNC	—	—	TST_OUT13 / HDSL07_CLK2
C3	VDD33	IRQ5	P11_2	—	—	SS1#/CTS1#/RTS1#	MCLK30	—	—	—	TST_OUT15 / HDSL08_MOSI2
C4	VDD33	IRQ9	P10_7	A4	MTIC5U / GTIOC05_0B / GTIOC00_3A	SCK1	MDAT21	DISP_DATAR7	—	—	HDSL08_CLK2 / POUTB

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (4/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
C5	VDD33	IRQ13	P11_0	A5	GTIOC00_3B	ESC_RESETOUT# / RXD1 / SCL1 / MISO1	MCLK22	DISP_DATAG0	—	—	HDSL08_SEL2 / POUTZ
C6	—	VSS	—	—	—	—	—	—	—	—	—
C7	VDD1833_6	—	P13_0	D24	GTIOC02_3A	DE2 / SPI_RSPCK3 / SD0_DATA6	MCLK00	—	—	—	ENCIFCK12 / ENCIFCK03 / SCKE08 / SCKE03 / HDSL10_SEL1
C8	VDD1833_6	IRQ14	P13_7	D31	GTIOC06_4A / GTIOC04_3B	CTS3#	MDAT41	—	—	—	ENCIFDI13 / RXDE09 / HDSL11_LINK
C9	VDD33	—	P14_1	RD/WR#	GTIOC06_0A / GTIOC09_0A / GTIOC05_3A / RTCAT1HZ	SCK4 / SD0_CD	MDAT42	DISP_DATAG1	—	—	DUEI02 / HDSL11_CLK1
C10	VDD33	—	P14_2	BS#	GTIOC06_0B / GTIOC09_0B / GTIOC05_3B	RXD4/SCL4/MISO4 / SD0_WP	—	DISP_DATAG2	—	—	ENCIFCK00 / SCKE00 / HDSL11_SEL1
C11	VDD33	—	P14_5	TEND	POE8# / GTIOC06_2A / GTIOC09_2A / GTIOC06_3B / CMTW0_TOC0	ESC_RESETOUT# / CTS4#	—	DISP_DATAG5	—	—	ENCIFDI00 / RXDE00 / HDSL11_CLK2
C12	VDD1833_7	—	P16_6	—	GTIOC03_0B	SD1_CMD	—	—	—	—	DUEI05 / HDSL13_SEL1
C13	VDD1833_7	IRQ15	P17_3	—	GTETRGA	—	—	—	—	—	SI06# / HDSL13_MISO2
C14	VDD33	—	P19_2	—	GTIOC07_1A	—	—	—	—	—	SI09# / HDSL15_SEL1
C15	VDD33	—	P19_3	—	GTIOC07_1B	—	—	—	—	—	DUEI10 / HDSL15_MISO1
C16	VDD33	IRQ4	P18_7	A15	GTIOC07_4B / GTADSM05_1	ETHSW_PTPOUT3 / ESC_SYNC1 / DE1 / CANTXDP1	MDAT12	—	—	—	ENCIFDI13 / ENCIFDI14 / RXDE09 / RXDE10 / HDSL15_LINK
C17	VDD1833_0	—	P20_3	—	—	ETH0_TXD2 / CANRX0	—	—	—	—	—
C18	VDD1833_0	—	P20_6	—	—	ETH0_RXCLK	—	—	—	—	TST_OUT11 / HDSL00_SMPL
C19	VDD1833_0	—	P21_4	—	—	GMAC0_MDC / ETHSW_MDC / ESC_MDC / CANRX1	—	—	—	—	TST_OUT13 / HDSL00_SEL2
C20	VDD33	—	P23_4	—	GTIOC06_2B	ESC_I2CDATA / IIC_SDA0	—	—	—	—	DUEI01 / HDSL02_SEL1
C21	VDD33	—	P23_5	—	—	ESC_LINKACT2	MCLK60	—	—	—	TST_OUT01 / HDSL02_MISO1
C22	VDD33	IRQ8	P22_6	A19	GTETRGSB	GMAC0_PTPTRG1 / ESC_LATCH1 / DE5 / CANTX1 / SD0_WP	—	—	—	—	DUEI15 / HDSL01_SEL2
C23	VDD1833_1	MD1	P24_7	—	—	ETH1_TXD1	—	—	—	—	—
C24	VDD1833_1	—	P24_5	—	—	ETH1_TXCLK	—	—	—	—	HDSL03_CLK1
C25	VDD1833_1	ETH1_REFCLK / RMII1_REFCLK	P26_4	—	—	—	—	—	—	—	—
C26	VDD1833_1	IRQ12	P26_5	—	—	CANTX0	—	—	—	—	ENCIFCK01 / SCKE01 / HDSL04_CLK1
C27	VDD33	IRQ4	P27_7	—	GTIOC08_0A	ETHSW_TDMAOUT0 / SPI_RSPCK1	—	—	—	—	DUEI05 / HDSL05_CLK1
D1	VDD33	IRQ6	P11_3	—	—	CTS1#	MDAT30	—	—	—	SI15# / HDSL09_LINK

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (5/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
D2	VDD33	—	P09_4	D13	MTIOC6B / GTIOC04_0A / GTIOC10_0A	—	MCLK70	DISP_CLK	—	—	DUEI13 / HDSL07_MOSI1
D3	VDD33	—	P09_6	D15	MTIOC7A / GTIOC04_1A / GTIOC10_1A	—	MCLK71	DISP_VSYNC	—	—	SI13# / HDSL07_SEL2
D4	VDD33	IRQ4	P10_0	WE1#	MTIOC7B / GTIOC04_2A / GTIOC10_2A	—	MCLK72	DISP_DATAR0	—	—	TST_OUT14 / HDSL07_MOSI2
D5	VDD33	—	P09_7	WE0#	MTIOC7C / GTIOC04_1B / GTIOC10_1B	—	MDAT71	DISP_DE	—	—	DUEI14 / HDSL07_MISO2
D6	VDD1833_6	—	P12_6	D22	GTIOC05_4A / GTIOC01_3B / CMTW1_TIC1	SS2#/CTS2#/ RTS2# / SD0_DATA4	MCLK10	—	—	—	ENCIFDO05 / TXDE05 / HDSL10_SMPL
D7	VDD1833_6	—	P12_0	D16	MTIC5V / GTIOC05_1A / CMTW0_TIC0	CANRX1 / SD0_CLK	—	—	—	—	DUEI01 / HDSL09_MOSI1
D8	—	VSS	—	—	—	—	—	—	—	—	—
D9	VDD33	IRQ6	P14_3	DREQ	POE0# / GTIOC06_1A / GTIOC09_1A	ESC_LINKACT2 / TXD4/SDA4/MOSI4 / SD1_CD	—	DISP_DATAG3	—	—	ENCIFOE00 / DEE00 / HDSL11_MISO1
D10	VDD33	IRQ1	P15_6	—	GTIOC09_6B	—	MDAT42	—	—	—	ENCIFDO07 / TXDE07 / HDSL12_MOSI1
D11	VDD33	IRQ2	P16_0	—	—	CTS5#	MDAT50	—	—	—	TXDE07 / DUEI03 / HDSL12_SEL2
D12	—	VSS	—	—	—	—	—	—	—	—	—
D13	VDD33	IRQ0	P18_3	A11	GTADSM03_1 / RTCAT1HZ	ETH1_COL / GMAC1_MDIO / RXD1/SCL1/MISO1 / CANTX0 / SD1_IOVS	MDAT10	DISP_DATAB4	—	—	HDSL14_CLK2
D14	VDD33	—	P19_0	—	GTIOC07_0A	—	—	—	—	—	DUEI09 / HDSL15_SMPL
D15	VDD33	IRQ7	P18_0	A8 / TEND	GTADSM02_0	ESC_LEDRUN / SS0#/CTS0#/ RTS0# / CANRXDP0 / SD1_PWEN	—	DISP_DATAB1	—	—	TST_OUT08 / HDSL14_SEL1
D16	—	VSS	—	—	—	—	—	—	—	—	—
D17	VDD1833_0	ETH0_REFCLK / RMII0_REFCLK	P21_7	—	—	CANTXDP1	—	—	—	—	HDSL01_LINK
D18	VDD1833_0	—	P20_7	—	—	ETH0_RXD0	—	—	—	—	SI11# / HDSL00_CLK1
D19	VDD1833_0	—	P21_6	—	—	ETHSW_PHYLINK0 / ESC_PHYLINK0 / CANRXDP1	—	—	—	—	HDSL00_MOSI2
D20	—	VSS	—	—	—	—	—	—	—	—	—
D21	VDD33	—	P22_1	—	GTETRGA	ETH0_TXER / TXD5/ SDA5/MOSI5 / CANTX0	—	—	—	—	HDSL01_CLK1
D22	VDD33	IRQ12	P24_1	—	—	—	MCLK62	—	—	—	SI02# / HDSL02_MISO2
D23	VDD1833_1	—	P25_6	—	—	ETH1_RXD2 / CANRX1	—	—	—	—	DUEI04 / HDSL03_CLK2
D24	—	VSS	—	—	—	—	—	—	—	—	—
D25	VDD1833_1	—	P26_0	—	—	ETH1_RXDV	—	—	—	—	SI04# / HDSL03_MISO2
D26	VDD33	SEI	P26_6	CS2#	—	ETH1_TXER / ESC_RESETOUT# / CANRX0	—	—	—	—	ENCIFOE01 / DEE01 / HDSL04_SEL1

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (6/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
D27	VDD33	—	P28_5	—	—	CANRX0 / SPI_SSL13	MCLK71	—	—	—	ENCIFCK08 / ENCIFCK00 / SCKE08 / SCKE00 / HDSL05_MISO2
E1	—	—	—	—	—	—	—	—	DDR_DQA12	—	—
E2	—	—	—	—	—	—	—	—	DDR_DQA9	—	—
E3	—	VSS	—	—	—	—	—	—	—	—	—
E4	—	—	—	—	—	—	—	—	DDR_DQA13	—	—
E5	—	VSS	—	—	—	—	—	—	—	—	—
E6	VDD1833_6	IRQ2	P12_7	D23	GTIOC05_4B / CMTW1_TOC1	CTS2# / SD0_DATA5	MDAT10	—	—	—	ENCIFDI05 / RXDE05 / HDSL10_CLK1
E7	VDD1833_6	—	P12_3	D19	GTIOC05_2B / CMTW0_TOC1	SCK2 / CANTXDP1 / SD0_DATA1	—	—	—	—	HDSL09_MISO2
E8	VDD1833_6	—	P12_2	D18	GTIOC05_2A / CMTW0_TIC1	CANRXDP1 / SD0_DATA0	—	—	—	—	SI01# / HDSL09_SEL2
E9	VDD33	—	P15_7	—	—	SS5#/CTS5#/RTS5#	MCLK50	—	—	—	ENCIFDI07 / RXDE07 / HDSL12_CLK2
E10	VDD33	—	P15_1	—	GTIOC09_4A	—	MCLK40	—	—	—	ENCIFOE06 / DEE06 / HDSL12_LINK
E11	VDD33	IRQ0	P15_5	—	GTIOC09_6A	—	MCLK42	—	—	—	ENCIFOE07 / DEE07 / HDSL12_MISO1
E12	VDD1833_7	IRQ14	P17_2	—	GTIOC03_2B	SD1_DATA3	—	—	—	—	TST_OUT06 / HDSL13_SEL2
E13	VDD33	IRQ15	P18_1	A9	GTADSM02_1 / GTIOC07_3A	ESC_LEDERR / CTS0# / CANTXDP0 / SD1_IOVS	—	DISP_DATAB2	—	—	SI08# / HDSL14_MISO1
E14	VDD33	—	P19_1	—	GTIOC07_0B	—	—	—	—	—	TST_OUT09 / HDSL15_CLK1
E15	VDD33	—	P17_7	WE3#/AH#	GTADSM01_1 / CMTW1_TOC1	ETHSW_PTPOUT1 / ESC_SYNC1 / TXD0/SDA0/MOSI0 / SD1_IOVS	—	DISP_DATAB0	—	—	DUEI08 / HDSL14_CLK1
E16	VDD33	—	P19_6	—	—	—	MCLK52	—	—	—	HDSL15_SEL2
E17	VDD1833_0	—	P20_2	—	—	ETH0_TXD1	—	—	—	—	—
E18	VDD1833_0	—	P21_0	—	—	ETH0_RXD1	—	—	—	—	DUEI12 / HDSL00_SEL1
E19	VDD1833_0	IRQ11	P22_0	—	—	—	—	—	—	—	HDSL01_SMPL
E20	VDD33	IRQ6	P22_4	A21	GTETRGD	ETH0_COL / SS5#/ CTS5#/RTS5# / CANTXDP0	—	—	—	—	TST_OUT14 / HDSL01_MOSI1
E21	VDD33	IRQ7	P22_5	A20	GTETRGSA	GMAC0_PTPTRG0 / ESC_LATCH0 / CTS5# / CANRX1 / SD0_CD	—	—	—	—	SI14# / HDSL01_CLK2
E22	VDD33	—	P22_2	A23	GTETRGB	ETH0_RXER / RXD5/SCL5/MISO5 / CANRX0	—	—	—	—	HDSL01_SEL1
E23	VDD1833_1	—	P25_4	—	—	ETH1_RXD0	—	—	—	—	TST_OUT03 / HDSL03_MISO1
E24	VDD1833_1	—	P25_7	—	—	ETH1_RXD3 / CANTX1	—	—	—	—	TST_OUT04 / HDSL03_SEL2
E25	VDD33	—	P28_4	—	GTIOC08_2B	SPI_SSL12	—	—	—	—	SI06# / HDSL05_SEL2
E26	VDD33	IRQ6	P28_1	—	GTIOC08_1A	ETHSW_TDMAOUT2 / SPI_MISO1	—	—	—	—	SI05# / HDSL05_MISO1

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (7/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
E27	VDD33	—	P28_6	—	—	CANTX0	MDAT71	—	—	—	ENCIFOE08 / ENCIFOE00 / DEE08 / DEE00 / HDSL05_MOSI2
F1	—	VSS	—	—	—	—	—	—	—	—	—
F2	—	—	—	—	—	—	—	—	DDR_DQA8	—	—
F3	—	—	—	—	—	—	—	—	DDR_DQA11	—	—
F4	—	—	—	—	—	—	—	—	DDR_DQA14	—	—
F5	—	—	—	—	—	—	—	—	DDR_DQSA_C1	—	—
F6	VDD1833_6	—	P13_3	D27	GTIOC03_3A	SCK3 / SPI_SSL30	MDAT01	—	—	—	ENCIFDI12 / ENCIFDI03 / RXDE08 / RXDE03 / HDSL10_CLK2
F7	VDD1833_6	—	P13_1	D25	GTIOC02_3B	SPI_MOSI3 / SD0_DATA7	MDAT00	—	—	—	ENCIFOE12 / ENCIFOE03 / DEE08 / DEE03 / HDSL10_MISO1
F8	VDD1833_6	IRQ3	P13_2	D26	—	SPI_MISO3 / SD0_RST#	MCLK01	—	—	—	ENCIFDO12 / ENCIFDO03 / TXDE08 / TXDE03 / HDSL10_MOSI1
F9	VDD33	—	P15_4	—	GTIOC09_5B	—	MDAT41	—	—	—	ENCIFCK07 / SCKE07 / HDSL12_SEL1
F10	—	VSS	—	—	—	—	—	—	—	—	—
F11	VDD33	—	P15_2	—	GTIOC09_4B	—	MDAT40	—	—	—	ENCIFDO06 / TXDE06 / HDSL12_SMPL
F12	VDD1833_7	—	P16_7	—	GTIOC03_1A	SD1_DATA0	—	—	—	—	TST_OUT05 / HDSL13_MISO1
F13	VDD33	—	P17_6	WE2#	GTADSM01_0 / GTETRGD / CMTW1_TIC1	ETHSW_PTPOUT0 / ESC_SYNC0 / RXD0/SCL0/MISO0 / SD1_PWEN	—	DISP_DATAG7	—	—	SI07# / HDSL14_SMPL
F14	—	VSS	—	—	—	—	—	—	—	—	—
F15	VDD33	IRQ1	P18_4	A12	GTIOC07_3A / GTADSM04_0	ESC_LEDSTER / TXD1/SDA1/MOSI1 / CANRX1	MCLK11	DISP_DATAB5	—	—	ENCIFCK13 / ENCIFCK14 / SCKE09 / SCKE10 / HDSL14_SEL2
F16	VDD33	—	P19_7	—	—	—	MDAT52	—	—	—	HDSL15_MISO2
F17	VDD1833_0	—	P20_4	—	—	ETH0_TXD3 / CANTX0	—	—	—	—	—
F18	—	VSS	—	—	—	—	—	—	—	—	—
F19	VDD33	IRQ11	P24_0	—	—	ETHSW_LPI2	MDAT61	—	—	—	TST_OUT02 / HDSL02_SEL2
F20	VDD33	IRQ5	P22_3	A22	GTETRGC	ETH0_CRS / SCK5 / CANRXDP0	—	—	—	—	DUEI14 / HDSL01_MISO1
F21	VDD33	IRQ13	P24_2	—	—	—	MDAT62	—	—	—	HDSL02_MOSI2
F22	—	VSS	—	—	—	—	—	—	—	—	—
F23	VDD1833_1	—	P25_5	—	—	ETH1_RXD1	—	—	—	—	SI03# / HDSL03_MOSI1
F24	VDD33	IRQ5	P28_0	—	GTIOC08_0B	ETHSW_TDMAOUT1 / SPI_MOSI1	—	—	—	—	TST_OUT05 / HDSL05_SEL1
F25	VDD33	—	P27_5	—	MTIOC1A / GTIOC08_4A / GTIOC02_2A	TXD0/SDA0/MOSI0 / SPI_SSL00	—	—	—	HSPI_IO3	ENCIFDO14 / TXDE10 / HDSL05_LINK
F26	—	VSS	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (8/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
F27	VDD33	—	P27_3	—	MTIOC2A / GTIOC08_3A / GTIOC02_1A	GMAC1_PTPTRG1 / SCK0 / CANRXDP1 / SPI_MOSI0	—	—	—	HSPI_IO1	ENCIFCK14 / SCKE10 / HDSL04_MISO2
G1	—	—	—	—	—	—	—	—	DDR_DQA15	—	—
G2	—	VSS	—	—	—	—	—	—	—	—	—
G3	—	—	—	—	—	—	—	—	DDR_DQA10	—	—
G4	—	—	—	—	—	—	—	—	DDR_DMIA1	—	—
G5	—	—	—	—	—	—	—	—	DDR_DQSA_T1	—	—
G6	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
G7	VDD1833_6	—	P12_5	D21	GTIOC05_3B / GTIOC01_3A / CMTW1_TOC0	TXD2/SDA2/MOSI2 / SD0_DATA3	MDAT02	—	—	—	ENCIFOE05 / DEE05 / HDSL10_LINK
G8	VDD1833_6	—	P12_1	D17	MTIC5W / GTIOC05_1B / CMTW0_TOC0	CANTX1 / SD0_CMD	—	—	—	—	TST_OUT01 / HDSL09_CLK2
G9	VDD33	—	P15_0	—	GTIOC09_3B	—	MDAT32	—	—	—	ENCIFCK06 / SCKE06 / HDSL11_MOSI2
G10	—	VSS	—	—	—	—	—	—	—	—	—
G11	VDD33	—	P15_3	—	GTIOC09_5A	—	MCLK41	—	—	—	ENCIFDI06 / RXDE06 / HDSL12_CLK1
G12	VDD1833_7	—	P16_5	—	GTIOC03_0A	SD1_CLK	—	—	—	—	SI04# / HDSL13_CLK1
G13	VDD33	—	P17_4	A6 / DREQ	GTADSM00_0 / GTETRGB / CMTW1_TIC0	DE0 / CANRX0 / SD1_CD	—	—	—	—	DUEI07 / HDSL13_MOSI2
G14	—	VSS	—	—	—	—	—	—	—	—	—
G15	VDD33	IRQ2	P18_5	A13	GTIOC07_3B / GTADSM04_1	SS1#/CTS1#/ RTS1# / CANTX1	MDAT11	DISP_DATAB6	—	—	ENCIFOE13 / ENCIFOE14 / DEE09 / DEE10 / HDSL14_MISO2
G16	VDD1833_0	—	P21_5	—	—	GMAC0_MDIO / ETHSW_MDIO / ESC_MDIO / CANTX1	—	—	—	—	SI13# / HDSL00_MISO2
G17	VDD1833_0	—	P21_1	—	—	ETH0_RXD2 / CANRXDP0	—	—	—	—	TST_OUT12 / HDSL00_MISO1
G18	—	VSS	—	—	—	—	—	—	—	—	—
G19	VDD33	—	P23_7	—	—	ETHSW_LPI1	MCLK61	—	—	—	DUEI02 / HDSL02_CLK2
G20	VDD33	IRQ10	P23_0	A17	GTIOC06_0B	ETH1_COL / ETHSW_TDMAOUT3 / ESC_LINKACT1 / CANTXDP1	—	—	—	—	SI15# / HDSL01_MOSI2
G21	VDD33	IRQ9	P22_7	A18	GTIOC06_0A	ETH1_CRS / ETHSW_TDMAOUT2 / ESC_LINKACT0 / CANRXDP1	—	—	—	—	TST_OUT15 / HDSL01_MISO2
G22	VDD33	IRQ15	P24_4	—	—	ESC_I2CDATA / IIC_SDA1 / CANTX0	MDAT70	—	—	—	HDSL03_SMPL
G23	VDD33	IRQ1	P27_0	CS5#	—	ETH1_CRS / CANTXDP0 / SPI_SSL02	—	—	—	HSPI_INT#	ENCIFDI01 / RXDE01 / HDSL04_MOSI1
G24	VDD33	IRQ2	P27_1	—	GTIOC02_0A	ETH1_COL / CANRX1 / SPI_SSL03	—	—	—	HSPI_CS#	HDSL04_CLK2
G25	VDD33	IRQ7	P28_2	—	GTIOC08_1B	ETHSW_TDMAOUT3 / SPI_SSL10	—	—	—	—	DUEI06 / HDSL05_MOSI1

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (9/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
G26	VDD33	IRQ3	P27_2	—	GTIOC02_0B	GMAC1_PTPTRG0 / ESC_LEDERR / CANTX1 / SPI_RSPCK0	—	—	—	HSPI_IO0	HDSL04_SEL2
G27	VDD33	—	P27_6	—	MTIOC1B / GTIOC08_4B / GTIOC02_2B	—	—	—	—	HSPI_CK	ENCIFDI14 / RXDE10 / HDSL05_SMPL
H1	—	—	—	—	—	—	—	—	DDR_DQA6	—	—
H2	—	—	—	—	—	—	—	—	DDR_DQA5	—	—
H3	—	VSS	—	—	—	—	—	—	—	—	—
H4	—	VSS	—	—	—	—	—	—	—	—	—
H5	—	VSS	—	—	—	—	—	—	—	—	—
H6	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
H7	—	VSS	—	—	—	—	—	—	—	—	—
H8	—	VSS	—	—	—	—	—	—	—	—	—
H9	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
H10	—	VSS	—	—	—	—	—	—	—	—	—
H11	—	VDDP_18_6	—	—	—	—	—	—	—	—	—
H12	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
H13	—	VSS	—	—	—	—	—	—	—	—	—
H14	—	VDDP_18_7	—	—	—	—	—	—	—	—	—
H15	—	VSS	—	—	—	—	—	—	—	—	—
H16	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
H17	—	VSS	—	—	—	—	—	—	—	—	—
H18	—	VDDP_18_0	—	—	—	—	—	—	—	—	—
H19	—	VSS	—	—	—	—	—	—	—	—	—
H20	—	VDDP_18_1	—	—	—	—	—	—	—	—	—
H21	—	VDD1833_1	—	—	—	—	—	—	—	—	—
H22	VDD33	IRQ0	P26_7	CS3#	—	ETH1_RXER / ESC_LEDSTER / CANRXDP0 / SPI_SSL01	—	—	—	—	ENCIFDO01 / TXDE01 / HDSL04_MISO1
H23	VDD33	—	P28_7	—	—	CANRXDP0	MCLK72	—	—	—	ENCIFDO08 / ENCIFDO00 / TXDE08 / TXDE00 / HDSL06_LINK
H24	—	VSS	—	—	—	—	—	—	—	—	—
H25	VDD33	—	P29_0	—	—	CANTXDP0	MDAT72	—	—	—	ENCIFDI08 / ENCIFDI00 / RXDE08 / RXDE00 / HDSL06_SMPL
H26	VDD33	—	P27_4	—	MTIOC2B / GTIOC08_3B / GTIOC02_1B	RXD0/SCL0/MISO0 / CANTXDP1 / SPI_MISO0	—	—	—	HSPI_IO2	ENCIFOE14 / DEE10 / HDSL04_MOSI2
H27	VDD1833_2	—	P29_3	—	GTIOC09_1A	ETH2_TXD1	—	—	—	—	ENCIFDO09 / TXDE09 / HDSL06_MISO1
J1	—	—	—	—	—	—	—	—	DDR_DQA4	—	—
J2	—	VSS	—	—	—	—	—	—	—	—	—
J3	—	—	—	—	—	—	—	—	DDR_DMIA0	—	—
J4	—	—	—	—	—	—	—	—	DDR_DQA7	—	—
J5	—	—	—	—	—	—	—	—	DDR_DQSA_C0	—	—
J6	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
J7	—	VDD33	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (10/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
J8	—	VSS	—	—	—	—	—	—	—	—	—
J9	—	VDD1833_6	—	—	—	—	—	—	—	—	—
J10	—	AVDD18A_TSU	—	—	—	—	—	—	—	—	—
J11	—	VDD33	—	—	—	—	—	—	—	—	—
J12	—	VSS	—	—	—	—	—	—	—	—	—
J13	—	VDD1833_7	—	—	—	—	—	—	—	—	—
J14	—	VSS	—	—	—	—	—	—	—	—	—
J15	—	VDD33	—	—	—	—	—	—	—	—	—
J16	—	VSS	—	—	—	—	—	—	—	—	—
J17	—	VDD1833_0	—	—	—	—	—	—	—	—	—
J18	—	VSS	—	—	—	—	—	—	—	—	—
J19	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
J20	—	VSS	—	—	—	—	—	—	—	—	—
J21	—	VDD1833_1	—	—	—	—	—	—	—	—	—
J22	VDD1833_2	—	P30_5	—	GTIOC09_6A	GMAC2_MDC / ETHSW_MDC / ESC_MDC / SPI_RSPCK3	—	—	—	—	DUEI07 / HDSL07_MISO1
J23	VDD1833_2	—	P29_6	—	GTIOC09_2B	ETH2_TXEN / SPI_SSL22	—	—	—	—	ENCIFOE10 / DEE10 / HDSL06_SEL2
J24	VDD1833_2	IRQ14	P30_7	—	—	ETHSW_PHYLINK2 / ESC_PHYLINK2 / SPI_MISO3 / SD1_IOVS	MCLK30	—	—	—	SI07# / HDSL07_CLK2
J25	VDD1833_2	—	P29_1	—	GTIOC09_0A	ETH2_TXCLK	—	—	—	—	ENCIFCK09 / SCKE09 / HDSL06_CLK1
J26	VDD1833_2	IRQ13	P31_1	—	GTETRGSB	ETH2_RXER / SPI_SSL31	—	—	—	—	HDSL07_MISO2
J27	VDD1833_2	IRQ11	P30_3	—	GTIOC09_5A	ETH2_RXD3 / SPI_MISO2	—	—	—	—	ENCIFDO11 / TXDE11 / HDSL07_CLK1
K1	—	—	—	—	—	—	—	—	DDR_DQA2	—	—
K2	—	—	—	—	—	—	—	—	DDR_DQA0	—	—
K3	—	—	—	—	—	—	—	—	DDR_DQA1	—	—
K4	—	—	—	—	—	—	—	—	DDR_DQA3	—	—
K5	—	—	—	—	—	—	—	—	DDR_DQSA_T0	—	—
K6	—	VSS	—	—	—	—	—	—	—	—	—
K7	—	VDD33	—	—	—	—	—	—	—	—	—
K8	—	VSS	—	—	—	—	—	—	—	—	—
K9	—	VDD1833_6	—	—	—	—	—	—	—	—	—
K10	—	DVDD08A_TSU	—	—	—	—	—	—	—	—	—
K11	—	VDD33	—	—	—	—	—	—	—	—	—
K12	—	VSS	—	—	—	—	—	—	—	—	—
K13	—	VDD1833_7	—	—	—	—	—	—	—	—	—
K14	—	VSS	—	—	—	—	—	—	—	—	—
K15	—	VDD33	—	—	—	—	—	—	—	—	—
K16	—	VSS	—	—	—	—	—	—	—	—	—
K17	—	VDD1833_0	—	—	—	—	—	—	—	—	—
K18	—	VDD33	—	—	—	—	—	—	—	—	—
K19	—	VDD33	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (11/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
K20	—	VDDP_18_2	—	—	—	—	—	—	—	—	—
K21	VDD1833_2	—	P30_6	—	GTIOC09_6B	GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / SPI_MOSI3	—	—	—	—	TST_OUT07 / HDSL07_MOSI1
K22	—	VSS	—	—	—	—	—	—	—	—	—
K23	VDD1833_2	—	P29_2	—	GTIOC09_0B	ETH2_TXD0	—	—	—	—	ENCIFOE09 / DEE09 / HDSL06_SEL1
K24	VDD1833_2	—	P30_4	—	GTIOC09_5B	ETH2_RXDV	—	—	—	—	ENCIFDI11 / RXDE11 / HDSL07_SEL1
K25	VDD1833_2	—	P30_1	—	GTIOC09_4A	ETH2_RXD1	—	—	—	—	ENCIFCK11 / SCKE11 / HDSL07_LINK
K26	—	VSS	—	—	—	—	—	—	—	—	—
K27	VDD1833_2	—	P30_0	—	GTIOC09_3B	ETH2_RXD0	—	—	—	—	ENCIFDI10 / RXDE10 / HDSL06_MOSI2
L1	—	VSS	—	—	—	—	—	—	—	—	—
L2	—	—	—	—	—	—	—	—	DDR_CAA1	—	—
L3	—	VSS	—	—	—	—	—	—	—	—	—
L4	—	VSS	—	—	—	—	—	—	—	—	—
L5	—	VSS	—	—	—	—	—	—	—	—	—
L6	—	—	—	—	—	—	—	—	DDR_CKEA1	—	—
L7	—	VSS	—	—	—	—	—	—	—	—	—
L8	—	VDD18_PLL2	—	—	—	—	—	—	—	—	—
L9	—	VDD08_PLL2	—	—	—	—	—	—	—	—	—
L10	—	VSS	—	—	—	—	—	—	—	—	—
L11	—	VDD18_PLL3	—	—	—	—	—	—	—	—	—
L12	—	VSS_PLL3	—	—	—	—	—	—	—	—	—
L13	—	VDD08_PLL3	—	—	—	—	—	—	—	—	—
L14	—	VSS	—	—	—	—	—	—	—	—	—
L15	—	VSS	—	—	—	—	—	—	—	—	—
L16	—	VSS	—	—	—	—	—	—	—	—	—
L17	—	VSS	—	—	—	—	—	—	—	—	—
L18	—	VSS	—	—	—	—	—	—	—	—	—
L19	—	VSS	—	—	—	—	—	—	—	—	—
L20	—	VDD1833_2	—	—	—	—	—	—	—	—	—
L21	—	VDD1833_2	—	—	—	—	—	—	—	—	—
L22	VDD1833_2	IRQ8	P29_4	—	GTIOC09_1B	ETH2_TXD2 / SPI_SSL20	—	—	—	—	ENCIFDI09 / RXDE09 / HDSL06_MOSI1
L23	VDD1833_2	IRQ9	P29_5	—	GTIOC09_2A	ETH2_TXD3 / SPI_SSL21	—	—	—	—	ENCIFCK10 / SCKE10 / HDSL06_CLK2
L24	VDD1833_2	ETH2_REFCLK / RMII2_REFCLK	P31_0	—	GTETRGSA	SPI_SSL30	—	—	—	—	HDSL07_SEL2
L25	VDD1833_2	—	P29_7	—	GTIOC09_3A	ETH2_RXCLK / SPI_SSL23	—	—	—	—	ENCIFDO10 / TXDE10 / HDSL06_MISO2
L26	VDD1833_2	IRQ10	P30_2	—	GTIOC09_4B	ETH2_RXD2 / SPI_MOSI2	—	—	—	—	ENCIFOE11 / DEE11 / HDSL07_SMPL

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (12/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
L27	VDD33	—	P32_6	—	GTIOC10_2A / GTIOC01_2A	SPI_SSL10	—	—	—	—	ENCIFCK11 / SCKE11 / HDSL09_SMPL
M1	—	—	—	—	—	—	—	—	DDR_CKA_C	—	—
M2	—	—	—	—	—	—	—	—	DDR_CAA3	—	—
M3	—	—	—	—	—	—	—	—	DDR_CAA4	—	—
M4	—	—	—	—	—	—	—	—	DDR_CSA0	—	—
M5	—	—	—	—	—	—	—	—	DDR_CSA1	—	—
M6	—	—	—	—	—	—	—	—	DDR_CKEA0	—	—
M7	—	VSS	—	—	—	—	—	—	—	—	—
M8	—	VSS_PLL2	—	—	—	—	—	—	—	—	—
M9	—	VDD08	—	—	—	—	—	—	—	—	—
M10	—	VSS	—	—	—	—	—	—	—	—	—
M11	—	VDD08	—	—	—	—	—	—	—	—	—
M12	—	VSS	—	—	—	—	—	—	—	—	—
M13	—	VDD08	—	—	—	—	—	—	—	—	—
M14	—	VSS	—	—	—	—	—	—	—	—	—
M15	—	VDD08	—	—	—	—	—	—	—	—	—
M16	—	VSS	—	—	—	—	—	—	—	—	—
M17	—	VDD08	—	—	—	—	—	—	—	—	—
M18	—	VSS	—	—	—	—	—	—	—	—	—
M19	—	VDD08_PLL0	—	—	—	—	—	—	—	—	—
M20	—	VSS	—	—	—	—	—	—	—	—	—
M21	—	VSS	—	—	—	—	—	—	—	—	—
M22	VDD33	—	P32_2	—	GTIOC10_0A / GTIOC01_0A	SPI_SSL03	—	—	—	—	ENCIFCK10 / SCKE10 / HDSL08_SEL2
M23	VDD33	—	P32_1	—	—	SPI_SSL02	—	—	—	—	ENCIFDI15 / ENCIFDI01 / RXDE11 / RXDE01 / HDSL08_CLK2
M24	—	VSS	—	—	—	—	—	—	—	—	—
M25	VDD33	—	P32_0	—	—	SPI_SSL01	—	—	—	—	ENCIFDO15 / ENCIFDO01 / TXDE11 / TXDE01 / HDSL08_MOSI1
M26	VDD33	—	P31_7	—	—	GMAC2_PTPTRG1 / SPI_SSL00	—	—	—	—	ENCIFOE15 / ENCIFOE01 / DEE11 / DEE01 / HDSL08_MISO1
M27	VDD33	—	P32_5	—	GTIOC10_1B / GTIOC01_1B	SPI_MISO1	—	—	—	—	ENCIFDI10 / RXDE10 / HDSL09_LINK
N1	—	—	—	—	—	—	—	—	DDR_CKA_T	—	—
N2	—	VSS	—	—	—	—	—	—	—	—	—
N3	—	—	—	—	—	—	—	—	DDR_CAA2	—	—
N4	—	VSS	—	—	—	—	—	—	—	—	—
N5	—	—	—	—	—	—	—	—	DDR_CAA5	—	—
N6	—	VSS	—	—	—	—	—	—	—	—	—
N7	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
N8	—	DDR_VAA	—	—	—	—	—	—	—	—	—
N9	—	VSS	—	—	—	—	—	—	—	—	—
N10	—	VDD08	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (13/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
N11	—	VSS	—	—	—	—	—	—	—	—	—
N12	—	VDD08	—	—	—	—	—	—	—	—	—
N13	—	VSS	—	—	—	—	—	—	—	—	—
N14	—	VDD08	—	—	—	—	—	—	—	—	—
N15	—	VSS	—	—	—	—	—	—	—	—	—
N16	—	VDD08	—	—	—	—	—	—	—	—	—
N17	—	VSS	—	—	—	—	—	—	—	—	—
N18	—	VDD08	—	—	—	—	—	—	—	—	—
N19	—	VSS_PLL0	—	—	—	—	—	—	—	—	—
N20	—	VDD18_PLL0	—	—	—	—	—	—	—	—	—
N21	—	VSS	—	—	—	—	—	—	—	—	—
N22	VDD33	—	P32_4	—	GTIOC10_1A / GTIOC01_1A	SPI_MOSI1	—	—	—	—	ENCIFDO10 / TXDE10 / HDSL08_MOSI2
N23	VDD33	—	P32_3	—	GTIOC10_0B / GTIOC01_0B	SPI_RSPCK1	—	—	—	—	ENCIFOE10 / DEE10 / HDSL08_MISO2
N24	VDD33	—	P32_7	—	GTIOC10_2B / GTIOC01_2B	SPI_SSL11	—	—	—	—	ENCIFOE11 / DEE11 / HDSL09_CLK1
N25	VDD33	—	P31_4	DREQ	POE8#	ETH2_CRS / ETHSW_PTPOUT2 / ESC_SYNC0 / SPI_RSPCK0 / SPI_SSL30	MCLK81 / MDAT31	—	—	HSPI_IO6	ENCIFDO09 / TXDE09 / HDSL08_SMPL / POUTB
N26	VDD33	—	P31_3	—	POE4#	ETH2_RXER / ETHSW_TDMAOUT 1 / ESC_LEDERR / SPI_SSL33	MDAT80 / MCLK31	—	—	HSPI_IO5	ENCIFOE09 / DEE09 / HDSL08_LINK
N27	VDD33	—	P31_2	—	POE0#	ETH2_TXER / SPI_SSL32	MCLK80 / MDAT30	—	—	HSPI_IO4	ENCIFCK09 / SCKE09 / HDSL07_MOSI2 / POUTA
P1	—	VSS	—	—	—	—	—	—	—	—	—
P2	—	—	—	—	—	—	—	—	DDR_CKEB1	—	—
P3	—	—	—	—	—	—	—	—	DDR_CAB0	—	—
P4	—	—	—	—	—	—	—	—	DDR_CAA0	—	—
P5	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
P6	—	VSS	—	—	—	—	—	—	—	—	—
P7	—	—	—	—	—	—	—	—	DDR_RESET_N	—	—
P8	—	—	—	—	—	—	—	—	DDR_ATEST	—	—
P9	—	VDD08	—	—	—	—	—	—	—	—	—
P10	—	VSS	—	—	—	—	—	—	—	—	—
P11	—	VDD08	—	—	—	—	—	—	—	—	—
P12	—	VSS	—	—	—	—	—	—	—	—	—
P13	—	VDD08	—	—	—	—	—	—	—	—	—
P14	—	VSS	—	—	—	—	—	—	—	—	—
P15	—	VDD08	—	—	—	—	—	—	—	—	—
P16	—	VSS	—	—	—	—	—	—	—	—	—
P17	—	VDD08	—	—	—	—	—	—	—	—	—
P18	—	VSS	—	—	—	—	—	—	—	—	—
P19	—	VSS	—	—	—	—	—	—	—	—	—
P20	—	VSS	—	—	—	—	—	—	—	—	—
P21	—	VDDP_18_33	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (14/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
P22	—	VSS	—	—	—	—	—	—	—	—	—
P23	VDD33	—	P33_1	—	GTIOC10_3B	SPI_SSL13	MDAT82	—	—	—	ENCIFDI11 / RXDE11 / HDSL09_MISO1
P24	VDD33	—	P33_0	—	GTIOC10_3A	SPI_SSL12	MCLK82	—	—	—	ENCIFDO11 / TXDE11 / HDSL09_SEL1
P25	VDD33	—	P31_6	A16 / TEND	POE11#	GMAC2_PTPTRG0 / ETHSW_TDMAOUT 0 / ESC_LEDRUN / SPI_MISO0	MDAT32	—	—	—	ENCIFCK15 / ENCIFCK01 / SCKE11 / SCKE01 / HDSL08_SEL1
P26	VDD33	—	P31_5	DACK	POE10#	ETH2_COL / ETHSW_PTPOUT3 / ESC_SYNC1 / SPI_MOSI0 / SPI_SSL31	MDAT81 / MCLK32	—	—	HSPI_IO7	ENCIFDI09 / RXDE09 / HDSL08_CLK1 / POUTZ
P27	VDD1833_3	—	P34_4	CS2#	GTADSM05_0 / GTIOC03_2A	ETH3_RXD3 / RXD3/ SCL3/MISO3 / SPI_SSL22 / SD1_IOVS	—	—	ADTRG0#	—	ENCIFDO07 / TXDE07 / HDSL10_MOSI1
R1	—	—	—	—	—	—	—	—	DDR_CKB_T	—	—
R2	—	—	—	—	—	—	—	—	DDR_CKEB0	—	—
R3	—	VSS	—	—	—	—	—	—	—	—	—
R4	—	VSS	—	—	—	—	—	—	—	—	—
R5	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
R6	—	VSS	—	—	—	—	—	—	—	—	—
R7	—	—	—	—	—	—	—	—	DDR_DTEST	—	—
R8	—	—	—	—	—	—	—	—	DDR_ZN	—	—
R9	—	VSS	—	—	—	—	—	—	—	—	—
R10	—	VDD08	—	—	—	—	—	—	—	—	—
R11	—	VSS	—	—	—	—	—	—	—	—	—
R12	—	VDD08	—	—	—	—	—	—	—	—	—
R13	—	VSS	—	—	—	—	—	—	—	—	—
R14	—	VDD08	—	—	—	—	—	—	—	—	—
R15	—	VSS	—	—	—	—	—	—	—	—	—
R16	—	VDD08	—	—	—	—	—	—	—	—	—
R17	—	VSS	—	—	—	—	—	—	—	—	—
R18	—	VDD08	—	—	—	—	—	—	—	—	—
R19	—	VDDP_18_X	—	—	—	—	—	—	—	—	—
R20	—	VDD33	—	—	—	—	—	—	—	—	—
R21	—	VSS	—	—	—	—	—	—	—	—	—
R22	VDD1833_3	—	P34_1	A23	GTADSM03_1 / GTIOC03_0B	ETH3_RXD0 / SPI_MISO2	—	—	—	—	ENCIFDI06 / RXDE06 / HDSL10_CLK1
R23	VDD1833_3	ETH3_REFCL K / RMII3_REFCL K	P34_6	CS5#	—	ETH1_RXER / ESC_I2CDATA / IIC_SDA1 / SPI_RSPCK3	—	—	ADTRG2#	—	DUEI08 / HDSL10_SEL2
R24	VDD1833_3	—	P33_2	A16	GTADSM00_0	ETH3_TXCLK / SCK1 / SPI_RSPCK1 / SPI_SSL30	MCLK50	—	—	—	ENCIFCK01 / SCKE01 / HDSL09_MOSI1
R25	VDD1833_3	IRQ15	P33_6	A20	GTADSM02_0	ETH3_TXD3 / TXD2/ SDA2/MOSI2 / SPI_SSL11 / SPI_SSL00	MCLK52	—	—	—	ENCIFCK06 / SCKE06 / HDSL09_MOSI2
R26	VDD1833_3	—	P33_7	A21	GTADSM02_1	ETH3_TXEN / SPI_RSPCK2	MDAT52	—	—	—	ENCIFOE06 / DEE06 / HDSL10_LINK

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (15/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
R27	VDD1833_3	—	P34_5	CS3#	GTADSM05_1 / GTIOC03_2B	ETH3_RXDV / ESC_I2CCLK / TXD3/SDA3/MOSI3 / IIC_SCL1 / SPI_SSL23	—	—	ADTRG1#	—	ENCIFDI07 / RXDE07 / HDSL10_CLK2
T1	—	—	—	—	—	—	—	—	DDR_CKB_C	—	—
T2	—	—	—	—	—	—	—	—	DDR_CAB1	—	—
T3	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
T4	—	—	—	—	—	—	—	—	DDR_CAB2	—	—
T5	—	—	—	—	—	—	—	—	DDR_CAB5	—	—
T6	—	—	—	—	—	—	—	—	DDR_CSB0	—	—
T7	—	VSS	—	—	—	—	—	—	—	—	—
T8	—	VSS	—	—	—	—	—	—	—	—	—
T9	—	VDD08	—	—	—	—	—	—	—	—	—
T10	—	VSS	—	—	—	—	—	—	—	—	—
T11	—	VDD08	—	—	—	—	—	—	—	—	—
T12	—	VSS	—	—	—	—	—	—	—	—	—
T13	—	VDD08	—	—	—	—	—	—	—	—	—
T14	—	VSS	—	—	—	—	—	—	—	—	—
T15	—	VDD08	—	—	—	—	—	—	—	—	—
T16	—	VSS	—	—	—	—	—	—	—	—	—
T17	—	VDD08	—	—	—	—	—	—	—	—	—
T18	—	VSS	—	—	—	—	—	—	—	—	—
T19	—	VDD33_X	—	—	—	—	—	—	—	—	—
T20	—	VSS	—	—	—	—	—	—	—	—	—
T21	—	VDD1833_3	—	—	—	—	—	—	—	—	—
T22	—	VDDP_18_3	—	—	—	—	—	—	—	—	—
T23	VDD1833_3	—	P34_2	A24	GTADSM04_0 / GTIOC03_1A	ETH3_RXD1 / SPI_SSL20	—	—	—	—	ENCIFCK07 / SCKE07 / HDSL10_SEL1
T24	—	VSS	—	—	—	—	—	—	—	—	—
T25	VDD1833_3	IRQ14	P33_5	A19	GTADSM01_1	ETH3_TXD2 / RXD2/ SCL2/MISO2 / SPI_SSL10 / SPI_MISO0	MDAT51	—	—	—	ENCIFDI01 / RXDE01 / HDSL09_MISO2
T26	VDD33	—	P35_1	TEND	GTADSM07_0	ETH3_CRS / SPI_SSL30 / SPI_MISO1	MCLK90	—	—	—	DUEI09 / HDSL11_LINK
T27	VDD33_X	XTALSEL	—	—	—	—	—	—	—	—	—
U1	—	—	—	—	—	—	—	—	DDR_CAB3	—	—
U2	—	VSS	—	—	—	—	—	—	—	—	—
U3	—	—	—	—	—	—	—	—	DDR_CAB4	—	—
U4	—	—	—	—	—	—	—	—	DDR_DQB0	—	—
U5	—	VSS	—	—	—	—	—	—	—	—	—
U6	—	—	—	—	—	—	—	—	DDR_CSB1	—	—
U7	—	VSS	—	—	—	—	—	—	—	—	—
U8	—	VSS	—	—	—	—	—	—	—	—	—
U9	—	VSS	—	—	—	—	—	—	—	—	—
U10	—	VDD08	—	—	—	—	—	—	—	—	—
U11	—	VSS	—	—	—	—	—	—	—	—	—
U12	—	VDD08	—	—	—	—	—	—	—	—	—
U13	—	VSS_PLL1	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (16/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
U14	—	VSS_PLL4	—	—	—	—	—	—	—	—	—
U15	—	VSS	—	—	—	—	—	—	—	—	—
U16	—	VDD08	—	—	—	—	—	—	—	—	—
U17	—	VSS	—	—	—	—	—	—	—	—	—
U18	—	VSS	—	—	—	—	—	—	—	—	—
U19	—	VSS	—	—	—	—	—	—	—	—	—
U20	—	VSS	—	—	—	—	—	—	—	—	—
U21	—	VDD1833_3	—	—	—	—	—	—	—	—	—
U22	VDD33	—	P35_6	—	GTADSM09_1	TXD4/SDA4/MOSI4 / SPI_SSL12	MDAT92	—	—	—	SI10# / HDSL11_MOSI1
U23	VDD1833_3	—	P34_3	A25	GTADSM04_1 / GTIOC03_1B	ETH3_RXD2 / SPI_SSL21 / SD1_PWEN	—	—	—	—	ENCIFOE07 / DEE07 / HDSL10_MISO1
U24	VDD1833_3	IRQ13	P33_4	A18	GTADSM01_0	ETH3_TXD1 / TXD1/ SDA1/MOSI1 / SPI_MISO1 / SPI_MOSI0	MCLK51	—	PCIE_RSTOUT1B	—	ENCIFDO01 / TXDE01 / HDSL09_SEL2
U25	VDD1833_3	IRQ12	P33_3	A17	GTADSM00_1	ETH3_TXD0 / RXD1/ SCL1/MISO1 / SPI_MOSI1 / SPI_RSPCK0	MDAT50	—	PCIE_RSTOUT0B	—	ENCIFOE01 / DEE01 / HDSL09_CLK2
U26	—	VSS	—	—	—	—	—	—	—	—	—
U27	VDD33_X	EXTCLKIN	—	—	—	—	—	—	—	—	—
V1	—	—	—	—	—	—	—	—	DDR_DQB2	—	—
V2	—	—	—	—	—	—	—	—	DDR_DQB1	—	—
V3	—	VSS	—	—	—	—	—	—	—	—	—
V4	—	—	—	—	—	—	—	—	DDR_DQB3	—	—
V5	—	—	—	—	—	—	—	—	DDR_DQSB_T0	—	—
V6	—	VSS	—	—	—	—	—	—	—	—	—
V7	—	VSS	—	—	—	—	—	—	—	—	—
V8	—	VSS	—	—	—	—	—	—	—	—	—
V9	—	VDD1833_4	—	—	—	—	—	—	—	—	—
V10	—	VDD33	—	—	—	—	—	—	—	—	—
V11	—	VDDP_18_4	—	—	—	—	—	—	—	—	—
V12	—	VDDP_18_5	—	—	—	—	—	—	—	—	—
V13	—	VDD18_PLL1	—	—	—	—	—	—	—	—	—
V14	—	VDD18_PLL4	—	—	—	—	—	—	—	—	—
V15	—	VDD08	—	—	—	—	—	—	—	—	—
V16	—	VSS	—	—	—	—	—	—	—	—	—
V17	—	OTPVDD08	—	—	—	—	—	—	—	—	—
V18	—	VSS	—	—	—	—	—	—	—	—	—
V19	—	PCIE_VDD08A_L0	—	—	—	—	—	—	—	—	—
V20	—	VSS	—	—	—	—	—	—	—	—	—
V21	—	VSS	—	—	—	—	—	—	—	—	—
V22	VDD33	—	P35_3	—	GTADSM08_0	SPI_SSL32 / SPI_MOSI1	MCLK91	—	ADTRG0#	—	SI09# / HDSL11_CLK1
V23	VDD1833_3	—	P34_0	A22	GTADSM03_0 / GTIOC03_0A	ETH3_RXCLK / SPI_MOSI2	—	—	—	—	ENCIFDO06 / TXDE06 / HDSL10_SMPL
V24	VDD33	—	P35_5	—	GTADSM09_0	RXD4/SCL4/MISO4 / SPI_RSPCK1	MCLK92	—	—	—	TST_OUT10 / HDSL11_MISO1
V25	VDD33	—	P35_0	DACK	GTADSM06_1	ETH3_RXER / SPI_MISO3	—	—	—	—	SI08# / HDSL10_MOSI2

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (17/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
V26	—	VSS	—	—	—	—	—	—	—	—	—
V27	—	XTAL	—	—	—	—	—	—	—	—	—
W1	—	VSS	—	—	—	—	—	—	—	—	—
W2	—	—	—	—	—	—	—	—	DDR_DQB4	—	—
W3	—	—	—	—	—	—	—	—	DDR_DQB7	—	—
W4	—	—	—	—	—	—	—	—	DDR_DMIB0	—	—
W5	—	—	—	—	—	—	—	—	DDR_DQSB_C0	—	—
W6	—	VSS	—	—	—	—	—	—	—	—	—
W7	—	VSS	—	—	—	—	—	—	—	—	—
W8	—	VSS	—	—	—	—	—	—	—	—	—
W9	—	VDD1833_4	—	—	—	—	—	—	—	—	—
W10	—	VDD33	—	—	—	—	—	—	—	—	—
W11	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
W12	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
W13	—	VDD08_PLL1	—	—	—	—	—	—	—	—	—
W14	—	VDD08_PLL4	—	—	—	—	—	—	—	—	—
W15	—	VSS	—	—	—	—	—	—	—	—	—
W16	—	VSS	—	—	—	—	—	—	—	—	—
W17	—	OTPVDD18	—	—	—	—	—	—	—	—	—
W18	—	VSS	—	—	—	—	—	—	—	—	—
W19	—	PCIE_VDD08A_L0	—	—	—	—	—	—	—	—	—
W20	—	VSS	—	—	—	—	—	—	—	—	—
W21	—	VSS	—	—	—	—	—	—	—	—	—
W22	—	VSS	—	—	—	—	—	—	—	—	—
W23	VDD33	IRQ14	P34_7	DREQ	GTADSM06_0	ETH3_TXER / ESC_RESETOUT# / SPI_MOSI3	—	—	—	—	TST_OUT08 / HDSL10_MISO2
W24	VDD33	—	P35_4	—	GTADSM08_1	SPI_SSL33 / SPI_SSL11	MDAT91	—	ADTRG1#	—	DUEI10 / HDSL11_SEL1
W25	VDD33	—	P35_2	—	GTADSM07_1	ETH3_COL / SPI_SSL31 / SPI_SSL10	MDAT90	—	ADTRG2#	—	TST_OUT09 / HDSL11_SMPL
W26	—	VSS	—	—	—	—	—	—	—	—	—
W27	—	EXTAL	—	—	—	—	—	—	—	—	—
Y1	—	—	—	—	—	—	—	—	DDR_DQB6	—	—
Y2	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
Y3	—	—	—	—	—	—	—	—	DDR_DQB5	—	—
Y4	—	VSS	—	—	—	—	—	—	—	—	—
Y5	—	VSS	—	—	—	—	—	—	—	—	—
Y6	—	VSS	—	—	—	—	—	—	—	—	—
Y7	—	VSS	—	—	—	—	—	—	—	—	—
Y8	—	VSS	—	—	—	—	—	—	—	—	—
Y9	—	VSS	—	—	—	—	—	—	—	—	—
Y10	—	VSS	—	—	—	—	—	—	—	—	—
Y11	—	VSS	—	—	—	—	—	—	—	—	—
Y12	—	VDD33	—	—	—	—	—	—	—	—	—
Y13	—	VDD33	—	—	—	—	—	—	—	—	—
Y14	—	VDD1833_5	—	—	—	—	—	—	—	—	—
Y15	—	VDD1833_5	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (18/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
Y16	—	VSS	—	—	—	—	—	—	—	—	—
Y17	—	USB_USVDD18	—	—	—	—	—	—	—	—	—
Y18	—	USB_USVDD33	—	—	—	—	—	—	—	—	—
Y19	—	PCIE_VDD08A_L1	—	—	—	—	—	—	—	—	—
Y20	—	PCIE_VDD18A_L1	—	—	—	—	—	—	—	—	—
Y21	—	PCIE_VDD18A_L0	—	—	—	—	—	—	—	—	—
Y22	—	VSS	—	—	—	—	—	—	—	—	—
Y23	—	VSS	—	—	—	—	—	—	—	—	—
Y24	—	VSS	—	—	—	—	—	—	—	—	—
Y25	—	VSS	—	—	—	—	—	—	—	—	—
Y26	—	VSS	—	—	—	—	—	—	—	—	—
Y27	—	VSS	—	—	—	—	—	—	—	—	—
AA1	—	—	—	—	—	—	—	—	DDR_DQB8	—	—
AA2	—	VSS	—	—	—	—	—	—	—	—	—
AA3	—	—	—	—	—	—	—	—	DDR_DQB15	—	—
AA4	—	VSS	—	—	—	—	—	—	—	—	—
AA5	—	—	—	—	—	—	—	—	DDR_DQSB_T1	—	—
AA6	—	VSS	—	—	—	—	—	—	—	—	—
AA7	VDD1833_4	IRQ11	P06_5	—	GTETRGC	IIC_SDA1 / XSPI0_IO7	—	—	—	—	HDSL05_SEL1
AA8	VDD1833_4	IRQ3	P05_1	—	—	XSPI0_CKP	—	—	—	—	DUEI06 / HDSL04_SMPL
AA9	VDD1833_4	IRQ4	P05_2	—	—	IIC_SCL2 / XSPI0_CKN	—	—	—	—	TST_OUT06 / HDSL04_CLK1
AA10	VDD33	IRQ2	P05_0	—	MTIOC6C / MTIOC0B / GTIOC03_4B	IIC_SDA1	—	—	—	—	ENCIFDI03 / RXDE03 / HDSL04_LINK
AA11	—	VSS	—	—	—	—	—	—	—	—	—
AA12	VDD33	—	P04_2	—	MTIOC7C / GTIOC03_1B / CMTW0_TOC1	—	—	—	—	—	DUEI05 / HDSL03_MISO1
AA13	VDD1833_5	IRQ9	P02_2	—	MTIOC6A / MTIOC1A / GTIOC01_4A	ETH3_CRS / IIC_SDA2 / XSPI1_IO6	MCLK22	—	USB_VBUSEN	—	ENCIFDO01 / TXDE01 / HDSL01_MISO2
AA14	—	VSS	—	—	—	—	—	—	—	—	—
AA15	—	VSS	—	—	—	—	—	—	—	—	—
AA16	—	USB_USDVDD	—	—	—	—	—	—	—	—	—
AA17	—	USB_USVDD18	—	—	—	—	—	—	—	—	—
AA18	—	USB_USVDD33	—	—	—	—	—	—	—	—	—
AA19	—	PCIE_VDD08A_L1	—	—	—	—	—	—	—	—	—
AA20	—	PCIE_VDD18A_L1	—	—	—	—	—	—	—	—	—
AA21	—	PCIE_VDD18A_L0	—	—	—	—	—	—	—	—	—
AA22	—	AVSS_ADC0	—	—	—	—	—	—	—	—	—
AA23	—	AVDD_ADC0	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (19/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AA24	—	AVSSIO_ADC0	—	—	—	—	—	—	—	—	—
AA25	—	AVSSIO_ADC0	—	—	—	—	—	—	—	—	—
AA26	—	—	—	—	—	—	—	—	AN002	—	—
AA27	—	—	—	—	—	—	—	—	AN000	—	—
AB1	—	—	—	—	—	—	—	—	DDR_DQB14	—	—
AB2	—	—	—	—	—	—	—	—	DDR_DQB9	—	—
AB3	—	—	—	—	—	—	—	—	DDR_DMIB1	—	—
AB4	—	—	—	—	—	—	—	—	DDR_DQB10	—	—
AB5	—	—	—	—	—	—	—	—	DDR_DQSB_C1	—	—
AB6	VDD33	BSCANP	—	—	—	—	—	—	—	—	—
AB7	VDD1833_4	IRQ9	P06_3	—	GTETRGA	IIC_SDA0 / XSPI0_IO5	—	—	—	—	TST_OUT09 / HDSL05_SMPL
AB8	VDD1833_4	IRQ10	P06_4	—	GTETRGB	IIC_SCL1 / XSPI0_IO6	—	—	—	—	SI09# / HDSL05_CLK1
AB9	VDD1833_4	—	P07_7	—	—	IIC_SCL0 / XSPI0_WP0#	MCLK10	—	—	—	ENCIFDO05 / TXDE05 / HDSL06_CLK1
AB10	VDD33	IRQ14	P03_4	D12	MTCLKB / MTIOC8D / GTIOC02_3B / GTADSM09_1 / CMTW1_TOC1 / RTCAT1HZ	IIC_SDA1	—	—	—	—	ENCIFOE02 / DEE02 / HDSL02_MISO2
AB11	VDD33	IRQ13	P03_3	D11	MTCLKA / MTIOC8C / GTIOC02_3A / GTADSM09_0 / CMTW1_TIC1	IIC_SCL1	—	—	—	—	ENCIFCK02 / SCKE02 / HDSL02_SEL2
AB12	VDD33	—	P03_7	—	MTIOC6B / MTIOC1B / GTIOC03_0A / CMTW0_TIC0	—	—	—	—	—	DUEI04 / HDSL03_SMPL
AB13	VDD1833_5	IRQ8	P02_1	—	MTCLKD / MTIOC0D / GTIOC01_3B	ETH3_RXER / IIC_SCL2 / XSPI1_IO5	MDAT21	—	—	—	ENCIFOE01 / DEE01 / HDSL01_SEL2
AB14	VDD1833_5	—	P01_3	—	MTIOC6D / MTIC5U / GTIOC01_0B / GTIOC04_0B	XSPI1_DS	—	—	—	—	TST_OUT02 / HDSL01_SMPL
AB15	VDD33	—	P00_5	—	MTIOC4D / MTIOC8C / GTIOC00_2B	—	—	—	USB_VBUSEN	—	SI01# / HDSL00_MOSI1
AB16	—	USB_USDVDD	—	—	—	—	—	—	—	—	—
AB17	—	VSS	—	—	—	—	—	—	—	—	—
AB18	—	VSS	—	—	—	—	—	—	—	—	—
AB19	—	VSS	—	—	—	—	—	—	—	—	—
AB20	—	VSS	—	—	—	—	—	—	—	—	—
AB21	—	PCIE_VDD18A_CMN	—	—	—	—	—	—	—	—	—
AB22	—	AVSS_ADC1	—	—	—	—	—	—	—	—	—
AB23	—	AVDD_ADC1	—	—	—	—	—	—	—	—	—
AB24	—	AVDDIO_ADC0	—	—	—	—	—	—	—	—	—
AB25	—	AVDDREF_ADC0	—	—	—	—	—	—	—	—	—
AB26	—	—	—	—	—	—	—	—	AN001	—	—
AB27	—	—	—	—	—	—	—	—	AN003	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (20/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AC1	—	—	—	—	—	—	—	—	DDR_DQB12	—	—
AC2	—	VSS	—	—	—	—	—	—	—	—	—
AC3	—	—	—	—	—	—	—	—	DDR_DQB13	—	—
AC4	—	—	—	—	—	—	—	—	DDR_DQB11	—	—
AC5	—	VSS	—	—	—	—	—	—	—	—	—
AC6	VDD1833_4	—	P06_1	—	—	XSPI0_IO3	—	—	—	—	SI08# / HDSL04_MOSI2
AC7	VDD1833_4	—	P07_6	—	—	IIC_SDA2 / XSPI0_ECS1#	MDAT02	—	—	—	ENCIFOE05 / DEE05 / HDSL06_SMPL
AC8	VDD1833_4	—	P07_4	—	—	IIC_SDA1 / XSPI0_INT1#	MDAT01	—	—	—	ENCIFDI04 / ENCIFDI12 / RXDE04 / RXDE08 / HDSL05_MOSI2
AC9	VDD33	IRQ12	P03_2	D10	MTIOC4D / MTIOC1A / GTIOC02_2B / GTADSM08_1 / CMTW1_TOC0	—	—	—	—	—	ENCIFDI02 / RXDE02 / HDSL02_CLK2
AC10	VDD33	—	P03_1	D9	MTIOC4B / MTIOC1B / GTIOC02_2A / GTADSM08_0 / CMTW1_TIC0	—	—	—	—	—	ENCIFDO02 / TXDE02 / HDSL02_MOSI1
AC11	VDD33	IRQ1	P04_7	—	MTIOC6A / MTIOC0A / GTIOC03_4A	IIC_SCL1	—	—	—	—	ENCIFDO03 / TXDE03 / HDSL03_MOSI2
AC12	VDD33	IRQ15	P03_5	—	MTIOC3A / MTIC5W / GTIOC02_4A	IIC_SCL2	—	—	—	—	ENCIFDO02 / TXDE02 / HDSL02_MOSI2
AC13	VDD1833_5	—	P01_7	—	MTIOC7D / MTIOC0B / GTIOC01_2B / GTIOC04_2B	XSPI1_IO3	—	—	—	—	SI03# / HDSL01_MOSI1
AC14	VDD1833_5	IRQ7	P02_0	—	MTCLKC / MTIOC0C / GTIOC01_3A	ETH3_TXER / IIC_SDA1 / XSPI1_IO4	MCLK21	—	—	—	ENCIFCK01 / SCKE01 / HDSL01_CLK2
AC15	VDD33	IRQ1	P00_2	D2	MTIOC4A / GTIOC00_1A	ETH3_CRS	—	—	ADTRG0# / USB_EXICEN	—	SI00# / HDSL00_CLK1
AC16	—	VSS	—	—	—	—	—	—	—	—	—
AC17	—	—	—	—	—	—	—	—	USB_TXRTUNE	—	—
AC18	—	VSS	—	—	—	—	—	—	—	—	—
AC19	—	—	—	—	—	—	—	—	PCIE_REFCLK_N1	—	—
AC20	—	—	—	—	—	—	—	—	PCIE_REFCLK_P0	—	—
AC21	—	PCIE_VDD18A_CMN	—	—	—	—	—	—	—	—	—
AC22	—	AVDD_ADC2	—	—	—	—	—	—	—	—	—
AC23	—	AVDDIO_ADC2	—	—	—	—	—	—	—	—	—
AC24	—	AVDDIO_ADC1	—	—	—	—	—	—	—	—	—
AC25	—	AVDDREF_ADC1	—	—	—	—	—	—	—	—	—
AC26	—	—	—	—	—	—	—	—	AN103	—	—
AC27	—	—	—	—	—	—	—	—	AN100	—	—
AD1	VDD33	MDX	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (21/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AD2	VDD33	SEI / CKIO	P08_6	—	GTIOC08_3A / GTETRGSB	IIC_SDA1 / SD1_IOVS	MDAT02 / MCLK11	—	—	—	DUEI11 / HDSL06_MOSI2
AD3	VDD33	TCK	P08_3	—	—	—	—	—	—	—	SI10# / HDSL06_CLK2
AD4	VDD33	RES#	—	—	—	—	—	—	—	—	—
AD5	VDD33	TDI	P08_2	—	—	—	—	—	—	—	TST_OUT10 / HDSL06_MOSI1
AD6	VDD1833_4	—	P05_6	—	—	XSPI0_IO0	—	—	—	—	SI07# / HDSL04_CLK2
AD7	VDD1833_4	—	P08_0	—	RTCAT1HZ	IIC_SDA0 / XSPI0_WP1#	MDAT10	—	—	MBX_HINT#	ENCIFDI05 / RXDE05 / HDSL06_SEL1
AD8	—	VSS	—	—	—	—	—	—	—	—	—
AD9	VDD33	—	P02_6	D6	MTIOC3D / MTIOC8B / GTIOC02_0B / GTADSM06_1 / CMTW0_TOC0	SD0_IOVS	MDAT00	—	—	—	HDSL02_CLK1 / POUTB
AD10	VDD33	IRQ0	P04_6	—	MTCLKD / MTIOC0D / GTIOC03_3B / CMTW1_TOC1	IIC_SDA0	—	—	ADTRG2#	MBX_HINT#	ENCIFOE03 / DEE03 / HDSL03_MISO2
AD11	VDD33	—	P02_5	D5	MTIOC3B / MTIOC8A / GTIOC02_0A / GTADSM06_0 / CMTW0_TIC0	IIC_SCL0 / SD0_PWEN	MCLK00	—	—	—	HDSL02_SMPL / POUTA
AD12	—	VSS	—	—	—	—	—	—	—	—	—
AD13	VDD1833_5	—	P01_6	—	MTIOC7B / MTIOC0A / GTIOC01_2A / GTIOC04_2A	XSPI1_IO2	—	—	—	—	TST_OUT03 / HDSL01_MISO1
AD14	VDD1833_5	—	P01_2	—	MTIOC6B / MTIOC8B / GTIOC01_0A / GTIOC04_0A	XSPI1_CS1#	—	—	—	—	DUEI02 / HDSL01_LINK
AD15	VDD33	IRQ0	P00_1	D1	MTIOC3D / GTIOC00_0B	ETH3_RXER	—	—	USB_OVRCUR	—	TST_OUT00 / HDSL00_SMPL
AD16	—	—	—	—	—	—	—	—	USB_VUBUSIN	—	—
AD17	—	—	—	—	—	—	—	—	USB_OTG_ID	—	—
AD18	—	VSS	—	—	—	—	—	—	—	—	—
AD19	—	—	—	—	—	—	—	—	PCIE_REFCLK_P1	—	—
AD20	—	—	—	—	—	—	—	—	PCIE_REFCLK_N0	—	—
AD21	—	VSS	—	—	—	—	—	—	—	—	—
AD22	—	AVSS_ADC2	—	—	—	—	—	—	—	—	—
AD23	—	AVSSIO_ADC2	—	—	—	—	—	—	—	—	—
AD24	—	AVSSIO_ADC1	—	—	—	—	—	—	—	—	—
AD25	—	AVSSIO_ADC1	—	—	—	—	—	—	—	—	—
AD26	—	—	—	—	—	—	—	—	AN102	—	—
AD27	—	—	—	—	—	—	—	—	AN101	—	—
AE1	VDD33	—	P09_0	—	—	IIC_SDA2	MCLK12	—	—	—	SI11# / HDSL07_SMPL
AE2	VDD33	—	P09_2	—	—	—	MCLK20	—	—	—	TST_OUT12 / HDSL07_SEL1

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (22/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AE3	VDD33	IRQ8 / RSTOUT#	P08_5	—	GTETRGSA	IIC_SCL1 / SD1_PWEN	MCLK02	—	—	—	HDSL06_MISO2
AE4	VDD33	TDO	P08_4	—	—	—	—	—	—	—	HDSL06_SEL2
AE5	VDD1833_4	—	P06_0	—	—	XSPI0_IO2	—	—	—	—	TST_OUT08 / HDSL04_MISO2
AE6	VDD1833_4	IRQ8	P06_2	—	—	IIC_SCL0 / XSPI0_IO4	—	—	—	—	DUEI09 / HDSL05_LINK
AE7	VDD1833_4	—	P05_7	—	—	XSPI0_IO1	—	—	—	—	DUEI08 / HDSL04_SEL2
AE8	VDD1833_4	—	P07_3	—	POE11#	IIC_SCL1 / XSPI0_INT0#	MCLK01	—	—	—	ENCIFDO04 / ENCIFDO12 / TXDE04 / TXDE08 / HDSL05_MISO2
AE9	VDD33	—	P02_7	D7	MTIOC4A / MTIC5U / GTIOC02_1A / GTADSM07_0 / CMTW0_TIC1	—	MCLK01	—	—	—	HDSL02_SEL1 / POUTZ
AE10	VDD33	—	P03_0	D8	MTIOC4C / MTIC5V / GTIOC02_1B / GTADSM07_1 / CMTW0_TOC1	—	MDAT01	—	—	—	HDSL02_MISO1
AE11	VDD33	—	P04_0	—	MTIOC6D / GTIOC03_0B / CMTW0_TOC0	—	—	—	—	—	TST_OUT04 / HDSL03_CLK1
AE12	VDD1833_5	IRQ11	P02_4	—	POE0#	IIC_SDA0	MDAT20	—	USB_EXICEN	MBX_HINT#	HDSL02_LINK
AE13	VDD1833_5	—	P01_5	—	MTIOC7C / MTIC5W / GTIOC01_1B / GTIOC04_1B	XSPI1_IO1	—	—	—	—	DUEI03 / HDSL01_SEL1
AE14	VDD33	IRQ5	P00_7	—	MTCLKB / MTIOC1B / GTIOC00_3B	IIC_SDA0	—	—	USB_EXICEN	—	ENCIFOE00 / ENCIFOE04 / DEE00 / DEE04 / HDSL00_SEL2
AE15	VDD33	SEI	P00_0	D0	MTIOC3B / GTIOC00_0A	ETH3_TXER	—	—	USB_VBUSEN	—	DUEI00 / HDSL00_LINK
AE16	—	VSS	—	—	—	—	—	—	—	—	—
AE17	—	VSS	—	—	—	—	—	—	—	—	—
AE18	—	VSS	—	—	—	—	—	—	—	—	—
AE19	—	VSS	—	—	—	—	—	—	—	—	—
AE20	—	VSS	—	—	—	—	—	—	—	—	—
AE21	—	VSS	—	—	—	—	—	—	—	—	—
AE22	—	VSS	—	—	—	—	—	—	—	—	—
AE23	—	VSS	—	—	—	—	—	—	—	—	—
AE24	—	VSS	—	—	—	—	—	—	—	—	—
AE25	—	AVSSIO_ADC2	—	—	—	—	—	—	—	—	—
AE26	—	—	—	—	—	—	—	—	AN202	—	—
AE27	—	—	—	—	—	—	—	—	AN201	—	—
AF1	VDD33	—	P09_3	—	—	—	MDAT20	—	—	—	SI12# / HDSL07_MISO1
AF2	VDD33	IRQ0	P08_7	A0	GTIOC08_3B	IIC_SCL2 / IIC_SCL1	MDAT11	—	—	—	TST_OUT11 / HDSL07_LINK
AF3	VDD33	TRST#	—	—	—	—	—	—	—	—	—

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (23/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AF4	VDD1833_4	IRQ14	P07_1	—	POE8#	IIC_SCL0 / XSPI0_RSTO0#	MCLK00	—	—	—	ENCIFCK04 / ENCIFCK12 / SCKE04 / SCKE08 / HDSL05_CLK2
AF5	VDD1833_4	—	P05_5	—	—	XSPI0_DS	—	—	—	—	TST_OUT07 / HDSL04_MOSI1
AF6	—	VSS	—	—	—	—	—	—	—	—	—
AF7	VDD1833_4	IRQ12	P06_7	—	POE4# / GTETRGD	GMAC1_MDC / IIC_SCL2	—	—	—	—	HDSL05_MISO1
AF8	VDD1833_4	IRQ13	P07_0	—	—	GMAC1_MDIO / IIC_SDA2 / XSPI0_RESET1#	—	—	—	—	HDSL05_MOSI1
AF9	VDD33	SEI	P04_5	—	MTCLKC / MTIOC0C / GTIOC03_3A / CMTW1_TIC1	IIC_SCL0	—	—	ADTRG1#	—	ENCIFCK03 / SCKE03 / HDSL03_SEL2
AF10	—	VSS	—	—	—	—	—	—	—	—	—
AF11	VDD33	—	P04_1	—	MTIOC7A / GTIOC03_1A / CMTW0_TIC1	—	—	—	—	—	SI04# / HDSL03_SEL1
AF12	VDD1833_5	IRQ10	P02_3	—	MTIOC6C / MTIOC1B / GTIOC01_4B	ETH3_COL / IIC_SCL0 / IIC_SCL2 / XSPI1_IO7	MDAT22	—	USB_OVRCUR	—	ENCIFDI01 / RXDE01 / HDSL01_MOSI2
AF13	VDD1833_5	IRQ6	P01_0	—	MTIOC3A / MTIOC1A / GTIOC00_4A / GTIOC00_2B	IIC_SCL1 / XSPI1_CKP	—	—	—	—	ENCIFDO00 / ENCIFDO04 / TXDE00 / TXDE04 / HDSL00_MISO2
AF14	—	VSS	—	—	—	—	—	—	—	—	—
AF15	VDD33	IRQ3	P00_4	D4	MTIOC4B / GTIOC00_2A	—	—	—	ADTRG2#	—	TST_OUT01 / HDSL00_MISO1
AF16	—	VSS	—	—	—	—	—	—	—	—	—
AF17	—	—	—	—	—	—	—	—	USB_QDP	—	—
AF18	—	VSS	—	—	—	—	—	—	—	—	—
AF19	—	—	—	—	—	—	—	—	PCIE_RXDN_L1	—	—
AF20	—	—	—	—	—	—	—	—	PCIE_RXDN_L0	—	—
AF21	—	VSS	—	—	—	—	—	—	—	—	—
AF22	—	—	—	—	—	—	—	—	PCIE_TXDN_L1	—	—
AF23	—	—	—	—	—	—	—	—	PCIE_TXDN_L0	—	—
AF24	—	VSS	—	—	—	—	—	—	—	—	—
AF25	—	AVDDREF_ADC2	—	—	—	—	—	—	—	—	—
AF26	—	—	—	—	—	—	—	—	AN204	—	—
AF27	—	—	—	—	—	—	—	—	AN200	—	—
AG1	—	VSS	—	—	—	—	—	—	—	—	—
AG2	VDD33	—	P09_1	—	—	—	MDAT12	—	—	—	DUEI12 / HDSL07_CLK1
AG3	VDD33	TMS	P08_1	—	—	—	—	—	—	—	DUEI10 / HDSL06_MISO1
AG4	VDD1833_4	IRQ5	P05_3	—	—	XSPI0_CS0#	—	—	—	—	SI06# / HDSL04_SEL1
AG5	VDD1833_4	IRQ15	P07_2	—	POE10#	IIC_SDA0 / XSPI0_RSTO1#	MDAT00	—	—	—	ENCIFOE04 / ENCIFOE12 / DEE04 / DEE08 / HDSL05_SEL2

表 1.20 機能別の端子一覧（RZ/T2H 729 ピン FCBGA） (24/24)

ピン番号	I/O ポート電源ドメイン	電源クロックシステム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AG6	VDD1833_4	—	P07_5	—	—	IIC_SCL2 / XSPI0_ECS0#	MCLK02	—	—	—	ENCIFCK05 / SCKE05 / HDSL06_LINK
AG7	VDD1833_4	IRQ6	P05_4	—	—	IIC_SDA2 / XSPI0_CS1#	—	—	—	—	DUEI07 / HDSL04_MISO1
AG8	VDD1833_4	MDD	P06_6	—	—	XSPI0_RESET0#	—	—	—	—	—
AG9	VDD33	—	P03_6	—	MTIOC3C / MTIOC1A / GTIOC02_4B	IIC_SDA2	—	—	—	—	ENCIFDI02 / RXDE02 / HDSL03_LINK
AG10	VDD33	—	P04_3	—	MTIOC7B / GTIOC03_2A / CMTW1_TIC0	—	—	—	—	—	TST_OUT05 / HDSL03_MOSI1
AG11	VDD33	—	P04_4	—	MTIOC7D / GTIOC03_2B / CMTW1_TOC0	—	—	—	ADTRG0#	—	SI05# / HDSL03_CLK2
AG12	VDD1833_5	—	P01_1	—	MTIOC3C / MTIOC8A / GTIOC00_4B	XSPI1_CS0#	MCLK20	—	—	—	ENCIFDI00 / ENCIFDI04 / RXDE00 / RXDE04 / HDSL00_MOSI2
AG13	VDD1833_5	—	P01_4	—	MTIOC7A / MTIC5V / GTIOC01_1A / GTIOC04_1A	XSPI1_IO0	—	—	—	—	SI02# / HDSL01_CLK1
AG14	VDD33	IRQ4	P00_6	—	MTCLKA / MTIOC8D / GTIOC00_3A	IIC_SCL0	—	—	USB_OVRCUR	—	ENCIFCK00 / ENCIFCK04 / SCKE00 / SCKE04 / HDSL00_CLK2
AG15	VDD33	IRQ2	P00_3	D3	MTIOC4C / GTIOC00_1B	ETH3_COL	—	—	ADTRG1#	—	DUEI01 / HDSL00_SEL1
AG16	—	VSS	—	—	—	—	—	—	—	—	—
AG17	—	—	—	—	—	—	—	—	USB_QDM	—	—
AG18	—	VSS	—	—	—	—	—	—	—	—	—
AG19	—	—	—	—	—	—	—	—	PCIE_RXDP_L1	—	—
AG20	—	—	—	—	—	—	—	—	PCIE_RXDP_L0	—	—
AG21	—	VSS	—	—	—	—	—	—	—	—	—
AG22	—	—	—	—	—	—	—	—	PCIE_TXDP_L1	—	—
AG23	—	—	—	—	—	—	—	—	PCIE_TXDP_L0	—	—
AG24	—	VSS	—	—	—	—	—	—	—	—	—
AG25	—	—	—	—	—	—	—	—	AN205	—	—
AG26	—	—	—	—	—	—	—	—	AN203	—	—
AG27	—	VSS	—	—	—	—	—	—	—	—	—

1.7 RZ/N2H 576 ピン FCBGA のピン割り付け

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
A	VSS	P09_4	P10_6	P10_7	P11_0	P13_4	P13_7	P14_0	P14_7	P14_6	P17_1	P18_5	P18_3	P20_5	P20_1	P21_2	P21_3	P22_4	P24_5	P25_0	P25_2	P24_6	P27_3	VSS	A
B	P09_5	P10_1	P10_2	P10_5	VSS	P12_7	P13_0	P12_4	P14_4	VSS	P17_2	P18_1	P18_4	P20_0	VSS	P20_4	P22_2	P22_5	VSS	P25_1	P24_7	P26_5	P27_1	P27_2	B
C	P09_6	P10_0	P10_3	P09_7	P10_4	P13_1	P13_5	P12_0	P14_1	P14_3	P17_0	P18_2	P18_6	P21_6	P21_7	P21_1	P22_1	P22_6	P25_6	P26_2	P25_3	P26_6	P27_5	P27_6	C
D	DDR_DQA12	DDR_DQA9	VSS	DDR_DQA13	VSS	P12_6	P12_5	VSS	P14_5	P16_7	P17_3	P17_6	VSS	P21_5	P20_7	P20_6	VSS	P22_7	P26_3	P25_5	VSS	P27_0	P27_4	P30_4	D
E	VSS	DDR_DQA8	DDR_DQA11	DDR_DQA14	DDR_DQSA_C1	P13_6	P12_1	P12_2	P14_2	P16_5	P16_6	P17_7	P17_4	P20_3	P21_0	P21_4	P22_3	P26_1	P25_4	P25_7	P26_4	P26_7	P29_1	P30_2	E
F	DDR_DQA15	VSS	DDR_DQA10	DDR_DMIA1	DDR_DQSA_T1	DDR_VDDQ	P12_3	P13_2	P13_3	VSS	P17_5	P18_0	P18_7	P20_2	VSS	P22_0	P23_0	P26_0	VSS	P30_0	P29_6	P29_4	VSS	P30_7	F
G	DDR_DQA6	DDR_DQA5	VSS	VSS	VSS	DDR_VDDQ	VDD33	VSS	VDDP_18_33	VDD33	VDD1833_6	VDD1833_7	VDD1833_0	VDD1833_0	VDDP_18_1	VSS_PLL0	VSS	VSS	P31_0	P30_5	P29_5	P29_3	P30_1	P31_1	G
H	DDR_DQA4	VSS	DDR_DMIA0	DDR_DQA7	DDR_DQSA_C0	DDR_VDDQ	VDD33	VSS_PLL2	DVDD08A_TSU	VDDP_18_33	VDDP_18_7	VDD18_PLL3	VSS_PLL3	VDDP_18_0	VDDP_18_33	VDD18_PLL0	VSS	VSS	VDD1833_1	P29_2	VSS	P29_7	P30_3	P30_6	H
J	DDR_DQA2	DDR_DQA0	DDR_DQA1	DDR_DQA3	DDR_DQSA_T0	VSS	VDD33	VDD18_PLL2	AVDD18A_TSU	VDDP_18_6	VDD08	VDD08_PLL3	VSS	VDD08	VSS	VDD08_PLL0	VDD33	VSS	VDD1833_1	P31_6	P31_4	P31_3	P31_5	P31_2	J
K	VSS	DDR_CAA1	VSS	VSS	VSS	DDR_CKEA1	VSS	VDD08_PLL2	VDD08	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VDDP_18_2	VDD1833_2	VDD1833_2	P34_1	P34_5	P34_2	P34_4	P34_6	K
L	DDR_CKA_C	DDR_CAA3	DDR_CAA4	DDR_CSA0	DDR_CSA1	DDR_CKEA0	VSS	VSS	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VDDP_18_33	VSS	VSS	P33_2	P34_3	P34_0	P33_7	VSS	L
M	DDR_CKA_T	VSS	DDR_CAA2	VSS	DDR_CAA5	VSS	DDR_VDDQ	DDR_VAA	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VDD33	VSS	VSS	P33_3	P33_6	VSS	VSS	EXTCLKIN	M
N	VSS	DDR_CKEB1	DDR_CAB0	DDR_CAA0	DDR_VDDQ	VSS	DDR_RESET_N	DDR_ATEST	VSS	VDD08	VSS	VDD08	VSS	VDD08	VSS	VDD08	VDDP_18_3	VDD1833_3	VDD1833_3	P33_4	P33_5	XTALSEL	XTAL	EXTAL	N
P	DDR_CKB_T	DDR_CKEB0	VSS	VSS	DDR_VDDQ	VSS	DDR_DTEST	DDR_ZN	VDD08	VDD08	VSS	VDD08	VDD18_PLL4	VDD08	VSS	VSS	VDD33_X	VDDP_18_X	OTPVDD08	OTPVDD18	VSS	VSS	VSS	VSS	P
R	DDR_CKB_C	DDR_CAB1	DDR_VDDQ	DDR_CAB2	DDR_CAB5	DDR_CSB0	VSS	VSS	VDD08	VDD08	VSS	VSS	VSS_PLL4	PCIE_VDD08A_L1	PCIE_VDD08A_L0	VSS	VSS	VSS	VSS	VSS	AVSSIO_ADC0	AVDDREF_ADC0	AN002	AN000	R
T	DDR_CAB3	VSS	DDR_CAB4	DDR_DQB0	VSS	DDR_CSB1	VSS	VSS	VSS	VSS_PLL1	VDD18_PLL1	VDD08_PLL1	VDD08_PLL4	PCIE_VDD08A_L1	PCIE_VDD08A_L0	PCIE_VDD18A_L1	PCIE_VDD18A_L0	VSS	VSS	AVDD_ADC0	AVSSIO_ADC0	AVDDIO_ADC0	AN003	AN001	T
U	DDR_DQB2	DDR_DQB1	VSS	DDR_DQB3	DDR_DQSB_T0	VSS	VSS	VSS	VSS	VDDP_18_33	VDD1833_4	VSS	VDDP_18_5	VSS	USB_USVDD18	PCIE_VDD18A_L1	PCIE_VDD18A_L0	VSS	VSS	AVSS_ADC0	AVDDIO_ADC1	AVDDREF_ADC1	AN100	AN103	U
V	VSS	DDR_DQB4	DDR_DQB7	DDR_DMIB0	DDR_DQSB_C0	VSS	TRST#	VDD33	VDD33	VDDP_18_4	VDD1833_4	VDDP_18_33	VDD1833_5	VSS	USB_USVDD18	USB_USVDD33	USB_USVDD33	VSS	VSS	AVSS_ADC1	AVSSIO_ADC1	AVSSIO_ADC1	AN102	AN101	V
W	DDR_DQB6	DDR_VDDQ	DDR_DQB5	VSS	VSS	VSS	P06_5	P06_3	P03_4	VSS	P01_0	P00_2	VDD1833_5	USB_USDVDD	USB_USDVDD	VSS	VSS	PCIE_VDD18A_CMN	VSS	AVDD_ADC1	AVSSIO_ADC2	AVSSIO_ADC2	AN206	AN210	W
Y	DDR_DQB8	VSS	DDR_DQB15	VSS	DDR_DQSB_T1	VSS	P06_2	P06_4	P03_1	P02_3	P02_4	P01_2	VDD33	USB_VUBUSIN	USB_TXRTUNE	PCIE_REFCLK_N1	PCIE_REFCLK_P0	PCIE_VDD18A_CMN	VSS	AVDD_ADC2	AVDDIO_ADC2	AN209	AN208	AN202	Y
AA	DDR_DQB14	DDR_DQB9	DDR_DMIB1	DDR_DQB10	DDR_DQSB_C1	BSCANP	P05_1	VSS	P03_3	P02_1	P02_2	P02_0	P00_1	USB_OTG_ID	VSS	PCIE_REFCLK_P1	PCIE_REFCLK_N0	VSS	VSS	AVSS_ADC2	AVDDREF_ADC2	AN213	AN201	AN200	AA
AB	DDR_DQB12	VSS	DDR_DQB13	DDR_DQB11	VSS	P05_2	P06_1	P05_4	P03_2	P02_6	P01_1	P01_7	P00_0	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	AN203	AVSSIO_ADC2	AN212	AB
AC	MDX	P08_5	P08_4	RES#	P08_3	P06_0	P05_7	P06_7	P02_7	VSS	P01_5	P01_3	P00_4	USB_QDP	VSS	PCIE_RXDN_L1	PCIE_RXDN_L0	VSS	PCIE_TXDN_L1	PCIE_TXDN_L0	VSS	AN211	AN204	AN207	AC
AD	VSS	P08_6	P08_1	P08_2	P05_6	P05_5	P06_6	P05_3	P03_0	P02_5	P01_6	P01_4	P00_3	USB_QDM	VSS	PCIE_RXDP_L1	PCIE_RXDP_L0	VSS	PCIE_TXDP_L1	PCIE_TXDP_L0	VSS	AN205	AN214	AVSSIO_ADC2	AD
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	

図 1.3 RZ/N2H 576 ピン FCBGA のピン配置図（上面図）

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (1/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
A1	—	VSS	—	—	—	—	—	—	—	—	—
A2	VDD33	—	P09_4	D13	MTIOC6B / GTIOC04_0A / GTIOC10_0A	—	MCLK70	DISP_CLK	—	—	DUEI13 / HDSL07_MOSI1
A3	VDD33	IRQ0	P10_6	A3	MTIOC0B / GTIOC05_0A	DE0	MCLK21	DISP_DATAR6	—	—	HDSL08_MOSI1 / POUTA
A4	VDD33	IRQ9	P10_7	A4	MTIC5U / GTIOC05_0B / GTIOC00_3A	SCK1	MDAT21	DISP_DATAR7	—	—	HDSL08_CLK2 / POUTB

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (2/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
A5	VDD33	IRQ13	P11_0	A5	GTIOC00_3B	ESC_RESETOUT# / RXD1/SCL1/MISO1	MCLK22	DISP_DATAG0	—	—	HDSL08_SEL2 / POUTZ
A6	VDD1833_6	—	P13_4	D28	GTIOC03_3B	RXD3/SCL3/MISO3 / SPI_SSL31	MCLK40	—	—	—	ENCIFCK13 / SCKE09 / HDSL10_SEL2
A7	VDD1833_6	IRQ14	P13_7	D31	GTIOC06_4A / GTIOC04_3B	CTS3#	MDAT41	—	—	—	ENCIFDI13 / RXDE09 / HDSL11_LINK
A8	VDD1833_6	IRQ5	P14_0	A0	GTIOC06_4B	ETHSW_PTPOUT2 / ESC_SYNC0 / DE3	MCLK42	—	—	—	HDSL11_SMPL
A9	VDD33	IRQ9	P14_7	—	POE11# / GTIOC09_3A / CMTW0_TOC 1	ESC_I2CDATA / IIC_SDA0 / SD0_IOVS	MCLK32	—	—	—	SI02# / HDSL11_MISO2
A10	VDD33	IRQ8	P14_6	—	POE10# / GTIOC06_2B / GTIOC09_2B / CMTW0_TIC1	ESC_I2CCLK / DE4 / IIC_SCL0 / SD0_PWEN	—	DISP_DATAG6	—	—	TST_OUT02 / HDSL11_SEL2
A11	VDD1833_7	IRQ13	P17_1	—	GTIOC03_2A	SD1_DATA2	—	—	—	—	DUEI06 / HDSL13_CLK2
A12	VDD33	IRQ2	P18_5	A13	GTIOC07_3B / GTADSM04_1	SS1#/CTS1#/ RTS1# / CANTX1	MDAT11	DISP_DATAB6	—	—	ENCIFOE13 / ENCIFOE14 / DEE09 / DEE10 / HDSL14_MISO2
A13	VDD33	IRQ0	P18_3	A11	GTADSM03_1 / RTCAT1HZ	ETH1_COL / GMAC1_MDIO / RXD1/SCL1/MISO1 / CANTX0 / SD1_IOVS	MDAT10	DISP_DATAB4	—	—	HDSL14_CLK2
A14	VDD1833_0	—	P20_5	—	—	ETH0_TXEN	—	—	—	—	DUEI11 / HDSL00_LINK
A15	VDD1833_0	MDV	P20_1	—	—	ETH0_TXD0	—	—	—	—	—
A16	VDD1833_0	—	P21_2	—	—	ETH0_RXD3 / CANTXDP0	—	—	—	—	SI12# / HDSL00_MOSI1
A17	VDD1833_0	—	P21_3	—	—	ETH0_RXDV	—	—	—	—	DUEI13 / HDSL00_CLK2
A18	VDD33	IRQ6	P22_4	A21	GTETRGD	ETH0_COL / SS5#/ CTS5#/RTS5# / CANTXDP0	—	—	—	—	TST_OUT14 / HDSL01_MOSI1
A19	VDD1833_1	—	P24_5	—	—	ETH1_TXCLK	—	—	—	—	HDSL03_CLK1
A20	VDD1833_1	MD2	P25_0	—	—	ETH1_TXD2 / CANRXDP0	—	—	—	—	—
A21	VDD1833_1	MDW1	P25_2	—	—	ETH1_TXEN	—	—	—	—	—
A22	VDD1833_1	MD0	P24_6	—	—	ETH1_TXD0	—	—	—	—	—
A23	VDD33	—	P27_3	—	MTIOC2A / GTIOC08_3A / GTIOC02_1A	GMAC1_PTPTRG1 / SCK0 / CANRXDP1 / SPI_MOSI0	—	—	—	HSPI_IO1	ENCIFCK14 / SCKE10 / HDSL04_MISO2
A24	—	VSS	—	—	—	—	—	—	—	—	—
B1	VDD33	—	P09_5	D14	MTIOC6D / GTIOC04_0B / GTIOC10_0B	—	MDAT70	DISP_HSYNC	—	—	TST_OUT13 / HDSL07_CLK2
B2	VDD33	IRQ7	P10_1	WAIT#	MTIOC7D / GTIOC04_2B / GTIOC10_2B	SCK0	MDAT72	DISP_DATAR1	—	—	SI14# / HDSL08_LINK
B3	VDD33	IRQ1	P10_2	CS0#	MTCLKC / MTIOC2A / GTIOC04_3A / GTIOC10_3A	RXD0/SCL0/MISO0	MCLK10 / MCLK00	DISP_DATAR2	—	—	ENCIFCK04 / SCKE04 / HDSL08_SMPL
B4	VDD33	—	P10_5	A2	MTIOC1B / MTIOC0A / GTIOC04_4B	CTS0#	MDAT11 / MDAT01	DISP_DATAR5	—	—	ENCIFDI04 / RXDE04 / HDSL08_MISO1
B5	—	VSS	—	—	—	—	—	—	—	—	—
B6	VDD1833_6	IRQ2	P12_7	D23	GTIOC05_4B / CMTW1_TOC 1	CTS2# / SD0_DATA5	MDAT10	—	—	—	ENCIFDI05 / RXDE05 / HDSL10_CLK1

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (3/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
B7	VDD1833_6	—	P13_0	D24	GTIOC02_3A	DE2 / SPI_RSPCK3 / SD0_DATA6	MCLK00	—	—	—	ENCIFCK12 / ENCIFCK03 / SCKE08 / SCKE03 / HDSL10_SEL1
B8	VDD1833_6	IRQ1	P12_4	D20	GTIOC05_3A / CMTW1_TIC0	RXD2/SCL2/MISO2 / SD0_DATA2	MCLK02	—	—	—	ENCIFCK05 / SCKE05 / HDSL09_MOSI2
B9	VDD33	—	P14_4	DACK	POE4# / GTIOC06_1B / GTIOC09_1B / GTIOC06_3A / CMTW0_TIC0	ESC_IRQ / SS4#/ CTS4#/RTS4# / SD1_WP	—	DISP_DATAG4	—	MBX_HINT#	ENCIFDO00 / TXDE00 / HDSL11_MOSI1
B10	—	VSS	—	—	—	—	—	—	—	—	—
B11	VDD1833_7	IRQ14	P17_2	—	GTIOC03_2B	SD1_DATA3	—	—	—	—	TST_OUT06 / HDSL13_SEL2
B12	VDD33	IRQ15	P18_1	A9	GTADSM02_1 / GTIOC07_3A	ESC_LEDERR / CTS0# / CANTXDP0 / SD1_IOVS	—	DISP_DATAB2	—	—	SI08# / HDSL14_MISO1
B13	VDD33	IRQ1	P18_4	A12	GTIOC07_3A / GTADSM04_0	ESC_LEDSTER / TXD1/SDA1/MOSI1 / CANRX1	MCLK11	DISP_DATAB5	—	—	ENCIFCK13 / ENCIFCK14 / SCKE09 / SCKE10 / HDSL14_SEL2
B14	VDD1833_0	—	P20_0	—	—	ETH0_TXCLK	—	—	—	—	HDSL15_MOSI2
B15	—	VSS	—	—	—	—	—	—	—	—	—
B16	VDD1833_0	—	P20_4	—	—	ETH0_TXD3 / CANTX0	—	—	—	—	—
B17	VDD33	—	P22_2	A23	GTETRGB	ETH0_RXER / RXD5/SCL5/MISO5 / CANRX0	—	—	—	—	HDSL01_SEL1
B18	VDD33	IRQ7	P22_5	A20	GTETRGSA	GMAC0_PTPTRG0 / ESC_LATCH0 / CTS5# / CANRX1 / SD0_CD	—	—	—	—	SI14# / HDSL01_CLK2
B19	—	VSS	—	—	—	—	—	—	—	—	—
B20	VDD1833_1	MDW0	P25_1	—	—	ETH1_TXD3 / CANTXDP0	—	—	—	—	—
B21	VDD1833_1	MD1	P24_7	—	—	ETH1_TXD1	—	—	—	—	—
B22	VDD1833_1	IRQ12	P26_5	—	—	CANTX0	—	—	—	—	ENCIFCK01 / SCKE01 / HDSL04_CLK1
B23	VDD33	IRQ2	P27_1	—	GTIOC02_0A	ETH1_COL / CANRX1 / SPI_SSL03	—	—	—	HSPI_CS#	HDSL04_CLK2
B24	VDD33	IRQ3	P27_2	—	GTIOC02_0B	GMAC1_PTPTRG0 / ESC_LEDERR / CANTX1 / SPI_RSPCK0	—	—	—	HSPI_IO0	HDSL04_SEL2
C1	VDD33	—	P09_6	D15	MTIOC7A / GTIOC04_1A / GTIOC10_1A	—	MCLK71	DISP_VSYNC	—	—	SI13# / HDSL07_SEL2
C2	VDD33	IRQ4	P10_0	WE1#	MTIOC7B / GTIOC04_2A / GTIOC10_2A	—	MCLK72	DISP_DATAR0	—	—	TST_OUT14 / HDSL07_MOSI2
C3	VDD33	IRQ2	P10_3	RD#	MTCLKD / MTIOC2B / GTIOC04_3B / GTIOC10_3B	TXD0/SDA0/MOSI0	MDAT10 / MDAT00	DISP_DATAR3	—	—	ENCIFOE04 / DEE04 / HDSL08_CLK1
C4	VDD33	—	P09_7	WE0#	MTIOC7C / GTIOC04_1B / GTIOC10_1B	—	MDAT71	DISP_DE	—	—	DUEI14 / HDSL07_MISO2
C5	VDD33	IRQ3	P10_4	A1	MTIOC1A / GTIOC04_4A	SS0#/CTS0#/RTS0#	MCLK11 / MCLK01	DISP_DATAR4	—	—	ENCIFDO04 / TXDE04 / HDSL08_SEL1

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (4/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
C6	VDD1833_6	—	P13_1	D25	GTIOC02_3B	SPI_MOSI3 / SD0_DATA7	MDAT00	—	—	—	ENCIFOE12 / ENCIFOE03 / DEE08 / DEE03 / HDSL10_MISO1
C7	VDD1833_6	IRQ4	P13_5	D29	GTIOC06_3A	TXD3/SDA3/MOSI3 / SPI_SSL32	MDAT40	—	—	—	ENCIFOE13 / DEE09 / HDSL10_MISO2
C8	VDD1833_6	—	P12_0	D16	MTIC5V / GTIOC05_1A / CMTW0_TIC0	CANRX1 / SD0_CLK	—	—	—	—	DUEI01 / HDSL09_MOSI1
C9	VDD33	—	P14_1	RD/WR #	GTIOC06_0A / GTIOC09_0A / GTIOC05_3A / RTCAT1HZ	SCK4 / SD0_CD	MDAT42	DISP_DATAG1	—	—	DUEI02 / HDSL11_CLK1
C10	VDD33	IRQ6	P14_3	DREQ	POE0# / GTIOC06_1A / GTIOC09_1A	ESC_LINKACT2 / TXD4/SDA4/MOSI4 / SD1_CD	—	DISP_DATAG3	—	—	ENCIFOE00 / DEE00 / HDSL11_MISO1
C11	VDD1833_7	IRQ12	P17_0	—	GTIOC03_1B	SD1_DATA1	—	—	—	—	SI05# / HDSL13_MOSI1
C12	VDD33	SEI	P18_2	A10	GTADSM03_0 / GTIOC07_3B	ETH1_CRS / GMAC1_MDC / SCK1 / CANRX0 / SD1_PWEN	MCLK10	DISP_DATAB3	—	—	HDSL14_MOSI1
C13	VDD33	IRQ3	P18_6	A14	GTIOC07_4A / GTADSM05_0	CTS1# / CANRXDP1	MCLK12	DISP_DATAB7	—	—	ENCIFDO13 / ENCIFDO14 / TXDE09 / TXDE10 / HDSL14_MOSI2
C14	VDD1833_0	—	P21_6	—	—	ETHSW_PHYLINK0 / ESC_PHYLINK0 / CANRXDP1	—	—	—	—	HDSL00_MOSI2
C15	VDD1833_0	ETH0_REFCLK / RMII0_REFCLK	P21_7	—	—	CANTXDP1	—	—	—	—	HDSL01_LINK
C16	VDD1833_0	—	P21_1	—	—	ETH0_RXD2 / CANRXDP0	—	—	—	—	TST_OUT12 / HDSL00_MISO1
C17	VDD33	—	P22_1	—	GTETRGA	ETH0_TXER / TXD5/ SDA5/MOSI5 / CANTX0	—	—	—	—	HDSL01_CLK1
C18	VDD33	IRQ8	P22_6	A19	GTETRGSB	GMAC0_PTPTRG1 / ESC_LATCH1 / DE5 / CANTX1 / SD0_WP	—	—	—	—	DUEI15 / HDSL01_SEL2
C19	VDD1833_1	—	P25_6	—	—	ETH1_RXD2 / CANRX1	—	—	—	—	DUEI04 / HDSL03_CLK2
C20	VDD1833_1	—	P26_2	—	—	GMAC1_MDIO / ETHSW_MDIO / ESC_MDIO / CANTXDP1	—	—	—	—	HDSL04_LINK
C21	VDD1833_1	—	P25_3	—	—	ETH1_RXCLK	—	—	—	—	DUEI03 / HDSL03_SEL1
C22	VDD33	SEI	P26_6	CS2#	—	ETH1_TXER / ESC_RESETOUT# / CANRX0	—	—	—	—	ENCIFOE01 / DEE01 / HDSL04_SEL1
C23	VDD33	—	P27_5	—	MTIOC1A / GTIOC08_4A / GTIOC02_2A	TXD0/SDA0/MOSI0 / SPI_SSL00	—	—	—	HSPI_IO3	ENCIFDO14 / TXDE10 / HDSL05_LINK
C24	VDD33	—	P27_6	—	MTIOC1B / GTIOC08_4B / GTIOC02_2B	—	—	—	—	HSPI_CK	ENCIFDI14 / RXDE10 / HDSL05_SMPL
D1	—	—	—	—	—	—	—	—	DDR_DQA12	—	—
D2	—	—	—	—	—	—	—	—	DDR_DQA9	—	—
D3	—	VSS	—	—	—	—	—	—	—	—	—
D4	—	—	—	—	—	—	—	—	DDR_DQA13	—	—
D5	—	VSS	—	—	—	—	—	—	—	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (5/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
D6	VDD1833_6	—	P12_6	D22	GTIOC05_4A / GTIOC01_3B / CMTW1_TIC1	SS2#/CTS2#/ RTS2# / SD0_DATA4	MCLK10	—	—	—	ENCIFDO05 / TXDE05 / HDSL10_SMPL
D7	VDD1833_6	—	P12_5	D21	GTIOC05_3B / GTIOC01_3A / CMTW1_TOC 0	TXD2/SDA2/MOSI2 / SD0_DATA3	MDAT02	—	—	—	ENCIFOE05 / DEE05 / HDSL10_LINK
D8	—	VSS	—	—	—	—	—	—	—	—	—
D9	VDD33	—	P14_5	TEND	POE8# / GTIOC06_2A / GTIOC09_2A / GTIOC06_3B / CMTW0_TOC 0	ESC_RESETOUT# / CTS4#	—	DISP_DATAG5	—	—	ENCIFDI00 / RXDE00 / HDSL11_CLK2
D10	VDD1833_7	—	P16_7	—	GTIOC03_1A	SD1_DATA0	—	—	—	—	TST_OUT05 / HDSL13_MISO1
D11	VDD1833_7	IRQ15	P17_3	—	GTETRGA	—	—	—	—	—	SI06# / HDSL13_MISO2
D12	VDD33	—	P17_6	WE2#	GTADSM01_0 / GTETRGD / CMTW1_TIC1	ETHSW_PTPOUT0 / ESC_SYNC0 / RXD0/SCL0/MISO0 / SD1_PWEN	—	DISP_DATAG7	—	—	SI07# / HDSL14_SMPL
D13	—	VSS	—	—	—	—	—	—	—	—	—
D14	VDD1833_0	—	P21_5	—	—	GMAC0_MDIO / ETHSW_MDIO / ESC_MDIO / CANTX1	—	—	—	—	SI13# / HDSL00_MISO2
D15	VDD1833_0	—	P20_7	—	—	ETH0_RXD0	—	—	—	—	SI11# / HDSL00_CLK1
D16	VDD1833_0	—	P20_6	—	—	ETH0_RXCLK	—	—	—	—	TST_OUT11 / HDSL00_SMPL
D17	—	VSS	—	—	—	—	—	—	—	—	—
D18	VDD33	IRQ9	P22_7	A18	GTIOC06_0A	ETH1_CRS / ETHSW_TDMAOUT 2 / ESC_LINKACT0 / CANRXDP1	—	—	—	—	TST_OUT15 / HDSL01_MISO2
D19	VDD1833_1	—	P26_3	—	—	ETHSW_PHYLINK1 / ESC_PHYLINK1	—	—	—	—	HDSL04_SMPL
D20	VDD1833_1	—	P25_5	—	—	ETH1_RXD1	—	—	—	—	SI03# / HDSL03_MOSI1
D21	—	VSS	—	—	—	—	—	—	—	—	—
D22	VDD33	IRQ1	P27_0	CS5#	—	ETH1_CRS / CANTXDP0 / SPI_SSL02	—	—	—	HSPI_INT#	ENCIFDI01 / RXDE01 / HDSL04_MOSI1
D23	VDD33	—	P27_4	—	MTIOC2B / GTIOC08_3B / GTIOC02_1B	RXD0/SCL0/MISO0 / CANTXDP1 / SPI_MISO0	—	—	—	HSPI_IO2	ENCIFOE14 / DEE10 / HDSL04_MOSI2
D24	VDD1833_2	—	P30_4	—	GTIOC09_5B	ETH2_RXDV	—	—	—	—	ENCIFDI11 / RXDE11 / HDSL07_SEL1
E1	—	VSS	—	—	—	—	—	—	—	—	—
E2	—	—	—	—	—	—	—	—	DDR_DQA8	—	—
E3	—	—	—	—	—	—	—	—	DDR_DQA11	—	—
E4	—	—	—	—	—	—	—	—	DDR_DQA14	—	—
E5	—	—	—	—	—	—	—	—	DDR_DQSA_C 1	—	—
E6	VDD1833_6	—	P13_6	D30	GTIOC06_3B / GTIOC04_3A	SS3#/CTS3#/ RTS3# / SPI_SSL23	MCLK41	—	—	—	ENCIFDO13 / TXDE09 / HDSL10_MOSI2
E7	VDD1833_6	—	P12_1	D17	MTIC5W / GTIOC05_1B / CMTW0_TOC 0	CANTX1 / SD0_CMD	—	—	—	—	TST_OUT01 / HDSL09_CLK2
E8	VDD1833_6	—	P12_2	D18	GTIOC05_2A / CMTW0_TIC1	CANRXDP1 / SD0_DATA0	—	—	—	—	SI01# / HDSL09_SEL2

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (6/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
E9	VDD33	—	P14_2	BS#	GTIOC06_0B / GTIOC09_0B / GTIOC05_3B	RXD4/SCL4/MISO4 / SD0_WP	—	DISP_DATAG2	—	—	ENCIFCK00 / SCKE00 / HDSL11_SEL1
E10	VDD1833_7	—	P16_5	—	GTIOC03_0A	SD1_CLK	—	—	—	—	SI04# / HDSL13_CLK1
E11	VDD1833_7	—	P16_6	—	GTIOC03_0B	SD1_CMD	—	—	—	—	DUEI05 / HDSL13_SEL1
E12	VDD33	—	P17_7	WE3#/AH#	GTADSM01_1 / CMTW1_TOC1	ETHSW_PTPOUT1 / ESC_SYNC1 / TXD0/SDA0/MOSI0 / SD1_IOVS	—	DISP_DATAB0	—	—	DUEI08 / HDSL14_CLK1
E13	VDD33	—	P17_4	A6 / DREQ	GTADSM00_0 / GTETRGB / CMTW1_TIC0	DE0 / CANRX0 / SD1_CD	—	—	—	—	DUEI07 / HDSL13_MOSI2
E14	VDD1833_0	—	P20_3	—	—	ETH0_TXD2 / CANRX0	—	—	—	—	—
E15	VDD1833_0	—	P21_0	—	—	ETH0_RXD1	—	—	—	—	DUEI12 / HDSL00_SEL1
E16	VDD1833_0	—	P21_4	—	—	GMAC0_MDC / ETHSW_MDC / ESC_MDC / CANRX1	—	—	—	—	TST_OUT13 / HDSL00_SEL2
E17	VDD33	IRQ5	P22_3	A22	GTETRGC	ETH0_CRS / SCK5 / CANRXDP0	—	—	—	—	DUEI14 / HDSL01_MISO1
E18	VDD1833_1	—	P26_1	—	—	GMAC1_MDC / ETHSW_MDC / ESC_MDC / CANRXDP1	—	—	—	—	HDSL03_MOSI2
E19	VDD1833_1	—	P25_4	—	—	ETH1_RXD0	—	—	—	—	TST_OUT03 / HDSL03_MISO1
E20	VDD1833_1	—	P25_7	—	—	ETH1_RXD3 / CANTX1	—	—	—	—	TST_OUT04 / HDSL03_SEL2
E21	VDD1833_1	ETH1_REFCLK / RMII1_REFCLK	P26_4	—	—	—	—	—	—	—	—
E22	VDD33	IRQ0	P26_7	CS3#	—	ETH1_RXER / ESC_LEDSTER / CANRXDP0 / SPI_SSL01	—	—	—	—	ENCIFDO01 / TXDE01 / HDSL04_MISO1
E23	VDD1833_2	—	P29_1	—	GTIOC09_0A	ETH2_TXCLK	—	—	—	—	ENCIFCK09 / SCKE09 / HDSL06_CLK1
E24	VDD1833_2	IRQ10	P30_2	—	GTIOC09_4B	ETH2_RXD2 / SPI_MOSI2	—	—	—	—	ENCIFOE11 / DEE11 / HDSL07_SMPL
F1	—	—	—	—	—	—	—	—	DDR_DQA15	—	—
F2	—	VSS	—	—	—	—	—	—	—	—	—
F3	—	—	—	—	—	—	—	—	DDR_DQA10	—	—
F4	—	—	—	—	—	—	—	—	DDR_DMIA1	—	—
F5	—	—	—	—	—	—	—	—	DDR_DQSA_T1	—	—
F6	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
F7	VDD1833_6	—	P12_3	D19	GTIOC05_2B / CMTW0_TOC1	SCK2 / CANTXDP1 / SD0_DATA1	—	—	—	—	HDSL09_MISO2
F8	VDD1833_6	IRQ3	P13_2	D26	—	SPI_MISO3 / SD0_RST#	MCLK01	—	—	—	ENCIFDO12 / ENCIFDO03 / TXDE08 / TXDE03 / HDSL10_MOSI1
F9	VDD1833_6	—	P13_3	D27	GTIOC03_3A	SCK3 / SPI_SSL30	MDAT01	—	—	—	ENCIFDI12 / ENCIFDI03 / RXDE08 / RXDE03 / HDSL10_CLK2

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (7/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
F10	—	VSS	—	—	—	—	—	—	—	—	—
F11	VDD33	—	P17_5	A7 / DACK	GTADSM00_1 / GTETRGC / CMTW1_TOC0	SCK0 / CANTX0 / SD1_WP	—	—	—	—	TST_OUT07 / HDSL14_LINK
F12	VDD33	IRQ7	P18_0	A8 / TEND	GTADSM02_0	ESC_LEDRUN / SS0#/CTS0#/ RTS0# / CANRXDP0 / SD1_PWEN	—	DISP_DATAB1	—	—	TST_OUT08 / HDSL14_SEL1
F13	VDD33	IRQ4	P18_7	A15	GTIOC07_4B / GTADSM05_1	ETHSW_PTPOUT3 / ESC_SYNC1 / DE1 / CANTXDP1	MDAT12	—	—	—	ENCIFDI13 / ENCIFDI14 / RXDE09 / RXDE10 / HDSL15_LINK
F14	VDD1833_0	—	P20_2	—	—	ETH0_TXD1	—	—	—	—	—
F15	—	VSS	—	—	—	—	—	—	—	—	—
F16	VDD1833_0	IRQ11	P22_0	—	—	—	—	—	—	—	HDSL01_SMPL
F17	VDD33	IRQ10	P23_0	A17	GTIOC06_0B	ETH1_COL / ETHSW_TDMAOUT3 / ESC_LINKACT1 / CANTXDP1	—	—	—	—	SI15# / HDSL01_MOSI2
F18	VDD1833_1	—	P26_0	—	—	ETH1_RXDV	—	—	—	—	SI04# / HDSL03_MISO2
F19	—	VSS	—	—	—	—	—	—	—	—	—
F20	VDD1833_2	—	P30_0	—	GTIOC09_3B	ETH2_RXD0	—	—	—	—	ENCIFDI10 / RXDE10 / HDSL06_MOSI2
F21	VDD1833_2	—	P29_6	—	GTIOC09_2B	ETH2_TXEN / SPI_SSL22	—	—	—	—	ENCIFOE10 / DEE10 / HDSL06_SEL2
F22	VDD1833_2	IRQ8	P29_4	—	GTIOC09_1B	ETH2_TXD2 / SPI_SSL20	—	—	—	—	ENCIFDI09 / RXDE09 / HDSL06_MOSI1
F23	—	VSS	—	—	—	—	—	—	—	—	—
F24	VDD1833_2	IRQ14	P30_7	—	—	ETHSW_PHYLINK2 / ESC_PHYLINK2 / SPI_MISO3 / SD1_IOVS	MCLK30	—	—	—	SI07# / HDSL07_CLK2
G1	—	—	—	—	—	—	—	—	DDR_DQA6	—	—
G2	—	—	—	—	—	—	—	—	DDR_DQA5	—	—
G3	—	VSS	—	—	—	—	—	—	—	—	—
G4	—	VSS	—	—	—	—	—	—	—	—	—
G5	—	VSS	—	—	—	—	—	—	—	—	—
G6	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
G7	—	VDD33	—	—	—	—	—	—	—	—	—
G8	—	VSS	—	—	—	—	—	—	—	—	—
G9	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
G10	—	VDD33	—	—	—	—	—	—	—	—	—
G11	—	VDD1833_6	—	—	—	—	—	—	—	—	—
G12	—	VDD1833_7	—	—	—	—	—	—	—	—	—
G13	—	VDD1833_0	—	—	—	—	—	—	—	—	—
G14	—	VDD1833_0	—	—	—	—	—	—	—	—	—
G15	—	VDDP_18_1	—	—	—	—	—	—	—	—	—
G16	—	VSS_PLL0	—	—	—	—	—	—	—	—	—
G17	—	VSS	—	—	—	—	—	—	—	—	—
G18	—	VSS	—	—	—	—	—	—	—	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (8/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
G19	VDD1833_2	ETH2_REFCLK / RMII2_REFCLK	P31_0	—	GTETRGSA	SPI_SSL30	—	—	—	—	HDSL07_SEL2
G20	VDD1833_2	—	P30_5	—	GTIOC09_6A	GMAC2_MDC / ETHSW_MDC / ESC_MDC / SPI_RSPCK3	—	—	—	—	DUEI07 / HDSL07_MISO1
G21	VDD1833_2	IRQ9	P29_5	—	GTIOC09_2A	ETH2_TXD3 / SPI_SSL21	—	—	—	—	ENCIFCK10 / SCKE10 / HDSL06_CLK2
G22	VDD1833_2	—	P29_3	—	GTIOC09_1A	ETH2_TXD1	—	—	—	—	ENCIFDO09 / TXDE09 / HDSL06_MISO1
G23	VDD1833_2	—	P30_1	—	GTIOC09_4A	ETH2_RXD1	—	—	—	—	ENCIFCK11 / SCKE11 / HDSL07_LINK
G24	VDD1833_2	IRQ13	P31_1	—	GTETRGSB	ETH2_RXER / SPI_SSL31	—	—	—	—	HDSL07_MISO2
H1	—	—	—	—	—	—	—	—	DDR_DQA4	—	—
H2	—	VSS	—	—	—	—	—	—	—	—	—
H3	—	—	—	—	—	—	—	—	DDR_DMIA0	—	—
H4	—	—	—	—	—	—	—	—	DDR_DQA7	—	—
H5	—	—	—	—	—	—	—	—	DDR_DQSA_C0	—	—
H6	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
H7	—	VDD33	—	—	—	—	—	—	—	—	—
H8	—	VSS_PLL2	—	—	—	—	—	—	—	—	—
H9	—	DVDD08A_TSU	—	—	—	—	—	—	—	—	—
H10	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
H11	—	VDDP_18_7	—	—	—	—	—	—	—	—	—
H12	—	VDD18_PLL3	—	—	—	—	—	—	—	—	—
H13	—	VSS_PLL3	—	—	—	—	—	—	—	—	—
H14	—	VDDP_18_0	—	—	—	—	—	—	—	—	—
H15	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
H16	—	VDD18_PLL0	—	—	—	—	—	—	—	—	—
H17	—	VSS	—	—	—	—	—	—	—	—	—
H18	—	VSS	—	—	—	—	—	—	—	—	—
H19	—	VDD1833_1	—	—	—	—	—	—	—	—	—
H20	VDD1833_2	—	P29_2	—	GTIOC09_0B	ETH2_TXD0	—	—	—	—	ENCIFOE09 / DEE09 / HDSL06_SEL1
H21	—	VSS	—	—	—	—	—	—	—	—	—
H22	VDD1833_2	—	P29_7	—	GTIOC09_3A	ETH2_RXCLK / SPI_SSL23	—	—	—	—	ENCIFDO10 / TXDE10 / HDSL06_MISO2
H23	VDD1833_2	IRQ11	P30_3	—	GTIOC09_5A	ETH2_RXD3 / SPI_MISO2	—	—	—	—	ENCIFDO11 / TXDE11 / HDSL07_CLK1
H24	VDD1833_2	—	P30_6	—	GTIOC09_6B	GMAC2_MDIO / ETHSW_MDIO / ESC_MDIO / SPI_MOSI3	—	—	—	—	TST_OUT07 / HDSL07_MOSI1
J1	—	—	—	—	—	—	—	—	DDR_DQA2	—	—
J2	—	—	—	—	—	—	—	—	DDR_DQA0	—	—
J3	—	—	—	—	—	—	—	—	DDR_DQA1	—	—
J4	—	—	—	—	—	—	—	—	DDR_DQA3	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (9/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
J5	—	—	—	—	—	—	—	—	DDR_DQSA_T0	—	—
J6	—	VSS	—	—	—	—	—	—	—	—	—
J7	—	VDD33	—	—	—	—	—	—	—	—	—
J8	—	VDD18_PLL2	—	—	—	—	—	—	—	—	—
J9	—	AVDD18A_TSU	—	—	—	—	—	—	—	—	—
J10	—	VDDP_18_6	—	—	—	—	—	—	—	—	—
J11	—	VDD08	—	—	—	—	—	—	—	—	—
J12	—	VDD08_PLL3	—	—	—	—	—	—	—	—	—
J13	—	VSS	—	—	—	—	—	—	—	—	—
J14	—	VDD08	—	—	—	—	—	—	—	—	—
J15	—	VSS	—	—	—	—	—	—	—	—	—
J16	—	VDD08_PLL0	—	—	—	—	—	—	—	—	—
J17	—	VDD33	—	—	—	—	—	—	—	—	—
J18	—	VSS	—	—	—	—	—	—	—	—	—
J19	—	VDD1833_1	—	—	—	—	—	—	—	—	—
J20	VDD33	—	P31_6	A16 / TEND	POE11#	GMAC2_PTPTRG0 / ETHSW_TDMAOUT0 / ESC_LEDRUN / SPI_MISO0	MDAT32	—	—	—	ENCIFCK15 / ENCIFCK01 / SCKE11 / SCKE01 / HDSL08_SEL1
J21	VDD33	—	P31_4	DREQ	POE8#	ETH2_CRS / ETHSW_PTPOUT2 / ESC_SYNC0 / SPI_RSPCK0 / SPI_SSL30	MCLK81 / MDAT31	—	—	HSPI_IO6	ENCIFDO09 / TXDE09 / HDSL08_SMPL / POUTB
J22	VDD33	—	P31_3	—	POE4#	ETH2_RXER / ETHSW_TDMAOUT1 / ESC_LEDERR / SPI_SSL33	MDAT80 / MCLK31	—	—	HSPI_IO5	ENCIFOE09 / DEE09 / HDSL08_LINK
J23	VDD33	—	P31_5	DACK	POE10#	ETH2_COL / ETHSW_PTPOUT3 / ESC_SYNC1 / SPI_MOSI0 / SPI_SSL31	MDAT81 / MCLK32	—	—	HSPI_IO7	ENCIFDI09 / RXDE09 / HDSL08_CLK1 / POUTZ
J24	VDD33	—	P31_2	—	POE0#	ETH2_TXER / SPI_SSL32	MCLK80 / MDAT30	—	—	HSPI_IO4	ENCIFCK09 / SCKE09 / HDSL07_MOSI2 / POUTA
K1	—	VSS	—	—	—	—	—	—	—	—	—
K2	—	—	—	—	—	—	—	—	DDR_CAA1	—	—
K3	—	VSS	—	—	—	—	—	—	—	—	—
K4	—	VSS	—	—	—	—	—	—	—	—	—
K5	—	VSS	—	—	—	—	—	—	—	—	—
K6	—	—	—	—	—	—	—	—	DDR_CKEA1	—	—
K7	—	VSS	—	—	—	—	—	—	—	—	—
K8	—	VDD08_PLL2	—	—	—	—	—	—	—	—	—
K9	—	VDD08	—	—	—	—	—	—	—	—	—
K10	—	VDD08	—	—	—	—	—	—	—	—	—
K11	—	VSS	—	—	—	—	—	—	—	—	—
K12	—	VDD08	—	—	—	—	—	—	—	—	—
K13	—	VSS	—	—	—	—	—	—	—	—	—
K14	—	VDD08	—	—	—	—	—	—	—	—	—
K15	—	VSS	—	—	—	—	—	—	—	—	—
K16	—	VDD08	—	—	—	—	—	—	—	—	—
K17	—	VDDP_18_2	—	—	—	—	—	—	—	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (10/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
K18	—	VDD1833_2	—	—	—	—	—	—	—	—	—
K19	—	VDD1833_2	—	—	—	—	—	—	—	—	—
K20	VDD1833_3	—	P34_1	A23	GTADSM03_1 / GTIOC03_0B	ETH3_RXD0 / SPI_MISO2	—	—	—	—	ENCIFDI06 / RXDE06 / HDSL10_CLK1
K21	VDD1833_3	—	P34_5	CS3#	GTADSM05_1 / GTIOC03_2B	ETH3_RXDV / ESC_I2CCLK / TXD3/SDA3/MOSI3 / IIC_SCL1 / SPI_SSL23	—	—	ADTRG1#	—	ENCIFDI07 / RXDE07 / HDSL10_CLK2
K22	VDD1833_3	—	P34_2	A24	GTADSM04_0 / GTIOC03_1A	ETH3_RXD1 / SPI_SSL20	—	—	—	—	ENCIFCK07 / SCKE07 / HDSL10_SEL1
K23	VDD1833_3	—	P34_4	CS2#	GTADSM05_0 / GTIOC03_2A	ETH3_RXD3 / RXD3/ SCL3/MISO3 / SPI_SSL22 / SD1_IOVS	—	—	ADTRG0#	—	ENCIFDO07 / TXDE07 / HDSL10_MOSI1
K24	VDD1833_3	ETH3_REFCLK / RMII3_REFCLK	P34_6	CS5#	—	ETH1_RXER / ESC_I2CDATA / IIC_SDA1 / SPI_RSPCK3	—	—	ADTRG2#	—	DUEI08 / HDSL10_SEL2
L1	—	—	—	—	—	—	—	—	DDR_CKA_C	—	—
L2	—	—	—	—	—	—	—	—	DDR_CAA3	—	—
L3	—	—	—	—	—	—	—	—	DDR_CAA4	—	—
L4	—	—	—	—	—	—	—	—	DDR_CSA0	—	—
L5	—	—	—	—	—	—	—	—	DDR_CSA1	—	—
L6	—	—	—	—	—	—	—	—	DDR_CKEA0	—	—
L7	—	VSS	—	—	—	—	—	—	—	—	—
L8	—	VSS	—	—	—	—	—	—	—	—	—
L9	—	VSS	—	—	—	—	—	—	—	—	—
L10	—	VDD08	—	—	—	—	—	—	—	—	—
L11	—	VSS	—	—	—	—	—	—	—	—	—
L12	—	VDD08	—	—	—	—	—	—	—	—	—
L13	—	VSS	—	—	—	—	—	—	—	—	—
L14	—	VDD08	—	—	—	—	—	—	—	—	—
L15	—	VSS	—	—	—	—	—	—	—	—	—
L16	—	VDD08	—	—	—	—	—	—	—	—	—
L17	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
L18	—	VSS	—	—	—	—	—	—	—	—	—
L19	—	VSS	—	—	—	—	—	—	—	—	—
L20	VDD1833_3	—	P33_2	A16	GTADSM00_0	ETH3_TXCLK / SCK1 / SPI_RSPCK1 / SPI_SSL30	MCLK50	—	—	—	ENCIFCK01 / SCKE01 / HDSL09_MOSI1
L21	VDD1833_3	—	P34_3	A25	GTADSM04_1 / GTIOC03_1B	ETH3_RXD2 / SPI_SSL21 / SD1_PWEN	—	—	—	—	ENCIFOE07 / DEE07 / HDSL10_MISO1
L22	VDD1833_3	—	P34_0	A22	GTADSM03_0 / GTIOC03_0A	ETH3_RXCLK / SPI_MOSI2	—	—	—	—	ENCIFDO06 / TXDE06 / HDSL10_SMPL
L23	VDD1833_3	—	P33_7	A21	GTADSM02_1	ETH3_TXEN / SPI_RSPCK2	MDAT52	—	—	—	ENCIFOE06 / DEE06 / HDSL10_LINK
L24	—	VSS	—	—	—	—	—	—	—	—	—
M1	—	—	—	—	—	—	—	—	DDR_CKA_T	—	—
M2	—	VSS	—	—	—	—	—	—	—	—	—
M3	—	—	—	—	—	—	—	—	DDR_CAA2	—	—
M4	—	VSS	—	—	—	—	—	—	—	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (11/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
M5	—	—	—	—	—	—	—	—	DDR_CAA5	—	—
M6	—	VSS	—	—	—	—	—	—	—	—	—
M7	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
M8	—	DDR_VAA	—	—	—	—	—	—	—	—	—
M9	—	VSS	—	—	—	—	—	—	—	—	—
M10	—	VDD08	—	—	—	—	—	—	—	—	—
M11	—	VSS	—	—	—	—	—	—	—	—	—
M12	—	VDD08	—	—	—	—	—	—	—	—	—
M13	—	VSS	—	—	—	—	—	—	—	—	—
M14	—	VDD08	—	—	—	—	—	—	—	—	—
M15	—	VSS	—	—	—	—	—	—	—	—	—
M16	—	VDD08	—	—	—	—	—	—	—	—	—
M17	—	VDD33	—	—	—	—	—	—	—	—	—
M18	—	VSS	—	—	—	—	—	—	—	—	—
M19	—	VSS	—	—	—	—	—	—	—	—	—
M20	VDD1833_3	IRQ12	P33_3	A17	GTADSM00_1	ETH3_TXD0 / RXD1/ SCL1/MISO1 / SPI_MOSI1 / SPI_RSPCK0	MDAT50	—	PCIE_RSTOUT0B	—	ENCIFOE01 / DEE01 / HDSL09_CLK2
M21	VDD1833_3	IRQ15	P33_6	A20	GTADSM02_0	ETH3_TXD3 / TXD2/ SDA2/MOSI2 / SPI_SSL11 / SPI_SSL00	MCLK52	—	—	—	ENCIFCK06 / SCKE06 / HDSL09_MOSI2
M22	—	VSS	—	—	—	—	—	—	—	—	—
M23	—	VSS	—	—	—	—	—	—	—	—	—
M24	VDD33_X	EXTCLKIN	—	—	—	—	—	—	—	—	—
N1	—	VSS	—	—	—	—	—	—	—	—	—
N2	—	—	—	—	—	—	—	—	DDR_CKEB1	—	—
N3	—	—	—	—	—	—	—	—	DDR_CAB0	—	—
N4	—	—	—	—	—	—	—	—	DDR_CAA0	—	—
N5	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
N6	—	VSS	—	—	—	—	—	—	—	—	—
N7	—	—	—	—	—	—	—	—	DDR_RESET_N	—	—
N8	—	—	—	—	—	—	—	—	DDR_ATEST	—	—
N9	—	VSS	—	—	—	—	—	—	—	—	—
N10	—	VDD08	—	—	—	—	—	—	—	—	—
N11	—	VSS	—	—	—	—	—	—	—	—	—
N12	—	VDD08	—	—	—	—	—	—	—	—	—
N13	—	VSS	—	—	—	—	—	—	—	—	—
N14	—	VDD08	—	—	—	—	—	—	—	—	—
N15	—	VSS	—	—	—	—	—	—	—	—	—
N16	—	VDD08	—	—	—	—	—	—	—	—	—
N17	—	VDDP_18_3	—	—	—	—	—	—	—	—	—
N18	—	VDD1833_3	—	—	—	—	—	—	—	—	—
N19	—	VDD1833_3	—	—	—	—	—	—	—	—	—
N20	VDD1833_3	IRQ13	P33_4	A18	GTADSM01_0	ETH3_TXD1 / TXD1/ SDA1/MOSI1 / SPI_MISO1 / SPI_MOSI0	MCLK51	—	PCIE_RSTOUT1B	—	ENCIFDO01 / TXDE01 / HDSL09_SEL2

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (12/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
N21	VDD1833_3	IRQ14	P33_5	A19	GTADSM01_1	ETH3_TXD2 / RXD2/ SCL2/MISO2 / SPI_SSL10 / SPI_MISO0	MDAT51	—	—	—	ENCIFDI01 / RXDE01 / HDSL09_MISO2
N22	VDD33_X	XTALSEL	—	—	—	—	—	—	—	—	—
N23	—	XTAL	—	—	—	—	—	—	—	—	—
N24	—	EXTAL	—	—	—	—	—	—	—	—	—
P1	—	—	—	—	—	—	—	—	DDR_CKB_T	—	—
P2	—	—	—	—	—	—	—	—	DDR_CKEB0	—	—
P3	—	VSS	—	—	—	—	—	—	—	—	—
P4	—	VSS	—	—	—	—	—	—	—	—	—
P5	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
P6	—	VSS	—	—	—	—	—	—	—	—	—
P7	—	—	—	—	—	—	—	—	DDR_DTEST	—	—
P8	—	—	—	—	—	—	—	—	DDR_ZN	—	—
P9	—	VDD08	—	—	—	—	—	—	—	—	—
P10	—	VDD08	—	—	—	—	—	—	—	—	—
P11	—	VSS	—	—	—	—	—	—	—	—	—
P12	—	VDD08	—	—	—	—	—	—	—	—	—
P13	—	VDD18_PLL4	—	—	—	—	—	—	—	—	—
P14	—	VDD08	—	—	—	—	—	—	—	—	—
P15	—	VSS	—	—	—	—	—	—	—	—	—
P16	—	VSS	—	—	—	—	—	—	—	—	—
P17	—	VDD33_X	—	—	—	—	—	—	—	—	—
P18	—	VDDP_18_X	—	—	—	—	—	—	—	—	—
P19	—	OTPVDD08	—	—	—	—	—	—	—	—	—
P20	—	OTPVDD18	—	—	—	—	—	—	—	—	—
P21	—	VSS	—	—	—	—	—	—	—	—	—
P22	—	VSS	—	—	—	—	—	—	—	—	—
P23	—	VSS	—	—	—	—	—	—	—	—	—
P24	—	VSS	—	—	—	—	—	—	—	—	—
R1	—	—	—	—	—	—	—	—	DDR_CKB_C	—	—
R2	—	—	—	—	—	—	—	—	DDR_CAB1	—	—
R3	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
R4	—	—	—	—	—	—	—	—	DDR_CAB2	—	—
R5	—	—	—	—	—	—	—	—	DDR_CAB5	—	—
R6	—	—	—	—	—	—	—	—	DDR_CSB0	—	—
R7	—	VSS	—	—	—	—	—	—	—	—	—
R8	—	VSS	—	—	—	—	—	—	—	—	—
R9	—	VDD08	—	—	—	—	—	—	—	—	—
R10	—	VDD08	—	—	—	—	—	—	—	—	—
R11	—	VSS	—	—	—	—	—	—	—	—	—
R12	—	VSS	—	—	—	—	—	—	—	—	—
R13	—	VSS_PLL4	—	—	—	—	—	—	—	—	—
R14	—	PCIE_VDD08A _L1	—	—	—	—	—	—	—	—	—
R15	—	PCIE_VDD08A _L0	—	—	—	—	—	—	—	—	—
R16	—	VSS	—	—	—	—	—	—	—	—	—
R17	—	VSS	—	—	—	—	—	—	—	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (13/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
R18	—	VSS	—	—	—	—	—	—	—	—	—
R19	—	VSS	—	—	—	—	—	—	—	—	—
R20	—	VSS	—	—	—	—	—	—	—	—	—
R21	—	AVSSIO_ADC0	—	—	—	—	—	—	—	—	—
R22	—	AVDDREF_ADC0	—	—	—	—	—	—	—	—	—
R23	—	—	—	—	—	—	—	—	AN002	—	—
R24	—	—	—	—	—	—	—	—	AN000	—	—
T1	—	—	—	—	—	—	—	—	DDR_CAB3	—	—
T2	—	VSS	—	—	—	—	—	—	—	—	—
T3	—	—	—	—	—	—	—	—	DDR_CAB4	—	—
T4	—	—	—	—	—	—	—	—	DDR_DQB0	—	—
T5	—	VSS	—	—	—	—	—	—	—	—	—
T6	—	—	—	—	—	—	—	—	DDR_CSB1	—	—
T7	—	VSS	—	—	—	—	—	—	—	—	—
T8	—	VSS	—	—	—	—	—	—	—	—	—
T9	—	VSS	—	—	—	—	—	—	—	—	—
T10	—	VSS_PLL1	—	—	—	—	—	—	—	—	—
T11	—	VDD18_PLL1	—	—	—	—	—	—	—	—	—
T12	—	VDD08_PLL1	—	—	—	—	—	—	—	—	—
T13	—	VDD08_PLL4	—	—	—	—	—	—	—	—	—
T14	—	PCIE_VDD08A_L1	—	—	—	—	—	—	—	—	—
T15	—	PCIE_VDD08A_L0	—	—	—	—	—	—	—	—	—
T16	—	PCIE_VDD18A_L1	—	—	—	—	—	—	—	—	—
T17	—	PCIE_VDD18A_L0	—	—	—	—	—	—	—	—	—
T18	—	VSS	—	—	—	—	—	—	—	—	—
T19	—	VSS	—	—	—	—	—	—	—	—	—
T20	—	AVDD_ADC0	—	—	—	—	—	—	—	—	—
T21	—	AVSSIO_ADC0	—	—	—	—	—	—	—	—	—
T22	—	AVDDIO_ADC0	—	—	—	—	—	—	—	—	—
T23	—	—	—	—	—	—	—	—	AN003	—	—
T24	—	—	—	—	—	—	—	—	AN001	—	—
U1	—	—	—	—	—	—	—	—	DDR_DQB2	—	—
U2	—	—	—	—	—	—	—	—	DDR_DQB1	—	—
U3	—	VSS	—	—	—	—	—	—	—	—	—
U4	—	—	—	—	—	—	—	—	DDR_DQB3	—	—
U5	—	—	—	—	—	—	—	—	DDR_DQSB_T0	—	—
U6	—	VSS	—	—	—	—	—	—	—	—	—
U7	—	VSS	—	—	—	—	—	—	—	—	—
U8	—	VSS	—	—	—	—	—	—	—	—	—
U9	—	VSS	—	—	—	—	—	—	—	—	—
U10	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
U11	—	VDD1833_4	—	—	—	—	—	—	—	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (14/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
U12	—	VSS	—	—	—	—	—	—	—	—	—
U13	—	VDDP_18_5	—	—	—	—	—	—	—	—	—
U14	—	VSS	—	—	—	—	—	—	—	—	—
U15	—	USB_USVDD18	—	—	—	—	—	—	—	—	—
U16	—	PCIE_VDD18A_L1	—	—	—	—	—	—	—	—	—
U17	—	PCIE_VDD18A_L0	—	—	—	—	—	—	—	—	—
U18	—	VSS	—	—	—	—	—	—	—	—	—
U19	—	VSS	—	—	—	—	—	—	—	—	—
U20	—	AVSS_ADC0	—	—	—	—	—	—	—	—	—
U21	—	AVDDIO_ADC1	—	—	—	—	—	—	—	—	—
U22	—	AVDDREF_ADC1	—	—	—	—	—	—	—	—	—
U23	—	—	—	—	—	—	—	—	AN100	—	—
U24	—	—	—	—	—	—	—	—	AN103	—	—
V1	—	VSS	—	—	—	—	—	—	—	—	—
V2	—	—	—	—	—	—	—	—	DDR_DQB4	—	—
V3	—	—	—	—	—	—	—	—	DDR_DQB7	—	—
V4	—	—	—	—	—	—	—	—	DDR_DMIB0	—	—
V5	—	—	—	—	—	—	—	—	DDR_DQSB_C0	—	—
V6	—	VSS	—	—	—	—	—	—	—	—	—
V7	VDD33	TRST#	—	—	—	—	—	—	—	—	—
V8	—	VDD33	—	—	—	—	—	—	—	—	—
V9	—	VDD33	—	—	—	—	—	—	—	—	—
V10	—	VDDP_18_4	—	—	—	—	—	—	—	—	—
V11	—	VDD1833_4	—	—	—	—	—	—	—	—	—
V12	—	VDDP_18_33	—	—	—	—	—	—	—	—	—
V13	—	VDD1833_5	—	—	—	—	—	—	—	—	—
V14	—	VSS	—	—	—	—	—	—	—	—	—
V15	—	USB_USVDD18	—	—	—	—	—	—	—	—	—
V16	—	USB_USVDD33	—	—	—	—	—	—	—	—	—
V17	—	USB_USVDD33	—	—	—	—	—	—	—	—	—
V18	—	VSS	—	—	—	—	—	—	—	—	—
V19	—	VSS	—	—	—	—	—	—	—	—	—
V20	—	AVSS_ADC1	—	—	—	—	—	—	—	—	—
V21	—	AVSSIO_ADC1	—	—	—	—	—	—	—	—	—
V22	—	AVSSIO_ADC1	—	—	—	—	—	—	—	—	—
V23	—	—	—	—	—	—	—	—	AN102	—	—
V24	—	—	—	—	—	—	—	—	AN101	—	—
W1	—	—	—	—	—	—	—	—	DDR_DQB6	—	—
W2	—	DDR_VDDQ	—	—	—	—	—	—	—	—	—
W3	—	—	—	—	—	—	—	—	DDR_DQB5	—	—
W4	—	VSS	—	—	—	—	—	—	—	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (15/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
W5	—	VSS	—	—	—	—	—	—	—	—	—
W6	—	VSS	—	—	—	—	—	—	—	—	—
W7	VDD1833_4	IRQ11	P06_5	—	GTETRGC	IIC_SDA1 / XSPI0_IO7	—	—	—	—	HDSL05_SEL1
W8	VDD1833_4	IRQ9	P06_3	—	GTETRGA	IIC_SDA0 / XSPI0_IO5	—	—	—	—	TST_OUT09 / HDSL05_SMPL
W9	VDD33	IRQ14	P03_4	D12	MTCLKB / MTIOC8D / GTIOC02_3B / GTADSM09_1 / CMTW1_TOC1 / RTCAT1HZ	IIC_SDA1	—	—	—	—	ENCIFOE02 / DEE02 / HDSL02_MISO2
W10	—	VSS	—	—	—	—	—	—	—	—	—
W11	VDD1833_5	IRQ6	P01_0	—	MTIOC3A / MTIOC1A / GTIOC00_4A / GTIOC00_2B	IIC_SCL1 / XSPI1_CKP	—	—	—	—	ENCIFDO00 / ENCIFDO04 / TXDE00 / TXDE04 / HDSL00_MISO2
W12	VDD33	IRQ1	P00_2	D2	MTIOC4A / GTIOC00_1A	ETH3_CRS	—	—	ADTRG0# / USB_EXICEN	—	SI00# / HDSL00_CLK1
W13	—	VDD1833_5	—	—	—	—	—	—	—	—	—
W14	—	USB_USDVDD	—	—	—	—	—	—	—	—	—
W15	—	USB_USDVDD	—	—	—	—	—	—	—	—	—
W16	—	VSS	—	—	—	—	—	—	—	—	—
W17	—	VSS	—	—	—	—	—	—	—	—	—
W18	—	PCIE_VDD18A_CMN	—	—	—	—	—	—	—	—	—
W19	—	VSS	—	—	—	—	—	—	—	—	—
W20	—	AVDD_ADC1	—	—	—	—	—	—	—	—	—
W21	—	AVSSIO_ADC2	—	—	—	—	—	—	—	—	—
W22	—	AVSSIO_ADC2	—	—	—	—	—	—	—	—	—
W23	—	—	—	—	—	—	—	—	AN206	—	—
W24	—	—	—	—	—	—	—	—	AN210	—	—
Y1	—	—	—	—	—	—	—	—	DDR_DQB8	—	—
Y2	—	VSS	—	—	—	—	—	—	—	—	—
Y3	—	—	—	—	—	—	—	—	DDR_DQB15	—	—
Y4	—	VSS	—	—	—	—	—	—	—	—	—
Y5	—	—	—	—	—	—	—	—	DDR_DQSB_T1	—	—
Y6	—	VSS	—	—	—	—	—	—	—	—	—
Y7	VDD1833_4	IRQ8	P06_2	—	—	IIC_SCL0 / XSPI0_IO4	—	—	—	—	DUEI09 / HDSL05_LINK
Y8	VDD1833_4	IRQ10	P06_4	—	GTETRGB	IIC_SCL1 / XSPI0_IO6	—	—	—	—	SI09# / HDSL05_CLK1
Y9	VDD33	—	P03_1	D9	MTIOC4B / MTIOC1B / GTIOC02_2A / GTADSM08_0 / CMTW1_TIC0	—	—	—	—	—	ENCIFDO02 / TXDE02 / HDSL02_MOSI1
Y10	VDD1833_5	IRQ10	P02_3	—	MTIOC6C / MTIOC1B / GTIOC01_4B	ETH3_COL / IIC_SCL0 / IIC_SCL2 / XSPI1_IO7	MDAT22	—	USB_OVRCUR	—	ENCIFDI01 / RXDE01 / HDSL01_MOSI2
Y11	VDD1833_5	IRQ11	P02_4	—	POE0#	IIC_SDA0	MDAT20	—	USB_EXICEN	MBX_HINT#	HDSL02_LINK

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (16/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
Y12	VDD1833_5	—	P01_2	—	MTIOC6B / MTIOC8B / GTIOC01_0A / GTIOC04_0A	XSPI1_CS1#	—	—	—	—	DUEI02 / HDSL01_LINK
Y13	—	VDD33	—	—	—	—	—	—	—	—	—
Y14	—	—	—	—	—	—	—	—	USB_VUBUSIN	—	—
Y15	—	—	—	—	—	—	—	—	USB_TXRTUNE	—	—
Y16	—	—	—	—	—	—	—	—	PCIE_REFCLK_N1	—	—
Y17	—	—	—	—	—	—	—	—	PCIE_REFCLK_P0	—	—
Y18	—	PCIE_VDD18A_CMN	—	—	—	—	—	—	—	—	—
Y19	—	VSS	—	—	—	—	—	—	—	—	—
Y20	—	AVDD_ADC2	—	—	—	—	—	—	—	—	—
Y21	—	AVDDIO_ADC2	—	—	—	—	—	—	—	—	—
Y22	—	—	—	—	—	—	—	—	AN209	—	—
Y23	—	—	—	—	—	—	—	—	AN208	—	—
Y24	—	—	—	—	—	—	—	—	AN202	—	—
AA1	—	—	—	—	—	—	—	—	DDR_DQB14	—	—
AA2	—	—	—	—	—	—	—	—	DDR_DQB9	—	—
AA3	—	—	—	—	—	—	—	—	DDR_DMIB1	—	—
AA4	—	—	—	—	—	—	—	—	DDR_DQB10	—	—
AA5	—	—	—	—	—	—	—	—	DDR_DQSB_C1	—	—
AA6	VDD33	BSCANP	—	—	—	—	—	—	—	—	—
AA7	VDD1833_4	IRQ3	P05_1	—	—	XSPI0_CKP	—	—	—	—	DUEI06 / HDSL04_SMPL
AA8	—	VSS	—	—	—	—	—	—	—	—	—
AA9	VDD33	IRQ13	P03_3	D11	MTCLKA / MTIOC8C / GTIOC02_3A / GTADSM09_0 / CMTW1_TIC1	IIC_SCL1	—	—	—	—	ENCIFCK02 / SCKE02 / HDSL02_SEL2
AA10	VDD1833_5	IRQ8	P02_1	—	MTCLKD / MTIOC0D / GTIOC01_3B	ETH3_RXER / IIC_SCL2 / XSPI1_IO5	MDAT21	—	—	—	ENCIFOE01 / DEE01 / HDSL01_SEL2
AA11	VDD1833_5	IRQ9	P02_2	—	MTIOC6A / MTIOC1A / GTIOC01_4A	ETH3_CRS / IIC_SDA2 / XSPI1_IO6	MCLK22	—	USB_VBUSEN	—	ENCIFDO01 / TXDE01 / HDSL01_MISO2
AA12	VDD1833_5	IRQ7	P02_0	—	MTCLKC / MTIOC0C / GTIOC01_3A	ETH3_TXER / IIC_SDA1 / XSPI1_IO4	MCLK21	—	—	—	ENCIFCK01 / SCKE01 / HDSL01_CLK2
AA13	VDD33	IRQ0	P00_1	D1	MTIOC3D / GTIOC00_0B	ETH3_RXER	—	—	USB_OVRCUR	—	TST_OUT00 / HDSL00_SMPL
AA14	—	—	—	—	—	—	—	—	USB_OTG_ID	—	—
AA15	—	VSS	—	—	—	—	—	—	—	—	—
AA16	—	—	—	—	—	—	—	—	PCIE_REFCLK_P1	—	—
AA17	—	—	—	—	—	—	—	—	PCIE_REFCLK_N0	—	—
AA18	—	VSS	—	—	—	—	—	—	—	—	—
AA19	—	VSS	—	—	—	—	—	—	—	—	—
AA20	—	AVSS_ADC2	—	—	—	—	—	—	—	—	—

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (17/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AA21	—	AVDDREF_ADC2	—	—	—	—	—	—	—	—	—
AA22	—	—	—	—	—	—	—	—	AN213	—	—
AA23	—	—	—	—	—	—	—	—	AN201	—	—
AA24	—	—	—	—	—	—	—	—	AN200	—	—
AB1	—	—	—	—	—	—	—	—	DDR_DQB12	—	—
AB2	—	VSS	—	—	—	—	—	—	—	—	—
AB3	—	—	—	—	—	—	—	—	DDR_DQB13	—	—
AB4	—	—	—	—	—	—	—	—	DDR_DQB11	—	—
AB5	—	VSS	—	—	—	—	—	—	—	—	—
AB6	VDD1833_4	IRQ4	P05_2	—	—	IIC_SCL2 / XSPI0_CKN	—	—	—	—	TST_OUT06 / HDSL04_CLK1
AB7	VDD1833_4	—	P06_1	—	—	XSPI0_IO3	—	—	—	—	SI08# / HDSL04_MOSI2
AB8	VDD1833_4	IRQ6	P05_4	—	—	IIC_SDA2 / XSPI0_CS1#	—	—	—	—	DUEI07 / HDSL04_MISO1
AB9	VDD33	IRQ12	P03_2	D10	MTIOC4D / MTIOC1A / GTIOC02_2B / GTADSM08_1 / CMTW1_TOC0	—	—	—	—	—	ENCIFDI02 / RXDE02 / HDSL02_CLK2
AB10	VDD33	—	P02_6	D6	MTIOC3D / MTIOC8B / GTIOC02_0B / GTADSM06_1 / CMTW0_TOC0	SD0_IOVS	MDAT00	—	—	—	HDSL02_CLK1 / POUTB
AB11	VDD1833_5	—	P01_1	—	MTIOC3C / MTIOC8A / GTIOC00_4B	XSPI1_CS0#	MCLK20	—	—	—	ENCIFDI00 / ENCIFDI04 / RXDE00 / RXDE04 / HDSL00_MOSI2
AB12	VDD1833_5	—	P01_7	—	MTIOC7D / MTIOC0B / GTIOC01_2B / GTIOC04_2B	XSPI1_IO3	—	—	—	—	SI03# / HDSL01_MOSI1
AB13	VDD33	SEI	P00_0	D0	MTIOC3B / GTIOC00_0A	ETH3_TXER	—	—	USB_VBUSEN	—	DUEI00 / HDSL00_LINK
AB14	—	VSS	—	—	—	—	—	—	—	—	—
AB15	—	VSS	—	—	—	—	—	—	—	—	—
AB16	—	VSS	—	—	—	—	—	—	—	—	—
AB17	—	VSS	—	—	—	—	—	—	—	—	—
AB18	—	VSS	—	—	—	—	—	—	—	—	—
AB19	—	VSS	—	—	—	—	—	—	—	—	—
AB20	—	VSS	—	—	—	—	—	—	—	—	—
AB21	—	VSS	—	—	—	—	—	—	—	—	—
AB22	—	—	—	—	—	—	—	—	AN203	—	—
AB23	—	AVSSIO_ADC2	—	—	—	—	—	—	—	—	—
AB24	—	—	—	—	—	—	—	—	AN212	—	—
AC1	VDD33	MDX	—	—	—	—	—	—	—	—	—
AC2	VDD33	IRQ8 / RSTOUT#	P08_5	—	GTETRGSA	IIC_SCL1 / SD1_PWEN	MCLK02	—	—	—	HDSL06_MISO2
AC3	VDD33	TDO	P08_4	—	—	—	—	—	—	—	HDSL06_SEL2
AC4	VDD33	RES#	—	—	—	—	—	—	—	—	—
AC5	VDD33	TCK	P08_3	—	—	—	—	—	—	—	SI10# / HDSL06_CLK2

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (18/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AC6	VDD1833_4	—	P06_0	—	—	XSPI0_IO2	—	—	—	—	TST_OUT08 / HDSL04_MISO2
AC7	VDD1833_4	—	P05_7	—	—	XSPI0_IO1	—	—	—	—	DUEI08 / HDSL04_SEL2
AC8	VDD1833_4	IRQ12	P06_7	—	POE4# / GTETRGD	GMAC1_MDC / IIC_SCL2	—	—	—	—	HDSL05_MISO1
AC9	VDD33	—	P02_7	D7	MTIOC4A / MTIC5U / GTIOC02_1A / GTADSM07_0 / CMTW0_TIC1	—	MCLK01	—	—	—	HDSL02_SEL1 / POUTZ
AC10	—	VSS	—	—	—	—	—	—	—	—	—
AC11	VDD1833_5	—	P01_5	—	MTIOC7C / MTIC5W / GTIOC01_1B / GTIOC04_1B	XSPI1_IO1	—	—	—	—	DUEI03 / HDSL01_SEL1
AC12	VDD1833_5	—	P01_3	—	MTIOC6D / MTIC5U / GTIOC01_0B / GTIOC04_0B	XSPI1_DS	—	—	—	—	TST_OUT02 / HDSL01_SMPL
AC13	VDD33	IRQ3	P00_4	D4	MTIOC4B / GTIOC00_2A	—	—	—	ADTRG2#	—	TST_OUT01 / HDSL00_MISO1
AC14	—	—	—	—	—	—	—	—	USB_QDP	—	—
AC15	—	VSS	—	—	—	—	—	—	—	—	—
AC16	—	—	—	—	—	—	—	—	PCIE_RXDN_L1	—	—
AC17	—	—	—	—	—	—	—	—	PCIE_RXDN_L0	—	—
AC18	—	VSS	—	—	—	—	—	—	—	—	—
AC19	—	—	—	—	—	—	—	—	PCIE_TXDN_L1	—	—
AC20	—	—	—	—	—	—	—	—	PCIE_TXDN_L0	—	—
AC21	—	VSS	—	—	—	—	—	—	—	—	—
AC22	—	—	—	—	—	—	—	—	AN211	—	—
AC23	—	—	—	—	—	—	—	—	AN204	—	—
AC24	—	—	—	—	—	—	—	—	AN207	—	—
AD1	—	VSS	—	—	—	—	—	—	—	—	—
AD2	VDD33	SEI / CKIO	P08_6	—	GTIOC08_3A / GTETRGSB	IIC_SDA1 / SD1_IOVS	MDAT02 / MCLK11	—	—	—	DUEI11 / HDSL06_MOSI2
AD3	VDD33	TMS	P08_1	—	—	—	—	—	—	—	DUEI10 / HDSL06_MISO1
AD4	VDD33	TDI	P08_2	—	—	—	—	—	—	—	TST_OUT10 / HDSL06_MOSI1
AD5	VDD1833_4	—	P05_6	—	—	XSPI0_IO0	—	—	—	—	SI07# / HDSL04_CLK2
AD6	VDD1833_4	—	P05_5	—	—	XSPI0_DS	—	—	—	—	TST_OUT07 / HDSL04_MOSI1
AD7	VDD1833_4	MDD	P06_6	—	—	XSPI0_RESET0#	—	—	—	—	—
AD8	VDD1833_4	IRQ5	P05_3	—	—	XSPI0_CS0#	—	—	—	—	SI06# / HDSL04_SEL1
AD9	VDD33	—	P03_0	D8	MTIOC4C / MTIC5V / GTIOC02_1B / GTADSM07_1 / CMTW0_TOC1	—	MDAT01	—	—	—	HDSL02_MISO1

表 1.21 機能別の端子一覧（RZ/N2H 576 ピン FCBGA） (19/19)

ピン番号	I/O ポート電源ドメイン	電源クロック、システム制御、割り込み	I/O ポート	バス、DMAC	タイマ (MTU3, POE3, GPT / POEG, CMTW, RTC)	通信 (SCI, IIC, GMAC, ESC, USB, CANFD, SPI, xSPI, SDHI)	DSMIF	LCDC	アナログ／高速 (DDRSS, ADC, USB, PCIE)	ホストインタフェース (SHOST, MBXSEM)	エンコーダ I/F (ENCIF, SCIE, ENDAT, HDSL, ENCOUT)
AD10	VDD33	—	P02_5	D5	MTIOC3B / MTIOC8A / GTIOC02_0A / GTADSM06_0 / CMTW0_TIC0	IIC_SCL0 / SD0_PWEN	MCLK00	—	—	—	HDSL02_SMPL / POUTA
AD11	VDD1833_5	—	P01_6	—	MTIOC7B / MTIOC0A / GTIOC01_2A / GTIOC04_2A	XSPI1_IO2	—	—	—	—	TST_OUT03 / HDSL01_MISO1
AD12	VDD1833_5	—	P01_4	—	MTIOC7A / MTIC5V / GTIOC01_1A / GTIOC04_1A	XSPI1_IO0	—	—	—	—	SI02# / HDSL01_CLK1
AD13	VDD33	IRQ2	P00_3	D3	MTIOC4C / GTIOC00_1B	ETH3_COL	—	—	ADTRG1#	—	DUEI01 / HDSL00_SEL1
AD14	—	—	—	—	—	—	—	—	USB_QDM	—	—
AD15	—	VSS	—	—	—	—	—	—	—	—	—
AD16	—	—	—	—	—	—	—	—	PCIE_RXDP_L1	—	—
AD17	—	—	—	—	—	—	—	—	PCIE_RXDP_L0	—	—
AD18	—	VSS	—	—	—	—	—	—	—	—	—
AD19	—	—	—	—	—	—	—	—	PCIE_TXDP_L1	—	—
AD20	—	—	—	—	—	—	—	—	PCIE_TXDP_L0	—	—
AD21	—	VSS	—	—	—	—	—	—	—	—	—
AD22	—	—	—	—	—	—	—	—	AN205	—	—
AD23	—	—	—	—	—	—	—	—	AN214	—	—
AD24	—	AVSSIO_ADC2	—	—	—	—	—	—	—	—	—

2. 電気的特性

特に説明がない限り、本 LSI の電気特性は以下の条件で定義されます。

条件：

- コア電圧
  VDD08 = VDD08_PLLn (n = 0～4) = DVDD08A_TSU = OTPVDD08 = USB_USDVDD = PCIE_VDD08A_Ln (n = 0, 1) = AVDD_ADCn (n = 0～2) = 0.76～0.84 V
- LPDDR4 入出力電圧
  DDR_VDDQ = 1.06～1.17 V
- 1.8 V 入出力電圧およびアナログ電圧
  VDD1833_n（n = 0～7、1.8 V モード）= VDDP_18_n (n = 0～7, 33, X) = VDD18_PLLn (n = 0～4) = AVDD18A_TSU = OTPVDD18 = USB_USVDD18 = PCIE_VDD18A_CMN = PCIE_VDD18A_L0 = PCIE_VDD18A_L1 = DDR_VAA = AVDDIO_ADCn (n = 0～2) = AVDDREF_ADCn (n = 0～2) = 1.71～1.89 V
- 3.3 V 入出力電圧およびアナログ電圧
  VDD33 = VDD1833_n（n = 0～7、3.3 V モード）= VDD33_X = USB_USVDD33 = 3.135～3.465 V
- グランド
  VSS = VSS_PLLn (n = 0～4) = AVSS_ADCn (n = 0～2) = AVSSIO_ADCn (n = 0～2) = 0 V
- 動作温度
  Tj = -40～+125℃

2.1 絶対最大定格

表 2.1 絶対最大定格 (1/2)

項目	シンボル	値	単位
電源電圧（3.3 V 入出力）	VDD33、 VDD1833_0～VDD1833_7（3.3 V モード）	-0.3～+3.8	V
電源電圧（1.8 V 入出力）	VDD1833_0～VDD1833_7（1.8 V モード）、 VDDP_18_33、 VDDP_18_0～VDDP_18_7	-0.3～+2.5	V
電源電圧（コア）	VDD08	-0.3～+1.2	V
入力電圧	Vin（3.3 V ロジック）	−0.3～VDD33/VDD1833_n（3.3 V モード）+ 0.3 または 3.8 の小さい方	V
入力電圧	Vin（1.8 V ロジック）	−0.3～VDD1833_n（1.8 V モード）+ 0.3 または 2.5 の小さい方	V
発振器電源電圧	VDD33_X	-0.3～+3.8	V
	VDDP_18_X	-0.3～+2.5	V
PLL 電源電圧	VDD18_PLL0～VDD18_PLL4	-0.3～+2.5	V
	VDD08_PLL0～VDD08_PLL4	-0.3～+1.2	V
TSU 電源電圧	AVDD18A_TSU	-0.3～+2.5	V
	DVDD08A_TSU	-0.3～+1.2	V
OTP 電源電圧	OTPVDD18	-0.3～+2.5	V
	OTPVDD08	-0.3～+1.2	V
USB 電源電圧	USB_USVDD33	-0.3～+3.8	V
	USB_USVDD18	-0.3～+2.5	V
	USB_USDVDD	-0.3～+1.2	V
PCI Express 電源電圧	PCIE_VDD18A_CMN, PCIE_VDD18A_L0, PCIE_VDD18A_L1	-0.3～+2.5	V
	PCIE_VDD08A_L0, PCIE_VDD08A_L1	-0.3～+1.2	V

表 2.1 絶対最大定格 (2/2)

項目	シンボル	値	単位
LPDDR4 電源電圧	DDR_VAA	-0.3～+2.5	V
	DDR_VDDQ	-0.3～+1.5	V
ADC12 電源電圧	AVDDIO_ADC0～AVDDIO_ADC2	-0.3～+2.5	V
	AVDD_ADC0～AVDD_ADC2	-0.3～+1.2	V
ADC12 アナログ入力電圧	VAN	−0.3～AVDDIO_ADCn + 0.3 または 2.5 の小さい方	V
ADC12 基準電圧	AVDDREF_ADC0～AVDDREF_ADC2	−0.3～AVDDIO_ADCn + 0.3 または 2.5 の小さい方	V
水晶振動子端子入力電圧	XTAL, EXTAL	-0.3～+ 2.5	V
動作温度（ジャンクション温度）	T_j	-40～+125	℃
保存温度	T_{stg}	-40～+125	℃

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、MCU の永久破壊となることがあります。

2.2 電源

表 2.2 電源 (1/2)

項目	シンボル	Min	Typ	Max	単位
電源電圧（3.3 V 入出力）	VDD33、 VDD1833_0～VDD1833_7（3.3 V モード）	3.135	3.3	3.465	V
電源電圧（1.8 V 入出力）	VDD1833_0～VDD1833_7（1.8 V モード）、 VDDP_18_33、 VDDP_18_0～VDDP_18_7	1.71	1.8	1.89	V
電源電圧（コア）	VDD08	0.76	0.8	0.84	V
グランド	VSS	—	0	—	V
発振器電源電圧	VDD33_X	3.135	3.3	3.465	V
	VDDP_18_X	1.71	1.8	1.89	V
PLL 電源電圧	VDD18_PLL0～VDD18_PLL4	1.71	1.8	1.89	V
	VDD08_PLL0～VDD08_PLL4	0.76	0.8	0.84	V
	VSS_PLL0～VSS_PLL4	—	0	—	V
TSU 電源電圧	AVDD18A_TSU	1.71	1.8	1.89	V
	DVDD08A_TSU	0.76	0.8	0.84	V
OTP 電源電圧	OTPVDD18	1.71	1.8	1.89	V
	OTPVDD08	0.76	0.8	0.84	V
USB 電源電圧	USB_USVDD33	3.135	3.3	3.465	V
	USB_USVDD18	1.71	1.8	1.89	V
	USB_USDVDD	0.76	0.8	0.84	V
PCI Express 電源電圧	PCIE_VDD18A_CMN, PCIE_VDD18A_L0, PCIE_VDD18A_L1	1.71	1.8	1.89	V
	PCIE_VDD08A_L0, PCIE_VDD08A_L1	0.76	0.8	0.84	V
LPDDR4 電源電圧	DDR_VAA	1.71	1.8	1.89	V
	DDR_VDDQ	1.06	1.1	1.17	V

表 2.2 電源 (2/2)

項目	シンボル	Min	Typ	Max	単位
ADC12 電源電圧	AVDDIO_ADC0～AVDDIO_ADC2	1.71	1.8	1.89	V
	AVDD_ADC0～AVDD_ADC2	0.76	0.8	0.84	V
	AVSSIO_ADC0～AVSSIO_ADC2	—	0	—	V
	AVSS_ADC0～AVSS_ADC2	—	0	—	V

2.3 電源投入／遮断シーケンス

電源投入／遮断シーケンスとタイミングを以下の図と表に示します。

電源投入では、最初に 0.8 V 電源（例：VDD08）を供給し、2 番目に 1.8 V 電源（例：VDD18 と AVDD）を供給し、3 番目に 1.1 V 電源を供給し、それから 3.3 V 電源（例：DDR_VDDQ と VDD33）を供給する必要があります。電源投入シーケンスは、100 ms 以内に完了する必要があります。リセット信号（例：RES#）は、電源投入中 Low レベルにしておく必要があります。

電源遮断では、まず先に 1.1 V 電源と 3.3 V 電源（例：DDR_VDDQ と VDD33）を遮断し、それから 0.8 V 電源と 1.8 V 電源（例：VDD08、VDD18、および AVDD）を遮断する必要があります。電源遮断シーケンスは、100 ms 以内に完了する必要があります。

電源投入時の各電源の立ち上がり時間は 40 µs より長くする必要があります。また、電源遮断時の各電源の立ち下がり時間は 10 µs より長くする必要があります。

電源電圧とリセット信号は、単調に立ち上がる必要があります。

電源電圧に負の電圧を印加しないでください。

リセット信号（すなわち：RES#）が High に駆動されているときは、EXTAL/XTAL または EXTCLKIN 端子に安定したクロックを供給しなければなりません。

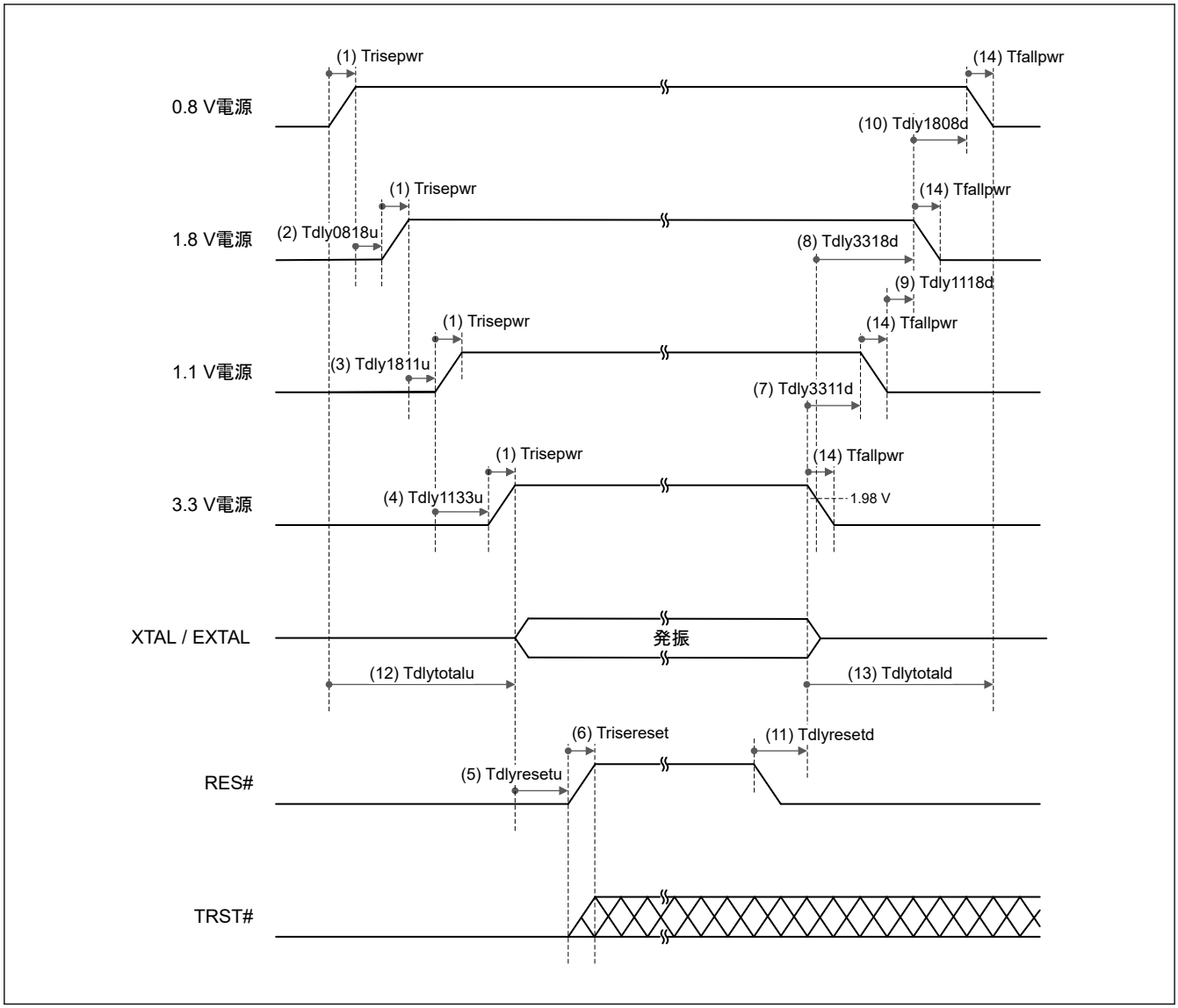


図 2.1 電源投入／遮断シーケンス

表 2.3 電源投入／遮断シーケンスタイミング (1/2)

No.	シンボル	説明	値		
			Min	Typ	Max
(1)	Trisepwr	電源電圧の立ち上がり時間	40 μs	—	30 ms
(2)	Tdly0818u	0.8 V 電源電圧の立ち上がり完了から、1.8 V 電源電圧の立ち上がり開始までの遅延時間	1 μs	—	100 ms
(3)	Tdly1811u	1.8 V 電源電圧の立ち上がり完了から、1.1 V 電源電圧の立ち上がり開始までの遅延時間	0	—	100 ms
(4)	Tdly1133u	1.1 V 電源電圧の立ち上がり開始から、3.3 V 電源電圧の立ち上がり開始までの遅延時間	0	—	100 ms
(5)	Tdlyresetu	3.3 V 電源電圧の立ち上がり完了から、RES#信号の立ち上がり開始までの遅延時間	10 ms	—	—
(6)	Triserest	RES#信号の立ち上がり時間	—	—	150 μs
(7)	Tdly3311d	3.3 V 電源電圧の立ち下がり開始から、1.1 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(8)	Tdly3318d	3.3 V 電源電圧が 1.98 V より低下した時点から、1.8 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms

表 2.3 電源投入／遮断シーケンスタイミング (2/2)

No.	シンボル	説明	値		
			Min	Typ	Max
(9)	Tdly1118d	1.1 V 電源電圧の立ち下がり完了から、1.8 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(10)	Tdly1808d	1.8 V 電源電圧の立ち下がり開始から、0.8 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(11)	Tdlyresetd	RES#信号の立ち下がり開始から、3.3 V 電源電圧の立ち下がり開始までの遅延時間	10 μs	—	—
(12)	Tdlytotalu	全ての電源電圧の起動時間	0	—	100 ms
(13)	Tdlytotald	全ての電源電圧の遮断時間	0	—	100 ms
(14)	Tfallpwr	電源電圧の立ち下がり時間	10 μs	—	30 ms

2.4 DC 特性

表 2.4 タイプ A 入出力バッファ（VDD33 ドメイン）の DC 特性

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V_{IH33}	—	VDD33 × 0.7	—	VDD33 + 0.3	V
入力 Low レベル電圧	V_{IL33}	—	-0.3	—	VDD33 × 0.3	V
ヒステリシス電圧	ΔV_{T33}	—	VDD33 × 0.08	—	—	V
出力 High レベル電圧	V_{OH33}	Low, IOH = −2 mA	VDD33 × 0.8	—	VDD33	V
		Middle, IOH = −4 mA	VDD33 × 0.8	—	VDD33	V
		High, IOH = −8 mA	VDD33 × 0.8	—	VDD33	V
		Ultra High, IOH = −12 mA	VDD33 × 0.8	—	VDD33	V
出力 Low レベル電圧	V_{OL33}	Low、IOL = 2 mA	0	—	VDD33 × 0.2	V
		Middle, IOL = 4 mA	0	—	VDD33 × 0.2	V
		High, IOL = 8 mA	0	—	VDD33 × 0.2	V
		Ultra High, IOL = 12 mA	0	—	VDD33 × 0.2	V
入力リーク電流	$\lvert I_{in} \rvert$	Vin = 0 V, Vin = VDD33	—	—	12	μA
スリーステートリーク電流（オフ状態）	$\lvert I_{TSI} \rvert$	Vin = 0 V, Vin = VDD33	—	—	12	μA
入力プルアップ抵抗の値	Rpu	Vin = 0 V	10	—	100	kΩ
入力プルダウン抵抗の値	Rpd	Vin = VDD33	10	—	100	kΩ
入力容量	Cin	全入出力端子および全入力端子	—	—	10	pF

表 2.5 タイプ B 入出力バッファ（VDD1833_n ドメイン）の DC 特性（3.3 V モード） (1/2)

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V_{IH33}	—	VDD1833 × 0.7	—	VDD1833 + 0.3	V
入力 Low レベル電圧	V_{IL33}	—	-0.3	—	VDD1833 × 0.3	V
ヒステリシス電圧	ΔV_{T33}	—	0.1	—	—	V
出力 High レベル電圧	V_{OH33}	Low, IOH = −8 mA	VDD1833 × 0.8	—	VDD1833	V
		Middle, IOH = −11 mA	VDD1833 × 0.8	—	VDD1833	V
		High, IOH = −14 mA	VDD1833 × 0.8	—	VDD1833	V
		Ultra High, IOH = −17 mA	VDD1833 × 0.8	—	VDD1833	V

表 2.5 タイプ B 入出力バッファ（VDD1833_n ドメイン）の DC 特性（3.3 V モード） (2/2)

項目	シンボル	条件	Min	Typ	Max	単位
出力 Low レベル電圧	V_{OL33}	Low、IOL = 8 mA	0	—	VDD1833 × 0.2	V
		Middle, IOL = 11 mA	0	—	VDD1833 × 0.2	V
		High, IOL = 14 mA	0	—	VDD1833 × 0.2	V
		Ultra High, IOL = 17 mA	0	—	VDD1833 × 0.2	V
入力リーク電流	$\|I_{in}\|$	Vin = 0 V, Vin = VDD1833	—	—	12	μA
スリーステートリーク電流（オフ状態）	$\|I_{TSI}\|$	Vin = 0 V, Vin = VDD1833	—	—	12	μA
入力プルアップ抵抗の値	Rpu	Vin = 0 V	18	—	72	kΩ
入力プルダウン抵抗の値	Rpd	Vin = VDD1833	24	—	87	kΩ
入力容量	Cin	全入出力端子および全入力端子	—	—	10	pF

表 2.6 タイプ B 入出力バッファ（VDD1833_n ドメイン）の DC 特性（1.8 V モード）

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V_{IH18}	—	VDD1833 × 0.7	—	VDD1833 + 0.3	V
入力 Low レベル電圧	V_{IL18}	—	-0.3	—	VDD1833 × 0.3	V
ヒステリシス電圧	ΔV_{T18}	—	0.1	—	—	V
出力 High レベル電圧	V_{OH18}	Low, IOH = −4 mA	VDD1833 × 0.8	—	VDD1833	V
		Middle, IOH = −5 mA	VDD1833 × 0.8	—	VDD1833	V
		High, IOH = −6 mA	VDD1833 × 0.8	—	VDD1833	V
		Ultra High, IOH = −7 mA	VDD1833 × 0.8	—	VDD1833	V
出力 Low レベル電圧	V_{OL18}	Low、IOL = 4 mA	0	—	VDD1833 × 0.2	V
		Middle, IOL = 5 mA	0	—	VDD1833 × 0.2	V
		High, IOL = 6 mA	0	—	VDD1833 × 0.2	V
		Ultra High, IOL = 7 mA	0	—	VDD1833 × 0.2	V
入力リーク電流	|Iin|	Vin = 0 V, Vin = VDD1833	—	—	12	μA
スリーステートリーク電流（オフ状態）	$\|I_{TSI}\|$	Vin = 0 V, Vin = VDD1833	—	—	12	μA
入力プルアップ抵抗の値	Rpu	Vin = 0 V	12	—	92	kΩ
入力プルダウン抵抗の値	Rpd	Vin = VDD1833	13	—	92	kΩ
入力容量	Cin	全入出力端子および全入力端子	—	—	10	pF

表 2.7 消費電流 (1/3)

項目	シンボル	条件	Min	Typ	Max	単位
通常動作	I_{VDD08}	Cortex-A55 クロック = 1.2 GHz、 Cortex-R52 クロック = 1.0 GHz、Tj ≦ 110℃	—	—	4600	mA
	I_{VDD33}	(注1)	—	50	—	mA
	$I_{VDD1833_0}$	(注1)	—	9	—	mA
	$I_{VDD1833_1}$	(注1)	—	9	—	mA
	$I_{VDD1833_2}$	(注1)	—	9	—	mA
	$I_{VDD1833_3}$	(注1)	—	9	—	mA
	$I_{VDD1833_4}$	(注1)	—	9	—	mA
	$I_{VDD1833_5}$	(注1)	—	9	—	mA
	$I_{VDD1833_6}$	(注1)	—	14	—	mA
	$I_{VDD1833_7}$	(注1)	—	9	—	mA
	$I_{VDDP_18_33}$	—	—	12	—	mA
	$I_{VDDP_18_0}$	—	—	2	—	mA
	$I_{VDDP_18_1}$	—	—	2	—	mA
	$I_{VDDP_18_2}$	—	—	2	—	mA
	$I_{VDDP_18_3}$	—	—	2	—	mA
	$I_{VDDP_18_4}$	—	—	2	—	mA
	$I_{VDDP_18_5}$	—	—	2	—	mA
	$I_{VDDP_18_6}$	—	—	2	—	mA
	$I_{VDDP_18_7}$	—	—	2	—	mA
	I_{VDD33_X}	—	—	1	—	mA
	$I_{VDDP_18_X}$	—	—	10	—	mA
	I_{VDD18_PLL0}	—	—	—	2.2	mA
	I_{VDD18_PLL1}	—	—	—	2.2	mA
	I_{VDD18_PLL2}	—	—	—	2.2	mA
	I_{VDD18_PLL3}	—	—	—	2.2	mA
	I_{VDD18_PLL4}	—	—	—	2.2	mA
	I_{VDD08_PLL0}	—	—	—	2.6	mA
	I_{VDD08_PLL1}	—	—	—	2.6	mA
	I_{VDD08_PLL2}	—	—	—	2.6	mA
	I_{VDD08_PLL3}	—	—	—	2.6	mA
	I_{VDD08_PLL4}	—	—	—	2.6	mA
	$I_{AVDD18A_TSU}$	—	—	—	1	mA
	$I_{DVDD08A_TSU}$	—	—	—	0.07	mA
	$I_{OTPVD18}$	—	—	—	18	mA
	$I_{OTPVDD08}$	—	—	—	1.4	mA
	$I_{USB_USVDD33}$	—	—	—	4.7	mA
	$I_{USB_USVDD18}$	—	—	—	23	mA
	I_{USB_USDVDD}	—	—	—	8.4	mA

表 2.7 消費電流 (2/3)

項目	シンボル	条件	Min	Typ	Max	単位
通常動作	$I_{PCIE_VDD18A_CMN}$	—	—	—	19	mA
	$I_{PCIE_VDD18A_L0}$	—	—	—	27	mA
	$I_{PCIE_VDD18A_L1}$	—	—	—	27	mA
	$I_{PCIE_VDD08A_L0}$	—	—	—	42	mA
	$I_{PCIE_VDD08A_L1}$	—	—	—	42	mA
	I_{DDR_VAA}	—	—	—	5	mA
	I_{DDR_VDDQ}	—	—	—	300	mA
	I_{AVDDIO_ADC0}	—	—	—	0.06	mA
	I_{AVDDIO_ADC1}	—	—	—	0.06	mA
	I_{AVDDIO_ADC2}	—	—	—	0.06	mA
	I_{AVDD_ADC0}	—	—	—	0.7	mA
	I_{AVDD_ADC1}	—	—	—	0.7	mA
	I_{AVDD_ADC2}	—	—	—	0.7	mA
低消費電力モード(注2)	I_{VDD08}	全モジュールが非アクティブ	—	105	—	mA
	I_{VDD33}	(注1)	—	5	—	mA
	$I_{VDD1833_0}$	(注1)	—	1	—	mA
	$I_{VDD1833_1}$	(注1)	—	1	—	mA
	$I_{VDD1833_2}$	(注1)	—	1	—	mA
	$I_{VDD1833_3}$	(注1)	—	1	—	mA
	$I_{VDD1833_4}$	(注1)	—	1	—	mA
	$I_{VDD1833_5}$	(注1)	—	1	—	mA
	$I_{VDD1833_6}$	(注1)	—	1	—	mA
	$I_{VDD1833_7}$	(注1)	—	1	—	mA
	$I_{VDDP_18_33}$	—	—	8	—	mA
	$I_{VDDP_18_0}$	—	—	1	—	mA
	$I_{VDDP_18_1}$	—	—	1	—	mA
	$I_{VDDP_18_2}$	—	—	1	—	mA
	$I_{VDDP_18_3}$	—	—	1	—	mA
	$I_{VDDP_18_4}$	—	—	1	—	mA
	$I_{VDDP_18_5}$	—	—	1	—	mA
	$I_{VDDP_18_6}$	—	—	1	—	mA
	$I_{VDDP_18_7}$	—	—	1	—	mA
	I_{VDD33_X}	—	—	1	—	mA
	$I_{VDDP_18_X}$	—	—	10	—	mA
	I_{VDD18_PLL0}	—	—	2	—	μA
	I_{VDD18_PLL1}	—	—	2.2	—	mA
	I_{VDD18_PLL2}	—	—	2	—	μA
	I_{VDD18_PLL3}	—	—	2	—	μA

表 2.7 消費電流 (3/3)

項目	シンボル	条件	Min	Typ	Max	単位
低消費電力モード(注2)	I_{VDD18_PLL4}	—	—	2.2	—	mA
	I_{VDD08_PLL0}	—	—	9	—	μA
	I_{VDD08_PLL1}	—	—	1.6	—	mA
	I_{VDD08_PLL2}	—	—	9	—	μA
	I_{VDD08_PLL3}	—	—	9	—	μA
	I_{VDD08_PLL4}	—	—	1.6	—	mA
	$I_{AVDD18A_TSU}$	—	—	11	—	μA
	$I_{DVDD08A_TSU}$	—	—	13	—	μA
	$I_{OTPVD18}$	—	—	28	—	μA
	$I_{OTPVDD08}$	—	—	63	—	μA
	$I_{USB_USVDD33}$	—	—	54	—	μA
	$I_{USB_USVDD18}$	—	—	18	—	μA
	I_{USB_USDVDD}	—	—	1	—	μA
	$I_{PCIE_VDD18A_CMN}$	—	—	0.9	—	mA
	$I_{PCIE_VDD18A_L0}$	—	—	0.05	—	mA
	$I_{PCIE_VDD18A_L1}$	—	—	0.05	—	mA
	$I_{PCIE_VDD08A_L0}$	—	—	1.3	—	mA
	$I_{PCIE_VDD08A_L1}$	—	—	1.3	—	mA
	I_{DDR_VAA}	—	—	0.2	—	mA
	I_{DDR_VDDQ}	—	—	0.2	—	mA
	I_{AVDDIO_ADC0}	—	—	0.3	—	μA
	I_{AVDDIO_ADC1}	—	—	0.3	—	μA
	I_{AVDDIO_ADC2}	—	—	0.3	—	μA
	I_{AVDD_ADC0}	—	—	3	—	μA
	I_{AVDD_ADC1}	—	—	3	—	μA
	I_{AVDD_ADC2}	—	—	3	—	μA

注. ここに示す値は参考値です。実際の動作電流はシステムに大きく依存します。（例えば、I/O 負荷やトグル周波数による鈍った波形など。）必ずシステム上でこれら電流値を測定してください。

注 1. IO 消費電流 (I_{VDD33}, $I_{VDD1833_n\ (n = 0 \sim 7)}$) は、50 mA 以下である必要があります。（表 2.8 の ΣIOH を参照）

注 2. 設定可能なモジュールはすべて停止または最低クロック周波数設定のスタンバイモードとし、すべての入出力ポートのプルアップおよびプルダウンまたは動作なし、および室温での測定とします。

表 2.8 出力許容電流 (1/2)

項目	シンボル	条件		Min	Typ	Max	単位
出力 Low レベル許容電流（端子ごとの最大値）	IOL	全出力端子	Low	—	—	2.5	mA
			Middle	—	—	5.0	
			High	—	—	9.0	
			Ultra High	—	—	11.8	
出力 Low レベル許容電流（総和）	ΣIOL	全出力端子の総和		—	—	50	mA

表 2.8 出力許容電流 (2/2)

項目	シンボル	条件		Min	Typ	Max	単位
出力 High レベル許容電流 （端子ごとの最大値）	IOH	全出力端子	Low	—	—	2.5	mA
			Middle	—	—	5.0	
			High	—	—	9.0	
			Ultra High	—	—	11.8	
出力 High レベル許容電流（総和）	ΣIOH	全出力端子の総和		—	—	50	mA

表 2.9 熱抵抗値（参考）

項目	シンボル	パッケージ	Max	単位
熱抵抗	Θja	729 ピン FCBGA（23 mm × 23 mm、0.8 mm ピッチ）	10.9	℃/W
		576 ピン FCBGA（21 mm × 21 mm、0.8 mm ピッチ）	11.2	℃/W
	Ψjt	729 ピン FCBGA（23 mm × 23 mm、0.8 mm ピッチ）	0.02	℃/W
		576 ピン FCBGA（21 mm × 21 mm、0.8 mm ピッチ）	0.02	℃/W

2.5 AC 特性

表 2.10 動作周波数

項目		シンボル	Min	Max	単位
動作周波数	Cortex-A55 コアクロック (CA55CnCLK, n = 0～3)	f	600	1200	MHz
	Cortex-A55 SCU クロック (CA55SCLK)		500	1000	
	Cortex-R52 コアクロック (CR52CnCLK, n = 0, 1)		500	1000	
	周辺モジュールクロック AH (PCLKAH)		400		
	周辺モジュールクロック AM (PCLKAM)		200		
	周辺モジュールクロック AL (PCLKAL)		100		
	周辺モジュールクロック H (PCLKH)		250		
	周辺モジュールクロック M (PCLKM)		125		
	周辺モジュールクロック L (PCLKL)		62.5		
	SCIn 用周辺モジュールクロック (PCLKSCIn, n = 0～5)		75	125	
	SCIEn 用周辺モジュールクロック (PCLKSCIEn, n = 0～11)		75	125	
	SPIn 用周辺モジュールクロック (PCLKSPIn, n = 0～3)		75	125	
	xSPI シリアルクロック (XSPI_CLKn, n = 0, 1)		12.5	133	
	LCDC クロック		5	100	
	DDR コントローラ DFI クロック (DFICLK)		800		
	外部バスクロック出力 (CKIO)		31.25	125	
	イーサネット PHY 基準クロック (ETHn_REFCLK, n = 0～3)		25		
	イーサネット PHY 基準クロック (RMIIn_REFCLK, n = 0～3)		50		

AC 特性は、表 2.11 に示す I/O 設定（DRCTLm レジスタ設定）の条件で定義されます。

表 2.11 I/O 設定（DRCTLm レジスタ設定）の条件

モジュール		信号	I/O の種類	電圧	DRCTLm レジスタ		
					DRVn	SRn	SMTn
バス、DMAC		CKIO	—	3.3 V	高	高速	—
		上記以外	タイプ A	3.3 V	中	高速	無効
			タイプ B	3.3 V	低	高速	無効
MTU3, GPT, IIC, CANFD, DSMIF, ENCIF, ENDAT, HDSL		全信号	タイプ A	3.3 V	中	低速	無効
			タイプ B	3.3 V	低	低速	無効
SCI, SCIE, SPI		全信号	—	3.3 V	高	高速	無効
xSPI (n = 0, 1; m = 0, 1)		XSPIn_CKP, XSPIn_CKN, XSPIn_IO[7:0], XSPIn_CSm#, XSPIn_DS	—	1.8 V	高	高速	無効
			—	3.3 V	高	高速	有効
		上記以外	—	—	低	低速	無効
イーサネットインタフェース (n = 0～3, m = 0～2)		ETHn_TXCLK	—	1.8 V/3.3 V	超高	高速	無効
		ETHn_TXD[3:0], ETHn_TXEN	—	1.8 V (RGMII)	超高	高速	—
			—	3.3 V (RMII)	高	高速	—
			—	3.3 V (MII)	中	高速	—
		ETHn_TXER	—	3.3 V (MII)	中	高速	—
		ETHn_RXCLK, ETHn_RXD[3:0], ETHn_RXDV	—	1.8 V/3.3 V	—	—	無効
		ETHn_RXER, ETHn_COL, ETHn_CRS	—	3.3 V	—	—	無効
		ETHn_REFCLK	—	1.8 V/3.3 V	中	高速	—
		RMIIn_REFCLK	—	1.8 V/3.3 V	高	高速	—
		GMACm_MDC, GMACm_MDIO, ETHSW_MDC, ETHSW_MDIO, ESC_MDC, ESC_MDIO	—	1.8 V/3.3 V	中	低速	無効
		上記以外	—	3.3 V	中	低速	無効
SHOSTIF, MBXSEM		HSPI_CK, HSPI_CS#, HSPI_IO[7:0]	—	3.3 V	高	高速	無効
		HSPI_INT#, MBX_HINT#	タイプ A	3.3 V	中	低速	—
			タイプ B	3.3 V	低	低速	—
LCDC		全信号	—	3.3 V	超高	高速	—
SDHI (n = 0, 1)	SDR104, SDR50, HS200	SDn_CLK	—	1.8 V	超高	高速	—
		上記以外	—	1.8 V	高	高速	無効
	DDR50、高速 DDR	全信号	—	1.8 V/3 .3 V	高	高速	無効
	上記以外	SDn_CLK	—	1.8 V/3 .3 V	高	高速	—
		上記以外	—	1.8 V/3 .3 V	中	高速	無効
デバッグインタフェース		TDO, TMS	—	3.3 V	高	高速	無効
		TCK, TDI	—	3.3 V	—	—	有効
GPIO		1.8 V または 3.3 V 選択可能ドメイン (VDD1833_n (n = 0～7)) の全信号	—	1.8 V/3.3 V	任意	任意	任意
		3.3 V 固定ドメイン (VDD33) の全信号	—	3.3 V	任意	任意	任意
上記以外		全信号	—	3.3 V	低	低速	無効

2.5.1 クロックタイミング

2.5.1.1 CKIO 端子出力タイミング

表 2.12 CKIO 端子出力タイミング

項目	シンボル	条件		Min	Typ	Max	単位
CKIO 端子出力サイクル時間	t_{CKcyc}	図 2.2		8(注1)	—	32	ns
CKIO 端子出力 High レベルパルス幅	t_{CKH}			t_{CKcyc} / 2 - t_{CKr}	—	—	ns
CKIO 端子出力 Low レベルパルス幅	t_{CKL}			t_{CKcyc} / 2 - t_{CKf}	—	—	ns
CKIO 端子出力立ち上がり時間 1	t_{CKr}	V_{OH33} = VDD33 – 0.5 V, V_{OL33} = 0.4 V	C = 30 pF	—	—	4.0	ns
			C = 15 pF	—	—	3.5	ns
CKIO 端子出力立ち下がり時間 1	t_{CKf}	V_{OH33} = VDD33 – 0.5 V, V_{OL33} = 0.4 V	C = 30 pF	—	—	4.0	ns
			C = 15 pF	—	—	3.5	ns
CKIO 端子出力立ち上がり時間 2	t_{CKr}	V_{OH33} = 2.0 V, V_{OL33} = 0.8 V	C = 30 pF	—	—	2.3	ns
			C = 15 pF	—	—	1.5	ns
CKIO 端子出力立ち下がり時間 2	t_{CKf}	V_{OH33} = 2.0 V, V_{OL33} = 0.8 V	C = 30 pF	—	—	2.3	ns
			C = 15 pF	—	—	1.5	ns

注 1. 条件は、C = 15 pF。C = 30 pF の場合、最小値 (Min) は 12。

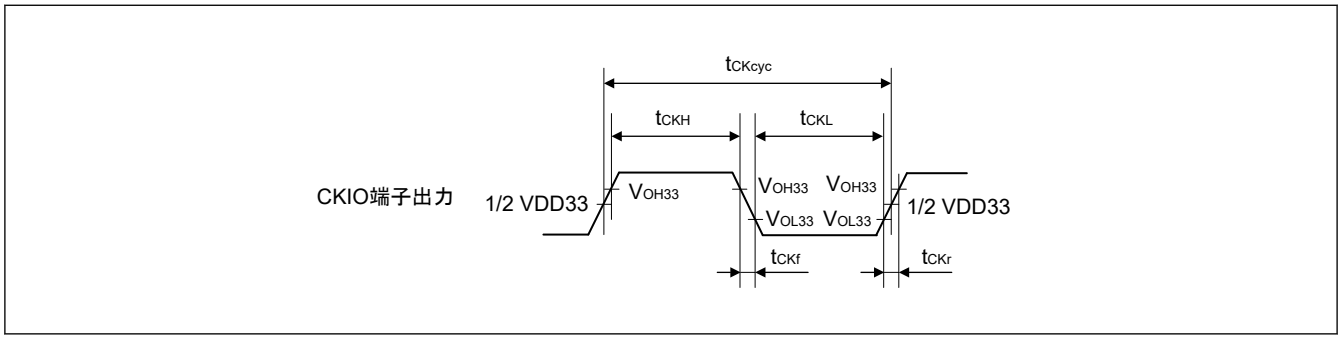


図 2.2 CKIO 端子出力タイミング

2.5.1.2 イーサネット PHY 基準クロック出力タイミング

条件：

C = 30 pF (ETHn_REFCLK)

C = 20 pF (RMIIn_REFCLK)

表 2.13 イーサネット PHY 基準クロック出力タイミング

項目	シンボル	条件	Min	Typ	Max	単位
ETHn_REFCLK サイクルタイム	t_{CK}	図 2.3	40	—	—	ns
ETHn_REFCLK 周波数	—		25.00 ± 50 ppm			MHz
ETHn_REFCLK デューティ	—		45	—	55	%
ETHn_REFCLK 立ち上がり／立ち下がり時間	t_{CKr} / t_{CKf}		0.5	—	4.0	ns
RMIIn_REFCLK サイクルタイム	t_{CK}		20	—	—	ns
RMIIn_REFCLK 周波数	—		50.00 ± 50 ppm			MHz
RMIIn_REFCLK デューティ	—		45	—	55	%
RMIIn_REFCLK 立ち上がり／立ち下がり時間	t_{CKr} / t_{CKf}		0.5	—	3.5	ns

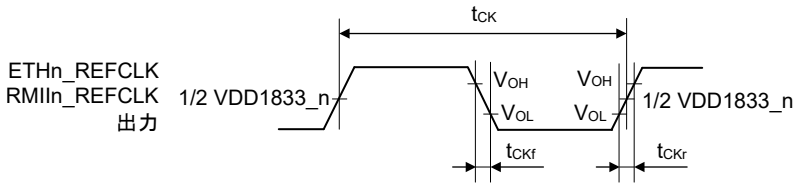


図 2.3 イーサネット PHY 基準クロック出力タイミング

2.5.1.3 EXTCLKIN 外部クロック入力

表 2.14 EXTCLKIN クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
EXTCLKIN 外部クロック周波数	$f_{EXTCLKIN}$	—	25.00 ± 50 ppm			MHz
		EtherCAT 使用中	25.00 ± 25 ppm			MHz
EXTCLKIN デューティ	$r_{EXTCLKIN}$	—	±5%			—
EXTCLKIN 立ち上がり時間	$t_{rEXTCLKIN}$	—	0	—	5	ns
EXTCLKIN 立ち下がり時間	$t_{fEXTCLKIN}$	—	0	—	5	ns

注. XTALSEL と EXTAL は Low にする必要があります。XTAL は解放にしてください。
注. 水晶振動子を接続する場合（すなわち EXTA/XTAL クロックを使用時）は、EXTCLKIN を Low にして、XTALSEL を High にする必要があります。

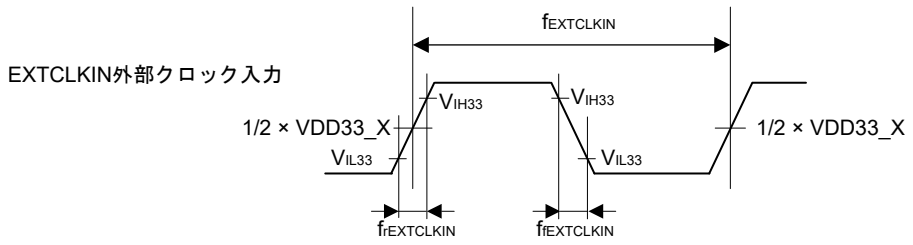


図 2.4 EXTCLKIN 外部クロック入力タイミング

2.5.1.4 EXTAL/XTAL クロックタイミング

表 2.15 EXTAL/XTAL クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
EXTAL/XTAL クロック周波数(注1)	f_{XTAL}	—	25.00 ± 50 ppm			MHz
		EtherCAT 使用中	25.00 ± 25 ppm			MHz

注. XTALSEL は High にして、EXTCLKIN は Low にする必要があります。
注. 外部発振器を使用する場合、必ず XTAL を開放とし、XTALSEL と EXTAL を Low にしてください。
注 1. EXTAL/XTAL クロック（例：水晶振動子）を使用する場合、発振器の製造元に発振器の発振評価を依頼してください。発振安定待ち時間については、発振器の製造元の評価結果を参照してください。

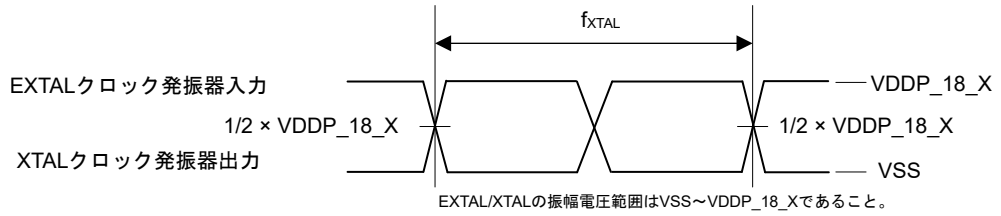


図 2.5 EXTAL クロック発振器入力と XTAL クロック発振器出力のタイミング

2.5.1.5 LOCO クロックタイミング

表 2.16 LOCO クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
LOCO クロックサイクル時間	t_{Lcyc}	—	0.83	1	1.25	μs
LOCO クロック発振周波数	t_{LOCO}	—	0.8	1	1.2	MHz
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	—	5	μs

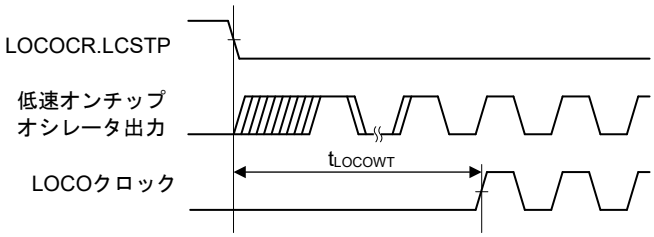


図 2.6 LOCO クロック発振開始タイミング

2.5.2 リセット、割り込み、およびモードタイミング

表 2.17 リセット、割り込み、およびモードタイミング

項目		シンボル	条件	Min(注1)	Typ	Max	単位
RES#パルス幅	電源投入時	$t_{dlyreset}$	図 2.7	10	—	—	ms
	上記以外	$t_{dlyreset2}$		1	—	—	ms
RES#立ち上がり時間		$t_{risereset}$		—	—	150	μs
TRST#パルス幅	電源投入時	$t_{dlyreset}$		10	—	—	ms
	上記以外	$t_{dlyreset2}$		1	—	—	ms
TRST#立ち上がり時間		$t_{risereset}$		—	—	150	μs
SEI パルス幅		t_{SEIW}	図 2.8	t_{PHcyc} × 2	—	—	ns
IRQ パルス幅		t_{IRQW}	図 2.9	t_{PHcyc} × 2	—	—	ns
モードホールド時間（RES#に対して）	電源投入時	t_{MDH}	図 2.10	250	—	—	ns

注 1. t_{PHcyc}：PCLKH サイクル

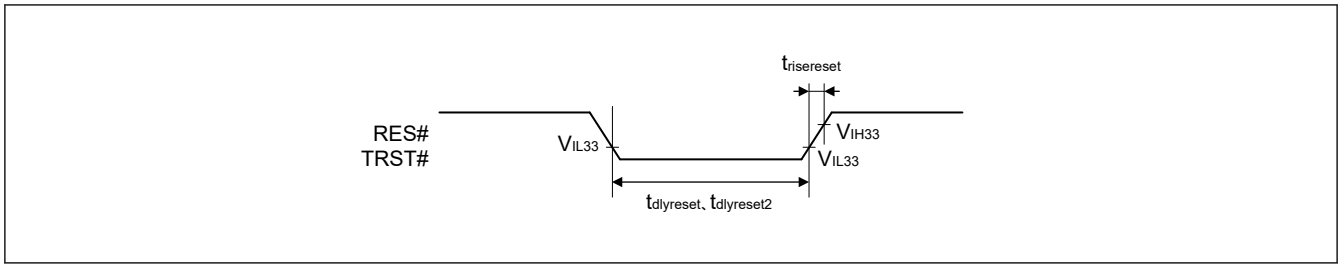


図 2.7 リセット入力タイミング

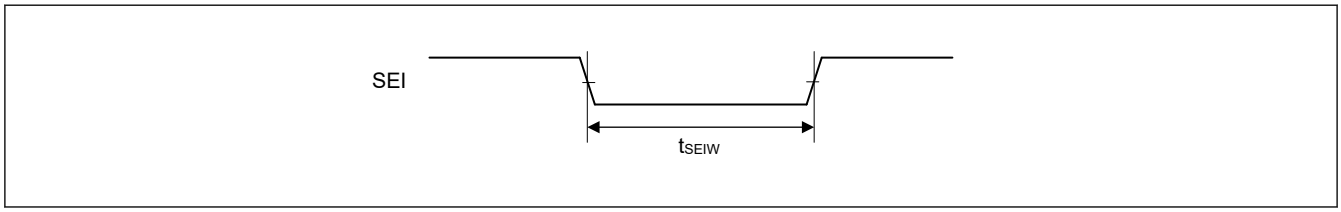


図 2.8 SEI 割り込み入力タイミング

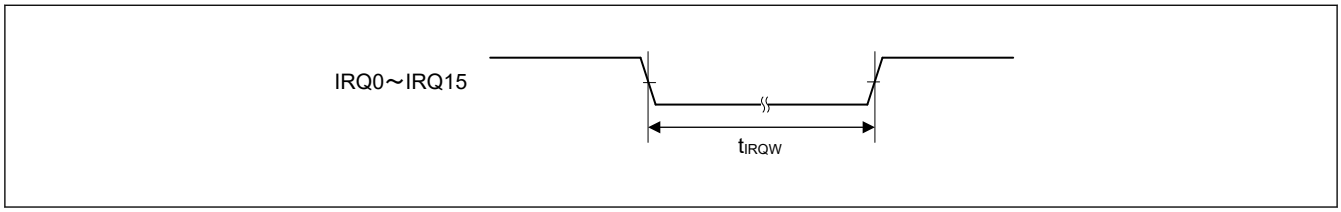


図 2.9 IRQ 割り込み入力タイミング

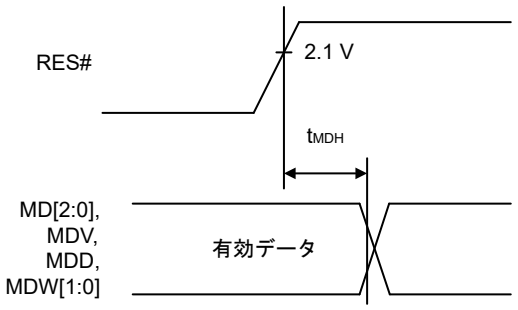


図 2.10 モード入力タイミング

2.5.3 バスタイミング

表 2.18 バスタイミング (1/2)

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF (CKIO)、30 pF（その他）、$T_j$min = -40℃

項目	シンボル	CKIO = 1/tCKcyc（最高 83.3 MHz）		単位	参照図
		Min	Max		
アドレス遅延時間 1	t_{AD1}	0	8	ns	図 2.11～図 2.18
アドレス遅延時間 2	t_{AD2}	1/2t_{CKcyc}	1/2t_{CKcyc} + 8	ns	図 2.18
アドレスセットアップ時間	t_{AS}	0	—	ns	図 2.11～図 2.14、図 2.18
チップイネーブルセットアップ時間	t_{CS}	0	—	ns	図 2.11～図 2.14、図 2.18
アドレスホールド時間	t_{AH}	0	—	ns	図 2.11～図 2.14
BS 遅延時間	t_{BSD}	—	8	ns	図 2.11～図 2.18
CSn#遅延時間 1	t_{CSD1}	0	8	ns	図 2.11～図 2.18
リード／ライト遅延時間 1	t_{RWD1}	0	8	ns	図 2.11～図 2.18
リードストローブ遅延時間	t_{RSD}	1/2t_{CKcyc}	1/2t_{CKcyc} + 8	ns	図 2.11～図 2.18
リードデータセットアップ時間 1	t_{RDS1}	1/2t_{CKcyc} + 4	—	ns	図 2.11～図 2.17
リードデータセットアップ時間 3	t_{RDS3}	1/2t_{CKcyc} + 4	—	ns	図 2.18
リードデータホールド時間 1	t_{RDH1}	0	—	ns	図 2.11～図 2.17
リードデータホールド時間 3	t_{RDH3}	0	—	ns	図 2.18
ライトイネーブル遅延時間 1	t_{WED1}	1/2t_{CKcyc}	1/2t_{CKcyc} + 8	ns	図 2.11～図 2.16
ライトイネーブル遅延時間 2	t_{WED2}	—	8	ns	図 2.17
ライトデータ遅延時間 1	t_{WDD1}	—	8	ns	図 2.11～図 2.17
ライトデータホールド時間 1	t_{WDH1}	0	—	ns	図 2.11～図 2.17
ライトデータホールド時間 4	t_{WDH4}	0	—	ns	図 2.11～図 2.15
WAIT#セットアップ時間	t_{WTS}	1/2t_{CKcyc} + 3.5	—	ns	図 2.12～図 2.18
WAIT#ホールド時間	t_{WTH}	1/2t_{CKcyc}	—	ns	図 2.12～図 2.18
AH#遅延時間	t_{AHD}	1/2t_{CKcyc}	1/2t_{CKcyc} + 8	ns	図 2.15
マルチプレクスアドレス遅延時間	t_{MAD}	—	8	ns	図 2.15
マルチプレクスアドレスホールド時間	t_{MAH}	0	—	ns	図 2.15

表 2.18 バスタイミング (2/2)

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF (CKIO)、30 pF（その他）、$T_j$min = -40℃

項目	シンボル	CKIO = 1/tCKcyc（最高 83.3 MHz）		単位	参照図
		Min	Max		
AH#アドレスセットアップ時間	t_{AVVH}	1/2t_{CKcyc} − 2	—	ns	図 2.15
DACK/TEND 遅延時間	t_{DACD}	「2.5.4. DMAC タイミング」を参照してください。		ns	図 2.11～図 2.18

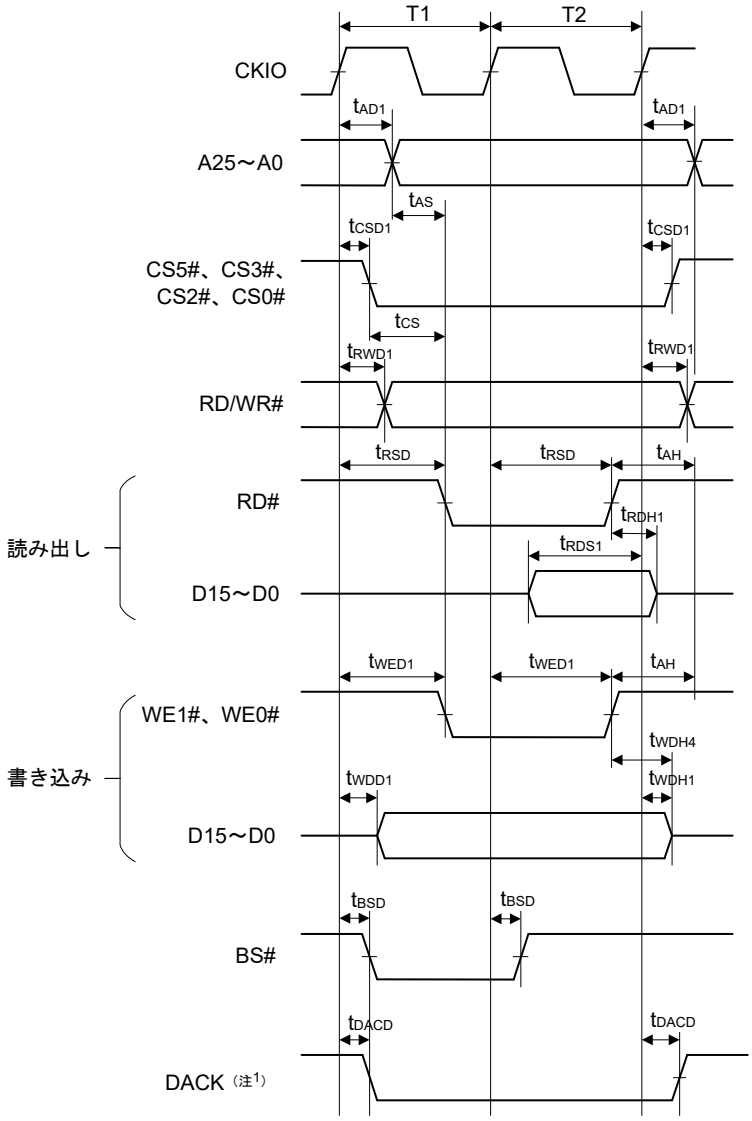
注. 遅延時間、セットアップ時間、ホールド時間の記述にある 1/2t_{CKcyc} は、クロック立ち上がりエッジから 1/2 サイクル、すなわちクロック立ち下がりの基準を示します。

表 2.19 バスタイミング

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 15 pF (CKIO)、30 pF（その他）、$T_j$min = -40℃

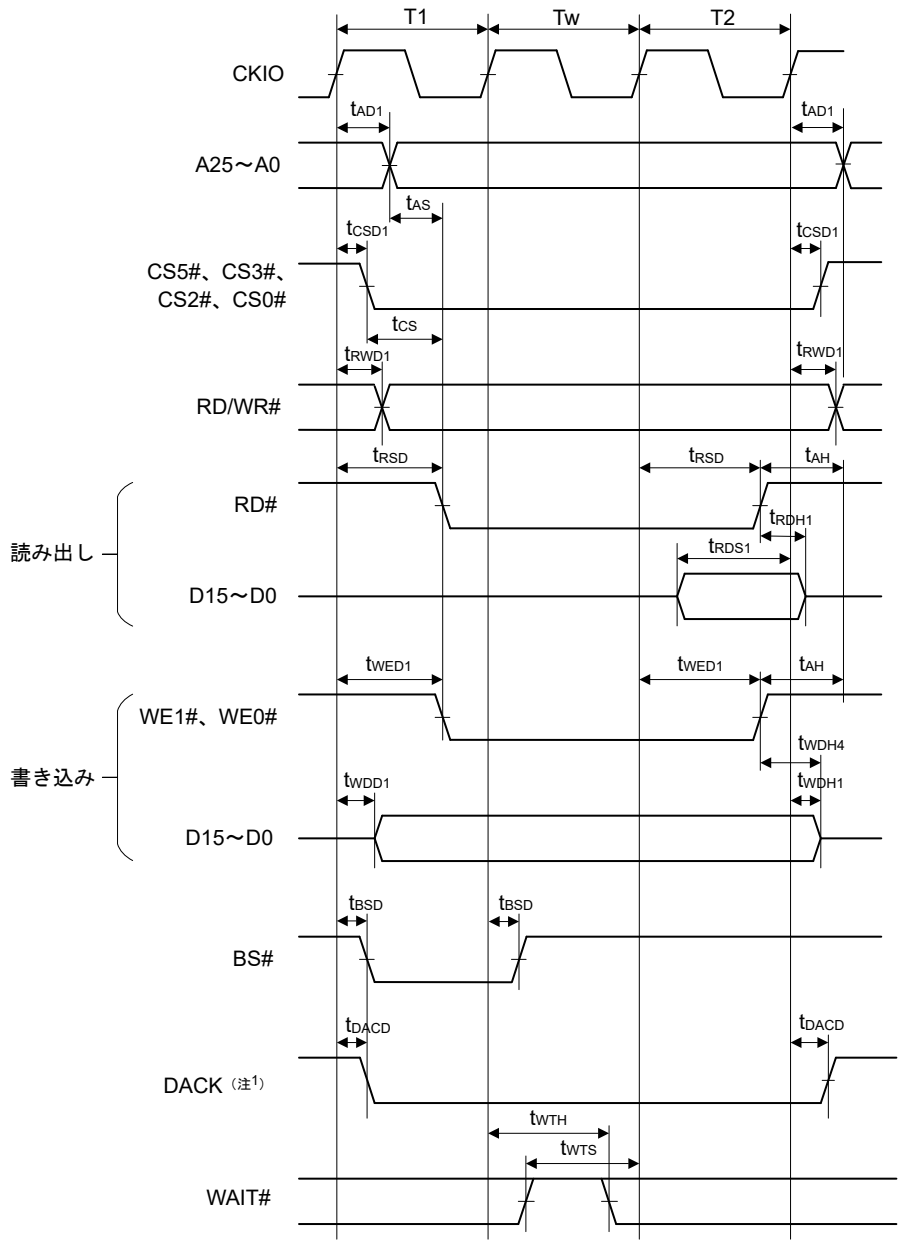
項目	シンボル	CKIO = 1/tCKcyc（最高 125 MHz）		単位	参照図
		Min	Max		
アドレス遅延時間 1	t_{AD1}	0	6	ns	図 2.11～図 2.18
アドレス遅延時間 2	t_{AD2}	1/2t_{CKcyc}	1/2t_{CKcyc} + 6	ns	図 2.18
アドレスセットアップ時間	t_{AS}	0	—	ns	図 2.11～図 2.14、図 2.18
チップイネーブルセットアップ時間	t_{CS}	0	—	ns	図 2.11～図 2.14、図 2.18
アドレスホールド時間	t_{AH}	0	—	ns	図 2.11～図 2.14
BS 遅延時間	t_{BSD}	—	6	ns	図 2.11～図 2.18
CSn#遅延時間 1	t_{CSD1}	0	6	ns	図 2.11～図 2.18
リード／ライト遅延時間 1	t_{RWD1}	0	6	ns	図 2.11～図 2.18
リードストローブ遅延時間	t_{RSD}	1/2t_{CKcyc}	1/2t_{CKcyc} + 6	ns	図 2.11～図 2.18
リードデータセットアップ時間 1	t_{RDS1}	1/2t_{CKcyc} + 3.5	—	ns	図 2.11～図 2.17
リードデータセットアップ時間 3	t_{RDS3}	1/2t_{CKcyc} + 3.5	—	ns	図 2.18
リードデータホールド時間 1	t_{RDH1}	0	—	ns	図 2.11～図 2.17
リードデータホールド時間 3	t_{RDH3}	0	—	ns	図 2.18
ライトイネーブル遅延時間 1	t_{WED1}	1/2t_{CKcyc}	1/2t_{CKcyc} + 6	ns	図 2.11～図 2.16
ライトイネーブル遅延時間 2	t_{WED2}	—	6	ns	図 2.17
ライトデータ遅延時間 1	t_{WDD1}	—	6	ns	図 2.11～図 2.17
ライトデータホールド時間 1	t_{WDH1}	0	—	ns	図 2.11～図 2.17
ライトデータホールド時間 4	t_{WDH4}	0	—	ns	図 2.11～図 2.15
WAIT#セットアップ時間	t_{WTS}	1/2t_{CKcyc} + 3.5	—	ns	図 2.12～図 2.18
WAIT#ホールド時間	t_{WTH}	1/2t_{CKcyc}	—	ns	図 2.12～図 2.18
AH#遅延時間	t_{AHD}	1/2t_{CKcyc}	1/2t_{CKcyc} + 6	ns	図 2.15
マルチプレクスアドレス遅延時間	t_{MAD}	—	6	ns	図 2.15
マルチプレクスアドレスホールド時間	t_{MAH}	0	—	ns	図 2.15
AH#アドレスセットアップ時間	t_{AVVH}	1/2t_{CKcyc} − 2	—	ns	図 2.15
DACK/TEND 遅延時間	t_{DACD}	「2.5.4. DMAC タイミング」を参照してください。		ns	図 2.11～図 2.18

注. 遅延時間、セットアップ時間、ホールド時間の記述にある $1/2t_{CKcyc}$ は、クロック立ち上がりエッジから 1/2 サイクル、すなわちクロック立ち下がりの基準を示します。



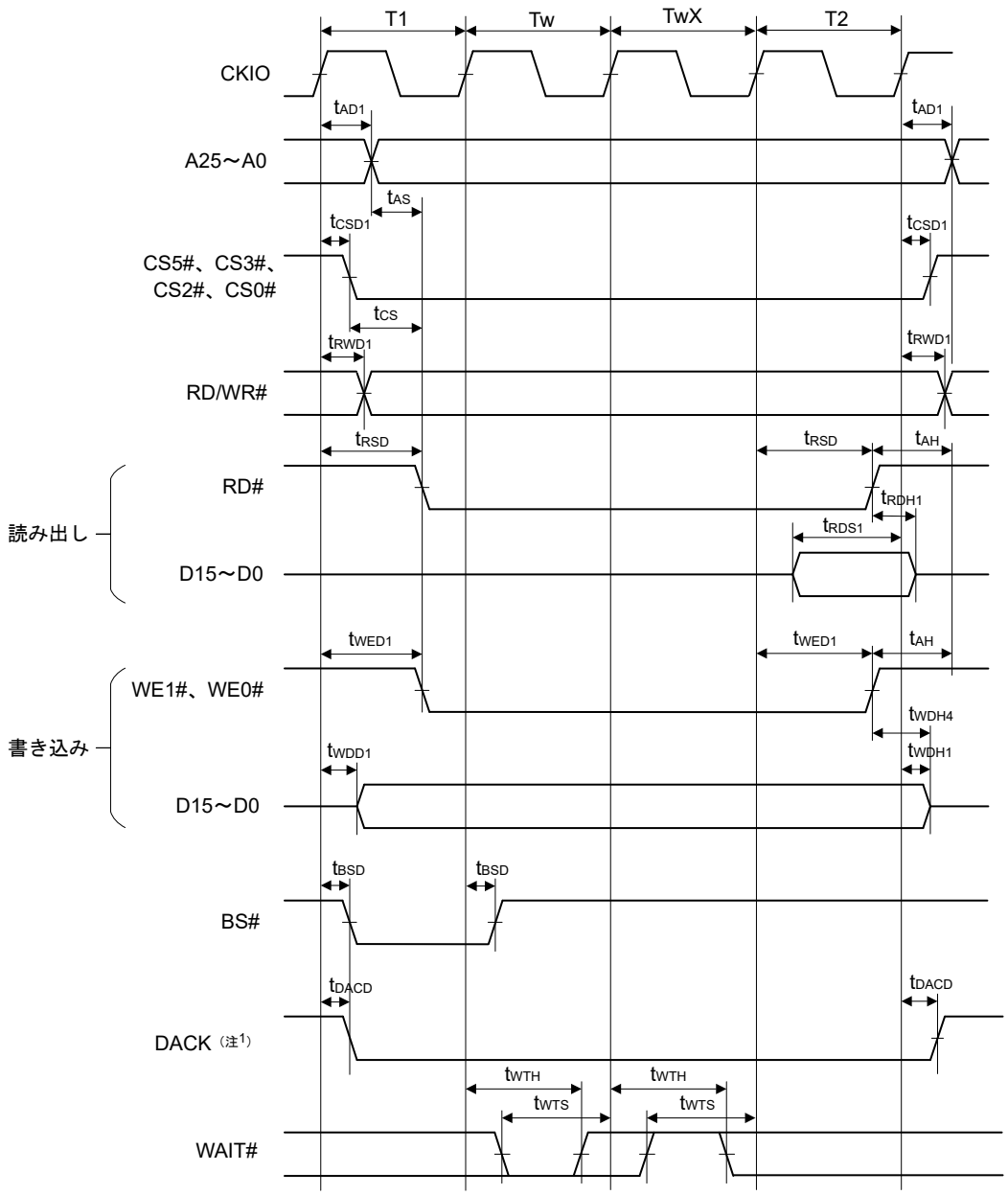
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.11 SRAM インタフェース基本バスサイクル（ウェイトなし）



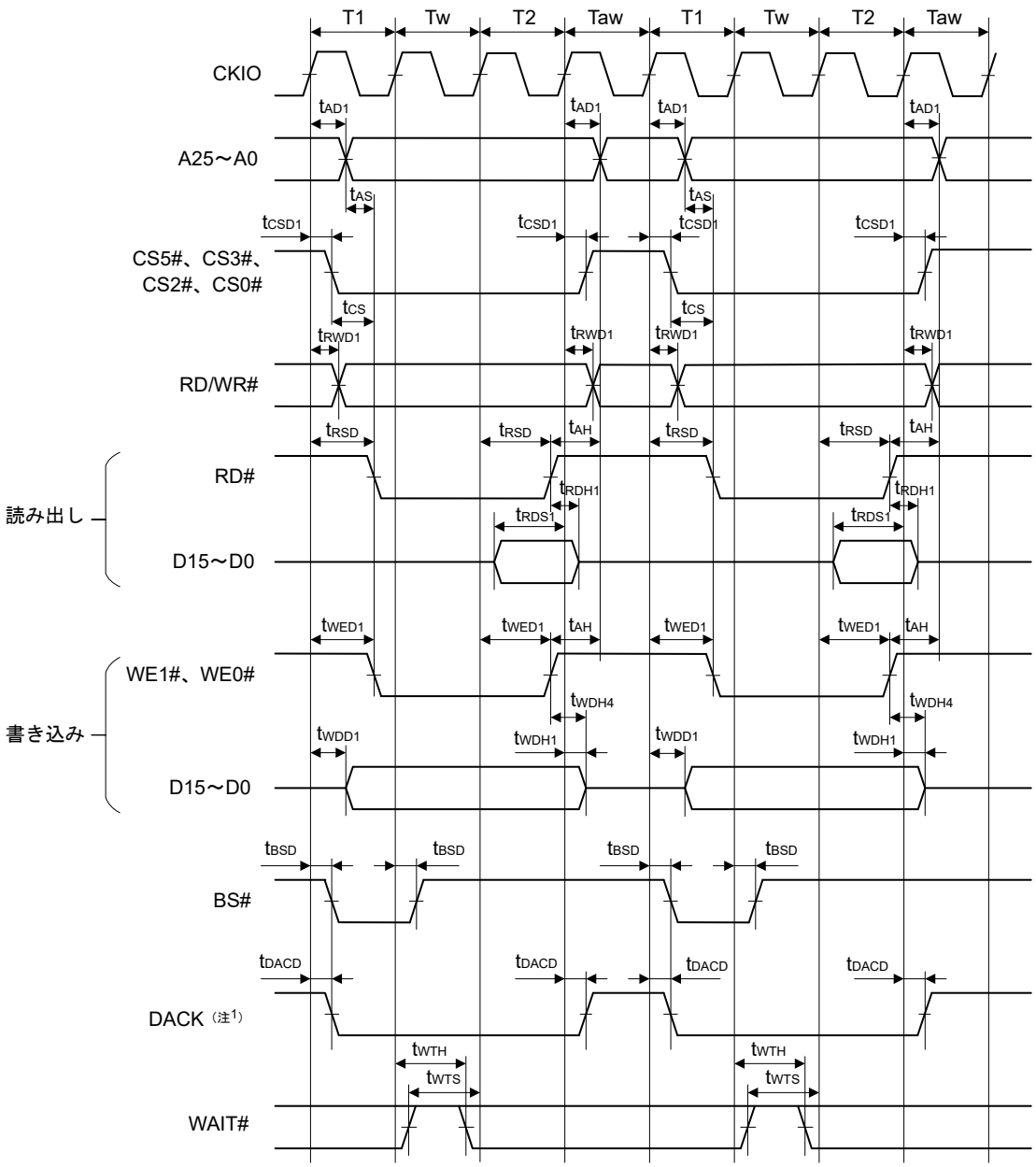
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.12 SRAM インタフェース基本バスサイクル（ソフトウェアウェイト 1）



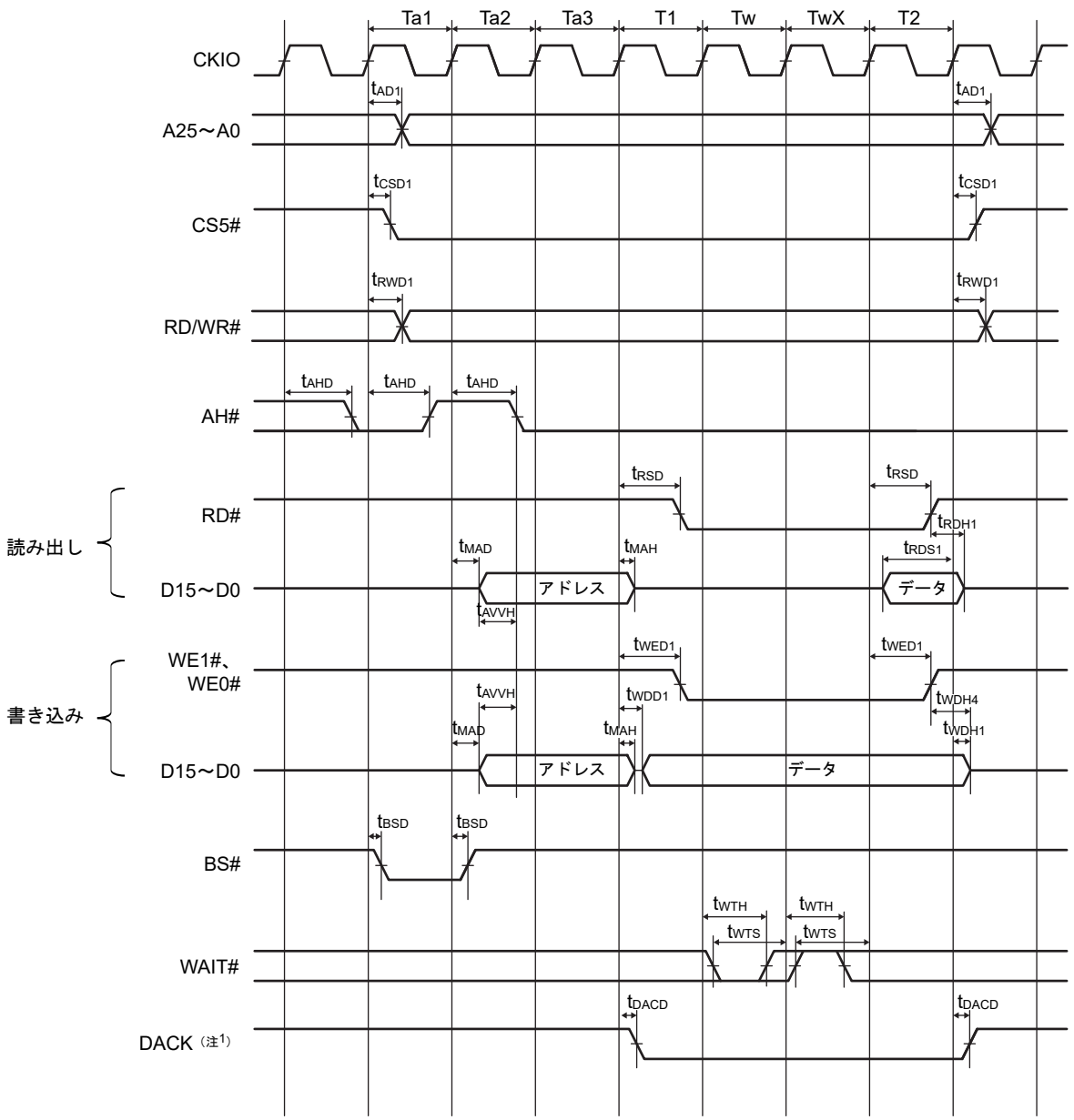
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.13 SRAM インタフェース基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト 1 を挿入）



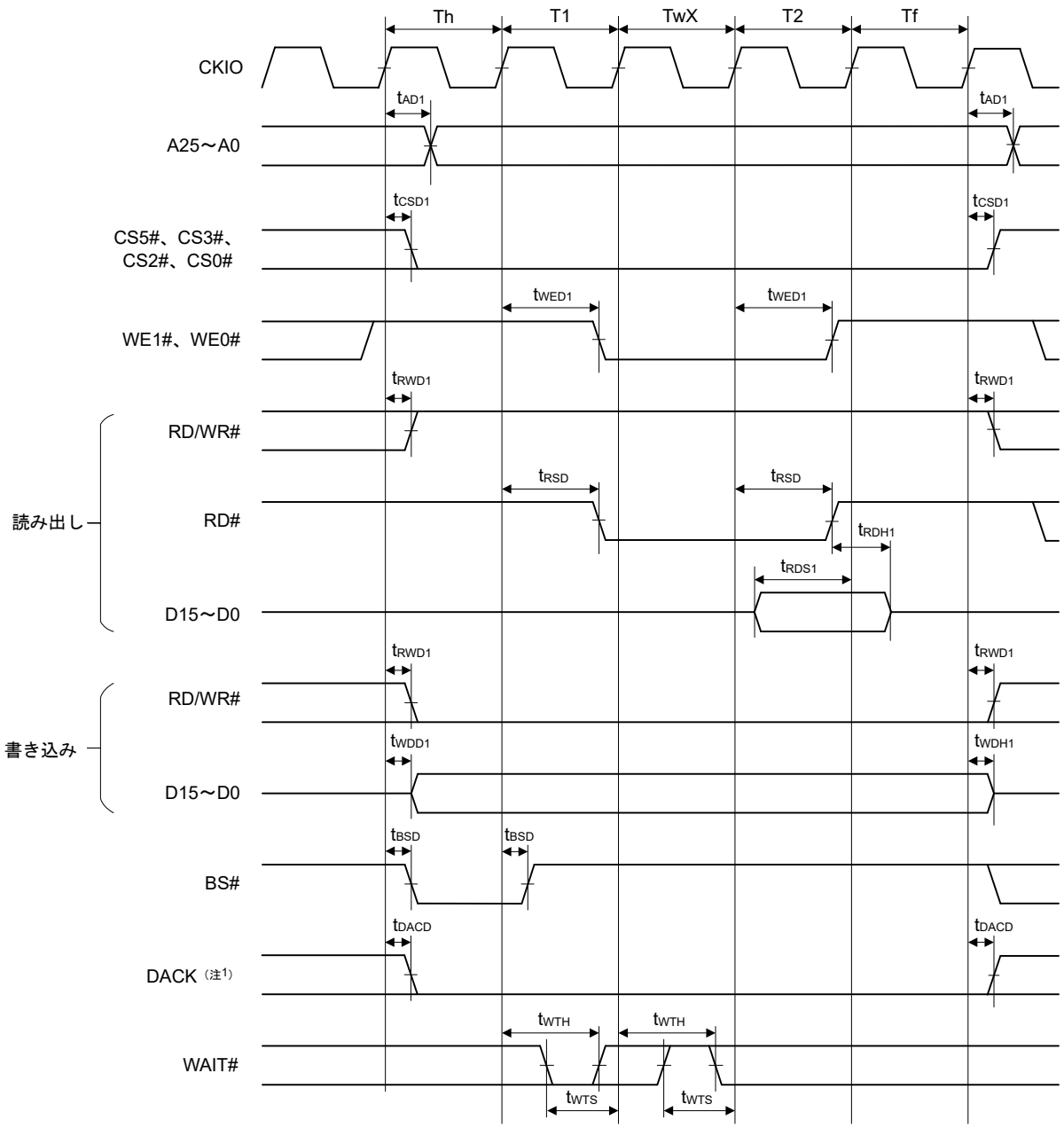
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.14 SRAM インタフェース基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト有効 (WM = 0)、アイドルサイクルなし）



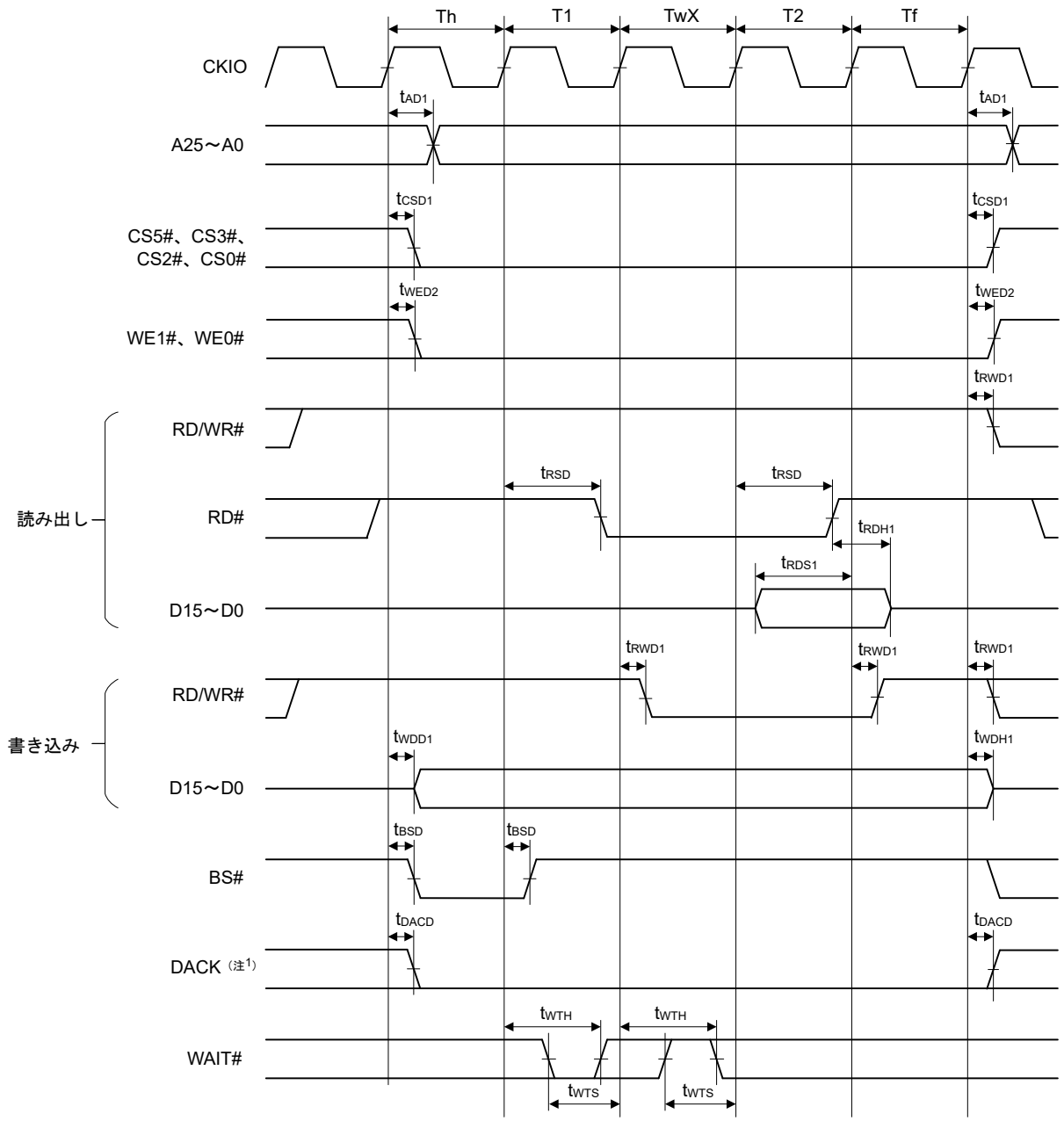
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.15 MPX-I/O インタフェースバスサイクル（アドレスサイクル 3、ソフトウェアウェイト 1、外部ウェイト 1 を挿入）



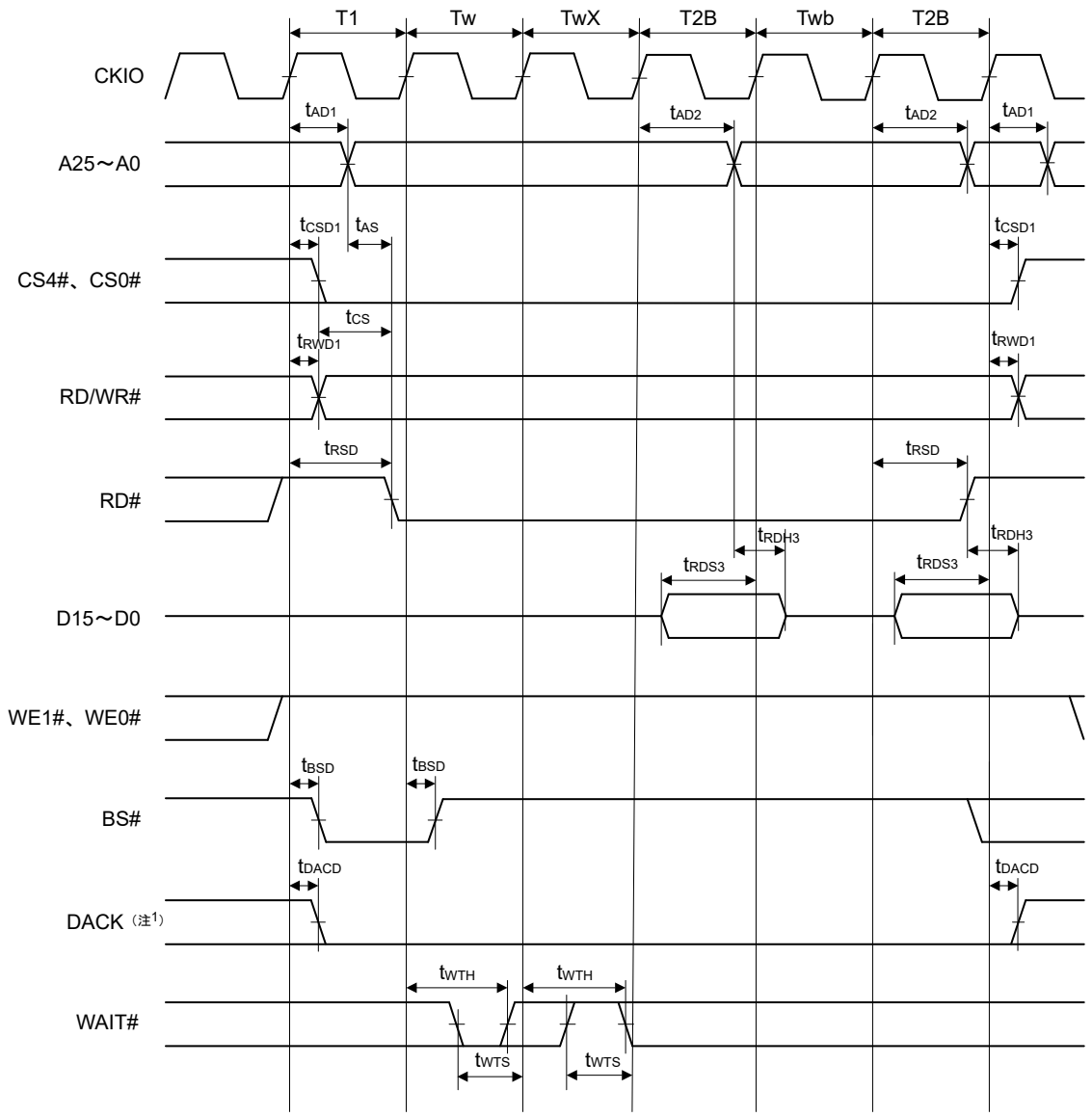
注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.16 バイト選択付き SRAM バスサイクル（SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 0（ライトサイクル UB/LB 制御））



注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.17 バイト選択付き SRAM バスサイクル（SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 1（ライトサイクル WE 制御））



注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.18 バースト ROM リードサイクル（ソフトウェアウェイト 1、非同期外部ウェイト 1 を挿入、バーストウェイト 1、2）

2.5.4 DMAC タイミング

表 2.20 DMAC タイミング

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF (CKIO)、30 pF（その他）、$T_j$min = -40℃

項目		シンボル	Min(注1)	Max	単位	参照図
DMAC	DREQ パルス幅	t_{DRQW}	t_{PLcyc} × 2	—	ns	図 2.19
	DACK および TEND の遅延時間	t_{DACD}	0	8	ns	図 2.20

注 1. t_{PLcyc}：PCLKL サイクル

表 2.21 DMAC タイミング

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 15 pF (CKIO)、30 pF（その他）、$T_j$min = -40℃

項目		シンボル	Min(注1)	Max	単位	参照図
DMAC	DREQ パルス幅	t_{DRQW}	t_{PLcyc} × 2	—	ns	図 2.19
	DACK および TEND の遅延時間	t_{DACD}	0	6	ns	図 2.20

注 1. t_{PLcyc}：PCLKL サイクル

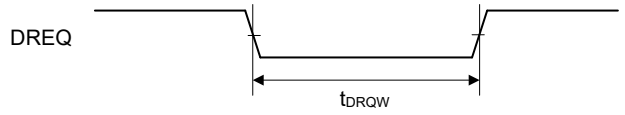


図 2.19 DREQ 入力タイミング

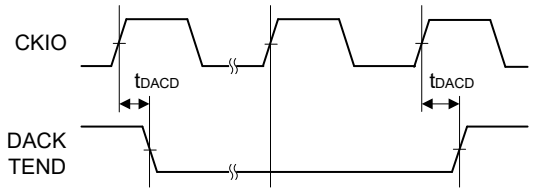


図 2.20 DACK および TEND の出力タイミング

2.5.5 内蔵周辺モジュールタイミング

2.5.5.1 I/O ポートタイミング

表 2.22 I/O ポートタイミング

項目		シンボル	Min	Max	単位(注1)	参照図
I/O ポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PLcyc}	図 2.21

注 1. t_{PLcyc}：PCLKL サイクル

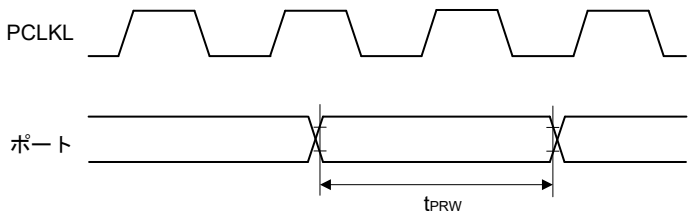


図 2.21 I/O ポート入力タイミング

2.5.5.2 CMTW タイミング

表 2.23 CMTW タイミング

項目			シンボル	Min	Max	単位(注1)	参照図
CMTW	インプットキャプチャ入力パルス幅	片エッジ設定	$t_{CMTWICW}$	1.5	—	t_{PLcyc}	図 2.22
		両エッジ設定		2.5	—		

注 1. t_{PLcyc}：PCLKL サイクル

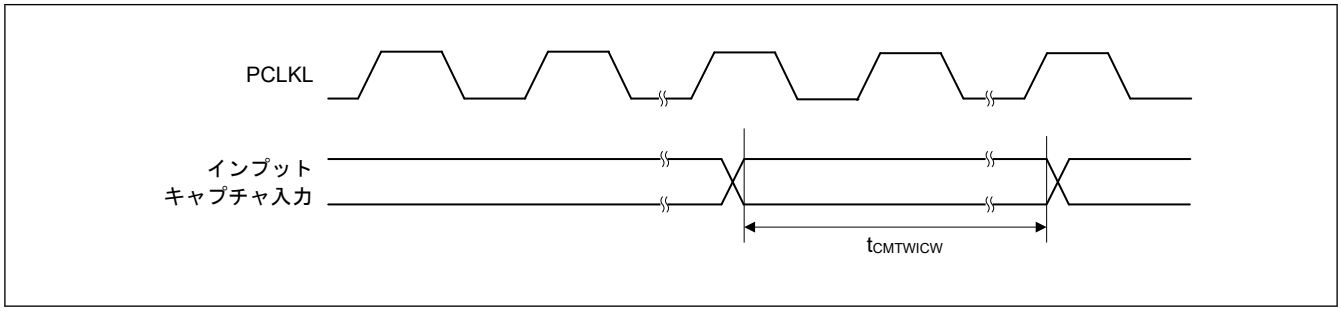


図 2.22 CMTW インプットキャプチャ入力タイミング

2.5.5.3 MTU3 タイミング

表 2.24 MTU3 タイミング

項目			シンボル	Min	Max	単位(注1)	参照図
MTU3	インプットキャプチャ入力パルス幅	片エッジ設定	t_{MTICW}	2.5	—	t_{PHcyc}	図 2.23
		両エッジ設定		3.5	—		
	タイマクロックパルス幅	片エッジ設定	t_{MTCKWH}、t_{MTCKWL}	2.5	—	t_{PHcyc}	図 2.24
		両エッジ設定		3.5	—		
		位相計数モード		3.5	—		

注 1. t_{PHcyc}：PCLKH サイクル

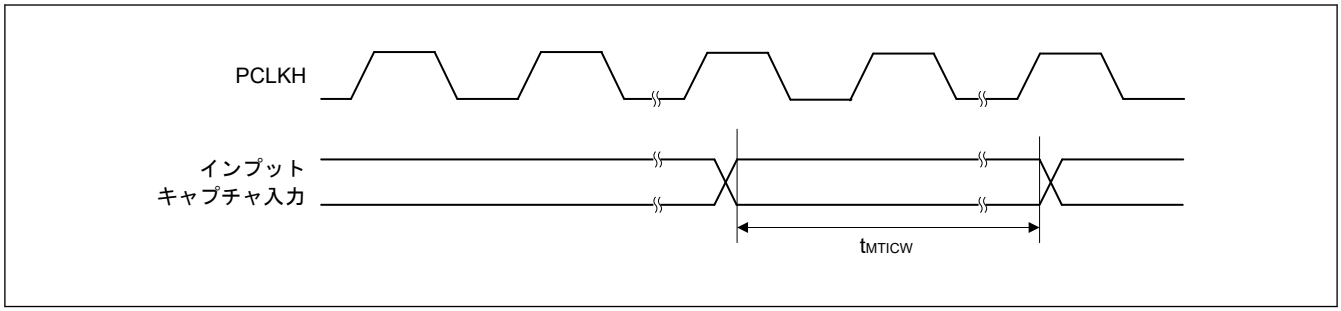


図 2.23 MTU3 インプットキャプチャ入力タイミング

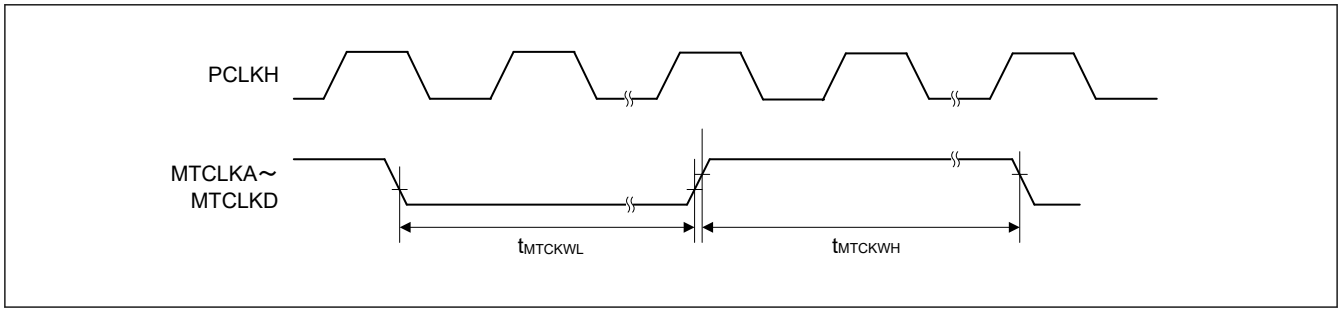


図 2.24 MTU3 クロック入力タイミング

2.5.5.4 POE3 タイミング

表 2.25 POE3 タイミング

項目			シンボル	Min	Max	単位(注1)	参照図
POE3	POEn#入力パルス幅		t_{POEW}	2.5	—	t_{PHcyc}	図 2.25
	出力禁止時間	POEn#信号レベルの遷移	t_{POEDI}	—	5 × PCLKH + 0.1	μs	図 2.26
		出力端子の同時出力	t_{POEDO}	—	3 × PCLKH + 0.1	μs	図 2.27
		レジスタ設定	t_{POEDS}	—	PCLKH + 0.1	μs	図 2.28
		発振停止検出	t_{POEDOS}	—	74	μs	図 2.29

注 1. t_{PHcyc}：PCLKH サイクル

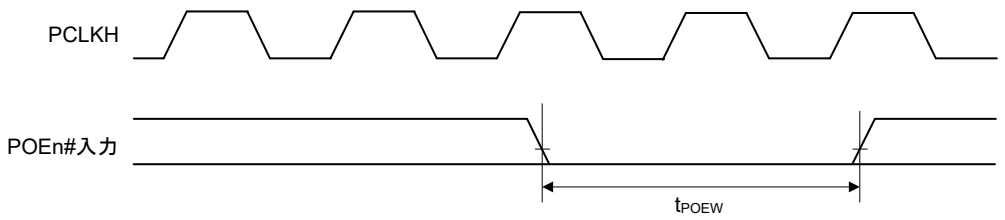


図 2.25 POEn#入力パルスタイミング

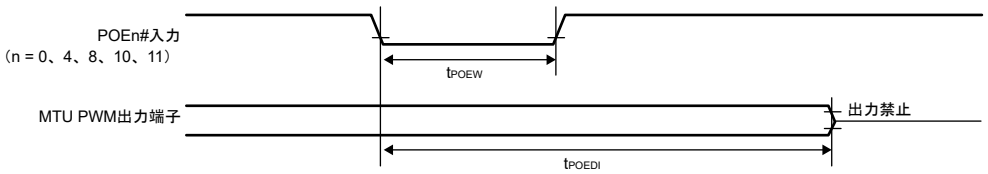
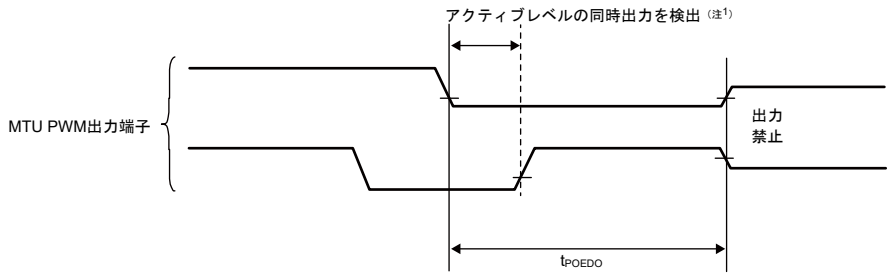


図 2.26 POEn#の信号レベルの遷移に対応した POE の出力禁止時間



注 1. アクティブレベルが Low に設定されているとき

図 2.27 出力端子の同時出力に対応した POE の出力禁止時間

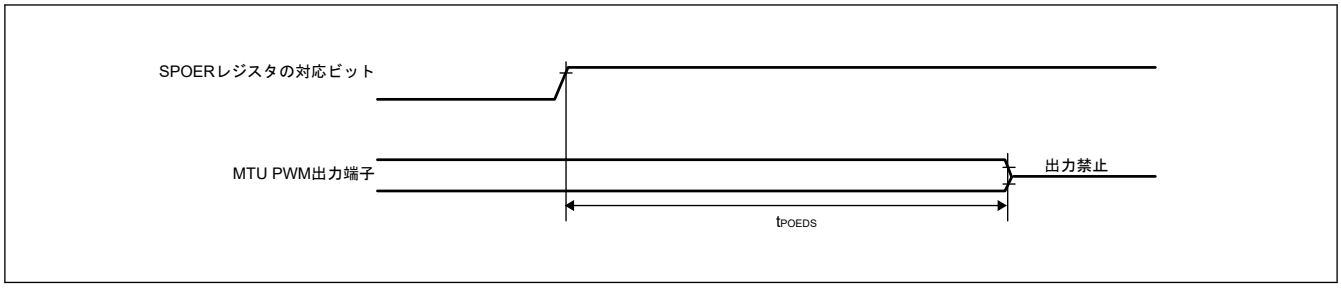


図 2.28 レジスタ設定に対応した POE の出力禁止時間

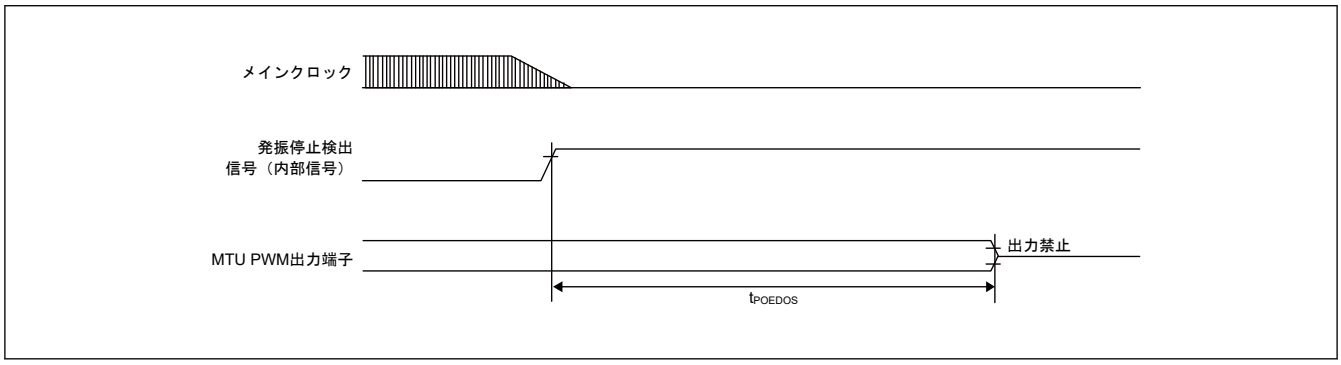


図 2.29 発振停止検出に対応した POE の出力禁止時間

2.5.5.5 GPT タイミング

表 2.26 GPT タイミング

項目			シンボル	Min	Max	単位(注1)	参照図
GPT	インプットキャプチャ入力パルス幅	片エッジ設定	t_{GTICW}	2.5	—	t_{PHcyc}	図 2.30
		両エッジ設定		3.5	—		
	外部トリガ入力パルス幅	片エッジ設定	t_{GTEW}	2.5	—	t_{PHcyc}	図 2.31
		両エッジ設定		3.5	—		

注 1. t_{PHcyc}：PCLKH サイクル（LLPP チャネル）、PCLKM サイクル（その他のチャネル）

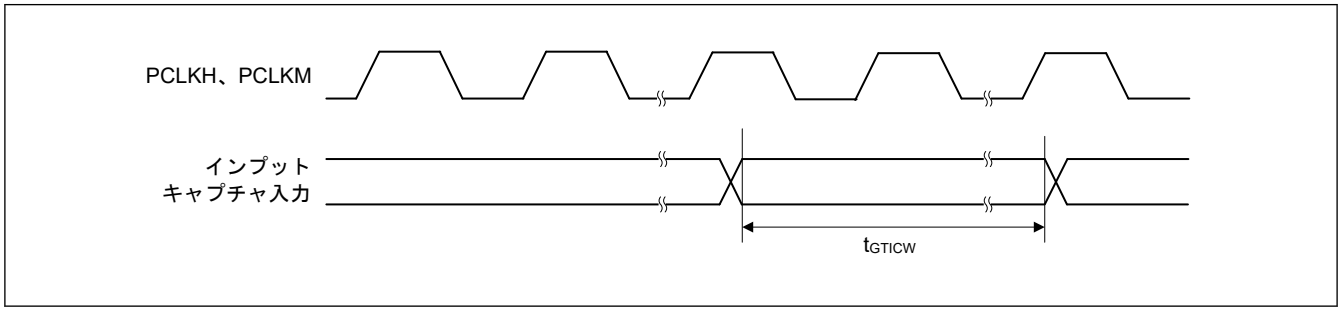


図 2.30 GPT インプットキャプチャ入力タイミング

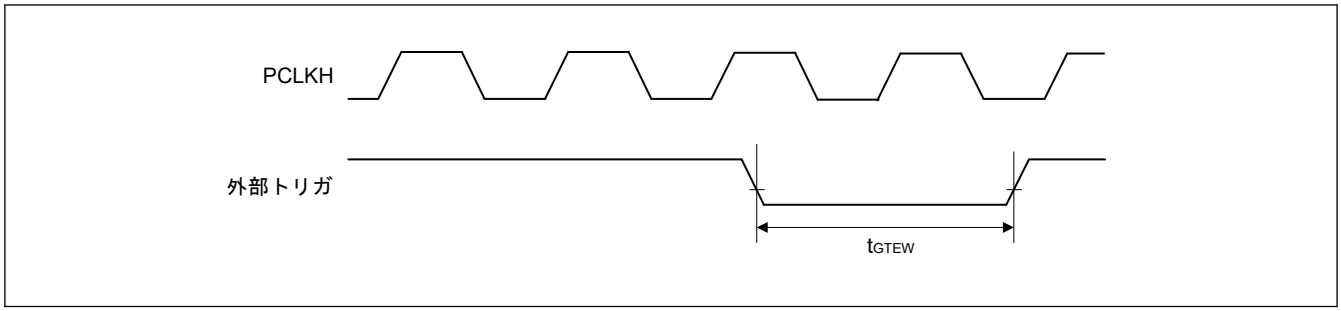


図 2.31 GPT 外部トリガ入力タイミング

2.5.5.6 POEG タイミング

表 2.27 POEG タイミング

項目			シンボル	Min	Max	単位(注1)	参照図
POEG	GTETRGn 入力パルス幅（n = A～D）		t_{POEGW}	2.5	—	t_{PHcyc}	図 2.32
	出力禁止時間	GTETRGn 端子の入力レベル検出（フラグ経由）	t_{POEGDI}	—	3 × PCLKH + 0.1	μs	図 2.33
		GPT からの出力停止信号の検出（デッドタイムエラー、同時 High 出力、または同時 Low 出力）	t_{POEGDO}	—	0.1	μs	図 2.34
		レジスタ設定	t_{POEGDS}	—	PCLKH + 0.1	μs	図 2.35
		発振停止検出	$t_{POEGDOS}$	—	74	μs	図 2.36

注 1. t_{PHcyc}：PCLKH サイクル（LLPP チャネル）、PCLKL サイクル（その他のチャネル）

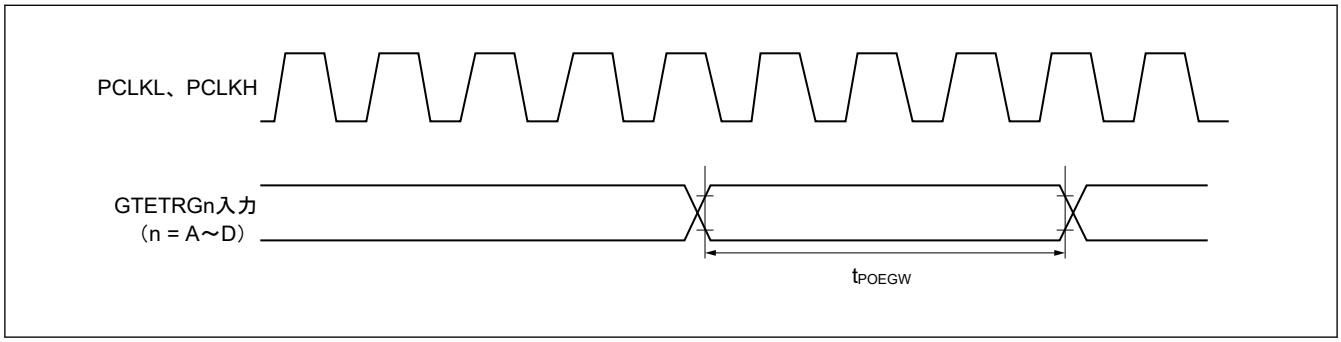


図 2.32 POEG 入力タイミング

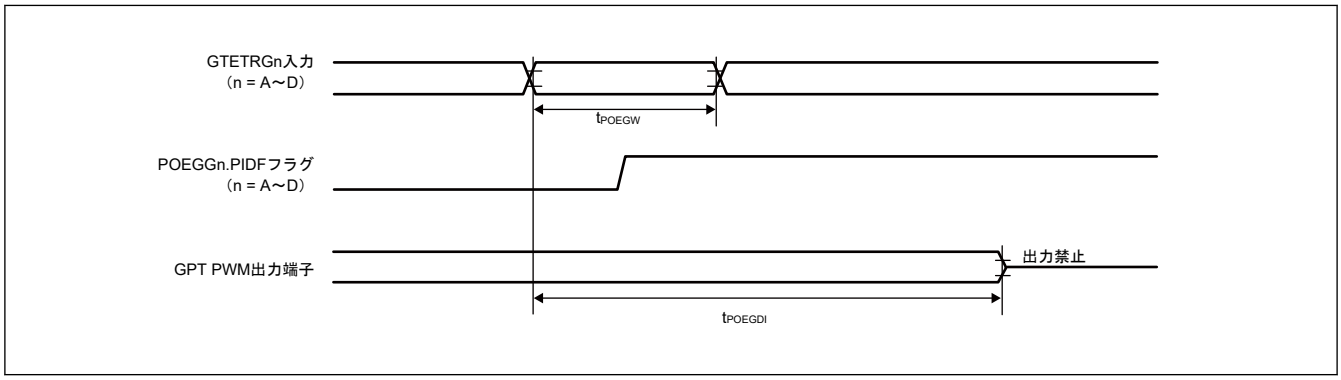
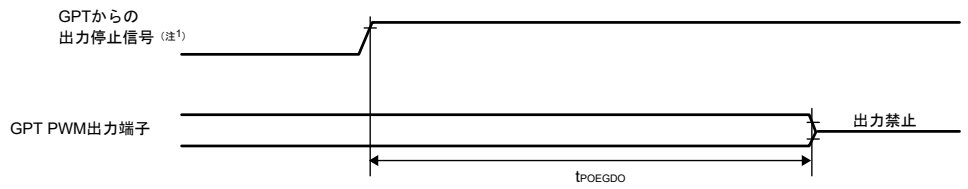


図 2.33 GTETRGn 端子の入力レベル検出に対応した検出フラグによる POEG の出力禁止時間



注 1. GPTn.GTST.DTEF（デッドタイムエラーフラグ）、GPTn.GTST.OABLF（同時 Low 出力フラグ）、または GPTn.GTST.OABHF（同時 High 出力フラグ）

図 2.34 GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

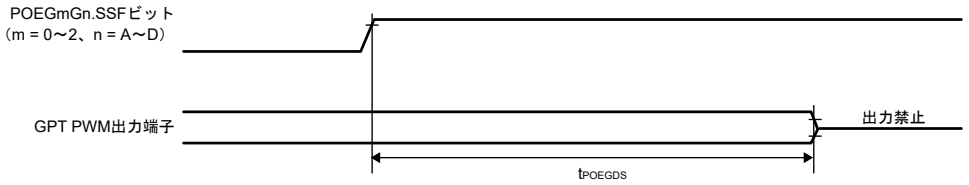


図 2.35 レジスタ設定に対応した POEG の出力禁止時間

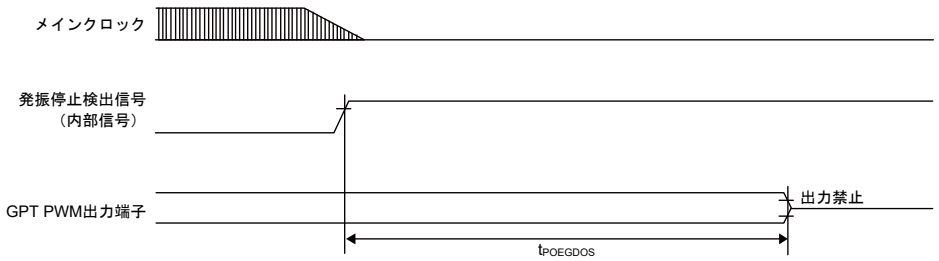


図 2.36 発振停止検出に対応した POEG の出力禁止時間

2.5.5.7 A/D コンバータトリガタイミング

表 2.28 A/D コンバータトリガタイミング

項目			シンボル	Min	Max	単位(注1)	参照図
A/D コンバータ	A/D コンバータトリガ入力パルス幅	ADTRG0#, ADTRG1#, ADTRG2#	t_{TRGW}	1.5	—	$t_{PCLKLcyc}$	図 2.37

注 1. $t_{PCLKLcyc}$：PCLKL サイクル

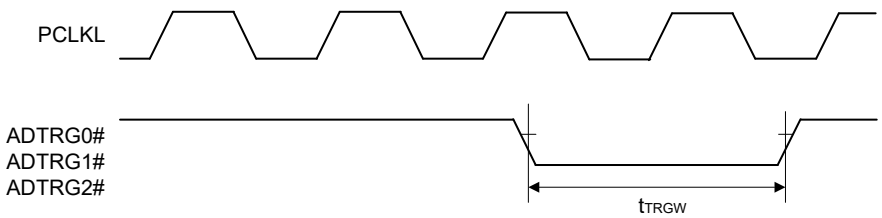


図 2.37 A/D コンバータトリガ入力タイミング (ADTRG0#, ADTRG1#, ADTRG2#)

2.5.5.8 SCI、SCIE タイミング

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF（簡易 I2C 以外）

表 2.29 SCI、SCIE タイミング (1/2)

項目		シンボル	Min	Max	単位	参照図
SCI、SCIE（調歩同期式）	入力クロックサイクル	t_{Scyc}	4	—	$t_{PSCIcyc}$	図 2.38
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間	t_{SCKr}	—	3	ns	
	入力クロック立ち下がり時間	t_{SCKf}	—	3	ns	
	出力クロックサイクル	t_{Scyc}	6	—	$t_{PSCIcyc}$	
	出力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間	t_{SCKr}	—	4	ns	
	出力クロック立ち下がり時間	t_{SCKf}	—	4	ns	
SCI（簡易 I2C、標準モード）	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.39
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	2 × NF_{cyc}(注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	
SCI（簡易 I2C、ファストモード）	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.39
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	2 × NF_{cyc}(注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	

表 2.29 SCI、SCIE タイミング (2/2)

項目			シンボル	Min	Max	単位	参照図
SCI （クロック同期、簡易 SPI） SCIE （クロック同期）	SCK 出力クロックサイクル（マスタ）		t_{SPcyc}	2(注2)	65536	$t_{PSCIcyc}$	図 2.40～図 2.45
	SCK 入力クロックサイクル（スレーブ）			2(注2)	65536		
	SCK クロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり／立ち下がり時間		t_{SPCKR}、t_{SPCKF}	—	4	ns	
	データ入力セットアップ時間	内部クロック	t_{SU}	7	—	ns	
		外部クロック		3	—		
	データ入力ホールド時間	内部クロック	t_H	3	—	ns	
		外部クロック		3	—		
	データ出力遅延時間	内部クロック	t_{OD}	—	3	ns	
		外部クロック		—	12		
	データ出力ホールド時間	内部クロック	t_{OH}	-3	—	ns	
		外部クロック		0	—		
	データ立ち上がり／立ち下がり時間		t_{DR}、t_{DF}	—	4	ns	
	スレーブアクセス時間	内部クロック	t_{SA}	—	3 × $t_{PSCIcyc}$ + 12	ns	
		外部クロック		—	3 × $t_{PSCIcyc}$ + 12		
	スレーブ出力開放時間	内部クロック	t_{REL}	—	3 × $t_{PSCIcyc}$ + 12	ns	
		外部クロック		—	3 × $t_{PSCIcyc}$ + 12		
SCI （簡易 SPI）	SS 入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}	
	SS 入力立ち上がり／立ち下がり時間		t_{SSR}、t_{SSF}	—	3	ns	

注. $t_{PSCIcyc}$：PCLKSCIn サイクル

注 1. $N_{Fcyc} = 4^n \times 2^{m-1} \times t_{PSCIcyc}$
n：CCR2.CKS[1:0]（n = 0、1、2、3）
m：CCR1.NFCS[2:0]（n = 1、2、3、4）

注 2. PCLKSCIn = 125 MHz の場合、最小値 (Min) は 4。

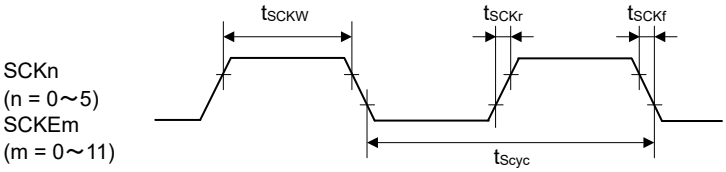
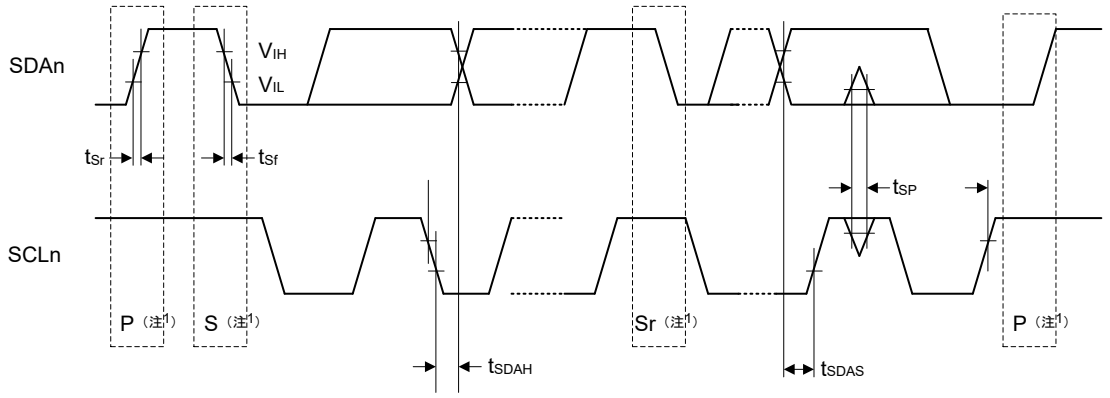


図 2.38 SCK クロック入出力タイミング



注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開条件

図 2.39 SCI 簡易 I2C モードタイミング

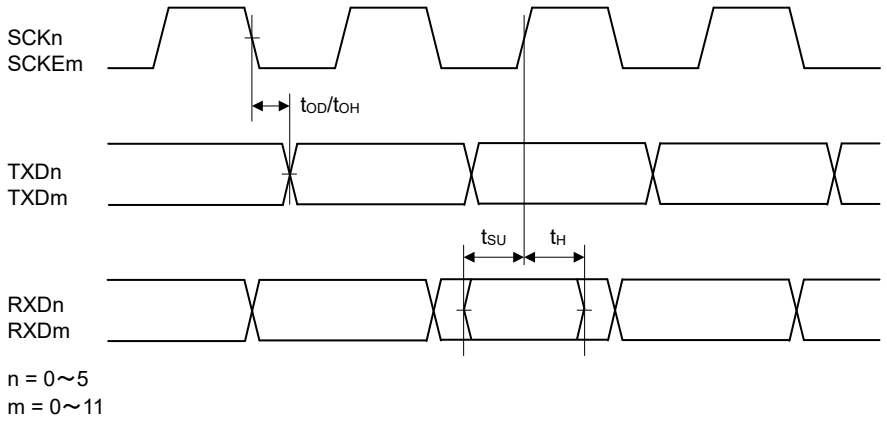
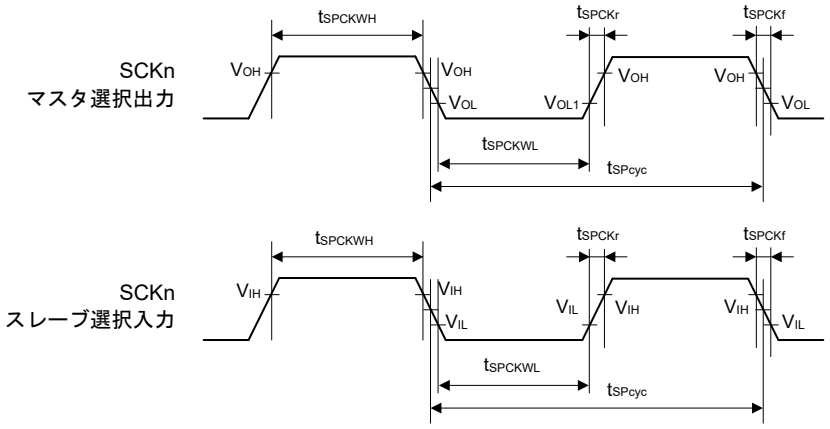


図 2.40 クロック同期式モードにおける SCI 入出力タイミング



V_{OH} = 0.7 × VCC33、V_{OL} = 0.3 × VCC33、V_{IH} = 0.7 × VCC33、V_{IL} = 0.3 × VCC33

図 2.41 SCI 簡易 SPI モードクロックタイミング

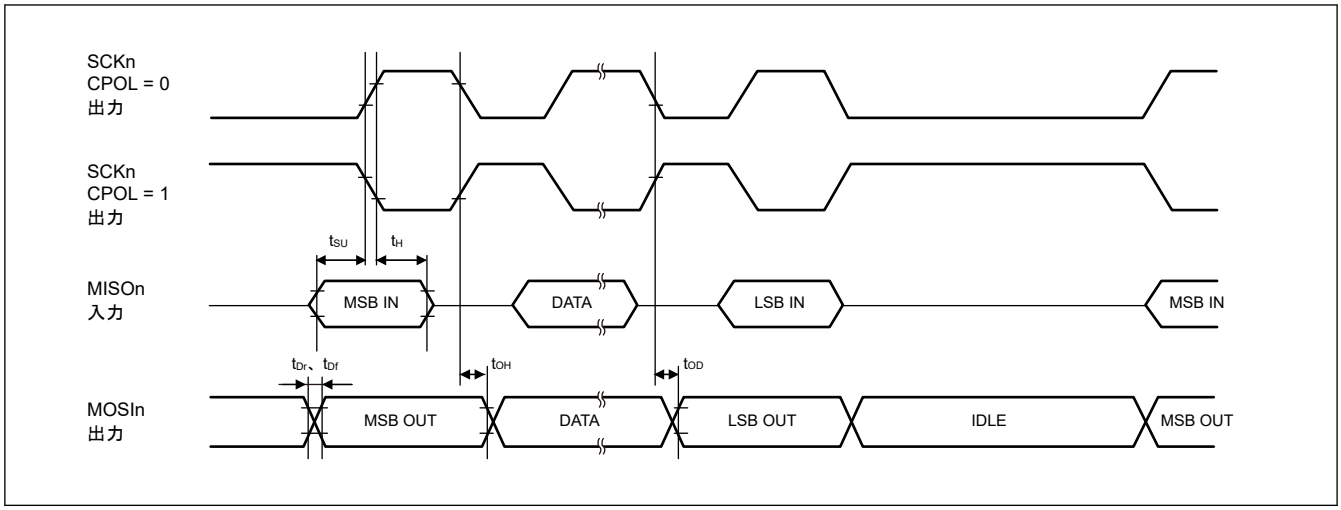


図 2.42 SCI 簡易 SPI モードタイミング（マスタ、CPHA = 0）

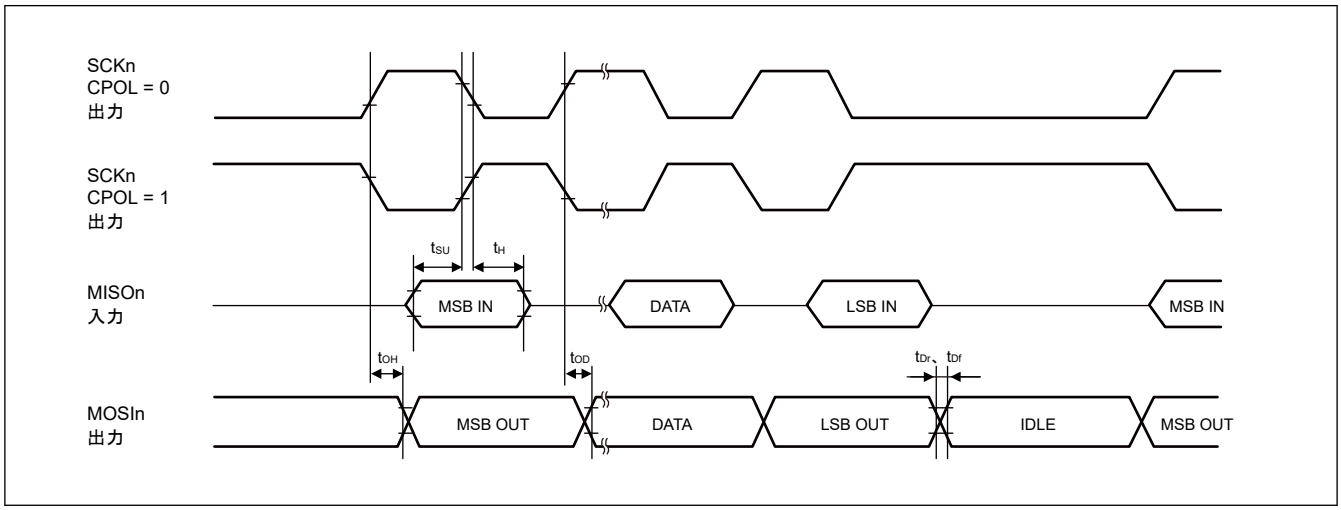


図 2.43 SCI 簡易 SPI モードタイミング（マスタ、CPHA = 1）

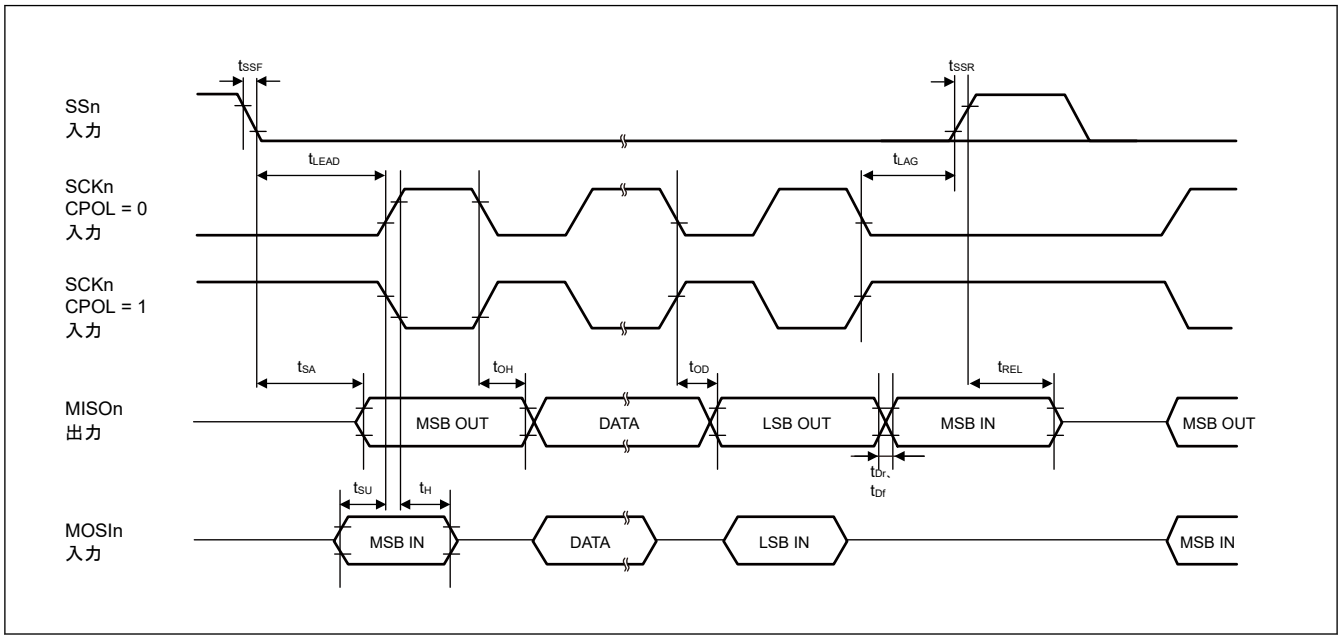


図 2.44 SCI 簡易 SPI モードタイミング（スレーブ、CPHA = 0）

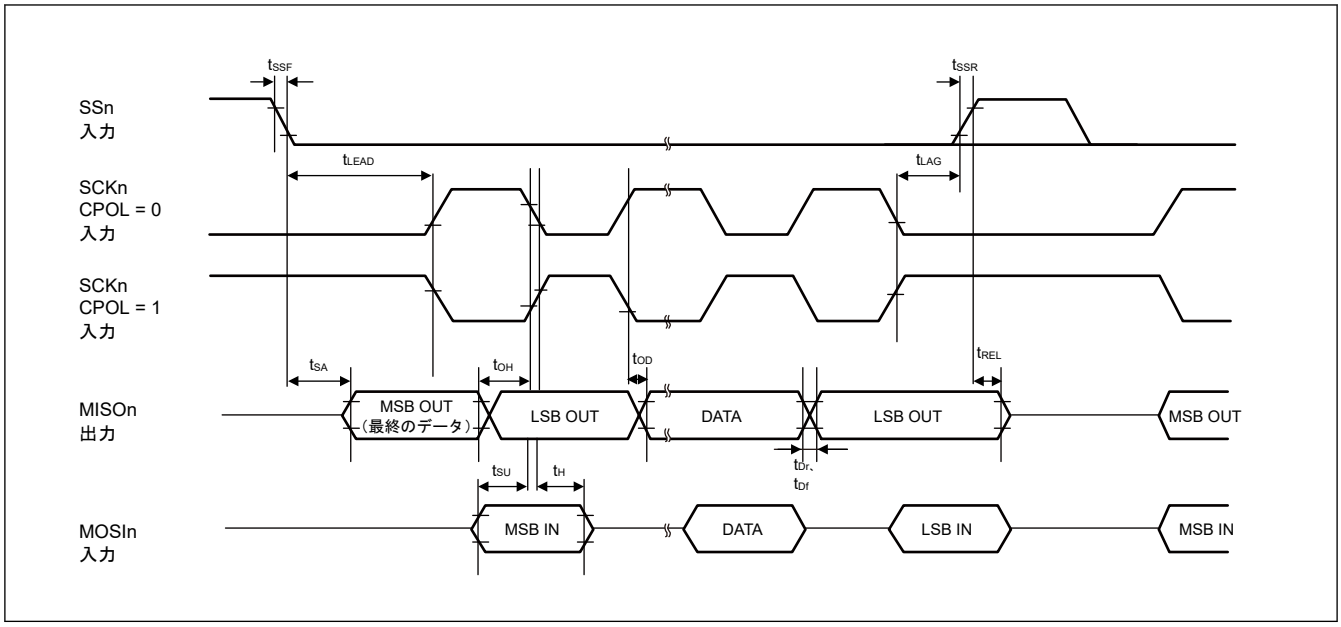


図 2.45 SCI 簡易 SPI モードタイミング（スレーブ、CPHA = 1）

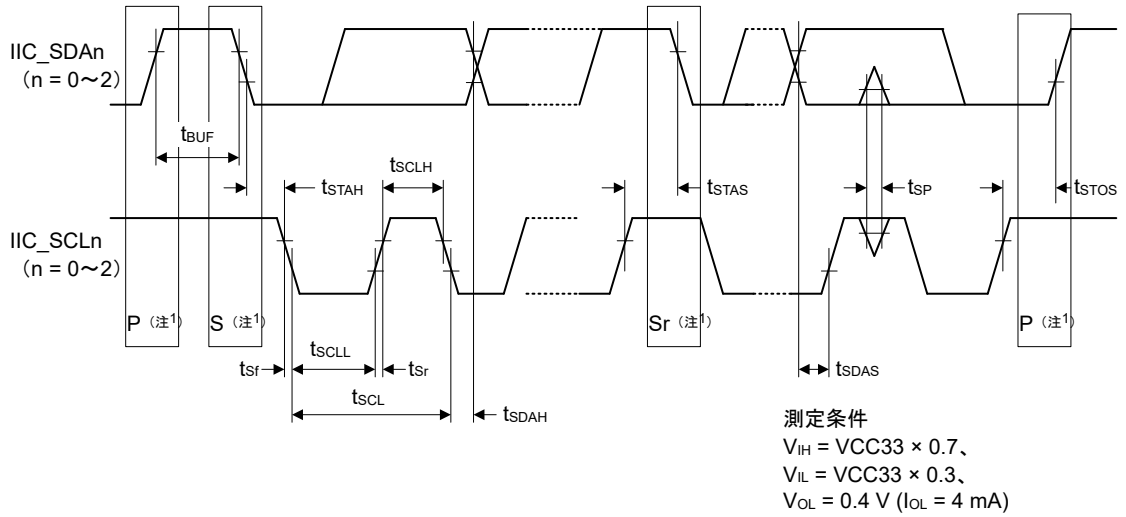
2.5.5.9 IIC タイミング

条件：V_{OL} = 0.4 V、I_{OL} = 4 mA

表 2.30 IIC タイミング

項目		シンボル	Min(注1) (注2)	Max(注1) (注2)	単位	参照図
IIC （標準モード）	SCL 入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 1300	—	ns	図 2.46
	SCL 入力 High レベルパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再開条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	
IIC （ファストモード）	SCL 入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 600	—	ns	
	SCL 入力 High レベルパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{sr}	—(注4)	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{sf}	—(注4)	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再開条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量(注3)	C_b	—	400	pF	

注 1. t_{IICcyc}：IIC 内部基準クロック (IICΦ) サイクル
注 2. ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 00b の場合は、( ) の外の値が適用されます。ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合は、( ) 内の値が適用されます。
注 3. Cb はバスラインの容量の総計です。
注 4. ファストモードでは、t_{sr} と t_{sf} に対する最小値は指定されていません。



注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開条件

図 2.46 IIC バスインタフェース入出力タイミング

2.5.5.10 CANFD タイミング

表 2.31 CANFD タイミング

項目		シンボル	CAN		CANFD		単位	参照図
			Min	Max	Min	Max		
CANFD	内部遅延時間	t_{node}	—	100	—	50	ns	図 2.47
	通信速度	—	—	1	—	8	Mbps	

注. 内部遅延時間 (t_{node}) = 内部送信遅延時間 (t_{output}) + 内部受信遅延時間 (t_{input})

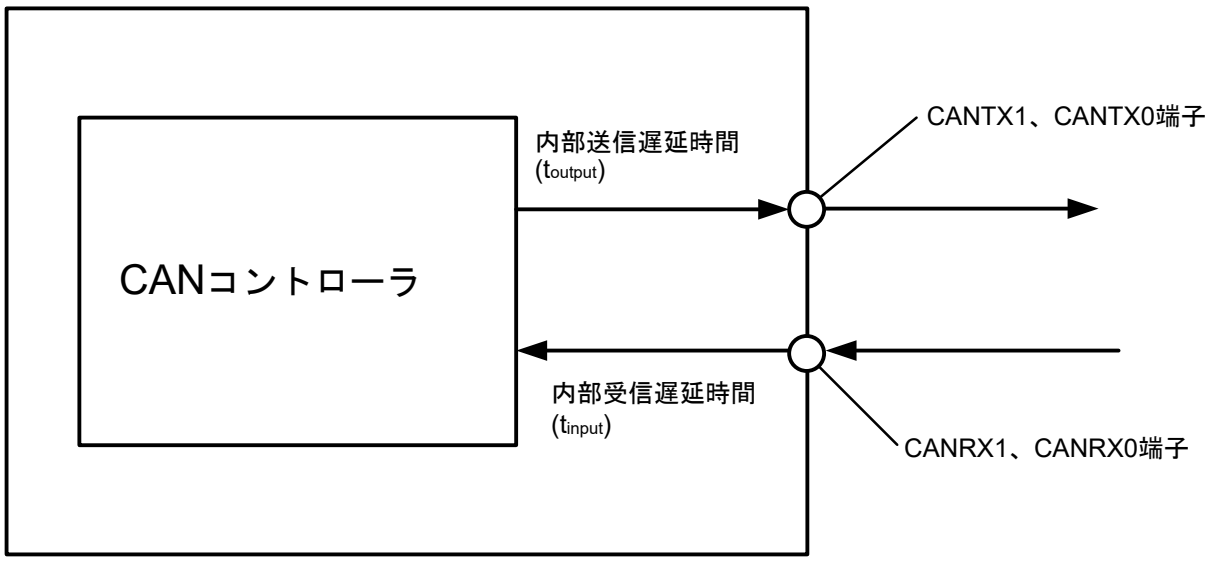


図 2.47 CAN インタフェース条件

2.5.5.11 SPI タイミング

表 2.32 SPI タイミング (1/2)

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF

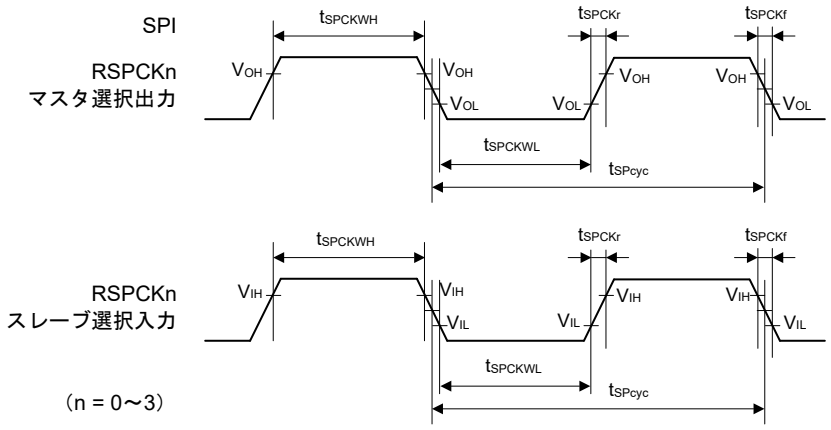
項目		シンボル	Min(注1)	Max(注1)	単位(注1)	参照図
RSPCK クロックサイクル	マスタ	t_{SPcyc}	2(注5)	4096	t_{SPIcyc}	図 2.48
	スレーブ		2(注5)	4096		
RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	(t_{SPcyc} − t_{SPCKr} − t_{SPCKf}) / 2 − 2.5	—	ns	
	スレーブ		1	—	t_{SPIcyc}	
RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	(t_{SPcyc} − t_{SPCKr} − t_{SPCKf}) / 2 − 2.5	—	ns	
	スレーブ		1	—	t_{SPIcyc}	
RSPCK クロック立ち上がり/立ち下がり時間	出力	t_{SPCKr}、t_{SPCKf}	—	4	ns	
	入力		—	1	ns	
データ入力セットアップ時間	マスタ	t_{SU}	5	—	ns	図 2.49～図 2.55
	スレーブ		3	—		
データ入力ホールド時間	マスタ	t_H	3	—	ns	
	スレーブ		3	—		
SSL セットアップ時間	マスタ	t_{LEAD}	N × t_{SPcyc} − 3(注2)	N × t_{SPcyc} + 3(注2)	ns	図 2.49～図 2.52
	スレーブ		4	—	t_{SPIcyc}	
SSL ホールド時間	マスタ	t_{LAG}	N × t_{SPcyc} − 3(注3)	N × t_{SPcyc} + 3(注3)	ns	
	スレーブ		4	—	t_{SPIcyc}	
連続送信遅延	マスタ	t_{TD}	t_{SPcyc} + 2 × t_{SPIcyc}	8 × t_{SPcyc} + 2 × t_{SPIcyc}	ns	
	スレーブ		t_{SPcyc} + 5 × t_{SPIcyc}	—		
TI-SSP SS 入力セットアップ時間		t_{TISS}	3	—	ns	図 2.53～図 2.55
TI-SSP SS 入力ホールド時間		t_{TISH}	3	—	ns	
TI-SSP 次アクセス時間		t_{TIND}	M(注4)	—	t_{SPIcyc}	
TI-SSP マスタ SS 出力遅延		t_{TISSOD}	-3	3	ns	
TI-SSP マスタ OE 遅延 1		$t_{TIMOED1}$	—	2	ns	
TI-SSP マスタ OE 遅延 2		$t_{TIMOED2}$	—	2	ns	
TI-SSP スレーブ OE 遅延 1		$t_{TISOED1}$	—	12	ns	
TI-SSP スレーブ OE 遅延 2		$t_{TISOED2}$	—	8	ns	
データ出力遅延時間	マスタ	t_{OD}	—	3	ns	図 2.49～図 2.55
	スレーブ		—	12	ns	
データ出力ホールド時間	マスタ	t_{OH}	-3	—	ns	
	スレーブ		3	—		
MOSI、MISO クロック立ち上がり/立ち下がり時間	出力	t_{Dr}, t_{Df}	—	4	ns	
	入力		—	1	μs	
SSL 立ち上がり/立ち下がり時間	出力	t_{SSLr}, t_{SSLf}	—	4	ns	図 2.49、図 2.50
	入力		—	1	μs	

表 2.32 SPI タイミング (2/2)

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF

項目	シンボル	Min(注1)	Max(注1)	単位 (注1)	参照図
スレーブアクセス時間	t_{SA}	—	12	ns	図 2.51、図 2.52
スレーブ出力開放時間	t_{REL}	—	12	ns	

注 1. t_{SPIcyc}：PCLKSPIn サイクル
注 2. SPCKD 設定値 + 1（1～8）
注 3. SSLND 設定値 + 1（1～8）
注 4. SSLND 設定値 + 2（2～9）
注 5. PCLKSPIn = 125 MHz の場合、最小値 (Min) は 4。



V_{OH} = VCC33 - 0.5 V、V_{OL} = 0.4 V、V_{IH} = 2.4 V、V_{IL} = 0.8 V

図 2.48 SPI クロックタイミング

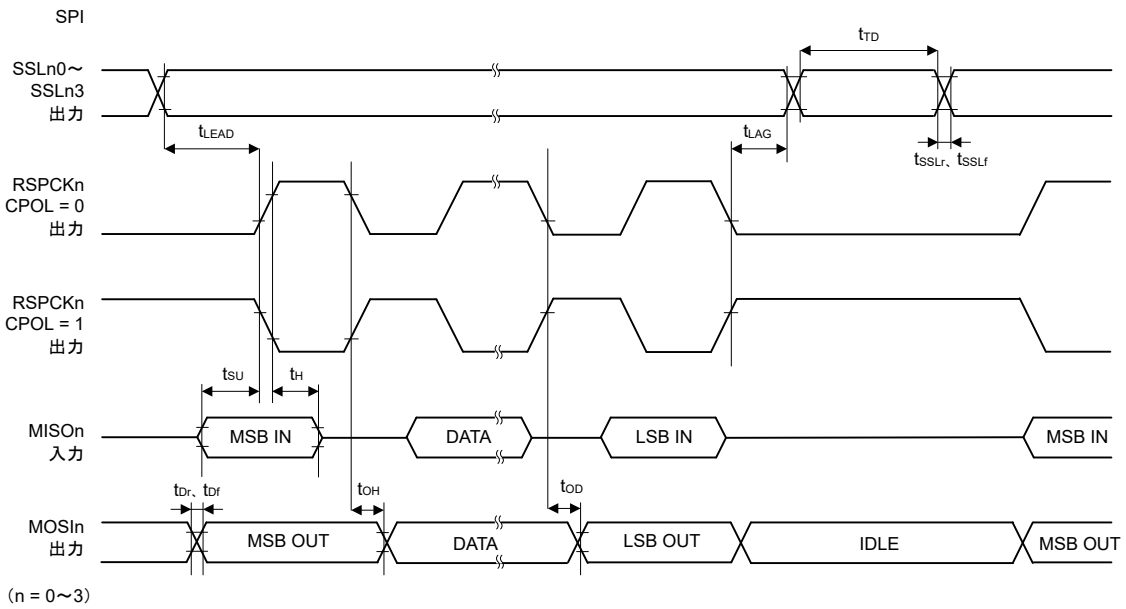


図 2.49 SPI タイミング（マスタ、モトローラ SPI、CPHA = 0）

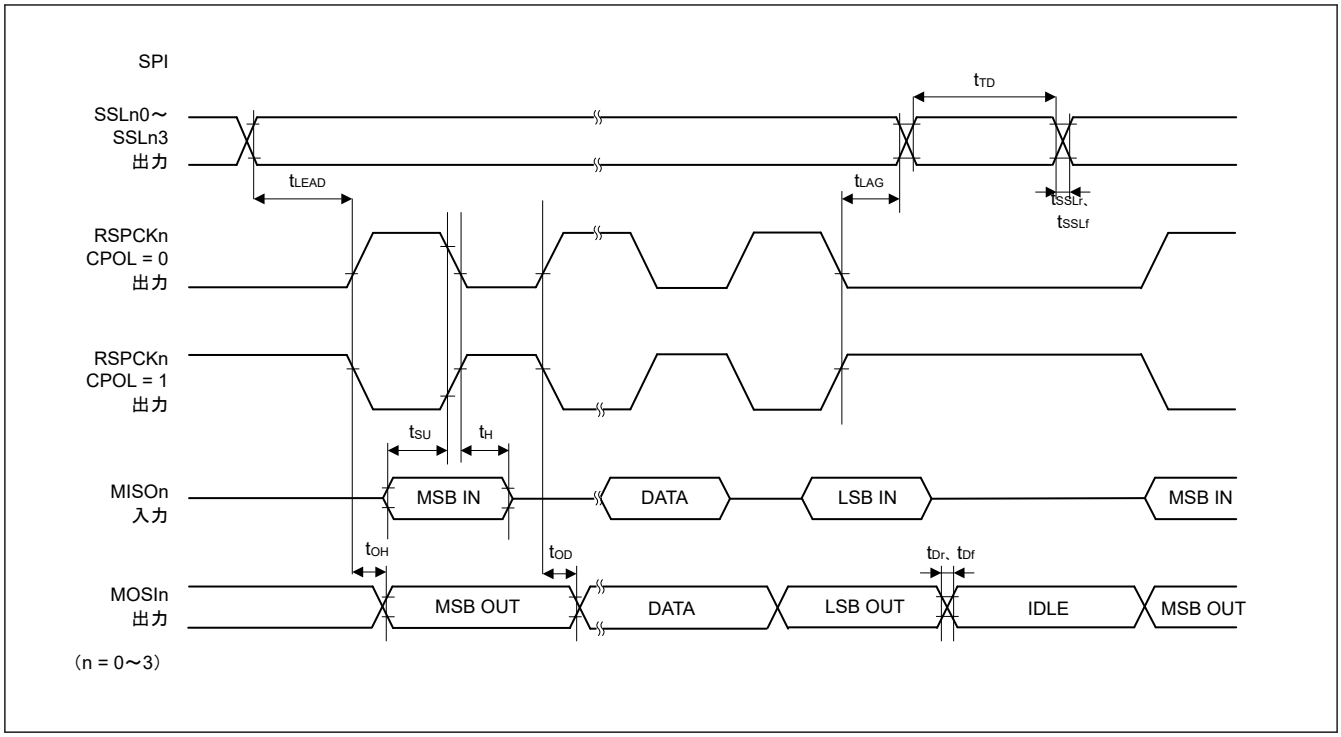


図 2.50　SPI タイミング（マスタ、モトローラ SPI、CPHA = 1）

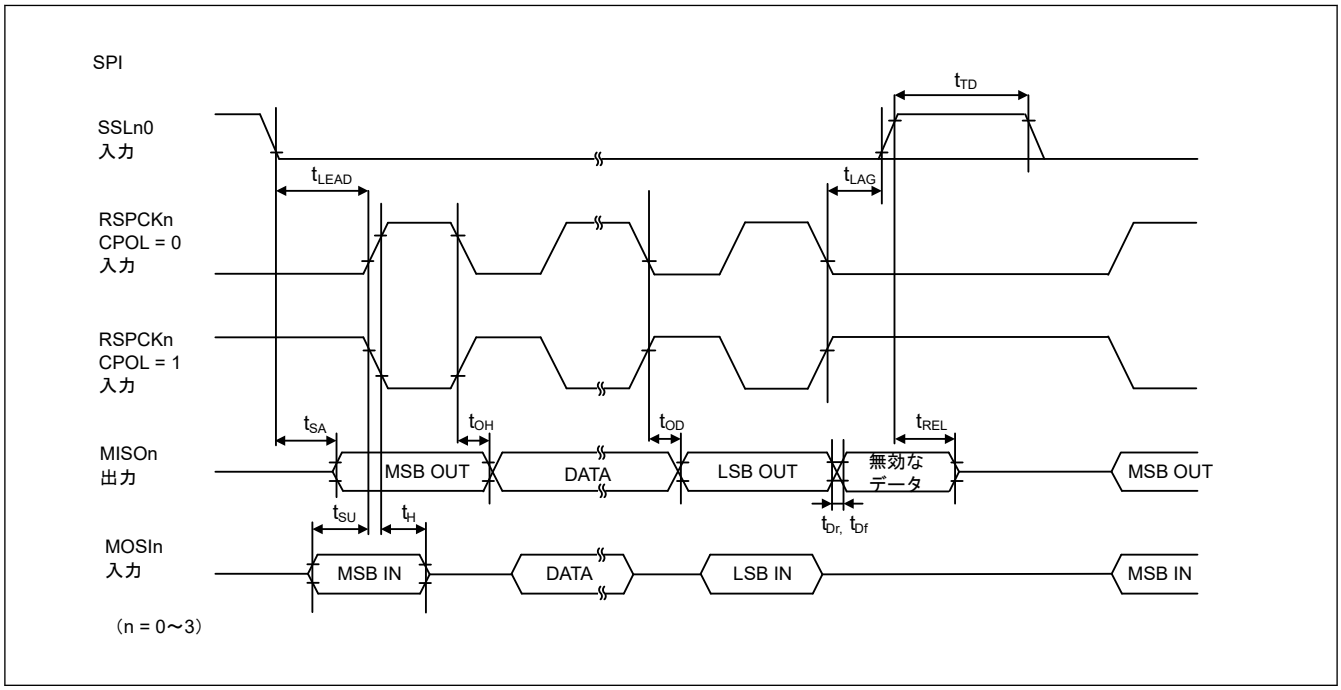


図 2.51　SPI タイミング（スレーブ、モトローラ SPI、CPHA = 0）

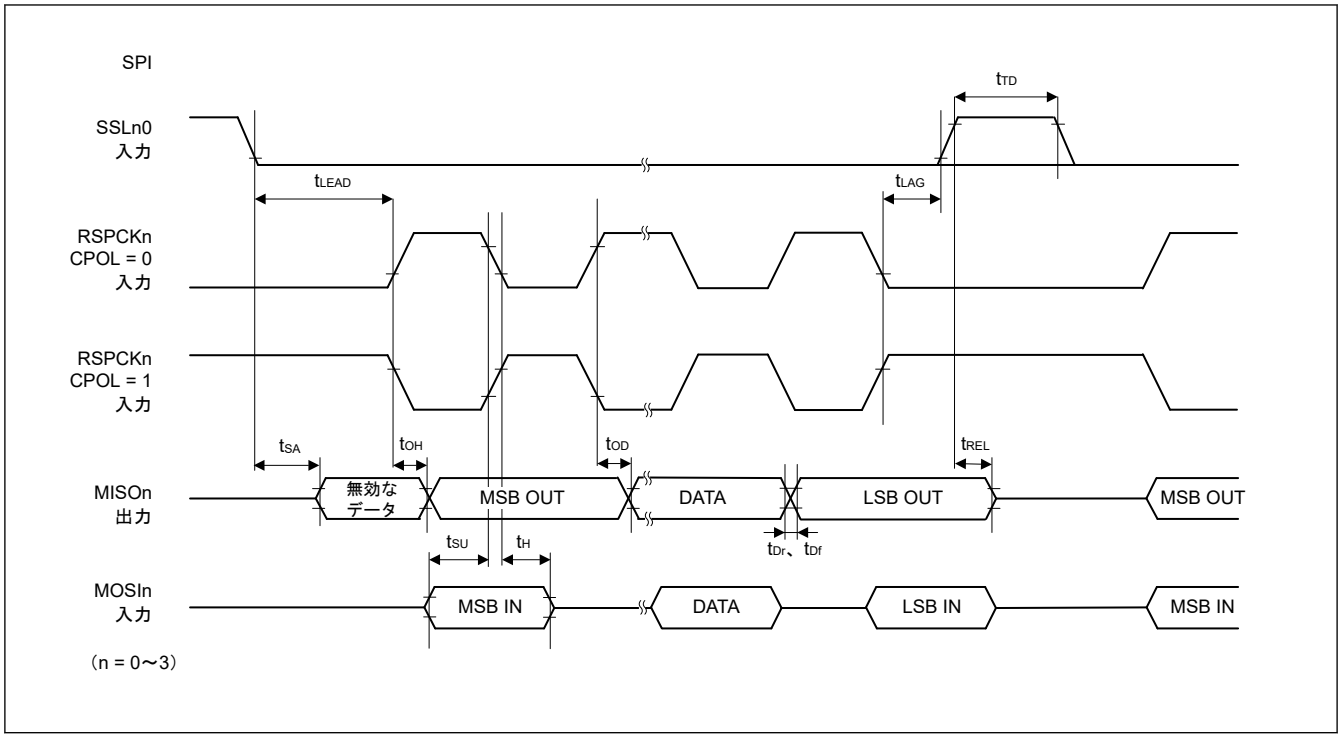


図 2.52　SPI タイミング（スレーブ、モトローラ SPI、CPHA = 1）

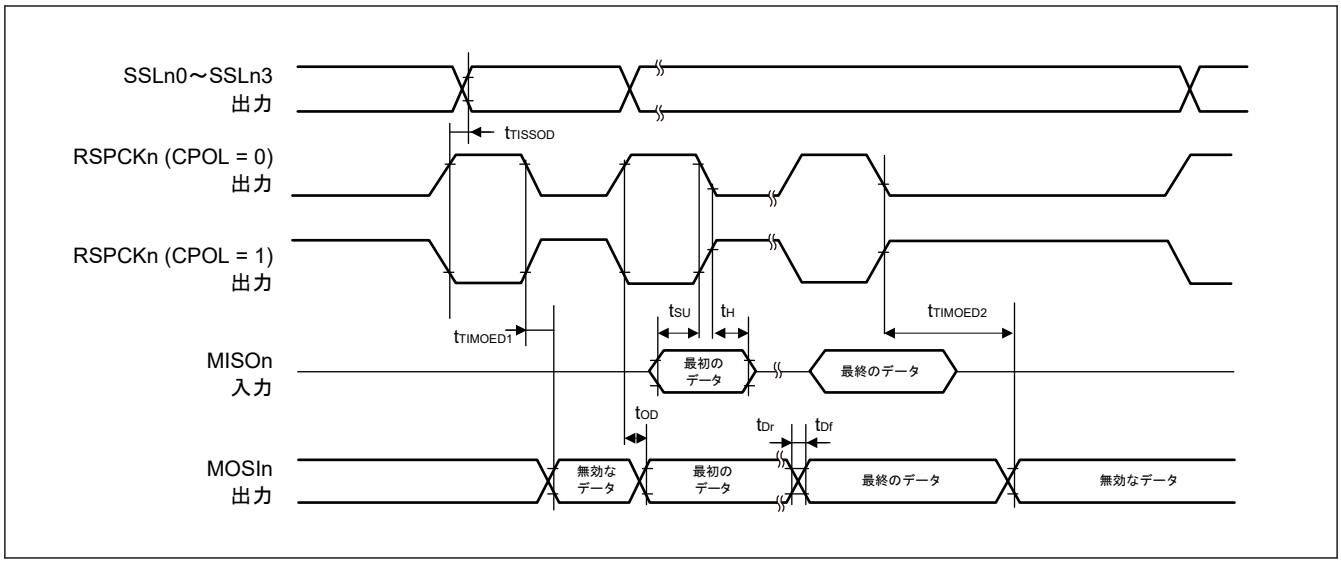


図 2.53　SPI タイミング（マスタ、TI SSP）

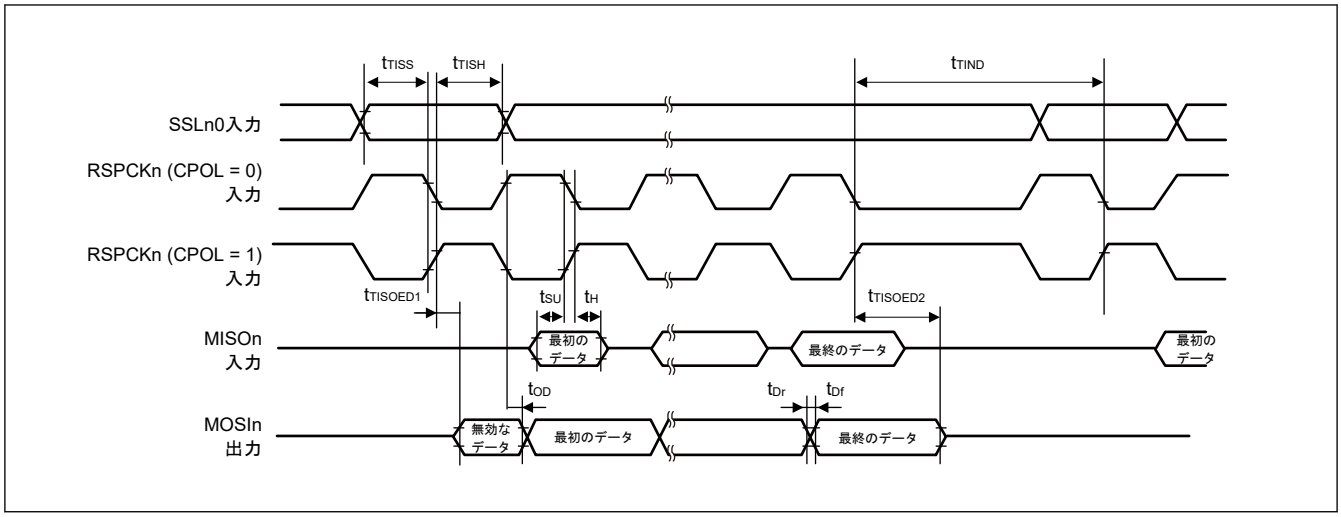


図 2.54 SPI タイミング（スレーブ、TI SSP、バースト転送時の遅延あり）

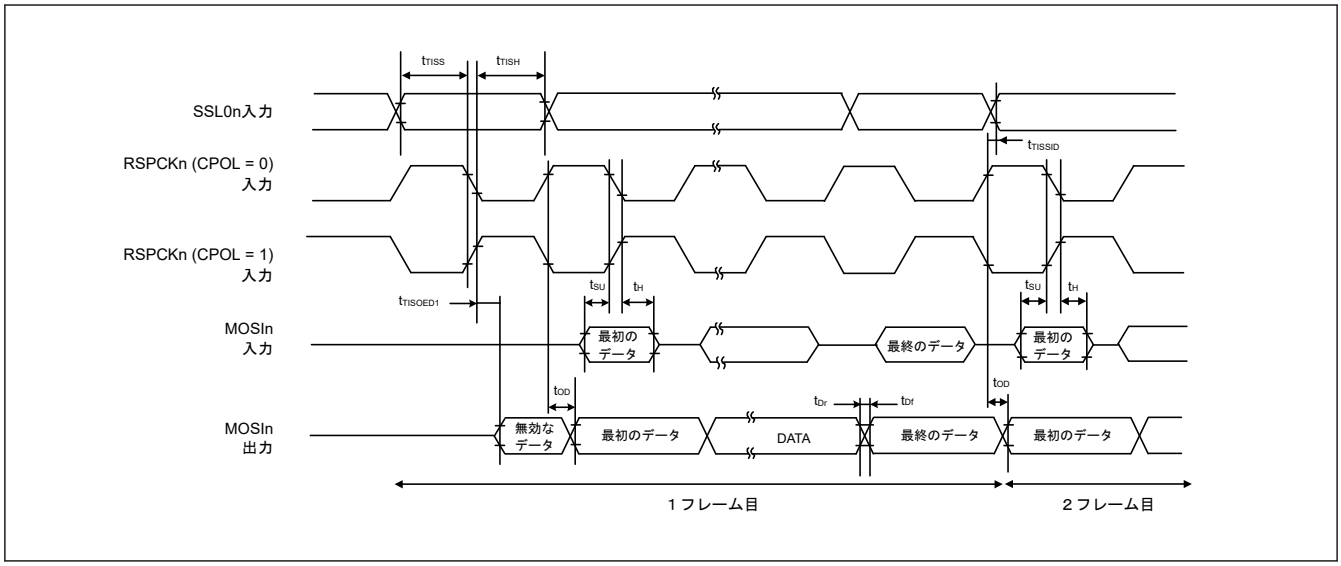


図 2.55 SPI タイミング（スレーブ、TI SSP、バースト転送時の遅延なし）

2.5.5.12 xSPI タイミング

表 2.33 xSPI タイミング

条件：

V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5、C = 15 pF（VDD1833 = 1.8 V または 3.3 V）

項目		シンボル	1.8 V Min	1.8 V Max	3.3 V Min	3.3 V Max	単位	参照図
サイクルタイム	SDR	t_{PERIOD}	7.5	—	10.0	—	ns	図 2.56
	DDR		7.5	—	10.0	—	ns	
クロック出力スルーレート		t_{SRck}	0.75/0.56 (注2)	—	0.56	—	V/ns	
クロックデューティサイクル歪み		t_{CKDCD}	0.0	t_{PERIOD} × 0.05	0.0	t_{PERIOD} × 0.05	ns	
クロック最小パルス幅		t_{CKMPW}	t_{PERIOD} × 0.45	—	t_{PERIOD} × 0.45	—	ns	
差動クロック交差電圧		$V_{OX(AC)}$	0.4 × VCC18	0.6 × VCC18	—	—	V	
DS デューティサイクル歪み		t_{DSDCD}	0.0	t_{PERIOD} × 0.04	0.0	t_{PERIOD} × 0.04	ns	
DS 最小パルス幅		t_{DSMPW}	t_{PERIOD} × 0.41	—	t_{PERIOD} × 0.41	—	ns	
データ入出力スルーレート		t_{SR}	0.75/0.56 (注2)	—	0.56	—	V/ns	
データ入力セットアップ時間（CK に対して）	SDR	t_{SU}	2.0	—	2.0	—	ns	図 2.57
データ入力ホールド時間（CK に対して）		t_H	1.0	—	1.0	—	ns	
データ出力遅延時間		t_{OD}	—	1.0(注3)	—	2.0(注3)	ns	
データ出力ホールド時間		t_{OH}	-1.0	—	-2.0	—	ns	
データ出力バッファオフ時間		t_{BOFF}	-1.0	—	-2.0	—	ns	
データ入力セットアップ時間（DS に対して）	DDR (注1) (注3)	t_{SU}	-0.4/-0.6(注2)	—	-0.3	—	ns	図 2.58、図 2.59
データ入力ホールド時間（DS に対して）		t_H	t_{PERIOD} × 0.41 - 0.4/0.6(注2)	—	t_{PERIOD} × 0.41 - 0.3	—	ns	
データ出力セットアップ時間（CK に対して）		t_{SUO}	0.8/1.0(注2)	—	1.0	—	ns	
データ出力ホールド時間（CK に対して）		t_{HO}	0.8/1.0(注2)	—	1.0	—	ns	
CS Low～クロック High		t_{CSLCKH}	6.0/8.0(注2) (注4)	—	8.0(注4)	—	ns	図 2.57～図 2.59
CS Low～CS High		t_{CKLCSH}	6.0/8.0(注2)	—	8.0	—	ns	
CS High 時間		t_{CSTD}	1	16	1	16	t_{PERIOD}	
DS Low～CS High		t_{DSLCSH}	6.0/8.0(注2)	—	10.6	—	ns	図 2.60
CS High～DS トライステート		t_{CSHDST}	0.0	t_{PERIOD}	0.0	t_{PERIOD}	ns	
CS Low～DS Low		t_{CSLDSL}	0.0	—	0.0	—	ns	
DS トライステート～CS Low		t_{DSTCSL}	0.0	—	0.0	—	ns	

注 1. DS シフト設定 (WRAPCFG.DSSFTCSx[4:0]) は、133 MHz で 01001b、および 100 MHz で 01100b です。
注 2. 133 MHz 時の仕様／100 MHz 時の仕様
注 3. これは OEN アサートが出力許可アサート拡張ビット (COMCFG.OEASTEX = 1) で拡張されたときの値です。
注 4. これは CS アサートが CS アサート拡張ビット (LIOCFGCSn.CSASTEX = 1) で拡張されたときの値です。

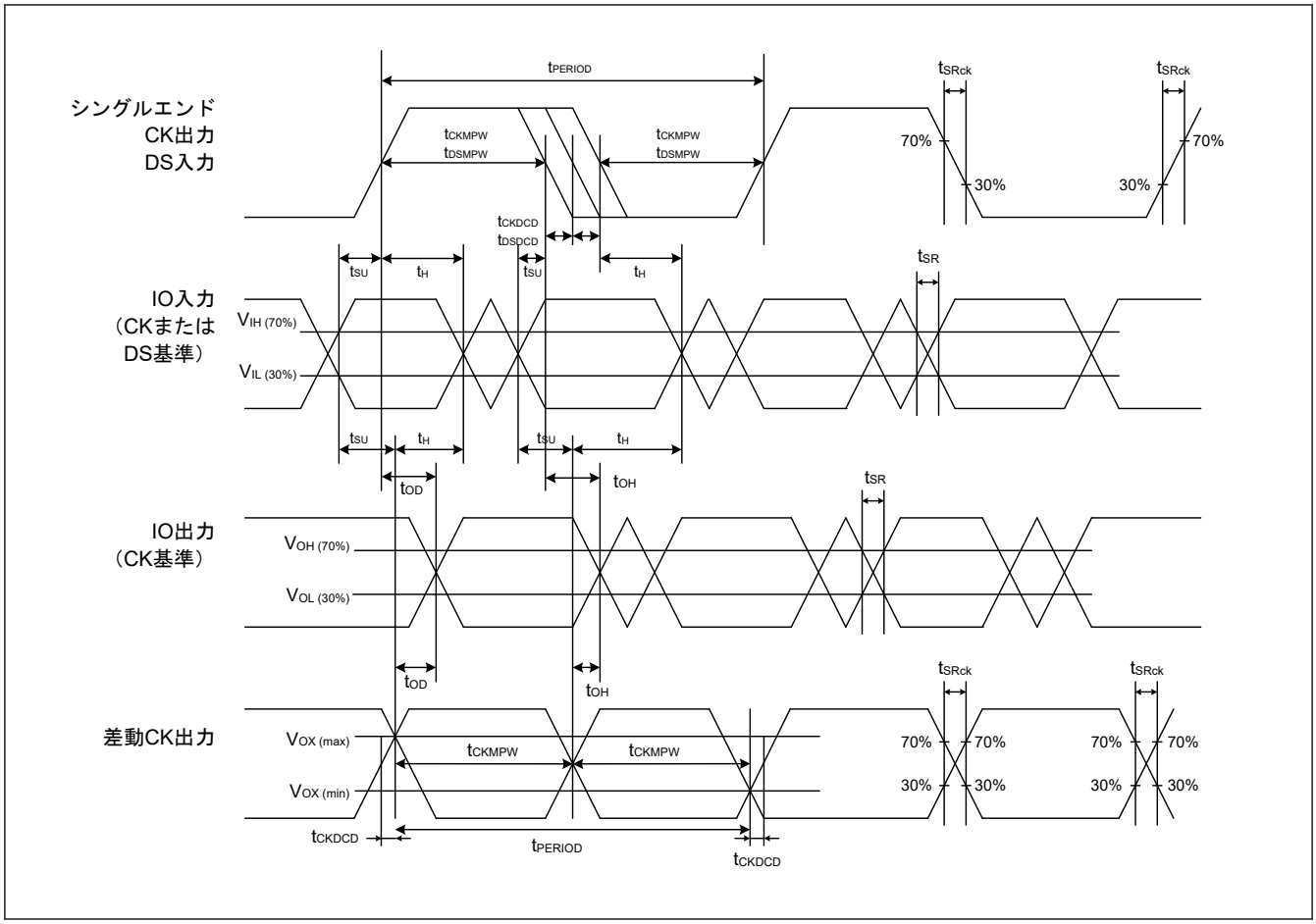


図 2.56 xSPI クロック／DS タイミング

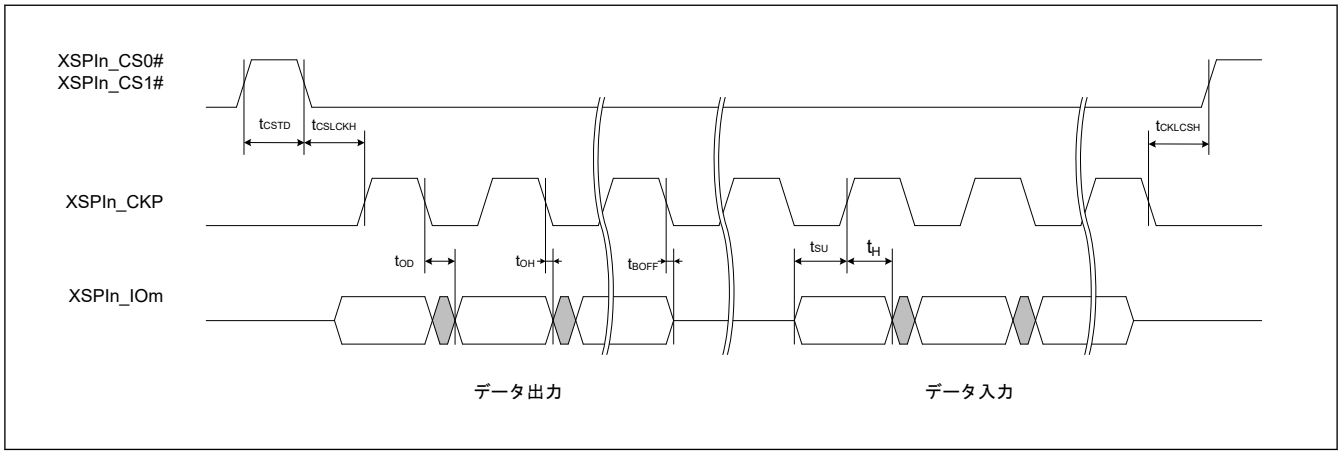


図 2.57 SDR 送受信タイミング（1S-1S-1S、1S-2S-2S、2S-2S-2S、1S-4S-4S、4S-4S-4S）

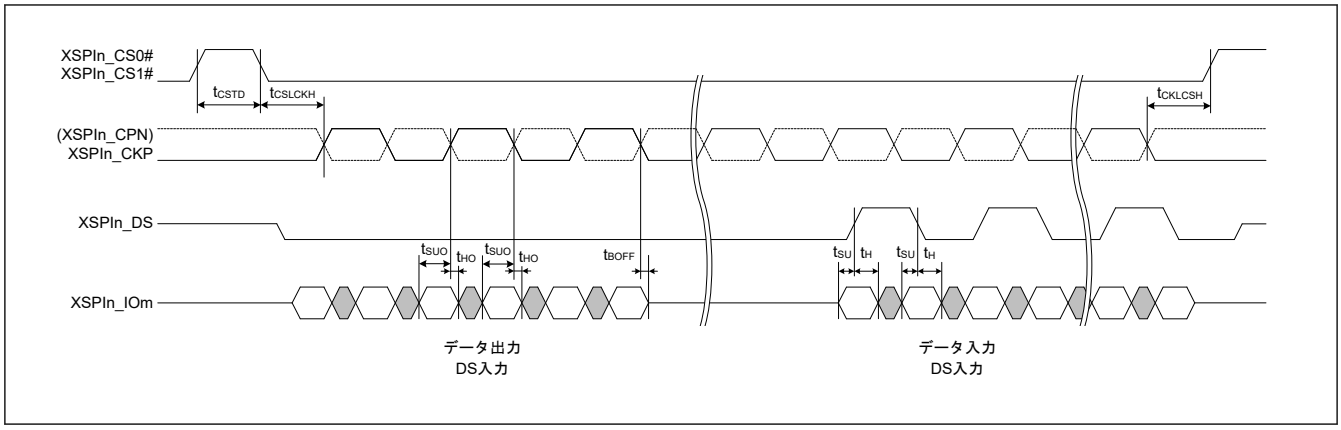


図 2.58 DDR 送受信タイミング（4S-4D-4D、8D-8D-8D）

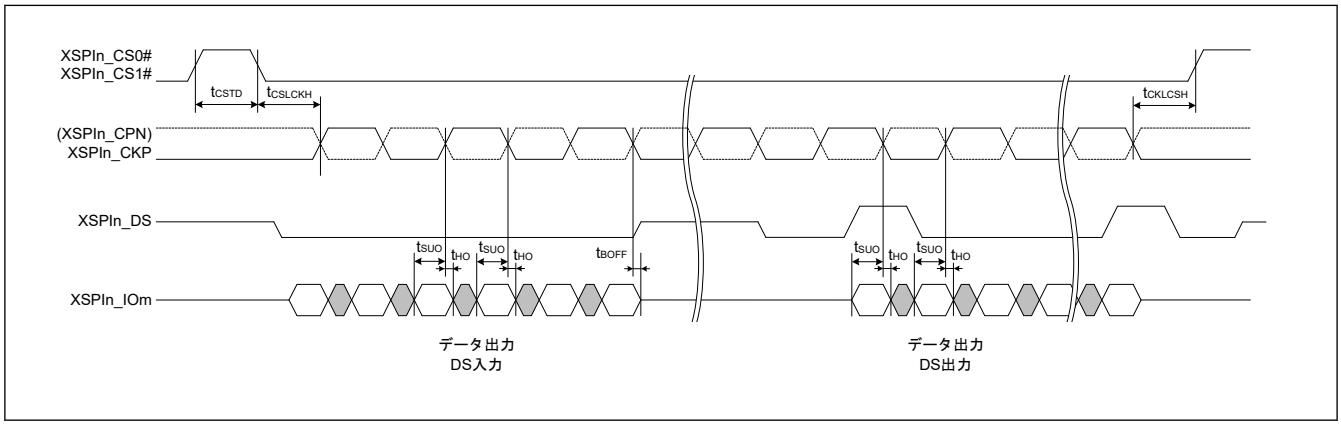


図 2.59 DDR 送受信タイミング（HyperRAM 書き込み）

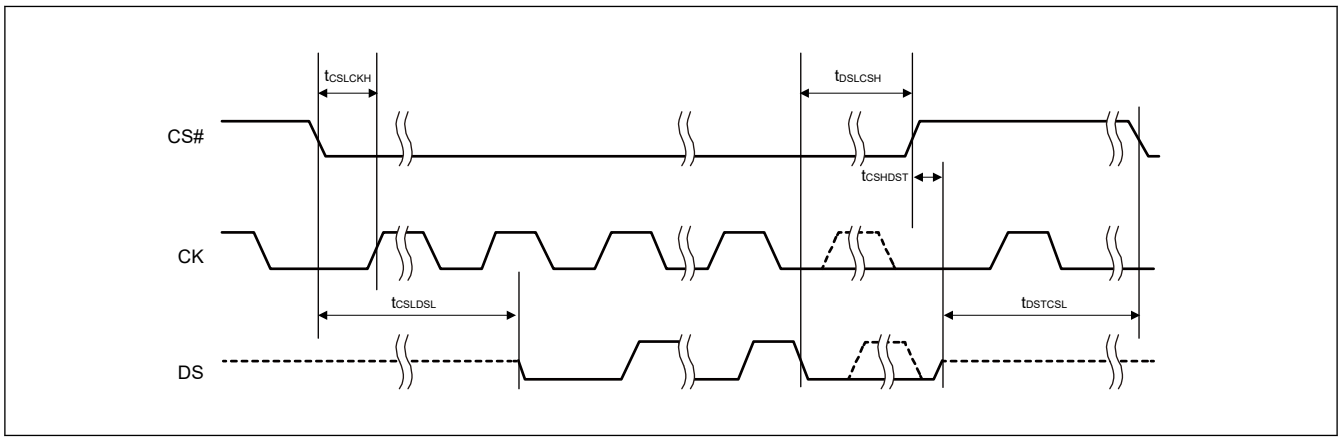


図 2.60 DS～CS 信号タイミング

2.5.5.13 デルタシグマインタフェースタイミング

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF

表 2.34 ΔΣ インタフェースタイミング

項目			シンボル	Min	Max	単位	参照図
DSMIF	クロックサイクル	マスタ	t_{DScyc}	40	200	ns	図 2.61
		スレーブ		40	200		
	クロック High レベル	マスタ	t_{DSCKWH}	16	—	ns	
		スレーブ		16	—		
	クロック Low レベル	マスタ	t_{DSCKWL}	16	—	ns	
		スレーブ		16	—		
	セットアップ時間	マスタ	t_{SU}	15	—	ns	図 2.62、図 2.63
		スレーブ		5	—		
	ホールド時間	マスタ	t_H	0	—	ns	
		スレーブ		5	—		

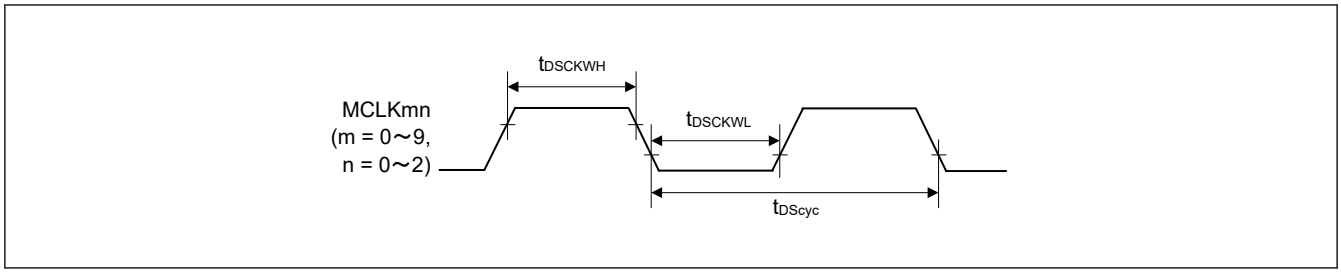


図 2.61 クロック入出力タイミング

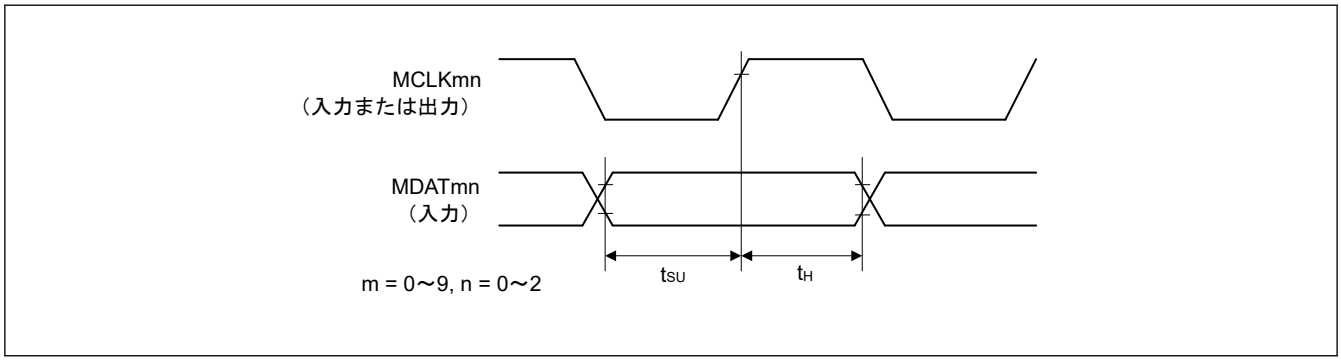


図 2.62 受信タイミング（MCLKn 立ち上がり同期）

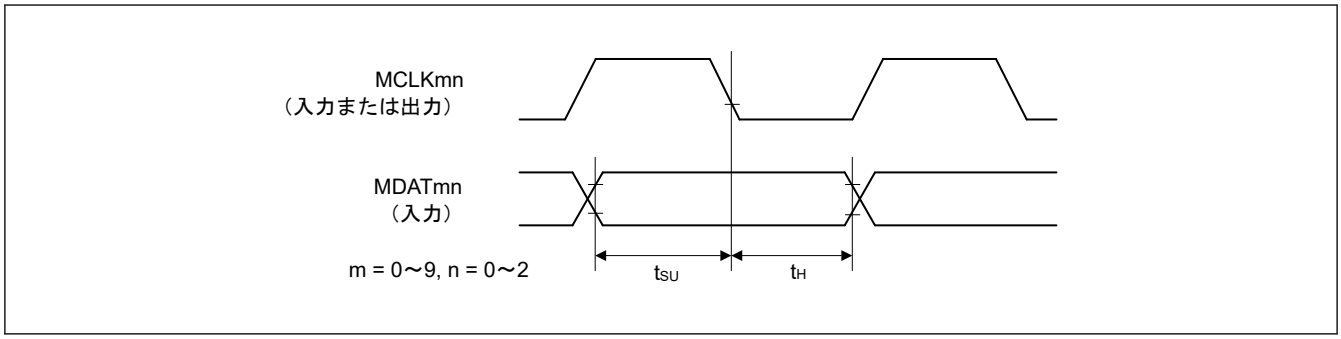


図 2.63 受信タイミング（MCLKn 立ち下がり同期）

2.5.5.14 イーサネットインタフェースタイミング

条件：

V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5、C = 15 pF (RGMII, VDD1833 = 1.8 V)

V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5、C = 25 pF (RMII, VDD1833 = 3.3 V)

V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5、C = 30 pF (MII, VDD1833 = 3.3 V)

表 2.35 イーサネットインタフェースタイミング (1/2)

項目			シンボル	Min	Max	単位	参照図
イーサネット (RGMII)	ETHn_TXCLK、ETHn_RXCLK サイクルタイム期間	1 Gbps	$t_{RGMIIck}$	7.2	8.8	ns	図 2.64
		100 Mbps		36	44		
		10 Mbps		360	440		
	ETHn_TXCLK、ETHn_RXCLK 周波数	1 Gbps	—	125 − 50 ppm	125 + 50 ppm	MHz	
		100 Mbps		25 − 50 ppm	25 + 50 ppm		
		10 Mbps		2.5 − 50 ppm	2.5 + 50 ppm		
	ETHn_TXCLK、ETHn_RXCLK デューティーサイクル	1 Gbps	—	45	55	%	
		100 Mbps 10 Mbps		40	60		
	ETHn_TXCLK、ETHn_TXD0～ETHn_TXD3、ETHn_TXEN (TX_CTL)、ETHn_RXCLK、ETHn_RXD0～ETHn_RXD3、ETHn_RXDV (RX_CTL) 立ち上がり／立ち下がり時間		t_{RGMIIr}、t_{RGMIIf}	—	0.75	ns	
	ETHn_TXD0～ETHn_TXD3、ETHn_TXEN (TX_CTL)～ETHn_TXCLK 出力スキュー		$t_{RGMIIos}$	-0.5	0.5	ns	
	ETHn_RXD0～ETHn_RXD3、ETHn_RXDV (RX_CTL) セットアップ時間		t_{RGMIIs}	1	—	ns	
	ETHn_RXD0～ETHn_RXD3、ETHn_RXDV (RX_CTL) ホールド時間		t_{RGMIIh}	1	—	ns	
イーサネット (RMII)	ETHn_RXCLK サイクルタイム		t_{RMIIck}	20	—	ns	図 2.65
	ETHn_RXCLK 周波数 Typ. 50 MHz		—	50 − 50 ppm	50 + 50 ppm	MHz	
	ETHn_RXCLK デューティ		—	35	65	%	
	ETHn_RXCLK 立ち上がり／立ち下がり時間		$t_{RMIIckr}$、$t_{RMIIckf}$	0.5	3.5	ns	
	ETHn_TXD0、ETHn_TXD1、ETHn_TXEN 出力遅延時間		t_{RMIId}	2.5	12	ns	
	ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) セットアップ時間		t_{RMIIs}	4	—	ns	
	ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) ホールド時間		t_{RMIIh}	2	—	ns	
	ETHn_TXD0、ETHn_TXD1、ETHn_TXEN、ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) 立ち上がり／立ち下がり時間		t_{RMIIr}、t_{RMIIf}	0.5	4	ns	

表 2.35 イーサネットインタフェースタイミング (2/2)

項目			シンボル	Min	Max	単位	参照図
イーサネット (MII)	ETHn_TXCLK、ETHn_RXCLK サイクルタイム	100 Mbps	t_{MIIck}	40	—	ns	図 2.66
		10 Mbps		400	—		
	ETHn_TXCLK、ETHn_RXCLK 周波数	100 Mbps	—	25 − 50 ppm	25 + 50 ppm	MHz	
		10 Mbps		2.5 − 50 ppm	2.5 + 50 ppm		
	ETHn_TXD0～ETHn_TXD3、ETHn_TXEN、ETHn_TXER 出力遅延時間		t_{MIId}	1	20	ns	
	ETHn_RXD0～ETHn_RXD3、ETHn_RXDV、ETHn_RXER セットアップ時間		t_{MIIs}	10	—	ns	
	ETHn_RXD0～ETHn_RXD3、ETHn_RXDV、ETHn_RXER ホールド時間		t_{MIIh}	10	—	ns	

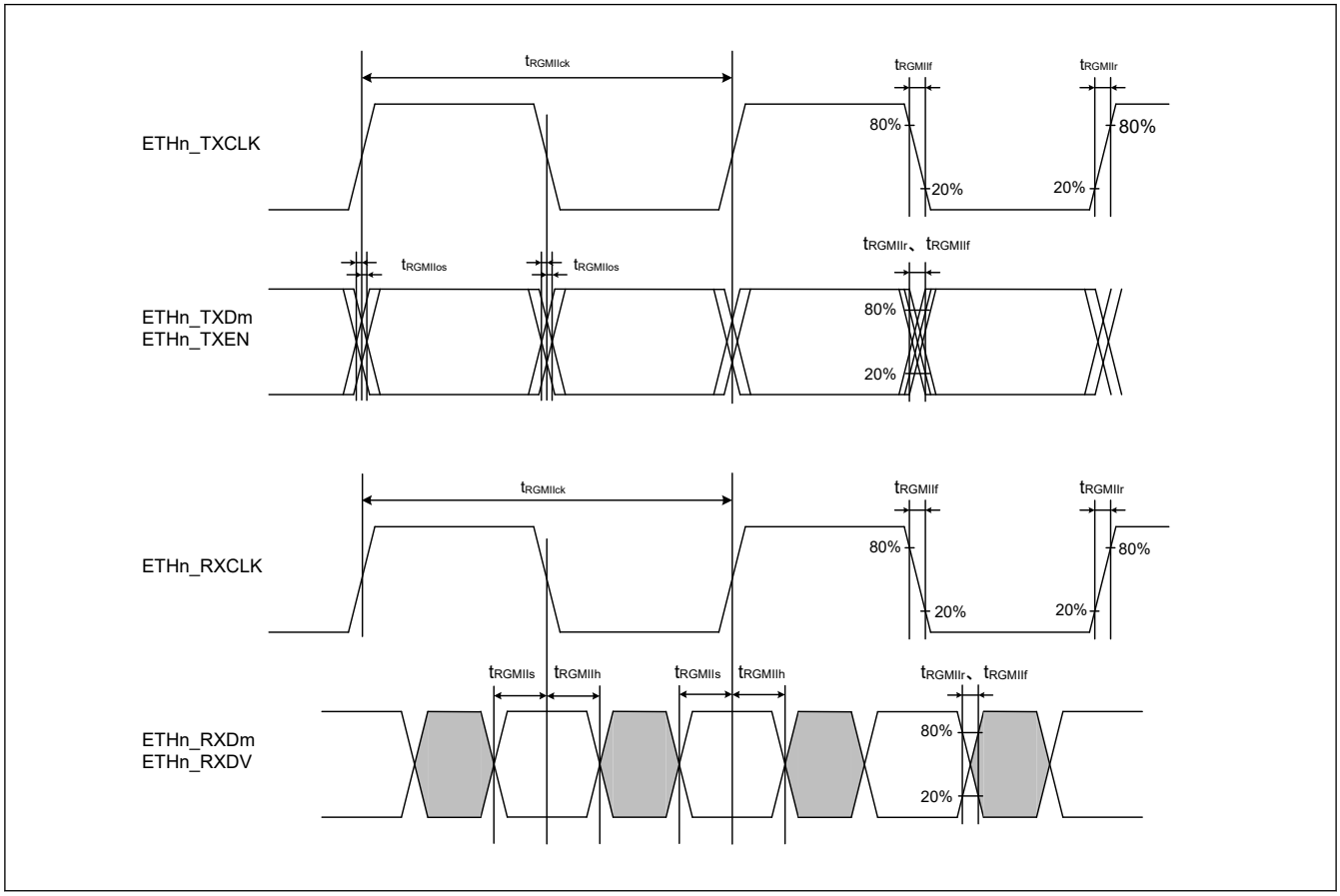


図 2.64 RGMII 送受信タイミング (n = 0～3, m = 0～3)

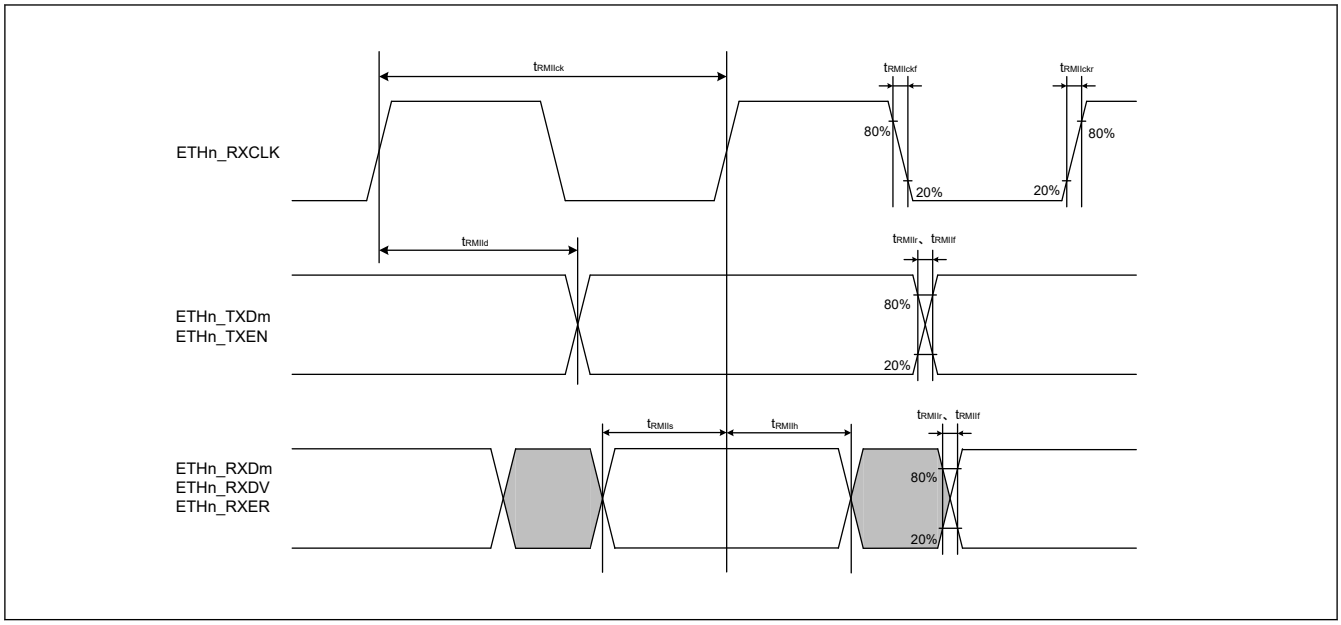


図 2.65 RMII 送受信タイミング (n = 0～3, m = 0～1)

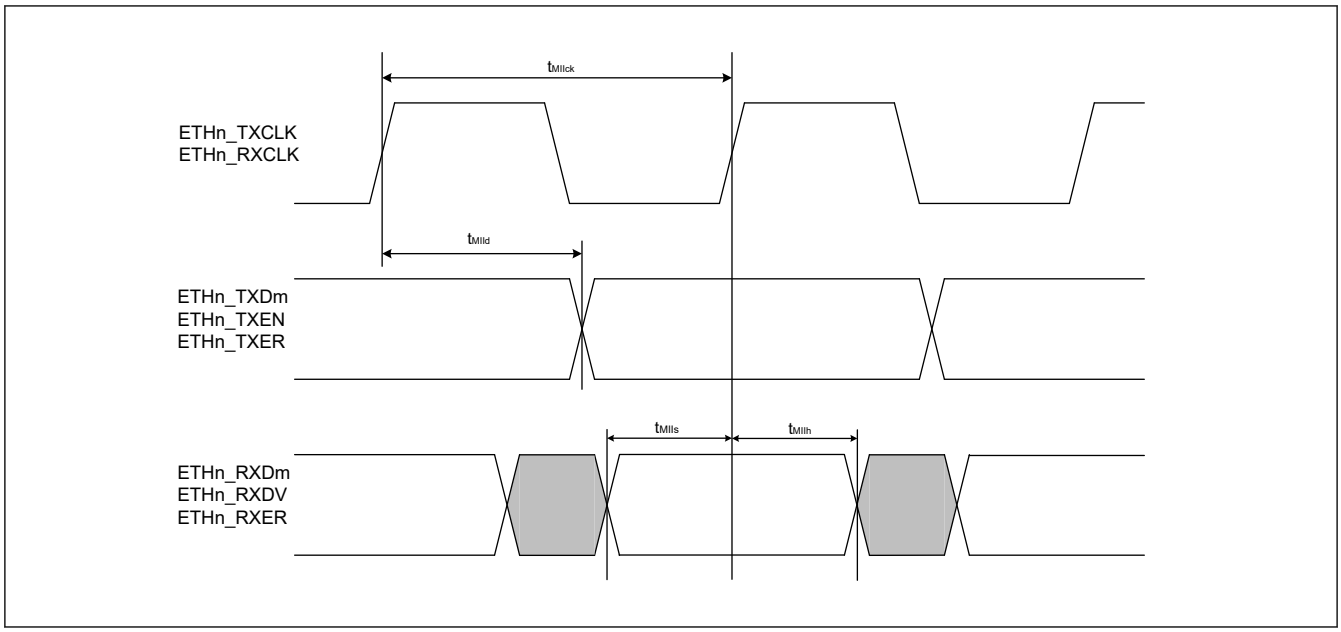


図 2.66 MII 送受信タイミング (n = 0～3, m = 0～3)

2.5.5.15 シリアルマネジメントインタフェースタイミング

条件：

V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5、C = 30 pF（VDD1833 = 1.8 V または 3.3 V）

表 2.36 シリアルマネジメントインタフェースタイミング

項目			シンボル	Min	Max	単位	参照図
MDIO	MDC 出力サイクル時間	GMACn_MDC, ETHSW_MDC	T_{MDCck}	80	—	ns	図 2.67
		ESC_MDC		400	—	ns	
	MDIO 出力遅延時間（MDC 立ち下がりに対して）(注1)		T_{MDIOd}	—	20	ns	
	MDIO 入力セットアップ時間（MDC 立ち上がりに対して）	GMACn_MDC, ETHSW_MDC	T_{MDIOs}	18	—	ns	
		ESC_MDC		70	—	ns	
	MDIO 入力ホールド時間（MDC 立ち上がりに対して）		T_{MDIOh}	0	—	ns	

注 1. ETHSW からの出力タイミングは MDC の立ち上がりエッジに基づいており、レジスタに出力遅延を設定可能です。

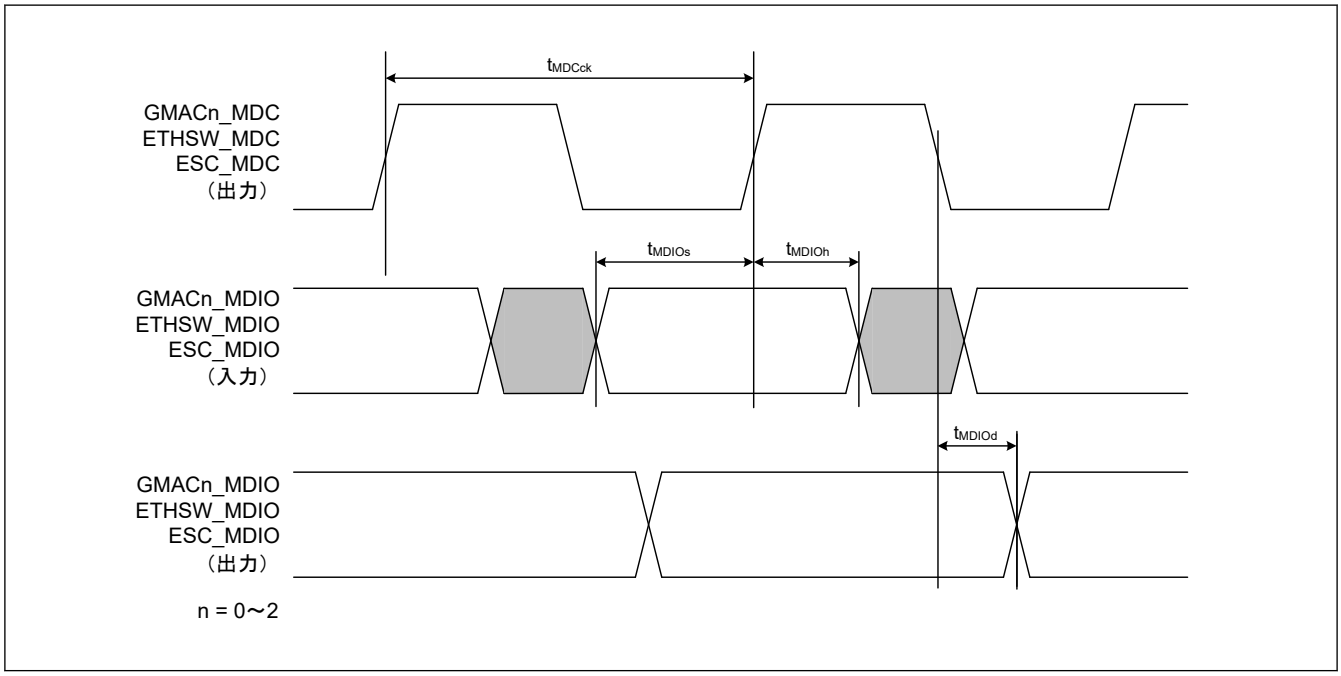


図 2.67 シリアルマネジメントインタフェースタイミング

2.5.5.16 SHOSTIF タイミング

条件：

V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF

表 2.37 SHOSTIF タイミング

項目		シンボル	Min	Max	単位	参照図
SHOSTIF	クロックサイクルタイム	t_{SHck}	25	—	ns	図 2.68
	クロック High 時間	t_{CH}	0.45	0.55	t_{SHck}	
	クロック Low 時間	t_{CL}	0.45	0.55	t_{SHck}	
	クロック立ち上がりスルーレート	t_{CRT}	0.1	—	V/ns	
	クロック立ち下がりスルーレート	t_{CFT}	0.1	—	V/ns	
	CS# High 時間	t_{CS}	2	—	t_{SHck}	図 2.69、図 2.70
	CS#アクティブセットアップ時間	t_{CSS}	15	—	ns	
	CS#アクティブホールド時間	t_{CSH}	15	—	ns	
	データ入力セットアップ時間	t_{SU}	3	—	ns	
	データ入力ホールド時間	t_{HD}	10.5	—	ns	
	クロック Low～出力有効	t_V	—	15.5	ns	
	データ出力ホールド時間	t_{HO}	6	—	ns	
	データ出力禁止時間	t_{DIS}	—	18	ns	

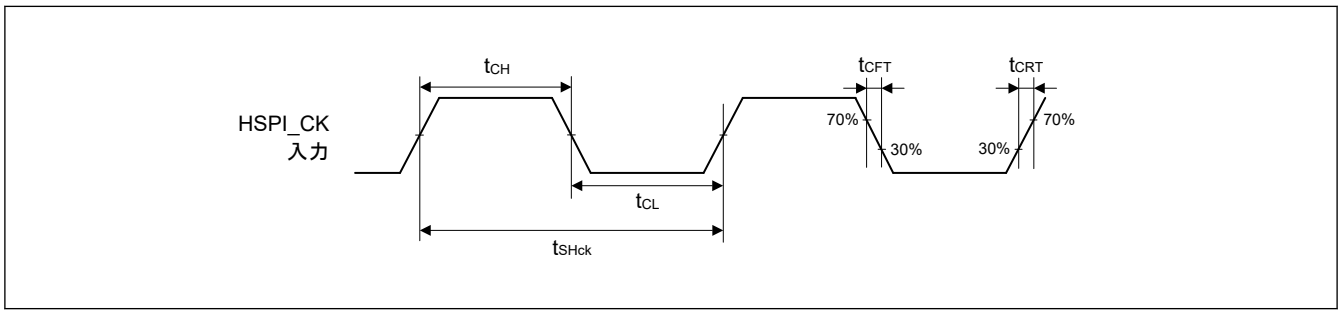


図 2.68 SHOSTIF クロックタイミング

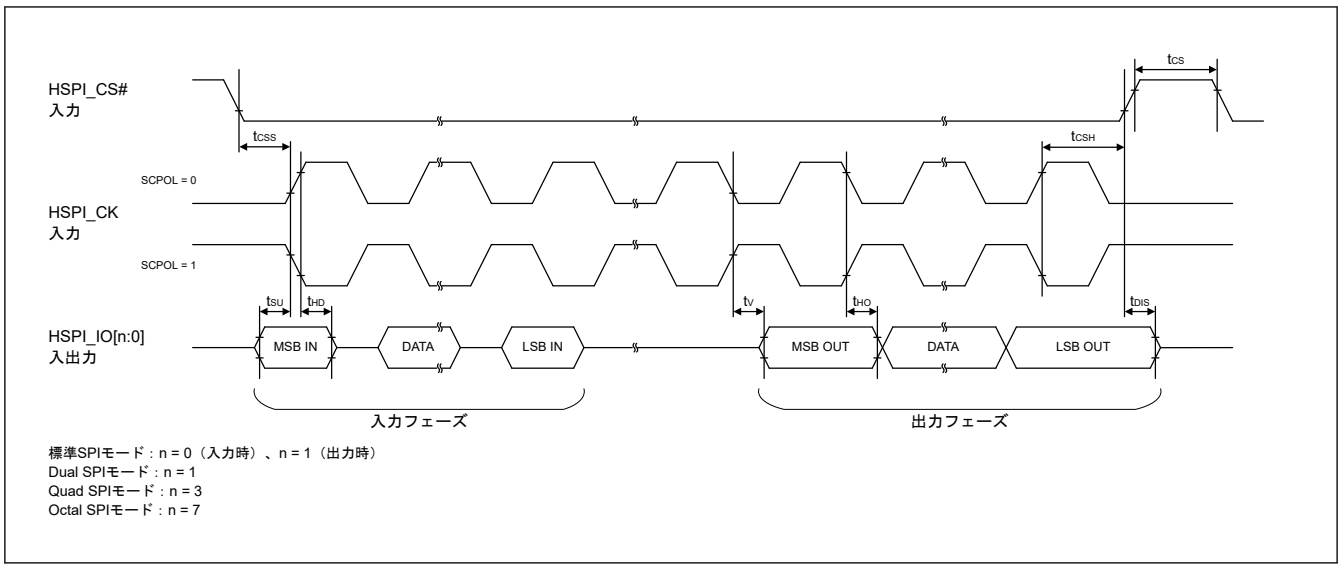


図 2.69 SHOSTIF タイミング (SCPH = 0)

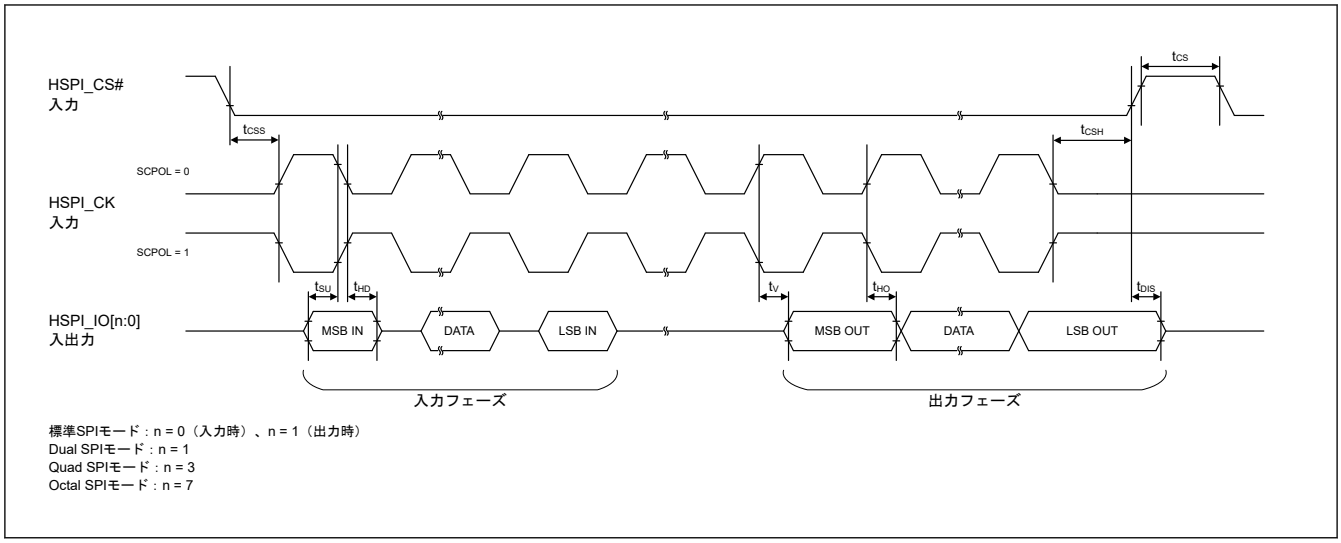


図 2.70 SHOSTIF タイミング (SCPH = 1)

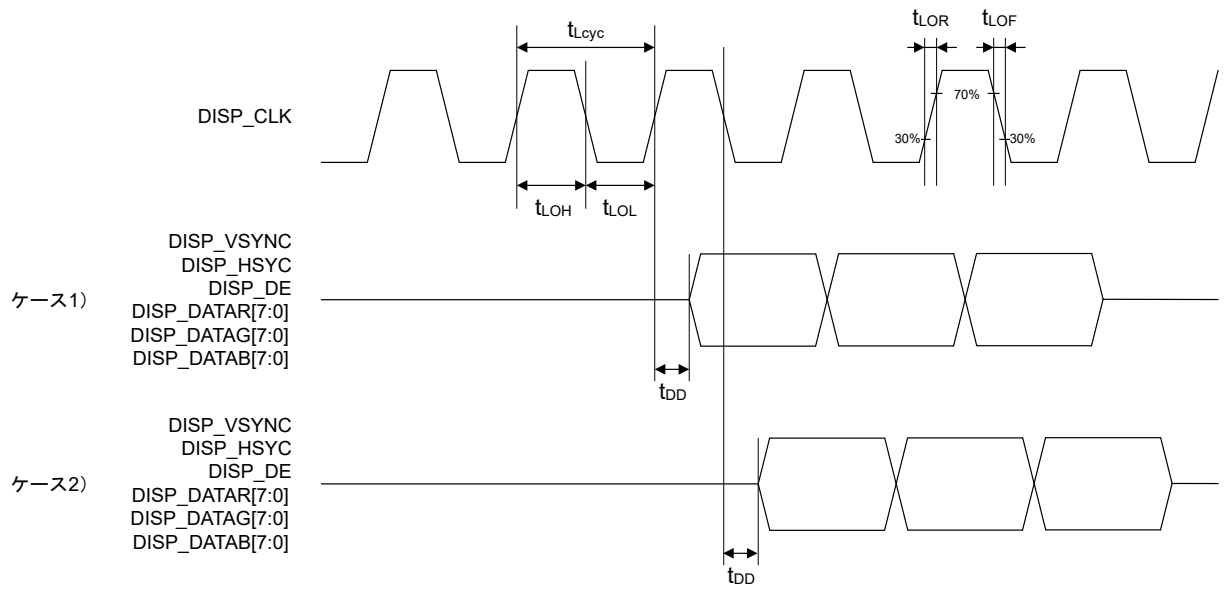
2.5.5.17 LCDC タイミング

条件：

V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5、C = 30 pF

表 2.38 LCDC タイミング

項目		シンボル	Min	Typ	Max	単位	参照図
LCDC	DCLK 出力周期	t_{Lcyc}	10	—	200	ns	図 2.71
	DCLK 出力 Low レベルパルス幅	t_{LOL}	$t_{Lcyc}/2 - 1$	—	$t_{Lcyc}/2 + 1$	ns	
	DCLK 出力 High レベルパルス幅	t_{LOH}	$t_{Lcyc}/2 - 1$	—	$t_{Lcyc}/2 + 1$	ns	
	DCLK 出力立ち上がり時間	t_{LOR}	—	—	3	ns	
	DCLK 出力立ち下がり時間	t_{LOF}	—	—	3	ns	
	データ出力遅延時間	t_{DD}	-1.5	—	1.5	ns	



注.
ケース1）DISP_CLK正転出力モード（DU_DITR0レジスタのDPI_CLKMDビットが0のとき）
ケース2）DISP_CLK反転出力モード（DU_DITR0レジスタのDPI_CLKMDビットが1のとき）

図 2.71 LCDC タイミング

2.5.5.18 SDHI タイミング

表 2.39 1.8 V SDHI タイミング (1/2)

条件：V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5 (VDD1833 = 1.8 V)

項目		シンボル	条件	Min	Max	単位	参照図
(SD) SDR104 (eMMC) HS200	SD_CLK クロックサイクル	T_{SDCYC}	C = 15 pF 駆動強度 CLK：超高 その他：高	5	10	ns	図 2.72
	SD_CLK クロック High レベル幅	T_{SDWH}		1.5	—	ns	
	SD_CLK クロック Low レベル幅	T_{SDWL}		1.5	—	ns	
	SD_CLK クロック立ち上がり時間	T_{SDLH}		—	1	ns	
	SD_CLK クロック立ち下がり時間	T_{SDHL}		—	1	ns	
	SD_CMD、SD_DATA 出力遅延	T_{SDODLY}		-1.7	0.9	ns	
	SD_CMD、SD_DATA 入力セットアップ時間	T_{SDIS}		—	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間	T_{SDIH}		—	—	ns	
	SD_CMD、SD_DATA 入力データ幅	T_{SDIDW}		2.88	—	ns	

表 2.39 1.8 V SDHI タイミング (2/2)

条件：V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5 (VDD1833 = 1.8 V)

項目		シンボル	条件	Min	Max	単位	参照図
(SD) SDR50, SDR25, SDR12 (eMMC) 高速 SDR、 下位互換性	SD_CLK クロックサイクル	T_{SDCYC}	C = 20 pF 駆動強度 CLK：超高 その他：高	10	—	ns	図 2.72
	SD_CLK クロック High レベル幅	T_{SDWH}		3	—	ns	
	SD_CLK クロック Low レベル幅	T_{SDWL}		3	—	ns	
	SD_CLK クロック立ち上がり時間	T_{SDLH}		—	2	ns	
	SD_CLK クロック立ち下がり時間	T_{SDHL}		—	2	ns	
	SD_CMD、SD_DATA 出力遅延	T_{SDODLY}		-4.2	1.6	ns	
	SD_CMD、SD_DATA 入力セットアップ時間	T_{SDIS}		1.1	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間	T_{SDIH}		1.8	—	ns	
	SD_CMD、SD_DATA 入力データ幅	T_{SDIDW}		—	—	ns	
(SD) DDR50 (eMMC) 高速 DDR	SD_CLK クロックサイクル	T_{SDCYC}	C = 25 pF 駆動強度 CLK：高 その他：高	20	—	ns	図 2.73
	SD_CLK クロック High レベル幅	T_{SDWH}		9	11	ns	
	SD_CLK クロック Low レベル幅	T_{SDWL}		9	11	ns	
	SD_CLK クロック立ち上がり時間	T_{SDLH}		—	3	ns	
	SD_CLK クロック立ち下がり時間	T_{SDHL}		—	3	ns	
	SD_CMD 出力遅延 (SDR)	T_{SDODLY}		-6	3	ns	
	SD_CMD 入力セットアップ時間 (SDR)	T_{SDIS}		4.8	—	ns	
	SD_CMD 入力ホールド時間 (SDR)	T_{SDIH}		2.5	—	ns	
	SD_DATA 出力遅延 (DDR)	T_{SDODLY_DDR}		2.5	6	ns	
	SD_DATA 入力セットアップ時間 (DDR)	T_{SDIS_DDR}		1.5	—	ns	
	SD_DATA 入力ホールド時間 (DDR)	T_{SDIH_DDR}		1.5	—	ns	

表 2.40 3.3 V SDHI タイミング (1/2)

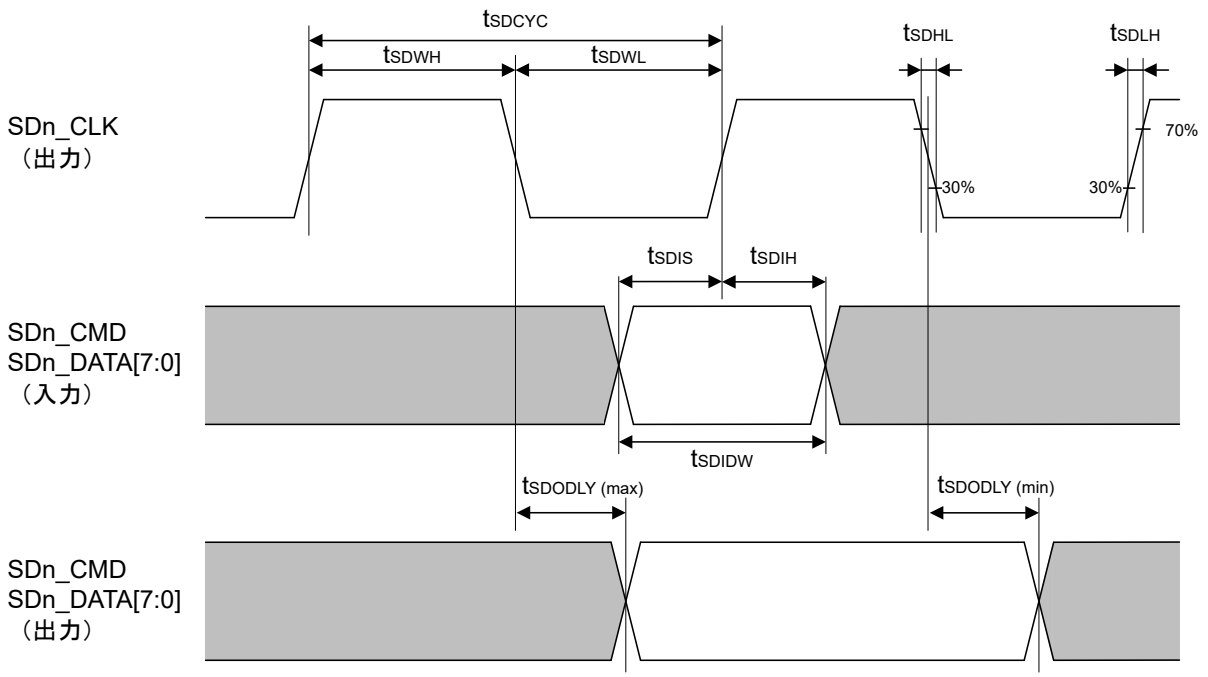
条件：V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5 (VDD1833 = 3.3 V)

項目		シンボル	条件	Min	Max	単位	参照図
(SD) 高速 (eMMC) 高速 SDR、	SD_CLK クロックサイクル	T_{SDCYC}	C = 40 pF 駆動強度 CLK：高 その他：中	20	—	ns	図 2.72
	SD_CLK クロック High レベル幅	T_{SDWH}		7	—	ns	
	SD_CLK クロック Low レベル幅	T_{SDWL}		7	—	ns	
	SD_CLK クロック立ち上がり時間	T_{SDLH}		—	3	ns	
	SD_CLK クロック立ち下がり時間	T_{SDHL}		—	3	ns	
	SD_CMD、SD_DATA 出力遅延	T_{SDODLY}		-6.2	2.5	ns	
	SD_CMD、SD_DATA 入力セットアップ時間	T_{SDIS}		4	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間	T_{SDIH}		2	—	ns	
	SD_CMD、SD_DATA 入力データ幅	T_{SDIDW}		—	—	ns	

表 2.40 3.3 V SDHI タイミング (2/2)

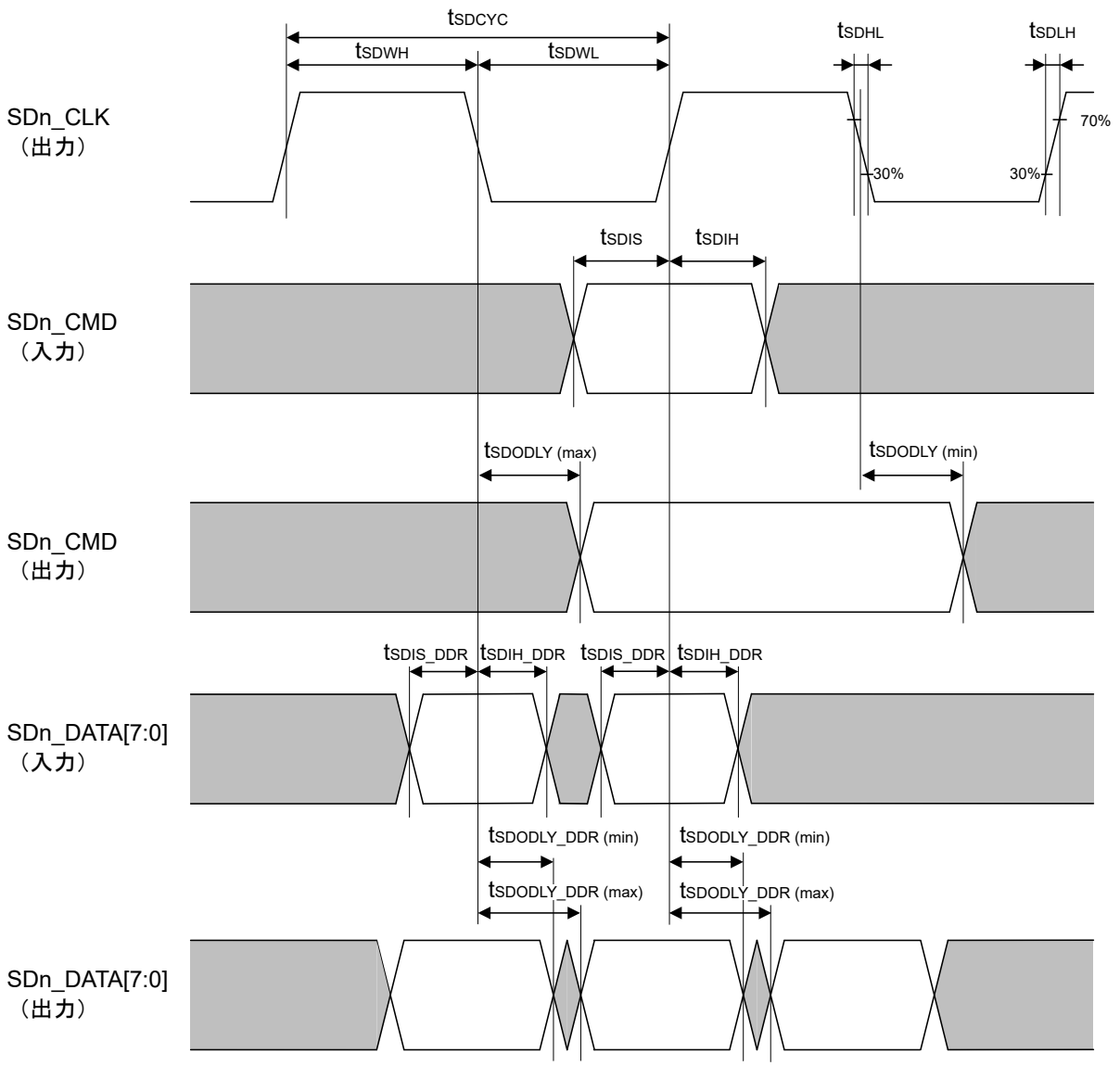
条件：V_{OH} = VDD1833 × 0.5、V_{OL} = VDD1833 × 0.5 (VDD1833 = 3.3 V)

項目		シンボル	条件	Min	Max	単位	参照図
(SD) デフォルト速度 (eMMC) 下位互換性	SD_CLK クロックサイクル	T_{SDCYC}	C = 40 pF 駆動強度 CLK：高 その他：中	40	—	ns	図 2.72
	SD_CLK クロック High レベル幅	T_{SDWH}		10	—	ns	
	SD_CLK クロック Low レベル幅	T_{SDWL}		10	—	ns	
	SD_CLK クロック立ち上がり時間	T_{SDLH}		—	10	ns	
	SD_CLK クロック立ち下がり時間	T_{SDHL}		—	10	ns	
	SD_CMD、SD_DATA 出力遅延	T_{SDODLY}		-7.5	2.5	ns	
	SD_CMD、SD_DATA 入力セットアップ時間	T_{SDIS}		4	—	ns	
	SD_CMD、SD_DATA 入力ホールド時間	T_{SDIH}		2	—	ns	
	SD_CMD、SD_DATA 入力データ幅	T_{SDIDW}		—	—	ns	
(eMMC) 高速 DDR	SD_CLK クロックサイクル	T_{SDCYC}	C = 30 pF 駆動強度 CLK：高 その他：高	20	—	ns	図 2.73
	SD_CLK クロック High レベル幅	T_{SDWH}		9	11	ns	
	SD_CLK クロック Low レベル幅	T_{SDWL}		9	11	ns	
	SD_CLK クロック立ち上がり時間	T_{SDLH}		—	3	ns	
	SD_CLK クロック立ち下がり時間	T_{SDHL}		—	3	ns	
	SD_CMD 出力遅延 (SDR)	T_{SDODLY}		-6	6	ns	
	SD_CMD 入力セットアップ時間 (SDR)	T_{SDIS}		4.8	—	ns	
	SD_CMD 入力ホールド時間 (SDR)	T_{SDIH}		2.5	—	ns	
	SD_DATA 出力遅延 (DDR)	T_{SDODLY_DDR}		2.5	6.5	ns	
	SD_DATA 入力セットアップ時間 (DDR)	T_{SDIS_DDR}		1.4	—	ns	
	SD_DATA 入力ホールド時間 (DDR)	T_{SDIH_DDR}		1.5	—	ns	



n = 0, 1
n = 1の場合、SDn_DATA[7:4]は使用できません。

図 2.72 SDHI タイミング (SDR)



n = 0, 1
n = 1の場合、SDn_DATA[7:4]は使用できません。

図 2.73 SDHI タイミング (DDR)

2.6 USB 特性

本 LSI の USB PHY は、Universal Serial Bus Specification Revision 2.0 に準拠します。

注. USB_VUBUSIN 端子と VBUS 電圧源の間に 30 (±1%) kΩ の外部抵抗を接続する必要があります。
USB_TXRTUNE 端子と VSS の間に 200 (±1%) Ω の外部抵抗を接続する必要があります。

2.7 A/D 変換特性

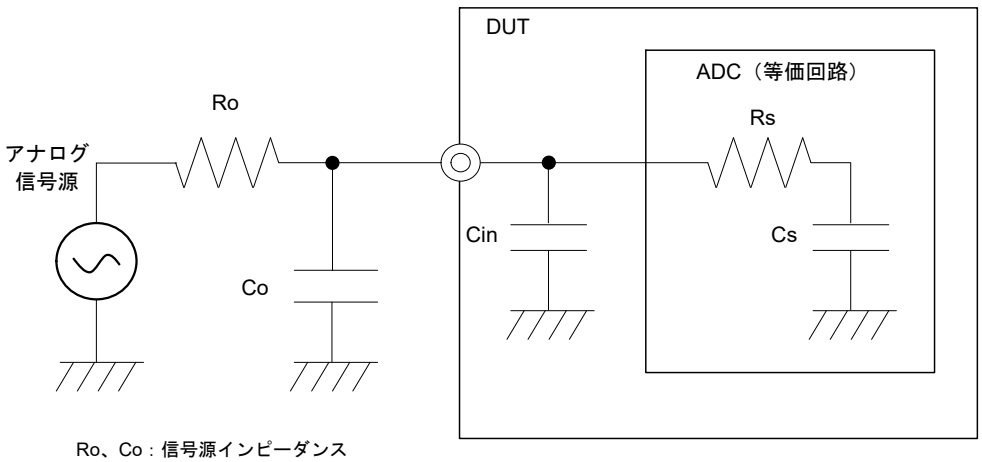
表 2.41 12 ビット A/D 変換特性 (1/2)

項目	Min	Typ	Max	単位	参照図
分解能			12	ビット	—
アナログ入力容量	—	—	15	pF	—

表 2.41 12 ビット A/D 変換特性 (2/2)

項目		Min	Typ	Max	単位	参照図
変換時間(注1) 許容信号源インピーダンス Max = 1.0 kΩ	チャネル専用サンプル&ホールド回路使用時	0.64	—	—	μs	—
	チャネル専用サンプル&ホールド回路不使用時	0.32	—	—		—
オフセット誤差		—	—	±50	LSB	—
フルスケール誤差		—	—	±50	LSB	—
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	—	±55	LSB	—
DNL 微分非直線性誤差		—	—	±2	LSB	—
INL 積分非直線性誤差		—	—	±3.5	LSB	—
ダイナミックレンジ		0.02	—	AVDDREF_ADCn - 0.02	V	—

注. 表の指定値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中に外部バスアクセスを行った場合は、指定した値の範囲に収まらない可能性があります。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。



Ro、Co：信号源インピーダンス
Cin：内部寄生容量（パッケージ、入出力、その他）
Rs、Cs：ADC等価回路インピーダンス（Rs = 5.4 kΩおよびCs = 1.25 pF (Typical)）

図 2.74 A/D コンバータの等価回路と周辺回路構成図

2.8 温度センサ特性

表 2.42 温度センサ特性

項目	Min	Typ	Max	単位	測定条件
相対精度	—	±2	—	℃	(注1)
温度傾斜	—	0.0625	—	°C/LSB	—
出力コード（25℃時）	—	1751（10 進数）	—	—	SCRR レジスタ

注 1. 2 点キャリブレーション（Tj = -40℃および Tj = 125℃）、および 8 回平均。

2.9 PCI-Express 特性

本 LSI の PCI Express PHY は、PCI Express® Base Specification 3.1 (Gen1/Gen2/Gen3) に準拠します。

表 2.43 PCI Express REFCLK 入力特性

項目	シンボル	条件	Min	Typ	Max	単位
入力シングルエンド終端インピーダンス	$Z_{RX\text{-}SINGLEEND}$	—	10	—	—	kΩ
差動入力ピークトゥピーク電圧	$V_{RXCLK\text{-}DPP}$	—	120	—	—	mV
入力コモンモード電圧	$V_{RXCLK\text{-}DC\text{-}CM}$	—	0.25	0.6	0.95	V
絶対シングルエンド入力電圧	$V_{RXCLK\text{-}SE}$	—	-0.3	—	1.1	V

2.10 DDRSS (LPDDR4) 特性

本 LSI の LPDDR4 PHY は、JEDEC 209-4D 規格に準拠します。

注. DDR_ZN 端子と VSS の間に 120 (±1%) Ω の外部抵抗を接続する必要があります。

2.11 デバッグインタフェースタイミング

条件：V_{OH} = VDD33 × 0.5、V_{OL} = VDD33 × 0.5

表 2.44 デバッグインタフェースタイミング

項目		シンボル	Min	Max	単位	参照図
TCK サイクル時間	ICE 接続時	t_{TCKcyc}	30(注1)	—	ns	図 2.75
	BSCAN 使用時		80	—		
TCK High レベルパルス幅		t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCK Low レベルパルス幅		t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDI セットアップ時間		t_{TDIS}	5	—	ns	図 2.76 出力負荷： 30 pF
TDI ホールド時間		t_{TDIH}	5	—	ns	
TMS/SWDIO セットアップ時間		t_{TMSS}	5	—	ns	
TMS/SWDIO ホールド時間		t_{TMSH}	5	—	ns	
SWDIO 遅延時間		t_{SWDO}	—	15	ns	
TDO 遅延時間	ICE 接続時	t_{TDOD}	—	15	ns	
	BSCAN 使用時		—	22		
キャプチャレジスタセットアップ時間		t_{CAPTS}	5	—	ns	図 2.77
キャプチャレジスタホールド時間		t_{CAPTH}	5	—	ns	
更新レジスタ遅延時間		$t_{UPDATED}$	—	15	ns	

注 1. この値は、内部回路の通常動作のための最小のサイクルタイムです。
実際のサイクルタイムは、TCK キャプチャエッジタイミングと接続する ICE のケーブル長を考慮して決定する必要があります。

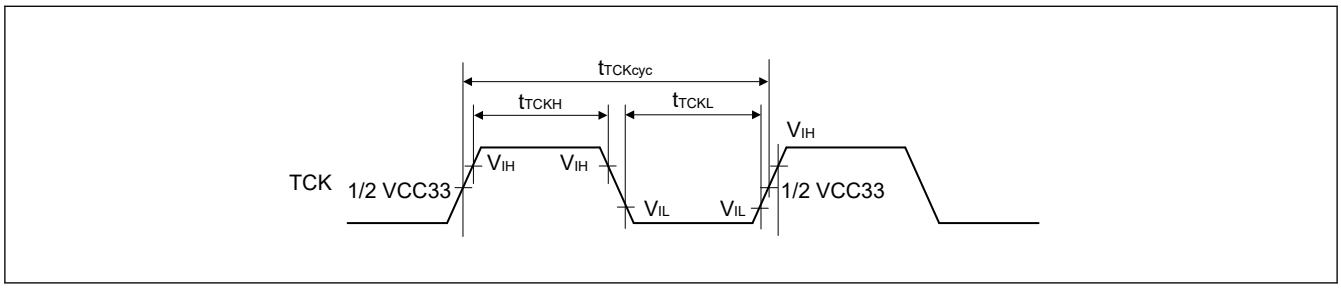


図 2.75 TCK 入力タイミング

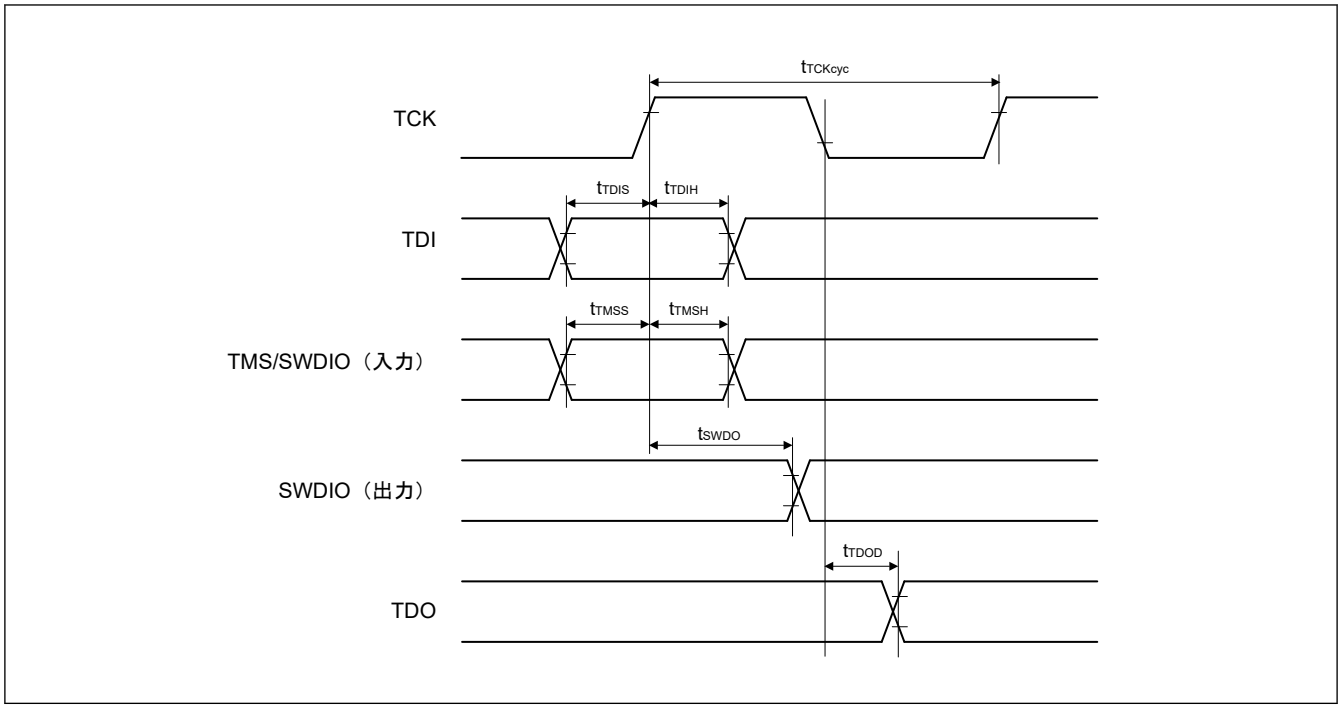


図 2.76　　データ転送タイミング

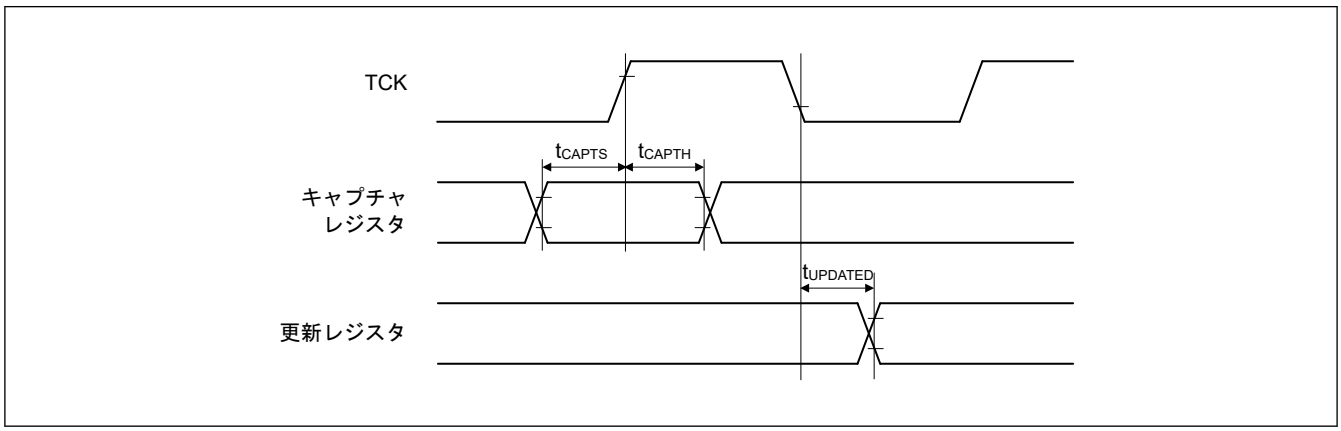
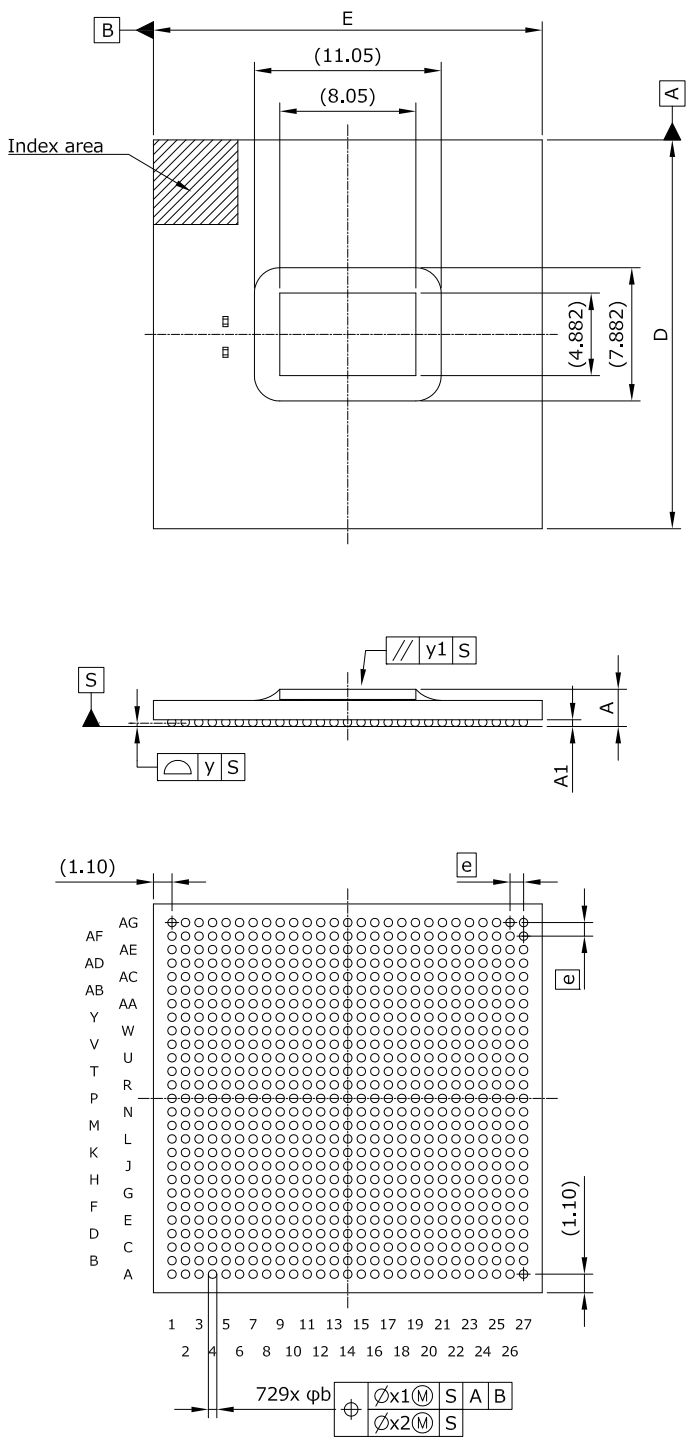


図 2.77　　バウンダリスキャン入出力タイミング

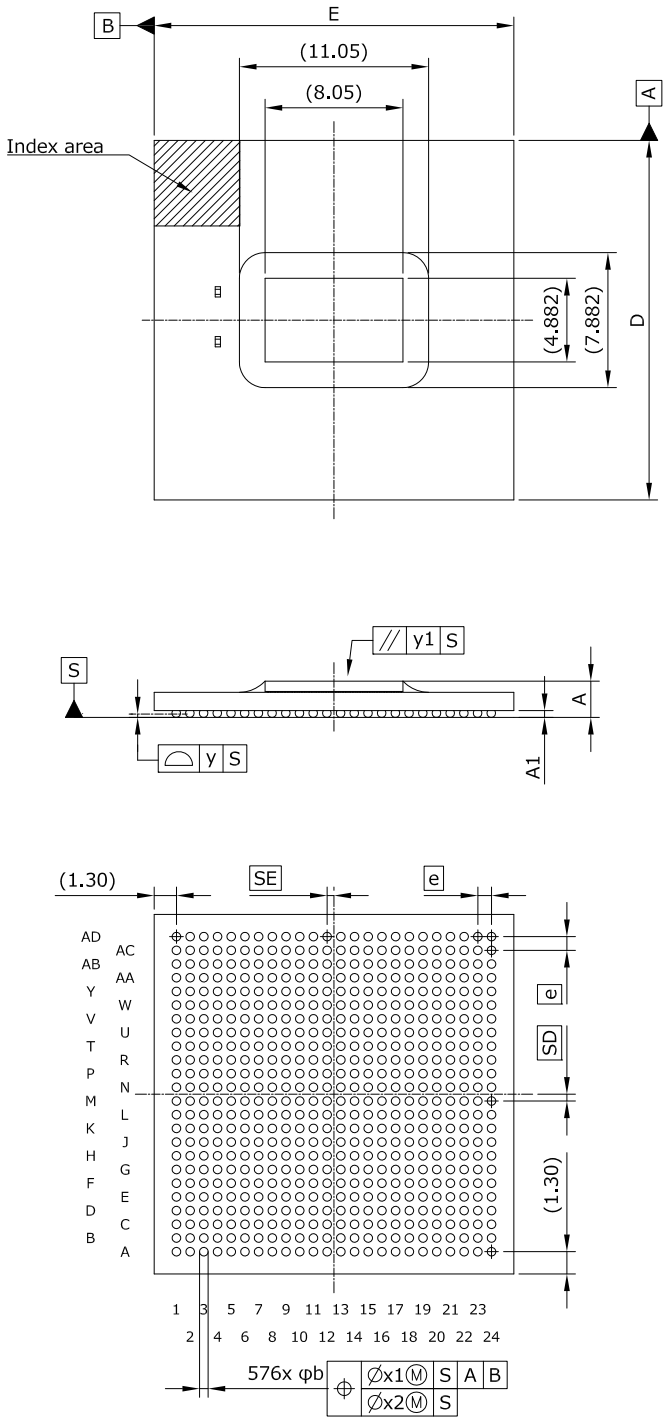
付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。



Reference Symbol	Dimension in Milimeters		
	Min	Nom	Max
D	22.8	23.0	23.2
E	22.8	23.0	23.2
A	—	—	2.40
A1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x1	—	—	0.20
x2	—	—	0.08
y	—	—	0.15
y1	—	—	0.2

図 1.1 729 ピン FCBGA



Reference Symbol	Dimension in Milimeters		
	Min	Nom	Max
D	20.85	21.0	21.15
E	20.85	21.0	21.15
A	—	—	2.30
A1	0.35	0.40	0.45
e	—	0.80	—
SD	—	0.4	—
SE	—	0.4	—
b	0.45	0.50	0.55
x1	—	—	0.20
x2	—	—	0.08
y	—	—	0.15
y1	—	—	0.2

図 1.2 576 ピン FCBGA

改訂履歴

Revision 1.00 — 2024 年 07 月 31 日

初版発行

Revision 1.10 — 2024 年 10 月 25 日

2. 電気的特性：

- 表 2.29 SCI、SCIE タイミングを更新

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2024 Renesas Electronics Corporation. All rights reserved.