

300MHz/450MHz/600MHz、Arm®社 Cortex® -R4 / -M3 (注1) MCU、FPU内蔵、498/747/996 DMIPS、最大1Mバイト拡張内蔵SRAM、Ether-MAC、EtherCAT (注1)、USB2.0ハイスピード、CAN、SPIマルチI/Oバスコントローラなど多種多様な通信機能、 $\Delta\Sigma$ インタフェース、安全機能、Encoderインタフェース (注1)、セキュリティ機能 (注1)

特長

■ Arm 社 32 ビット Cortex-R4 プロセッサ内蔵

- 最大動作周波数 300/450/600MHz による高速リアルタイム制御 498/747/996DMIPS の性能 (300/450/600MHz 動作時)
- Arm 社 32 ビット Cortex-R4 (リビジョン r1p4) 内蔵
- ECC 付き密結合メモリ (TCM) 512K/32K バイト
- ECC 付き命令キャッシュ/データキャッシュ 各 8K バイト
- 高速割り込み
- FPU は単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート
- 8 段パイプラインのハーバードアーキテクチャ
- メモリプロテクションユニット (MPU) 対応
- Arm 社 CoreSight アーキテクチャ採用、JTAG および SWD インタフェースによるデバッグをサポート

■ Arm 社 32 ビット Cortex-M3 プロセッサ内蔵 (R-IN Engine 搭載製品)

- 動作周波数 150MHz
- Arm 社 32 ビット Cortex-M3 (リビジョン r2p1) 内蔵
- 3 段パイプラインの RISC ハーバードアーキテクチャ
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- スタンバイモード、スリープモードおよびモジュールストップ機能

■ 拡張内蔵 SRAM

- ECC 付き拡張内蔵 SRAM 最大 1M バイト
- 150 MHz

■ データ転送機能

- DMAC : 16 ch \times 2 ユニット内蔵
- イーサネットコントローラ専用 DMAC : 1 ch

■ イベントリンクコントローラ

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態でも、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- 端子リセットなど 4 種類のリセット要因
- 3.3 V (I/O 部)、1.2 V (内部) の 2 電源構成

■ クロック機能

- 外部クロック/発振子入力周波数 : 25 MHz
- CPU クロック周波数 : \sim 300/450/600 MHz
- 低速オンチップオシレータ (LOCO) : 240 kHz

■ 独立ウォッチドッグタイマ内蔵

- 低速オンチップオシレータの分周クロックで動作 : \sim 120 kHz

■ 安全機能

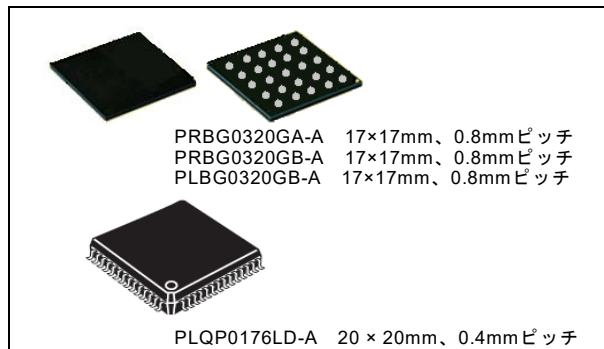
- レジスタライトプロテクション、入力クロック発振停止検出、CRC、IWDtA、A/D 自己診断など
- 各モジュールからのエラー要因に対し端子信号出力や割り込み、内部リセットを発生可能なエラーコントロールモジュール搭載

■ セキュリティ機能 (オプション) (注2)

- 暗号化によるセキュリティ機能を持つブートモード

■ Encoder インタフェース (オプション)

- 2ch (注3)
- EnDat2.2、BiSS-C、FA-CODER、A-format、HIPERFACE DSL 対応インタフェース (注4)
- Encoder 分周出力機能



■ 多種多様な通信機能を内蔵

- Ethernet
 - EtherCAT Slave Controller : 2 ポート (オプション)
 - Ether-MAC : 1 ポート (Switch 機能を未使用) または
 - Ether-MAC : 1 ポート (2 ポート対応 Switch 機能を使用)
- USB2.0 ハイスピードホスト/ファンクション : 1 ch
- CAN (ISO11898-1 準拠) : 最大 2 ch
- 16 バイトの送受信 FIFO 搭載 SCIFA : 5 ch
- I²C バスインタフェース : 最大 400Kbps 転送を 2 ch
- RSPIa : 4 ch
- SPIBSC : マルチ I/O 対応シリアルフラッシュメモリを 1 ch 接続可能

■ 外部アドレス空間

- 高速動作バス @ 75MHz (max)
- 6 つの CS 領域をサポート
- エリアごとに 8/16/32 ビットバス空間を選択可能

■ 最大 33 本の拡張タイマ機能

- 16 ビット TPUa (12 ch)、MTU3a (9 ch)、GPTa (4 ch) : インプットキャプチャ、アウトプットコンペア、PWM 波形出力
- 16 ビット CMT (6 ch)、32 ビット CMTW (2 ch)

■ シリアルサウンドインタフェース (1 ch)

■ $\Delta\Sigma$ インタフェース

- 外部に最大 4 ch の $\Delta\Sigma$ モジュレータを接続可能

■ 12 ビット A/D コンバータ内蔵

- 12 ビット \times 最大 2 ユニット (ユニット 0 : 8 ch、ユニット 1 : 16 ch)
- 自己診断機能
- アナログ入力断線検出機能

■ チップ内部の温度を計測可能な温度センサを内蔵

■ 汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

■ マルチファンクションピンコントローラ

- 周辺機能の入出力端子を複数箇所から選択可能

■ 動作温度範囲

- T_j = -40°C \sim +125°C
- T_j : ジャンクション温度

注1. オプション機能

注2. 本オプション機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

注3. 2ch で使用する場合は、EnDat2.2、BiSS-C、FA-CODER、A-format のいずれかの組み合わせで使用可能です。

注4. BiSSはiC-Haus GmbHの登録商標です。

1. 概要

1.1 仕様概要

本 LSI は、Arm® 社 Cortex® -R4 Processor with FPU および Cortex-M3 Processor (R-IN Engine 搭載製品) を搭載し、システム構成に必要な周辺機能を集積した高性能マイコンです。表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/7)

分類	モジュール/機能	説明
CPU	中央演算処理装置 (Cortex-R4)	<ul style="list-style-type: none"> 最大動作周波数 320ピンFBGA：300 MHz/450 MHz/600 MHz 176ピンHLFQFP：450 MHz Arm社製32ビットCPU Cortex-R4 (コア・リビジョンr1p4) アドレス空間：4Gバイト 命令キャッシュサイズ：8Kバイト (ECC付き) データキャッシュサイズ：8Kバイト (ECC付き) 密結合メモリ (TCM) サイズ ATCM：512Kバイト (ECC付き) BTCM：32Kバイト (ECC付き) 命令セット：Thumb® / Thumb-2をサポートするArmv7-Rアーキテクチャ データ配置 命令：リトルエンディアン データ：リトルエンディアン メモリプロテクションユニット (MPU)
	中央演算処理装置 (Cortex-M3) (R-IN Engine搭載製品)	<ul style="list-style-type: none"> 動作周波数：150 MHz Arm社製32ビットCPU Cortex-M3 (コア・リビジョンr2p1) アドレス空間：4Gバイト 命令セット：Thumb® / Thumb-2をサポートするArmv7-Mアーキテクチャ データ配置 命令：リトルエンディアン データ：リトルエンディアン メモリプロテクションユニット (MPU)
	FPU (Cortex-R4)	<ul style="list-style-type: none"> 単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート レジスタ 32ビットシングルワードレジスタ：32ビット×32本 (16本のダブルワードレジスタとしても使用可能：64ビット×16本)
メモリ	ECC付き拡張内蔵 SRAM	<ul style="list-style-type: none"> 容量：最大1Mバイト 動作周波数：150 MHz SEC-DED (シングルエラー訂正/ダブルエラー検出)
動作モード		<ul style="list-style-type: none"> 3つのブートモードから選択可能 SPIブートモード (シリアル・フラッシュ) 16ビットバスブートモード (NORフラッシュ) 32ビットバスブートモード (NORフラッシュ)
クロック	クロック発生回路	<ul style="list-style-type: none"> 入力クロックを外部クロックまたは外部発振子から選択可能 入力クロック発振停止検出：あり 下記クロックを生成 CPUクロック：300/450/600 MHz max システムクロック：150 MHz (固定) 高速周辺モジュールクロック：150 MHz (固定) 低速周辺モジュールクロック：75 MHz (固定) 12ビットA/Dコンバータ (S12ADCa) のADCCLK：60 MHz max 外部バスクロック：75 MHz max 低速オンチップオシレータ：240 kHz (固定)
リセット		RES#端子リセット、エラーコントロールモジュール (ECM) リセット、ソフトウェアリセット
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> スタンバイモード (Cortex-R4) スリープモード (Cortex-M3) (R-IN Engine搭載製品) モジュールストップ機能

表 1.1 仕様概要 (2 / 7)

分類	モジュール/機能	説明
割り込み	Cortex-R4 ベクタ割り込み コントローラ (VIC)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 290 / 292 (R-IN Engine 搭載製品) 外部割り込み：要因数 20 (NMI端子、IRQ0～IRQ15端子、ETH0_INT端子、ETH1_INT端子、ETH2_INT端子) ソフトウェア割り込み：要因数 1 ノンマスカブル割り込み：要因数 2 16レベルの割り込み優先順位を設定可能
	Cortex-M3 ネスト型 ベクタ割り込み コントローラ (NVIC) (R-IN Engine 搭載製品 のみ)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 101 外部割り込み：要因数 19 (IRQ0～IRQ15端子、ETH0_INT端子、ETH1_INT端子、ETH2_INT端子) ソフトウェア割り込み：要因数 1 ノンマスカブル割り込み：要因数 1 16レベルの割り込み優先順位を設定可能
外部バス拡張	バスステート コントローラ (BSC)	<ul style="list-style-type: none"> 外部アドレス空間を6つのエリア (CS0～CS5) に分割して管理 各エリアには独立に次の機能を設定可能 バスサイズ (8、16、32ビット)。ただし各エリアごとにサポートサイズは異なります。 アクセスウェイトサイクル数 (リード/ライトで独立ウェイト設定可能なエリアあり) アイドルウェイトサイクル設定 (同一エリア/別エリア) エリアごとに接続するメモリを指定することによってSRAM、バイト選択付きSRAM、 SDRAM、バーストROM (クロック同期/クロック非同期) との直結が可能。また、 アドレス/データマルチプレクスI/O (MPX) インタフェースをサポート 該当する領域にチップセレクト信号 (CS0#～CS5#) を出力 (CSアサート/ネゲートタイミングをプログラミングで選択可能) SDRAMリフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート SDRAMバーストアクセス機能
データ転送	ダイレクトメモリ アクセスコントローラ (DMAC)	<ul style="list-style-type: none"> 2ユニット (ユニット0：16チャンネル、ユニット1：16チャンネル) 転送モード：シングル転送モード、ブロック転送モード 転送サイズ ユニット0：1 / 2 / 4 / 16 / 32 / 64バイト ユニット1：1 / 2 / 4 / 16バイト 起動要因：外部リクエスト (DREQ0～DREQ2)、外部割り込み、内蔵周辺モジュール リクエスト、ソフトウェアリクエスト
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 320ピンFBGA 入出力：209 入力：9 プルアップ/プルダウン抵抗：209 5Vトレラント：9 176ピンHLFQFP 入出力：97 入力：5 プルアップ/プルダウン抵抗：97 5Vトレラント：5
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 最大103種類のイベント信号でモジュール間動作をリンク可能 タイマ系のモジュールはイベント入力時の動作選択が可能 ポートB、ポートEのイベントリンク動作が可能
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能

表 1.1 仕様概要 (3 / 7)

分類	モジュール/機能	説明
タイマ	16ビットタイマパルスユニット (TPUa)	<ul style="list-style-type: none"> • (16ビット×6チャンネル) × 2ユニット (注1) • 最大16本×2ユニットのパルス入出力が可能 • チャンネルごとに7種類または8種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) • インพุットキャプチャ/アウトプットコンペア機能をサポート • カウンタクリア動作 (コンペアマッチ/インพุットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT) への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • 最大15相×2ユニットのPWM波形を出力するPWMモード • チャンネルによってバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×4チャンネル) をサポート • PPGの出力トリガを生成可能 (ユニット0のみ) • A/Dコンバータの変換開始トリガを生成可能 • インพุットキャプチャ端子にデジタルノイズフィルタあり • ELCによるイベントリンク機能をサポート (ユニット0のみ)
	マルチファンクションタイマパルスユニット3 (MTU3a)	<ul style="list-style-type: none"> • 9チャンネル (16ビット×8チャンネル、32ビット×1チャンネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • チャンネルごとに10種類、11種類、12種類、14種類のカウントクロックを選択可能 (最大動作周波数: 150 MHz) • インพุットキャプチャ機能 • 39本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ • カウンタクリア動作 (コンペアマッチ/インพุットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT) への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 • 位相計数モード: 16ビットモード (チャンネル1、2) / 32ビットモード (チャンネル1、2をカスケード接続で使用) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インพุットキャプチャ、外部カウントクロック端子におけるデジタルノイズフィルタ機能 • PPGの出力トリガを生成可能 • ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (4 / 7)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTa)	<ul style="list-style-type: none"> 16ビット×4チャンネル 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波）が選択可能 チャンネルごとに4種類のカウンタクロックから選択可能（最大動作周波数：150 MHz） チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 チャンネルごとにフレーム周期用レジスタを搭載（オーバフロー/アンダフローで割り込み可能） それぞれのカウンタを同期動作可能 同期動作のモード（同時または任意のタイミングでずらす（位相シフトに対応）） PWM動作の際にデッドタイム生成が可能 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 外部/内部トリガによって、カウントスタート/クリア/ストップ可能 内部トリガ要因として、ソフトウェア、コンペアマッチ A/Dコンバータの変換開始トリガを生成可能 インプットキャプチャ、外部トリガ端子におけるデジタルノイズフィルタ機能 ELCによるイベントリンク機能をサポート
	プログラマブルパルスジェネレータ (PPG)	<ul style="list-style-type: none"> (4ビット×4グループ) × 2ユニット (注1) MTU3a、またはTPUaからの出力をトリガとしてパルスを出力 最大32本のパルス出力
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) × 3ユニット 4種類のカウンタクロックを選択可能（最大動作周波数：75 MHz） ELCによるイベントリンク機能をサポート（ユニット0のチャンネル1のみ）
	コンペアマッチタイマ W (CMTW)	<ul style="list-style-type: none"> (32ビット×1チャンネル) × 2ユニット コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のカウンタクロックを選択可能（最大動作周波数：75 MHz） コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 インプットキャプチャ端子におけるデジタルノイズフィルタ機能 ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> 14ビット×1チャンネル R-IN Engine搭載製品：14ビット×2チャンネル 6種類のカウンタクロックを選択可能（最大動作周波数：75 MHz）
	独立ウォッチドッグタイマ (IWDTA)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウンタクロック：低速オンチップオシレータ (LOCO) の2分周 カウンタクロックの1/16/32/64/128/256分周を選択可能 （最大動作周波数：120 kHz）
	ポートアウトプットイネーブル3 (POE3)	<ul style="list-style-type: none"> MTU3a/GPTa波形出力端子のハイインピーダンス制御 POE0#、POE4#、POE8#、POE10#の4つの入力端子による起動 出力短絡検出（PWM出力が同時にアクティブレベルになったことを検出）による起動 入力クロック発振停止検出/PLL発振異常検出/ソフトウェアによる起動 出力制御対象端子をプログラマブルに追加制御可能

表 1.1 仕様概要 (5 / 7)

分類	モジュール/機能	説明
通信機能	イーサネットMAC (ETHERC)	<ul style="list-style-type: none"> 1ポート (イーサネットスイッチ機能を用いて2ポート対応可能) IEEE802.3対応 10BASE、100BASE対応 全二重通信と半二重通信対応 自動ポーズパケット送信機能 ポーズパケット受信による自動送信サスペンド機能 MII/RMIIインタフェース対応
	イーサネットスイッチ	<ul style="list-style-type: none"> 2ポートPHYインタフェース IEEE802.3対応 10BASE、100BASE対応 全二重通信と半二重通信対応 ハードウェアスイッチング、ルックアップ、フィルタリング機能 フレーム優先順位分類のあるQoS対応 優先順位を再配置可能なVLAN Priority (IEEE802.1q)に基づく優先順位制御機能 IPv4 DiffServ Code Point Field, IPv6 Class of Serviceに基づく分類および優先順位割り当て機能 4つの優先順位のキューを実装 マルチキャストおよびブロードキャスト対応 VLANフレーム対応 IEEE1588対応タイムモジュールを実装 カッター、ハブ機能対応 デバイスレベルリング (DLR) 対応
	EtherCATスレーブコントローラ (ECATC) (注2)	<ul style="list-style-type: none"> 1チャンネル (2ポート) (注3) Beckhoff社製「EtherCAT Slave Controller IP Core」を採用
	USB2.0 HS ホスト/ファンクションモジュール	<ul style="list-style-type: none"> 1ポート USBバージョン2.0準拠 転送スピード ハイスピード (480 Mbps)、フルスピード (12 Mbps) 通信バッファ ホストモード用に1KバイトのRAMを内蔵 ファンクションモード用に8KバイトのRAMを内蔵
	FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	<ul style="list-style-type: none"> 5チャンネル シリアル通信方式：調歩同期式/クロック同期式 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> 2チャンネル I²Cバスフォーマット対応 マルチマスタ対応 最大転送レート：400 kbps ELCによるイベントリンク機能をサポート
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> 2チャンネル ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) メッセージバッファ： 最大64×2チャンネル受信メッセージバッファ、全チャンネルでシェア 1チャンネルあたり16送信メッセージバッファ 最大転送レート：1 Mbps

表 1.1 仕様概要 (6 / 7)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラル インタフェース (RSPIa)	<ul style="list-style-type: none"> 4チャンネル RSPi転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPi Clock) 信号を使用して、SPI動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	SPIマルチI/Oバス コントローラ (SPIBSC)	<ul style="list-style-type: none"> 1チャンネル マルチI/O (Single / Dual / Quad) 対応のシリアルフラッシュメモリが1個接続可能 外部アドレス空間リードモード (リードキャッシュ内蔵) SPI動作モード クロック極性、クロック位相選択可能 最大転送レート: 300 Mbps (Quad時)
シリアルサウンドインタフェース (SSI)	<ul style="list-style-type: none"> 1チャンネル 二重通信可能 多様なシリアルオーディオフォーマットをサポート マスタ/スレーブ機能をサポート シリアルビットクロック生成機能 8 / 16 / 18 / 20 / 22 / 24 / 32 ビットデータフォーマットをサポート 送信用用 8 段 FIFO 内蔵 SSIWS信号を停止せず動作するWSコンティニューモードをサポート 	
$\Delta\Sigma$ インタフェース (DSMIF)	<ul style="list-style-type: none"> 4チャンネル (ユニット0: 3チャンネル、ユニット1: 1チャンネル) 外部に最大4チャンネルの$\Delta\Sigma$モジュレータを接続可能 Syncフィルタは1次、2次、3次から選択可能 	
12ビットA/Dコンバータ (S12ADCa)	<ul style="list-style-type: none"> 12ビット×2ユニット (ユニット0: 8チャンネル、ユニット1: 16チャンネル) (注1) 分解能: 12ビット 変換時間 ユニット0: 1チャンネル当たり 0.483 μs ユニット1: 1チャンネル当たり 0.883 μs 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) サンプル&ホールド機能 チャンネル共通のサンプル&ホールド回路を搭載 上記に加え、チャンネル専用サンプル&ホールド回路を4チャンネル搭載 (ユニット0のみ) サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0: VREFL0, VREFH0 × 1/2, VREFH0、ユニット1: VREFL1, VREFH1 × 1/2, VREFH1) ダブルトリガモード (A/D変換データ2重化機能) アナログ入力断線検出機能 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3a、GPTa、TPUa) のトリガ、外部トリガ ELCによるイベントリンク機能をサポート 	
温度センサ	<ul style="list-style-type: none"> 1チャンネル 相対精度: $\pm 1^\circ\text{C}$ 温度を電圧に変換し、12ビットA/Dコンバータ (ユニット0) でデジタル化 	

表 1.1 仕様概要 (7/7)

分類	モジュール/機能	説明
セーフティ	レジスタライト プロテクション	ソフトウェアが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC 演算器 (CRC)	<ul style="list-style-type: none"> 8ビット/16ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 4つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (32-Ethernet)、 $X^{16} + X^{12} + X^5 + 1$ (16-CCITT)、 $X^8 + X^4 + X^3 + X^2 + 1$ (8-SAEJ1850)、 $X^8 + X^5 + X^3 + X^2 + X + 1$ (8-0x2F)
	入カクロック発振停止 機能	入カクロック発振停止検出：あり
	クロックモニタ回路 (CLMA)	PLL回路および低速オンチップオシレータの出カクロック周波数異常を監視することが可能
	データ演算回路 (DOC)	16ビットのデータを比較/加算/減算する機能
	エラーコントロール モジュール (ECM)	<ul style="list-style-type: none"> 各モジュールからのエラー信号入力に対して、割り込み/内部リセット/エラー出力を行うことが可能 タイムアウト機能 エラー制御をマスタとチェッカで2重化
セキュリティ 機能	セキュアブートモード (注4)	オプションとして、暗号化によるセキュリティ機能を持つブートモードを選択可能
Encoderインタフェース (注5)		<ul style="list-style-type: none"> 2ch (注6) EnDat2.2、BiSS-C、FA-CODER、A-format、HIPERFACE DSL 対応インタフェース Encoder分周出力機能
電源電圧		VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ~ 1.26 V VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 ~ 3.6 V
動作温度		Tj = -40 ~ +125°C
パッケージ		320ピンFBGA：17×17mm、0.8mm pitch PRBG0320GA-A 320ピンFBGA：17×17mm、0.8mm pitch PRBG0320GB-A 320ピンFBGA：17×17mm、0.8mm pitch PLBG0320GB-A 176ピンHLFQFP：20×20mm、0.4mm pitch PLQP0176LD-A
デバッグインタフェース		<ul style="list-style-type: none"> Arm社のCoreSightアーキテクチャ採用 JTAG/SWDインタフェースによるデバッグ機能、トレースポート/SWVインタフェースによるトレース機能をサポート

注1. 176ピン版は、1ユニット（ユニット0のみ搭載）

注2. EtherCATは、Beckhoff Automation GmbH, Germanyの登録商標です。（オプション）

注3. 176ピン版は、非搭載

注4. セキュアブートモード対応品については「表 1.3 製品一覧表」を参照してください。本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

注5. Encoderインタフェース搭載製品のみ。詳細は弊社営業担当にご確認ください。

注6. 2chで使用する場合は、EnDat2.2、BiSS-C、FA-CODER、A-format のいずれかの組み合わせで使用可能です。

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RZ/T1グループ		
		32ピン		176ピン
		R-IN Engine 搭載	R-IN Engine 非搭載	
外部バス	外部バス幅	32ビット		
割り込み	外部割り込み	NMI、IRQ0～IRQ15、 ETH0_INT、ETH1_INT、 ETH2_INT		NMI、IRQ0～ IRQ15、 ETH0_INT、 ETH1_INT
DMA	DMAコントローラ (DMAC)	ch0～31		
タイマ	16ビットタイマパルスユニット (TPUa)	ch0～11 (ユニット0、 ユニット1)		ch0～5 (ユニット0)
	マルチファンクションタイマパルスユニット3 (MTU3a)	ch0～8		
	汎用PWMタイマ (GPTa)	ch0～3		
	ポートアウトプットイネーブル3 (POE3)	有		
	プログラマブルパルスジェネレータ (PPG)	ユニット0、1	ユニット0	
	コンペマッチタイマ (CMT)	ch0～5		
	コンペマッチタイマW (CMTW)	ch0, 1		
	ウォッチドッグタイマ (WDTa)	ch0,1	ch0	
	独立ウォッチドッグタイマ (IWDTa)	有		
通信機能	イーサネットコントローラ (ETHERC)	1 port (注1)		
	EtherCATスレーブコントローラ (ECATC)	2 port (注1)	2 port (注1) (オプション)	無
	USB2.0 HS ホスト/ファンクションモジュール (USB)	ch0		
	FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	ch0～4		
	I ² Cバスインタフェース (RIICa)	ch0, 1		
	シリアルペリフェラルインタフェース (RSPIa)	ch0～3		
	CANモジュール (RSCAN)	ch0,1		
	SPIマルチI/Oバスコントローラ (SPIBSC)	ch0		
シリアルサウンドインタフェース (SSI)	ch0			
ΔΣインタフェース (DSMIF)	ch0～3			
12ビットA/Dコンバータ (S12ADCa)	AN000～007 (ユニット0) AN100～115 (ユニット1)		AN000～007 (ユニット0)	
温度センサ	有			
CRC演算器 (CRC)	有			
データ演算回路 (DOC)	有			
クロックモニタ回路 (CLMA)	有			
セキュアブートモード (注2)	オプション			
イベントリンクコントローラ (ELC)	有			
Encoderインタフェース (注3)	オプション		無	

注1. イーサネットコントローラとEtherCATスレーブコントローラ (オプション) で合計3 portです。またイーサネットコントローラは、イーサネットスイッチ機能を用いて2 port対応が可能です。

注2. セキュアブートモード対応品については「表 1.3 製品一覧表」を参照してください。本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

注3. 詳細は弊社営業担当にご確認ください。

1.2 製品一覧

表 1.3 に製品一覧を示します。

表 1.3 製品一覧表 (1/3)

型名	パッケージ	CPU	拡張内蔵 SRAM容量	Ether CAT	動作周波数 (max)	セキュリティ 機能対応 (注1)	オプション機能
R7S910001CFP	176 ピン (PLQP0176LD-A)	Cortex-R4	なし	なし	450MHz	なし	—
R7S910101CFP	176 ピン (PLQP0176LD-A)	Cortex-R4	なし	なし	450MHz	有	—
R7S910002CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	なし	なし	450MHz	なし	—
R7S910002CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	なし	なし	450MHz	なし	—
R7S910002CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	なし	なし	450MHz	なし	—
R7S910102CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	なし	なし	450MHz	有	—
R7S910006CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	なし	450MHz	なし	—
R7S910006CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	1MB	なし	450MHz	なし	—
R7S910006CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	1MB	なし	450MHz	なし	—
R7S910106CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	なし	450MHz	有	—
R7S910007CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	なし	600MHz	なし	—
R7S910007CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	1MB	なし	600MHz	なし	—
R7S910007CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	1MB	なし	600MHz	なし	—
R7S910107CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	なし	600MHz	有	—
R7S910011CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	なし	なし	450MHz	なし	Encoder I/F
R7S910011CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	なし	なし	450MHz	なし	Encoder I/F
R7S910011CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	なし	なし	450MHz	なし	Encoder I/F
R7S910111CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	なし	なし	450MHz	有	Encoder I/F
R7S910013CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	なし	600MHz	なし	Encoder I/F
R7S910013CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	1MB	なし	600MHz	なし	Encoder I/F
R7S910013CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	1MB	なし	600MHz	なし	Encoder I/F
R7S910113CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	なし	600MHz	有	Encoder I/F
R7S910015CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	450MHz	なし	R-IN Engine (CM3 : 150MHz)
R7S910015CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	450MHz	なし	R-IN Engine (CM3 : 150MHz)
R7S910015CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	450MHz	なし	R-IN Engine (CM3 : 150MHz)

表 1.3 製品一覧表 (2 / 3)

型名	パッケージ	CPU	拡張内蔵 SRAM容量	Ether CAT	動作周波数 (max)	セキュリティ 機能対応 (注1)	オプション機能
R7S910115CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	450MHz	有	R-IN Engine (CM3 : 150MHz)
R7S910016CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	450MHz	なし	Encoder I/F R-IN Engine (CM3 : 150MHz)
R7S910016CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	450MHz	なし	Encoder I/F R-IN Engine (CM3 : 150MHz)
R7S910016CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	450MHz	なし	Encoder I/F R-IN Engine (CM3 : 150MHz)
R7S910116CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	450MHz	有	Encoder I/F R-IN Engine (CM3 : 150MHz)
R7S910017CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	600MHz	なし	R-IN Engine (CM3 : 150MHz)
R7S910017CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	600MHz	なし	R-IN Engine (CM3 : 150MHz)
R7S910017CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	600MHz	なし	R-IN Engine (CM3 : 150MHz)
R7S910117CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	600MHz	有	R-IN Engine (CM3 : 150MHz)
R7S910018CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	600MHz	なし	Encoder I/F R-IN Engine (CM3 : 150MHz)
R7S910018CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	600MHz	なし	Encoder I/F R-IN Engine (CM3 : 150MHz)
R7S910018CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	600MHz	なし	Encoder I/F R-IN Engine (CM3 : 150MHz)
R7S910118CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	(R-IN Engine 用 1MB)	有	600MHz	有	Encoder I/F R-IN Engine (CM3 : 150MHz)
R7S910025CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	有	450MHz	なし	—
R7S910025CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	1MB	有	450MHz	なし	—
R7S910025CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	1MB	有	450MHz	なし	—
R7S910125CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	有	450MHz	有	—
R7S910026CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	有	450MHz	なし	Encoder I/F
R7S910026CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	1MB	有	450MHz	なし	Encoder I/F
R7S910026CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	1MB	有	450MHz	なし	Encoder I/F
R7S910126CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	有	450MHz	有	Encoder I/F
R7S910027CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	有	600MHz	なし	—
R7S910027CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	1MB	有	600MHz	なし	—
R7S910027CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	1MB	有	600MHz	なし	—

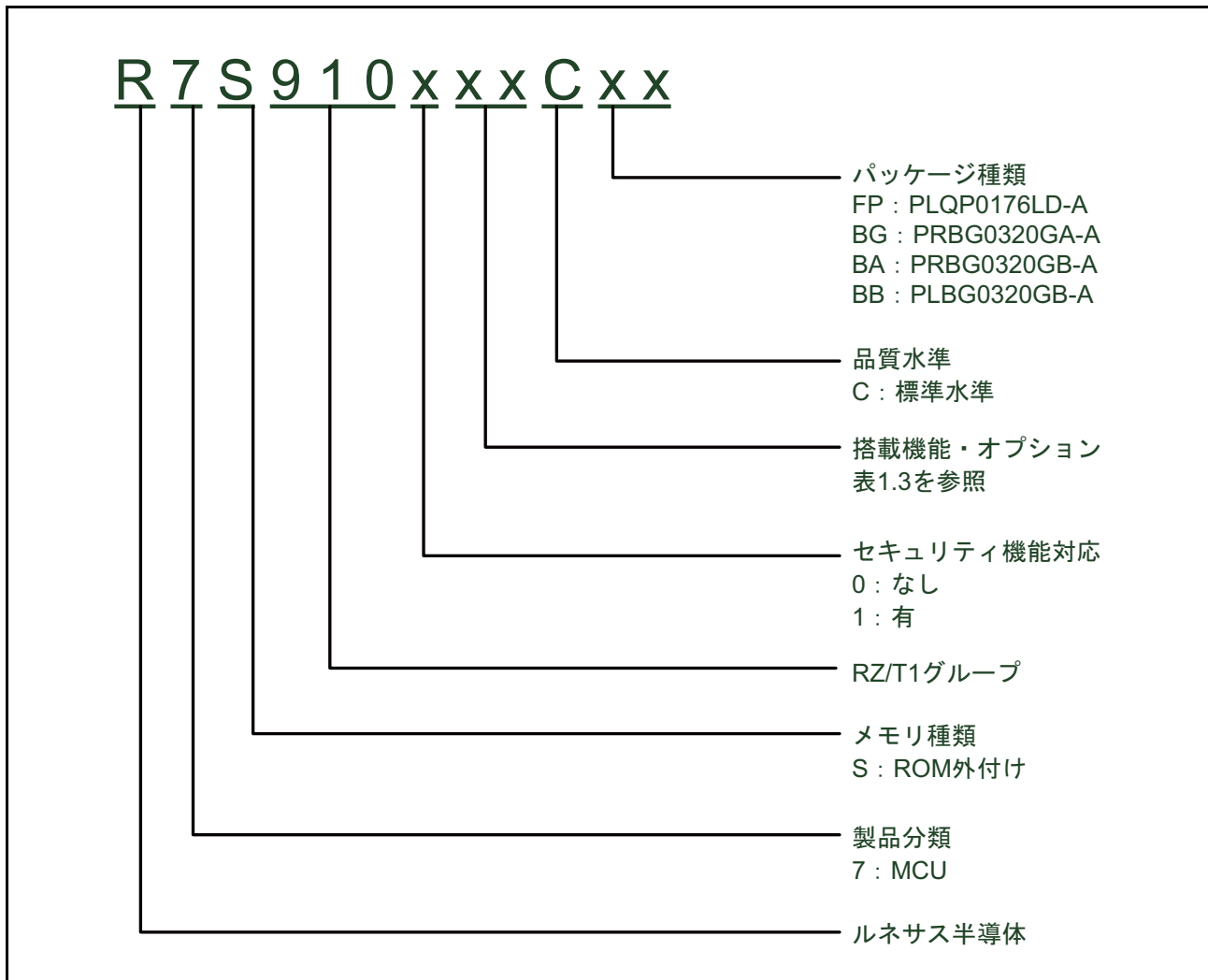
表 1.3 製品一覧表 (3 / 3)

型名	パッケージ	CPU	拡張内蔵 SRAM容量	Ether CAT	動作周波数 (max)	セキュリティ 機能対応 (注1)	オプション機能
R7S910127CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	有	600MHz	有	—
R7S910028CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	有	600MHz	なし	Encoder I/F
R7S910028CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	1MB	有	600MHz	なし	Encoder I/F
R7S910028CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	1MB	有	600MHz	なし	Encoder I/F
R7S910128CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	1MB	有	600MHz	有	Encoder I/F
R7S910035CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	なし	有	300MHz	なし	—
R7S910035CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	なし	有	300MHz	なし	—
R7S910035CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	なし	有	300MHz	なし	—
R7S910135CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	なし	有	300MHz	有	—
R7S910036CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	なし	有	300MHz	なし	Encoder I/F
R7S910036CBA	320 ピン (PRBG0320GB-A)	Cortex-R4	なし	有	300MHz	なし	Encoder I/F
R7S910036CBB	320 ピン (PLBG0320GB-A)	Cortex-R4	なし	有	300MHz	なし	Encoder I/F
R7S910136CBG	320 ピン (PRBG0320GA-A)	Cortex-R4	なし	有	300MHz	有	Encoder I/F

注. Encoder I/Fに関しては、個別の資料を参照してください。

注1. 本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

1.3 製品型名



1.4 ブロック図

図 1.1 に 320 ピン版のブロック図を示します。

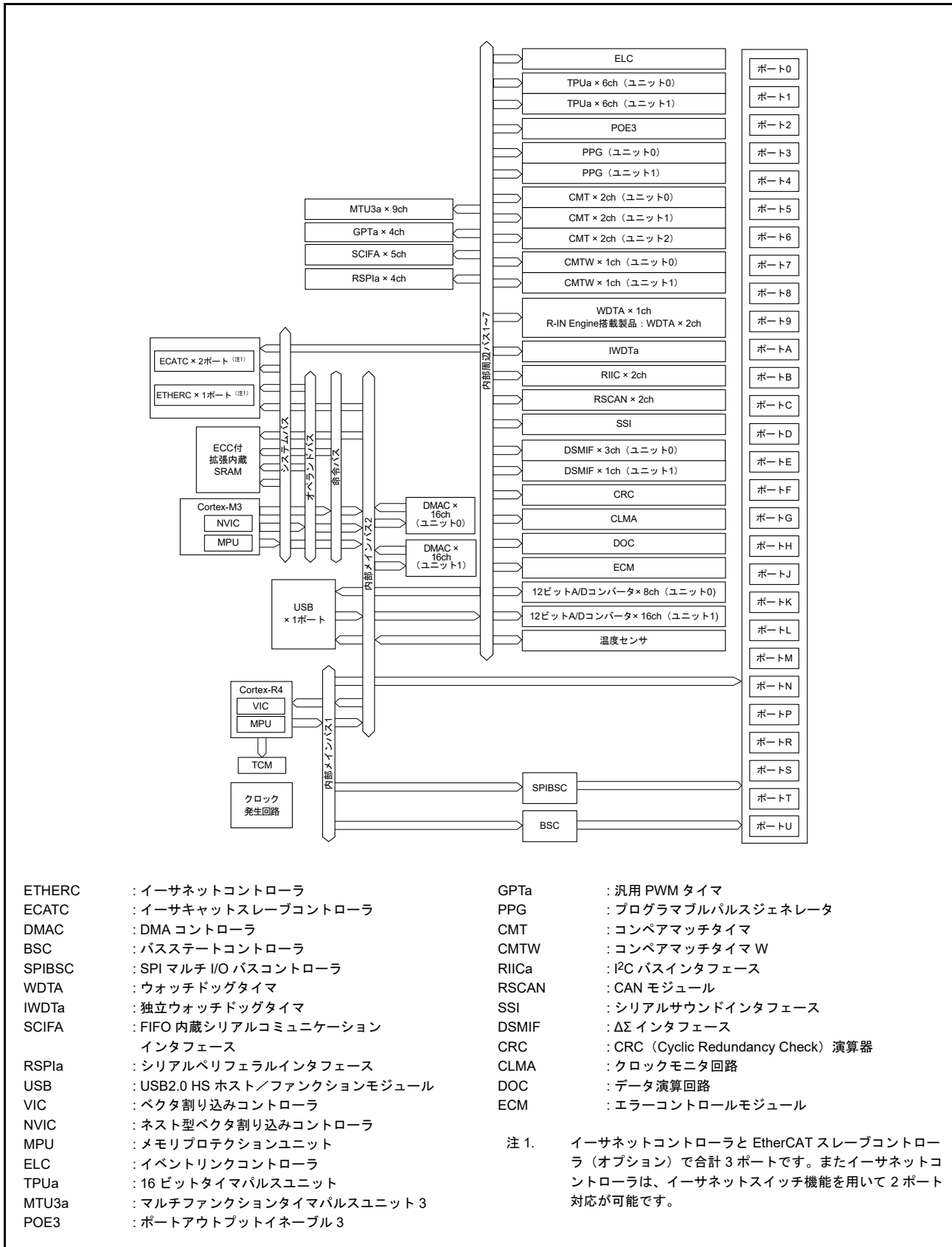


図 1.1 ブロック図

1.5 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 7)

分類	端子名	入出力	機能
電源	VDD	入力	電源端子。システムの電源に接続してください
	VSS	入力	グラウンド端子。システムの電源 (0V) に接続してください
	VCCQ33	入力	入出力端子用の電源端子
	PLLVD0、PLLVD1	入力	内蔵PLL発振器用の電源端子
	PLLVS0、PLLVS1	入力	内蔵PLL発振器用のグラウンド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	CKIO	出力	外部デバイス用の外部バスクロック出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック入力端子
	CLKOUT25M0、CLKOUT25M1、CLKOUT25M2	出力	Ethernet PHY用の外部クロック出力端子
動作モードコントロール	MD0～MD2	入力	動作モード選択信号入力端子
システム制御	RES#	入力	リセット信号入力端子。この端子がLowになると、リセット状態となります
	BSCANP	入力	バウンダリスキャン許可信号入力端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
	OSCTH	入力	クロック入力モード選択用の入力端子。外部クロック入力を使用する場合は、Highにしてください。水晶振動子接続の場合は、Lowにしてください
	ERROROUT#	出力	エラーコントロールモジュール (ECM) からのエラー信号出力端子
	RSTOUT#	出力	外部へのリセット信号出力端子
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモードセレクト端子
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子
	TRACECLK	出力	トレースデータ同期用のクロック出力端子
	TRACECTL	出力	トレース制御用イネーブル信号出力端子
	TRACEDATA0～7	出力	トレースデータ出力端子
バスステートコントローラ (BSC)	A25～A0	出力	アドレス出力端子
	D31～D0	入出力	データ入出力端子
	CS0#～CS5#	出力	外部メモリまたはデバイスのためのチップセレクト信号出力端子
	RD#	出力	リード中を示すストロブ信号出力端子
	RD/WR#	出力	リードまたはライトアクセスを示すストロブ信号出力端子
	BS#	出力	バスサイクルの開始を示すステータス信号出力端子
	AH#	出力	マルチプレクス I/O 時のアドレスホールド信号出力端子
	WAIT#	入力	バスサイクルにウェイトを挿入する外部ウェイト制御信号入力端子
	WE0#	出力	D7～D0に対するライトストロブ信号出力端子
	WE1#	出力	D15～D8に対するライトストロブ信号出力端子

表 1.4 端子機能一覧 (2 / 7)

分類	端子名	入出力	機能
バーステート コントローラ (BSC)	WE2#	出力	D23～D16に対するライトストロブ信号出力端子
	WE3#	出力	D31～D24に対するライトストロブ信号出力端子
	DQMLL	出力	SDRAM接続時のD7～D0に対するデータマスクイネーブル信号出力端子
	DQMLU	出力	SDRAM接続時のD15～D8に対するデータマスクイネーブル信号出力端子
	DQMUL	出力	SDRAM接続時のD23～D16に対するデータマスクイネーブル信号出力端子
	DQMUU	出力	SDRAM接続時のD31～D24に対するデータマスクイネーブル信号出力端子
	RAS#	出力	SDRAMに対するロウアドレス・ストロブ信号出力端子です。SDRAMのRAS#端子に接続してください
	CAS#	出力	SDRAMに対するコラムアドレス・ストロブ信号出力端子です。SDRAMのCAS#端子に接続してください
	CKE	出力	SDRAMに対するクロックイネーブル信号出力端子です。SDRAMのCKE端子に接続してください
ダイレクトメモリ アクセスコントローラ (DMAC)	DREQ0～DREQ2	入力	外部デバイスからのDMA転送要求信号入力端子
	DACK0～DACK2	出力	外部デバイスからのDMA転送要求に対する、要求受け付けを示すアクノリッジ信号出力端子
	TEND0～TEND2	出力	DMA転送終了信号出力端子
割り込み	NMI	入力	ノンマスクブル割り込み要求信号入力端子
	IRQ0～IRQ15	入力	外部割り込み要求信号入力端子
	ETH0_INT、ETH1_INT、 ETH2_INT	入力	Ethernet PHY 割り込み要求信号入力端子
マルチファンクション タイマパルスユニット3 (MTU3a)	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	MTU0.TGRA～MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	MTU1.TGRA、MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	MTU2.TGRA、MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	MTU3.TGRA～MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	MTU4.TGRA～MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V MTIC5W	入力	MTU5.TGRU、MTU5.TGRV、MTU5.TGRWのインプットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A、MTIOC6B MTIOC6C、MTIOC6D	入出力	MTU6.TGRA～MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A、MTIOC7B MTIOC7C、MTIOC7D	入出力	MTU7.TGRA～MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC8A、MTIOC8B MTIOC8C、MTIOC8D	入出力	MTU8.TGRA～MTU8.TGRDのインプットキャプチャ入力/アウトプットコンペア出力
	MTCLKA、MTCLKB MTCLKC、MTCLKD	入力	MTU3a用の外部クロック入力端子
ポートアウトプット イネーブル3 (POE3)	POE0#、POE4# POE8#、POE10#	入力	MTU3aまたはGPTaをハイインピーダンス状態にする要求信号入力端子

表 1.4 端子機能一覧 (3 / 7)

分類	端子名	入出力	機能
汎用PWMタイマ (GPTa)	GTIOC0A、GTIOC0B	入出力	GPT0.GTCCRA、GPT0.GTCCRBのインプットキャプチャ入力 ／アウトプットコンペア出力／PWM出力端子
	GTIOC1A、GTIOC1B	入出力	GPT1.GTCCRA、GPT1.GTCCRBのインプットキャプチャ入力 ／アウトプットコンペア出力／PWM出力端子
	GTIOC2A、GTIOC2B	入出力	GPT2.GTCCRA、GPT2.GTCCRBのインプットキャプチャ入力 ／アウトプットコンペア出力／PWM出力端子
	GTIOC3A、GTIOC3B	入出力	GPT3.GTCCRA、GPT3.GTCCRBのインプットキャプチャ入力 ／アウトプットコンペア出力／PWM出力端子
	GTETRG	入力	GPTa用の外部トリガ入力端子
16ビットタイマ パルスユニット (TPUa)	TIOCA0、TIOCB0、 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA3、TIOCB3、 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	TPUa (ユニット0) 用の外部クロック入力端子
	TIOCA6、TIOCB6 TIOCC6、TIOCD6	入出力	TGRA6～TGRD6のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA7、TIOCB7	入出力	TGRA7、TGRB7のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA8、TIOCB8	入出力	TGRA8、TGRB8のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA9、TIOCB9 TIOCC9、TIOCD9	入出力	TGRA9～TGRD9のインプットキャプチャ入力／アウトプットコ ンペア出力／PWM出力端子
	TIOCA10、TIOCB10	入出力	TGRA10、TGRB10のインプットキャプチャ入力／アウトプット コンペア出力／PWM出力端子
	TIOCA11、TIOCB11	入出力	TGRA11、TGRB11のインプットキャプチャ入力／アウトプット コンペア出力／PWM出力端子
TCLKE、TCLKF TCLKG、TCLKH	入力	TPUa (ユニット1) 用の外部クロック入力端子	
プログラマブルパルス ジェネレータ (PPG)	PO0～PO31	出力	パルス出力端子
コンペアマッチタイマW (CMTW)	TIC0～TIC3	入力	CMTWのインプットキャプチャ入力端子
	TOC0～TOC3	出力	CMTWのアウトプットコンペア出力端子
FIFO内蔵シリアル コミュニケーション インタフェース (SCIFA)	SCK0～SCK4	入出力	クロック入出力端子
	RXD0～RXD4	入力	受信データ入力端子
	TXD0～TXD4	出力	送信データ出力端子
	CTS0#～CTS4#	入出力	ハードウェアフロー制御用入力 (送信可信号) ／汎用出力
	RTS0#～RTS4#	出力	ハードウェアフロー制御用出力 (送信要求信号) ／汎用出力
I ² Cバスインタフェース (RIICa)	SCL0、SCL1	入出力	クロック入出力端子。Nチャンネルオープンドレインでバスを直接 駆動できます
	SDA0、SDA1	入出力	データ入出力端子。Nチャンネルオープンドレインでバスを直接駆 動できます

表 1.4 端子機能一覧 (4 / 7)

分類	端子名	入出力	機能
イーサネット コントローラ (ETHERC)	ETH0_TXC、 ETH1_TXC、 ETH2_TXC	入力	10 M / 100 M送信クロック (2.5 MHz / 25 MHz) 入力端子
	ETH0_TXEN、 ETH1_TXEN、 ETH2_TXEN	出力	送信イネーブル信号出力端子
	ETH0_TXER、 ETH1_TXER、 ETH2_TXER	出力	送信エラー信号出力端子
	ETH0_TXD0~3、 ETH1_TXD0~3、 ETH2_TXD0~3	出力	送信データ信号出力端子
	ETH0_RXC、 ETH1_RXC、 ETH2_RXC	入力	受信クロック入力端子
	ETH0_RXDV、 ETH1_RXDV、 ETH2_RXDV	入力	受信データ・イネーブル信号入力端子
	ETH0_RXER、 ETH1_RXER、 ETH2_RXER	入力	受信データ・エラー信号入力端子
	ETH0_RXD0~3、 ETH1_RXD0~3、 ETH2_RXD0~3	入力	受信データ信号入力端子
	ETH0_CRS、 ETH1_CRS、 ETH2_CRS	入力	キャリアセンス信号入力端子
	ETH0_COL、 ETH1_COL、 ETH2_COL	入力	衝突検出信号入力端子
	ETH_MDC、 MII2_MDC	出力	マネージメント・インタフェース・クロック出力端子
	ETH_MDIO、 MII2_MDIO	入出力	マネージメント・データ信号入出力端子
	PHYLINK0、 PHYLINK1	入力	PHY Link信号入力端子
	ETHSWSECOUT	出力	Ether SwitchのSYNCOOUT信号出力端子
	PHYRESETOUT#、 PHYRESETOUT2#	出力	PHY RESET用出力信号 (PHYRESETOUT# : Ether0, Ether1用、 PHYRESETOUT2# : Ether2用)
EtherCATスレーブ コントローラ (ECATC) (オプション)	CATLEDRUN	出力	EtherCAT RUN LED信号出力端子
	CATIRQ	出力	EtherCAT IRQ信号出力端子
	CATLEDSTER	出力	EtherCAT Dual-color ステート LED信号出力端子
	CATLEDERR	出力	EtherCAT Error LED信号出力端子
	CATLINKACT0、 CATLINKACT1	出力	EtherCAT Link / Activity LED信号出力端子
	CATSYNC0、 CATSYNC1	出力	EtherCAT SYNC信号出力端子
	CATLATCH0	入力	EtherCAT LATCH信号入力端子
	CATLATCH1	入力	EtherCAT LATCH信号入力端子
	CATI2CCLK	出力	EtherCAT EEPROM I2C クロック信号出力端子
	CATI2CDATA	入出力	EtherCAT EEPROM I2C データ信号入出力端子

表 1.4 端子機能一覧 (5 / 7)

分類	端子名	入出力	機能
USB2.0 ホスト/ファンクション モジュール	VDD33_USB	入力	USB用の電源入力端子
	VSS_USB	入力	USB用のグラウンド入力端子
	DVDD_USB	入力	USB用のデジタル電源入力端子
	USB_RREF	入力	USB基準電流源入力端子。200Ω (±1%)を介して、VSS_USB端子に接続してください
	USB_DP	入出力	USBバスのD+データ入出力端子
	USB_DM	入出力	USBバスのD-データ入出力端子
	USB_VBUSEN	出力	USB用VBUSパワーイネーブル信号出力端子
	USB_OVRCUR	入力	USB用オーバカレント信号入力端子
	USB_VBUSIN	入力	USBケーブルの接続/切断検出信号入力端子
CANモジュール (RSCAN)	CRXD0~CRXD1	入力	受信データ入力端子
	CTXD0~CTXD1	出力	送信データ出力端子
シリアルペリフェラル インタフェース (RSPIa)	RSPCK0~RSPCK3	入出力	クロック入出力端子
	MOSI0~MOSI3	入出力	マスタ送出データ入出力端子
	MISO0~MISO3	入出力	スレーブ送出データ入出力端子
	SSL00、SSL10、 SSL20、SSL30	入出力	スレーブセレクト信号入出力端子
	SSL01、SSL02、 SSL03、SSL11	出力	スレーブセレクト信号出力端子
SPIマルチI/Oバス コントローラ (SPIBSC)	SPBCLK	出力	クロック出力端子
	SPBSSL	出力	スレーブセレクト信号出力端子
	SPBMO/SPBIO0	入出力	マスタ送出データ/データ0入出力端子
	SPBMI/SPBIO1	入出力	マスタ入力データ/データ1入出力端子
	SPBIO2~3	入出力	データ2、データ3入出力端子
シリアルサウンド インタフェース (SSI)	SSISCK0	入出力	SSIシリアルビットクロック入出力端子
	SSIWS0	入出力	ワード選択入出力端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_CLK	入力	オーディオ用マスタクロック端子
ΔΣインタフェース (DSMIF)	MCLK0~MCLK3	入出力	クロック入出力端子
	MDAT0~MDAT3	入力	データ入力端子
12ビットA/Dコンバータ (S12ADCa)	AN000~AN007、 AN100~AN115	入力	A/Dコンバータのアナログ入力端子
	ADTRG0、ADTRG1	入力	A/D変換開始のための外部トリガ入力端子
	AN1_ANEX0	出力	拡張アナログ出力端子
	AN1_ANEX1	入力	拡張アナログ入力端子

表 1.4 端子機能一覧 (6 / 7)

分類	端子名	入出力	機能
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ（ユニット0）のアナログ電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	AVSS0	入力	12ビットA/Dコンバータ（ユニット0）のアナロググランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	VREFH0	入力	12ビットA/Dコンバータ（ユニット0）の基準電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	VREFL0	入力	12ビットA/Dコンバータ（ユニット0）の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	AVCC1	入力	12ビットA/Dコンバータ（ユニット1）のアナログ電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	AVSS1	入力	12ビットA/Dコンバータ（ユニット1）のアナロググランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	VREFH1	入力	12ビットA/Dコンバータ（ユニット1）の基準電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	VREFL1	入力	12ビットA/Dコンバータ（ユニット1）の基準グランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください

表 1.4 端子機能一覧 (7 / 7)

分類	端子名	入出力	機能
I/Oポート	P00～P07	入出力	8ビットの入出力端子
	P10～P17	入出力	8ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入力、 入出力	1ビット (P30) の入力端子、7ビット (P31～P37) の入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P50～P56	入出力	7ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P87	入出力	8ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入力	8ビットの入力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF5～PF7	入出力	3ビットの入出力端子
	PG0～PG7	入出力	8ビットの入出力端子
	PH0～PH7	入出力	8ビットの入出力端子
	PJ0～PJ7	入出力	8ビットの入出力端子
	PK0～PK7	入出力	8ビットの入出力端子
	PL0～PL7	入出力	8ビットの入出力端子
	PM0～PM7	入出力	8ビットの入出力端子
	PN0～PN7	入出力	8ビットの入出力端子
	PP0～PP7	入出力	8ビットの入出力端子
	PR0～PR7	入出力	8ビットの入出力端子
	PS0～PS7	入出力	8ビットの入出力端子
PT0～PT7	入出力	8ビットの入出力端子	
PU0～PU7	入出力	8ビットの入出力端子	
Encoder I/F (注1)	ENCIF00～ENCIF12	入出力	マルチエンコーダ I/F 用入出力端子

注1. Encoder I/F 搭載品のみ

1.6 ピン配置図

図 1.2、図 1.3 にピン配置図を示します。また、表 1.5、表 1.6 に端子配置を、表 1.7、表 1.8 に機能別端子一覧を示します。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20			
A	VSS	PC2	PJ3	PJ1	PF7	PB4	PB0	PC0	PF6	VCC Q33	P54	VSS	AN0 07	AN0 05	AN0 02	AVC C0	AVC C1	VRE FH1	P17	VSS			
B	PJ5	PJ4	PC3	PJ2	PJ0	PB5	PB2	PC1	PB7	P86	PD7	P52	AN0 06	AN0 03	AN0 01	AVS S0	AVS S1	VRE FL1	P16	P15			
C	PJ7	PJ6	PU2	PL7	PL5	PB6	PB3	PB1	PF5	P87	PD6	P53	P51	AN0 04	AN0 00	VRE FL0	VRE FH0	PD2	P14	P13			
D	P81	P80	PU3															PD0	P96	P95			
E	P84	P82	PU1	PU0	PL6	PL4	PL2	PL0	PK7	PK6	PD5	P56	PD4	VCC Q33	PD1				P97	P94	P93		
F	PC4	P83	P85	PU4	VSS	VCC Q33	PL3	PL1	PK5	PK4	P55	P50	PD3	PK2	P90				P92	P91	P12		
G	PU6	PC5	VCC Q33	PU5	PM0									PK3	PA7				PA4	PA3	P11		
H	PU7	PM1	P35	ERR ORO UT#	VCC Q33	VDD	VDD	VDD	VDD	VDD	VSS				PA6	PA5				PA2	PK0	PK1	
J	PM6	PM3	PM2	P33	TRST#	VDD	VSS	VSS	VSS	VSS	VDD				VCC Q33	PA1				PA0	PT7	PT6	
K	PM7	PM5	PM4	P34	PLL VDD 1	VDD	VSS	VSS	VSS	VSS	VDD				VSS	P77				P76	P75	PT5	
L	MD1	MD2	TMS	TCK	PLL VSS 1	VDD	VSS	VSS	VSS	VSS	VDD				VSS	PE7				P72	P73	P74	
M	XTAL	EXTAL	OSCTH	BSCANP	PLL VDD 0	VDD	VSS	VSS	VSS	VSS	VDD				VCC Q33	PE6				P70	PT4	P71	
N	VSS	MD0	RST OUT #	RES #	PLL VSS 0	VDD	VSS	VDD	VDD	VDD	VDD				PE2	PE4				PE5	PT2	PT3	
P	VSS_USB B	VDD 33_USB	USB_RR EF	P31	VCC Q33											P06	P07				PE3	PT0	PT1
R	USB_DP	USB_DM	P30	PN0	PN2	PG0	PG2	PG7	PH2	PH4	PH6	P23	P27	P47	VCC Q33				VCC Q33	PS6	PS7		
T	DVD_D_USB	VDD 33_USB	P32	PC6	P37	P36	PG3	PG6	PH3	VCC Q33	PH5	VCC Q33	P26	VCC Q33	VSS				VSS	PE0	PE1		
U	P60	P63	PN1															P00	P04	P03			
V	P61	P64	PN3	PN4	PC7	PG1	PG4	PG5	PH0	PH1	PH7	P20	P21	VSS	P45	P46	PS2	P05	P01	P02			
W	P62	P65	PN5	PN6	PP0	PP2	PP4	PP6	PP7	PR1	PR3	PR5	P24	P22	P44	P43	PS1	PS3	PS4	PS5			
Y	VSS	P67	P66	PN7	PP1	PP3	PP5	VSS	PR0	PR2	PR4	PR6	PR7	P25	P41	P42	P40	PS0	P10	VSS			
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20			

図 1.2 ピン配置図 (320 ピン FBGA) (上面図)

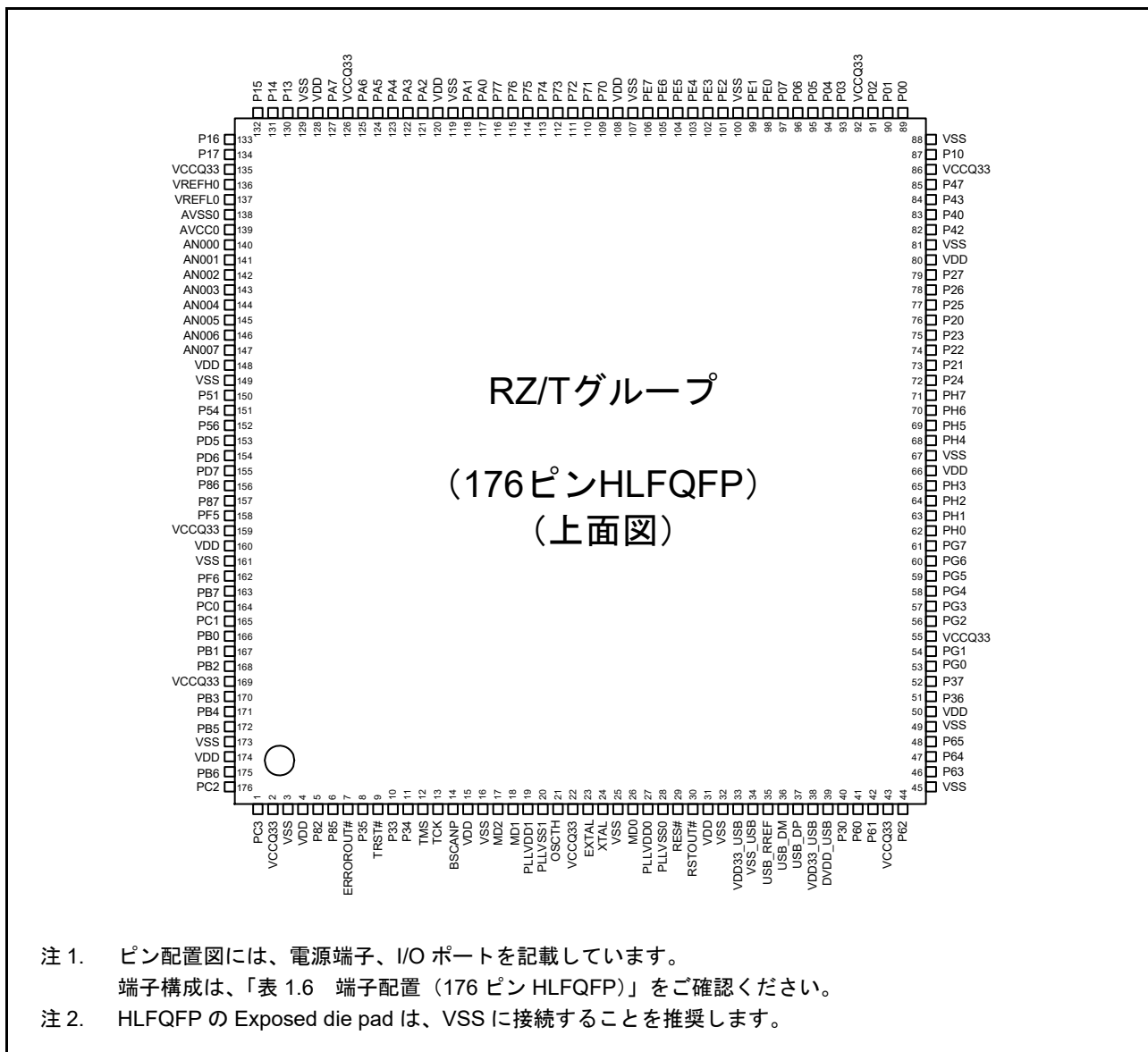


図 1.3 ピン配置図 (176 ピン HLFQFP)

表 1.5 端子配置 (320ピン FBGA) (1 / 7)

端子番号	端子名
A1	VSS
A2	PC2 / ETH0_TXC / ETH1_RXD2 / CATI2CDATA / SDA0
A3	PJ3 / IRQ11 / ETH0_TXD0 / ADTRG0
A4	PJ1 / ETH0_TXD2 / CATLEDSTER / RSPCK3
A5	PF7 / IRQ7 / A25 / ETH0_TXER / RTS3# / SSL30
A6	PB4 / A24 / ETH1_COL / ETH0_RXER / CATSYNC0 / CATLATCH0 / RXD3 / MOSI3 / MDAT0
A7	PB0 / ETH1_RXDV / MTCLKB / TCLKD / TIC3
A8	PC0 / WAIT# / ETH1_RXD2 / GTETRG / SCL1 / MDAT3
A9	PF6 / ETH1_RXD0 / MTIOC3D / GTIOC0B / TOC2
A10	VCCQ33
A11	P54 / CLKOUT25M1 / MOSI2
A12	VSS
A13	AN007
A14	AN005
A15	AN002
A16	AVCC0
A17	AVCC1
A18	VREFH1
A19	P17 / CS5# / ETH1_TXER / PHYRESETOUT# / ADTRG0
A20	VSS
B1	PJ5 / ETH0_RXD1 / TIOCD0 / RXD3
B2	PJ4 / ETH0_RXD0 / TXD3
B3	PC3 / ETH0_RXC / ETH0_RXDV / CATI2CLK / RXD4 / SCL0 / CRXD1
B4	PJ2 / IRQ10 / ETH0_TXD1 / MISO3
B5	PJ0 / IRQ8 / ETH0_TXD3 / CATLEDERR / MOSI3
B6	PB5 / ETH_MDIO / TCLKB / POE0# / POE10# / CTS3# / RSPCK3
B7	PB2 / ETH1_RXC / ETH0_RXD1 / CATSYNC1 / CATLATCH1 / MTIOC1A / SSL30 / MDAT1
B8	PC1 / IRQ9 / ETH1_RXD3 / PHYLINK0 / SDA1 / MDAT2
B9	PB7 / ETH1_RXD1 / MTIOC3B / GTIOC0A / TOC3
B10	P86 / AN1_ANEX0 / ETH1_TXD0 / MTIOC4B / GTIOC2A / TOC1 / RSPCK2
B11	PD7 / AN115 / ETH1_TXD1 / MTIOC4D / GTIOC2B / TOC0
B12	P52 / ETH0_INT / SSL20
B13	AN006
B14	AN003
B15	AN001
B16	AVSS0
B17	AVSS1
B18	VREFL1
B19	P16 / CS4# / CS2# / MTIOC3B / GTIOC0A / ENCIF12
B20	P15 / CS3# / CKE / MTIOC3D / GTIOC0B / ENCIF11
C1	PJ7 / IRQ15 / ETH0_RXD3 / CATLEDRUN / CTS3#
C2	PJ6 / IRQ14 / ETH0_RXD2 / CATIRQ / SCK3
C3	PU2 / IRQ2 / ETH2_CRS / TIOCD9 / RXD3
C4	PL7 / IRQ15 / ETH2_RXDV
C5	PL5 / ETH2_RXD2 / TIOCA8

表 1.5 端子配置 (320ピン FBGA) (2 / 7)

端子番号	端子名
C6	PB6 / ETH_MDC / TCLKA / SCK3 / RTS4# / MISO3
C7	PB3 / IRQ3 / CS1# / ETH1_CRS / PHYRESETOUT# / TXD3 / CTXD1 / MCLK0
C8	PB1 / ETH1_RXER / MTCLKA / TCLKC / CTS4#
C9	PF5 / ETH1_TXEN / MTIOC4A / GTIOC1A / TIC2
C10	P87 / AN1_ANEX1 / A23 / ETH1_TXC / ETH0_RXD0 / MTIOC4C / GTIOC1B / MCLK1
C11	PD6 / AN114 / A22 / ETH1_TXD2 / ETH0_TXD1 / TIC1 / MISO2 / MCLK2
C12	P53 / ETH1_INT / MISO2
C13	P51 / IRQ1 / PHYLINK1 / RSPCK2
C14	AN004
C15	AN000
C16	VREFL0
C17	VREFH0
C18	PD2 / AN110 / WAIT#
C19	P14 / CAS# / MTIOC4A / GTIOC1A / ENCIF10
C20	P13 / RAS# / MTIOC4C / GTIOC1B
D1	P81 / ETH0_RXER / TIOCC0 / CTS4#
D2	P80 / IRQ8 / ETH0_RXDV / TIOCC3 / RTS4#
D3	PU3 / ETH2_COL / TIOCD6 / TXD3
D18	PD0 / AN108 / CS4#
D19	P96 / AN106 / POE0# / POE10# / ENCIF09
D20	P95 / AN105 / IRQ13 / MTCLKA / CTS2#
E1	P84 / ETH0_COL / CATLINKACT1 / RXD4
E2	P82 / ETH0_TXEN / ETH1_CRS / TIOCD3 / SCK4 / RTS3# / USB_OVRCUR
E3	PU1 / ETH2_RXC / TIOCA11 / SCK3
E5	PU0 / ETH2_RXER / TIOCA10
E6	PL6 / ETH2_RXD3 / TIOCA9
E7	PL4 / IRQ4 / ETH2_RXD1
E8	PL2 / ETH2_TXEN / TIOCA6 / ADTRG1
E9	PL0 / ETH2_TXD0 / TIOCB9
E10	PK7 / ETH2_TXD2 / TIOCB7
E11	PK6 / ETH2_TXD3 / TIOCB6
E12	PD5 / AN113 / A21 / ETH1_TXD3 / ETH0_TXD0 / TIC0 / SSL20 / MCLK3
E13	P56 / BS# / ETH1_TXER
E14	PD4 / AN112 / ETH2_INT
E15	VCCQ33
E16	PD1 / AN109 / CS1#
E18	P97 / AN107 / IRQ7 / A25 / ADTRG1
E19	P94 / AN104 / IRQ4 / MTCLKB / RTS2# / ENCIF08
E20	P93 / AN103 / MTIOC1A / TIC3 / SCK2 / ENCIF07
F1	PC4 / CATI2CLK / TCLKH / SCL0
F2	P83 / IRQ11 / ETH0_CRS / CATLINKACT0 / TXD4
F3	P85 / IRQ5 / CLKOUT25M0 / TXD4 / SCK4 / USB_VBUSEN
F5	PU4 / MII2_MDC / TIOCC9 / CTS3#
F6	VSS
F7	VCCQ33
F8	PL3 / ETH2_RXD0 / TIOCA7

表 1.5 端子配置 (320ピン FBGA) (3 / 7)

端子番号	端子名
F9	PL1 / ETH2_TXC / TIOCB10
F10	PK5 / ETH2_TXD1 / TIOCB8
F11	PK4 / ETH2_TXER / TIOCB11 / MOSI2
F12	P55 / IRQ5 / A24 / ETHSWSECOUT
F13	P50 / IRQ8 / CS1# / PHYLINK0
F14	PD3 / AN111 / PHYRESETOUT2#
F15	PK2 / A23
F16	P90 / AN100 / RAS# / TIOCA5 / TXD4
F18	P92 / AN102 / CS5# / TOC3 / RXD2
F19	P91 / AN101 / CAS# / TXD2 / ENCIF06
F20	P12 / MTIOC4B / GTIOC2A
G1	PU6 / PHYRESETOUT# / TCLKF / CTS4#
G2	PC5 / CATI2CDATA / TCLKG / SDA0
G3	VCCQ33
G5	PU5 / IRQ13 / MII2_MDIO / TIOCC6 / RTS3#
G6	PM0 / CLKOUT25M2 / TXD4
G15	PK3 / A24
G16	PA7 / IRQ7 / D31 / A22 / MTIOC6B / GTIOC3B / RTS2# / MCLK0
G18	PA4 / D28 / ETH1_INT / TIOCA3 / ADTRG0 / RXD2 / TEND2 / MDAT1
G19	PA3 / D27 / ETHSWSECOUT / GTETRQ / TIOCA2 / SCK2 / DACK2 / MCLK2
G20	P11 / IRQ9 / MTIOC4D / GTIOC2B
H1	PU7 / CATIRQ / RXD4
H2	PM1 / CATLEDERR / SCK4
H3	P35 / NMI
H5	ERROROUT#
H6	VCCQ33
H8	VDD
H9	VDD
H10	VDD
H11	VDD
H12	VDD
H13	VSS
H15	PA6 / IRQ6 / D30 / A21 / GTIOC3A / CTS2# / MDAT0
H16	PA5 / D29 / ETH0_INT / ETH1_TXER / TIOCA4 / TXD2 / MCLK1
H18	PA2 / D26 / MTIOC3B / GTIOC0A / SSL02 / DREQ2 / MDAT2 / ENCIF05
H19	PK0 / CAS# / PO31 / ENCIF11
H20	PK1 / CS5# / ENCIF12
J1	PM6 / IRQ6 / CATLINKACT0 / PO19
J2	PM3 / CATSYNC0 / CATLATCH0 / PO16
J3	PM2 / CATSYNC1 / CATLATCH1 / TCLKE / RTS4#
J5	P33 / TDO
J6	TRST#
J8	VDD
J9	VSS
J10	VSS
J11	VSS

表 1.5 端子配置 (320ピン FBGA) (4 / 7)

端子番号	端子名
J12	VSS
J13	VDD
J15	VCCQ33
J16	PA1 / D25 / MTIOC3D / GTIOC0B / MISO0 / AUDIO_CLK / TRACEDATA7 / MCLK3
J18	PA0 / D24 / MTIOC4A / GTIOC1A / MOSI0 / TRACEDATA6 / MDAT3
J19	PT7 / A22 / DACK2 / ENCIF10
J20	PT6 / A21 / DREQ2
K1	PM7 / CATLINKACT1 / PO20
K2	PM5 / CATLEDSTER / PO18
K3	PM4 / CATLEDRUN / PO17
K5	P34 / TDI
K6	PLLVD1
K8	VDD
K9	VSS
K10	VSS
K11	VSS
K12	VSS
K13	VDD
K15	VSS
K16	P77 / D23 / MTIOC4C / GTIOC1B / RSPCK0 / TRACEDATA5
K18	P76 / D22 / MTIOC4B / GTIOC2A / SSL01 / SSIWS0 / TRACEDATA4
K19	P75 / IRQ13 / D21 / MTIOC4D / GTIOC2B / SSL00 / TRACEDATA3 / ENCIF04
K20	PT5 / BS# / PO30 / TEND2
L1	MD1
L2	MD2
L3	TMS
L5	TCK
L6	PLLVSS1
L8	VDD
L9	VSS
L10	VSS
L11	VSS
L12	VSS
L13	VDD
L15	VSS
L16	PE7 / D15 / MTIOC7A / TIOCD3 / POE8# / SCK1 / RSPCK0 / TRACEDATA7
L18	P72 / D18 / MTIOC1A / TIC2 / TXD1 / SSITXD0 / TRACEDATA0 / ENCIF02
L19	P73 / IRQ3 / D19 / MTCLKB / RXD1 / SSIRXD0 / TRACEDATA1 / ENCIF03
L20	P74 / D20 / MTCLKA / CTS1# / SSL03 / SSISCK0 / TRACEDATA2
M1	XTAL
M2	EXTAL
M3	OSCTH
M5	BSCANP
M6	PLLVD0
M8	VDD
M9	VSS

表 1.5 端子配置 (320ピン FBGA) (5 / 7)

端子番号	端子名
M10	VSS
M11	VSS
M12	VSS
M13	VDD
M15	VCCQ33
M16	PE6 / IRQ6 / D14 / MTIOC0A / TIOCD0 / RXD1 / MISO0 / TRACEDATA6
M18	P70 / IRQ0 / D16 / MTIOC6D / RTS1# / USB_OVRCUR / TRACECLK / ENCIF00
M19	PT4 / CS3# / PO29
M20	P71 / D17 / POE0# / POE10# / TOC2 / SCK1 / TRACECTL / ENCIF01
N1	VSS
N2	MD0
N3	RSTOUT#
N5	RES#
N6	PLLVSS0
N8	VDD
N9	VSS
N10	VDD
N11	VDD
N12	VDD
N13	VDD
N15	PE2 / IRQ2 / D10 / MTCLKC / TIOCB4 / SSL02 / TRACEDATA2
N16	PE4 / D12 / MTIOC0B / TIOCC0 / RTS1# / SSL00 / TRACEDATA4
N18	PE5 / D13 / MTIOC0C / TIOCC3 / TXD1 / MOSI0 / TRACEDATA5
N19	PT2 / TIOCA1 / TIOCB1 / PO27
N20	PT3 / IRQ11 / TIOCA0 / TIOCB0 / PO28 / CTS2# / ENCIF09
P1	VSS_USB
P2	VDD33_USB
P3	USB_RREF
P5	P31 / USB_VBUSEN
P6	VCCQ33
P15	P06 / D6 / MTIOC2B / TIOCB0
P16	P07 / D7 / MTIOC2A / TIOCB1
P18	PE3 / IRQ3 / D11 / MTIOC0D / TIOCB5 / CTS1# / SSL01 / TRACEDATA3
P19	PT0 / IRQ0 / TIOCA3 / TIOCB3 / PO25 / SCK2 / ENCIF07
P20	PT1 / TIOCA2 / TIOCB2 / PO26 / RTS2# / ENCIF08
R1	USB_DP
R2	USB_DM
R3	P30 / CRXD0 / USB_VBUSIN
R5	PN0 / MTIOC8D / SSL10
R6	PN2 / IRQ10 / MTIOC8B / MOSI1
R7	PG0 / A1 / PO2
R8	PG2 / A3 / PO4 / TOC0 / RSPCK1
R9	PG7 / A8 / PO9
R10	PH2 / A11 / MTIOC2A / PO12
R11	PH4 / IRQ4 / A13 / PO14
R12	PH6 / A15 / MTIOC7D / RTS0#

表 1.5 端子配置 (320ピン FBGA) (6 / 7)

端子番号	端子名
R13	P23 / A0 / MTIC5U / TXD0 / DACK1
R14	P27 / A20 / MTIOC8C / TIOCB0 / RTS0#
R15	P47 / WE3#/DQMUU/AH# / MTIOC6C
R16	VCCQ33
R18	VCCQ33
R19	PS6 / IRQ14 / TIOCA5 / TIOCB5 / PO23 / RXD2 / ENCIF06
R20	PS7 / TIOCA4 / TIOCB4 / PO24 / TXD2
T1	DVDD_USB
T2	VDD33_USB
T3	P32 / IRQ10 / USB_OVRCUR
T5	PC6 / TCLKC / SCL1 / CRXD0 / DREQ0 / USB_VBUSIN
T6	P37 / WE1#/DQMLU / PO1
T7	P36 / WE0#/DQMLL / PO0
T8	PG3 / A4 / PO5 / TIC1 / MISO1
T9	PG6 / A7 / TCLKB / PO8 / SSL11
T10	PH3 / A12 / MTIOC1B / PO13
T11	VCCQ33
T12	PH5 / A14 / PO15
T13	VCCQ33
T14	P26 / A19 / MTIOC8D / DREQ1
T15	VCCQ33
T16	VSS
T18	VSS
T19	PE0 / D8 / MTIOC1B / TIOCB2 / TRACEDATA0
T20	PE1 / D9 / MTCLKD / TIOCB3 / SSL03 / TRACEDATA1
U1	P60 / SPBSSL / CTXD0 / TEND0
U2	P63 / SPBMO/SPBIO0
U3	PN1 / MTIOC8C / PO21 / MISO1 / ENCIF09
U18	P00 / D0 / MTIOC6A / TIOCA1 / ADTRG1 / TRACECTL
U19	P04 / D4 / MTIOC3C / TIOCA5
U20	P03 / D3 / MTIC5U / TIOCA4
V1	P61 / SPBIO3 / CTXD1 / DACK0
V2	P64 / SPBMI/SPBIO1
V3	PN3 / MTIOC8A / RSPCK1
V4	PN4 / IRQ12 / MTIOC6C / TIOCC6 / SSL11
V5	PC7 / TIC0 / SDA1 / CRXD1
V6	PG1 / A2 / PO3
V7	PG4 / A5 / PO6 / TOC1 / MOSI1
V8	PG5 / A6 / TCLKA / PO7 / SSL10
V9	PH0 / A9 / PO10
V10	PH1 / A10 / MTIOC2B / PO11
V11	PH7 / A16 / MTIC5W
V12	P20 / A17 / MTCLKD
V13	P21 / IRQ1 / CS0# / MTIC5V / TIOCB1 / CTS0#
V14	VSS
V15	P45 / CS2#

表 1.5 端子配置 (320ピン FBGA) (7 / 7)

端子番号	端子名
V16	P46 / CKE
V17	PS2 / MTIOC7C / SSIWS0
V18	P05 / D5 / MTIOC3A
V19	P01 / D1 / MTIC5W / TIOCA2
V20	P02 / D2 / MTIC5V / TIOCA3
W1	P62 / SPBCLK
W2	P65 / SPBIO2 / DREQ0
W3	PN5 / IRQ5 / MTIOC6A / TIOCD9 / ENCIF10
W4	PN6 / MTIOC3C / TIOCC9 / MCLK3 / ENCIF11
W5	PP0 / POE8# / TEND0 / MCLK2
W6	PP2 / MTIOC0C / TCLKH / MCLK1
W7	PP4 / MTIOC0A / MCLK0
W8	PP6 / TIOCA11 / RXD1 / TRACECTL / ENCIF06
W9	PP7 / TCLKF / TCLKH / SCK1 / DACK1 / TRACECLK
W10	PR1 / IRQ9 / POE4# / CTS1# / TEND1 / TRACEDATA1 / ENCIF08
W11	PR3 / TIOCA10 / TIOCB10 / TRACEDATA3 / ENCIF01
W12	PR5 / TIOCA8 / TIOCB8 / TRACEDATA5 / ENCIF03
W13	P24 / IRQ12 / RD/WR# / RXD0
W14	P22 / IRQ2 / RD# / MTIOC7B / TIOCD0 / SCK0
W15	P44 / IRQ12 / WAIT# / TCLKD / ADTRG0 / CTS0#
W16	P43 / WE2#/DQMUL / MTIOC8B / USB_VBUSEN
W17	PS1 / IRQ1 / MTIOC7B / SSISCK0
W18	PS3 / MTIOC7A / SSIRXD0
W19	PS4 / MTIOC6D / SSITXD0
W20	PS5 / MTIOC6B
Y1	VSS
Y2	P67 / IRQ15 / GTIOC3B / CTXD0 / TEND0 / USB_OVRCUR
Y3	P66 / IRQ14 / GTIOC3A / CTXD1 / DACK0 / USB_VBUSEN
Y4	PN7 / MTIOC3A / TIOCD6 / DREQ0 / MDAT3 / ENCIF12
Y5	PP1 / MTIOC0D / DACK0 / MDAT2
Y6	PP3 / MTIOC0B / TCLKC / MDAT1
Y7	PP5 / PO22 / MDAT0
Y8	VSS
Y9	PR0 / TCLKE / TCLKG / TXD1 / DREQ1 / TRACEDATA0 / ENCIF07
Y10	PR2 / TIOCA11 / TIOCB11 / RTS1# / TRACEDATA2 / ENCIF00
Y11	PR4 / TIOCA9 / TIOCB9 / TRACEDATA4 / ENCIF02
Y12	PR6 / TIOCA7 / TIOCB7 / TRACEDATA6 / ENCIF04
Y13	PR7 / TIOCA6 / TIOCB6 / TRACEDATA7 / ENCIF05
Y14	P25 / A18 / MTCLKC / TEND1
Y15	P41 / BS# / SCK0
Y16	P42 / MTIOC7C / RXD0
Y17	P40 / MTIOC8A / TXD0
Y18	PS0 / MTIOC7D / AUDIO_CLK
Y19	P10 / IRQ0 / CKIO / TIOCA0 / TRACECLK
Y20	VSS

表 1.6 端子配置 (176ピンHLFQFP) (1/4)

端子番号	端子名
1	PC3 / ETH0_RXC / ETH0_RXDV / RXD4 / SCL0 / CRXD1
2	VCCQ33
3	VSS
4	VDD
5	P82 / ETH0_TXEN / ETH1_CRS / TIOCD3 / SCK4 / RTS3# / USB_OVRCUR
6	P85 / IRQ5 / CLKOUT25M0 / TXD4 / SCK4 / USB_VBUSEN
7	ERROROUT#
8	P35 / NMI
9	TRST#
10	P33 / TDO
11	P34 / TDI
12	TMS
13	TCK
14	BSCANP
15	VDD
16	VSS
17	MD2
18	MD1
19	PLLVD1
20	PLLVS1
21	OSCTH
22	VCCQ33
23	EXTAL
24	XTAL
25	VSS
26	MD0
27	PLLVD0
28	PLLVS0
29	RES#
30	RSTOUT#
31	VDD
32	VSS
33	VDD33_USB
34	VSS_USB
35	USB_RREF
36	USB_DM
37	USB_DP
38	VDD33_USB
39	DVDD_USB
40	P30 / CRXD0 / USB_VBUSIN
41	P60 / SPBSSL / CTXD0 / TEND0
42	P61 / SPBIO3 / CTXD1 / DACK0
43	VCCQ33
44	P62 / SPBCLK

表 1.6 端子配置 (176ピンHLFQFP) (2 / 4)

端子番号	端子名
45	VSS
46	P63 / SPBMO/SPBIO0
47	P64 / SPBMI/SPBIO1
48	P65 / SPBIO2 / DREQ0
49	VSS
50	VDD
51	P36 / WE0#/DQMLL / PO0
52	P37 / WE1#/DQMLU / PO1
53	PG0 / A1 / PO2
54	PG1 / A2 / PO3
55	VCCQ33
56	PG2 / A3 / PO4 / TOC0 / RSPCK1
57	PG3 / A4 / PO5 / TIC1 / MISO1
58	PG4 / A5 / PO6 / TOC1 / MOSI1
59	PG5 / A6 / TCLKA / PO7 / SSL10
60	PG6 / A7 / TCLKB / PO8 / SSL11
61	PG7 / A8 / PO9
62	PH0 / A9 / PO10
63	PH1 / A10 / MTIOC2B / PO11
64	PH2 / A11 / MTIOC2A / PO12
65	PH3 / A12 / MTIOC1B / PO13
66	VDD
67	VSS
68	PH4 / IRQ4 / A13 / PO14
69	PH5 / A14 / PO15
70	PH6 / A15 / MTIOC7D / RTS0#
71	PH7 / A16 / MTIC5W
72	P24 / IRQ12 / RD/WR# / RXD0
73	P21 / IRQ1 / CS0# / MTIC5V / TIOCB1 / CTS0#
74	P22 / IRQ2 / RD# / MTIOC7B / TIOCD0 / SCK0
75	P23 / A0 / MTIC5U / TXD0 / DACK1
76	P20 / A17 / MTCLKD
77	P25 / A18 / MTCLKC / TEND1
78	P26 / A19 / MTIOC8D / DREQ1
79	P27 / A20 / MTIOC8C / TIOCB0 / RTS0#
80	VDD
81	VSS
82	P42 / MTIOC7C / RXD0
83	P40 / MTIOC8A / TXD0
84	P43 / WE2#/DQMUL / MTIOC8B / USB_VBUSEN
85	P47 / WE3#/DQMUU/AH# / MTIOC6C
86	VCCQ33
87	P10 / IRQ0 / CKIO / TIOCA0 / TRACECLK
88	VSS
89	P00 / D0 / MTIOC6A / TIOCA1 / TRACECTL

表 1.6 端子配置 (176ピンHLFQFP) (3 / 4)

端子番号	端子名
90	P01 / D1 / MTIC5W / TIOCA2
91	P02 / D2 / MTIC5V / TIOCA3
92	VCCQ33
93	P03 / D3 / MTIC5U / TIOCA4
94	P04 / D4 / MTIOC3C / TIOCA5
95	P05 / D5 / MTIOC3A
96	P06 / D6 / MTIOC2B / TIOCB0
97	P07 / D7 / MTIOC2A / TIOCB1
98	PE0 / D8 / MTIOC1B / TIOCB2 / TRACEDATA0
99	PE1 / D9 / MTCLKD / TIOCB3 / SSL03 / TRACEDATA1
100	VSS
101	PE2 / IRQ2 / D10 / MTCLKC / TIOCB4 / SSL02 / TRACEDATA2
102	PE3 / IRQ3 / D11 / MTIOC0D / TIOCB5 / CTS1# / SSL01 / TRACEDATA3
103	PE4 / D12 / MTIOC0B / TIOCC0 / RTS1# / SSL00 / TRACEDATA4
104	PE5 / D13 / MTIOC0C / TIOCC3 / TXD1 / MOSI0 / TRACEDATA5
105	PE6 / IRQ6 / D14 / MTIOC0A / TIOCD0 / RXD1 / MISO0 / TRACEDATA6
106	PE7 / D15 / MTIOC7A / TIOCD3 / POE8# / SCK1 / RSPCK0 / TRACEDATA7
107	VSS
108	VDD
109	P70 / IRQ0 / D16 / MTIOC6D / RTS1# / USB_OVRCUR / TRACECLK
110	P71 / D17 / POE0# / POE10# / TOC2 / SCK1 / TRACECTL
111	P72 / D18 / MTIOC1A / TIC2 / TXD1 / SSITXD0 / TRACEDATA0
112	P73 / IRQ3 / D19 / MTCLKB / RXD1 / SSIRXD0 / TRACEDATA1
113	P74 / D20 / MTCLKA / CTS1# / SSL03 / SSISCK0 / TRACEDATA2
114	P75 / IRQ13 / D21 / MTIOC4D / GTIOC2B / SSL00 / TRACEDATA3
115	P76 / D22 / MTIOC4B / GTIOC2A / SSL01 / SSIWS0 / TRACEDATA4
116	P77 / D23 / MTIOC4C / GTIOC1B / RSPCK0 / TRACEDATA5
117	PA0 / D24 / MTIOC4A / GTIOC1A / MOSI0 / TRACEDATA6 / MDAT3
118	PA1 / D25 / MTIOC3D / GTIOC0B / MISO0 / AUDIO_CLK / TRACEDATA7 / MCLK3
119	VSS
120	VDD
121	PA2 / D26 / MTIOC3B / GTIOC0A / SSL02 / DREQ2 / MDAT2
122	PA3 / D27 / ETHSWSECOUT / GTETRG / TIOCA2 / SCK2 / DACK2 / MCLK2
123	PA4 / D28 / ETH1_INT / TIOCA3 / ADTRG0 / RXD2 / TEND2 / MDAT1
124	PA5 / D29 / ETH0_INT / ETH1_TXER / TIOCA4 / TXD2 / MCLK1
125	PA6 / IRQ6 / D30 / A21 / GTIOC3A / CTS2# / MDAT0
126	VCCQ33
127	PA7 / IRQ7 / D31 / A22 / MTIOC6B / GTIOC3B / RTS2# / MCLK0
128	VDD
129	VSS
130	P13 / RAS# / MTIOC4C / GTIOC1B
131	P14 / CAS# / MTIOC4A / GTIOC1A
132	P15 / CS3# / CKE / MTIOC3D / GTIOC0B
133	P16 / CS4# / CS2# / MTIOC3B / GTIOC0A
134	P17 / CS5# / ETH1_TXER / PHYRESETOUT# / ADTRG0

表 1.6 端子配置 (176ピンHLFQFP) (4 / 4)

端子番号	端子名
135	VCCQ33
136	VREFH0
137	VREFL0
138	AVSS0
139	AVCC0
140	AN000
141	AN001
142	AN002
143	AN003
144	AN004
145	AN005
146	AN006
147	AN007
148	VDD
149	VSS
150	P51 / IRQ1 / PHYLINK1 / RSPCK2
151	P54 / CLKOUT25M1 / MOSI2
152	P56 / BS# / ETH1_TXER
153	PD5 / A21 / ETH1_TXD3 / ETH0_TXD0 / TIC0 / SSL20 / MCLK3
154	PD6 / A22 / ETH1_TXD2 / ETH0_TXD1 / TIC1 / MISO2 / MCLK2
155	PD7 / ETH1_TXD1 / MTIOC4D / GTIOC2B / TOC0
156	P86 / ETH1_TXD0 / MTIOC4B / GTIOC2A / TOC1 / RSPCK2
157	P87 / A23 / ETH1_TXC / ETH0_RXD0 / MTIOC4C / GTIOC1B / MCLK1
158	PF5 / ETH1_TXEN / MTIOC4A / GTIOC1A / TIC2
159	VCCQ33
160	VDD
161	VSS
162	PF6 / ETH1_RXD0 / MTIOC3D / GTIOC0B / TOC2
163	PB7 / ETH1_RXD1 / MTIOC3B / GTIOC0A / TOC3
164	PC0 / WAIT# / ETH1_RXD2 / GTETRG / SCL1 / MDAT3
165	PC1 / IRQ9 / ETH1_RXD3 / PHYLINK0 / SDA1 / MDAT2
166	PB0 / ETH1_RXDV / MTCLKB / TCLKD / TIC3
167	PB1 / ETH1_RXER / MTCLKA / TCLKC / CTS4#
168	PB2 / ETH1_RXC / ETH0_RXD1 / MTIOC1A / SSL30 / MDAT1
169	VCCQ33
170	PB3 / IRQ3 / CS1# / ETH1_CRS / PHYRESETOUT# / TXD3 / CTXD1 / MCLK0
171	PB4 / A24 / ETH1_COL / ETH0_RXER / RXD3 / MOSI3 / MDAT0
172	PB5 / ETH_MDIO / TCLKB / POE0# / POE10# / CTS3# / RSPCK3
173	VSS
174	VDD
175	PB6 / ETH_MDC / TCLKA / SCK3 / RTS4# / MISO3
176	PC2 / ETH0_TXC / ETH1_RXD2 / SDA0

表 1.7 機能別端子一覧 (320ピンFBGA) (1 / 11)

ピン番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC (注1), SCIFa, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
A1	VSS							
A2		PC2			ETH0_TXC / ETH1_RXD2 / CATI2CDATA / SDA0			
A3		PJ3			ETH0_TXD0		IRQ11	ADTRG0
A4		PJ1			ETH0_TXD2 / CATLEDSTER / RSPCK3			
A5		PF7	A25		ETH0_TXER / RTS3# / SSL30		IRQ7	
A6		PB4	A24		ETH1_COL / ETH0_RXER / CATSYNCO / CATLATCH0 / RXD3 / MOSI3	MDAT0		
A7		PB0		MTCLKB / TCLKD / TIC3	ETH1_RXDV			
A8		PC0	WAIT#	GTETRG	ETH1_RXD2 / SCL1	MDAT3		
A9		PF6		MTIOC3D / GTIOC0B / TOC2	ETH1_RXD0			
A10	VCCQ33							
A11		P54			CLKOUT25M1 / MOSI2			
A12	VSS							
A13								AN007
A14								AN005
A15								AN002
A16	AVCC0							
A17	AVCC1							
A18	VREFH1							
A19		P17	CS5#		ETH1_TXER / PHYRESETOUT#			ADTRG0
A20	VSS							
B1		PJ5		TIOCDO	ETH0_RXD1 / RXD3			
B2		PJ4			ETH0_RXD0 / TXD3			
B3		PC3			ETH0_RXC / ETH0_RXDV / CATI2CLK / RXD4 / SCL0 / CRXD1			
B4		PJ2			ETH0_TXD1 / MISO3		IRQ10	

表 1.7 機能別端子一覧 (320ピンFBGA) (2 / 11)

ピン番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC (注1), SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
B5		PJ0			ETH0_TXD3 / CATLEDERR / MOSI3		IRQ8	
B6		PB5		TCLKB / POE0# / POE10#	ETH_MDIO / CTS3# / RSPCK3			
B7		PB2		MTIOC1A	ETH1_RXC / ETH0_RXD1 / CATSYNC1 / CATLATCH1 / SSL30	MDAT1		
B8		PC1			ETH1_RXD3 / PHYLINK0 / SDA1	MDAT2	IRQ9	
B9		PB7		MTIOC3B / GTIOC0A / TOC3	ETH1_RXD1			
B10		P86		MTIOC4B / GTIOC2A / TOC1	ETH1_TXD0 / RSPCK2			AN1_ ANEX0
B11		PD7		MTIOC4D / GTIOC2B / TOC0	ETH1_TXD1			AN115
B12		P52			ETH0_INT / SSL20			
B13								AN006
B14								AN003
B15								AN001
B16	AVSS0							
B17	AVSS1							
B18	VREFL1							
B19		P16	CS4# / CS2#	MTIOC3B / GTIOC0A		ENCIF12		
B20		P15	CS3# / CKE	MTIOC3D / GTIOC0B		ENCIF11		
C1		PJ7			ETH0_RXD3 / CATLEDRUN / CTS3#		IRQ15	
C2		PJ6			ETH0_RXD2 / CATIRQ / SCK3		IRQ14	
C3		PU2		TIOCD9	ETH2_CRS / RXD3		IRQ2	
C4		PL7			ETH2_RXDV		IRQ15	
C5		PL5		TIOCA8	ETH2_RXD2			
C6		PB6		TCLKA	ETH_MDC / SCK3 / RTS4# / MISO3			
C7		PB3	CS1#		ETH1_CRS / PHYRESETOUT# / TXD3 / CTXD1	MCLK0	IRQ3	
C8		PB1		MTCLKA / TCLKC	ETH1_RXER / CTS4#			
C9		PF5		MTIOC4A / GTIOC1A / TIC2	ETH1_TXEN			
C10		P87	A23	MTIOC4C / GTIOC1B	ETH1_TXC / ETH0_RXD0	MCLK1		AN1_ ANEX1

表 1.7 機能別端子一覧 (320ピンFBGA) (3 / 11)

ピン 番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC (注1), SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
C11		PD6	A22	TIC1	ETH1_TXD2 / ETH0_TXD1 / MISO2	MCLK2		AN114
C12		P53			ETH1_INT / MISO2			
C13		P51			PHYLINK1 / RSPCK2		IRQ1	
C14								AN004
C15								AN000
C16	VREFL0							
C17	VREFH0							
C18		PD2	WAIT#					AN110
C19		P14	CAS#	MTIOC4A / GTIOC1A		ENCIF10		
C20		P13	RAS#	MTIOC4C / GTIOC1B				
D1		P81		TIOCC0	ETH0_RXER / CTS4#			
D2		P80		TIOCC3	ETH0_RXDV / RTS4#		IRQ8	
D3		PU3		TIOCD6	ETH2_COL / TXD3			
D18		PD0	CS4#					AN108
D19		P96		POE0# / POE10#		ENCIF09		AN106
D20		P95		MTCLKA	CTS2#		IRQ13	AN105
E1		P84			ETH0_COL / CATLINKACT1 / RXD4			
E2		P82		TIOCD3	ETH0_TXEN / ETH1_CRS / SCK4 / RTS3# / USB_OVRCUR			
E3		PU1		TIOCA11	ETH2_RXC / SCK3			
E5		PU0		TIOCA10	ETH2_RXER			
E6		PL6		TIOCA9	ETH2_RXD3			
E7		PL4			ETH2_RXD1		IRQ4	
E8		PL2		TIOCA6	ETH2_TXEN			ADTRG1
E9		PL0		TIOCB9	ETH2_TXD0			
E10		PK7		TIOCB7	ETH2_TXD2			
E11		PK6		TIOCB6	ETH2_TXD3			
E12		PD5	A21	TIC0	ETH1_TXD3 / ETH0_TXD0 / SSL20	MCLK3		AN113
E13		P56	BS#		ETH1_TXER			
E14		PD4			ETH2_INT			AN112
E15	VCCQ33							
E16		PD1	CS1#					AN109

表 1.7 機能別端子一覧 (320ピンFBGA) (4 / 11)

ピン番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC (注1), SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
E18		P97	A25				IRQ7	ADTRG1 / AN107
E19		P94		MTCLKB	RTS2#	ENCIF08	IRQ4	AN104
E20		P93		MTIOC1A / TIC3	SCK2	ENCIF07		AN103
F1		PC4		TCLKH	CATI2CCLK / SCL0			
F2		P83			ETH0_CRS / CATLINKACT0 / TXD4		IRQ11	
F3		P85			CLKOUT25M0 / TXD4 / SCK4 / USB_VBUSEN		IRQ5	
F5		PU4		TIOCC9	MII2_MDC / CTS3#			
F6	VSS							
F7	VCCQ33							
F8		PL3		TIOCA7	ETH2_RXD0			
F9		PL1		TIOCB10	ETH2_TXC			
F10		PK5		TIOCB8	ETH2_TXD1			
F11		PK4		TIOCB11	ETH2_TXER / MOSI2			
F12		P55	A24		ETHSWSECOUT		IRQ5	
F13		P50	CS1#		PHYLINK0		IRQ8	
F14		PD3			PHYRESETOUT2#			AN111
F15		PK2	A23					
F16		P90	RAS#	TIOCA5	TXD4			AN100
F18		P92	CS5#	TOC3	RXD2			AN102
F19		P91	CAS#		TXD2	ENCIF06		AN101
F20		P12		MTIOC4B / GTIOC2A				
G1		PU6		TCLKF	PHYRESETOUT# / CTS4#			
G2		PC5		TCLKG	CATI2CDATA / SDA0			
G3	VCCQ33							
G5		PU5		TIOCC6	MII2_MDIO / RTS3#		IRQ13	
G6		PM0			CLKOUT25M2 / TXD4			
G15		PK3	A24					
G16		PA7	D31 / A22	MTIOC6B / GTIOC3B	RTS2#	MCLK0	IRQ7	
G18		PA4	D28 / TEND2	TIOCA3	ETH1_INT / RXD2	MDAT1		ADTRG0
G19		PA3	D27 / DACK2	GTETR / TIOCA2	ETHSWSECOUT / SCK2	MCLK2		
G20		P11		MTIOC4D / GTIOC2B			IRQ9	

表 1.7 機能別端子一覧 (320ピンFBGA) (5 / 11)

ピン番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC ^(注1) , SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
H1		PU7			CATIRQ / RXD4			
H2		PM1			CATLEDERR / SCK4			
H3		P35					NMI	
H5	ERROROUT#							
H6	VCCQ33							
H8	VDD							
H9	VDD							
H10	VDD							
H11	VDD							
H12	VDD							
H13	VSS							
H15		PA6	D30 / A21	GTIOC3A	CTS2#	MDAT0	IRQ6	
H16		PA5	D29	TIOCA4	ETH0_INT / ETH1_TXER / TXD2	MCLK1		
H18		PA2	D26 / DREQ2	MTIOC3B / GTIOC0A	SSL02	MDAT2 / ENCIF05		
H19		PK0	CAS#	PO31		ENCIF11		
H20		PK1	CS5#			ENCIF12		
J1		PM6		PO19	CATLINKACT0		IRQ6	
J2		PM3		PO16	CATSYNC0 / CATLATCH0			
J3		PM2		TCLKE	CATSYNC1 / CATLATCH1 / RTS4#			
J5	TDO	P33						
J6	TRST#							
J8	VDD							
J9	VSS							
J10	VSS							
J11	VSS							
J12	VSS							
J13	VDD							
J15	VCCQ33							
J16	TRACEDATA7	PA1	D25	MTIOC3D / GTIOC0B	MISO0	AUDIO_CL K / MCLK3		
J18	TRACEDATA6	PA0	D24	MTIOC4A / GTIOC1A	MOSI0	MDAT3		
J19		PT7	A22 / DACK2			ENCIF10		
J20		PT6	A21 / DREQ2					
K1		PM7		PO20	CATLINKACT1			

表 1.7 機能別端子一覧 (320ピンFBGA) (6 / 11)

ピン 番号	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC ^(注1) , SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
K2		PM5		PO18	CATLEDSTER			
K3		PM4		PO17	CATLEDRUN			
K5	TDI	P34						
K6	PLLVDD1							
K8	VDD							
K9	VSS							
K10	VSS							
K11	VSS							
K12	VSS							
K13	VDD							
K15	VSS							
K16	TRACEDATA5	P77	D23	MTIOC4C / GTIOC1B	RSPCK0			
K18	TRACEDATA4	P76	D22	MTIOC4B / GTIOC2A	SSL01	SSIWS0		
K19	TRACEDATA3	P75	D21	MTIOC4D / GTIOC2B	SSL00	ENCIF04	IRQ13	
K20		PT5	BS# / TEND2	PO30				
L1	MD1							
L2	MD2							
L3	TMS							
L5	TCK							
L6	PLLVSS1							
L8	VDD							
L9	VSS							
L10	VSS							
L11	VSS							
L12	VSS							
L13	VDD							
L15	VSS							
L16	TRACEDATA7	PE7	D15	MTIOC7A / TIOC3 / POE8#	SCK1 / RSPCK0			
L18	TRACEDATA0	P72	D18	MTIOC1A / TIC2	TXD1	SSITXD0 / ENCIF02		
L19	TRACEDATA1	P73	D19	MTCLKB	RXD1	SSIRXD0 / ENCIF03	IRQ3	
L20	TRACEDATA2	P74	D20	MTCLKA	CTS1# / SSL03	SSISCK0		
M1	XTAL							
M2	EXTAL							
M3	OSCTH							
M5	BSCANP							
M6	PLLVDD0							

表 1.7 機能別端子一覧 (320ピンFBGA) (7 / 11)

ピン番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC ^(注1) , SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
M8	VDD							
M9	VSS							
M10	VSS							
M11	VSS							
M12	VSS							
M13	VDD							
M15	VCCQ33							
M16	TRACEDATA6	PE6	D14	MTIOC0A / TIOCD0	RXD1 / MIS00		IRQ6	
M18	TRACECLK	P70	D16	MTIOC6D	RTS1# / USB_OVRCUR	ENCIF00	IRQ0	
M19		PT4	CS3#	PO29				
M20	TRACECTL	P71	D17	POE0# / POE10# / TOC2	SCK1	ENCIF01		
N1	VSS							
N2	MD0							
N3	RSTOUT#							
N5	RES#							
N6	PLLVSS0							
N8	VDD							
N9	VSS							
N10	VDD							
N11	VDD							
N12	VDD							
N13	VDD							
N15	TRACEDATA2	PE2	D10	MTCLKC / TIOCB4	SSL02		IRQ2	
N16	TRACEDATA4	PE4	D12	MTIOC0B / TIOCC0	RTS1# / SSL00			
N18	TRACEDATA5	PE5	D13	MTIOC0C / TIOCC3	TXD1 / MOSI0			
N19		PT2		TIOCA1 / TIOCB1 / PO27				
N20		PT3		TIOCA0 / TIOCB0 / PO28	CTS2#	ENCIF09	IRQ11	
P1	VSS_USB							
P2	VDD33_USB							
P3	USB_RREF							
P5		P31			USB_VBUSEN			
P6	VCCQ33							
P15		P06	D6	MTIOC2B / TIOCB0				
P16		P07	D7	MTIOC2A / TIOCB1				

表 1.7 機能別端子一覧 (320ピンFBGA) (8 / 11)

ピン番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC (注1), SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
P18	TRACEDATA3	PE3	D11	MTIOC0D / TIOC85	CTS1# / SSL01		IRQ3	
P19		PT0		TIOCA3 / TIOCB3 / PO25	SCK2	ENCIF07	IRQ0	
P20		PT1		TIOCA2 / TIOCB2 / PO26	RTS2#	ENCIF08		
R1	USB_DP							
R2	USB_DM							
R3		P30			CRXD0 / USB_VBUSIN			
R5		PN0		MTIOC8D	SSL10			
R6		PN2		MTIOC8B	MOSI1		IRQ10	
R7		PG0	A1	PO2				
R8		PG2	A3	PO4 / TOC0	RSPCK1			
R9		PG7	A8	PO9				
R10		PH2	A11	MTIOC2A / PO12				
R11		PH4	A13	PO14			IRQ4	
R12		PH6	A15	MTIOC7D	RTS0#			
R13		P23	A0 / DACK1	MTIC5U	TXD0			
R14		P27	A20	MTIOC8C / TIOC80	RTS0#			
R15		P47	WE3#/ DQMUU/ AH#	MTIOC6C				
R16	VCCQ33							
R18	VCCQ33							
R19		PS6		TIOCA5 / TIOCB5 / PO23	RXD2	ENCIF06	IRQ14	
R20		PS7		TIOCA4 / TIOCB4 / PO24	TXD2			
T1	DVDD_USB							
T2	VDD33_USB							
T3		P32			USB_OVRCUR		IRQ10	
T5		PC6	DREQ0	TCLKC	SCL1 / CRXD0 / USB_VBUSIN			
T6		P37	WE1#/ DQMLU	PO1				
T7		P36	WE0#/ DQMLL	PO0				
T8		PG3	A4	PO5 / TIC1	MISO1			
T9		PG6	A7	TCLKB / PO8	SSL11			
T10		PH3	A12	MTIOC1B / PO13				
T11	VCCQ33							
T12		PH5	A14	PO15				
T13	VCCQ33							

表 1.7 機能別端子一覧 (320ピンFBGA) (9 / 11)

ピン番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC (注1), SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
T14		P26	A19 / DREQ1	MTIOC8D				
T15	VCCQ33							
T16	VSS							
T18	VSS							
T19	TRACEDATA0	PE0	D8	MTIOC1B / TIOCB2				
T20	TRACEDATA1	PE1	D9	MTCLKD / TIOCB3	SSL03			
U1		P60	TEND0		CTXD0 / SPBSSL			
U2		P63			SPBMO/SPBIO0			
U3		PN1		MTIOC8C / PO21	MISO1	ENCIF09		
U18	TRACECTL	P00	D0	MTIOC6A / TIOCA1				ADTRG1
U19		P04	D4	MTIOC3C / TIOCA5				
U20		P03	D3	MTIC5U / TIOCA4				
V1		P61	DACK0		CTXD1 / SPBIO3			
V2		P64			SPBMI/SPBIO1			
V3		PN3		MTIOC8A	RSPCK1			
V4		PN4		MTIOC6C / TIOCC6	SSL11		IRQ12	
V5		PC7		TIC0	SDA1 / CRXD1			
V6		PG1	A2	PO3				
V7		PG4	A5	PO6 / TOC1	MOSI1			
V8		PG5	A6	TCLKA / PO7	SSL10			
V9		PH0	A9	PO10				
V10		PH1	A10	MTIOC2B / PO11				
V11		PH7	A16	MTIC5W				
V12		P20	A17	MTCLKD				
V13		P21	CS0#	MTIC5V / TIOCB1	CTS0#		IRQ1	
V14	VSS							
V15		P45	CS2#					
V16		P46	CKE					
V17		PS2		MTIOC7C		SSIWS0		
V18		P05	D5	MTIOC3A				
V19		P01	D1	MTIC5W / TIOCA2				
V20		P02	D2	MTIC5V / TIOCA3				
W1		P62			SPBCLK			
W2		P65	DREQ0		SPBIO2			
W3		PN5		MTIOC6A / TIOCD9		ENCIF10	IRQ5	
W4		PN6		MTIOC3C / TIOCC9		MCLK3 / ENCIF11		

表 1.7 機能別端子一覧 (320ピンFBGA) (10 / 11)

ピン 番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC ^(注1) , SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
W5		PP0	TEND0	POE8#		MCLK2		
W6		PP2		MTIOC0C / TCLKH		MCLK1		
W7		PP4		MTIOC0A		MCLK0		
W8	TRACECTL	PP6		TIOCA11	RXD1	ENCIF06		
W9	TRACECLK	PP7	DACK1	TCLKF / TCLKH	SCK1			
W10	TRACEDATA1	PR1	TEND1	POE4#	CTS1#	ENCIF08	IRQ9	
W11	TRACEDATA3	PR3		TIOCA10 / TIOCB10		ENCIF01		
W12	TRACEDATA5	PR5		TIOCA8 / TIOCB8		ENCIF03		
W13		P24	RD/WR#		RXD0		IRQ12	
W14		P22	RD#	MTIOC7B / TIOCD0	SCK0		IRQ2	
W15		P44	WAIT#	TCLKD	CTS0#		IRQ12	ADTRG0
W16		P43	WE2#/ DQMUL	MTIOC8B	USB_VBUSEN			
W17		PS1		MTIOC7B		SSISCK0	IRQ1	
W18		PS3		MTIOC7A		SSIRXD0		
W19		PS4		MTIOC6D		SSITXD0		
W20		PS5		MTIOC6B				
Y1	VSS							
Y2		P67	TEND0	GTIOC3B	CTXD0 / USB_OVRCUR		IRQ15	
Y3		P66	DACK0	GTIOC3A	CTXD1 / USB_VBUSEN		IRQ14	
Y4		PN7	DREQ0	MTIOC3A / TIOCD6		MDAT3 / ENCIF12		
Y5		PP1	DACK0	MTIOC0D		MDAT2		
Y6		PP3		MTIOC0B / TCLKC		MDAT1		
Y7		PP5		PO22		MDAT0		
Y8	VSS							
Y9	TRACEDATA0	PR0	DREQ1	TCLKE / TCLKG	TXD1	ENCIF07		
Y10	TRACEDATA2	PR2		TIOCA11 / TIOCB11	RTS1#	ENCIF00		
Y11	TRACEDATA4	PR4		TIOCA9 / TIOCB9		ENCIF02		
Y12	TRACEDATA6	PR6		TIOCA7 / TIOCB7		ENCIF04		
Y13	TRACEDATA7	PR7		TIOCA6 / TIOCB6		ENCIF05		
Y14		P25	A18 / TEND1	MTCLKC				
Y15		P41	BS#		SCK0			
Y16		P42		MTIOC7C	RXD0			
Y17		P40		MTIOC8A	TXD0			
Y18		PS0		MTIOC7D		AUDIO_CL K		
Y19	TRACECLK	P10	CKIO	TIOCA0			IRQ0	

表 1.7 機能別端子一覧 (320ピンFBGA) (11 / 11)

ピン 番号 320 ピン FBGA	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, ECATC ^(注1) , SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF, Encoder I/F)	割り 込み	S12ADCa
Y20	VSS							

注1. オプション

表 1.8 機能別端子一覧 (176ピンHLFQFP) (1/6)

ピン 番号 176 ピン HLQF P	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, SCIFA, RSPiA, RIIa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF)	割り 込み	S12ADCa
1		PC3			ETH0_RXC / ETH0_RXDV / RXD4 / SCL0 / CRXD1			
2	VCCQ33							
3	VSS							
4	VDD							
5		P82		TIOCD3	ETH0_TXEN / ETH1_CRS / SCK4 / RTS3# / USB_OVRCUR			
6		P85			CLKOUT25M0 / TXD4 / SCK4 / USB_VBUSEN		IRQ5	
7	ERROROUT#							
8		P35					NMI	
9	TRST#							
10	TDO	P33						
11	TDI	P34						
12	TMS							
13	TCK							
14	BSCANP							
15	VDD							
16	VSS							
17	MD2							
18	MD1							
19	PLLVDD1							
20	PLLVSS1							
21	OSCTH							
22	VCCQ33							
23	EXTAL							
24	XTAL							
25	VSS							
26	MD0							
27	PLLVDD0							
28	PLLVSS0							
29	RES#							
30	RSTOUT#							
31	VDD							
32	VSS							
33	VDD33_USB							
34	VSS_USB							
35	USB_RREF							

表 1.8 機能別端子一覧 (176ピンHLFQFP) (2 / 6)

ピン 番号 176 ピン HLQF P	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, SCIFA, RSP1a, RII1Ca, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF)	割り 込み	S12ADCa
36	USB_DM							
37	USB_DP							
38	VDD33_USB							
39	DVDD_USB							
40		P30			CRXD0 / USB_VBUSIN			
41		P60	TEND0		CTXD0 / SPBSSL			
42		P61	DACK0		CTXD1 / SPBIO3			
43	VCCQ33							
44		P62			SPBCLK			
45	VSS							
46		P63			SPBMO/SPBIO0			
47		P64			SPBMI/SPBIO1			
48		P65	DREQ0		SPBIO2			
49	VSS							
50	VDD							
51		P36	WE0#/ DQMLL	PO0				
52		P37	WE1#/ DQMLU	PO1				
53		PG0	A1	PO2				
54		PG1	A2	PO3				
55	VCCQ33							
56		PG2	A3	PO4 / TOC0	RSPCK1			
57		PG3	A4	PO5 / TIC1	MISO1			
58		PG4	A5	PO6 / TOC1	MOSI1			
59		PG5	A6	TCLKA / PO7	SSL10			
60		PG6	A7	TCLKB / PO8	SSL11			
61		PG7	A8	PO9				
62		PH0	A9	PO10				
63		PH1	A10	MTIOC2B / PO11				
64		PH2	A11	MTIOC2A / PO12				
65		PH3	A12	MTIOC1B / PO13				
66	VDD							
67	VSS							
68		PH4	A13	PO14			IRQ4	
69		PH5	A14	PO15				
70		PH6	A15	MTIOC7D	RTS0#			
71		PH7	A16	MTIC5W				
72		P24	RD/WR#		RXD0		IRQ12	
73		P21	CS0#	MTIC5V / TIOCB1	CTS0#		IRQ1	
74		P22	RD#	MTIOC7B / TIOCD0	SCK0		IRQ2	

表 1.8 機能別端子一覧 (176ピンHLFQFP) (3 / 6)

ピン 番号	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, SCIFA, RSPIa, RIIa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF)	割り 込み	S12ADCa
75		P23	A0 / DACK1	MTIC5U	TXD0			
76		P20	A17	MTCLKD				
77		P25	A18 / TEND1	MTCLKC				
78		P26	A19 / DREQ1	MTIOC8D				
79		P27	A20	MTIOC8C / TIOCB0	RTS0#			
80	VDD							
81	VSS							
82		P42		MTIOC7C	RXD0			
83		P40		MTIOC8A	TXD0			
84		P43	WE2#/ DQMUL	MTIOC8B	USB_VBUSEN			
85		P47	WE3#/ DQMUU/AH#	MTIOC6C				
86	VCCQ33							
87	TRACECLK	P10	CKIO	TIOCA0			IRQ0	
88	VSS							
89	TRACECTL	P00	D0	MTIOC6A / TIOCA1				
90		P01	D1	MTIC5W / TIOCA2				
91		P02	D2	MTIC5V / TIOCA3				
92	VCCQ33							
93		P03	D3	MTIC5U / TIOCA4				
94		P04	D4	MTIOC3C / TIOCA5				
95		P05	D5	MTIOC3A				
96		P06	D6	MTIOC2B / TIOCB0				
97		P07	D7	MTIOC2A / TIOCB1				
98	TRACEDATA 0	PE0	D8	MTIOC1B / TIOCB2				
99	TRACEDATA 1	PE1	D9	MTCLKD / TIOCB3	SSL03			
100	VSS							
101	TRACEDATA 2	PE2	D10	MTCLKC / TIOCB4	SSL02		IRQ2	
102	TRACEDATA 3	PE3	D11	MTIOC0D / TIOCB5	CTS1# / SSL01		IRQ3	
103	TRACEDATA 4	PE4	D12	MTIOC0B / TIOCC0	RTS1# / SSL00			
104	TRACEDATA 5	PE5	D13	MTIOC0C / TIOCC3	TXD1 / MOSI0			
105	TRACEDATA 6	PE6	D14	MTIOC0A / TIOCD0	RXD1 / MISO0		IRQ6	

表 1.8 機能別端子一覧 (176ピンHLFQFP) (4 / 6)

ピン番号 176 ピン HLQF P	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, SCIFA, RSPIa, RIICa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF)	割り 込み	S12ADCa
106	TRACEDATA 7	PE7	D15	MTIOC7A / TIOCD3 / POE8#	SCK1 / RSPCK0			
107	VSS							
108	VDD							
109	TRACECLK	P70	D16	MTIOC6D	RTS1# / USB_OVRCUR		IRQ0	
110	TRACECTL	P71	D17	POE0# / POE10# / TOC2	SCK1			
111	TRACEDATA 0	P72	D18	MTIOC1A / TIC2	TXD1	SSITXD0		
112	TRACEDATA 1	P73	D19	MTCLKB	RXD1	SSIRXD0	IRQ3	
113	TRACEDATA 2	P74	D20	MTCLKA	CTS1# / SSL03	SSISCK0		
114	TRACEDATA 3	P75	D21	MTIOC4D / GTIOC2B	SSL00		IRQ13	
115	TRACEDATA 4	P76	D22	MTIOC4B / GTIOC2A	SSL01	SSIWS0		
116	TRACEDATA 5	P77	D23	MTIOC4C / GTIOC1B	RSPCK0			
117	TRACEDATA 6	PA0	D24	MTIOC4A / GTIOC1A	MOSI0	MDAT3		
118	TRACEDATA 7	PA1	D25	MTIOC3D / GTIOC0B	MISO0	AUDIO_CLK / MCLK3		
119	VSS							
120	VDD							
121		PA2	D26 / DREQ2	MTIOC3B / GTIOC0A	SSL02	MDAT2		
122		PA3	D27 / DACK2	GTETRG / TIOCA2	ETHSWSECOUT / SCK2	MCLK2		
123		PA4	D28 / TEND2	TIOCA3	ETH1_INT / RXD2	MDAT1		ADTRG0
124		PA5	D29	TIOCA4	ETH0_INT / ETH1_TXER / TXD2	MCLK1		
125		PA6	D30 / A21	GTIOC3A	CTS2#	MDAT0	IRQ6	
126	VCCQ33							
127		PA7	D31 / A22	MTIOC6B / GTIOC3B	RTS2#	MCLK0	IRQ7	
128	VDD							
129	VSS							
130		P13	RAS#	MTIOC4C / GTIOC1B				
131		P14	CAS#	MTIOC4A / GTIOC1A				
132		P15	CS3# / CKE	MTIOC3D / GTIOC0B				
133		P16	CS4# / CS2#	MTIOC3B / GTIOC0A				

表 1.8 機能別端子一覧 (176ピンHLFQFP) (5 / 6)

ピン 番号	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, SCIFA, RSP1a, RIIa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF)	割り 込み	S12ADCa
134		P17	CS5#		ETH1_TXER / PHYRESETOUT#			ADTRG0
135	VCCQ33							
136	VREFH0							
137	VREFL0							
138	AVSS0							
139	AVCC0							
140								AN000
141								AN001
142								AN002
143								AN003
144								AN004
145								AN005
146								AN006
147								AN007
148	VDD							
149	VSS							
150		P51			PHYLINK1 / RSPCK2		IRQ1	
151		P54			CLKOUT25M1 / MOSI2			
152		P56	BS#		ETH1_TXER			
153		PD5	A21	TIC0	ETH1_TXD3 / ETH0_TXD0 / SSL20	MCLK3		
154		PD6	A22	TIC1	ETH1_TXD2 / ETH0_TXD1 / MISO2	MCLK2		
155		PD7		MTIOC4D / GTIOC2B / TOC0	ETH1_TXD1			
156		P86		MTIOC4B / GTIOC2A / TOC1	ETH1_TXD0 / RSPCK2			
157		P87	A23	MTIOC4C / GTIOC1B	ETH1_TXC / ETH0_RXD0	MCLK1		
158		PF5		MTIOC4A / GTIOC1A / TIC2	ETH1_TXEN			
159	VCCQ33							
160	VDD							
161	VSS							
162		PF6		MTIOC3D / GTIOC0B / TOC2	ETH1_RXD0			
163		PB7		MTIOC3B / GTIOC0A / TOC3	ETH1_RXD1			
164		PC0	WAIT#	GTETRG	ETH1_RXD2 / SCL1	MDAT3		

表 1.8 機能別端子一覧 (176ピンHLFQFP) (6 / 6)

ピン 番号	電源 クロック システム制御	I/O ポート	バス	タイマ (MTU3a, GPTa, TPUa, PPG, POE3, CMTW)	通信 (ETHERC, SCIFA, RSP1a, RIIa, RSCAN, SPIBSC, USB)	その他 (SSI, DSMIF)	割り 込み	S12ADCa
176 ピン HLQF P								
165		PC1			ETH1_RXD3 / PHYLINK0 / SDA1	MDAT2	IRQ9	
166		PB0		MTCLKB / TCLKD / TIC3	ETH1_RXDV			
167		PB1		MTCLKA / TCLKC	ETH1_RXER / CTS4#			
168		PB2		MTIOC1A	ETH1_RXC / ETH0_RXD1 / SSL30	MDAT1		
169	VCCQ33							
170		PB3	CS1#		ETH1_CRS / PHYRESETOUT# / TXD3 / CTXD1	MCLK0	IRQ3	
171		PB4	A24		ETH1_COL / RXD3 / MOSI3 / ETH0_RXER	MDAT0		
172		PB5		TCLKB / POE0# / POE10#	ETH_MDIO / CTS3# / RSPCK3			
173	VSS							
174	VDD							
175		PB6		TCLKA	ETH_MDC / SCK3 / RTS4# / MISO3			
176		PC2			ETH0_TXC / ETH1_RXD2 / SDA0			

2. 電気的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件 : VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V

項目	記号	定格値	単位
電源電圧 (I/O)	VCCQ33	-0.3 ~ +4.2	V
電源電圧 (内部)	VDD	-0.3 ~ +1.6	V
PLL電源電圧	PLLVDD0, PLLVDD1	-0.3 ~ +1.6	V
入力電圧 (5Vトレラント対応ポート (注1) 以外)	V _{in1}	-0.3 ~ VCCQ33 + 0.3 (注4)	V
入力電圧 (5Vトレラント対応ポート (注1))	V _{in2}	-0.3 ~ +5.5 (注3)	V
アナログ電源電圧	AVCC0, AVCC1 (注2)	-0.3 ~ +4.2	V
リファレンス電源電圧	VREFH0, VREFH1	-0.3 ~ (AVCC0, AVCC1) + 0.3 (注4)	V
USBデジタル電源電圧	DVDD_USB	-0.3 ~ +1.6	V
USB電源電圧	VDD33_USB (注2)	-0.3 ~ +4.2	V
アナログ入力電圧	V _{AN}	-0.3 ~ (AVCC0, AVCC1) + 0.3 (注4)	V
動作温度 (ジャンクション温度)	T _j	-40 ~ +125	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】

- IC製品の出力 (出力状態の入出力端子) をほかの出力端子 (出力状態の入出力端子を含む)、および電源端子やGND端子に直線接続しないでください。ただし、入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。
- 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。この定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

注1. ポートPC0~PC7、ポートP30は、5Vトレラント対応です。

注2. A/Dのユニット0を使用しない場合、AVCC0, VREFH0端子はVCCQ33に、AVSS0, VREFL0端子はVSSにそれぞれ接続し開放しないでください。同様に、A/Dのユニット1を使用しない場合、AVCC1, VREFH1端子はVCCQ33に、AVSS1, VREFL1端子はVSSにそれぞれ接続し開放しないでください。USBを使用しない場合、VDD33_USB端子はVCCQ33に、VSS_USB端子はVSSに、DVDD_USB端子はVDDに、それぞれ接続し開放しないでください。

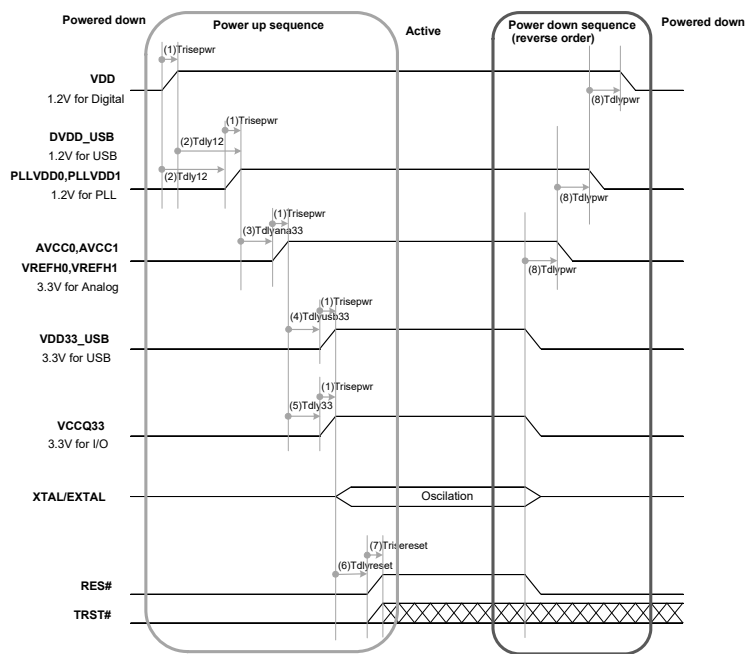
注3. VCCQ33 = 3.0Vに満たない条件では、5Vトレラント対応ポートの定格値は3.6Vになります。

注4. 絶対最大定格 (4.2V) を超えないようにしてください。

2.2 電源投入・切断シーケンス

各電源の投入・切断順序は図 2.1 に示した方法にしたがってください。

電源の投入時は、必ず TRST# 端子を Low レベル、かつ RES# 端子を Low レベルにしてください。それ以外の端子状態の場合、初期化が正常に行われません。



Timing

No.	Item	Value		
		min	typ	max
(1)	Trisepwr	100 μ s	—	50ms
(2)	Tdly12	0ms	—	100ms
(3)	Tdlyana33	0ms	—	100ms
(4)	Tdlyusb33	0ms	—	100ms
(5)	Tdly33	0ms	—	100ms
(6)	Tdlyreset	10ms	—	—
(7)	Trisereset	—	—	150 μ s
(8)	Tdlypwr	0ms	—	—

注 1. 全電源およびリセット信号は、単調増加／単調減少で立ち上がる／立ち下がるようにしてください。

注 2. 電源にマイナス電圧を印可しないでください。

注 3. 電源投入前には必ずリセット端子 (TRST#/RES#) をアクティブ (Low) にしてください。

このことが守られない場合、端子の入出力状態が不定になる場合があります。また、電源の切断時も、このことが問題になる可能性がある場合は、リセット端子 (TRST#/RES#) をアクティブ (Low) にしてください。

注. 電源投入・遮断シーケンスを満たせない場合 (動作保証範囲以外) では、端子の入出力状態が不定になる場合があります。

図 2.1 電源投入・切断シーケンス

2.3 DC 特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V$,
 $T_j = -40 \sim 125 \text{ }^\circ\text{C}$

注 . 176 ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表2.2 DC特性 (1)

項目	記号	min	typ	max	単位	測定条件
電源電圧 (I/O)	VCCQ33	3.0	3.3	3.6	V	
電源電圧 (内部)	VDD	1.14	1.2	1.26	V	
PLL 電源電圧	PLLVDD0, PLLVDD1	1.14	1.2	1.26	V	
USB デジタル電源電圧	DVDD_USB	1.14	1.2	1.26	V	
アナログ電源電圧	AVCC0, AVCC1	3.0	3.3	3.6	V	
USB 電源電圧	VDD33_USB	3.0	3.3	3.6	V	

表 2.3 DC 特性 (2) 【消費電流】(1/2)

項目	電源種類		記号	typ	max	単位	測定条件
通常動作時	VDD	600MHz	V _{lcc}	330	820	mA	T _j = -40 ~ 125°C (R7S910018CBG, R7S910118CBG)
				273	752	mA	T _j = -40 ~ 125°C (R7S910017CBG, R7S910117CBG)
				265	740	mA	T _j = -40 ~ 125°C (R7S910028CBG, R7S910128CBG)
				258	731	mA	T _j = -40 ~ 125°C (R7S910013CBG, R7S910113CBG)
				209	673	mA	T _j = -40 ~ 125°C (R7S910027CBG, R7S910127CBG)
				201	663	mA	T _j = -40 ~ 125°C (R7S910007CBG, R7S910107CBG)
		450MHz		310	798	mA	T _j = -40 ~ 125°C (R7S910016CBG, R7S910116CBG)
				253	730	mA	T _j = -40 ~ 125°C (R7S910015CBG, R7S910115CBG)
				245	718	mA	T _j = -40 ~ 125°C (R7S910026CBG, R7S910126CBG)
				238	709	mA	T _j = -40 ~ 125°C (R7S910011CBG, R7S910111CBG)
				189	651	mA	T _j = -40 ~ 125°C (R7S910025CBG, R7S910125CBG)
				181	641	mA	T _j = -40 ~ 125°C (R7S910002CBG, R7S910006CBG, R7S910102CBG, R7S910106CBG)
				180	640	mA	T _j = -40 ~ 125°C (R7S910001CFP, R7S910101CFP)
		300MHz		225	696	mA	T _j = -40 ~ 125°C (R7S910036CBG, R7S910136CBG)
	169		629	mA	T _j = -40 ~ 125°C (R7S910035CBG, R7S910135CBG)		

表2.3 DC特性 (2) 【消費電流】(2 / 2)

項目	電源種類	記号	typ	max	単位	測定条件
通常動作時	PLLVD0 + PLLVD1	PLLlcc	3.2	5	mA	
	VCCQ33	V33lcc	19 (注1)(注2)	—	mA	
	AVCC0	AV0lcc	2	5	mA	A/D変換時(ユニット0)
	AVCC1	AV1lcc	0.7	1.5	mA	A/D変換時(ユニット1)
	VREFH0	VRF0lcc	0.07	0.2	mA	A/D変換時(ユニット0)
	VREFH1	VRF1lcc	0.07	0.2	mA	A/D変換時(ユニット1)
	DVDD_USB	V12Ulcc	5.1	9	mA	USBハイスピード通信時
			3.5	9	mA	USBフルスピード通信時
	VDD33_USB	V33Ulcc	15(注1)	—	mA	USBハイスピード通信時
10(注1)			—	mA	USBフルスピード通信時	
スタンバイモード+ 全モジュールストップ時 (参考値)	VDD	Vlcc	41	—	mA	
	PLLVD0 + PLLVD1	PLLlcc	3.2	—	mA	
	VCCQ33	V33lcc	0.35 (注1)(注2)	—	mA	
	AVCC0	AV0lcc	0.64	—	μA	
	AVCC1	AV1lcc	0.32	—	μA	
	VREFH0	VRF0lcc	0.24	—	μA	
	VREFH1	VRF1lcc	0.24	—	μA	
	DVDD_USB	V12Ulcc	3.5	—	mA	UTMI サスペンドモード
	VDD33_USB	V33Ulcc	9.6(注1)	—	mA	UTMI サスペンドモード

注1. 参考値です。実際の動作電流はシステムに大きく依存します(I/Oの負荷による波形なまり、トグル頻度等)。必ずシステムでの実測を行ってください。

注2. V33lccは80mA以下にしてください(表2.9の ΣI_{OH})。

表 2.4 DC 特性 (3) 【USB2.0 ホスト/ファンクション関連端子を除く】

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	5Vトレラント対応端子以外	V_{IH1}	2.4	—	$V_{CCQ33} + 0.3$	V	
		V_{IL1}	-0.3	—	0.8	V	
		ΔV_{T1}	$V_{CCQ33} \times 0.05$	—	—	V	
	5Vトレラント対応端子 (注1)	V_{IH2}	$V_{CCQ33} \times 0.7$	—	5.3 (注2)	V	
		V_{IL2}	-0.3	—	$V_{CCQ33} \times 0.3$	V	
		ΔV_{T2}	$V_{CCQ33} \times 0.05$	—	—	V	
入力Highレベル電圧 (シュミットトリガ入力端子を除く)		V_{IH3}	2.4	—	$V_{CCQ33} + 0.3$	V	
入力Lowレベル電圧 (シュミットトリガ入力端子を除く)		V_{IL3}	-0.3	—	0.8	V	
出力Highレベル電圧	5Vトレラント対応端子以外	V_{OH}	$V_{CCQ33} - 0.5$	—	—	V	$I_{OH} = -2\text{mA}$
出力Lowレベル電圧	5Vトレラント対応端子以外	V_{OL1}	—	—	0.4	V	$I_{OL1} = 2\text{mA}$
	5Vトレラント対応端子 (注1)	V_{OL2}	—	—	0.4	V	$I_{OL2} = 3\text{mA}$
			—	—	0.6	V	$I_{OL2} = 6\text{mA}$
入力リーク電流		$ I_{in} $	—	—	1.0	μA	$V_{in1} = V_{in2} = 0\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応端子以外の入出力、出力端子	I_{TSIL}	—	—	1.0	μA	$V_{in1} = 0\text{V}$ $V_{in1} = V_{CCQ33}$
	5Vトレラント対応端子 (注1)		—	—	5.0	μA	$V_{in2} = 0\text{V}$ $V_{in2} = V_{CCQ33}$
入力プルアップMOS電流/抵抗	ポート P50 ~ P56、P86 ~ P87、P90 ~ P97、PD0 ~ PD7	I_{pu1}	-300	—	-30	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = 0\text{V}$
		R_{pu1}	10	—	120	k Ω	
	上記以外の端子 (注3)	I_{pu2}	-120	—	-7	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = 0\text{V}$
		R_{pu2}	25	—	515	k Ω	
入力プルダウンMOS電流/抵抗	ポート P50 ~ P56、P86 ~ P87、P90 ~ P97、PD0 ~ PD7	I_{pd1}	30	—	300	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
		R_{pd1}	10	—	120	k Ω	
	上記以外の端子 (注3)	I_{pd2}	7	—	120	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
		R_{pd2}	25	—	515	k Ω	
端子容量	全入出力、入力端子	C_{in}	—	—	10	pF	

注1. ポートPC0~PC7、ポートP30は、5Vトレラント対応です。

注2. VCCQ33が3.00V未満のときは、5Vトレラント対応端子に対して3.6V以上の電圧を印加しないでください。

注3. 5Vトレラント対応端子は対象外です。

表2.5 DC 特性 (4) 【USB2.0 USB_RREF端子】

項目	記号	min	typ	max	単位	測定条件
基準抵抗	R _{REF}	200 ± 1%			Ω	

表2.6 DC 特性 (5) 【USB2.0 ホスト/ファンクション関連端子 (フルスピード/ハイスピード共通項目) (注1)】

項目	記号	min	typ	max	単位	測定条件
DP プルアップ抵抗 (ファンクション機能選択時)	R _{PU}	0.900	—	1.575	kΩ	アイドル時
		1.425	—	3.090	kΩ	送受信時
DP、DM プルダウン抵抗 (ホスト機能選択時)	R _{PD}	14.25	—	24.80	kΩ	

注1. USB_DP、USB_DM 端子

表2.7 DC 特性 (6) 【USB2.0 ホスト/ファンクション関連端子 (フルスピード時) (注1)】

項目	記号	min	typ	max	単位	測定条件
入力ハイレベル電圧	V _{FSIH}	2.0	—	—	V	
入力ロウレベル電圧	V _{FSIL}	—	—	0.8	V	
差動入力感度	V _{FSDI}	0.2	—	—	V	(USB_DP) - (USB_DM)
差動コモンモード範囲	V _{FSCM}	0.8	—	2.5	V	
出力ハイレベル電圧	V _{FSOH}	2.8	—	3.6	V	I _{FSOH} = -200μA
出力ロウレベル電圧	V _{FSOL}	0.0	—	0.3	V	I _{FSOL} = 2mA
出力信号クロスオーバー電圧	V _{FSCRS}	1.3	—	2.0	V	CL = 50pF (フルスピード時)

注1. USB_DP、USB_DM 端子

表2.8 DC 特性 (7) 【USB2.0 ホスト/ファンクション関連端子 (ハイスピード時) (注1)】

項目	記号	min	typ	max	単位	測定条件
スケルチ検出スレッショルド電圧 (差動電圧)	V _{HSSQ}	100	—	150	mV	
コモンモード電圧範囲	V _{HSCM}	-50	—	500	mV	
アイドル状態	V _{HSOI}	-10.0	—	10.0	mV	
出力ハイレベル電圧	V _{HSOH}	360	—	440	mV	
出力ロウレベル電圧	V _{HSOL}	-10.0	—	10.0	mV	
Chirp J 出力電圧 (差分)	V _{CHIRPJ}	700	—	1100	mV	
Chirp K 出力電圧 (差分)	V _{CHIRPK}	-900	—	-500	mV	

注1. USB_DP、USB_DM 端子

表 2.9 出力許容電流

項目		記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	5Vトレラント対応端子以外	I_{OL1}	—	—	2.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	3.0	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	5Vトレラント対応端子以外	I_{OL1}	—	—	4.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	6.0	mA
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子	I_{OH}	—	—	-2.0	mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子	I_{OH}	—	—	-4.0	mA
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	—	—	-80	mA

【使用上の注意】 LSIの信頼性を確保するため、出力電流値は表 2.9の値を超えないようにしてください。

2.4 AC 特性

- 条件 : VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 ~ 1.26V,
VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 ~ 3.6V
VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V,
Tj = -40 ~ 125 °C

注. 176ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表 2.10 動作周波数

項目		記号	min	max	単位	
動作周波数	CPUクロック (CPUCLK)	(注1)	150	600	MHz	
		(注2)	150	450		
		(注3)	150	300		
	システムクロック (ICLK)			150		
	周辺モジュールクロック (PCLKA)			150		
	周辺モジュールクロック (PCLKB)			75		
	周辺モジュールクロック (PCLKC)			150		
	周辺モジュールクロック (PCLKD)			75		
	周辺モジュールクロック (PCLKE)			18.75		75
	周辺モジュールクロック (PCLKF)			7.5		60
	周辺モジュールクロック (PCLKG)			7.5		60
	周辺モジュールクロック (PCLKH)			60		
	高速シリアルクロック (SERICK)			120		150
	ΔΣインタフェースクロック出力 (DSCLK0, DSCLK1)			6.25		25
	外部バスクロック出力 (CKIO)			18.75		75
Ethernet PHY用の外部クロック出力 (CLKOUT25M)			25	50		

- 注1. R7S910007CBG, R7S910107CBG, R7S910013CBG, R7S910113CBG, R7S910017CBG, R7S910117CBG, R7S910018CBG, R7S910118CBG, R7S910027CBG, R7S910127CBG, R7S910028CBG, R7S910128CBGのみ
- 注2. R7S910001CFP, R7S910101CFP, R7S910002CBG, R7S910102CBG, R7S910006CBG, R7S910106CBG, R7S910011CBG, R7S910111CBG, R7S910015CBG, R7S910115CBG, R7S910016CBG, R7S910116CBG, R7S910025CBG, R7S910125CBG, R7S910026CBG, R7S910126CBGのみ
- 注3. R7S910035CBG, R7S910135CBG, R7S910036CBG, R7S910136CBGのみ

2.4.1 クロックタイミング

表2.11 CKIO端子出力タイミング

出力負荷条件 : C = 30pF

項目	記号	min	typ	max	単位	測定条件
CKIO端子出力サイクル時間	t_{CKcyc}	13.3	—	53.4	ns	図2.2
CKIO端子出力Highレベルパルス幅	t_{CKH}	$t_{CKcyc}/2 - t_{CKr}$	—	—	ns	
CKIO端子出力Lowレベルパルス幅	t_{CKL}	$t_{CKcyc}/2 - t_{CKf}$	—	—	ns	
CKIO端子出力立ち上がり時間1	t_{CKr}	—	—	5	ns	CKIO: 高駆動出力設定時 (注1) $V_{OH} = V_{CCQ33} - 0.5V$ $V_{OL1} = 0.4V$
CKIO端子出力立ち下がり時間1	t_{CKf}	—	—	5	ns	
CKIO端子出力立ち上がり時間2	t_{CKr}	—	—	9	ns	CKIO: 通常出力設定時 $V_{OH} = V_{CCQ33} - 0.5V$ $V_{OL1} = 0.4V$
CKIO端子出力立ち下がり時間2	t_{CKf}	—	—	9	ns	
CKIO端子出力立ち上がり時間3	t_{CKr}	—	—	2.5	ns	CKIO: 高駆動出力設定時 (注1) $V_{OH} = 2.0V$ $V_{OL1} = 0.8V$
CKIO端子出力立ち下がり時間3	t_{CKf}	—	—	2.5	ns	
CKIO端子出力立ち上がり時間4	t_{CKr}	—	—	4.5	ns	CKIO: 通常出力設定時 $V_{OH} = 2.0V$ $V_{OL1} = 0.8V$
CKIO端子出力立ち下がり時間4	t_{CKf}	—	—	4.5	ns	

注1. SDRAMを接続する場合、必ず駆動能力制御レジスタ (DSCR) のB0ビットを1にセットし、高駆動出力にしてください。

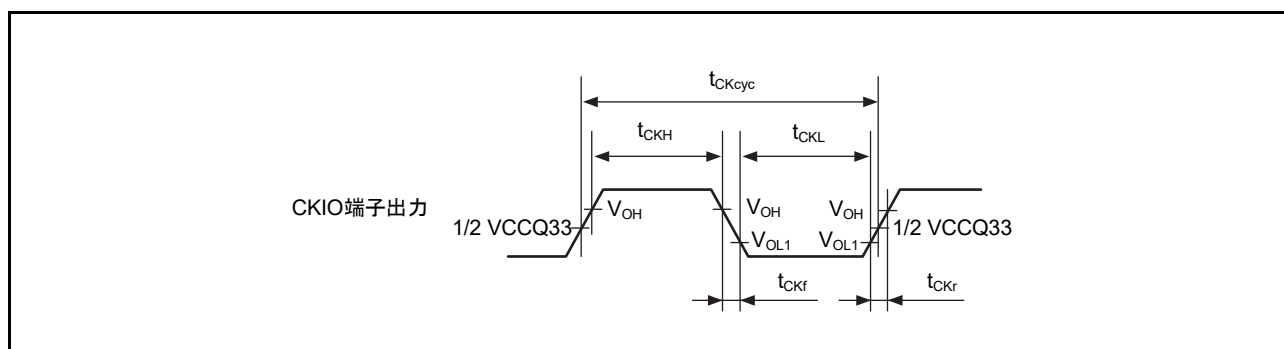


図2.2 CKIO端子出力タイミング

表2.12 CLKOUT25Mn タイミング

出力負荷条件 : $V_{OH} = 2.0V$ 、 $V_{OL1} = 0.8V$ 、 $C = 25pF$ (RMII時)
 $V_{OH} = VCCQ33 - 0.5V$ 、 $V_{OL1} = 0.4V$ 、 $C = 30pF$ (MII時)

項目		記号	min	max	単位	測定条件
CLKOUT25Mn (RMII)	CLKOUT25Mn サイクル時間	T_{ck1}	20	—	ns	図2.3
	CLKOUT25Mn 周波数 Typ. 50MHz	—	50 ± 50ppm		MHz	
	CLKOUT25Mn デューティ	—	35	65	%	
	CLKOUT25Mn 出カローレベルパルス幅1	T_{ckl1}	$T_{ck1}/2 - T_{ckf1}$	$T_{ck1}/2 + T_{ckf1}$	ns	
	CLKOUT25Mn 出カハイレベルパルス幅1	T_{ckh1}	$T_{ck1}/2 - T_{ckr1}$	$T_{ck1}/2 + T_{ckr1}$	ns	
	CLKOUT25Mn 立ち上がり/立ち下がり時間1	$T_{ckr1}/ckf1$	0.5	4	ns	
CLKOUT25Mn (MII)	CLKOUT25Mn サイクル時間	T_{ck2}	40	—	ns	図2.4
	CLKOUT25Mn 周波数 Typ. 25MHz	—	25 ± 50ppm		MHz	
	CLKOUT25Mn デューティ	—	35	65	%	
	CLKOUT25Mn 出カローレベルパルス幅2	T_{ckl2}	$T_{ck2}/2 - T_{ckf2}$	$T_{ck2}/2 + T_{ckf2}$	ns	
	CLKOUT25Mn 出カハイレベルパルス幅2	T_{ckh2}	$T_{ck2}/2 - T_{ckr2}$	$T_{ck2}/2 + T_{ckr2}$	ns	
	CLKOUT25Mn 立ち上がり/立ち下がり時間2	$T_{ckr2}/ckf2$	0.5	9	ns	

n = 0 ~ 2

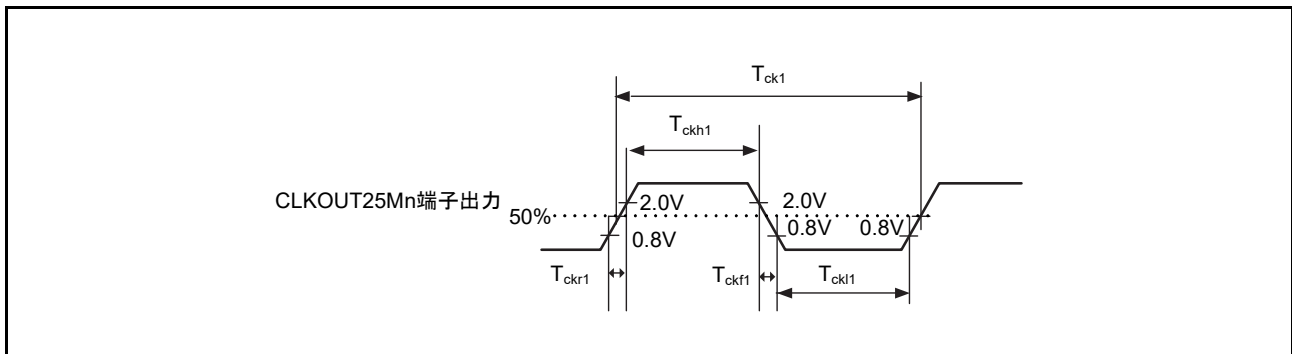


図 2.3 CLKOUT25Mn 端子出力タイミング 1

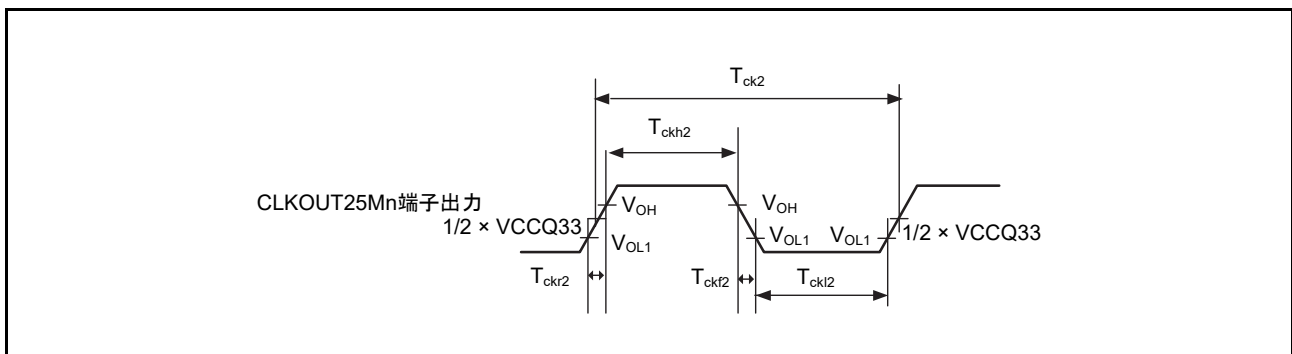


図 2.4 CLKOUT25Mn 端子出力タイミング 2

表2.13 EXTERNALクロックタイミング

項目	記号	min	typ	max	単位
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	40.00 ± 50ppm			ns
		25.00 ± 25ppm (注1)			MHz

注1. EtherCAT 使用時

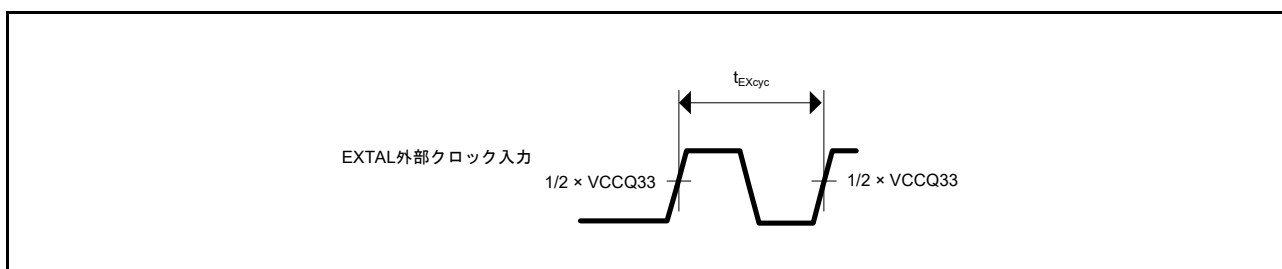


図 2.5 EXTAL 外部クロック入力タイミング

表 2.14 XTALクロックタイミング

項目	記号	min	typ	max	単位
XTALクロック発振器出力周期 (注1)	$t_{XTALcyc}$	40.00 ± 50ppm (注2)			ns

注1. XTALクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. EtherCAT使用時は、25.00 ± 25ppm[MHz]を満たすようにしてください。

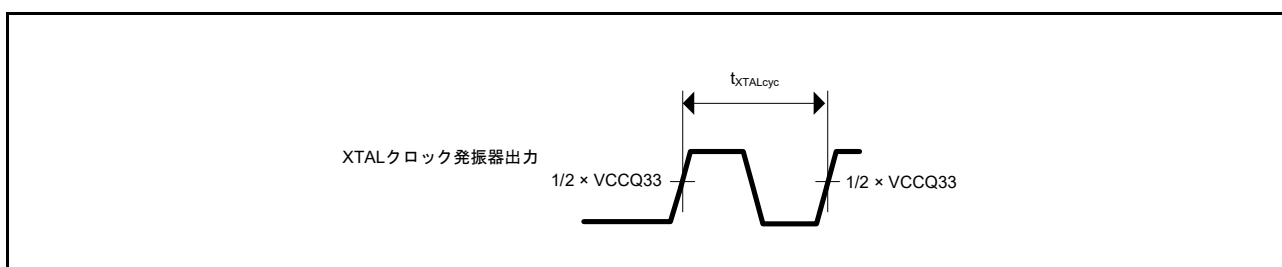


図 2.6 XTAL クロック発振器出力タイミング

表 2.15 LOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	4.62	4.17	3.79	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	40	μs	図 2.7

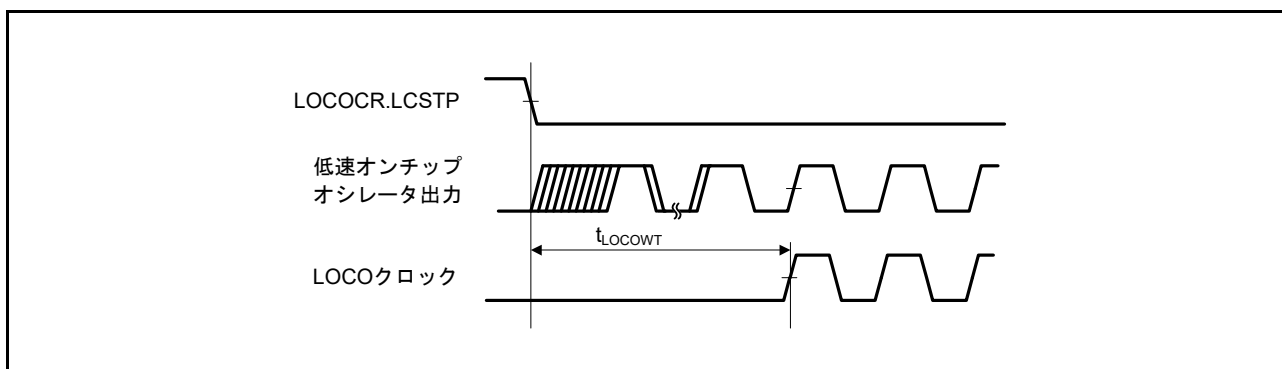


図 2.7 LOCO クロック発振開始タイミング

2.4.2 リセット、割り込みタイミング

表2.16 リセット、割り込みタイミング

項目		記号	Min (注1)	typ	max	単位	測定条件
RES#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	図2.8
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
RES#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
TRST#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
TRST#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
NMIパルス幅		t_{NMIW}	$t_{Icyc} \times 2$	—	—	ns	図2.9
IRQパルス幅		t_{IRQW}	$t_{Icyc} \times 2$	—	—	ns	図2.10
ETH_INTパルス幅		t_{EINTW}	$t_{Icyc} \times 2$	—	—	ns	図2.11

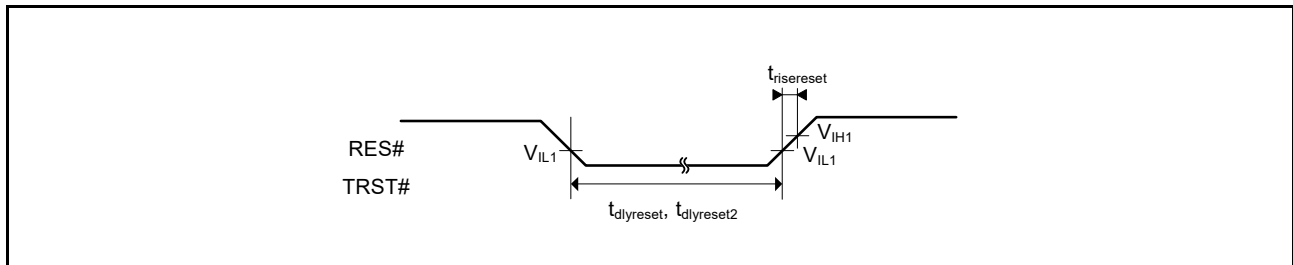
注1. t_{Icyc} : ICLKの周期

図2.8 リセット入力タイミング

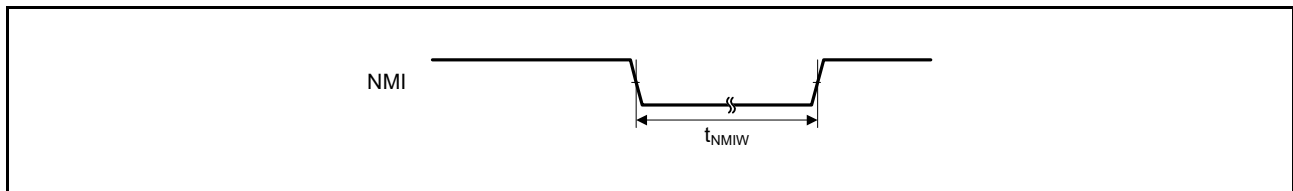


図2.9 NMI割り込み入力タイミング

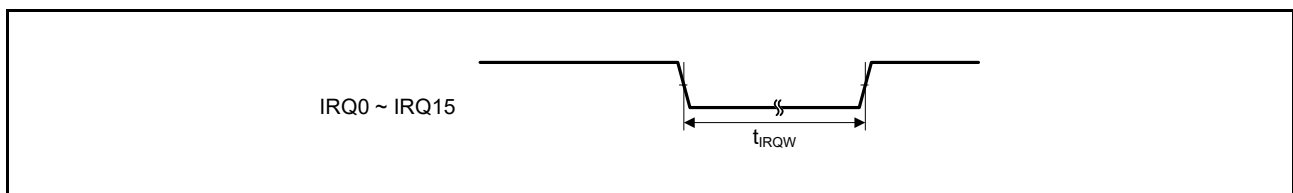


図2.10 IRQ割り込み入力タイミング

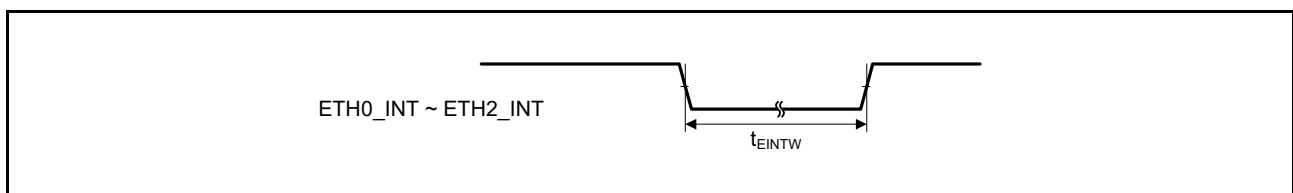


図2.11 ETH_INT割り込み入力タイミング

2.4.3 バスタイミング

表2.17 バスタイミング (1/2)

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	CKIO = $1/t_{CKcyc}$ (注1)		単位	参照図
			Min.	Max.		
アドレス遅延時間1	SDRAM (注3)	t_{AD1}	2	10	ns	図2.12～図2.36
	上記以外		0	10	ns	
アドレス遅延時間2		t_{AD2}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図2.19
アドレスセットアップ時間		t_{AS}	0	—	ns	図2.12～図2.15、図2.19
チップイネーブルセットアップ時間		t_{cs}	0	—	ns	図2.12～図2.15、図2.19
アドレスホールド時間		t_{AH}	0	—	ns	図2.12～図2.15
BS# 遅延時間		t_{BSD}	—	10	ns	図2.12～図2.33
CS# 遅延時間1	SDRAM (注3)	t_{CSD1}	2	10	ns	図2.12～図2.36
	上記以外		0	10	ns	
リードライト遅延時間1	SDRAM (注3)	t_{RWD1}	2	10	ns	図2.12～図2.36
	上記以外		0	10	ns	
リードストロープ遅延時間		t_{RSD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図2.12～図2.19
リードデータセットアップ時間1 (注4)	高駆動出力	t_{RDS1}	$1/2t_{CKcyc} + 4$	—	ns	図2.12～図2.18
	通常出力		$1/2t_{CKcyc} + 7$	—	ns	
リードデータセットアップ時間2 (注4)	高駆動出力	t_{RDS2}	6.6	—	ns	図2.20～図2.23、図2.28～図2.30
	通常出力		10	—	ns	
リードデータセットアップ時間3 (注4)	高駆動出力	t_{RDS3}	$1/2t_{CKcyc} + 4$	—	ns	図2.19
	通常出力		$1/2t_{CKcyc} + 7$	—	ns	
リードデータホールド時間1		t_{RDH1}	0	—	ns	図2.12～図2.18
リードデータホールド時間2		t_{RDH2}	2	—	ns	図2.20～図2.23、図2.28～図2.30
リードデータホールド時間3		t_{RDH3}	0	—	ns	図2.19
ライトイネーブル遅延時間1		t_{WED1}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図2.12～図2.17
ライトイネーブル遅延時間2		t_{WED2}	—	10	ns	図2.18
ライトデータ遅延時間1		t_{WDD1}	—	10	ns	図2.12～図2.18
ライトデータ遅延時間2		t_{WDD2}	—	10	ns	図2.24～図2.27、図2.31～図2.33
ライトデータホールド時間1		t_{WDH1}	1	—	ns	図2.12～図2.18
ライトデータホールド時間2		t_{WDH2}	2	—	ns	図2.24～図2.27、図2.31～図2.33
ライトデータホールド時間4		t_{WDH4}	0	—	ns	図2.12～図2.16
WAIT# セットアップ時間 (注4)	高駆動出力	t_{WTS}	$1/2t_{CKcyc} + 4.5$	—	ns	図2.13～図2.19
	通常出力		$1/2t_{CKcyc} + 8$	—	ns	
WAIT# ホールド時間		t_{WTH}	$1/2t_{CKcyc} + 3.5$	—	ns	図2.13～図2.19
RAS# 遅延時間1		t_{RASD1}	2	10	ns	図2.20～図2.36
CAS# 遅延時間1		t_{CASD1}	2	10	ns	図2.20～図2.36
DQM 遅延時間1		t_{DQMD1}	2	10	ns	図2.20～図2.33
CKE 遅延時間1		t_{CKED1}	2	10	ns	図2.35
AH# 遅延時間		t_{AHD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図2.16

表2.17 バスタイミング (2 / 2)

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目	記号	CKIO = $1/t_{CKcyc}$ (注1)		単位	参照図
		Min.	Max.		
マルチプレクスアドレス遅延時間	t_{MAD}	—	10	ns	図2.16
マルチプレクスアドレスホールド時間	t_{MAH}	1	—	ns	図2.16
AH# に対するアドレスセットアップ時間	t_{AVVH}	$1/2t_{CKcyc} - 2$	—	ns	図2.16
DACK、TEND遅延時間	t_{DACD}	DMAC タイミング参照		ns	図2.12～図2.33

- 注1. CKIO (外部バスクロック) の f_{max} は、システム構成に応じてウェイト数とあわせて検討してください。また、CKIO = 50MHz 以上で使用する場合は、駆動能力制御レジスタ (DSCR) の B0 ビットを 1 にセットし高駆動出力にしてください。CKIO = 50MHz 未満で使用する場合は、CKIO 通常出力で 사용할 ことができます (DSCR.B0 ビット = 0)。
- 注2. 遅延時間やセットアップ、ホールド時間の $1/2t_{CKcyc}$ の記述は、クロックの立ち上がりから $1/2$ サイクル、つまりクロックの立ち下がり基準であることを表現しています。
- 注3. CSn 空間バスコントロールレジスタ (CSnBCR) で SDRAM (TYPE[2:0] ビット = 100b) に設定し、CKIO の駆動能力制御レジスタ (DSCR) で高駆動出力 (B0 ビット = 1) に設定した場合の値です。
- 注4. CKIO の駆動能力制御レジスタ (DSCR) でそれぞれ高駆動出力 (B0 ビット = 1)、通常出力 (B0 ビット = 0) に設定した時の値です。

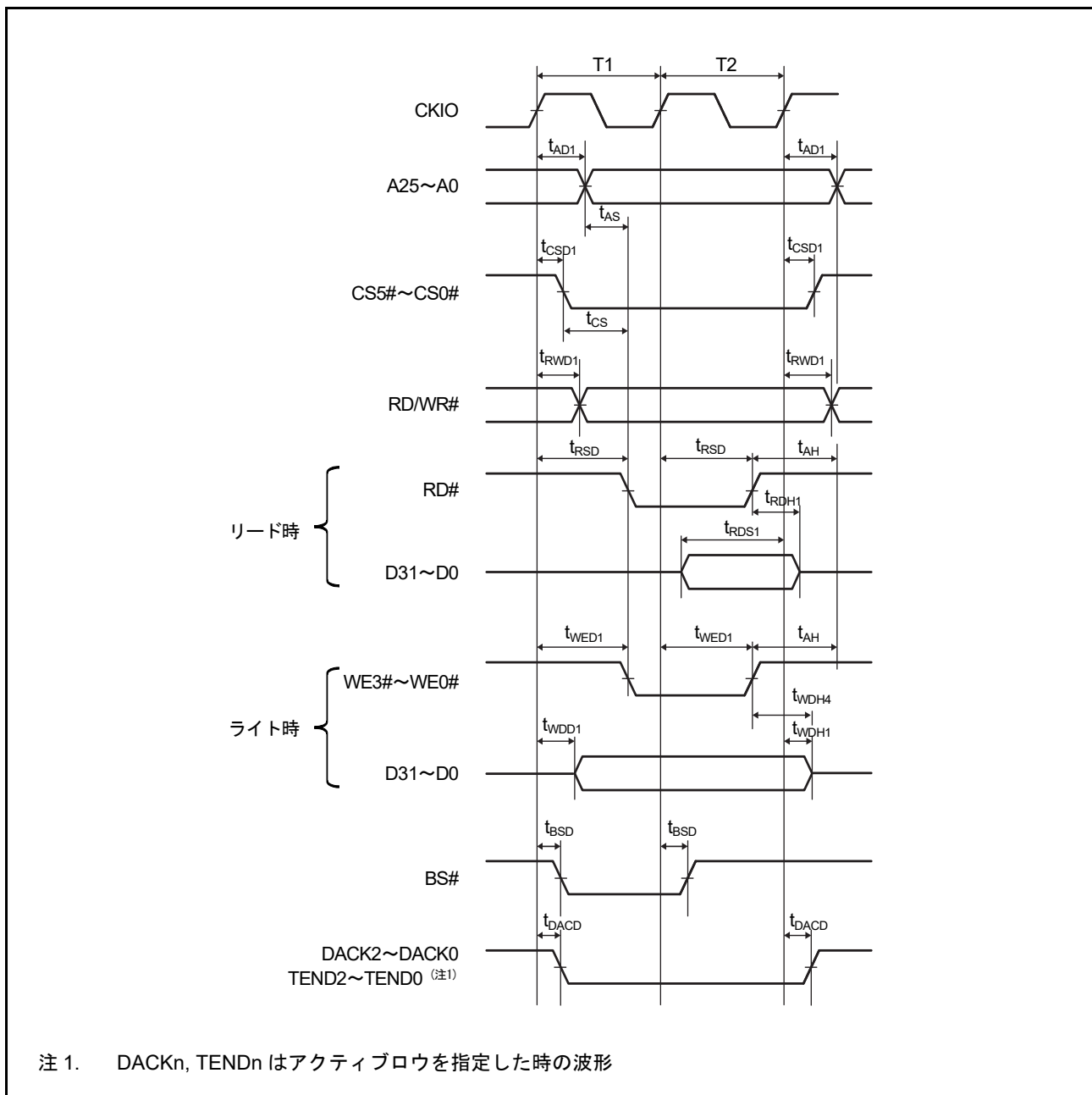


図 2.12 SRAM インタフェース基本バスサイクル (ノーウェイト)

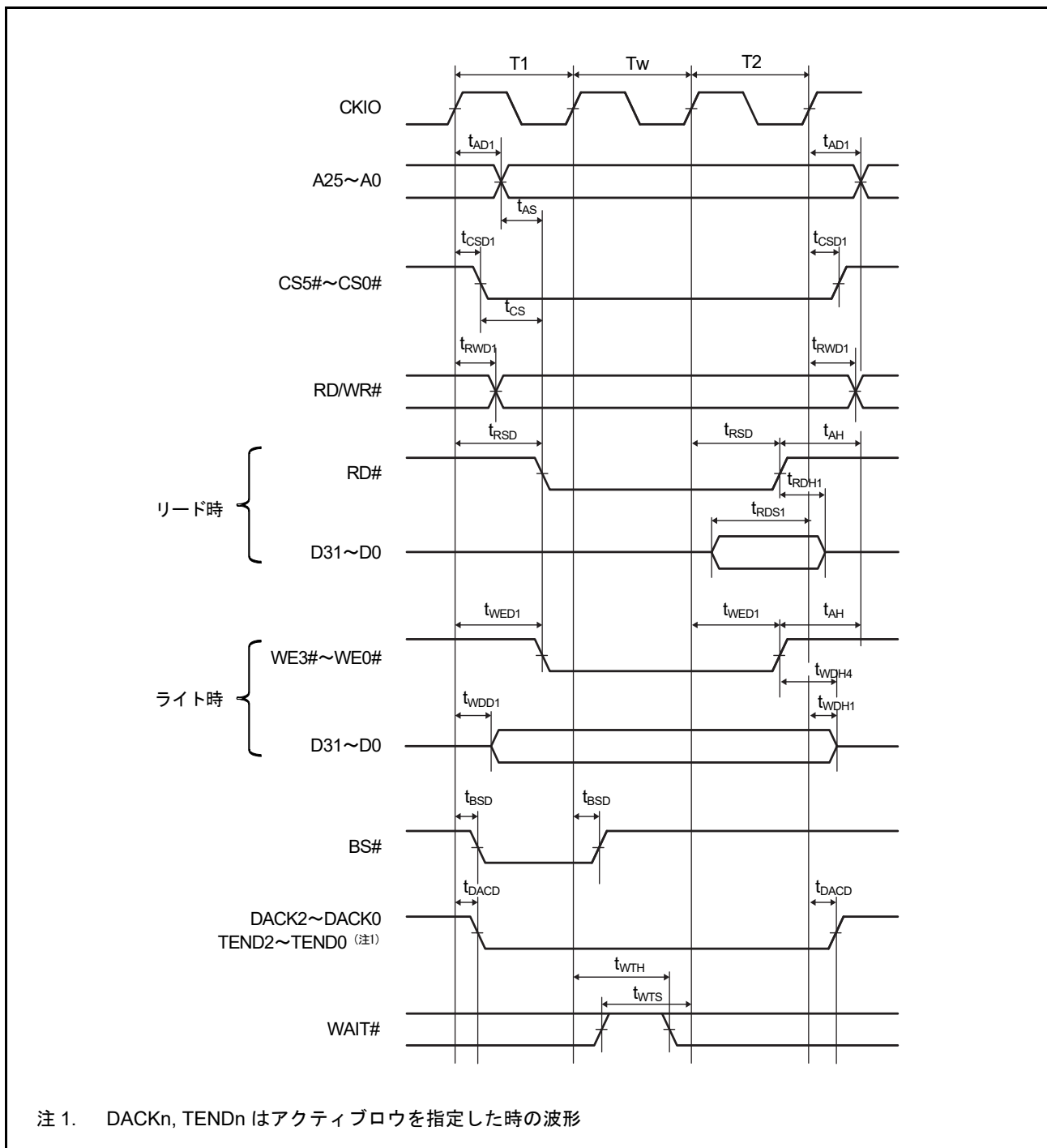


図 2.13 SRAM インタフェース基本バスサイクル (ソフトウェアウェイト 1)

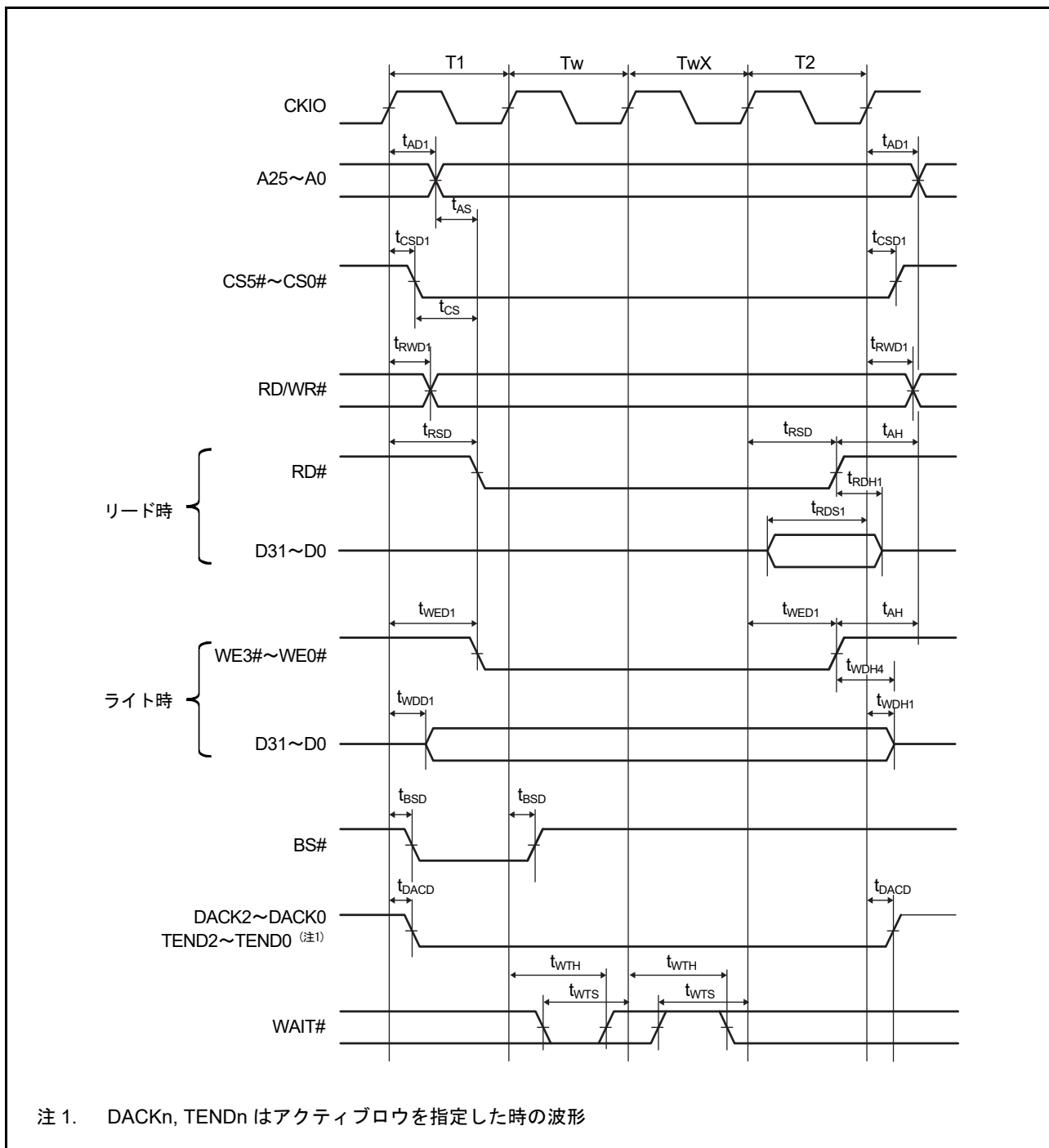


図 2.14 SRAM インタフェース基本バスサイクル (ソフトウェアウェイト 1、外部ウェイト 1 挿入)

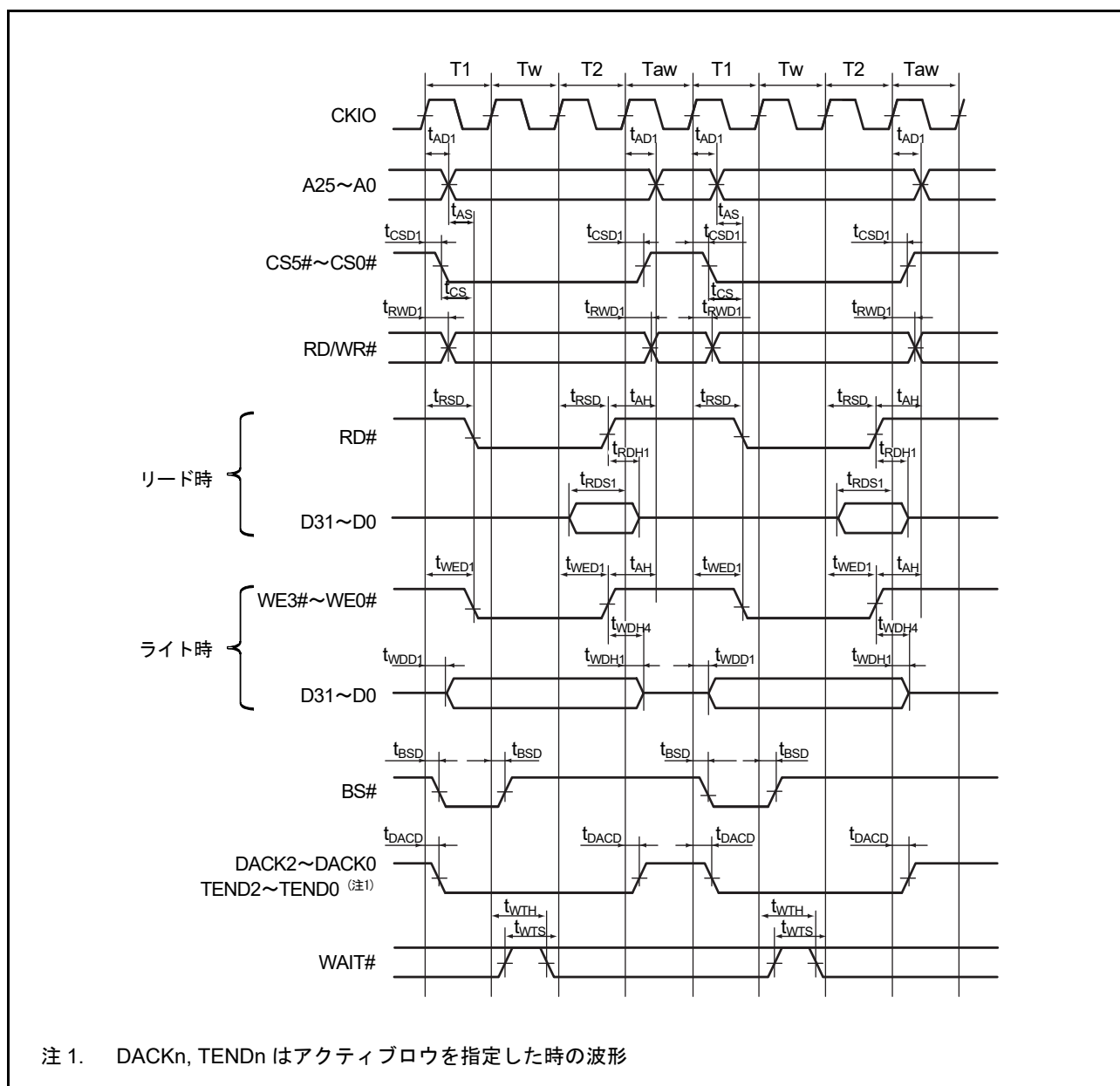


図 2.15 SRAM インタフェース基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト有効（WM ビット = 0）、アイドルサイクルなし）

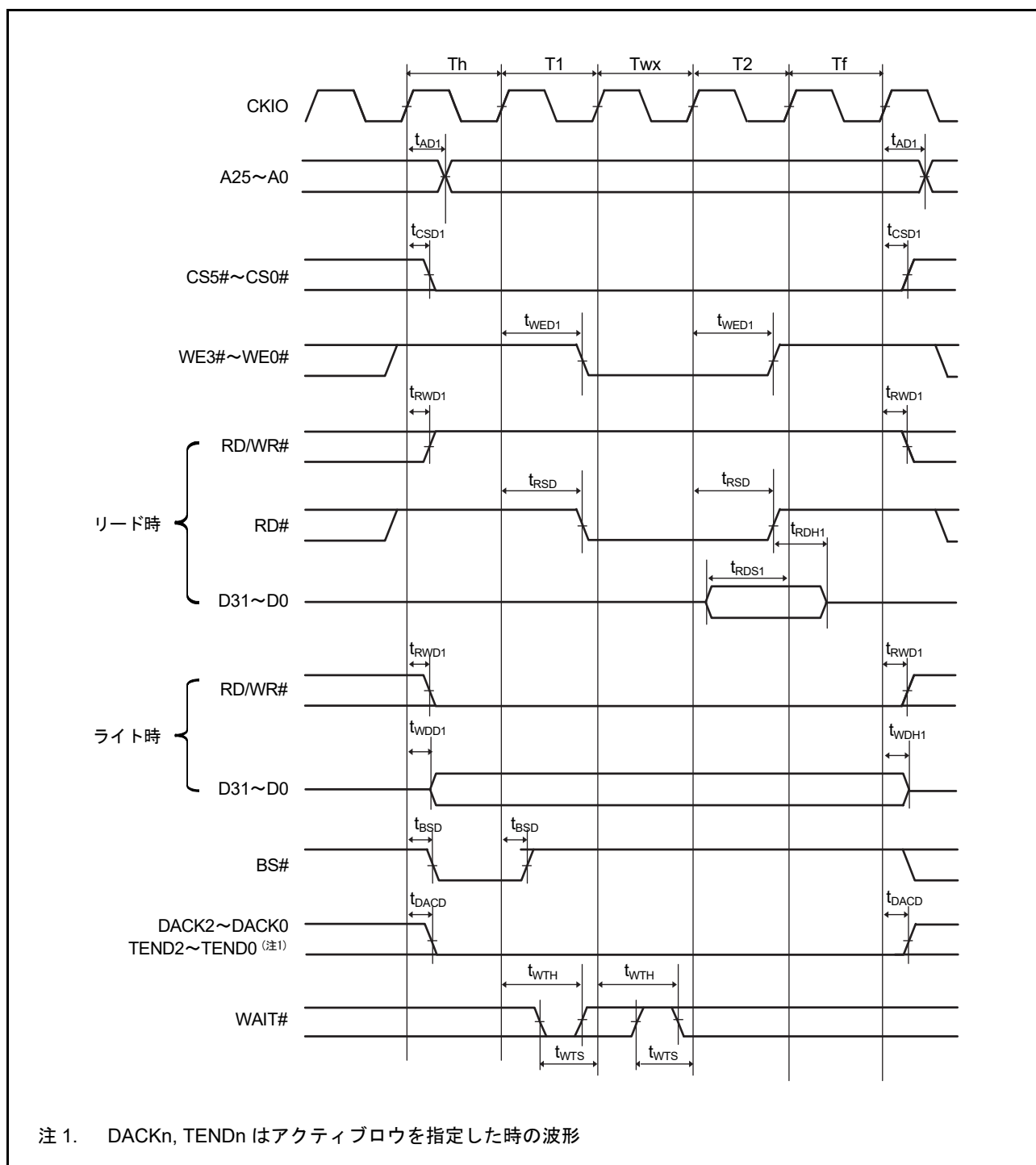


図 2.17 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB#/LB# コントロール))

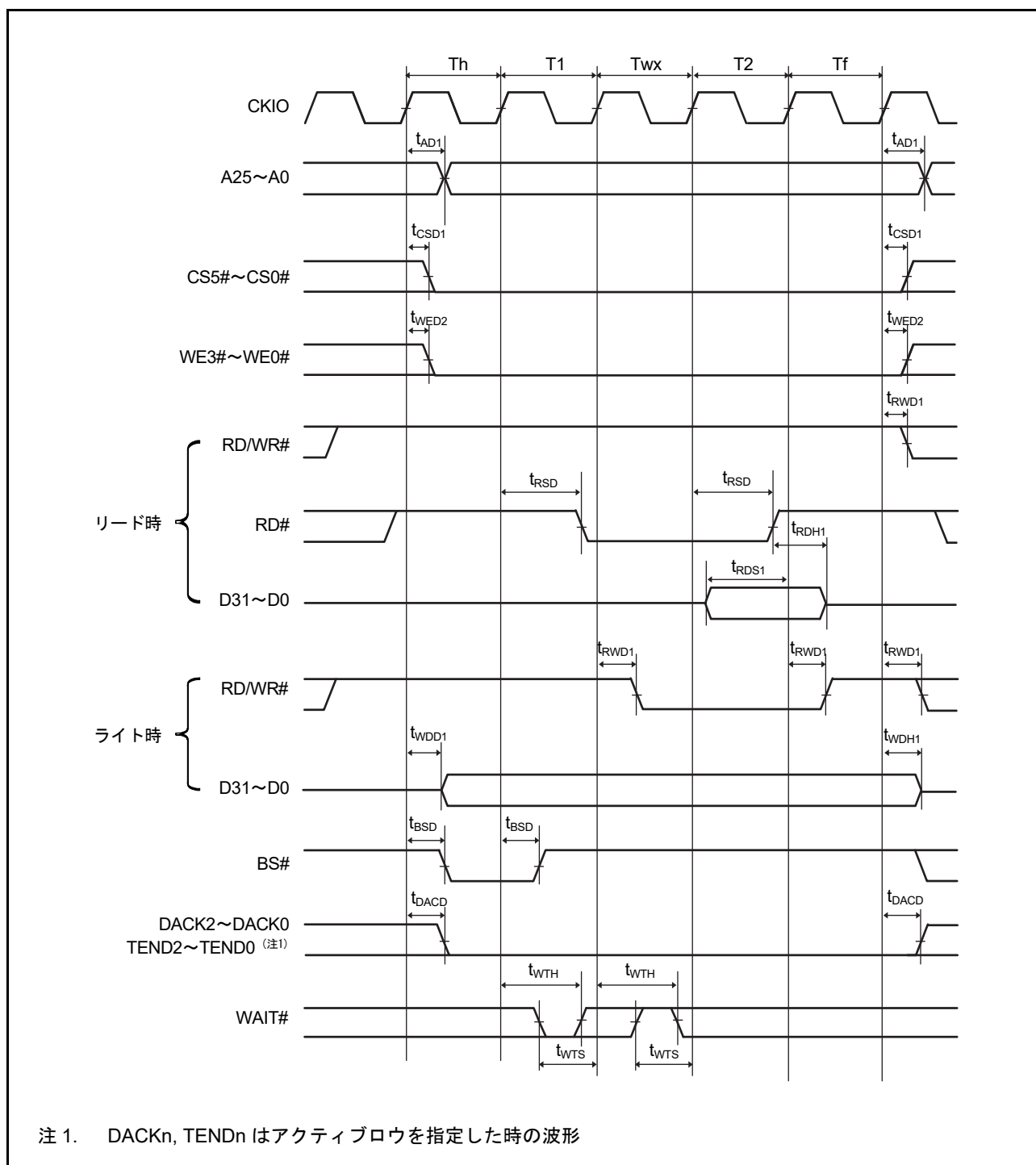


図 2.18 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 1 (ライトサイクル WE# コントロール))

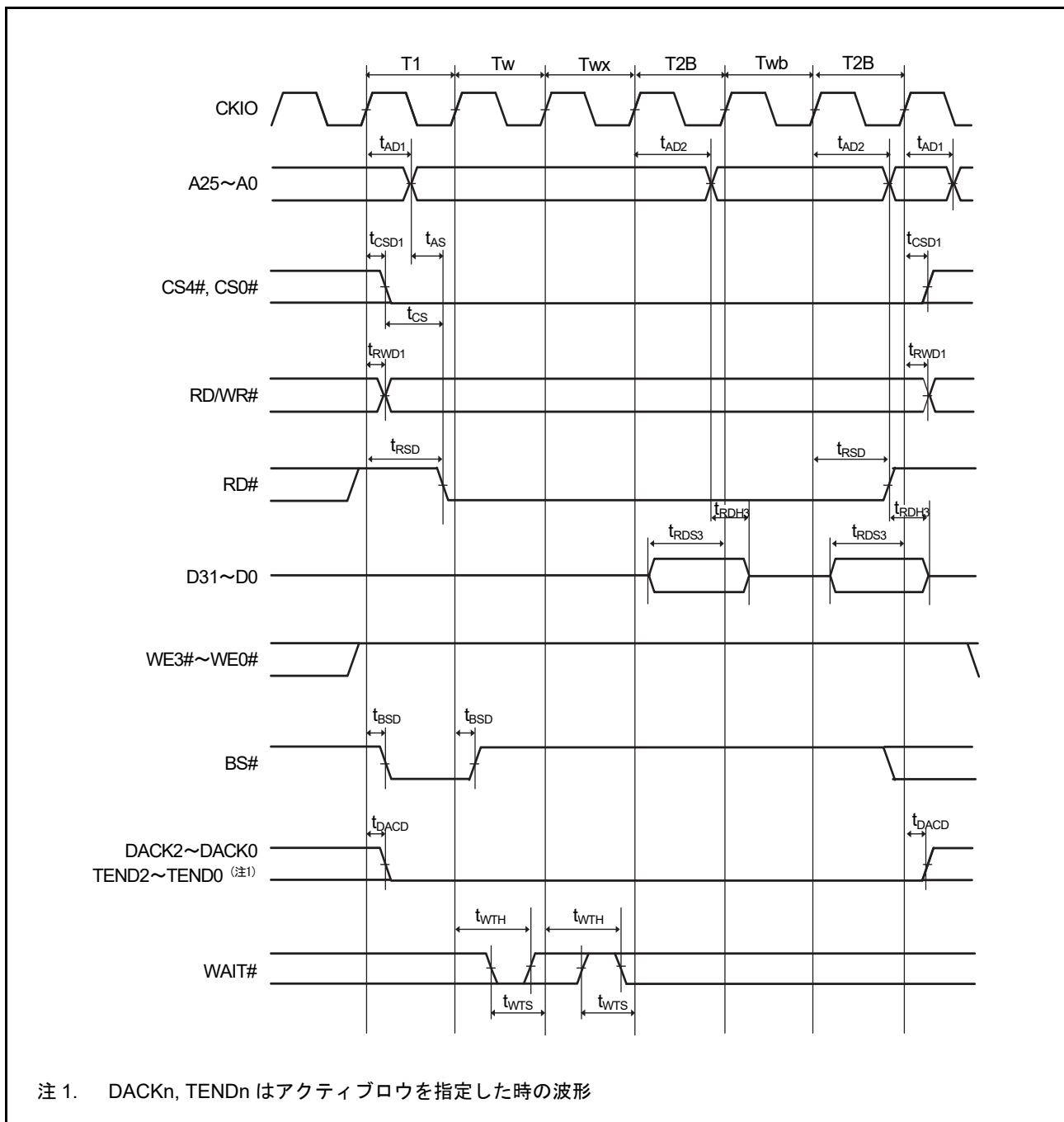


図 2.19 バースト ROM リードサイクル (ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入、バーストウェイト 1、2)

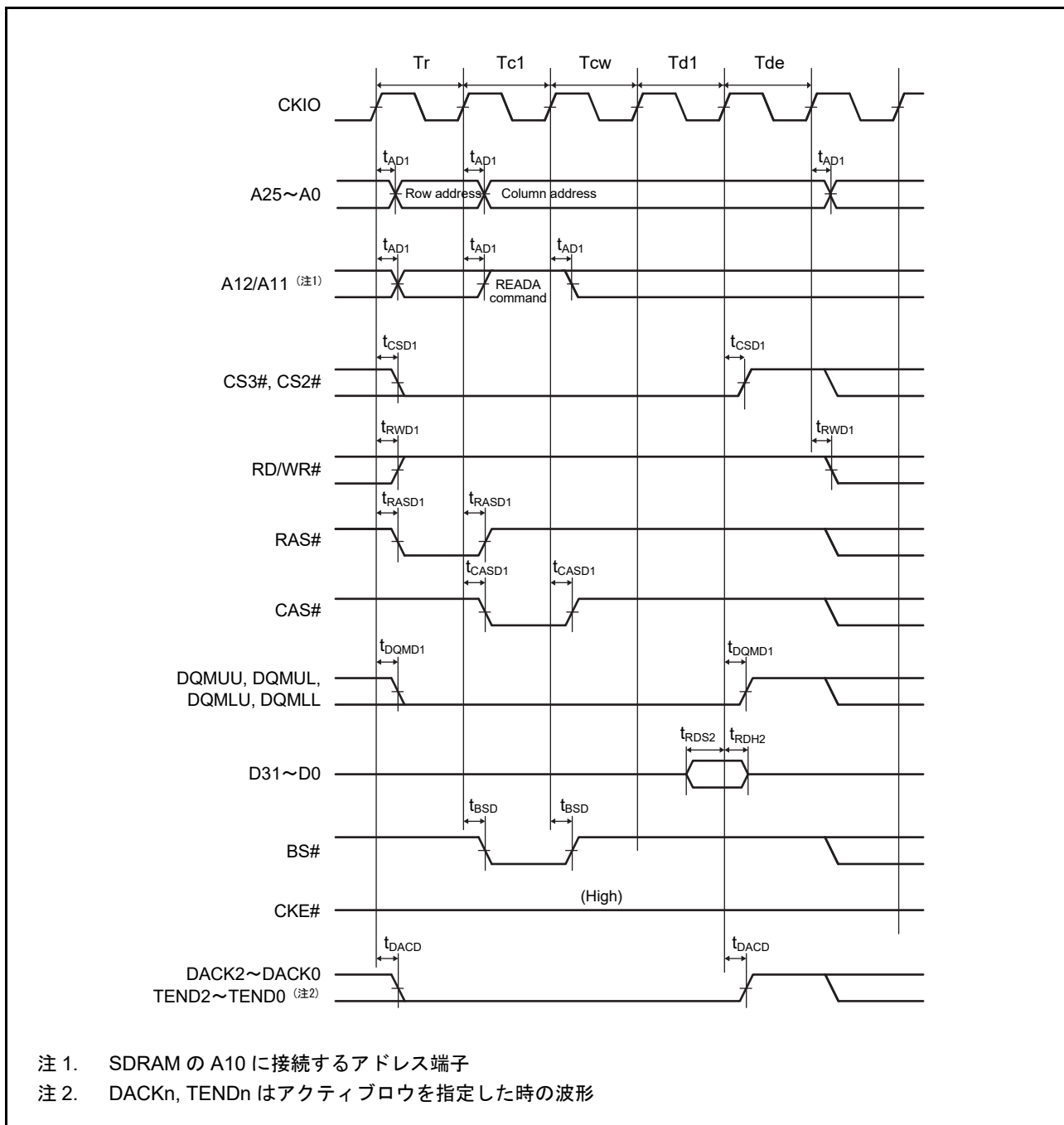


図 2.20 シンクロナス DRAM シングルリードバスサイクル (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)

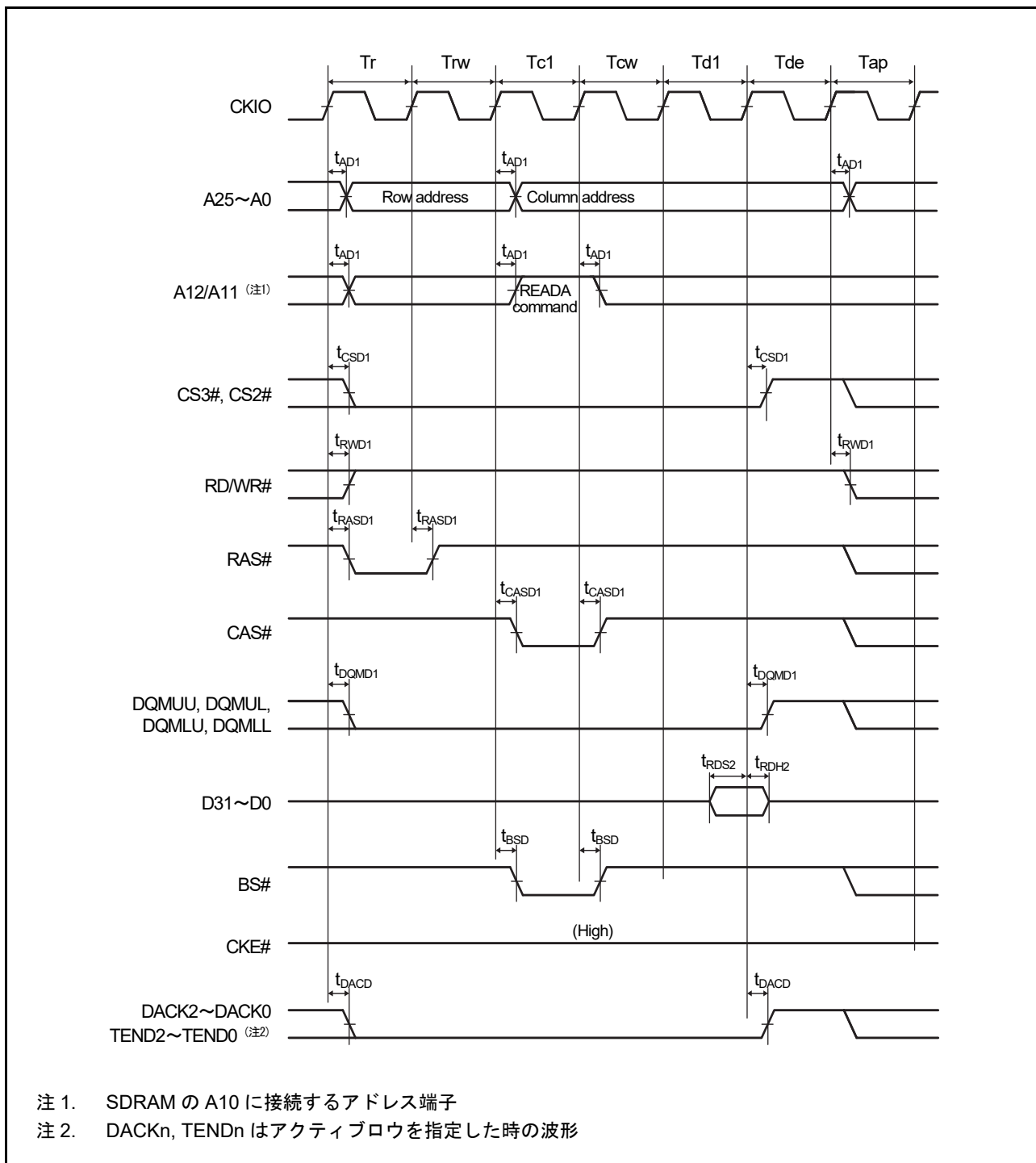


図 2.21 シンクロナス DRAM シングルリードバスサイクル (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)

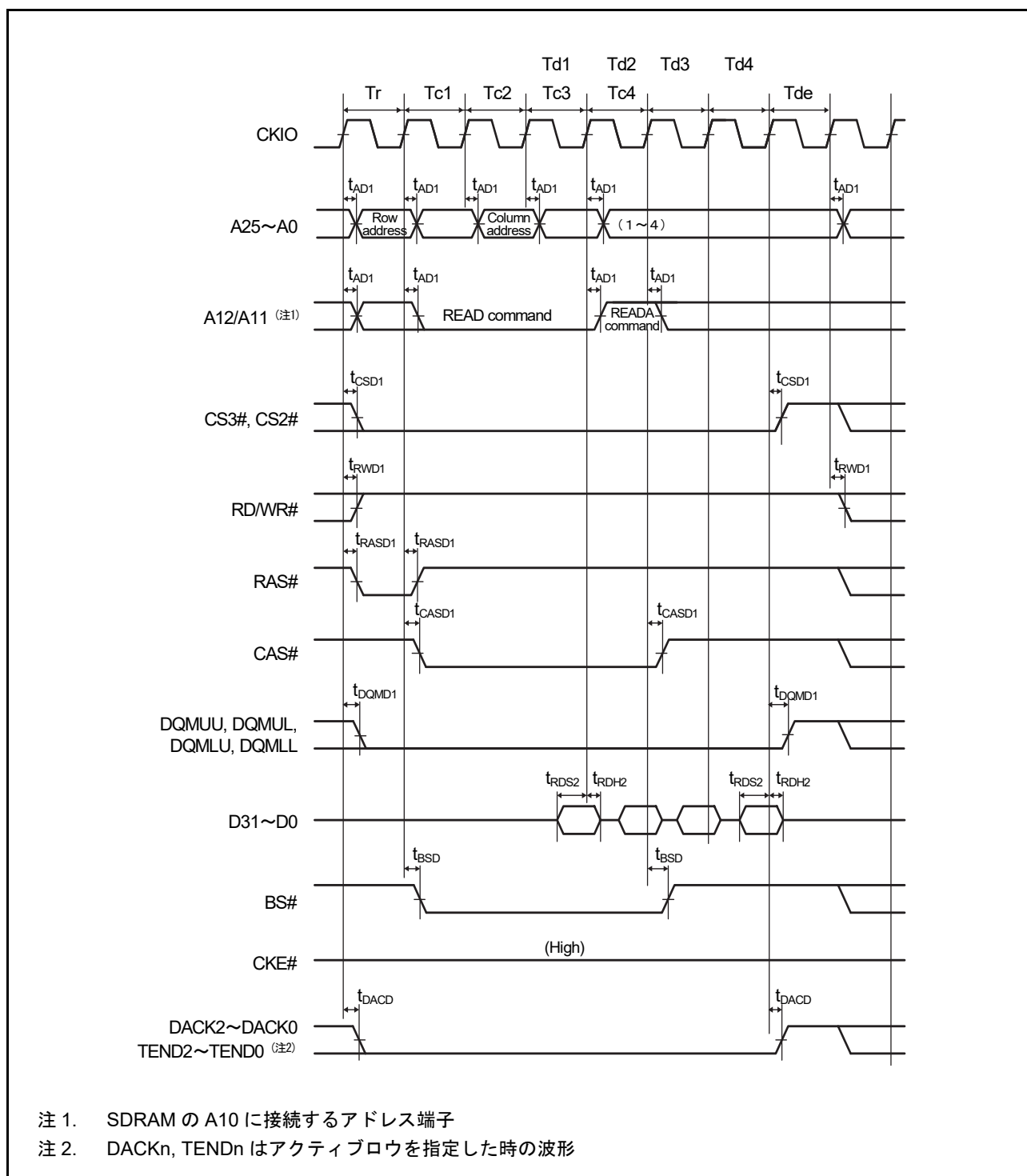


図 2.22 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)

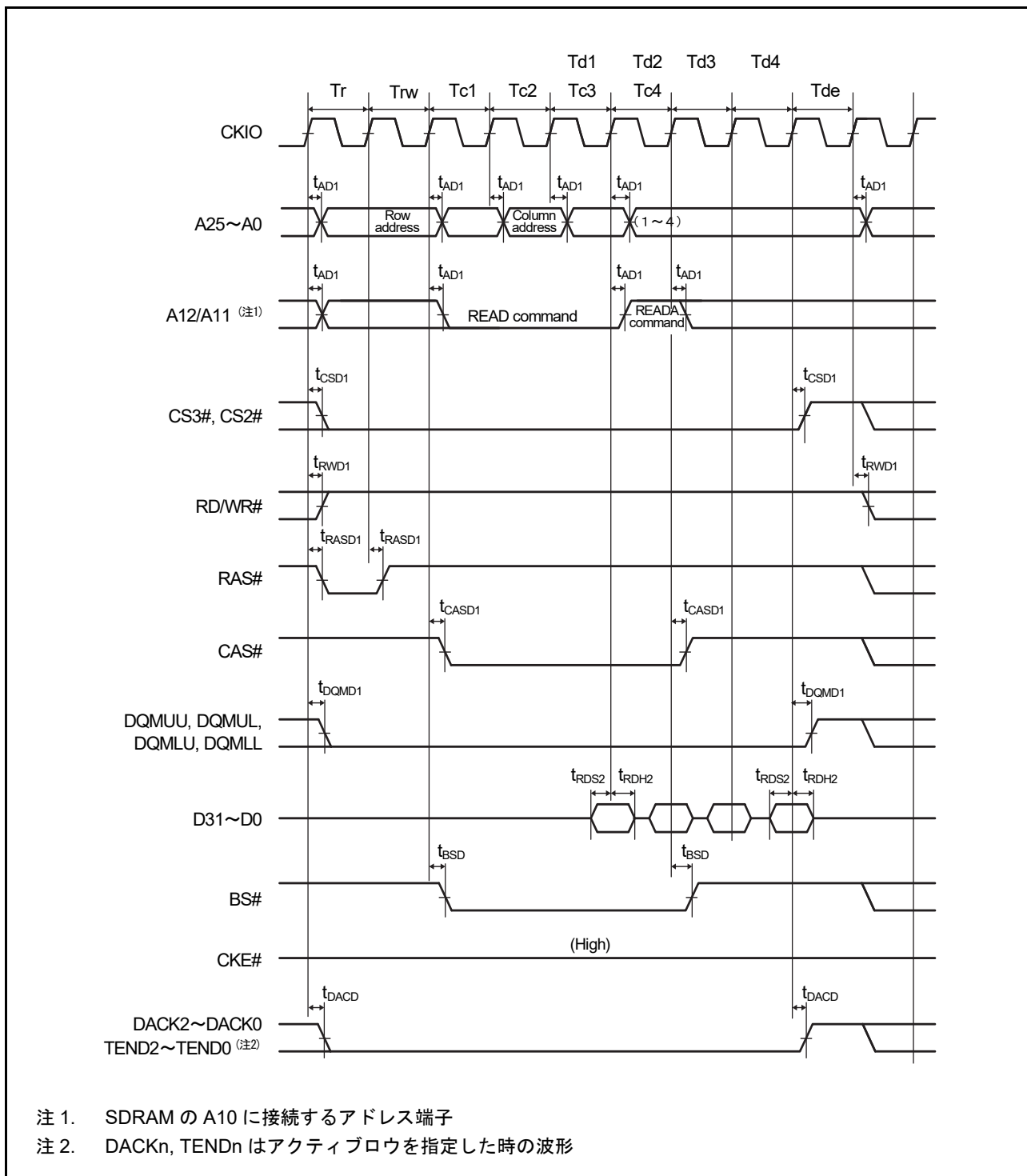


図 2.23 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 0 サイクル)

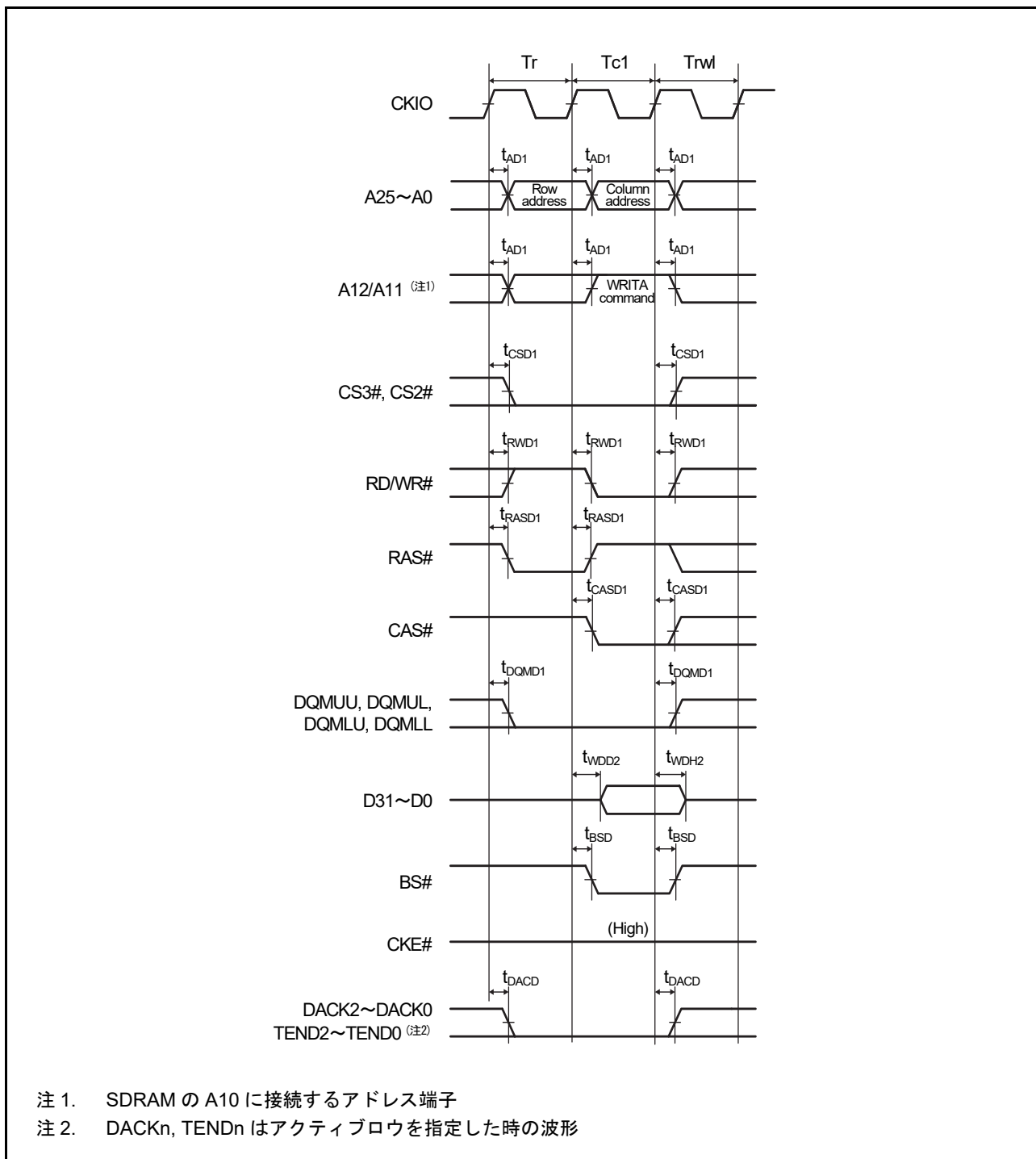
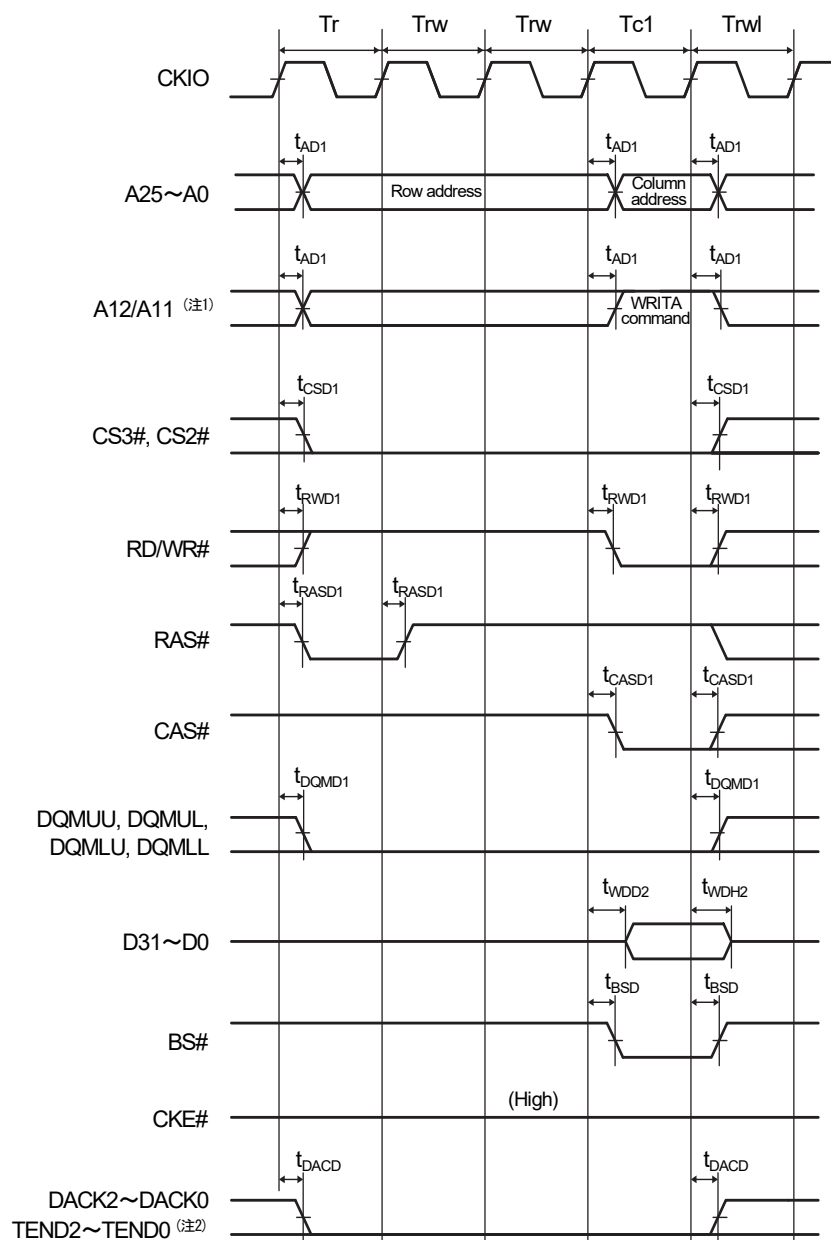


図 2.24 シンクロナス DRAM シングルライトバスサイクル (オートプリチャージあり、TRWL = 1 サイクル)



注 1. SDRAM の A10 に接続するアドレス端子

注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 2.25 シンクロナス DRAM シングルライトバスサイクル (オートプリチャージあり、WTRCD = 2 サイクル、TRWL = 1 サイクル)

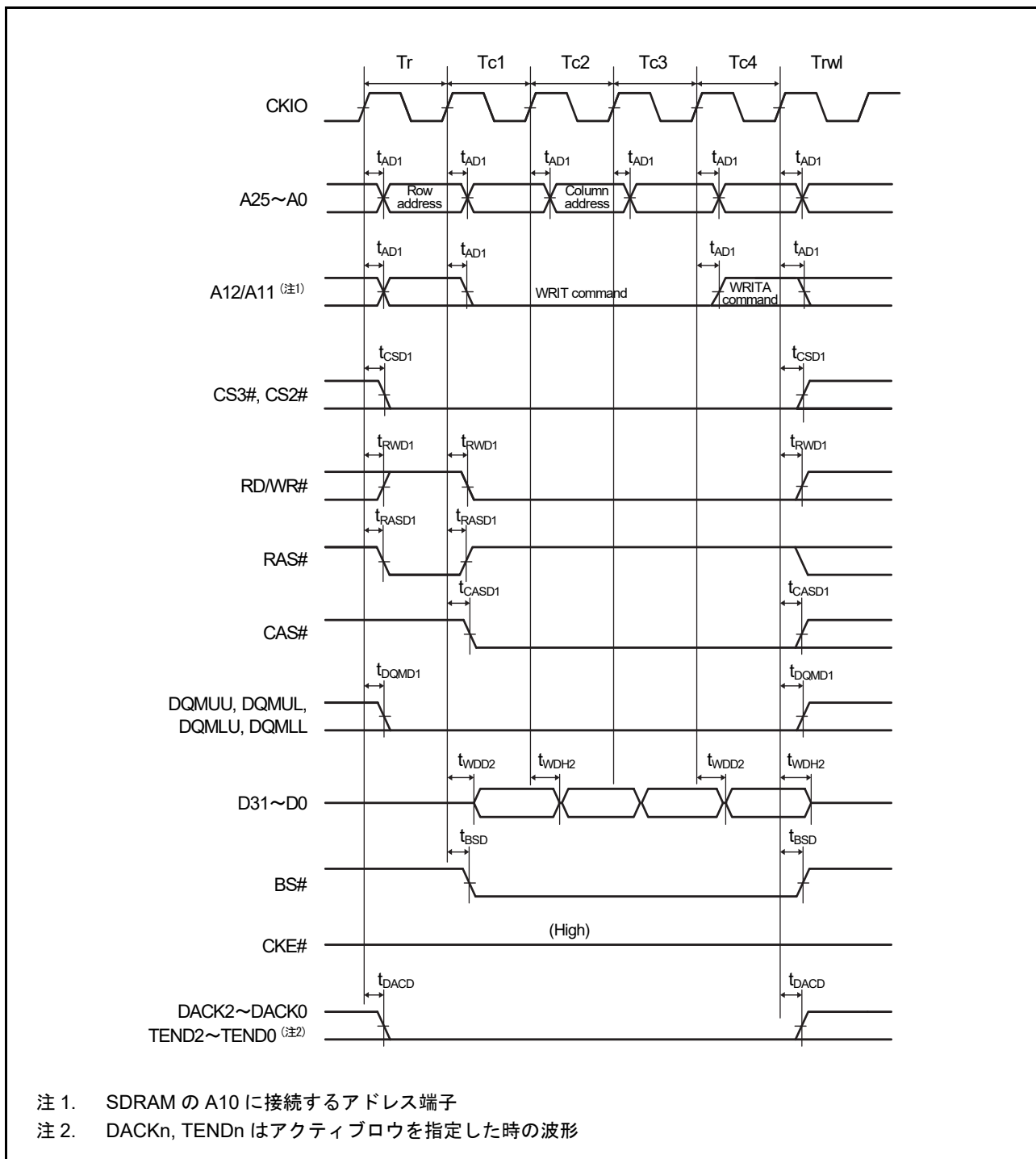


図 2.26 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
 (オートプリチャージあり、WTRCD = 0 サイクル、TRWL = 1 サイクル)

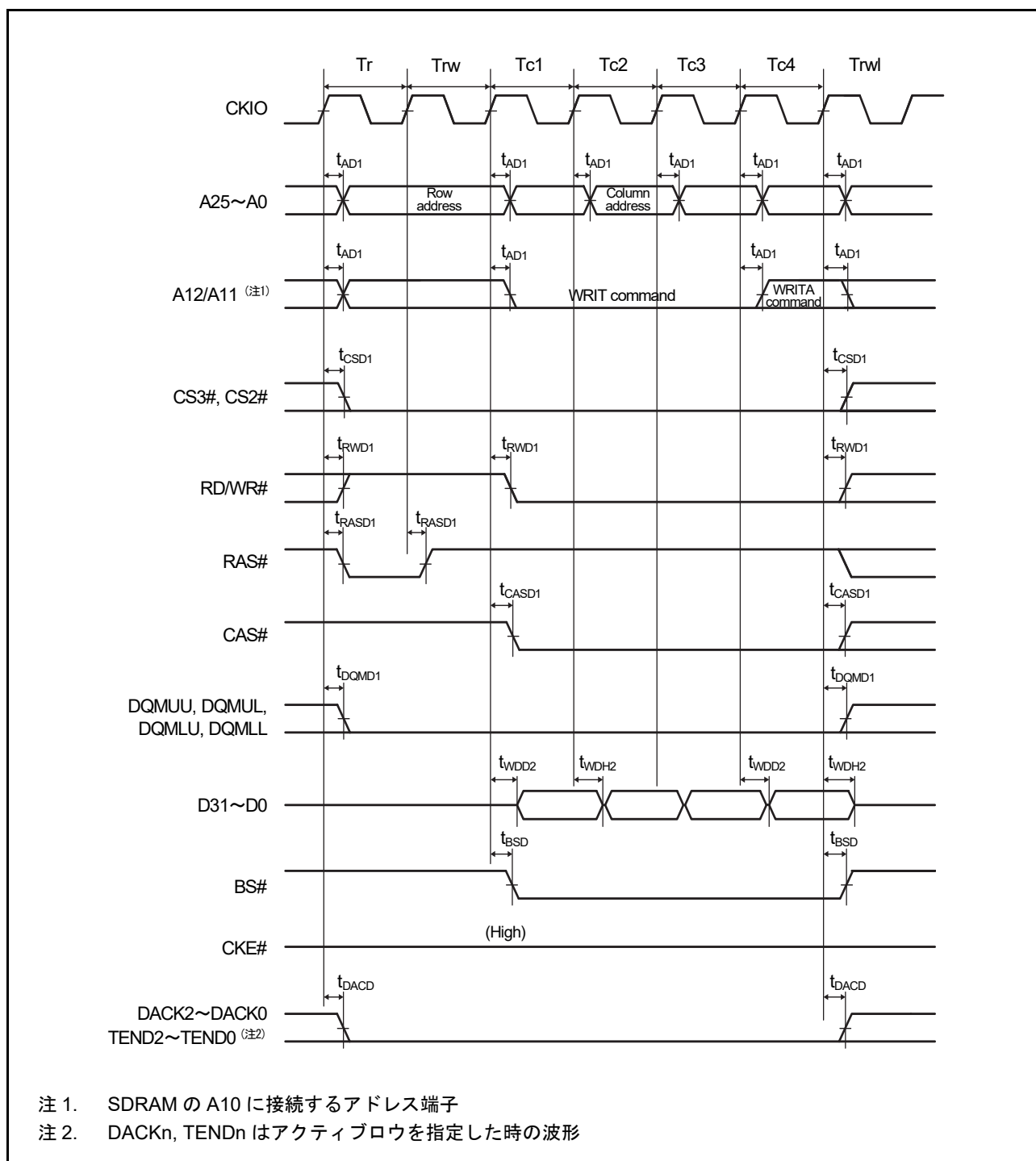


図 2.27 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
 (オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)

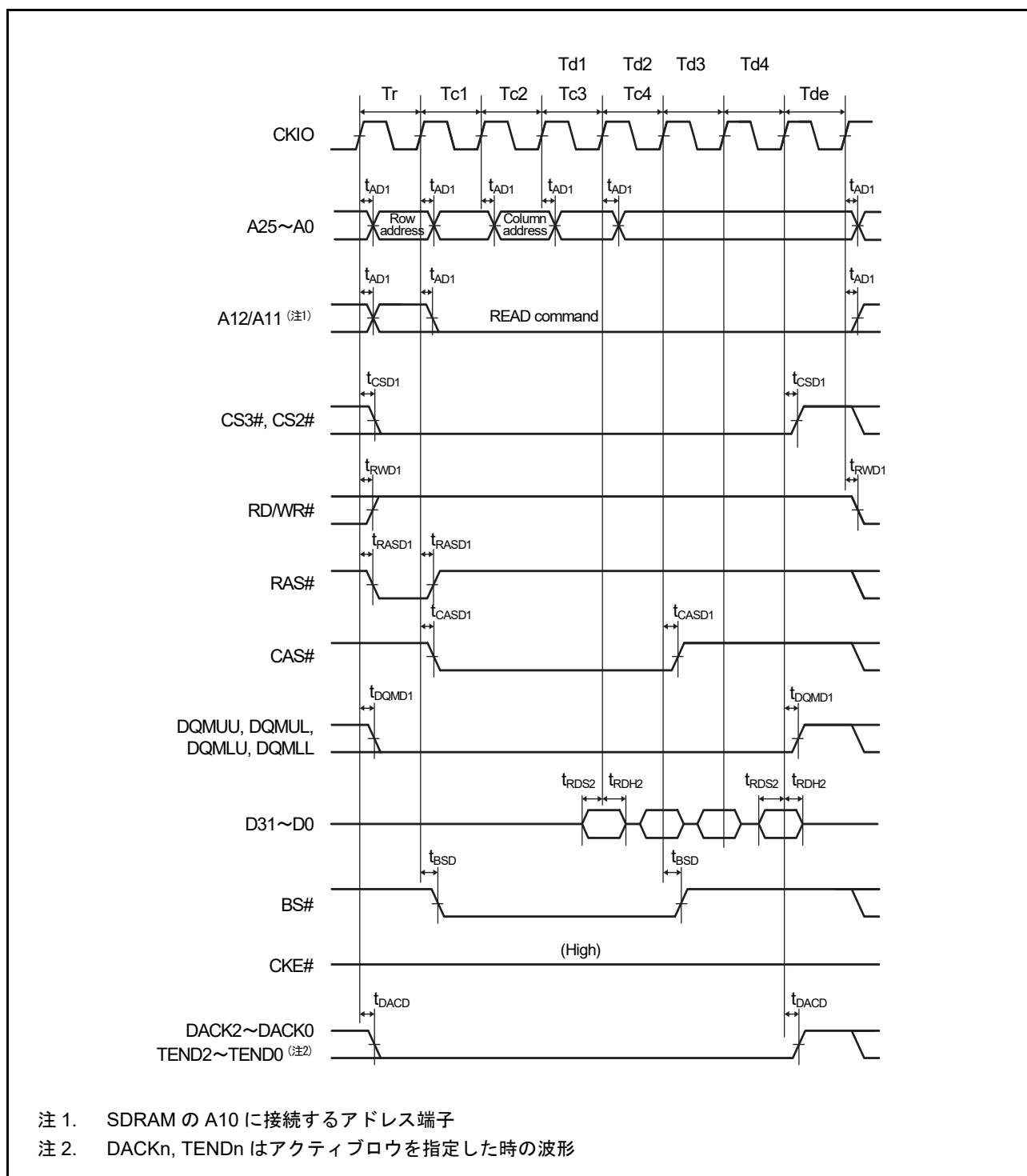


図 2.28 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分) (バンクアクティブモード : ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)

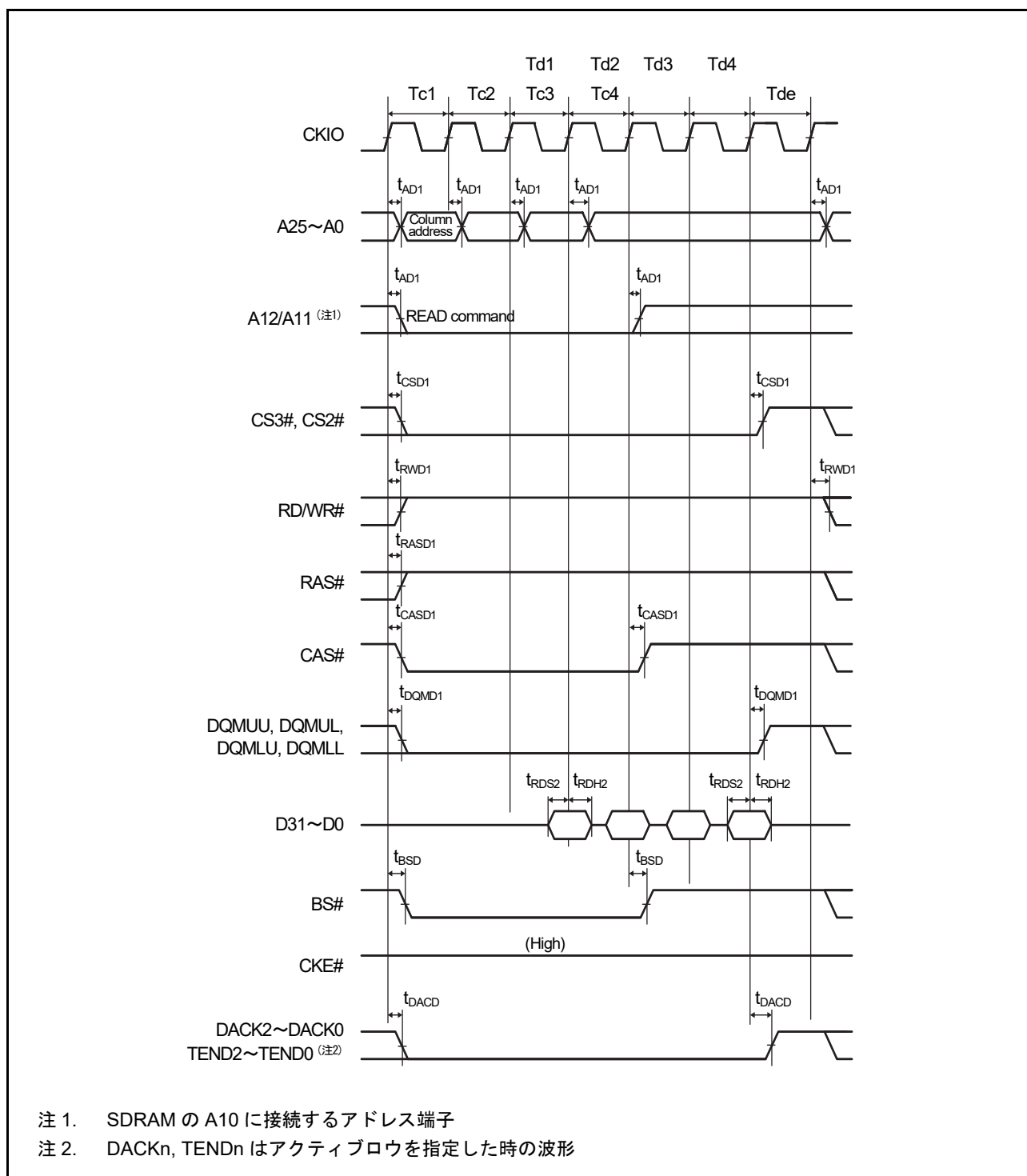


図 2.29 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分) (バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

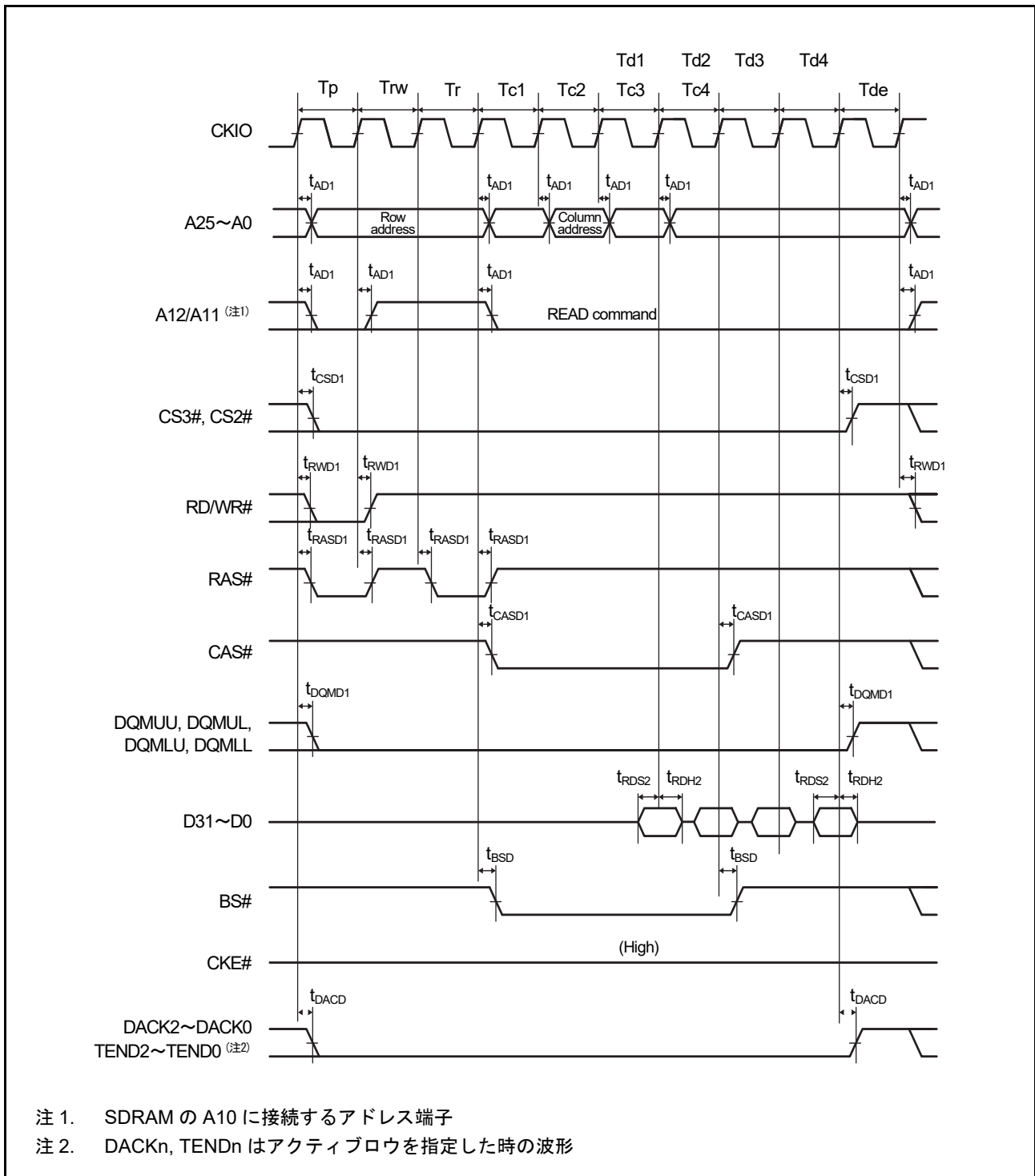


図 2.30 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分) (バンクアクティブモード : PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

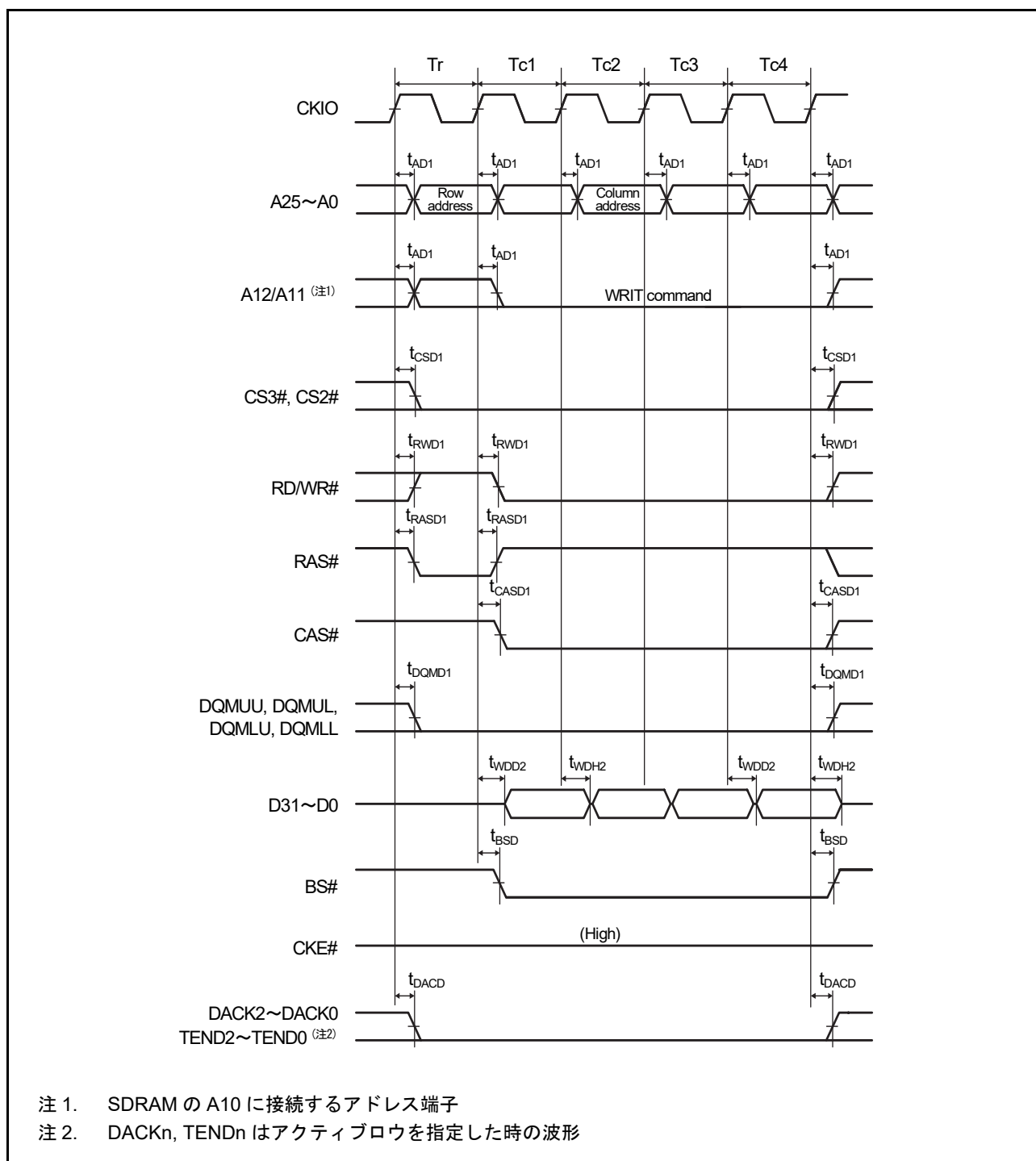
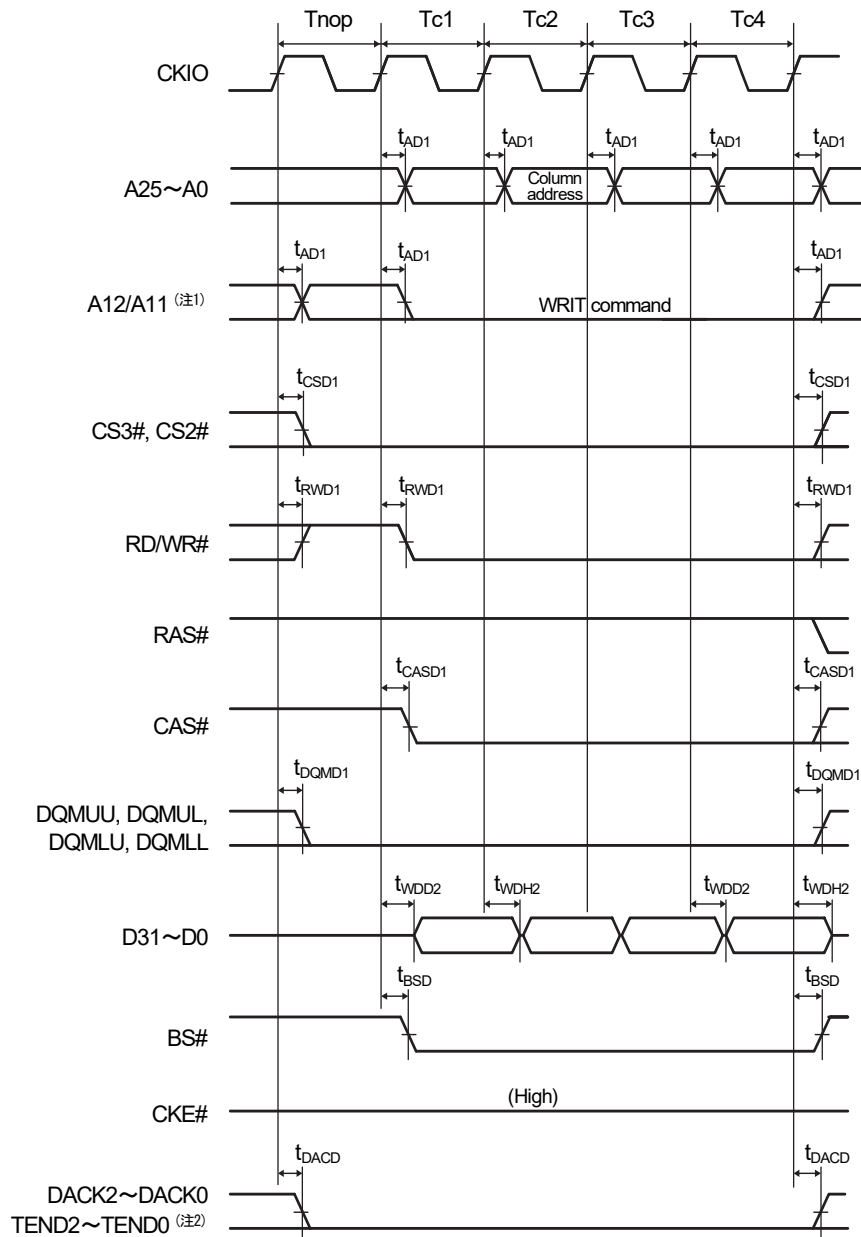


図 2.31 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分) (バンクアクティブモード : ACT + WRITE コマンド、WTRCD = 0 サイクル、TRWL = 0 サイクル)



注 1. SDRAM の A10 に接続するアドレス端子

注 2. DACKn, TENDn はアクティブロウを指定した時の波形

図 2.32 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分) (バンクアクティブモード : WRITE コマンド、同一ロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

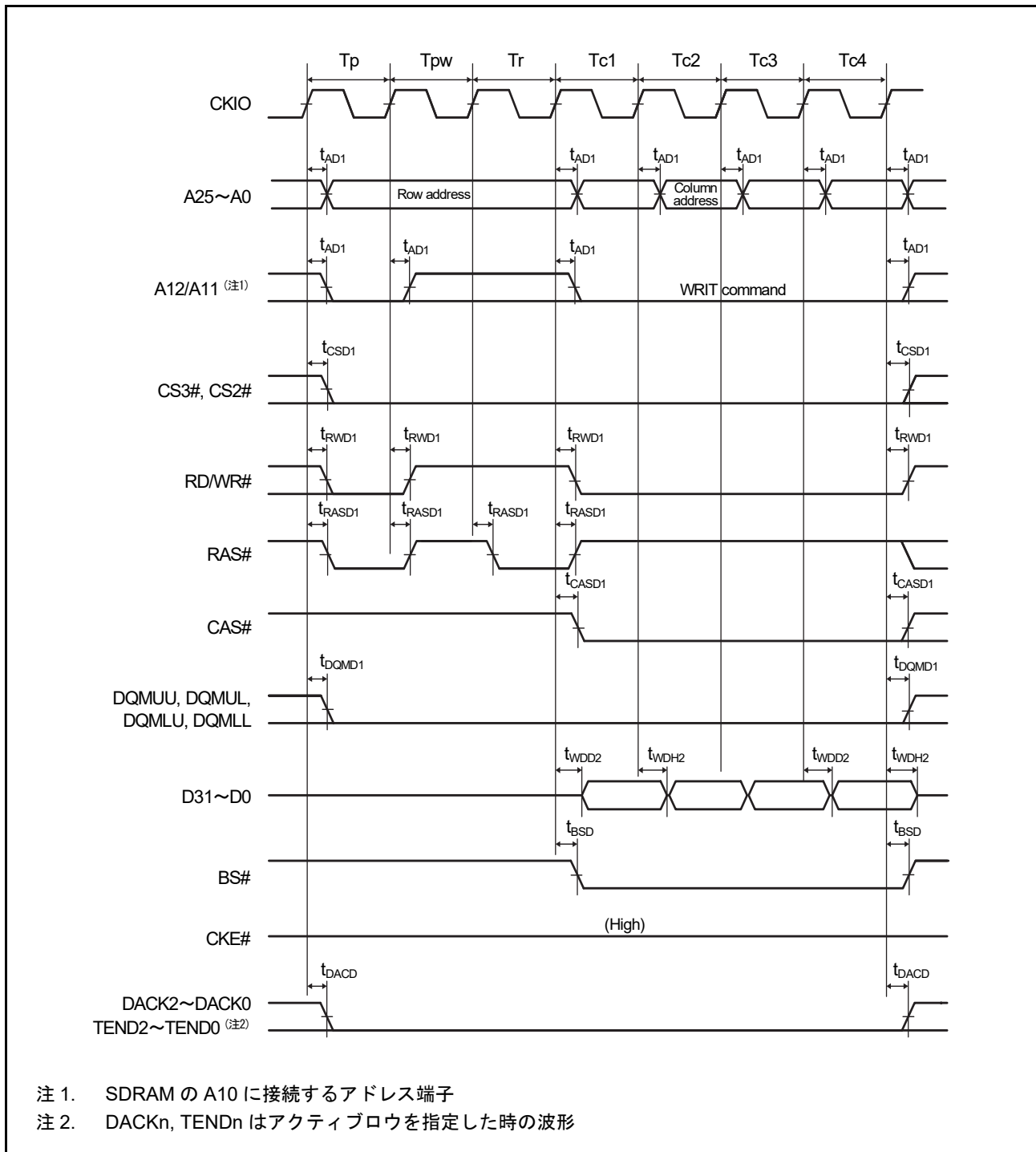


図 2.33 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分) (バンクアクティブモード : PRE + ACT + WRITE コマンド、異なるロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

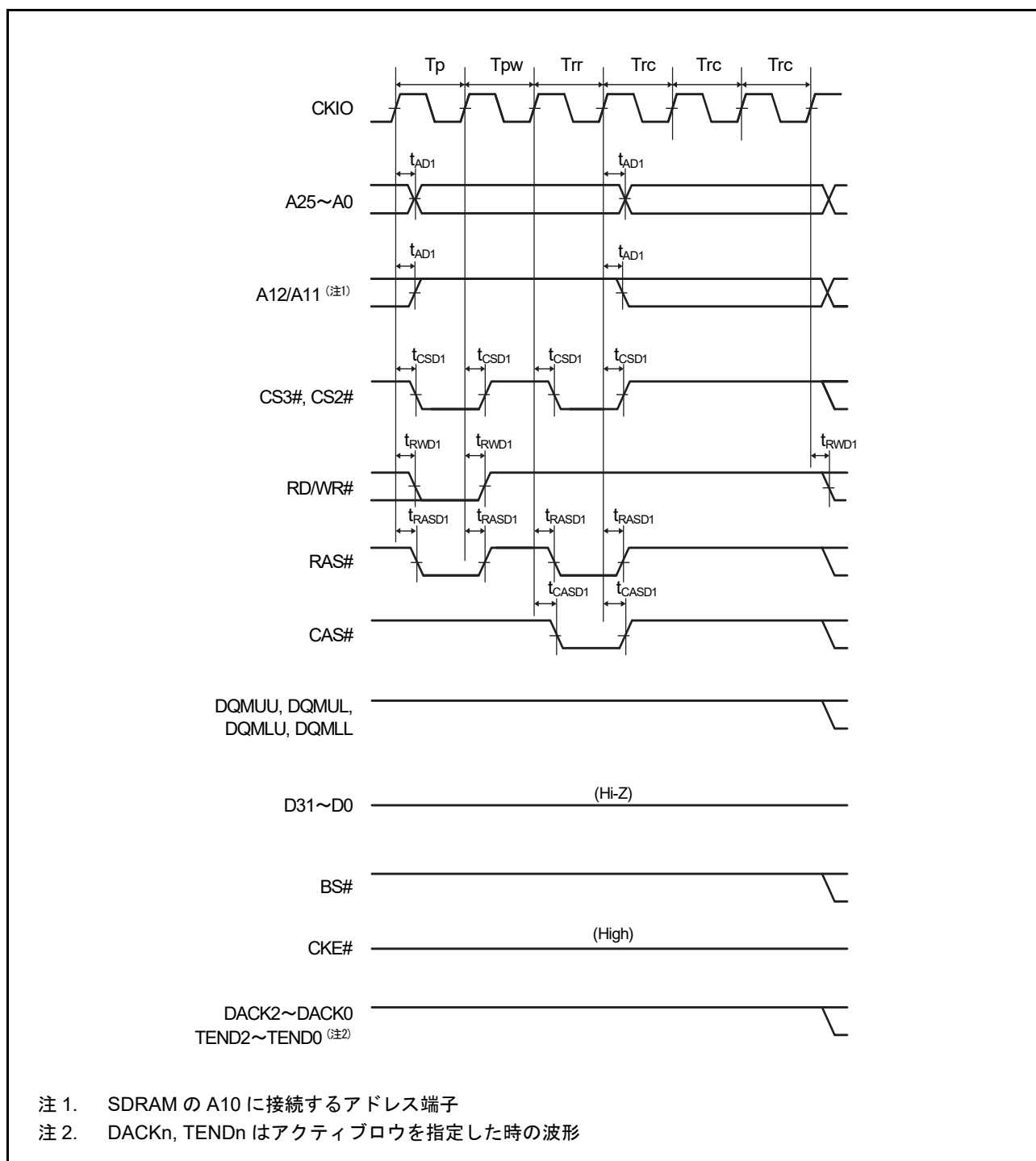


図 2.34 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)

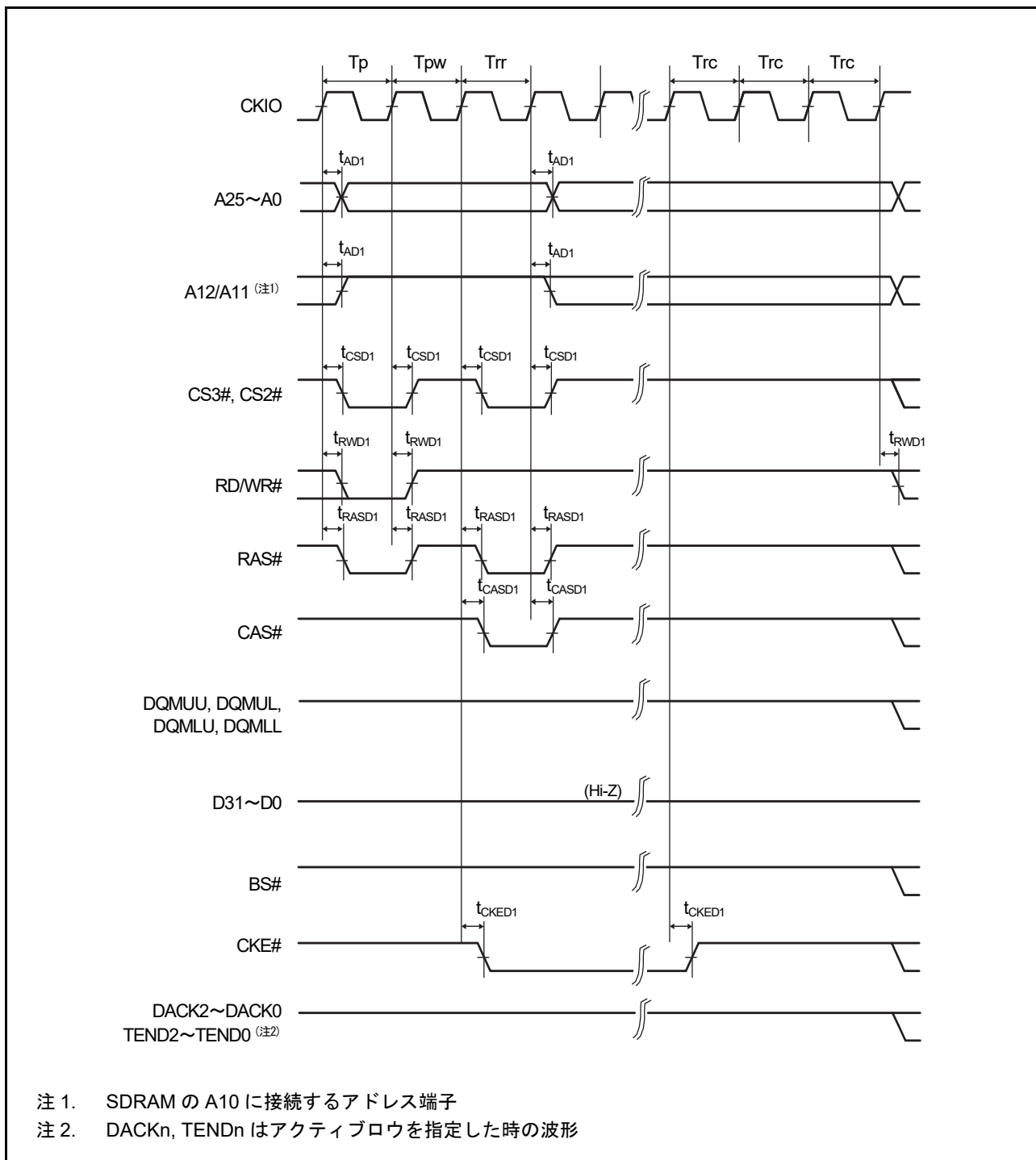


図 2.35 シンクロナス DRAM セルフリフレッシュタイミング (WTRP = 1 サイクル)

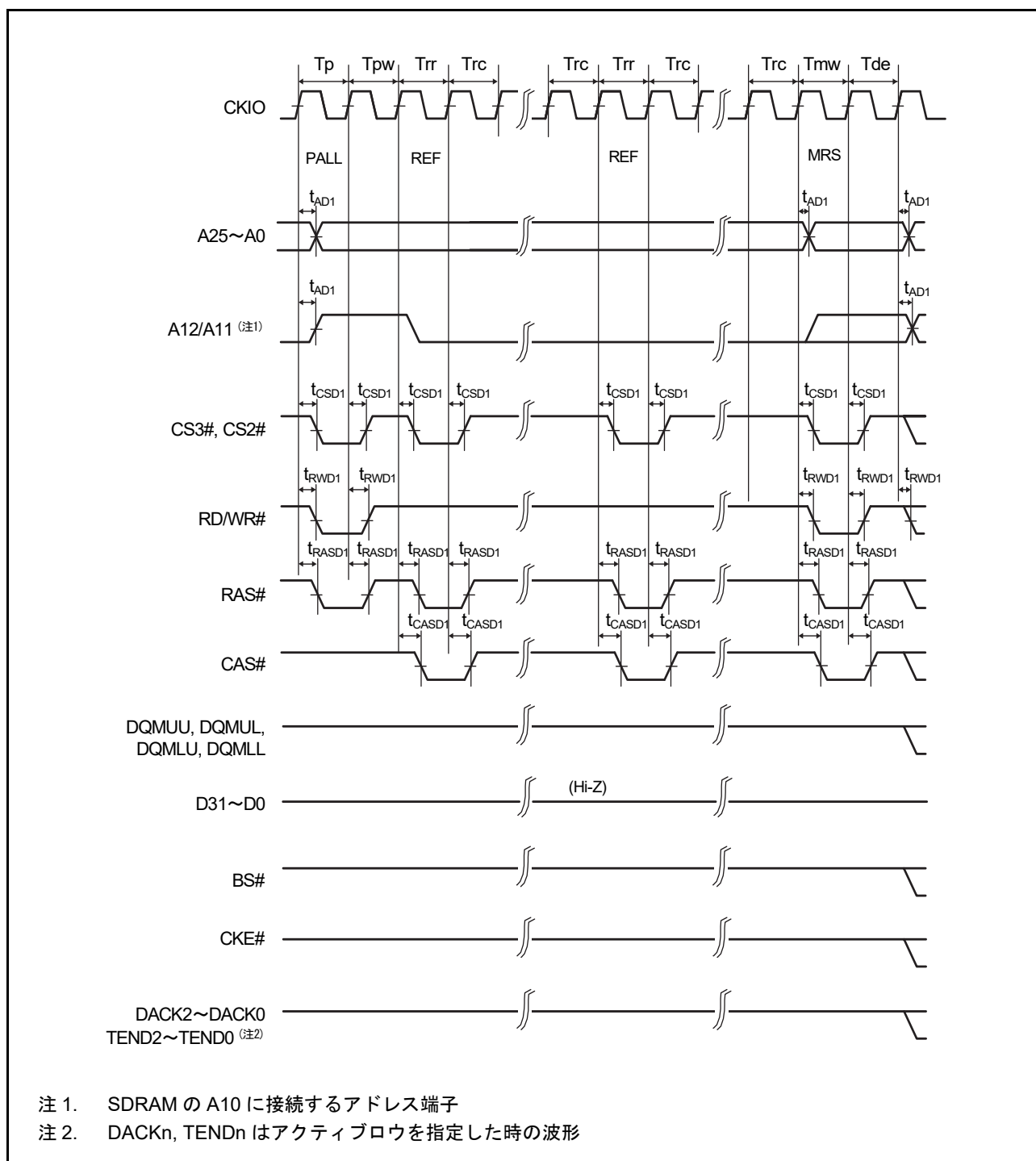


図 2.36 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル)

2.4.4 DMAC タイミング

表2.18 DMAC タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min (注1)	max	単位	測定条件
DMAC	DREQ パルス幅	t_{DRQW}	$t_{PBcyc} \times 2$	—	ns	図2.37
	DACK, TEND 遅延時間	t_{DADC}	0	10	ns	図2.38

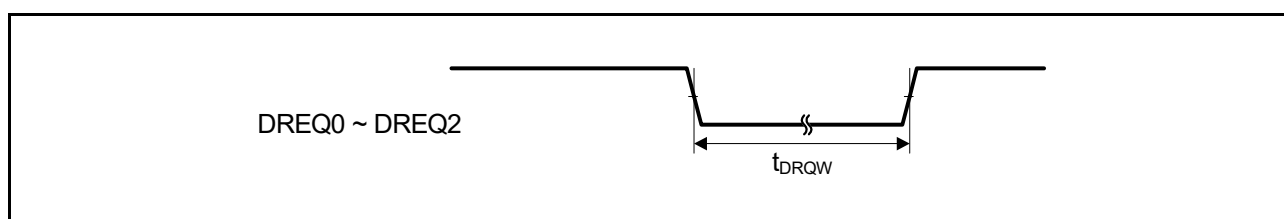
注1. t_{PBcyc} : PCLKBの周期

図 2.37 DREQ 入力タイミング

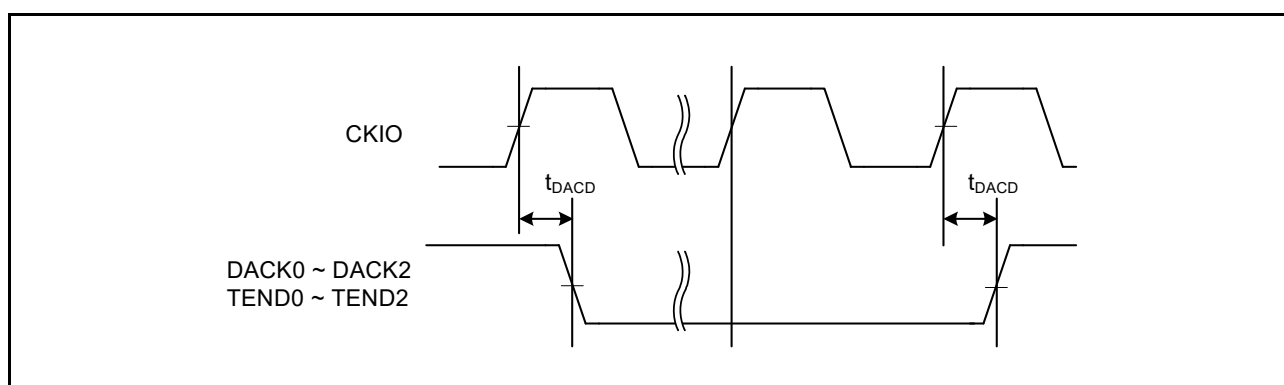


図 2.38 DACK, TEND 出力タイミング

2.4.5 内蔵周辺モジュールタイミング

2.4.5.1 I/Oポートタイミング

表2.19 I/Oポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図2.39

注1. t_{PBcyc} : PCLKBの周期

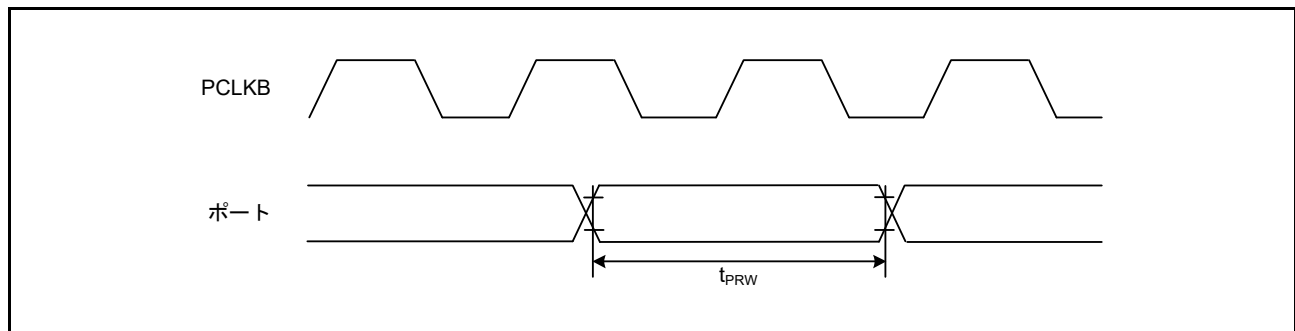


図 2.39 I/Oポート入力タイミング

2.4.5.2 TPUa タイミング

表2.20 TPUa タイミング

項目		記号	min	max	単位 (注1)	測定条件
TPUa	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{pDcyc}	図2.40
		両エッジ指定	2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} 、 t_{TCKWL}	1.5	—	t_{pDcyc}
両エッジ指定		2.5		—		
位相計数モード		2.5		—		

注1. t_{pDcyc} : PCLKDの周期

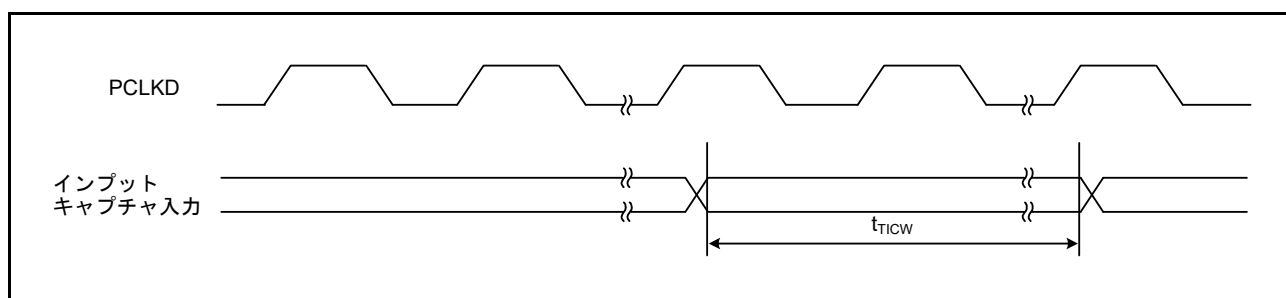


図 2.40 TPUa 入力キャプチャ入力タイミング

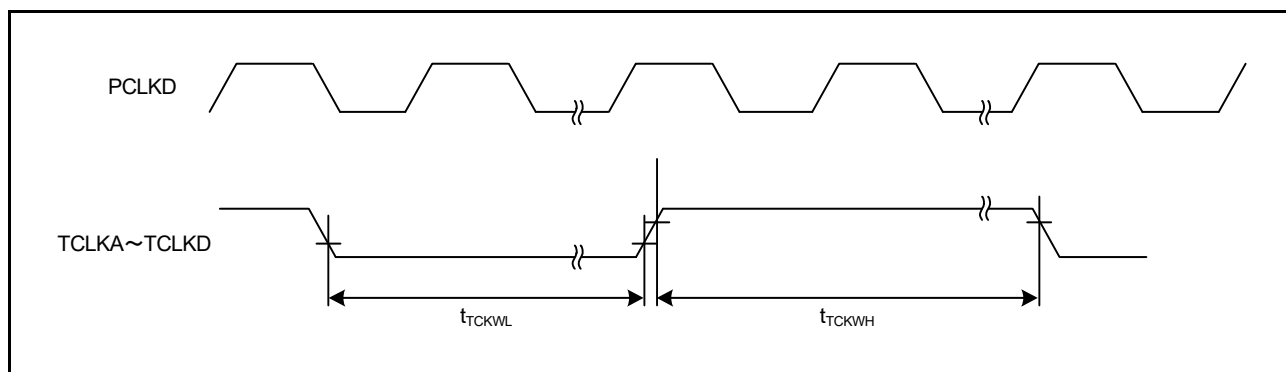


図 2.41 TPUa クロック入力タイミング

2.4.5.3 CMTW タイミング

表2.21 CMTWタイミング

項目		記号	min	max	単位 (注1)	測定条件
CMTW	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{pDcyc}	図2.42
		両エッジ指定	2.5	—		

注1. t_{pDcyc} : PCLKDの周期

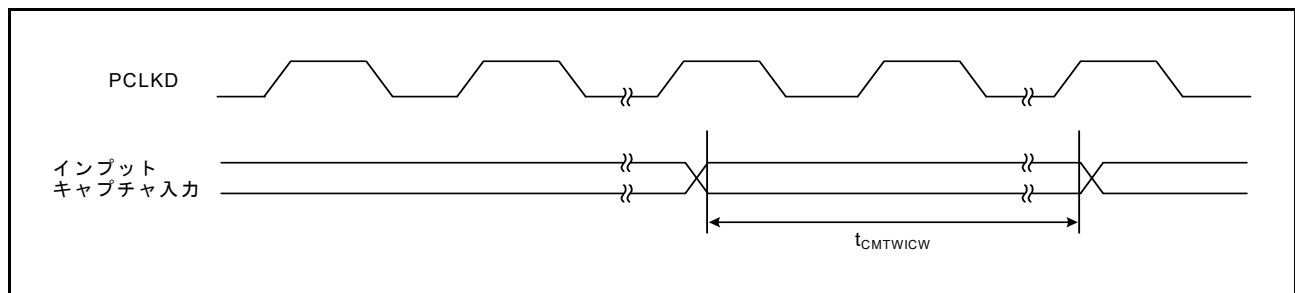


図 2.42 CMTW 入力キャプチャ入力タイミング

2.4.5.4 MTU3a タイミング

表2.22 MTU3a タイミング

項目		記号	min	max	単位 (注1)	測定条件
MTU3a	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{PCyc}	図2.43
		両エッジ指定	2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} 、 t_{MTCKWL}	1.5	—	t_{PCyc}
両エッジ指定		2.5		—		
位相計数モード		2.5	—			

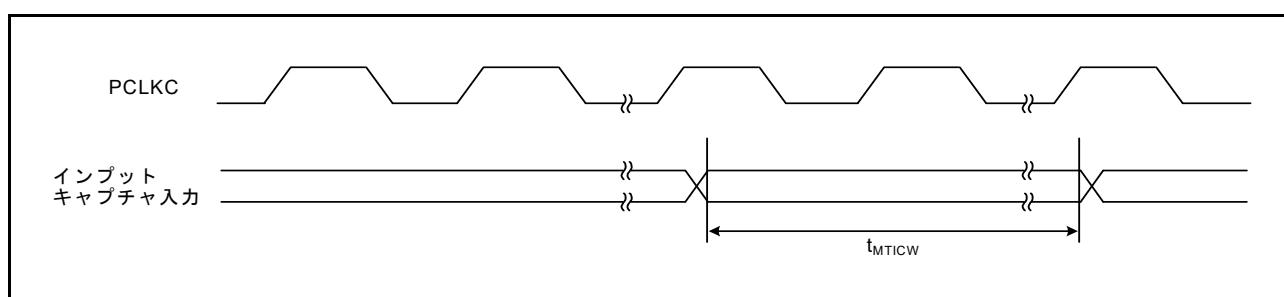
注1. t_{PCyc} : PCLKCの周期

図2.43 MTU3a 入力キャプチャ入力タイミング

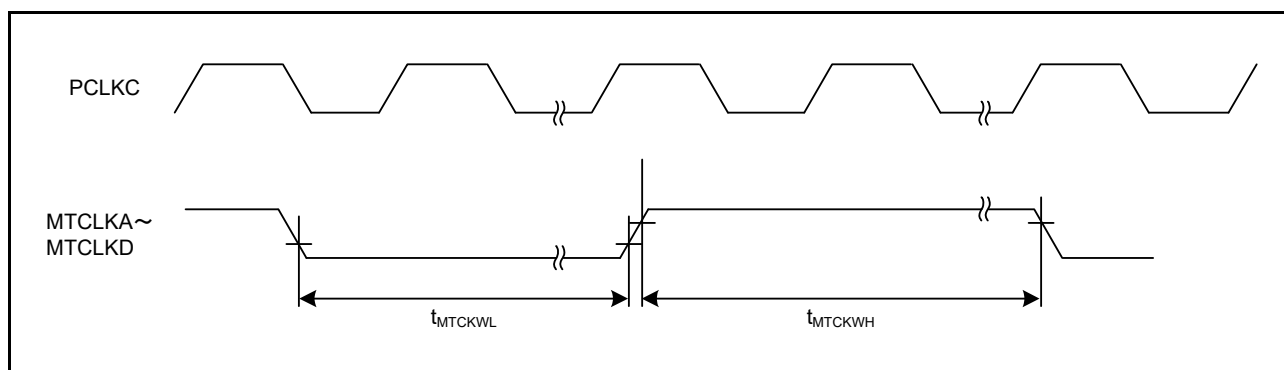


図2.44 MTU3a クロック入力タイミング

2.4.5.5 POE3 タイミング

表2.23 POE3 タイミング

項目		記号	min	max	単位 (注1)	測定条件
POE3	POEn#入力パルス幅	t_{POEW}	1.5	—	t_{PDcyc}	図2.45

注1. t_{PDcyc} : PCLKDの周期

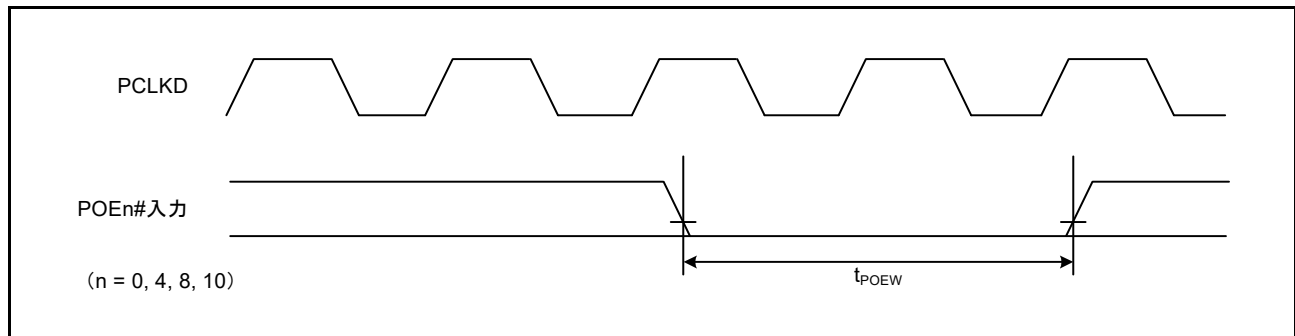


図 2.45 POEn #入力パルスタイミング

2.4.5.6 GPTa タイミング

表2.24 GPTa タイミング

項目			記号	min	max	単位 (注1)	測定条件
GPTa	入力キャプチャ入力 パルス幅	単エッジ指定	t_{GTICW}	3	—	t_{PCyc}	図2.46
		両エッジ指定		5	—		
	外部トリガ入力パルス幅	単エッジ指定	t_{GTEW}	1.5	—	t_{PCyc}	
		両エッジ指定		2.5	—		

注1. t_{PCyc} : PCLKCの周期

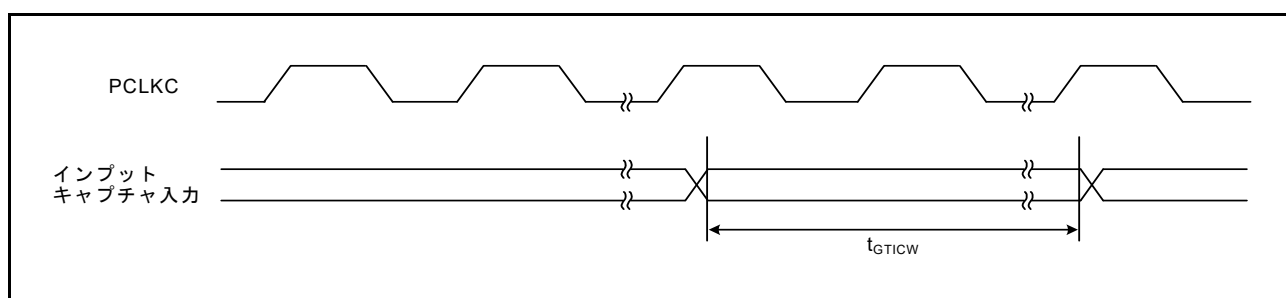


図 2.46 GPTa 入力キャプチャ入力タイミング

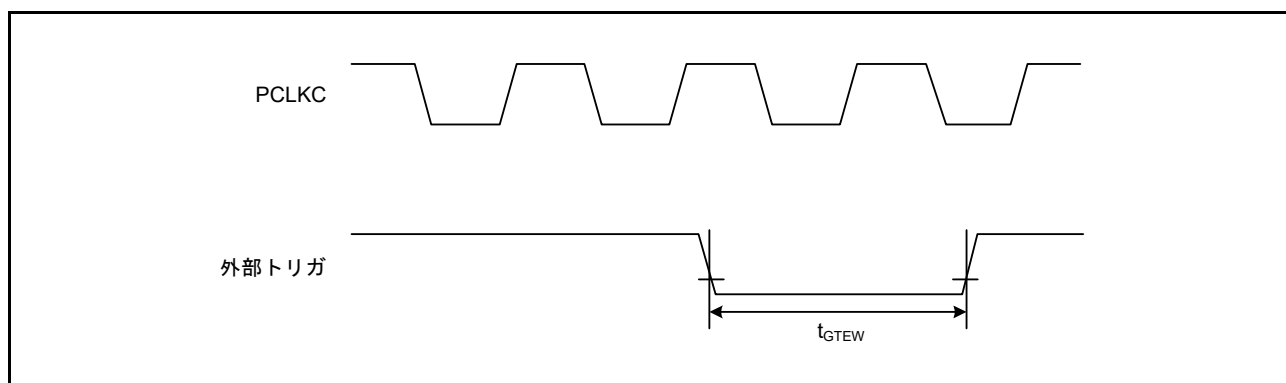


図 2.47 GPTa 外部トリガ入力タイミング

2.4.5.7 A/Dコンバータトリガタイミング

表2.25 A/Dコンバータトリガタイミング

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	A/Dコンバータトリガ 入力パルス幅	ADTRG0	1.5	—	t_{PFcyc}	図2.48
		ADTRG1	1.5		t_{PGcyc}	図2.49

注1. t_{PFcyc} : PCLKFの周期、 t_{PGcyc} : PCLKGの周期

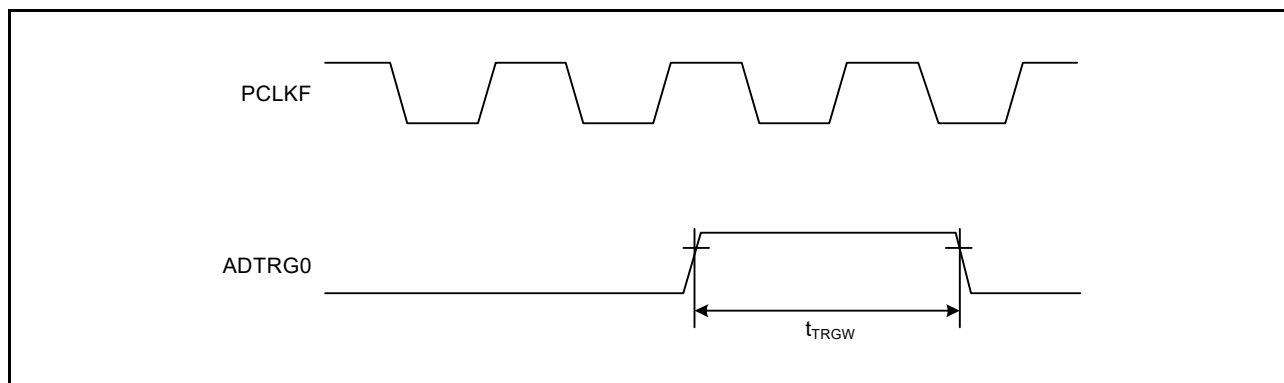


図 2.48 A/Dコンバータトリガ入力タイミング (ADTRG0)

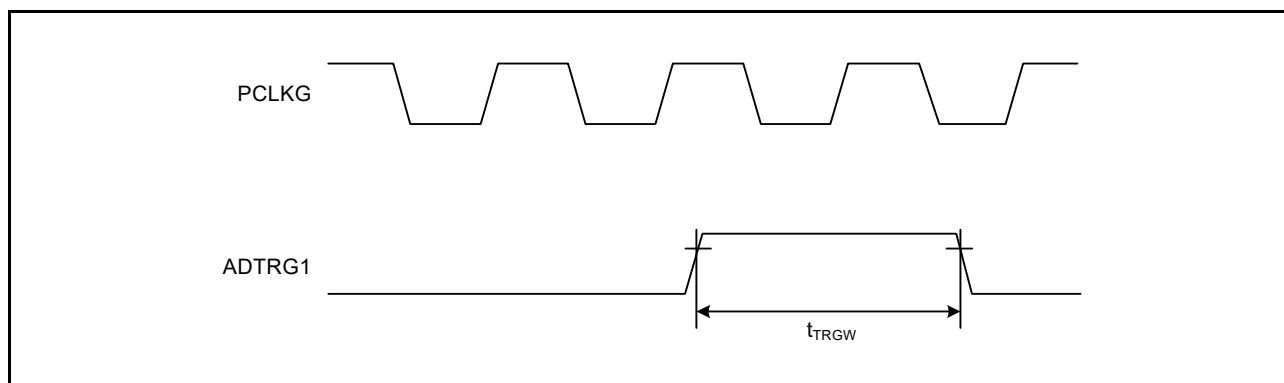


図 2.49 A/Dコンバータトリガ入力タイミング (ADTRG1)

2.4.5.8 SCIFA タイミング

表2.26 SCIFA タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件	
SCIFA	入力クロックサイクル	調歩同期	4	—	t_{SEcyc}	図 2.50	
		クロック同期					12
	入力クロックパルス幅		t_{SCKW}	0.4	0.6		t_{Scyc}
	入力クロック立ち上がり時間		t_{SCKr}	—	5		ns
	入力クロック立ち下がり時間		t_{SCKf}	—	5		ns
	出力クロックサイクル	調歩同期 (注2)	t_{Scyc}	8	—		t_{SEcyc}
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6		t_{Scyc}
	出力クロック立ち上がり時間		t_{SCKr}	—	9		ns
	出力クロック立ち下がり時間		t_{SCKf}	—	9		ns
送信データ遅延時間	内部クロック	t_{TXD}	-10	10	ns	図 2.51	
	外部クロック		$3 \times t_{SEcyc}$	$4 \times t_{SEcyc} + 20$			
受信データセットアップ時間	内部クロック	t_{RXS}	$3 \times t_{SEcyc} + 20$	—	ns		
	外部クロック		$t_{SEcyc} + 10$	—			
受信データホールド時間	内部クロック	t_{RXH}	$-3 \times t_{SEcyc}$	—	ns		
	外部クロック		$2 \times t_{SEcyc} + 10$	—			

注1. t_{SEcyc} : SERICLKの周期

注2. SEMR.ABCS0ビット=1かつSEMR.BGDMビット=1の時

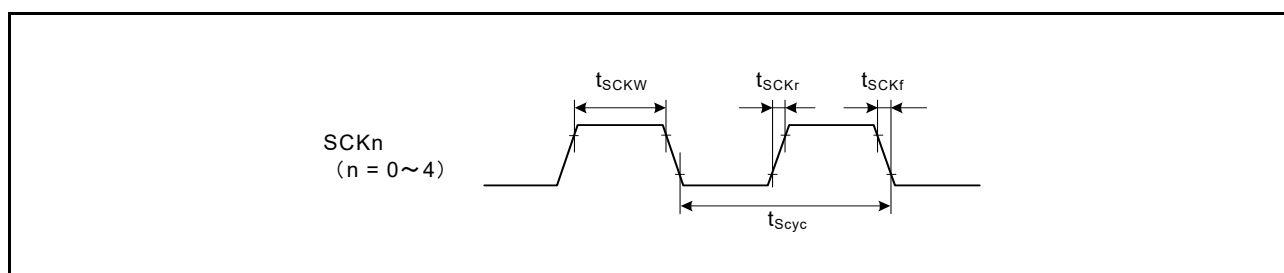


図 2.50 SCK クロック入力タイミング

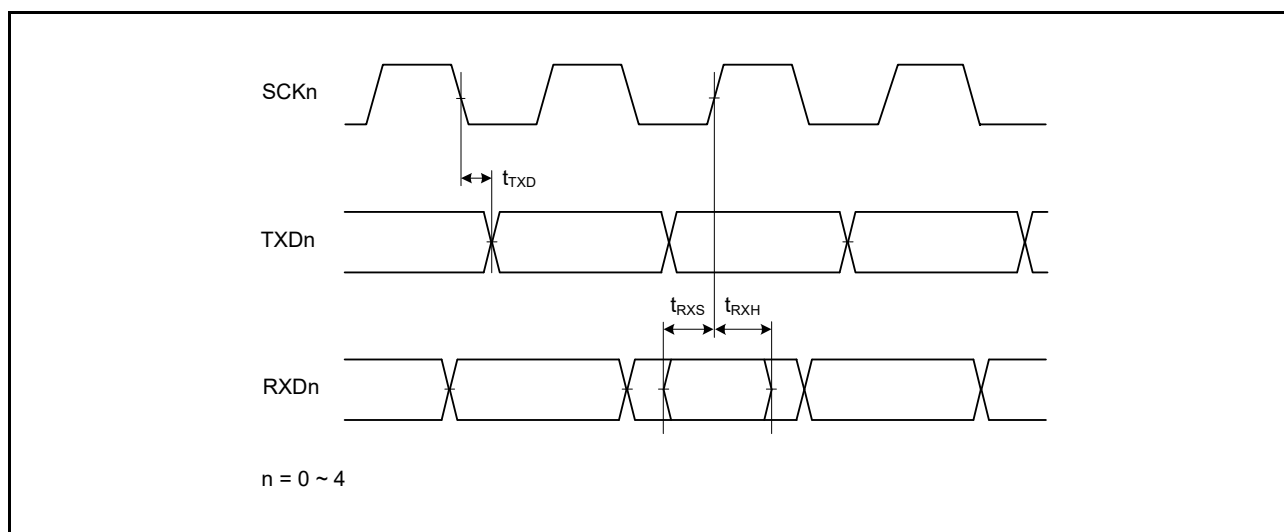


図 2.51 SCIFA 入出力タイミング/クロック同期式モード

2.4.5.9 RSPIa タイミング

表2.27 RSPIa タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号 (注1)	Min (注1)	Max (注1)	単位 (注1)	測定条件					
RSPIa	RSPCK クロック サイクル	マスタ	t_{SPcyc}	4	4096	t_{SEcyc}	図2.52				
		スレーブ (注4)		8	4096						
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		図2.53 ~ 図2.56			
		スレーブ		0.4	—	t_{SPcyc}					
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns			図2.53 ~ 図2.56		
		スレーブ		0.4	—	t_{SPcyc}					
	RSPCK クロック 立ち上がり/ 立ち下がり時間	出力	t_{SPCKr}	—	9	ns				図2.53 ~ 図2.56	
		入力	t_{SPCKf}	—	10	ns					
	データ入力セット アップ時間	マスタ	t_{SU}	6	—	ns					図2.53 ~ 図2.56
		スレーブ		$8 - t_{SEcyc}$	—						
	データ入力ホールド 時間	マスタ	t_{H}	t_{SEcyc}	—	ns	図2.53 ~ 図2.56				
		スレーブ		$8 + 2 \times t_{SEcyc}$	—						
	SSL セットアップ 時間	マスタ	t_{LEAD}	$N \times t_{SpCyc} - 3$ (注2)	$N \times t_{SpCyc} + 3$ (注2)	ns		図2.53 ~ 図2.56			
		スレーブ		4	—	t_{SEcyc}					
	SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SpCyc} - 3$ (注3)	$N \times t_{SpCyc} + 3$ (注3)	ns			図2.53 ~ 図2.56		
		スレーブ		4	—	t_{SEcyc}					
	データ出力遅延時間	マスタ	t_{OD}	—	6	ns				図2.53 ~ 図2.56	
		スレーブ		—	$3 \times t_{SEcyc} + 20$ (注4)						
	データ出力ホールド 時間	マスタ	t_{OH}	0	—	ns					図2.53 ~ 図2.56
		スレーブ		0	—						
連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{SEcyc}$	$8 \times t_{SPcyc} + 2 \times t_{SEcyc}$	ns	図2.53 ~ 図2.56					
	スレーブ		$4 \times t_{SEcyc}$	—							
MOSI、MISO 立ち 上がり/立ち下がり 時間	出力	t_{Dr} 、 t_{Df}	—	9	ns		図2.53 ~ 図2.56				
	入力		—	10	ns						
SSL 立ち上がり/ 立ち下がり時間	出力	t_{SSLr} 、 t_{SSLf}	—	9	ns			図2.53 ~ 図2.56			
	入力		—	10	ns						
スレーブアクセス時間		t_{SA}	—	4	t_{SEcyc}				図2.55、 図2.56		
スレーブ出力開放時間		t_{REL}	—	3	t_{SEcyc}						

注1. t_{SEcyc} : SERICLKの周期注2. $N = \text{SPCKD}$ の設定値 + 1 (1...8)注3. $N = \text{SSLND}$ の設定値 + 1 (1...8)

注4. ビットレートの設定によっては、データ出力遅延時間がRSPCKクロックサイクルの半周期を超える場合があります。マスタの電氣的特性を満たせるよう注意してください。

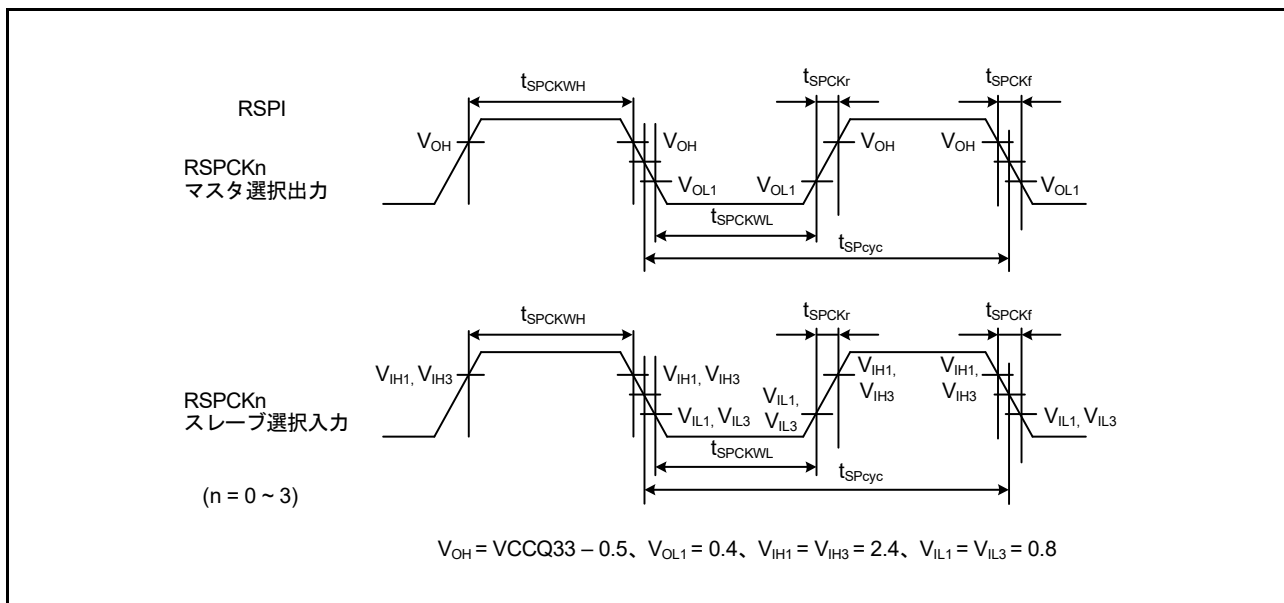


図 2.52 RSPi クロックタイミング

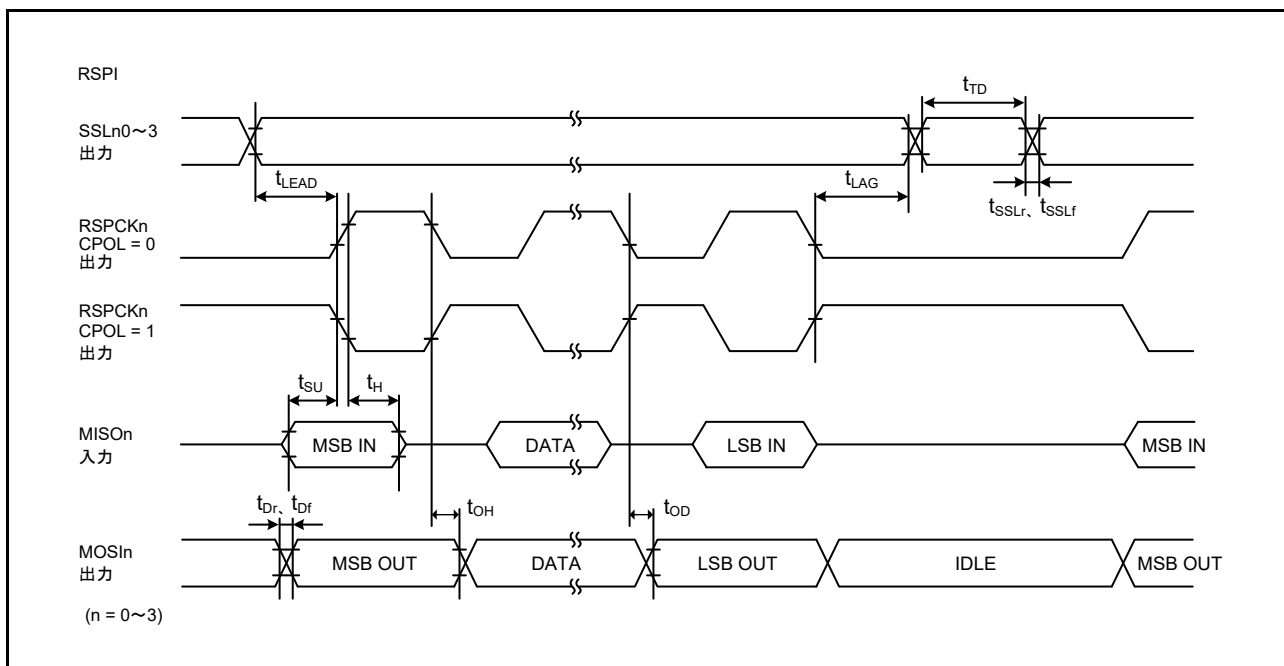


図 2.53 RSPi タイミング (マスタ、CPHA = 0)

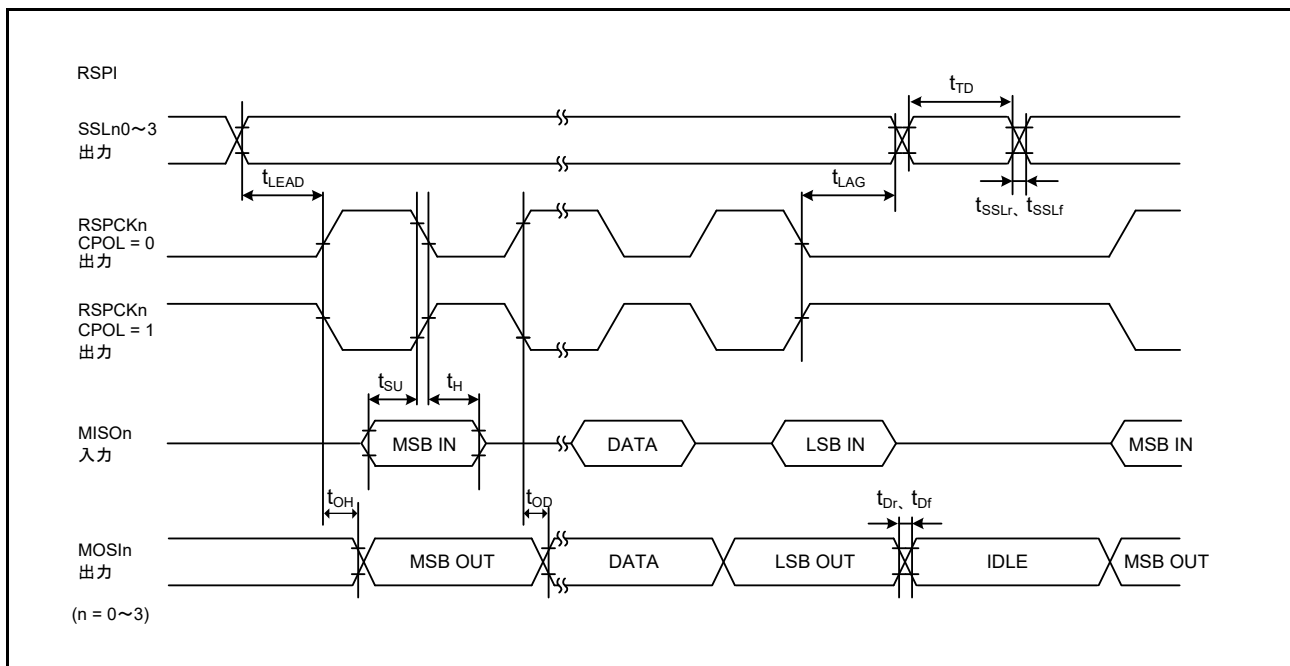


図 2.54 RSPIa タイミング (マスタ、CPHA = 1)

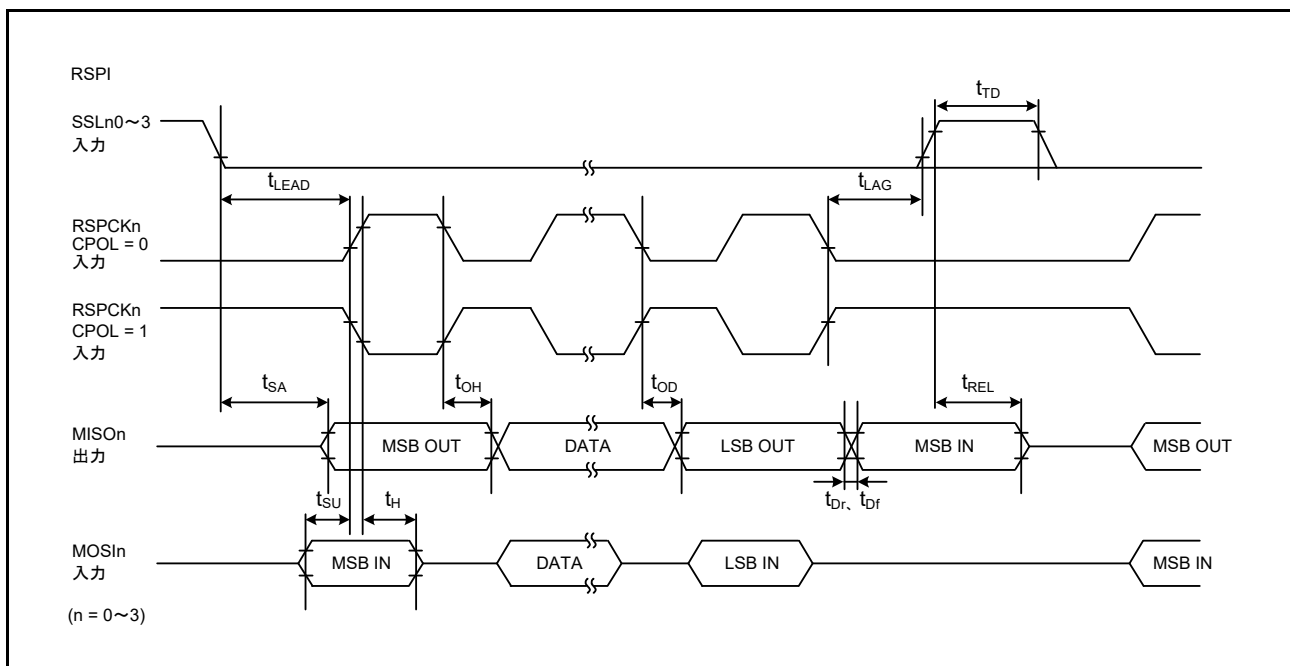


図 2.55 RSPI タイミング (スレーブ、CPHA = 0)

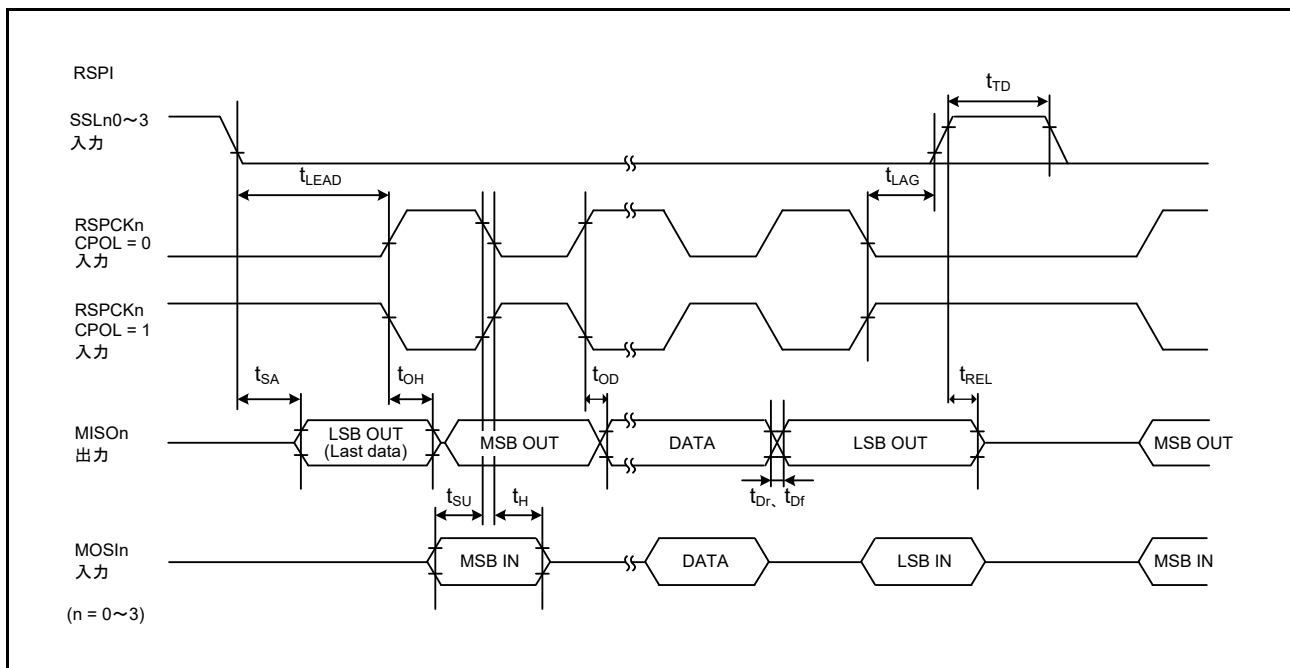


図 2.56 RSPI タイミング (スレーブ、CPHA = 1)

2.4.5.10 SPIBSC タイミング

表2.28 SPIBSC タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min	max	単位 (注1)	測定条件
SPIBSC	SPBCLKクロックサイクル	t_{SPBcyc}	2	4080	t_{PAcyc}	図 2.57
	SPBCLKハイレベルパルス幅	t_{SPBWH}	0.45	0.55	t_{SPBcyc}	
	SPBCLKロウレベルパルス幅	t_{SPBWL}	0.45	0.55	t_{SPBcyc}	
	データ入力セットアップ時間	t_{SU}	3.5	—	ns	図 2.58、 図 2.59、 図 2.60
	データ入力ホールド時間	t_{H}	0.5	—	ns	
	SSLセットアップ時間	t_{LEAD}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc}$	ns	
	SSLホールド時間	t_{LAG}	$1.5 \times t_{SPBcyc}$	$8.5 \times t_{SPBcyc} + 3$	ns	
	連続転送遅延時間	t_{TD}	1	8	t_{SPBcyc}	
	データ出力遅延時間	t_{OD}	—	3.6	ns	
	データ出力ホールド時間	t_{OH}	-1	—	ns	図 2.61、 図 2.62、 図 2.63
	データ出力バッファオン時間	t_{BON}	—	3.6	ns	
	データ出力バッファオフ時間	t_{BOFF}	-7	0	ns	

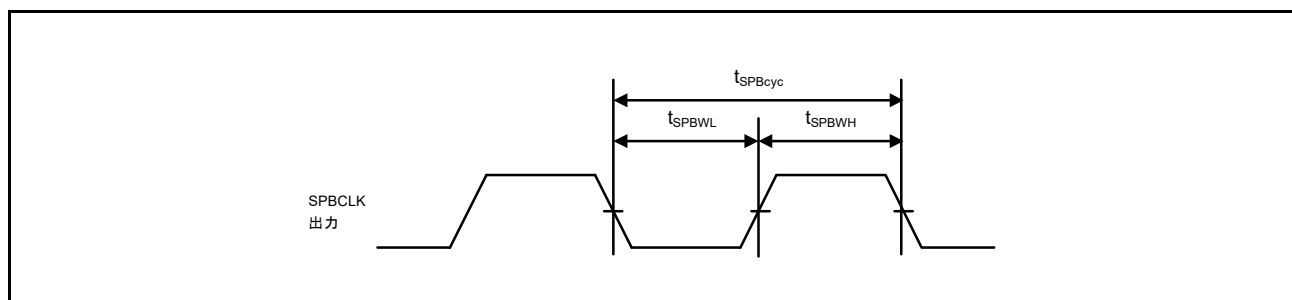
注1. t_{PAcyc} : PCLKAの周期

図 2.57 SPIBSC クロックタイミング

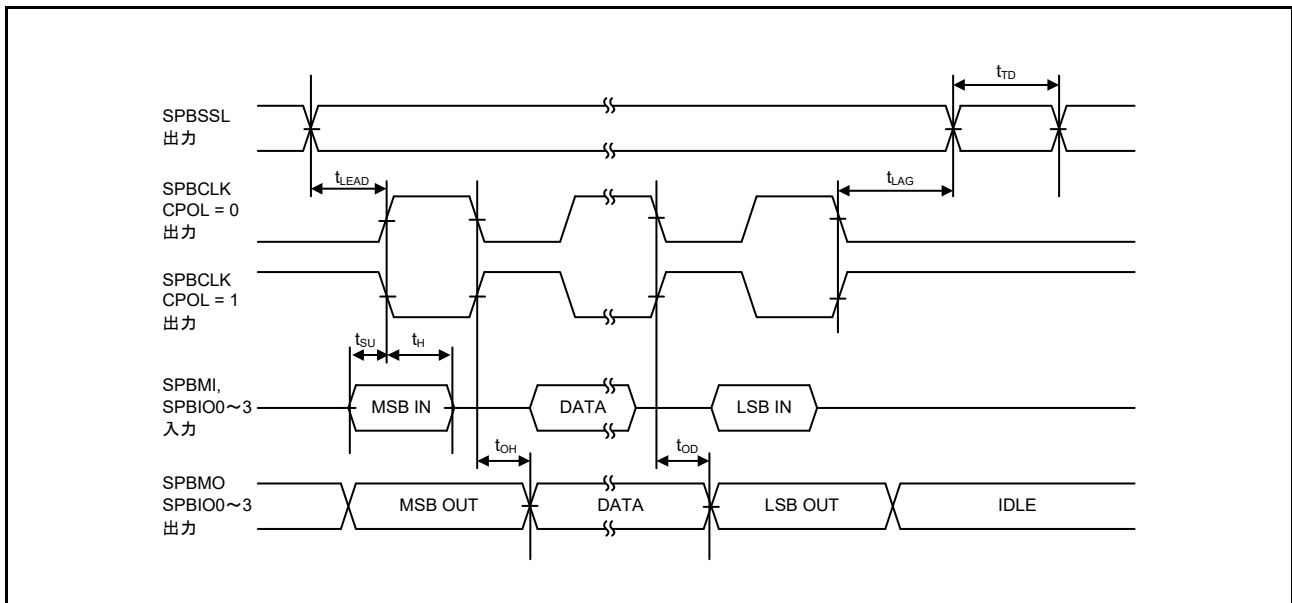


図 2.58 SPIBSC 送受信タイミング (CPHAT = 0, CPHAR = 0)

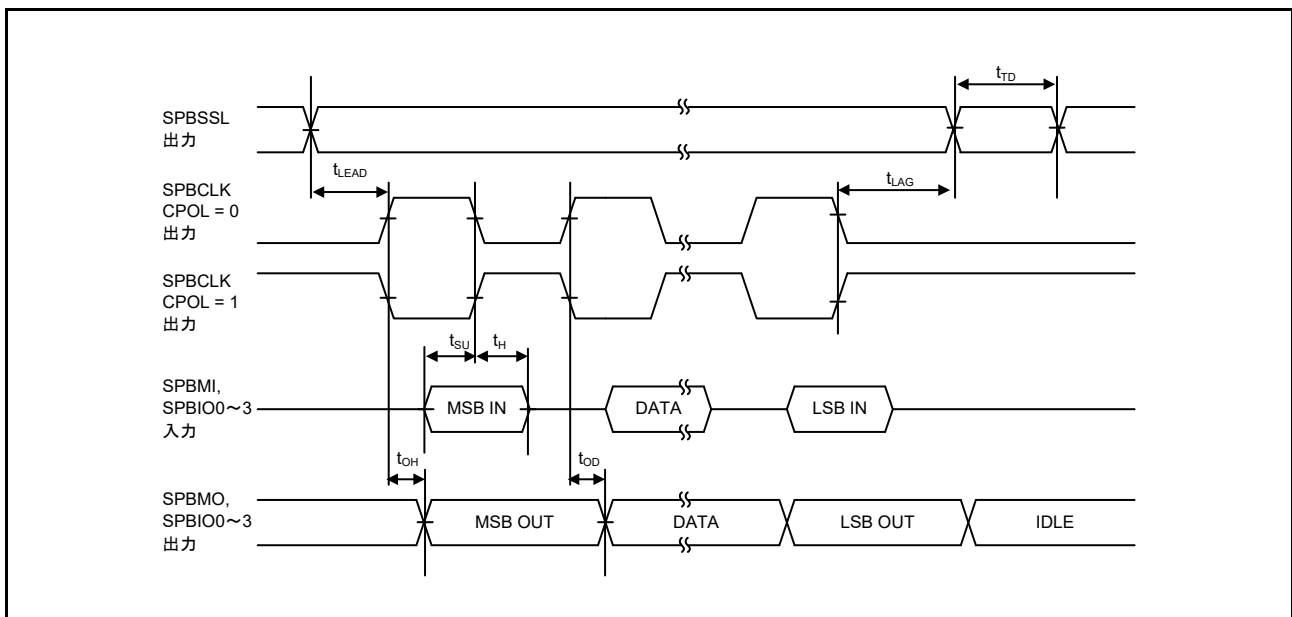


図 2.59 SPIBSC 送受信タイミング (CPHAT = 1, CPHAR = 1)

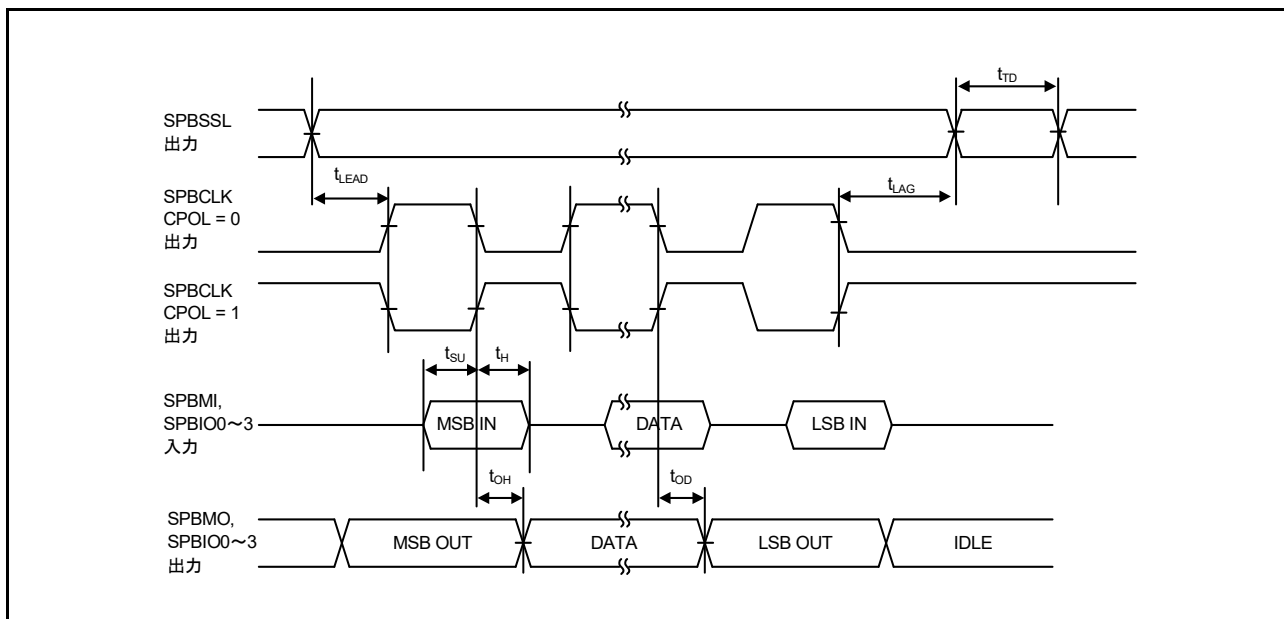


図 2.60 SPIBSC 送受信タイミング (CPHAT = 0, CPHAR = 1)

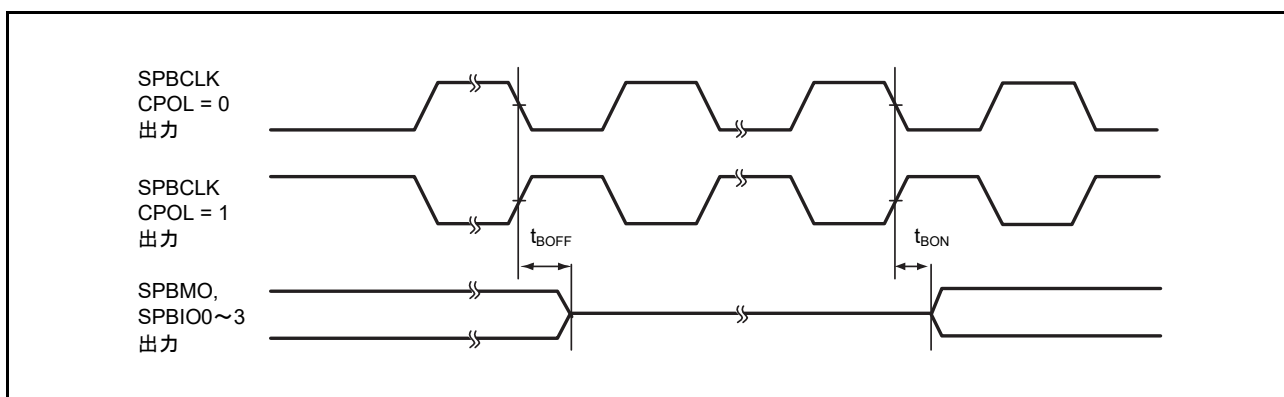


図 2.61 SPIBSC バッファオン/オフタイミング (CPHAT = 0, CPHAR = 0)

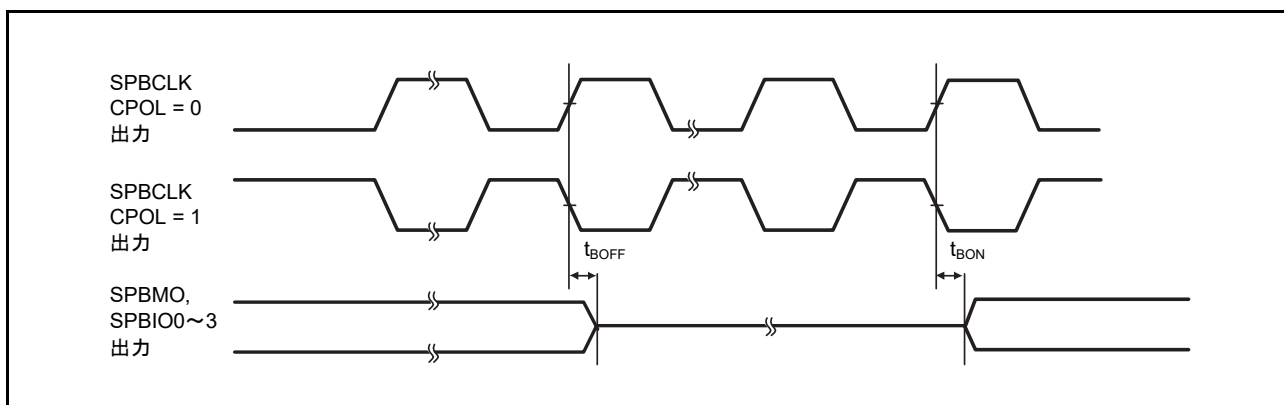


図 2.62 SPIBSC バッファオン/オフタイミング (CPHAT = 1, CPHAR = 1)

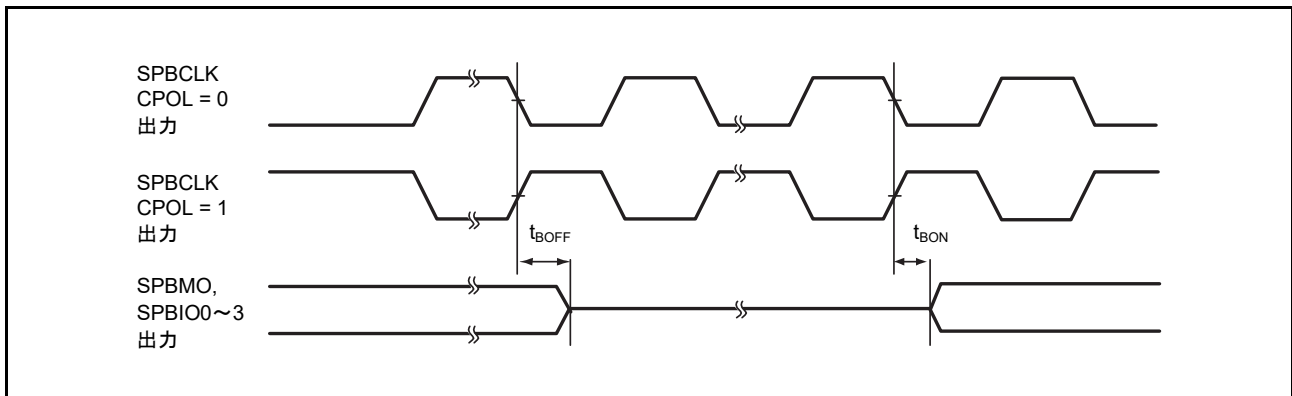


図 2.63 SPIBSC バッファオン/オフタイミング (CPHAT = 0, CPHAR = 1)

2.4.5.11 RII Ca タイミング

表2.29 RII Ca タイミング

出力負荷条件 : $V_{OL2} = 0.4V$ 、 $I_{OL2} = 3mA$

項目		記号	min (注2)	max (注2)	単位 (注1)	測定条件
RII Ca (Standard- mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{II Ccyc} + 1300$	—	ns	図 2.64
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{II Ccyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	開始条件入カホールド時間	t_{STAH}	$t_{II Ccyc} + 300$	—	ns	
	再送開始条件入カセットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入カセットアップ時間	t_{STOS}	1000	—	ns	
	データ入カセットアップ時間	t_{SDAS}	$t_{II Ccyc} + 50$	—	ns	
	データ入カホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RII Ca (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{II Ccyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	— (注4)	300	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	— (注4)	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{II Ccyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	開始条件入カホールド時間	t_{STAH}	$t_{II Ccyc} + 300$	—	ns	
	再送開始条件入カセットアップ時間	t_{STAS}	300	—	ns	
	停止条件入カセットアップ時間	t_{STOS}	300	—	ns	
	データ入カセットアップ時間	t_{SDAS}	$t_{II Ccyc} + 50$	—	ns	
	データ入カホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷 (注3)	C_b	—	400	pF	

注1. $t_{II Ccyc}$: RII Cの内部基準クロック (IIC ϕ) の周期

注2. () 外の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 00bの場合を示します。() 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注3. C_b はバスラインの容量総計です。

注4. Fast-modeのtsr/tsfのmin.規格は設定していません。

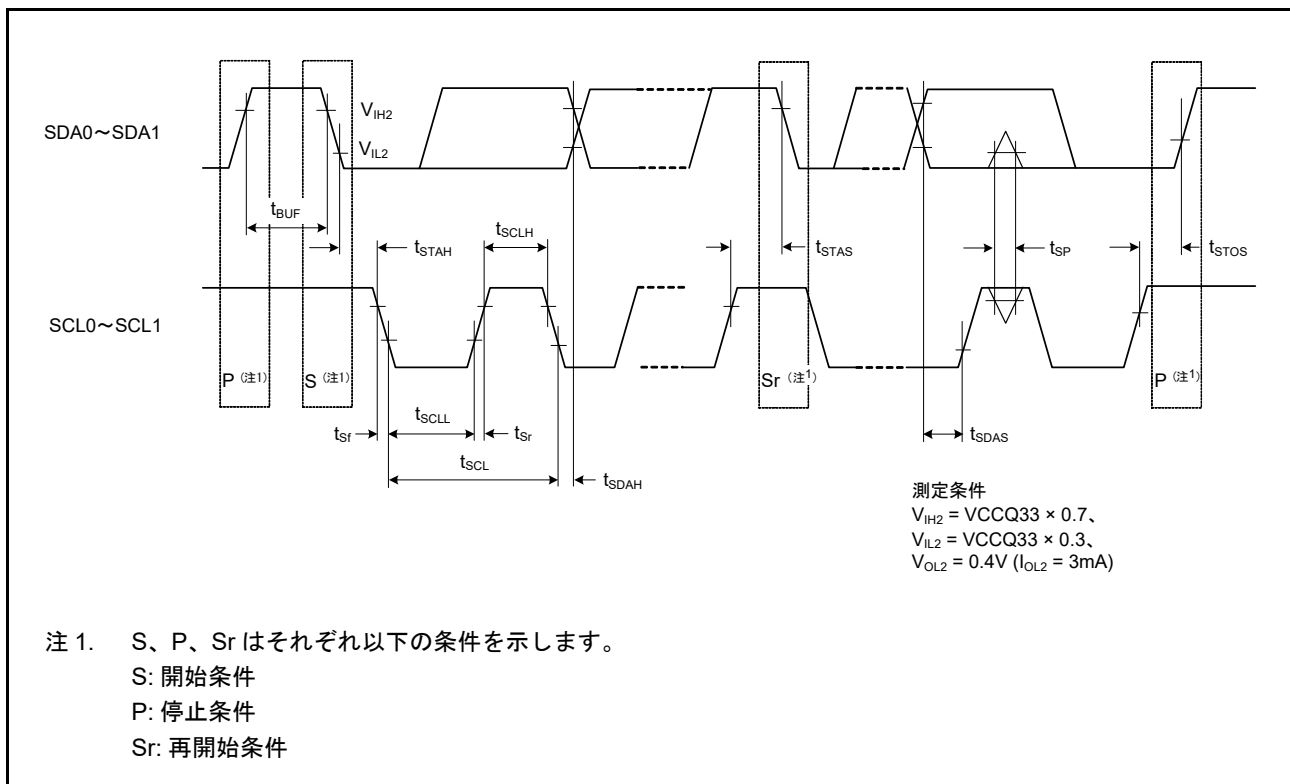


図 2.64 IICa バスインタフェース入出力タイミング

2.4.5.12 シリアルサウンドインタフェースタイミング

表2.30 シリアルサウンドインタフェースタイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目	記号	Min.	Max.	単位	測定条件	
SSI	AUDIO_CLK入力周波数	t_{AUDIO}	1	50	MHz	
	出力クロック周期	t_{O}	150	64000	ns	図2.65
	入力クロック周期	t_{I}	150	64000	ns	
	クロックハイレベル	t_{HC}	60	—	ns	
	クロックロウレベル	t_{LC}	60	—	ns	
	クロック立ち上がり時間	t_{RC}	—	25	ns	
	データ遅延時間	t_{DTR}	-5	25	ns	
	セットアップ時間	t_{SR}	25	—	ns	
	ホールド時間	t_{HTR}	25	—	ns	
	WS変化エッジSSITXD0出力遅延	T_{DTRW}	—	25	ns	図2.68

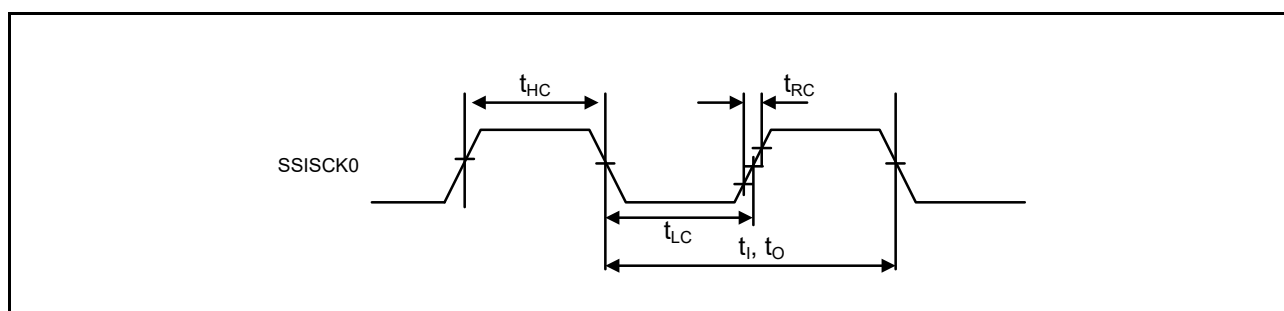


図2.65 クロック入出力タイミング

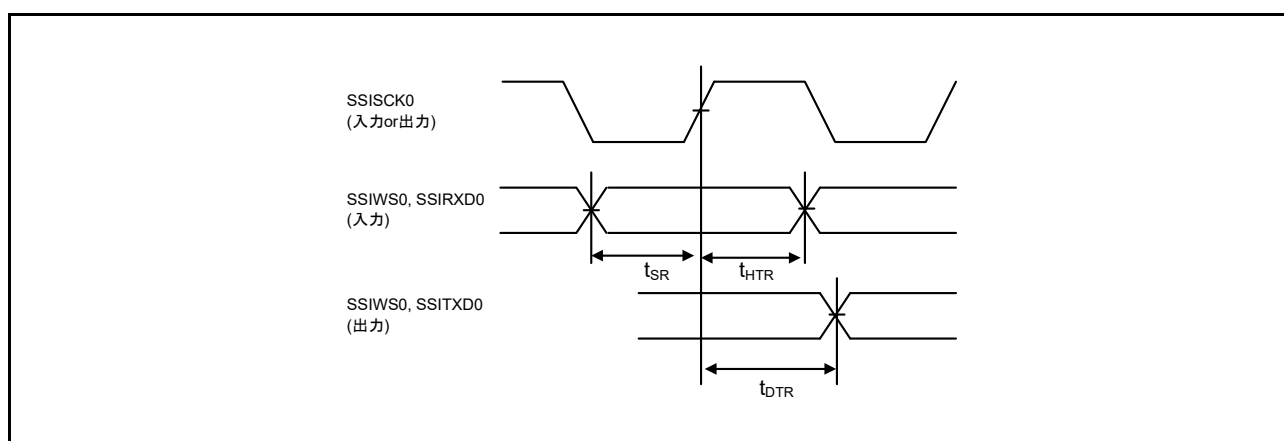


図2.66 送受信タイミング (SSISCK0 立ち上がり同期)

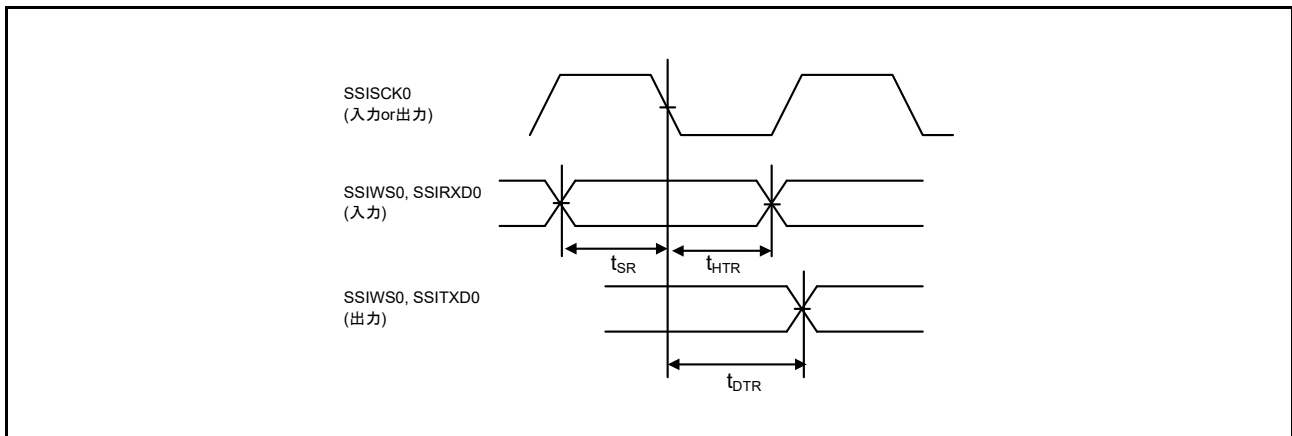


図 2.67 送受信タイミング (SSISCK0 立ち下がり同期)

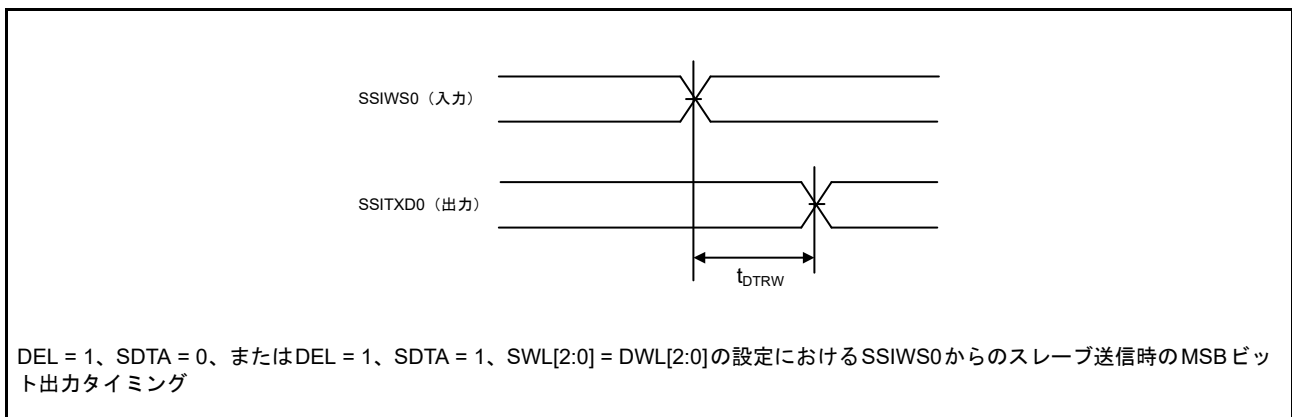


図 2.68 SSIWS0 変化エッジからの SSITXD0 出力遅延

2.4.5.13 CAN インタフェースタイミング

表2.31 CANインタフェースタイミング

項目	記号	min	max	単位	測定条件
内部遅延時間	tnode	—	100	ns	図 2.69
送信レート		—	1	Mbps	

内部遅延時間 (tnode) = 内部送信遅延時間 (toutput) + 内部受信遅延時間 (tinput)

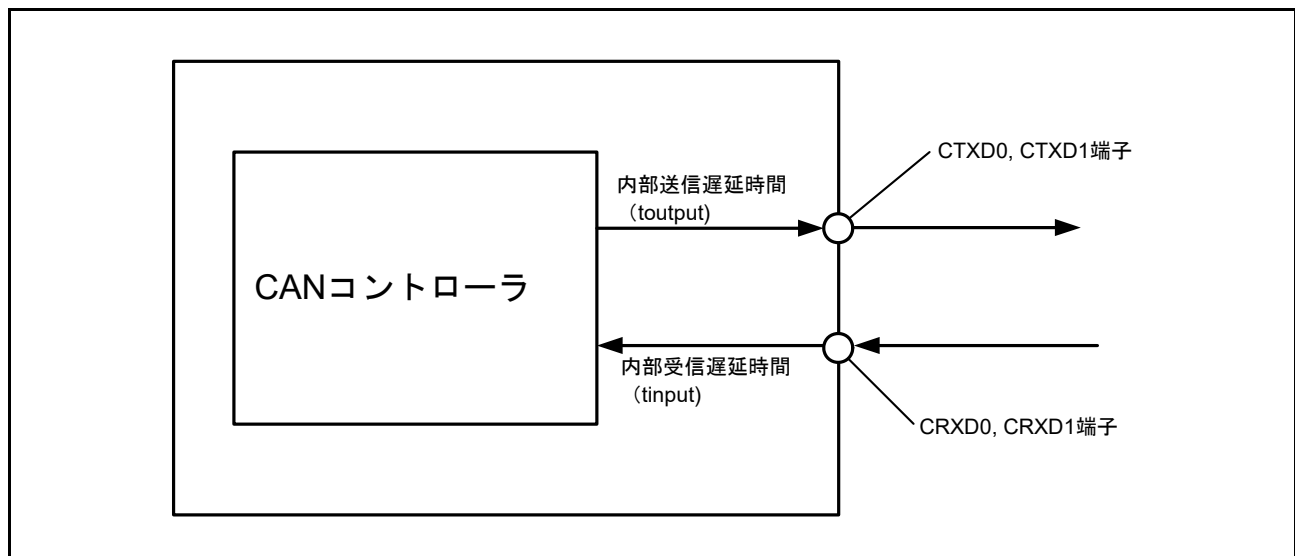


図 2.69 CAN インタフェース条件

2.4.5.14 ETHERC タイミング

表2.32 ETHERC タイミング

出力負荷条件 : $V_{OH} = 2.0V$ 、 $V_{OL1} = 0.8V$ 、 $C = 25pF$ (RMII時)
 $V_{OH} = VCCQ33 \times 0.5$ 、 $V_{OL1} = VCCQ33 \times 0.5$ 、 $C = 30pF$ (MII時)

項目	記号	min	max	単位	測定条件	
ETHERC (RMII)	CLKOUT25Mn サイクル時間	T_{ck}	20	—	ns	図2.70～ 図2.73
	ETHn_Txxx (注1) 出力遅延時間	T_{co}	2	16	ns	
	ETHn_Rxxx (注2) セットアップ時間	T_{su}	4	—	ns	
	ETHn_Rxxx (注2) ホールド時間	T_{hd}	2	—	ns	
	ETHn_xxxx (注1) (注2) 立ち上がり、立ち下がり時間	T_r, T_f	0.5	5	ns	
ETHERC (MII)	ETHn_TXC サイクル時間	t_{Tcyc}	40	—	ns	—
	ETHn_TXEN 出力遅延時間	t_{TEND}	0	25	ns	図2.74
	ETHn_TXD0～ETHn_TXD3 出力遅延時間	t_{MTDd}	0	25	ns	—
	ETHn_TXER 出力遅延時間	t_{TERd}	—	25	ns	図2.75
	ETHn_RXC サイクル時間	t_{TRcyc}	40	—	ns	—
	ETHn_RXDV セットアップ時間	t_{RDVs}	10	—	ns	図2.76
	ETHn_RXDV ホールド時間	t_{RDVh}	10	—	ns	
	ETHn_RXD0～ETHn_RXD3 セットアップ時間	t_{MRDs}	10	—	ns	
	ETHn_RXD0～ETHn_RXD3 ホールド時間	t_{MRDh}	10	—	ns	
	ETHn_RXER セットアップ時間	t_{RERs}	10	—	ns	図2.77
	ETHn_RXER ホールド時間	t_{RERh}	10	—	ns	

注1. ETHn_TXEN、ETHn_TXD1、ETHn_TXD0

注2. ETHn_RXDV、ETHn_RXD1、ETHn_RXD0、ETHn_RXER

n = 0～2

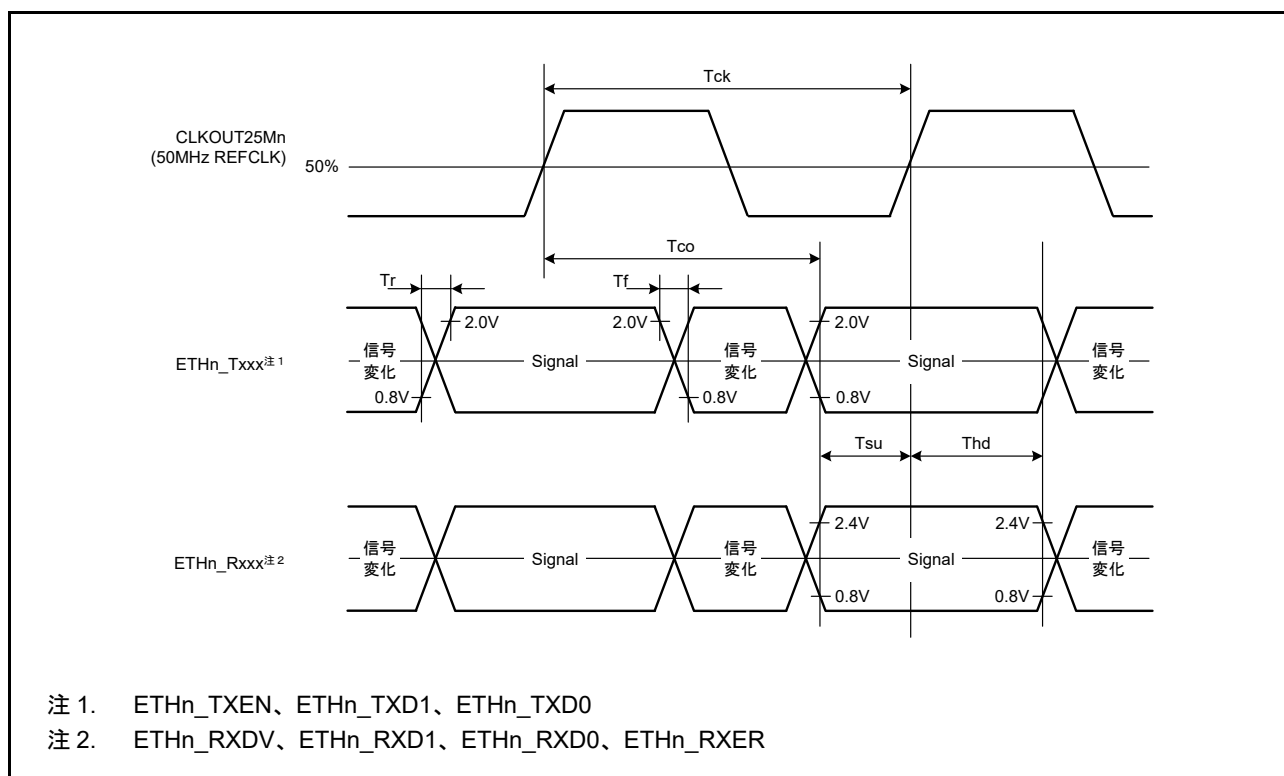


図2.70 CLKOUT25Mn と RMII 信号とのタイミング

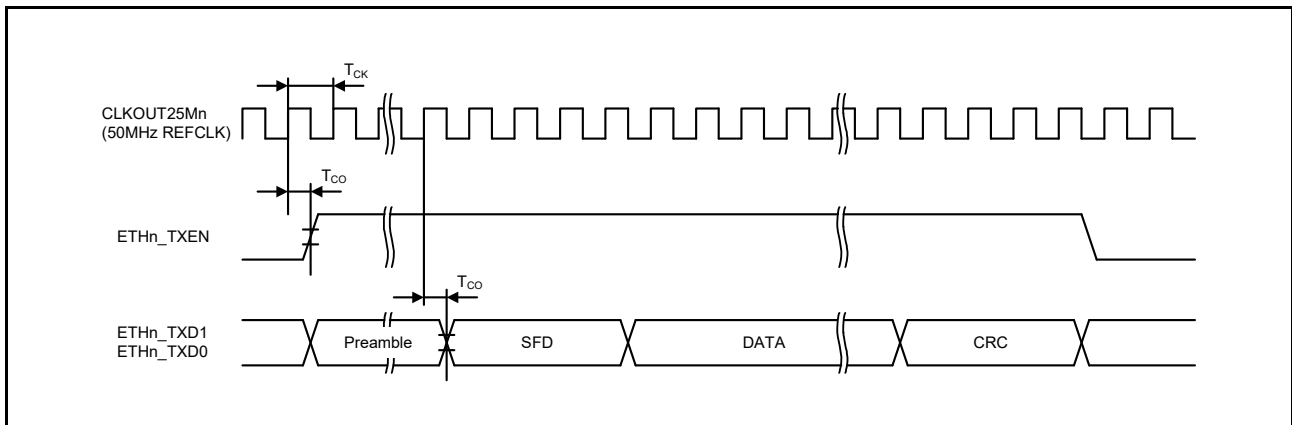


図 2.71 RMI I 送信タイミング

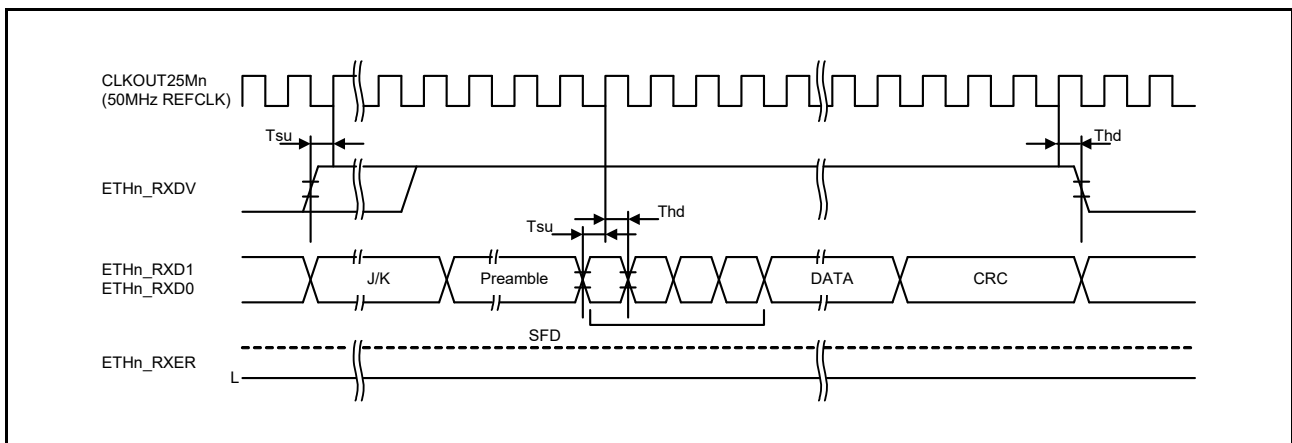


図 2.72 RMI I 受信タイミング (正常動作時)

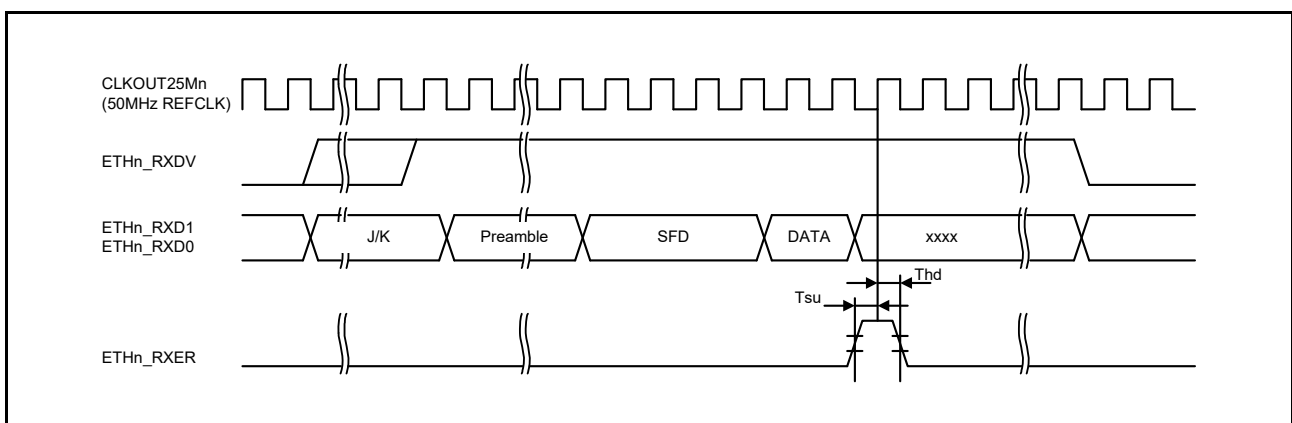


図 2.73 RMI I 受信タイミング (エラー発生ケース)

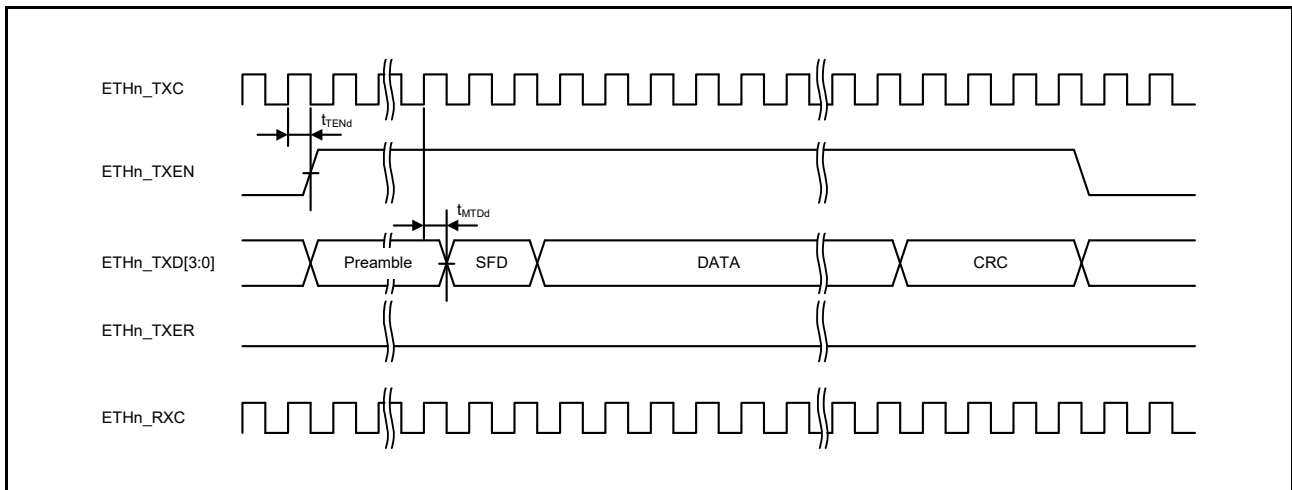


図 2.74 MII 送信タイミング

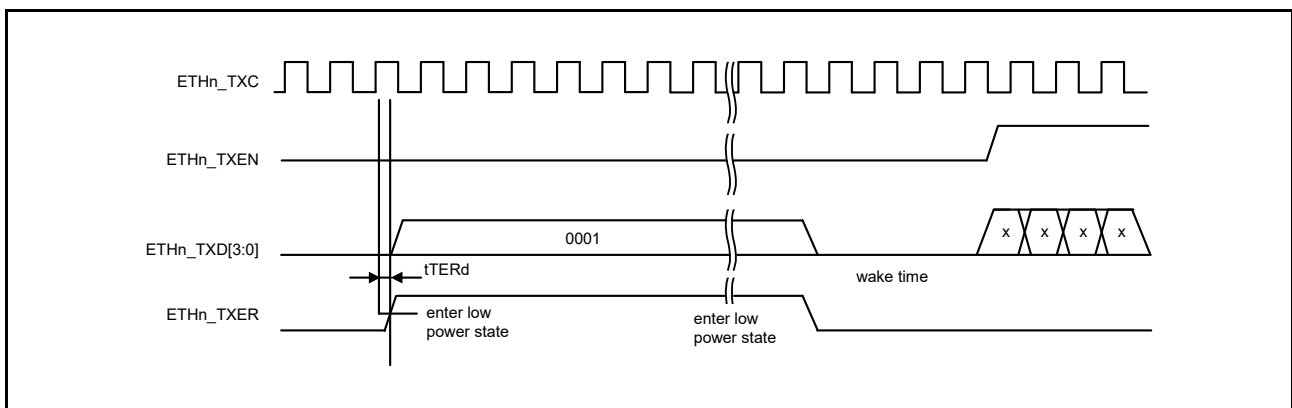


図 2.75 MII 送信タイミング

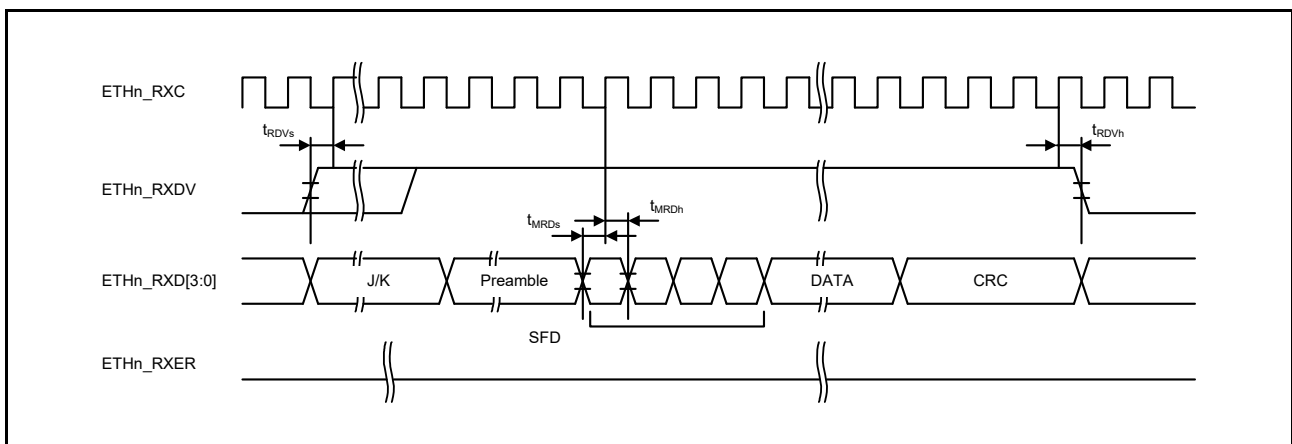


図 2.76 MII 受信タイミング (正常動作時)

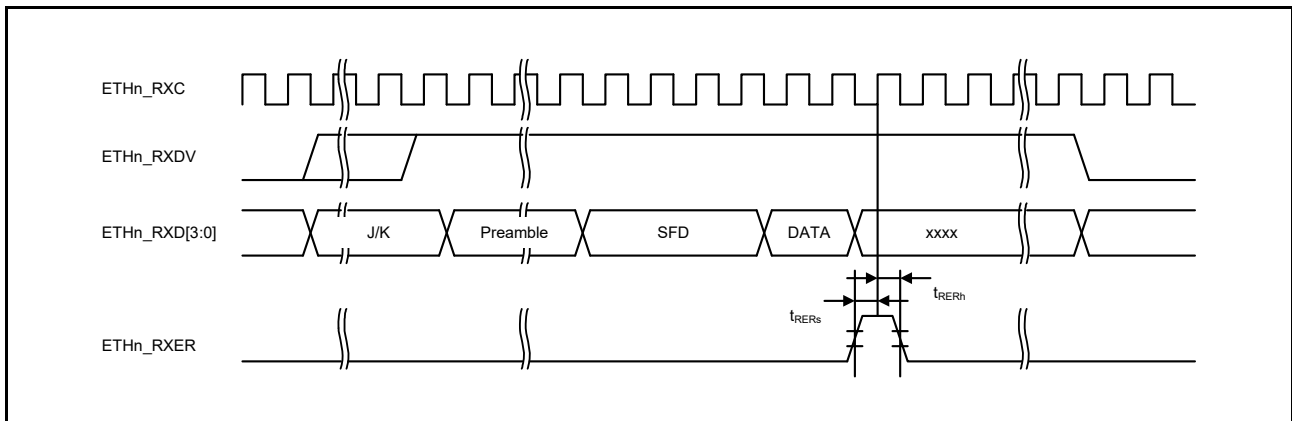


図 2.77 MII 受信タイミング (エラー発生ケース)

2.4.5.15 シリアル・マネージメント・インタフェースタイミング

表2.33 シリアル・マネージメント・インタフェース

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目	記号	min	max	単位	測定条件	
MDIO	ETH_MDC出力周期	t_{MDC}	80	—	ns	図2.78
	ETH_MDIO入力設定時間 (対 ETH_MDC ↑)	t_{SMDIO}	10	—	ns	
	ETH_MDIO入力保持時間 (対 ETH_MDC ↑)	t_{HMDIO}	0	—	ns	
	ETH_MDIO出力遅延時間 (対 ETH_MDC ↓)	t_{DMDIO}	—	20	ns	

注. MII2_MDCはETH_MDCと同様、またMII2_MDIOはETH_MDIOと同様です。

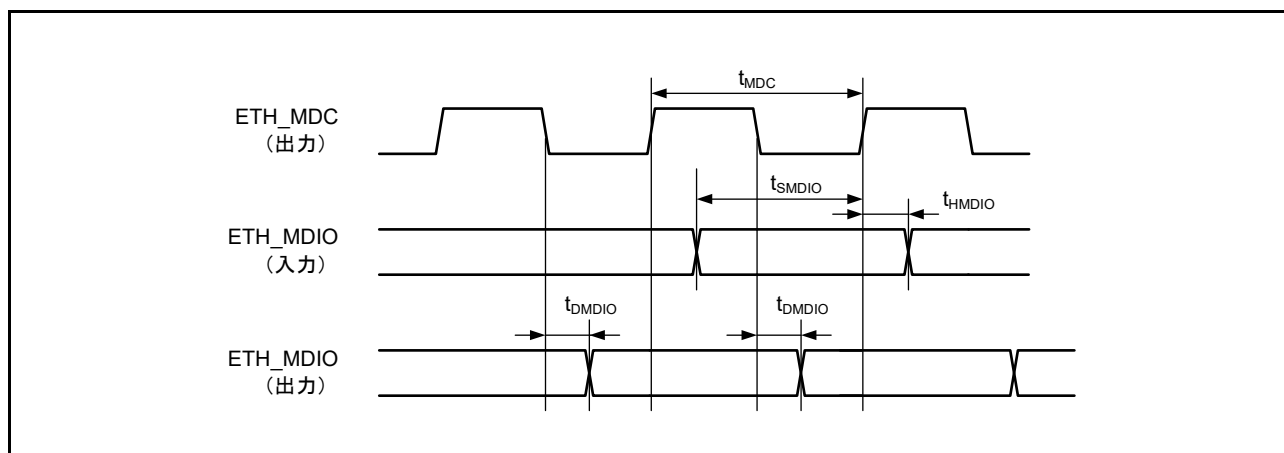


図 2.78 シリアル・マネージメント アクセスタイミング

2.4.5.16 ΔΣ インタフェースタイミング

表2.34 ΔΣインタフェースタイミング

条件 : $V_{OH} = V_{CCQ33} \times 0.5$, $V_{OL1} = V_{CCQ33} \times 0.5$, $C = 30\text{pF}$

項目		記号	min	max	単位	測定条件
DSMIF	クロック周期	マスタ	1	1	t_{DCcyc}	図 2.79
		スレーブ	66.67	200	ns	
	クロックハイレベル	マスタ	16	—	ns	
		スレーブ	26.67	—	ns	
	クロックロウレベル	マスタ	16	—	ns	
		スレーブ	26.67	—	ns	
セットアップ時間	マスタ	t_{SU}	15	—	ns	図 2.80、 図 2.81
	スレーブ		10	—	ns	
ホールド時間	マスタ	t_H	0	—	ns	
	スレーブ		10	—	ns	

注. t_{DCcyc} はΔΣインタフェース用クロック (DSCLK0, DSCLK1) の1サイクル時間を示します。

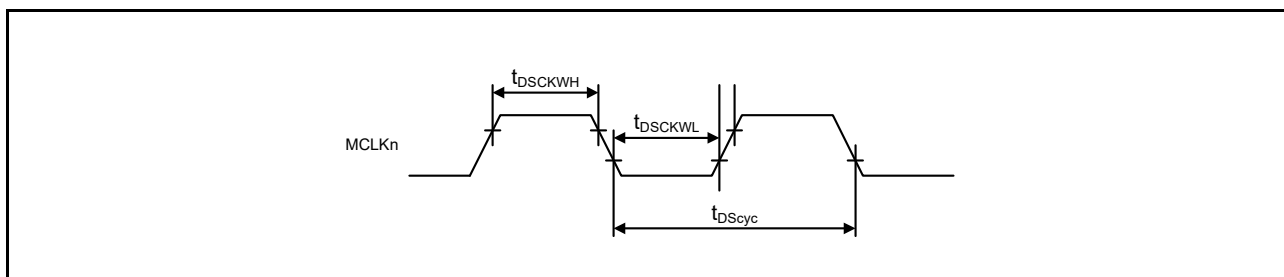


図 2.79 クロック入出力タイミング

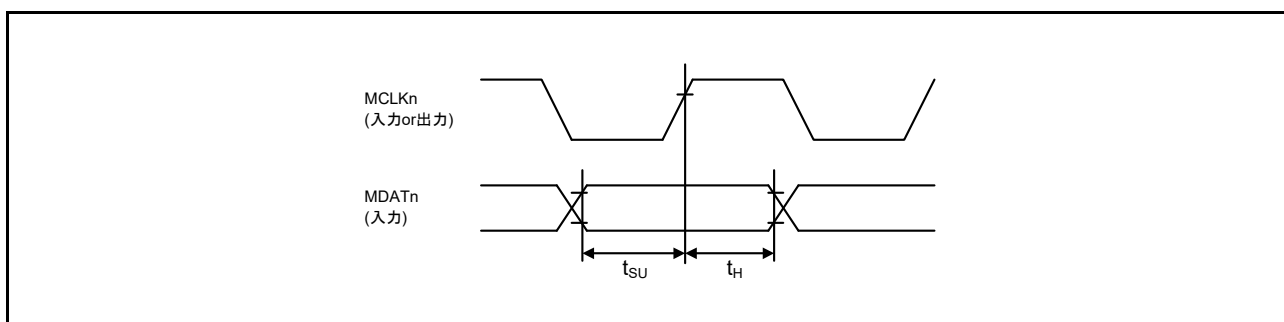


図 2.80 受信タイミング (MCLKn 立ち上がり同期)

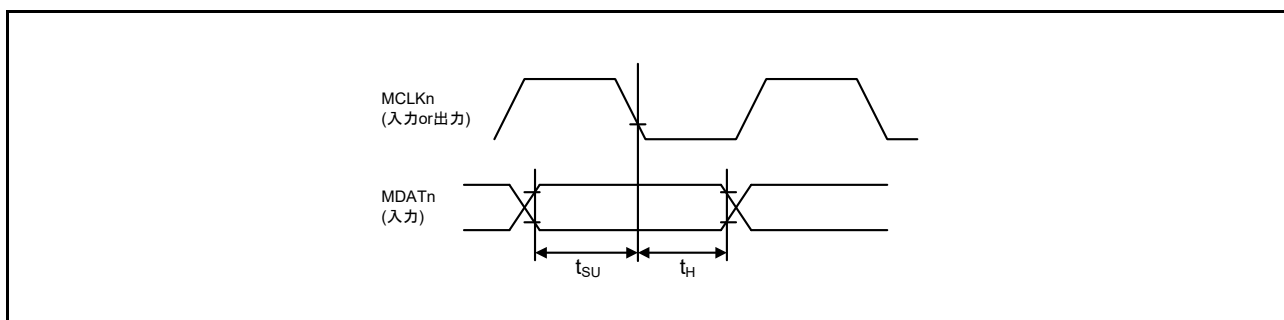


図 2.81 受信タイミング (MCLKn 立ち下がり同期)

2.5 USB 特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V$,
 $T_j = -40 \sim 125^\circ C$

注. 176ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表2.35 内蔵USBフルスピード特性 (USB_DP、USB_DM端子特性)

項目	記号	min	typ	max	単位	測定条件
立ち上がり時間	t_{FR}	4	—	20	ns	図2.82
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり/立ち下がり時間比	t_{FR} / t_{FF}	90	—	111.11	%	t_{FR} / t_{FF}

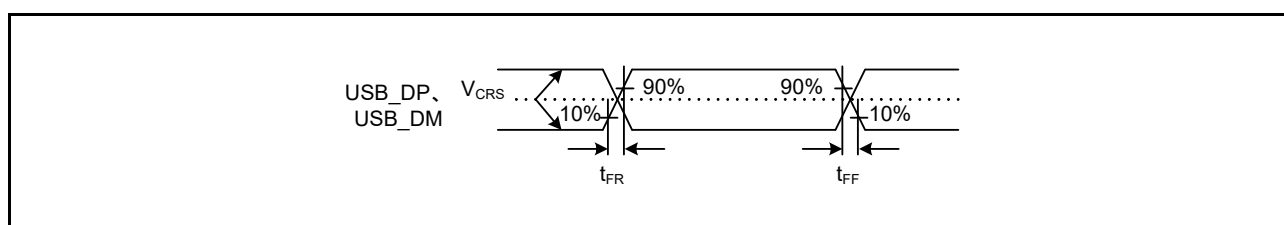


図 2.82 USB_DP、USB_DM 出カタイミング (フルスピード時)

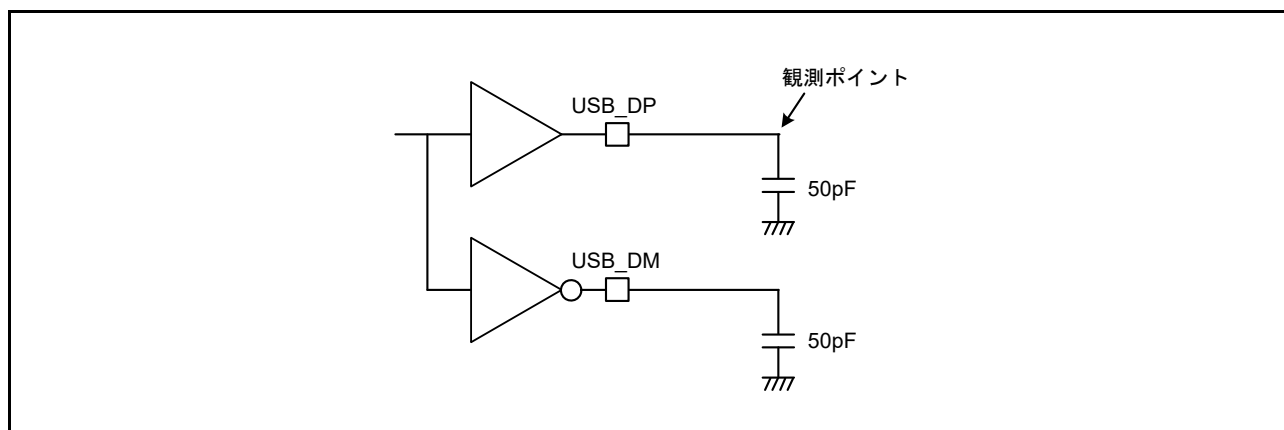


図 2.83 測定回路 (フルスピード時)

表2.36 内蔵USBハイスピード特性 (USB_DP、USB_DM端子特性)

項目		記号	min	typ	max	単位	測定条件
AC特性	立ち上がり時間	t_{HSR}	500	—	—	ps	図2.84
	立ち下がり時間	t_{HSF}	500	—	—	ps	
	出力抵抗	Z_{HSDRV}	40.5	—	49.5	Ω	

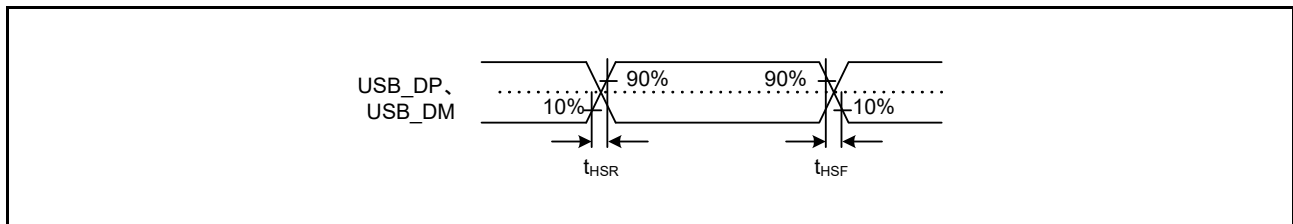


図 2.84 USB_DP、USB_DM 出カタイミング (ハイスピード時)

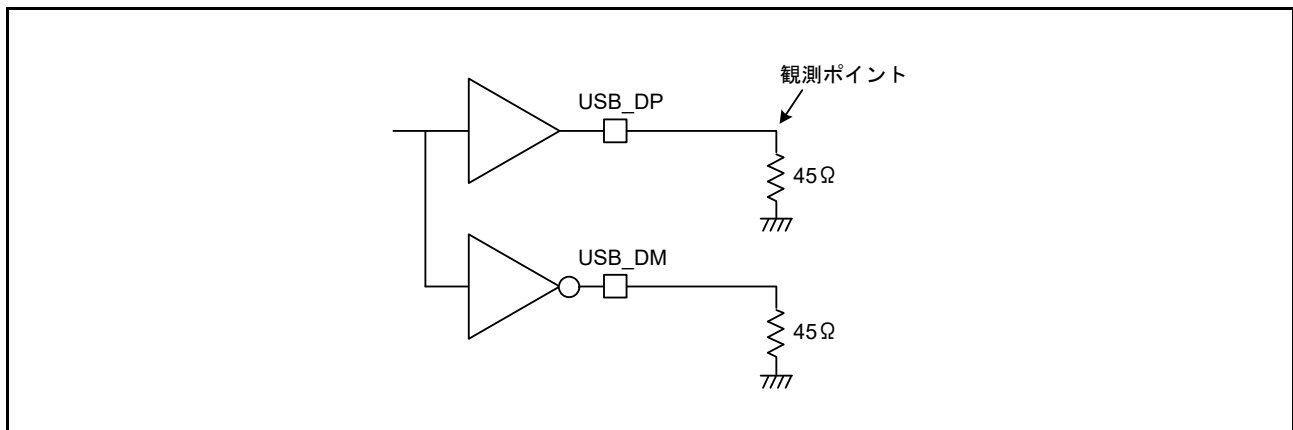


図 2.85 測定回路 (ハイスピード時)

2.6 A/D 変換特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V$,
 $T_j = -40 \sim 125 \text{ }^\circ\text{C}$

注. 176ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表2.37 12ビットA/D (ユニット0) 変換特性

項目	min	typ	max	単位	測定条件	
分解能	8	—	12	ビット		
アナログ入力容量	—	—	30	pF		
チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN003) 断線検出アシスト機 能使用時	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0k Ω	1.2 (0.4 + 0.4) (注2)	—	3.6	μs	<ul style="list-style-type: none"> チャンネル専用サンプル ホールド回路のサンプ リング24ステート サンプリング24ステ ート
	オフセット誤差	—	—	± 7.5	LSB	
	フルスケール誤差	—	—	± 7.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 7.5	LSB	
	DNL 微分非直線性誤差	—	—	± 3.0	LSB	
	INL 積分非直線性誤差	—	—	± 4.0	LSB	
	サンプルホールド回路の ホールド特性	—	—	3.2	μs	自己診断+4ch同時サンプ リング
ダイナミックレンジ	0.25	—	VREFH0 - 0.25	V		
チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN003) 断線検出アシスト 機能未使用時	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0k Ω	1.2 (0.4 + 0.4) (注2)	—	3.6	μs	<ul style="list-style-type: none"> チャンネル専用サンプル ホールド回路のサンプ リング24ステート サンプリング24ステ ート
	オフセット誤差	—	—	± 6.5	LSB	
	フルスケール誤差	—	—	± 6.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 6.5	LSB	
	DNL 微分非直線性誤差	—	—	± 3.0	LSB	
	INL 積分非直線性誤差	—	—	± 4.0	LSB	
	サンプルホールド回路の ホールド特性	—	—	3.2	μs	自己診断+4ch同時サンプ リング
ダイナミックレンジ	0.25	—	VREFH0 - 0.25	V		
チャンネル専用サンプル ホールド回路未使用時 (AN000 ~ AN007)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0k Ω	0.483 (0.267) (注2)	—	—	μs	サンプリング16ステート
	オフセット誤差	—	—	± 5.0	LSB	
	フルスケール誤差	—	—	± 5.0	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 6.0	LSB	
	DNL 微分非直線性誤差	—	—	± 2.5	LSB	
	INL 積分非直線性誤差	—	—	± 3.0	LSB	

- 注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合、上記規格値に収まらない可能性があります
- 注1. 変換時間はサンプリング時間と比較時間の合計です（RZ/T1グループ ユーザーズマニュアル ハードウェア編「43. 12ビットA/Dコンバータ（S12ADCa）」 図43.31、図43.32のtSPLSH + tCONV）。各項目には、測定条件にサンプリングステート数を示します。
- 注2. () はサンプリング時間を示します。

表2.38 12ビットA/D（ユニット1）変換特性

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
変換時間 (注1) (PCLKG = 60MHz時)	許容信号源インピーダンス max = 1.0kΩ	0.883 (0.667) (注2)	—	—	μs	サンプリング40ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	—	± 6.0	LSB	
フルスケール誤差		—	—	± 6.0	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	—	± 6.0	LSB	
DNL 微分非直線性誤差		—	—	± 3.0	LSB	
INL 積分非直線性誤差		—	—	± 4.0	LSB	

- 注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合、上記規格値に収まらない可能性があります
- 注1. 変換時間はサンプリング時間と比較時間の合計です（RZ/T1グループ ユーザーズマニュアル ハードウェア編「43. 12ビットA/Dコンバータ（S12ADCa）」 図43.31、図43.32のtSPLSH + tCONV）。各項目には、測定条件にサンプリングステート数を示します。
- 注2. () はサンプリング時間を示します。

2.7 温度センサ特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = DVDD_USB = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = VDD33_USB = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = VSS_USB = 0V$,
 $T_j = -40 \sim 125^\circ C$

注. 176ピン HLFQFP には、AVCC1、AVSS1、VREFH1、VREFL1 端子は存在しません。

表2.39 温度センサ特性

項目	min	typ	max	単位	測定条件
相対精度	—	± 1	—	$^\circ C$	
温度傾斜	—	4.1	—	mV/ $^\circ C$	
出力電位 (@25 $^\circ C$)	—	1.21	—	V	
温度センサ起動時間	—	—	30	μs	
サンプリング時間	4.25	—	—	μs	ADSSTR.T.SST[7:0] = 255ステート (PCLKF[ADC(unit0)のサンプリングCLK] = 60MHz時の場合)

2.8 発振停止検出タイミング

表2.40 発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
クロック切替え時間	t_{dr}	—	—	1	ms	図 2.86

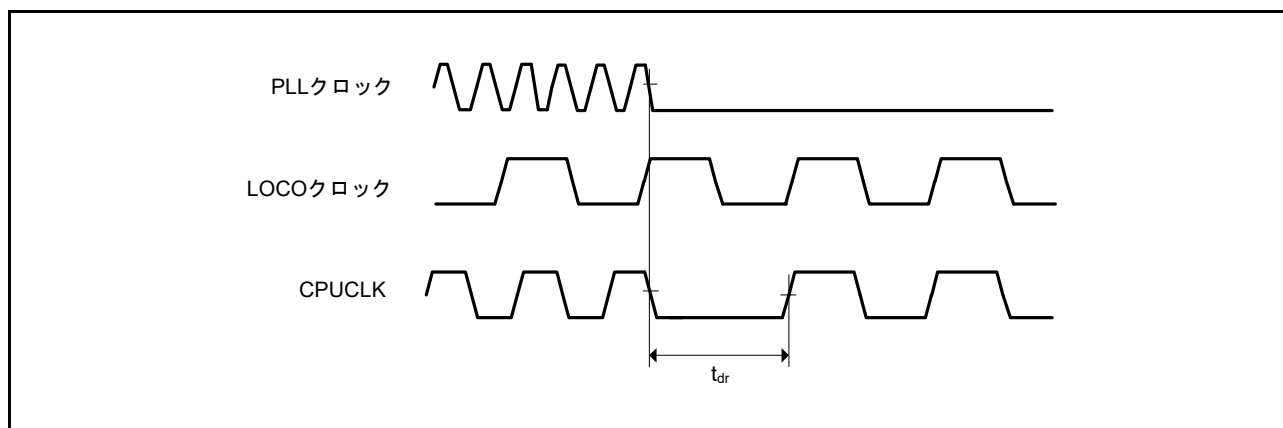


図 2.86 発振停止検出タイミング

2.9 デバッグインタフェースタイミング

表2.41 デバッグインタフェースタイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$

項目	記号	Min.	Max.	単位	参照図
TCKサイクル時間	t_{TCKcyc}	30	—	ns	図2.87
TCKハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCKロウレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDIセットアップ時間	t_{TDIS}	5	—	ns	図2.88 出力負荷 : 30pF
TDIホールド時間	t_{TDIH}	5	—	ns	
TMS/SWDIOセットアップ時間	t_{TMSS}	5	—	ns	
TMS/SWDIOホールド時間	t_{TMSh}	5	—	ns	
SWDIO遅延時間	t_{SWDO}	—	15	ns	
TDO遅延時間	t_{TDOD}	—	15	ns	
キャプチャレジスタセットアップ時間	t_{CAPTS}	5	—	ns	図2.89
キャプチャレジスタホールド時間	t_{CAPTH}	5	—	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	—	15	ns	
トレースクロック周期	t_{TCYC}	26.6	—	ns	図2.90 出力負荷 : 15pF
トレースデータ遅延時間	t_{TDT}	$0.25 \times t_{TCYC} - 2$	$0.25 \times t_{TCYC} + 2$	ns	

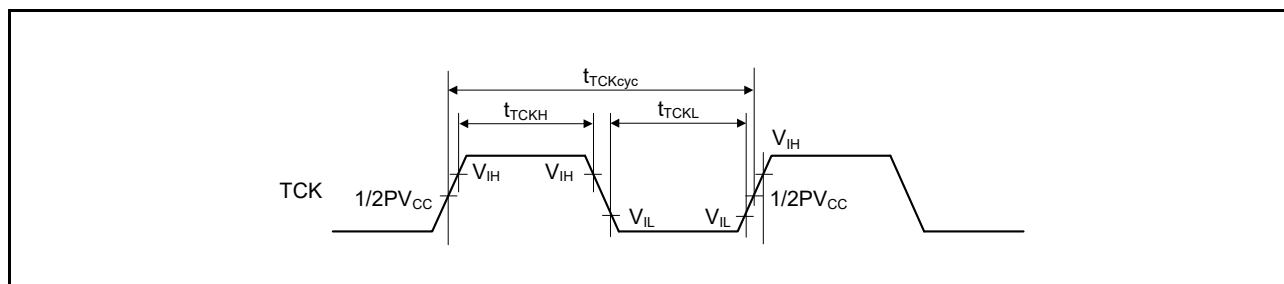


図 2.87 TCK 入力タイミング

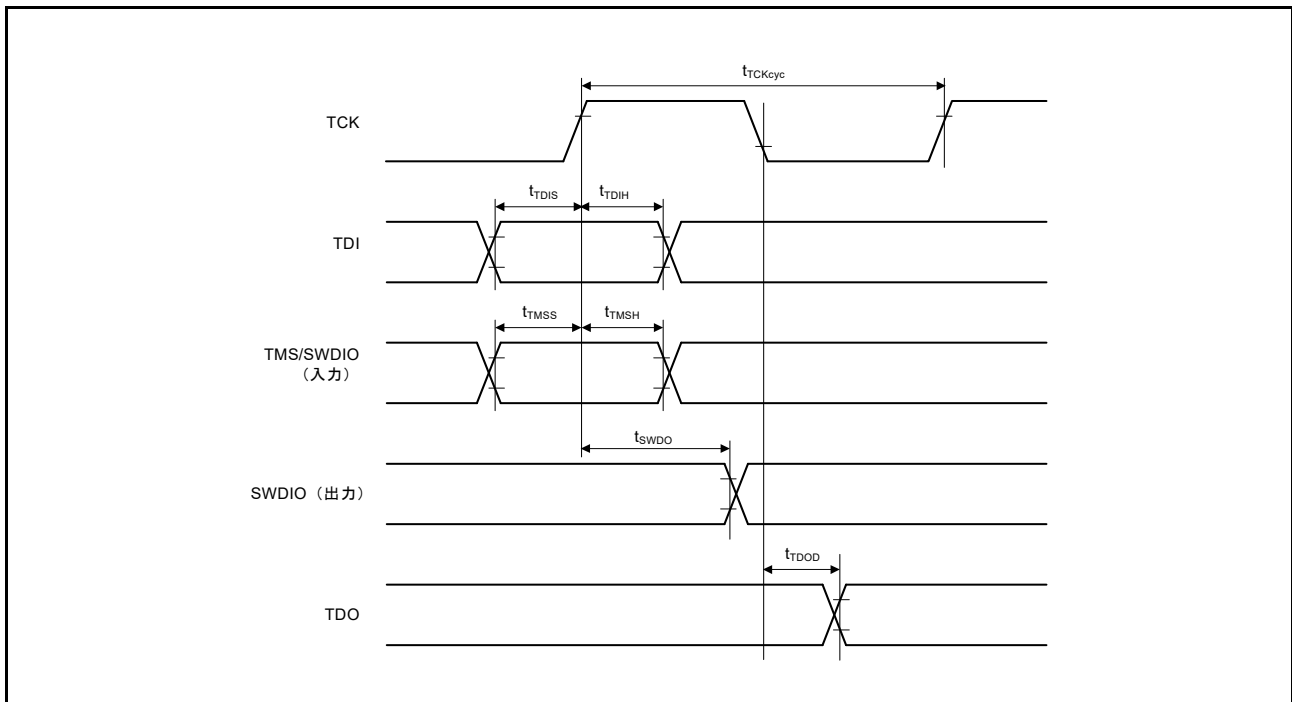


図 2.88 データ転送タイミング

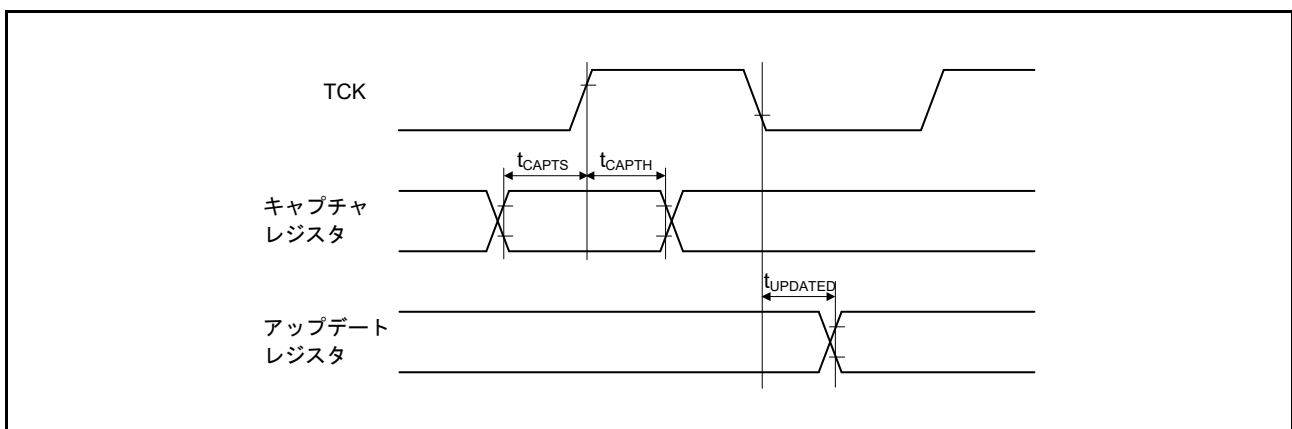


図 2.89 バウンダリスキャン入出力タイミング

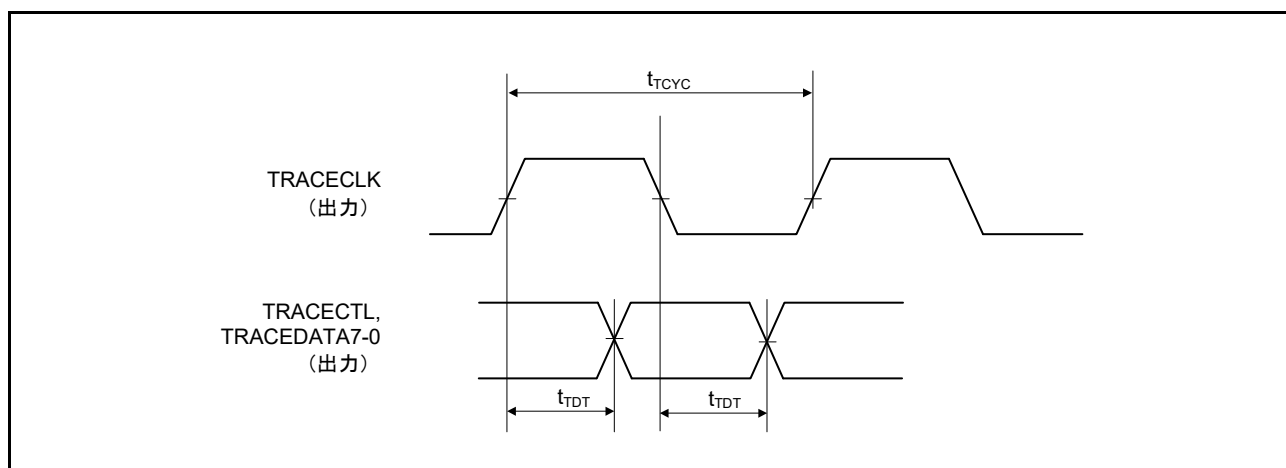


図 2.90 トレースインタフェースタイミング

改訂記録	RZ/T1グループ データシート
------	------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.60	2014.11.14	—	初版発行
0.70	2014.12.22	特長	
		1	■動作温度範囲 タイトルと内容を修正
		1. 概要	
		11	表 1.3 製品一覧表 (2/2) 注. 修正
		21	図 1.3 ピン配置図 (176 ピンHLQFP) 修正 (端子番号33、34、38、39、91の端子名)
		26	表 1.5 端子配置 (320 ピンFBGA) (5 / 7) 修正 (端子番号M20、P19の端子名)
		27	表 1.5 端子配置 (320 ピンFBGA) (6 / 7) 修正 (端子番号R14、R19、R20、T9、V7、V8の端子名)
		28	表 1.5 端子配置 (320 ピンFBGA) (7 / 7) 修正 (端子番号Y16、Y17の端子名)
		29	表 1.6 端子配置 (176 ピンHLQFP) (1 / 4) 修正 (端子番号33、34、38、39の端子名)
		30	表 1.6 端子配置 (176 ピンHLQFP) (2 / 4) 修正 (端子番号58、59、60、79、82、83の端子名)
		31	表 1.6 端子配置 (176 ピンHLQFP) (3 / 4) 修正 (端子番号91、110の端子名)
		32	表 1.6 端子配置 (176 ピンHLQFP) (4 / 4) 修正 (端子番号136、153、154、155、156、157の端子名)
		39	表 1.7 機能別端子一覧 (320 ピンFBGA) (7 / 10) 修正 (ピン番号 M20、P19のバス)
		40	表 1.7 機能別端子一覧 (320 ピンFBGA) (8 / 10) 修正 (ピン番号 R8、R14、R19、R20、T9のバス)
		41	表 1.7 機能別端子一覧 (320 ピンFBGA) (9 / 10) 修正 (ピン番号 V7、V8のバス)
42	表 1.7 機能別端子一覧 (320 ピンFBGA) (10 / 10) 修正 (ピン番号 Y16、Y17のバス)		
1.10	2016.04.27	特長	
		1	全面改訂
		1. 概要	
		2-49	全面改訂
		2. 電気的特性	
50-125	新規作成		
1.20	2016.12.22	1. 概要	
		9	表 1.2 パッケージ別機能比較一覧 ETHERC、ECATCの機能を修正、注1.を追加
		12	図 1.1 ブロック図 ECATC、ETHERCの機能ブロックを修正、注1.を修正
		20	図 1.2 ピン配置図 (320 ピンFBGA) ERROROUT#ピンを修正
		2. 電気的特性	
		54	表 2.3 DC特性 (2) 【消費電流】 測定条件を修正：型名を追加
		55	表 2.4 DC特性 (3) 【USB2.0 ホスト/ファンクション関連端子を除く】 入力プルアップMOS電流/抵抗、入力プルダウンMOS電流/抵抗：項目修正、Rpu1、Rpu2、Rpd1、Rpd2を追加、入力プルダウンMOS電流/抵抗の測定条件を修正
58	表 2.10 動作周波数 注1.～注3.を追加		
1.30	2017.04.04	1. 概要	
		49	表 1.8 機能別端子一覧(176ピンHLQFP)(6/6) 171ピン：通信機能の端子を変更
		2. 電気的特性	
		58	表 2.10 動作周波数 動作周波数：CPUクロック(CPUCLK)のmax値を変更
105	図 2.60 SPIBSC送受信タイミング(CPHAT = 0, CPHAR = 1) 変更		
1.40	2017.11.15	全体	Cortex-R4F → Cortex-R4に変更
		特長	
		1	■Encoderインタフェース、■多種多様な通信機能を内蔵(Ethernet)の特長を変更

Rev.	発行日	改訂内容		
		ページ	ポイント	
1.40	2017.11.15	1. 概要		
		2	1.1 仕様概要 CortexR-R4Fプロセッサ → CortexR-R4 Processor with FPUに変更	
		8	表 1.1 仕様概要(7/7) Encoderインタフェースの説明を変更	
		15	表 1.4 端子機能一覧(3/7) CTS0#~CTS4# : 入出力、機能説明を変更、RTS0#~RTS4# : 機能説明を変更	
		19	表 1.4 端子機能一覧(7/7) ENCIF00~ENCIF07 → ENCIF00~ENCIF12に修正	
		22	表 1.5 端子配置(320ピンFBGA)(1/7) B19にENCIF12端子、B20にENCIF11端子を追加	
		23	表 1.5 端子配置(320ピンFBGA)(2/7) C19にENCIF10端子、D19にENCIF09端子、E19にENCIF08端子を追加	
		24	表 1.5 端子配置(320ピンFBGA)(3/7) H19にENCIF11端子、H20にENCIF12端子を追加	
		25	表 1.5 端子配置(320ピンFBGA)(4/7) J19にENCIF10端子を追加	
		26	表 1.5 端子配置(320ピンFBGA)(5/7) N20にENCIF09端子、P20にENCIF08端子を追加	
		27	表 1.5 端子配置(320ピンFBGA)(6/7) U3にENCIF09端子を追加	
		28	表 1.5 端子配置(320ピンFBGA)(7/7) W3にENCIF10端子、W4にENCIF11端子、W10にENCIF08端子、Y4にENCIF12端子を追加	
		34	表 1.7 機能別端子一覧(320ピンFBGA)(2/11) B19(その他)にENCIF12端子、B20(その他)にENCIF11端子を追加	
		35	表 1.7 機能別端子一覧(320ピンFBGA)(3/11) C19(その他)にENCIF10端子、D19(その他)にENCIF09端子を追加	
		36	表 1.7 機能別端子一覧(320ピンFBGA)(4/11) E19(その他)にENCIF08端子を追加	
		37	表 1.7 機能別端子一覧(320ピンFBGA)(5/11) H19(その他)にENCIF11端子、H20(その他)にENCIF12端子、J19(その他)にENCIF10端子を追加	
		39	表 1.7 機能別端子一覧(320ピンFBGA)(7/11) N20(その他)にENCIF09端子を追加	
		40	表 1.7 機能別端子一覧(320ピンFBGA)(8/11) P20(その他)にENCIF08端子を追加	
		41	表 1.7 機能別端子一覧(320ピンFBGA)(9/11) U3(その他)にENCIF09端子、W3(その他)にENCIF10端子、W4(その他)にENCIF11端子を追加	
		42	表 1.7 機能別端子一覧(320ピンFBGA)(10/11) W10(その他)にENCIF08端子、Y4にENCIF12端子を追加	
2. 電気的特性				
63, 64	表 2.17 バスタイミング CKIO = 75MHz → CKIO = 1/tCKcycに変更、tcyc → tCKcycに変更 アドレス遅延時間1、CS#遅延時間1、リードライト遅延時間1、リードデータセットアップ時間1~3、WAIT# セットアップ時間の項目を変更、注1.、注3.、注4.を変更			
100	表 2.27 RSPlA タイミング 注2を変更：SSLND → SPCKD、注3.を追加			
109	図 2.64 RIIcA バスインタフェース入出力タイミング：SDA0~SDA3, SCL0~SCL3を削除			
1.50	2018.12.20	全体		
		—	ARM社→Arm社に修正	
		特長		
		1	Encoder インタフェース (オプション) 説明、注4を追加	
		1. 概要		
		2	表 1.1 仕様概要 (1 / 7) 中央演算処理装置 (Cortex-R4) : ARMv7-Rアーキテクチャ→Arm7-Rアーキテクチャに修正	
		2	表 1.1 仕様概要 (1 / 7) 中央演算処理装置 (Cortex-M3) : ARMv7-Mアーキテクチャ→Arm7-Mアーキテクチャに修正	
		2	表 1.1 仕様概要 (1 / 7) ECC付き拡張内蔵SRAM : “動作周波数”を追加	
		2	表 1.1 仕様概要 (1 / 7) 動作モード : 説明を変更	
		3	表 1.1 仕様概要 (2 / 7) DMAC : 起動要因を変更	
		3	表 1.1 仕様概要 (2 / 7) ELC : イベント信号を修正	
		4	表 1.1 仕様概要 (3 / 7) TPUa : パルス入出力、PWMモード、PPGの出カトリガ、イベントリンク機能を変更	
		4	表 1.1 仕様概要 (3 / 7) MTU3a : カウントクロックを修正、自動転送を削除、位相計数モードを変更	
		5	表 1.1 仕様概要 (4 / 7) CMT : イベントリンク機能を変更	
		5	表 1.1 仕様概要 (4 / 7) POE3 : 端子名を修正	
		6	表 1.1 仕様概要 (5 / 7) ETHERC : 1ポートを変更	
		7	表 1.1 仕様概要 (6 / 7) SSI : プログラマブルワードクロックを削除	
		7	表 1.1 仕様概要 (6 / 7) DSMIF : チャネルを変更	
		8	表 1.1 仕様概要 (7 / 7) Encoderインタフェース : チャネル数、注6を追加	

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.50	2018.12.20	12	図 1.1 ブロック図 MTU3a、DSMIFのチャネル数を修正		
		13	表 1.4 端子機能一覧 (1 / 7) A0~A25→A25~A0、D0~D31→D31~D0に修正		
		14	表 1.4 端子機能一覧 (2 / 7) RAS#、CAS#、MTIOC8A~MTIOC8Dの機能説明を修正		
		15	表 1.4 端子機能一覧 (3 / 7) GPTa、TPUaの各端子の機能説明を修正		
		17	表 1.4 端子機能一覧 (5 / 7) AUDIO_CLK端子を追加		
		2. 電気的特性			
		51	図 2.1 電源投入・切斷シーケンス Timing (表) : No. (3)、(4)、(5) の Value (typ) に“—”を追記		
		53	表 2.3 DC特性 (2) 【消費電流】(1 / 2) 通常動作時/VDD/300MHzのV _{lcc} を修正		
		55	表 2.4 DC特性 (3) 【USB2.0 ホスト/ファンクション関連端子を除く】 シュミットトリガ入力電圧/5Vトレラント対応端子の注の参照先を修正 : (注2) → (注1)		
		56	表 2.5 DC特性 (4) 【USB2.0 USB_RREF 端子】 値を修正 : 200Ω ± 1% → 200 ± 1%、単位に“Ω”を追記		
		60	表 2.12 CLKOUT25Mn タイミング CLKOUT25Mn (RMII) : Tck → Tck1に修正、CLKOUT25Mn (MII) : Tck → Tck2に修正		
		60	図 2.3 CLKOUT25Mn 端子出力タイミング1 記号を修正		
		60	図 2.4 CLKOUT25Mn 端子出力タイミング2 記号を修正		
		60	表 2.13 EXTALクロックタイミング 値を修正 : 40.00 + 50ppm → 40.00 ± 50ppm		
		61	表 2.14 XTALクロックタイミング 値を修正 : 40.00 + 50ppm → 40.00 ± 50ppm		
		63	表 2.17 バスタイミング (1 / 2) tDQMD → tDQMD1に修正		
		96	表 2.24 GPTa タイミング TOTETW → tGTEWに修正		
		100	表 2.27 RSPlA タイミング 注4を追加		
		1.60	2020.10.23	全体	登録商標表示 Arm → Arm®
				全体	パッケージ名称 HLFQFP → HLFQFP デルタ記号 Δ → Δ
特長					
1	注3 削除 (注4 → 注3、注5 → 注4に修正)				
1. 概要					
3	表 1.1 仕様概要 (2/7) VIC、NVICの周辺機能割り込み要因数 修正				
4	表 1.1 仕様概要 (3/7) TPUa ユニット数の脚注番号 修正				
12	図 1.1 ブロック図 MTU3aのチャネル数 修正				
14	表 1.4 端子機能一覧 (2/7) MTU3a : MTIOC0m ~ MTIOC8m 端子の機能 修正				
15	表 1.4 端子機能一覧 (3/7) GPTa : GTIOC0A、GTIOC0B ~ GTIOC3A、GTIOC3B 端子の機能 修正				
16	表 1.4 端子機能一覧 (4/7) ETHERC : ETHSWSECOUT 端子の機能 修正				
21	図 1.3 ピン配置図 (176 ピン HLFQFP) 注2 追加				
2. 電気的特性					
55	表 2.4 DC特性 (3) 【USB2.0ホスト/ファンクション関連端子を除く】 出力Lowレベル電圧 / 5Vトレラント対応端子(注2) / V _{OL2} → 出力Lowレベル電圧 / 5Vトレラント対応端子(注1) / V _{OL2} 脚注番号修正、スリーステートリーク電流 (オフ状態) / 5Vトレラント対応端子 / I _{Tsil} → スリーステートリーク電流 (オフ状態) / 5Vトレラント対応端子(注1) / I _{Tsil} 脚注番号追加				
60	表 2.12 CLKOUT25Mn タイミング CLKOUT25Mn (RMII) / CLKOUT25Mn 周波数、CLKOUT25Mn (MII) / CLKOUT25Mn 周波数 : min-max 値 修正、添え字 (n = 0 ~ 2) 追加				
70	図 2.17 バイト選択付きSRAMバスサイクル (SW = 1サイクル、HW = 1サイクル、非同期外部ウェイト1挿入、BAS = 0 (ライトサイクルUB#/LB#コントロール)) タイトル 修正				
71	図 2.18 バイト選択付きSRAMバスサイクル (SW = 1サイクル、HW = 1サイクル、非同期外部ウェイト1挿入、BAS = 1 (ライトサイクルWE#コントロール)) タイトル 修正				
92	図 2.41 TPUa クロック入力タイミング TCLK0A ~ TCLK0D、TCLK1A ~ TCLK1D → TCLKA ~ TCLKD 修正				
95	図 2.45 P0En # 入力バスタイミング 添え字 (n = 0, 4, 8, 10) 追加				
108	表 2.29 RIIcA タイミング 注4 修正				
113	表 2.32 ETHERC タイミング 添え字 (n = 0 ~ 2) 追加				
117	表 2.33 シリアル・マネージメント・インタフェース ETHn_MDC、ETHn_MDIO → ETH_MDC、ETH_MDIO 修正、注 追加				
120	表 2.36 内蔵USBハイスピード特性 (USB_DP、USB_DM 端子特性) Typ → typ 修正				

Rev.	発行日	改訂内容	
		ページ	ポイント
1.70	2022.05.20	1. 概要	
		10、11	表 1.3 製品一覧表 (1/2)、(2/2) 製品型名を追加
		12	1.3 製品型名 追加
1.80	2023.10.31	特長	
		1	パッケージPLBG0320GB-Aを追加
		1. 概要	
		8	表 1.1 仕様概要 (7/7) パッケージPRBG0320GB-A、PLBG0320GB-Aを追加
		10	表 1.3 製品一覧表 (1/3) 320ピンBBパッケージ品 (R7S910xxxCBB) を追加
		11	表 1.3 製品一覧表 (2/3) 320ピンBBパッケージ品 (R7S910xxxCBB) を追加
		12	表 1.3 製品一覧表 (3/3) 320ピンBBパッケージ品 (R7S910xxxCBB) を追加
		13	1.3 製品型名 パッケージ種類BB (PLBG0320GB-A) を追加
		2. 電気的特性	
		52	表 2.1 絶対最大定格 注4.削除
2.00	2025.06.30	2. 電気的特性	
		120	表 2.34 $\Delta\Sigma$ インタフェースタイミング修正

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。