

RX74M グループ

ルネサスマイクロコンピュータ

R01DS0433JJ0110

Rev.1.10

2026.07.31

600MHz 32ビットRX CPU、倍精度浮動小数点コプロセッサ内蔵、3604 Coremark、三角関数演算器、最大1MバイトコードMRAM (デュアルバンク機能対応)、1.5MバイトSRAM、EtherCATスレーブコントローラ、TSNをサポートするイーサネットスイッチモジュール、SD/MMCホストインタフェース、拡張シリアルペリフェラルインタフェース、CAN FDなど多種多様な通信機能、16ビットA/Dコンバータ、RTC、暗号機能、シリアルサウンドインタフェース

特長

■ 32 ビット RXv3e CPU コア内蔵

- 最高動作周波数 600MHz
- 3604Coremark の性能 (600MHz 動作時)
- 64 ビット倍精度浮動小数点対応 (IEEE754 に準拠)
- レジスタ一括退避機能を使用可能
- メモリプロテクションユニット (MPU) 対応
- JTAG および SWD、FINE (1 線式) のデバッグインタフェース
- Protect Zone 対応
- 命令キャッシュ、データキャッシュ: 各 32K バイト / ECC 対応
- ローカル RAM: 128K バイト × 2 / ECC 対応

■ 消費電力低減機能

- 1.62V ~ 3.63V 動作の単一電源
- バッテリ電源で動作可能な RTC / バックアップレジスタ
- 7 種類の低消費電力状態

■ 内蔵ユーザエクストラ MRAM

- 128K バイト (MTJ-OTP に切り替え可能)
- オンボードおよびオフボードによるユーザ書き込み
- ユーザブートプログラムやデータなどを格納可能

■ 内蔵コード MRAM

- 最大 1M バイトまでをサポート
- ブリフエッチバッファヒット時はウェイトなし
- 100MHz 読み出し対応
- オンボードおよびオフボードによるユーザ書き込み
- バックグラウンドオペレーションによるプログラム可能
- デュアルバンク方式による起動バンクの入れ替えが可能

■ 内蔵データ MRAM

- 48K バイト (100000 回プログラム可能)
- バックグラウンドオペレーションによるプログラム可能

■ 内蔵 SRAM

- 1.5M バイト / ECC 対応、150MHz 読み出し対応

■ データ転送機能

- DMACAa (8ch)、DTCA (1ch)、EXDMACAa (2ch)、Ether DMAC (GWCA) (1ch)、XSPI ターゲット機能 (2ch)

■ リセットおよび電源電圧制御

- パワーオンリセット (POR)
- プログラマブル電圧検出 (PVD)
- コア電圧監視 (CVM)
- 温度監視リセット
- バックアップ領域リセット
- リセット出力機能

■ クロック機能

- 8MHz ~ 48MHz 外部発振子対応のメインクロック発振器を搭載
- 32.768kHz 水晶振動子対応のサブクロック発振器を搭載
- PLL (2 基) を搭載
- 8MHz MOCO、16/18/20/32/48MHz から選択可能な HOCO、32.768kHz LOCO を搭載
- クロック出力機能

■ リアルタイムクロック内蔵

- 補正機能 (30 秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- イベント端子入力による時間キャプチャ機能

■ 独立ウォッチドッグタイマ内蔵

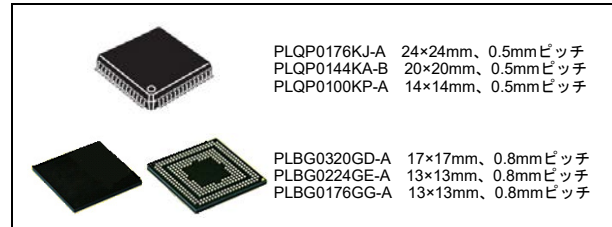
- 16.384kHz動作(ディーブソフトウェアスタンバイモード1で動作可能)

■ IEC60730 対応機能内蔵

- 発振停止検出 (MOSC / SOSOC)、クロック周波数精度測定回路、CRCA、IWDtA、DOCA、A/D コンバータ自己診断 / 断線検出アラート機能など
- 重要なレジスタを書き換えられないように保護するレジスタライブラクション機能

■ 外部アドレス空間

- 高速動作バス (最高 80MHz)
- 8 つの CS 領域をサポート、エリアごとに 8/16/32 ビットバス空間を選択可能
- 独立した SDRAM 空間 (128M バイト)、XSPI 空間 (1G バイト)



■ 多種多様な通信機能を内蔵

- EtherCAT スレーブコントローラ (2 ポート)
- 最高 1Gbps 対応のイーサネット MAC 搭載、イーサネットスイッチ (2 ポート)、イーサネット TSN 対応
- USB2.0 High-Speed ホスト/ファンクション/OTG/BC1.2/PHY内蔵 (1 ポート)
- USB2.0 Full-Speed ホスト/ファンクション/OTG/PHY内蔵 (1 ポート)
- ISO 11898-1:2015 仕様準拠 CAN FD (3ch)
- 16 バイトの送受信 FIFO 搭載 RSCI (13ch)、調歩同期式/クロック同期式/スマートカードインタフェース/簡易 SPI/簡易 I²C/拡張シリアルモードを選択可能、マンチエスタコード/HBS 機能サポート
- 最高 3.4Mbps 転送対応の I²C バスインタフェース (2ch)
- SDR モードで最高 12Mbps 転送対応の I³C バスインタフェース (1ch)
- 最高 50Mbps 送受信対応の Single I/O の RSPIA (3ch)
- CMOS カメラ I/F 用のパラレルデータキャプチャユニット PDC (1ch)
- SD メモリ/SDIO 通信用の SD バス (1 or 4 ビット) 対応の SD/MMC ホストインタフェース (1ch)
- I²S など様々なオーディオデータフォーマットに対応した SSIE (2ch)
- 最高 266MT/s 転送可能な XSPI (2ch)、コントローラ/ターゲット切り替え可能、1/2/4/8 ビットプロトコル対応、Decryption on-the-fly (DOTF) 対応
- 外部マイクと接続可能な PDM-IF (1ch)

■ 最大 26 本の拡張タイマ機能

- 32 ビット GPTW (16ch)、8 ビット TMRa (4ch)、16 ビット CMT (4ch)、32 ビット CMTW (2ch)

■ 16 ビット A/D コンバータ内蔵

- 3 ユニット (最高 36 本のアナログ入力チャネル)
- 自己診断、アナログ入力断線検出機能

■ 12 ビット D/A コンバータ内蔵: 2ch

■ チップ内部の温度を計測可能な温度センサを内蔵

■ 三角関数演算器を内蔵

■ 外部に最高 6ch の ΔΣ モジュレータを接続可能な DSMIF 内蔵

■ 位相計数インタフェース内蔵: 2ch

■ セキュリティ機能

- Renesas Secure IP (RSIP-E50D) (真性乱数生成回路 (TRNG)、AES、ChaCha20-Poly1305、RSA、ECC、SHA512、SHA3-512、128 ビットユニーク ID)
- ゼロ化機能
- デバイスライフサイクル管理
- Decryption on-the-fly (DOTF) 対応
- セキュアブート機能
- タンパ検出機能
- 端子ごとにセキュア属性が設定可能
- Protect Zone 機能

■ 最高 197 本の汎用入出力ポート

- 5V トレラント、オーブンドレイン、入力プルアップ、駆動能力切り替え機能
- ソフトウェア設定型 32 ビットプログラマブル I/O ポート機能搭載

■ 動作周囲温度

- “4” バージョン: Tj = -40°C ~ +125°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャネル数は、パッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/10)

分類	モジュール/機能	説明
CPU	中央演算処理装置	- 最高動作周波数：600MHz 32ビットRX CPU (RXv3e) - 最小命令実行時間：1命令1クロック - アドレス空間：4Gバイト・リニアアドレス - Protect Zone：3ワールド(Non-secure, Secure, Root) - レジスタ - 汎用レジスタ：32ビット×16本 - 制御レジスタ：32ビット×14本 - アキュムレータ：72ビット×2本 117命令 - 標準搭載命令：111命令 - 基本命令：77命令 - 単精度浮動小数点演算命令：11命令 - DSP機能命令：23命令 - レジスタ括退避機能命令：2命令 - Protect Zone命令：4命令 - アドレッシングモード：11種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット - 除算器：32ビット÷32ビット→32ビット - パレルシフタ：32ビット - 命令キャッシュ：32Kバイト、データキャッシュ：32Kバイト - 分岐命令処理アクセラレータ：272バイト
	FPU	- 単精度浮動小数点数(32ビット) - IEEE754に準拠したデータタイプおよび例外
	倍精度浮動小数点コプロセッサ	- 倍精度浮動小数点レジスタセット - 倍精度浮動小数点データレジスタ：64ビット×16本 - 倍精度浮動小数点制御レジスタ：32ビット×4本 - 倍精度浮動小数点処理命令：21種類 - 倍精度浮動小数点例外の割り込みコントローラへの通知機能
	レジスタ括退避機能	- CPUレジスタの退避・復帰を一括して高速に行う - Rootワールド/Secureワールド/Non-secureワールドそれぞれに16個のレジスタ退避バンクを搭載
メモリ	コードMRAM	- 容量：512K/1Mバイト - オンボードプログラミング：5種類 - デュアルバンク方式によるリード時プログラミングおよび起動領域の入れ替えが可能
	データMRAM	- 容量：48Kバイト - プログラム回数：100,000回
	ユーザエクストラMRAM	- 容量：128Kバイト - オンボードプログラミング：5種類 - MTJ-OTPに切り替え可能
	ユニークID	128ビット長のデバイス固有のID
	RAM	- 容量：1.5Mバイト - ECC付き、SEC-DED (シングルエラー訂正/ダブルエラー検出)
	ローカルRAM	- 容量：128Kバイト×2 600MHz max、ノーウェイトアクセス - ECC付き、SEC-DED (シングルエラー訂正/ダブルエラー検出)

表 1.1 仕様概要 (2/10)

分類	モジュール/機能	説明
動作モード		- リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCI インタフェース) ブートモード(USB インタフェース) ブートモード(FINE インタフェース) ブートモード(JTAG インタフェース) ブートモード(SWD インタフェース) - レジスタ設定による動作モードの選択 シングルチップモード - エンディアン選択可能
クロック	クロック発生回路	- メインクロック発振器、サブクロック発振器、低速、中速および高速オンチップオシレータ、PLL 周波数シンセサイザ(2基) - 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 - メインクロック発振器停止検出：あり - サブクロック発振器停止検出：あり - CPU クロック (CPUCLK0)、システムクロック (ICLK)、MRAM コードバスクロック (MRICLK)、MRAM 周辺バスクロック (MRPCLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD, PCLKE)、外部バスクロック (BCLK) を個別に設定可能 CPU やローカル RAM は、CPUCLK0 同期：600MHz max MRAM バスやコード MRAM は、MRICLK 同期：300MHz max データ MRAM は、MRPCLK 同期：150MHz max RAM やバスマスタなどのシステム系は、ICLK 同期：300MHz max CRCA、DOCA、RSPIA、RSCI、ESWM、GPTW、HRPWM、POEG、DSMIF、ADC16H、CANFDG、CANFD、RSIP、RI3C、RIICHS、USBHS、ESC の周辺クロックは、PCLKA 同期：150MHz max 上記以外の周辺モジュールは、PCLKB 同期：75MHz max GPTW のカウントクロックは、PCLKD 同期：150MHz max CANFDRAM は、PCLKE 同期：300MHz max 外部バスに接続するデバイスは、BCLK 同期：150MHz max - 高速オンチップオシレータ HOCO を PLL1 回路、PLL2 回路のリファレンスクロックとして運用可能 - メインクロック発振器の外部クロック入力周波数：48MHz (max) - サブクロック発振器の外部クロック入力周波数：32.768kHz - クロック出力機能
リセット		16種類のリセットを内蔵 - RES#端子リセット：RES#端子がLowで発生 - パワーオンリセット：RES#端子がHighで、VCCの上昇時発生 - コア電圧監視リセット：コア電圧の下降/上昇時発生 - 電圧監視0リセット：VCCの下降時発生 - 電圧監視1リセット：VCCの下降/上昇時発生 - 電圧監視2リセット：VCCの下降/上昇時発生 - 電圧監視4リセット：VCCの下降/上昇時発生 - 電圧監視5リセット：VCCの下降/上昇時発生 - 温度監視リセット：規定外の温度の検出で発生 - ディープソフトウェアスタンバイリセット： ディープソフトウェアスタンバイモード解除の割り込みで発生 - 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 - ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 - ソフトウェアリセット：レジスタ設定で発生 - バスエラーリセット：不正アドレスやサイズエラーで発生 - 共通メモリエラーリセット：RAMのECCエラーで発生 - ローカルメモリエラーリセット：CPUキャッシュまたはローカルRAMのECCエラーで発生 リセット出力機能
パワーオンリセット		RES#端子をHighにして電源投入すると、内部リセットを発生 VCCが電圧検出レベルを超えると、一定時間経過後解除

表 1.1 仕様概要 (3/10)

分類	モジュール/機能	説明
プログラマブル電圧検出回路 (PVD)		VCC端子に入力する電圧を監視し、内部リセットまたは割り込みを発生 - 電圧検出回路0 - 内部リセット発生可能 - オプション設定メモリで有効/無効を選択可能 - 電圧検出レベル：7レベルから選択可能 (2.85V, 2.58V, 2.15V, 2.00V, 1.90V, 1.80V, 1.67V) - 電圧検出回路1、2、4、5 - 電圧検出レベル：12レベルから選択可能 (3.14V, 3.10V, 3.08V, 2.85V, 2.83V, 2.80V, 2.62V, 2.33V, 1.90V, 1.86V, 1.74V, 1.71V) - デジタルフィルタ機能あり (LOCOの2/4/8/16分周) - 内部リセット発生可能 - リセット解除タイミグ2種類選択可能 - 内部割り込み要求可能 (電圧検出回路1、2のみ) - 上昇検知/下降検知選択可能 - マスカブル割り込みもしくはノンマスカブル割り込み選択可能 - 電圧検出モニタ機能あり - イベントリンク機能あり
低消費電力	消費電力低減機能	- モジュールストップ機能 7種類の低消費電力状態 - スリープモード、ディープスリープモード、ソフトウェアスタンバイモード1、2、ディープソフトウェアスタンバイモード1、2、3
	バッテリバックアップ機能	- VCC端子が低下したとき、VBATT端子からのバッテリ電源でバックアップ電源領域に電力供給可能 - バックアップ電源領域機能： - サブクロック発振器 - リアルタイムクロック - バックアップレジスタ - タンパ検出機能 - バックアップ電源領域の電圧低下検出機能
割り込み	割り込みコントローラ (ICUM)	- 割り込みベクタ数：256 - 外部割り込み：要因数32 (IRQ0～IRQ31端子) - ソフトウェア割り込み：要因数2 - ノンマスカブル割り込み：要因数13 32レベルの割り込み優先順位を設定可能 - 割り込み要因選択方式： - 割り込みベクタは256ベクタで構成 (128要因は固定ベクタ。残り374要因から128ベクタを選択)
外部バス拡張		- 外部アドレス空間を8つのエリア (CS0～CS7) に分割して管理 - 各エリアの領域：16Mバイト (CS0～CS7) - エリアごとにチップセレクト (CS0#～CS7#) 出力可能 - エリアごとに8ビットバス空間/16ビットバス空間/32ビットバス空間を選択可能 - エリアごとにエンディアンを設定可能 (データのみ) - SDRAMインタフェース接続可能 - バス形式：セパレートバス、マルチプレクスバス - ウェイト制御可能 - ライトバッファ機能 - 拡張シリアルペリフェラルインタフェース (xSPI) (JEDEC Standard JESD251, JESD251-1, JESD252) に対応するメモリデバイス接続可能
DMA	DMAコントローラ (DMACAa)	8チャンネル - 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード、リピータブロック転送モード - 起動要因：ソフトウェアトリガ、周辺機能割り込み
	EXDMAコントローラ (EXDMACAa)	2チャンネル - 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード、リピータブロック転送モード - 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCA)	- 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード - 起動要因：外部割り込み、周辺機能割り込み - シーケンス転送が可能

表 1.1 仕様概要 (4/10)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	• 320ピンLFBGA 入出力：197 入力：3 プルアップ抵抗：198 オープンドレイン出力：197 5-Vトレラント：16 • 224ピンLFBGA 入出力：159 入力：3 プルアップ抵抗：160 オープンドレイン出力：159 5-Vトレラント：16 • 176ピンLFBGA、176ピンLFQFP 入出力：120 入力：3 プルアップ抵抗：121 オープンドレイン出力：120 5-Vトレラント：16 • 144ピンLFQFP 入出力：100 入力：3 プルアップ抵抗：101 オープンドレイン出力：100 5-Vトレラント：16 • 100ピンLFQFP 入出力：72 入力：3 プルアップ抵抗：73 オープンドレイン出力：72 5-Vトレラント：9
	ソフトウェア設定型32ビットプログラマブルI/Oポート(PIO)	• 64ポートから最大32ポートを選択し同時使用が可能 • レジスタ設定で入力イネーブル/出力イネーブル/出力データを設定可能
イベントリンクコントローラ(ELC)		• 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 • 381種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 • 周辺機能のイベントで出力端子の状態を変更可能(ポートB、C、D、E) • 入力端子の変化で周辺機能が連動可能(ポートB、C、D、E)

表 1.1 仕様概要 (5/10)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTW)	32ビット×16チャンネル(GPTW0～15) - 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) - PWM動作の際にデッドタイム生成が可能 - PWM出力100%/0%近傍のデューティを高精度に生成可能 - アウトプットコンペア動作時にコンペアレジスタの設定を即時反映し、デッドタイムを確保したPWM波形を生成可能 - 三角波PWMモード動作中のカウント方向の切り替え(スイッチ)が可能 - 任意チャンネルのカウンタの同期スタート/ストップ/クリア/スイッチが可能 - 最大8本のELCイベント入力により、カウンタのスタート/ストップ/クリア/スイッチ/カウントアップ/カウントダウンが可能 2本の入力信号を条件として、カウンタのスタート/ストップ/クリア/スイッチ/カウントアップ/カウントダウンが可能 - 最大4本の外部トリガにより、カウンタのスタート/ストップ/クリア/スイッチ/カウントアップ/カウントダウンが可能 - デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 - A/Dコンバータの変換開始トリガを生成可能。またトリガ信号を外部端子に出力可能 - コンペアマッチA～Fイベント、オーバーフローイベント/アンダーフローイベントをELCに出力可能 - インプットキャプチャのノイズフィルタを使用可能 - サイクルカウント機能 - 外部入力のパルス幅測定機能 - 他チャンネルの出力信号との論理演算結果を出力可能 - チャンネル間で同期セット/クリア/インプットキャプチャが可能 - タイマ連動同期信号出力機能によりチャンネル間および他IPとタイマ周期による同期動作が可能 - GTIOCN/A/B入出力端子の極性反転機能
	高分解能PWM (HRPWMb)	GPTW0～GPTW3が生成するPWM波形を最小約49psの分解能で整形可能
	GPTW用ポートアウトブッティネーブル (POEGd)	GPTW波形出力の出力禁止制御 - GTETRGr 端子の入力レベル検出による起動 - GPTWからの出力禁止要求による起動 - 発振停止検出/ソフトウェアによる起動 - DSMIFエラー検出による起動 - POEG端子の入力レベル検出とエッジ検出による起動
	8ビットタイマ(TMRa)	(8ビット×2チャンネル)×2ユニット 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 - 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 - RSCIのボーレートクロック生成可能 - ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	(16ビット×2チャンネル)×2ユニット 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能
	コンペアマッチタイマW (CMTW)	(32ビット×1チャンネル)×2ユニット - コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 - コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 - ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (6/10)

分類	モジュール/機能	説明
タイマ	リアルタイムクロック (RTCBb)	- クロックソース：低速オンチップオシレータ、サブクロック - 時計カウント/秒単位の32ビットバイナリカウントを選択可能 - 時計/カレンダー機能 - 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み - バッテリバックアップ動作 3値タイムキャプチャ機能 - ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	14ビット×1チャンネル 6種類のカウントクロック (PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192) を選択可能 - ELCによるイベントリンク機能をサポート
	独立ウォッチドッグタイマ (IWDTa)	14ビット×1チャンネル - カウントクロック：低速オンチップオシレータ (IWDTCクロック) - IWDTCクロック/1、IWDTCクロック/16、IWDTCクロック/32、IWDTCクロック/64、IWDTCクロック/128、IWDTCクロック/256 - ウィンドウ機能：ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間) - ELCによるイベントリンク機能をサポート - ディープソフトウェアスタンバイモード1で動作可能
通信機能	イーサネットモジュール (ESWM)	1チャンネル(2ポート) - 高いレベルのルーティング機能とマルチプロトコルインタフェースを搭載するイーサネットスイッチ 10Mbps、100Mbps および 1000Mbps 転送への対応 - 全二重モードおよび半二重モード対応 - Magic PacketTM (注1) の検出およびWake-On-LAN(WOL)信号の出力 - MII/RMII/GMII/RGMII インタフェースのPHY-LSI とのマネジメントフレーム送受信に対応 - MIIのMAC-to-MAC接続に対応 - gPTPチャンネル数：2
	EtherCATスレーブコントローラ (ESC) (注2)	1チャンネル(2ポート) - Beckhoff社製「EtherCAT Slave Controller IP Core」を採用
	USB2.0 Full-Speed ホスト/ファンクションモジュール (USBf)	- USB2.0 FSに対応したUDC (USB Device Controller) およびトランシーバを内蔵 1ポート - USBバージョン2.0準拠 - 転送スピード：フルスピード(12Mbps)、ロースピード(1.5Mbps) (ホストのみ) - セルフパワーモードおよびバスパワーモードの両方に対応 - OTG (On-The-Go)に対応 (ロースピードは未対応) - 通信バッファとして2KバイトのRAMを内蔵 - 外付けPull-Up抵抗、Pull-Down抵抗が不要
	USB 2.0 High-Speed ホスト/ファンクションモジュール (USBHS)	- USB2.0 HSに対応したUDC (USB Device Controller) およびトランシーバを内蔵 1ポート(320/224/176ピン版のみ) - USBバージョン2.0準拠 - 転送スピード：ハイスピード(480Mbps)、フルスピード(12Mbps)、ロースピード(1.5Mbps) (ホストのみ) - セルフパワーモードおよびバスパワーモードの両方に対応 - OTG (On-The-Go)に対応 (ロースピードは未対応) - BC1.2 (Battery Charging Specification Revision 1.2)に対応 - 通信バッファとして8.5KバイトのRAMを内蔵 - 外付けPull-Up抵抗、Pull-Down抵抗が不要

表 1.1 仕様概要 (7/10)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (RSCI)	13チャンネル - シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース - マルチプロセッサ機能 - 内蔵ボーレートジェネレータで任意のビットレートを選択可能 - LSB ファースト/MSB ファーストを選択可能 - スタートビット検出：レベルおよびエッジを選択可能 - 簡易 I²C サポート - 簡易 SPI サポート 9ビット転送モードをサポート - ビットレートモジュレーション機能をサポート - 倍速モードをサポート - TMRからの平均転送レートクロック入力が可能 - ELCによるイベントリンク機能をサポート - スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート - LIN フォーマットをサポート - 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 - マンチェスタコード機能をサポート - HBS 機能をサポート - データ一致検出をサポート - RXD サンプリング調整機能
	I ³ Cバスインタフェース (RI3C)	1チャンネル(I²C/I³C対応) - I²C プロトコルモード 通信フォーマット：I²Cバスフォーマット/SMBus フォーマット マルチマスタ対応 最高転送レート：3.4Mbps - I³C プロトコルモード 通信プロトコル：SDRモード、Legacy I²Cメッセージ対応 マルチマスタ対応 最高転送レート：12Mbps - ELCによるイベントリンク機能をサポート
	ハイスピード I ² Cバスインタフェース (RIICHS)	2チャンネル(I²C対応) - 通信フォーマット：I²Cバスフォーマット/SMBus フォーマット マルチマスタ対応 最高転送レート：3.4Mbps
	ゲートウェイ機能付き CAN FD モジュール (CANFDG)	2チャンネル - ISO11898-1:2015仕様に準拠(標準フレーム/拡張フレーム) - ゲートウェイ機能 - メッセージバッファ 受信メッセージバッファ：32個 送信メッセージバッファ：16個/チャンネル 送信キュー：4個/チャンネル - FIFO 受信FIFO：8個 共通FIFO：6個
	CAN FD モジュール (CANFD)	1チャンネル - ISO11898-1:2015仕様に準拠(標準フレーム/拡張フレーム) - メッセージバッファ 受信メッセージバッファ：16個 送信メッセージバッファ：4個 送信キュー：1個 - FIFO 受信FIFO：2個 共通FIFO：1個

表 1.1 仕様概要 (8/10)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラル インタフェース (RSPIA)	3チャンネル - RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 - データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 - バッファ構成 送信/受信部ともに32ビット×4段のFIFOバッファ構造による連続送信、受信が可能 - マスタ受信時、RSPCKは受信バッファフルで自動停止可能 - ELCによるイベントリンク機能をサポート - 通信プロトコル：TI SSP (Synchronous Serial Protocol)をサポート
	拡張シリアルペリフェラル インタフェース (XSPI)	2ユニット(コントローラ/ターゲット切り替え可能) - xSPI対応(JEDEC Standard JESD251, JESD251-1, JESD252) 1-bit、2-bit、4-bit、8-bitプロトコルに対応 - JESD251 Profile 1.0ではOctal SPIに、JESD251 Profile 2.0ではHyperBus™ (HyperRAM™およびHyperFlash™)に対応 - DOTF (Decryption on the fly)対応 - コントローラ時最大動作：266MT/s (133MHzクロック) - ターゲット時最大動作：200MT/s (100MHzクロック)
シリアルサウンドインタフェース (SSIE)		2チャンネル - 全二重通信可能(チャンネル0、1両方) - 多様なシリアルオーディオフォーマットをサポート - マスタ/スレーブ機能をサポート - ビットクロック周波数を13種類(1/1, 1/2, 1/4, 1/6, 1/8, 1/12, 1/16, 1/24, 1/32, 1/48, 1/64, 1/96, 1/128)から選択可能 8/16/18/20/22/24/32ビットデータフォーマットをサポート - 送受信用32段FIFO内蔵 - データ転送停止時にSSILRCKを停止するかしないかを選択可能 - GPTW出力のクロック選択機能
SD/MMCホストインタフェース(SDHIc)		1チャンネル - SDバスインタフェース SDメモリ/I/Oカードインタフェース(1ビット/4ビットSDバス) SD/SDHC/SDXCフォーマット互換 - MMCバスインタフェース データバス：1ビット/4ビット/8ビットMMCモードに対応 - 割り込み要因：カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み、SDバッファアクセス割り込み - DMA転送要因：SD_BUFライト、SD_BUFリード - カード検出機能、ライトプロテクトをサポート
三角関数演算器(TFUV2)		sin演算、cos演算、atan演算、hypot_k演算 sinとcosの同時演算 atan演算とhypot_k演算の同時演算
Δ - Σ モジュレータインタフェース (DSMIFA)		6チャンネル - 外部に最大6チャンネルのΔ-Σモジュレータを接続可能 - Sincフィルタは1次、2次、3次から選択可能 - GPTW出力をトリガとしたPWM同期機能
パラレルデータキャプチャユニット (PDC)		1チャンネル - 外部8ビットデータを水平同期信号、垂直同期信号に同期して取り込み 1フレーム画像から切り出したい画像サイズを設定可能
パルス密度変調インタフェース (PDMIF)		1チャンネル - 外部マイクと接続可能なPDM-IF 1ビットのデジタル入力データを20ビットまたは16ビットに変換 4つのフィルタ機能：Sincフィルタ、ハイパスフィルタ、補正フィルタ、ハーフバンドデシメーションフィルタ - 内蔵バッファ搭載

表 1.1 仕様概要 (9/10)

分類	モジュール/機能	説明
位相計数インタフェース(PCIF)		2ユニット - インクリメンタル型エンコーダの出力に類似したABZ相の波形を出力 - ELCからのキャリア周期イベント入力
16ビットA/Dコンバータ(ADC16H)		3ユニット - 逐次比較方式と$\Delta\Sigma$変調方式を融合したハイブリッドアーキテクチャ - 分解能: 最大16ビット(16ビット/14ビット/12ビット/10ビットの分解能切り替え可能) - 高速変換: 0.16 μs (AD変換クロック50MHzの場合) - 自己校正機能 - 拡張アナログ機能: 自己診断、温度センサ、内部基準電圧、VBATT電圧、D/Aコンバータ - チャンネル専用サンプル&ホールド回路を3チャンネル搭載(ユニット0のみ) - シングルエンド/差動入力対応
12ビットD/Aコンバータ(DAC12R)		2チャンネル - 分解能: 12ビット - 出力電圧: 0.2V$\sim$AVCC0-0.2V(バッファ出力)/0V$\sim$AVCC0(バッファなし出力) - バッファ出力/バッファなし出力を切り替え可能 - ELCによるイベントリンク機能をサポート
温度センサ		1チャンネル - 相対精度: $\pm 1^{\circ}\text{C}$ - 温度を電圧に変換し16ビットA/Dコンバータでデジタル化 - 異常な高温/低温検出機能
セーフティ	メモリプロテクションユニット(MPU)	- プロテクションエリア: 0000 0000h$\sim$FFFF FFFFh範囲内で最大8エリアを設定可能 - 最小保護単位: 32バイト - 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 - 設定エリア外へのアクセス検出時、アクセス例外が発生
	レジスタライトプロテクション	プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算(CRCA)	8ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ - LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止検出機能	メインクロック発振停止検出: あり
	サブクロック発振停止検出機能	サブクロック発振停止検出: あり
	クロック周波数精度測定回路(CAC)	3ユニット - メインクロック発振器、サブクロック発振器、低速、中速および高速オンチップオシレータ、PLL1P、PLL1Q、PLL1R、PLL2P、PLL2Q、PLL2R、およびPCLKBにおける出カクロック周波数の異常を監視可能
	データ演算回路(DOCA)	32ビットのデータを比較/加算/減算/大小比較/ウィンドウ比較する機能

表 1.1 仕様概要 (10/10)

分類	モジュール/機能	説明
セキュリティ	セキュリティ機能	- Protect Zone 機能 CPUのセキュリティ状態: Secure状態、Non-secure状態 Secure領域の機能はSecure状態のみアクセス可能 - 特権制御 - デバイスライフサイクル管理 - デバッグ認証レベルによるデバッグのアクセス範囲の設定が可能 - キーインジェクション - セキュアマルチファンクションピンコントローラ - セキュアブート機能 - セキュアファクトリプログラミング - RSIPによるデータ秘匿、データ改ざん防止 256ビットハードウェアユニークキー (HUK) 128ビットのユニークID OEM ブートローダーバージョン オンザフライ復号回路 (DOTF) 用の鍵データ SPA/DPA 保護
	オンザフライ復号回路 (DOTF)	外部メモリに格納されている暗号化されたコンテンツをリアルタイムで復号
暗号機能	Renesas Secure IP (RSIP-E50D)	- 共通鍵暗号: AES, ChaCha20-Poly1305 - 公開鍵暗号: RSA, ECC - Hash 値生成: SHA-512, SHA3-512 - TRNG (真性乱数生成回路): 128 ビット
動作周波数		600MHz max
電源電圧		VCC = VCC2 = 1.62 ~ 3.63V VCC_USB = VCC_USBHS = AVCC_USBHS = 1.62 ~ 3.63V AVCC0 = 1.62 ~ 3.63V, 1.62V ≤ VREFH0 ≤ AVCC0 VBATT = 1.62 ~ 3.63V 各電源の電圧レベルは互いに独立して設定可能です。 VCC_DCDC端子は電源供給モードに合わせてVCCもしくはVSSに接続してください。
ジャンクション温度		“4”バージョン: -40 ~ +125°C
パッケージ		320ピンLFBGA (PLBG0320GD-A) 224ピンLFBGA (PLBG0224GE-A) 176ピンLFBGA (PLBG0176GG-A) 176ピンLFQFP (PLQP0176KJ-A) 144ピンLFQFP (PLQP0144KA-B) 100ピンLFQFP (PLQP0100KP-A)
オンチップデバッグシステム		JTAG、SWDおよびFINE インタフェース

注1. Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。

注2. EtherCAT®は、Beckhoff Automation GmbH (ドイツ)よりライセンスを受けた特許取得済み技術であり登録商標です。

表 1.2 パッケージ別機能比較一覧 (1/2)

機能		RX74Mグループ					
パッケージ		320ピン LFBGA	224ピン LFBGA	176ピン LFBGA	176ピン LFQFP	144ピン LFQFP	100ピン LFQFP
動作周波数(max)		600/300 MHz			480/300 MHz		
外部バス	外部バス幅	32/16/8 ビット				16/8 ビット	なし
	SDRAM領域コントローラ	あり					なし
DMA	DMAコントローラ	ch0 ～ 7					
	データトランスファコントローラ	あり					
	EXDMAコントローラ	ch0, 1					なし
タイマ	汎用PWMタイマ	ch0 ～ 15					
	高分解能PWM	ch0 ～ 3					
	GPT用ポートアウトプットイネーブル	あり					
	8ビットタイマ	ch0 ～ 3					
	コンペアマッチタイマ	ch0 ～ 3					
	コンペアマッチタイマW	ch0, 1					ch1
	リアルタイムクロック	あり					
	ウォッチドッグタイマ	あり					
	独立ウォッチドッグタイマ	あり					
通信	イーサネットモジュール	ch0 (GMII/MII/RMII/RGMII), ch1 (GMII/MII/RMII/RGMII)	ch0 (MII/RMII/RGMII), ch1 (MII/RMII/RGMII)		ch0 (MII/RMII), ch1 (MII/RMII)		
	EtherCATスレーブコントローラ	あり (ch0, 1)/ なし					
	USB2.0 Full-Speed ホスト/ファンクションモジュール	ch0					
	USB 2.0 High-Speed ホスト/ファンクションモジュール	ch0				なし	
	シリアルコミュニケーションインタフェース	ch0 ～ 12					ch0 ～ 5, 7, 8, 10 ～ 12
	I3Cバスインタフェース	ch0					
	ハイスピードI ² Cバスインタフェース	ch1, 2					
	シリアルペリフェラルインタフェース	ch0 ～ 2					
	CAN FDモジュール	ch0 ～ 2					
	拡張シリアルペリフェラルインタフェース	ユニット 0 (1/2/4/8bit), ユニット 1 (1/2/4/8bit)	ユニット 0 (1/2/4/8bit), ユニット 1 (1/2/4bit)				ユニット 0 (1/2/4bit), ユニット 1 (1/2/4bit)
	シリアルサウンドインタフェース	ch0					
	SD/MMCホストインタフェース	ch0					
	パルス密度変調インタフェース	ch0					
	位相計数インタフェース	ch0, 1					
	パラレルデータキャプチャユニット	あり					なし

表 1.2 パッケージ別機能比較一覧 (2/2)

機能		RX74Mグループ					
パッケージ		320ピン LFBGA	224ピン LFBGA	176ピン LFBGA	176ピン LFQFP	144ピン LFQFP	100ピン LFQFP
16ビット A/Dコンバータ	ユニット0	AN000 ~ 007 (8本)				AN000 ~ 005 (6本)	AN000, 002, 004 (3本)
	ユニット1	AN008 ~ 035 (28本)	AN014 ~ 035 (22本)			AN014 ~ 033 (20本)	AN014, 017 ~ 031 (16本)
	ユニット2	AN008 ~ 035 (28本)	AN014 ~ 035 (22本)			AN014 ~ 033 (20本)	AN014, 017 ~ 031 (16本)
12ビットD/Aコンバータ		ch0, 1					ch0
温度センサ		あり					
三角関数演算器		あり					
Δ-Σモジュレータインタフェース		ユニット0, 1					ユニット0
CRC演算器		あり					
データ演算回路		あり					
クロック周波数精度測定回路		あり					
Renesas Secure IP		あり					
イベントリンクコントローラ		あり					

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1/2)

グループ	型名	パッケージ	コード MRAM容量	RAM容量	動作周波数 (max)	CANFD	ESC	ジャンクショ ン温度(°C)
RX74M	R5K574MCC4FC	PLQP0176KJ-A	1Mバイト	1.5Mバイト	480MHz	あり(注1)	あり	-40～+125
	R5K574MCD4FC	PLQP0176KJ-A	1Mバイト	1.5Mバイト	480MHz	あり	あり	-40～+125
	R5K574M6C4FC	PLQP0176KJ-A	512Kバイト	1.5Mバイト	480MHz	あり(注1)	あり	-40～+125
	R5K574M6D4FC	PLQP0176KJ-A	512Kバイト	1.5Mバイト	480MHz	あり	あり	-40～+125
	R5K574MCC4FB	PLQP0144KA-B	1Mバイト	1.5Mバイト	480MHz	あり(注1)	あり	-40～+125
	R5K574MCD4FB	PLQP0144KA-B	1Mバイト	1.5Mバイト	480MHz	あり	あり	-40～+125
	R5K574M6C4FB	PLQP0144KA-B	512Kバイト	1.5Mバイト	480MHz	あり(注1)	あり	-40～+125
	R5K574M6D4FB	PLQP0144KA-B	512Kバイト	1.5Mバイト	480MHz	あり	あり	-40～+125
	R5K574MCC4FP	PLQP0100KP-A	1Mバイト	1.5Mバイト	480MHz	あり(注1)	あり	-40～+125
	R5K574MCD4FP	PLQP0100KP-A	1Mバイト	1.5Mバイト	480MHz	あり	あり	-40～+125
	R5K574M6C4FP	PLQP0100KP-A	512Kバイト	1.5Mバイト	480MHz	あり(注1)	あり	-40～+125
	R5K574M6D4FP	PLQP0100KP-A	512Kバイト	1.5Mバイト	480MHz	あり	あり	-40～+125
	R5K574MCA4AE	PLBG0320GD-A	1Mバイト	1.5Mバイト	600MHz	あり(注1)	あり	-40～+125
	R5K574MCB4AE	PLBG0320GD-A	1Mバイト	1.5Mバイト	600MHz	あり	あり	-40～+125
	R5K574M6A4AE	PLBG0320GD-A	512Kバイト	1.5Mバイト	600MHz	あり(注1)	あり	-40～+125
	R5K574M6B4AE	PLBG0320GD-A	512Kバイト	1.5Mバイト	600MHz	あり	あり	-40～+125
	R5K574MCA4BD	PLBG0224GE-A	1Mバイト	1.5Mバイト	600MHz	あり(注1)	あり	-40～+125
	R5K574MCB4BD	PLBG0224GE-A	1Mバイト	1.5Mバイト	600MHz	あり	あり	-40～+125
	R5K574M6A4BD	PLBG0224GE-A	512Kバイト	1.5Mバイト	600MHz	あり(注1)	あり	-40～+125
	R5K574M6B4BD	PLBG0224GE-A	512Kバイト	1.5Mバイト	600MHz	あり	あり	-40～+125
	R5K574MCA4BG	PLBG0176GG-A	1Mバイト	1.5Mバイト	600MHz	あり(注1)	あり	-40～+125
	R5K574MCB4BG	PLBG0176GG-A	1Mバイト	1.5Mバイト	600MHz	あり	あり	-40～+125
	R5K574M6A4BG	PLBG0176GG-A	512Kバイト	1.5Mバイト	600MHz	あり(注1)	あり	-40～+125
	R5K574M6B4BG	PLBG0176GG-A	512Kバイト	1.5Mバイト	600MHz	あり	あり	-40～+125
	R5K574MCE4FC	PLQP0176KJ-A	1Mバイト	1.5Mバイト	300MHz	あり(注1)	あり	-40～+125
	R5K574MCF4FC	PLQP0176KJ-A	1Mバイト	1.5Mバイト	300MHz	あり	あり	-40～+125
	R5K574M6E4FC	PLQP0176KJ-A	512Kバイト	1.5Mバイト	300MHz	あり(注1)	あり	-40～+125
	R5K574M6F4FC	PLQP0176KJ-A	512Kバイト	1.5Mバイト	300MHz	あり	あり	-40～+125
	R5K574MCE4FB	PLQP0144KA-B	1Mバイト	1.5Mバイト	300MHz	あり(注1)	あり	-40～+125
	R5K574MCF4FB	PLQP0144KA-B	1Mバイト	1.5Mバイト	300MHz	あり	あり	-40～+125
	R5K574M6E4FB	PLQP0144KA-B	512Kバイト	1.5Mバイト	300MHz	あり(注1)	あり	-40～+125
	R5K574M6F4FB	PLQP0144KA-B	512Kバイト	1.5Mバイト	300MHz	あり	あり	-40～+125
	R5K574MCE4FP	PLQP0100KP-A	1Mバイト	1.5Mバイト	300MHz	あり(注1)	あり	-40～+125
	R5K574MCF4FP	PLQP0100KP-A	1Mバイト	1.5Mバイト	300MHz	あり	あり	-40～+125
	R5K574M6E4FP	PLQP0100KP-A	512Kバイト	1.5Mバイト	300MHz	あり(注1)	あり	-40～+125
	R5K574M6F4FP	PLQP0100KP-A	512Kバイト	1.5Mバイト	300MHz	あり	あり	-40～+125
	R5K574MCE4AE	PLBG0320GD-A	1Mバイト	1.5Mバイト	300MHz	あり(注1)	あり	-40～+125
	R5K574MCF4AE	PLBG0320GD-A	1Mバイト	1.5Mバイト	300MHz	あり	あり	-40～+125
	R5K574M6E4AE	PLBG0320GD-A	512Kバイト	1.5Mバイト	300MHz	あり(注1)	あり	-40～+125
	R5K574M6F4AE	PLBG0320GD-A	512Kバイト	1.5Mバイト	300MHz	あり	あり	-40～+125

表 1.3 製品一覧表 (2/2)

グループ	型名	パッケージ	コード MRAM 容量	RAM 容量	動作周波数 (max)	CANFD	ESC	ジャンクショ ン温度 (°C)
RX74M	R5K574MCE4BD	PLBG0224GE-A	1Mバイト	1.5Mバイト	300MHz	あり (注1)	あり	-40 ~ +125
	R5K574MCF4BD	PLBG0224GE-A	1Mバイト	1.5Mバイト	300MHz	あり	あり	-40 ~ +125
	R5K574M6E4BD	PLBG0224GE-A	512Kバイト	1.5Mバイト	300MHz	あり (注1)	あり	-40 ~ +125
	R5K574M6F4BD	PLBG0224GE-A	512Kバイト	1.5Mバイト	300MHz	あり	あり	-40 ~ +125
	R5K574MCE4BG	PLBG0176GG-A	1Mバイト	1.5Mバイト	300MHz	あり (注1)	あり	-40 ~ +125
	R5K574MCF4BG	PLBG0176GG-A	1Mバイト	1.5Mバイト	300MHz	あり	あり	-40 ~ +125
	R5K574M6E4BG	PLBG0176GG-A	512Kバイト	1.5Mバイト	300MHz	あり (注1)	あり	-40 ~ +125
	R5K574M6F4BG	PLBG0176GG-A	512Kバイト	1.5Mバイト	300MHz	あり	あり	-40 ~ +125
	R5K574MCV4FC	PLQP0176KJ-A	1Mバイト	1.5Mバイト	480MHz	あり (注1)	なし	-40 ~ +125
	R5K574MCW4FC	PLQP0176KJ-A	1Mバイト	1.5Mバイト	480MHz	あり	なし	-40 ~ +125
	R5K574M6V4FC	PLQP0176KJ-A	512Kバイト	1.5Mバイト	480MHz	あり (注1)	なし	-40 ~ +125
	R5K574M6W4FC	PLQP0176KJ-A	512Kバイト	1.5Mバイト	480MHz	あり	なし	-40 ~ +125
	R5K574MCV4FB	PLQP0144KA-B	1Mバイト	1.5Mバイト	480MHz	あり (注1)	なし	-40 ~ +125
	R5K574MCW4FB	PLQP0144KA-B	1Mバイト	1.5Mバイト	480MHz	あり	なし	-40 ~ +125
	R5K574M6V4FB	PLQP0144KA-B	512Kバイト	1.5Mバイト	480MHz	あり (注1)	なし	-40 ~ +125
	R5K574M6W4FB	PLQP0144KA-B	512Kバイト	1.5Mバイト	480MHz	あり	なし	-40 ~ +125
	R5K574MCV4FP	PLQP0100KP-A	1Mバイト	1.5Mバイト	480MHz	あり (注1)	なし	-40 ~ +125
	R5K574MCW4FP	PLQP0100KP-A	1Mバイト	1.5Mバイト	480MHz	あり	なし	-40 ~ +125
	R5K574M6V4FP	PLQP0100KP-A	512Kバイト	1.5Mバイト	480MHz	あり (注1)	なし	-40 ~ +125
	R5K574M6W4FP	PLQP0100KP-A	512Kバイト	1.5Mバイト	480MHz	あり	なし	-40 ~ +125
	R5K574MCT4AE	PLBG0320GD-A	1Mバイト	1.5Mバイト	600MHz	あり (注1)	なし	-40 ~ +125
	R5K574MCU4AE	PLBG0320GD-A	1Mバイト	1.5Mバイト	600MHz	あり	なし	-40 ~ +125
	R5K574M6T4AE	PLBG0320GD-A	512Kバイト	1.5Mバイト	600MHz	あり (注1)	なし	-40 ~ +125
	R5K574M6U4AE	PLBG0320GD-A	512Kバイト	1.5Mバイト	600MHz	あり	なし	-40 ~ +125
	R5K574MCT4BD	PLBG0224GE-A	1Mバイト	1.5Mバイト	600MHz	あり (注1)	なし	-40 ~ +125
	R5K574MCU4BD	PLBG0224GE-A	1Mバイト	1.5Mバイト	600MHz	あり	なし	-40 ~ +125
	R5K574M6T4BD	PLBG0224GE-A	512Kバイト	1.5Mバイト	600MHz	あり (注1)	なし	-40 ~ +125
	R5K574M6U4BD	PLBG0224GE-A	512Kバイト	1.5Mバイト	600MHz	あり	なし	-40 ~ +125
	R5K574MCT4BG	PLBG0176GG-A	1Mバイト	1.5Mバイト	600MHz	あり (注1)	なし	-40 ~ +125
	R5K574MCU4BG	PLBG0176GG-A	1Mバイト	1.5Mバイト	600MHz	あり	なし	-40 ~ +125
	R5K574M6T4BG	PLBG0176GG-A	512Kバイト	1.5Mバイト	600MHz	あり (注1)	なし	-40 ~ +125
	R5K574M6U4BG	PLBG0176GG-A	512Kバイト	1.5Mバイト	600MHz	あり	なし	-40 ~ +125

注1. CAN 2.0 プロトコルのみ対応

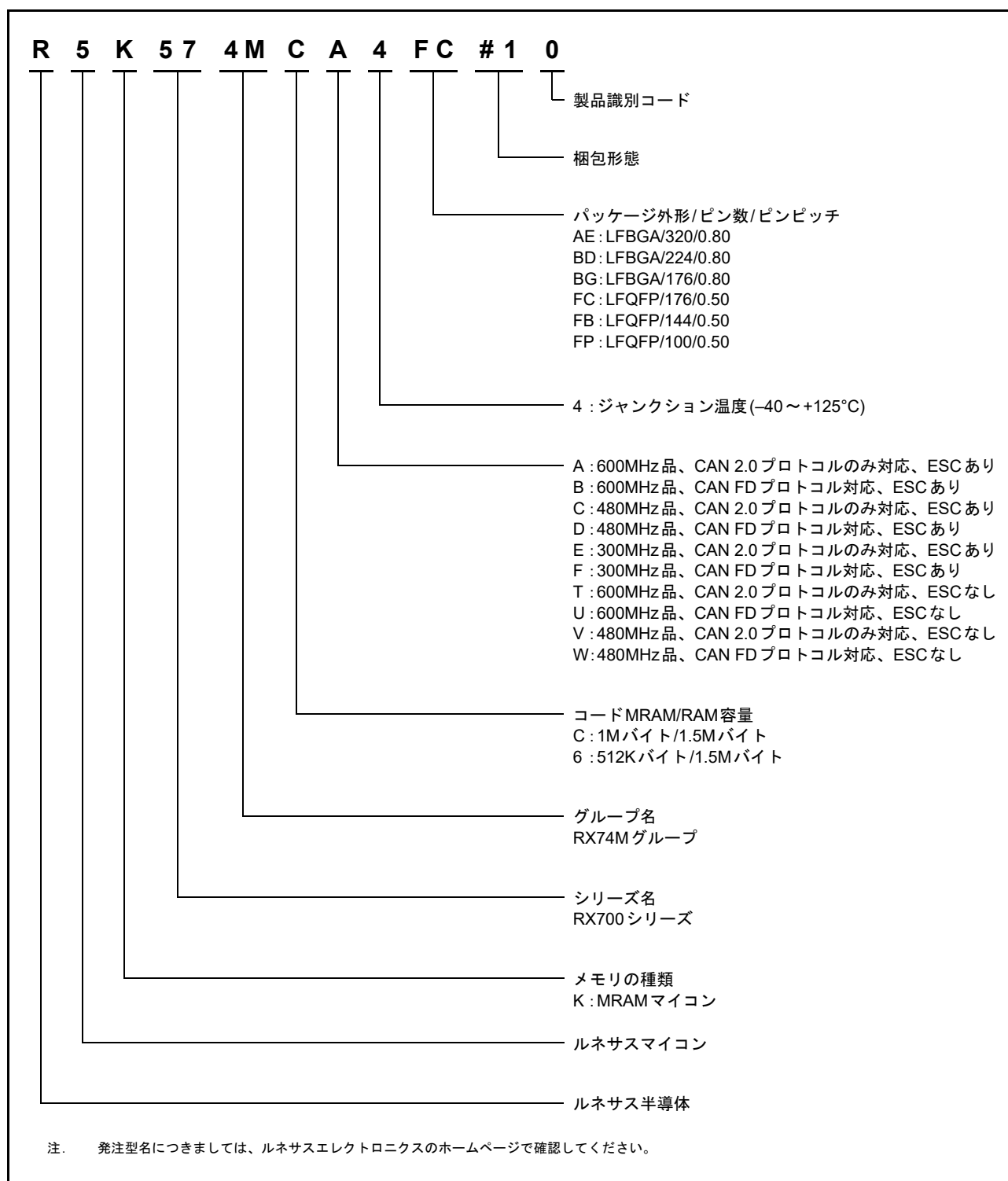


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

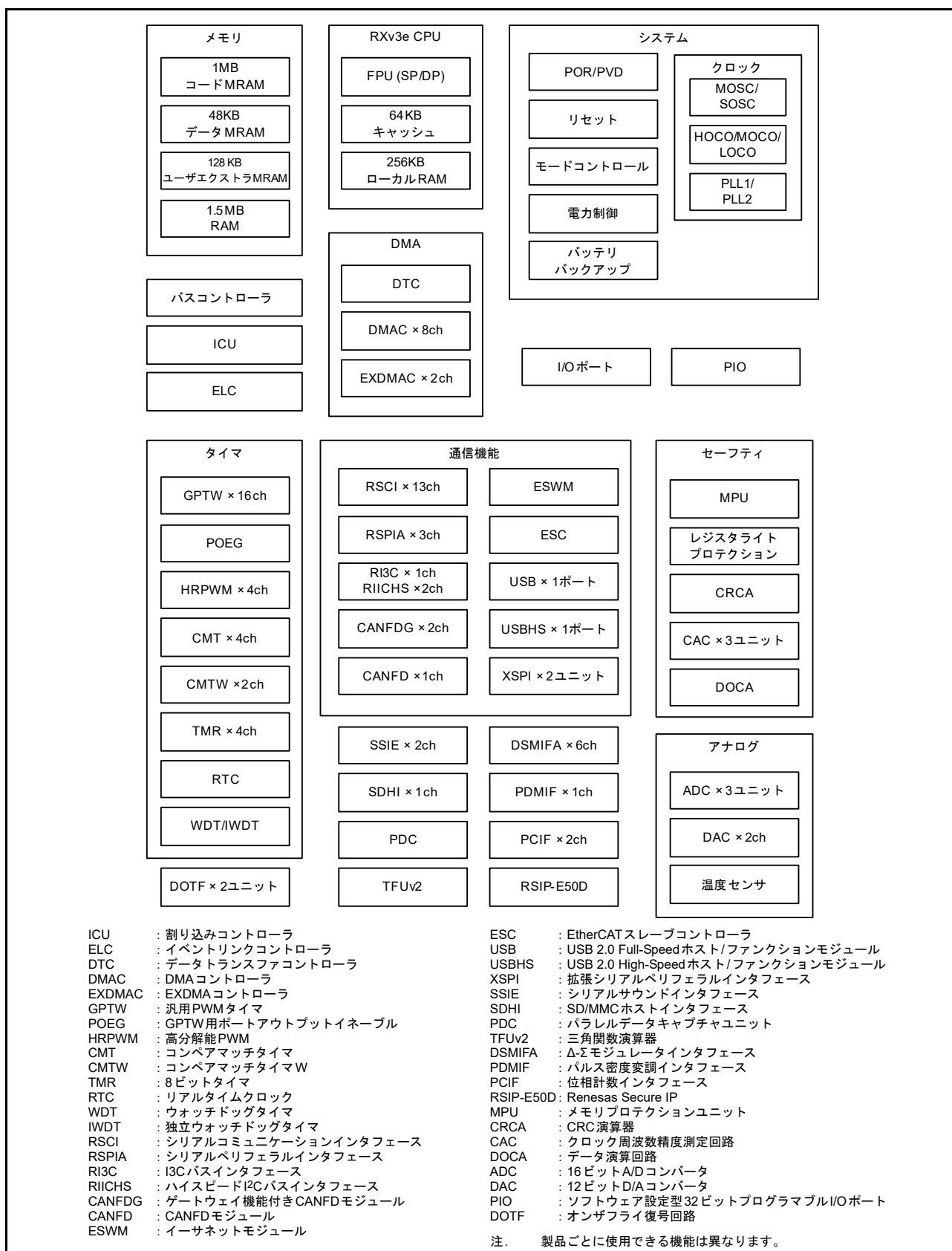


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/7)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1 μ F の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください
	VCC2	入力	電源端子。システムの電源に接続してください。0.1 μ F の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください
	VCL	入力	電源供給モードによって端子設定が異なります。
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	VBATT	入力	バックアップ電源端子
スイッチングレギュレータ	VCC_DCDC	入力	スイッチングレギュレータ電源端子
	VLO	出力	スイッチングレギュレータ出力端子 外部インダクタおよびコンデンサに接続してください
	VSS_DCDC	入力	スイッチングレギュレータグランド端子
クロック	XTAL	出力	水晶振動子接続端子。EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	EBCLK	出力	外部デバイス用の外部バスクロック出力端子
	SDCLK	出力	SDRAM 専用のクロック出力端子
	XCOUT	出力	サブクロック発振器の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください
	XCIN	入力	
	EXCIN	入力	外部サブクロック入力
	CLKOUT	出力	クロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
システム制御	RES#/RSTOUT#	入出力	リセット端子。この端子が Low になると、リセット状態となります
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
	TMS	入力	オンチップエミュレータ用またはバウンダリスキャン用端子。
	TDI	入力	
	TCK	入力	
	TDO	出力	
	SWDIO	入出力	シリアルワイヤデバッグデータ入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
アドレスバス	A0 ~ A23	出力	アドレス出力端子
データバス	D0 ~ D31	入出力	双方向データバス
マルチプレクスバス	A0/D0 ~ A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2/7)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0#～WR3#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス(D7～D0, D15～D8, D23～D16, D31～D24)のいずれかが有効であることを示すストロブ信号
	BC0#～BC3#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス(D7～D0, D15～D8, D23～D16, D31～D24)のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS7#	出力	CS領域選択信号
	BREQ#	入力	外部バスリクエスト信号
	BACK#	出力	外部バスアクノリッジ信号
SDRAMインタフェース	CKE	出力	SDRAMクロックイネーブル信号
	SDCS#	出力	SDRAMチップセレクト信号
	RAS#	出力	SDRAMロウアドレスストロブ信号
	CAS#	出力	SDRAMカラムアドレスストロブ信号
	WE#	出力	SDRAMライトイネーブル端子
	DQM0～DQM3	出力	SDRAM入出力データマスクイネーブル信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ31, IRQ0-DS～IRQ31-DS	入力	割り込み要求端子
汎用PWMタイマ	GTETRGA, GTETRGB, GTETRG, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A～GTIOC15A, GTIOC0B～GTIOC15B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTCPP00～GTCPP015	出力	PWM同期出力
	GTIU, GTIV, GTIW	入力	ホール素子入力端子
	GTOUUP	出力	BLDCモータ制御3相PWM出力(正相U相)
	GTOULO	出力	BLDCモータ制御3相PWM出力(逆相U相)
	GTOVUP	出力	BLDCモータ制御3相PWM出力(正相V相)
	GTOVLO	出力	BLDCモータ制御3相PWM出力(逆相V相)
	GTOWUP	出力	BLDCモータ制御3相PWM出力(正相W相)
	GTOWLO	出力	BLDCモータ制御3相PWM出力(逆相W相)
	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子
GPTW用ポートアウト プットイネーブル	POEGA, POEGB, POEGC, POEGD	入力	GPTWをハイインピーダンス状態にする要求信号を入力
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCIO～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0～TIC3	入力	CMTWの入力端子
	TOC0～TOC3	出力	CMTWの出力端子

表 1.4 端子機能一覧 (3/7)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース	• 調歩同期式モード/クロック同期式モード		
	SCK000～SCK012	入出力	クロック入出力端子
	RXD000～RXD012	入力	受信データ入力端子
	TXD000～TXD012	出力	送信データ出力端子
	CTS000#～CTS012#	入力	送受信開始制御用入力端子
	RTS000#～RTS012#	出力	送受信開始制御用出力端子
	DE000～DE012	出力	RS-485 ドライバ制御用出力端子
	• 簡易 I ² C モード		
	SSCL000～SSCL012	入出力	I ² C クロック入出力端子
	SSDA000～SSDA012	入出力	I ² C データ入出力端子
	• 簡易 SPI モード		
	SCK000～SCK012	入出力	クロック入出力端子
	SMISO000～SMISO012	入出力	スレーブ送出データ入出力端子
	SMOSI000～SMOSI012	入出力	マスタ送出データ入出力端子
	SS000#～SS012#	入力	チップセレクト入力端子
	• HBS サポートモード		
	RXD000～RXD012	入力	受信データ入力端子
	TXDA000～TXDA012	出力	送信データ出力端子
	TXDB000～TXDB012		
I ³ C バスインタフェース	SCL00	入出力	クロック入出力端子
	SDA00	入出力	データ入出力端子
ハイスピード I ² C バス インタフェース	SCLHS1, SCLHS2	入出力	クロック入出力端子
	SDAHS1, SDAHS2	入出力	データ入出力端子
イーサネットモジュール	• RMII モード		
	RMII0_REF50CK, RMII1_REF50CK	入力	50MHz 基準クロック。RMII モード時の送受信信号タイミング参照信号
	RMII0_CRS_DV, RMII1_CRS_DV	入力	RMII モード時、キャリア検出信号。有効な受信データが RMII _{ln} _RXD1～RMII _{ln} _RXD0 上にあることを示す信号
	RMII0_TXD0, RMII0_TXD1, RMII1_TXD0, RMII1_TXD1	出力	RMII モード時、2 ビットの送信データ
	RMII0_RXD0, RMII0_RXD1, RMII1_RXD0, RMII1_RXD1	入力	RMII モード時、2 ビットの受信データ
	RMII0_TX_EN, RMII1_TX_EN	出力	RMII モード時、データ送信イネーブル信号
	RMII0_RX_ER, RMII1_RX_ER	入力	RMII モード時、データ受信中にエラーが発生したことを示す信号
	• RGMII モード		
	RGMII0_TXC, RGMII1_TXC	出力	RGMII モード時、送信クロック
	RGMII0_RXC, RGMII1_RXC	入力	RGMII モード時、受信クロック
	RGMII0_TX_CTL, RGMII1_TX_CTL	出力	RGMII モード時、送信制御
	RGMII0_TXD0～RGMII0_TXD3, RGMII1_TXD0～RGMII1_TXD3	出力	RGMII モード時、4 ビットの送信データ
	RGMII0_RX_CTL, RGMII1_RX_CTL	入力	RGMII モード時、受信制御
	RGMII0_RXD0～RGMII0_RXD3, RGMII1_RXD0～RGMII1_RXD3	入力	RGMII モード時、4 ビットの受信データ

表 1.4 端子機能一覧 (4/7)

分類	端子名	入出力	機能
イーサネットモジュール	• GMII/MIIモード		
	ET0_GTX_CLK, ET1_GTX_CLK	出力	1000Mbpsの送信クロック端子
	ET0_CRS, ET1_CRS	入力	キャリア検出/受信データ有効端子
	ET0_RX_DV, ET1_RX_DV	入力	受信データ有効信号
	ET0_TXD0~ET0_TXD7, ET1_TXD0~ET1_TXD7	出力	GMIIの8ビット/MIIの4ビット送信データ
	ET0_RXD0~ET0_RXD7, ET1_RXD0~ET1_RXD7	入力	GMIIの8ビット/MIIの4ビット受信データ
	ET0_TX_EN, ET1_TX_EN	出力	送信許可端子
	ET0_TX_ER, ET1_TX_ER	出力	送信エラー端子。送信中のエラーをPHY-LSIに通知する信号
	ET0_RX_ER, ET1_RX_ER	入力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号
	ET0_TX_CLK, ET1_TX_CLK	入出力	100M/10Mbpsの送信クロック端子 (MII時：入力、MAC-to-MAC接続時：出力)
	ET0_RX_CLK, ET1_RX_CLK	入力	受信クロック端子
	ET0_COL, ET1_COL	入力	衝突検出信号
	• 共通		
	ET0_LINKSTA, ET1_LINKSTA	入力	PHY-LSIからのリンク状態を入力
	ET0_INT, ET1_INT	入力	PHY-LSIからの割り込みを入力
	ET0_WOL, ET1_WOL	出力	Magic Packet受信を示す信号
	ET0_MDC, ET1_MDC	出力	ETn_MDIOによる情報転送用の参照クロック信号
	ET0_MDIO, ET1_MDIO	入出力	本MCUとPHY-LSIとの間で管理情報を交換するための双方向信号
	GPTP_CAPTURE0, GPTP_CAPTURE1	入力	メディアクロックキャプチャ入力
	GPTP_MATCH0, GPTP_MATCH1	出力	メディアクロックリカバリ出力
	GPTP0_PPS, GPTP1_PPS	出力	PPS信号
	GPTP_PTPOUT0~ GPTP_PTPOUT3	出力	PTPパルス生成信号
	ET_TAS_STA0~ ET_TAS_STA3	出力	TASステータスマニタ
	ETHPHYCLK	出力	PHYクロック入力用のクロック出力端子 (EtherCATと兼用)
EtherCATスレーブコントローラ	• MIIモード		
	CAT0_LINKSTA, CAT1_LINKSTA	入力	PHY Link信号入力端子
	CAT0_RX_CLK, CAT1_RX_CLK	入力	受信クロック入力端子
	CAT0_RX_DV, CAT1_RX_DV	入力	受信データ・イネーブル信号入力端子
	CAT0_ERXD0~CAT0_ERXD3, CAT1_ERXD0~CAT1_ERXD3	入力	受信データ信号入力端子
	CAT0_RX_ER, CAT1_RX_ER	入力	受信データ・エラー信号入力端子
	CAT0_TX_CLK, CAT1_TX_CLK	入力	送信クロック入力端子
	CAT0_TX_EN, CAT1_TX_EN	出力	送信イネーブル信号出力端子
	CAT0_ETXD0~CAT0_ETXD3, CAT1_ETXD0~CAT1_ETXD3	出力	送信データ信号出力端子
	CAT0_MDC	出力	マネージメント・インタフェース・クロック出力端子
	CAT0_MDIO	入出力	マネージメント・データ信号入出力端子
	ETHPHYCLK	出力	PHYクロック入力用のクロック出力端子 (ESWMと兼用)

表 1.4 端子機能一覧 (5/7)

分類	端子名	入出力	機能
EtherCAT スレーブコントローラ	• EtherCAT 専用		
	CATRESTOUT	出力	PHY RESET 用出力信号
	CATLEDRUN	出力	EtherCAT RUN LED 信号出力端子
	CATIRQ	出力	EtherCAT IRQ 信号出力端子
	CATLEDSTER	出力	EtherCAT Dual-color ステート LED 信号出力端子
	CATLEDERR	出力	EtherCAT Error LED 信号出力端子
	CATLINKACT0, CATLINKACT1	出力	EtherCAT Link/Activity LED 信号出力端子
	CATSYNC0, CATSYNC1	出力	EtherCAT SYNC 信号出力端子
	CATLATCH0, CATLATCH1	入力	EtherCAT LATCH 信号入力端子
	CATI2CCLK	出力	EtherCAT EEPROM I ² C クロック 信号出力端子
	CATI2CDATA	入出力	EtherCAT EEPROM I ² C データ 信号入出力端子
USB2.0 ホスト/ファンクションモジュール	VCC_USB, VCC_USBHS	入力	電源端子
	VSS_USB, VSS_USBHS	入力	グランド端子
	AVCC_USBHS	入力	USBHS 用のアナログ電源端子
	AVSS_USBHS	入力	USBHS 用のアナロググランド端子
	USBHS_RREF	入出力	USBHS の基準電流源端子
	USB0_DP, USBHS_DP	入出力	USB バスの D+ データ
	USB0_DM, USBHS_DM	入出力	USB バスの D- データ
	USB0_EXICEN, USBHS_EXICEN	出力	OTG 電源 IC に接続
	USB0_ID, USBHS_ID	入力	OTG 電源 IC に接続
	USB0_VBUSEN, USBHS_VBUSEN	出力	USB 用 VBUS パワーイネーブル端子
	USB0_OVRCURA/ USB0_OVRCURB, USBHS_OVRCURA/ USBHS_OVRCURB, USB0_OVRCURA-DS/ USB0_OVRCURB-DS, USBHS_OVRCURA-DS/ USBHS_OVRCURB-DS	入力	USB 用オーバカレント端子
	USB0_VBUS, USBHS_VBUS, USB0_VBUS-DS, USBHS_VBUS-DS	入力	USB ケーブルの接続/切断検出入力端子
CANFD モジュール	CRX0, CRX1, CRX2	入力	CAN 入力端子
	CTX0, CTX1, CTX2	出力	CAN 出力端子
シリアルペリフェラル インタフェース	RSPCK0 ~ RSPCK2	入出力	クロック 入出力端子
	MOSI0 ~ MOSI2	入出力	マスタ送出データ 入出力端子
	MISO0 ~ MISO2	入出力	スレーブ送出データ 入出力端子
	SSL00, SSL10, SSL20	入出力	スレーブセレクト 入出力端子
	SSL01 ~ SSL03, SSL11 ~ SSL13, SSL21 ~ SSL23	出力	スレーブセレクト 出力端子

表 1.4 端子機能一覧 (6/7)

分類	端子名	入出力	機能
拡張シリアルペリフェラルインタフェース	XSPI0_CK, XSPI1_CK	入出力	クロック入出力 (コントローラ時：出力、ターゲット時：入力)
	XSPI0_CKN#, XSPI1_CKN#	出力	反転クロック出力 (コントローラ時：出力、ターゲット時：なし)
	XSPI0_CS0#, XSPI0_CS1#, XSPI1_CS0#, XSPI1_CS1#	入出力	チップセレクト信号 (コントローラ時：出力、ターゲット時：入力)
	XSPI0_DS, XSPI1_DS	入出力	リードデータストロブ/ライトデータマスク信号
	XSPI0_IO0 ~ XSPI0_IO7, XSPI1_IO0 ~ XSPI1_IO7	入出力	データ入出力
	XSPI0_RESET0#, XSPI0_RESET1#, XSPI1_RESET0#, XSPI1_RESET1#	入出力	両ターゲットデバイス用のリセット信号 (コントローラ時：出力、ターゲット時：入力)
	XSPI0_ECS0#, XSPI0_ECS1#, XSPI1_ECS0#, XSPI1_ECS1#	入力	ターゲットのエラー訂正状態
	XSPI0_INT0#, XSPI1_INT0#	入出力	ターゲットの割り込み (コントローラ時：入力、ターゲット時：出力)
	XSPI0_INT1#, XSPI1_INT1#	入力	ターゲットの割り込み (コントローラ時：入力、ターゲット時：なし)
	XSPI0_RSTO0#, XSPI1_RSTO0#	入出力	ターゲットのターゲットリセット信号 (コントローラ時：入力、ターゲット時：出力)
	XSPI0_RSTO1#, XSPI1_RSTO1#	入力	ターゲットのターゲットリセット信号 (コントローラ時：入力、ターゲット時：なし)
	XSPI0_WP0#, XSPI0_WP1#, XSPI1_WP0#, XSPI1_WP1#	出力	ターゲットのライトプロテクト
シリアルサウンドインタフェース	SSIBCK0, SSIBCK1	入出力	SSIEシリアルビットクロック端子
	SSILRCK0, SSILRCK1	入出力	LRクロック
	SSITXD0, SSITXD1	出力	シリアルデータ出力端子
	SSIRXD0, SSIRXD1	入力	シリアルデータ入力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子 (入力オーバーサンプリングクロック)
SD/MMCホストインタフェース	SD0_CLK	出力	SDクロック出力端子
	SD0_CMD	入出力	コマンド出力、レスポンス入力信号端子
	SD0_DAT0 ~ SD0_DAT7	入出力	SD/MMCデータバス端子
	SD0_CD	入力	SDカード検出端子
	SD0_WP	入力	SDライトプロテクト信号
Δ - Σ モジュレータインタフェース	DSM0_CLK0 ~ DSM0_CLK2, DSM1_CLK0 ~ DSM1_CLK2	入出力	クロック入出力端子
	DSM0_DAT0 ~ DSM0_DAT2, DSM1_DAT0 ~ DSM1_DAT2	入力	データ入力端子
パラレルデータキャプチャユニット	PIXCLK	入力	画像転送用クロック端子
	VSYNC	入力	垂直同期信号端子
	HSYNC	入力	水平同期信号端子
	PIXD0 ~ PIXD7	入力	8ビット画像データ端子
	PCKO	出力	ドットクロック用出力端子
パルス密度変調インタフェース	PDMCLK0	出力	クロック出力端子
	PDMDAT0	入力	データ入力端子

表 1.4 端子機能一覧 (7/7)

分類	端子名	入出力	機能
位相計数インターフェース	PCINA0, PCINA1	入力	A相入力端子
	PCINB0, PCINB1	入力	B相入力端子
	PCINZ0, PCINZ1	入力	Z相入力端子
	PCOUTA0, PCOUTA1	出力	A相出力端子
	PCOUTB0, PCOUTB1	出力	B相出力端子
	PCOUTZ0, PCOUTZ1	出力	Z相出力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0 ~ RTCIC2	入力	時間キャプチャイベント入力端子
バッテリーバックアップ	TAMPI0 ~ TAMPI2	入力	タンパ検出
16ビットA/Dコンバータ	AN000 ~ AN035	入力	A/Dコンバータのアナログ入力端子
	ADTRG0# ~ ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0 ~ ADST2	出力	A/D変換期間モニタ出力
	ADCNV0 ~ ADCNV2	出力	A/D比較期間モニタ出力
	ADSYNC	出力	A/Dコンバータユニット間同期モニタ出力
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC0	入力	16ビットA/Dコンバータのアナログ電源端子、D/Aコンバータのアナログ電源と基準電源の端子です。
	AVSS0	入力	16ビットA/Dコンバータのアナロググランド端子、D/Aコンバータのアナロググランドと基準グランドの端子です。
	VREFH0	入力	16ビットA/Dコンバータの基準電源端子
	VREFL0	入力	16ビットA/Dコンバータの基準グランド端子
	VREFH00 ~ VREFH02 (注1)	入力	16ビットA/Dコンバータの基準電源端子
	VREFL00 ~ VREFL02 (注1)	入力	16ビットA/Dコンバータの基準グランド端子
ソフトウェア設定型32ビットプログラマブルI/Oポート	PIO_000 ~ PIO_063	入出力	仮想的な汎用入出力ポートの端子
I/Oポート	P000 ~ P015	入出力	16ビットの入出力端子
	P100 ~ P115	入出力	16ビットの入出力端子
	P200 ~ P215	入出力	16ビットの入出力端子
	P300 ~ P312, P315	入出力	14ビットの入出力端子 (P305, P308, P309は入力端子)
	P400 ~ P415	入出力	16ビットの入出力端子
	P500 ~ P515	入出力	16ビットの入出力端子
	P600 ~ P607	入出力	8ビットの入出力端子
	P700 ~ P715	入出力	16ビットの入出力端子
	P800 ~ P807	入出力	8ビットの入出力端子
	P900 ~ P907	入出力	8ビットの入出力端子
	PA00 ~ PA07	入出力	8ビットの入出力端子
	PB00 ~ PB07	入出力	8ビットの入出力端子
	PC00 ~ PC07	入出力	8ビットの入出力端子
	PD00 ~ PD07	入出力	8ビットの入出力端子
	PE00 ~ PE07	入出力	8ビットの入出力端子
	PF00 ~ PF09	入出力	10ビットの入出力端子
	PG00 ~ PG15	入出力	16ビットの入出力端子

注. 端子名については、以下の注意事項があります。詳細は、「1.6 機能別端子一覧」を参照してください。

- 端子名に付加される“-A”や“-B”などの記号は端子グループ識別子を示します。電気的特性は端子グループごとに評価されています。電気的特性のAC特性は、同一グループ内の端子を使用した場合にのみ保証されます。
- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。

注1. 320ピン製品専用

1.5 ピン配置図

1.5.1 320 ピン LFBGA

RX74M グループ PLBG0320GD-A (320 ピン LFBGA) (上面透視図)																								
INDEX	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20				
A	VSS	P514	P515	PC01	PC03	PC04	PC07	P801	P800	VLO	VSS_D CDC	VSS_D CDC	VCC_D CDC	P504	P103	P104	P106	P200	P300/TMS	VSS				
B	PG03	P512	P513	PC00	PC02	VSS	PC05	PC06	P802	VLO	VSS_D CDC	VSS_D CDC	VCC_D CDC	P505	P102	VSS	P107	P201	P301/TCK	P302/TDO				
C	PG02	PG01	PB01	PB03	PB04	PB06	PB07	PB05	P803	VLO	VLO	VCC_D CDC	VCC_D CDC	P506	P105	P805	P806	P807	P304	P303/TDI				
D	PA06	PG00	P511															P108	P109	P110				
E	PA05	PA07	P510			PG05	PB02	PB00	VCC	VCC	P500	P502	P100	VCC	VCC	P507	P804			P111	P112	P113		
F	PA03	PA04	P509			PG07	PG06	PG04	VSS	VSS	P501	P503	P101	VSS	VSS	PF02	P115			P114	VSS	VCC		
G	PA02	PA01	P508			VCC	VSS									PF03	PF04			VSS_USB	PF00/USB0_DP	PF01/USB0_DM		
H	PA00	PG13	PG15			VCC	VSS			VSS	VCL	VSS	VSS	VCL	VSS			P204	P203			PF05	VCC_USB	VCC_USB
J	PG11	PG14	PG12			VCC	VSS			VSS	VCL	VSS	VSS	VSS	VCL			P205	P202			AVSS_USBHS	USBHS_DP	USBHS_DM
K	PG09	PG10	P705			P704	P702			VCL	VSS	VCL	VCL	VCC	VSS			P207	P206			USBHS_RREF	VSS_USBHS	VCC_USBHS
L	PG08	VSS	P707			P706	P703			VSS	VSS	VCL	VCL	VSS	VCC			P310	P305/NMI			AVCC_USBHS	VCC	VCC
M	P701	P715	P714			VCC	VSS			VCL	VCL	VSS	VSS	VSS	VCL			P312	P311			VSS	P306/EXTAL	P307/XTAL
N	P700	P712	P713			VCC	VSS			VSS	VCL	VSS	VSS	VCL	VSS			P209	P208			P315/MD	VSS	VSS
P	PE06	PE07	PF09			VCC	VSS											P211	P210			VSS	P309/XCIN/EXCIN	P308/XCOUT
R	PE03	PE05	PF08			P607	P606	VSS	VSS	VSS	P906	P405	P404	VSS	VSS	P215	P214			RES#	VCC	VBATT/VCC		
T	PE01	PE04	PF07			P604	P602	VCC2	VCC2	VCC2	P907	P406	P407	VCC	VCC	P013	P012			P213	P212	P000		
U	PE00	PE02	PF06															P008	P009	P001				
V	P709	P711	P605	P603	P600	P601	P905	P904	AVCC0	AVSS0	VREFL00	VREFH00	P412	P413	P414	P415	P014	P011	P010	P002				
W	P708	P710	PD05	PD03	VSS	PD02	P902	P900	AVCC0	AVSS0	VREFL01	VREFH01	P403	P401	P411	P409	VSS	P006	P004	P003				
Y	VSS	PD07	PD06	PD04	PD01	PD00	P903	P901	AVCC0	AVSS0	VREFL02	VREFH02	P402	P400	P410	P408	P015	P007	P005	VSS				
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20				

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.5 機能別端子一覧 (320 ピン LFBGA)」をご確認ください。

図 1.3 ピン配置図 (320 ピン LFBGA)

1.5.2 224 ピン LFBGA

RX74M グループ PLBG0224GE-A (224 ピン LFBGA) (上面透視図)															
INDEX															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	VSS	PC03	PC07	P801	P802	VLO	VSS_DC DC	VCC_DC DC	P103	P104	P106	P200	P301/ TCK	P302/ TDO	VSS
B	PC04	PC01	PC05	PC06	P803	VLO	VSS_DC DC	VCC_DC DC	P102	P105	P107	P201	P300/ TMS	P303/TDI	P304
C	PC00	PC02	PB06	PB05	P800	VLO	P100	VCC_DC DC	P804	P805	P114	P111	P108	P110	P113
D	PG00	PG02	PB04	PB07	P502	P500	P101	P504	P506	P806	P109	P115	P112	VSS	VCC
E	PG01	PG03	PB02	PB03	VCC	P501	P503	P505	P507	P807	PF02	PF04	PF03	PF00/ USB0_D P	PF01/ USB0_D M
F	PA05	PA07	PB01	PB00	VSS	VCL	VSS	VCC	VSS	VSS	PF05	P202	P203	VCC_US B	VSS_US B
G	PA04	PA06	PG05	PG07	PF09	VSS	VCL	VSS	VCL	VCL	P205	P204	VCC_US BHS	USBHS_ DP	USBHS_ DM
H	PA02	PA03	PG06	PG04	PF08	VCC	VSS	VCL	VSS	VCL	P206	AVSS_U SBHS	USBHS_ RREF	VSS_US BHS	VCC
J	PA00	PA01	P703	PF06	PF07	VSS	VCL	VSS	VCL	VSS	P207	P305/NMI	AVCC_U SBHS	P307/ XTAL	P306/ EXTAL
K	P707	P706	P702	P605	VSS	VCC	VSS	VCC2	VCL	VSS	P310	P311	P315/MD	VSS	VSS
L	P705	P704	P604	P606	VCC2	P904	P906	P407	P406	P215	P209	P312	VCC	P309/ XCIN/ EXCIN	P308/ XCOUT
M	P700	P701	P607	P603	P907	P905	P902	P900	P405	P415	P212	P214	RES#	VSS	VBATT/ VCC
N	PE07	PE04	PE06	P602	P601	P600	P903	P901	P404	P414	P210	P213	P208	P211	P000
P	PE05	PE03	PE02	PD07	PD05	PD03	PD02	AVSS0	VREFL0	P403	P401	P006	P004	P003	P001
R	VSS	PE01	PE00	PD06	PD04	PD00	PD01	AVCC0	VREFH0	P402	P400	P007	P005	P002	NC
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.6 機能別端子一覧 (224ピンLFBGA)」をご確認ください。

図 1.4 ピン配置図 (224 ピン LFBGA)

1.5.3 176 ピン LFBGA

INDEX		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
A	PC01	PC03	PC05	PC07	P801	P503	VLO	VSS_DCD C	VCC_DCD C	P102	P106	P200	P805	P301/TCK	P302/TDO	A	
B	PC00	PC02	PC04	PC06	P803	P502	VLO	VSS_DCD C	VCC_DCD C	P103	P107	P201	P804	P300/TMS	P303/TDI	B	
C	PB06	PB07	P802	VCC	P500	P501	VLO	VCC_DCD C	VCC	P100	P104	P205	P304	P202	P203	C	
D	PB04	PB05	PG01	P800	VCC	VSS	VCL	P101	VSS	VCL	P105	VCC	P204	PF00/ USB0_DP	PF01/ USB0_DM	D	
E	PB02	PB03	PG00	VSS	RX74M グループ PLBG0176GG-A (176 ピン LFBGA) (上面透視図)							VSS	P206	VSS_USB	VCC_USB	E	
F	PB00	PB01	PG02	VCL								VCL	AVSS_US BHS	USBHS_D P	USBHS_D M	F	
G	PA06	PA07	P706	VCC								AVCC_US BHS	USBHS_R REF	VSS_USB HS	VCC_USB HS	G	
H	PA04	PA05	P707	VSS								P207	VSS	P306/ EXTAL	P307/ XTAL	H	
J	PA02	PA03	P705	VCL								VCL	P305/NMI	VSS	VCC	J	
K	PA00	PA01	P702	VCC								VSS	P310	P309/ XCIN/ EXCIN	P308/ XCOUT	K	
L	P700	P701	P703	P704								P312	P311	VCC	VBATT/ VCC	L	
M	PE07	PE03	PD04	PD06	VSS	VCL	VCC2	VSS	VCL	P407	P404	P315/MD	RES#	P001	P000	M	
N	PE05	PE04	P607	P604	PD07	PD05	VCC2	VSS	VCL	P406	P405	P415	P414	P003	P002	N	
P	PE01	PE02	P606	P603	P601	PD03	PD00	P902	P900	AVSS0	VREFL0	P402	P400	P005	P004	P	
R	PE00	PE06	P605	P602	P600	PD02	PD01	P903	P901	AVCC0	VREFH0	P403	P401	P007	P006	R	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		

注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表 1.7 機能別端子一覧 (176ピンLFBGA)」をご確認ください。

図 1.5 ピン配置図 (176 ピン LFBGA)

1.5.4 176 ピン LFQFP

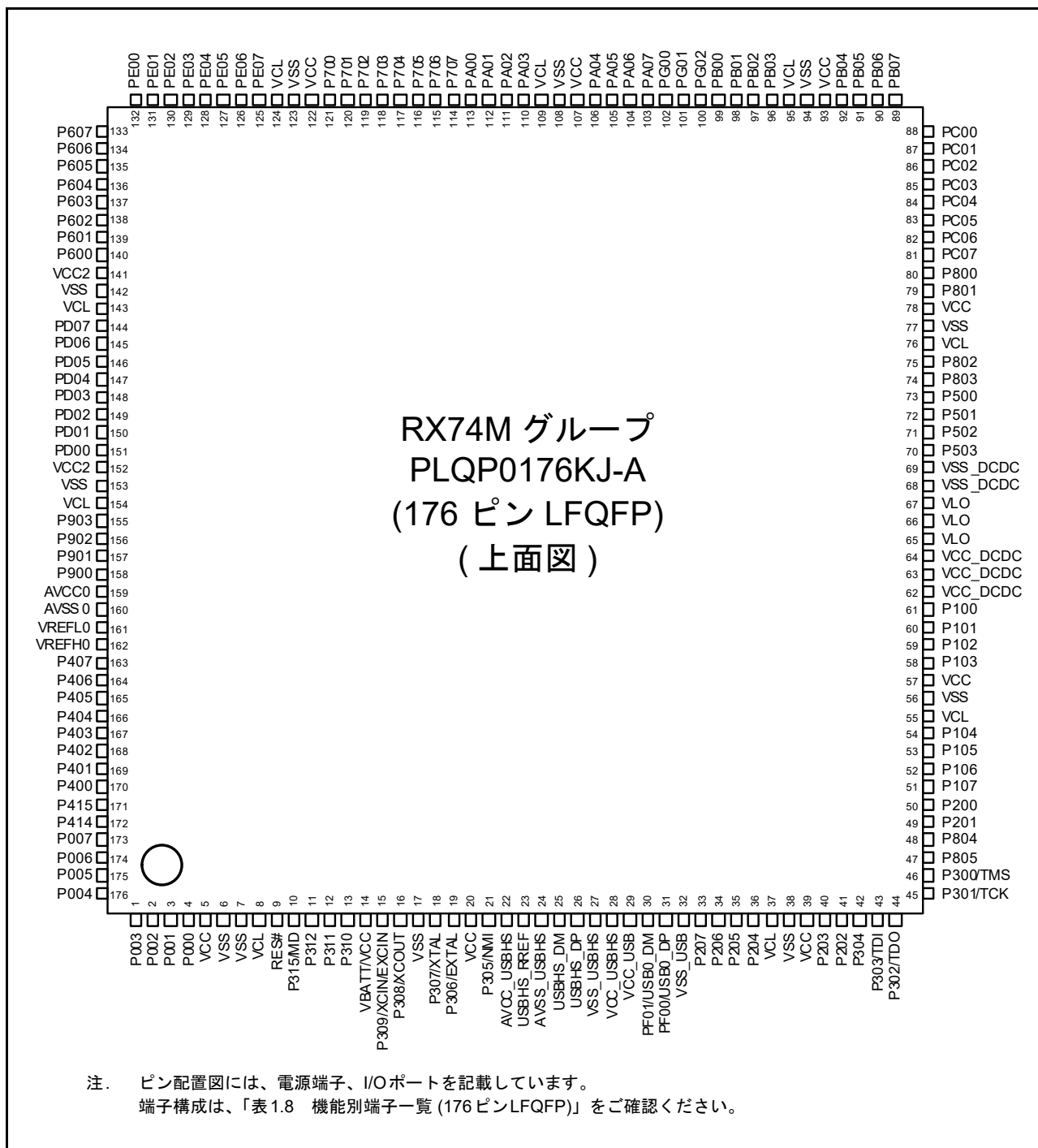


図 1.6 ピン配置図 (176 ピン LFQFP)

1.5.5 144 ピン LQFP

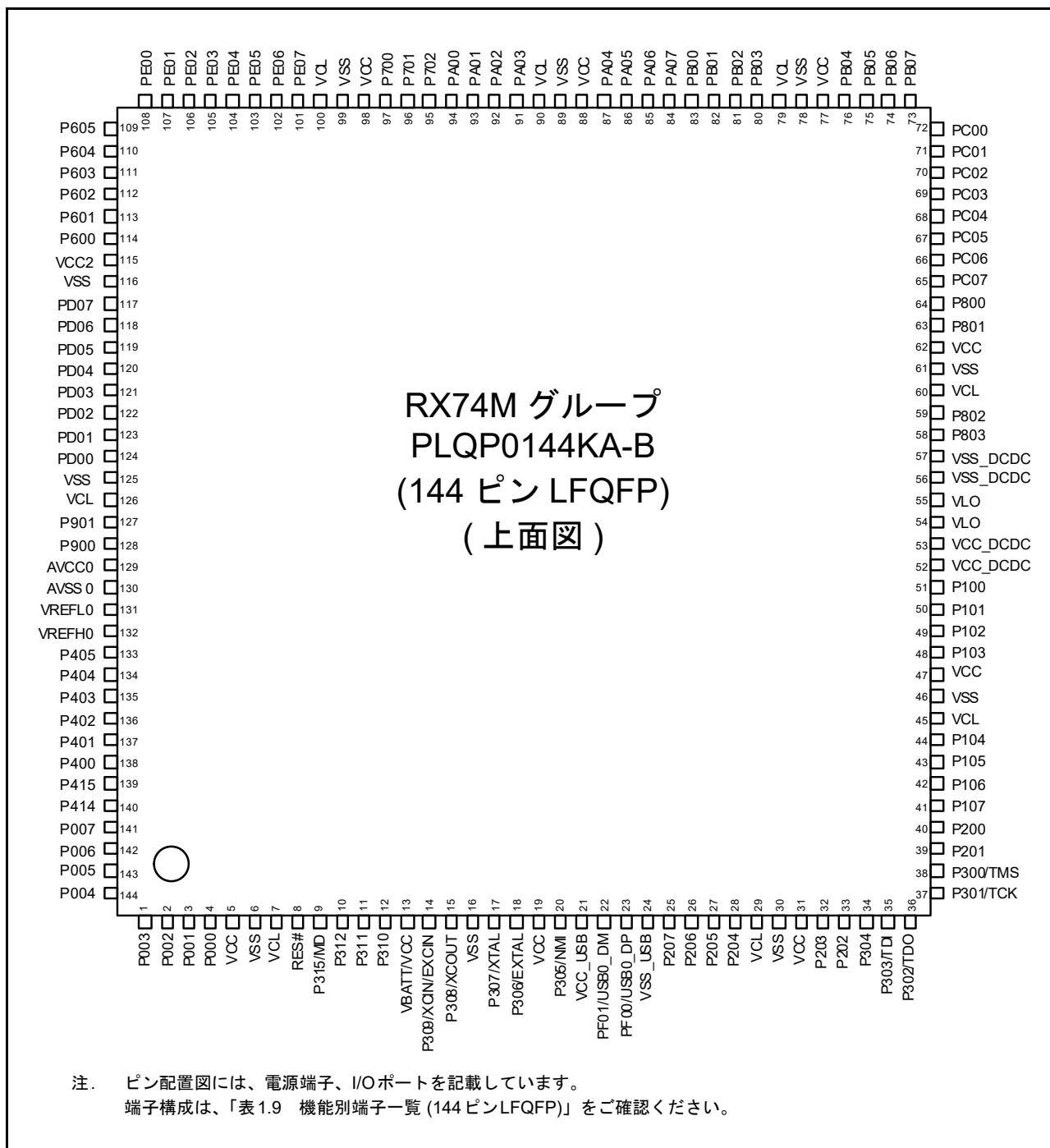


図 1.7 ピン配置図 (144 ピン LQFP)

1.5.6 100 ピン LFQFP

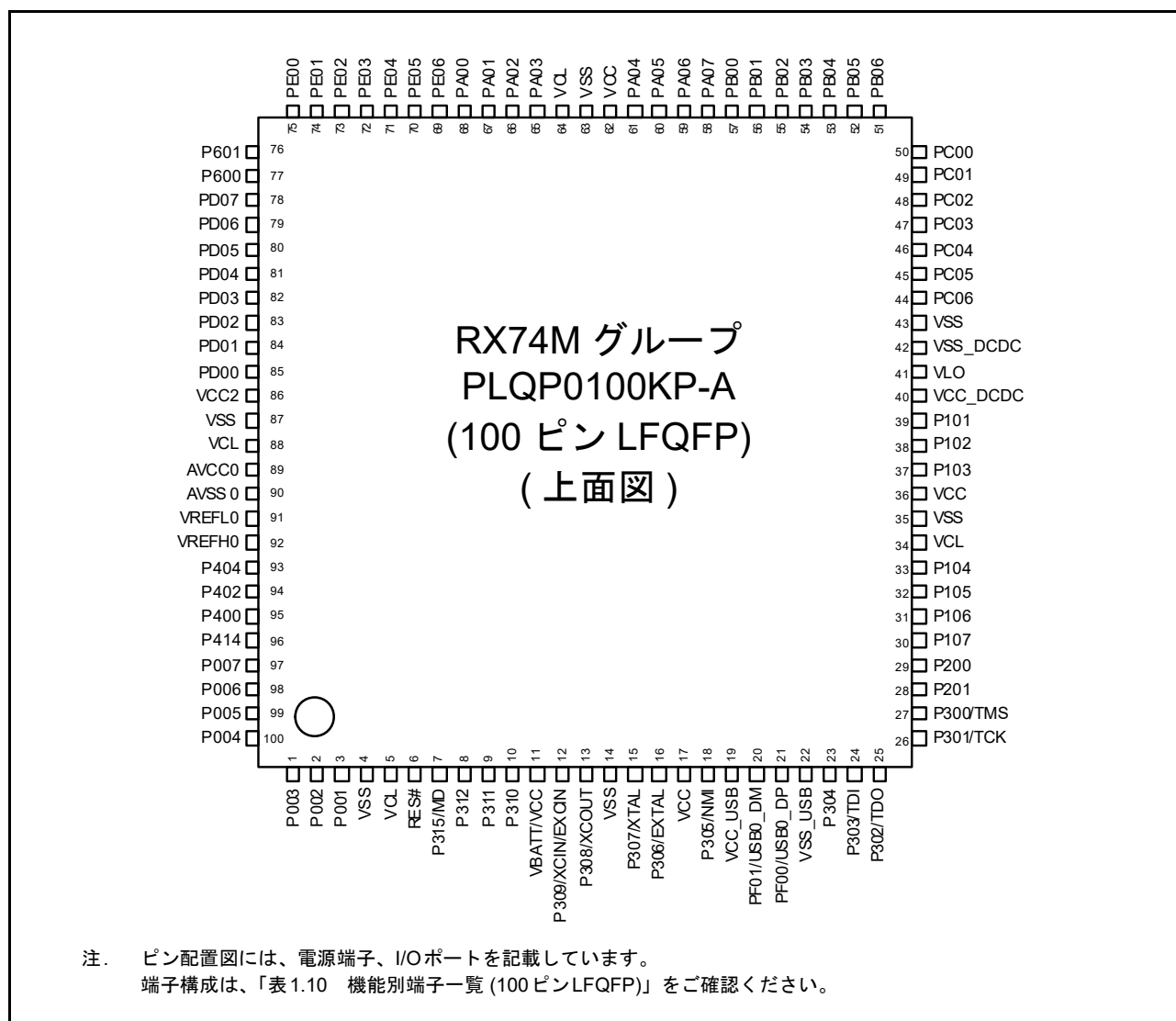


図 1.8 ピン配置図 (100 ピン LFQFP)

1.6 機能別端子一覧

1.6.1 320 ピン LFBGA

表 1.5 機能別端子一覧 (320 ピン LFBGA) (1/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
A1	VSS											
A2		P514	PIO_006	D17-A		GTIOC9A	CTS008#/ SSL23-D	ET0_TXD6- A	SD0_WP	IRQ22		DSM0_C LK0-G
A3		P515	PIO_007	D16-A		GTIOC9B	CTS010#	ET0_TXD7- A	SD0_CD	IRQ23		DSM0_D AT0-G
A4		PC01	PIO_025	D6-A		GTOULO/ GTIOC7B	SCK011-A/ CTS011#/ TXDB011/ SSL02-A/ SDA00-C	ET0_TXD0- A/ RGMII0_TXD 0-A/ RGMII0_TX D0-A/ CAT0_ETX D0-A	SD0_DAT 3-A	IRQ12		PCOUTB 0
A5		PC03	PIO_027	D4-A		GTOVLO/ GTIOC8B	TXD011-A/ SMOSI011-A/ SSDA011/ TXDA011/ SDAHS1-C	ET0_TXD2- A/ RGMII0_TX D2-A/ CAT0_ETX D2-A	SD0_CLK -A	IRQ11		PCOUTA 1
A6		PC04	PIO_028	D3-A	TMC11	GTOWUP/ GTIOC9A	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS011#/ SSL00-A/ AUDIO_CLK	ET0_TXD3- A/ RGMII0_TX D3-A/ CAT0_ETX D3-A	SD0_DAT 0-A	IRQ12		PCOUTB 1
A7	ETHPHY CLK	PC07	PIO_031	D0-A	TMO2/ TOC0/ CACREF	GTETRGD / GTADSM1 / GTIOC15 B/POEGA	TXD008-A/ SMOSI008-A/ SSDA008/ TXDA008/ MISO0-A/ SSITXD0	ET0_GTX_ CLK-A/ RGMII0_TX C-A/ CATREST OUT	SD0_CD	IRQ14		DSM1_D AT2-C/ PDMDAT 0
A8	CLKOUT	P801	PIO_057	EBCLK-A		GTIV/ GTIOC0B/ POEGC	TXD010-B/ SMOSI010-B/ SSDA010/ TXDA010	ET0_CRS/ CATSYNCO		IRQ9	ADCNV1	DSM1_D AT1-C
A9		P800	PIO_056	CS1#-A/ DQM0-B		GTIU/ GTIOC0A/ POEGD	RXD010-B/ SMISO010-B/ SSCL010	ET0_COL/ CATLATCH 0		IRQ8	ADCNV0	DSM1_C LK1-C
A10	VLO											
A11	VSS_DC DC											
A12	VSS_DC DC											
A13	VCC_DC DC											
A14		P504	PIO_036		TMC11	GTETRGA /GTIOC4A	CTS002#/ RXD007-B/ SMISO007-B/ SSCL007/ MOSI2-B	ET0_TX_E R-C/ GPTP_CA PTURE0/ CATLINKA CT0		IRQ4		DSM0_C LK0-E
A15		P103	PIO_011		TMO3	GTADSM1 / GTIOC13 B	CTS002#/ SDA00-A	ET0_CRS/ CATI2CDA TA-A		IRQ3		

表 1.5 機能別端子一覧 (320 ピン LFBGA) (2/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
A16		P104	PIO_012		TMRI2	GTIW/ GTIOC14 A	RXD002-B/ SMISO002-B/ SSCL002/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ CTX2/ USB0_OVRC URA-DS/ USBHS_VBU S	ET0_TXD0- B/ RMII0_TXD 0-B/ CAT0_ETX D0-B/ CATLEDST ER	PIXD0	IRQ4	ADST0	DSM0_C LK1-C/ PCINA0
A17	CLKOUT	P106	PIO_014		TMO2/ RTCOUT	GTIU/ GTIOC15 A/POEGB	RXD003-B/ SMISO003-B/ SSCL003/ SCLHS2-A	ET0_TXD2- B/ CAT0_ETX D2-B/ CATI2CCL K-B	SD0_DAT 2-C/ PIXD2	IRQ30- DS	ADTRG0 #	PCINA1
A18		P200	PIO_016		TMRI0	GTETRG A/ GTIOC3A/ GTIOC14 A	CTS006#/ RTS006#/ SS006#/ DE006/ TXDB006/ MOSI0-C/ SDAHS1-A/ USB0_ID/ SSIRXD0	ET0_TX_E N-B/ RMII0_TX_ EN-B/ CAT0_TX_ EN-B	SD0_CM D-C/ PIXD4	IRQ8	ADTRG2 #	PCINZ1
A19	TMS/ SWDIO	P300	PIO_024		TMO1	GTCPP01 0	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-C	ET0_WOL		IRQ6		
A20	VSS											
B1		PG03	PIO_059	DQM2-A/ WR2#-C/ BC2#-C		GTIOC11B	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008	ET0_INT/ GPTP_MAT CH1		IRQ11		DSM0_D AT1-D
B2		P512	PIO_004	D19-A		GTIOC8A	SSL21-D	ET0_TXD4- A	SD0_DAT 0-D	IRQ20		DSM0_C LK1-G/ PCINZ0
B3		P513	PIO_005	D18-A		GTIOC8B	SSL22-D	ET0_TXD5- A	SD0_DAT 1-D	IRQ21		DSM0_D AT1-G/ PCINZ1
B4		PC00	PIO_024	D7-A		GTOUUP/ GTIOC7A	CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011/ SSL01-A/ SCL00-C	ET0_TX_C LK-A/ CAT0_TX_ CLK-A	SD0_DAT 2-A	IRQ14		PCOUTA 0
B5		PC02	PIO_026	D5-A		GTOVUP/ GTIOC8A	RXD011-A/ SMISO011-A/ SSCL011/ SSL03-A/ SCLHS1-C	ET0_TXD1- A/ RMII0_TXD 1-A/ RGMII0_TX D1-A/ CAT0_ETX D1-A	SD0_CM D-A	IRQ10		PCOUTZ 0
B6	VSS											

表 1.5 機能別端子一覧 (320 ピン LFBGA) (3/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
B7		PC05	PIO_029	D2-A	TMRI2	GTOWLO/ GTIOC9B	SCK008-A/ CTS008#/ TXDB008/ RSPCK0-A/ SSIBCK0	ET0_TX_E N-A/ RMII0_TX_ EN-A/ RGMII0_TX_ CTL-A/ CAT0_TX_ EN-A	SD0_DAT 1-A	IRQ5		PCOUTZ 1
B8		PC06	PIO_030	D1-A	TMC12/ TIC0	GTETRGC / GTCPP07 / GTIOC15 A/POEGB	RXD008-A/ SMISO008-A/ SSCL008/ MOSI0-A/ SSILRCK0	ET0_TX_E R-A/ CATLINKA CT0	SD0_WP	IRQ13		DSM1_C LK2-C/ PDMCLK 0
B9		P802	PIO_058	CS2#-A/ WR#-B/ WR0#-B		GTIW/ GTIOC1A/ POEGB	SCK010-B/ CTS010#/ TXDB010/ CRX2/ USB0_EXICE N	ET0_MDIO -B/ CAT0_MDI O-B		IRQ2	ADCNV2	DSM1_C LK0-C
B10	VLO											
B11	VSS_DC DC											
B12	VSS_DC DC											
B13	VCC_DC DC											
B14		P505	PIO_037		TMO3	GTETRGB /GTIOC4B	TXD007-B/ SMOSI007-B/ SSDA007/ TXDA007/ MISO2-B	ET0_TX_C LK-C/ GPTP_MAT CH0/ CAT0_TX_ CLK-C		IRQ10		DSM0_D AT0-E
B15		P102	PIO_010		TMC11	GTADSM0 / GTIOC13 A	SCL00-A	ET0_COL/ CATI2CCL K-A		IRQ2		
B16	VSS											
B17		P107	PIO_015		TMO1	GTIV/ GTIOC15 B/POEGA	TXD003-B/ SMOSI003-B/ SSDA003/ TXDA003/ SDAHS2-A/ SSITXD0	ET0_TXD3- B/ CAT0_ETX D3-B/ CATI2CDA TA-B	SD0_DAT 3-C/ PIXD3	IRQ31- DS	ADTRG1 #	PCINB1
B18		P201	PIO_017		TMC10	GTIW/ GTIOC3B/ GTIOC14 B	SCK006-A/ CTS006#/ TXDB006/ MISO0-C/ SCLHS1-A/ USB0_EXICE N/SSILRCK0	ET0_RX_E R-B/ RMII0_RX_ ER-B/ CAT0_RX_ ER-B	SD0_CLK -C/PIXD5	IRQ9		PCINZ0
B19	TCK/ SWCLK	P301	PIO_025		TMC13	GTCPP01 1	SCK000-A/ CTS000#/ TXDB000/ SCK001-A/ CTS001#/ TXDB001/ RSPCK1-C	ET1_WOL		IRQ7		
B20	TDO	P302	PIO_026		TMRI3	GTCPP01 2	TXD000-A/ SMOSI000-A/ SSDA000/ TXDA000/ TXD001-A/ SMOSI001-A/ SSDA001/ TXDA001/ MOSI1-C	ET1_COL		IRQ4		

表 1.5 機能別端子一覧 (320 ピン LFBGA) (4/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
C1		PG02	PIO_058	DQM3-A/ WR3#-C/ BC3#-C		GTIOC11A	TXD008-C/ SMOSI008-C/ SSDA008/ TXDA008	ET1_RX_E R-A/ RMII1_RX_ ER-A/ CAT1_RX_ ER-A		IRQ10		DSM0_C LK1-D
C2		PG01	PIO_057	DQM0-A/ WR#-C/ WR0#-C		GTCPPO1	RXD008-C/ SMISO008-C/ SSCL008	ET1_RX_D V-A/ RMII1_CR S_DV-A/ RGMII1_R X_CTL-A/ CAT1_RX_ DV-A		IRQ9		DSM0_D AT2-D
C3		PB01	PIO_017	D14-A	TMC10	GTETRGB / GTCPPO4 / GTIOC14 B/POEGA	TXD004-A/ SMOSI004-A/ SSDA004/ TXDA004	ET0_RXD1 -A/ RMII0_RX D1-A/ RGMII0_R XD1-A/ CAT0_ERX D1-A		IRQ4- DS		DSM0_D AT2-A/ PCINB1
C4		PB03	PIO_019	D12-A	TMO0	GTOULO/ GTIOC4B	SCK004-A/ CTS004#/ TXDB004	ET0_RXD3 -A/ RGMII0_R XD3-A/ CAT0_ERX D3-A		IRQ3		
C5		PB04	PIO_020	D11-A		GTOVUP/ GTIOC5A	CTS004#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009	ET0_RX_C LK-A/ RMII0_REF 50CK-A/ RGMII0_R XC-A/ CAT0_RX_ CLK-A		IRQ4		
C6		PB06	PIO_022	D9-A		GTOWUP/ GTIOC6A	RXD009-A/ SMISO009-A/ SSCL009	ET0_RX_E R-A/ RMII0_RX_ ER-A/ CAT0_RX_ ER-A		IRQ6		
C7		PB07	PIO_023	D8-A		GTOWLO/ GTIOC6B	TXD009-A/ SMOSI009-A/ SSDA009/ TXDA009	ET0_LINKS TA/ CAT0_LINK STA		IRQ15		
C8		PB05	PIO_021	D10-A	TMR11	GTOVLO/ GTIOC5B	SCK009-A/ CTS009#/ TXDB009	ET0_RX_D V-A/ RMII0_CR S_DV-A/ RGMII0_R X_CTL-A/ CAT0_RX_ DV-A		IRQ13		
C9		P803	PIO_059	CS3#-A/ WR1#-B/ BC1#-B		GTIOC1B/ POEGA	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ CTX2/ USB0_ID	ET0_MDC- B/ CAT0_MDC -B		IRQ3	ADSYNC	DSM1_D AT0-C
C10	VLO											
C11	VLO											
C12	VCC_DC DC											
C13	VCC_DC DC											

表 1.5 機能別端子一覧 (320 ピン LFBGA) (5/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
C14		P506	PIO_038			GTETRGC / GTIOC5A/ POEGD	SCK007-B/ CTS007#/ TXDB007/ RSPCK2-B	ET0_TXD2- C/ GPTP0_PP S/ CAT0_ETX D2-C		IRQ6		
C15		P105	PIO_013		TMC12	GTIV/ GTIOC14 B	TXD002-B/ SMOSI002-B/ SSDA002/ TXDA002/ SCK003-B/ CTS003#/ TXDB003/ CRX2/ USB0_VBUS/ USBHS_OVR CURB/ SSILRCK1	ET0_TXD1- B/ RMII0_TXD 1-B/ CAT0_ETX D1-B/ CATLEDRU N	PIXD1	IRQ29- DS	ADST1	DSM0_D AT1-C/ PCINB0
C16		P805	PIO_061			GTADSM1 / GTIOC15 B	SCK005-B/ CTS005#/ TXDB005/ SSL22-B/ CRX0/ USB0_VBUS EN/ USBHS_VBU SEN	ET0_TXD0- C/ RMII0_TXD 0-C/ CAT0_ETX D0-C	HSYNC	IRQ5	ADSYNC	DSM0_D AT0-F/ PCINB0
C17		P806	PIO_062			GTCPP07 / GTIOC14 A	RXD005-B/ SMISO005-B/ SSCL005/ SSL23-B/ CTX1	ET0_TXD1- C/ RMII0_TXD 1-C/ CAT0_ETX D1-C	VSYNC	IRQ14		DSM0_C LK1-F/ PCINA1
C18		P807	PIO_063			GTCPP04 / GTIOC14 B/POEGD	TXD005-B/ SMOSI005-B/ SSDA005/ TXDA005/ CRX1	ET0_RX_E R-C/ RMII0_RX_ ER-C/ CAT0_RX_ ER-C	PIXCLK	IRQ15		DSM0_D AT1-F/ PCINB1
C19	ETHPHY CLK	P304	PIO_028	ALE-C/ WAIT#-B	TMC13	GTETRGD / GTCPP00 /POEGA	CTS000#/ CTS001#/ USB0_VBUS EN/ USBHS_ID	ET0_INT/ CATREST OUT		IRQ0- DS	ADTRG0 #	
C20	TDI	P303	PIO_027		TMC12	GTCPP01 3	RXD000-A/ SMISO000-A/ SSCL000/ RXD001-A/ SMISO001-A/ SSCL001/ MISO1-C	ET1_CRS		IRQ1		
D1		PA06	PIO_014	A1-A/ DQM2-B	TMC13	GTIOC3A/ GTIOC13 A	TXD010-A/ SMOSI010-A/ SSDA010/ TXDA010/ MOSI0-B	ET1_TXD3- A/ RGMII1_TX D3-A/ CAT1_ETX D3-A		IRQ14		PCINZ1
D2		PG00	PIO_056	DQM1-A/ WR1#-C/ BC1#-C		GTCPP00	SCK008-C/ CTS008#/ TXDB008	ET1_RX_C LK-A/ RMII1_REF 50CK-A/ RGMII1_R XC-A/ CAT1_RX_ CLK-A		IRQ8		DSM0_C LK2-D
D3		P511	PIO_003	D20-A		GTETRGA / GTIOC7B/ POEGC	SSL20-D	ET0_RXD7 -A	SD0_CLK -D	IRQ19		DSM0_D AT2-G

表 1.5 機能別端子一覧 (320 ピン LFBGA) (6/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
D18		P108	PIO_040		TIC0	GTCPP08	SCK009-C/ CTS009#/ TXDB009/ RSPCK2-C	ET0_RX_D V-C/ RMII0_CR S_DV-C/ CAT0_RX_ DV-C	SD0_DAT 4-C/ PIXD0	IRQ16	ADCNV0	DSM0_C LK2-F
D19		P109	PIO_041		TOC0	GTCPP09	RXD009-C/ SMISO009-C/ SSCL009/ MOSI2-C	ET0_RX_C LK-C/ RMII0_REF 50CK-C/ CAT0_RX_ CLK-C	SD0_DAT 5-C/ PIXD1	IRQ17	ADCNV1	DSM0_D AT2-F
D20		P110	PIO_042			GTCPP01 0	TXD009-C/ SMOSI009-C/ SSDA009/ TXDA009/ MISO2-C	ET0_RXD0 -C/ RMII0_RX D0-C/ CAT0_ERX D0-C	SD0_DAT 6-C/ PIXD2	IRQ18	ADCNV2	
E1		PA05	PIO_013	A2-A		GTIOC2B/ GTIOC12 B	SCK010-A/ CTS010#/ TXDB010/ RSPCK0-B	ET1_TXD2- A/ RGMII1_TX D2-A/ CAT1_ETX D2-A		IRQ5		PCINA0
E2	ETHPHY CLK	PA07	PIO_015	A0-A/ BC0#-A/ DQM1-B		GTIOC3B/ GTIOC13 B	RXD010-A/ SMISO010-A/ SSCL010/ MISO0-B	ET1_TX_E R-A/ CATLINKA CT1		IRQ7		PCINB0
E3	CLKOUT	P510	PIO_002	D21-A		GTETRGB / GTIOC7A/ POEGB	MISO2-D	ET0_RXD6 -A	SD0_CM D-D	IRQ18		DSM0_C LK2-G/ PCOUTZ 0
E5		PG05	PIO_061	A10-A		GTIOC12 B	RXD003-C/ SMISO003-C/ SSCL003	ET0_MDIO -A/ CAT0_MDI O-A		IRQ13		
E6		PB02	PIO_018	D13-A		GTOUUP/ GTIOC4A	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004/ CTS009#	ET0_RXD2 -A/ RGMII0_R XD2-A/ CAT0_ERX D2-A		IRQ2		
E7		PB00	PIO_016	D15-A		GTETRGA / GTADSM0 / GTIOC14 A/POEGC	RXD004-A/ SMISO004-A/ SSCL004	ET0_RXD0 -A/ RMII0_RX D0-A/ RGMII0_R XD0-A/ CAT0_ERX D0-A		IRQ12	ADST2	DSM0_C LK2-A/ PCINA1
E8	VCC											
E9	VCC											
E10		P500	PIO_032	WR#-A/ WR0#-A/ A16-C		GTIOC2A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS007#/ SSL11-C/ CTX0	ET0_LINKS TA/ CAT0_LINK STA	SD0_DAT 4-A	IRQ0	ADST0	DSM0_C LK2-E
E11		P502	PIO_034	WR2#-A/ BC2#-A/ A18-C		GTIOC3A	TXD002-C/ SMOSI002-C/ SSDA002/ TXDA002/ SSL13-C/ CTX1	ET0_WOL/ CATLEDRU N	SD0_DAT 6-A	IRQ2	ADST2	DSM0_C LK1-E

表 1.5 機能別端子一覧 (320 ピン LFBGA) (7/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
E12		P100	PIO_008	CS1#-B/ WAIT#-A	TMRI3/ CACREF	GTIU/ GTADSM0 / GTIOC12 A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS005#/ USB0_OVRC URB-DS/ USBHS_VBU S	ET0_TX_E R-B/ CATLINKA CT0/ CATLEDER R		IRQ0	ADTRG2 #	DSM0_C LK0-C
E13	VCC											
E14	VCC											
E15		P507	PIO_039			GTETRGD / GTIOC5B/ POEGC	CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ SSL20-B	ET0_TXD3- C/ GPTP1_PP S/ CAT0_ETX D3-C		IRQ7		
E16		P804	PIO_060			GTADSM0 / GTIOC15 A	CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL21-B/ CTX0/ USB0_OVRC URA/ USBHS_OVR CURA	ET0_TX_E N-C/ RMII0_TX_ EN-C/ CAT0_TX_ EN-C	PCKO	IRQ4		DSM0_C LK0-F/ PCINA0
E18		P111	PIO_043			GTCPP01 1	CTS012#/ RTS009#/ SS009#/ DE009/ TXDB009/ SSL20-C	ET0_RXD1 -C/ RMII0_RX D1-C/ CAT0_ERX D1-C	SD0_DAT 7-C/ PIXD3	IRQ19		
E19		P112	PIO_044			GTCPP01 2	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012/ CTS009#/ SSL21-C	ET0_RXD2 -C/ CAT0_ERX D2-C	PIXD4	IRQ20	ADST0	DSM0_C LK1-H/ PDMCLK 0
E20		P113	PIO_045			GTCPP01 3	SCK012-B/ CTS012#/ TXDB012/ SSL22-C	ET0_RXD3 -C/ CAT0_ERX D3-C	PIXD5	IRQ21	ADST1	DSM0_D AT1-H/ PDMDAT 0
F1		PA03	PIO_011	A4-A		GTIOC1B/ GTIOC11B	RXD005-A/ SMISO005-A/ SSCL005	ET1_TXD0- A/ RMII1_TXD 0-A/ RGMII1_TX D0-A/ CAT1_ETX D0-A		IRQ6- DS	ADSYNC	DSM0_D AT1-A
F2		PA04	PIO_012	A3-A	TMRI0	GTIOC2A/ GTIOC12 A	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ SSL00-B	ET1_TXD1- A/ RMII1_TXD 1-A/ RGMII1_TX D1-A/ CAT1_ETX D1-A		IRQ5- DS		PCINZ0
F3		P509	PIO_001	D22-A	TOC2	GTIOC6B	MOSI2-D	ET0_RXD5 -A	SD0_DAT 3-D	IRQ17		PCOUTB 0

表 1.5 機能別端子一覧 (320 ピン LFBGA) (8/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
F5		PG07	PIO_063	A8-A		GTIOC13 B	CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003	ET0_CRS		IRQ15		
F6		PG06	PIO_062	A9-A		GTIOC13 A	TXD003-C/ SMOSI003-C/ SSDA003/ TXDA003	ET0_COL		IRQ14		
F7		PG04	PIO_060	A11-A		GTIOC12 A	SCK003-C/ CTS003#/ TXDB003	ET0_MDC- A/ CAT0_MDC -A		IRQ12		
F8	VSS											
F9	VSS											
F10		P501	PIO_033	WR1#-A/ BC1#-A/ A17-C		GTIOC2B	SCK002-C/ CTS002#/ TXDB002/ SSL12-C/ CRX0	ET0_INT/ CATLEDST ER	SD0_DAT 5-A	IRQ1	ADST1	DSM0_D AT2-E
F11		P503	PIO_035	WR3#-A/ BC3#-A/ A19-C		GTIOC3B	RXD002-C/ SMISO002-C/ SSCL002/ CRX1/ USB0_OVRC URB/ SSIRXD0	ET1_WOL/ CATLEDER R	SD0_DAT 7-A	IRQ3		DSM0_D AT1-E
F12		P101	PIO_009	CS0#-A/ ALE-B	TMCI3	GTETRGC / GTADSM1 / GTIOC12 B	SCK002-B/ CTS002#/ TXDB002/ USB0_VBUS- DS/ USBHS_EXI CEN	ET0_TX_C LK-B/ CAT0_TX_ CLK-B/ CAT0_LINK STA		IRQ1	ADTRG1 #	DSM0_D AT0-C
F13	VSS											
F14	VSS											
F15		PF02	PIO_050	CS6#-B/ BREQ#- C		GTCPP01 /GTIOC7A	RXD000-C/ SMISO000-C/ SSCL000/ RXD007-C/ SMISO007-C/ SSCL007	ET1_TXD2- C/ CAT1_ETX D2-C		IRQ2	ADSYNC	DSM1_C LK0-F
F16		P115	PIO_047			GTCPP01 5	RXD012-B/ SMISO012-B/ SSCL012	ET1_TX_C LK-C/ CAT1_TX_ CLK-C	PIXD7	IRQ23		DSM0_D AT0-H
F18		P114	PIO_046			GTCPP01 4	TXD012-B/ SMOSI012-B/ SSDA012/ TXDA012/ SSL23-C	ET1_TX_E R-C/ CATLINKA CT1	PIXD6	IRQ22	ADST2	DSM0_C LK0-H
F19	VSS											
F20	VCC											
G1		PA02	PIO_010	A5-A		GTIW/ GTIOC1A/ GTIOC11A	TXD005-A/ SMOSI005-A/ SSDA005/ TXDA005/ SSL03-B	ET1_TX_C LK-A/ CAT1_TX_ CLK-A		IRQ10	ADCNV2	DSM0_C LK1-A

表 1.5 機能別端子一覧 (320 ピン LFBGA) (9/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
G2		PA01	PIO_009	A6-A		GTIV/ GTIOC0B/ GTIOC10 B	SCK005-A/ CTS005#/ TXDB005/ SSL02-B	ET1_TX_E N-A/ RMII1_TX_ EN-A/ RGMII1_TX_ CTL-A/ CAT1_TX_ EN-A		IRQ11	ADCNV1	DSM0_D AT0-A
G3		P508	PIO_000	D23-A	TIC2	GTIOC6A	RSPCK2-D	ET0_RXD4 -A	SD0_DAT 2-D	IRQ16		PCOUTA 0
G5	VCC											
G6	VSS											
G15		PF03	PIO_051	CS7#-B/ BACK#-C		GTCPP02 /GTIOC7B	TXD000-C/ SMOSI000-C/ SSDA000/ TXDA000/ TXD007-C/ SMOSI007-C/ SSDA007/ TXDA007	ET1_TXD3- C/ CAT1_ETX D3-C		IRQ3		DSM1_D AT0-F
G16		PF04	PIO_052	CS4#-B		GTCPP03 /GTIOC8A	SCK000-C/ CTS000#/ TXDB000/ SCK007-C/ CTS007#/ TXDB007	ET1_TXD0- C/ RMII1_TXD 0-C/ CAT1_ETX D0-C		IRQ4		DSM1_C LK1-F
G18	VSS_US B											
G19		PF00	PIO_048			GTCPP01 4	USB0_DP			IRQ0		
G20		PF01	PIO_049			GTCPP01 5	USB0_DM			IRQ1		
H1	ETHPHY CLK	PA00	PIO_008	A7-A	CACREF	GTIU/ GTIOC0A/ GTIOC10 A	CTS010#/ CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL01-B	ET1_GTX_ CLK-A/ RGMII1_TX C-A/ CATIRQ		IRQ1- DS	ADCNV0	DSM0_C LK0-A
H2		PG13	PIO_029	D26-A		GTCPP01 3	CTS003#	ET1_MDC- A/ GPTP_PTP OUT1	SD0_DAT 5-D/ XSPI1_R ESET1#/ PIXD5	IRQ29		DSM1_D AT1-H/ PCOUTB 0
H3		PG15	PIO_031	D24-A		GTCPP01 5	CTS011#	ET1_CRS/ GPTP_PTP OUT3	SD0_DAT 7-D/ XSPI1_R STO1#/ PIXD7	IRQ31		DSM1_D AT2-H
H5	VCC											
H6	VSS											
H8	VSS											
H9	VCL											
H10	VSS											
H11	VSS											
H12	VCL											
H13	VSS											

表 1.5 機能別端子一覧 (320 ピン LFBGA) (10/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
H15	ETHPHY CLK	P204	PIO_020	A20-C/ CS7#-C	TMR1	GTOVUP/ GTIOC1A/ GTIOC5A	CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-B/ SCLHS1-B/ CTX0/ USB0_VBUS EN/ USBHS_VBU S-DS/ SSIBCK1	ET0_RXD0 -B/ RMII0_RX D0-B/ CAT0_ERX D0-B	SD0_WP/ PIXCLK	IRQ12		DSM1_C LK1-B/ PCOUTA 1
H16		P203	PIO_019	CS2#-B/ BACK#-A		GTOULO/ GTIOC0B/ GTIOC4B	RXD006-A/ SMISO006-A/ SSCL006/ CTS003#/ SSL00-C/ SDA00-B/ CRX2/ USB0_OVRC URB/ USBHS_ID/ SSIBCK0	ET0_RX_C LK-B/ RMII0_REF 50CK-B/ CAT0_RX_ CLK-B/ CATI2CDA TA-C	SD0_DAT 1-C/ PIXD7	IRQ3		DSM1_D AT0-B/ PDMDAT 0
H18		PF05	PIO_053	CS5#-B		GTCPP05 / GTIOC8B/ POEGD	CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ SSL01-C	ET1_TXD1- C/ RMII1_TXD 1-C/ CAT1_ETX D1-C		IRQ5		DSM1_D AT1-F
H19	VCC_US B											
H20	VCC_US B											
J1		PG11	PIO_027	D28-A		GTCPP01 3	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012	ET1_TXD7- A/ ET_TAS_S TA3	PIXD3	IRQ27		DSM1_D AT0-H/ PCOUTZ 1
J2		PG14	PIO_030	D25-A		GTCPP01 4		ET1_MDIO -A/ GPTP_PTP OUT2	SD0_DAT 6-D/ XSPI1_W P1#/ PIXD6	IRQ30		DSM1_C LK2-H/ PCOUTZ 0
J3		PG12	PIO_028	D27-A		GTCPP01 2	CTS008#/ CTS005#	ET1_COL/ GPTP_PTP OUT0	SD0_DAT 4-D/ XSPI1_IN T1#/ XSPI1_E CS1#/ PIXD4	IRQ28		DSM1_C LK1-H/ PCOUTA 0
J5	VCC											
J6	VSS											
J8	VSS											
J9	VCL											
J10	VSS											
J11	VSS											
J12	VSS											
J13	VCL											

表 1.5 機能別端子一覧 (320 ピン LFBGA) (11/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
J15	CLKOUT	P205	PIO_021	A21-C/ CS6#-C		GTOVLO/ GTIOC1B/ GTIOC5B	SCK001-B/ CTS001#/ TXDB001/ RSPCK1-B/ SDAHS1-B/ CRX0/ USB0_VBUS/ USBHS_VBU SEN/ SSI_RXD1	ET0_RXD1 -B/ RMII0_RX D1-B/ CAT0_ERX D1-B	SD0_CD/ HSYNC	IRQ5	ADTRG0 #	DSM1_D AT1-B/ PCOUTB 1
J16		P202	PIO_018	CS3#-B/ BREQ#-A	TMO0	GTOUUP/ GTIOC0A/ GTIOC4A	TXD006-A/ SMOSI006-A/ SSDA006/ TXDA006/ RSPCK0-C/ SCL00-B/ CTX2/ USB0_OVRC URA/ USBHS_EXI CEN/ AUDIO_CLK	ET0_RX_D V-B/ RMII0_CR S_DV-B/ CAT0_RX_ DV-B/ CATI2CCL K-C	SD0_DAT 0-C/ PIXD6	IRQ15		DSM1_C LK0-B/ PDMCLK 0
J18	AVSS_U SBHS											
J19							USBHS_DP					
J20							USBHS_DM					
K1		PG09	PIO_025	D30-A	TOC3	GTCPP01 1	RXD012-C/ SMISO012-C/ SSCL012	ET1_TXD5- A/ ET_TAS_S TA1	PIXD1	IRQ25		DSM0_D AT2-H/ PCOUTA 1
K2		PG10	PIO_026	D29-A		GTCPP01 2	TXD012-C/ SMOSI012-C/ SSDA012/ TXDA012	ET1_TXD6- A/ ET_TAS_S TA2	PIXD2	IRQ26		DSM1_C LK0-H/ PCOUTB 1
K3		P705	PIO_053	RAS#-A/ CS5#-A		GTIOC12 B	SCK011-B/ CTS011#/ TXDB011	ET1_RXD1 -A/ RMII1_RX D1-A/ RGMII1_R XD1-A/ CAT1_ERX D1-A	XSPI1_R STO1#	IRQ13	ADCNV1	DSM1_D AT2-D
K5		P704	PIO_052	SDCS#- A/CS4#- A		GTIOC12 A	CTS004#/ CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011	ET1_RXD0 -A/ RMII1_RX D0-A/ RGMII1_R XD0-A/ CAT1_ERX D0-A	XSPI1_IN T1#/ XSPI1_E CS1#	IRQ12	ADCNV0	DSM1_C LK2-D
K6		P702	PIO_050	RD#-A/ DQM3-B		GTETRGA / GTIOC11A	SCK004-B/ CTS004#/ TXDB004	ET1_CRS/ CATSYNC1	XSPI1_W P0#/ XSPI1_R ESET1#/ HSYNC	IRQ10	ADST2	DSM1_C LK1-D
K8	VCL											
K9	VSS											
K10	VCL											
K11	VCL											
K12	VCC											
K13	VSS											

表 1.5 機能別端子一覧 (320 ピン LFBGA) (12/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
K15		P207	PIO_023	A23-C/ CS4#-C	TMRI3	GTOWLO/ GTIOC2B/ GTIOC6B	RXD001-B/ SMISO001-B/ SSCL001/ MISO1-B/ SDAHS2-B/ CRX1/ USB0_ID/ USBHS_OVR CURB-DS	ET0_RXD3 -B/ CAT0_ERX D3-B	PCKO	IRQ3- DS	ADTRG2 #	DSM1_D AT2-B
K16		P206	PIO_022	A22-C/ CS5#-C	TMO3/ RTCOU	GTOWUP/ GTIOC2A/ GTIOC6A	CTS006#/ TXD001-B/ SMOSI001-B/ SSDA001/ TXDA001/ MOSI1-B/ SCLHS2-B/ CTX1/ USB0_EXICE N/ USBHS_OVR CURA-DS/ SSITXD1	ET0_RXD2 -B/ CAT0_ERX D2-B	VSYN	IRQ2- DS	ADTRG1 #	DSM1_C LK2-B/ PCOUTZ 1
K18	USBHS_ RREF											
K19	VSS_US BHS											
K20	VCC_US BHS											
L1		PG08	PIO_024	D31-A	TIC3	GTCPPO1 0	SCK012-C/ CTS012#/ TXDB012	ET1_TXD4- A/ ET_TAS_S TA0	PIXD0	IRQ24		DSM0_C LK2-H
L2	VSS											
L3		P707	PIO_055	WE#-A/ CS7#-A		GTIOC13 B	TXD011-B/ SMOSI011-B/ SSDA011/ TXDA011	ET1_RXD3 -A/ RGMII1_R XD3-A/ CAT1_ERX D3-A	XSPI1_R ESET1#	IRQ7		DSM0_D AT0-D
L5		P706	PIO_054	CAS#-A/ CS6#-A		GTIOC13 A	RXD011-B/ SMISO011-B/ SSCL011	ET1_RXD2 -A/ RGMII1_R XD2-A/ CAT1_ERX D2-A	XSPI1_W P1#	IRQ14	ADCNV2	DSM0_C LK0-D
L6		P703	PIO_051	ALE-A/ WR2#-B/ BC2#-B	CACREF	GTETRGB / GTIOC11B	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004	ET1_LINKS TA/ CAT1_LINK STA	XSPI1_R ESET0#/ PCKO	IRQ8		DSM1_D AT1-D
L8	VSS											
L9	VSS											
L10	VCL											
L11	VCL											
L12	VSS											
L13	VCC											
L15		P310	PIO_058		RTCIC0/ CACREF	GTETRGB / GTCPPO1 /POEGC	CTS000#/ CTS001#/ SSL11-B/ SSITXD0	ET1_INT/ CATIRQ		IRQ18	ADTRG0 #	TAMPI0
L16		P305								NMI/ IRQ0		
L18	AVCC_U SBHS											

表 1.5 機能別端子一覧 (320ピンLFBGA) (13/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
L19	VCC											
L20	VCC											
M1		P701	PIO_049	CKE-A/ WR3#-B/ BC3#-B		GTIOC10 B	RXD004-B/ SMISO004-B/ SSCL004	ET1_COL/ CATLATCH 1	XSPI1_R STO0#/ XSPI1_R ESET0#/ VSYNC	IRQ1	ADST1	DSM1_D AT0-D
M2		P715	PIO_023	A12-A		GTCPP09 / GTIOC15 B	RXD010-C/ SMISO010-C/ SSCL010	ET1_RXD7 -A	HSYNC	IRQ23		
M3		P714	PIO_022	A13-A		GTCPP08 / GTIOC15 A	TXD010-C/ SMOSI010-C/ SSDA010/ TXDA010	ET1_RXD6 -A	VSYNC	IRQ22		
M5	VCC											
M6	VSS											
M8	VCL											
M9	VCL											
M10	VSS											
M11	VSS											
M12	VSS											
M13	VCL											
M15		P312	PIO_060	BACK#-B	RTIC2	GTETRGD / GTCPP01 5/POEGA	SSL13-B/ SSILRCK0	ET1_WOL		IRQ20	ADTRG2 #	DSM0_D AT2-C/ TAMPI2
M16		P311	PIO_059	BREQ#-B	RTIC1	GTETRGC / GTCPP01 4/POEGD	CTS007#/ SSL12-B/ SSIRXD0	ET0_WOL		IRQ19	ADTRG1 #	DSM0_C LK2-C/ TAMPI1
M18	VSS											
M19	EXTAL	P306										
M20	XTAL	P307										
N1	ETHPHY CLK	P700	PIO_048	SDCLK-A		GTIOC10 A	TXD004-B/ SMOSI004-B/ SSDA004/ TXDA004	ET1_INT/ CATREST OUT	XSPI1_IN T0#/ XSPI1_E CS0#/ PIXCLK	IRQ0	ADST0	DSM1_C LK0-D
N2		P712	PIO_020	A15-A		GTCPP05 / GTIOC14 A	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ CTS011#	ET1_RXD4 -A	PCKO	IRQ20		DSM1_C LK0-G
N3		P713	PIO_021	A14-A		GTCPP06 / GTIOC14 B	SCK010-C/ CTS010#/ TXDB010	ET1_RXD5 -A	PIXCLK	IRQ21		DSM1_D AT0-G
N5	VCC											
N6	VSS											
N8	VSS											
N9	VCL											
N10	VSS											
N11	VSS											
N12	VCL											
N13	VSS											

表 1.5 機能別端子一覧 (320 ピン LFBGA) (14/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
N15		P209	PIO_049		TOC1	GTETRGB	RXD004-C/ SMISO004-C/ SSCL004/ MOSI1-D	ET1_RX_C LK-C/ RMII1_REF 50CK-C/ CAT1_RX_ CLK-C		IRQ25		PCINB1
N16		P208	PIO_048		TIC1	GTETRGA	SCK004-C/ CTS004#/ TXDB004/ RSPCK1-D	ET1_TX_E N-C/ RMII1_TX_ EN-C/ CAT1_TX_ EN-C		IRQ24		PCINA1
N18	MD/ FINED	P315										
N19	VSS											
N20	VSS											
P1		PE06	PIO_046	A9-B/ A21-D	TIC1	GTETRGC / GTADSM1 / GTIOC10 A/POEGB	SSL13-A	ET1_RX_C LK-D/ RMII1_REF 50CK-D/ CAT1_RX_ CLK-D/ CATLEDER R	XSPI1_D S/PIXD6	IRQ6		
P2		PE07	PIO_047	A8-B/ A20-D	TOC1	GTETRGD / GTCPP07 / GTIOC10 B/POEGD		ET1_LINKS TA/ CAT1_LINK STA/ CATREST OUT	XSPI1_C S0#/ PIXD7	IRQ7		
P3		PF09	PIO_017	A20-A/ A16-D			CTS012#	GPTP_CA PTURE1	XSPI1_IN T0#/ XSPI1_E CS0#	IRQ17		
P5	VCC											
P6	VSS											
P15		P211	PIO_051			GTETRGD	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004/ CTS005#/ SSL10-D/ USBHS_OVR CURB	ET1_RXD1 -C/ RMII1_RX D1-C/ CAT1_ERX D1-C		IRQ27		
P16		P210	PIO_050			GTETRGC	TXD004-C/ SMOSI004-C/ SSDA004/ TXDA004/ MISO1-D	ET1_RXD0 -C/ RMII1_RX D0-C/ CAT1_ERX D0-C		IRQ26		PCINZ1
P18	VSS											
P19	XCIN/ EXCIN	P309										
P20	XCOUT	P308										
R1		PE03	PIO_043	A12-B	TOC3	GTOVLO/ GTIOC8B	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012/ MISO1-A	ET1_RXD1 -D/ RMII1_RX D1-D/ CAT1_ERX D1-D	SD0_DAT 7-B/ XSPI1_IO 1/PIXD3	IRQ11		

表 1.5 機能別端子一覧 (320 ピン LFBGA) (15/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
R2		PE05	PIO_045	A10-B/ A22-D		GTOWLO/ GTIOC9B	SSL12-A	ET1_RXD3 -D/ CAT1_ERX D3-D/ CATLEDRU N	XSPI1_IO 3/PIXD5	IRQ5		
R3		PF08	PIO_016	A21-A/ A17-D		GTCPPO1 2/POEGA			XSPI1_R ESET0#	IRQ16		
R5		P607	PIO_015	CS0#-B/ D16-B		GTETRGB / GTADSM0 / GTIOC15 B/POEGA	CTS008#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009/ CRX2	ET1_INT/ ET_TAS_S TA3/ CATIRQ	XSPI0_R STO0#	IRQ15		DSM1_D AT2-A
R6		P606	PIO_014	CS1#-C/ D17-B		GTETRGA / GTCPPO4 / GTIOC15 A/POEGC	SCK009-B/ CTS009#/ TXDB009/ SSL03-D/ CTX2	ET1_TX_E R-B/ ET_TAS_S TA2/ CATLINKA CT1	XSPI0_R ESET0#	IRQ14		DSM1_C LK2-A
R7	VSS											
R8	VSS											
R9	VSS											
R10		P906	PIO_006			GTCPPO2 /POEGA	SCK006-B/ CTS006#/ TXDB006	ET0_MDC- C/ GPTP_PTP OUT2		IRQ14		
R11		P405	PIO_053							IRQ13- DS	AN005	
R12		P404	PIO_052							IRQ12- DS	AN004	
R13	VSS											
R14	VSS											
R15		P215	PIO_055			GTCPPO1 3	CTS004#/ CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ USBHS_ID	ET1_RXD3 -C/ CAT1_ERX D3-C		IRQ31		PDMDAT 0/ PCINZ0
R16		P214	PIO_054			GTCPPO1 2	TXD005-C/ SMOSI005-C/ SSDA005/ TXDA005/ SSL13-D/ USBHS_EXI CEN	ET1_RXD2 -C/ CAT1_ERX D2-C		IRQ30	ADTRG2 #	PDMCLK 0/ PCINB0
R18	RES#											
R19	VCC											
R20	VBATT/ VCC											
T1	CLKOUT	PE01	PIO_041	A14-B		GTOULO/ GTIOC7B	TXD012-A/ SMOSI012-A/ SSDA012/ TXDA012/ RSPCK1-A	ET1_RX_D V-D/ RMII1_CR S_DV-D/ CAT1_RX_ DV-D	SD0_DAT 5-B/ XSPI1_C K/PIXD1	IRQ9		
T2		PE04	PIO_044	A11-B/ A23-D		GTOWUP/ GTIOC9A	CTS012#/ SSL11-A	ET1_RXD2 -D/ CAT1_ERX D2-D/ CATLEDST ER	XSPI1_IO 2/ XSPI1_W P0#/ PIXD4	IRQ12		

表 1.5 機能別端子一覧 (320 ピン LFBGA) (16/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
T3		PF07	PIO_055	A22-A/ A18-D		GTCPP01 1/ GTIOC9B	SSL03-C		XSPI1_R STO0#	IRQ7		DSM1_D AT2-F
T5		P604	PIO_012	CS3#-C/ D19-B		GTIOC6A	TXD009-B/ SMOSI009-B/ SSDA009/ TXDA009/ SSL01-D	ET1_TXD2- B/ ET_TAS_S TA0/ CAT1_ETX D2-B	XSPI0_C S1#/ XSPI0_R STO0#	IRQ4		DSM1_C LK1-A
T6		P602	PIO_010	CAS#-B/ D21-B		GTIOC5A	SCK008-B/ CTS008#/ TXDB008/ MOSI0-D	ET1_TXD0- B/ RMII1_TXD 0-B/ GPTP_PTP OUT2/ CAT1_ETX D0-B/ CATLATCH 0	XSPI0_IO 6/HSYNC	IRQ2	ADTRG2 #	DSM1_C LK0-A
T7	VCC2											
T8	VCC2											
T9	VCC2											
T10		P907	PIO_007			GTCPP03 /POEGD	CTS006#/ RTS006#/ SS006#/ DE006/ TXDB006/ CTS001#	ET0_MDIO -C/ GPTP_PTP OUT3	XSPI0_W P0#	IRQ15		
T11		P406	PIO_054							IRQ14- DS	AN006	
T12		P407	PIO_055							IRQ15- DS	AN007	
T13	VCC											
T14	VCC											
T15		P013	PIO_037			GTCPP01 3		ET1_CRS/ GPTP_CA PTURE1/ CATLATCH 0		IRQ29		DSM1_D AT1-E
T16		P012	PIO_036			GTCPP01 2	CTS006#	ET1_COL/ GPTP0_PP S/ CATSYNC0		IRQ28		DSM1_C LK1-E
T18		P213	PIO_053			GTCPP01 1	RXD005-C/ SMISO005-C/ SSCL005/ SSL12-D/ USBHS_VBU SEN	ET1_RX_E R-C/ RMII1_RX_ ER-C/ CAT1_RX_ ER-C		IRQ29	ADTRG1 #	PCINA0
T19		P212	PIO_052			GTCPP01 0	SCK005-C/ CTS005#/ TXDB005/ SSL11-D/ USBHS_OVR CURA	ET1_RX_D V-C/ RMII1_CR S_DV-C/ CAT1_RX_ DV-C		IRQ28	ADTRG0 #	
T20		P000	PIO_000		TMRI0	GTCPP07 / GTIOC10 A/POEGB	CTS000#/ CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ AUDIO_CLK	ET0_INT/ CATREST OUT		IRQ16- DS	AN016	DSM0_C LK0-B

表 1.5 機能別端子一覧 (320ピンLFBGA) (17/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
U1	ETHPHY CLK	PE00	PIO_040	A15-B		GTOUUP/ GTIOC7A	SCK012-A/ CTS012#/ TXDB012/ SSL10-A	ET1_RX_E R-D/ RMII1_RX_ ER-D/ CAT1_RX_ ER-D	SD0_DAT 4-B/ XSPI1_C KN#/ XSPI1_C S1#/ PIXD0	IRQ8		
U2		PE02	PIO_042	A13-B	TIC3	GTOVUP/ GTIOC8A	RXD012-A/ SMISO012-A/ SSCL012/ MOSI1-A	ET1_RXD0 -D/ RMII1_RX D0-D/ CAT1_ERX D0-D	SD0_DAT 6-B/ XSPI1_IO 0/PIXD2	IRQ7- DS		
U3		PF06	PIO_054	A23-A/ A19-D		GTCPP06 / GTIOC9A/ POEGC	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000/ CTS007#/ SSL02-C		XSPI1_C S1#/ XSPI1_W P0#	IRQ6		DSM1_C LK2-F
U18		P008	PIO_032			GTCPP08 / GTIOC14 A	TXD006-C/ SMOSI006-C/ SSDA006/ TXDA006	ET1_LINKS TA/ CAT1_LINK STA		IRQ24	ADTRG1 #	
U19		P009	PIO_033			GTCPP09 / GTIOC14 B	RXD006-C/ SMISO006-C/ SSCL006	ET0_LINKS TA/ CAT0_LINK STA		IRQ25	ADTRG2 #	
U20		P001	PIO_001		TMCi0	GTCPP00 / GTIOC10 B/ GTIOC7A	SCK007-A/ CTS007#/ TXDB007/ SSIBCK0	ET0_LINKS TA/ CAT0_LINK STA		IRQ17- DS	AN017	DSM0_D AT0-B/ PCOUTZ 0
V1		P709	PIO_017	A18-A		GTETRGD / GTCPP07 / GTIOC10 B	RXD011-C/ SMISO011-C/ SSCL011	ET1_INT	XSPI1_IO 5	IRQ17		DSM1_D AT2-G
V2		P711	PIO_019	A16-A		GTETRGB / GTADSM1 / GTIOC11B	CTS010#/ CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011	ET1_MDIO -C	XSPI1_IO 7	IRQ19		DSM1_D AT1-G
V3		P605	PIO_013	CS2#-C/ D18-B		GTIOC6B	RXD009-B/ SMISO009-B/ SSCL009/ SSL02-D	ET1_TXD3- B/ ET_TAS_S TA1/ CAT1_ETX D3-B	XSPI0_IN T0#/ XSPI0_E CS0#	IRQ13		DSM1_D AT1-A
V4		P603	PIO_011	WE#-B/ D20-B		GTIOC5B	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS009#/ MISO0-D	ET1_TXD1- B/ RMII1_TXD 1-B/ GPTP_PTP OUT3/ CAT1_ETX D1-B/ CATSYNC0	XSPI0_IO 7/PCKO	IRQ3		DSM1_D AT0-A
V5		P600	PIO_008	SDCS#- B/D23-B		GTIOC4A	TXD008-B/ SMOSI008-B/ SSDA008/ TXDA008/ SSL00-D	ET1_TX_C LK-B/ GPTP_PTP OUT0/ CAT1_TX_ CLK-B/ CATLATCH 1	XSPI0_IO 4/PIXCLK	IRQ0	ADTRG0 #	

表 1.5 機能別端子一覧 (320 ピン LFBGA) (18/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
V6		P601	PIO_009	RAS#-B/ D22-B		GTIOC4B	RXD008-B/ SMISO008-B/ SSCL008/ RSPCK0-D	ET1_TX_E N-B/ RMII1_TX_ EN-B/ GPTP_PTP OUT1/ CAT1_TX_ EN-B/ CATSYNC1	XSPI0_IO 5/VSYN	IRQ1	ADTRG1 #	
V7		P905	PIO_005			GTCPP01 /POEGB	RXD006-B/ SMISO006-B/ SSCL006	ET0_CRS/ GPTP_PTP OUT1		IRQ13		
V8		P904	PIO_004			GTCPP00 /POEGC	TXD006-B/ SMOSI006-B/ SSDA006/ TXDA006	ET0_COL/ GPTP_PTP OUT0		IRQ12		
V9	AVCC0											
V10	AVSS0											
V11	VREFL00											
V12	VREFH0 0											
V13		P412	PIO_060							IRQ28- DS	AN012	
V14		P413	PIO_061							IRQ29	AN013	
V15		P414	PIO_062							IRQ30	AN014/ DA0	
V16		P415	PIO_063							IRQ31	AN015/ DA1	
V17		P014	PIO_038			GTCPP01 4		ET0_COL/ GPTP_MAT CH1/ CATSYNC1		IRQ30		DSM1_C LK2-E
V18		P011	PIO_035			GTCPP01 1/ GTIOC15 B	CTS006#/ RTS006#/ SS006#/ DE006/ TXDB006	ET1_WOL/ GPTP_MAT CH0/ CAT0_MDI O-C		IRQ27		DSM1_D AT0-E
V19		P010	PIO_034			GTCPP01 0/ GTIOC15 A	SCK006-C/ CTS006#/ TXDB006	ET0_WOL/ GPTP_CA PTURE0/ CAT0_MDC -C		IRQ26		DSM1_C LK0-E
V20		P002	PIO_002		TMCI1	GTCPP01 / GTIOC11A /GTIOC7B	TXD007-A/ SMOSI007-A/ SSDA007/ TXDA007/ SSIBCK1	ET0_MDC- D/ CAT0_MDC -E		IRQ18- DS	AN018	DSM0_C LK1-B/ PCOUTA 0
W1		P708	PIO_016	A19-A		GTETRGC / GTCPP04 / GTIOC10 A	SCK011-C/ CTS011#/ TXDB011	ET0_INT	XSPI1_IO 4	IRQ16		DSM1_C LK2-G
W2		P710	PIO_018	A17-A		GTETRGA / GTADSM0 / GTIOC11A	TXD011-C/ SMOSI011-C/ SSDA011/ TXDA011	ET1_MDC- C	XSPI1_IO 6	IRQ18		DSM1_C LK1-G

表 1.5 機能別端子一覧 (320 ピン LFBGA) (19/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
320 ピン LFBGA												
W3		PD05	PIO_037	A18-B/ D26-B		GTIU/ GTIOC2B/ POEGD	SCK003-A/ CTS003#/ TXDB003/ SSL22-A/ CTX0	ET1_RX_D V-B/ RMII1_CR S_DV-B/ CAT1_RX_ DV-B/ CATLEDST ER	SD0_DAT 1-B/ XSPIO_IO 3/PIXD5	IRQ5	AN029	
W4		PD03	PIO_035	A20-B/ D28-B	TOC2	GTIOC1B/ POEGA	TXD002-A/ SMOSI002-A/ SSDA002/ TXDA002/ MISO2-A	ET1_RXD3 -B/ CAT1_ERX D3-B/ CAT0_MDI O-D	SD0_CLK -B/ XSPIO_IO 1/PIXD3	IRQ3	AN027	
W5	VSS											
W6		PD02	PIO_034	A21-B/ D29-B	TIC2	GTETRGB / GTIOC1A/ POEGB	RXD002-A/ SMISO002-A/ SSCL002/ MOSI2-A	ET1_RXD2 -B/ CAT1_ERX D2-B/ CAT0_MDC -D	SD0_CM D-B/ XSPIO_IO 0/PIXD2	IRQ2	AN026	
W7		P902	PIO_002			GTETRGC / GTCPP08	SCK001-C/ CTS001#/ TXDB001	ET1_MDC- B/ ET_TAS_S TA2/ CATREST OUT	XSPIO_R ESET1#	IRQ10	AN034	
W8		P900	PIO_000			GTETRGA / GTCPP05	RXD001-C/ SMISO001-C/ SSCL001	ET1_COL/ ET_TAS_S TA0/ CATSYNC1	XSPIO_IN T1#/ XSPIO_E CS1#	IRQ0	AN032	
W9	AVCC0											
W10	AVSS0											
W11	VREFL01											
W12	VREFH0 1											
W13		P403	PIO_051							IRQ11- DS	AN003	
W14		P401	PIO_049							IRQ9- DS	AN001	
W15		P411	PIO_059							IRQ27- DS	AN011	
W16		P409	PIO_057							IRQ25- DS	AN009	
W17	VSS											
W18		P006	PIO_006			GTCPP05 / GTIOC13 A/ GTIOC9B	SCK000-B/ CTS000#/ TXDB000	ET1_LINKS TA/ CAT1_LINK STA		IRQ22- DS	ADTRG1 #/AN022	PDMCLK 0/ PCOUTZ 1
W19		P004	PIO_004			GTCPP03 / GTIOC12 A/ GTIOC8B	TXD000-B/ SMOSI000-B/ SSDA000/ TXDA000/ SSITXD1	ET1_MDC- D/ CATSYNC0		IRQ20- DS	AN020	DSM0_C LK2-B/ PCOUTA 1
W20		P003	PIO_003			GTCPP02 / GTIOC11B /GTIOC8A	RXD007-A/ SMISO007-A/ SSCL007/ SSIRXD1	ET0_MDIO -D/ CAT0_MDI O-E		IRQ19- DS	AN019	DSM0_D AT1-B/ PCOUTB 0
Y1	VSS											

表 1.5 機能別端子一覧 (320 ピン LFBGA) (20/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
320 ピン LFBGA												
Y2		PD07	PIO_039	A16-B/ D24-B		GTIW/ GTIOC3B/ POEGA	TXD003-A/ SMOSI003-A/ SSDA003/ TXDA003/ CTX1	ET1_LINKS TA/ CAT1_LINK STA	SD0_CD/ XSPI0_C S0#/ XSPI0_R ESET1#/ PIXD7	IRQ7	AN031	
Y3		PD06	PIO_038	A17-B/ D25-B		GTIV/ GTIOC3A/ POEGB	RXD003-A/ SMOSI003-A/ SSCL003/ SSL23-A/ CRX1	ET1_RX_E R-B/ RMII1_RX_ ER-B/ CAT1_RX_ ER-B/ CATLEDER R	SD0_WP/ XSPI0_D S/PIXD6	IRQ6	AN030	
Y4		PD04	PIO_036	A19-B/ D27-B		GTETRG A/ GTIOC2A/ POEGC	CTS002#/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ SSL21-A/ CRX0	ET1_RX_C LK-B/ RMII1_REF 50CK-B/ CAT1_RX_ CLK-B/ CATLEDRU N	SD0_DAT 0-B/ XSPI0_IO 2/ XSPI0_W P0#/ PIXD4	IRQ4	AN028	
Y5		PD01	PIO_033	A22-B/ D30-B		GTETRG C/ GTIOC0B/ POEGC	SCK002-A/ CTS002#/ TXDB002/ RSPCK2-A	ET1_RXD1 -B/ RMII1_RX D1-B/ CAT1_ERX D1-B/ CATSYNCO	SD0_DAT 3-B/ XSPI0_C K/PIXD1	IRQ1	AN025	
Y6		PD00	PIO_032	A23-B/ D31-B		GTETRG D/ GTIOC0A/ POEGD	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS003#/ SSL20-A	ET1_RXD0 -B/ RMII1_RX D0-B/ CAT1_ERX D0-B/ CATLATCH 0	SD0_DAT 2-B/ XSPI0_C KN#/ XSPI0_C S1#/ PIXD0	IRQ0	AN024	
Y7		P903	PIO_003			GTETRG D/ GTCPP09 /POEGD	CTS006#/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001	ET1_MDIO -B/ ET_TAS_S TA3/ CATIRQ	XSPI0_W P1#	IRQ11	AN035	
Y8		P901	PIO_001			GTETRG B/ GTCPP06	TXD001-C/ SMOSI001-C/ SSDA001/ TXDA001	ET1_CRS/ ET_TAS_S TA1/ CATLATCH 1	XSPI0_R STO1#/ XSPI0_R ESET0#	IRQ9	AN033	
Y9	AVCC0											
Y10	AVSS0											
Y11	VREFL02											
Y12	VREFH0 2											
Y13		P402	PIO_050							IRQ10- DS	AN002	
Y14		P400	PIO_048							IRQ8- DS	AN000	
Y15		P410	PIO_058							IRQ26- DS	AN010	
Y16		P408	PIO_056							IRQ24- DS	AN008	
Y17		P015	PIO_039			GTCPP01 5		ET0_CRS/ GPTP1_PP S/ CATLATCH 1		IRQ31		DSM1_D AT2-E

表 1.5 機能別端子一覧 (320 ピン LFBGA) (21/21)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
320 ピン LFBGA									(XSPI, SDHI, PDC)			(DSMIF、 PDMIF、 PCIF、 タンパ 検出)
Y18		P007	PIO_007			GTCPP06 / GTIOC13 B/POEGA	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000	ET1_INT/ CATIRQ		IRQ23- DS	ADTRG0 #/AN023	PDMDAT 0
Y19		P005	PIO_005			GTCPP04 / GTIOC12 B/ GTIOC9A	RXD000-B/ SMISO000-B/ SSCL000/ SSILRCK1	ET1_MDIO -D/ CATLATCH 0		IRQ21- DS	ADTRG2 #/AN021	DSM0_D AT2-B/ PCOUTB 1
Y20	VSS											

1.6.2 224 ピン LFBGA

表 1.6 機能別端子一覧 (224 ピン LFBGA) (1/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIIHS, CANFD, USB, SSIE)	(ESWM, ESC)				
A1	VSS											
A2		PC03	PIO_027	D4-A		GTOVLO/ GTIOC8B	TXD011-A/ SMOSI011-A/ SSDA011/ TXDA011/ SDAHS1-C	ET0_TXD2- A/ RGMII0_TX D2-A/ CAT0_ETX D2-A	SD0_CLK -A	IRQ11		PCOUTA 1
A3	ETHPHY CLK	PC07	PIO_031	D0-A	TMO2/ TOC0/ CACREF	GTETRGD / GTADSM1 / GTIOC15 B/POEGA	TXD008-A/ SMOSI008-A/ SSDA008/ TXDA008/ MISO0-A/ SSITXD0	RGMII0_TX C-A/ CATREST OUT	SD0_CD	IRQ14		DSM1_D AT2-C/ PDMDAT 0
A4	CLKOUT	P801	PIO_057	EBCLK-A		GTIV/ GTIOC0B/ POEGC	TXD010-B/ SMOSI010-B/ SSDA010/ TXDA010	ET0_CRS/ CATSYNC0		IRQ9	ADCNV1	DSM1_D AT1-C
A5		P802	PIO_058	CS2#-A/ WR#-B/ WR0#-B		GTIW/ GTIOC1A/ POEGB	SCK010-B/ CTS010#/ TXDB010/ CRX2/ USB0_EXICE N	ET0_MDIO -B/ CAT0_MDI O-B		IRQ2	ADCNV2	DSM1_C LK0-C
A6	VLO											
A7	VSS_DC DC											
A8	VCC_DC DC											
A9		P103	PIO_011		TMO3	GTADSM1 / GTIOC13 B	CTS002#/ SDA00-A	ET0_CRS/ CATI2CDA TA-A		IRQ3		
A10		P104	PIO_012		TMRI2	GTIW/ GTIOC14 A	RXD002-B/ SMISO002-B/ SSCL002/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ CTX2/ USB0_OVRC URA-DS/ USBHS_VBU S	ET0_TXD0- B/ RMII0_TXD 0-B/ CAT0_ETX D0-B/ CATLEDST ER	PIXD0	IRQ4	ADST0	DSM0_C LK1-C/ PCINA0
A11	CLKOUT	P106	PIO_014		TMO2/ RTCOUT	GTIU/ GTIOC15 A/POEGB	RXD003-B/ SMISO003-B/ SSCL003/ SCLHS2-A	ET0_TXD2- B/ CAT0_ETX D2-B/ CATI2CCL K-B	SD0_DAT 2-C/ PIXD2	IRQ30- DS	ADTRG0 #	PCINA1
A12		P200	PIO_016		TMRI0	GTETRGA / GTIOC3A/ GTIOC14 A	CTS006#/ RTS006#/ SS006#/ DE006/ TXDB006/ MOSI0-C/ SDAHS1-A/ USB0_ID/ SSI0XD0	ET0_TX_E N-B/ RMII0_TX_ EN-B/ CAT0_TX_ EN-B	SD0_CM D-C/ PIXD4	IRQ8	ADTRG2 #	PCINZ1

表 1.6 機能別端子一覧 (224 ピンLFBGA) (2/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
A13	TCK/ SWCLK	P301	PIO_025		TMCi3	GTCPP01 1	SCK000-A/ CTS000#/ TXDB000/ SCK001-A/ CTS001#/ TXDB001/ RSPCK1-C	ET1_WOL		IRQ7		
A14	TDO	P302	PIO_026		TMRI3	GTCPP01 2	TXD000-A/ SMOSI000-A/ SSDA000/ TXDA000/ TXD001-A/ SMOSI001-A/ SSDA001/ TXDA001/ MOSI1-C	ET1_COL		IRQ4		
A15	VSS											
B1		PC04	PIO_028	D3-A	TMCi1	GTOWUP/ GTIOC9A	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS011#/ SSL00-A/ AUDIO_CLK	ET0_TXD3- A/ RGMII0_TX D3-A/ CAT0_ETX D3-A	SD0_DAT 0-A	IRQ12		PCOUTB 1
B2		PC01	PIO_025	D6-A		GTOULO/ GTIOC7B	SCK011-A/ CTS011#/ TXDB011/ SSL02-A/ SDA00-C	ET0_TXD0- A/ RMII0_TXD 0-A/ RGMII0_TX D0-A/ CAT0_ETX D0-A	SD0_DAT 3-A	IRQ12		PCOUTB 0
B3		PC05	PIO_029	D2-A	TMRI2	GTOWLO/ GTIOC9B	SCK008-A/ CTS008#/ TXDB008/ RSPCK0-A/ SSIBCK0	ET0_TX_E N-A/ RMII0_TX_ EN-A/ RGMII0_TX CTL-A/ CAT0_TX_ EN-A	SD0_DAT 1-A	IRQ5		PCOUTZ 1
B4		PC06	PIO_030	D1-A	TMCi2/ TIC0	GTETRGC / GTCPP07 / GTIOC15 A/POEGB	RXD008-A/ SMISO008-A/ SSCL008/ MOSI0-A/ SSILRCK0	ET0_TX_E R-A/ CATLINKA CT0	SD0_WP	IRQ13		DSM1_C LK2-C/ PDMCLK 0
B5		P803	PIO_059	CS3#-A/ WR1#-B/ BC1#-B		GTIOC1B/ POEGA	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ CTX2/ USB0_ID	ET0_MDC- B/ CAT0_MDC -B		IRQ3	ADSYNC	DSM1_D AT0-C
B6	VLO											
B7	VSS_DC DC											
B8	VCC_DC DC											
B9		P102	PIO_010		TMCi1	GTADSM0 / GTIOC13 A	SCL00-A	ET0_COL/ CATI2CCL K-A		IRQ2		

表 1.6 機能別端子一覧 (224 ピン LFBGA) (3/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH3, CANFD, USB, SSIE)	(ESWM, ESC)				
224 ピン LFBGA												
B10		P105	PIO_013		TMCi2	GTIV/ GTIOC14 B	TXD002-B/ SMOSI002-B/ SSDA002/ TXDA002/ SCK003-B/ CTS003#/ TXDB003/ CRX2/ USB0_VBUS/ USBHS_OVR CURB/ SSILRCK1	ET0_TXD1- B/ RMII0_TXD 1-B/ CAT0_ETX D1-B/ CATLEDRU N	PIXD1	IRQ29- DS	ADST1	DSM0_D AT1-C/ PCINB0
B11		P107	PIO_015		TMO1	GTIV/ GTIOC15 B/POEGA	TXD003-B/ SMOSI003-B/ SSDA003/ TXDA003/ SDAHS2-A/ SSITXD0	ET0_TXD3- B/ CAT0_ETX D3-B/ CATI2CDA TA-B	SD0_DAT 3-C/ PIXD3	IRQ31- DS	ADTRG1 #	PCINB1
B12		P201	PIO_017		TMCi0	GTIW/ GTIOC3B/ GTIOC14 B	SCK006-A/ CTS006#/ TXDB006/ MISO0-C/ SCLHS1-A/ USB0_EXICE N/SSILRCK0	ET0_RX_E R-B/ RMII0_RX_ ER-B/ CAT0_RX_ ER-B	SD0_CLK -C/PIXD5	IRQ9		PCINZ0
B13	TMS/ SWDIO	P300	PIO_024		TMO1	GTCPP01 0	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-C	ET0_WOL		IRQ6		
B14	TDI	P303	PIO_027		TMCi2	GTCPP01 3	RXD000-A/ SMISO000-A/ SSCL000/ RXD001-A/ SMISO001-A/ SSCL001/ MISO1-C	ET1_CRS		IRQ1		
B15	ETHPHY CLK	P304	PIO_028	ALE-C/ WAIT#-B	TMCi3	GTETRGD / GTCPP00 /POEGA	CTS000#/ CTS001#/ USB0_VBUS EN/ USBHS_ID	ET0_INT/ CATREST OUT		IRQ0- DS	ADTRG0 #	
C1		PC00	PIO_024	D7-A		GTOUUP/ GTIOC7A	CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011/ SSL01-A/ SCL00-C	ET0_TX_C LK-A/ CAT0_TX_ CLK-A	SD0_DAT 2-A	IRQ14		PCOUTA 0
C2		PC02	PIO_026	D5-A		GTOVUP/ GTIOC8A	RXD011-A/ SMISO011-A/ SSCL011/ SSL03-A/ SCLHS1-C	ET0_TXD1- A/ RMII0_TXD 1-A/ RGMII0_TX D1-A/ CAT0_ETX D1-A	SD0_CM D-A	IRQ10		PCOUTZ 0
C3		PB06	PIO_022	D9-A		GTOUUP/ GTIOC6A	RXD009-A/ SMISO009-A/ SSCL009	ET0_RX_E R-A/ RMII0_RX_ ER-A/ CAT0_RX_ ER-A		IRQ6		

表 1.6 機能別端子一覧 (224 ピン LFBGA) (4/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
C4		PB05	PIO_021	D10-A	TMRI1	GTOVLO/ GTIOC5B	SCK009-A/ CTS009#/ TXDB009	ET0_RX_D V-A/ RMII0_CR S_DV-A/ RGMII0_R X_CTL-A/ CAT0_RX_ DV-A		IRQ13		
C5		P800	PIO_056	CS1#-A/ DQM0-B		GTIU/ GTIOC0A/ POEGD	RXD010-B/ SMISO010-B/ SSCL010	ET0_COL/ CATLATCH 0		IRQ8	ADCNV0	DSM1_C LK1-C
C6	VLO											
C7		P100	PIO_008	CS1#-B/ WAIT#-A	TMRI3/ CACREF	GTIU/ GTADSM0 / GTIOC12 A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS005#/ USB0_OVRC URB-DS/ USBHS_VBU S	ET0_TX_E R-B/ CATLINKA CT0/ CATLEDER R		IRQ0	ADTRG2 #	DSM0_C LK0-C
C8	VCC_DC DC											
C9		P804	PIO_060			GTADSM0 / GTIOC15 A	CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL21-B/ CTX0/ USB0_OVRC URA/ USBHS_OVR CURA	ET0_TX_E N-C/ RMII0_TX_ EN-C/ CAT0_TX_ EN-C	PCKO	IRQ4		DSM0_C LK0-F/ PCINA0
C10		P805	PIO_061			GTADSM1 / GTIOC15 B	SCK005-B/ CTS005#/ TXDB005/ SSL22-B/ CRX0/ USB0_VBUS EN/ USBHS_VBU SEN	ET0_TXD0- C/ RMII0_TXD 0-C/ CAT0_ETX D0-C	HSYNC	IRQ5	ADSYNC	DSM0_D AT0-F/ PCINB0
C11		P114	PIO_046			GTCPP01 4	TXD012-B/ SMOSI012-B/ SSDA012/ TXDA012/ SSL23-C	ET1_TX_E R-C/ CATLINKA CT1	PIXD6	IRQ22	ADST2	DSM0_C LK0-H
C12		P111	PIO_043			GTCPP01 1	CTS012#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009/ SSL20-C	ET0_RXD1 -C/ RMII0_RX D1-C/ CAT0_ERX D1-C	SD0_DAT 7-C/ PIXD3	IRQ19		
C13		P108	PIO_040		TIC0	GTCPP08	SCK009-C/ CTS009#/ TXDB009/ RSPCK2-C	ET0_RX_D V-C/ RMII0_CR S_DV-C/ CAT0_RX_ DV-C	SD0_DAT 4-C/ PIXD0	IRQ16	ADCNV0	DSM0_C LK2-F
C14		P110	PIO_042			GTCPP01 0	TXD009-C/ SMOSI009-C/ SSDA009/ TXDA009/ MISO2-C	ET0_RXD0 -C/ RMII0_RX D0-C/ CAT0_ERX D0-C	SD0_DAT 6-C/ PIXD2	IRQ18	ADCNV2	

表 1.6 機能別端子一覧 (224 ピン LFBGA) (5/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
C15		P113	PIO_045			GTCPPO1 3	SCK012-B/ CTS012#/ TXDB012/ SSL22-C	ET0_RXD3 -C/ CAT0_ERX D3-C	PIXD5	IRQ21	ADST1	DSM0_D AT1-H/ PDMDAT 0
D1		PG00	PIO_056	DQM1-A/ WR1#-C/ BC1#-C		GTCPPO0	SCK008-C/ CTS008#/ TXDB008	ET1_RX_C LK-A/ RMII1_REF 50CK-A/ RGMII1_R XC-A/ CAT1_RX_ CLK-A		IRQ8		DSM0_C LK2-D
D2		PG02	PIO_058	DQM3-A/ WR3#-C/ BC3#-C		GTIOC11A	TXD008-C/ SMOSI008-C/ SSDA008/ TXDA008	ET1_RX_E R-A/ RMII1_RX_ ER-A/ CAT1_RX_ ER-A		IRQ10		DSM0_C LK1-D
D3		PB04	PIO_020	D11-A		GTOVUP/ GTIOC5A	CTS004#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009	ET0_RX_C LK-A/ RMII0_REF 50CK-A/ RGMII0_R XC-A/ CAT0_RX_ CLK-A		IRQ4		
D4		PB07	PIO_023	D8-A		GTOWLO/ GTIOC6B	TXD009-A/ SMOSI009-A/ SSDA009/ TXDA009	ET0_LINKS TA/ CAT0_LINK STA		IRQ15		
D5		P502	PIO_034	WR2#-A/ BC2#-A/ A18-C		GTIOC3A	TXD002-C/ SMOSI002-C/ SSDA002/ TXDA002/ SSL13-C/ CTX1	ET0_WOL/ CATLEDRU N	SD0_DAT 6-A	IRQ2	ADST2	DSM0_C LK1-E
D6		P500	PIO_032	WR#-A/ WR0#-A/ A16-C		GTIOC2A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS007#/ SSL11-C/ CTX0	ET0_LINKS TA/ CAT0_LINK STA	SD0_DAT 4-A	IRQ0	ADST0	DSM0_C LK2-E
D7		P101	PIO_009	CS0#-A/ ALE-B	TMCi3	GTETRGC / GTADSM1 / GTIOC12 B	SCK002-B/ CTS002#/ TXDB002/ USB0_VBUS- DS/ USBHS_EXI CEN	ET0_TX_C LK-B/ CAT0_TX_ CLK-B/ CAT0_LINK STA		IRQ1	ADTRG1 #	DSM0_D AT0-C
D8		P504	PIO_036		TMCi1	GTETRGA /GTIOC4A	CTS002#/ RXD007-B/ SMISO007-B/ SSCL007/ MOSI2-B	ET0_TX_E R-C/ GPTP_CA PTURE0/ CATLINKA CT0		IRQ4		DSM0_C LK0-E
D9		P506	PIO_038			GTETRGC / GTIOC5A/ POEGD	SCK007-B/ CTS007#/ TXDB007/ RSPCK2-B	ET0_TXD2- C/ GPTP0_PP S/ CAT0_ETX D2-C		IRQ6		
D10		P806	PIO_062			GTCPPO7 / GTIOC14 A	RXD005-B/ SMISO005-B/ SSCL005/ SSL23-B/ CTX1	ET0_TXD1- C/ RMII0_TXD 1-C/ CAT0_ETX D1-C	VSYNC	IRQ14		DSM0_C LK1-F/ PCINA1

表 1.6 機能別端子一覧 (224 ピン LFBGA) (6/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				(XSPI, SDHI, PDC)
D11		P109	PIO_041		TOC0	GTCPP09	RXD009-C/ SMISO009-C/ SSCL009/ MOSI2-C	ET0_RX_C LK-C/ RMII0_REF 50CK-C/ CAT0_RX_ CLK-C	SD0_DAT 5-C/ PIXD1	IRQ17	ADCNV1	DSM0_D AT2-F
D12		P115	PIO_047			GTCPP01 5	RXD012-B/ SMISO012-B/ SSCL012	ET1_TX_C LK-C/ CAT1_TX_ CLK-C	PIXD7	IRQ23		DSM0_D AT0-H
D13		P112	PIO_044			GTCPP01 2	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012/ CTS009#/ SSL21-C	ET0_RXD2 -C/ CAT0_ERX D2-C	PIXD4	IRQ20	ADST0	DSM0_C LK1-H/ PDMCLK 0
D14	VSS											
D15	VCC											
E1		PG01	PIO_057	DQM0-A/ WR#-C/ WR0#-C		GTCPP01	RXD008-C/ SMISO008-C/ SSCL008	ET1_RX_D V-A/ RMII1_CR S_DV-A/ RGMII1_R X_CTL-A/ CAT1_RX_ DV-A		IRQ9		DSM0_D AT2-D
E2		PG03	PIO_059	DQM2-A/ WR2#-C/ BC2#-C		GTIOC11B	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008	ET0_INT/ GPTP_MAT CH1		IRQ11		DSM0_D AT1-D
E3		PB02	PIO_018	D13-A		GTOUUP/ GTIOC4A	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004/ CTS009#	ET0_RXD2 -A/ RGMII0_R XD2-A/ CAT0_ERX D2-A		IRQ2		
E4		PB03	PIO_019	D12-A	TMO0	GTOULO/ GTIOC4B	SCK004-A/ CTS004#/ TXDB004	ET0_RXD3 -A/ RGMII0_R XD3-A/ CAT0_ERX D3-A		IRQ3		
E5	VCC											
E6		P501	PIO_033	WR1#-A/ BC1#-A/ A17-C		GTIOC2B	SCK002-C/ CTS002#/ TXDB002/ SSL12-C/ CRX0	ET0_INT/ CATLEDST ER	SD0_DAT 5-A	IRQ1	ADST1	DSM0_D AT2-E
E7		P503	PIO_035	WR3#-A/ BC3#-A/ A19-C		GTIOC3B	RXD002-C/ SMISO002-C/ SSCL002/ CRX1/ USB0_OVRC URB/ SSIRXD0	ET1_WOL/ CATLEDER R	SD0_DAT 7-A	IRQ3		DSM0_D AT1-E
E8		P505	PIO_037		TMO3	GTETRGB /GTIOC4B	TXD007-B/ SMOSI007-B/ SSDA007/ TXDA007/ MISO2-B	ET0_TX_C LK-C/ GPTP_MAT CH0/ CAT0_TX_ CLK-C		IRQ10		DSM0_D AT0-E

表 1.6 機能別端子一覧 (224 ピンLFBGA) (7/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
E9		P507	PIO_039			GTETRGD / GTIOC5B/ POEGC	CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ SSL20-B	ET0_TXD3- C/ GPTP1_PP S/ CAT0_ETX D3-C		IRQ7		
E10		P807	PIO_063			GTCPP04 / GTIOC14 B/POEGD	TXD005-B/ SMOSI005-B/ SSDA005/ TXDA005/ CRX1	ET0_RX_E R-C/ RMII0_RX_ ER-C/ CAT0_RX_ ER-C	PIXCLK	IRQ15		DSM0_D AT1-F/ PCINB1
E11		PF02	PIO_050	CS6#-B/ BREQ#- C		GTCPP01 /GTIOC7A	RXD000-C/ SMISO000-C/ SSCL000/ RXD007-C/ SMISO007-C/ SSCL007	ET1_TXD2- C/ CAT1_ETX D2-C		IRQ2	ADSYNC	DSM1_C LK0-F
E12		PF04	PIO_052	CS4#-B		GTCPP03 /GTIOC8A	SCK000-C/ CTS000#/ TXDB000/ SCK007-C/ CTS007#/ TXDB007	ET1_TXD0- C/ RMII1_TXD 0-C/ CAT1_ETX D0-C		IRQ4		DSM1_C LK1-F
E13		PF03	PIO_051	CS7#-B/ BACK#-C		GTCPP02 /GTIOC7B	TXD000-C/ SMOSI000-C/ SSDA000/ TXDA000/ TXD007-C/ SMOSI007-C/ SSDA007/ TXDA007	ET1_TXD3- C/ CAT1_ETX D3-C		IRQ3		DSM1_D AT0-F
E14		PF00	PIO_048			GTCPP01 4	USB0_DP			IRQ0		
E15		PF01	PIO_049			GTCPP01 5	USB0_DM			IRQ1		
F1		PA05	PIO_013	A2-A		GTIOC2B/ GTIOC12 B	SCK010-A/ CTS010#/ TXDB010/ RSPCK0-B	ET1_TXD2- A/ RGMII1_TX D2-A/ CAT1_ETX D2-A		IRQ5		PCINA0
F2	ETHPHY CLK	PA07	PIO_015	A0-A/ BC0#-A/ DQM1-B		GTIOC3B/ GTIOC13 B	RXD010-A/ SMISO010-A/ SSCL010/ MISO0-B	ET1_TX_E R-A/ CATLINKA CT1		IRQ7		PCINB0
F3		PB01	PIO_017	D14-A	TMC10	GTETRGB / GTCPP04 / GTIOC14 B/POEGA	TXD004-A/ SMOSI004-A/ SSDA004/ TXDA004	ET0_RXD1 -A/ RMII0_RX D1-A/ RGMII0_R XD1-A/ CAT0_ERX D1-A		IRQ4- DS		DSM0_D AT2-A/ PCINB1
F4		PB00	PIO_016	D15-A		GTETRGA / GTADSM0 / GTIOC14 A/POEGC	RXD004-A/ SMISO004-A/ SSCL004	ET0_RXD0 -A/ RMII0_RX D0-A/ RGMII0_R XD0-A/ CAT0_ERX D0-A		IRQ12	ADST2	DSM0_C LK2-A/ PCINA1
F5	VSS											
F6	VCL											
F7	VSS											
F8	VCC											

表 1.6 機能別端子一覧 (224 ピン LFBGA) (8/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
F9	VSS											
F10	VSS											
F11		PF05	PIO_053	CS5#-B		GTCPP05/ GTIOC8B/ POEGD	CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ SSL01-C	ET1_TXD1- C/ RMII1_TXD 1-C/ CAT1_ETX D1-C		IRQ5		DSM1_D AT1-F
F12		P202	PIO_018	CS3#-B/ BREQ#-A	TMO0	GTOUUP/ GTIOC0A/ GTIOC4A	TXD006-A/ SMOSI006-A/ SSDA006/ TXDA006/ RSPCK0-C/ SCL00-B/ CTX2/ USB0_OVRC URA/ USBHS_EXI CEN/ AUDIO_CLK	ET0_RX_D V-B/ RMII0_CR S_DV-B/ CAT0_RX_ DV-B/ CATI2CCL K-C	SD0_DAT 0-C/ PIXD6	IRQ15		DSM1_C LK0-B/ PDMCLK 0
F13		P203	PIO_019	CS2#-B/ BACK#-A		GTOULO/ GTIOC0B/ GTIOC4B	RXD006-A/ SMISO006-A/ SSCL006/ CTS003#/ SSL00-C/ SDA00-B/ CRX2/ USB0_OVRC URB/ USBHS_ID/ SSIBCK0	ET0_RX_C LK-B/ RMII0_REF 50CK-B/ CAT0_RX_ CLK-B/ CATI2CDA TA-C	SD0_DAT 1-C/ PIXD7	IRQ3		DSM1_D AT0-B/ PDMDAT 0
F14	VCC_US B											
F15	VSS_US B											
G1		PA04	PIO_012	A3-A	TMRI0	GTIOC2A/ GTIOC12 A	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ SSL00-B	ET1_TXD1- A/ RMII1_TXD 1-A/ RGMII1_TX D1-A/ CAT1_ETX D1-A		IRQ5- DS		PCINZ0
G2		PA06	PIO_014	A1-A/ DQM2-B	TMCI3	GTIOC3A/ GTIOC13 A	TXD010-A/ SMOSI010-A/ SSDA010/ TXDA010/ MOSI0-B	ET1_TXD3- A/ RGMII1_TX D3-A/ CAT1_ETX D3-A		IRQ14		PCINZ1
G3		PG05	PIO_061	A10-A		GTIOC12 B	RXD003-C/ SMISO003-C/ SSCL003	ET0_MDIO -A/ CAT0_MDI O-A		IRQ13		
G4		PG07	PIO_063	A8-A		GTIOC13 B	CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003	ET0_CRS		IRQ15		
G5		PF09	PIO_017	A20-A/ A16-D			CTS012#	GPTP_CA PTURE1	XSPI1_IN T0#/ XSPI1_E CS0#	IRQ17		
G6	VSS											
G7	VCL											
G8	VSS											
G9	VCL											

表 1.6 機能別端子一覧 (224 ピンLFBGA) (9/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
G10	VCL											
G11	CLKOUT	P205	PIO_021	A21-C/ CS6#-C		GTOVLO/ GTIOC1B/ GTIOC5B	SCK001-B/ CTS001#/ TXDB001/ RSPCK1-B/ SDAHS1-B/ CRX0/ USB0_VBUS/ USBHS_VBU SEN/ SSIRXD1	ET0_RXD1 -B/ RMII0_RX D1-B/ CAT0_ERX D1-B	SD0_CD/ HSYNC	IRQ5	ADTRG0 #	DSM1_D AT1-B/ PCOUTB 1
G12	ETHPHY CLK	P204	PIO_020	A20-C/ CS7#-C	TMRI1	GTOVUP/ GTIOC1A/ GTIOC5A	CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-B/ SCLHS1-B/ CTX0/ USB0_VBUS EN/ USBHS_VBU S-DS/ SSIBCK1	ET0_RXD0 -B/ RMII0_RX D0-B/ CAT0_ERX D0-B	SD0_WP/ PIXCLK	IRQ12		DSM1_C LK1-B/ PCOUTA 1
G13	VCC_US BHS											
G14							USBHS_DP					
G15							USBHS_DM					
H1		PA02	PIO_010	A5-A		GTIW/ GTIOC1A/ GTIOC11A	TXD005-A/ SMOSI005-A/ SSDA005/ TXDA005/ SSL03-B	ET1_TX_C LK-A/ CAT1_TX_ CLK-A		IRQ10	ADCNV2	DSM0_C LK1-A
H2		PA03	PIO_011	A4-A		GTIOC1B/ GTIOC11B	RXD005-A/ SMISO005-A/ SSCL005	ET1_TXD0- A/ RMII1_TXD 0-A/ RGMII1_TX D0-A/ CAT1_ETX D0-A		IRQ6- DS	ADSYNC	DSM0_D AT1-A
H3		PG06	PIO_062	A9-A		GTIOC13 A	TXD003-C/ SMOSI003-C/ SSDA003/ TXDA003	ET0_COL		IRQ14		
H4		PG04	PIO_060	A11-A		GTIOC12 A	SCK003-C/ CTS003#/ TXDB003	ET0_MDC- A/ CAT0_MDC -A		IRQ12		
H5		PF08	PIO_016	A21-A/ A17-D		GTCPP01 2/POEGA			XSPI1_R ESET0#	IRQ16		
H6	VCC											
H7	VSS											
H8	VCL											
H9	VSS											
H10	VCL											

表 1.6 機能別端子一覧 (224 ピンLFBGA) (10/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
224 ピン LFBGA												
H11		P206	PIO_022	A22-C/ CS5#-C	TMO3/ RTCOU	GTOWUP/ GTIOC2A/ GTIOC6A	CTS006#/ TXD001-B/ SMOSI001-B/ SSDA001/ TXDA001/ MOSI1-B/ SCLHS2-B/ CTX1/ USB0_EXICE N/ USBHS_OVR CURA-DS/ SSITXD1	ET0_RXD2 -B/ CAT0_ERX D2-B	VSYNC	IRQ2- DS	ADTRG1 #	DSM1_C LK2-B/ PCOUTZ 1
H12	AVSS_U SBHS											
H13	USBHS_ RREF											
H14	VSS_US BHS											
H15	VCC											
J1	ETHPHY CLK	PA00	PIO_008	A7-A	CACREF	GTIU/ GTIOC0A/ GTIOC10 A	CTS010#/ CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL01-B	RGMII1_TX C-A/ CATIRQ		IRQ1- DS	ADCNV0	DSM0_C LK0-A
J2		PA01	PIO_009	A6-A		GTIV/ GTIOC0B/ GTIOC10 B	SCK005-A/ CTS005#/ TXDB005/ SSL02-B	ET1_TX_E N-A/ RMII1_TX_ EN-A/ RGMII1_TX_ CTL-A/ CAT1_TX_ EN-A		IRQ11	ADCNV1	DSM0_D AT0-A
J3		P703	PIO_051	ALE-A/ WR2#-B/ BC2#-B	CACREF	GTETRGB / GTIOC11B	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004	ET1_LINKS TA/ CAT1_LINK STA	XSPI1_R ESET0#/ PCKO	IRQ8		DSM1_D AT1-D
J4		PF06	PIO_054	A23-A/ A19-D		GTCPP06 / GTIOC9A/ POEGC	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000/ CTS007#/ SSL02-C		XSPI1_C S1#/ XSPI1_W P0#	IRQ6		DSM1_C LK2-F
J5		PF07	PIO_055	A22-A/ A18-D		GTCPP01 1/ GTIOC9B	SSL03-C		XSPI1_R STO0#	IRQ7		DSM1_D AT2-F
J6	VSS											
J7	VCL											
J8	VSS											
J9	VCL											
J10	VSS											
J11		P207	PIO_023	A23-C/ CS4#-C	TMRI3	GTOWLO/ GTIOC2B/ GTIOC6B	RXD001-B/ SMISO001-B/ SSCL001/ MISO1-B/ SDAHS2-B/ CRX1/ USB0_ID/ USBHS_OVR CURB-DS	ET0_RXD3 -B/ CAT0_ERX D3-B	PCKO	IRQ3- DS	ADTRG2 #	DSM1_D AT2-B

表 1.6 機能別端子一覧 (224 ピンLFBGA) (11/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
224 ピン LFBGA									(XSPI, SDHI, PDC)			
J12		P305								NMI/ IRQ0		
J13	AVCC_U SBHS											
J14	XTAL	P307										
J15	EXTAL	P306										
K1		P707	PIO_055	WE#-A/ CS7#-A		GTIOC13 B	TXD011-B/ SMOSI011-B/ SSDA011/ TXDA011	ET1_RXD3 -A/ RGMII1_R XD3-A/ CAT1_ERX D3-A	XSPI1_R ESET1#	IRQ7		DSM0_D AT0-D
K2		P706	PIO_054	CAS#-A/ CS6#-A		GTIOC13 A	RXD011-B/ SMISO011-B/ SSCL011	ET1_RXD2 -A/ RGMII1_R XD2-A/ CAT1_ERX D2-A	XSPI1_W P1#	IRQ14	ADCNV2	DSM0_C LK0-D
K3		P702	PIO_050	RD#-A/ DQM3-B		GTETRGA / GTIOC11A	SCK004-B/ CTS004#/ TXDB004	ET1_CRS/ CATSYNC1	XSPI1_W P0#/ XSPI1_R ESET1#/ HSYNC	IRQ10	ADST2	DSM1_C LK1-D
K4		P605	PIO_013	CS2#-C/ D18-B		GTIOC6B	RXD009-B/ SMISO009-B/ SSCL009/ SSL02-D	ET1_TXD3- B/ ET_TAS_S TA1/ CAT1_ETX D3-B	XSPI0_IN T0#/ XSPI0_E CS0#	IRQ13		DSM1_D AT1-A
K5	VSS											
K6	VCC											
K7	VSS											
K8	VCC2											
K9	VCL											
K10	VSS											
K11		P310	PIO_058		RTCIC0/ CACREF	GTETRGB / GTCPP01 /POEGC	CTS000#/ CTS001#/ SSL11-B/ SSITXD0	ET1_INT/ CATIRQ		IRQ18	ADTRG0 #	TAMPI0
K12		P311	PIO_059	BREQ#-B	RTCIC1	GTETRGC / GTCPP01 4/POEGD	CTS007#/ SSL12-B/ SSIRXD0	ET0_WOL		IRQ19	ADTRG1 #	DSM0_C LK2-C/ TAMPI1
K13	MD/ FINED	P315										
K14	VSS											
K15	VSS											
L1		P705	PIO_053	RAS#-A/ CS5#-A		GTIOC12 B	SCK011-B/ CTS011#/ TXDB011	ET1_RXD1 -A/ RMII1_RX D1-A/ RGMII1_R XD1-A/ CAT1_ERX D1-A	XSPI1_R STO1#	IRQ13	ADCNV1	DSM1_D AT2-D

表 1.6 機能別端子一覧 (224 ピン LFBGA) (12/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
L2		P704	PIO_052	SDCS#- A/CS4#- A		GTIOC12 A	CTS004#/ CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011	ET1_RXD0 -A/ RMII1_RX D0-A/ RGMII1_R XD0-A/ CAT1_ERX D0-A	XSPI1_IN T1#/ XSPI1_E CS1#	IRQ12	ADCNV0	DSM1_C LK2-D
L3		P604	PIO_012	CS3#-C/ D19-B		GTIOC6A	TXD009-B/ SMOSI009-B/ SSDA009/ TXDA009/ SSL01-D	ET1_TXD2- B/ ET_TAS_S TA0/ CAT1_ETX D2-B	XSPI0_C S1#/ XSPI0_R STO0#	IRQ4		DSM1_C LK1-A
L4		P606	PIO_014	CS1#-C/ D17-B		GTETRG A/ GTCPP04 / GTIOC15 A/POEGC	SCK009-B/ CTS009#/ TXDB009/ SSL03-D/ CTX2	ET1_TX_E R-B/ ET_TAS_S TA2/ CATLINKA CT1	XSPI0_R ESET0#	IRQ14		DSM1_C LK2-A
L5	VCC2											
L6		P904	PIO_004			GTCPP00 /POEGC	TXD006-B/ SMOSI006-B/ SSDA006/ TXDA006	ET0_COL/ GPTP_PTP OUT0		IRQ12		
L7		P906	PIO_006			GTCPP02 /POEGA	SCK006-B/ CTS006#/ TXDB006	ET0_MDC- C/ GPTP_PTP OUT2		IRQ14		
L8		P407	PIO_055							IRQ15- DS	AN007	
L9		P406	PIO_054							IRQ14- DS	AN006	
L10		P215	PIO_055			GTCPP01 3	CTS004#/ CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ USBHS_ID	ET1_RXD3 -C/ CAT1_ERX D3-C		IRQ31		PDMDAT 0/ PCINZ0
L11		P209	PIO_049		TOC1	GTETRGA B	RXD004-C/ SMISO004-C/ SSCL004/ MOSI1-D	ET1_RX_C LK-C/ RMII1_REF 50CK-C/ CAT1_RX_ CLK-C		IRQ25		PCINB1
L12		P312	PIO_060	BACK#-B	RTCIC2	GTETRGA / GTCPP01 5/POEGA	SSL13-B/ SSILRCK0	ET1_WOL		IRQ20	ADTRG2 #	DSM0_D AT2-C/ TAMPI2
L13	VCC											
L14	XCIN/ EXCIN	P309										
L15	XCOUT	P308										
M1	ETHPHY CLK	P700	PIO_048	SDCLK-A		GTIOC10 A	TXD004-B/ SMOSI004-B/ SSDA004/ TXDA004	ET1_INT/ CATREST OUT	XSPI1_IN T0#/ XSPI1_E CS0#/ PIXCLK	IRQ0	ADST0	DSM1_C LK0-D
M2		P701	PIO_049	CKE-A/ WR3#-B/ BC3#-B		GTIOC10 B	RXD004-B/ SMISO004-B/ SSCL004	ET1_COL/ CATLATCH 1	XSPI1_R STO0#/ XSPI1_R ESET0#/ VSYNC	IRQ1	ADST1	DSM1_D AT0-D

表 1.6 機能別端子一覧 (224 ピン LFBGA) (13/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
M3		P607	PIO_015	CS0#-B/ D16-B		GTETRGB / GTADSM0 / GTIOC15 B/POEGA	CTS008#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009/ CRX2	ET1_INT/ ET_TAS_S TA3/ CATIRQ	XSPI0_R STO0#	IRQ15		DSM1_D AT2-A
M4		P603	PIO_011	WE#-B/ D20-B		GTIOC5B	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS009#/ MISO0-D	ET1_TXD1- B/ RMII1_TXD 1-B/ GPTP_PTP OUT3/ CAT1_ETX D1-B/ CATSYNC0	XSPI0_IO 7/PCKO	IRQ3		DSM1_D AT0-A
M5		P907	PIO_007			GTCPP03 /POEGD	CTS006#/ RTS006#/ SS006#/ DE006/ TXDB006/ CTS001#	ET0_MDIO -C/ GPTP_PTP OUT3	XSPI0_W P0#	IRQ15		
M6		P905	PIO_005			GTCPP01 /POEGB	RXD006-B/ SMISO006-B/ SSCL006	ET0_CRS/ GPTP_PTP OUT1		IRQ13		
M7		P902	PIO_002			GTETRGC / GTCPP08	SCK001-C/ CTS001#/ TXDB001	ET1_MDC- B/ ET_TAS_S TA2/ CATREST OUT	XSPI0_R ESET1#	IRQ10	AN034	
M8		P900	PIO_000			GTETRGA / GTCPP05	RXD001-C/ SMISO001-C/ SSCL001	ET1_COL/ ET_TAS_S TA0/ CATSYNC1	XSPI0_IN T1#/ XSPI0_E CS1#	IRQ0	AN032	
M9		P405	PIO_053							IRQ13- DS	AN005	
M10		P415	PIO_063							IRQ31	AN015/ DA1	
M11		P212	PIO_052			GTCPP01 0	SCK005-C/ CTS005#/ TXDB005/ SSL11-D/ USBHS_OVR CURA	ET1_RX_D V-C/ RMII1_CR S_DV-C/ CAT1_RX_ DV-C		IRQ28	ADTRG0 #	
M12		P214	PIO_054			GTCPP01 2	TXD005-C/ SMOSI005-C/ SSDA005/ TXDA005/ SSL13-D/ USBHS_EXI CEN	ET1_RXD2 -C/ CAT1_ERX D2-C		IRQ30	ADTRG2 #	PDMCLK 0/ PCINB0
M13	RES#											
M14	VSS											
M15	VBATT/ VCC											
N1		PE07	PIO_047	A8-B/ A20-D	TOC1	GTETRGD / GTCPP07 / GTIOC10 B/POEGD		ET1_LINKS TA/ CAT1_LINK STA/ CATREST OUT	XSPI1_C S0#/ PIXD7	IRQ7		

表 1.6 機能別端子一覧 (224 ピンLFBGA) (14/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPiA, RI3C, RIICHs, CANFD, USB, SSIE)	(ESWM, ESC)				
N2		PE04	PIO_044	A11-B/ A23-D		GTOWUP/ GTIOC9A	CTS012#/ SSL11-A	ET1_RXD2 -D/ CAT1_ERX D2-D/ CATLEDST ER	XSPI1_IO 2/ XSPI1_W P0#/ PIXD4	IRQ12		
N3		PE06	PIO_046	A9-B/ A21-D	TIC1	GTETRGC / GTADSM1 / GTIOC10 A/POEGB	SSL13-A	ET1_RX_C LK-D/ RMII1_REF 50CK-D/ CAT1_RX_ CLK-D/ CATLEDER R	XSPI1_D S/PIXD6	IRQ6		
N4		P602	PIO_010	CAS#-B/ D21-B		GTIOC5A	SCK008-B/ CTS008#/ TXDB008/ MOSI0-D	ET1_TXD0- B/ RMII1_TXD 0-B/ GPTP_PTP OUT2/ CAT1_ETX D0-B/ CATLATCH 0	XSPI0_IO 6/HSYNC	IRQ2	ADTRG2 #	DSM1_C LK0-A
N5		P601	PIO_009	RAS#-B/ D22-B		GTIOC4B	RXD008-B/ SMISO008-B/ SSCL008/ RSPCK0-D	ET1_TX_E N-B/ RMII1_TX_ EN-B/ GPTP_PTP OUT1/ CAT1_TX_ EN-B/ CATSYNC1	XSPI0_IO 5/VSYN	IRQ1	ADTRG1 #	
N6		P600	PIO_008	SDCS#- B/D23-B		GTIOC4A	TXD008-B/ SMOSI008-B/ SSDA008/ TXDA008/ SSL00-D	ET1_TX_C LK-B/ GPTP_PTP OUT0/ CAT1_TX_ CLK-B/ CATLATCH 1	XSPI0_IO 4/PIXCLK	IRQ0	ADTRG0 #	
N7		P903	PIO_003			GTETRGD / GTCPP09 /POEGD	CTS006#/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001	ET1_MDIO -B/ ET_TAS_S TA3/ CATIRQ	XSPI0_W P1#	IRQ11	AN035	
N8		P901	PIO_001			GTETRGB / GTCPP06	TXD001-C/ SMOSI001-C/ SSDA001/ TXDA001	ET1_CRS/ ET_TAS_S TA1/ CATLATCH 1	XSPI0_R STO1#/ XSPI0_R ESET0#	IRQ9	AN033	
N9		P404	PIO_052							IRQ12- DS	AN004	
N10		P414	PIO_062							IRQ30	AN014/ DA0	
N11		P210	PIO_050			GTETRGC	TXD004-C/ SMOSI004-C/ SSDA004/ TXDA004/ MISO1-D	ET1_RXD0 -C/ RMII1_RX D0-C/ CAT1_ERX D0-C		IRQ26		PCINZ1
N12		P213	PIO_053			GTCPP01 1	RXD005-C/ SMISO005-C/ SSCL005/ SSL12-D/ USBHS_VBU SEN	ET1_RX_E R-C/ RMII1_RX_ ER-C/ CAT1_RX_ ER-C		IRQ29	ADTRG1 #	PCINA0

表 1.6 機能別端子一覧 (224 ピン LFBGA) (15/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
N13		P208	PIO_048		TIC1	GTETRG	SCK004-C/ CTS004#/ TXDB004/ RSPCK1-D	ET1_TX_E N-C/ RMII1_TX_ EN-C/ CAT1_TX_ EN-C		IRQ24		PCINA1
N14		P211	PIO_051			GTETRGD	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004/ CTS005#/ SSL10-D/ USBHS_OVR CURB	ET1_RXD1 -C/ RMII1_RX D1-C/ CAT1_ERX D1-C		IRQ27		
N15		P000	PIO_000		TMRI0	GTCPP07/ GTIOC10 A/POEGB	CTS000#/ CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ AUDIO_CLK	ET0_INT/ CATREST OUT		IRQ16- DS	AN016	DSM0_C LK0-B
P1		PE05	PIO_045	A10-B/ A22-D		GTOWLO/ GTIOC9B	SSL12-A	ET1_RXD3 -D/ CAT1_ERX D3-D/ CATLEDRU N	XSPI1_IO 3/PIXD5	IRQ5		
P2		PE03	PIO_043	A12-B	TOC3	GTOVLO/ GTIOC8B	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012/ MISO1-A	ET1_RXD1 -D/ RMII1_RX D1-D/ CAT1_ERX D1-D	SD0_DAT 7-B/ XSPI1_IO 1/PIXD3	IRQ11		
P3		PE02	PIO_042	A13-B	TIC3	GTOVUP/ GTIOC8A	RXD012-A/ SMISO012-A/ SSCL012/ MOSI1-A	ET1_RXD0 -D/ RMII1_RX D0-D/ CAT1_ERX D0-D	SD0_DAT 6-B/ XSPI1_IO 0/PIXD2	IRQ7- DS		
P4		PD07	PIO_039	A16-B/ D24-B		GTIW/ GTIOC3B/ POEGA	TXD003-A/ SMOSI003-A/ SSDA003/ TXDA003/ CTX1	ET1_LINKS TA/ CAT1_LINK STA	SD0_CD/ XSPI0_C S0#/ XSPI0_R ESET1#/ PIXD7	IRQ7	AN031	
P5		PD05	PIO_037	A18-B/ D26-B		GTIU/ GTIOC2B/ POEGD	SCK003-A/ CTS003#/ TXDB003/ SSL22-A/ CTX0	ET1_RX_D V-B/ RMII1_CR S_DV-B/ CAT1_RX_ DV-B/ CATLEDST ER	SD0_DAT 1-B/ XSPI0_IO 3/PIXD5	IRQ5	AN029	
P6		PD03	PIO_035	A20-B/ D28-B	TOC2	GTIOC1B/ POEGA	TXD002-A/ SMOSI002-A/ SSDA002/ TXDA002/ MISO2-A	ET1_RXD3 -B/ CAT1_ERX D3-B/ CAT0_MDI O-D	SD0_CLK -B/ XSPI0_IO 1/PIXD3	IRQ3	AN027	
P7		PD02	PIO_034	A21-B/ D29-B	TIC2	GTETRGB / GTIOC1A/ POEGB	RXD002-A/ SMISO002-A/ SSCL002/ MOSI2-A	ET1_RXD2 -B/ CAT1_ERX D2-B/ CAT0_MDC -D	SD0_CM D-B/ XSPI0_IO 0/PIXD2	IRQ2	AN026	
P8	AVSS0											
P9	VREFL0											

表 1.6 機能別端子一覧 (224 ピン LFBGA) (16/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
P10		P403	PIO_051							IRQ11- DS	AN003	
P11		P401	PIO_049							IRQ9- DS	AN001	
P12		P006	PIO_006			GTCPP05 / GTIOC13 A/ GTIOC9B	SCK000-B/ CTS000#/ TXDB000	ET1_LINKS TA/ CAT1_LINK STA		IRQ22- DS	ADTRG1 #/AN022	PDMCLK 0/ PCOUTZ 1
P13		P004	PIO_004			GTCPP03 / GTIOC12 A/ GTIOC8B	TXD000-B/ SMOSI000-B/ SSDA000/ TXDA000/ SSI1TXD1	ET1_MDC- D/ CATSYNCO		IRQ20- DS	AN020	DSM0_C LK2-B/ PCOUTA 1
P14		P003	PIO_003			GTCPP02 / GTIOC11B /GTIOC8A	RXD007-A/ SMISO007-A/ SSCL007/ SSI1RXD1	ET0_MDIO -D/ CAT0_MDI O-E		IRQ19- DS	AN019	DSM0_D AT1-B/ PCOUTB 0
P15		P001	PIO_001		TMCIO	GTCPP00 / GTIOC10 B/ GTIOC7A	SCK007-A/ CTS007#/ TXDB007/ SSIBCK0	ET0_LINKS TA/ CAT0_LINK STA		IRQ17- DS	AN017	DSM0_D AT0-B/ PCOUTZ 0
R1	VSS											
R2	CLKOUT	PE01	PIO_041	A14-B		GTOULO/ GTIOC7B	TXD012-A/ SMOSI012-A/ SSDA012/ TXDA012/ RSPCK1-A	ET1_RX_D V-D/ RMII1_CR S_DV-D/ CAT1_RX_ DV-D	SD0_DAT 5-B/ XSPI1_C K/PIXD1	IRQ9		
R3	ETHPHY CLK	PE00	PIO_040	A15-B		GTOUUP/ GTIOC7A	SCK012-A/ CTS012#/ TXDB012/ SSL10-A	ET1_RX_E R-D/ RMII1_RX_ ER-D/ CAT1_RX_ ER-D	SD0_DAT 4-B/ XSPI1_C KN#/ XSPI1_C S1#/ PIXD0	IRQ8		
R4		PD06	PIO_038	A17-B/ D25-B		GTIV/ GTIOC3A/ POEGB	RXD003-A/ SMISO003-A/ SSCL003/ SSL23-A/ CRX1	ET1_RX_E R-B/ RMII1_RX_ ER-B/ CAT1_RX_ ER-B/ CATLEDER R	SD0_WP/ XSPI0_D S/PIXD6	IRQ6	AN030	
R5		PD04	PIO_036	A19-B/ D27-B		GTETRGA / GTIOC2A/ POEGC	CTS002#/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ SSL21-A/ CRX0	ET1_RX_C LK-B/ RMII1_REF 50CK-B/ CAT1_RX_ CLK-B/ CATLEDRU N	SD0_DAT 0-B/ XSPI0_IO 2/ XSPI0_W P0#/ PIXD4	IRQ4	AN028	
R6		PD00	PIO_032	A23-B/ D31-B		GTETRGD / GTIOC0A/ POEGD	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS003#/ SSL20-A	ET1_RXD0 -B/ RMII1_RX D0-B/ CAT1_ERX D0-B/ CATLATCH 0	SD0_DAT 2-B/ XSPI0_C KN#/ XSPI0_C S1#/ PIXD0	IRQ0	AN024	
R7		PD01	PIO_033	A22-B/ D30-B		GTETRGC / GTIOC0B/ POEGC	SCK002-A/ CTS002#/ TXDB002/ RSPCK2-A	ET1_RXD1 -B/ RMII1_RX D1-B/ CAT1_ERX D1-B/ CATSYNCO	SD0_DAT 3-B/ XSPI0_C K/PIXD1	IRQ1	AN025	

表 1.6 機能別端子一覧 (224 ピン LFBGA) (17/17)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
224 ピン LFBGA									(XSPI, SDHI, PDC)			(DSMIF、 PDMIF、 PCIF、 タンパ 検出)
R8	AVCC0											
R9	VREFH0											
R10		P402	PIO_050							IRQ10- DS	AN002	
R11		P400	PIO_048							IRQ8- DS	AN000	
R12		P007	PIO_007			GTCPP06 / GTIOC13 B/POEGA	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000	ET1_INT/ CATIRQ		IRQ23- DS	ADTRG0 #/AN023	PDMDAT 0
R13		P005	PIO_005			GTCPP04 / GTIOC12 B/ GTIOC9A	RXD000-B/ SMISO000-B/ SSCL000/ SSILRCK1	ET1_MDIO -D/ CATLATCH 0		IRQ21- DS	ADTRG2 #/AN021	DSM0_D AT2-B/ PCOUTB 1
R14		P002	PIO_002		TMC11	GTCPP01 / GTIOC11A /GTIOC7B	TXD007-A/ SMOSI007-A/ SSDA007/ TXDA007/ SSIACK1	ET0_MDC- D/ CAT0_MDC -E		IRQ18- DS	AN018	DSM0_C LK1-B/ PCOUTA 0
R15	NC											

1.6.3 176 ピン LFBGA

表 1.7 機能別端子一覧 (176ピンLFBGA) (1/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIIICH, CANFD, USB, SSIE)	(ESWM, ESC)				(DSMIF, PDMIF, PCIF, タンパ 検出)
A1		PC01	PIO_025	D6-A		GTOULO/ GTIOC7B	SCK011-A/ CTS011#/ TXDB011/ SSL02-A/ SDA00-C	ET0_TXD0- A/ RMII0_TXD 0-A/ RGMII0_TX D0-A/ CAT0_ETX D0-A	SD0_DAT 3-A	IRQ12		PCOUTB 0
A2		PC03	PIO_027	D4-A		GTOVLO/ GTIOC8B	TXD011-A/ SMOSI011-A/ SSDA011/ TXDA011/ SDAHS1-C	ET0_TXD2- A/ RGMII0_TX D2-A/ CAT0_ETX D2-A	SD0_CLK -A	IRQ11		PCOUTA 1
A3		PC05	PIO_029	D2-A	TMRI2	GTOWLO/ GTIOC9B	SCK008-A/ CTS008#/ TXDB008/ RSPCK0-A/ SSIBCK0	ET0_TX_E N-A/ RMII0_TX_ EN-A/ RGMII0_TX _CTL-A/ CAT0_TX_ EN-A	SD0_DAT 1-A	IRQ5		PCOUTZ 1
A4	ETHPHY CLK	PC07	PIO_031	D0-A	TMO2/ TOC0/ CACREF	GTETRGD / GTADSM1 / GTIOC15 B/POEGA	TXD008-A/ SMOSI008-A/ SSDA008/ TXDA008/ MISO0-A/ SSI0TXD0	RGMII0_TX C-A/ CATREST OUT	SD0_CD	IRQ14		DSM1_D AT2-C/ PDMDAT 0
A5	CLKOUT	P801	PIO_057	EBCLK-A		GTIV/ GTIOC0B/ POEGC	TXD010-B/ SMOSI010-B/ SSDA010/ TXDA010	ET0_CRS/ CATSYNCO		IRQ9	ADCNV1	DSM1_D AT1-C
A6		P503	PIO_035	WR3#-A/ BC3#-A/ A19-C		GTIOC3B	RXD002-C/ SMISO002-C/ SSCL002/ CRX1/ USB0_OVRC URB/ SSI0RXD0	ET1_WOL/ CATLEDER R	SD0_DAT 7-A	IRQ3		DSM0_D AT1-E
A7	VLO											
A8	VSS_DC DC											
A9	VCC_DC DC											
A10		P102	PIO_010		TMC11	GTADSM0 / GTIOC13 A	SCL00-A	ET0_COL/ CATI2CCL K-A		IRQ2		
A11	CLKOUT	P106	PIO_014		TMO2/ RTCOUT	GTIU/ GTIOC15 A/POEGB	RXD003-B/ SMISO003-B/ SSCL003/ SCLHS2-A	ET0_TXD2- B/ CAT0_ETX D2-B/ CATI2CCL K-B	SD0_DAT 2-C/ PIXD2	IRQ30- DS	ADTRG0 #	PCINA1
A12		P200	PIO_016		TMRI0	GTETRGA / GTIOC3A/ GTIOC14 A	CTS006#/ RTS006#/ SS006#/ DE006/ TXDB006/ MOSI0-C/ SDAHS1-A/ USB0_ID/ SSI0RXD0	ET0_TX_E N-B/ RMII0_TX_ EN-B/ CAT0_TX_ EN-B	SD0_CM D-C/ PIXD4	IRQ8	ADTRG2 #	PCINZ1

表 1.7 機能別端子一覧 (176ピンLFBGA) (2/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
A13		P805	PIO_061			GTADSM1 / GTIOC15 B	SCK005-B/ CTS005#/ TXDB005/ SSL22-B/ CRX0/ USB0_VBUS EN/ USBHS_VBU SEN	ET0_TXD0- C/ RMII0_TXD 0-C/ CAT0_ETX D0-C	HSYNC	IRQ5	ADSYNC	DSM0_D AT0-F/ PCINB0
A14	TCK/ SWCLK	P301	PIO_025		TMC13	GTCPP01 1	SCK000-A/ CTS000#/ TXDB000/ SCK001-A/ CTS001#/ TXDB001/ RSPCK1-C	ET1_WOL		IRQ7		
A15	TDO	P302	PIO_026		TMR13	GTCPP01 2	TXD000-A/ SMOSI000-A/ SSDA000/ TXDA000/ TXD001-A/ SMOSI001-A/ SSDA001/ TXDA001/ MOSI1-C	ET1_COL		IRQ4		
B1		PC00	PIO_024	D7-A		GTOUUP/ GTIOC7A	CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011/ SSL01-A/ SCL00-C	ET0_TX_C LK-A/ CAT0_TX_ CLK-A	SD0_DAT 2-A	IRQ14		PCOUTA 0
B2		PC02	PIO_026	D5-A		GTOVUP/ GTIOC8A	RXD011-A/ SMISO011-A/ SSCL011/ SSL03-A/ SCLHS1-C	ET0_TXD1- A/ RMII0_TXD 1-A/ RGMII0_TX D1-A/ CAT0_ETX D1-A	SD0_CM D-A	IRQ10		PCOUTZ 0
B3		PC04	PIO_028	D3-A	TMC11	GTOWUP/ GTIOC9A	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS011#/ SSL00-A/ AUDIO_CLK	ET0_TXD3- A/ RGMII0_TX D3-A/ CAT0_ETX D3-A	SD0_DAT 0-A	IRQ12		PCOUTB 1
B4		PC06	PIO_030	D1-A	TMC12/ TIC0	GTETRGC / GTCPP07 / GTIOC15 A/POEGB	RXD008-A/ SMISO008-A/ SSCL008/ MOSI0-A/ SSILRCK0	ET0_TX_E R-A/ CATLINKA CT0	SD0_WP	IRQ13		DSM1_C LK2-C/ PDMCLK 0
B5		P803	PIO_059	CS3#-A/ WR1#-B/ BC1#-B		GTIOC1B/ POEGA	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ CTX2/ USB0_ID	ET0_MDC- B/ CAT0_MDC -B		IRQ3	ADSYNC	DSM1_D AT0-C
B6		P502	PIO_034	WR2#-A/ BC2#-A/ A18-C		GTIOC3A	TXD002-C/ SMOSI002-C/ SSDA002/ TXDA002/ SSL13-C/ CTX1	ET0_WOL/ CATLEDRU N	SD0_DAT 6-A	IRQ2	ADST2	DSM0_C LK1-E
B7	VLO											

表 1.7 機能別端子一覧 (176ピンLFBGA) (3/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFBGA												
B8	VSS_DC DC											
B9	VCC_DC DC											
B10		P103	PIO_011		TMO3	GTADSM1 / GTIOC13 B	CTS002#/ SDA00-A	ET0_CRS/ CATI2CDA TA-A		IRQ3		
B11		P107	PIO_015		TMO1	GTIV/ GTIOC15 B/POEGA	TXD003-B/ SMOSI003-B/ SSDA003/ TXDA003/ SDAHS2-A/ SSI003	ET0_TXD3- B/ CAT0_ETX D3-B/ CATI2CDA TA-B	SD0_DAT 3-C/ PIXD3	IRQ31- DS	ADTRG1 #	PCINB1
B12		P201	PIO_017		TMC10	GTIW/ GTIOC3B/ GTIOC14 B	SCK006-A/ CTS006#/ TXDB006/ MISO0-C/ SCLHS1-A/ USB0_EXICE N/SSI006	ET0_RX_E R-B/ RMII0_RX_ ER-B/ CAT0_RX_ ER-B	SD0_CLK -C/PIXD5	IRQ9		PCINZ0
B13		P804	PIO_060			GTADSM0 / GTIOC15 A	CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL21-B/ CTX0/ USB0_OVRC URA/ USBHS_OVR CURA	ET0_TX_E N-C/ RMII0_TX_ EN-C/ CAT0_TX_ EN-C	PCKO	IRQ4		DSM0_C LK0-F/ PCINA0
B14	TMS/ SWDIO	P300	PIO_024		TMO1	GTCPP01 0	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-C	ET0_WOL		IRQ6		
B15	TDI	P303	PIO_027		TMC12	GTCPP01 3	RXD000-A/ SMISO000-A/ SSCL000/ RXD001-A/ SMISO001-A/ SSCL001/ MISO1-C	ET1_CRS		IRQ1		
C1		PB06	PIO_022	D9-A		GTOWUP/ GTIOC6A	RXD009-A/ SMISO009-A/ SSCL009	ET0_RX_E R-A/ RMII0_RX_ ER-A/ CAT0_RX_ ER-A		IRQ6		
C2		PB07	PIO_023	D8-A		GTOWLO/ GTIOC6B	TXD009-A/ SMOSI009-A/ SSDA009/ TXDA009	ET0_LINKS TA/ CAT0_LINK STA		IRQ15		
C3		P802	PIO_058	CS2#-A/ WR#-B/ WR0#-B		GTIW/ GTIOC1A/ POEGB	SCK010-B/ CTS010#/ TXDB010/ CRX2/ USB0_EXICE N	ET0_MDIO -B/ CAT0_MDI O-B		IRQ2	ADCNV2	DSM1_C LK0-C
C4	VCC											

表 1.7 機能別端子一覧 (176 ピン LFBGA) (4/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFBGA												
C5		P500	PIO_032	WR#-A/ WR0#-A/ A16-C		GTIOC2A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS007#/ SSL11-C/ CTX0	ET0_LINKS TA/ CAT0_LINK STA	SD0_DAT 4-A	IRQ0	ADST0	DSM0_C LK2-E
C6		P501	PIO_033	WR1#-A/ BC1#-A/ A17-C		GTIOC2B	SCK002-C/ CTS002#/ TXDB002/ SSL12-C/ CRX0	ET0_INT/ CATLEDST ER	SD0_DAT 5-A	IRQ1	ADST1	DSM0_D AT2-E
C7	VLO											
C8	VCC_DC DC											
C9	VCC											
C10		P100	PIO_008	CS1#-B/ WAIT#-A	TMRI3/ CACREF	GTIU/ GTADSM0 / GTIOC12 A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS005#/ USB0_OVRC URB-DS/ USBHS_VBU S	ET0_TX_E R-B/ CATLINKA CT0/ CATLEDER R		IRQ0	ADTRG2 #	DSM0_C LK0-C
C11		P104	PIO_012		TMRI2	GTIW/ GTIOC14 A	RXD002-B/ SMISO002-B/ SSCL002/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ CTX2/ USB0_OVRC URA-DS/ USBHS_VBU S	ET0_TXD0- B/ RMII0_TXD 0-B/ CAT0_ETX D0-B/ CATLEDST ER	PIXD0	IRQ4	ADST0	DSM0_C LK1-C/ PCINA0
C12	CLKOUT	P205	PIO_021	A21-C/ CS6#-C		GTOVLO/ GTIOC1B/ GTIOC5B	SCK001-B/ CTS001#/ TXDB001/ RSPCK1-B/ SDAHS1-B/ CRX0/ USB0_VBUS/ USBHS_VBU SEN/ SSIRXD1	ET0_RXD1 -B/ RMII0_RX D1-B/ CAT0_ERX D1-B	SD0_CD/ HSYNC	IRQ5	ADTRG0 #	DSM1_D AT1-B/ PCOUTB 1
C13	ETHPHY CLK	P304	PIO_028	ALE-C/ WAIT#-B	TMC13	GTETRGD / GTCPP00 /POEGA	CTS000#/ CTS001#/ USB0_VBUS EN/ USBHS_ID	ET0_INT/ CATREST OUT		IRQ0- DS	ADTRG0 #	
C14		P202	PIO_018	CS3#-B/ BREQ#-A	TMO0	GTOUUP/ GTIOC0A/ GTIOC4A	TXD006-A/ SMOSI006-A/ SSDA006/ TXDA006/ RSPCK0-C/ SCL00-B/ CTX2/ USB0_OVRC URA/ USBHS_EXI CEN/ AUDIO_CLK	ET0_RX_D V-B/ RMII0_CR S_DV-B/ CAT0_RX_ DV-B/ CATI2CCL K-C	SD0_DAT 0-C/ PIXD6	IRQ15		DSM1_C LK0-B/ PDMCLK 0

表 1.7 機能別端子一覧 (176ピンLFBGA) (5/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
C15		P203	PIO_019	CS2#-B/ BACK#-A		GTOULO/ GTIOC0B/ GTIOC4B	RXD006-A/ SMISO006-A/ SSCL006/ CTS003#/ SSL00-C/ SDA00-B/ CRX2/ USB0_OVRC URB/ USBHS_ID/ SSIBCK0	ET0_RX_C LK-B/ RMII0_REF 50CK-B/ CAT0_RX_ CLK-B/ CATI2CDA TA-C	SD0_DAT 1-C/ PIXD7	IRQ3		DSM1_D AT0-B/ PDMDAT 0
D1		PB04	PIO_020	D11-A		GTOVUP/ GTIOC5A	CTS004#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009	ET0_RX_C LK-A/ RMII0_REF 50CK-A/ RGMII0_R XC-A/ CAT0_RX_ CLK-A		IRQ4		
D2		PB05	PIO_021	D10-A	TMR11	GTOVLO/ GTIOC5B	SCK009-A/ CTS009#/ TXDB009	ET0_RX_D V-A/ RMII0_CR S_DV-A/ RGMII0_R X_CTL-A/ CAT0_RX_ DV-A		IRQ13		
D3		PG01	PIO_057	DQM0-A/ WR#-C/ WR0#-C		GTCPP01	RXD008-C/ SMISO008-C/ SSCL008	ET1_RX_D V-A/ RMII1_CR S_DV-A/ RGMII1_R X_CTL-A/ CAT1_RX_ DV-A		IRQ9		DSM0_D AT2-D
D4		P800	PIO_056	CS1#-A/ DQM0-B		GTIU/ GTIOC0A/ POEGD	RXD010-B/ SMISO010-B/ SSCL010	ET0_COL/ CATLATCH 0		IRQ8	ADCNV0	DSM1_C LK1-C
D5	VCC											
D6	VSS											
D7	VCL											
D8		P101	PIO_009	CS0#-A/ ALE-B	TMCi3	GTETRGC / GTADSM1 / GTIOC12 B	SCK002-B/ CTS002#/ TXDB002/ USB0_VBUS- DS/ USBHS_EXI CEN	ET0_TX_C LK-B/ CAT0_TX_ CLK-B/ CAT0_LINK STA		IRQ1	ADTRG1 #	DSM0_D AT0-C
D9	VSS											
D10	VCL											
D11		P105	PIO_013		TMCi2	GTIV/ GTIOC14 B	TXD002-B/ SMOSI002-B/ SSDA002/ TXDA002/ SCK003-B/ CTS003#/ TXDB003/ CRX2/ USB0_VBUS/ USBHS_OVR CURB/ SSILRCK1	ET0_TXD1- B/ RMII0_TXD 1-B/ CAT0_ETX D1-B/ CATLEDRU N	PIXD1	IRQ29- DS	ADST1	DSM0_D AT1-C/ PCINB0
D12	VCC											

表 1.7 機能別端子一覧 (176ピンLFBGA) (6/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
D13	ETHPHY CLK	P204	PIO_020	A20-C/ CS7#-C	TMRI1	GTOVUP/ GTIOC1A/ GTIOC5A	CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-B/ SCLHS1-B/ CTX0/ USB0_VBUS EN/ USBHS_VBU S-DS/ SSIBCK1	ET0_RXD0 -B/ RMII0_RX D0-B/ CAT0_ERX D0-B	SD0_WP/ PIXCLK	IRQ12		DSM1_C LK1-B/ PCOUTA 1
D14		PF00	PIO_048			GTCPP01 4	USB0_DP			IRQ0		
D15		PF01	PIO_049			GTCPP01 5	USB0_DM			IRQ1		
E1		PB02	PIO_018	D13-A		GTOUUP/ GTIOC4A	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004/ CTS009#	ET0_RXD2 -A/ RGMII0_R XD2-A/ CAT0_ERX D2-A		IRQ2		
E2		PB03	PIO_019	D12-A	TMO0	GTOULO/ GTIOC4B	SCK004-A/ CTS004#/ TXDB004	ET0_RXD3 -A/ RGMII0_R XD3-A/ CAT0_ERX D3-A		IRQ3		
E3		PG00	PIO_056	DQM1-A/ WR1#-C/ BC1#-C		GTCPP00	SCK008-C/ CTS008#/ TXDB008	ET1_RX_C LK-A/ RMII1_REF 50CK-A/ RGMII1_R XC-A/ CAT1_RX_ CLK-A		IRQ8		DSM0_C LK2-D
E4	VSS											
E12	VSS											
E13		P206	PIO_022	A22-C/ CS5#-C	TMO3/ RTCOUT	GTOWUP/ GTIOC2A/ GTIOC6A	CTS006#/ TXD001-B/ SMOSI001-B/ SSDA001/ TXDA001/ MOSI1-B/ SCLHS2-B/ CTX1/ USB0_EXICE N/ USBHS_OVR CURA-DS/ SSITXD1	ET0_RXD2 -B/ CAT0_ERX D2-B	VSYN	IRQ2- DS	ADTRG1 #	DSM1_C LK2-B/ PCOUTZ 1
E14	VSS_US B											
E15	VCC_US B											
F1		PB00	PIO_016	D15-A		GTETRGA / GTADSM0 / GTIOC14 A/POEGC	RXD004-A/ SMISO004-A/ SSCL004	ET0_RXD0 -A/ RMII0_RX D0-A/ RGMII0_R XD0-A/ CAT0_ERX D0-A		IRQ12	ADST2	DSM0_C LK2-A/ PCINA1

表 1.7 機能別端子一覧 (176ピンLFBGA) (7/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
F2		PB01	PIO_017	D14-A	TMC10	GTETRGB / GTCPP04 / GTIOC14 B/POEGA	TXD004-A/ SMOSI004-A/ SSDA004/ TXDA004	ET0_RXD1 -A/ RMII0_RX D1-A/ RGMII0_R XD1-A/ CAT0_ERX D1-A		IRQ4- DS		DSM0_D AT2-A/ PCINB1
F3		PG02	PIO_058	DQM3-A/ WR3#-C/ BC3#-C		GTIOC11A	TXD008-C/ SMOSI008-C/ SSDA008/ TXDA008	ET1_RX_E R-A/ RMII1_RX_ ER-A/ CAT1_RX_ ER-A		IRQ10		DSM0_C LK1-D
F4	VCL											
F12	VCL											
F13	AVSS_U SBHS											
F14							USBHS_DP					
F15							USBHS_DM					
G1		PA06	PIO_014	A1-A/ DQM2-B	TMC13	GTIOC3A/ GTIOC13 A	TXD010-A/ SMOSI010-A/ SSDA010/ TXDA010/ MOSI0-B	ET1_TXD3- A/ RGMII1_TX D3-A/ CAT1_ETX D3-A		IRQ14		PCINZ1
G2	ETHPHY CLK	PA07	PIO_015	A0-A/ BC0#-A/ DQM1-B		GTIOC3B/ GTIOC13 B	RXD010-A/ SMISO010-A/ SSCL010/ MISO0-B	ET1_TX_E R-A/ CATLINKA CT1		IRQ7		PCINB0
G3		P706	PIO_054	CAS#-A/ CS6#-A		GTIOC13 A	RXD011-B/ SMISO011-B/ SSCL011	ET1_RXD2 -A/ RGMII1_R XD2-A/ CAT1_ERX D2-A	XSPI1_W P1#	IRQ14	ADCNV2	DSM0_C LK0-D
G4	VCC											
G12	AVCC_U SBHS											
G13	USBHS_ RREF											
G14	VSS_US BHS											
G15	VCC_US BHS											
H1		PA04	PIO_012	A3-A	TMR10	GTIOC2A/ GTIOC12 A	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ SSL00-B	ET1_TXD1- A/ RMII1_TXD 1-A/ RGMII1_TX D1-A/ CAT1_ETX D1-A		IRQ5- DS		PCINZ0
H2		PA05	PIO_013	A2-A		GTIOC2B/ GTIOC12 B	SCK010-A/ CTS010#/ TXDB010/ RSPCK0-B	ET1_TXD2- A/ RGMII1_TX D2-A/ CAT1_ETX D2-A		IRQ5		PCINA0

表 1.7 機能別端子一覧 (176ピンLFBGA) (8/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFBGA												(DSMIF、 PDMIF、 PCIF、 タンパ 検出)
H3		P707	PIO_055	WE#-A/ CS7#-A		GTIOC13 B	TXD011-B/ SMOSI011-B/ SSDA011/ TXDA011	ET1_RXD3 -A/ RGMII1_R XD3-A/ CAT1_ERX D3-A	XSPI1_R ESET1#	IRQ7		DSM0_D AT0-D
H4	VSS											
H12		P207	PIO_023	A23-C/ CS4#-C	TMRI3	GTOWLO/ GTIOC2B/ GTIOC6B	RXD001-B/ SMOSI001-B/ SSCL001/ MISO1-B/ SDAHS2-B/ CRX1/ USB0_ID/ USBHS_OVR CURB-DS	ET0_RXD3 -B/ CAT0_ERX D3-B	PCKO	IRQ3- DS	ADTRG2 #	DSM1_D AT2-B
H13	VSS											
H14	EXTAL	P306										
H15	XTAL	P307										
J1		PA02	PIO_010	A5-A		GTIW/ GTIOC1A/ GTIOC11A	TXD005-A/ SMOSI005-A/ SSDA005/ TXDA005/ SSL03-B	ET1_TX_C LK-A/ CAT1_TX_ CLK-A		IRQ10	ADCNV2	DSM0_C LK1-A
J2		PA03	PIO_011	A4-A		GTIOC1B/ GTIOC11B	RXD005-A/ SMISO005-A/ SSCL005	ET1_TXD0- A/ RMII1_TXD 0-A/ RGMII1_TX D0-A/ CAT1_ETX D0-A		IRQ6- DS	ADSYNC	DSM0_D AT1-A
J3		P705	PIO_053	RAS#-A/ CS5#-A		GTIOC12 B	SCK011-B/ CTS011#/ TXDB011	ET1_RXD1 -A/ RMII1_RX D1-A/ RGMII1_R XD1-A/ CAT1_ERX D1-A	XSPI1_R STO1#	IRQ13	ADCNV1	DSM1_D AT2-D
J4	VCL											
J12	VCL											
J13		P305								NMI/ IRQ0		
J14	VSS											
J15	VCC											
K1	ETHPHY CLK	PA00	PIO_008	A7-A	CACREF	GTIU/ GTIOC0A/ GTIOC10 A	CTS010#/ CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL01-B	RGMII1_TX C-A/ CATIRQ		IRQ1- DS	ADCNV0	DSM0_C LK0-A
K2		PA01	PIO_009	A6-A		GTIV/ GTIOC0B/ GTIOC10 B	SCK005-A/ CTS005#/ TXDB005/ SSL02-B	ET1_TX_E N-A/ RMII1_TX_ EN-A/ RGMII1_TX _CTL-A/ CAT1_TX_ EN-A		IRQ11	ADCNV1	DSM0_D AT0-A

表 1.7 機能別端子一覧 (176ピンLFBGA) (9/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
K3		P702	PIO_050	RD#-A/ DQM3-B		GTETRG A / GTIOC11A	SCK004-B/ CTS004#/ TXDB004	ET1_CRS/ CATSYNC1	XSPI1_W P0#/ XSPI1_R ESET1#/ HSYNC	IRQ10	ADST2	DSM1_C LK1-D
K4	VCC											
K12	VSS											
K13		P310	PIO_058		RTCIC0/ CACREF	GTETRGB / GTCPP01 /POEGC	CTS000#/ CTS001#/ SSL11-B/ SSITXD0	ET1_INT/ CATIRQ		IRQ18	ADTRG0 #	TAMPI0
K14	XCIN/ EXCIN	P309										
K15	XCOUT	P308										
L1	ETHPHY CLK	P700	PIO_048	SDCLK-A		GTIOC10 A	TXD004-B/ SMOSI004-B/ SSDA004/ TXDA004	ET1_INT/ CATREST OUT	XSPI1_IN T0#/ XSPI1_E CS0#/ PIXCLK	IRQ0	ADST0	DSM1_C LK0-D
L2		P701	PIO_049	CKE-A/ WR3#-B/ BC3#-B		GTIOC10 B	RXD004-B/ SMISO004-B/ SSCL004	ET1_COL/ CATLATCH 1	XSPI1_R STO0#/ XSPI1_R ESET0#/ VSYNC	IRQ1	ADST1	DSM1_D AT0-D
L3		P703	PIO_051	ALE-A/ WR2#-B/ BC2#-B	CACREF	GTETRGB / GTIOC11B	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004	ET1_LINKS TA/ CAT1_LINK STA	XSPI1_R ESET0#/ PCKO	IRQ8		DSM1_D AT1-D
L4		P704	PIO_052	SDCS#- A/CS4#- A		GTIOC12 A	CTS004#/ CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011	ET1_RXD0 -A/ RMII1_RX D0-A/ RGMII1_R XD0-A/ CAT1_ERX D0-A	XSPI1_IN T1#/ XSPI1_E CS1#	IRQ12	ADCNV0	DSM1_C LK2-D
L12		P312	PIO_060	BACK#-B	RTCIC2	GTETRGD / GTCPP01 5/POEGA	SSL13-B/ SSILRCK0	ET1_WOL		IRQ20	ADTRG2 #	DSM0_D AT2-C/ TAMPI2
L13		P311	PIO_059	BREQ#-B	RTCIC1	GTETRGC / GTCPP01 4/POEGD	CTS007#/ SSL12-B/ SSIRXD0	ET0_WOL		IRQ19	ADTRG1 #	DSM0_C LK2-C/ TAMPI1
L14	VCC											
L15	VBATT/ VCC											
M1		PE07	PIO_047	A8-B/ A20-D	TOC1	GTETRGD / GTCPP07 / GTIOC10 B/POEGD		ET1_LINKS TA/ CAT1_LINK STA/ CATREST OUT	XSPI1_C S0#/ PIXD7	IRQ7		
M2		PE03	PIO_043	A12-B	TOC3	GTOVLO/ GTIOC8B	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012/ MISO1-A	ET1_RXD1 -D/ RMII1_RX D1-D/ CAT1_ERX D1-D	SD0_DAT 7-B/ XSPI1_IO 1/PIXD3	IRQ11		

表 1.7 機能別端子一覧 (176ピンLFBGA) (10/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPiA, Ri3C, RiICHs, CANFD, USB, SSIE)	(ESWM, ESC)				
M3		PD04	PIO_036	A19-B/ D27-B		GTETRGA / GTIOC2A/ POEGC	CTS002#/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ SSL21-A/ CRX0	ET1_RX_C LK-B/ RMII1_REF 50CK-B/ CAT1_RX_ CLK-B/ CATLEDRU N	SD0_DAT 0-B/ XSPI0_IO 2/ XSPI0_W P0#/ PIXD4	IRQ4	AN028	
M4		PD06	PIO_038	A17-B/ D25-B		GTIV/ GTIOC3A/ POEGB	RXD003-A/ SMISO003-A/ SSCL003/ SSL23-A/ CRX1	ET1_RX_E R-B/ RMII1_RX_ ER-B/ CAT1_RX_ ER-B/ CATLEDER R	SD0_WP/ XSPI0_D S/PIXD6	IRQ6	AN030	
M5	VSS											
M6	VCL											
M7	VCC2											
M8	VSS											
M9	VCL											
M10		P407	PIO_055							IRQ15- DS	AN007	
M11		P404	PIO_052							IRQ12- DS	AN004	
M12	MD/ FINED	P315										
M13	RES#											
M14		P001	PIO_001		TMCi0	GTCPP00 / GTIOC10 B/ GTIOC7A	SCK007-A/ CTS007#/ TXDB007/ SSIBCK0	ET0_LINKS TA/ CAT0_LINK STA		IRQ17- DS	AN017	DSM0_D AT0-B/ PCOUTZ 0
M15		P000	PIO_000		TMRi0	GTCPP07 / GTIOC10 A/POEGB	CTS000#/ CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ AUDIO_CLK	ET0_INT/ CATREST OUT		IRQ16- DS	AN016	DSM0_C LK0-B
N1		PE05	PIO_045	A10-B/ A22-D		GTOWLO/ GTIOC9B	SSL12-A	ET1_RXD3 -D/ CAT1_ERX D3-D/ CATLEDRU N	XSPI1_IO 3/PIXD5	IRQ5		
N2		PE04	PIO_044	A11-B/ A23-D		GTOWUP/ GTIOC9A	CTS012#/ SSL11-A	ET1_RXD2 -D/ CAT1_ERX D2-D/ CATLEDST ER	XSPI1_IO 2/ XSPI1_W P0#/ PIXD4	IRQ12		
N3		P607	PIO_015	CS0#-B/ D16-B		GTETRGB / GTADSM0 / GTIOC15 B/POEGA	CTS008#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009/ CRX2	ET1_INT/ ET_TAS_S TA3/ CATIRQ	XSPI0_R STO0#	IRQ15		DSM1_D AT2-A
N4		P604	PIO_012	CS3#-C/ D19-B		GTIOC6A	TXD009-B/ SMOSI009-B/ SSDA009/ TXDA009/ SSL01-D	ET1_TXD2- B/ ET_TAS_S TA0/ CAT1_ETX D2-B	XSPI0_C S1#/ XSPI0_R STO0#	IRQ4		DSM1_C LK1-A

表 1.7 機能別端子一覧 (176ピンLFBGA) (11/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
N5		PD07	PIO_039	A16-B/ D24-B		GTIW/ GTIOC3B/ POEGA	TXD003-A/ SMOSI003-A/ SSDA003/ TXDA003/ CTX1	ET1_LINKS TA/ CAT1_LINK STA	SD0_CD/ XSPI0_C S0#/ XSPI0_R ESET1#/ PIXD7	IRQ7	AN031	
N6		PD05	PIO_037	A18-B/ D26-B		GTIU/ GTIOC2B/ POEGD	SCK003-A/ CTS003#/ TXDB003/ SSL22-A/ CTX0	ET1_RX_D V-B/ RMII1_CR S_DV-B/ CAT1_RX_ DV-B/ CATLEDST ER	SD0_DAT 1-B/ XSPI0_IO 3/PIXD5	IRQ5	AN029	
N7	VCC2											
N8	VSS											
N9	VCL											
N10		P406	PIO_054							IRQ14- DS	AN006	
N11		P405	PIO_053							IRQ13- DS	AN005	
N12		P415	PIO_063							IRQ31	AN015/ DA1	
N13		P414	PIO_062							IRQ30	AN014/ DA0	
N14		P003	PIO_003			GTCPP02 / GTIOC11B /GTIOC8A	RXD007-A/ SMISO007-A/ SSCL007/ SSIRXD1	ET0_MDIO -D/ CAT0_MDI O-E		IRQ19- DS	AN019	DSM0_D AT1-B/ PCOUTB 0
N15		P002	PIO_002		TMC1	GTCPP01 / GTIOC11A /GTIOC7B	TXD007-A/ SMOSI007-A/ SSDA007/ TXDA007/ SSIBCK1	ET0_MDC- D/ CAT0_MDC -E		IRQ18- DS	AN018	DSM0_C LK1-B/ PCOUTA 0
P1	CLKOUT	PE01	PIO_041	A14-B		GTOULO/ GTIOC7B	TXD012-A/ SMOSI012-A/ SSDA012/ TXDA012/ RSPCK1-A	ET1_RX_D V-D/ RMII1_CR S_DV-D/ CAT1_RX_ DV-D	SD0_DAT 5-B/ XSPI1_C K/PIXD1	IRQ9		
P2		PE02	PIO_042	A13-B	TIC3	GTOVUP/ GTIOC8A	RXD012-A/ SMISO012-A/ SSCL012/ MOSI1-A	ET1_RXD0 -D/ RMII1_RX D0-D/ CAT1_ERX D0-D	SD0_DAT 6-B/ XSPI1_IO 0/PIXD2	IRQ7- DS		
P3		P606	PIO_014	CS1#-C/ D17-B		GTETRGA / GTCPP04 / GTIOC15 A/POEGC	SCK009-B/ CTS009#/ TXDB009/ SSL03-D/ CTX2	ET1_TX_E R-B/ ET_TAS_S TA2/ CATLINKA CT1	XSPI0_R ESET0#	IRQ14		DSM1_C LK2-A
P4		P603	PIO_011	WE#-B/ D20-B		GTIOC5B	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS009#/ MISO0-D	ET1_TXD1- B/ RMII1_TXD 1-B/ GPTP_PTP OUT3/ CAT1_ETX D1-B/ CATSYNCO	XSPI0_IO 7/PCKO	IRQ3		DSM1_D AT0-A

表 1.7 機能別端子一覧 (176 ピン LFBGA) (12/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
P5		P601	PIO_009	RAS#-B/ D22-B		GTIOC4B	RXD008-B/ SMISO008-B/ SSCL008/ RSPCK0-D	ET1_TX_E N-B/ RMII1_TX_ EN-B/ GPTP_PTP OUT1/ CAT1_TX_ EN-B/ CATSYNC1	XSPI0_IO 5/VSYN	IRQ1	ADTRG1 #	
P6		PD03	PIO_035	A20-B/ D28-B	TOC2	GTIOC1B/ POEGA	TXD002-A/ SMOSI002-A/ SSDA002/ TXDA002/ MISO2-A	ET1_RXD3 -B/ CAT1_ERX D3-B/ CAT0_MDI O-D	SD0_CLK -B/ XSPI0_IO 1/PIXD3	IRQ3	AN027	
P7		PD00	PIO_032	A23-B/ D31-B		GTETRGD / GTIOC0A/ POEGD	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS003#/ SSL20-A	ET1_RXD0 -B/ RMII1_RX D0-B/ CAT1_ERX D0-B/ CATLATCH 0	SD0_DAT 2-B/ XSPI0_C KN#/ XSPI0_C S1#/ PIXD0	IRQ0	AN024	
P8		P902	PIO_002			GTETRGC / GTCPP08	SCK001-C/ CTS001#/ TXDB001	ET1_MDC- B/ ET_TAS_S TA2/ CATREST OUT	XSPI0_R ESET1#	IRQ10	AN034	
P9		P900	PIO_000			GTETRGA / GTCPP05	RXD001-C/ SMISO001-C/ SSCL001	ET1_COL/ ET_TAS_S TA0/ CATSYNC1	XSPI0_IN T1#/ XSPI0_E CS1#	IRQ0	AN032	
P10	AVSS0											
P11	VREFL0											
P12		P402	PIO_050							IRQ10- DS	AN002	
P13		P400	PIO_048							IRQ8- DS	AN000	
P14		P005	PIO_005			GTCPP04 / GTIOC12 B/ GTIOC9A	RXD000-B/ SMISO000-B/ SSCL000/ SSILRCK1	ET1_MDIO -D/ CATLATCH 0		IRQ21- DS	ADTRG2 #/AN021	DSM0_D AT2-B/ PCOUTB 1
P15		P004	PIO_004			GTCPP03 / GTIOC12 A/ GTIOC8B	TXD000-B/ SMOSI000-B/ SSDA000/ TXDA000/ SSITXD1	ET1_MDC- D/ CATSYNC0		IRQ20- DS	AN020	DSM0_C LK2-B/ PCOUTA 1
R1	ETHPHY CLK	PE00	PIO_040	A15-B		GTOUUP/ GTIOC7A	SCK012-A/ CTS012#/ TXDB012/ SSL10-A	ET1_RX_E R-D/ RMII1_RX_ ER-D/ CAT1_RX_ ER-D	SD0_DAT 4-B/ XSPI1_C KN#/ XSPI1_C S1#/ PIXD0	IRQ8		
R2		PE06	PIO_046	A9-B/ A21-D	TIC1	GTETRGC / GTADSM1 / GTIOC10 A/POEGB	SSL13-A	ET1_RX_C LK-D/ RMII1_REF 50CK-D/ CAT1_RX_ CLK-D/ CATLEDER R	XSPI1_D S/PIXD6	IRQ6		

表 1.7 機能別端子一覧 (176ピンLFBGA) (13/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFBGA												
R3		P605	PIO_013	CS2#-C/ D18-B		GTIOC6B	RXD009-B/ SMISO009-B/ SSCL009/ SSL02-D	ET1_TXD3- B/ ET_TAS_S TA1/ CAT1_ETX D3-B	XSPI0_IN T0#/ XSPI0_E CS0#	IRQ13		DSM1_D AT1-A
R4		P602	PIO_010	CAS#-B/ D21-B		GTIOC5A	SCK008-B/ CTS008#/ TXDB008/ MOSI0-D	ET1_TXD0- B/ RMII1_TXD 0-B/ GPTP_PTP OUT2/ CAT1_ETX D0-B/ CATLATCH 0	XSPI0_IO 6/HSYNC	IRQ2	ADTRG2 #	DSM1_C LK0-A
R5		P600	PIO_008	SDCS#- B/D23-B		GTIOC4A	TXD008-B/ SMOSI008-B/ SSDA008/ TXDA008/ SSL00-D	ET1_TX_C LK-B/ GPTP_PTP OUT0/ CAT1_TX_ CLK-B/ CATLATCH 1	XSPI0_IO 4/PIXCLK	IRQ0	ADTRG0 #	
R6		PD02	PIO_034	A21-B/ D29-B	TIC2	GTETRGB / GTIOC1A/ POEGB	RXD002-A/ SMISO002-A/ SSCL002/ MOSI2-A	ET1_RXD2 -B/ CAT1_ERX D2-B/ CAT0_MDC -D	SD0_CM D-B/ XSPI0_IO 0/PIXD2	IRQ2	AN026	
R7		PD01	PIO_033	A22-B/ D30-B		GTETRGC / GTIOC0B/ POEGC	SCK002-A/ CTS002#/ TXDB002/ RSPCK2-A	ET1_RXD1 -B/ RMII1_RX D1-B/ CAT1_ERX D1-B/ CATSYN0	SD0_DAT 3-B/ XSPI0_C K/PIXD1	IRQ1	AN025	
R8		P903	PIO_003			GTETRGD / GTCPP09 /POEGD	CTS006#/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001	ET1_MDIO -B/ ET_TAS_S TA3/ CATIRQ	XSPI0_W P1#	IRQ11	AN035	
R9		P901	PIO_001			GTETRGB / GTCPP06	TXD001-C/ SMOSI001-C/ SSDA001/ TXDA001	ET1_CRS/ ET_TAS_S TA1/ CATLATCH 1	XSPI0_R STO1#/ XSPI0_R ESET0#	IRQ9	AN033	
R10	AVCC0											
R11	VREFH0											
R12		P403	PIO_051							IRQ11- DS	AN003	
R13		P401	PIO_049							IRQ9- DS	AN001	
R14		P007	PIO_007			GTCPP06 / GTIOC13 B/POEGA	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000	ET1_INT/ CATIRQ		IRQ23- DS	ADTRG0 #/AN023	PDMDAT 0
R15		P006	PIO_006			GTCPP05 / GTIOC13 A/ GTIOC9B	SCK000-B/ CTS000#/ TXDB000	ET1_LINKS TA/ CAT1_LINK STA		IRQ22- DS	ADTRG1 #/AN022	PDMCLK 0/ PCOUTZ 1

1.6.4 176 ピン LFQFP

表 1.8 機能別端子一覧 (176 ピン LFQFP) (1/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンバ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
1		P003	PIO_003			GTCPP02 / GTIOC11B /GTIOC8A	RXD007-A/ SMISO007-A/ SSCL007/ SSIRXD1	ET0_MDIO -D/ CAT0_MDI O-E		IRQ19- DS	AN019	DSM0_D AT1-B/ PCOUTB 0
2		P002	PIO_002		TMC11	GTCPP01 / GTIOC11A /GTIOC7B	TXD007-A/ SMOSI007-A/ SSDA007/ TXDA007/ SSIBCK1	ET0_MDC- D/ CAT0_MDC -E		IRQ18- DS	AN018	DSM0_C LK1-B/ PCOUTA 0
3		P001	PIO_001		TMC10	GTCPP00 / GTIOC10 B/ GTIOC7A	SCK007-A/ CTS007#/ TXDB007/ SSIBCK0	ET0_LINKS TA/ CAT0_LINK STA		IRQ17- DS	AN017	DSM0_D AT0-B/ PCOUTZ 0
4		P000	PIO_000		TMR10	GTCPP07 / GTIOC10 A/POEGB	CTS000#/ CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ AUDIO_CLK	ET0_INT/ CATREST OUT		IRQ16- DS	AN016	DSM0_C LK0-B
5	VCC											
6	VSS											
7	VSS											
8	VCL											
9	RES#											
10	MD/ FINED	P315										
11		P312	PIO_060	BACK#-B	RTIC12	GTETRGD / GTCPP01 5/POEGA	SSL13-B/ SSLRCK0	ET1_WOL		IRQ20	ADTRG2 #	DSM0_D AT2-C/ TAMPI2
12		P311	PIO_059	BREQ#-B	RTIC11	GTETRGC / GTCPP01 4/POEGD	CTS007#/ SSL12-B/ SSIRXD0	ET0_WOL		IRQ19	ADTRG1 #	DSM0_C LK2-C/ TAMPI1
13		P310	PIO_058		RTIC10/ CACREF	GTETRGB / GTCPP01 /POEGC	CTS000#/ CTS001#/ SSL11-B/ SSITXD0	ET1_INT/ CATIRQ		IRQ18	ADTRG0 #	TAMPI0
14	VBATT/ VCC											
15	XCIN/ EXCIN	P309										
16	XCOUT	P308										
17	VSS											
18	XTAL	P307										
19	EXTAL	P306										
20	VCC											
21		P305								NMI/ IRQ0		
22	AVCC_U SBHS											
23	USBHS_ RREF											

表 1.8 機能別端子一覧 (176 ピン LFQFP) (2/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFQFP												
24	AVSS_U SBHS											
25							USBHS_DM					
26							USBHS_DP					
27	VSS_US BHS											
28	VCC_US BHS											
29	VCC_US B											
30		PF01	PIO_049			GTCPP01 5	USB0_DM			IRQ1		
31		PF00	PIO_048			GTCPP01 4	USB0_DP			IRQ0		
32	VSS_US B											
33		P207	PIO_023	A23-C/ CS4#-C	TMR13	GTOWLO/ GTIOC2B/ GTIOC6B	RXD001-B/ SMISO001-B/ SSCL001/ MISO1-B/ SDAHS2-B/ CRX1/ USB0_ID/ USBHS_OVR CURB-DS	ET0_RXD3 -B/ CAT0_ERX D3-B	PCKO	IRQ3- DS	ADTRG2 #	DSM1_D AT2-B
34		P206	PIO_022	A22-C/ CS5#-C	TMO3/ RTCOUT	GTOWUP/ GTIOC2A/ GTIOC6A	CTS006#/ TXD001-B/ SMOSI001-B/ SSDA001/ TXDA001/ MOSI1-B/ SCLHS2-B/ CTX1/ USB0_EXICE N/ USBHS_OVR CURA-DS/ SSITXD1	ET0_RXD2 -B/ CAT0_ERX D2-B	VSYN	IRQ2- DS	ADTRG1 #	DSM1_C LK2-B/ PCOUTZ 1
35	CLKOUT	P205	PIO_021	A21-C/ CS6#-C		GTOVLO/ GTIOC1B/ GTIOC5B	SCK001-B/ CTS001#/ TXDB001/ RSPCK1-B/ SDAHS1-B/ CRX0/ USB0_VBUS/ USBHS_VBU SEN/ SSIRXD1	ET0_RXD1 -B/ RMII0_RX D1-B/ CAT0_ERX D1-B	SD0_CD/ HSYN	IRQ5	ADTRG0 #	DSM1_D AT1-B/ PCOUTB 1
36	ETHPHY CLK	P204	PIO_020	A20-C/ CS7#-C	TMR11	GTOVUP/ GTIOC1A/ GTIOC5A	CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-B/ SCLHS1-B/ CTX0/ USB0_VBUS EN/ USBHS_VBU S-DS/ SSIBCK1	ET0_RXD0 -B/ RMII0_RX D0-B/ CAT0_ERX D0-B	SD0_WP/ PIXCLK	IRQ12		DSM1_C LK1-B/ PCOUTA 1
37	VCL											
38	VSS											
39	VCC											

表 1.8 機能別端子一覧 (176 ピン LFQFP) (3/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFQFP												
40		P203	PIO_019	CS2#-B/ BACK#-A		GTOULO/ GTIOC0B/ GTIOC4B	RXD006-A/ SMISO006-A/ SSCL006/ CTS003#/ SSL00-C/ SDA00-B/ CRX2/ USB0_OVRC URB/ USBHS_ID/ SSIBCK0	ET0_RX_C LK-B/ RMII0_REF 50CK-B/ CAT0_RX_ CLK-B/ CATI2CDA TA-C	SD0_DAT 1-C/ PIXD7	IRQ3		DSM1_D AT0-B/ PDMDAT 0
41		P202	PIO_018	CS3#-B/ BREQ#-A	TMO0	GTOUUP/ GTIOC0A/ GTIOC4A	TXD006-A/ SMOSI006-A/ SSDA006/ TXDA006/ RSPCK0-C/ SCL00-B/ CTX2/ USB0_OVRC URA/ USBHS_EXI CEN/ AUDIO_CLK	ET0_RX_D V-B/ RMII0_CR S_DV-B/ CAT0_RX_ DV-B/ CATI2CCL K-C	SD0_DAT 0-C/ PIXD6	IRQ15		DSM1_C LK0-B/ PDMCLK 0
42	ETHPHY CLK	P304	PIO_028	ALE-C/ WAIT#-B	TMCi3	GTETRGD / GTCPP00 /POEGA	CTS000#/ CTS001#/ USB0_VBUS EN/ USBHS_ID	ET0_INT/ CATREST OUT		IRQ0- DS	ADTRG0 #	
43	TDI	P303	PIO_027		TMCi2	GTCPP01 3	RXD000-A/ SMISO000-A/ SSCL000/ RXD001-A/ SMISO001-A/ SSCL001/ MISO1-C	ET1_CRS		IRQ1		
44	TDO	P302	PIO_026		TMRi3	GTCPP01 2	TXD000-A/ SMOSI000-A/ SSDA000/ TXDA000/ TXD001-A/ SMOSI001-A/ SSDA001/ TXDA001/ MOSI1-C	ET1_COL		IRQ4		
45	TCK/ SWCLK	P301	PIO_025		TMCi3	GTCPP01 1	SCK000-A/ CTS000#/ TXDB000/ SCK001-A/ CTS001#/ TXDB001/ RSPCK1-C	ET1_WOL		IRQ7		
46	TMS/ SWDIO	P300	PIO_024		TMO1	GTCPP01 0	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-C	ET0_WOL		IRQ6		
47		P805	PIO_061			GTADSM1 / GTIOC15 B	SCK005-B/ CTS005#/ TXDB005/ SSL22-B/ CRX0/ USB0_VBUS EN/ USBHS_VBU SEN	ET0_TXD0- C/ RMII0_TXD 0-C/ CAT0_ETX D0-C	HSYNC	IRQ5	ADSYNC	DSM0_D AT0-F/ PCINB0

表 1.8 機能別端子一覧 (176 ピン LFQFP) (4/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFQFP												
48		P804	PIO_060			GTADSM0 / GTIOC15 A	CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL21-B/ CTX0/ USB0_OVRC URA/ USBHS_OVR CURA	ET0_TX_E N-C/ RMII0_TX_ EN-C/ CAT0_TX_ EN-C	PCKO	IRQ4		DSM0_C LK0-F/ PCINA0
49		P201	PIO_017		TMC10	GTIW/ GTIOC3B/ GTIOC14 B	SCK006-A/ CTS006#/ TXDB006/ MISO0-C/ SCLHS1-A/ USB0_EXICE N/SSLRCK0	ET0_RX_E R-B/ RMII0_RX_ ER-B/ CAT0_RX_ ER-B	SD0_CLK -C/PIXD5	IRQ9		PCINZ0
50		P200	PIO_016		TMR10	GTETRG A / GTIOC3A/ GTIOC14 A	CTS006#/ RTS006#/ SS006#/ DE006/ TXDB006/ MOSI0-C/ SDAHS1-A/ USB0_ID/ SSIRXD0	ET0_TX_E N-B/ RMII0_TX_ EN-B/ CAT0_TX_ EN-B	SD0_CM D-C/ PIXD4	IRQ8	ADTRG2 #	PCINZ1
51		P107	PIO_015		TMO1	GTIV/ GTIOC15 B/POEGA	TXD003-B/ SMOSI003-B/ SSDA003/ TXDA003/ SDAHS2-A/ SSITXD0	ET0_TXD3- B/ CAT0_ETX D3-B/ CATI2CDA TA-B	SD0_DAT 3-C/ PIXD3	IRQ31- DS	ADTRG1 #	PCINB1
52	CLKOUT	P106	PIO_014		TMO2/ RTCOUT	GTIU/ GTIOC15 A/POEGB	RXD003-B/ SMISO003-B/ SSCL003/ SCLHS2-A	ET0_TXD2- B/ CAT0_ETX D2-B/ CATI2CCL K-B	SD0_DAT 2-C/ PIXD2	IRQ30- DS	ADTRG0 #	PCINA1
53		P105	PIO_013		TMC12	GTIV/ GTIOC14 B	TXD002-B/ SMOSI002-B/ SSDA002/ TXDA002/ SCK003-B/ CTS003#/ TXDB003/ CRX2/ USB0_VBUS/ USBHS_OVR CURB/ SSILRCK1	ET0_TXD1- B/ RMII0_TXD 1-B/ CAT0_ETX D1-B/ CATLEDRU N	PIXD1	IRQ29- DS	ADST1	DSM0_D AT1-C/ PCINB0
54		P104	PIO_012		TMR12	GTIW/ GTIOC14 A	RXD002-B/ SMISO002-B/ SSCL002/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ CTX2/ USB0_OVRC URA-DS/ USBHS_VBU S	ET0_TXD0- B/ RMII0_TXD 0-B/ CAT0_ETX D0-B/ CATLEDST ER	PIXD0	IRQ4	ADST0	DSM0_C LK1-C/ PCINA0
55	VCL											
56	VSS											
57	VCC											

表 1.8 機能別端子一覧 (176 ピン LQFP) (5/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LQFP												
58		P103	PIO_011		TMO3	GTADSM1 / GTIOC13 B	CTS002#/ SDA00-A	ET0_CRS/ CATI2CDA TA-A		IRQ3		
59		P102	PIO_010		TMC11	GTADSM0 / GTIOC13 A	SCL00-A	ET0_COL/ CATI2CCL K-A		IRQ2		
60		P101	PIO_009	CS0#-A/ ALE-B	TMC13	GTETRGC / GTADSM1 / GTIOC12 B	SCK002-B/ CTS002#/ TXDB002/ USB0_VBUS- DS/ USBHS_EXI CEN	ET0_TX_C LK-B/ CAT0_TX_ CLK-B/ CAT0_LINK STA		IRQ1	ADTRG1 #	DSM0_D AT0-C
61		P100	PIO_008	CS1#-B/ WAIT#-A	TMRI3/ CACREF	GTIU/ GTADSM0 / GTIOC12 A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS005#/ USB0_OVRC URB-DS/ USBHS_VBU S	ET0_TX_E R-B/ CATLINKA CT0/ CATLEDER R		IRQ0	ADTRG2 #	DSM0_C LK0-C
62	VCC_DC DC											
63	VCC_DC DC											
64	VCC_DC DC											
65	VLO											
66	VLO											
67	VLO											
68	VSS_DC DC											
69	VSS_DC DC											
70		P503	PIO_035	WR3#-A/ BC3#-A/ A19-C		GTIOC3B	RXD002-C/ SMISO002-C/ SSCL002/ CRX1/ USB0_OVRC URB/ SSIRXD0	ET1_WOL/ CATLEDER R	SD0_DAT 7-A	IRQ3		DSM0_D AT1-E
71		P502	PIO_034	WR2#-A/ BC2#-A/ A18-C		GTIOC3A	TXD002-C/ SMOSI002-C/ SSDA002/ TXDA002/ SSL13-C/ CTX1	ET0_WOL/ CATLEDRU N	SD0_DAT 6-A	IRQ2	ADST2	DSM0_C LK1-E
72		P501	PIO_033	WR1#-A/ BC1#-A/ A17-C		GTIOC2B	SCK002-C/ CTS002#/ TXDB002/ SSL12-C/ CRX0	ET0_INT/ CATLEDST ER	SD0_DAT 5-A	IRQ1	ADST1	DSM0_D AT2-E
73		P500	PIO_032	WR#-A/ WR0#-A/ A16-C		GTIOC2A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS007#/ SSL11-C/ CTX0	ET0_LINKS TA/ CAT0_LINK STA	SD0_DAT 4-A	IRQ0	ADST0	DSM0_C LK2-E

表 1.8 機能別端子一覧 (176ピンLFQFP) (6/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFQFP									(XSPI, SDHI, PDC)			(DSMIF、 PDMIF、 PCIF、 タンパ 検出)
74		P803	PIO_059	CS3#-A/ WR1#-B/ BC1#-B		GTIOC1B/ POEGA	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ CTX2/ USB0_ID	ET0_MDC- B/ CAT0_MDC- B		IRQ3	ADSYNC	DSM1_D AT0-C
75		P802	PIO_058	CS2#-A/ WR#-B/ WR0#-B		GTIW/ GTIOC1A/ POEGB	SCK010-B/ CTS010#/ TXDB010/ CRX2/ USB0_EXICE N	ET0_MDIO -B/ CAT0_MDI O-B		IRQ2	ADCNV2	DSM1_C LK0-C
76	VCL											
77	VSS											
78	VCC											
79	CLKOUT	P801	PIO_057	EBCLK-A		GTIV/ GTIOC0B/ POEGC	TXD010-B/ SMOSI010-B/ SSDA010/ TXDA010	ET0_CRS/ CATSYNC0		IRQ9	ADCNV1	DSM1_D AT1-C
80		P800	PIO_056	CS1#-A/ DQM0-B		GTIU/ GTIOC0A/ POEGD	RXD010-B/ SMISO010-B/ SSCL010	ET0_COL/ CATLATCH 0		IRQ8	ADCNV0	DSM1_C LK1-C
81	ETHPHY CLK	PC07	PIO_031	D0-A	TMO2/ TOC0/ CACREF	GTETRGD / GTADSM1 / GTIOC15 B/POEGA	TXD008-A/ SMOSI008-A/ SSDA008/ TXDA008/ MISO0-A/ SSITXD0	CATREST OUT	SD0_CD	IRQ14		DSM1_D AT2-C/ PDMDAT 0
82		PC06	PIO_030	D1-A	TMCi2/ TIC0	GTETRGC / GTCPP07 / GTIOC15 A/POEGB	RXD008-A/ SMISO008-A/ SSCL008/ MOSI0-A/ SSILRCK0	ET0_TX_E R-A/ CATLINKA CT0	SD0_WP	IRQ13		DSM1_C LK2-C/ PDMCLK 0
83		PC05	PIO_029	D2-A	TMRi2	GTOWLO/ GTIOC9B	SCK008-A/ CTS008#/ TXDB008/ RSPCK0-A/ SSI0BCK0	ET0_TX_E N-A/ RMII0_TX_ EN-A/ CAT0_TX_ EN-A	SD0_DAT 1-A	IRQ5		PCOUTZ 1
84		PC04	PIO_028	D3-A	TMCi1	GTOWUP/ GTIOC9A	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS011#/ SSL00-A/ AUDIO_CLK	ET0_TXD3- A/ CAT0_ETX D3-A	SD0_DAT 0-A	IRQ12		PCOUTB 1
85		PC03	PIO_027	D4-A		GTOVLO/ GTIOC8B	TXD011-A/ SMOSI011-A/ SSDA011/ TXDA011/ SDAHS1-C	ET0_TXD2- A/ CAT0_ETX D2-A	SD0_CLK -A	IRQ11		PCOUTA 1
86		PC02	PIO_026	D5-A		GTOVUP/ GTIOC8A	RXD011-A/ SMISO011-A/ SSCL011/ SSL03-A/ SCLHS1-C	ET0_TXD1- A/ RMII0_TXD 1-A/ CAT0_ETX D1-A	SD0_CM D-A	IRQ10		PCOUTZ 0
87		PC01	PIO_025	D6-A		GTOULO/ GTIOC7B	SCK011-A/ CTS011#/ TXDB011/ SSL02-A/ SDA00-C	ET0_TXD0- A/ RMII0_TXD 0-A/ CAT0_ETX D0-A	SD0_DAT 3-A	IRQ12		PCOUTB 0

表 1.8 機能別端子一覧 (176ピンLQFP) (7/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LQFP												
88		PC00	PIO_024	D7-A		GTOUUP/ GTIOC7A	CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011/ SSL01-A/ SCL00-C	ET0_TX_C LK-A/ CAT0_TX_ CLK-A	SD0_DAT 2-A	IRQ14		PCOUTA 0
89		PB07	PIO_023	D8-A		GTOWLO/ GTIOC6B	TXD009-A/ SMOSI009-A/ SSDA009/ TXDA009	ET0_LINKS TA/ CAT0_LINK STA		IRQ15		
90		PB06	PIO_022	D9-A		GTOWUP/ GTIOC6A	RXD009-A/ SMISO009-A/ SSCL009	ET0_RX_E R-A/ RMII0_RX_ ER-A/ CAT0_RX_ ER-A		IRQ6		
91		PB05	PIO_021	D10-A	TMR1	GTOVLO/ GTIOC5B	SCK009-A/ CTS009#/ TXDB009	ET0_RX_D V-A/ RMII0_CR S_DV-A/ CAT0_RX_ DV-A		IRQ13		
92		PB04	PIO_020	D11-A		GTOVUP/ GTIOC5A	CTS004#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009	ET0_RX_C LK-A/ RMII0_REF 50CK-A/ CAT0_RX_ CLK-A		IRQ4		
93	VCC											
94	VSS											
95	VCL											
96		PB03	PIO_019	D12-A	TMO0	GTOULO/ GTIOC4B	SCK004-A/ CTS004#/ TXDB004	ET0_RXD3 -A/ CAT0_ERX D3-A		IRQ3		
97		PB02	PIO_018	D13-A		GTOUUP/ GTIOC4A	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004/ CTS009#	ET0_RXD2 -A/ CAT0_ERX D2-A		IRQ2		
98		PB01	PIO_017	D14-A	TMCIO	GTETRGB / GTCPP04 / GTIOC14 B/POEGA	TXD004-A/ SMOSI004-A/ SSDA004/ TXDA004	ET0_RXD1 -A/ RMII0_RX D1-A/ CAT0_ERX D1-A		IRQ4- DS		DSM0_D AT2-A/ PCINB1
99		PB00	PIO_016	D15-A		GTETRGA / GTADSM0 / GTIOC14 A/POEGC	RXD004-A/ SMISO004-A/ SSCL004	ET0_RXD0 -A/ RMII0_RX D0-A/ CAT0_ERX D0-A		IRQ12	ADST2	DSM0_C LK2-A/ PCINA1
100		PG02	PIO_058	DQM3-A/ WR3#-C/ BC3#-C		GTIOC11A	TXD008-C/ SMOSI008-C/ SSDA008/ TXDA008	ET1_RX_E R-A/ RMII1_RX_ ER-A/ CAT1_RX_ ER-A		IRQ10		DSM0_C LK1-D
101		PG01	PIO_057	DQM0-A/ WR#-C/ WR0#-C		GTCPP01	RXD008-C/ SMISO008-C/ SSCL008	ET1_RX_D V-A/ RMII1_CR S_DV-A/ CAT1_RX_ DV-A		IRQ9		DSM0_D AT2-D

表 1.8 機能別端子一覧 (176 ピン LQFP) (8/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LQFP												(DSMIF、 PDMIF、 PCIF、 タンパ 検出)
102		PG00	PIO_056	DQM1-A/ WR1#-C/ BC1#-C		GTCPPO0	SCK008-C/ CTS008#/ TXDB008	ET1_RX_C LK-A/ RMII1_REF 50CK-A/ CAT1_RX_ CLK-A		IRQ8		DSM0_C LK2-D
103	ETHPHY CLK	PA07	PIO_015	A0-A/ BC0#-A/ DQM1-B		GTIOC3B/ GTIOC13 B	RXD010-A/ SMISO010-A/ SSCL010/ MISO0-B	ET1_TX_E R-A/ CATLINKA CT1		IRQ7		PCINB0
104		PA06	PIO_014	A1-A/ DQM2-B	TMC13	GTIOC3A/ GTIOC13 A	TXD010-A/ SMOSI010-A/ SSDA010/ TXDA010/ MOSI0-B	ET1_TXD3- A/ CAT1_ETX D3-A		IRQ14		PCINZ1
105		PA05	PIO_013	A2-A		GTIOC2B/ GTIOC12 B	SCK010-A/ CTS010#/ TXDB010/ RSPCK0-B	ET1_TXD2- A/ CAT1_ETX D2-A		IRQ5		PCINA0
106		PA04	PIO_012	A3-A	TMRI0	GTIOC2A/ GTIOC12 A	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ SSL00-B	ET1_TXD1- A/ RMII1_TXD 1-A/ CAT1_ETX D1-A		IRQ5- DS		PCINZ0
107	VCC											
108	VSS											
109	VCL											
110		PA03	PIO_011	A4-A		GTIOC1B/ GTIOC11B	RXD005-A/ SMISO005-A/ SSCL005	ET1_TXD0- A/ RMII1_TXD 0-A/ CAT1_ETX D0-A		IRQ6- DS	ADSYNC	DSM0_D AT1-A
111		PA02	PIO_010	A5-A		GTIW/ GTIOC1A/ GTIOC11A	TXD005-A/ SMOSI005-A/ SSDA005/ TXDA005/ SSL03-B	ET1_TX_C LK-A/ CAT1_TX_ CLK-A		IRQ10	ADCNV2	DSM0_C LK1-A
112		PA01	PIO_009	A6-A		GTIV/ GTIOC0B/ GTIOC10 B	SCK005-A/ CTS005#/ TXDB005/ SSL02-B	ET1_TX_E N-A/ RMII1_TX_ EN-A/ CAT1_TX_ EN-A		IRQ11	ADCNV1	DSM0_D AT0-A
113	ETHPHY CLK	PA00	PIO_008	A7-A	CACREF	GTIU/ GTIOC0A/ GTIOC10 A	CTS010#/ CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL01-B	CATIRQ		IRQ1- DS	ADCNV0	DSM0_C LK0-A
114		P707	PIO_055	WE#-A/ CS7#-A		GTIOC13 B	TXD011-B/ SMOSI011-B/ SSDA011/ TXDA011	ET1_RXD3 -A/ CAT1_ERX D3-A	XSPI1_R ESET1#	IRQ7		DSM0_D AT0-D
115		P706	PIO_054	CAS#-A/ CS6#-A		GTIOC13 A	RXD011-B/ SMISO011-B/ SSCL011	ET1_RXD2 -A/ CAT1_ERX D2-A	XSPI1_W P1#	IRQ14	ADCNV2	DSM0_C LK0-D
116		P705	PIO_053	RAS#-A/ CS5#-A		GTIOC12 B	SCK011-B/ CTS011#/ TXDB011	ET1_RXD1 -A/ RMII1_RX D1-A/ CAT1_ERX D1-A	XSPI1_R STO1#	IRQ13	ADCNV1	DSM1_D AT2-D

表 1.8 機能別端子一覧 (176ピンLFQFP) (9/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFQFP												
117		P704	PIO_052	SDCS#- A/CS4#- A		GTIOC12 A	CTS004#/ CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011	ET1_RXD0 -A/ RMII1_RX D0-A/ CAT1_ERX D0-A	XSPI1_IN T1#/ XSPI1_E CS1#	IRQ12	ADCNV0	DSM1_C LK2-D
118		P703	PIO_051	ALE-A/ WR2#-B/ BC2#-B	CACREF	GTETRGA / GTIOC11B	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004	ET1_LINKS TA/ CAT1_LINK STA	XSPI1_R ESET0#/ PCKO	IRQ8		DSM1_D AT1-D
119		P702	PIO_050	RD#-A/ DQM3-B		GTETRGA / GTIOC11A	SCK004-B/ CTS004#/ TXDB004	ET1_CRS/ CATSYNC1	XSPI1_W P0#/ XSPI1_R ESET1#/ HSYNC	IRQ10	ADST2	DSM1_C LK1-D
120		P701	PIO_049	CKE-A/ WR3#-B/ BC3#-B		GTIOC10 B	RXD004-B/ SMISO004-B/ SSCL004	ET1_COL/ CATLATCH 1	XSPI1_R STO0#/ XSPI1_R ESET0#/ VSYNC	IRQ1	ADST1	DSM1_D AT0-D
121	ETHPHY CLK	P700	PIO_048	SDCLK-A		GTIOC10 A	TXD004-B/ SMOSI004-B/ SSDA004/ TXDA004	ET1_INT/ CATREST OUT	XSPI1_IN T0#/ XSPI1_E CS0#/ PIXCLK	IRQ0	ADST0	DSM1_C LK0-D
122	VCC											
123	VSS											
124	VCL											
125		PE07	PIO_047	A8-B/ A20-D	TOC1	GTETRGA / GTCPP07 / GTIOC10 B/POEGD		ET1_LINKS TA/ CAT1_LINK STA/ CATREST OUT	XSPI1_C S0#/ PIXD7	IRQ7		
126		PE06	PIO_046	A9-B/ A21-D	TIC1	GTETRGC / GTADSM1 / GTIOC10 A/POEGB	SSL13-A	ET1_RX_C LK-D/ RMII1_REF 50CK-D/ CAT1_RX_ CLK-D/ CATLEDER R	XSPI1_D S/PIXD6	IRQ6		
127		PE05	PIO_045	A10-B/ A22-D		GTOWLO/ GTIOC9B	SSL12-A	ET1_RXD3 -D/ CAT1_ERX D3-D/ CATLEDRU N	XSPI1_IO 3/PIXD5	IRQ5		
128		PE04	PIO_044	A11-B/ A23-D		GTOWUP/ GTIOC9A	CTS012#/ SSL11-A	ET1_RXD2 -D/ CAT1_ERX D2-D/ CATLEDST ER	XSPI1_IO 2/ XSPI1_W P0#/ PIXD4	IRQ12		
129		PE03	PIO_043	A12-B	TOC3	GTOVLO/ GTIOC8B	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012/ MISO1-A	ET1_RXD1 -D/ RMII1_RX D1-D/ CAT1_ERX D1-D	SD0_DAT 7-B/ XSPI1_IO 1/PIXD3	IRQ11		
130		PE02	PIO_042	A13-B	TIC3	GTOVUP/ GTIOC8A	RXD012-A/ SMISO012-A/ SSCL012/ MOSI1-A	ET1_RXD0 -D/ RMII1_RX D0-D/ CAT1_ERX D0-D	SD0_DAT 6-B/ XSPI1_IO 0/PIXD2	IRQ7- DS		

表 1.8 機能別端子一覧 (176ピンLQFP) (10/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
131	CLKOUT	PE01	PIO_041	A14-B		GTOULO/ GTIOC7B	TXD012-A/ SMOSI012-A/ SSDA012/ TXDA012/ RSPCK1-A	ET1_RX_D V-D/ RMII1_CR S_DV-D/ CAT1_RX_ DV-D	SD0_DAT 5-B/ XSPI1_C K/PIXD1	IRQ9		
132	ETHPHY CLK	PE00	PIO_040	A15-B		GTOUUP/ GTIOC7A	SCK012-A/ CTS012#/ TXDB012/ SSL10-A	ET1_RX_E R-D/ RMII1_RX_ ER-D/ CAT1_RX_ ER-D	SD0_DAT 4-B/ XSPI1_C KN#/ XSPI1_C S1#/ PIXD0	IRQ8		
133		P607	PIO_015	CS0#-B/ D16-B		GTETRGA / GTADSM0 / GTIOC15 B/POEGA	CTS008#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009/ CRX2	ET1_INT/ ET_TAS_S TA3/ CATIRQ	XSPI0_R STO0#	IRQ15		DSM1_D AT2-A
134		P606	PIO_014	CS1#-C/ D17-B		GTETRGA / GTCPP04 / GTIOC15 A/POEGC	SCK009-B/ CTS009#/ TXDB009/ SSL03-D/ CTX2	ET1_TX_E R-B/ ET_TAS_S TA2/ CATLINKA CT1	XSPI0_R ESET0#	IRQ14		DSM1_C LK2-A
135		P605	PIO_013	CS2#-C/ D18-B		GTIOC6B	RXD009-B/ SMISO009-B/ SSCL009/ SSL02-D	ET1_TXD3- B/ ET_TAS_S TA1/ CAT1_ETX D3-B	XSPI0_IN T0#/ XSPI0_E CS0#	IRQ13		DSM1_D AT1-A
136		P604	PIO_012	CS3#-C/ D19-B		GTIOC6A	TXD009-B/ SMOSI009-B/ SSDA009/ TXDA009/ SSL01-D	ET1_TXD2- B/ ET_TAS_S TA0/ CAT1_ETX D2-B	XSPI0_C S1#/ XSPI0_R STO0#	IRQ4		DSM1_C LK1-A
137		P603	PIO_011	WE#-B/ D20-B		GTIOC5B	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS009#/ MISO0-D	ET1_TXD1- B/ RMII1_TXD 1-B/ GPTP_PTP OUT3/ CAT1_ETX D1-B/ CATSYNC0	XSPI0_IO 7/PCKO	IRQ3		DSM1_D AT0-A
138		P602	PIO_010	CAS#-B/ D21-B		GTIOC5A	SCK008-B/ CTS008#/ TXDB008/ MOSI0-D	ET1_TXD0- B/ RMII1_TXD 0-B/ GPTP_PTP OUT2/ CAT1_ETX D0-B/ CATLATCH 0	XSPI0_IO 6/HSYNC	IRQ2	ADTRG2 #	DSM1_C LK0-A
139		P601	PIO_009	RAS#-B/ D22-B		GTIOC4B	RXD008-B/ SMISO008-B/ SSCL008/ RSPCK0-D	ET1_TX_E N-B/ RMII1_TX_ EN-B/ GPTP_PTP OUT1/ CAT1_TX_ EN-B/ CATSYNC1	XSPI0_IO 5/VSYNC	IRQ1	ADTRG1 #	

表 1.8 機能別端子一覧 (176ピンLQFP) (11/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
140		P600	PIO_008	SDCS#- B/D23-B		GTIOC4A	TXD008-B/ SMOSI008-B/ SSDA008/ TXDA008/ SSL00-D	ET1_TX_C LK-B/ GPTP_PTP OUT0/ CAT1_TX_ CLK-B/ CATLATCH 1	XSPI0_IO 4/PIXCLK	IRQ0	ADTRG0 #	
141	VCC2											
142	VSS											
143	VCL											
144		PD07	PIO_039	A16-B/ D24-B		GTIW/ GTIOC3B/ POEGA	TXD003-A/ SMOSI003-A/ SSDA003/ TXDA003/ CTX1	ET1_LINKS TA/ CAT1_LINK STA	SD0_CD/ XSPI0_C S0#/ XSPI0_R ESET1#/ PIXD7	IRQ7	AN031	
145		PD06	PIO_038	A17-B/ D25-B		GTIV/ GTIOC3A/ POEGB	RXD003-A/ SMISO003-A/ SSCL003/ SSL23-A/ CRX1	ET1_RX_E R-B/ RMII1_RX_ ER-B/ CAT1_RX_ ER-B/ CATLEDER R	SD0_WP/ XSPI0_D S/PIXD6	IRQ6	AN030	
146		PD05	PIO_037	A18-B/ D26-B		GTIU/ GTIOC2B/ POEGD	SCK003-A/ CTS003#/ TXDB003/ SSL22-A/ CTX0	ET1_RX_D V-B/ RMII1_CR S_DV-B/ CAT1_RX_ DV-B/ CATLEDST ER	SD0_DAT 1-B/ XSPI0_IO 3/PIXD5	IRQ5	AN029	
147		PD04	PIO_036	A19-B/ D27-B		GTETRGA / GTIOC2A/ POEGC	CTS002#/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ SSL21-A/ CRX0	ET1_RX_C LK-B/ RMII1_REF 50CK-B/ CAT1_RX_ CLK-B/ CATLEDRU N	SD0_DAT 0-B/ XSPI0_IO 2/ XSPI0_W P0#/ PIXD4	IRQ4	AN028	
148		PD03	PIO_035	A20-B/ D28-B	TOC2	GTIOC1B/ POEGA	TXD002-A/ SMOSI002-A/ SSDA002/ TXDA002/ MISO2-A	ET1_RXD3 -B/ CAT1_ERX D3-B/ CAT0_MDI O-D	SD0_CLK -B/ XSPI0_IO 1/PIXD3	IRQ3	AN027	
149		PD02	PIO_034	A21-B/ D29-B	TIC2	GTETRGA / GTIOC1A/ POEGB	RXD002-A/ SMISO002-A/ SSCL002/ MOSI2-A	ET1_RXD2 -B/ CAT1_ERX D2-B/ CAT0_MDC -D	SD0_CM D-B/ XSPI0_IO 0/PIXD2	IRQ2	AN026	
150		PD01	PIO_033	A22-B/ D30-B		GTETRGC / GTIOC0B/ POEGC	SCK002-A/ CTS002#/ TXDB002/ RSPCK2-A	ET1_RXD1 -B/ RMII1_RX D1-B/ CAT1_ERX D1-B/ CATSYNCO	SD0_DAT 3-B/ XSPI0_C K/PIXD1	IRQ1	AN025	
151		PD00	PIO_032	A23-B/ D31-B		GTETRGD / GTIOC0A/ POEGD	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS003#/ SSL20-A	ET1_RXD0 -B/ RMII1_RX D0-B/ CAT1_ERX D0-B/ CATLATCH 0	SD0_DAT 2-B/ XSPI0_C KN#/ XSPI0_C S1#/ PIXD0	IRQ0	AN024	

表 1.8 機能別端子一覧 (176ピンLQFP) (12/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LQFP									(XSPI, SDHI, PDC)			
152	VCC2											
153	VSS											
154	VCL											
155		P903	PIO_003			GTETRGD / GTCPP09 /POEGD	CTS006#/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001	ET1_MDIO -B/ ET_TAS_S TA3/ CATIRQ	XSPI0_W P1#	IRQ11	AN035	
156		P902	PIO_002			GTETRGC / GTCPP08	SCK001-C/ CTS001#/ TXDB001	ET1_MDC- B/ ET_TAS_S TA2/ CATREST OUT	XSPI0_R ESET1#	IRQ10	AN034	
157		P901	PIO_001			GTETRGB / GTCPP06	TXD001-C/ SMOSI001-C/ SSDA001/ TXDA001	ET1_CRS/ ET_TAS_S TA1/ CATLATCH 1	XSPI0_R STO1#/ XSPI0_R ESET0#	IRQ9	AN033	
158		P900	PIO_000			GTETRGA / GTCPP05	RXD001-C/ SMISO001-C/ SSCL001	ET1_COL/ ET_TAS_S TA0/ CATSYNC1	XSPI0_IN T1#/ XSPI0_E CS1#	IRQ0	AN032	
159	AVCC0											
160	AVSS0											
161	VREFL0											
162	VREFH0											
163		P407	PIO_055							IRQ15- DS	AN007	
164		P406	PIO_054							IRQ14- DS	AN006	
165		P405	PIO_053							IRQ13- DS	AN005	
166		P404	PIO_052							IRQ12- DS	AN004	
167		P403	PIO_051							IRQ11- DS	AN003	
168		P402	PIO_050							IRQ10- DS	AN002	
169		P401	PIO_049							IRQ9- DS	AN001	
170		P400	PIO_048							IRQ8- DS	AN000	
171		P415	PIO_063							IRQ31	AN015/ DA1	
172		P414	PIO_062							IRQ30	AN014/ DA0	
173		P007	PIO_007			GTCPP06 / GTIOC13 B/POEGA	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000	ET1_INT/ CATIRQ		IRQ23- DS	ADTRG0 #/AN023	PDMDAT 0
174		P006	PIO_006			GTCPP05 / GTIOC13 A/ GTIOC9B	SCK000-B/ CTS000#/ TXDB000	ET1_LINKS TA/ CAT1_LINK STA		IRQ22- DS	ADTRG1 #/AN022	PDMCLK 0/ PCOUTZ 1

表 1.8 機能別端子一覧 (176ピンLFQFP) (13/13)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
176 ピン LFQFP									(XSPI, SDHI, PDC)			(DSMIF、 PDMIF、 PCIF、 タンパ 検出)
175		P005	PIO_005			GTCPP04 / GTIOC12 B/ GTIOC9A	RXD000-B/ SMISO000-B/ SSCL000/ SSILRCK1	ET1_MDIO -D/ CATLATCH 0		IRQ21- DS	ADTRG2 #/AN021	DSM0_D AT2-B/ PCOUTB 1
176		P004	PIO_004			GTCPP03 / GTIOC12 A/ GTIOC8B	TXD000-B/ SMOSI000-B/ SSDA000/ TXDA000/ SSITXD1	ET1_MDC- D/ CATSYNCO		IRQ20- DS	AN020	DSM0_C LK2-B/ PCOUTA 1

1.6.5 144 ピン LFQFP

表 1.9 機能別端子一覧 (144 ピン LFQFP) (1/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンバ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
1		P003	PIO_003			GTCPP02 / GTIOC11B /GTIOC8A	RXD007-A/ SMISO007-A/ SSCL007/ SSIRXD1	ET0_MDIO -D/ CAT0_MDI O-E		IRQ19- DS	AN019	DSM0_D AT1-B/ PCOUTB 0
2		P002	PIO_002		TMC11	GTCPP01 / GTIOC11A /GTIOC7B	TXD007-A/ SMOSI007-A/ SSDA007/ TXDA007/ SSIBCK1	ET0_MDC- D/ CAT0_MDC -E		IRQ18- DS	AN018	DSM0_C LK1-B/ PCOUTA 0
3		P001	PIO_001		TMC10	GTCPP00 / GTIOC10 B/ GTIOC7A	SCK007-A/ CTS007#/ TXDB007/ SSIBCK0	ET0_LINKS TA/ CAT0_LINK STA		IRQ17- DS	AN017	DSM0_D AT0-B/ PCOUTZ 0
4		P000	PIO_000		TMR10	GTCPP07 / GTIOC10 A/POEGB	CTS000#/ CTS007#/ RTS007#/ SS007#/ DE007/ TXDB007/ AUDIO_CLK	ET0_INT/ CATREST OUT		IRQ16- DS	AN016	DSM0_C LK0-B
5	VCC											
6	VSS											
7	VCL											
8	RES#											
9	MD/ FINED	P315										
10		P312	PIO_060	BACK#-B	RTIC2	GTETRGD / GTCPP01 5/POEGA	SSL13-B/ SSLRCK0	ET1_WOL		IRQ20	ADTRG2 #	DSM0_D AT2-C/ TAMPI2
11		P311	PIO_059	BREQ#-B	RTIC1	GTETRGC / GTCPP01 4/POEGD	CTS007#/ SSL12-B/ SSIRXD0	ET0_WOL		IRQ19	ADTRG1 #	DSM0_C LK2-C/ TAMPI1
12		P310	PIO_058		RTIC0/ CACREF	GTETRGB / GTCPP01 /POEGC	CTS000#/ CTS001#/ SSL11-B/ SSITXD0	ET1_INT/ CATIRQ		IRQ18	ADTRG0 #	TAMPI0
13	VBATT/ VCC											
14	XCIN/ EXCIN	P309										
15	XCOUT	P308										
16	VSS											
17	XTAL	P307										
18	EXTAL	P306										
19	VCC											
20		P305								NMI/ IRQ0		
21	VCC_US B											
22		PF01	PIO_049			GTCPP01 5	USB0_DM			IRQ1		
23		PF00	PIO_048			GTCPP01 4	USB0_DP			IRQ0		

表 1.9 機能別端子一覧 (144 ピン LQFP) (2/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
144 ピン LQFP												
24	VSS_US B											
25		P207	PIO_023	A23-C/ CS4#-C	TMRI3	GTOWLO/ GTIOC2B/ GTIOC6B	RXD001-B/ SMISO001-B/ SSCL001/ MISO1-B/ SDAHS2-B/ CRX1/ USB0_ID	ET0_RXD3 -B/ CAT0_ERX D3-B	PCKO	IRQ3- DS	ADTRG2 #	DSM1_D AT2-B
26		P206	PIO_022	A22-C/ CS5#-C	TMO3/ RTCOUT	GTOWUP/ GTIOC2A/ GTIOC6A	CTS006#/ TXD001-B/ SMOSI001-B/ SSDA001/ TXDA001/ MOSI1-B/ SCLHS2-B/ CTX1/ USB0_EXICE N/SSI1TXD1	ET0_RXD2 -B/ CAT0_ERX D2-B	VSYN	IRQ2- DS	ADTRG1 #	DSM1_C LK2-B/ PCOUTZ 1
27	CLKOUT	P205	PIO_021	A21-C/ CS6#-C		GTOVLO/ GTIOC1B/ GTIOC5B	SCK001-B/ CTS001#/ TXDB001/ RSPCK1-B/ SDAHS1-B/ CRX0/ USB0_VBUS/ SSIRXD1	ET0_RXD1 -B/ RMII0_RX D1-B/ CAT0_ERX D1-B	SD0_CD/ HSYN	IRQ5	ADTRG0 #	DSM1_D AT1-B/ PCOUTB 1
28	ETHPHY CLK	P204	PIO_020	A20-C/ CS7#-C	TMRI1	GTOVUP/ GTIOC1A/ GTIOC5A	CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-B/ SCLHS1-B/ CTX0/ USB0_VBUS EN/SSIBCK1	ET0_RXD0 -B/ RMII0_RX D0-B/ CAT0_ERX D0-B	SD0_WP/ PIXCLK	IRQ12		DSM1_C LK1-B/ PCOUTA 1
29	VCL											
30	VSS											
31	VCC											
32		P203	PIO_019	CS2#-B/ BACK#-A		GTOULO/ GTIOC0B/ GTIOC4B	RXD006-A/ SMISO006-A/ SSCL006/ CTS003#/ SSL00-C/ SDA00-B/ CRX2/ USB0_OVRC URB/ SSIBCK0	ET0_RX_C LK-B/ RMII0_REF 50CK-B/ CAT0_RX_ CLK-B/ CATI2CDA TA-C	SD0_DAT 1-C/ PIXD7	IRQ3		DSM1_D AT0-B/ PDMDAT 0
33		P202	PIO_018	CS3#-B/ BREQ#-A	TMO0	GTOUUP/ GTIOC0A/ GTIOC4A	TXD006-A/ SMOSI006-A/ SSDA006/ TXDA006/ RSPCK0-C/ SCL00-B/ CTX2/ USB0_OVRC URA/ AUDIO_CLK	ET0_RX_D V-B/ RMII0_CR S_DV-B/ CAT0_RX_ DV-B/ CATI2CCL K-C	SD0_DAT 0-C/ PIXD6	IRQ15		DSM1_C LK0-B/ PDMCLK 0
34	ETHPHY CLK	P304	PIO_028	ALE-C/ WAIT#-B	TMC13	GTETRGD / GTCPP00 /POEGA	CTS000#/ CTS001#/ USB0_VBUS EN	ET0_INT/ CATREST OUT		IRQ0- DS	ADTRG0 #	

表 1.9 機能別端子一覧 (144 ピン LQFP) (3/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
144 ピン LQFP												
35	TDI	P303	PIO_027		TMCi2	GTCPP01 3	RXD000-A/ SMISO000-A/ SSCL000/ RXD001-A/ SMISO001-A/ SSCL001/ MISO1-C	ET1_CRS		IRQ1		
36	TDO	P302	PIO_026		TMRI3	GTCPP01 2	TXD000-A/ SMOSI000-A/ SSDA000/ TXDA000/ TXD001-A/ SMOSI001-A/ SSDA001/ TXDA001/ MOSI1-C	ET1_COL		IRQ4		
37	TCK/ SWCLK	P301	PIO_025		TMCi3	GTCPP01 1	SCK000-A/ CTS000#/ TXDB000/ SCK001-A/ CTS001#/ TXDB001/ RSPCK1-C	ET1_WOL		IRQ7		
38	TMS/ SWDIO	P300	PIO_024		TMO1	GTCPP01 0	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-C	ET0_WOL		IRQ6		
39		P201	PIO_017		TMCi0	GTIW/ GTIOC3B/ GTIOC14 B	SCK006-A/ CTS006#/ TXDB006/ MISO0-C/ SCLHS1-A/ USB0_EXICE N/SSLRCK0	ET0_RX_E R-B/ RMII0_RX_ ER-B/ CAT0_RX_ ER-B	SD0_CLK -C/PIXD5	IRQ9		PCINZ0
40		P200	PIO_016		TMRI0	GTETRG A/ GTIOC3A/ GTIOC14 A	CTS006#/ RTS006#/ SS006#/ DE006/ TXDB006/ MOSI0-C/ SDAHS1-A/ USB0_ID/ SSIRXD0	ET0_TX_E N-B/ RMII0_TX_ EN-B/ CAT0_TX_ EN-B	SD0_CM D-C/ PIXD4	IRQ8	ADTRG2 #	PCINZ1
41		P107	PIO_015		TMO1	GTIV/ GTIOC15 B/POEGA	TXD003-B/ SMOSI003-B/ SSDA003/ TXDA003/ SDAHS2-A/ SSITXD0	ET0_TXD3- B/ CAT0_ETX D3-B/ CATI2CDA TA-B	SD0_DAT 3-C/ PIXD3	IRQ31- DS	ADTRG1 #	PCINB1
42	CLKOUT	P106	PIO_014		TMO2/ RTCOUT	GTIU/ GTIOC15 A/POEGB	RXD003-B/ SMISO003-B/ SSCL003/ SCLHS2-A	ET0_TXD2- B/ CAT0_ETX D2-B/ CATI2CCL K-B	SD0_DAT 2-C/ PIXD2	IRQ30- DS	ADTRG0 #	PCINA1

表 1.9 機能別端子一覧 (144 ピン LFQFP) (4/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
144 ピン LFQFP												(DSMIF、 PDMIF、 PCIF、 タンパ 検出)
43		P105	PIO_013		TMC12	GTIV/ GTIOC14 B	TXD002-B/ SMOSI002-B/ SSDA002/ TXDA002/ SCK003-B/ CTS003#/ TXDB003/ CRX2/ USB0_VBUS/ SSILRCK1	ET0_TXD1- B/ RMII0_TXD 1-B/ CAT0_ETX D1-B/ CATLEDRU N	PIXD1	IRQ29- DS	ADST1	DSM0_D AT1-C/ PCINB0
44		P104	PIO_012		TMR12	GTIW/ GTIOC14 A	RXD002-B/ SMISO002-B/ SSCL002/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ CTX2/ USB0_OVRC URA-DS	ET0_TXD0- B/ RMII0_TXD 0-B/ CAT0_ETX D0-B/ CATLEDST ER	PIXD0	IRQ4	ADST0	DSM0_C LK1-C/ PCINA0
45	VCL											
46	VSS											
47	VCC											
48		P103	PIO_011		TMO3	GTADSM1 / GTIOC13 B	CTS002#/ SDA00-A	ET0_CRS/ CATI2CDA TA-A		IRQ3		
49		P102	PIO_010		TMC11	GTADSM0 / GTIOC13 A	SCL00-A	ET0_COL/ CATI2CCL K-A		IRQ2		
50		P101	PIO_009	CS0#-A/ ALE-B	TMC13	GTETRGC / GTADSM1 / GTIOC12 B	SCK002-B/ CTS002#/ TXDB002/ USB0_VBUS- DS	ET0_TX_C LK-B/ CAT0_TX_ CLK-B/ CAT0_LINK STA		IRQ1	ADTRG1 #	DSM0_D AT0-C
51		P100	PIO_008	CS1#-B/ WAIT#-A	TMR13/ CACREF	GTIU/ GTADSM0 / GTIOC12 A	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS005#/ USB0_OVRC URB-DS	ET0_TX_E R-B/ CATLINKA CT0/ CATLEDER R		IRQ0	ADTRG2 #	DSM0_C LK0-C
52	VCC_DC DC											
53	VCC_DC DC											
54	VLO											
55	VLO											
56	VSS_DC DC											
57	VSS_DC DC											
58		P803	PIO_059	CS3#-A/ WR1#-B/ BC1#-B		GTIOC1B/ POEGA	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ CTX2/ USB0_ID	ET0_MDC- B/ CAT0_MDC -B		IRQ3	ADSYN	DSM1_D AT0-C

表 1.9 機能別端子一覧 (144 ピン LQFP) (5/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
144 ピン LQFP												
59		P802	PIO_058	CS2#-A/ WR#-B/ WR0#-B		GTIW/ GTIOC1A/ POEGB	SCK010-B/ CTS010#/ TXDB010/ CRX2/ USB0_EXICE N	ET0_MDIO -B/ CAT0_MDI O-B		IRQ2	ADCNV2	DSM1_C LK0-C
60	VCL											
61	VSS											
62	VCC											
63	CLKOUT	P801	PIO_057	EBCLK-A		GTIV/ GTIOC0B/ POEGC	TXD010-B/ SMOSI010-B/ SSDA010/ TXDA010	ET0_CRS/ CATSYNC0		IRQ9	ADCNV1	DSM1_D AT1-C
64		P800	PIO_056	CS1#-A/ DQM0-B		GTIU/ GTIOC0A/ POEGD	RXD010-B/ SMISO010-B/ SSCL010	ET0_COL/ CATLATCH 0		IRQ8	ADCNV0	DSM1_C LK1-C
65	ETHPHY CLK	PC07	PIO_031	D0-A	TMO2/ TOC0/ CACREF	GTETRGD / GTADSM1 / GTIOC15 B/POEGA	TXD008-A/ SMOSI008-A/ SSDA008/ TXDA008/ MISO0-A/ SSITXD0	CATREST OUT	SD0_CD	IRQ14		DSM1_D AT2-C/ PDMDAT 0
66		PC06	PIO_030	D1-A	TMC12/ TIC0	GTETRGC / GTCPP07 / GTIOC15 A/POEGB	RXD008-A/ SMISO008-A/ SSCL008/ MOSI0-A/ SSILRCK0	ET0_TX_E R-A/ CATLINKA CT0	SD0_WP	IRQ13		DSM1_C LK2-C/ PDMCLK 0
67		PC05	PIO_029	D2-A	TMR12	GTOWLO/ GTIOC9B	SCK008-A/ CTS008#/ TXDB008/ RSPCK0-A/ SSIBCK0	ET0_TX_E N-A/ RMII0_TX_ EN-A/ CAT0_TX_ EN-A	SD0_DAT 1-A	IRQ5		PCOUTZ 1
68		PC04	PIO_028	D3-A	TMC11	GTOWUP/ GTIOC9A	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS011#/ SSL00-A/ AUDIO_CLK	ET0_TXD3- A/ CAT0_ETX D3-A	SD0_DAT 0-A	IRQ12		PCOUTB 1
69		PC03	PIO_027	D4-A		GTOVLO/ GTIOC8B	TXD011-A/ SMOSI011-A/ SSDA011/ TXDA011/ SDAHS1-C	ET0_TXD2- A/ CAT0_ETX D2-A	SD0_CLK -A	IRQ11		PCOUTA 1
70		PC02	PIO_026	D5-A		GTOVUP/ GTIOC8A	RXD011-A/ SMISO011-A/ SSCL011/ SSL03-A/ SCLHS1-C	ET0_TXD1- A/ RMII0_TXD 1-A/ CAT0_ETX D1-A	SD0_CM D-A	IRQ10		PCOUTZ 0
71		PC01	PIO_025	D6-A		GTOULO/ GTIOC7B	SCK011-A/ CTS011#/ TXDB011/ SSL02-A/ SDA00-C	ET0_TXD0- A/ RMII0_TXD 0-A/ CAT0_ETX D0-A	SD0_DAT 3-A	IRQ12		PCOUTB 0
72		PC00	PIO_024	D7-A		GTOUUP/ GTIOC7A	CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011/ SSL01-A/ SCL00-C	ET0_TX_C LK-A/ CAT0_TX_ CLK-A	SD0_DAT 2-A	IRQ14		PCOUTA 0

表 1.9 機能別端子一覧 (144 ピン LQFP) (6/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
73		PB07	PIO_023	D8-A		GTOWLO/ GTIOC6B	TXD009-A/ SMOSI009-A/ SSDA009/ TXDA009	ET0_LINKS TA/ CAT0_LINK STA		IRQ15		
74		PB06	PIO_022	D9-A		GTOWUP/ GTIOC6A	RXD009-A/ SMISO009-A/ SSCL009	ET0_RX_E R-A/ RMII0_RX_ ER-A/ CAT0_RX_ ER-A		IRQ6		
75		PB05	PIO_021	D10-A	TMR11	GTOVLO/ GTIOC5B	SCK009-A/ CTS009#/ TXDB009	ET0_RX_D V-A/ RMII0_CR S_DV-A/ CAT0_RX_ DV-A		IRQ13		
76		PB04	PIO_020	D11-A		GTOVUP/ GTIOC5A	CTS004#/ CTS009#/ RTS009#/ SS009#/ DE009/ TXDB009	ET0_RX_C LK-A/ RMII0_REF 50CK-A/ CAT0_RX_ CLK-A		IRQ4		
77	VCC											
78	VSS											
79	VCL											
80		PB03	PIO_019	D12-A	TMO0	GTOULO/ GTIOC4B	SCK004-A/ CTS004#/ TXDB004	ET0_RXD3 -A/ CAT0_ERX D3-A		IRQ3		
81		PB02	PIO_018	D13-A		GTOUUP/ GTIOC4A	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004/ CTS009#	ET0_RXD2 -A/ CAT0_ERX D2-A		IRQ2		
82		PB01	PIO_017	D14-A	TMC10	GTETRGA / GTCPP04 / GTIOC14 B/POEGA	TXD004-A/ SMOSI004-A/ SSDA004/ TXDA004	ET0_RXD1 -A/ RMII0_RX D1-A/ CAT0_ERX D1-A		IRQ4- DS		DSM0_D AT2-A/ PCINB1
83		PB00	PIO_016	D15-A		GTETRGA / GTADSM0 / GTIOC14 A/POEGC	RXD004-A/ SMISO004-A/ SSCL004	ET0_RXD0 -A/ RMII0_RX D0-A/ CAT0_ERX D0-A		IRQ12	ADST2	DSM0_C LK2-A/ PCINA1
84	ETHPHY CLK	PA07	PIO_015	A0-A/ BC0#-A/ DQM1-B		GTIOC3B/ GTIOC13 B	RXD010-A/ SMISO010-A/ SSCL010/ MISO0-B	ET1_TX_E R-A/ CATLINKA CT1		IRQ7		PCINB0
85		PA06	PIO_014	A1-A	TMC13	GTIOC3A/ GTIOC13 A	TXD010-A/ SMOSI010-A/ SSDA010/ TXDA010/ MOSI0-B	ET1_TXD3- A/ CAT1_ETX D3-A		IRQ14		PCINZ1
86		PA05	PIO_013	A2-A		GTIOC2B/ GTIOC12 B	SCK010-A/ CTS010#/ TXDB010/ RSPCK0-B	ET1_TXD2- A/ CAT1_ETX D2-A		IRQ5		PCINA0
87		PA04	PIO_012	A3-A	TMR10	GTIOC2A/ GTIOC12 A	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ SSL00-B	ET1_TXD1- A/ RMII1_TXD 1-A/ CAT1_ETX D1-A		IRQ5- DS		PCINZ0

表 1.9 機能別端子一覧 (144 ピンLFQFP) (7/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				
144 ピン LFQFP												
88	VCC											
89	VSS											
90	VCL											
91		PA03	PIO_011	A4-A		GTIOC1B/ GTIOC11B	RXD005-A/ SMISO005-A/ SSCL005	ET1_TXD0- A/ RMII1_TXD 0-A/ CAT1_ETX D0-A		IRQ6- DS	ADSYNC	DSM0_D AT1-A
92		PA02	PIO_010	A5-A		GTIW/ GTIOC1A/ GTIOC11A	TXD005-A/ SMOSI005-A/ SSDA005/ TXDA005/ SSL03-B	ET1_TX_C LK-A/ CAT1_TX_ CLK-A		IRQ10	ADCNV2	DSM0_C LK1-A
93		PA01	PIO_009	A6-A		GTIV/ GTIOC0B/ GTIOC10 B	SCK005-A/ CTS005#/ TXDB005/ SSL02-B	ET1_TX_E N-A/ RMII1_TX_ EN-A/ CAT1_TX_ EN-A		IRQ11	ADCNV1	DSM0_D AT0-A
94	ETHPHY CLK	PA00	PIO_008	A7-A	CACREF	GTIU/ GTIOC0A/ GTIOC10 A	CTS010#/ CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL01-B	CATIRQ		IRQ1- DS	ADCNV0	DSM0_C LK0-A
95		P702	PIO_050	RD#-A		GTETRGA / GTIOC11A	SCK004-B/ CTS004#/ TXDB004	ET1_CRS/ CATSYNC1	XSPI1_W P0#/ XSPI1_R ESET1#/ HSYNC	IRQ10	ADST2	DSM1_C LK1-D
96		P701	PIO_049	CKE-A		GTIOC10 B	RXD004-B/ SMISO004-B/ SSCL004	ET1_COL/ CATLATCH 1	XSPI1_R STO0#/ XSPI1_R ESET0#/ VSYNC	IRQ1	ADST1	DSM1_D AT0-D
97	ETHPHY CLK	P700	PIO_048	SDCLK-A		GTIOC10 A	TXD004-B/ SMOSI004-B/ SSDA004/ TXDA004	ET1_INT/ CATREST OUT	XSPI1_IN T0#/ XSPI1_E CS0#/ PIXCLK	IRQ0	ADST0	DSM1_C LK0-D
98	VCC											
99	VSS											
100	VCL											
101		PE07	PIO_047	A8-B/ A20-D	TOC1	GTETRGD / GTCPP07 / GTIOC10 B/POEGD		ET1_LINKS TA/ CAT1_LINK STA/ CATREST OUT	XSPI1_C S0#/ PIXD7	IRQ7		
102		PE06	PIO_046	A9-B/ A21-D	TIC1	GTETRGC / GTADSM1 / GTIOC10 A/POEGB	SSL13-A	ET1_RX_C LK-D/ RMII1_REF 50CK-D/ CAT1_RX_ CLK-D/ CATLEDER R	XSPI1_D S/PIXD6	IRQ6		
103		PE05	PIO_045	A10-B/ A22-D		GTOWLO/ GTIOC9B	SSL12-A	ET1_RXD3 -D/ CAT1_ERX D3-D/ CATLEDRU N	XSPI1_IO 3/PIXD5	IRQ5		

表 1.9 機能別端子一覧 (144 ピン LQFP) (8/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
144 ピン LQFP												
104		PE04	PIO_044	A11-B/ A23-D		GTOWUP/ GTIOC9A	CTS012#/ SSL11-A	ET1_RXD2 -D/ CAT1_ERX D2-D/ CATLEDST ER	XSPI1_IO 2/ XSPI1_W P0#/ PIXD4	IRQ12		
105		PE03	PIO_043	A12-B	TOC3	GTOVLO/ GTIOC8B	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012/ MISO1-A	ET1_RXD1 -D/ RMII1_RX D1-D/ CAT1_ERX D1-D	SD0_DAT 7-B/ XSPI1_IO 1/PIXD3	IRQ11		
106		PE02	PIO_042	A13-B	TIC3	GTOVUP/ GTIOC8A	RXD012-A/ SMISO012-A/ SSCL012/ MOSI1-A	ET1_RXD0 -D/ RMII1_RX D0-D/ CAT1_ERX D0-D	SD0_DAT 6-B/ XSPI1_IO 0/PIXD2	IRQ7- DS		
107	CLKOUT	PE01	PIO_041	A14-B		GTOULO/ GTIOC7B	TXD012-A/ SMOSI012-A/ SSDA012/ TXDA012/ RSPCK1-A	ET1_RX_D V-D/ RMII1_CR S_DV-D/ CAT1_RX_ DV-D	SD0_DAT 5-B/ XSPI1_C K/PIXD1	IRQ9		
108	ETHPHY CLK	PE00	PIO_040	A15-B		GTOUUP/ GTIOC7A	SCK012-A/ CTS012#/ TXDB012/ SSL10-A	ET1_RX_E R-D/ RMII1_RX_ ER-D/ CAT1_RX_ ER-D	SD0_DAT 4-B/ XSPI1_C KN#/ XSPI1_C S1#/ PIXD0	IRQ8		
109		P605	PIO_013	CS2#-C		GTIOC6B	RXD009-B/ SMISO009-B/ SSCL009/ SSL02-D	ET1_TXD3- B/ ET_TAS_S TA1/ CAT1_ETX D3-B	XSPI0_IN T0#/ XSPI0_E CS0#	IRQ13		DSM1_D AT1-A
110		P604	PIO_012	CS3#-C		GTIOC6A	TXD009-B/ SMOSI009-B/ SSDA009/ TXDA009/ SSL01-D	ET1_TXD2- B/ ET_TAS_S TA0/ CAT1_ETX D2-B	XSPI0_C S1#/ XSPI0_R STO0#	IRQ4		DSM1_C LK1-A
111		P603	PIO_011	WE#-B		GTIOC5B	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS009#/ MISO0-D	ET1_TXD1- B/ RMII1_TXD 1-B/ GPTP_PTP OUT3/ CAT1_ETX D1-B/ CATSYNC0	XSPI0_IO 7/PCKO	IRQ3		DSM1_D AT0-A
112		P602	PIO_010	CAS#-B		GTIOC5A	SCK008-B/ CTS008#/ TXDB008/ MOSI0-D	ET1_TXD0- B/ RMII1_TXD 0-B/ GPTP_PTP OUT2/ CAT1_ETX D0-B/ CATLATCH 0	XSPI0_IO 6/HSYNC	IRQ2	ADTRG2 #	DSM1_C LK0-A

表 1.9 機能別端子一覧 (144 ピン LFQFP) (9/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
113		P601	PIO_009	RAS#-B		GTIOC4B	RXD008-B/ SMISO008-B/ SSCL008/ RSPCK0-D	ET1_TX_E N-B/ RMII1_TX_ EN-B/ GPTP_PTP OUT1/ CAT1_TX_ EN-B/ CATSYNC1	XSPI0_IO 5/VSYN	IRQ1	ADTRG1 #	
114		P600	PIO_008	SDCS#-B		GTIOC4A	TXD008-B/ SMISO008-B/ SSDA008/ TXDA008/ SSL00-D	ET1_TX_C LK-B/ GPTP_PTP OUT0/ CAT1_TX_ CLK-B/ CATLATCH 1	XSPI0_IO 4/PIXCLK	IRQ0	ADTRG0 #	
115	VCC2											
116	VSS											
117		PD07	PIO_039	A16-B		GTIW/ GTIOC3B/ POEGA	TXD003-A/ SMISO003-A/ SSDA003/ TXDA003/ CTX1	ET1_LINKS TA/ CAT1_LINK STA	SD0_CD/ XSPI0_C S0#/ XSPI0_R ESET1#/ PIXD7	IRQ7	AN031	
118		PD06	PIO_038	A17-B		GTIV/ GTIOC3A/ POEGB	RXD003-A/ SMISO003-A/ SSCL003/ SSL23-A/ CRX1	ET1_RX_E R-B/ RMII1_RX_ ER-B/ CAT1_RX_ ER-B/ CATLEDER R	SD0_WP/ XSPI0_D S/PIXD6	IRQ6	AN030	
119		PD05	PIO_037	A18-B		GTIU/ GTIOC2B/ POEGD	SCK003-A/ CTS003#/ TXDB003/ SSL22-A/ CTX0	ET1_RX_D V-B/ RMII1_CR S_DV-B/ CAT1_RX_ DV-B/ CATLEDST ER	SD0_DAT 1-B/ XSPI0_IO 3/PIXD5	IRQ5	AN029	
120		PD04	PIO_036	A19-B		GTETRGA / GTIOC2A/ POEGC	CTS002#/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ SSL21-A/ CRX0	ET1_RX_C LK-B/ RMII1_REF 50CK-B/ CAT1_RX_ CLK-B/ CATLEDRU N	SD0_DAT 0-B/ XSPI0_IO 2/ XSPI0_W P0#/ PIXD4	IRQ4	AN028	
121		PD03	PIO_035	A20-B	TOC2	GTIOC1B/ POEGA	TXD002-A/ SMISO002-A/ SSDA002/ TXDA002/ MISO2-A	ET1_RXD3 -B/ CAT1_ERX D3-B/ CAT0_MDI O-D	SD0_CLK -B/ XSPI0_IO 1/PIXD3	IRQ3	AN027	
122		PD02	PIO_034	A21-B	TIC2	GTETRGA / GTIOC1A/ POEGB	RXD002-A/ SMISO002-A/ SSCL002/ MOSI2-A	ET1_RXD2 -B/ CAT1_ERX D2-B/ CAT0_MDC -D	SD0_CM D-B/ XSPI0_IO 0/PIXD2	IRQ2	AN026	
123		PD01	PIO_033	A22-B		GTETRGC / GTIOC0B/ POEGC	SCK002-A/ CTS002#/ TXDB002/ RSPCK2-A	ET1_RXD1 -B/ RMII1_RX D1-B/ CAT1_ERX D1-B/ CATSYNC0	SD0_DAT 3-B/ XSPI0_C K/PIXD1	IRQ1	AN025	

表 1.9 機能別端子一覧 (144 ピン LFQFP) (10/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	PIO	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	割り 込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンパ 検出)
					(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH, CANFD, USB, SSIE)	(ESWM, ESC)				
144 ピン LFQFP												
124		PD00	PIO_032	A23-B		GTETRGD / GTIOC0A/ POEGD	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS003#/ SSL20-A	ET1_RXD0 -B/ RMII1_RX D0-B/ CAT1_ERX D0-B/ CATLATCH 0	SD0_DAT 2-B/ XSPIO_C KN#/ XSPIO_C S1#/ PIXD0	IRQ0	AN024	
125	VSS											
126	VCL											
127		P901	PIO_001			GTETRGB / GTCPP06	TXD001-C/ SMOSI001-C/ SSDA001/ TXDA001	ET1_CRS/ ET_TAS_S TA1/ CATLATCH 1	XSPIO_R STO1#/ XSPIO_R ESET0#	IRQ9	AN033	
128		P900	PIO_000			GTETRGA / GTCPP05	RXD001-C/ SMISO001-C/ SSCL001	ET1_COL/ ET_TAS_S TA0/ CATSYNC1	XSPIO_IN T1#/ XSPIO_E CS1#	IRQ0	AN032	
129	AVCC0											
130	AVSS0											
131	VREFL0											
132	VREFH0											
133		P405	PIO_053							IRQ13- DS	AN005	
134		P404	PIO_052							IRQ12- DS	AN004	
135		P403	PIO_051							IRQ11- DS	AN003	
136		P402	PIO_050							IRQ10- DS	AN002	
137		P401	PIO_049							IRQ9- DS	AN001	
138		P400	PIO_048							IRQ8- DS	AN000	
139		P415	PIO_063							IRQ31	AN015/ DA1	
140		P414	PIO_062							IRQ30	AN014/ DA0	
141		P007	PIO_007			GTCPP06 / GTIOC13 B/POEGA	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000	ET1_INT/ CATIRQ		IRQ23- DS	ADTRG0 #/AN023	PDMDAT 0
142		P006	PIO_006			GTCPP05 / GTIOC13 A/ GTIOC9B	SCK000-B/ CTS000#/ TXDB000	ET1_LINKS TA/ CAT1_LINK STA		IRQ22- DS	ADTRG1 #/AN022	PDMCLK 0/ PCOUTZ 1
143		P005	PIO_005			GTCPP04 / GTIOC12 B/ GTIOC9A	RXD000-B/ SMISO000-B/ SSCL000/ SSILRCK1	ET1_MDIO -D/ CATLATCH 0		IRQ21- DS	ADTRG2 #/AN021	DSM0_D AT2-B/ PCOUTB 1
144		P004	PIO_004			GTCPP03 / GTIOC12 A/ GTIOC8B	TXD000-B/ SMOSI000-B/ SSDA000/ TXDA000/ SSITXD1	ET1_MDC- D/ CATSYNC0		IRQ20- DS	AN020	DSM0_C LK2-B/ PCOUTA 1

1.6.6 100 ピン LFQFP

表 1.10 機能別端子一覧 (100 ピン LFQFP) (1/7)

ピン 番号	電源 クロック システム 制御	I/Oポート	PIO	タイマ		通信		メモリ I/F カメラ I/F	割り込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンバ検出)
				(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
1		P003	PIO_003		GTCPP02/ GTIOC11B/ GTIOC8A	RXD007-A/ SMISO007-A/ SSCL007/ SSIRXD1	ET0_MDIO-D/ CAT0_MDIO-E		IRQ19- DS	AN019	DSM0_DAT1 -B/ PCOUTB0
2		P002	PIO_002	TMC11	GTCPP01/ GTIOC11A/ GTIOC7B	TXD007-A/ SMOSI007-A/ SSDA007/ TXDA007/ SSIBCK1	ET0_MDC-D/ CAT0_MDC-E		IRQ18- DS	AN018	DSM0_CLK 1-B/ PCOUTA0
3		P001	PIO_001	TMC10	GTCPP00/ GTIOC10B/ GTIOC7A	SCK007-A/ CTS007#/ TXDB007/ SSIBCK0	ET0_LINKST A/ CAT0_LINKS TA		IRQ17- DS	AN017	DSM0_DAT0 -B/ PCOUTZ0
4	VSS										
5	VCL										
6	RES#										
7	MD/ FINED	P315									
8		P312	PIO_060	RTCIC2	GTETRGD/ GTCPP015/ POEGA	SSL13-B/ SSILRCK0	ET1_WOL		IRQ20	ADTRG2 #	DSM0_DAT2 -C/TAMPI2
9		P311	PIO_059	RTCIC1	GTETRGC/ GTCPP014/ POEGD	CTS007#/ SSL12-B/ SSIRXD0	ET0_WOL		IRQ19	ADTRG1 #	DSM0_CLK 2-C/TAMPI1
10		P310	PIO_058	RTCIC0/ CACREF	GTETRGB/ GTCPP01/ POEGC	CTS000#/ CTS001#/ SSL11-B/ SSITXD0	ET1_INT/ CATIRQ		IRQ18	ADTRG0 #	TAMPI0
11	VBATT/ VCC										
12	XCIN/ EXCIN	P309									
13	XCOUT	P308									
14	VSS										
15	XTAL	P307									
16	EXTAL	P306									
17	VCC										
18		P305							NMI/ IRQ0		
19	VCC_US B										
20		PF01	PIO_049		GTCPP015	USB0_DM			IRQ1		
21		PF00	PIO_048		GTCPP014	USB0_DP			IRQ0		
22	VSS_US B										
23	ETHPHY CLK	P304	PIO_028	TMC13	GTETRGD/ GTCPP00/ POEGA	CTS000#/ CTS001#/ USB0_VBUS EN	ET0_INT/ CATRESTOU T		IRQ0- DS	ADTRG0 #	
24	TDI	P303	PIO_027	TMC12	GTCPP013	RXD000-A/ SMISO000-A/ SSCL000/ RXD001-A/ SMISO001-A/ SSCL001/ MISO1-C	ET1_CRS		IRQ1		

表 1.10 機能別端子一覧 (100ピンLFQFP) (2/7)

ピン 番号	電源 クロック システム 制御	I/Oポート	PIO	タイマ		通信		メモリ I/F カメラ I/F	割り込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンバ検出)
				(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
100 ピン LFQFP											
25	TDO	P302	PIO_026	TMRI3	GTCPP012	TXD000-A/ SMOSI000-A/ SSDA000/ TXDA000/ TXD001-A/ SMOSI001-A/ SSDA001/ TXDA001/ MOSI1-C	ET1_COL		IRQ4		
26	TCK/ SWCLK	P301	PIO_025	TMCi3	GTCPP011	SCK000-A/ CTS000#/ TXDB000/ SCK001-A/ CTS001#/ TXDB001/ RSPCK1-C	ET1_WOL		IRQ7		
27	TMS/ SWDIO	P300	PIO_024	TMO1	GTCPP010	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000/ CTS001#/ RTS001#/ SS001#/ DE001/ TXDB001/ SSL10-C	ET0_WOL		IRQ6		
28		P201	PIO_017	TMCi0	GTIW/ GTIOC3B/ GTIOC14B	MISO0-C/ SCLHS1-A/ USB0_EXICE N/SSILRCK0	ET0_RX_ER- B/ RMII0_RX_E R-B/ CAT0_RX_E R-B	SD0_CLK -C	IRQ9		PCINZ0
29		P200	PIO_016	TMRI0	GTETRG/ GTIOC3A/ GTIOC14A	MOSI0-C/ SDAHS1-A/ USB0_ID/ SSIRXD0	ET0_TX_EN- B/ RMII0_TX_E N-B/ CAT0_TX_EN -B	SD0_CM D-C	IRQ8	ADTRG2 #	PCINZ1
30		P107	PIO_015	TMO1	GTIV/ GTIOC15B/ POEGA	TXD003-B/ SMOSI003-B/ SSDA003/ TXDA003/ SDAHS2-A/ SSITXD0	ET0_TXD3-B/ CAT0_ETXD3 -B/ CATI2CDATA- B	SD0_DAT 3-C	IRQ31- DS	ADTRG1 #	PCINB1
31	CLKOUT	P106	PIO_014	TMO2/ RTCOUT	GTIU/ GTIOC15A/ POEGB	RXD003-B/ SMISO003-B/ SSCL003/ SCLHS2-A	ET0_TXD2-B/ CAT0_ETXD2 -B/ CATI2CCLK- B	SD0_DAT 2-C	IRQ30- DS	ADTRG0 #	PCINA1
32		P105	PIO_013	TMCi2	GTIV/ GTIOC14B	TXD002-B/ SMOSI002-B/ SSDA002/ TXDA002/ SCK003-B/ CTS003#/ TXDB003/ CRX2/ USB0_VBUS/ SSILRCK1	ET0_TXD1-B/ RMII0_TXD1- B/ CAT0_ETXD1 -B/ CATLED RUN		IRQ29- DS	ADST1	DSM0_DAT1 -C/PCINB0

表 1.10 機能別端子一覧 (100 ピン LQFP) (3/7)

ピン 番号	電源 クロック システム 制御	I/Oポート	PIO	タイマ		通信		メモリ I/F カメラ I/F	割り込み	A/D D/A	その他
				(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICH5, CANFD, USB, SSIE)	(ESWM, ESC)				(DSMIF, PDMIF, PCIF, タンバ検出)
33		P104	PIO_012	TMRI2	GTIW/ GTIOC14A	RXD002-B/ SMISO002-B/ SSCL002/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ CTX2/ USB0_OVRC URA-DS	ET0_TXD0-B/ RMII0_TXD0- B/ CAT0_ETXD0 -B/ CATLEDSTE R		IRQ4	ADST0	DSM0_CLK 1-C/PCINA0
34	VCL										
35	VSS										
36	VCC										
37		P103	PIO_011	TMO3	GTADSM1/ GTIOC13B	CTS002#/ SDA00-A	ET0_CRS/ CATI2CDATA- A		IRQ3		
38		P102	PIO_010	TMC11	GTADSM0/ GTIOC13A	SCL00-A	ET0_COL/ CATI2CCLK- A		IRQ2		
39		P101	PIO_009	TMC13	GTETRGC/ GTADSM1/ GTIOC12B	SCK002-B/ CTS002#/ TXDB002/ USB0_VBUS- DS	ET0_TX_CLK -B/ CAT0_TX_CL K-B/ CAT0_LINKS TA		IRQ1	ADTRG1 #	DSM0_DAT0 -C
40	VCC_DC DC										
41	VLO										
42	VSS_DC DC										
43	VSS										
44		PC06	PIO_030	TMC12	GTETRGC/ GTCPP07/ GTIOC15A/ POEGB	RXD008-A/ SMISO008-A/ SSCL008/ MOSI0-A/ SSILRCK0	ET0_TX_ER- A/ CATLINKACT 0	SD0_WP	IRQ13		PDMCLK0
45		PC05	PIO_029	TMRI2	GTOWLO/ GTIOC9B	SCK008-A/ CTS008#/ TXDB008/ RSPCK0-A/ SSIBCK0	ET0_TX_EN- A/ RMII0_TX_E N-A/ CAT0_TX_EN -A	SD0_DAT 1-A	IRQ5		PCOUTZ1
46		PC04	PIO_028	TMC11	GTOWUP/ GTIOC9A	CTS008#/ RTS008#/ SS008#/ DE008/ TXDB008/ CTS011#/ SSL00-A/ AUDIO_CLK	ET0_TXD3-A/ CAT0_ETXD3 -A	SD0_DAT 0-A	IRQ12		PCOUTB1
47		PC03	PIO_027		GTOVLO/ GTIOC8B	TXD011-A/ SMOSI011-A/ SSDA011/ TXDA011/ SDAHS1-C	ET0_TXD2-A/ CAT0_ETXD2 -A	SD0_CLK -A	IRQ11		PCOUTA1
48		PC02	PIO_026		GTOVUP/ GTIOC8A	RXD011-A/ SMISO011-A/ SSCL011/ SSL03-A/ SCLHS1-C	ET0_TXD1-A/ RMII0_TXD1- A/ CAT0_ETXD1 -A	SD0_CM D-A	IRQ10		PCOUTZ0

表 1.10 機能別端子一覧 (100ピンLFQFP) (4/7)

ピン 番号	電源 クロック システム 制御	I/Oポート	PIO	タイマ		通信		メモリ I/F カメラ I/F	割り込み	A/D D/A	その他
				(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				(DSMIF, PDMIF, PCIF, タンバ検出)
100 ピン LFQFP											
49		PC01	PIO_025		GTOULO/ GTIOC7B	SCK011-A/ CTS011#/ TXDB011/ SSL02-A/ SDA00-C	ET0_TXD0-A/ RMII0_TXD0- A/ CAT0_ETXD0 -A	SD0_DAT 3-A	IRQ12		PCOUTB0
50		PC00	PIO_024		GTOUUP/ GTIOC7A	CTS011#/ RTS011#/ SS011#/ DE011/ TXDB011/ SSL01-A/ SCL00-C	ET0_TX_CLK -A/ CAT0_TX_CL K-A	SD0_DAT 2-A	IRQ14		PCOUTA0
51		PB06	PIO_022		GTOUUP/ GTIOC6A		ET0_RX_ER- A/ RMII0_RX_E R-A/ CAT0_RX_E R-A		IRQ6		
52		PB05	PIO_021	TMRI1	GTOVLO/ GTIOC5B		ET0_RX_DV- A/ RMII0_CRS_ DV-A/ CAT0_RX_D V-A		IRQ13		
53		PB04	PIO_020		GTOVUP/ GTIOC5A	CTS004#	ET0_RX_CLK -A/ RMII0_REF50 CK-A/ CAT0_RX_CL K-A		IRQ4		
54		PB03	PIO_019	TMO0	GTOULO/ GTIOC4B	SCK004-A/ CTS004#/ TXDB004	ET0_RXD3-A/ CAT0_ERXD 3-A		IRQ3		
55		PB02	PIO_018		GTOUUP/ GTIOC4A	CTS004#/ RTS004#/ SS004#/ DE004/ TXDB004	ET0_RXD2-A/ CAT0_ERXD 2-A		IRQ2		
56		PB01	PIO_017	TMC10	GTETRGB/ GTCPP04/ GTIOC14B/ POEGA	TXD004-A/ SMOSI004-A/ SSDA004/ TXDA004	ET0_RXD1-A/ RMII0_RXD1- A/ CAT0_ERXD 1-A		IRQ4- DS		DSM0_DAT2 -A/PCINB1
57		PB00	PIO_016		GTETRGA/ GTADSM0/ GTIOC14A/ POEGC	RXD004-A/ SMISO004-A/ SSCL004	ET0_RXD0-A/ RMII0_RXD0- A/ CAT0_ERXD 0-A		IRQ12	ADST2	DSM0_CLK 2-A/PCINA1
58	ETHPHY CLK	PA07	PIO_015		GTIOC3B/ GTIOC13B	RXD010-A/ SMISO010-A/ SSCL010/ MISO0-B	ET1_TX_ER- A/ CATLINKACT 1		IRQ7		PCINB0
59		PA06	PIO_014	TMC13	GTIOC3A/ GTIOC13A	TXD010-A/ SMOSI010-A/ SSDA010/ TXDA010/ MOSI0-B	ET1_TXD3-A/ CAT1_ETXD3 -A		IRQ14		PCINZ1
60		PA05	PIO_013		GTIOC2B/ GTIOC12B	SCK010-A/ CTS010#/ TXDB010/ RSPCK0-B	ET1_TXD2-A/ CAT1_ETXD2 -A		IRQ5		PCINA0

表 1.10 機能別端子一覧 (100 ピン LFQFP) (5/7)

ピン 番号	電源 クロック システム 制御	I/Oポート	PIO	タイマ		通信		メモリ I/F カメラ I/F	割り込み	A/D D/A	その他
				(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
100 ピン LFQFP								(XSPI, SDHI)			(DSMIF, PDMIF, PCIF, タンバ検出)
61		PA04	PIO_012	TMRI0	GTIOC2A/ GTIOC12A	CTS010#/ RTS010#/ SS010#/ DE010/ TXDB010/ SSL00-B	ET1_TXD1-A/ RMII1_TXD1- A/ CAT1_ETXD1 -A		IRQ5- DS		PCINZ0
62	VCC										
63	VSS										
64	VCL										
65		PA03	PIO_011		GTIOC1B/ GTIOC11B	RXD005-A/ SMISO005-A/ SSCL005	ET1_TXD0-A/ RMII1_TXD0- A/ CAT1_ETXD0 -A		IRQ6- DS	ADSYNC	DSM0_DAT1 -A
66		PA02	PIO_010		GTIW/ GTIOC1A/ GTIOC11A	TXD005-A/ SMOSI005-A/ SSDA005/ TXDA005/ SSL03-B	ET1_TX_CLK -A/ CAT1_TX_CL K-A		IRQ10	ADCNV2	DSM0_CLK 1-A
67		PA01	PIO_009		GTIV/ GTIOC0B/ GTIOC10B	SCK005-A/ CTS005#/ TXDB005/ SSL02-B	ET1_TX_EN- A/ RMII1_TX_E N-A/ CAT1_TX_EN -A		IRQ11	ADCNV1	DSM0_DAT0 -A
68	ETHPHY CLK	PA00	PIO_008	CACREF	GTIU/ GTIOC0A/ GTIOC10A	CTS010#/ CTS005#/ RTS005#/ SS005#/ DE005/ TXDB005/ SSL01-B	CATIRQ		IRQ1- DS	ADCNV0	DSM0_CLK 0-A
69		PE06	PIO_046		GTETRGC/ GTADSM1/ GTIOC10A/ POEGB	SSL13-A	ET1_RX_CLK -D/ RMII1_REF50 CK-D/ CAT1_RX_CL K-D/ CATLEDERR	XSPI1_D S	IRQ6		
70		PE05	PIO_045		GTOWLO/ GTIOC9B	SSL12-A	ET1_RXD3- D/ CAT1_ERXD 3-D/ CATLEDRUN	XSPI1_IO 3	IRQ5		
71		PE04	PIO_044		GTOWUP/ GTIOC9A	CTS012#/ SSL11-A	ET1_RXD2- D/ CAT1_ERXD 2-D/ CATLEDSTE R	XSPI1_IO 2/ XSPI1_W P0#	IRQ12		
72		PE03	PIO_043	TOC3	GTOVLO/ GTIOC8B	CTS012#/ RTS012#/ SS012#/ DE012/ TXDB012/ MISO1-A	ET1_RXD1- D/ RMII1_RXD1- D/ CAT1_ERXD 1-D	SD0_DAT 7-B/ XSPI1_IO 1	IRQ11		
73		PE02	PIO_042	TIC3	GTOVUP/ GTIOC8A	RXD012-A/ SMISO012-A/ SSCL012/ MOSI1-A	ET1_RXD0- D/ RMII1_RXD0- D/ CAT1_ERXD 0-D	SD0_DAT 6-B/ XSPI1_IO 0	IRQ7- DS		

表 1.10 機能別端子一覧 (100ピンLQFP) (6/7)

ピン 番号	電源 クロック システム 制御	I/Oポート	PIO	タイマ		通信		メモリ I/F カメラ I/F	割り込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンバ検出)
				(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
100 ピン LQFP								(XSPI, SDHI)			
74	CLKOUT	PE01	PIO_041		GTOULO/ GTIOC7B	TXD012-A/ SMOSI012-A/ SSDA012/ TXDA012/ RSPCK1-A	ET1_RX_DV- D/ RMII1_CRS_ DV-D/ CAT1_RX_D V-D	SD0_DAT 5-B/ XSPI1_C K	IRQ9		
75	ETHPHY CLK	PE00	PIO_040		GTOUUP/ GTIOC7A	SCK012-A/ CTS012#/ TXDB012/ SSL10-A	ET1_RX_ER- D/ RMII1_RX_E R-D/ CAT1_RX_E R-D	SD0_DAT 4-B/ XSPI1_C KN#/ XSPI1_C S1#	IRQ8		
76		P601	PIO_009		GTIOC4B	RXD008-B/ SMISO008-B/ SSCL008/ RSPCK0-D	ET1_TX_EN- B/ RMII1_TX_E N-B/ GPTP_PTPO UT1/ CAT1_TX_EN -B/ CATSYNC1		IRQ1	ADTRG1 #	
77		P600	PIO_008		GTIOC4A	TXD008-B/ SMOSI008-B/ SSDA008/ TXDA008/ SSL00-D	ET1_TX_CLK -B/ GPTP_PTPO UT0/ CAT1_TX_CL K-B/ CATLATCH1		IRQ0	ADTRG0 #	
78		PD07	PIO_039		GTIW/ GTIOC3B/ POEGA	TXD003-A/ SMOSI003-A/ SSDA003/ TXDA003/ CTX1	ET1_LINKST A/ CAT1_LINKS TA	SD0_CD/ XSPI0_C S0#/ XSPI0_R ESET1#	IRQ7	AN031	
79		PD06	PIO_038		GTIV/ GTIOC3A/ POEGB	RXD003-A/ SMISO003-A/ SSCL003/ SSL23-A/ CRX1	ET1_RX_ER- B/ RMII1_RX_E R-B/ CAT1_RX_E R-B/ CATLEDERR	SD0_WP/ XSPI0_D S	IRQ6	AN030	
80		PD05	PIO_037		GTIU/ GTIOC2B/ POEGD	SCK003-A/ CTS003#/ TXDB003/ SSL22-A/ CTX0	ET1_RX_DV- B/ RMII1_CRS_ DV-B/ CAT1_RX_D V-B/ CATLEDSTE R	SD0_DAT 1-B/ XSPI0_IO 3	IRQ5	AN029	
81		PD04	PIO_036		GTETRGA/ GTIOC2A/ POEGC	CTS002#/ CTS003#/ RTS003#/ SS003#/ DE003/ TXDB003/ SSL21-A/ CRX0	ET1_RX_CLK -B/ RMII1_REF50 CK-B/ CAT1_RX_CL K-B/ CATLEDRUN	SD0_DAT 0-B/ XSPI0_IO 2/ XSPI0_W P0#	IRQ4	AN028	
82		PD03	PIO_035	TOC2	GTIOC1B/ POEGA	TXD002-A/ SMOSI002-A/ SSDA002/ TXDA002/ MISO2-A	ET1_RXD3-B/ CAT1_ERXD 3-B/ CAT0_MDIO- D	SD0_CLK -B/ XSPI0_IO 1	IRQ3	AN027	

表 1.10 機能別端子一覧 (100ピンLFQFP) (7/7)

ピン 番号	電源 クロック システム 制御	I/Oポート	PIO	タイマ		通信		メモリ I/F カメラ I/F	割り込み	A/D D/A	その他 (DSMIF、 PDMIF、 PCIF、 タンバ検出)
				(TMR, CMTW, RTC, CAC)	(GPTW, POEG)	(RSCI, RSPIA, RI3C, RIICHS, CANFD, USB, SSIE)	(ESWM, ESC)				
100 ピン LFQFP								(XSPI, SDHI)			
83		PD02	PIO_034	TIC2	GTETRGB/ GTIOC1A/ POEGB	RXD002-A/ SMISO002-A/ SSCL002/ MOSI2-A	ET1_RXD2-B/ CAT1_ERXD 2-B/ CAT0_MDC- D	SD0_CM D-B/ XSPIO_IO 0	IRQ2	AN026	
84		PD01	PIO_033		GTETRGC/ GTIOC0B/ POEGC	SCK002-A/ CTS002#/ TXDB002/ RSPCK2-A	ET1_RXD1-B/ RMII1_RXD1- B/ CAT1_ERXD 1-B/ CATSYNCO	SD0_DAT 3-B/ XSPIO_C K	IRQ1	AN025	
85		PD00	PIO_032		GTETRGD/ GTIOC0A/ POEGD	CTS002#/ RTS002#/ SS002#/ DE002/ TXDB002/ CTS003#/ SSL20-A	ET1_RXD0-B/ RMII1_RXD0- B/ CAT1_ERXD 0-B/ CATLATCH0	SD0_DAT 2-B/ XSPIO_C KN#/ XSPIO_C S1#	IRQ0	AN024	
86	VCC2										
87	VSS										
88	VCL										
89	AVCC0										
90	AVSS0										
91	VREFL0										
92	VREFH0										
93		P404	PIO_052						IRQ12- DS	AN004	
94		P402	PIO_050						IRQ10- DS	AN002	
95		P400	PIO_048						IRQ8- DS	AN000	
96		P414	PIO_062						IRQ30	AN014/ DA0	
97		P007	PIO_007		GTCPP06/ GTIOC13B/ POEGA	CTS000#/ RTS000#/ SS000#/ DE000/ TXDB000	ET1_INT/ CATIRQ		IRQ23- DS	ADTRG0 #/AN023	PDMDAT0
98		P006	PIO_006		GTCPP05/ GTIOC13A/ GTIOC9B	SCK000-B/ CTS000#/ TXDB000	ET1_LINKST A/ CAT1_LINKS TA		IRQ22- DS	ADTRG1 #/AN022	PDMCLK0/ PCOUTZ1
99		P005	PIO_005		GTCPP04/ GTIOC12B/ GTIOC9A	RXD000-B/ SMISO000-B/ SSCL000/ SSILRCK1	ET1_MDIO-D/ CATLATCH0		IRQ21- DS	ADTRG2 #/AN021	DSM0_DAT2 -B/ PCOUTB1
100		P004	PIO_004		GTCPP03/ GTIOC12A/ GTIOC8B	TXD000-B/ SMOSI000-B/ SSDA000/ TXDA000/ SSITXD1	ET1_MDC-D/ CATSYNCO		IRQ20- DS	AN020	DSM0_CLK 2-B/ PCOUTA1

2. 電気的特性

2.1 測定条件

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- $VCC = VCC_DCDC = VBATT = 1.62 \sim 3.63 \text{ V}$
- $VCC2 = 1.62 \sim 3.63 \text{ V}$
- $AVCC0 = 1.62 \sim 3.63 \text{ V}$
- $VCC_USB = VCC_USBHS = AVCC_USBHS = 3.0 \sim 3.6 \text{ V}$
- $VREFH00/VREFH01/VREFH02/VREFH0 = 1.62 \text{ V} \sim AVCC0$
- $VSS = VSS_DCDC = AVSS0 = VREFL00/VREFL01/VREFL02/VREFL0 = VSS_USB = VSS_USBHS = AVSS_USBHS = 0 \text{ V}$
- VCC 電圧が 2.7 V 未満のとき、LVOCR.LVO0E = 1、それ以外の場合は LVOCR.LVO0E = 0 に設定
- $T_j = T_{opj}$
- $V_{OH} = 0.7 \times VCC/VCC2$, $V_{OL} = 0.3 \times VCC/VCC2$
- $V_{IH} = 0.7 \times VCC/VCC2$, $V_{IL} = 0.3 \times VCC/VCC2$
- 負荷容量 C = 30 pF

2.1.1 最大値 / 最小値 (max/min)

特に指定のない限り最大値と最小値は、設計シミュレーション、特性評価結果、または量産選別テストのいずれかにより保証されます。

2.1.2 標準値 (typ)

特に記載のない限り、

- 室温 : 25°C
- $VCC/VCC2 = VCC_DCDC = VCC_USB = VBATT = VCC_USBHS = AVCC_USBHS = AVCC0 = VREFH00/VREFH01/VREFH02/VREFH0 = 3.3 \text{ V}$

で定義されます。

2.2 絶対最大定格

表 2.1 絶対最大定格

項目		記号	定格値	単位
電源電圧		VCC, VCC2, VCC_DCDC	-0.3 ~ +4.0	V
外部給電電圧		VCL	-0.3 ~ +1.2	V
VBATT 電源電圧		V _{BATT}	-0.3 ~ +4.0	V
USB 電源電圧		VCC_USB	-0.3 ~ +4.0	V
USBHS 電源電圧		VCC_USBHS	-0.3 ~ +4.0	V
USBHS アナログ電源電圧		AVCC_USBHS	-0.3 ~ +4.0	V
アナログ電源電圧		AVCC0	-0.3 ~ +4.0	V
リファレンス電源電圧		VREFH00, VREFH01, VREFH02, VREFH0	-0.3 ~ AVCC0 + 0.3	V
入力電圧 (5V トレラント対応 ポート以外)	P000 ~ P015, P108 ~ P115, P208 ~ P215, P300 ~ P307, P315, P500 ~ P515, P700 ~ P715, P800 ~ P807, PA00 ~ PA07, PB00 ~ PB07, PC00 ~ PC07, PE00 ~ PE07, PF02 ~ PF09, PG00 ~ PG15	V _{in}	-0.3 ~ VCC + 0.3	V
	P309	EXCIN (VCC 電源 選択時)	-0.3 ~ VCC + 0.3	
		EXCIN (VBATT 電源 選択時)	-0.3 ~ VBATT + 0.3	
		上記以外	-0.3 ~ VCC + 0.3	
	P310, P311, P312	RTCICn (n = 0 ~ 2)	-0.3 ~ +3.9	
		上記以外	-0.3 ~ VCC + 0.3 (最大 3.9)	
	P600 ~ P607, P900 ~ P907, PD00 ~ PD07		-0.3 ~ VCC2 + 0.3	
	P400 ~ P415		-0.3 ~ AVCC0 + 0.3	
	PF00, PF01		-0.3 ~ VCC_USB + 0.3	
	USBHS_DP, USBHS_DM		-0.3 ~ VCC_USBHS + 0.3	
入力電圧 (5V トレラント対応 ポート)	P100 ~ P107, P200 ~ P207	V _{in}	-0.3 ~ VCC + 3.6 (最大 5.8)	V
アナログ入力電圧	P400 ~ P415	V _{AN}	-0.3 ~ AVCC0 + 0.3	V
	P000 ~ P007	AVCC0 ≤ VCC	-0.3 ~ AVCC0 + 0.3	
		VCC < AVCC0	-0.3 ~ VCC + 0.3	
	P900 ~ P903, PD00 ~ PD07	AVCC0 ≤ VCC2	-0.3 ~ AVCC0 + 0.3	
		VCC2 < AVCC0	-0.3 ~ VCC2 + 0.3	
ジャンクション温度		T _j	-40 ~ +125	°C
保存温度		T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

2.3 推奨動作条件

表 2.2 推奨動作条件 (1)

項目			記号	min	typ	max	単位
電源電圧	ESWM、SDRAM使用時以外		VCC, VCC_DCDC	1.62	—	3.63	V
	ESWM使用時			2.30	—	3.63	
	SDRAM使用時			3.00	—	3.63	
	ESWM、SDRAM使用時以外		VCC2	1.62	—	3.63	
	ESWM使用時 (注1)			2.30	—	3.63	
	SDRAM使用時 (注2)			3.00	—	3.63	
	外部電源使用時 (注3)	電圧範囲1	VCL	0.920	0.950	0.990	
		電圧範囲2		0.870	0.925	0.990	
	DCDC使用時	VSCR_1		—	0.950	—	
		VSCR_2		—	0.925	—	
		SVSCR_1		—	0.950	—	
		SVSCR_2		—	0.925	—	
		SVSCR_3		—	0.825	—	
		SVSCR_4		—	0.765	—	
		SVSCR_5		—	0.715	—	
		VSS, VSS_DCDC		—	0	—	
VBATT 電源電圧			V _{BATT}	1.62	—	3.63	V
USB 電源電圧	USB 未使用時		VCC_USB, VCC_USBHS, AVCC_USBHS	1.62	—	3.63	V
	USB 使用時			3.00	—	3.60	
				VSS_USB, VSS_USBHS, AVSS_USBHS	—	0	—
アナログ電源電圧	下記以外		AVCC0 (注4)	1.62	—	3.63	V
	サンプル&ホールド使用時			2.70	—	3.63	
				AVSS0	—	0	—

注 1. VCC2 電源の ESWM 端子を使用しないときは、ESWM 使用時以外の電圧条件になります。

注 2. VCC2 電源の SDRAM 端子を使用しないときは、SDRAM 使用時以外の電圧条件になります。

注 3. VCL 電圧は、VCC 電圧以下としてください。

注 4. A/D コンバータ、D/A コンバータ、コンパレータ未使用時は、AVCC0 と VREFH0 は VCC に、AVSS0 と VREFL は VSS に接続してください。

表 2.3 推奨動作条件 (2)

項目	パッケージ種	記号	規格値	必要個数
内部電源安定用平滑コンデンサ容量	BGA320	C _{VCL}	0.22 μ F $\pm$ 30%	9 個以上
	BGA224			
	BGA176			
	LQFP176			
	LQFP144		0.47 μ F $\pm$ 30%	9 個
	LQFP100			8 個
				4 個

注. 静電容量の公称値が 0.22 μ F ないし 0.47 μ F、静電容量許容差が $\pm$ 30% 以内の積層セラミックコンデンサを使用してください。

2.4 DC 特性

2.4.1 I/O 入力電圧特性

表 2.4 I/O 入力電圧特性 (V_{IH}/V_{IL}) (1 / 2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	記号	min	typ	max	単位
High/Low レベル 入力電圧 (シュミットトリガ 入力端子を除く)	EXTAL (外部クロック入力 を除く)	1.62 V 以上	V_{IH}	$0.8 \times VCC$	—	—	V
			V_{IL}	—	—	$0.2 \times VCC$	
	RSPI (RSPCK を除く) (注1)	1.62 V 以上	V_{IH}	$0.8 \times VCC$	—	—	
			V_{IL}	—	—	$0.2 \times VCC$	
			V_{IH}	$0.8 \times VCC2$	—	—	
			V_{IL}	—	—	$0.2 \times VCC2$	
	XSPI (注2)	2.70 V 以上	V_{IH}	$0.8 \times VCC$	—	—	
			V_{IL}	—	—	$0.2 \times VCC$	
			V_{IH}	$0.8 \times VCC2$	—	—	
			V_{IL}	—	—	$0.2 \times VCC2$	
		1.70 V ~ 1.95 V	V_{IH}	$0.7 \times VCC$	—	—	
			V_{IL}	—	—	$0.3 \times VCC$	
			V_{IH}	$0.7 \times VCC2$	—	—	
			V_{IL}	—	—	$0.3 \times VCC2$	
	SDHI	2.70 V 以上	V_{IH}	$0.625 \times VCC$	—	—	
			V_{IL}	—	—	$0.25 \times VCC$	
			V_{IH}	$0.625 \times VCC2$	—	—	
			V_{IL}	—	—	$0.25 \times VCC2$	
		1.70 V ~ 1.95 V	V_{IH}	1.27	—	2	
			V_{IL}	—	—	0.58	
	MMC	2.70 V 以上	V_{IH}	$0.625 \times VCC$	—	—	
			V_{IL}	—	—	$0.25 \times VCC$	
			V_{IH}	$0.625 \times VCC2$	—	—	
			V_{IL}	—	—	$0.25 \times VCC2$	
		1.70 V ~ 1.95 V	V_{IH}	$0.65 \times VCC$	—	—	
			V_{IL}	—	—	$0.35 \times VCC$	
			V_{IH}	$0.65 \times VCC2$	—	—	
			V_{IL}	—	—	$0.35 \times VCC2$	
	D0 ~ D31, BREQ#, WAIT#	3.00 V 以上	V_{IH}	$0.7 \times VCC$	—	—	
			V_{IL}	—	—	$0.3 \times VCC$	
			V_{IH}	$0.7 \times VCC2$	—	—	
			V_{IL}	—	—	$0.3 \times VCC2$	
	RIICHS (SMBus) (注3)	2.70 V 以上	V_{IH}	2.3	—	—	
			V_{IL}	—	—	0.8	
	RI3C (SMBus) (注4)	2.70 V 以上	V_{IH}	2.3	—	—	
			V_{IL}	—	—	0.8	
	ESWM (MII (注5)), ESWM (RMII (注6)), ESC (注7)	2.70 V ~ 3.60 V	V_{IH}	2.3	—	—	
			V_{IL}	—	—	$0.2 \times VCC$	
			V_{IH}	2.3	—	—	
			V_{IL}	—	—	$0.2 \times VCC2$	
	ESWM (GMII (注8)), ESWM (RGMII (注9))	3.00 V ~ 3.60 V	V_{IH}	2	—	—	
			V_{IL}	—	—	0.8	
		2.30 V ~ 2.70 V	V_{IH}	1.7	—	—	
			V_{IL}	—	—	0.7	

表 2.4 I/O入力電圧特性(V_{IH}/V_{IL}) (2 / 2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	記号	min	typ	max	単位
High/Low レベル 入力電圧 (シュミットトリガ 入力端子を除く)	ESWM (注10), ESC (注11)	2.30 V ~ 3.60 V	V_{IH}	$0.7 \times VCC$	—	—	V
			V_{IL}	—	—	$0.3 \times VCC$	
			V_{IH}	$0.7 \times VCC2$	—	—	
			V_{IL}	—	—	$0.3 \times VCC2$	
	RTCIC0, RTCIC1, RTCIC2 (VCC 電源選択時)	1.62 V 以上	V_{IH}	0.9	—	—	
			V_{IL}	—	—	0.3	
	RTCIC0, RTCIC1, RTCIC2 (VBATT 電源選択時)		V_{IH}	0.9	—	—	
			V_{IL}	—	—	0.3	
	EXCIN (VCC 電源選択時)	1.62 V 以上	V_{IH}	0.9	—	—	
			V_{IL}	—	—	0.3	
	EXCIN (VBATT 電源選択時)		V_{IH}	0.9	—	—	
			V_{IL}	—	—	0.3	
シュミットトリガ 入力電圧 (周辺機能端子)	RIICHS (SMBus を除く) (注3)	1.62 V 以上	V_{IH}	$0.7 \times VCC$	—	—	V
			V_{IL}	—	—	$0.3 \times VCC$	
			ΔV_T	$0.05 \times VCC$	—	—	
	RI3C (I3C モード) (注4)	1.65 V ~ 1.95 V 2.97 V ~ 3.63 V	V_{IH}	$0.7 \times VCC$	—	—	
			V_{IL}	—	—	$0.3 \times VCC$	
			ΔV_T	$0.1 \times VCC$	—	—	
	RI3C (SMBus を除く I2C モード) (注4)	1.62 V 以上	V_{IH}	$0.7 \times VCC$	—	—	
			V_{IL}	—	—	$0.3 \times VCC$	
			ΔV_T	$0.1 \times VCC$	—	—	
	5Vトレラント端子 (注12)	1.62 V 以上	V_{IH}	$0.8 \times VCC$	—	—	
			V_{IL}	—	—	$0.2 \times VCC$	
			ΔV_T	$0.05 \times VCC$	—	—	
	その他の端子 (VCC 電源)	1.62 V 以上	V_{IH}	$0.8 \times VCC$	—	—	
			V_{IL}	—	—	$0.2 \times VCC$	
			ΔV_T	$0.05 \times VCC$	—	—	
	その他の端子 (VCC2 電源)	1.62 V 以上	V_{IH}	$0.8 \times VCC2$	—	—	
			V_{IL}	—	—	$0.2 \times VCC2$	
			ΔV_T	$0.05 \times VCC2$	—	—	
	その他の端子 (AVCC0 電源)	1.62 V 以上	V_{IH}	$0.8 \times AVCC0$	—	—	
			V_{IL}	—	—	$0.2 \times AVCC0$	
			ΔV_T	$0.05 \times AVCC0$	—	—	
	その他の端子 (VCC_USB 電 源)	1.62 V 以上	V_{IH}	$0.8 \times VCC_USB$	—	—	
			V_{IL}	—	—	$0.2 \times VCC_USB$	
			ΔV_T	$0.05 \times VCC_USB$	—	—	
シュミットトリガ 入力電圧 (ポート)	5Vトレラント端子 (注12)	1.62 V 以上	V_{IH}	$0.8 \times VCC$	—	—	V
			V_{IL}	—	—	$0.2 \times VCC$	
	その他の端子 (VCC 電源)	1.62 V 以上	V_{IH}	$0.8 \times VCC$	—	—	
			V_{IL}	—	—	$0.2 \times VCC$	
	その他の端子 (VCC2 電源)	1.62 V 以上	V_{IH}	$0.8 \times VCC2$	—	—	
			V_{IL}	—	—	$0.2 \times VCC2$	
	その他の端子 (AVCC0 電源)	1.62 V 以上	V_{IH}	$0.8 \times AVCC0$	—	—	
			V_{IL}	—	—	$0.2 \times AVCC0$	
	その他の端子 (VCC_USB 電 源)	1.62 V 以上	V_{IH}	$0.8 \times VCC_USB$	—	—	
			V_{IL}	—	—	$0.2 \times VCC_USB$	
	その他の端子 (VBATT 電源)	1.62 V 以上	V_{IH}	$0.8 \times VCC$	—	VCC	
			V_{IL}	—	—	$0.2 \times VCC$	

注1. MOSIn, MISO_n, SSIn₀ (n = A, B, C)注2. XSPIn_IO_x, XSPIn_DS, XSPIn_CK, XSPIn_CS_{0#} (n = 0, 1, x = 0 ~ 7)

- 注3. SDAHSn-A, SCLHSn-A (n = 1, 2)
- 注4. SDA00-A, SCL00-A
- 注5. ETn_RX_CLK, ETn_RX_DV, ETn_RXD0, ETn_RXD1, ETn_RXD2, ETn_RXD3, ETn_RX_ER, ETn_TX_CLK, ETn_CRS, ETn_COL (n = 0, 1)
- 注6. RMIIIn_REF50CK, RMIIIn_CRS_DV, RMIIIn_RXD0, RMIIIn_RXD1, RMIIIn_RX_ER (n = 0, 1)
- 注7. CATn_RX_CLK, CATn_RX_DV, CATn_ERXD0, CATn_ERXD1, CATn_ERXD2, CATn_ERXD3, CATn_RX_ER, CATn_TX_CLK (n = 0, 1)
- 注8. ETn_RX_CLK-A, ETn_RX_DV-A, ETn_RX_ER-A, ETn_RXD0-A, ETn_RXD1-A, ETn_RXD2-A, ETn_RXD3-A, ETn_RXD4-A, ETn_RXD5-A, ETn_RXD6-A, ETn_RXD7-A, ETn_TX_CLK-A (n = 0, 1)
- 注9. RGMIIIn_RX_CTL-A, RGMIIIn_RXC-A, RGMIIIn_RXD0-A, RGMIIIn_RXD1-A, RGMIIIn_RXD2-A, RGMIIIn_RXD3-A (n = 0, 1)
- 注10. GPTP_CAPTUREn, ETn_LINKSTA, ETn_MDIO, ETn_INT (n = 0, 1)
- 注11. CATn_LINKSTA, CAT0_MDIO, CATI2CDATA, CATLATCHn (n = 0, 1)
- 注12. P100～P107、P200～P207は、5Vトレラント対応です。

2.4.2 I/O 出力電圧特性

表 2.5 I/O 出力電圧特性 (V_{OH}/V_{OL}) (1 / 3)

項目		VCC/VCC2/ AVCC0/ VCC_USB	記号	min	typ	max	単位	測定条件	
High レベル 出力電圧	RI3C (注1)	2.97 V ~ 3.63 V	V _{OH}	VCC – 0.27	—	—	V	I _{OH} = 3.0 mA (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)	
		1.65 V ~ 1.95 V		VCC – 0.27	—	—			
	ESWM	2.70 V ~ 3.60 V	V _{OH}	VCC – 0.5	—	—	V	I _{OH} = –1.0 mA	
				VCC2 – 0.5	—	—			
		2.30 V ~ 2.70 V		2	—	—			
	SDHI	2.70 V以上	V _{OH}	0.75 × VCC	—	—	V	I _{OH} = –2.0 mA	
				0.75 × VCC2	—	—			
		1.70 V ~ 1.95 V		1.4	—	—			
	MMC	2.70 V以上	V _{OH}	0.75 × VCC	—	—	V	I _{OH} = –0.1 mA	
				0.75 × VCC2	—	—		I _{OH} = –2.0 mA	
				VCC – 0.45	—	—			
		1.70 V ~ 1.95 V		VCC2 – 0.45	—	—			
	その他の出力端子		V _{OH}	VCC – 0.5	—	—	V	I _{OH} = –1.0 mA	
				VCC2 – 0.5	—	—			
				AVCC0 – 0.5	—	—			
				VCC_USB – 0.5	—	—			
Low レベル 出力電圧	RIICHS 出力端子 (注2)	2.70 V 以上	V _{OL}	—	—	0.4	V	I _{OL} = 3 mA (ICFER.FMPE = 0, ICFER.HSME = 0)	
				—	—	0.6		I _{OL} = 6 mA (ICFER.FMPE = 0, ICFER.HSME = 0)	
				—	—	0.4		I _{OL} = 15.0 mA (ICFER.FMPE = 1)	
				—	0.4	—		I _{OL} = 20.0 mA (ICFER.FMPE = 1)	
				—	—	0.2 × VCC		I _{OL} = 2 mA (ICFER.FMPE = 0, ICFER.HSME = 0)	
				—	—	0.4		I _{OL} = 3 mA (ICFER.FMPE = 0, ICFER.HSME = 0)	
				—	—	0.4		I _{OL} = 15.0 mA (ICFER.FMPE = 1, ICFER.HSME = 0)	
				—	0.4	—		I _{OL} = 20.0 mA (ICFER.FMPE = 1, ICFER.HSME = 0)	
		1.62 V ~ 1.95 V		—	—	0.2 × VCC		I _{OL} = 3 mA (ICFER.FMPE = 0, ICFER.HSME = 1)	
				—	—	—		—	
				—	—	—		—	
				—	—	—		—	

表 2.5 I/O 出力電圧特性 (V_{OH}/V_{OL}) (2 / 3)

項目		VCC/VCC2/ AVCC0/ VCC_USB	記号	min	typ	max	単位	測定条件				
Low レベル 出力電圧	RI3C (注1)	2.97 V 以上	V _{OL}	—	—	0.4	V	I _{OL} = 3.0 mA (ICMR.OMS = 1, ICFER.FMPE = 0, ICFER.HSME = 1)				
				—	—	0.27		I _{OL} = 3.0 mA (ICMR.OMS = 0, ICFER.FMPE = 0, ICFER.HSME = 0)				
		2.70 V 以上		—	—	0.4		I _{OL} = 3.0 mA (ICMR.OMS = 1, ICFER.FMPE = 0, ICFER.HSME = 0)				
				—	—	0.6		I _{OL} = 6.0 mA (ICMR.OMS = 1, ICFER.FMPE = 0, ICFER.HSME = 0)				
				—	—	0.4		I _{OL} = 15.0 mA (ICMR.OMS = 1, ICFER.FMPE = 1, ICFER.HSME = 0)				
				—	0.4	—		I _{OL} = 20.0 mA (ICMR.OMS = 1, ICFER.FMPE = 1, ICFER.HSME = 0)				
				1.62 V ~ 1.95 V	—	—		0.2 × VCC	I _{OL} = 2.0 mA (ICMR.OMS = 1, ICFER.FMPE = 0, ICFER.HSME = 0)			
					—	—		0.4	I _{OL} = 3.0 mA (ICMR.OMS = 1, ICFER.FMPE = 0, ICFER.HSME = 0)			
					—	—		0.6	I _{OL} = 6.0 mA (ICMR.OMS = 1, ICFER.FMPE = 0, ICFER.HSME = 0)			
					—	—		0.2 × VCC	I _{OL} = 2.0 mA (ICMR.OMS = 1, ICFER.FMPE = 1, ICFER.HSME = 0)			
					—	—		0.4	I _{OL} = 15.0 mA (ICMR.OMS = 1, ICFER.FMPE = 1, ICFER.HSME = 0)			
					—	0.4		—	I _{OL} = 20.0 mA (ICMR.OMS = 1, ICFER.FMPE = 1, ICFER.HSME = 0)			
		1.65 V ~ 1.95 V		—	—	0.2 × VCC		I _{OL} = 3.0 mA (ICMR.OMS = 1, ICFER.FMPE = 0, ICFER.HSME = 1)				
				—	—	0.27		I _{OL} = 3.0 mA (ICMR.OMS = 0, ICFER.FMPE = 0, ICFER.HSME = 0)				
				ESWM		V _{OL}		—	—	0.4	V	I _{OL} = 1.0 mA

表 2.5 I/O 出力電圧特性 (V_{OH}/V_{OL}) (3 / 3)

項目		VCC/VCC2/ AVCC0/ VCC_USB	記号	min	typ	max	単位	測定条件
Low レベル 出力電圧	SDHI	2.70 V 以上	V_{OL}	—	—	$0.125 \times VCC$	V	$I_{OL} = 2.0 \text{ mA}$
				—	—	$0.125 \times VCC2$		
		1.70 V ~ 1.95 V		—	—	0.45		$I_{OL} = 2.0 \text{ mA}$
	MMC	2.70 V 以上	V_{OL}	—	—	$0.125 \times VCC$	V	$I_{OL} = 0.1 \text{ mA}$
				—	—	$0.125 \times VCC2$		$I_{OL} = 0.1 \text{ mA}$
		1.70 V ~ 1.95 V		—	—	0.45		$I_{OL} = 2.0 \text{ mA}$
	その他の出力端子		V_{OL}	—	—	0.5	V	$I_{OL} = 1.0 \text{ mA}$
				—	—	0.5		
				—	—	0.5		
				—	—	0.5		

注 1. SDA00-A, SCL00-A

注 2. SCLHS1-A, SDAHS1-A, SCLHS2-A, SDAHS2-A

表 2.6 I/O 出力電圧特性 2 (V_{OH}/V_{OL}) (1 / 3)

項目		電源電圧	記号	min	typ	max	単位	測定条件
High レベル出力電圧	DRV1 (注1)	3.3 V	V_{OH}	—	3.15	—	V	$I_{OH} = -1 \text{ mA}$
				—	3.00	—		$I_{OH} = -2 \text{ mA}$
				—	2.70	—		$I_{OH} = -4 \text{ mA}$
				—	2.10	—		$I_{OH} = -8 \text{ mA}$
				—	1.05	—		$I_{OH} = -15 \text{ mA}$
				—	—	—		—
	DRV2 (注1)	3.3 V	V_{OH}	—	3.23	—	V	$I_{OH} = -1 \text{ mA}$
				—	3.15	—		$I_{OH} = -2 \text{ mA}$
				—	3.00	—		$I_{OH} = -4 \text{ mA}$
				—	2.70	—		$I_{OH} = -8 \text{ mA}$
				—	2.18	—		$I_{OH} = -15 \text{ mA}$
				—	—	—		—
	DRV3 (注1)	3.3 V	V_{OH}	—	3.25	—	V	$I_{OH} = -1 \text{ mA}$
				—	3.20	—		$I_{OH} = -2 \text{ mA}$
				—	3.10	—		$I_{OH} = -4 \text{ mA}$
				—	2.90	—		$I_{OH} = -8 \text{ mA}$
				—	2.55	—		$I_{OH} = -15 \text{ mA}$
				—	—	—		—
	DRV4 (注1)	3.3 V	V_{OH}	—	3.27	—	V	$I_{OH} = -1 \text{ mA}$
				—	3.24	—		$I_{OH} = -2 \text{ mA}$
				—	3.18	—		$I_{OH} = -4 \text{ mA}$
				—	3.06	—		$I_{OH} = -8 \text{ mA}$
				—	2.85	—		$I_{OH} = -15 \text{ mA}$
				—	—	—		—
		1.8 V	V_{OH}	—	1.75	—	V	$I_{OH} = -1 \text{ mA}$
				—	1.70	—		$I_{OH} = -2 \text{ mA}$
				—	1.60	—		$I_{OH} = -4 \text{ mA}$
				—	1.40	—		$I_{OH} = -8 \text{ mA}$
				—	1.05	—		$I_{OH} = -15 \text{ mA}$
				—	—	—		—
	DRV5 (注1)	3.3 V	V_{OH}	—	3.26	—	V	$I_{OH} = -1 \text{ mA}$
				—	3.23	—		$I_{OH} = -2 \text{ mA}$
				—	3.16	—		$I_{OH} = -4 \text{ mA}$
				—	3.01	—		$I_{OH} = -8 \text{ mA}$
				—	2.76	—		$I_{OH} = -15 \text{ mA}$
				—	—	—		—
	DRV6 (注1)	3.3 V	V_{OH}	—	3.28	—	V	$I_{OH} = -1 \text{ mA}$
				—	3.25	—		$I_{OH} = -2 \text{ mA}$
				—	3.20	—		$I_{OH} = -4 \text{ mA}$
				—	3.11	—		$I_{OH} = -8 \text{ mA}$
				—	2.94	—		$I_{OH} = -15 \text{ mA}$

表 2.6 I/O 出力電圧特性 2 (V_{OH}/V_{OL}) (2 / 3)

項目		電源電圧	記号	min	typ	max	単位	測定条件	
High レベル出力電圧	DRV7 (注1)	3.3 V	V _{OH}	—	3.28	—	V	I _{OH} = -1 mA	
				—	3.26	—		I _{OH} = -2 mA	
				—	3.22	—		I _{OH} = -4 mA	
				—	3.14	—		I _{OH} = -8 mA	
				—	3.00	—		I _{OH} = -15 mA	
		2.5 V		—	2.45	—	V	I _{OH} = -1 mA	
				—	2.40	—		I _{OH} = -2 mA	
				—	2.30	—		I _{OH} = -4 mA	
				—	2.10	—		I _{OH} = -8 mA	
				—	1.75	—		I _{OH} = -15 mA	
	DRV8 (注1)	3.3 V	V _{OH}	—	3.28	—	V	I _{OH} = -1 mA	
				—	3.25	—		I _{OH} = -2 mA	
				—	3.20	—		I _{OH} = -4 mA	
				—	3.11	—		I _{OH} = -8 mA	
				—	2.94	—		I _{OH} = -15 mA	
		1.8 V		—	1.79	—	V	I _{OH} = -1 mA	
				—	1.77	—		I _{OH} = -2 mA	
				—	1.75	—		I _{OH} = -4 mA	
				—	1.70	—		I _{OH} = -8 mA	
				—	1.61	—		I _{OH} = -15 mA	
Low レベル出力電圧	DRV1 (注1)	3.3 V	V _{OL}	—	0.15	—	V	I _{OL} = 1 mA	
				—	0.30	—		I _{OL} = 2 mA	
				—	0.60	—		I _{OL} = 4 mA	
				—	1.20	—		I _{OL} = 8 mA	
				—	2.25	—		I _{OL} = 15 mA	
				—	0.08	—		V	I _{OL} = 1 mA
	DRV2 (注1)	3.3 V	V _{OL}	—	0.15	—	I _{OL} = 2 mA		
				—	0.30	—	I _{OL} = 4 mA		
				—	0.60	—	I _{OL} = 8 mA		
				—	1.13	—	I _{OL} = 15 mA		
				—	0.05	—	V	I _{OL} = 1 mA	
	DRV3 (注1)	3.3 V	V _{OL}	—	0.10	—		I _{OL} = 2 mA	
				—	0.20	—		I _{OL} = 4 mA	
				—	0.40	—		I _{OL} = 8 mA	
				—	0.75	—		I _{OL} = 15 mA	
				DRV4 (注1)	3.3 V	V _{OL}	—	0.03	—
	—	0.06	—				I _{OL} = 2 mA		
	—	0.12	—				I _{OL} = 4 mA		
	—	0.24	—				I _{OL} = 8 mA		
	—	0.45	—				I _{OL} = 15 mA		
	1.8 V		—		0.05		—	V	I _{OL} = 1 mA
			—		0.10		—		I _{OL} = 2 mA
			—		0.20		—		I _{OL} = 4 mA
			—		0.40		—		I _{OL} = 8 mA
			—		0.75		—		I _{OL} = 15 mA
	DRV5 (注1)	3.3 V	V _{OL}	—	0.04	—	V	I _{OL} = 1 mA	
				—	0.07	—		I _{OL} = 2 mA	
				—	0.14	—		I _{OL} = 4 mA	
				—	0.29	—		I _{OL} = 8 mA	
				—	0.54	—		I _{OL} = 15 mA	

表 2.6 I/O 出力電圧特性 2 (V_{OH}/V_{OL}) (3 / 3)

項目		電源電圧	記号	min	typ	max	単位	測定条件
Low レベル出力電圧	DRV6 (注1)	3.3 V	V_{OL}	—	0.02	—	V	$I_{OL} = 1 \text{ mA}$
				—	0.05	—		$I_{OL} = 2 \text{ mA}$
				—	0.10	—		$I_{OL} = 4 \text{ mA}$
				—	0.19	—		$I_{OL} = 8 \text{ mA}$
				—	0.36	—		$I_{OL} = 15 \text{ mA}$
				—	0.02	—		$I_{OL} = 1 \text{ mA}$
	DRV7 (注1)	3.3 V	V_{OL}	—	0.02	—	V	$I_{OL} = 1 \text{ mA}$
				—	0.04	—		$I_{OL} = 2 \text{ mA}$
				—	0.08	—		$I_{OL} = 4 \text{ mA}$
				—	0.16	—		$I_{OL} = 8 \text{ mA}$
				—	0.30	—		$I_{OL} = 15 \text{ mA}$
		2.5 V	V_{OL}	—	0.05	—		$I_{OL} = 1 \text{ mA}$
				—	0.10	—		$I_{OL} = 2 \text{ mA}$
				—	0.20	—		$I_{OL} = 4 \text{ mA}$
				—	0.40	—		$I_{OL} = 8 \text{ mA}$
				—	0.75	—		$I_{OL} = 15 \text{ mA}$
		1.8 V	V_{OL}	—	0.01	—		$I_{OL} = 1 \text{ mA}$
				—	0.03	—		$I_{OL} = 2 \text{ mA}$
				—	0.05	—		$I_{OL} = 4 \text{ mA}$
				—	0.10	—		$I_{OL} = 8 \text{ mA}$
				—	0.20	—		$I_{OL} = 15 \text{ mA}$
	DRV8 (注1)	3.3 V	V_{OL}	—	0.02	—	V	$I_{OL} = 1 \text{ mA}$
				—	0.05	—		$I_{OL} = 2 \text{ mA}$
				—	0.10	—		$I_{OL} = 4 \text{ mA}$
				—	0.19	—		$I_{OL} = 8 \text{ mA}$
				—	0.36	—		$I_{OL} = 15 \text{ mA}$
		1.8 V	V_{OL}	—	0.01	—		$I_{OL} = 1 \text{ mA}$
				—	0.03	—		$I_{OL} = 2 \text{ mA}$
				—	0.05	—		$I_{OL} = 4 \text{ mA}$
				—	0.10	—		$I_{OL} = 8 \text{ mA}$
				—	0.20	—		$I_{OL} = 15 \text{ mA}$

注1. 駆動能力制御ビット (PmnPFS.DSCR[3:0] ビット) の設定値

2.4.3 その他の I/O 特性

表 2.7 その他の I/O 特性

項目	電源電圧	記号	min	typ	max	単位	測定条件
入力リーク電流	RES# 端子	$ I_{in} $	—	—	5	μA	$V_{in} = 0 V, V_{in} = 5.5 V$
	NMI, XCIN, XCOUT 端子		—	—	1		$V_{in} = 0 V, V_{in} = VCC$
スリープ状態リーク電流 (オフ状態)	5V トレラント対応ポート以外	$ I_{TSI} $	—	—	1	μA	$V_{in} = 0 V, V_{in} = VCC, VCC2, AVCC0, VCC_USB$
	5V トレラント対応ポート (注1)		—	—	5		$V_{in} = 0 V, V_{in} = 5.5 V$
入力プルアップ抵抗電流 (注2)	2.7 V 以上	I_p	-300	—	-10	μA	$VCC, VCC2, AVCC0, VCC_USB = 2.7 \sim 3.63 V, V_{in} = 0 V$
	1.62 V 以上		-300	—	-5		$VCC, VCC2, AVCC0, VCC_USB = 1.62 \sim 3.63 V, V_{in} = 0 V$
入力容量	P414, P415	C_{in}	—	—	16	pF	$V_{bias} = 0 V, V_{amp} = 20 mV, f = 1 MHz, T_a = 25^\circ C$
	PF00, PF01, USB_DP, USB_DM		—	—	12		
	P102, P103, P106, P107, P200, P201		—	—	10		
	USBHS_DP, USBHS_DM		—	—	10		
	その他の入力端子		—	—	8		

注1. P100～P107, P200～P207

注2. USB_DP、USB_DM、USBHS_DP、USBHS_DM、SDA00-A、SCL00-A、SDAHSn-A、SCLHSn-A (n = 1, 2) を除く

2.4.4 動作電流とスタンバイ電流

動作電流とスタンバイ電流は、型名によって特性が異なります。

型名が R5K574Mxy4xx (y = A, B, C, D, T, U, V, W) の電流特性については、「2.4.4.1 動作電流とスタンバイ電流 (型名が R5K574Mxy4xx (y = A, B, C, D, T, U, V, W) の場合)」を参照してください。

型名が R5K574Mxy4xx (y = E, F) の電流特性については、「2.4.4.2 動作電流とスタンバイ電流 (型名が R5K574Mxy4xx (y = E, F) の場合)」を参照してください。

また、特に指定のない限り、すべての出力端子は無負荷状態、かつすべての入力プルアップ抵抗を無効にした状態で計測しています。

BGO 動作分の消費電流は含まれません。VCC 電流には、VCC2 電源電流が含まれます。

動作時の周波数は、表 2.8 の設定に従って測定しています。

表 2.8 各クロックの周波数設定

項目	ICLK	MRICKL	MRPCLK	BCLK	PCLKA	PCLKB, PCLKC	PCLKD	PCLKE	単位
周辺クロック供給停止時 (注1)	周波数設定 1 (CPUCLK0 = 600 MHz)	300	300	150	停止	停止	停止	停止	MHz
	周波数設定 2 (CPUCLK0 = 480 MHz)	240	240	120	停止	停止	停止	停止	
	周波数設定 3 (CPUCLK0 = 300 MHz)	300	300	150	停止	停止	停止	停止	
上記以外	周波数設定 1 (CPUCLK0 = 600 MHz)	300	300	150	150	150	75	150	300
	周波数設定 2 (CPUCLK0 = 480 MHz)	240	240	120	120	120	60	120	240
	周波数設定 3 (CPUCLK0 = 300 MHz)	300	300	150	150	150	75	150	300

注1. 周辺クロック供給停止時の各クロック周波数設定 (SKDIVCR レジスタ) は、64 分周に設定しています。

以後の表中で示される記号は、「図 2.1 消費電流測定図 (DCDC モード)」、「図 2.2 消費電流測定図 (LDO モード)」で使われている記号になります。

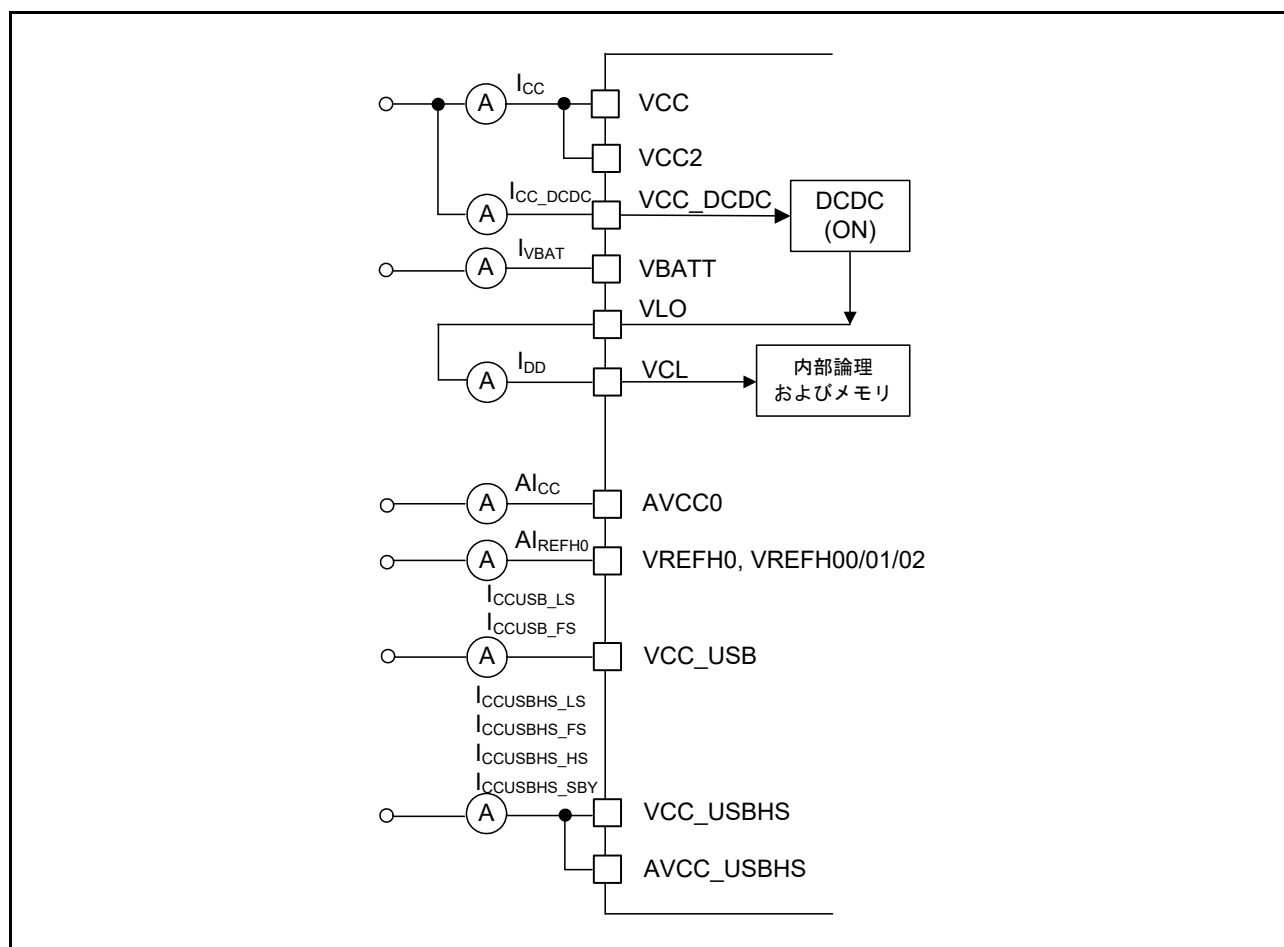


図 2.1 消費電流測定図 (DCDC モード)

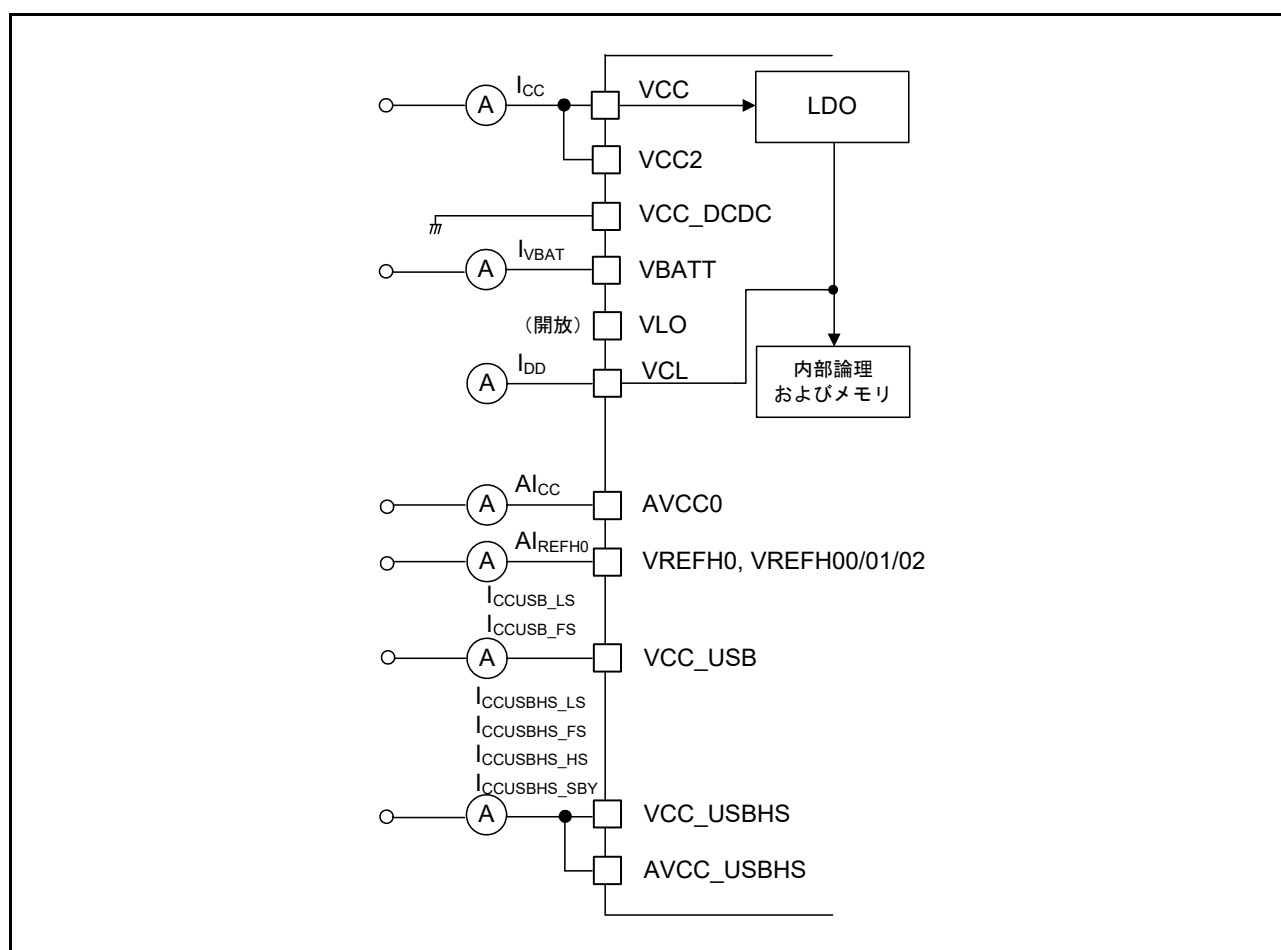


図 2.2 消費電流測定図 (LDO モード)

DCDC を使用した場合、負荷電流や温度、VCC 電圧によって電力変換効率が異なります。参考値として、変換効率のシミュレーション結果を図 2.3 ～ 図 2.5 に示します。

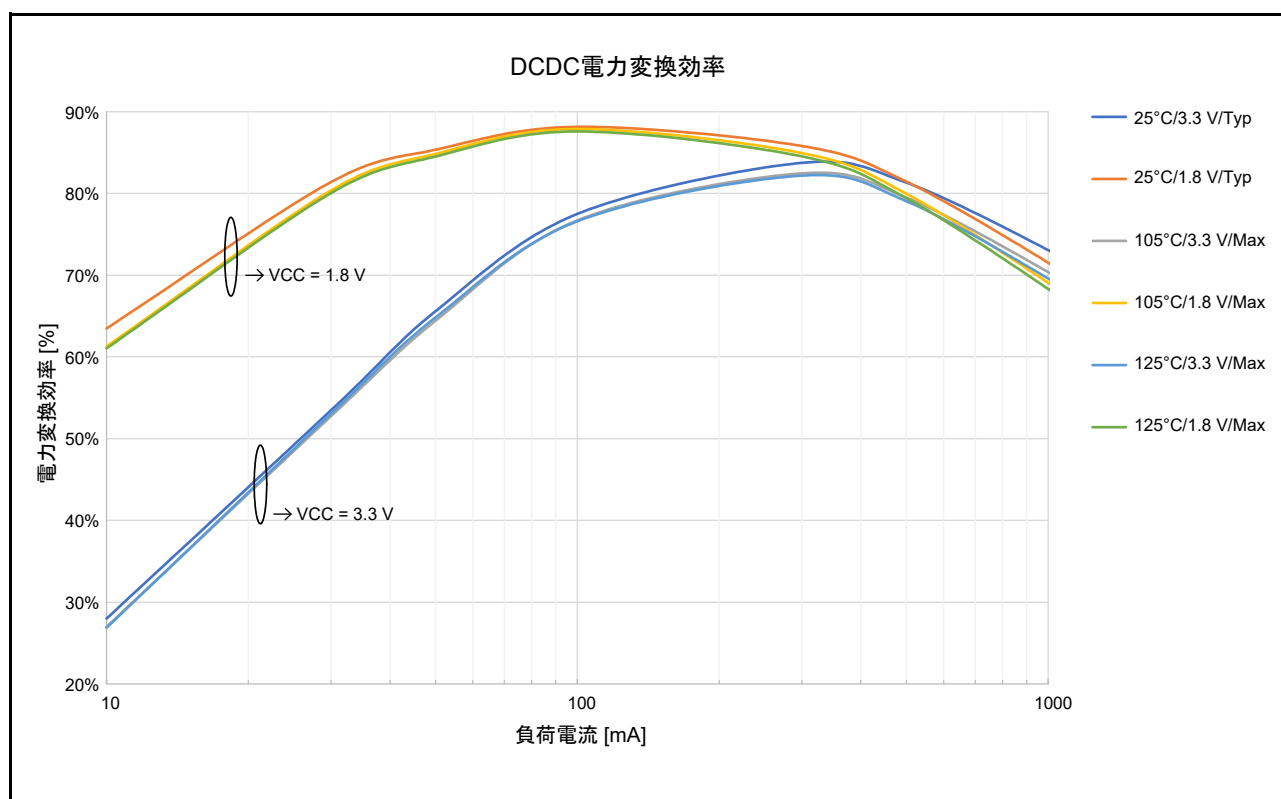


図 2.3 通常モード、および ソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_0) における、DCDC 電力変換効率 (参考: シミュレーション値)

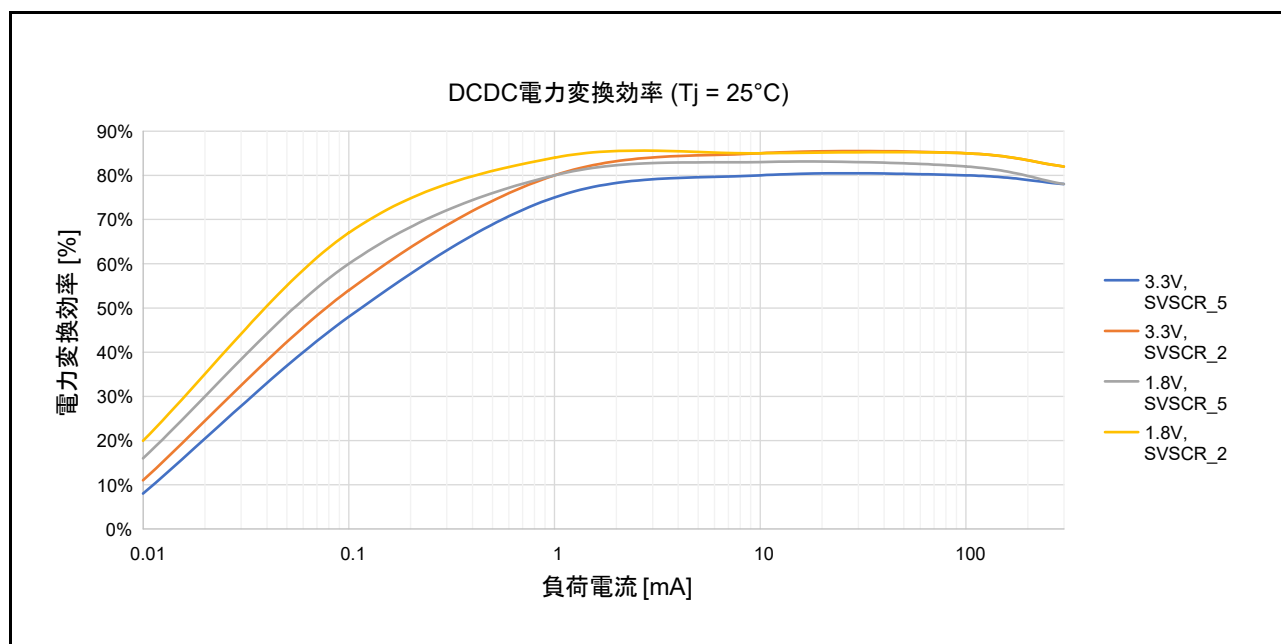


図 2.4 ソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_1)、Tj = 25°C における DCDC 電力変換効率 (参考: シミュレーション値)

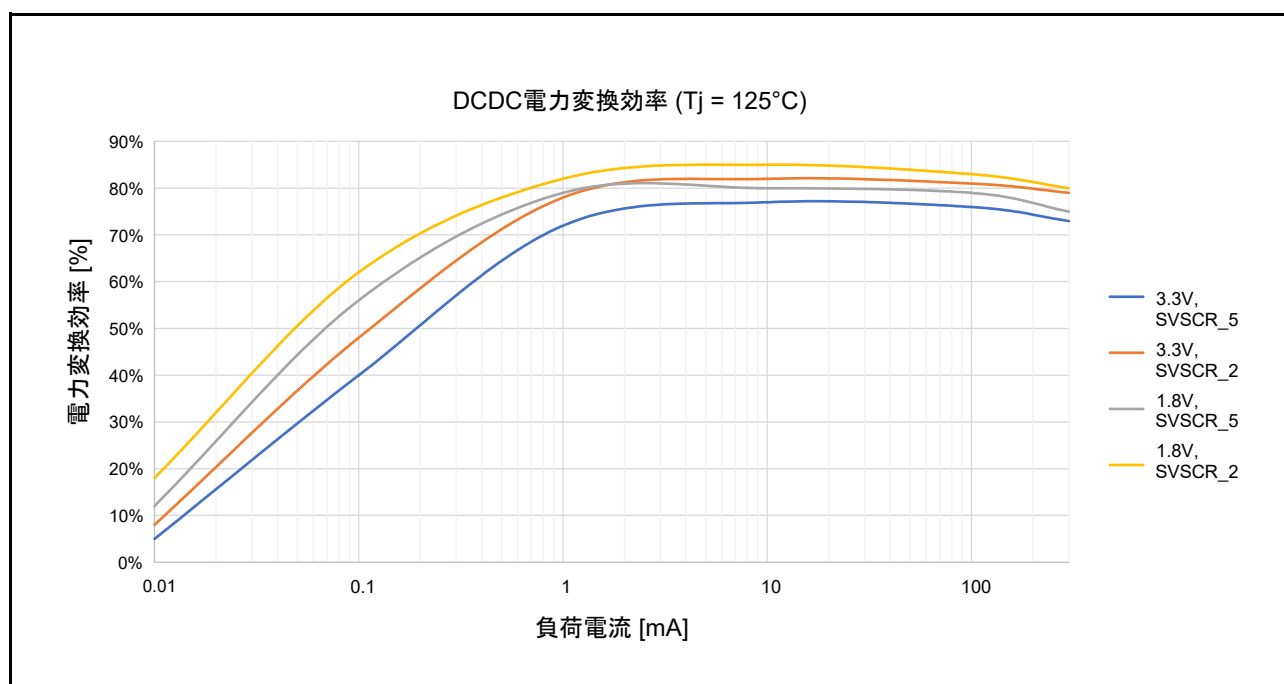


図 2.5 ソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_1)、 $T_j = 125^\circ\text{C}$ における DCDC 電力変換効率 (参考: シミュレーション値)

2.4.4.1 動作電流とスタンバイ電流 (型名が R5K574Mxy4xx (y = A, B, C, D, T, U, V, W) の場合)

表 2.9 消費電流(最大動作) (DCDC モード)

項目			記号	typ	max (Tj = 105°C)	max (注2) (Tj = 125°C)	単位	測定条件
消費電流 (最大動作)	VCC_DCDC ≥ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{CC_DCDC} (注 1)	88	217	307	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		68	181	262		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		68	180	261		
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		153	396	568		VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		116	329	482		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		115	329	482		
	VCC 電流		I _{CC}	11	15	17		VCC = 3.3 V

注. 以下の動作状態における電流値です。

- 内部メモリ (SRAM および MRAM) は、動作周波数に応じたウェイト設定がされ、DMAC によるデータ転送により、可能な限り活性化されています。
- 周辺機能はクロックが供給された状態で、可能な限り活性化されています。
- 特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- プログラムは、LRAM 上に配置され、キャッシュ有効で CPU は積和演算命令を繰り返し実行。
- ESWM ドメインは ON 状態です。

注 1. I_{CC_DCDC} は、以下の式で概算値を見積もることが可能です ([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V 時]

$$\begin{aligned}
 I_{CC_DCDC} \text{ Typ. (VSCR_1)} &= 0.0498 \times f_{CPUCLK0} + 0.0895 \times f_{ICLK} + 30.84 \\
 I_{CC_DCDC} \text{ Typ. (VSCR_2)} &= 0.0512 \times f_{CPUCLK0} + 0.0633 \times f_{ICLK} + 28.49 \\
 I_{CC_DCDC} \text{ Max. (VSCR_1, 105°C)} &= 0.0654 \times f_{CPUCLK0} + 0.1276 \times f_{ICLK} + 139.00 \\
 I_{CC_DCDC} \text{ Max. (VSCR_1, 125°C)} &= 0.0716 \times f_{CPUCLK0} + 0.1305 \times f_{ICLK} + 225.16 \\
 I_{CC_DCDC} \text{ Max. (VSCR_2, 105°C)} &= 0.0604 \times f_{CPUCLK0} + 0.0810 \times f_{ICLK} + 132.18 \\
 I_{CC_DCDC} \text{ Max. (VSCR_2, 125°C)} &= 0.0679 \times f_{CPUCLK0} + 0.0907 \times f_{ICLK} + 207.32
 \end{aligned}$$

[VCC_DCDC = 1.8 V 時]

$$\begin{aligned}
 I_{CC_DCDC} \text{ Typ. (VSCR_1)} &= 0.0974 \times f_{CPUCLK0} + 0.1756 \times f_{ICLK} + 42.07 \\
 I_{CC_DCDC} \text{ Typ. (VSCR_2)} &= 0.0927 \times f_{CPUCLK0} + 0.1180 \times f_{ICLK} + 43.29 \\
 I_{CC_DCDC} \text{ Max. (VSCR_1, 105°C)} &= 0.1223 \times f_{CPUCLK0} + 0.2385 \times f_{ICLK} + 251.34 \\
 I_{CC_DCDC} \text{ Max. (VSCR_1, 125°C)} &= 0.1363 \times f_{CPUCLK0} + 0.2484 \times f_{ICLK} + 411.75 \\
 I_{CC_DCDC} \text{ Max. (VSCR_2, 105°C)} &= 0.1157 \times f_{CPUCLK0} + 0.1521 \times f_{ICLK} + 237.43 \\
 I_{CC_DCDC} \text{ Max. (VSCR_2, 125°C)} &= 0.1280 \times f_{CPUCLK0} + 0.1714 \times f_{ICLK} + 379.37
 \end{aligned}$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注 2. LQFP100 のパッケージの場合 (型名 R5K574MxxxFP)、最大電流が 710 mA を超えないように動作させる周辺機能の数を調整してください (「2.4.5.2 周辺機能の消費電流」を参照)。

表 2.10 消費電流(最大動作)(外部VDDモード)

項目			記号	typ	max (Tj = 105°C)	max (注2) (Tj = 125°C)	単位	測定条件
消費電流 (最大動作)	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{DD} (注1)	256	597	800	mA	電圧範囲 1 (VCL = 0.95 V)
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		202	524	719		電圧範囲 2 (VCL = 0.925 V)
		周波数設定 3 (CPUCLK0 = 300 MHz)		201	523	718		
	VCC 電流		I _{CC}	11	15	17		VCC = 3.3 V

注. 以下の動作状態における電流値です。

- ・特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- ・プログラムは、LRAM上に配置され、キャッシュ有効でCPUは積和演算命令を繰り返し実行。
- ・内部メモリ(SRAMおよびMRAM)は、動作周波数に応じたウェイト設定がされ、DMACによるデータ転送により、可能な限り活性化されています。
- ・周辺機能はクロックが供給された状態で、可能な限り活性化されています。
- ・ESWMドメインはON状態です。

注1. I_{DD}は、以下の式で概算値を見積もることが可能です([単位] I_{DD} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

$$I_{DD} \text{ Typ. (VCL = 0.92 ~ 0.99 V)} = 0.1584 \times f_{CPUCLK0} + 0.2852 \times f_{ICLK} + 75.36$$

$$I_{DD} \text{ Typ. (VCL = 0.87 ~ 0.99 V)} = 0.1588 \times f_{CPUCLK0} + 0.2007 \times f_{ICLK} + 77.55$$

$$I_{DD} \text{ Max. (VCL = 0.92 ~ 0.99 V, 105°C)} = 0.1600 \times f_{CPUCLK0} + 0.3120 \times f_{ICLK} + 407.46$$

$$I_{DD} \text{ Max. (VCL = 0.92 ~ 0.99 V, 125°C)} = 0.1565 \times f_{CPUCLK0} + 0.2849 \times f_{ICLK} + 620.60$$

$$I_{DD} \text{ Max. (VCL = 0.87 ~ 0.99 V, 105°C)} = 0.1622 \times f_{CPUCLK0} + 0.2122 \times f_{ICLK} + 394.73$$

$$I_{DD} \text{ Max. (VCL = 0.87 ~ 0.99 V, 125°C)} = 0.1615 \times f_{CPUCLK0} + 0.2126 \times f_{ICLK} + 590.17$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注2. LQFP100のパッケージの場合(型名R5K574MxxxFP)、最大電流が718 mAを超えないように動作させる周辺機能の数を調整してください(「2.4.5.2 周辺機能の消費電流」を参照)。

表 2.11 消費電流(最大データ処理、かつ周辺クロック供給停止)(DCDCモード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
消費電流 (最大データ 処理かつ周 辺クロック 供給停止)	VCC_DCDC ≥ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{CC_DCDC} (注1)	41	165	254	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		33	144	225		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		28	138	218		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		66	299	467		VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		52	260	412		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		42	248	399		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
	VCC 電流		I _{CC}	3.9	7.1	9.7		VCC = 3.3 V

注. 以下の動作状態における電流値です。

- ・特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- ・プログラムは、LRAM上に配置され、キャッシュ有効でCPUは積和演算命令を繰り返し実行。
- ・周辺機能へのクロック供給は停止されています。
- ・ESWMドメインはOFF状態です。

注1. I_{CC_DCDC}は、以下の式で概算値を見積もることが可能です([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V時]

$$I_{CC_DCDC} \text{ Typ. (VSCR_1)} = 0.0352 \times f_{CPUCLK0} + 0.0163 \times f_{ICLK} + 14.69$$

$$I_{CC_DCDC} \text{ Typ. (VSCR_2)} = 0.0369 \times f_{CPUCLK0} + 0.0119 \times f_{ICLK} + 12.17$$

$$I_{CC_DCDC} \text{ Max. (VSCR_1, 105°C)} = 0.0454 \times f_{CPUCLK0} + 0.0180 \times f_{ICLK} + 132.14$$

$$I_{CC_DCDC} \text{ Max. (VSCR_1, 125°C)} = 0.0496 \times f_{CPUCLK0} + 0.0190 \times f_{ICLK} + 218.27$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 105°C)} = 0.0443 \times f_{CPUCLK0} + 0.0162 \times f_{ICLK} + 119.62$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 125°C)} = 0.0479 \times f_{CPUCLK0} + 0.0183 \times f_{ICLK} + 197.45$$

[VCC_DCDC = 1.8 V時]

$$I_{CC_DCDC} \text{ Typ. (VSCR_1)} = 0.0674 \times f_{CPUCLK0} + 0.0279 \times f_{ICLK} + 17.22$$

$$I_{CC_DCDC} \text{ Typ. (VSCR_2)} = 0.0646 \times f_{CPUCLK0} + 0.0223 \times f_{ICLK} + 15.14$$

$I_{CC_DCDC} \text{ Max. (VSCR_1, 105}^\circ\text{C)} = 0.0863 \times f_{CPUCLK0} + 0.0343 \times f_{ICLK} + 237.02$
 $I_{CC_DCDC} \text{ Max. (VSCR_1, 125}^\circ\text{C)} = 0.0935 \times f_{CPUCLK0} + 0.0359 \times f_{ICLK} + 399.63$
 $I_{CC_DCDC} \text{ Max. (VSCR_2, 105}^\circ\text{C)} = 0.0806 \times f_{CPUCLK0} + 0.0305 \times f_{ICLK} + 214.33$
 $I_{CC_DCDC} \text{ Max. (VSCR_2, 125}^\circ\text{C)} = 0.0897 \times f_{CPUCLK0} + 0.0343 \times f_{ICLK} + 361.19$
 ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表2.12 消費電流(最大データ処理、かつ周辺クロック供給停止) (外部VDDモード)

項目			記号	typ	max (T _j = 105°C)	max (T _j = 125°C)	単位	測定条件
消費電流 (最大データ 処理、かつ 周辺クロッ ク供給停止)	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{DD} (注1)	112	468	681	mA	電圧範囲 1 (VCL = 0.95 V)
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		90	426	631		電圧範囲 2 (VCL = 0.925 V)
		周波数設定 3 (CPUCLK0 = 300 MHz)		73	408	614		
	VCC 電流		I _{CC}	3.9	7.1	9.7		VCC = 3.3 V

注. 以下の動作状態における電流値です。

- 特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- プログラムは、LRAM上に配置され、キャッシュ有効でCPUは積和演算命令を繰り返し実行。
- 周辺機能へのクロック供給は停止されています。
- ESWM ドメインはOFF 状態です。
- すべての出力端子は、無負荷状態かつすべての入力プルアップ抵抗を無効にした状態で計測。
- BGO 動作分の消費電流は含まれません。

注1. I_{DD}は、以下の式で概算値を見積もることが可能です([単位] I_{DD} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

$$\begin{aligned}
 I_{DD} \text{ Typ. (VCL = 0.92 ~ 0.99 V)} &= 0.1181 \times f_{CPUCLK0} + 0.0469 \times f_{ICLK} + 27.55 \\
 I_{DD} \text{ Typ. (VCL = 0.87 ~ 0.99 V)} &= 0.1153 \times f_{CPUCLK0} + 0.0405 \times f_{ICLK} + 25.17 \\
 I_{DD} \text{ Max. (VCL = 0.92 ~ 0.99 V, 105}^\circ\text{C)} &= 0.1192 \times f_{CPUCLK0} + 0.0469 \times f_{ICLK} + 381.95 \\
 I_{DD} \text{ Max. (VCL = 0.92 ~ 0.99 V, 125}^\circ\text{C)} &= 0.1148 \times f_{CPUCLK0} + 0.0437 \times f_{ICLK} + 598.85 \\
 I_{DD} \text{ Max. (VCL = 0.87 ~ 0.99 V, 105}^\circ\text{C)} &= 0.1192 \times f_{CPUCLK0} + 0.0448 \times f_{ICLK} + 357.95 \\
 I_{DD} \text{ Max. (VCL = 0.87 ~ 0.99 V, 125}^\circ\text{C)} &= 0.1182 \times f_{CPUCLK0} + 0.0449 \times f_{ICLK} + 563.65
 \end{aligned}$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表2.13 消費電流(CPU : while(1)動作、かつ周辺クロック供給停止、ESWM ドメインはOFF 状態)

項目			記号	typ	max	単位	測定条件
消費電流 (DCDC モード)	VCC_DCDC ≥ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{CC_DCDC} (注1)	28	—	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		23	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		22	—		
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		41	—		VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		33	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		30	—		
消費電流 (外部VDD モード)	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{DD} (注2)	68	—	mA	電圧範囲 1 (VCL = 0.95 V)
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		56	—		電圧範囲 2 (VCL = 0.925 V)
		周波数設定 3 (CPUCLK0 = 300 MHz)		52	—		

注. 以下の動作状態における電流値です。

- プログラムは、LRAM上に配置され、キャッシュ有効でCPUはwhile(1)動作。

注1. I_{CC_DCDC}は、以下の式で概算値を見積もることが可能です([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V時]

$$I_{CC_DCDC} \text{ Typ. (VSCR_1)} = 0.0145 \times f_{CPUCLK0} + 0.0149 \times f_{ICLK} + 14.35$$

$$I_{CC_DCDC} \text{ Typ. (VSCR_2)} = 0.0113 \times f_{CPUCLK0} + 0.0109 \times f_{ICLK} + 14.76$$

[VCC_DCDC = 1.8 V時]

$$I_{CC_DCDC} \text{ Typ. (VSCR_1)} = 0.0259 \times f_{CPUCLK0} + 0.0269 \times f_{ICLK} + 17.25$$

$$I_{CC_DCDC} \text{ Typ. (VSCR_2)} = 0.0236 \times f_{CPUCLK0} + 0.0218 \times f_{ICLK} + 16.14$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注2. I_{DD} は、以下の式で概算値を見積もることが可能です([単位] I_{DD} : mA, $f_{CPUCLK0}$: MHz, f_{ICLK} : MHz)。

$$I_{DD} \text{ Typ. (VCL = 0.92 ~ 0.99 V)} = 0.0448 \times f_{CPUCLK0} + 0.0469 \times f_{ICLK} + 27.37$$

$$I_{DD} \text{ Typ. (VCL = 0.87 ~ 0.99 V)} = 0.0440 \times f_{CPUCLK0} + 0.0406 \times f_{ICLK} + 25.19$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表2.14 消費電流(Coremark動作、かつ周辺クロック供給停止、ESWMドメインはOFF状態)(DCDCモード)

項目			記号	typ	max	単位	測定条件
キャッシュ有効	VCC_DCDC ≥ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{CC_DCDC}	36	—	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		29	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		25	—		
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		58	—	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V	
		周波数設定 2 (CPUCLK0 = 480 MHz)		46	—	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V	
		周波数設定 3 (CPUCLK0 = 300 MHz)		38	—		
キャッシュ無効、 LRAMからコード 実行	VCC_DCDC ≥ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{CC_DCDC}	29	—	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		24	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		22	—		
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		45	—	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V	
		周波数設定 2 (CPUCLK0 = 480 MHz)		36	—	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V	
		周波数設定 3 (CPUCLK0 = 300 MHz)		31	—		
キャッシュ無効、 SRAMからコード 実行	VCC_DCDC ≥ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{CC_DCDC}	23	—	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		21	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		20	—		
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		34	—	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V	
		周波数設定 2 (CPUCLK0 = 480 MHz)		29	—	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V	
		周波数設定 3 (CPUCLK0 = 300 MHz)		27	—		
キャッシュ無効、 MRAMからコード 実行	VCC_DCDC ≥ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{CC_DCDC}	26	—	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		22	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		22	—		
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		40	—	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V	
		周波数設定 2 (CPUCLK0 = 480 MHz)		32	—	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V	
		周波数設定 3 (CPUCLK0 = 300 MHz)		32	—		

表 2.15 消費電流(Coremark動作、かつ周辺クロック供給停止、ESWMドメインはOFF状態)(外部VDDモード)

項目			記号	typ	max	単位	測定条件
キャッシュ有効	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I_{DD}	97	—	mA	電圧範囲 1 (VCL = 0.95 V)
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		78	—		電圧範囲 2 (VCL = 0.925 V)
		周波数設定 3 (CPUCLK0 = 300 MHz)		63	—		
キャッシュ無効、 LRAMからコード 実行	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I_{DD}	75	—	mA	電圧範囲 1 (VCL = 0.95 V)
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		60	—		電圧範囲 2 (VCL = 0.925 V)
		周波数設定 3 (CPUCLK0 = 300 MHz)		52	—		
キャッシュ無効、 SRAMからコード 実行	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I_{DD}	55	—	mA	電圧範囲 1 (VCL = 0.95 V)
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		45	—		電圧範囲 2 (VCL = 0.925 V)
		周波数設定 3 (CPUCLK0 = 300 MHz)		45	—		
キャッシュ無効、 MRAMからコード 実行	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I_{DD}	65	—	mA	電圧範囲 1 (VCL = 0.95 V)
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		53	—		電圧範囲 2 (VCL = 0.925 V)
		周波数設定 3 (CPUCLK0 = 300 MHz)		53	—		

表 2.16 消費電流(CPUスリープモード、かつ周辺クロック供給停止、ESWMドメインはOFF状態)

項目			記号	typ	max	単位	測定条件
消費電流 (DCDCモード)	VCC_DCDC $\geq$ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I_{CC_DCDC} (注 1)	22	227	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		19	205		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		19	205		
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		31	416		VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V
		周波数設定 2 (CPUCLK0 = 480 MHz)		26	375		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		26	375		
消費電流 (外部VDDモード)	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I_{DD} (注 2)	52	618	mA	電圧範囲 1 (VCL = 0.95 V)
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		43	582		電圧範囲 2 (VCL = 0.925 V)
		周波数設定 3 (CPUCLK0 = 300 MHz)		44	582		

注 1. I_{CC_DCDC} は、以下の式で概算値を見積もることが可能です ([単位] I_{CC_DCDC} : mA, $f_{CPUCLK0}$: MHz, f_{iCLK} : MHz)。
[VCC_DCDC = 3.3 V時]

$$I_{CC_DCDC} \text{ Typ. (VSCR_1)} = 0.0049 \times f_{CPUCLK0} + 0.0128 \times f_{iCLK} + 15.37$$

$$I_{CC_DCDC} \text{ Typ. (VSCR_2)} = 0.0051 \times f_{CPUCLK0} + 0.0109 \times f_{iCLK} + 14.14$$

[VCC_DCDC = 1.8 V時]

$$I_{CC_DCDC} \text{ Typ. (VSCR_1)} = 0.0098 \times f_{CPUCLK0} + 0.0260 \times f_{iCLK} + 17.72$$

$$I_{CC_DCDC} \text{ Typ. (VSCR_2)} = 0.0096 \times f_{CPUCLK0} + 0.0221 \times f_{iCLK} + 15.88$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注 2. I_{DD} は、以下の式で概算値を見積もることが可能です ([単位] I_{DD} : mA, $f_{CPUCLK0}$: MHz, f_{iCLK} : MHz)。

$$I_{DD} \text{ Typ. (VCL = 0.92 ~ 0.99 V)} = 0.0176 \times f_{CPUCLK0} + 0.0471 \times f_{iCLK} + 27.25$$

$$I_{DD} \text{ Typ. (VCL = 0.87 ~ 0.99 V)} = 0.0175 \times f_{CPUCLK0} + 0.0409 \times f_{iCLK} + 25.14$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表 2.17 消費電流(CPUディープスリープモード、かつ周辺クロック供給停止、ESWMドメインはOFF状態)

項目			記号	typ	max	単位	測定条件	
消費電流 (DCDCモード)	VCC_DCDC ≥ 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{CC_DCDC} (注 1)	20	186	mA	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 3.3 V	
		周波数設定 2 (CPUCLK0 = 480 MHz)		17	168			VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
		周波数設定 3 (CPUCLK0 = 300 MHz)		18	169			
	VCC_DCDC < 2.5 V	周波数設定 1 (CPUCLK0 = 600 MHz)		27	340	VSCR_1 (VCL = 0.95 V) VCC_DCDC = 1.8 V		
		周波数設定 2 (CPUCLK0 = 480 MHz)		22	307		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V	
		周波数設定 3 (CPUCLK0 = 300 MHz)		23	308			
消費電流 (外部VDDモード)	VCL = 0.92 ~ 0.99 V	周波数設定 1 (CPUCLK0 = 600 MHz)	I _{DD} (注 2)	43	520	mA	電圧範囲 1 (VCL = 0.95 V)	
	VCL = 0.87 ~ 0.99 V	周波数設定 2 (CPUCLK0 = 480 MHz)		36	489		電圧範囲 2 (VCL = 0.925 V)	
		周波数設定 3 (CPUCLK0 = 300 MHz)		38	491			

注 1. I_{CC_DCDC}は、以下の式で概算値を見積もることが可能です ([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V時]

$$I_{CC_DCDC \text{ Typ. (VSCR_1)}} = 0.0024 \times f_{CPUCLK0} + 0.0134 \times f_{ICLK} + 14.33$$

$$I_{CC_DCDC \text{ Typ. (VSCR_2)}} = 0.0029 \times f_{CPUCLK0} + 0.0122 \times f_{ICLK} + 12.87$$

[VCC_DCDC = 1.8 V時]

$$I_{CC_DCDC \text{ Typ. (VSCR_1)}} = 0.0049 \times f_{CPUCLK0} + 0.0265 \times f_{ICLK} + 15.67$$

$$I_{CC_DCDC \text{ Typ. (VSCR_2)}} = 0.0050 \times f_{CPUCLK0} + 0.0226 \times f_{ICLK} + 13.98$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注 2. I_{DD}は、以下の式で概算値を見積もることが可能です ([単位] I_{DD} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

$$I_{DD \text{ Typ. (VCL = 0.92 ~ 0.99 V)}} = 0.0089 \times f_{CPUCLK0} + 0.0472 \times f_{ICLK} + 23.68$$

$$I_{DD \text{ Typ. (VCL = 0.87 ~ 0.99 V)}} = 0.0089 \times f_{CPUCLK0} + 0.0406 \times f_{ICLK} + 22.00$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表 2.18 最大動作時にMRAM-OTP領域をBGO動作で書き換えた場合の消費電流の増加分

項目	記号	typ	max	単位	測定条件
消費電流	通常書き込みモード	I _{CC}	—	20	mA VCC ≥ 1.62 V
		I _{DD}	—	0.5	
	高速書き込みモード 0	I _{CC}	—	25	VCC ≥ 2.5 V
		I _{DD}	—	5	
	高速書き込みモード 1	I _{CC}	—	80	VCC ≥ 3.0 V
		I _{DD}	—	0.5	

注. MWMCRレジスタでMRAM-OTPへのデータ書き込み時の書き込みモードを設定できます。

表2.19 ソフトウェアスタンバイモード1電流(DCDCモード)

項目			記号	typ	max (T _j = 105°C)	max (T _j = 125°C)	単位	測定条件
VCC電流			I _{CC}	0.20	0.41	0.62	mA	VCC = 3.3 V
VCC_DCDC 電流	SRAMとLRAMのデータ は保持 (注1、注2)	VSCR_1 (VCL = 0.95 V)	I _{CC_DCDC}	10.5	86.3	135	mA	VCC_DCDC = 3.3 V
		VSCR_2 (VCL = 0.925 V)		9.76	79.2	124		
	SRAMとLRAMのデータ は非保持 (注1、注2)	VSCR_1 (VCL = 0.95 V)		10.3	85.7	134		
		VSCR_2 (VCL = 0.925 V)		9.63	78.7	123		

注1. PDRAMSCR0レジスタが“7FFFh”のときはSRAMのデータ保持、“7000h”のときはSRAMのデータ非保持

注2. PDRAMSCR2.RKEEP0ビットが“1”のときはLRAMデータ保持、“0”のときはLRAMデータ非保持

表2.20 ソフトウェアスタンバイモード2電流(DCDCモード)

項目			記号	typ	max (T _j = 105°C)	max (T _j = 125°C)	単位	測定条件
VCC電流	SS2LP_0の場合		I _{CC}	0.20	0.41	0.62	mA	VCC = 3.3 V
	SS2LP_1の場合			0.04	0.27	0.48		
SS2LP_0 (注1)	SVSCR_1 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)	I _{CC_DCDC}	8.95	26.8	39.2	mA	VCC_DCDC = 3.3 V
		SRAMとLRAMのデータ は非保持 (注3、注4)		8.88	26.0	37.8		
	SVSCR_2 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)		8.89	24.7	36.0		
		SRAMとLRAMのデータ は非保持 (注3、注4)		8.74	24.2	35.1		
	SVSCR_3 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)		8.69	18.7	27.9		
		SRAMとLRAMのデータ は非保持 (注3、注4)		8.68	18.4	27.3		
	SVSCR_4 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)		8.62	16.6	24.7		
		SRAMとLRAMのデータ は非保持 (注3、注4)		8.59	16.1	23.6		
	SVSCR_5 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)		8.39	14.6	21.5		
		SRAMとLRAMのデータ は非保持 (注3、注4)		8.37	14.2	20.6		
SS2LP_1 (注1)	SVSCR_2 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)	I _{CC_DCDC}	1.06	20.3	34.1	mA	VCC_DCDC = 3.3 V
		SRAMとLRAMのデータ は非保持 (注3、注4)		0.96	19.8	33.0		
	SVSCR_3 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)		0.69	14.9	25.5		
		SRAMとLRAMのデータ は非保持 (注3、注4)		0.65	14.6	24.8		
	SVSCR_4 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)		0.56	13.0	22.6		
		SRAMとLRAMのデータ は非保持 (注3、注4)		0.52	12.4	21.3		
	SVSCR_5 (注2)	SRAMとLRAMのデータ は保持 (注3、注4)		0.46	11.2	19.6		
		SRAMとLRAMのデータ は非保持 (注3、注4)		0.43	10.7	18.5		

注1. SSCR1レジスタのSS2LP[1:0]ビットの設定値。SS2LP_0: デフォルトモード、SS2LP_1: 低電力設定1

注2. SVSCR_n (n = 1 ~ 5)は、SVSCRレジスタで定義されるVDDのターゲット電圧

- 注3. PDRAMSCR0 レジスタが“7FFFh”のときはSRAMのデータ保持、“7000h”のときはSRAMのデータ非保持
 注4. PDRAMSCR2.RKEEP0 ビットが“1”のときはLRAMデータ保持、“0”のときはLRAMデータ非保持

2.4.4.2 動作電流とスタンバイ電流 (型名が R5K574Mxy4xx (y = E, F) の場合)

表2.21 消費電流(最大動作) (DCDCモード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
消費電流 (最大動作)	VCC_DCDC ≥ 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{CC_DCDC} (注1)	62	144	210	mA	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)		104	260	384		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
	VCC電流		I _{CC}	10	13	15		VCC = 3.3 V

注. 以下の動作状態における電流値です。

- 内部メモリ (SRAMおよびMRAM)は、動作周波数に応じたウェイト設定がされ、DMACによるデータ転送により、可能な限り活性化されています。
- 周辺機能はクロックが供給された状態で、可能な限り活性化されています。
- 特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- プログラムは、LRAM上に配置され、キャッシュ有効でCPUは積和演算命令を繰り返し実行。
- ESWMドメインはON状態です。

注1. I_{CC_DCDC}は、以下の式で概算値を見積もることが可能です([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V時]

$$I_{CC_DCDC} \text{ Typ.} = 0.0460 \times f_{CPUCLK0} + 0.0622 \times f_{ICLK} + 29.28$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 105°C)} = 0.0456 \times f_{CPUCLK0} + 0.0702 \times f_{ICLK} + 109.07$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 125°C)} = 0.0477 \times f_{CPUCLK0} + 0.0723 \times f_{ICLK} + 173.67$$

[VCC_DCDC = 1.8 V時]

$$I_{CC_DCDC} \text{ Typ.} = 0.0818 \times f_{CPUCLK0} + 0.1136 \times f_{ICLK} + 45.27$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 105°C)} = 0.0854 \times f_{CPUCLK0} + 0.1322 \times f_{ICLK} + 194.42$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 125°C)} = 0.0890 \times f_{CPUCLK0} + 0.1352 \times f_{ICLK} + 316.79$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表2.22 消費電流(最大動作) (外部VDDモード)

項目			記号	typ	max (T _J = 105°C)	max (T _J = 125°C)	単位	測定条件
消費電流 (最大動作)	VCL = 0.87 ~ 0.99 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{DD} (注 1)	181	425	594	mA	電圧範囲2 (VCL = 0.925 V)
	VCC 電流		I _{CC}	10	13	15		VCC = 3.3 V

注. 以下の動作状態における電流値です。

- 内部メモリ (SRAMおよびMRAM)は、動作周波数に応じたウェイト設定がされ、DMACによるデータ転送により、可能な限り活性化されています。
- 周辺機能はクロックが供給された状態で、可能な限り活性化されています。
- 特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- プログラムは、LRAM上に配置され、キャッシュ有効でCPUは積和演算命令を繰り返し実行。
- ESWMドメインはON状態です。

注1. I_{DD}は、以下の式で概算値を見積もることが可能です([単位] I_{DD} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

$$I_{DD} \text{ Typ.} = 0.1408 \times f_{CPUCLK0} + 0.1942 \times f_{ICLK} + 80.70$$

$$I_{DD} \text{ Max. (VCL = 0.87 ~ 0.99 V, 105°C)} = 0.1267 \times f_{CPUCLK0} + 0.1933 \times f_{ICLK} + 329.00$$

$$I_{DD} \text{ Max. (VCL = 0.87 ~ 0.99 V, 125°C)} = 0.1200 \times f_{CPUCLK0} + 0.1800 \times f_{ICLK} + 504.00$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表 2.23 消費電流(最大動作) (LDO モード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
消費電流 (最大動作)	LDO 効率向上機能 無効時 (注2)	周波数設定 3 (CPUCLK0 = 300 MHz)	I _{CC} (注1)	192	432	600	mA	VCC = 3.3 V
	LDO 効率向上機能 有効時 (注2、注3)	周波数設定 3 (CPUCLK0 = 300 MHz)		175	352 (注4)	477 (注4)		VCC = 1.8 V
				230	487 (注4)	666 (注4)		

注. 以下の動作状態における電流値です。

- 内部メモリ (SRAM および MRAM) は、動作周波数に応じたウェイト設定がされ、DMAC によるデータ転送により、可能な限り活性化されています。
- 周辺機能はクロックが供給された状態で、可能な限り活性化されています。
- 特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- プログラムは、LRAM 上に配置され、キャッシュ有効で CPU は積和演算命令を繰り返し実行。
- ESWM ドメインは ON 状態です。

注1. I_{CC} は、以下の式で概算値を見積もることが可能です ([単位] I_{CC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[LDO 効率向上機能無効時 (LDOECR.EFUPE = 0)]

$$I_{CC} \text{ Typ.} = 0.1431 \times f_{CPUCLK0} + 0.2051 \times f_{ICLK} + 87.95$$

$$I_{CC} \text{ Max. (VSCR_2, 105°C)} = 0.1333 \times f_{CPUCLK0} + 0.2000 \times f_{ICLK} + 332.01$$

$$I_{CC} \text{ Max. (VSCR_2, 125°C)} = 0.1400 \times f_{CPUCLK0} + 0.2000 \times f_{ICLK} + 498.00$$

[LDO 効率向上機能有効時 (LDOECR.EFUPE = 1)] (VCC = 3.3 V)

$$I_{CC} \text{ Typ.} = (0.0856 \times f_{CPUCLK0} + 0.1260 \times f_{ICLK} + 95.97) \times (\text{補正係数 } 1.1)$$

$$I_{CC} \text{ Max. (VSCR_2, 105°C)} = (0.1133 \times f_{CPUCLK0} + 0.1333 \times f_{ICLK} + 246.02) \times (\text{補正係数 } 1.1)$$

$$I_{CC} \text{ Max. (VSCR_2, 125°C)} = (0.0867 \times f_{CPUCLK0} + 0.1400 \times f_{ICLK} + 365.99) \times (\text{補正係数 } 1.1)$$

[LDO 効率向上機能有効時 (LDOECR.EFUPE = 1)] (VCC = 1.8 V)

$$I_{CC} \text{ Typ.} = (0.1456 \times f_{CPUCLK0} + 0.2042 \times f_{ICLK} + 103.76) \times (\text{補正係数 } 1.1)$$

$$I_{CC} \text{ Max. (VSCR_2, 105°C)} = (0.1267 \times f_{CPUCLK0} + 0.1867 \times f_{ICLK} + 348.98) \times (\text{補正係数 } 1.1)$$

$$I_{CC} \text{ Max. (VSCR_2, 125°C)} = (0.1000 \times f_{CPUCLK0} + 0.1733 \times f_{ICLK} + 523.01) \times (\text{補正係数 } 1.1)$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注2. LDOECR.EFUPE = 0 (無効)、LDOECR.EFUPE = 1 (有効)

注3. LDO 効率向上機能有効時は、VCC 電圧が低電圧になるほど効率が悪化して消費電流が増加します。図 2.6 を参照してください。

注4. 参考値です。

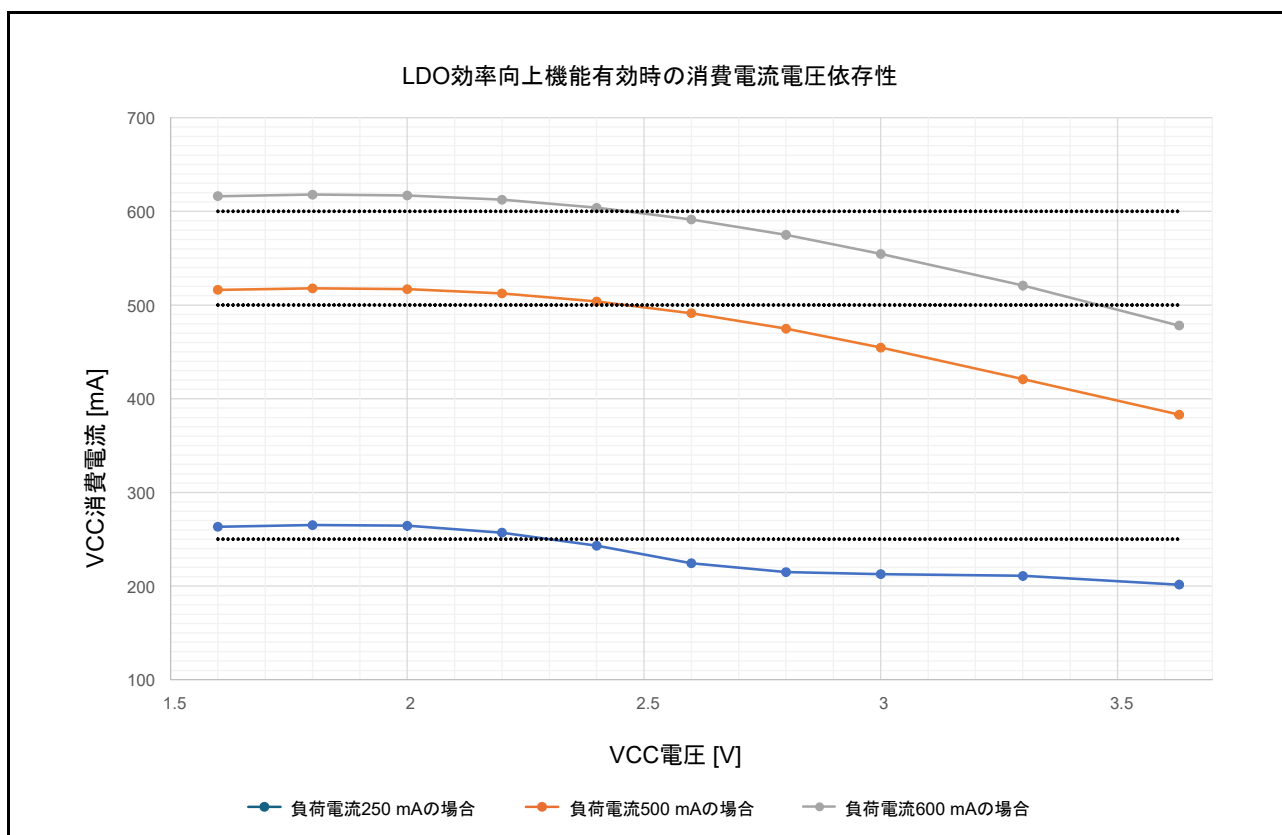


図 2.6 LDO 効率向上機能有効時の VCC 消費電流に対する VCC 電圧依存性

表 2.24 消費電流(最大データ処理、かつ周辺クロック供給停止) (DCDCモード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
消費電流	VCC_DCDC ≥ 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{CC_DCDC} (注 1)	25	106	173	mA	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)		36	189	315		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
	VCC 電流		I _{CC}	3.9	6.2	8.3		VCC = 3.3 V

注. 以下の動作状態における電流値です。

- ・特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- ・プログラムは、LRAM上に配置され、キャッシュ有効でCPUは積和演算命令を繰り返し実行。
- ・周辺機能へのクロック供給は停止されています。
- ・ESWM ドメインはOFF 状態です。

注 1. I_{CC_DCDC} は、以下の式で概算値を見積もることが可能です ([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V 時]

$$I_{CC_DCDC} \text{ Typ.} = 0.0318 \times f_{CPUCLK0} + 0.0111 \times f_{ICLK} + 12.00$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 105°C)} = 0.0210 \times f_{CPUCLK0} + 0.0070 \times f_{ICLK} + 97.82$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 125°C)} = 0.0126 \times f_{CPUCLK0} + 0.0026 \times f_{ICLK} + 168.35$$

[VCC_DCDC = 1.8 V 時]

$$I_{CC_DCDC} \text{ Typ.} = 0.0612 \times f_{CPUCLK0} + 0.0197 \times f_{ICLK} + 12.07$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 105°C)} = 0.0387 \times f_{CPUCLK0} + 0.0129 \times f_{ICLK} + 174.02$$

$$I_{CC_DCDC} \text{ Max. (VSCR_2, 125°C)} = 0.0243 \times f_{CPUCLK0} + 0.0048 \times f_{ICLK} + 306.77$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表 2.25 消費電流(最大データ処理、かつ周辺クロック供給停止) (外部VDDモード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
消費電流	VCL = 0.87 ~ 0.99 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{DD} (注 1)	62.5	320	501	mA	電圧範囲2 (VCL = 0.925 V)
	VCC 電流		I _{CC}	3.9	6.2	8.3		VCC = 3.3 V

注. 以下の動作状態における電流値です。

- ・特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- ・プログラムは、LRAM上に配置され、キャッシュ有効でCPUは積和演算命令を繰り返し実行。
- ・周辺機能へのクロック供給は停止されています。
- ・ESWM ドメインはOFF 状態です。
- ・すべての出力端子は、無負荷状態かつすべての入力プルアップ抵抗を無効にした状態で計測。
- ・BGO動作分の消費電流は含まれません。

注 1. I_{DD} は、以下の式で概算値を見積もることが可能です ([単位] I_{DD} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

$$I_{DD} \text{ Typ.} = 0.1124 \times f_{CPUCLK0} + 0.0351 \times f_{ICLK} + 18.30$$

$$I_{DD} \text{ Max. (VCL = 0.87 ~ 0.99 V, 105°C)} = 0.0600 \times f_{CPUCLK0} + 0.0200 \times f_{ICLK} + 296.00$$

$$I_{DD} \text{ Max. (VCL = 0.87 ~ 0.99 V, 125°C)} = 0.0333 \times f_{CPUCLK0} + 0.0067 \times f_{ICLK} + 489.00$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表 2.26 消費電流(最大データ処理、かつ周辺クロック供給停止) (LDO モード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
消費電流	LDO 効率向上機能 無効時 (注2)	周波数設定 3 (CPUCLK0 = 300 MHz)	I _{CC} (注1)	68.1	323	503	mA	VCC = 3.3 V
	LDO 効率向上機能 有効時 (注2)	周波数設定 3 (CPUCLK0 = 300 MHz)		68.0	256 (注3)	424 (注3)		VCC = 1.8 V
				68.2	373 (注3)	554 (注3)		

注. 以下の動作状態における電流値です。

- 内部メモリ (SRAM および MRAM) は、動作周波数に応じたウェイト設定がされ、DMAC によるデータ転送により、可能な限り活性化されています。
- 周辺機能はクロックが供給された状態で、可能な限り活性化されています。
- 特に指定のないクロックは、仕様上許容される範囲で消費電流が最大となる状態に設定。
- プログラムは、LRAM 上に配置され、キャッシュ有効で CPU は積和演算命令を繰り返し実行。
- ESWM ドメインは ON 状態です。

注 1. I_{CC} は、以下の式で概算値を見積もることが可能です ([単位] I_{CC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[LDO 効率向上機能無効時 (LDOECR.EFUPE = 0)]

$$I_{CC} \text{ Typ.} = 0.1115 \times f_{CPUCLK0} + 0.0349 \times f_{ICLK} + 24.16$$

$$I_{CC} \text{ Max. (VSCR_2, 105°C)} = 0.0800 \times f_{CPUCLK0} + 0.0333 \times f_{ICLK} + 289.01$$

$$I_{CC} \text{ Max. (VSCR_2, 125°C)} = 0.0800 \times f_{CPUCLK0} + 0.0400 \times f_{ICLK} + 467.00$$

[LDO 効率向上機能有効時 (LDOECR.EFUPE = 1)] (VCC = 3.3 V)

$$I_{CC} \text{ Typ.} = 0.1115 \times f_{CPUCLK0} + 0.0349 \times f_{ICLK} + 24.08$$

$$I_{CC} \text{ Max. (VSCR_2, 105°C)} = (0.0400 \times f_{CPUCLK0} + 0.0200 \times f_{ICLK} + 215.00) \times (\text{補正係数 } 1.1)$$

$$I_{CC} \text{ Max. (VSCR_2, 125°C)} = (0.0733 \times f_{CPUCLK0} + 0.2200 \times f_{ICLK} + 297.01) \times (\text{補正係数 } 1.1)$$

[LDO 効率向上機能有効時 (LDOECR.EFUPE = 1)] (VCC = 1.8 V)

$$I_{CC} \text{ Typ.} = 0.1115 \times f_{CPUCLK0} + 0.0349 \times f_{ICLK} + 24.25$$

$$I_{CC} \text{ Max. (VSCR_2, 105°C)} = (0.0327 \times f_{CPUCLK0} + 0.1029 \times f_{ICLK} + 298.32) \times (\text{補正係数 } 1.1)$$

$$I_{CC} \text{ Max. (VSCR_2, 125°C)} = (0.0333 \times f_{CPUCLK0} + 0.0200 \times f_{ICLK} + 488.01) \times (\text{補正係数 } 1.1)$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注 2. LDOECR.EFUPE = 0 (無効)、LDOECR.EFUPE = 1 (有効)

注 3. 参考値です。

表 2.27 消費電流(CPU : while(1)動作、かつ周辺クロック供給停止、ESWM ドメインは OFF 状態)

項目			記号	typ	max	単位	測定条件
DCDC モード	VCC_DCDC ≥ 2.5 V	周波数設定 3 (CPUCLK0 = 300 MHz)	I _{CC_DCDC} (注2)	16	—	mA	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V	周波数設定 3 (CPUCLK0 = 300 MHz)		24	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
外部 VDD モード	VCL = 0.87 ~ 0.99 V	周波数設定 3 (CPUCLK0 = 300 MHz)	I _{DD} (注3)	41	—	mA	電圧範囲 2 (VCL = 0.925 V)
LDO モード	LDO 効率向上機能 無効時 (注1)	周波数設定 3 (CPUCLK0 = 300 MHz)	I _{CC} (注4)	47	—	mA	VCC = 3.3 V
	LDO 効率向上機能 有効時 (注1)	周波数設定 3 (CPUCLK0 = 300 MHz)		47	—		

注 1. LDOECR.EFUPE = 0 (無効)、LDOECR.EFUPE = 1 (有効)

注 2. I_{CC_DCDC} は、以下の式で概算値を見積もることが可能です ([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V 時]

$$I_{CC_DCDC} \text{ Typ. (VSCR_2)} = 0.0069 \times f_{CPUCLK0} + 0.0122 \times f_{ICLK} + 10.71$$

[VCC_DCDC = 1.8 V 時]

$$I_{CC_DCDC} \text{ Typ. (VSCR_2)} = 0.0213 \times f_{CPUCLK0} + 0.0200 \times f_{ICLK} + 11.63$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注 3. I_{DD} は、以下の式で概算値を見積もることが可能です ([単位] I_{DD} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

$$I_{DD} \text{ Typ. (VCL = 0.87 ~ 0.99 V)} = 0.0420 \times f_{CPUCLK0} + 0.0353 \times f_{ICLK} + 18.16$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注 4. I_{CC} は、以下の式で概算値を見積もることが可能です ([単位] I_{CC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[LDO 効率向上機能無効時 (LDOECR.EFUPE = 0)]

$$I_{CC} \text{ Typ.} = 0.0425 \times f_{CPUCLK0} + 0.0351 \times f_{ICLK} + 24.05$$

[LDO 効率向上機能有効時 (LDOECR.EFUPE = 1)]

$$I_{CC} \text{ Typ.} = 0.0423 \times f_{CPUCLK0} + 0.0351 \times f_{ICLK} + 23.78$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

表2.28 消費電流(Coremark動作、かつ周辺クロック供給停止、ESWMドメインはOFF状態)(DCDCモード)

項目			記号	typ	max	単位	測定条件
キャッシュ有効	VCC_DCDC $\geq$ 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{CC_DCDC}	23	—	mA	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)		34	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
キャッシュ無効、 LRAMからコード 実行	VCC_DCDC $\geq$ 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{CC_DCDC}	20	—	mA	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)		27	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
キャッシュ無効、 SRAMからコード 実行	VCC_DCDC $\geq$ 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{CC_DCDC}	18	—	mA	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)		23	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V
キャッシュ無効、 MRAMからコード 実行	VCC_DCDC $\geq$ 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{CC_DCDC}	20	—	mA	VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V	周波数設定3 (CPUCLK0 = 300 MHz)		28	—		VSCR_2 (VCL = 0.925 V) VCC_DCDC = 1.8 V

表2.29 消費電流(Coremark動作、かつ周辺クロック供給停止、ESWMドメインはOFF状態)(外部VDDモード)

項目			記号	typ	max	単位	測定条件
キャッシュ有効	VCL = 0.87 ~ 0.99 V	周波数設定3 (CPUCLK0 = 300 MHz)	I _{DD}	56	—	mA	電圧範囲2 (VCL = 0.925 V)
キャッシュ無効、 LRAMからコード 実行			I _{DD}	45	—	mA	
キャッシュ無効、 SRAMからコード 実行			I _{DD}	38	—	mA	
キャッシュ無効、 MRAMからコード 実行			I _{DD}	45	—	mA	

表2.30 消費電流(Coremark動作、かつ周辺クロック供給停止、ESWMドメインはOFF状態)(LDOモード)

項目		記号	typ	max	単位	測定条件
キャッシュ有効	周波数設定3 (CPUCLK0 = 300 MHz)	I _{DD}	62	—	mA	VCC = 3.3 V
キャッシュ無効、LRAMからコード実行		I _{DD}	51	—	mA	
キャッシュ無効、SRAMからコード実行		I _{DD}	44	—	mA	
キャッシュ無効、MRAMからコード 実行		I _{DD}	58	—	mA	

表2.31 消費電流(CPUスリープモード、かつ周辺クロック供給停止、ESWMドメインはOFF状態)

項目	記号	typ	max	単位	測定条件
DCDCモード	VCC_DCDC ≥ 2.5 V	I _{CC_DCDC} (注2)	17	188	mA VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V		21	344	
外部VDDモード	VCL = 0.87 ~ 0.99 V	I _{DD} (注3)	34	540	mA 電圧範囲2 (VCL = 0.925 V)
LDOモード	LDO効率向上機能無効時 (注1)	I _{CC} (注4)	40	542	mA VCC = 3.3 V
	LDO効率向上機能有効時 (注1)		40	406 (注5)	
			40	595 (注5)	VCC = 1.8 V

注1. LDOECR.EFUPE = 0 (無効)、LDOECR.EFUPE = 1 (有効)

注2. I_{CC_DCDC}は、以下の式で概算値を見積もることが可能です ([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V時]

$$I_{CC_DCDC} \text{ Typ.} = 0.0028 \times f_{CPUCLK0} + 0.0096 \times f_{ICLK} + 12.80$$

[VCC_DCDC = 1.8 V時]

$$I_{CC_DCDC} \text{ Typ.} = 0.0074 \times f_{CPUCLK0} + 0.0184 \times f_{ICLK} + 12.82$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注3. I_{DD}は、以下の式で概算値を見積もることが可能です ([単位] I_{DD} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

$$I_{DD} \text{ Typ.} (VCL = 0.87 \sim 0.99 V) = 0.0169 \times f_{CPUCLK0} + 0.0351 \times f_{ICLK} + 18.18$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注4. I_{CC}は、以下の式で概算値を見積もることが可能です ([単位] I_{CC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[LDO効率向上機能無効時 (LDOECR.EFUPE = 0)]

$$I_{CC} \text{ Typ.} = 0.0171 \times f_{CPUCLK0} + 0.0352 \times f_{ICLK} + 24.02$$

[LDO効率向上機能有効時 (LDOECR.EFUPE = 1)]

$$I_{CC} \text{ Typ.} = 0.0170 \times f_{CPUCLK0} + 0.0351 \times f_{ICLK} + 24.50$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注5. 参考値です。

表2.32 消費電流(CPUディープスリープモード、かつ周辺クロック供給停止、ESWMドメインはOFF状態)

項目	記号	typ	max	単位	測定条件
DCDCモード	VCC_DCDC ≥ 2.5 V	I _{CC_DCDC} (注2)	15	154	mA VSCR_2 (VCL = 0.925 V) VCC_DCDC = 3.3 V
	VCC_DCDC < 2.5 V		19	279	
外部VDDモード	VCL = 0.87 ~ 0.99 V	I _{DD} (注3)	30	450	mA 電圧範囲2 (VCL = 0.925 V)
LDOモード	LDO効率向上機能無効時 (注1)	I _{CC} (注4)	36	453	mA VCC = 3.3 V
	LDO効率向上機能有効時 (注1)		36	347 (注5)	
			36	506 (注5)	VCC = 1.8 V

注1. LDOECR.EFUPE = 0 (無効)、LDOECR.EFUPE = 1 (有効)

注2. I_{CC_DCDC}は、以下の式で概算値を見積もることが可能です ([単位] I_{CC_DCDC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[VCC_DCDC = 3.3 V時]

$$I_{CC_DCDC} \text{ Typ.} (VSCR_2) = 0.0016 \times f_{CPUCLK0} + 0.0062 \times f_{ICLK} + 13.10$$

[VCC_DCDC = 1.8 V時]

$$I_{CC_DCDC} \text{ Typ.} (VSCR_2) = 0.0039 \times f_{CPUCLK0} + 0.0156 \times f_{ICLK} + 12.82$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注3. I_{DD}は、以下の式で概算値を見積もることが可能です ([単位] I_{DD} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

$$I_{DD} \text{ Typ.} (VCL = 0.87 \sim 0.99 V) = 0.0085 \times f_{CPUCLK0} + 0.0350 \times f_{ICLK} + 17.37$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注4. I_{CC}は、以下の式で概算値を見積もることが可能です ([単位] I_{CC} : mA, f_{CPUCLK0} : MHz, f_{ICLK} : MHz)。

[LDO効率向上機能無効時 (LDOECR.EFUPE = 0)]

$$I_{CC} \text{ Typ.} = 0.0086 \times f_{CPUCLK0} + 0.0351 \times f_{ICLK} + 23.25$$

[LDO効率向上機能有効時 (LDOECR.EFUPE = 1)]

$$I_{CC} \text{ Typ.} = 0.0085 \times f_{CPUCLK0} + 0.0352 \times f_{ICLK} + 22.89$$

ただし、上記は概算式であり、実際の消費電流を保証するものではありません。

注5. 参考値です。

表 2.33 最大動作時にMRAM-OTP領域をBGO動作で書き換えた場合の消費電流の増加分

項目		記号	typ	max	単位	測定条件
消費電流	通常書き込みモード	I_{CC}	—	20	mA	$V_{CC} \geq 1.62 \text{ V}$
		I_{DD}	—	0.5		
	高速書き込みモード0	I_{CC}	—	25		$V_{CC} \geq 2.5 \text{ V}$
		I_{DD}	—	5		
	高速書き込みモード1	I_{CC}	—	80		$V_{CC} \geq 3.0 \text{ V}$
		I_{DD}	—	0.5		

注. MWMCRレジスタでMRAM-OTPへのデータ書き込み時の書き込みモードを設定できます。

表 2.34 ソフトウェアスタンバイモード1電流(DCDCモード)

項目		記号	typ	max ($T_j = 105^\circ\text{C}$)	max ($T_j = 125^\circ\text{C}$)	単位	測定条件
VCC電流		I_{CC}	0.18	0.39	0.62	mA	$V_{CC} = 3.3 \text{ V}$
VCC_DCDC 電流	SRAMとLRAMのデータは保持(注1、注2)	I_{CC_DCDC}	9.76	77.4	122		$V_{CC_DCDC} = 3.3 \text{ V}$
	SRAMとLRAMのデータは非保持(注1、注2)		9.63	76.7	121		

注1. PDRAMSCR0レジスタが“7FFFh”のときはSRAMのデータ保持、“7000h”のときはSRAMのデータ非保持

注2. PDRAMSCR2.RKEEP0ビットが“1”のときはLRAMデータ保持、“0”のときはLRAMデータ非保持

表 2.35 ソフトウェアスタンバイモード1電流(LDOモード)

項目		記号	typ	max ($T_j = 105^\circ\text{C}$)	max ($T_j = 125^\circ\text{C}$)	単位	測定条件
VCC電流	SRAMとLRAMのデータは保持(注1、注2)	I_{CC}	9.94	223	353	mA	$V_{CC} = 3.3 \text{ V}$
	SRAMとLRAMのデータは非保持(注1、注2)		9.81	223	353		

注. ソフトウェアスタンバイモード1では、LDO効率向上機能が無効です。LDOECR.EFUPE = 0としてください。

注1. PDRAMSCR0レジスタが“7FFFh”のときはSRAMのデータ保持、“7000h”のときはSRAMのデータ非保持

注2. PDRAMSCR2.RKEEP0ビットが“1”のときはLRAMデータ保持、“0”のときはLRAMデータ非保持

表 2.36 ソフトウェアスタンバイモード2電流(DCDCモード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件				
VCC電流	SS2LP_0の場合		I _{CC}	0.18	0.39	0.62	mA	VCC = 3.3 V				
	SS2LP_1の場合			0.04	0.26	0.49						
SS2LP_0 (注1)	SVSCR_2 (注2)	SRAMとLRAMのデータは保持 (注3、注4)	I _{CC_DCDC}	8.34	23.2	34.1	mA	VCC_DCDC = 3.3 V				
		SRAMとLRAMのデータは非保持 (注3、注4)		8.25	22.8	33.3						
	SVSCR_3 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		7.99	17.8	26.2						
		SRAMとLRAMのデータは非保持 (注3、注4)		7.94	17.6	25.7						
	SVSCR_4 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		7.87	15.6	22.9						
		SRAMとLRAMのデータは非保持 (注3、注4)		7.84	15.3	22.0						
	SVSCR_5 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		7.79	13.6	19.8						
		SRAMとLRAMのデータは非保持 (注3、注4)		7.77	13.4	19.1						
	SS2LP_1 (注1)	SVSCR_2 (注2)		SRAMとLRAMのデータは保持 (注3、注4)	I _{CC_DCDC}	0.84			18.7	31.5	mA	VCC_DCDC = 3.3 V
				SRAMとLRAMのデータは非保持 (注3、注4)		0.73			18.3	30.5		
SVSCR_3 (注2)		SRAMとLRAMのデータは保持 (注3、注4)	0.53	13.6		23.3						
		SRAMとLRAMのデータは非保持 (注3、注4)	0.48	13.4		22.7						
SVSCR_4 (注2)		SRAMとLRAMのデータは保持 (注3、注4)	0.42	11.7		20.3						
		SRAMとLRAMのデータは非保持 (注3、注4)	0.39	11.3		19.4						
SVSCR_5 (注2)		SRAMとLRAMのデータは保持 (注3、注4)	0.34	10.0		17.6						
		SRAMとLRAMのデータは非保持 (注3、注4)	0.32	9.70		16.8						

注1. SSCR1レジスタのSS2LP[1:0]ビットの設定値。SS2LP_0 : デフォルトモード、SS2LP_1 : 低電力設定1

注2. SVSCR_n (n = 2 ~ 5)は、SVSCRレジスタで定義されるVDDのターゲット電圧

注3. PDRAMSCR0レジスタが“7FFFh”のときはSRAMのデータ保持、“7000h”のときはSRAMのデータ非保持

注4. PDRAMSCR2.RKEEP0ビットが“1”のときはLRAMデータ保持、“0”のときはLRAMデータ非保持

表2.37 ソフトウェアスタンバイモード2電流(LDOモード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
SS2LP_0 (注1)	SVSCR_2 (注2)	SRAMとLRAMのデータは保持 (注3、注4)	I _{CC}	4.46	57.2	95.9	mA	VCC = 3.3 V
		SRAMとLRAMのデータは非保持 (注3、注4)		4.11	56.3	94.0		
	SVSCR_3 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		3.66	47.2	80.3		
		SRAMとLRAMのデータは非保持 (注3、注4)		3.49	46.5	78.7		
	SVSCR_4 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		3.39	42.7	73.8		
		SRAMとLRAMのデータは非保持 (注3、注4)		3.26	41.2	70.6		
	SVSCR_5 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		3.14	38.6	67.3		
		SRAMとLRAMのデータは非保持 (注3、注4)		3.05	37.3	64.4		
SS2LP_1 (注1)	SVSCR_2 (注2)	SRAMとLRAMのデータは保持 (注3、注4)	I _{CC}	2.85	56.4	94.9	mA	VCC = 3.3 V
		SRAMとLRAMのデータは非保持 (注3、注4)		2.51	55.6	93.1		
	SVSCR_3 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		2.09	46.3	79.3		
		SRAMとLRAMのデータは非保持 (注3、注4)		1.92	45.6	77.8		
	SVSCR_4 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		1.78	41.6	72.6		
		SRAMとLRAMのデータは非保持 (注3、注4)		1.65	40.4	69.6		
	SVSCR_5 (注2)	SRAMとLRAMのデータは保持 (注3、注4)		1.54	37.5	66.1		
		SRAMとLRAMのデータは非保持 (注3、注4)		1.45	36.4	63.3		

- 注. ソフトウェアスタンバイモード2では、LDO効率向上機能を無効にしてください(LDOECR.EFUPE = 0)。
 注1. SSCR1レジスタのSS2LP[1:0]ビットの設定値。SS2LP_0: デフォルトモード、SS2LP_1: 低電力設定1
 注2. SVSCR_n (n = 2~5)は、SVSCRレジスタで定義されるVDDのターゲット電圧
 注3. PDRAMSCR0レジスタが“7FFFh”のときはSRAMのデータ保持、“7000h”のときはSRAMのデータ非保持
 注4. PDRAMSCR2.RKEEP0ビットが“1”のときはLRAMデータ保持、“0”のときはLRAMデータ非保持

2.4.4.3 ディープソフトウェアスタンバイモード電流

表2.38 ディープソフトウェアスタンバイモード電流(DCDCモード/LDOモード)

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
DSTBY1	VCC_DCDC 電流		I _{CC_DCDC}	0.16	1.24	2.45	μA	max 条件 : VCC = VCC_DCDC = 3.63 V typ 条件 : VCC = VCC_DCDC = 3.3 V
	VCC 電流		I _{CC}	7.10	185	332		
	PVDn または VBATT 電源切り替え有効時 (注1) 増加分			表 2.40 を参照				
	LOCO 使用時増加分 (注2)			3.42	4.50	5.20		
	SOSC および RTC 動作時増加分			表 2.41 を参照				
	IWDT 動作時増加分			0.01	0.02	0.02		
DSTBY2	VCC_DCDC 電流		I _{CC_DCDC}	0.16	1.24	2.45	μA	
	VCC 電流		I _{CC}	4.90	108	195		
	PVDn または VBATT 電源切り替え有効時 (注1) 増加分			表 2.40 を参照				
	SOSC および RTC 動作時増加分			表 2.41 を参照				
DSTBY3	VCC_DCDC 電流		I _{CC_DCDC}	0.16	1.24	2.45	μA	
	VCC 電流		I _{CC}	4.40	106	193		
	SOSC および RTC 動作時増加分			表 2.41 を参照				
LDO 使用時増加分			I _{CC}	0.10	7.42	26.1	μA	VCC = 3.3 V

DSTBY1 : ディープソフトウェアスタンバイモード 1

DSTBY2 : ディープソフトウェアスタンバイモード 2

DSTBY3 : ディープソフトウェアスタンバイモード 3

PVDn : プログラマブル電圧検出モジュール (n = 0, 1, 2, 4, 5)

LOCO : 低速オンチップオシレータ

SOSC : サブクロック発振器

RTC : リアルタイムクロック

注1. VBATTTCR1.PSWDISビット = 0 (初期値)のとき、VBATT 電源切り替え有効

注2. この項目のmax条件は、VCC = VCC_DCDC = 3.3 Vで測定した結果です。

表2.39 VCCオフ時(VCC = 0 V)のRTC動作電流(バッテリーバックアップ機能によりRTCのみ動作)

項目			記号	typ	max (T _J = 105°C)	max (T _J = 125°C)	単位	測定条件
VBATT消費電流	水晶振動子使用時	低消費電力モード2 (7 pF) (注1)	I _{VBAT}	0.57	—	—	μA	VBATT = 1.8 V
		低消費電力モード1 (9 pF) (注1)		0.98	—	—		VBATT = 3.3 V
				0.67	—	—		VBATT = 1.8 V
				1.08	—	—		VBATT = 3.3 V
				0.92	—	—		VBATT = 1.8 V
		1.34		—	—	VBATT = 3.3 V		
	外部サブクロック入力端子(EXCIN)使用時			0.23	—	—		VBATT = 1.8 V
				0.57	—	—		VBATT = 3.3 V
	RTCICn (n = 0~2)入力使用時の1チャンネルあたりの増加分			0.01	—	—		VBATT = 1.8 V
				0.01	—	—		VBATT = 3.3 V

注1. SOMCR.SODRV[1:0]ビットで設定

表2.40 DSTBY1モードまたはDSTBY2モードにおけるPVDnまたはバッテリバックアップ機能使用時の電流増加分

項目		記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
VCC電流 増加分	DSTBY1時のPVDnの共通回路電流 (注1)	I _{CC}	3.60	—	—	μA	VCC = VCC_DCDC = 3.3 V
	DSTBY2時のPVDnの共通回路電流 (注1)		3.60	—	—		
	PVD1有効		1.70	—	—		
	PVD2有効		1.70	—	—		
	PVD4有効		1.70	—	—		
	PVD5有効		1.70	—	—		
	VBATT電源切り替え有効 (注2)		1.70	—	—		

n = 0, 1, 2, 4, 5

注1. PVDn有効時、かつPVD0の低消費電力機能無効時 (OFS1.DSBYLPSEL = 1)

注2. VBATTTCR1.PSWDISビット = 0、かつVBATTの電圧検出にPVD0を使用しないとき (OFS1.DSBYLPSEL = 1)

表2.41 DSTBYモードにおけるサブクロック発振器およびRTC動作時の電流増加分

項目			記号	typ	max (Tj = 105°C)	max (Tj = 125°C)	単位	測定条件
VCC電流 増加分	水晶振動子使用時	低消費電力モード2 (7 pF) (注1)	I _{CC}	0.47	—	—	μA	VCC = VCC_DCDO = 3.3 V
		低消費電力モード1 (9 pF) (注1)		0.57	—	—		
		標準モード (12.5 pF) (注1)		0.83	—	—		
	RTC動作時			0.05	—	—		

注1. SOMCR.SODRV[1:0]ビットで設定

表 2.42 ラッシュ電流

項目		型名 (R5K574Mxy4zz)	DPSBYCR レジスタ	記号	typ	max	単位	測定条件	
VCC_DCDC のラッシュ 電流	電源投入時のラッシュ電流	y = A, B, C, D, T, U, V, W	—	I _{RUSH}	—	1200	mA	—	
		y = E, F	—		—	1050			
	ディープソフトウェアスタンバイモードからの復帰時のラッシュ電流	y = A, B, C, D, T, U, V, W	DCSSMODE[1:0] = 01b		—	1150			
			DCSSMODE[1:0] = 10b		—	1050			
			DCSSMODE[1:0] = 11b		—	1050			
		y = E, F	DCSSMODE[1:0] = 01b		—	1000			
			DCSSMODE[1:0] = 10b		—	900			
			DCSSMODE[1:0] = 11b		—	800			
VCCのラッシュ電流	電源投入時のラッシュ電流	zz = FP (LQFP100)		I _{RUSH}	—	495	mA	—	
		zz = FB (LQFP144)			—	490			
		zz = FC (LQFP176)			—	500			
		zz = BG (BGA176)			—	500			
		zz = BD (BGA224)			—	500			
		zz = AE (BGA320)			—	511		(注1)	
	ディープソフトウェアスタンバイモードからの復帰時のラッシュ電流	zz = FP (LQFP100)	LDOSSMODE[1:0] = 01b		—	615		—	
					zz = FB (LQFP144)	—			602
					zz = FC (LQFP176)	—			626
					zz = BG (BGA176)	—			626
					zz = BD (BGA224)	—			626
					zz = AE (BGA320)	—		650	(注1)
		zz = FP (LQFP100)	LDOSSMODE[1:0] = 10b		—	541		—	
					zz = FB (LQFP144)	—			532
					zz = FC (LQFP176)	—			548
					zz = BG (BGA176)	—			548
					zz = BD (BGA224)	—			548
					zz = AE (BGA320)	—		563	(注1)
		zz = FP (LQFP100)	LDOSSMODE[1:0] = 11b		—	495		—	
					zz = FB (LQFP144)	—			490
					zz = FC (LQFP176)	—			500
					zz = BG (BGA176)	—			500
					zz = BD (BGA224)	—			500
					zz = AE (BGA320)	—		511	(注1)

注. 参考値

注1. VCL 端子は、積層セラミックコンデンサを介してVSS端子に接続する必要がありますが、LDOモード時は、接続する積層セラミックコンデンサの数を10個以下としてください。

BGA320の場合は、積層セラミックコンデンサを10個接続したことになります。

2.4.4.4 動作電流 (その他)

表 2.43 メインクロック発振器動作電流

項目		記号	typ	max	単位
メインクロック発振器動作電流	MOMCR.MODRV0[2:0] = 000b	I _{CC}	0.65	—	mA
	MOMCR.MODRV0[2:0] = 011b		0.76	—	
	MOMCR.MODRV0[2:0] = 101b		0.88	—	

表 2.44 アナログ動作電流

項目								記号	typ	max	単位
	A/D ユニット0	S&H (3ch)	A/D ユニット1	A/D ユニット2	D/A (注1) AMP ON	D/A (注2) AMP OFF	TEMPS				
アナログ 電源電流	変換中	スリープ	スリープ	スリープ	停止	停止	停止	AI _{CC}	2.4	3.2	mA
	変換中	変換中	スリープ	スリープ	停止	停止	停止		6.6	8.7	
	待機時	スリープ	スリープ	スリープ	停止	停止	停止		1.6	2.0	
	スリープ	スリープ	変換中	スリープ	停止	停止	停止		2.4	3.2	
	スリープ	スリープ	待機時	スリープ	停止	停止	停止		1.6	2.0	
	スリープ	スリープ	スリープ	変換中	停止	停止	停止		2.4	3.2	
	スリープ	スリープ	スリープ	待機時	停止	停止	停止		1.6	2.0	
	停止	停止	停止	停止	変換中	停止	停止		0.5	1.5	
	停止	停止	停止	停止	停止	変換中	停止		0.1	0.2	
	停止	停止	停止	停止	停止	停止	変換中		0.1	0.2	
	スタンバイモード時								0.3	7.3	μA
基準 電源電流	ADC16H A/D 変換中 (全ユニット)		SAR モード					AI _{REFH0}	220	370	μA
			オーバーサンプリングモード、もしくはハイブリッドモード						580	880	
	ADC16H A/D 変換待機中 (全ユニット)								8.2	14	
	スタンバイモード時のADC16H (全ユニット)								0.1	0.5	

停止：モジュールストップ中

待機時：動作中だが A/D 変換動作をしていないとき

スリープ：スリープ動作モード (ADUSLPCRn.ADUSLPn = 1 (n = 0, 1, 2))

S&H：チャネル専用サンプル & ホールド回路

注1. AMP ON 時の負荷抵抗は、5 kΩ

注2. AMP OFF 時の負荷抵抗は、2 MΩ

表 2.45 USB 動作電流

項目				記号	typ	max	単位
USB 動作電流	ロースピード	USBf		I _{CCUSB_LS}	2.90	4.00	mA
		USBHS	CL only モード動作を禁止	I _{CCUSBHS_LS}	11.5	14.6	
			CL only モード動作を許可		5.04	6.80	
	フルスピード	USBf		I _{CCUSB_FS}	4.00	4.70	
		USBHS	CL only モード動作を禁止	I _{CCUSBHS_FS}	12.5	14.7	
			CL only モード動作を許可		5.98	6.90	
	ハイスピード	USBHS		I _{CCUSBHS_HS}	45.7	55.3	μA
	スタンバイ時	USBHS		I _{CCUSBHS_SBY}	0.89	11.4	

注. USBHS の電源は、VCC_USBHS = AVCC_USBHS の条件の場合

注. CL only モードは、PHYSET.HSEB ビットが“0”のときに動作禁止、“1”のときに動作許可

2.4.4.5 出力許容電流

表 2.46 出力許容電流 (1 / 6)

項目				記号	min	typ	max	単位	
Low レベル出力許容電流 (1端子あたりの平均値)	I3C (注1)	I3C プロトコルモード (注5)	LVO0E = 0	I _{OL}	—	—	20	mA	
			LVO0E = 1		—	—	25		
		I ² C (Sm)			—	—	25		
		I ² C (Fm)			—	—	25		
		I ² C (Fm+)			—	—	25		
		I ² C (Hs)			—	—	25		
		RIICHS (注2)	I ² C (Sm)			—	—		25
	I ² C (Fm)				—	—	25		
	I ² C (Fm+)				—	—	25		
	I ² C (Hs)				—	—	25		
	上記以外 (注3、注4)	DRV1			—	—	7.5		
		DRV2			—	—	15		
		DRV3			—	—	20		
		DRV4			—	—	25		
		DRV5			—	—	25		
		DRV6			—	—	25		
		DRV7			—	—	25		
	DRV8				—	—	25		
Low レベル出力許容電流 (1端子あたりの最大値)	I3C (注1)	I3C プロトコルモード (注5)	LVO0E = 0	I _{OL}	—	—	40	mA	
			LVO0E = 1		—	—	50		
		I ² C (Sm)			—	—	50		
		I ² C (Fm)			—	—	50		
		I ² C (Fm+)			—	—	50		
		I ² C (Hs)			—	—	50		
		RIICHS (注2)	I ² C (Sm)			—	—		50
	I ² C (Fm)				—	—	50		
	I ² C (Fm+)				—	—	50		
	I ² C (Hs)				—	—	50		
	上記以外 (注3、注4)	DRV1			—	—	15		
		DRV2			—	—	30		
		DRV3			—	—	40		
		DRV4			—	—	50		
		DRV5			—	—	50		
		DRV6			—	—	50		
		DRV7			—	—	50		
	DRV8				—	—	50		
Low レベル出力許容電流 (総和)	VCC IO (LQFP100)	P001～P007、 P306、P307、 P310～P312、P315 (合計 13 端子)		ΣI _{OL}	—	—	80	mA	
		P101～P107、 P200、P201、 P300～P304 (合計 14 端子)			—	—	80		
		PA04～PA07、 PB00～PB06、 PC00～PC06 (合計 18 端子)			—	—	80		
		PA00～PA03、 PE00～PE06 (合計 11 端子)			—	—	80		

表 2.46 出力許容電流 (2 / 6)

項目			記号	min	typ	max	単位
Low レベル出力許容電流 (総和)	VCC IO (LQFP144)	P000 ~ P007、 P306、P307、 P310 ~ P312、P315 (合計 14 端子)	ΣI_{OL}	—	—	80	mA
		P202 ~ P207、 P302 ~ P304 (合計 9 端子)		—	—	80	
		P100 ~ P107、 P200、P201、 P300、P301 (合計 12 端子)		—	—	80	
		P800 ~ P803、 PC00 ~ PC07 (合計 12 端子)		—	—	80	
		PB00 ~ PB07 (合計 8 端子)		—	—	80	
		PA00 ~ PA07 (合計 8 端子)		—	—	80	
		P700 ~ P702、 PE00 ~ PE07 (合計 11 端子)		—	—	80	
	VCC IO (LQFP176, BGA176)	P000 ~ P007、 P306、P307、 P310 ~ P312、P315 (合計 14 端子)	ΣI_{OL}	—	—	80	mA
		P202 ~ P207、 P302 ~ P304 (合計 9 端子)		—	—	80	
		P100 ~ P107、 P200、P201、 P300、P301、 P804、P805 (合計 14 端子)		—	—	80	
		P500 ~ P503、 P800 ~ P803、 PC00 ~ PC07 (合計 16 端子)		—	—	80	
		PA04 ~ PA07、 PB00 ~ PB07、 PG00 ~ PG02 (合計 15 端子)		—	—	80	
		P700 ~ P707、 PA00 ~ PA03 (合計 12 端子)		—	—	80	
		PE00 ~ PE07 (合計 8 端子)		—	—	80	
	VCC IO (BGA224)	P000 ~ P007、 P214、P215 (合計 10 端子)	ΣI_{OL}	—	—	80	mA
		P306、P307、 P310 ~ P312、P315、 P208 ~ P213 (合計 12 端子)		—	—	80	
		P112 ~ P115、 P202 ~ P207、 PF02 ~ PF05 (合計 14 端子)		—	—	80	
		P108 ~ P111、 P300 ~ P304、 P804 ~ P807 (合計 13 端子)		—	—	80	
		P100 ~ P107、 P200、P201、 P504 ~ P507 (合計 14 端子)		—	—	80	
		P500 ~ P503、 P800 ~ P803、 PC05 ~ PC07 (合計 11 端子)		—	—	80	
		PB04 ~ PB07、 PC00 ~ PC04 (合計 9 端子)		—	—	80	
		PB00 ~ PB03、 PG04 ~ PG07 (合計 8 端子)		—	—	80	
		PA04 ~ PA07、 PG00 ~ PG03 (合計 8 端子)		—	—	80	
		P700 ~ P707、 PA00 ~ PA03 (合計 12 端子)		—	—	80	
		PE00 ~ PE07、 PF06 ~ PF09 (合計 12 端子)		—	—	80	

表 2.46 出力許容電流 (3 / 6)

項目				記号	min	typ	max	単位
Low レベル出力許容電流 (総和)	VCC IO (BGA320)	P000～P015、 P214、P215 (合計18端子)		ΣI_{OL}	—	—	80	mA
		P306、P307、 P310～P312、P315、 P208～P213 (合計12端子)			—	—	80	
		P112～P115、 P202～P207、 PF02～PF05 (合計14端子)			—	—	80	
		P108～P111、 P300～P304、 P804～P807 (合計13端子)			—	—	80	
		P100～P107、 P200、P201、 P504～P507 (合計14端子)			—	—	80	
		P500～P503、 P800～P803、 PC05～PC07(合計11端子)			—	—	80	
		P512～P515、 PB04～PB07、 PC00～PC04 (合計13端子)			—	—	80	
		P510、P511、 PB00～PB03、 PG04～PG07 (合計10端子)			—	—	80	
		P508、P509、 PA04～PA07、 PG00～PG03 (合計10端子)			—	—	80	
		P704～P707、 PA00～PA03、 PG12～PG15 (合計12端子)			—	—	80	
		P700～P703、 P712～P715、 PG08～PG11 (合計12端子)			—	—	80	
		P708～P711、 PE00～PE07、 PF06～PF09 (合計16端子)			—	—	80	
	VCC2 IO	P600～P607、 P900～P907、 PD00～PD07 (合計24端子)		ΣI_{OL_VCC2}	—	—	80	mA
AVCC0 IO	P400～P415 (合計16端子)		ΣI_{OL_AVCC0}	—	—	33	mA	
VCC_USB IO	PF00、PF01 (合計2端子) (注6)		ΣI_{OL_VCCUSB}	—	—	33	mA	
High レベル出力許容電流 (1端子あたりの平均値)	I3C (注1)	I3C プロトコルモード (注5、注7)	LVO0E = 0	I_{OH}	—	—	–20	mA
			LVO0E = 1		—	—	–25	
	上記以外 (注3、注4)	DRV1			—	—	–7.5	
		DRV2			—	—	–15	
		DRV3			—	—	–20	
		DRV4			—	—	–25	
		DRV5			—	—	–25	
		DRV6			—	—	–25	
		DRV7			—	—	–25	
		DRV8			—	—	–25	

表 2.46 出力許容電流 (4 / 6)

項目				記号	min	typ	max	単位
Highレベル出力許容電流 (1端子あたりの最大値)	I3C (注1)	I3C プロトコルモード (注5、注7)	LVO0E = 0	I _{OH}	—	—	−40	mA
			LVO0E = 1		—	—	−50	
	上記以外 (注3、注4)	DRV1			—	—	−15	
		DRV2			—	—	−30	
		DRV3			—	—	−40	
		DRV4			—	—	−50	
		DRV5			—	—	−50	
		DRV6			—	—	−50	
		DRV7			—	—	−50	
		DRV8			—	—	−50	
Highレベル出力許容電流 (総和)	VCC IO (LQFP100)	P001～P007、 P306、P307、 P310～P312、P315 (合計13端子)		ΣI _{OH}	—	—	−80	mA
		P101～P107、 P200、P201、 P300～P304 (合計14端子)			—	—	−80	
		PA04～PA07、 PB00～PB06、 PC00～PC06 (合計18端子)			—	—	−80	
		PA00～PA03、 PE00～PE06 (合計11端子)			—	—	−80	
	VCC IO (LQFP144)	P000～P007、 P306、P307、 P310～P312、P315 (合計14端子)		ΣI _{OH}	—	—	−80	mA
		P202～P207、 P302～P304 (合計9端子)			—	—	−80	
		P100～P107、 P200、P201、 P300、P301 (合計12端子)			—	—	−80	
		P800～P803、 PC00～PC07 (合計12端子)			—	—	−80	
		PB00～PB07 (合計8端子)			—	—	−80	
		PA00～PA07 (合計8端子)			—	—	−80	
		P700～P702、 PE00～PE07 (合計11端子)			—	—	−80	
					—	—	−80	
	VCC IO (LQFP176、 BGA176)	P000～P007、 P306、P307、 P310～P312、P315 (合計14端子)		ΣI _{OH}	—	—	−80	mA
		P202～P207、 P302～P304 (合計9端子)			—	—	−80	
		P100～P107、 P200、P201、 P300、P301、 P804、P805 (合計14端子)			—	—	−80	
		P500～P503、 P800～P803、 PC00～PC07 (合計16端子)			—	—	−80	
		PA04～PA07、 PB00～PB07、 PG00～PG02 (合計15端子)			—	—	−80	
		P700～P707、 PA00～PA03 (合計12端子)			—	—	−80	
		PE00～PE07 (合計8端子)			—	—	−80	
					—	—	−80	

表 2.46 出力許容電流 (5 / 6)

項目			記号	min	typ	max	単位
High レベル出力許容電流 (総和)	VCC IO (BGA224)	P000 ~ P007、 P214、P215 (合計 10 端子)	ΣI_{OH}	—	—	−80	mA
		P306、P307、 P310 ~ P312、P315、 P208 ~ P213 (合計 12 端子)		—	—	−80	
		P112 ~ P115、 P202 ~ P207、 PF02 ~ PF05 (合計 14 端子)		—	—	−80	
		P108 ~ P111、 P300 ~ P304、 P804 ~ P807 (合計 13 端子)		—	—	−80	
		P100 ~ P107、 P200、P201、 P504 ~ P507 (合計 14 端子)		—	—	−80	
		P500 ~ P503、 P800 ~ P803、 PC05 ~ PC07 (合計 11 端子)		—	—	−80	
		PB04 ~ PB07、 PC00 ~ PC04 (合計 9 端子)		—	—	−80	
		PB00 ~ PB03、 PG04 ~ PG07 (合計 8 端子)		—	—	−80	
		PA04 ~ PA07、 PG00 ~ PG03 (合計 8 端子)		—	—	−80	
		P700 ~ P707、 PA00 ~ PA03 (合計 12 端子)		—	—	−80	
		PE00 ~ PE07、 PF06 ~ PF09 (合計 12 端子)		—	—	−80	
	VCC IO (BGA320)	P000 ~ P015、 P214、P215 (合計 18 端子)	ΣI_{OH}	—	—	−80	mA
		P306、P307、 P310 ~ P312、P315、 P208 ~ P213 (合計 12 端子)		—	—	−80	
		P112 ~ P115、 P202 ~ P207、 PF02 ~ PF05 (合計 14 端子)		—	—	−80	
		P108 ~ P111、 P300 ~ P304、 P804 ~ P807 (合計 13 端子)		—	—	−80	
		P100 ~ P107、 P200、P201、 P504 ~ P507 (合計 14 端子)		—	—	−80	
		P500 ~ P503、 P800 ~ P803、 PC05 ~ PC07 (合計 11 端子)		—	—	−80	
		P512 ~ P515、 PB04 ~ PB07、 PC00 ~ PC04 (合計 13 端子)		—	—	−80	
		P510、P511、 PB00 ~ PB03、 PG04 ~ PG07 (合計 10 端子)		—	—	−80	
		P508、P509、 PA04 ~ PA07、 PG00 ~ PG03 (合計 10 端子)		—	—	−80	
		P704 ~ P707、 PA00 ~ PA03、 PG12 ~ PG15 (合計 12 端子)		—	—	−80	
		P700 ~ P703、 P712 ~ P715、 PG08 ~ PG11 (合計 12 端子)		—	—	−80	
		P708 ~ P711、 PE00 ~ PE07、 PF06 ~ PF09 (合計 16 端子)		—	—	−80	

表 2.46 出力許容電流 (6 / 6)

項目			記号	min	typ	max	単位
High レベル出力許容電流 (総和)	VCC2 IO	P600 ~ P607、 P900 ~ P907、 PD00 ~ PD07 (合計 24 端子)	ΣI_{OH_VCC2}	—	—	-80	mA
	AVCC0 IO	P400 ~ P415 (合計 16 端子)	ΣI_{OH_AVCC0}	—	—	-33	mA
	VCC_USB IO	PF00、PF01 (合計 2 端子) (注6)	ΣI_{OH_VCCUSB}	—	—	-33	mA

【使用上の注意】

MCU の信頼性を確保するため、出力電流値は上記の表の値を超えないようにしてください。

平均出力電流は 100 μ s の間に計測した電流の平均値です。

- 注 1. P102、P103 端子で SDA00-A、SCL00-A が選択されている場合
 注 2. P106、P107 端子および P200、P201 端子で SDAHs-A、SCLHs-A (n = 1, 2) が選択されている場合
 注 3. 駆動能力制御ビット (PmnPFS.DSCR[3:0] ビット) の設定値
 注 4. USB0_DP、USB0_DM、USBHS_DP、USBHS_DM は除く
 注 5. 低電圧動作特性制御レジスタ (LVOCR) の LVO0E ビット設定値で特性が異なります。
 注 6. USB0_DP、USB0_DM 以外の機能が選択されている場合
 注 7. プッシュプルモード時

2.4.5 熱特性

2.4.5.1 熱抵抗値

表 2.47 熱抵抗値 (参考値)

項目	パッケージ	記号	max	単位	測定条件
熱抵抗	176 ピン LQFP (PLQP0176KJ-A)	θ_{ja}	29.6	°C/W	JESD51-2 および JESD51-7 準拠
	144 ピン LQFP (PLQP0144KA-B)		34.3		
	100 ピン LQFP (PLQP0100KP-A)		31.6		
	320 ピン BGA (PLBG0320GD-A)		20.3		JESD51-2 および JESD51-9 準拠
	224 ピン BGA (PLBG0224GE-A)		20.4		
	176 ピン BGA (PLBG0176GG-A)		24.7		
	176 ピン LQFP (PLQP0176KJ-A)	Ψ_{jt}	0.45	°C/W	JESD51-2 および JESD51-7 準拠
	144 ピン LQFP (PLQP0144KA-B)		0.36		
	100 ピン LQFP (PLQP0100KP-A)		0.45		
	320 ピン BGA (PLBG0320GD-A)		0.17		JESD51-2 および JESD51-9 準拠
	224 ピン BGA (PLBG0224GE-A)		0.19		
	176 ピン BGA (PLBG0176GG-A)		0.21		

注. 数値は 4 層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC 規格を参照してください。

2.4.5.2 周辺機能の消費電流

表 2.48 周辺機能の動作電流 (モジュールストップ解除時のチップ内部の負荷電流)

項目		記号	max	単位	該当レジスタ
SRAM1		I _{DD}	23.1	mA	MSTPCRA.MSTPA1
DMAC, DTC	DMACa (8 チャンネル)、DTC	I _{DD}	7.04	mA	MSTPCRA.MSTPA22
	EXDMACa (2 チャンネル)		6.56		MSTPCRA.MSTPA29
タイマ	GPTW (16 チャンネル)	I _{DD}	5.54	mA	MSTPCRE.MSTPE31
	HRPWMb		0.09		MSTPCRD.MSTPD6
	TMRa (2 ユニット)		0.07		MSTPCRF.MSTPF7, MSTPCRF.MSTPF6
	CMT (2 ユニット)		0.06		MSTPCRF.MSTPF15, MSTPCRF.MSTPF14
	CMTW (2 ユニット)		0.05		MSTPCRF.MSTPF13, MSTPCRF.MSTPF12
通信インタフェース	ESWM	I _{DD}	24.5	mA	MSTPCRC.MSTPC30
	ESC		1.25		MSTPCRC.MSTPC28, MSTPCRC.MSTPC29
	USB		0.25		MSTPCRB.MSTPB11
	USBHS		0.35		MSTPCRB.MSTPB12
	RSCI (13 チャンネル)		5.34		MSTPCRB.MSTPB31 ~ MSTPCRB.MSTPB20, MSTPCRB.MSTPB0
	RI3C		0.21		MSTPCRB.MSTPB4
	RIICHS (2 チャンネル)		0.40		MSTPCRB.MSTPB8, MSTPCRB.MSTPB7
	CANFDG (2 チャンネル)		0.30		MSTPCRC.MSTPC25
	CANFD		0.14		MSTPCRC.MSTPC27
	RSPIA (3 チャンネル)		0.67		MSTPCRB.MSTPB19, MSTPCRB.MSTPB18, MSTPCRC.MSTPC23
	SDHlc		0.08		MSTPCRC.MSTPC12
	PDMIF		0.03		MSTPCRC.MSTPC24
	DSMIFA (6 チャンネル)		1.89		MSTPCRD.MSTPD9, MSTPCRD.MSTPD8
	XSPI (2 ユニット)、DOTF		9.37		MSTPCRB.MSTPB17, MSTPCRB.MSTPB16
	PCIF (2 ユニット)		0.44		MSTPCRF.MSTPF31, MSTPCRF.MSTPF30
	SSIE (2 チャンネル)		0.08		MSTPCRC.MSTPC8, MSTPCRC.MSTPC7
アナログ	ADC16H	I _{DD}	4.73	mA	MSTPCRD.MSTPD21
	R12DAB		0.02		MSTPCRD.MSTPD20, MSTPCRD.MSTPD19
	温度センサ		0.01		MSTPCRD.MSTPD22
セーフティ、セキュリティ	CRCA	I _{DD}	0.01	mA	MSTPCRC.MSTPC1
	DOCA		0.01		MSTPCRC.MSTPC13
	RSIP		0.67		MSTPCRC.MSTPC31
	POEGd (4 チャンネル)		0.22		MSTPCRD.MSTPD14, MSTPCRD.MSTPD13, MSTPCRD.MSTPD12, MSTPCRD.MSTPD11
画像処理	PDC	I _{DD}	0.04	mA	MSTPCRC.MSTPC2

注. 値はチップ内部に流れる内部負荷電流です。DCDCに供給するI_{CC_DCDC}電流ではありません。

注. モジュールストップを解除した際の増加電流値

表 2.49 周辺機能のリーク電流 (チップ内部の負荷電流)

項目	T _j = 105°C	T _j = 125°C	単位	該当レジスタ
ESWM	9.48	18.3	mA	PDCTRESWM.PDDE

注. 電源ドメインをオンした際のリーク電流

2.4.5.3 T_a の計算例

最大動作温度 (= 最大雰囲気温度) の概算値は、最大ジャンクション温度 や熱抵抗値から以下の計算式で求めることができます。

$$T_{\text{amax}} = T_{\text{jmax}} - (I_{\text{ccmax}} \times V_{\text{CC}} \times \theta_{\text{ja}})$$

- T_{amax} : 最大雰囲気温度 (最大動作温度) [°C]
- T_{jmax} : 最大ジャンクション温度 [°C]
- I_{ccmax} : 最大動作電流 [A]
- θ_{ja} : 熱抵抗値 [°C/W]

例えば、BGA320 のパッケージで、LDO 効率向上機能有効かつ、最大動作時の ICC 電流が 211 mA (typ)、VCC = 3.3 V であった場合、

$$T_{\text{amax}} = 125^{\circ}\text{C} - (0.211 \text{ A} \times 3.3 \text{ V} \times 20.3^{\circ}\text{C/W}) = \text{約 } 111^{\circ}\text{C}$$

のように計算でき、111°C の雰囲気温度まで MCU を動作させることが可能となります。

図 2.7 に、負荷電流 250 mA で、LDO 効率向上機能無効時の最大雰囲気温度の VCC 電圧依存性を示します。

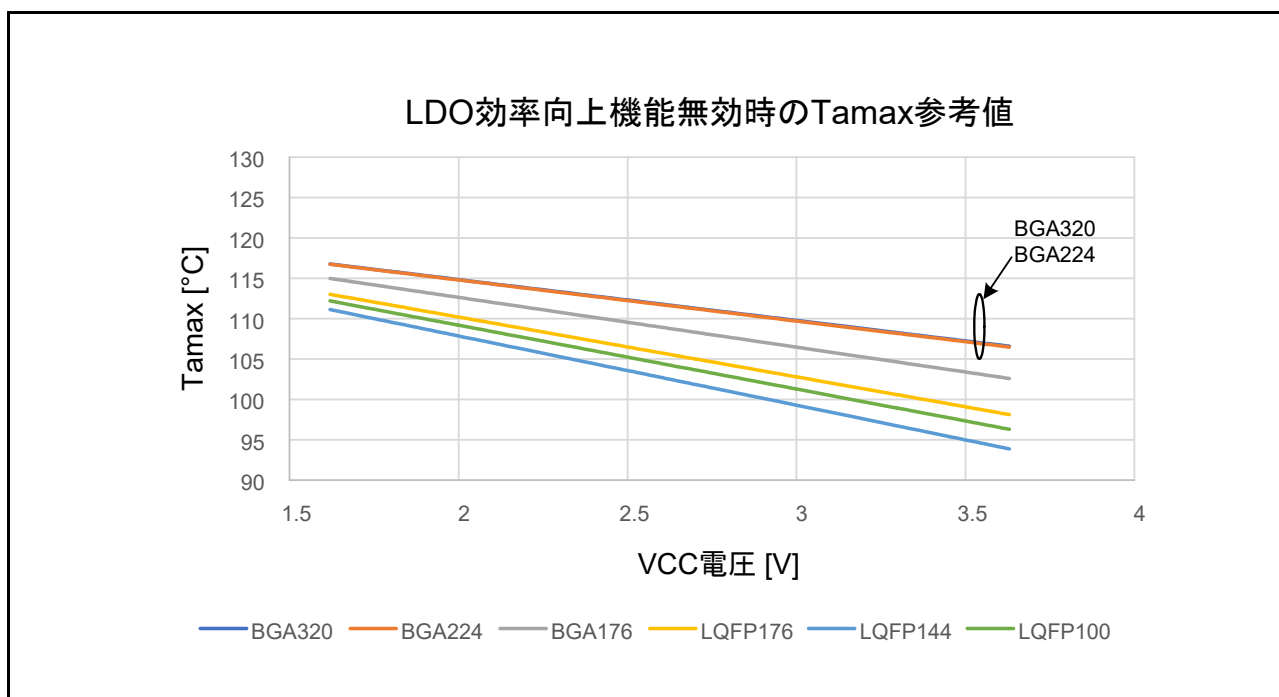


図 2.7 LDO 効率向上機能無効時の最大雰囲気温度の VCC 電圧依存性 (負荷電流 250 mA)

図 2.8 に、負荷電流 250 mA で、LDO 効率向上機能有効時の最大周囲気温度の VCC 電圧依存性を示します。

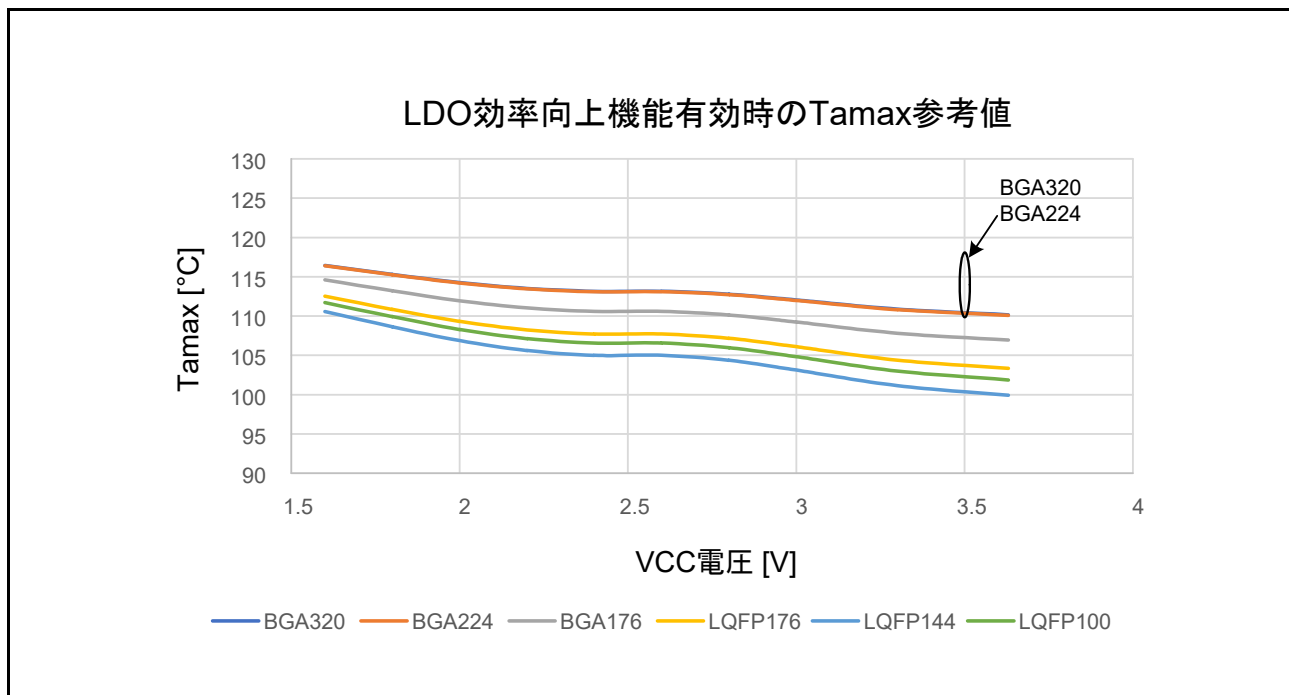


図 2.8 LDO 効率向上機能有効時の最大周囲気温度の VCC 電圧依存性 (負荷電流 250 mA)

図 2.9 に、負荷電流 200 mA で、DCDC 使用時の最大周囲気温度の VCC 電圧依存性を示します。なお、DCDC は、VCC 電圧に応じて ICC 電流および電力変換効率が変化するため、高電圧側では電力変換効率が 70% 前後、低電圧側では 85% 程度と仮定し算出した参考値になります。

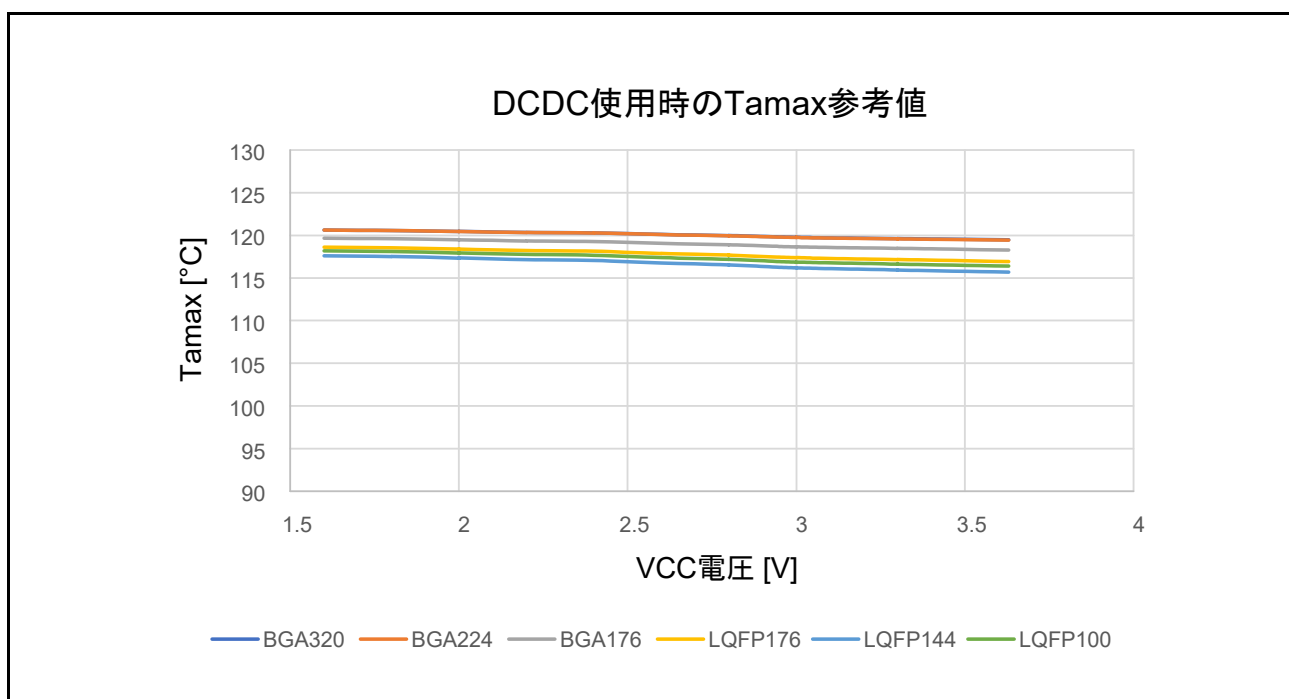


図 2.9 DCDC 使用時の最大周囲気温度の VCC 電圧依存性 (負荷電流 200 mA)

2.4.6 VCC 立ち上がり / 立ち下がり勾配とリップル周波数

表 2.50 パワーオン/オフ時の VCC 立ち上がり / 立ち下がり勾配の特性

項目	記号	min	typ	max	単位	測定条件
パワーオン時の VCC 立ち上がり勾配 (注1)	SrVCC	0.0084	—	4	ms/V	図 2.10
パワーオフ時の VCC 立ち下がり勾配 (注2)	VBATT 機能は無効	SfVCC1	—	—		
	VBATT 機能は有効	SfVCC2	—	—		

注1. VCC 電圧が V_{POR1} 電圧より下回った状態から、 V_{POR1} 電圧より上がる場合

注2. VCC 電圧が V_{POR1} 電圧より上回った状態から、 V_{POR1} 電圧より下がる場合

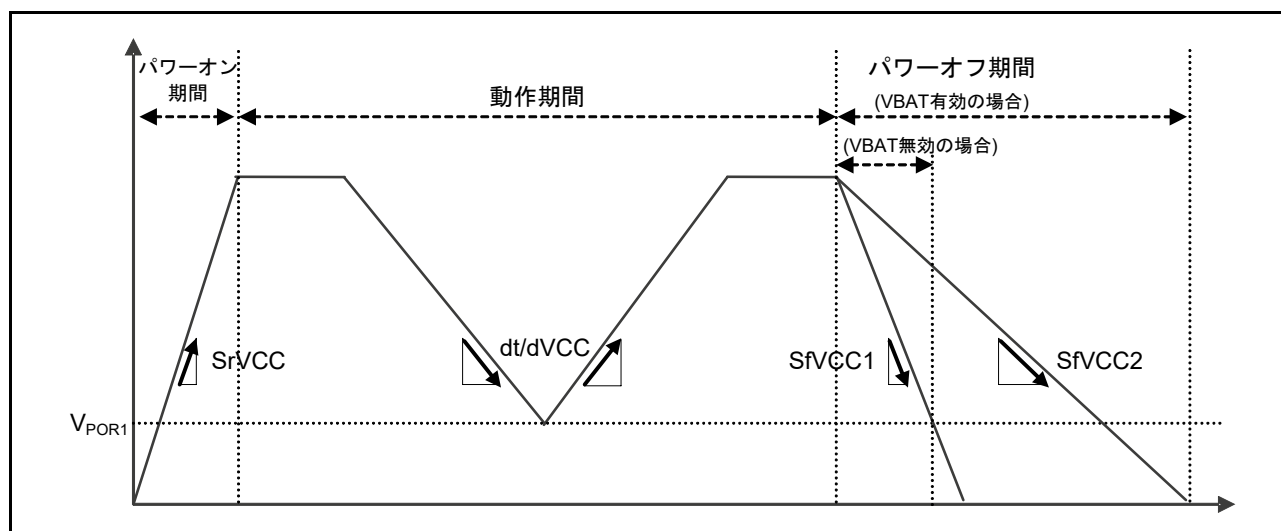


図 2.10 VCC 立ち上がり / 立ち下がり勾配

表 2.51 動作中の VCC リップル周波数特性と立ち上がり / 立ち下がり勾配の特性

項目	記号	min	typ	max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 2.11 $V_r(VCC) \leq VCC \times 0.2$
		—	—	1		図 2.11 $V_r(VCC) \leq VCC \times 0.08$
		—	—	10		図 2.11 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり / 立ち下がり勾配 (注1)	dt/dVCC	1	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

注. リップル電圧は、VCC 上限 (3.63 V) と下限 (1.62 V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。

注. VCC 変動が、 $VCC \pm 10\%$ を超える場合は、許容電圧変動立ち上がり / 立ち下がり勾配 dt/dVCC を満たす必要があります。

注1. VCC 電圧が V_{POR1} 電圧を下回らない場合

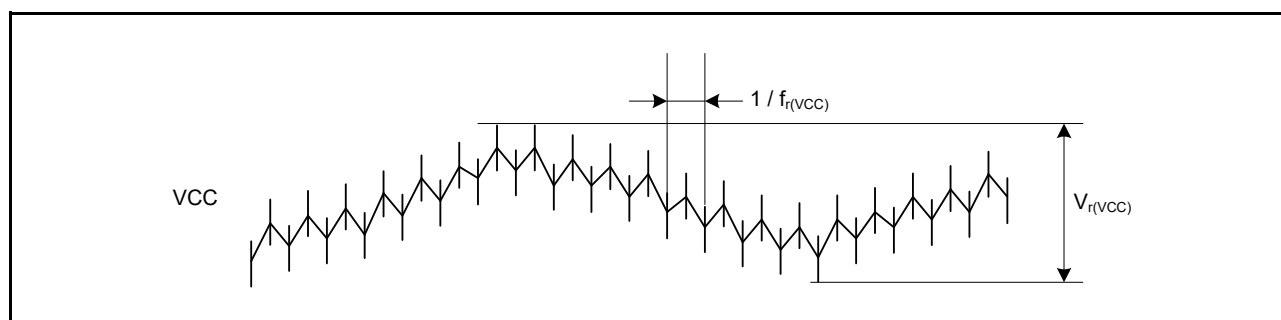


図 2.11 リップル波形

2.5 AC 特性

2.5.1 動作周波数

表 2.52 動作周波数

項目			記号	min	typ	max	単位	測定条件
動作周波数	CPUクロック (CPUCLK0)	型名がR5K574Mxy4xx (y = A, B, T, U)の場合	f	—	—	600	MHz	VSCR_1 (DCDCモード) 電圧範囲1 (外部 VDD モード)
				—	—	480		VSCR_2 (DCDCモード) 電圧範囲2 (外部 VDD モード)
		型名がR5K574Mxy4xx (y = C, D, V, W)の場合		—	—	480		VSCR_2 (DCDCモード) 電圧範囲2 (外部 VDD モード)
		型名がR5K574Mxy4xx (y = E, F)の場合		—	—	300		
	システムクロック (ICLK)			—	—	300		
	周辺モジュールクロック (PCLKA) (注1)			—	—	150		
	周辺モジュールクロック (PCLKB)			—	—	75		
	周辺モジュールクロック (PCLKC)			—	—	75		
	周辺モジュールクロック (PCLKD)			—	—	150		
	周辺モジュールクロック (PCLKE)			—	—	300		
	MRAMコードバスクロック (MRICLK)			—	—	300		
	MRAM周辺バスクロック (MRPCLK)			—	—	150		
	外部バスクロック	同期クロック (BCLK)		—	—	150		
		非同期クロック (BCLKA)		—	—	133		
	EBCLK端子出力 (注2)	3.0 V ≦ VCC ≦ 3.6 V		—	—	100		
		2.7 V ≦ VCC < 3.0 V		—	—	60		
	SDCLK端子出力 (注2)	3.0 V ≦ VCC ≦ 3.6 V		—	—	133		
		2.7 V ≦ VCC < 3.0 V		—	—	60		
	SCIクロック (SCICLK)			—	—	120		
	SPIクロック (SPICLK)			—	—	100		
	XSPIクロック (XSPICLK)			—	—	266		
	CANFDコアクロック (CANFDCLK)			—	—	80		
	ADCクロック (ADCCLK)			25	—	60		
	GPTクロック (GPTCLK) (注1)			—	—	300		
	USBクロック (USBCLK)			—	—	48		
	USBHS-PHYクロック (USB60CLK)			—	—	60		
	I3Cクロック (I3CCLK)			—	—	100		
	ESWMクロック (ESWCLK)			—	—	250		
	ESWM-PHYクロック (ESWPHYCLK)			—	—	500		
	ESCクロック (ESCCLK)			—	—	100		
	Ethernet-PHYクロック (ETHPHYCLK)			—	—	50		
	DSMIFクロック (DSMIFCLK)			—	—	200		

注1. PCLKA、GPTCLKを25 MHz以下、または120 MHz以上で使用する場合、A/D変換クロック (ADCLK)にはADCクロック (ADCCLK)を選択してください。

注2. PmnPFSレジスタのポート駆動能力ビットでDRV7が設定されている場合

2.5.2 クロックタイミング

表 2.53 EBCLK 端子出力、SDCLK 端子出力クロックタイミング

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV7 に設定時

項目	VCC	記号	min	typ	max	単位	測定条件
EBCLK端子出力サイクル時間	3.0 V 以上	t_{Bcyc}	10.0	—	—	ns	図 2.12
	2.7 V 以上		16.6	—	—		
EBCLK端子出力Highパルス幅	3.0 V 以上	t_{CH}	2.0	—	—	ns	
	2.7 V 以上		3.3	—	—		
EBCLK端子出力Lowパルス幅	3.0 V 以上	t_{CL}	2.0	—	—	ns	
	2.7 V 以上		3.3	—	—		
EBCLK端子出力立ち上がり時間	3.0 V 以上	t_{Cr}	—	—	3.0	ns	
	2.7 V 以上		—	—	5.0		
EBCLK端子出力立ち下がり時間	3.0 V 以上	t_{Cf}	—	—	3.0	ns	
	2.7 V 以上		—	—	5.0		
SDCLK端子出力サイクル時間	3.0 V 以上	t_{SDcyc}	7.52	—	—	ns	
	2.7 V 以上		16.6	—	—		
SDCLK端子出力Highパルス幅	3.0 V 以上	t_{CH}	1.0	—	—	ns	
	2.7 V 以上		2.2	—	—		
SDCLK端子出力Lowパルス幅	3.0 V 以上	t_{CL}	1.0	—	—	ns	
	2.7 V 以上		2.2	—	—		
SDCLK端子出力立ち上がり時間	3.0 V 以上	t_{Cr}	—	—	2.7	ns	
	2.7 V 以上		—	—	2.7		
SDCLK端子出力立ち下がり時間	3.0 V 以上	t_{Cf}	—	—	2.7	ns	
	2.7 V 以上		—	—	2.7		

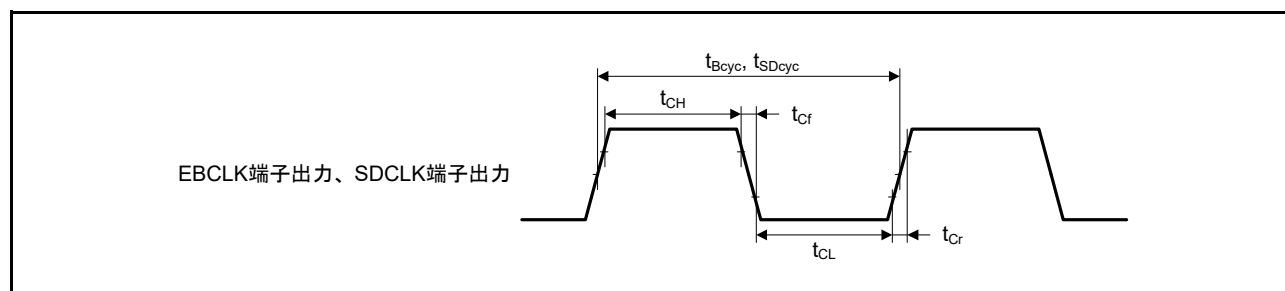


図 2.12 EBCLK 端子出力、SDCLK 端子出力タイミング

表 2.54 EXTAL クロックタイミング

項目	記号	min	typ	max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	20.80	—	—	ns	図 2.13
EXTAL 外部クロック入力 High パルス幅	t_{EXH}	5.30	—	—	ns	
EXTAL 外部クロック入力 Low パルス幅	t_{EXL}	5.30	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	3.0	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	3.0	ns	

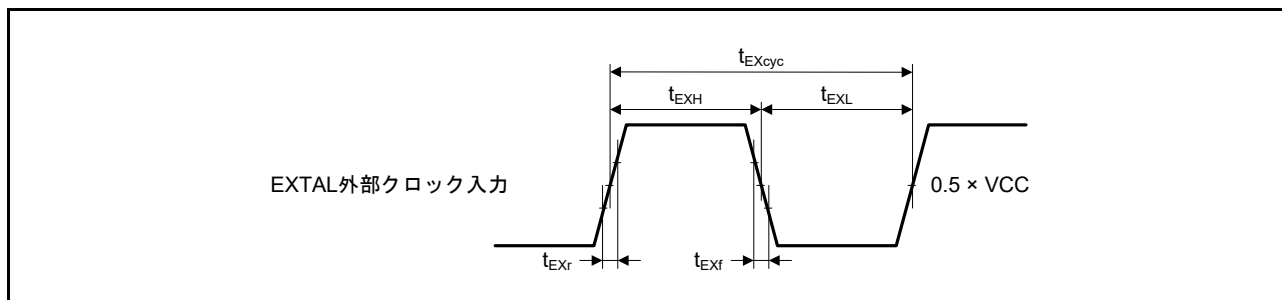


図 2.13 EXTAL 外部クロック入力タイミング

表 2.55 メインクロックタイミング

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	48	MHz	図 2.14
メインクロック発振安定待機時間(水晶)(注1)	$t_{MAINOSCWT}$	—	—	—	ms	

注1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定待機時間については、発振子メーカーの評価結果を参照し、MOSCWTCR レジスタで発振安定待機時間を超えるように設定してください。メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが“1”であることを確認してからメインクロック発振器の使用を開始してください。

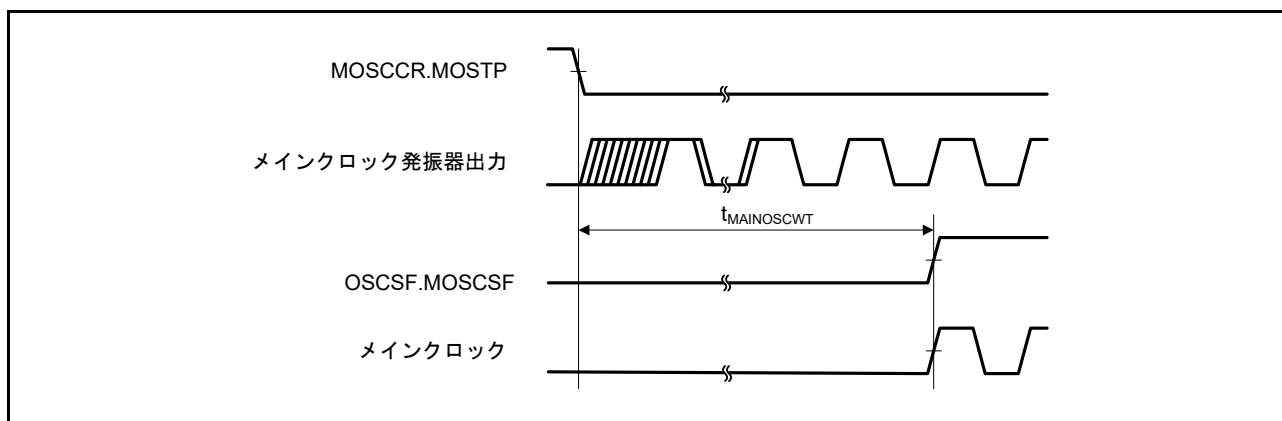


図 2.14 メインクロック発振器開始タイミング

表2.56 LOCO、MOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロック発振周波数	f_{LOCO}	29.4912	32.768	36.0448	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	26.0	μs	図2.15
MOCOクロック発振周波数	f_{MOCO}	7.2	8.0	8.8	MHz	
MOCOクロック発振安定待機時間	t_{MOCOWT}	—	—	3.5	μs	図2.16

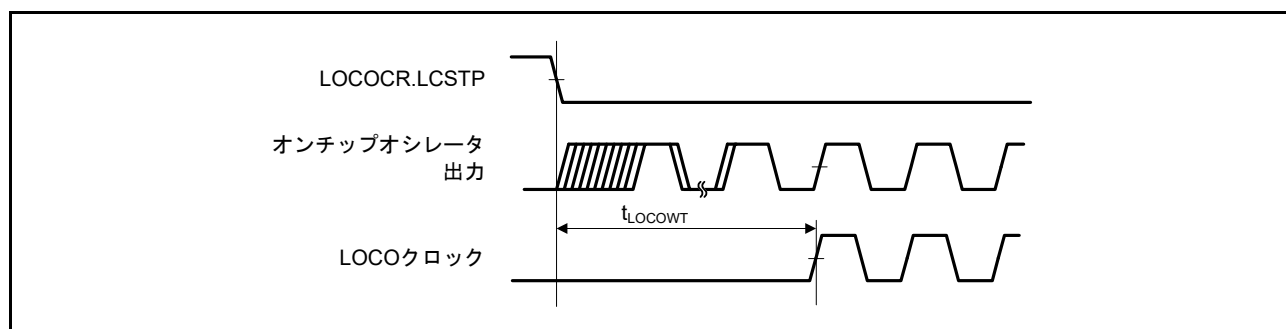


図 2.15 LOCO クロック発振開始タイミング

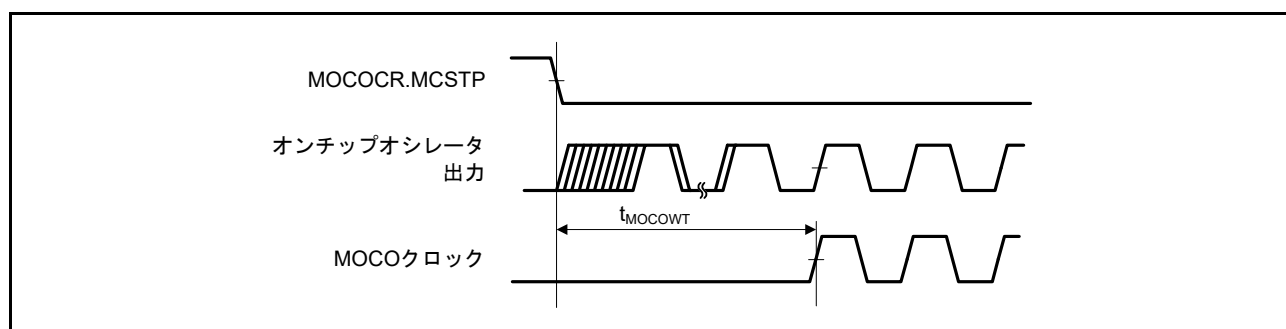


図 2.16 MOCO クロック発振開始タイミング

表 2.57 HOCO クロック タイミング

項目		記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	FLLなし	f _{HOCO16}	15.776	16.000	16.224	MHz	−20°C ≤ T _j ≤ 105°C
		f _{HOCO18}	17.748	18.000	18.252		
		f _{HOCO20}	19.720	20.000	20.280		
		f _{HOCO32}	31.552	32.000	32.448		
		f _{HOCO48}	47.328	48.000	48.672		
		f _{HOCO16}	15.712	16.000	16.288		−40°C ≤ T _j ≤ 125°C
		f _{HOCO18}	17.676	18.000	18.324		
		f _{HOCO20}	19.640	20.000	20.360		
		f _{HOCO32}	31.424	32.000	32.576		
		f _{HOCO48}	47.136	48.000	48.864		
	FLLあり	f _{HOCO16}	15.960	16.000	16.040	−40°C ≤ T _j ≤ 125°C サブクロック周波数 精度：±50 ppm	
		f _{HOCO18}	17.955	18.000	18.045		
		f _{HOCO20}	19.950	20.000	20.050		
		f _{HOCO32}	31.920	32.000	32.080		
		f _{HOCO48}	47.880	48.000	48.120		
HOCOクロック発振安定待機時間 (注1)		t _{HOCOWT}	—	—	15.0	μs	図2.17
HOCO停止幅時間		t _{HOCOSTP}	1.0	—	—	μs	図2.18
HOCOピリオドジッタ		—	−3.0	—	3.0	ps	
FLL安定化待機時間		t _{FLLWT}	—	—	1.92	ms	

注 1. リセット状態が解除されてから HOCO 発振周波数 (f_{HOCO}) が上記で保証している誤差の範囲内に収まるまでの時間です。

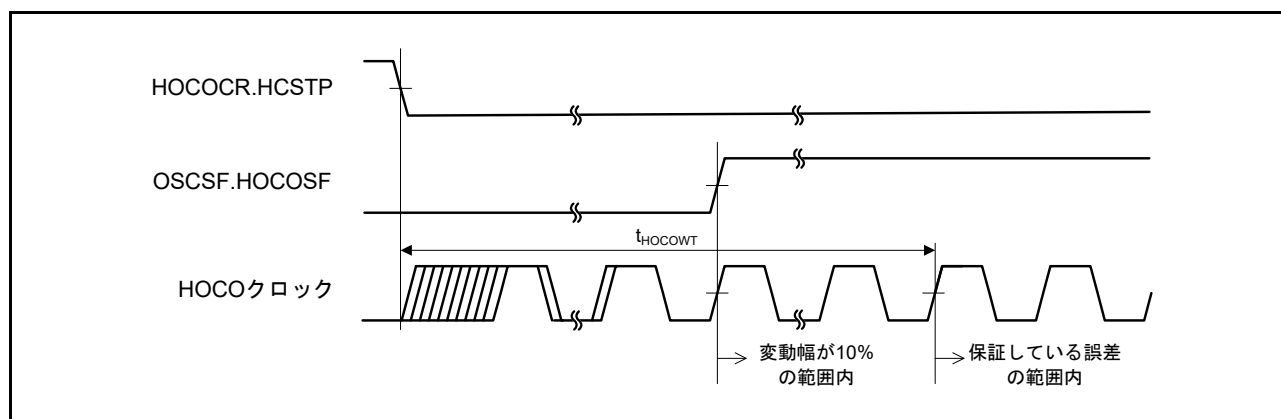


図 2.17 HOCO クロック 発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

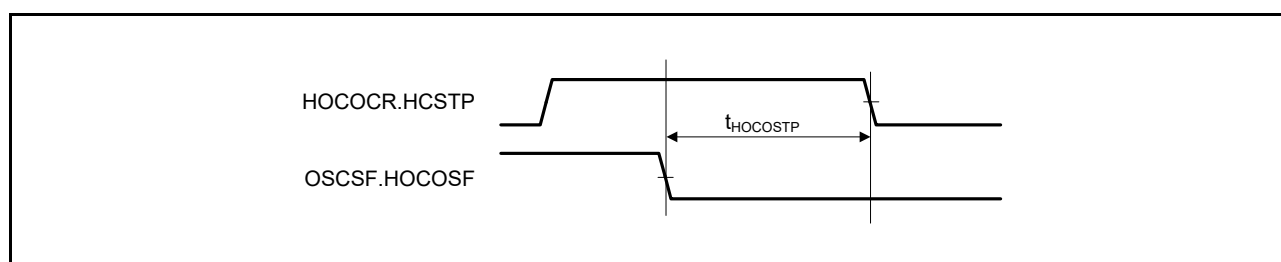


図 2.18 HOCO 停止幅時間

表 2.58 PLL クロック タイミング

項目			記号	min	typ	max	単位	測定条件
PLL1クロック 発振周波数	VCO周波数		f _{PLL_VCO}	960	—	2400	MHz	—
	PLL出カクロックP	型名タイプ1	f _{PLL_P}	60	—	600		VSCR_1 (DCDCモード) 電圧範囲1 (外部 VDDモード)
				60	—	480		VSCR_2 (DCDCモード) 電圧範囲2 (外部 VDDモード)
		型名タイプ2		60	—	480		VSCR_2 (DCDCモード) 電圧範囲2 (外部 VDDモード)
				型名タイプ3	60	—		300
	PLL出カクロックQ	型名タイプ1、2	f _{PLL_Q}	106.6	—	500		—
		型名タイプ3		106.6	—	300		—
	PLL出カクロックR		f _{PLL_R}	106.6	—	500		—
PLL2クロック 発振周波数	VCO周波数		f _{PLL_VCO}	960	—	2400	MHz	—
	PLL出カクロックP	型名タイプ1、2	f _{PLL_P}	60	—	500		—
		型名タイプ3		60	—	300		—
	PLL出カクロックQ	型名タイプ1、2	f _{PLL_Q}	106.6	—	500		—
		型名タイプ3		106.6	—	300		—
	PLL出カクロックR		f _{PLL_R}	106.6	—	500		—
PLL1/PLL2クロック発振安定待機時間			t _{PLLWT}	—	—	50	μs	図2.19
PLL1/PLL2ピリオドジッタ			—	—	±52	—	ps	—
PLL1/PLL2ロングタームジッタ			—	—	±300	—	ps	周期 : 1 μs, 10 μs

型名タイプ1 : 型名が R5K574Mxy4xx (y = A, B, T, U) の場合

型名タイプ2 : 型名が R5K574Mxy4xx (y = C, D, V, W) の場合

型名タイプ3 : 型名が R5K574Mxy4xx (y = E, F) の場合

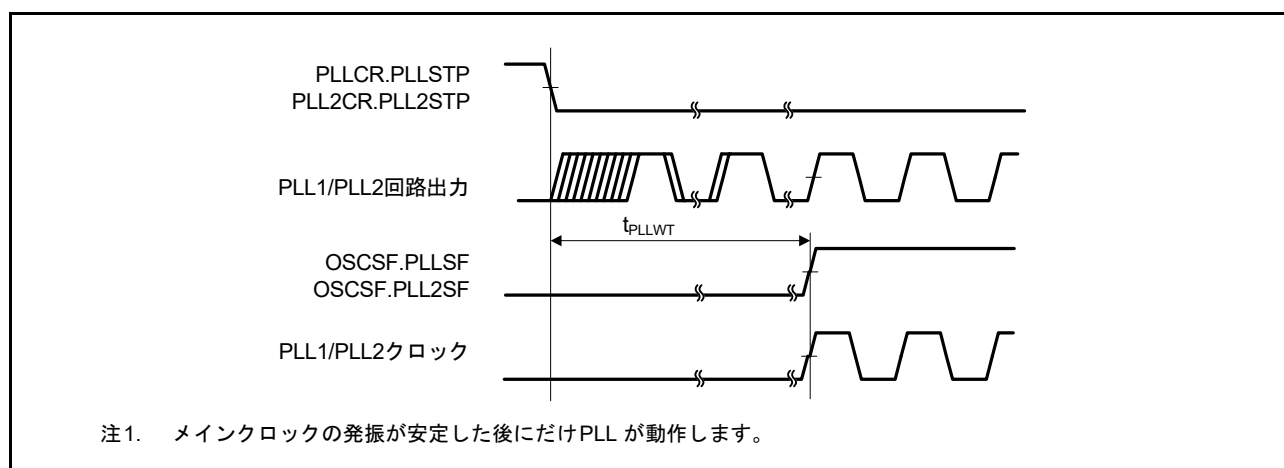


図 2.19 PLL1/PLL2 クロック発振開始タイミング

表 2.59 サブクロックタイミング

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数	f_{SUB}	—	32.768	—	kHz	
サブクロック発振安定待機時間 (注1)	t_{SUBOSCWT}	—	—	—	s	図 2.20

注1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定待機時間については、発振子メーカーの評価結果を参照し、プログラムで発振子メーカーが推奨する値以上の時間を待ってください。また、SOSCCR.SOSTP ビットを設定して、サブクロック動作を開始した後は、十分な時間が経過してから、サブクロックを使用してください。

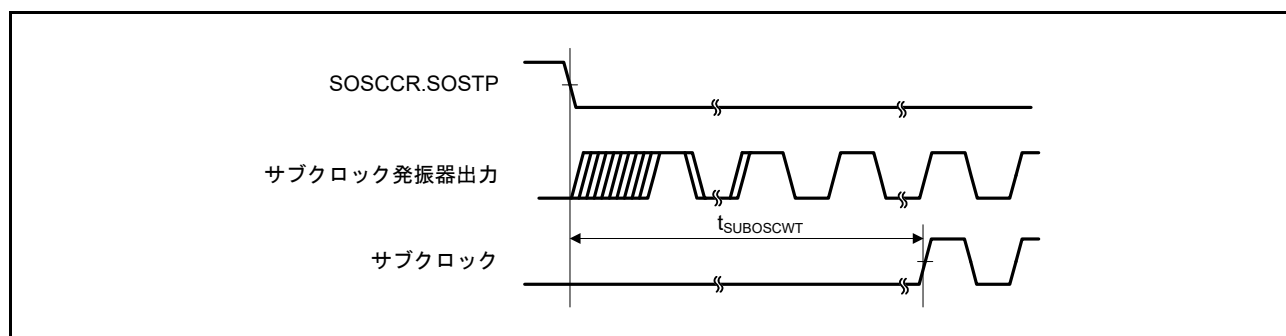


図 2.20 サブクロック発振開始タイミング

表 2.60 EXCIN 外部クロックタイミング

項目	記号	min	typ	max	単位	測定条件
EXCIN 外部クロック入力サイクル時間	t_{EXcyc}	27.7	—	—	μs	図 2.21
EXCIN 外部クロック入力周波数	f_{EXCIN}	—	—	36	kHz	
EXCIN 外部クロック入力 High パルス幅	t_{EXH}	11.08	—	—	μs	
EXCIN 外部クロック入力 Low パルス幅	t_{EXL}	11.08	—	—	μs	
EXCIN 外部クロック入力勾配 (立ち上がり)	t_{EXr}	—	—	200	ns/V	
EXCIN 外部クロック入力勾配 (立ち下がり)	t_{EXf}	—	—	200	ns/V	

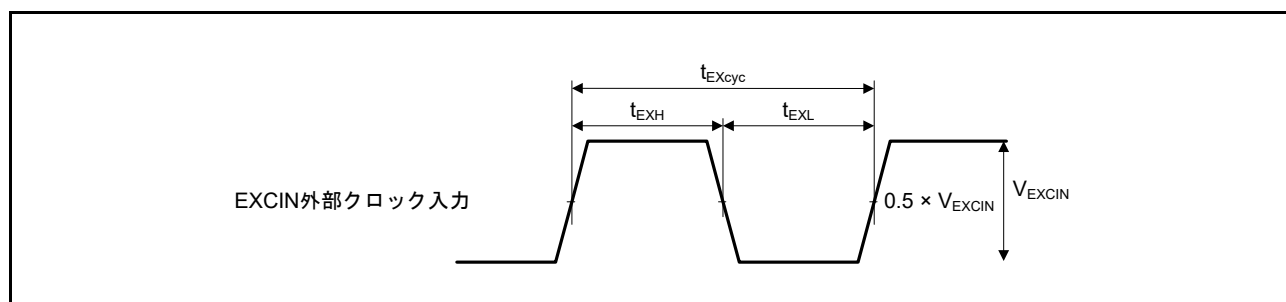


図 2.21 EXCIN 外部クロック入力タイミング

表2.61 ETHPHYCLK 端子出力タイミング

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

VCC = 2.70 ~ 3.63 V

負荷容量 $C_L = 30$ pF (25 MHz 設定時)、 $C_L = 15$ pF (50 MHz 設定時)

項目	出力周波数	記号	min	typ	max	単位	測定条件
ETHPHYCLK 端子出力サイクル時間	25 MHz	t_{Cyc}	—	40	—	ns	図 2.22
	50 MHz		—	20	—		
ETHPHYCLK 端子出力 High パルス幅	25 MHz	t_{CH}	13	—	—	ns	
	50 MHz		6.5	—	—		
ETHPHYCLK 端子出力 Low パルス幅	25 MHz	t_{CL}	13	—	—	ns	
	50 MHz		6.5	—	—		
ETHPHYCLK 端子立ち上がり時間	25 MHz	t_{Cr}	—	—	3.3	ns	
	50 MHz		—	—	1.66		
ETHPHYCLK 端子立ち下がり時間	25 MHz	t_{Cf}	—	—	3.3	ns	
	50 MHz		—	—	1.66		

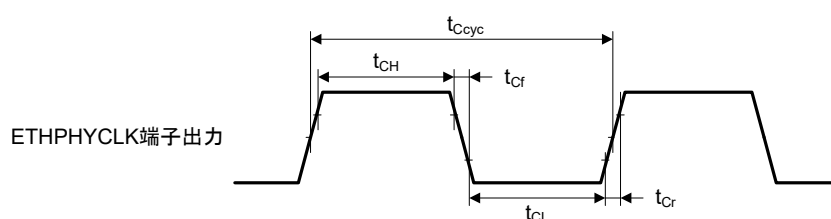
測定条件： $V_{OH} = 0.7 \times V_{CC}$ 、 $V_{OL} = 0.3 \times V_{CC}$ 、 $C_L = 30$ pF または 15 pF

図 2.22 ETHPHYCLK 端子出力タイミング

2.5.3 リセットタイミング

表 2.62 リセットタイミング

項目			記号	min	typ	max	単位	測定条件
RES#パルス幅	パワーオン		t _{RESWP}	2.40	—	—	ms	図 2.23
	ディープソフトウェアスタンバイモード1	DPSBYCR.DCSSMODE = 01b	t _{RESWD}	0.51	—	—		図 2.24
		DPSBYCR.DCSSMODE = 10b		0.67	—	—		
		DPSBYCR.DCSSMODE = 11b		1.00	—	—		
		DPSBYCR.LDOSSMODE = 01b		0.51	—	—		
		DPSBYCR.LDOSSMODE = 10b		0.67	—	—		
		DPSBYCR.LDOSSMODE = 11b		1.00	—	—		
	ディープソフトウェアスタンバイモード2	DPSBYCR.DCSSMODE = 01b		0.51	—	—		
		DPSBYCR.DCSSMODE = 10b		0.67	—	—		
		DPSBYCR.DCSSMODE = 11b		1.00	—	—		
		DPSBYCR.LDOSSMODE = 01b		0.51	—	—		
		DPSBYCR.LDOSSMODE = 10b		0.67	—	—		
		DPSBYCR.LDOSSMODE = 11b		1.00	—	—		
	ディープソフトウェアスタンバイモード3	DPSBYCR.DCSSMODE = 01b		0.68	—	—		
		DPSBYCR.DCSSMODE = 10b		0.84	—	—		
		DPSBYCR.DCSSMODE = 11b		1.20	—	—		
		DPSBYCR.LDOSSMODE = 01b		0.68	—	—		
DPSBYCR.LDOSSMODE = 10b		0.84	—	—				
DPSBYCR.LDOSSMODE = 11b		1.20	—	—				
ソフトウェアスタンバイモード		t _{RESWS}	0.55	—	—			
CPU ディープスリープモード (SCKSCR.CKSEL[2:0] = 100b)		t _{RESWSODS}	0.16	—	—			
CPU ディープスリープモード (SCKSCR.CKSEL[2:0] = 100b 以外)		t _{RESWDS}	0.04	—	—			
RES#解除後待機時間			t _{RESWT}	—	78.7	79.1	μs	図 2.23
内部リセット (IWDTRリセット、WDTリセット、バスエラーリセット、共通メモリエラーリセット、ソフトウェアリセット、ローカルメモリエラーリセット) 解除後の待機時間			t _{RESWT2}	—	78.7	79.1	μs	
RSTOUT#出力パルス幅	OFS1.ROWSEL[2:0] = 000b		t _{ROUT}	0.25	0.28	0.31	ms	図 2.25
	OFS1.ROWSEL[2:0] = 100b			0.50	0.55	0.62		
	OFS1.ROWSEL[2:0] = 101b			1.00	1.10	1.23		
	OFS1.ROWSEL[2:0] = 110b			5.00	5.50	6.12		
	OFS1.ROWSEL[2:0] = 111b			10.0	11.0	12.2		

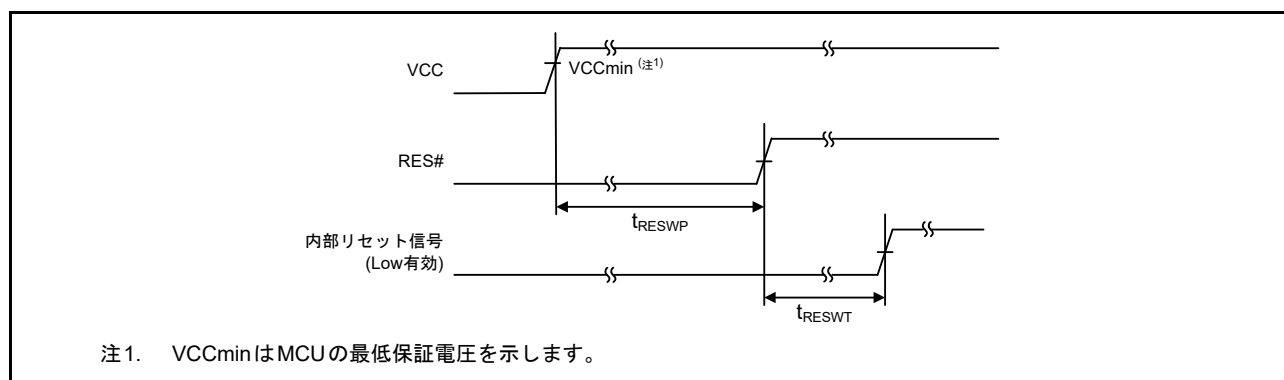


図 2.23 電源投入時リセット入力タイミング

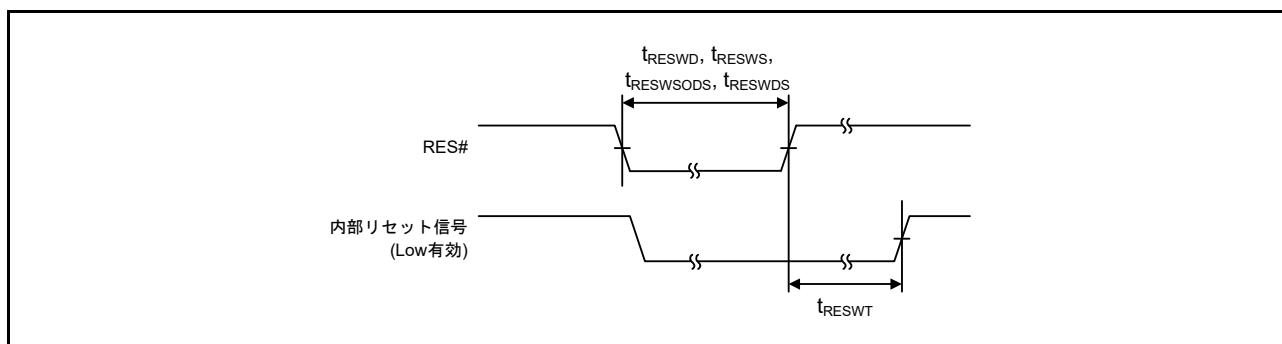


図 2.24 リセット入力タイミング

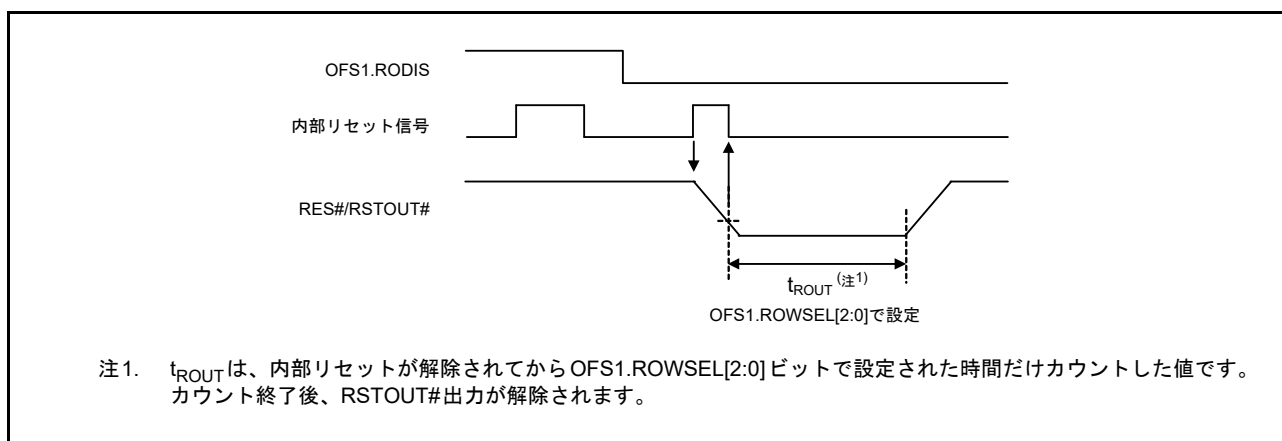


図 2.25 RSTOUT# 出力動作

2.5.4 低消費電力状態からの復帰タイミング

各クロックの周波数は、以下の記号で表します。

f_{MOCO} : MOCO クロック (8 MHz)、 $f_{MOCOmin}$: MOCO クロックの Min 値 (7.2 MHz)

f_{SRCCLK} : 表 2.64 ~ 表 2.67 に示すシステムクロック

f_{PLL} : PLL1 回路クロック

f_{ICLK} : システムクロック (ICLK)

f_{MOSC} : MOSC クロック

f_{HOCO} : HOCO クロック

f_{SOSC} : SOSC クロック (32.768 kHz)

表 2.63 ディープスリープモードからの復帰時間

項目	記号	min	typ	max	単位	測定条件
CPU ディープスリープモードからの復帰時間	$t_{DSL P}$	—	6.13	9.44	μs	ICLK = 300 MHz

注. 他の周波数での復帰時間を計算するには、以下の式を使用してください。

$$t_{DSL P} (typ) = 44 / f_{MOCO} + 9 / f_{ICLK} + 0.6 [\mu s], t_{DSL P} (max) = 44 / f_{MOCOmin} + 9 / f_{ICLK} + 3.3 [\mu s]$$

(f_{MOCO} : MOCO の周波数 [MHz]、 $f_{MOCOmin}$: MOCO の周波数 MIN 値 [MHz]、 f_{ICLK} : ICLK の周波数 [MHz])

表 2.64 ソフトウェアスタンバイモード1からの復帰時間

システムクロック	入力クロックソース		記号	min	typ	max	単位	測定条件
PLL1 出カクロック P	MOSC (水晶振動子を接続)	発振継続 (注1)	t_{SBYPC}	—	132	194	μ s	PLL1P = 300 MHz ICLK = MRICLK = PCLKE = 300 MHz PCLKA = PCLKD = MRPCLK = BCLK = 150 MHz PCLKB = 75 MHz (4 分周)
		発振停止 (注1)		—	2209	2499		
	MOSC (外部クロックを接続)		t_{SBYPE}	—	132.5	194		
	HOCO	発振継続 (注2)	t_{SBYPH}	—	132.5	194		
発振停止 (注2)		—		142.7	205			
メインクロック発振器 (MOSC)	水晶振動子	発振継続 (注1)	t_{SBYMC}	—	24.3	62.4	μ s	メインクロック = 48 MHz ICLK = 48 MHz
		発振停止 (注1)		—	2091	2368		
	外部クロック		t_{SBYEX}	—	24.3	62.4		
高速オンチップオシレータ (HOCO)		発振継続 (注2)	t_{SBYHO}	—	22.9	25.7	μ s	高速クロック = 48 MHz ICLK = 48 MHz
		発振停止 (注2)		—	25.4	70.1		
サブクロック発振器 (SOSC)			t_{SBYSC}	—	569	569	μ s	サブクロック = 32.768 kHz ICLK = 32.768 kHz
中速オンチップオシレータ (MOCO)			t_{SBYMO}	—	23.9	26.7	μ s	中速クロック = 8 MHz ICLK = 8 MHz

注1. メインクロック発振器スタンバイコントロールレジスタ (MOSCSCR) の MOSCSOKP ビットの状態です。発振継続は“1”、発振停止は“0”。

注2. 高速オンチップオシレータコントロールレジスタ (HOCOCR) の HCSTP ビットの状態です。発振継続は“0”、発振停止は“1”。

表 2.65 ソフトウェアスタンバイモード1からの復帰時間計算式

システムクロック	入力クロックソース		記号	計算式 (TYP)	計算式 (MAX)
PLL1 出力クロック P	MOSC (水晶振動子を接続)	発振継続 (注1)	t _{SBYPC}	FG + MAX (発振安定時間 (129.8), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))	FG + MAX (発振安定時間 (190.7), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))
		発振停止 (注1)		FG + MAX ((t _{MAINOSCWT} + 118.3), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))	FG + MAX ((t _{MAINOSCWT} + 178), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))
	MOSC (外部クロックを接続)		t _{SBYPE}	FG + MAX (発振安定時間 (129.8), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))	FG + MAX (発振安定時間 (190.7), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))
	HOCO	発振継続 (注2)	t _{SBYPH}	FG + MAX (発振安定時間 (129.8), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))	FG + MAX (発振安定時間 (190.7), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))
		発振停止 (注2)		FG + MAX ((140, B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL})))	FG + MAX ((202, B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL})))
メインクロック発振器 (MOSC)	水晶振動子	発振継続 (注1)	t _{SBYMC}	FG + MAX (発振安定時間 (11.5), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOSC}))	FG + MAX (発振安定時間 (59.3), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOSC}))
		発振停止 (注1)		FG + MAX (t _{MAINOSCWT} , B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))	FG + MAX ((t _{MAINOSCWT} + 46.6), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))
	外部クロック		t _{SBYEX}	FG + MAX (発振安定時間 (11.5), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOSC}))	FG + MAX (発振安定時間 (59.3), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOSC}))
	高速オンチップオシレータ (HOCO)		発振継続 (注2)	t _{SBYHO}	FG + MAX (発振安定時間 (0), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{HOCO}))
		発振停止 (注2)	FG + MAX (20, B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))		FG + MAX (67, B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{PPLL}))
サブクロック発振器 (SOSC)			t _{SBYSC}	FG + MAX (発振安定時間 (0), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{SOSC}))	
中速オンチップオシレータ (MOCO)			t _{SBYMO}	FG + MAX (発振安定時間 (0), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOCO}))	

上記表で使用される記号は、以下の計算式を示します。

n : SCKDIVCR、および SCKDIVCR2 レジスタで設定される分周値のうち、最も大きな値

[TYP 値] $FG = 14/f_{MOCO} + 2/f_{ICLK}$

[MAX 値] $FG = 14/f_{MOCOmin} + 2/f_{ICLK}$

[TYP 値] $B = \text{発振安定時間} / f_{MOCO} + 158/f_{MOCO} + 0.3$

[MAX 値] $B = \text{発振安定時間} / f_{MOCOmin} + 158/f_{MOCO} + 0.59$

[TYP 値] $C = (10.5 + 2.5n)/f_{MOCO} + 2.5/f_{SRCCLK} + 2/f_{ICLK}$

[MAX 値] C は TYP 値と同じ計算式

[TYP 値] $D = 7/f_{MOCO} + 8/f_{ICLK}$

[MAX 値] $D = 7/f_{MOCOmin} + 8/f_{ICLK}$

[TYP 値] $H = 2/f_{ICLK}$

[MAX 値] H は TYP 値と同じ計算式

t_{MAINOSCWT} : メインクロック発振安定待機時間

注. 計算式で、(TYP)と(MAX)の区別がないところは、同じ計算式になります。

注1. メインクロック発振器スタンバイコントロールレジスタ (MOSCSCR) の MOSCSOKP ビットの状態です。発振継続は“1”、発振停止は“0”。

注2. 高速オンチップオシレータコントロールレジスタ (HOCOOCR) の HCSTP ビットの状態です。発振継続は“0”、発振停止は“1”。

表 2.66 ソフトウェアスタンバイモード2からの復帰時間

条件：ソフトウェアスタンバイコントロールレジスタ1 (SSCR1)のSS2FRビットが“1” (高速復帰機能有効)、かつSS2LP[1:0]ビットがSS2LP_1 (低電力設定1)

電圧スケーリング制御レジスタ (VSCR)のVSCM[2:0]ビットが“010b” (0.90 V)

SSTBY電圧スケーリング制御レジスタ (SVSCR)のSVMCM[2:0]ビットが“010b” (0.90 V)

PLLn-LDOコントロールレジスタ (PLLnLDOCR、n = 1, 2)のLDOSTPビットが両レジスタとも“1” (LDO停止)

システムクロック	入力クロックソース		記号	min	typ	max	単位	測定条件
PLL1出カクロック P	MOSC (水晶振動子 を接続)	発振継続 (注1)	t _{SBYPC}	—	294	355	μs	PLL1P = 300 MHz ICLK = MRICLK = PCLKE = 300 MHz PCLKA = PCLKD = MRPCLK = BCLK = 150 MHz PCLKB = 75 MHz (4 分周)
		発振停止 (注1)		—	2370	2660		
	MOSC (外部クロックを接続)		t _{SBYPE}	—	294	355		
	HOCO	発振継続 (注2)	t _{SBYPH}	—	294	355		
		発振停止 (注2)		—	304	367		
メインクロック 発振器 (MOSC)	水晶振動子	発振継続 (注1)	t _{SBYMC}	—	202	251	μs	メインクロック = 48 MHz ICLK = 48 MHz
		発振停止 (注1)		—	2252	2529		
	外部クロック		t _{SBYEX}	—	202	251		
高速オンチップオシレータ (HOCO)		発振継続 (注2)	t _{SBYHO}	—	200	243	μs	高速クロック = 48 MHz ICLK = 48 MHz
		発振停止 (注2)		—	203	252		
サブクロック発振器 (SOSC)			t _{SBYSC}	—	729	729	μs	サブクロック = 32.768 kHz ICLK = 32.768 kHz
中速オンチップオシレータ (MOCO)			t _{SBYMO}	—	201	244	μs	中速クロック = 8 MHz ICLK = 8 MHz

注1. メインクロック発振器スタンバイコントロールレジスタ (MOSCSCR)のMOSCSOKPビットの状態です。発振継続は“1”、発振停止は“0”。

注2. 高速オンチップオシレータコントロールレジスタ (HOCOOCR)のHCSTPビットの状態です。発振継続は“0”、発振停止は“1”。

表 2.67 ソフトウェアスタンバイモード2からの復帰時間計算式

システムクロック	入力クロックソース		記号	計算式 (TYP)	計算式 (MAX)
PLL1 出カクロック P	MOSC (水晶振動子を接続)	発振継続 (注1)	t _{SBYPC}	FG + MAX (発振安定時間 (129.8), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))	FG + MAX (発振安定時間 (190.7), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))
		発振停止 (注1)		FG + MAX ((t _{MAINOSCWT} + 118.3), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))	FG + MAX ((t _{MAINOSCWT} + 178), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))
	MOSC (外部クロックを接続)		t _{SBYPE}	FG + MAX (発振安定時間 (129.8), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))	FG + MAX (発振安定時間 (190.7), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))
	HOCO	発振継続 (注2)	t _{SBYPH}	FG + MAX (発振安定時間 (129.8), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))	FG + MAX (発振安定時間 (190.7), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))
		発振停止 (注2)		FG + MAX ((140, B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}})))	FG + MAX ((202, B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}})))
メインクロック発振器 (MOSC)	水晶振動子	発振継続 (注1)	t _{SBYMC}	FG + MAX (発振安定時間 (11.5), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOSC}))	FG + MAX (発振安定時間 (59.3), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOSC}))
		発振停止 (注1)		FG + MAX (t _{MAINOSCWT} , B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))	FG + MAX ((t _{MAINOSCWT} + 46.6), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))
	外部クロック		t _{SBYEX}	FG + MAX (発振安定時間 (11.5), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOSC}))	FG + MAX (発振安定時間 (59.3), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOSC}))
	高速オンチップオシレータ (HOCO)		発振継続 (注2)	t _{SBYHO}	FG + MAX (発振安定時間 (0), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{HOCO}))
		発振停止 (注2)	FG + MAX (20, B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))		FG + MAX (67, B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{P_{PLL}}))
サブクロック発振器 (SOSC)			t _{SBYSC}	FG + MAX (発振安定時間 (0), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{SOSC}))	
中速オンチップオシレータ (MOCO)			t _{SBYMO}	FG + MAX (発振安定時間 (0), B, C) + MAX (D, H + (2/f _{ICLK} + 2n/f _{MOCO}))	

上記表で使用される記号は、以下の計算式を示します。

n : SCKDIVCR、および SCKDIVCR2 レジスタで設定される分周値のうち、最も大きな値

[TYP 値] $FG = CYC + 2/f_{ICLK}$

[MAX 値] $FG = CYC + 2/f_{ICLK}$ (CYC の値は、表 2.68 を参照)

[TYP 値] $B = \text{発振安定時間} / f_{MOCO} + 193/f_{MOCO} + 11.6$

[MAX 値] $B = \text{発振安定時間} / f_{MOCOmin} + 193/f_{MOCO} + 51$

[TYP 値] $C = (10.5 + 2.5n) / f_{MOCO} + 2.5/f_{SRCCLK} + 2/f_{ICLK}$

[MAX 値] C は TYP 値と同じ計算式

[TYP 値] $D = 18/f_{MOCO} + 9/f_{ICLK}$

[MAX 値] $D = 18/f_{MOCOmin} + 9/f_{ICLK}$

[TYP 値] $H = 2/f_{ICLK}$

[MAX 値] H は TYP 値と同じ計算式

t_{MAINOSCWT} : メインクロック発振安定待機時間

注. 計算式で、(TYP)と(MAX)の区別がないところは、同じ計算式になります。

注1. メインクロック発振器スタンバイコントロールレジスタ (MOSCSCR) の MOSCSOKP ビットの状態です。発振継続は“1”、発振停止は“0”。

注2. 高速オンチップオシレータコントロールレジスタ (HOCOOCR) の HCSTP ビットの状態です。発振継続は“0”、発振停止は“1”。

表 2.68 CYC 値

SSCR1.SS2LP[1:0]	VSCR.VSCM[2:0]	SVSCR.SVSCM[2:0]	CYC	単位	備考
SS2LP_0	VSCR_1	SVSCR_1	237	サイクル	(注1)
		SVSCR_2	379		—
		SVSCR_3	591		
		SVSCR_4	696		
		SVSCR_5	802		
	VSCR_2	SVSCR_1	379		—
		SVSCR_2	237		(注1)
		SVSCR_3	538		—
		SVSCR_4	643		
		SVSCR_5	749		
SS2LP_1	VSCR_1	SVSCR_2	514	サイクル	—
		SVSCR_3	726		
		SVSCR_4	831		
		SVSCR_5	937		
	VSCR_2	SVSCR_2	459		(注2)
		SVSCR_3	673		—
		SVSCR_4	778		
		SVSCR_5	884		

注1. PLLn-LDO コントロールレジスタ (PLLnLDOCR, n = 1, 2) の LDOSTP ビットが両レジスタとも“1” (LDO 停止)、または SKEEP ビットが両レジスタとも“1” (前の状態保持) の場合、HOCO-LDO コントロールレジスタ (HOCOLDOCR) の LDOSTP ビットと、SKEEP ビットが共に“0” の場合は、CYC = 56、片方が“1” の場合は、CYC = 27 になります。

注2. ソフトウェアスタンバイコントロールレジスタ 1 (SSCR1) の SS2FR ビットが“1” (高速復帰機能有効) の場合、PLLn-LDO コントロールレジスタ (PLLnLDOCR, n = 1, 2) の LDOSTP ビットが両レジスタとも“1” (LDO 停止)、または SKEEP ビットが両レジスタとも“1” (前の状態保持) の場合、CYC = 162、そうでない場合は、CYC = 327 になります。

表 2.69 ディープソフトウェアスタンバイモードからの復帰時間

項目		DPSBYCR 設定値	記号	min	typ	max	単位	測定条件
DCDC モード	DSTBY1	DCSSMODE = 01b	t _{DBSY}	—	296	346	μs	図 2.27
		DCSSMODE = 10b		—	456	506		
		DCSSMODE = 11b		—	776	826		
	DSTBY2	DCSSMODE = 01b		—	296	346		
		DCSSMODE = 10b		—	456	506		
		DCSSMODE = 11b		—	776	826		
	DSTBY3	DCSSMODE = 01b		—	483	604		
		DCSSMODE = 10b		—	643	764		
		DCSSMODE = 11b		—	963	1084		
LDO モード	DSTBY1	LDOSSMODE = 01b	t _{DBSY}	—	208	268	μs	図 2.27
		LDOSSMODE = 10b		—	226	307		
		LDOSSMODE = 11b		—	250	353		
	DSTBY2	LDOSSMODE = 01b		—	262	291		
		LDOSSMODE = 10b		—	262	307		
		LDOSSMODE = 11b		—	262	353		
	DSTBY3	LDOSSMODE = 01b		—	449	549		
		LDOSSMODE = 10b		—	449	565		
		LDOSSMODE = 11b		—	449	611		
ディープソフトウェアスタンバイモード解除後待機時間			t _{DBSYWT}	22.2	—	33.6	μs	

DSTBY1 : ディープソフトウェアスタンバイモード 1

DSTBY2 : ディープソフトウェアスタンバイモード 2

DSTBY3 : ディープソフトウェアスタンバイモード 3

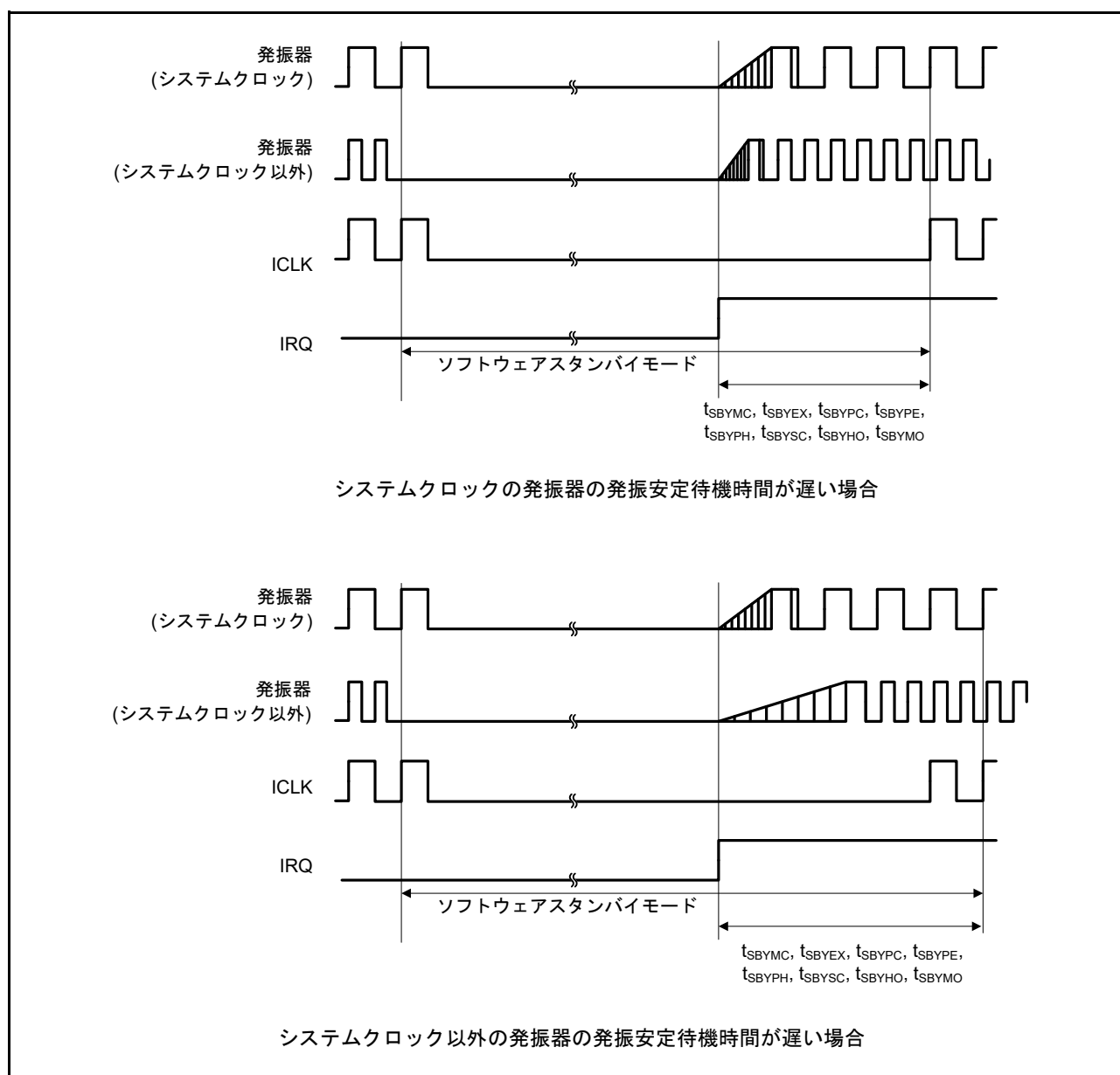


図 2.26 ソフトウェアスタンバイモード解除タイミング

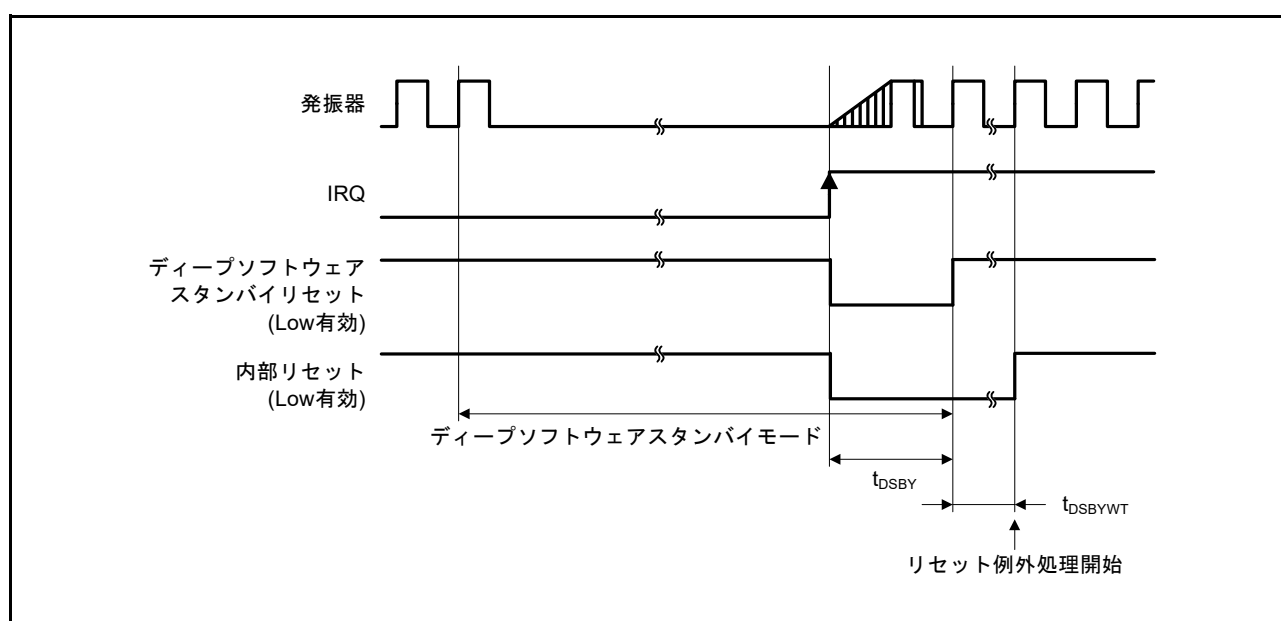


図 2.27 ディープソフトウェアスタンバイモード解除タイミング

2.5.5 制御信号タイミング

表 2.70 制御信号タイミング

項目			記号	min	typ	max	単位	測定条件
NMIパルス幅	デジタルフィルタ無効	$t_{PBcyc} \times 2 \leq 200 \text{ ns}$	t_{NMIW}	200	—	—	ns	図 2.28
		$t_{PBcyc} \times 2 > 200 \text{ ns}$		$t_{PBcyc} \times 2$ (注 1)	—	—		
	デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200 \text{ ns}$		200	—	—		
		$t_{NMICK} \times 3 > 200 \text{ ns}$		$t_{NMICK} \times 3.5$ (注 2)	—	—		
IRQパルス幅	デジタルフィルタ無効	$t_{PBcyc} \times 2 \leq 200 \text{ ns}$	t_{IRQW}	200	—	—	ns	図 2.29
		$t_{PBcyc} \times 2 > 200 \text{ ns}$		$t_{PBcyc} \times 2$ (注 1)	—	—		
	デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200 \text{ ns}$		200	—	—		
		$t_{IRQCK} \times 3 > 200 \text{ ns}$		$t_{IRQCK} \times 3.5$ (注 3)	—	—		

注. ソフトウェアスタンバイモード時は最小 200 ns です。

注. システムクロックソースを切り替える場合、切り替えるクロックソースの 4 クロックサイクルを足します。

注 1. t_{PBcyc} : PCLKB の周期

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期

注 3. t_{IRQCK} は、IRQ デジタルフィルタサンプリングクロックの周期

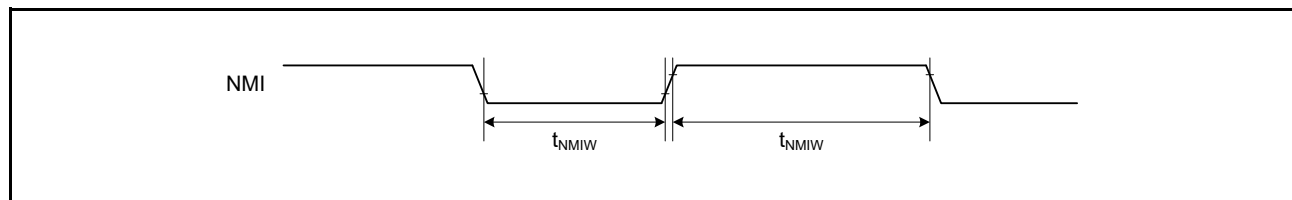


図 2.28 NMI 割り込み入力タイミング

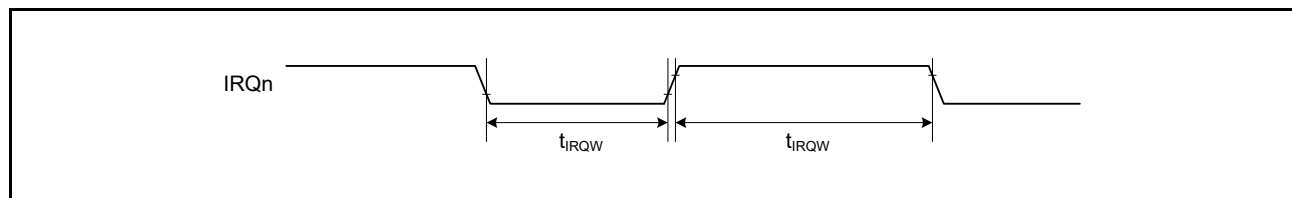


図 2.29 IRQ 割り込み入力タイミング

2.5.6 バスタイミング

表 2.71 バスタイミング(1)

条件：CS領域コントローラ使用時

EBCLK端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV7に設定時

その他の端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV3に設定時

EBCLK = 100 MHz

VCC = VCC2 = 3.0 ~ 3.63 V, C = 15 pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	0.5	10.8	ns	図 2.30 ~ 図 2.37
バイトコントロール遅延時間	t_{BCD}	0.5	10.8	ns	
CS#遅延時間	t_{CSD}	0.5	10.8	ns	
ALE遅延時間	t_{ALED}	0.5	10.8	ns	
RD#遅延時間	t_{RSD}	0.5	10.8	ns	
リードデータセットアップ時間	t_{RDS}	10.8	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	0.5	10.8	ns	
ライトデータ遅延時間	t_{WDD}	0.5	10.8	ns	
ライトデータホールド時間	t_{WDH}	0.5	—	ns	
WAIT#セットアップ時間	t_{WTS}	10.8	—	ns	
WAIT#ホールド時間	t_{WTH}	0	—	ns	
BREQ#セットアップ時間	t_{BRS}	12.5	—	ns	
BREQ#ホールド時間	t_{BRH}	0	—	ns	
BACK#遅延時間	t_{BAC}	0.5	12.5	ns	
バス開放時間	t_{BRL}	—	12.5	ns	
バス取得時間	t_{BAQ}	—	12.5	ns	

注． 端子名にグループ名 -A の記号が付加されている端子でのみ使用できます。

注． 型名がR5K574Mxx4yy (yy = BG, BD, AE)の場合のみ保証します。

表 2.72 バスタイミング (2)

条件: CS領域コントローラ使用時

EBCLK端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV7に設定時

その他の端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV3に設定時

EBCLK = 60 MHz

VCC = VCC2 = 2.7 ~ 3.63 V, C = 30 pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	0.5	12.5	ns	図 2.30 ~ 図 2.37
バイトコントロール遅延時間	t_{BCD}	0.5	12.5	ns	
CS#遅延時間	t_{CSD}	0.5	12.5	ns	
ALE遅延時間	t_{ALED}	0.5	12.5	ns	
RD#遅延時間	t_{RSD}	0.5	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	0.5	12.5	ns	
ライトデータ遅延時間	t_{WDD}	0.5	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	12.5	—	ns	
WAIT#ホールド時間	t_{WTH}	0	—	ns	
BREQ#セットアップ時間	t_{BRS}	12.5	—	ns	
BREQ#ホールド時間	t_{BRH}	0	—	ns	
BACK#遅延時間	t_{BAC}	—	12.5	ns	
バス開放時間	t_{BRL}	—	12.5	ns	
バス取得時間	t_{BAQ}	—	12.5	ns	

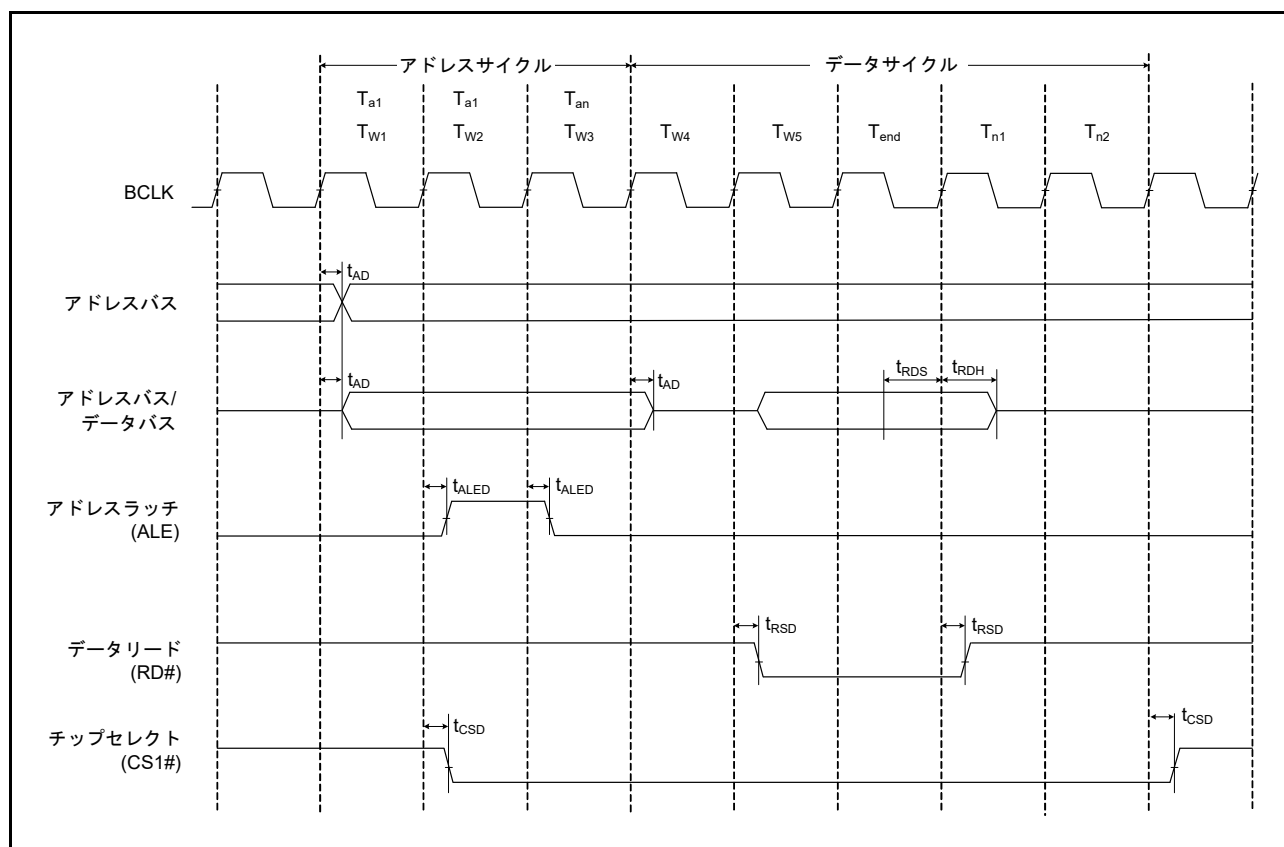


図 2.30 アドレス / データマルチプレクスバスのリードアクセスタイミング

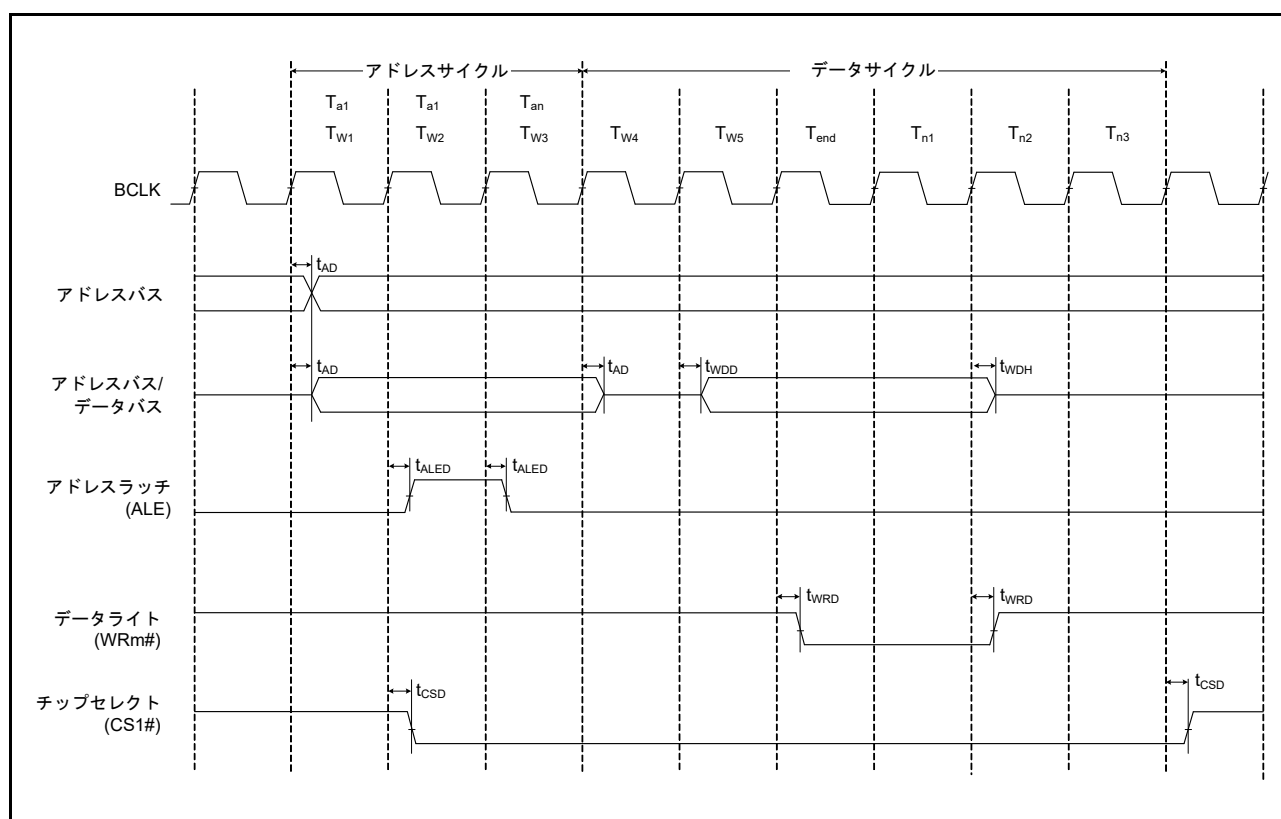


図 2.31 アドレス / データマルチプレクスバスのライトアクセスタイミング

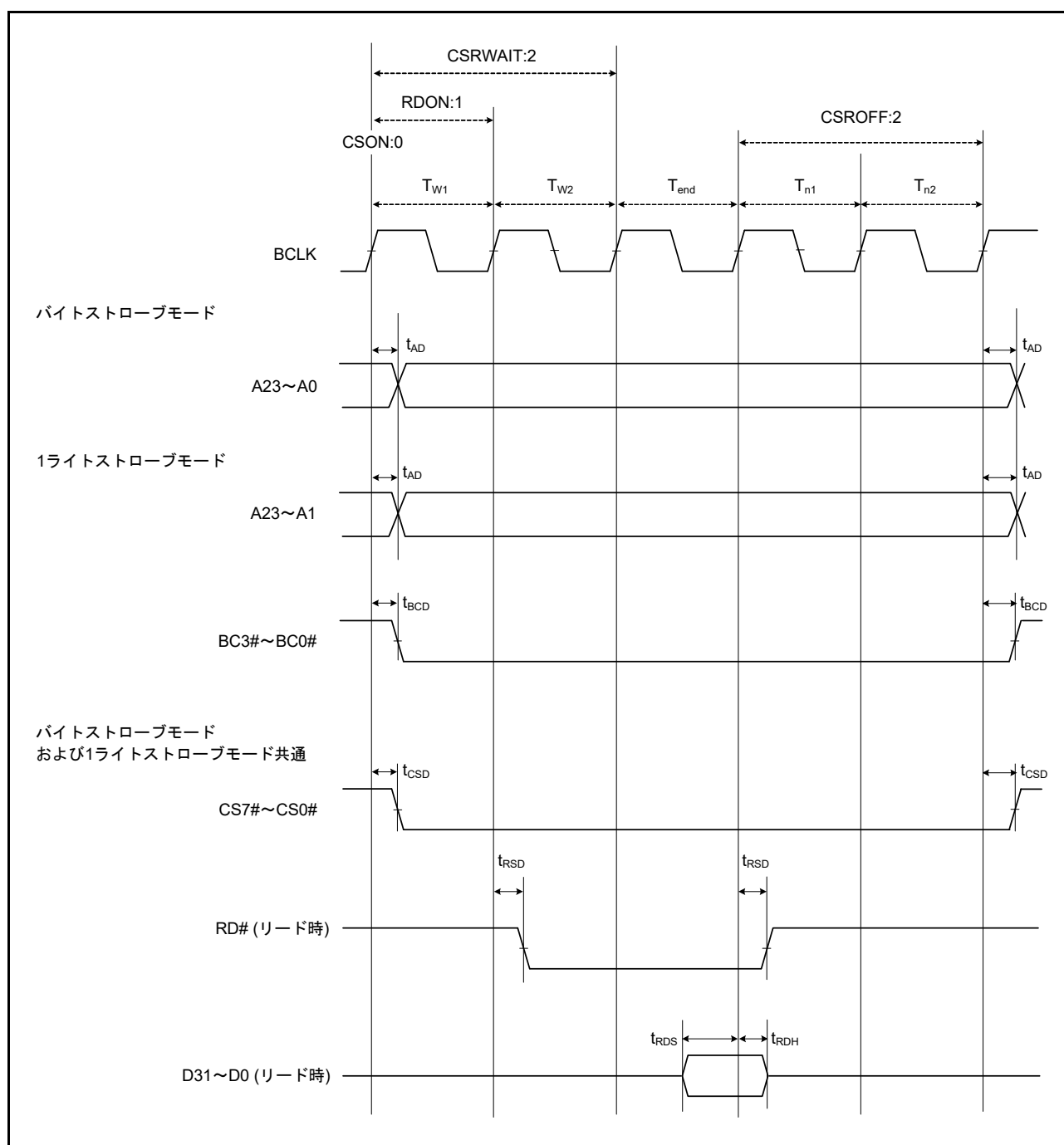


図 2.32 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

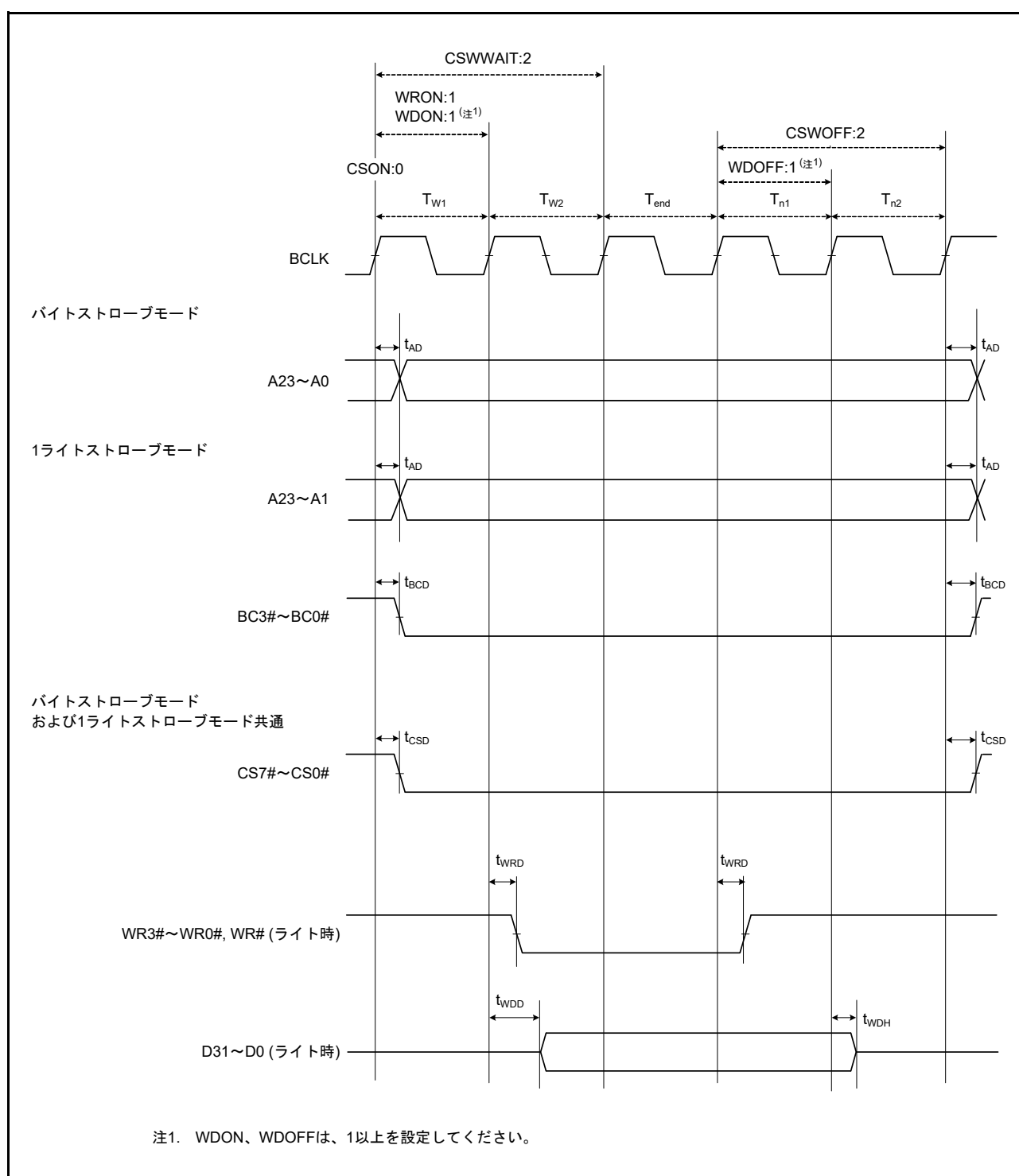


図 2.33 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

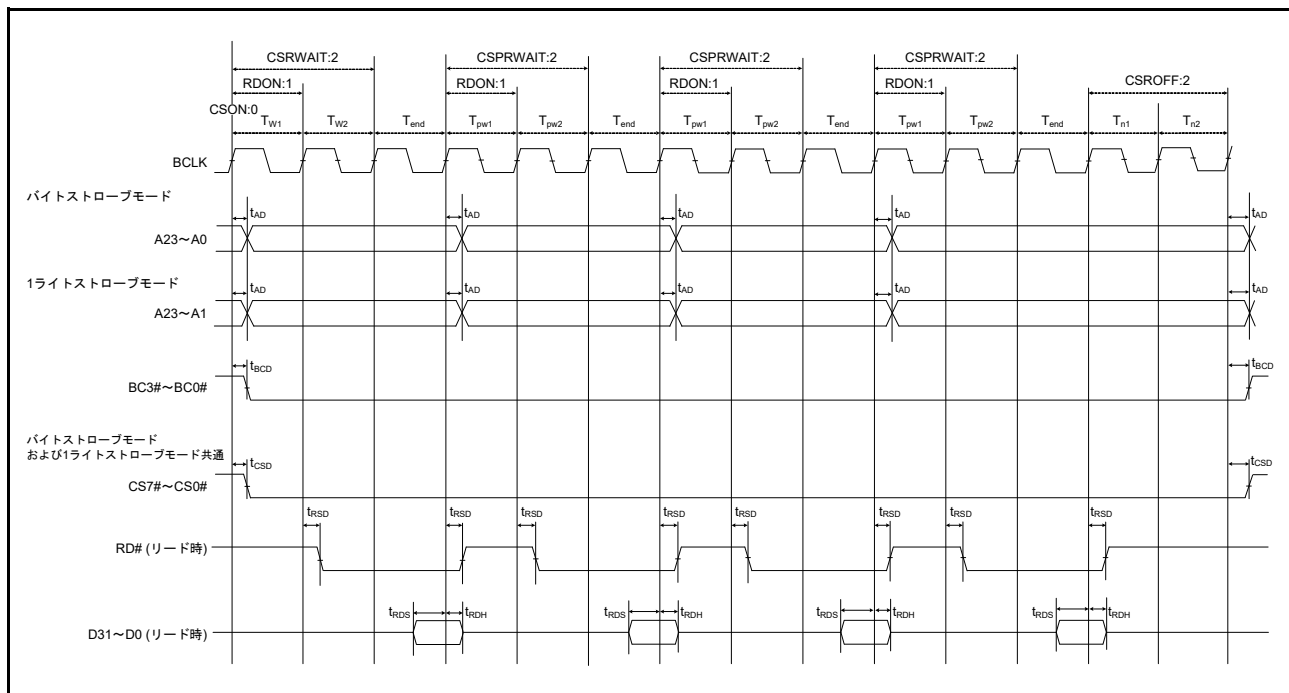


図 2.34 外部バスタイミング / ページリードサイクル (バスクロック同期)

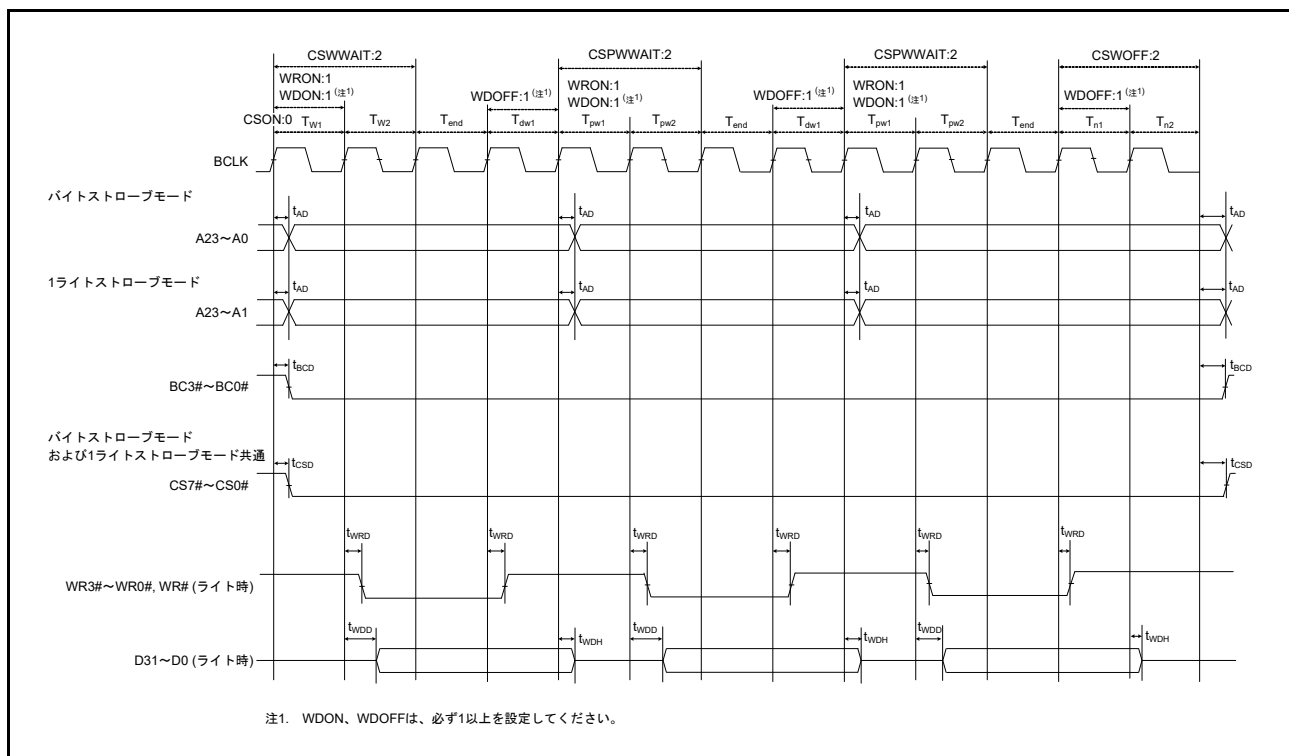


図 2.35 外部バスタイミング / ページライトサイクル (バスクロック同期)

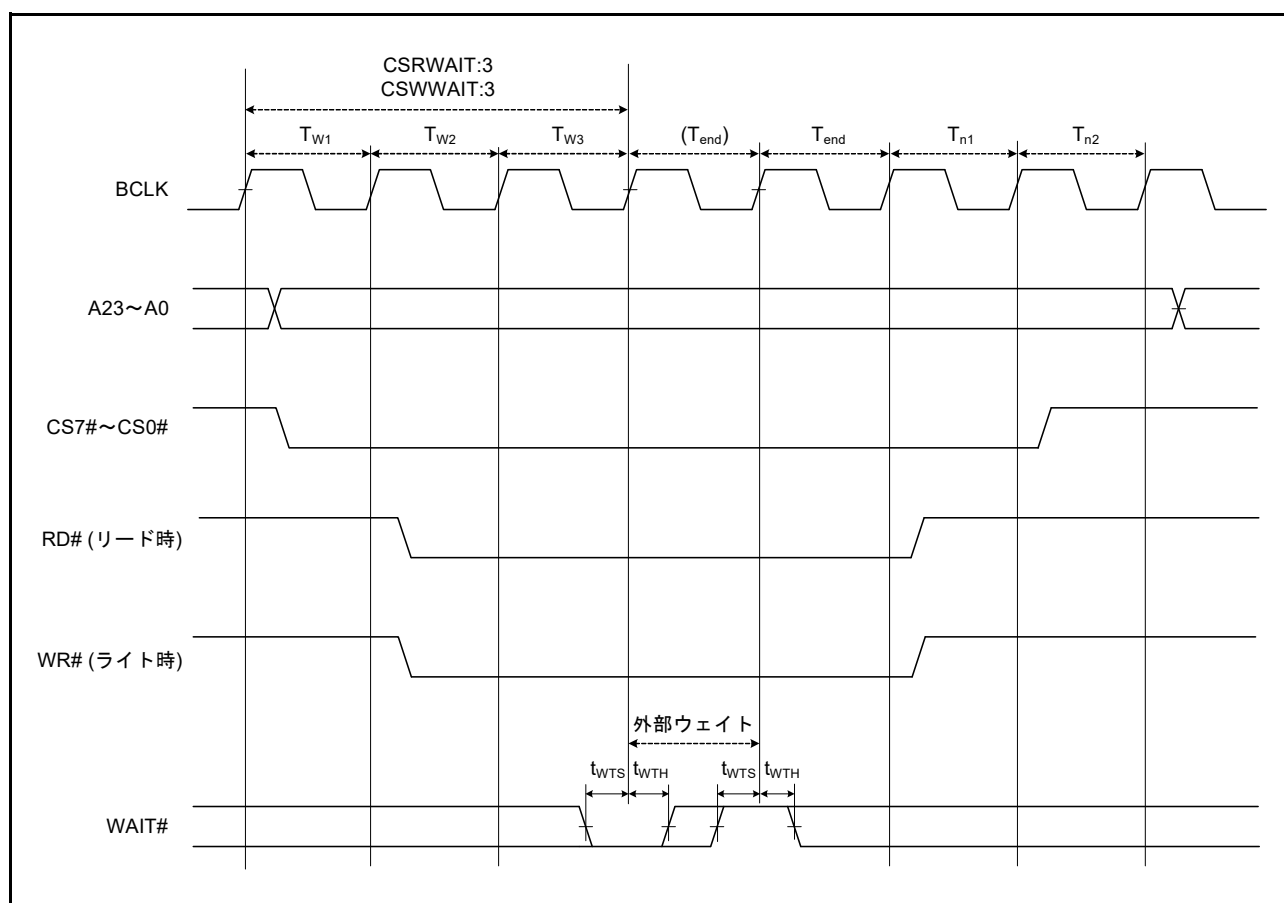


図 2.36 外部バスタイミング / 外部ウェイト制御

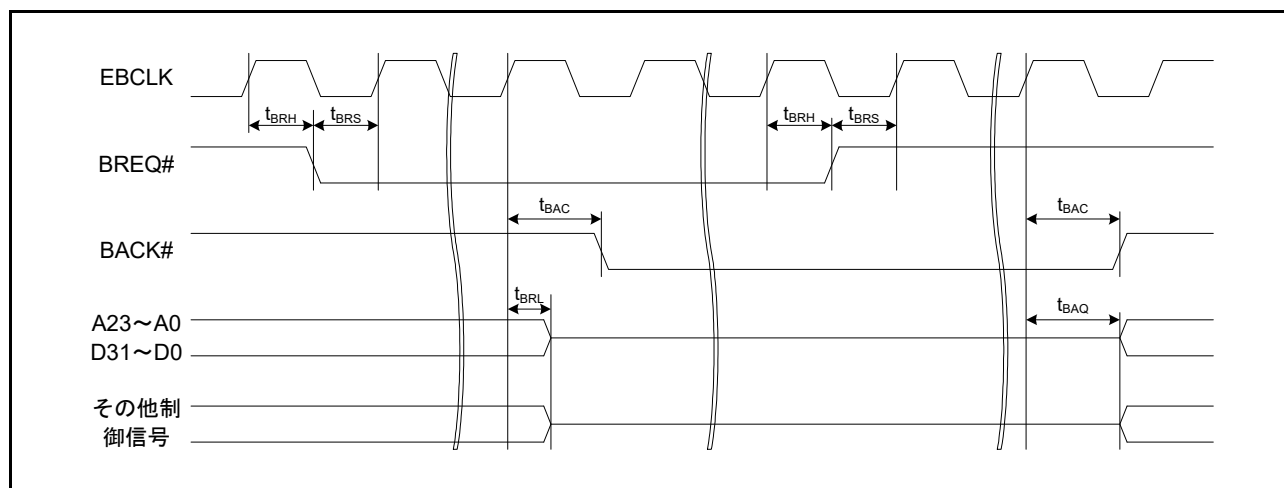


図 2.37 外部バスタイミング / BREQ, BACK

表2.73 バスタイミング(3)

条件: SDRAM領域コントローラ使用時

SDCLK端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV7に設定時

その他の端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV3に設定時

SDCLK = 133 MHz

VCC = VCC2 = 3.0 ~ 3.63 V, C = 15 pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間2 (SDRAM)	t_{AD2}	0.8	6	ns	図2.38 ~ 図2.45
CS#遅延時間2 (SDRAM)	t_{CSD2}	0.8	6	ns	
DQM遅延時間 (SDRAM)	t_{DQMD}	0.8	6	ns	
CKE遅延時間 (SDRAM)	t_{CKED}	0.8	6	ns	
リードデータセットアップ時間2 (SDRAM)	t_{RDS2}	2.1	—	ns	
リードデータホールド時間2 (SDRAM)	t_{RDH2}	0	—	ns	
ライトデータ遅延時間2 (SDRAM)	t_{WDD2}	—	6	ns	
ライトデータホールド時間2 (SDRAM)	t_{WDH2}	0.8	—	ns	
WE#遅延時間 (SDRAM)	t_{WED}	0.8	6	ns	
RAS#遅延時間 (SDRAM)	t_{RASD}	0.8	6	ns	
CAS#遅延時間 (SDRAM)	t_{CASD}	0.8	6	ns	
BREQ#セットアップ時間2 (SDRAM)	t_{BRS2}	12.5	—	ns	
BREQ#ホールド時間2 (SDRAM)	t_{BRH2}	0.8	—	ns	
BACK#遅延時間2 (SDRAM)	t_{BAC2}	0.8	12.5	ns	
バス開放時間2 (SDRAM)	t_{BRL2}	0.8	12.5	ns	
バス取得時間2 (SDRAM)	t_{BAQ2}	0	12.5	ns	

注. 端子名にグループ名 -A の記号が付加されている端子でのみ使用できます。

注. 型名がR5K574Mxx4yy (yy = BG, BD, AE)の場合のみ保証します。

表2.74 バスタイミング(4)

条件: SDRAM領域コントローラ使用時

SDCLK端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV7に設定時

その他の端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV3に設定時

SDCLK = 100 MHz

VCC = VCC2 = 3.0 ~ 3.63 V, C = 15 pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間2 (SDRAM)	t_{AD2}	0.8	8.5	ns	図2.38 ~ 図2.45
CS#遅延時間2 (SDRAM)	t_{CSD2}	0.8	8.5	ns	
DQM遅延時間 (SDRAM)	t_{DQMD}	0.8	8.5	ns	
CKE遅延時間 (SDRAM)	t_{CKED}	0.8	8.5	ns	
リードデータセットアップ時間2 (SDRAM)	t_{RDS2}	4	—	ns	
リードデータホールド時間2 (SDRAM)	t_{RDH2}	0	—	ns	
ライトデータ遅延時間2 (SDRAM)	t_{WDD2}	—	8.5	ns	
ライトデータホールド時間2 (SDRAM)	t_{WDH2}	0.8	—	ns	
WE#遅延時間 (SDRAM)	t_{WED}	0.8	8.5	ns	
RAS#遅延時間 (SDRAM)	t_{RASD}	0.8	8.5	ns	
CAS#遅延時間 (SDRAM)	t_{CASD}	0.8	8.5	ns	
BREQ#セットアップ時間2 (SDRAM)	t_{BRS2}	12.5	—	ns	
BREQ#ホールド時間2 (SDRAM)	t_{BRH2}	0.8	—	ns	
BACK#遅延時間2 (SDRAM)	t_{BAC2}	0.8	12.5	ns	
バス開放時間2 (SDRAM)	t_{BRL2}	0.8	12.5	ns	
バス取得時間2 (SDRAM)	t_{BAQ2}	0	12.5	ns	

注. 型名がR5K574Mxx4yy (yy = BG, BD, AE)の場合のみ保証します。

表 2.75 バスタイミング (5)

条件 : SDRAM 領域コントローラ使用時

SDCLK 端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV7 に設定時

その他の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

SDCLK = 60 MHz

VCC = VCC2 = 2.70 ~ 3.63 V, C = 30 pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間 2 (SDRAM)	t_{AD2}	0.8	12.5	ns	図 2.38 ~ 図 2.45
CS# 遅延時間 2 (SDRAM)	t_{CSD2}	0.8	12.5	ns	
DQM 遅延時間 (SDRAM)	t_{DQMD}	0.8	12.5	ns	
CKE 遅延時間 (SDRAM)	t_{CKED}	0.8	12.5	ns	
リードデータセットアップ時間 2 (SDRAM)	t_{RDS2}	10	—	ns	
リードデータホールド時間 2 (SDRAM)	t_{RDH2}	0	—	ns	
ライトデータ遅延時間 2 (SDRAM)	t_{WDD2}	—	12.5	ns	
ライトデータホールド時間 2 (SDRAM)	t_{WDH2}	0.8	—	ns	
WE# 遅延時間 (SDRAM)	t_{WED}	0.8	12.5	ns	
RAS# 遅延時間 (SDRAM)	t_{RASD}	0.8	12.5	ns	
CAS# 遅延時間 (SDRAM)	t_{CASD}	0.8	12.5	ns	
BREQ# セットアップ時間 2 (SDRAM)	t_{BRS2}	12.5	—	ns	
BREQ# ホールド時間 2 (SDRAM)	t_{BRH2}	0.8	—	ns	
BACK# 遅延時間 2 (SDRAM)	t_{BAC2}	0.8	12.5	ns	
バス開放時間 2 (SDRAM)	t_{BRL2}	0.8	12.5	ns	
バス取得時間 2 (SDRAM)	t_{BAQ2}	0	12.5	ns	

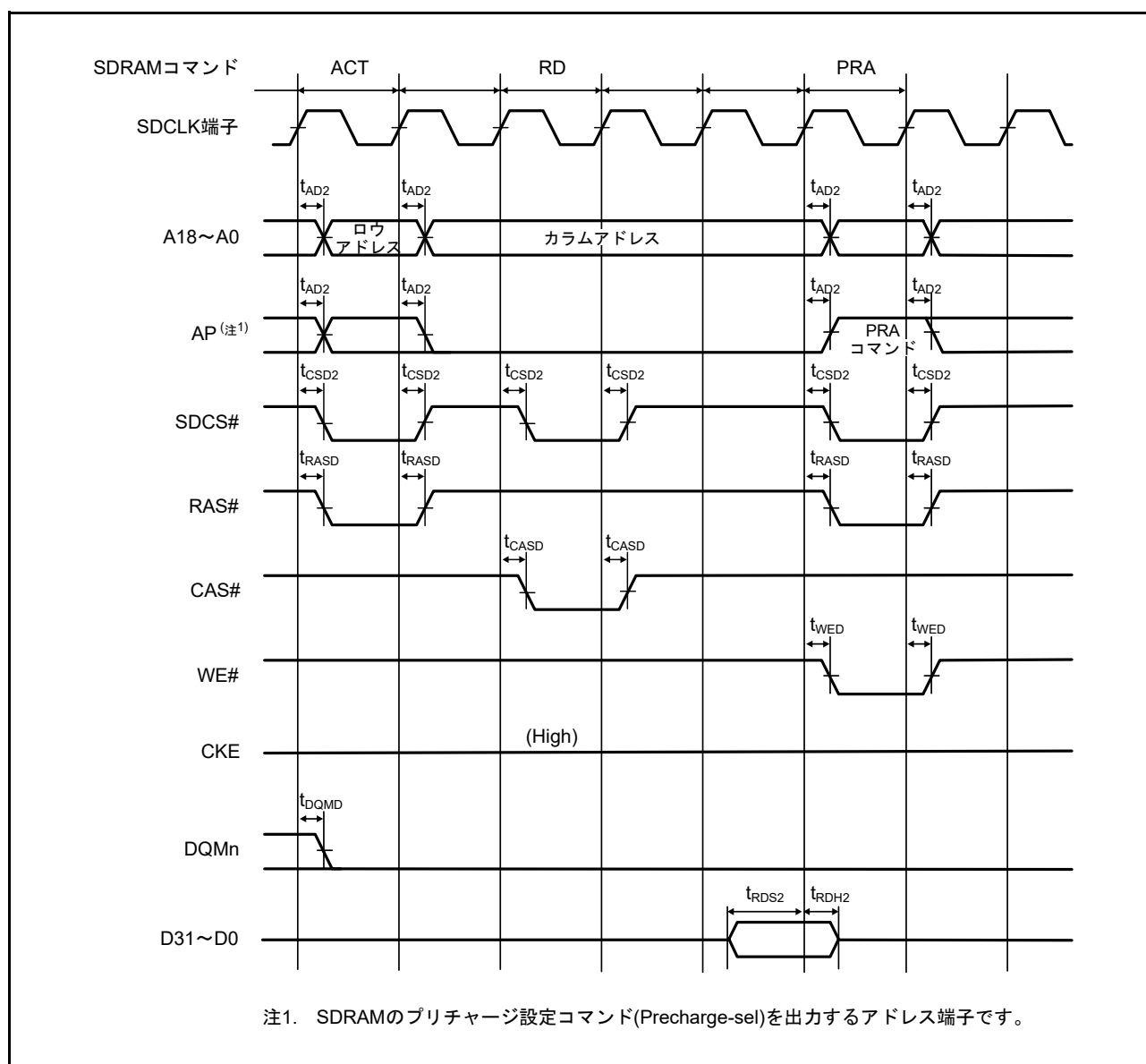


図 2.38 SDRAM 空間シングルリードバスタイミング

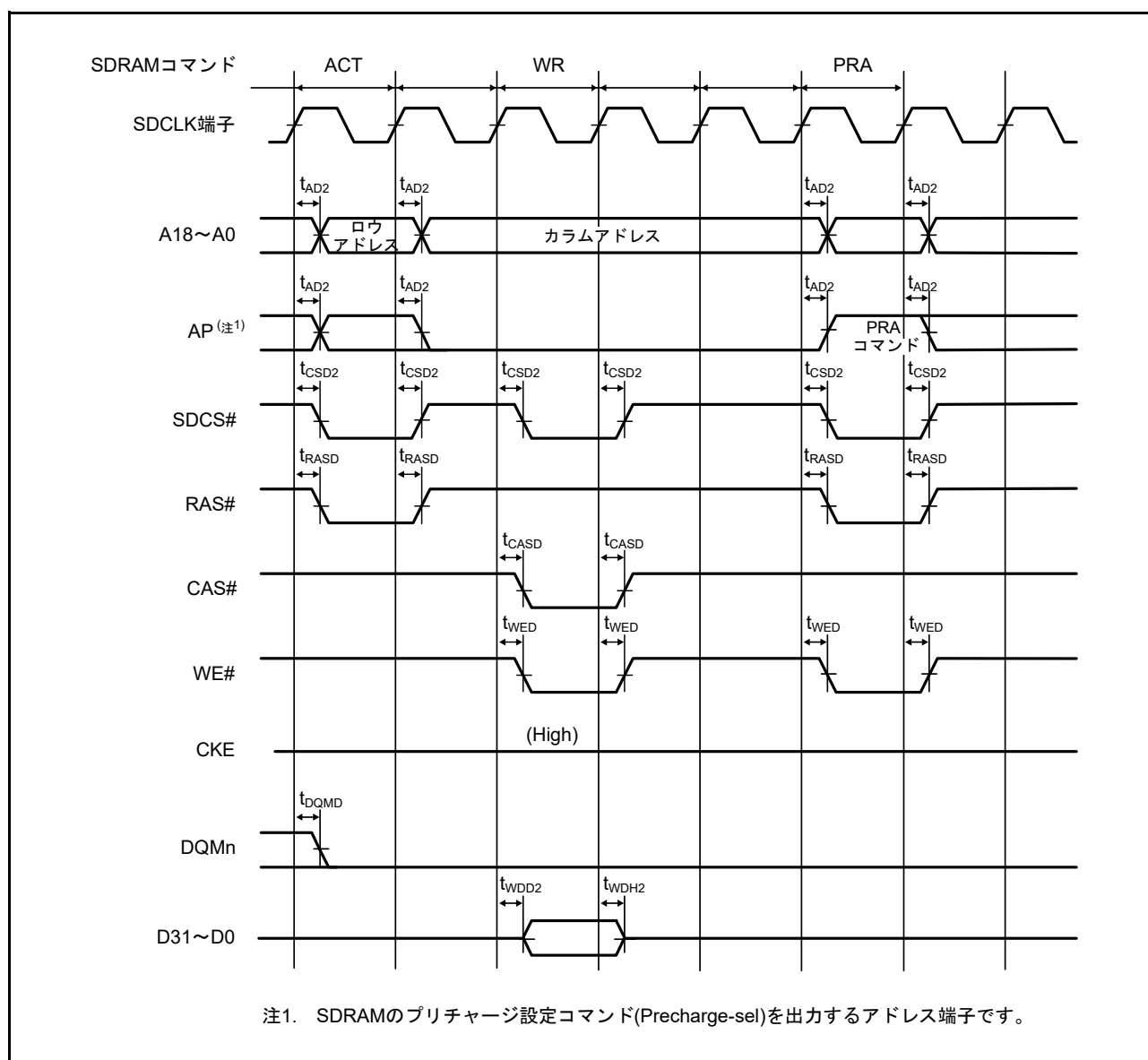
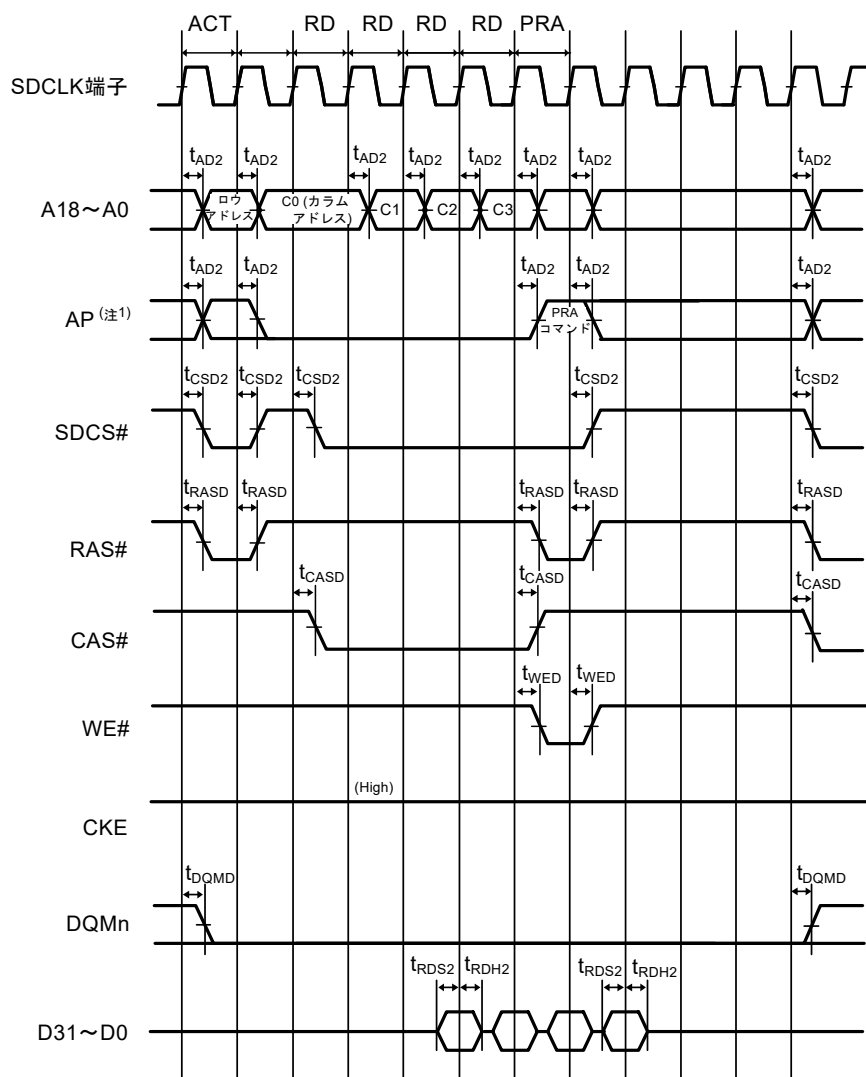
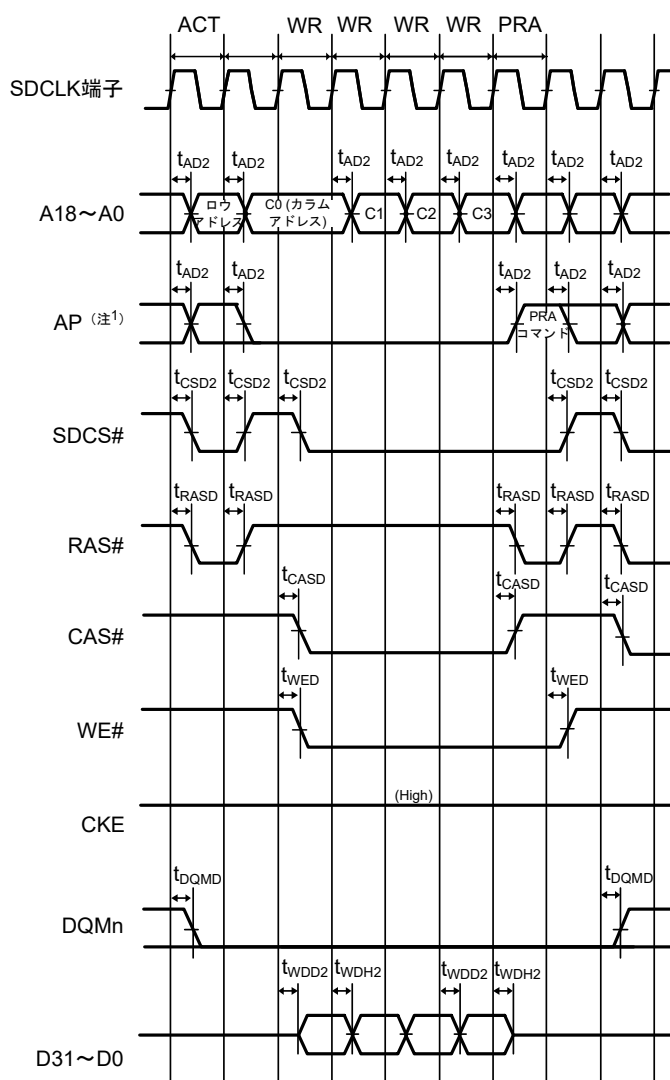


図 2.39 SDRAM 空間シングルライトバスタイミング



注1. SDRAMのプリチャージ設定コマンド(Precharge-sel)を出力するアドレス端子です。

図 2.40 SDRAM 空間複数リードバスタイミング



注1. SDRAMのプリチャージ設定コマンド(Precharge-sel)を出力するアドレス端子です。

図 2.41 SDRAM 空間複数ライトバスタイミング

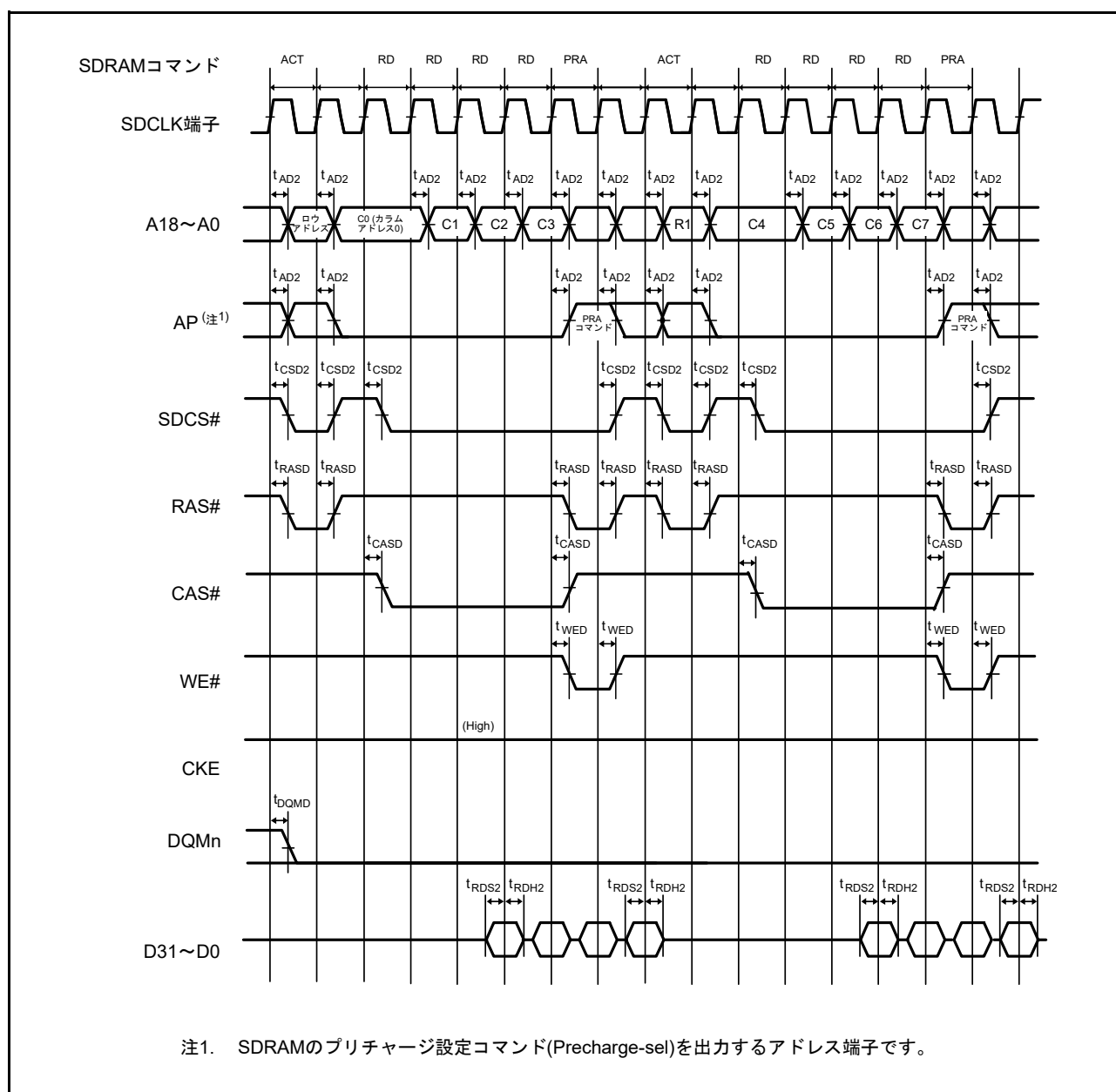
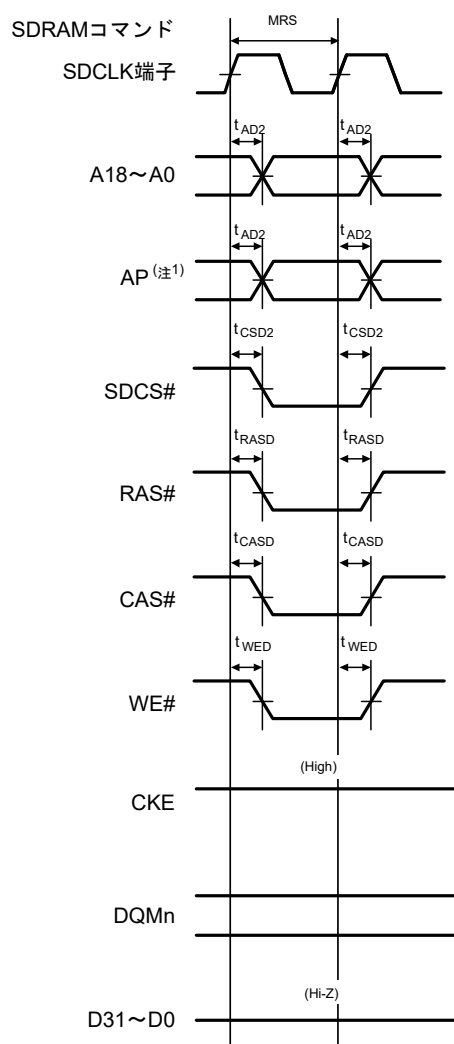


図 2.42 SDRAM 空間複数リード行またぎバスタイミング



注1. SDRAMのプリチャージ設定コマンド(Precharge-sel)を出力するアドレス端子です。

図 2.43 SDRAM 空間モードレジスタセットバスタイミング

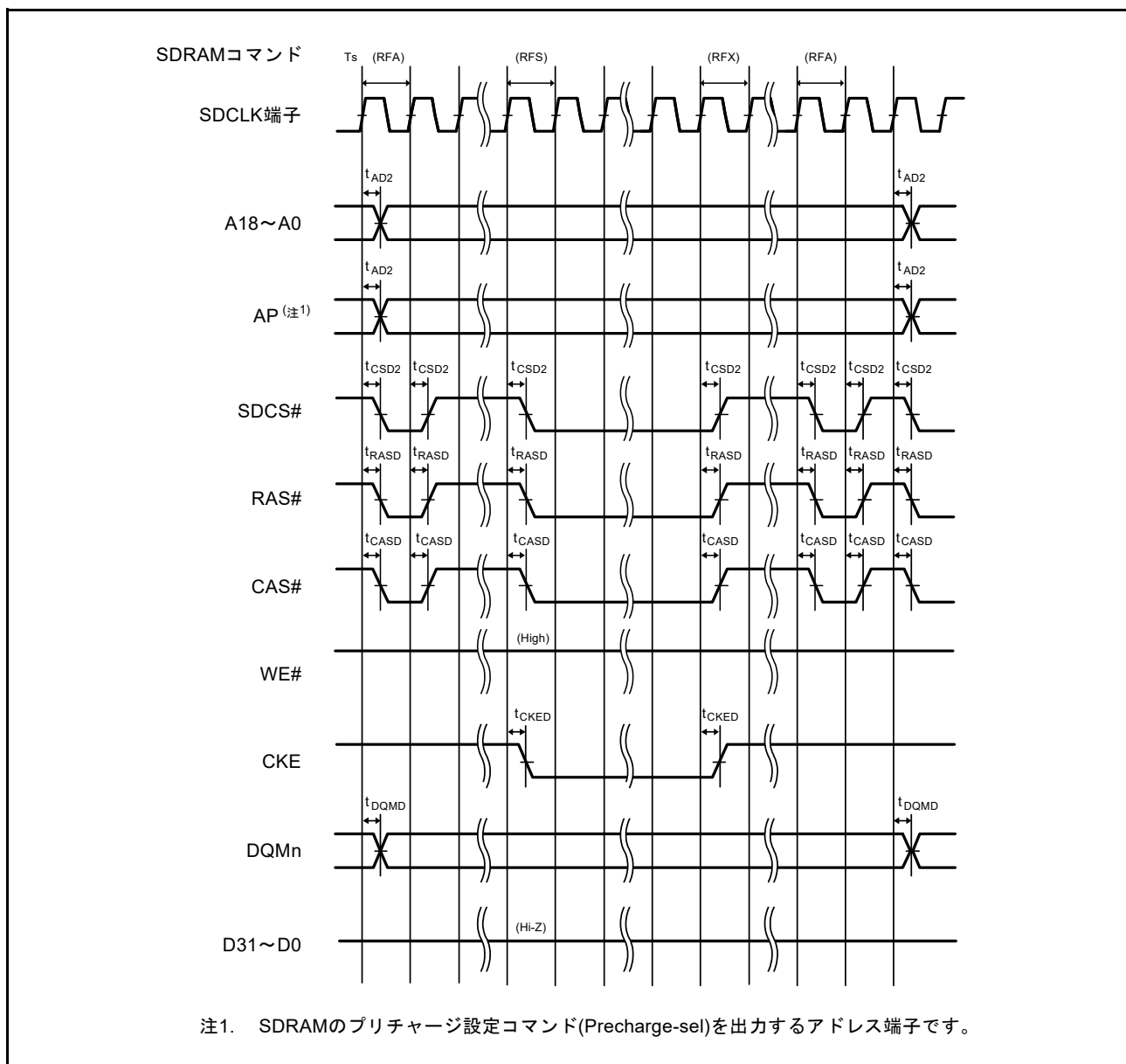


図 2.44 SDRAM 空間セルフリフレッシュバスタイミング

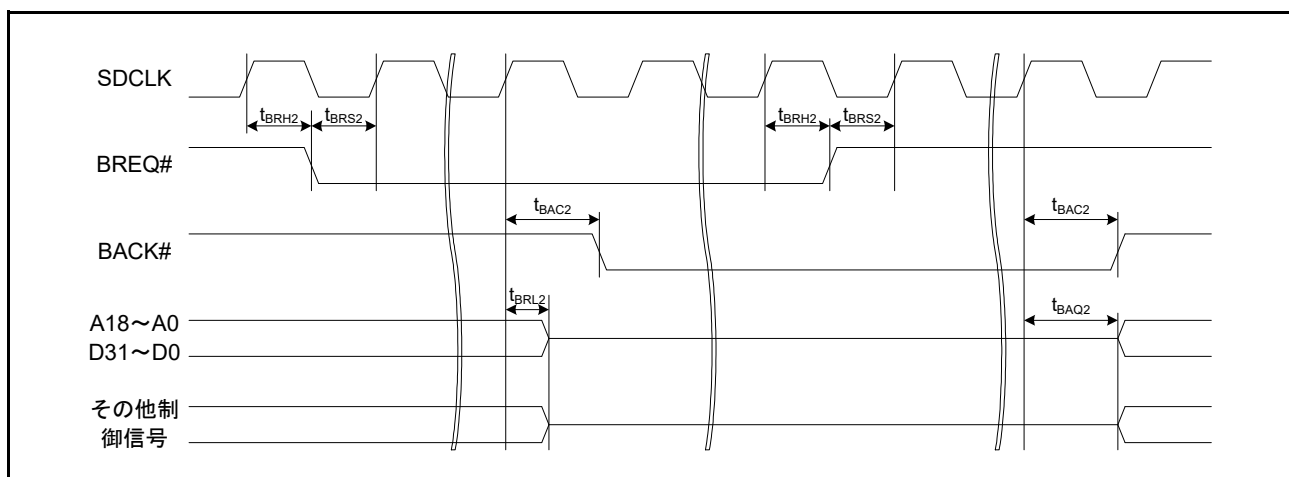


図 2.45 外部バスタイミング /BREQ, BACK

2.5.7 内蔵周辺モジュールタイミング

2.5.7.1 I/O ポート

表 2.76 I/Oポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	7.5	—	t_{Icyc}	図 2.46

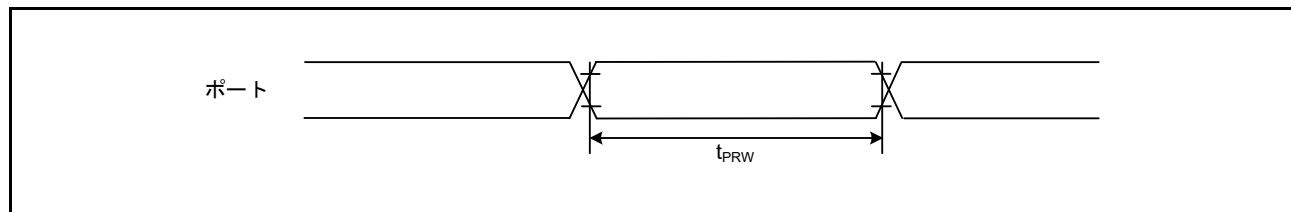
注 1. t_{Icyc} : ICLKの周期

図 2.46 I/Oポート入力タイミング

2.5.7.2 TMR

表 2.77 TMRタイミング

項目			記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—	t_{PBcyc}	図 2.47
		両エッジ指定	t_{TMCWL}	2.5	—		

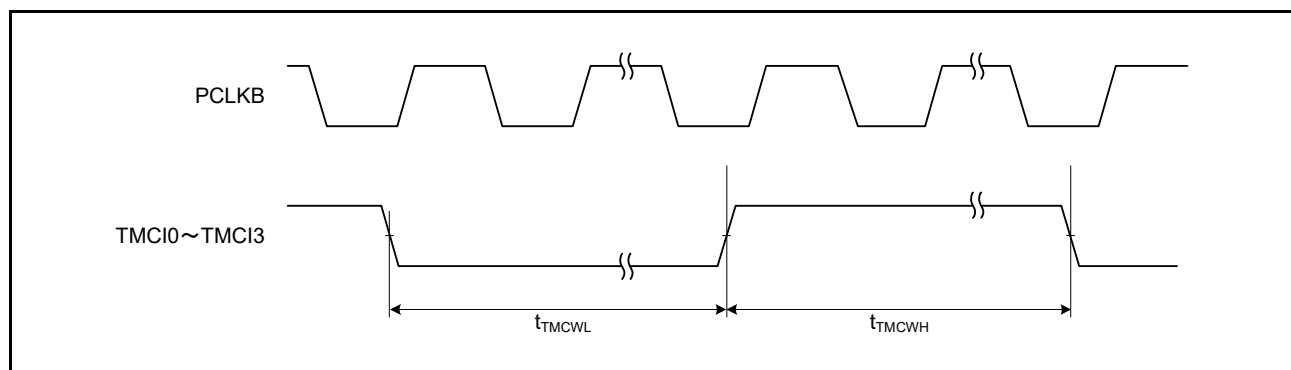
注 1. t_{PBcyc} : PCLKBの周期

図 2.47 TMR クロック入力タイミング

2.5.7.3 CMTW

表 2.78 CMTW タイミング

項目			記号	min	max	単位 (注1)	測定条件
CMTW	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{CMTWTICW}	1.5	—	t_{PBcyc}	図 2.48
		両エッジ指定		2.5	—		

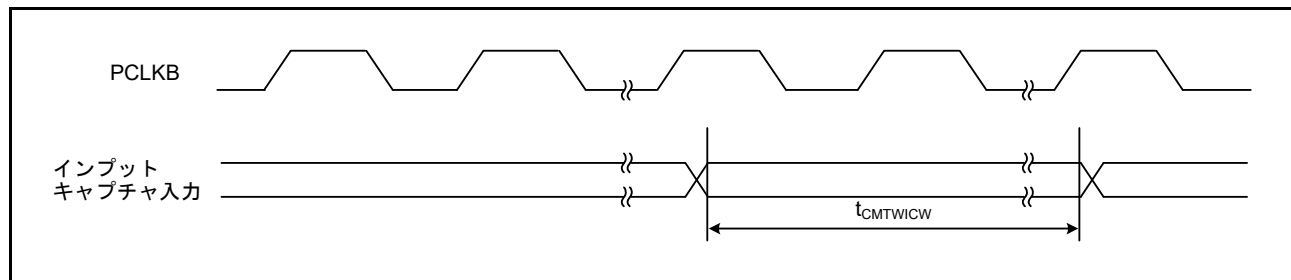
注 1. t_{PBcyc} : PCLKB の周期

図 2.48 CMTW インプットキャプチャ入力タイミング

2.5.7.4 POEG

表 2.79 POEG タイミング

項目			記号	min	max	単位 (注1)	測定条件
POEG	GTETR _{Gn} 入力パルス幅 (n = A ~ D)		t_{POEGW}	1.5	—	t_{PAcyc}	
	POEG _{Gn} 入力パルス幅 (n = A ~ D)		t_{POEGW2}	1.5	—	t_{PAcyc}	
	出力ディセーブル 時間	GTETR _{Gn} 端子の入力 レベル検出 (フラグ経由)	t_{POEGDI}	—	3 PCLKA + 0.34	μs	デジタルノイズフィルタ不使用 時 (POEG _{Gn} .NFEN = 0 (n = A ~ D))
		POEG _{Gn} 端子の入力レ ベル検出 (フラグ経由)	t_{POEGDI2}	—	3 PCLKA + 0.34		デジタルノイズフィルタ不使用 時 (POEG _{G2n} .NFEN = 0 (n = A ~ D))
		POEG _{Gn} 端子変化	t_{POEGDI3}	—	4 PCLKA + 0.34		立ち下がりエッジ検出または立 ち上がりエッジ検出時 (POEG _{G2n} .PIDM[1:0] = 01b または 10b)
		GPTW からの出力停止 信号検出 (デットタイムエラー、 同時 High 出力、同時 Low 出力)	t_{POEGDE}	—	0.5		
		DSMIF からの出力停止 信号検出	t_{POEGDD}	—	0.5		
		レジスタ設定	t_{POEGDS}	—	1 PCLKA + 0.3		レジスタアクセス時間は除く
		メインクロック発振停 止検出	t_{POEGDOS}	—	2		

注 1. t_{PAcyc} : PCLKA の周期

2.5.7.5 GPTW

表2.80 GPTW タイミング

項目			記号	min	max	単位 (注1、注2)	測定条件
GPTW	インプットキャプチャ入力パルス幅 (サイクル)	単エッジ指定	t_{GTICW}	1.5	—	t_{GTcyc}	
		両エッジ指定		2.5	—		
	外部トリガ入力パルス幅(サイクル)	単エッジ指定	t_{GTEW}	1.5	—	t_{PAcyc}	
		両エッジ指定		2.5	—		
	タイマクロックパルス幅		t_{GTCKWH} , t_{GTCKWL}	1.5	—	t_{PAcyc}	

注1. t_{GTcyc} : GTCLKの周期

注2. t_{PAcyc} : PCLKAの周期

2.5.7.6 RSCI

表 2.81 RSCI タイミング (調歩同期式モード)

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

項目		VCC/VCC2	記号	min	max	単位 (注1)	測定条件
RSCI (調歩同期式)	入力クロックサイクル		t _{Scyc}	4	—	t _{pAcyc}	図 2.49
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	入力クロック立ち上がり時間		t _{SCKr}	—	0.1	ns	
	入力クロック立ち下がり時間		t _{SCKf}	—	0.1	ns	
	出力クロックサイクル		t _{Scyc}	6	—	t _{pAcyc}	
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	出力クロック立ち上がり時間	2.70 V 以上	t _{SCKr}	—	3.3	ns	
		1.62 V 以上		—	6.6		
	出力クロック立ち下がり時間	2.70 V 以上	t _{SCKf}	—	3.3	ns	
1.62 V 以上		—		6.6			

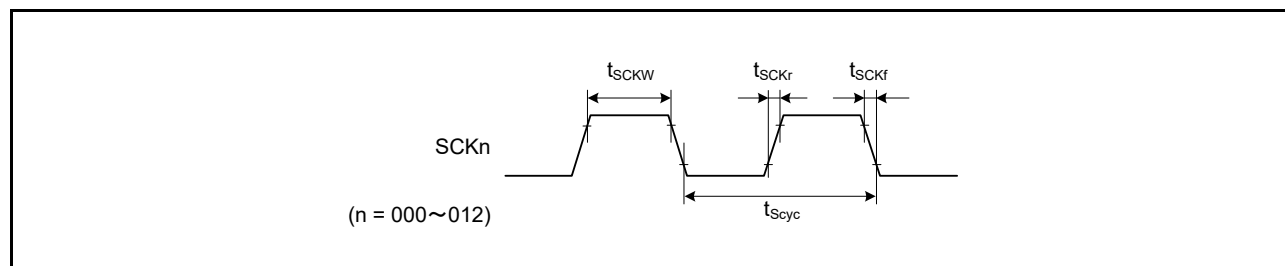
注 1. t_{PAcyc} : PCLKA の周期

図 2.49 SCK クロック入力タイミング

表2.82 RSCI タイミング (クロック同期式モード)

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

項目			VCC/VCC2	記号	min	max	単位 (注1)	測定条件
RSCI (クロック 同期式)	出力クロックサイクル	マスタ	2.70 V 以上	t_{Scyc}	2 (TCLK $\leq$ 120 MHz)	—	t_{Tcyc}	図2.50
			4 (TCLK > 120 MHz)		—			
			1.62 V 以上		2 (TCLK $\leq$ 60 MHz)	—		
					4 (TCLK $\leq$ 120 MHz)	—		
					8 (TCLK > 120 MHz)	—		
	入力クロックサイクル	スレーブ	2.70 V 以上	t_{Tcyc}	2	—		
			1.62 V 以上		2 (TCLK $\leq$ 100 MHz)	—		
					4 (TCLK > 100 MHz)	—		
	クロック Highパルス 幅	マスタ		t_{SCKWH}	0.4	0.6	t_{Scyc}	
		スレーブ			0.4	0.6		
	クロック Lowパルス 幅	マスタ		t_{SCKWL}	0.4	0.6	t_{Scyc}	
		スレーブ			0.4	0.6		
	クロック立ち上がり/ 立ち下がり時間	出力	2.70 V 以上	t_{SCKr} t_{SCKf}	—	3.3	ns	
			1.62 V 以上		—	6.6		
		入力	1.62 V 以上		—	1.0	μ s	
	データ入力セットアップ 時間	マスタ (高速端子) (注2)		t_{SU}	2.6	—	ns	
		マスタ			2.8	—		
		スレーブ	2.70 V 以上		3.3	—		
			1.62 V 以上		5.3	—		
	データ入力ホールド時 間	マスタ	2.70 V 以上	t_H	7.5	—	ns	
1.62 V 以上			9.5		—			
スレーブ		2.70 V 以上	3.0		—			
		1.62 V 以上	5.0		—			
データ出力遅延時間	マスタ (高速端子) (注2)		t_{OD}	—	5.0	ns		
	マスタ			—	5.0			
	スレーブ (高速端子) (注2)	2.70 V 以上		—	15			
		1.62 V 以上		—	23			
	スレーブ	2.70 V 以上		—	21			
		1.62 V 以上		—	29			
データ立ち上がり/ 立ち下がり時間	出力	2.70 V 以上	t_{Dr} , t_{Df}	—	3.3	ns		
		1.62 V 以上		—	6.6			
	入力			—	1.0	μ s		

注1. t_{Tcyc} : TCLK (PCLKA、または SCICLK) の周期

注2. 所属グループのうち端子名の後ろに -A が付加されている端子を使用した場合

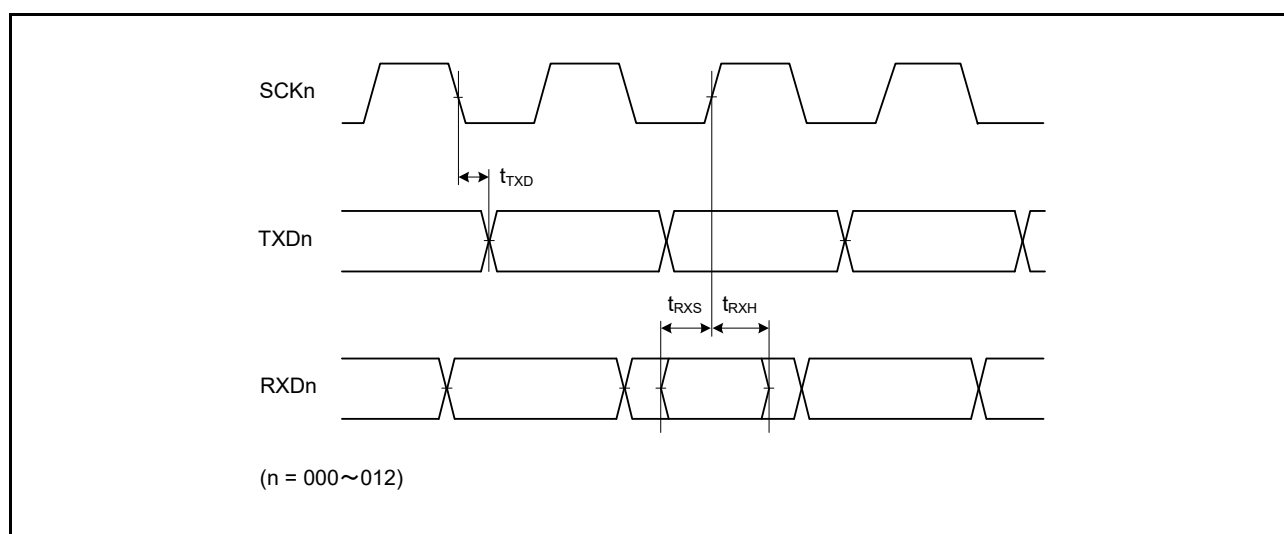


図 2.50 RSCI 入出力タイミング / クロック同期式モード

表2.83 簡易IIC タイミング

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

項目	記号	min	max (注 1)	単位	測定条件
簡易 IIC (スタンダードモード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	1000	図 2.51
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300	
	SSCL、SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{pAcyc}$	
	データ入力セットアップ時間	t_{SDAS}	250	—	
	データ入力ホールド時間	t_{SDAH}	0	—	
	SSCL、SSDAの容量性負荷	C_b (注 2)	—	400	
簡易 IIC (ファストモード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	300	
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300	
	SSCL、SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{pAcyc}$	
	データ入力セットアップ時間	t_{SDAS}	100	—	
	データ入力ホールド時間	t_{SDAH}	0	—	
	SSCL、SSDAの容量性負荷	C_b (注 2)	—	400	

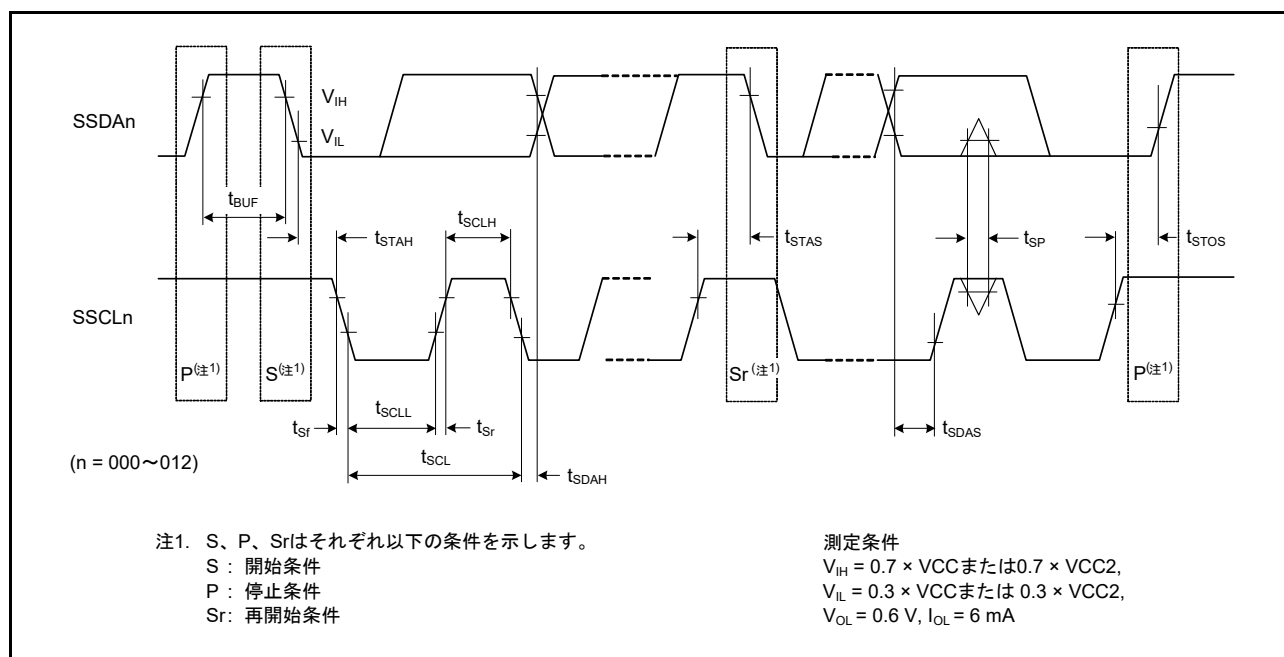
注1. t_{pAcyc} : PCLKAの周期注2. C_b はバスラインの容量総計です。

図 2.51 簡易 IIC バスインタフェース入出力タイミング

表2.84 簡易SPIタイミング (1/2)

条件：対象の端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV3に設定時

項目			VCC/VCC2	記号	min	max	単位 (注1)	測定条件	
簡易 SPI	出カクロックサイ クル	マスタ	2.70 V 以上	t_{SPcyc}	2 (TCLK $\leq$ 120 MHz)	65536	t_{Tcyc}	図 2.52	
			1.62 V 以上		4 (TCLK > 120 MHz)	65536			
					2 (TCLK $\leq$ 60 MHz)	65536			
					4 (TCLK $\leq$ 120 MHz)	65536			
			8 (TCLK > 120 MHz)		65536				
	入カクロックサイ クル	スレーブ	2.70 V 以上	t_{Tcyc}	2	—			
			1.62 V 以上		2 (TCLK $\leq$ 100 MHz)	—			
			4 (TCLK > 100 MHz)		—				
	クロック High パルス幅			t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	クロック Low パルス幅			t_{SPCKWL}	0.4	0.6			
	クロック立ち上が り/立ち下がり時間	出力	2.70 V 以上	t_{SPCKr} , t_{SPCKf}	—	3.3	ns		
			1.62 V 以上		—	6.6			
		入力	—		1.0	μ s			
	データ入力セット アップ時間	マスタ (高速端子) (注2)		t_{SU}	−1.5	—	ns		図 2.53、 図 2.54
		マスタ			2.0	—			
スレーブ		2.70 V 以上	2.5		—				
		1.62 V 以上	4.5		—				
データ入力ホール ド時間	マスタ	2.70 V 以上	t_H	7.5	—	ns			
		1.62 V 以上		9.5	—				
	スレーブ	2.70 V 以上		2.5	—				
		1.62 V 以上		4.5	—				
データ出力遅延時 間	マスタ (高速端子) (注2)	2.70 V 以上	t_{OD}	—	3.0	ns			
		1.62 V 以上		—	4.5				
	マスタ	2.70 V 以上		—	3.5				
		1.62 V 以上		—	5.5				
	スレーブ (高速端子) (注2)	2.70 V 以上		—	15				
		1.62 V 以上		—	23				
	スレーブ	2.70 V 以上		—	21				
		1.62 V 以上		—	29				
データ出力ホール ド時間	マスタ (高速端子) (注2)	2.70 V 以上	t_{OH}	−3.0	—	ns			
		1.62 V 以上		−4.5	—				
	マスタ	2.70 V 以上		−3.5	—				
		1.62 V 以上		−5.5	—				
	スレーブ			0	—				
データ立ち上がり/ 立ち下がり時間	出力	2.70 V 以上	t_{Dr} , t_{Df}	—	3.3	ns			
		1.62 V 以上		—	6.6				
	入力	—		1.0					
SS 入力セットアップ時間				t_{LEAD}	1.0	—	t_{SPcyc}	図 2.55、 図 2.56	
SS 入力ホールド時間				t_{LAG}	1.0	—			
SS データ立ち上がり/立ち下がり時間				t_{SSLr} , t_{SSLf}	—	1.0	μ s		

表2.84 簡易SPIタイミング (2/2)

条件: 対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

項目		VCC/VCC2	記号	min	max	単位 (注1)	測定条件
簡易 SPI	スレーブアクセス時間	2.70 V以上	t_{SA}	—	$3 \times t_{Tcyc} + 25$ (注1)	ns	図2.55、 図2.56
		1.62 V以上		—	$3 \times t_{Tcyc} + 32$ (注1)		
	スレーブ出力リリース時間	2.70 V以上	t_{REL}	—	$3 \times t_{Tcyc} + 25$ (注1)	ns	
		1.62 V以上		—	$3 \times t_{Tcyc} + 32$ (注1)		

注1. t_{Tcyc} : TCLK (PCLKA、または SCICLK) の周期

注2. 所属グループのうち端子名の後ろに -A が付加されている端子を使用した場合

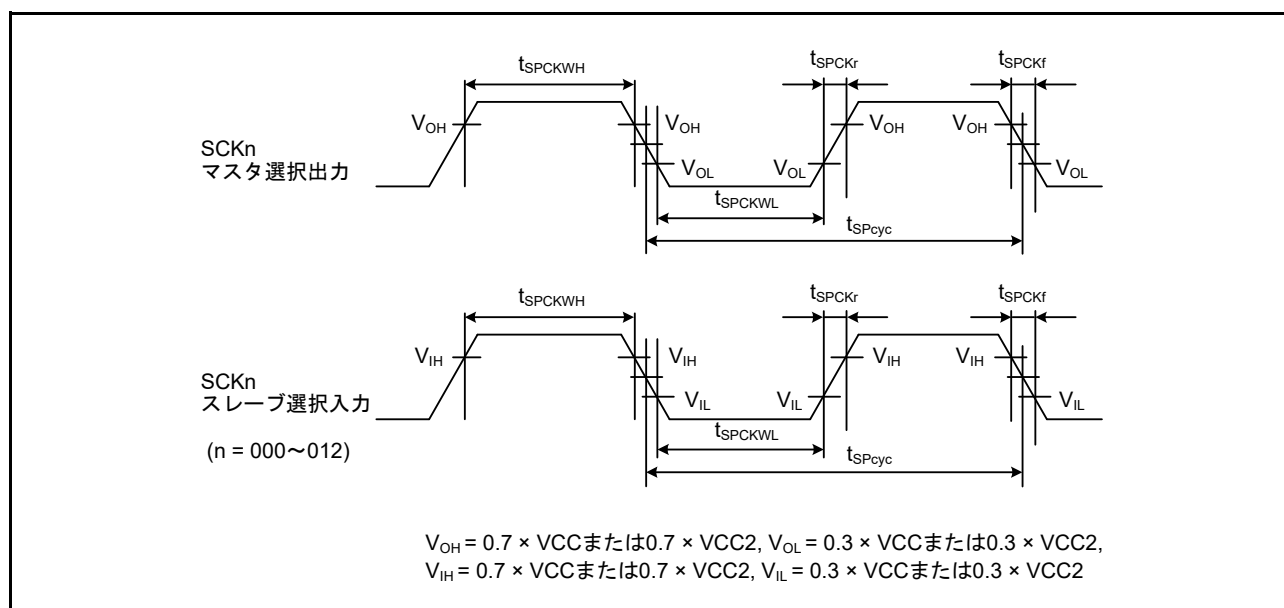


図 2.52 簡易 SPI クロックタイミング

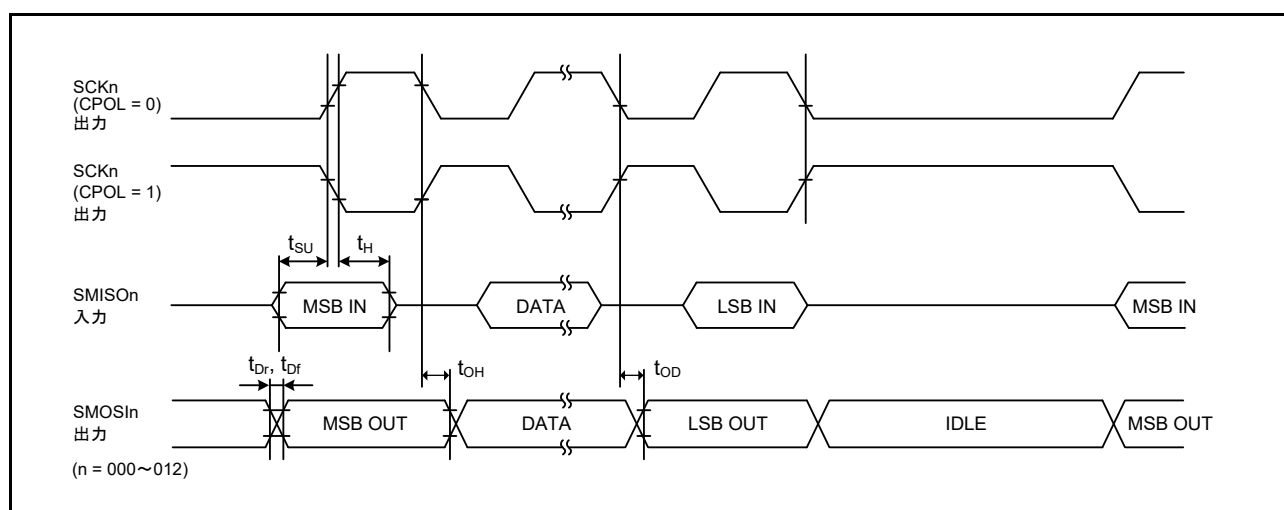


図 2.53 簡易 SPI タイミング (マスタ、CPHA = 0)

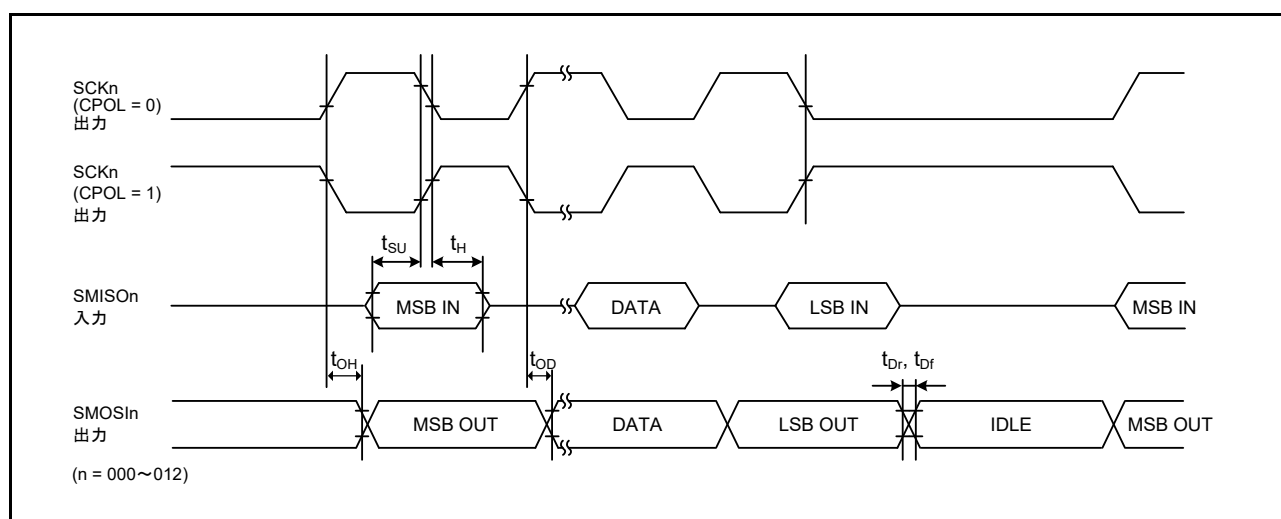


図 2.54 簡易 SPI タイミング (マスタ、CPHA = 1)

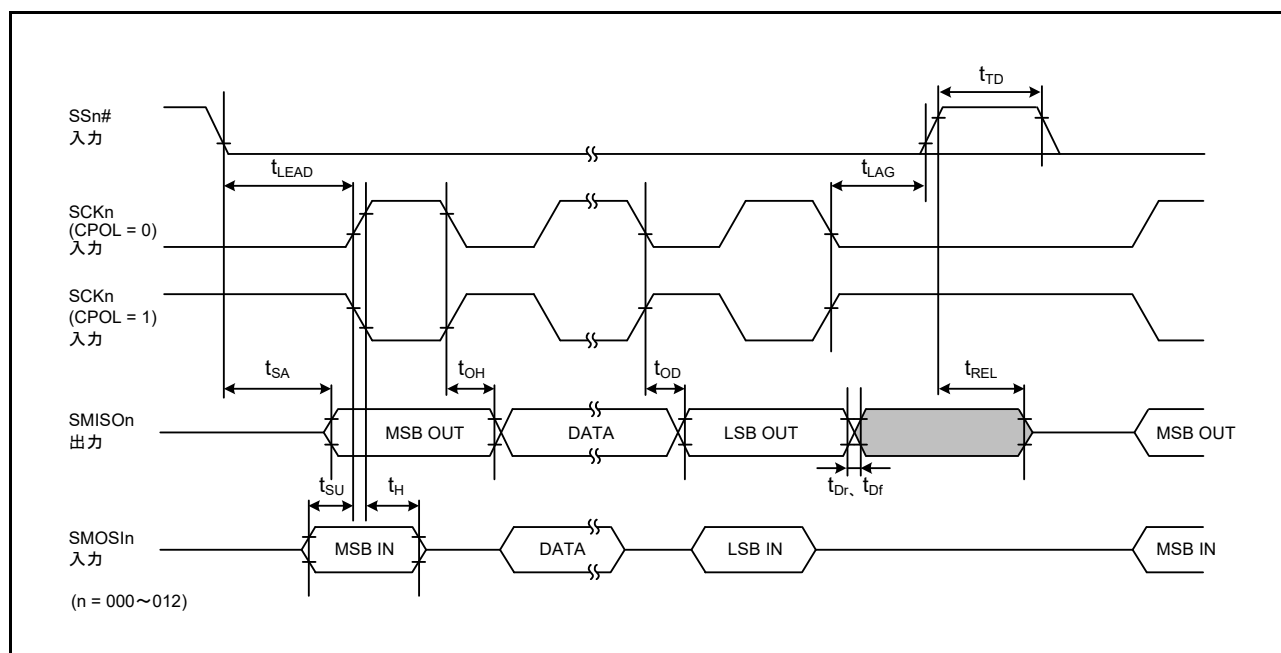


図 2.55 簡易 SPI タイミング (スレーブ、CPHA = 0)

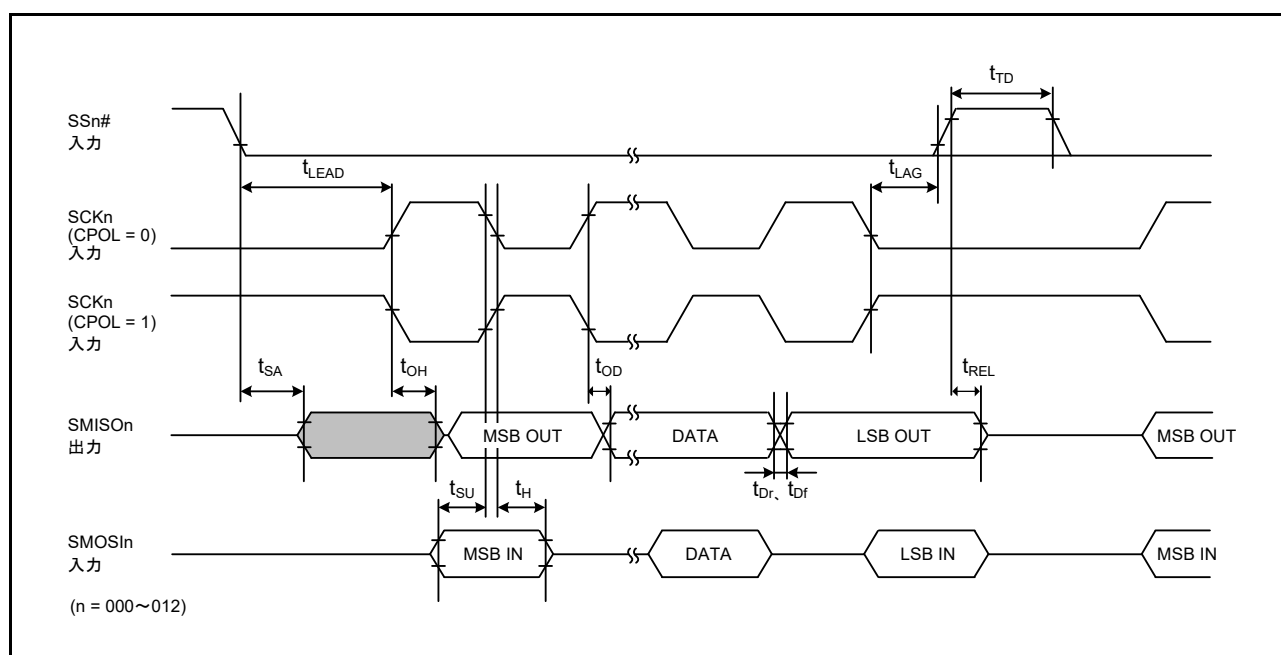


図 2.56 簡易 SPI タイミング (スレーブ、CPHA = 1)

2.5.7.7 RSPIA

表 2.85 RSPIA タイミング (1/2)

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

項目			VCC/VCC2	記号	min (注1)	max (注1)	単位 (注1)	測定条件
RSPIA	クロックサイクル	マスタ	3.00 V 以上	tSPcyc	2	4096	tTcyc	図 2.57
			2.70 V 以上		2	4096		
			1.62 V 以上		2 (TCLK ≤ 60 MHz)	4096		
					4 (TCLK > 60 MHz)	4096		
		スレーブ	3.00 V 以上		2	—		
			2.70 V 以上		2	—		
			1.62 V 以上		2 (TCLK ≤ 60 MHz)	—		
					4 (TCLK > 60 MHz)	—		
	クロック Highパルス幅	マスタ		tSPCKWH	(tSPcyc − tSPCKr − tSPCKf) / 2 − 3	—	ns	
		スレーブ			0.4	—	tSPcyc	
	クロック Lowパルス幅	マスタ		tSPCKWL	(tSPcyc − tSPCKr − tSPCKf) / 2 − 3	—	ns	
		スレーブ			0.4	—	tSPcyc	
	クロック立ち上がり / 立ち下がり時間	出力	3.00 V 以上	tSPCKr, tSPCKf	—	1.66	ns	
			2.70 V 以上		—	3.30		
			1.62 V 以上		—	6.60		
		入力			—	0.1	μs	
データ入力セットアップ時間	マスタ	3.00 V 以上	tSU	−1.5	—	ns	図 2.58、 図 2.59	
		2.70 V 以上		0.0	—			
		1.62 V 以上		0.0	—			
	スレーブ			2.5	—			
データ入力ホールド時間	マスタ	3.00 V 以上	tH	7.5	—	ns		
		2.70 V 以上		7.5	—			
		1.62 V 以上		9.5	—			
	スレーブ	3.00 V 以上		2.5	—			
		2.70 V 以上		2.5	—			
		1.62 V 以上		5.5	—			
SSL セットアップ時間	マスタ		tLEAD	1 × tSPcyc − 10	8 × tSPcyc + 10	ns		
	スレーブ			5.0	—	tTcyc		
SSL ホールド時間	マスタ		tLAG	1 × tSPcyc − 10	8 × tSPcyc + 10	ns		
	スレーブ			5.0	—	tTcyc		
TI SSP SS 入力 セットアップ時間	スレーブ		tTISS	2.5	—	ns	図 2.63、 図 2.64	
TI SSP SS 入力 ホールド時間	スレーブ	3.00 V 以上	tTISH	2.5	—	ns		
		2.70 V 以上		2.5	—			
		1.62 V 以上		5.5	—			
TI SSP 次アクセス時間	スレーブ		tTIND	2 × tTcyc + SLNDL × tTcyc	—	ns		
TI SSP マスタ SS 出力 遅延時間	マスタ	3.00 V 以上	tTISSOD	—	4.0	ns	図 2.60	
		2.70 V 以上		—	8.0			
		1.62 V 以上		—	8.0			

表2.85 RSPIA タイミング (2 / 2)

条件: 対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

項目			VCC/VCC2	記号	min (注1)	max (注1)	単位 (注1)	測定条件	
RSPIA	データ出力遅延時間	マスタ	3.00 V 以上	t _{OD1}	—	2.5	ns	図 2.58、 図 2.59	
			2.70 V 以上		—	3.0			
			1.62 V 以上		—	6.0			
		マスタ	3.00 V 以上	t _{OD2}	—	2.5			
			2.70 V 以上		—	2.5			
			1.62 V 以上		—	5.0			
		スレーブ	3.00 V 以上	t _{OD}	—	11.5 (注 2) 13.0 (注 3)			
			2.70 V 以上		—	16			
			1.62 V 以上		—	24			
	データ出力ホールド時間	マスタ	3.00 V 以上	t _{OH}	−2.5	—	ns		
			2.70 V 以上		−2.5	—			
			1.62 V 以上		−4.5	—			
		スレーブ			0.0	—			
	連続送信遅延時間	マスタ		t _{TD}	t _{SPcyc} + 2 × t _{Tcyc}	8 × t _{SPcyc} + 2 × t _{Tcyc}	ns		
		スレーブ			t _{Tcyc}	—			
	MOSI、MISO 立ち上がり/立ち下がり時間	出力	3.00 V 以上	t _{Dr} , t _{Df}	—	1.66	ns		
			2.70 V 以上		—	3.30			
			1.62 V 以上		—	6.60			
		入力			—	1.00	μs		
	SSL 立ち上がり/立ち下がり時間	出力	3.00 V 以上	t _{SSLr} , t _{SSLf}	—	1.66	ns		
			2.70 V 以上		—	3.30			
			1.62 V 以上		—	6.60			
		入力			—	1.00	μs		
	スレーブアクセス時間	スレーブ	3.00 V 以上	t _{SA}	—	20.0	ns		図 2.61、 図 2.62
			2.70 V 以上		—	20.0			
			1.62 V 以上		—	25.0			
	スレーブ出力リリース時間	スレーブ	3.00 V 以上	t _{REL}	—	20.0	ns		
			2.70 V 以上		—	20.0			
			1.62 V 以上		—	25.0			

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

注1. t_{Tcyc} : TCLK (PCLKA、または SPICLK) の周期

注2. グループ-A の場合

注3. グループ-A 以外の場合

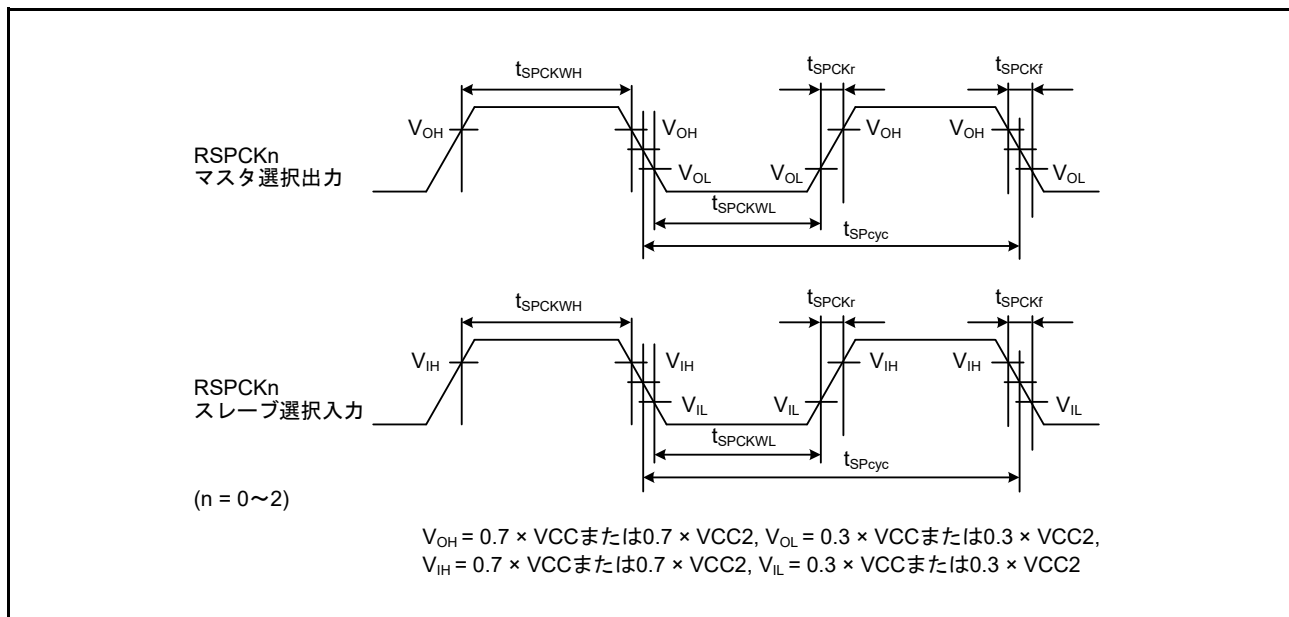


図 2.57 RSPIA クロックタイミング

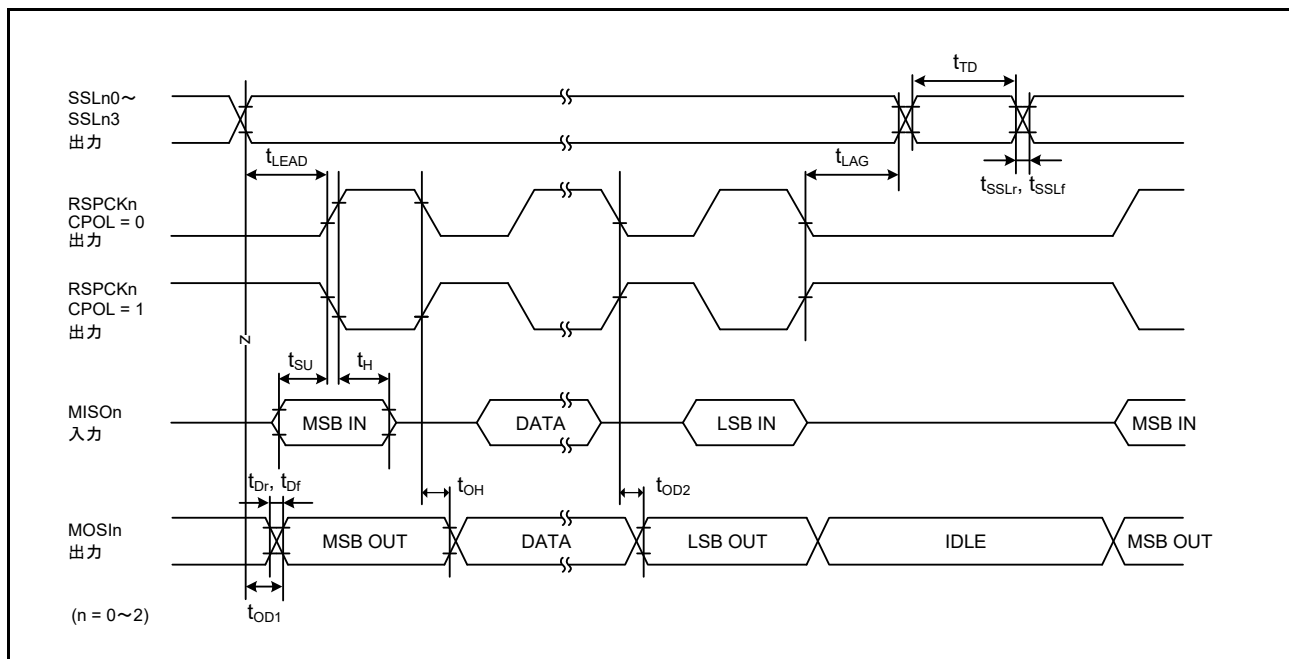


図 2.58 RSPIA タイミング (マスタ、Motorola SPI、CPHA = 0)

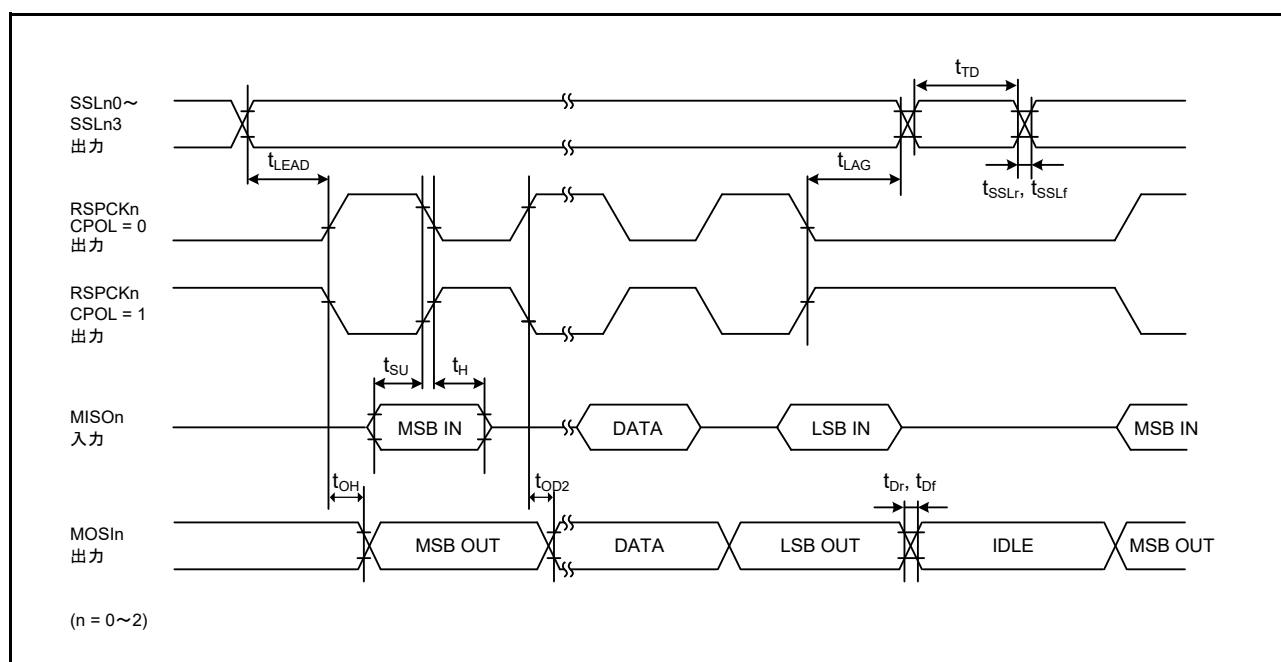


図 2.59 RSPIA タイミング (マスタ、Motorola SPI、CPHA = 1)

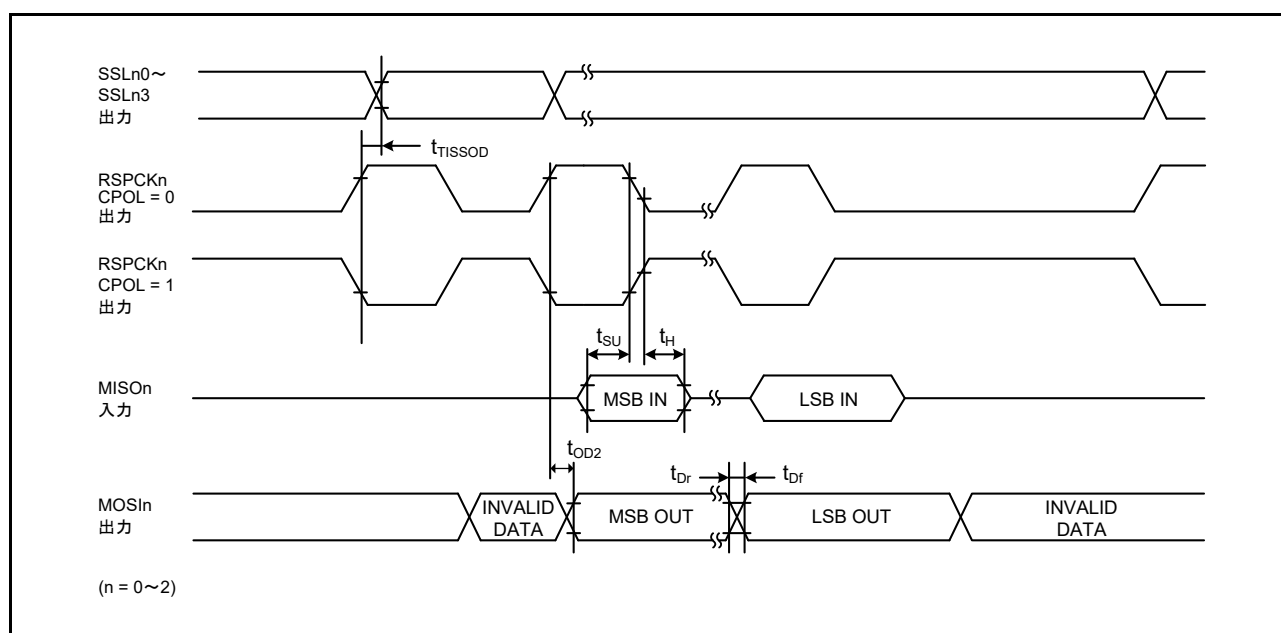


図 2.60 RSPIA タイミング (マスタ、TI SSP)

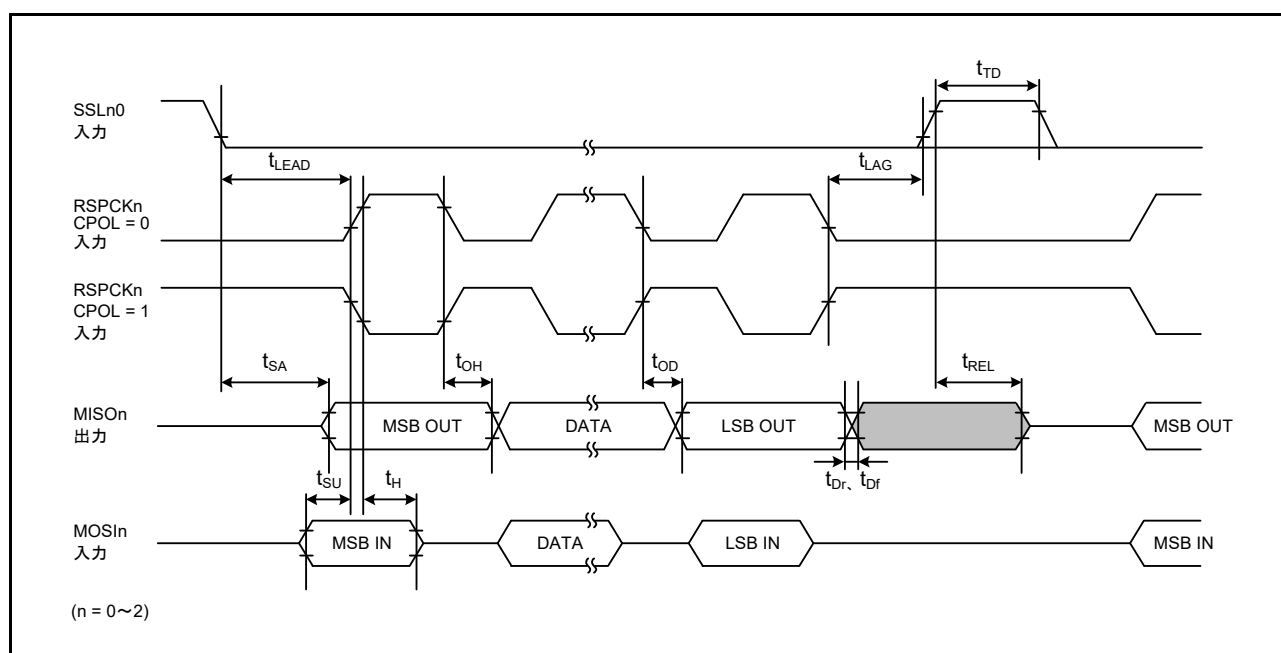


図 2.61 RSPIA タイミング (スレーブ、Motorola SPI、CPHA = 0)

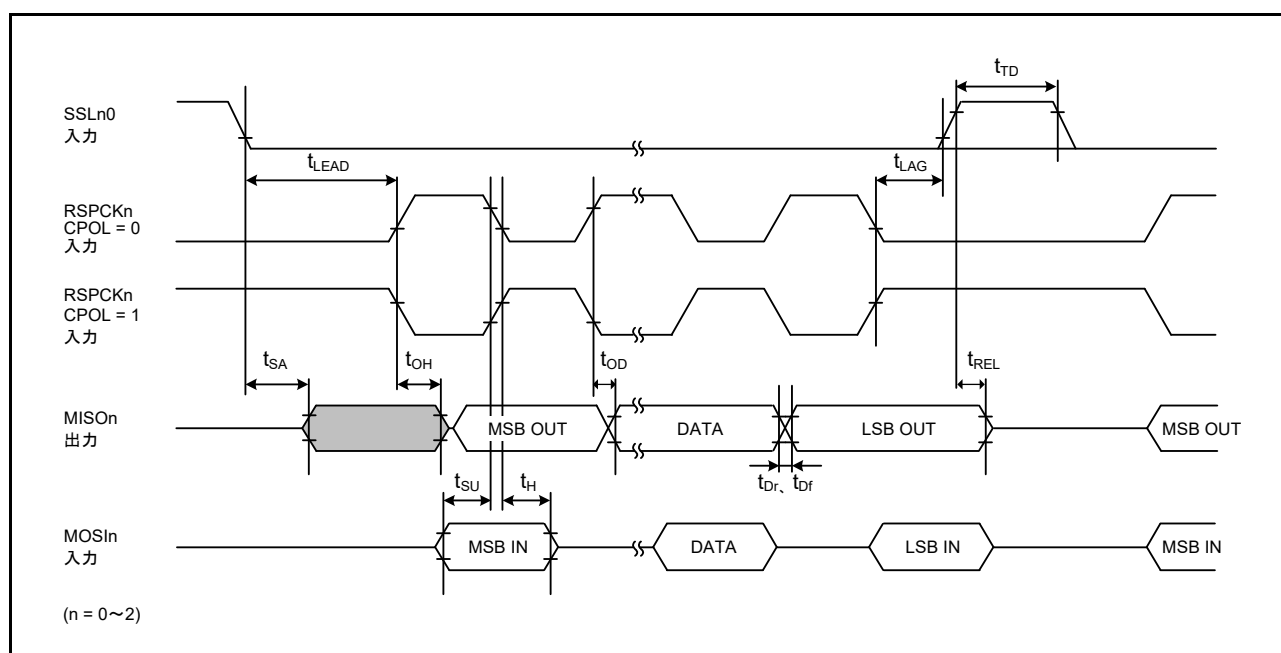


図 2.62 RSPIA タイミング (スレーブ、Motorola SPI、CPHA = 1)

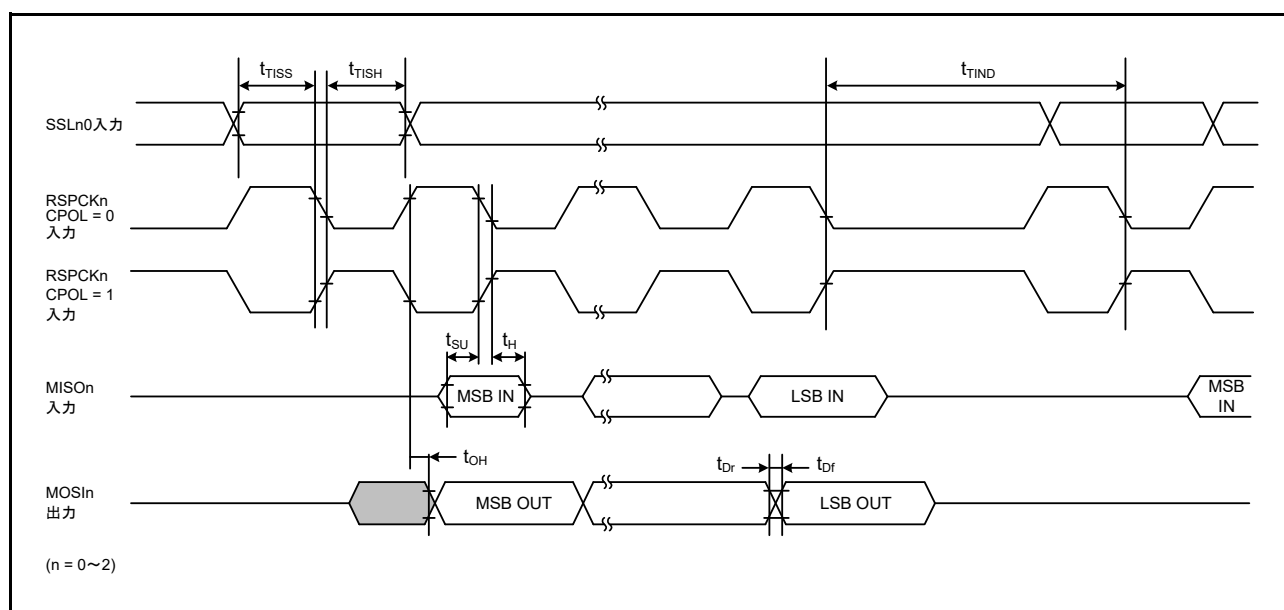


図 2.63 RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延あり)

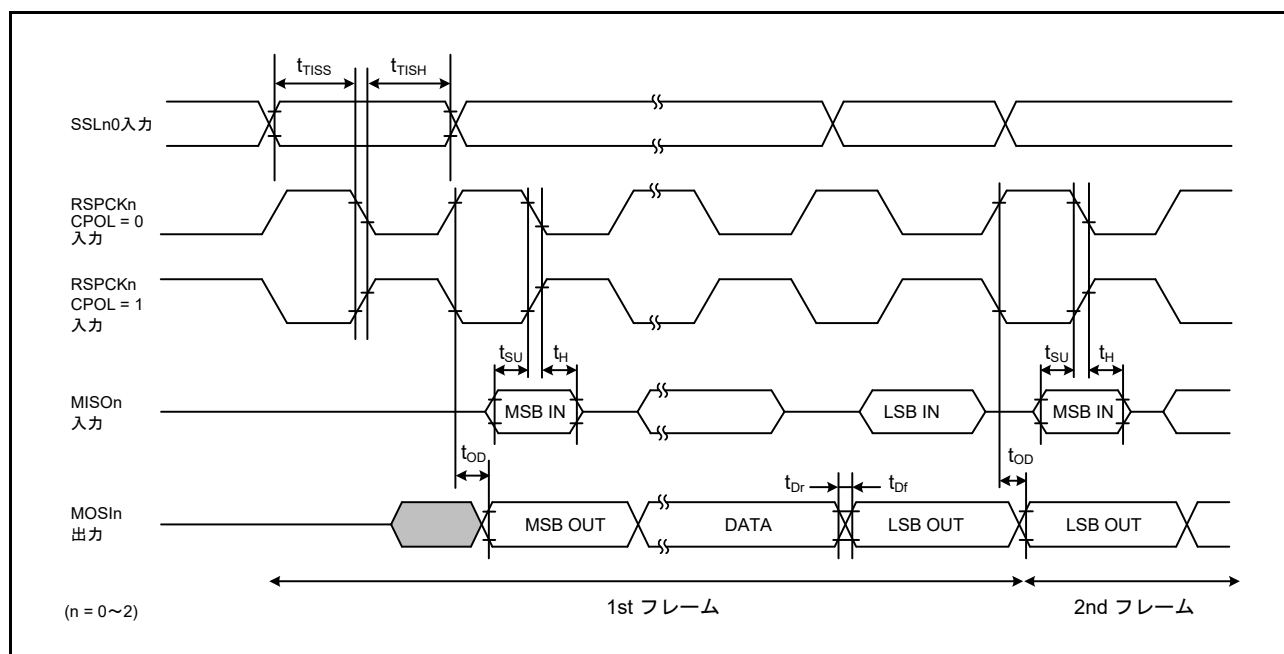


図 2.64 RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延なし)

2.5.7.8 XSPI

表 2.86 XSPI マスタ タイミング

条件：負荷容量 C = 15 pF

VCC/VCC2 $\geq$ 2.7 V のとき：XSPIn_CK, XSPIn_DS, XSPIn_IO0 ~ XSPIn_IO7 に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV6 に設定時
XSPIn_CS0#, XSPIn_CS1# に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

VCC/VCC2 < 2.0 V のとき：XSPIn_CK, XSPIn_DS, XSPIn_IO0 ~ XSPIn_IO7 に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV8 に設定時
XSPIn_CS0#, XSPIn_CS1# に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV4 に設定時

項目			VCC/VCC2	記号	min	max	単位	測定条件
XSPI マスタ	サイクル時間	XSPIn_DS 端子なしの SDR	2.70 V 以上	t_{PERIOD}	16.67	—	ns	図 2.65
			2.00 V 未満		20.00	—		
		XSPIn_DS 端子ありの DDR (注1)			7.5	—		
	クロック出力スレーレート			t_{SRck}	0.75	—	V/ns	
	クロックデューティサイクル歪み			t_{CKDCD}	0	0.375	ns	
	クロック最小パルス幅			t_{CKMPW}	3.375	—	ns	
	DS デューティサイクル歪み			t_{DSDCD}	0	0.3	ns	
	DS 最小パルス幅			t_{DSMPW}	3.075	—	ns	
	データ入出力スレーレート			t_{SR}	1.37	—	ns	
	データ入力セットアップ時間	XSPIn_DS 端子なしの SDR	2.70 V 以上	t_{SU}	8.17	—	ns	図 2.66
			2.00 V 未満		13.0	—		
	データ入力ホールド時間	XSPIn_DS 端子なしの SDR		t_{H}	0.5	—	ns	
	データ出力有効時間 (注2)	XSPIn_DS 端子なしの SDR		t_{OV}	—	5.4	ns	
	データ出力ホールド時間	XSPIn_DS 端子なしの SDR		t_{OH}	-5.4	—	ns	
	データ出力バッファオフ時間	XSPIn_DS 端子なしの SDR		t_{BOFF}	-5.4	—	ns	
	データ入力セットアップ時間	XSPIn_DS 端子ありの DDR (注1)		t_{SU}	-0.7	—	ns	図 2.67、 図 2.68
	データ入力ホールド時間	XSPIn_DS 端子ありの DDR (注1)		t_{H}	2.375	—	ns	
	データ出力有効時間 (注2)	XSPIn_DS 端子ありの DDR (注1)		t_{OV}	—	$t_{\text{PERIOD}}/4 + 0.6$	ns	
	データ出力ホールド時間	XSPIn_DS 端子ありの DDR (注1)		t_{OH}	0.9	—	ns	
	データ出力バッファオフ時間	XSPIn_DS 端子ありの DDR (注1)		t_{BOFF}	0.9	—	ns	
	クロック Low ~ XSPIn_CSi# Low になる時間			t_{CKLCSL}	6	—	ns	図 2.66、 図 2.67、 図 2.68
	XSPIn_CSi# Low ~ クロック High になる時間 (注3)			t_{CSLCKH}	6	—	ns	
	クロック Low ~ XSPIn_CSi# High になる時間			t_{CKLCSH}	6	—	ns	
	XSPIn_CSi# High ~ クロック High になる時間			t_{CSHCKH}	6	—	ns	
	XSPIn_DS Low ~ XSPIn_CSi# High になる時間			t_{DSLCSH}	$0.8 \times t_{\text{PERIOD}}$	—	ns	図 2.69
	XSPIn_CSi# High ~ XSPIn_DS トライステートになる時間			t_{CSHDST}	—	t_{PERIOD}	ns	
	XSPIn_CSi# Low ~ XSPIn_DS Low 入力になる時間 (注3、注4)			t_{CSLDSL}	0	12.5	ns	
	XSPIn_DS トライステート ~ XSPIn_CSi# Low になる時間			t_{DSTCSL}	0	—	ns	

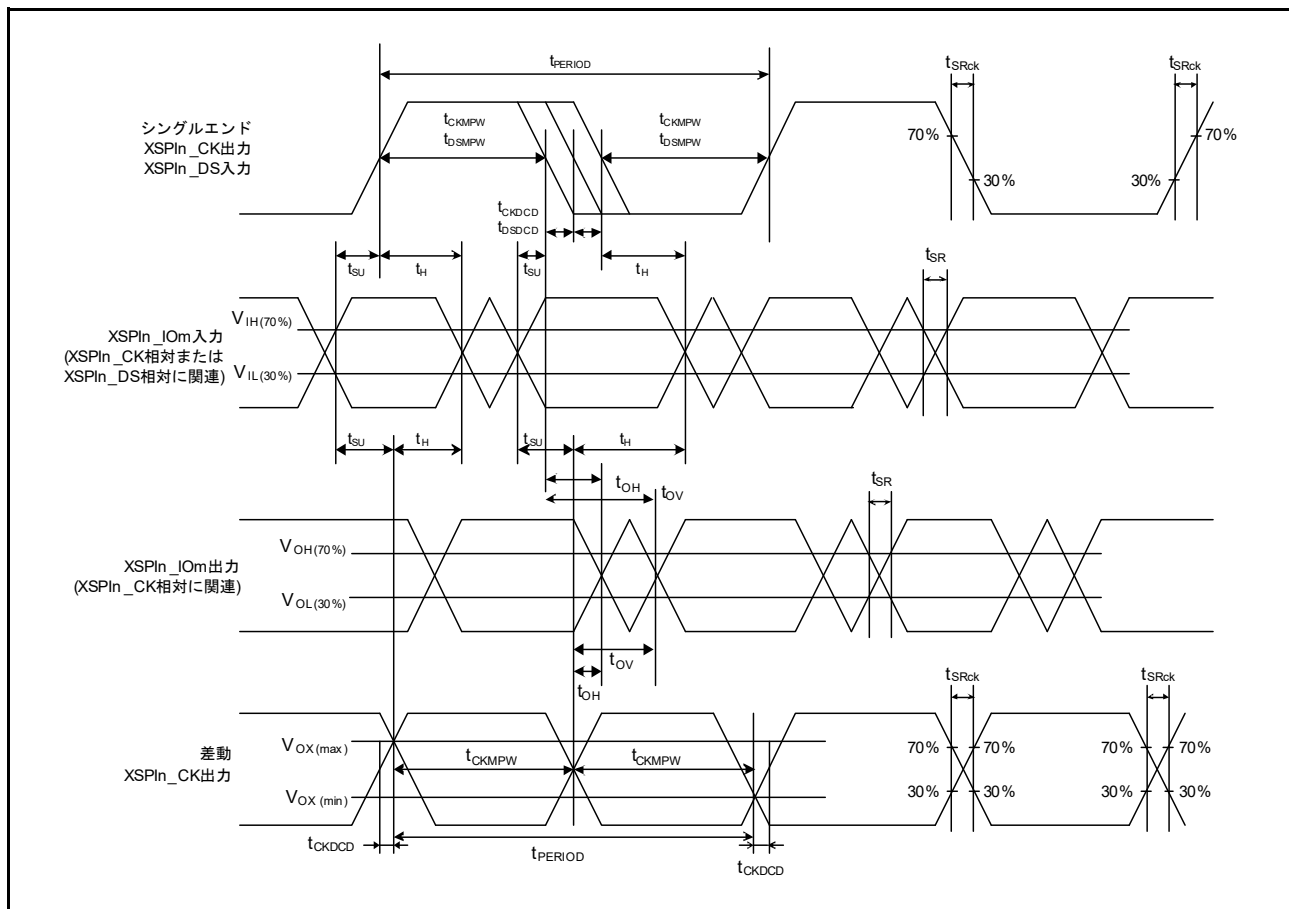
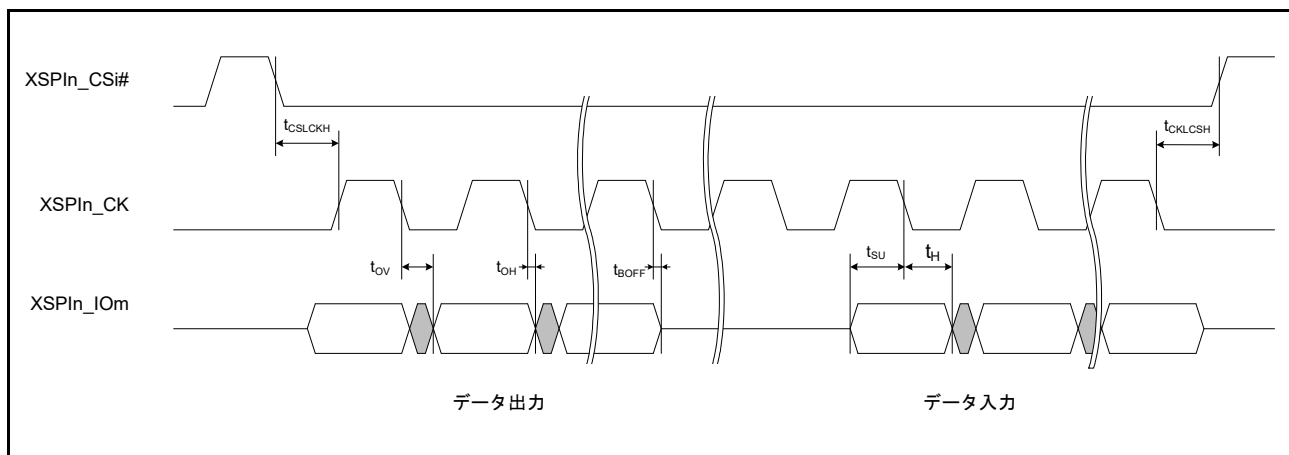
n = 0, 1, i = 0, 1

注1. 型名が R5K574Mxx4Fx の場合は参考値です。

注2. COMCFG.OEASTEX = 1

注3. LIOCFGCSx.CSASTEX = 1

注4. XSPIn_DS 端子に接続された外部プルダウンで JESD251 プロファイル 1.0 メモリを使用する場合は、この制限に従う必要はありません。

図 2.65 XSPI クロック /DS タイミング ($n = 0, 1, m = 0 \sim 7$)図 2.66 SDR 送受信タイミング (1S-1S-1S, 1S-2S-2S, 2S-2S-2S, 1S-4S-4S, 4S-4S-4S)
($n = 0, 1, m = 0 \sim 7, i = 0, 1$)

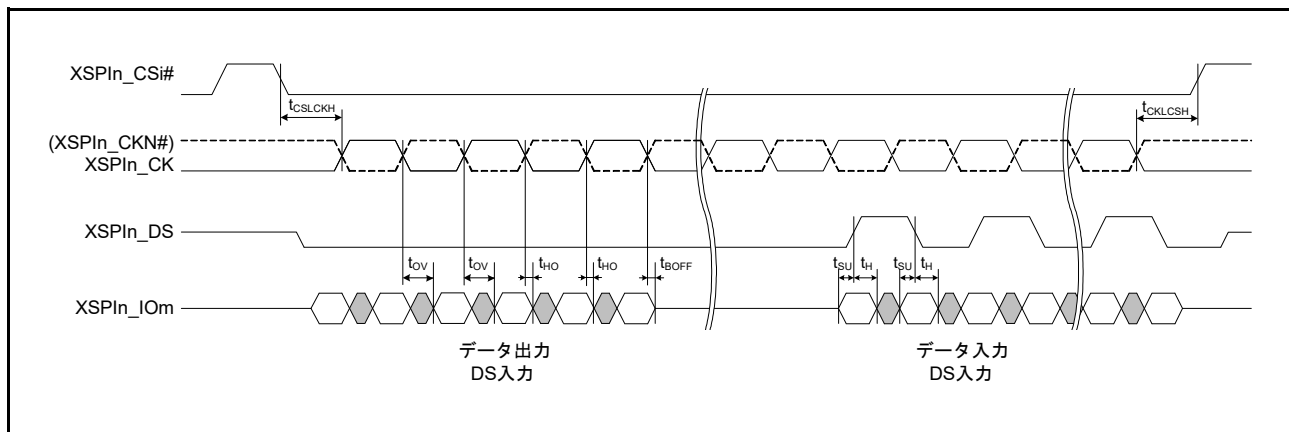
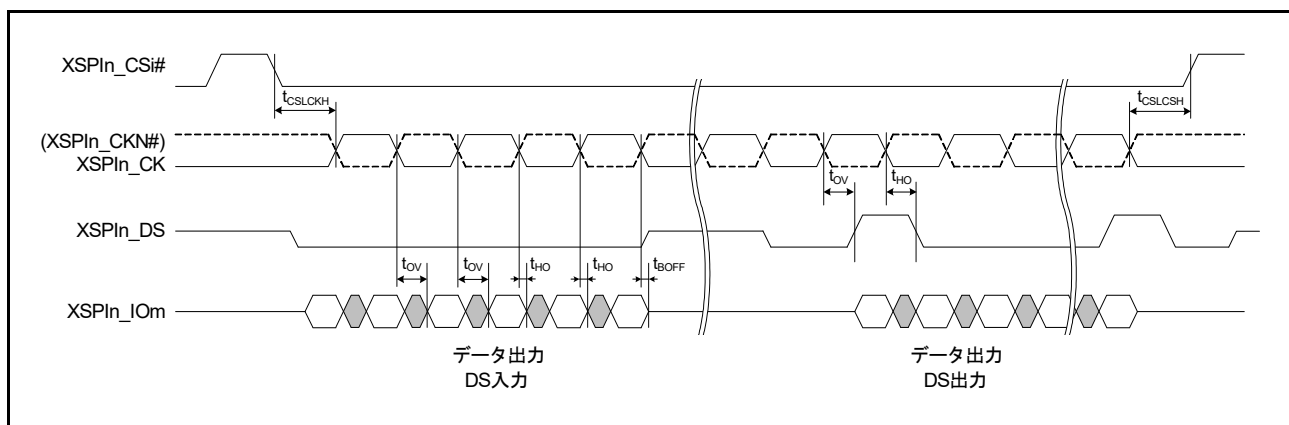
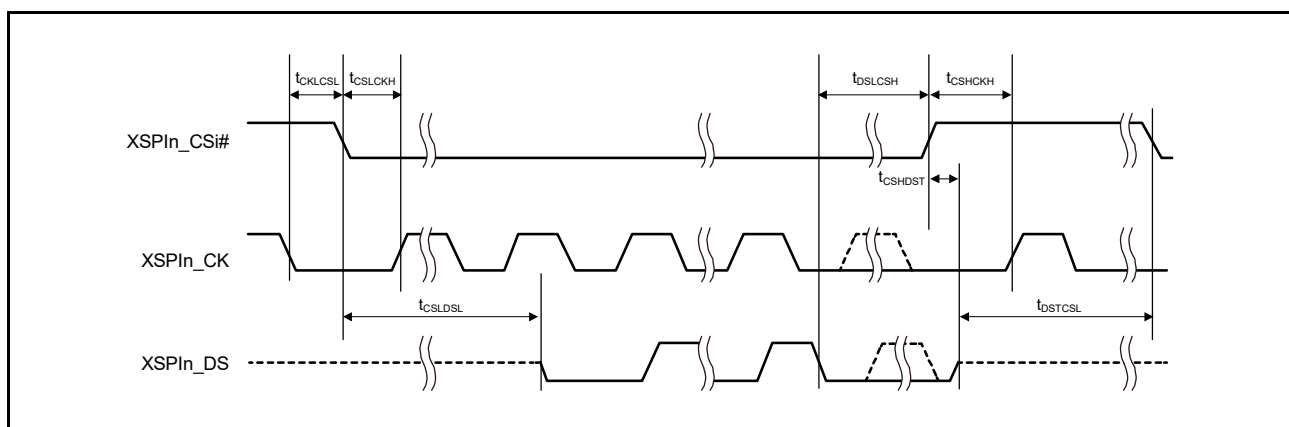
図 2.67 DDR 送受信タイミング (4S-4D-4D, 8D-8D-8D) ($n = 0, 1, m = 0 \sim 7, i = 0, 1$)図 2.68 DDR 送受信タイミング (HyperRAM 書き込み) ($n = 0, 1, m = 0 \sim 7, i = 0, 1$)図 2.69 DS ~ CS 信号タイミング ($n = 0, 1, i = 0, 1$)

表2.87 XSPIスレーブタイミング

条件：負荷容量 C = 15 pF

VCC/VCC2 ≥ 2.7 V のとき、対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV6 に設定時

VCC/VCC2 < 2.0 V のとき、対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV8 に設定時

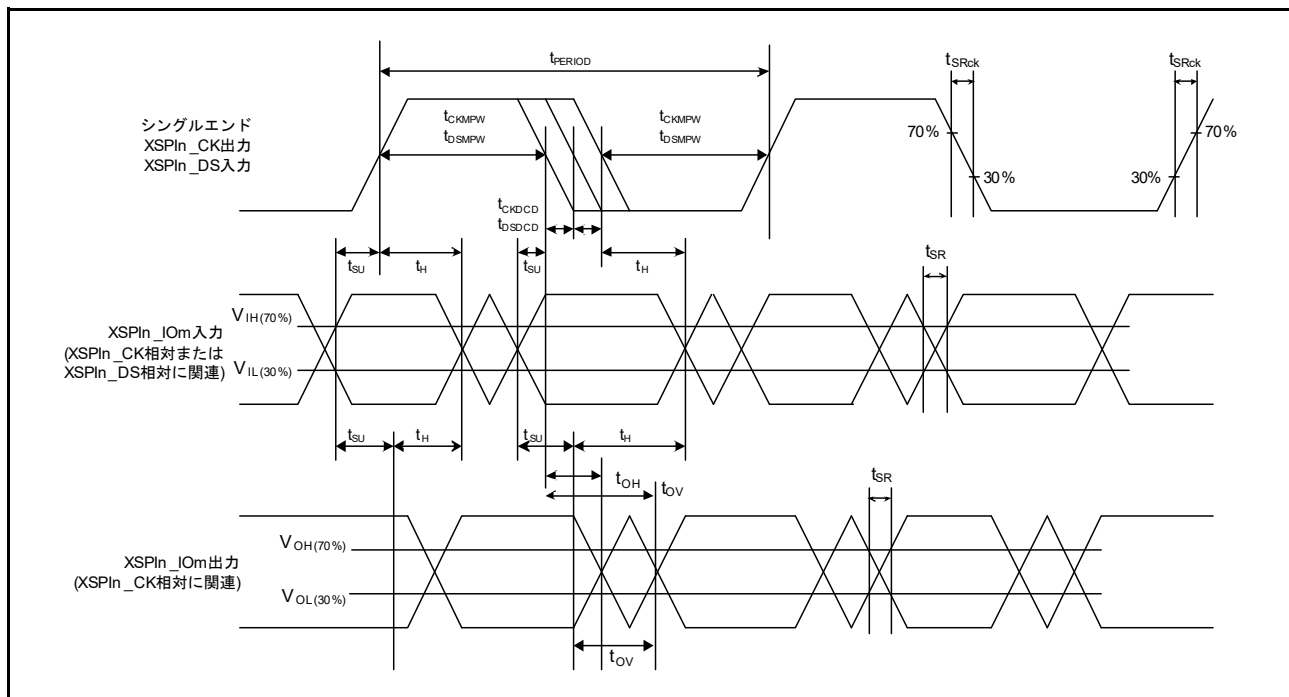
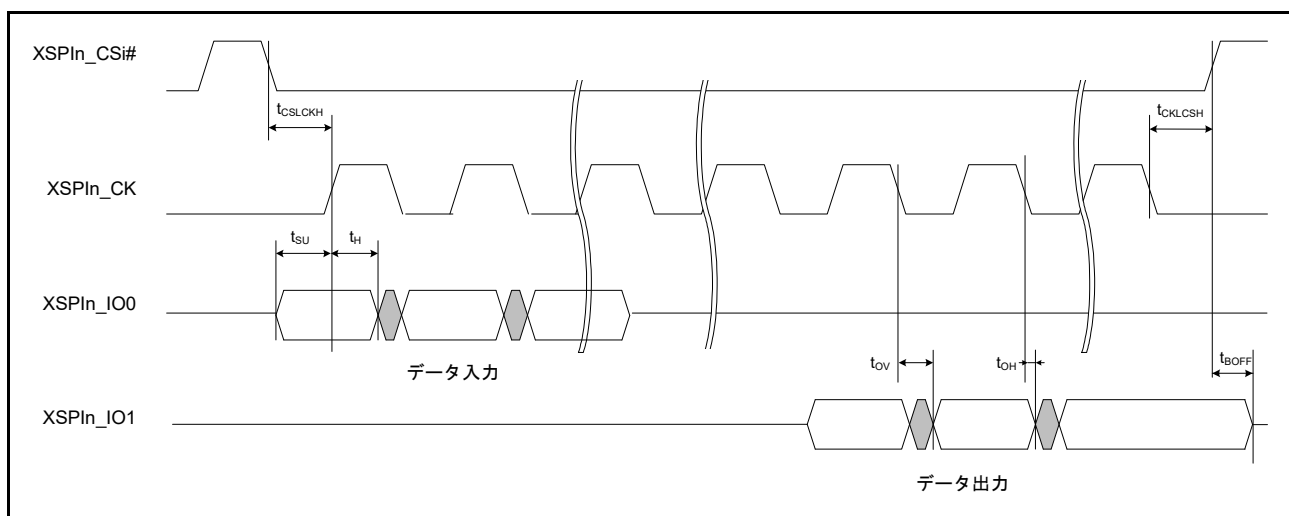
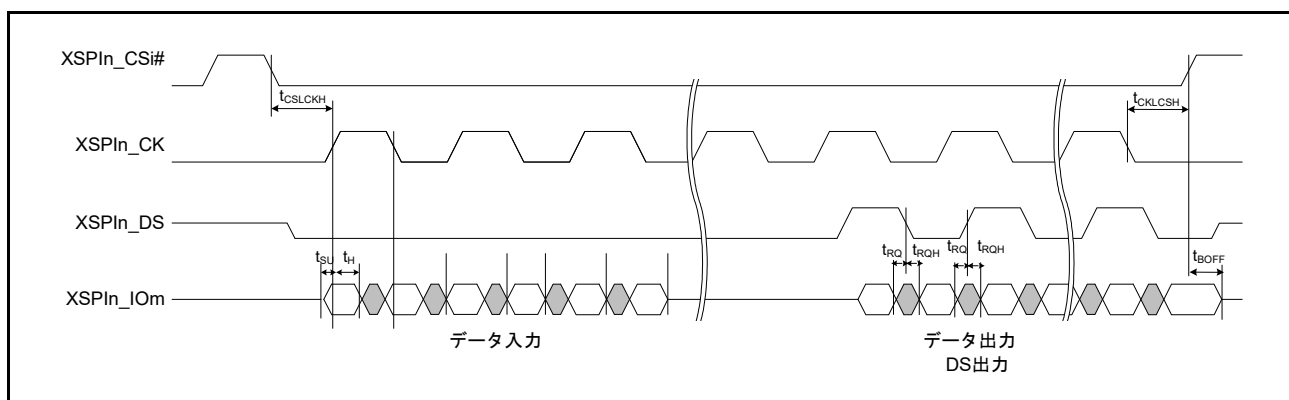
項目			VCC/VCC2	記号	min	max	単位	測定条件
XSPIスレーブ	サイクル時間	XSPIn_DS 端子なしの SDR		t_{PERIOD}	40	—	ns	図 2.70
		XSPIn_DS 端子ありの DDR (注1)			10	—		
		クロック出力スルーレート			t_{SRck}	0.56	—	
	クロックデューティサイクル歪み			t_{CKDCD}	0	0.5	ns	
	クロック最小パルス幅			t_{CKMPW}	4.5	—	ns	
	DS デューティサイクル歪み			t_{DSDCD}	0	0.4	ns	
	DS 最小パルス幅			t_{DSMPW}	4.1	—	ns	
	データ入出力スルーレート	2.70 V 以上 2.00 V 未満	t_{SR}	1.03	—	ns		
				0.56	—			
	データ入力セットアップ時間	XSPIn_DS 端子なしの SDR		t_{SU}	2.5	—	ns	図 2.71
	データ入力ホールド時間	XSPIn_DS 端子なしの SDR		t_{H}	2.5	—	ns	
	データ出力有効時間	XSPIn_DS 端子なしの SDR		t_{OV}	—	14	ns	
	データ出力ホールド時間	XSPIn_DS 端子なしの SDR		t_{OH}	0	—	ns	
	データ出力バッファオフ時間	XSPIn_DS 端子なしの SDR		t_{BOFF}	—	$2 \times t_{\text{PERIOD}}$	ns	
	データ入力セットアップ時間	XSPIn_DS 端子ありの DDR (注1)		t_{SU}	1	—	ns	図 2.72、 図 2.73
	データ入力ホールド時間	XSPIn_DS 端子ありの DDR (注1)		t_{H}	1	—	ns	
	データ出カスキュー時間 (注2)	XSPIn_DS 端子ありの DDR (注1)		t_{RQ}	0.8	—	ns	
	データ出カスキューホールド時間	XSPIn_DS 端子ありの DDR (注1)		t_{RQH}	0.8	—	ns	
	データ出力バッファオフ時間	XSPIn_DS 端子ありの DDR (注1)		t_{BOFF}	—	$2 \times t_{\text{PERIOD}}$	ns	
	クロック Low ~ XSPIn_CSi# Low になる時間			t_{CKLCSL}	6	—	ns	図 2.71、 図 2.72、 図 2.73
	XSPIn_CSi# Low ~ クロック High になる時間			t_{CSLCKH}	6	—	ns	
	クロック Low ~ XSPIn_CSi# High になる時間			t_{CKLCSH}	6	—	ns	
	XSPIn_CSi# High ~ クロック High になる時間			t_{CSHCKH}	6	—	ns	
	XSPIn_DS Low ~ XSPIn_CSi# High になる時間			t_{DSLCSH}	$0.8 \times t_{\text{PERIOD}}$	—	ns	図 2.74
	XSPIn_CSi# High ~ XSPIn_DS トライステートになる時間			t_{SHDST}	—	$2 \times t_{\text{PERIOD}}$	ns	
	XSPIn_CSi# Low ~ XSPIn_DS Low 出力になる時間 (注3)	2.70 V 以上 2.00 V 未満	t_{CSLDSL}	0	15	ns		
				0	19			
	XSPIn_DS トライステート ~ XSPIn_CSi# Low になる時間			t_{DSTCSL}	0	—	ns	

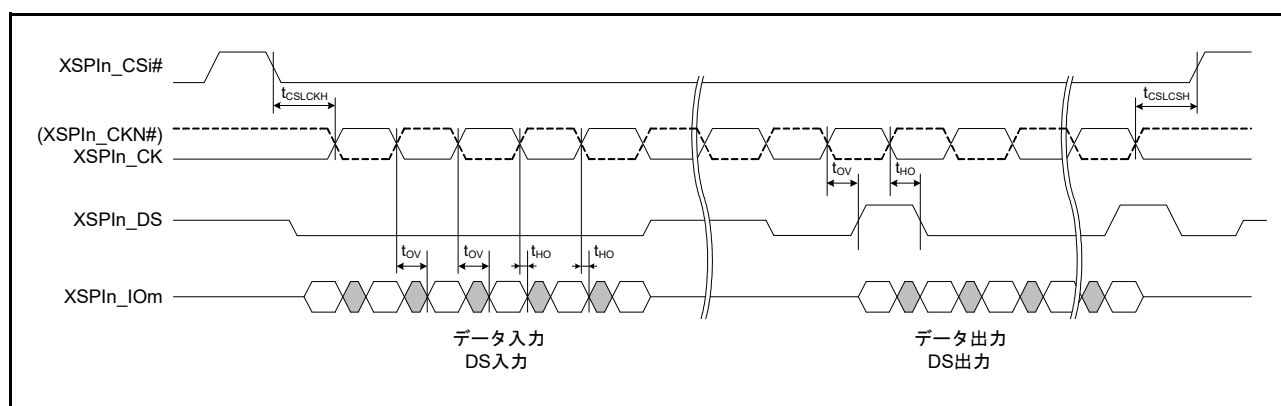
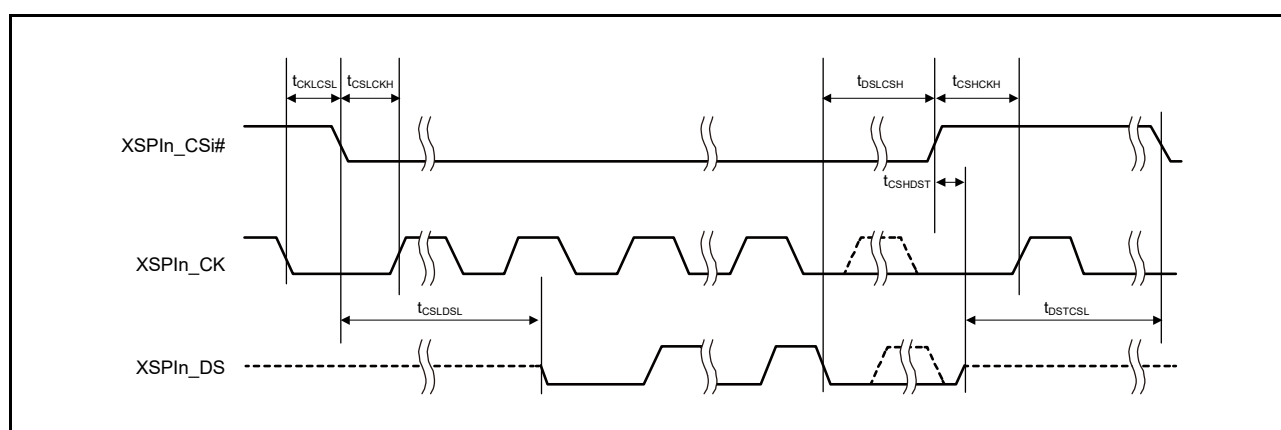
n = 0, 1、i = 0, 1

注1. 型名が R5K574Mxx4Fx の場合は参考値です。

注2. L15CFG0.OEASTEX = 1

注3. XSPIn_DS 端子に接続された外部プルダウンで JEDEC251 プロファイル 1.0 メモリを使用する場合は、この制限に従う必要はありません。

図 2.70 XSPI クロック /DS タイミング ($n = 0, 1$, $m = 0 \sim 7$)図 2.71 SDR 送受信タイミング (1S-1S-1S) ($n = 0, 1$, $i = 0, 1$)図 2.72 DDR 送受信タイミング (4S-4D-4D, 8D-8D-8D) ($n = 0, 1$, $m = 0 \sim 7$, $i = 0, 1$)

図 2.73 DDR 送受信タイミング (HyperRAM 書き込み) ($n = 0, 1$, $m = 0 \sim 7$, $i = 0, 1$)図 2.74 DS ~ CS 信号タイミング ($n = 0, 1$, $i = 0, 1$)

2.5.7.9 RIICHS

表 2.88 RIICHS タイミング (1) (1 / 2)

条件: VCC = 1.62 ~ 1.98 V、または VCC = 2.70 ~ 3.63 V、

ポート駆動能力は、VCC 電圧に応じて以下の設定で評価しています。

VCC = 1.62 ~ 1.98 V のとき、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定

VCC = 2.70 ~ 3.63 V のとき、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定

項目	Wakeup機能	記号	min (注1)	max (注1)	単位	測定条件
RIICHS (スタンダードモード、SMBus) ICFER.FMPE = 0	SCLHS 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 2.75
	SCLHS 入力 High パルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCLHS 入力 Low パルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCLHS、SDAHS 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCLHS、SDAHS 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCLHS、SDAHS 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDAHS 入力バスフリー時間	有効	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	
				$3(6) \times t_{IICcyc} + 4 \times t_{PAcyc} + 300$	—	
	開始条件入力ホールド時間	有効	t_{STAH}	$t_{IICcyc} + 300$	—	
				$1(5) \times t_{IICcyc} + t_{PAcyc} + 300$	—	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCLHS、SDAHS 容量性負荷	C_b (注2)	—	400	pF	
RIICHS (ファストモード) (注3) ICFER.FMPE = 0	SCLHS 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	図 2.75
	SCLHS 入力 High パルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCLHS 入力 Low パルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCLHS、SDAHS 入力立ち上がり時間	t_{Sr}	$20 \times (\text{外付けプルアップ電圧} / 5.5 \text{ V})$	300	ns	
	SCLHS、SDAHS 入力立ち下がり時間	t_{Sf}	$20 \times (\text{外付けプルアップ電圧} / 5.5 \text{ V})$	300	ns	
	SCLHS、SDAHS 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDAHS 入力バスフリー時間	有効	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	
				$3(6) \times t_{IICcyc} + 4 \times t_{PAcyc} + 300$	—	
	開始条件入力ホールド時間	有効	t_{STAH}	$t_{IICcyc} + 300$	—	
				$1(5) \times t_{IICcyc} + t_{PAcyc} + 300$	—	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCLHS、SDAHS 容量性負荷	C_b (注2)	—	400	pF	

表 2.88 RIICHS タイミング (1) (2 / 2)

条件: $V_{CC} = 1.62 \sim 1.98 \text{ V}$ 、または $V_{CC} = 2.70 \sim 3.63 \text{ V}$ 、ポート駆動能力は、 V_{CC} 電圧に応じて以下の設定で評価しています。 $V_{CC} = 1.62 \sim 1.98 \text{ V}$ のとき、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定 $V_{CC} = 2.70 \sim 3.63 \text{ V}$ のとき、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定

項目	Wakeup機能	記号	min (注1)	max (注1)	単位	測定条件
RIICHS (ファストモード+) (注3) ICFER.FMPE = 1	SCLHS 入力サイクル時間		t_{SCL}	$6(12) \times t_{IICcyc} + 240$	—	図 2.75
	SCLHS 入力 High パルス幅		t_{SCLH}	$3(6) \times t_{IICcyc} + 120$	—	
	SCLHS 入力 Low パルス幅		t_{SCLL}	$3(6) \times t_{IICcyc} + 120$	—	
	SCLHS、SDAHS 入力立ち上がり時間		t_{Sr}	—	120	
	SCLHS、SDAHS 入力立ち下がり時間		t_{Sf}	—	120	
	SCLHS、SDAHS 入カスパイクパルス除去時間		t_{SP}	0	$1(4) \times t_{IICcyc}$	
	SDAHS 入力バスフリー時間	有効	t_{BUF}	$3(6) \times t_{IICcyc} + 120$	—	
		無効		$3(6) \times t_{IICcyc} + 4 \times t_{PACyc} + 120$	—	
	開始条件入力ホールド時間	有効	t_{STAH}	$t_{IICcyc} + 120$	—	
		無効		$1(5) \times t_{IICcyc} + t_{PACyc} + 120$	—	
	再送開始条件入力セットアップ時間		t_{STAS}	120	—	
	停止条件入力セットアップ時間		t_{STOS}	120	—	
	データ入力セットアップ時間		t_{SDAS}	$t_{IICcyc} + 30$	—	
	データ入力ホールド時間		t_{SDAH}	0	—	
SCLHS、SDAHS 容量性負荷		C_b (注2)	—	—	550	pF

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

注. t_{IICcyc} : RIICHS の内部基準クロック (IIC ϕ) の周期、 t_{PACyc} : PCLKA の周期

注1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注2. C_b はバスラインの容量総計です。

注3. 端子名にグループ名 -A の記号が付加されている端子でのみ電氣的特性を保証します。

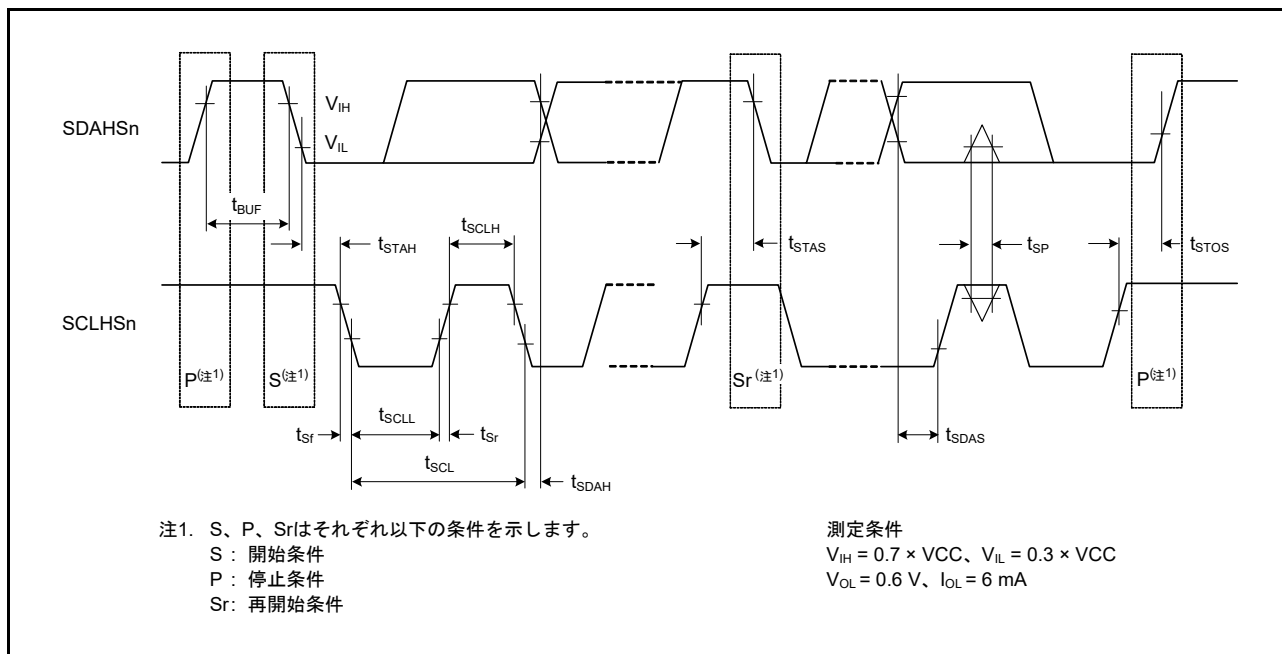


図 2.75 RIICHS バスインタフェース入出力タイミング (n = 1, 2)

表 2.89 RIICHS タイミング (2)

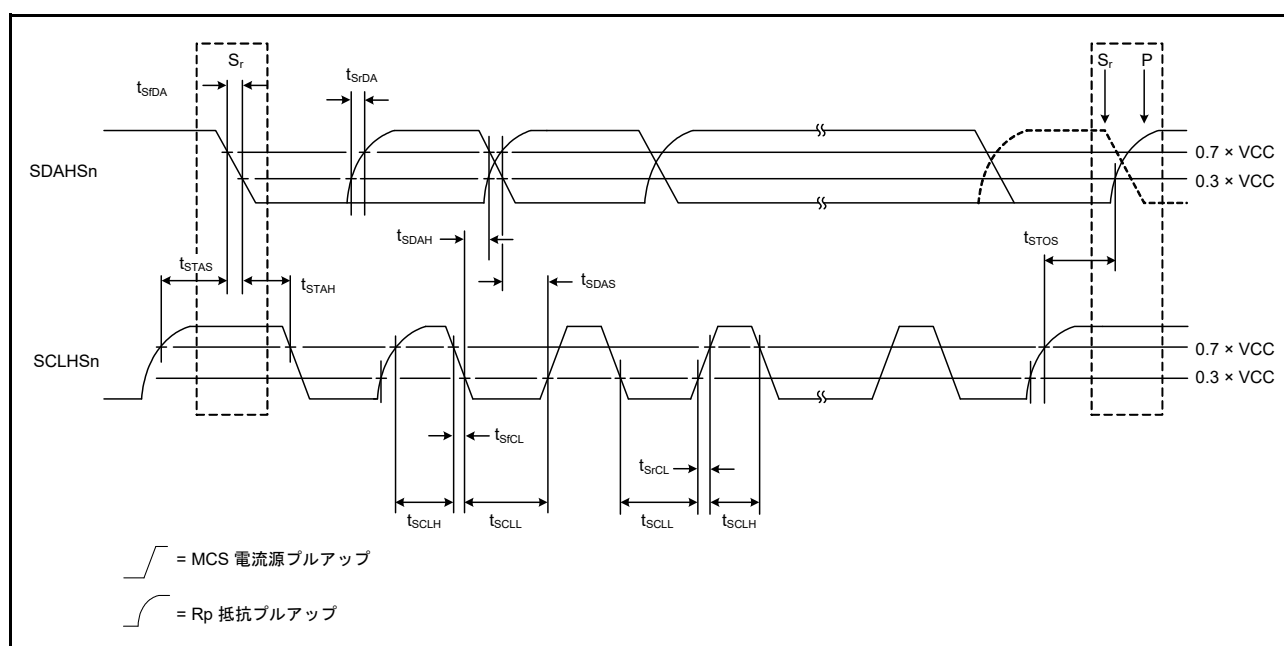
条件: $V_{CC} = 1.65 \sim 1.95 \text{ V}$ 、または $V_{CC} = 2.97 \sim 3.63 \text{ V}$ 、ポート駆動能力は、 V_{CC} 電圧に応じて以下の設定で評価しています。 $V_{CC} = 1.65 \sim 1.95 \text{ V}$ のとき、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定 $V_{CC} = 2.97 \sim 3.63 \text{ V}$ のとき、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定

項目		負荷容量 (注2)	記号	min (注1)	max (注1)	単位	測定条件
RIICHS (ハイスピードモード) ICFER.HSME = 1	SCLHS入力サイクル時間		t_{SCL}	$46(48) \times t_{IICcyc}$	—	ns	図 2.76
	SCLHS入力Highパルス幅	$C_b = 400 \text{ pF}$	t_{SCLH}	$29(30) \times t_{IICcyc}$	—	ns	
		$C_b = 100 \text{ pF}$		$13(14) \times t_{IICcyc}$	—		
	SCLHS入力Lowパルス幅	$C_b = 400 \text{ pF}$	t_{SCLL}	$69(70) \times t_{IICcyc}$	—	ns	
		$C_b = 100 \text{ pF}$		$33(34) \times t_{IICcyc}$	—		
	SCLHS入力立ち上がり時間	$C_b = 400 \text{ pF}$	t_{SrCL}	—	80	ns	
		$C_b = 100 \text{ pF}$		—	40		
	SDAHS入力立ち上がり時間	$C_b = 400 \text{ pF}$	t_{SrDA}	—	160	ns	
		$C_b = 100 \text{ pF}$		—	80		
	SCLHS入力立ち下がり時間	$C_b = 400 \text{ pF}$	t_{SfCL}	—	80	ns	
		$C_b = 100 \text{ pF}$		—	40		
	SDAHS入力立ち下がり時間	$C_b = 400 \text{ pF}$	t_{SfDA}	—	160	ns	
		$C_b = 100 \text{ pF}$		—	80		
	SCLHS、SDAHS 入カスパイクパルス除去時間		t_{SP}	0	$1(1) \times t_{IICcyc}$	ns	
	再送開始条件入力セットアップ時間		t_{STAS}	40	—	ns	
	停止条件入力セットアップ時間		t_{STOS}	40	—	ns	
データ入力セットアップ時間		t_{SDAS}	10	—	ns		
データ入力ホールド時間	$C_b = 400 \text{ pF}$	t_{SDAH}	0	150	ns		
	$C_b = 100 \text{ pF}$		0	70			
SCLHS、SDAHS容量性負荷		C_b (注2)	—	400	pF		

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

注. t_{IICcyc} : RIICHS の内部基準クロック (IIC ϕ) の周期

注1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注2. C_b はバスラインの容量総計です。図 2.76 RIICHS バスインタフェース入出力タイミング (ハイスピードモード) ($n = 1, 2$)

2.5.7.10 RI3C

表 2.90 RI3C タイミング (I²C モード) (1) (1/2)
 条件: VCC = 1.65 ~ 1.98 V、または VCC = 2.70 ~ 3.63 V

項目	Wakeup機能	記号	min (注1)	max (注1)	単位	測定条件
I ² C モード (スタンダードモード、SMBus) ICFER.FMPE = 0	SCL入力サイクル時間	t _{SCL}	10(18) × t _{3Ccy} + 1300	—	ns	図 2.77
	SCL入力Highパルス幅	t _{SCLH}	5(9) × t _{3Ccy} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	5(9) × t _{3Ccy} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{3Ccy}	ns	
	SDA入力バスフリー時間	t _{BUF}	5(9) × t _{3Ccy} + 300	—	ns	
			5(9) × t _{3Ccy} + 4 × t _{Tcy} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{3Ccy} + 300	—	ns	
			1(5) × t _{3Ccy} + t _{Tcy} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{3Ccy} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA容量性負荷	C _b (注2)	—	400	pF	
I ² C モード (ファストモード) (注3) ICFER.FMPE = 0	SCL入力サイクル時間	t _{SCL}	10(18) × t _{3Ccy} + 600	—	ns	図 2.77
	SCL入力Highパルス幅	t _{SCLH}	5(9) × t _{3Ccy} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	5(9) × t _{3Ccy} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	20	300	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 × (外付けプルアップ電圧 / 3.6 V)	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{3Ccy}	ns	
	SDA入力バスフリー時間	t _{BUF}	5(9) × t _{3Ccy} + 300	—	ns	
			5(9) × t _{3Ccy} + 4 × t _{Tcy} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{3Ccy} + 300	—	ns	
			1(5) × t _{3Ccy} + t _{Tcy} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	300	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{3Ccy} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA容量性負荷	C _b (注2)	—	400	pF	

表 2.90 RI3C タイミング (I²C モード) (1) (2 / 2)

条件: VCC = 1.65 ~ 1.98 V、または VCC = 2.70 ~ 3.63 V

項目	Wakeup 機能	記号	min (注 1)	max (注 1)	単位	測定条件
I ² C モード (ファストモード+) (注 3) ICFER.FMPE = 1	SCL 入力サイクル時間		t_{SCL}	$10(18) \times t_{I3C_{Cyc}} + 240$	—	図 2.77
	SCL 入力 High パルス幅		t_{SCLH}	$5(9) \times t_{I3C_{Cyc}} + 120$	—	
	SCL 入力 Low パルス幅		t_{SCLL}	$5(9) \times t_{I3C_{Cyc}} + 120$	—	
	SCL、SDA 入力立ち上がり時間		t_{Sr}	—	120	
	SCL、SDA 入力立ち下がり時間		t_{Sf}	$20 \times (\text{外付けプルアップ電圧} / 3.6 \text{ V})$	120	
	SCL、SDA 入カスパイクパルス除去時間		t_{SP}	0	$1(4) \times t_{I3C_{Cyc}}$	
	SDA 入力バスフリー時間	有効	t_{BUF}	$5(9) \times t_{I3C_{Cyc}} + 120$	—	
		無効		$5(9) \times t_{I3C_{Cyc}} + 4 \times t_{T_{Cyc}} + 120$	—	
	開始条件入力ホールド時間	有効	t_{STAH}	$t_{I3C_{Cyc}} + 120$	—	
		無効		$1(5) \times t_{I3C_{Cyc}} + t_{T_{Cyc}} + 120$	—	
	再送開始条件入力セットアップ時間		t_{STAS}	120	—	
	停止条件入力セットアップ時間		t_{STOS}	120	—	
	データ入力セットアップ時間		t_{SDAS}	$t_{I3C_{Cyc}} + 30$	—	
	データ入力ホールド時間		t_{SDAH}	0	—	
SCL、SDA 容量性負荷		C_b (注 2)	—	—	550	pF

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

注. $t_{I3C_{Cyc}}$: I3C の内部基準クロック (I3C ϕ) の周期、 $t_{T_{Cyc}}$: TCLK の周期

注 1. () 内の数値は、INTCL.DNFE = 1 でデジタルフィルタを有効にした状態で INTCL.DNFS[3:0] = 0011b の場合を示します。

注 2. C_b はバスラインの容量総計です。

注 3. 端子名にグループ名 -A の記号が付加されている端子でのみ電気的特性を保証します。

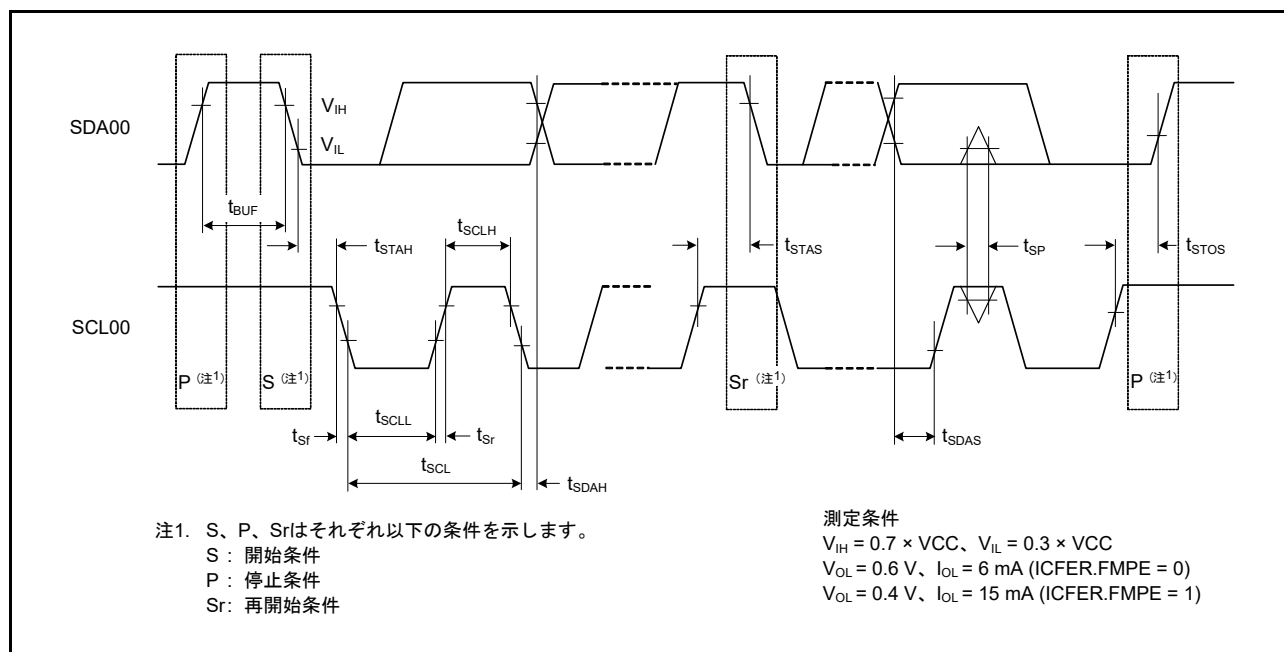
図 2.77 I²C バスインタフェース入出力タイミング

表 2.91 I²C タイミング (I²C モード) (2)

条件: VCC = 1.65 ~ 1.95 V、または VCC = 2.97 ~ 3.63 V

項目		負荷容量 (注2)	記号	min (注1)	max (注1)	単位	測定条件
I2C モード (ハイスピードモード) (注3) ICFER.HSME = 1	SCL 入力サイクル時間		t _{SCL}	46(48) × t _{I3C_{Cyc}}	—	ns	図 2.78
	SCL 入力 High パルス幅	C _b = 400 pF	t _{SCLH}	29(30) × t _{I3C_{Cyc}}	—	ns	
		C _b = 100 pF		13(14) × t _{I3C_{Cyc}}	—		
	SCL 入力 Low パルス幅	C _b = 400 pF	t _{SCLL}	69(70) × t _{I3C_{Cyc}}	—	ns	
		C _b = 100 pF		33(34) × t _{I3C_{Cyc}}	—		
	SCL 入力立ち上がり時間	C _b = 400 pF	t _{SrCL}	—	80	ns	
		C _b = 100 pF		—	40		
	SDA 入力立ち上がり時間	C _b = 400 pF	t _{SrDA}	—	160	ns	
		C _b = 100 pF		—	80		
	SCL 入力立ち下がり時間	C _b = 400 pF	t _{SfCL}	—	80	ns	
		C _b = 100 pF		—	40		
	SDA 入力立ち下がり時間	C _b = 400 pF	t _{SfDA}	—	160	ns	
		C _b = 100 pF		—	80		
	SCL、SDA 入カスパイクパルス除去時間		t _{SP}	0	1(1) × t _{I3C_{Cyc}}	ns	
	再送開始条件入力セットアップ時間		t _{STAS}	40	—	ns	
停止条件入力セットアップ時間		t _{STOS}	40	—	ns		
データ入力セットアップ時間		t _{SDAS}	10	—	ns		
データ入力ホールド時間	C _b = 400 pF	t _{SDAH}	0	150	ns		
	C _b = 100 pF		0	70			
SCL、SDA 容量性負荷		C _b (注2)	—	400	pF		

注. $t_{I3C\text{Cyc}}$: I²C の内部基準クロック (I3Cφ) の周期

注1. () 内の数値は、INTCL.DNFE = 1 でデジタルフィルタを有効にした状態で INTCL.DNFS[3:0] = 0011b の場合を示します。

注2. C_b はバスラインの容量総計です。

注3. 端子名にグループ名 -A の記号が付加されている端子でのみ電気的特性を保証します。

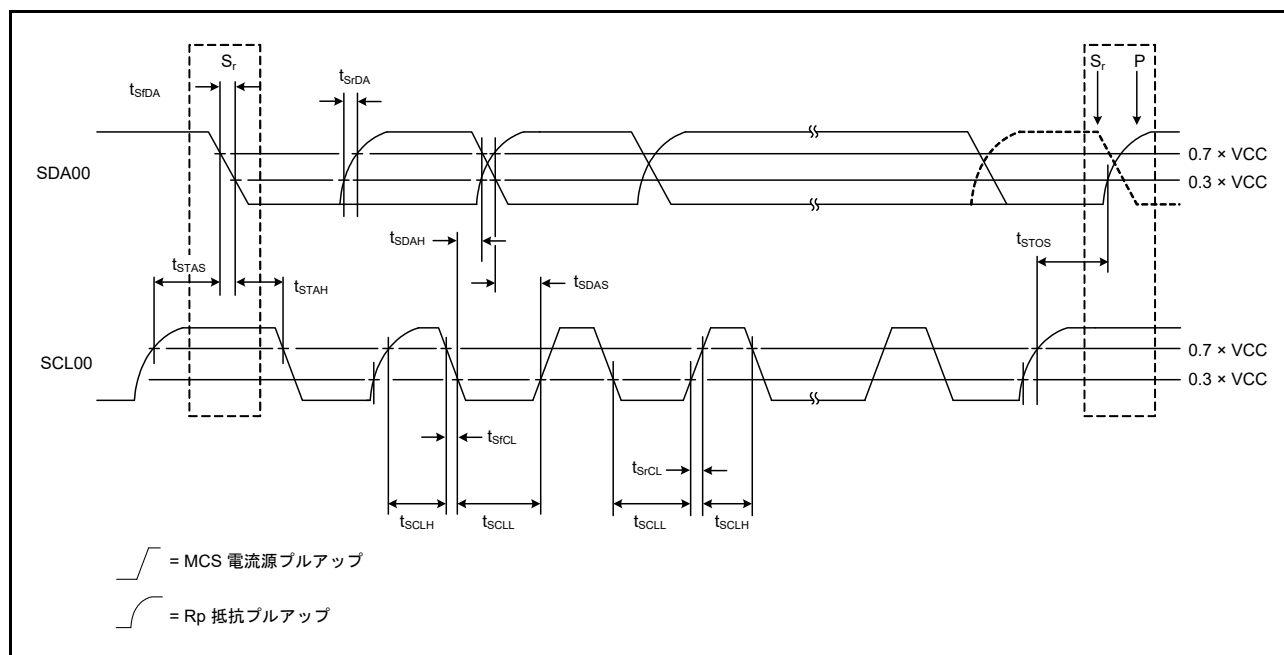
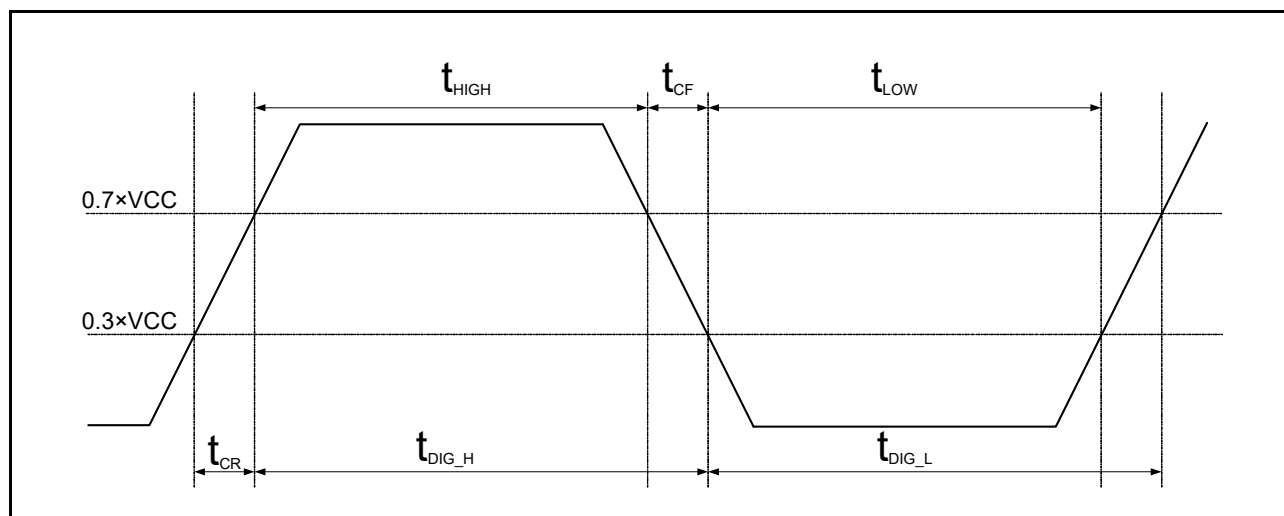
図 2.78 I²C バスインタフェース入出力タイミング (ハイスピードモード)

表 2.92 RI3C タイミング (オープンドレイン タイミング パラメータ)

条件: VCC = 1.65 ~ 1.95 V、または VCC = 2.97 ~ 3.63 V

項目		VCC	記号	min	max	単位	測定条件
I3Cモード (オープンドレイン タイミング パラメータ)	SCL クロック Low 幅		t _{LOW_OD}	200 (注 1、注 2)	—	ns	図 2.80
			t _{DIG_OD_L}	t _{LOW_ODmin} + t _{rDA_ODmin}	—		
	SCL クロック High 幅		t _{HIGH}	—	41 (注 3、注 4)	ns	図 2.79
			t _{DIG_H}	—	t _{HIGH} + t _{CF}		
	SDA 信号立ち下がり時間		t _{rDA_OD}	t _{CF}	12	ns	図 2.80
	オープンドレインモード時 の SDA データセットアップ 時間	3.00 V 以上	t _{SU_OD}	12	—	ns	図 2.80、 図 2.81
		1.65 ~ 1.95 V		18	—		
	スタートコンディション後クロック		t _{CAS}	38.4 ns (注 5)	ENAS0 : 1 μs	—	図 2.80
					ENAS1 : 100 μs		
					ENAS2 : 2 ms		
					ENAS3 : 50 ms (注 6)		
ストップコンディション前クロック		t _{CBP}	t _{CASmin} /2	—	s	図 2.82	
ハンドオフ中のカレントコントローラから セカンダリコントローラまでのオーバー ラップ時間		t _{CRHPOverlap}	t _{DIG_OD_Lmin}	—	ns	図 2.83	
バス使用可能条件		t _{AVAL}	1 (注 7)	—	μs	—	
バスアイドル条件		t _{IDLE}	1	—	ms	—	
新コントローラが SDA を Low に駆動してい ない内部時間		t _{NEWCRLock}	t _{AVALmin}	—	μs	図 2.83	

注. 端子名にグループ名 -A の記号が付加されている端子でのみ使用できます。

注 1. $t_{\text{LOWmin}} + t_{\text{DS_ODmin}} + t_{\text{rDA_ODtyp}} + t_{\text{SU_ODmin}}$ と近似的に同じです。注 2. SDA がすでに V_{IH} を上回っている場合、コントローラは Low 幅が短くなる可能性があります。注 3. t_{SPIKE} 、立ち上がり/立ち下がり時間、インターコネクトに基づきます。注 4. この最大 High 期間は、レガシー I²C デバイスで信号を安全に確認できる場合や、インターコネクトを考慮した上で (バスが短い場合など)、超過する場合があります。製品仕様上、この最大値を保証できない場合、この最大値を変更し、ミックスバスで使えないように指定してください。注 5. I²C デバイスがスタートコンディションを確認する必要がある Legacy バスでは、 t_{CAS} 最小値がさらに制限されます。注 6. オプションの ENTASx CCC をサポートしていないターゲットは、ENTAS3 に示されている t_{CAS} 最大値を使用します。注 7. Fm Legacy I²C デバイスのミックスバス上で、 t_{AVAL} は Fm バスフリー条件時間 (t_{BUF}) より 300 ns 短いです。図 2.79 $t_{\text{DIG_H}}$ と $t_{\text{DIG_L}}$

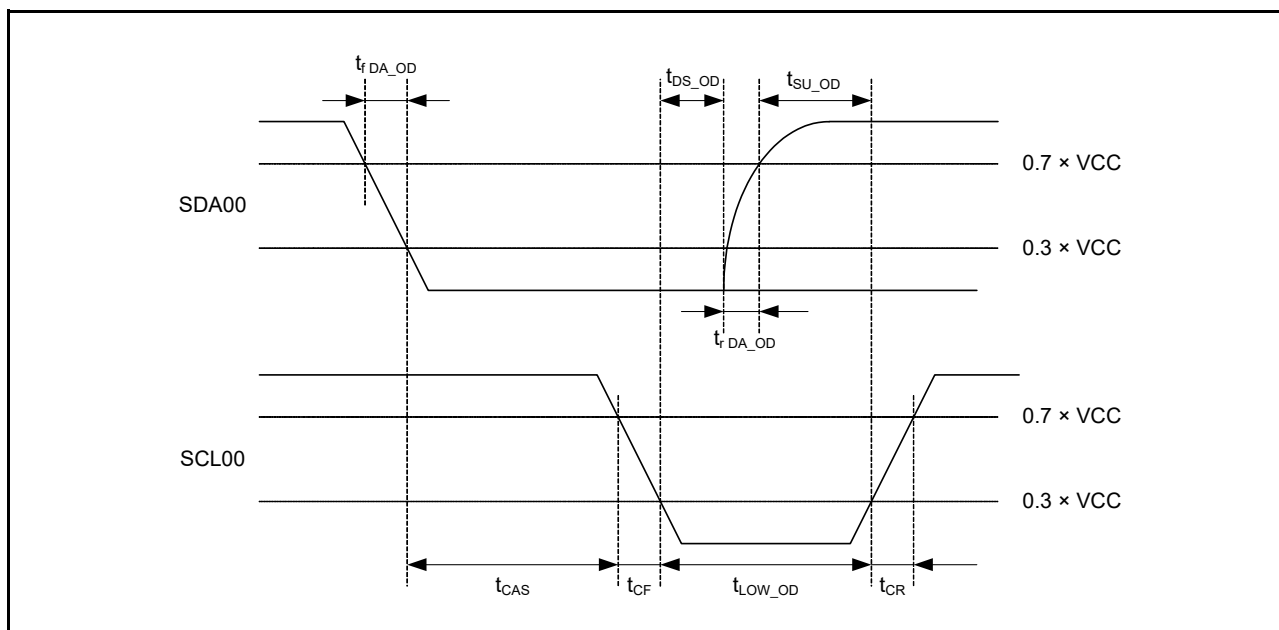


図 2.80 I3C スタートコンディションタイミング

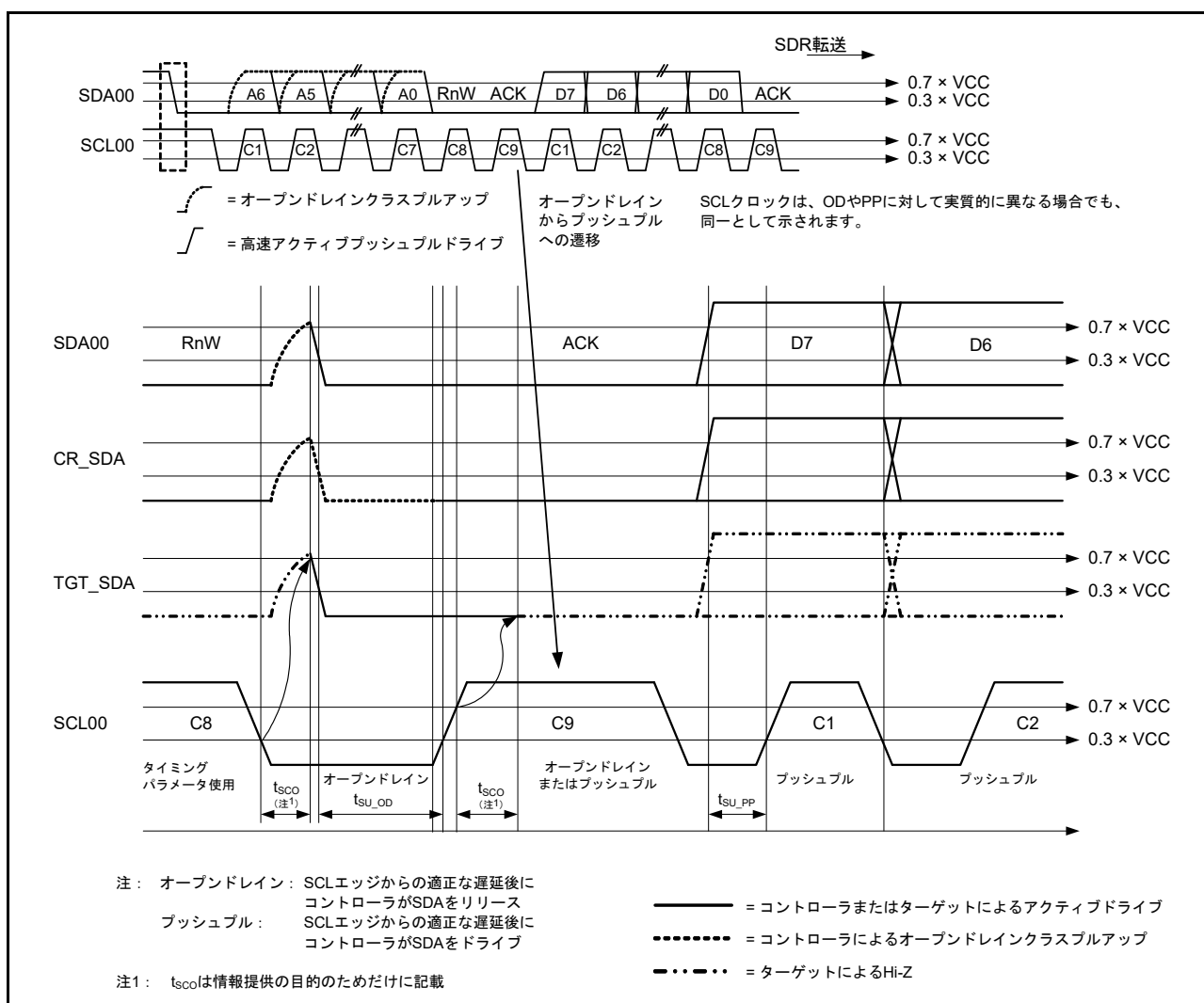


図 2.81 I3C データ転送 — ターゲットによる ACK

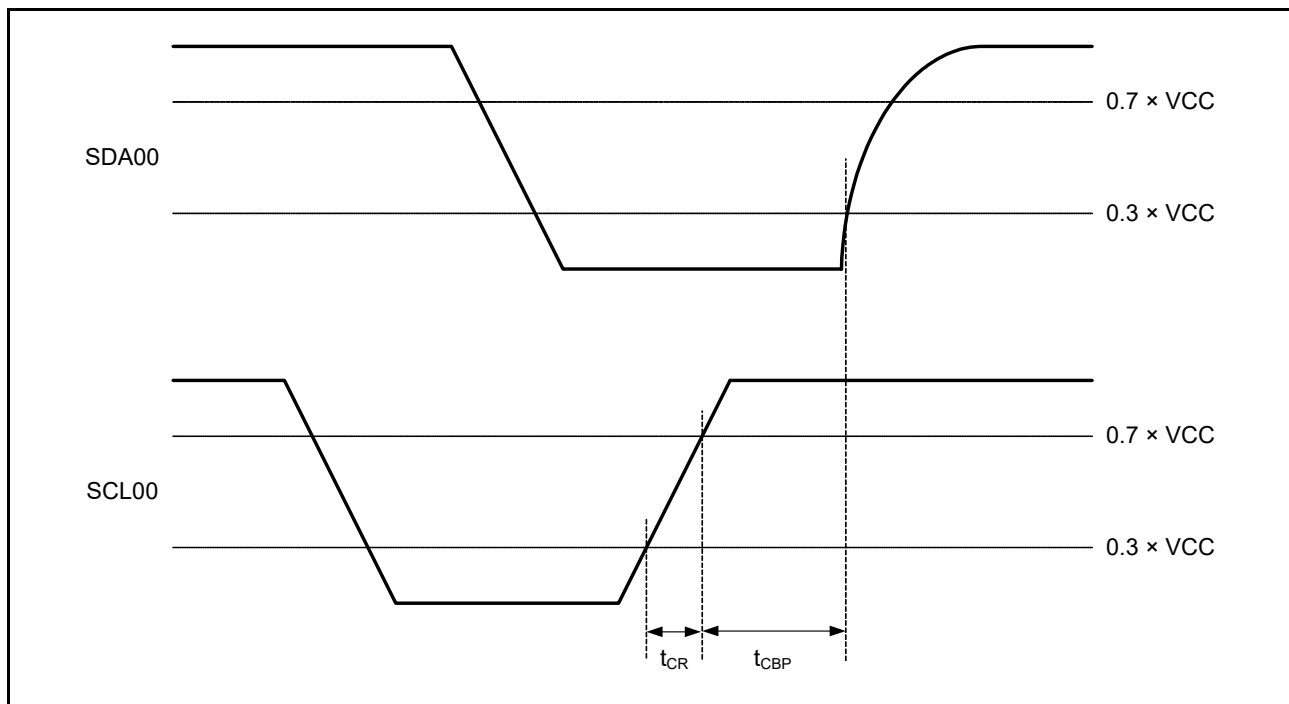


図 2.82 RI3C ストップコンディションタイミング

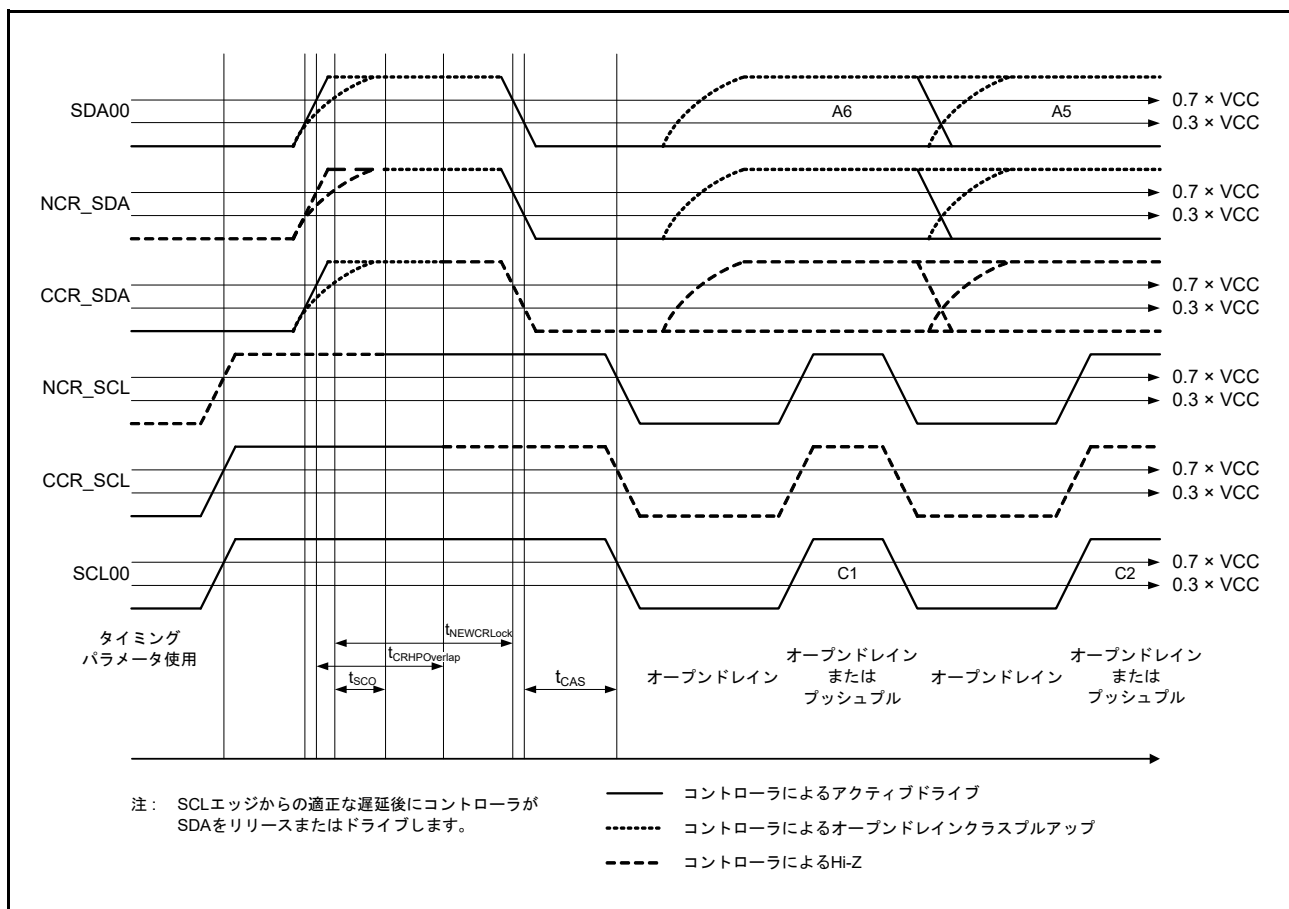


図 2.83 RI3C 出力タイミング

表2.93 RI3C タイミング (SDRモード用プッシュプルタイミングパラメータ)

条件: VCC = 1.65 ~ 1.95 V、または VCC = 2.97 ~ 3.63 V

項目	VCC		記号	min	max	単位	測定条件	
I3Cモード (SDRモードの I3Cプッシュプ ルタイミング パラメータ)	SCLクロック周波数		f _{SCL} (注 1)	0.01	12.5	MHz	—	
	SCLクロック Low 期間	3.00 V 以上	t _{LOW}	24	—	ns	図 2.80	
		1.65 ~ 1.95 V		24	—			
		3.00 V 以上	t _{DIG_L} (注 2、注 4)	32	—			
		1.65 ~ 1.95 V		32	—			
	ミックスバスにおける SCL クロックの High 幅 (注 3)	3.00 V 以上	t _{HIGH_MIXED}	24	—	ns	図 2.80	
		1.65 ~ 1.95 V		24	—			
		3.00 V 以上	t _{DIG_H_MIXED}	32	45			
		1.65 ~ 1.95 V		32	45			
	SCLクロック High 期間	3.00 V 以上	t _{HIGH}	24	—	ns	図 2.80	
		1.65 ~ 1.95 V		24	—			
		3.00 V 以上	t _{DIG_H} (注 2)	32	—			
		1.65 ~ 1.95 V		32	—			
	ターゲット用データ出力クロック			t _{SCO}	—	12	ns	図 2.84
	SCLクロック立ち上がり時間			t _{CR}	—	150 × 1 / f _{SCL} (注 5)	ns	図 2.80
	SCLクロック立ち下がり時間			t _{CF}	—	150 × 1 / f _{SCL} (注 5)	ns	
	プッシュプルモードの SDA 信号データホールド (コントローラ)		t _{HD_PP} (注 6)	t _{CR} + 3 (注 4), t _{CF} + 3 (注 4)	—	—	ns	図 2.84
プッシュプルモードの SDA 信号データホールド (ターゲット)		0			—	図 2.85		
プッシュプルモードの SDA 信号データセットアップ	3.00 V 以上	t _{SU_PP}	12	N/A	ns	図 2.86		
	1.65 ~ 1.95 V		18	N/A				
繰り返しのスタート後クロック			t _{CASr}	t _{CASmin}	N/A	ns	図 2.87	
繰り返しのスタート前クロック			t _{CBSr}	t _{CASmin} /2	N/A	ns		
バスラインごとの容量性負荷			C _b (注 7)	—	50	pF	—	

注. 端子名にグループ名 -A の記号が付加されている端子でのみ使用できます。

注1. $f_{SCL} = 1 / (t_{DIG_L} + t_{DIG_H})$ 注2. t_{DIG_L} および t_{DIG_H} は、 V_{IL} 、 V_{IH} を使用した I3C バスのレシーバ終了時の Low および High 期間クロックです。注3. ミックスバス上で I3C デバイスと通信する際は、I2C デバイスが I3C シグナリングを有効な I2C シグナリングと解釈しないようにするため、 $t_{DIG_H_MIXED}$ 期間に制約を設ける必要があります。注4. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。例えば、立ち下がりエッジクロックに対して $t_{CF} + 3$ 、立ち上がりエッジクロックに対して $t_{CR} + 3$ です。

注5. 上限は 60 ns

注6. ホールド時間パラメータは、SDR モードでは「 t_{HD_SDR} 」と表されます。注7. C_b はバスラインの容量総計です。

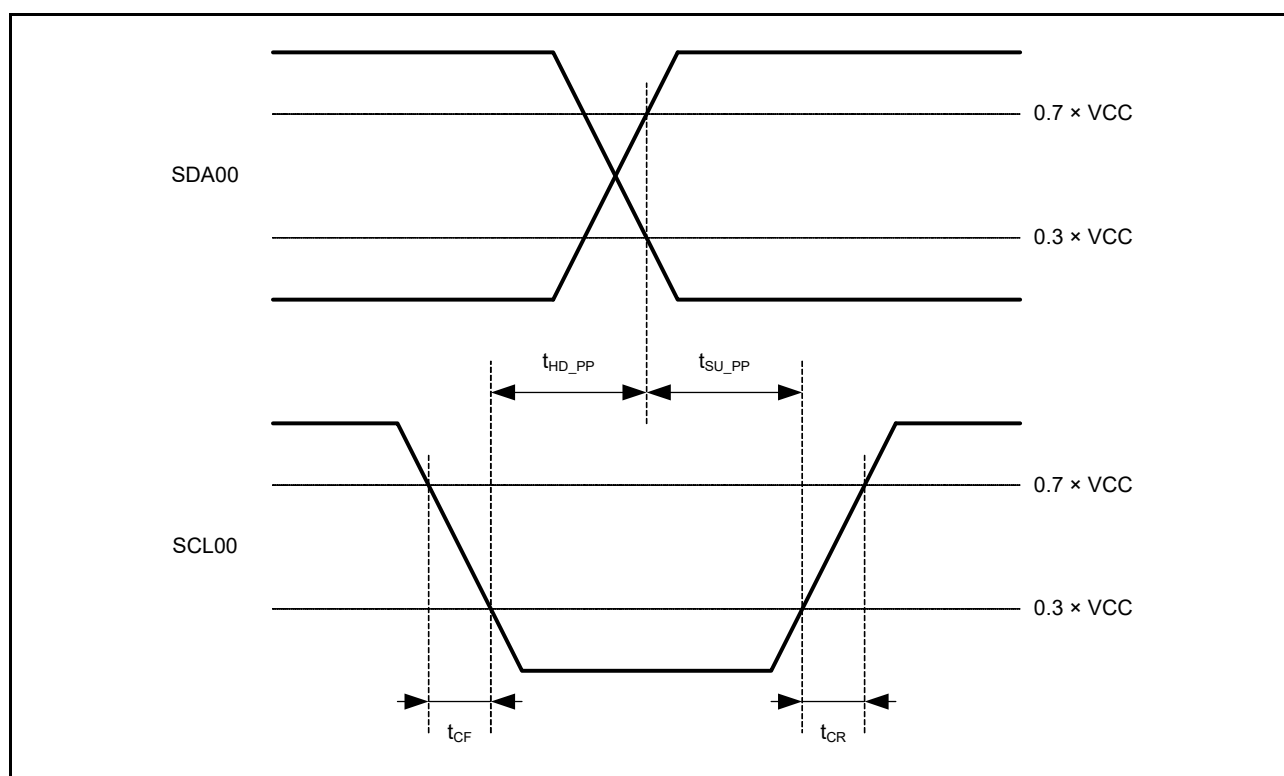


図 2.84 I3C カレントコントローラ出力タイミング

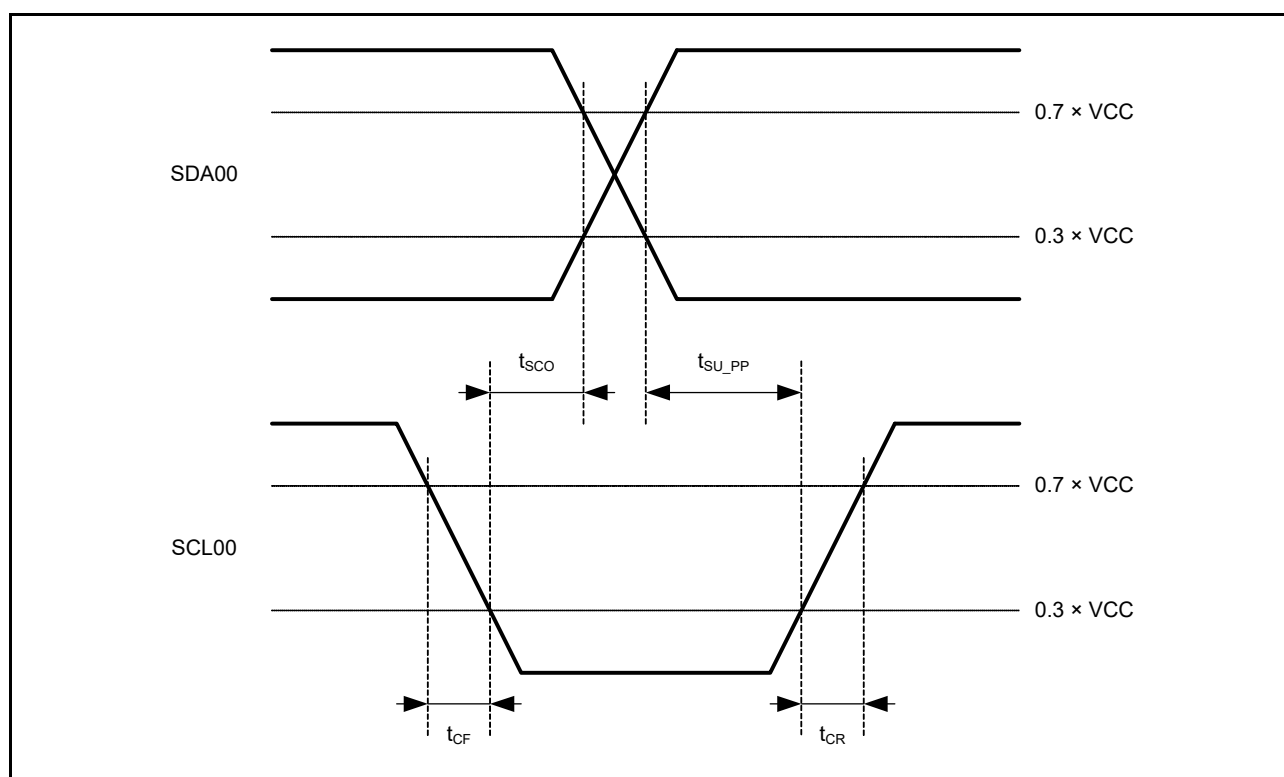


図 2.85 I3C セカンダリコントローラ出力タイミング

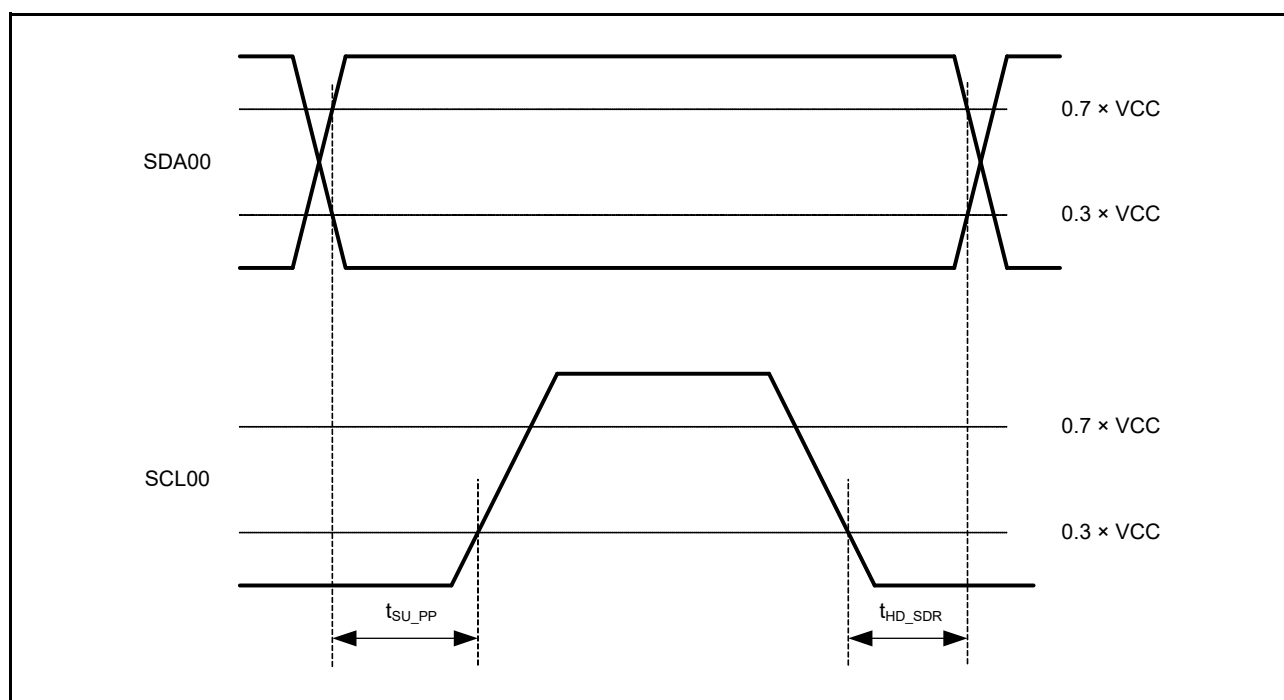


図 2.86 カレントコントローラ SDR タイミング

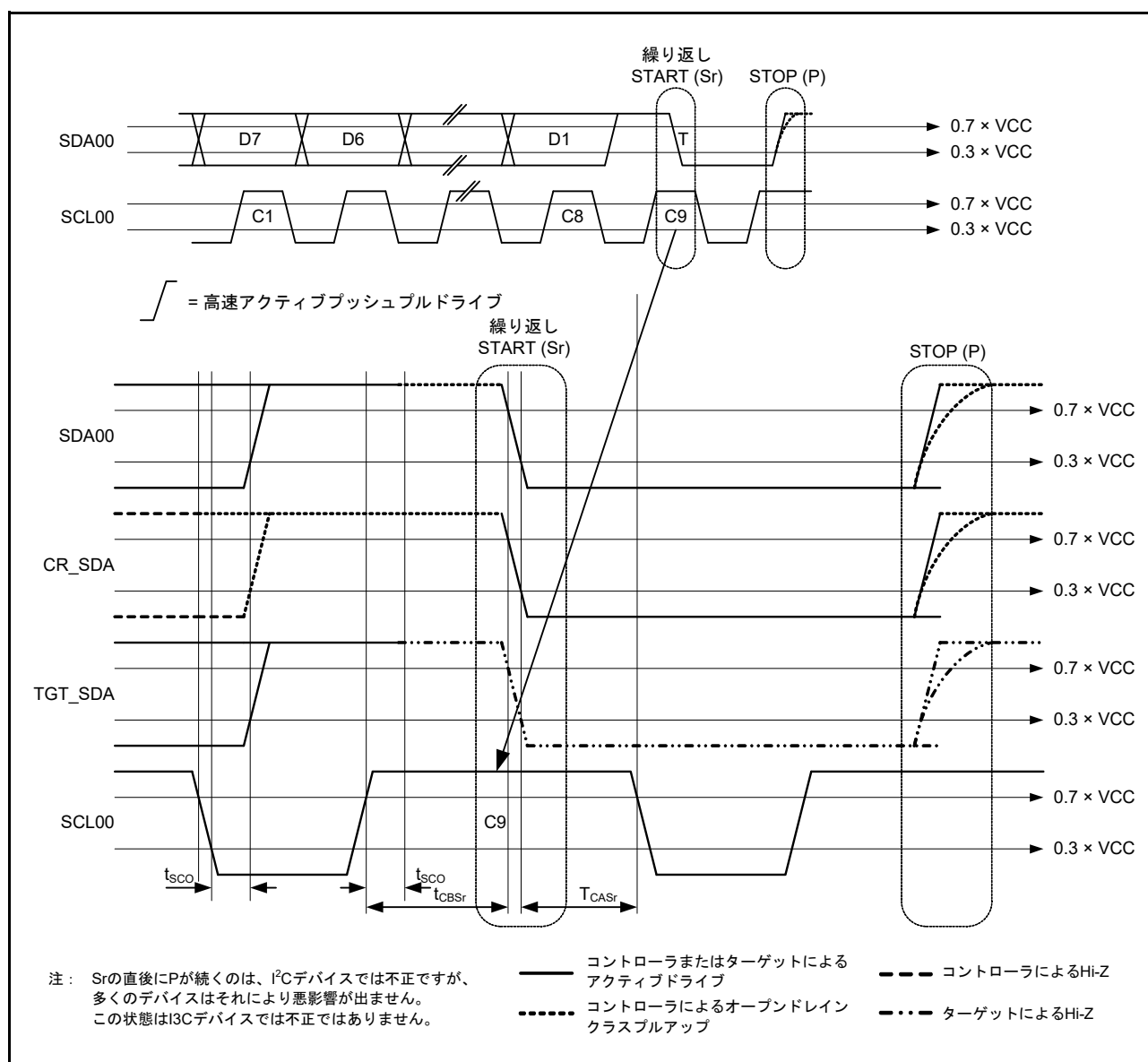


図 2.87 繰り返しのスタートコンディションおよびストップコンディションでのコントローラ終了時のTビット読み出し

2.5.7.11 SSIE

表2.94 シリアルサウンドインタフェースタイミング

条件：対象の端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV2に設定時

項目			VCC/VCC2	記号	min	max	単位	測定条件
AUDIO_CLK, GTIOC14A	サイクル		2.70 V 以上	t_{EXcyc}	20	—	ns	図 2.88
			1.65 V 以上		40	—		
	High レベル/Low レベル幅			t_{EXL} / t_{EXH}	0.4	0.6	t_{EXcyc}	
SSIBCKn	サイクル	マスタ		t_O	80	—	ns	図 2.89
		スレーブ		t_I	80	—		
	出カクロック High レベル	マスタ		t_{HC}	0.35	—	t_O	
	出カクロック Low レベル			t_{LC}	0.35	—		
	入カクロック High レベル	スレーブ		t_{HC}	0.35	—	t_I	
	入カクロック Low レベル			t_{LC}	0.35	—		
	出カクロック立ち上がり時間	マスタ		t_{RC}	—	0.15	t_O	
	出カクロック立ち下がり時間			t_{FC}	—	0.15		
	入カクロック立ち上がり時間	スレーブ		t_{RC}	—	0.15	t_I	
	入カクロック立ち下がり時間			t_{FC}	—	0.15		
SSILRCKn, SSITXDn, SSIRXDn	入力セットアップ時間		マスタ	t_{SR}	12	—	ns	図 2.90、 図 2.91
					1.65 V 以上	24		
			スレーブ		12	—		
	入力ホールド時間		マスタ	t_{HR}	8	—	ns	
					スレーブ			
	出力遅延時間	マスタ	2.70 V 以上	t_{DTR}	-10	5	ns	
			1.65 V 以上		-10	7		
		スレーブ	2.70 V 以上		0	20		
			1.65 V 以上		0	25		
	SSILRCK0 変化時からの出力 遅延時間 (注1)	スレーブ	2.70 V 以上	t_{DTRW}	—	20	ns	図 2.92
			1.65 V 以上		—	25		

n = 0, 1

注1. SSIEはスレーブモード送信用に1本の経路を備え、その経路によりSSILRCKn端子からの信号入力を送信データの生成に使用され、送信データがSSITXDn端子へ論理出力されます。

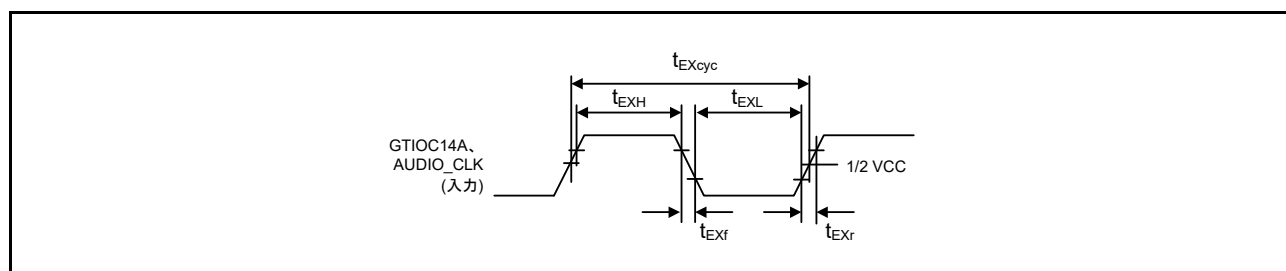


図 2.88 クロック入力タイミング

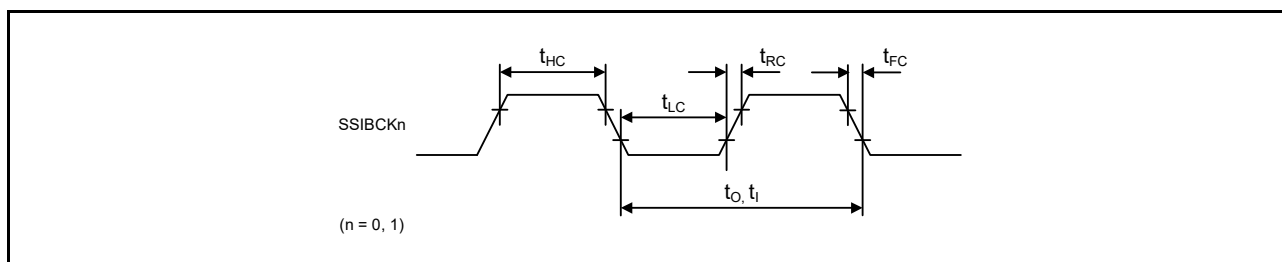


図 2.89 SSIE クロック入出力タイミング

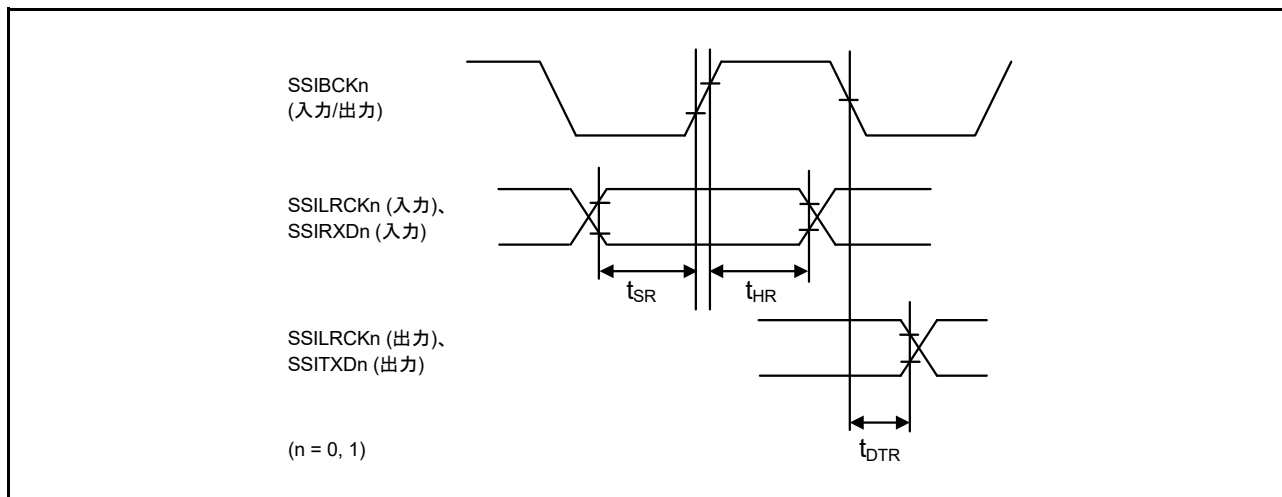


図 2.90 SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

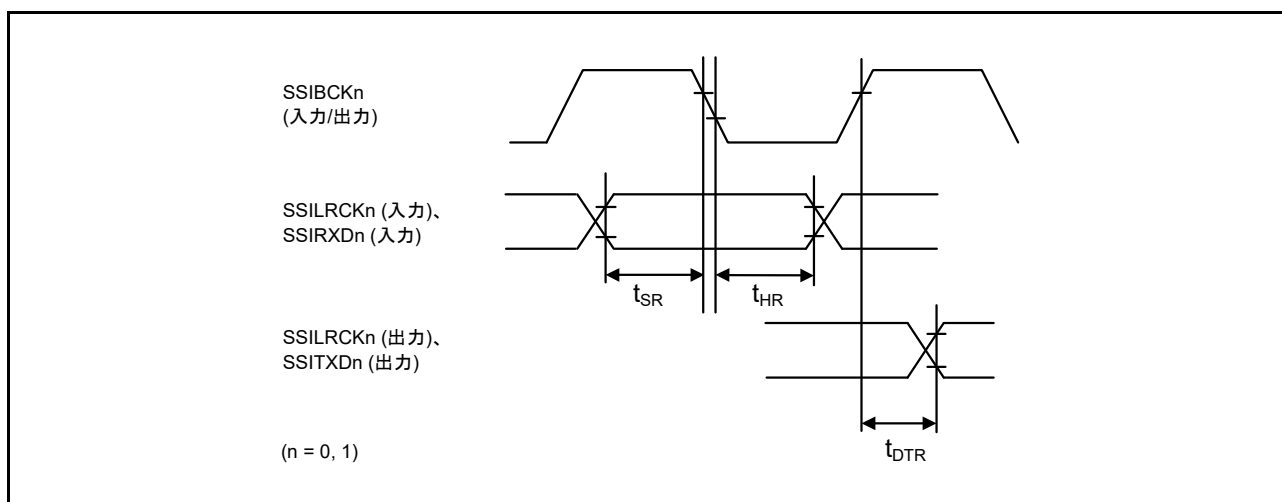


図 2.91 SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング

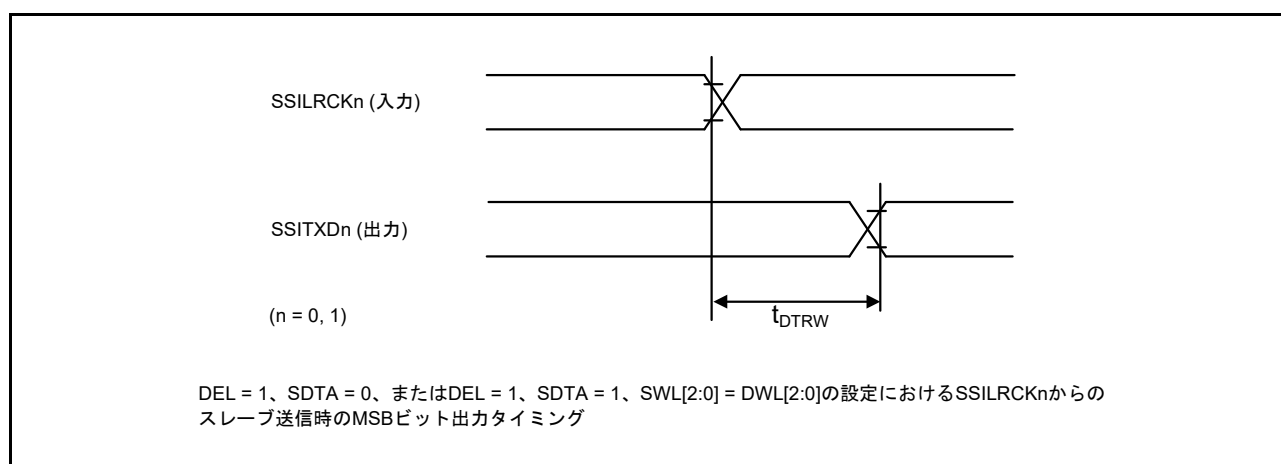


図 2.92 SSILRCKn 変化時からの SSIE データ出力遅延

2.5.7.12 SD/MMC ホストインタフェース

表 2.95 SD/MMC ホストインタフェース タイミング

条件: VCC = 1.70 ~ 1.95 V、または VCC = 2.70 ~ 3.63 V、

ポート駆動能力は、VCC 電圧に応じて以下の設定で評価しています。

VCC = 1.70 ~ 1.95 V のとき、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV6 に設定

VCC = 2.70 ~ 3.63 V のとき、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定

項目		VCC/VCC2	記号	min	max	単位	測定条件
SDHI	SDCLKクロックサイクル		t_{SDcyc}	20	—	ns	図 2.93
	SDCLKクロック Highパルス幅		t_{SDWH}	6.5	—	ns	
	SDCLKクロック Lowパルス幅		t_{SDWL}	6.5	—	ns	
	SDCLKクロック立ち上がり時間	2.70 V 以上	t_{SDLH}	—	3	ns	
		1.70 ~ 1.95 V		—	4		
	SDCLKクロック立ち下がり時間	2.70 V 以上	t_{SDHL}	—	3	ns	
		1.70 ~ 1.95 V		—	4		
	SDCMD/SDDAT 出力データ遅延時間	2.70 V 以上	t_{SDODLY}	-7	4	ns	
		1.70 ~ 1.95 V		-7	7		
SDCMD/SDDAT 入力データセットアップ時間		t_{SDIS}	4.5	—	ns		
SDCMD/SDDAT 入力データホールド時間		t_{SDIH}	1.5	—	ns		

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

注. SD0_DAT4-B ~ SD0_DAT7-B 使用時、VCC = VCC2 のときに限って上記の特性が保証されます。

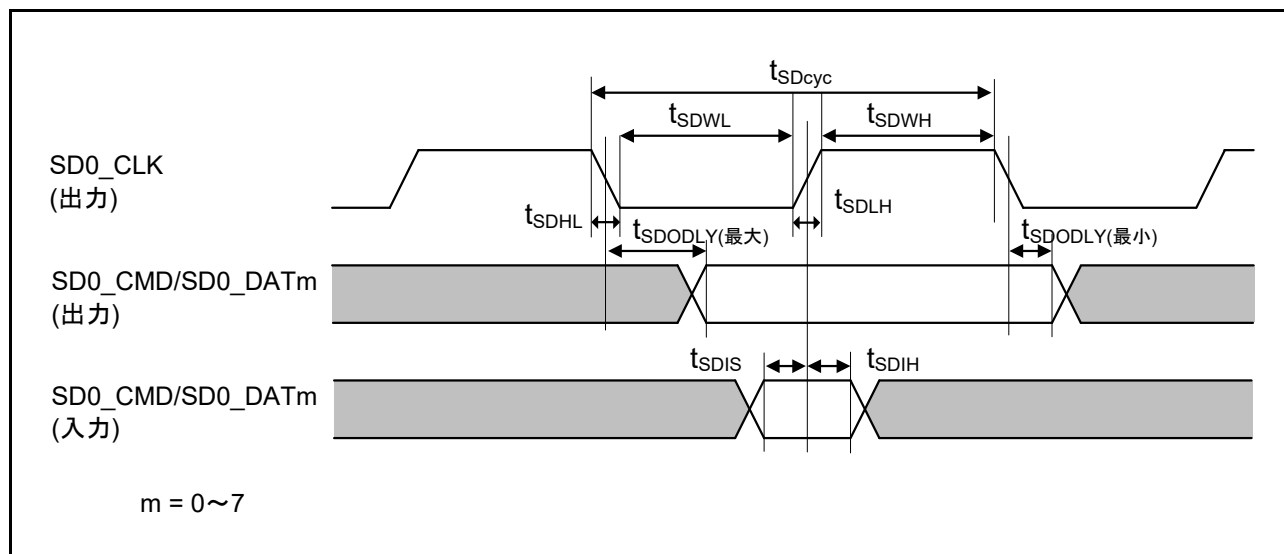


図 2.93 SD/MMC ホストインタフェース入出力信号タイミング

2.5.7.13 PDC

表 2.96 PDC タイミング

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時

項目	記号	min (注 1)	max	単位	測定条件
PDC	PIXCLK 入力サイクル時間	t_{PIXcyc}	37	—	図 2.94
	PIXCLK 入力 High パルス幅	t_{PIXH}	10	—	
	PIXCLK 入力 Low パルス幅	t_{PIXL}	10	—	
	PIXCLK 立ち上がり時間	t_{PIXr}	—	5	
	PIXCLK 立ち下がり時間	t_{PIXf}	—	5	
	PCKO 出力サイクル時間	t_{PCKcyc}	$2 \times t_{PBcyc}$	—	図 2.95
	PCKO 出力 High パルス幅	t_{PCKH}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	—	
	PCKO 出力 Low パルス幅	t_{PCKL}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	—	
	PCKO 立ち上がり時間	t_{PCKr}	—	5	
	PCKO 立ち下がり時間	t_{PCKf}	—	5	
	VSYN/HSYN 入力セットアップ時間	t_{SYNCS}	10	—	図 2.96
	VSYN/HSYN 入力ホールド時間	t_{SYNCH}	5	—	
	PIXD 入力セットアップ時間	t_{PIXDS}	10	—	
	PIXD 入力ホールド時間	t_{PIXDH}	5	—	

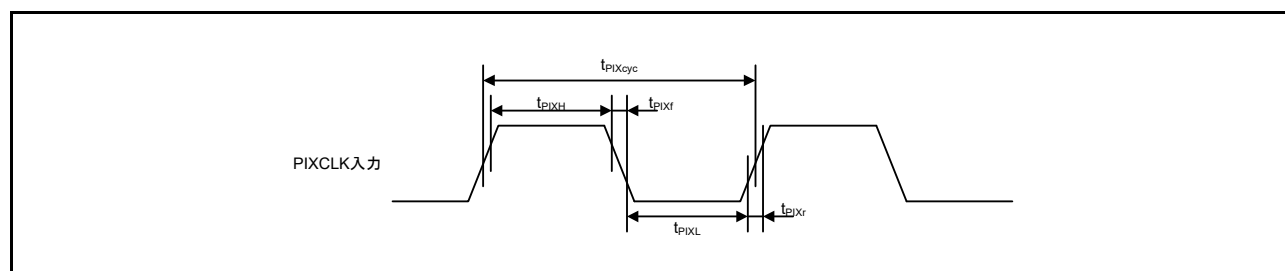
注 1. t_{PBcyc} : PCLKB の周期

図 2.94 PDC 入力クロックタイミング

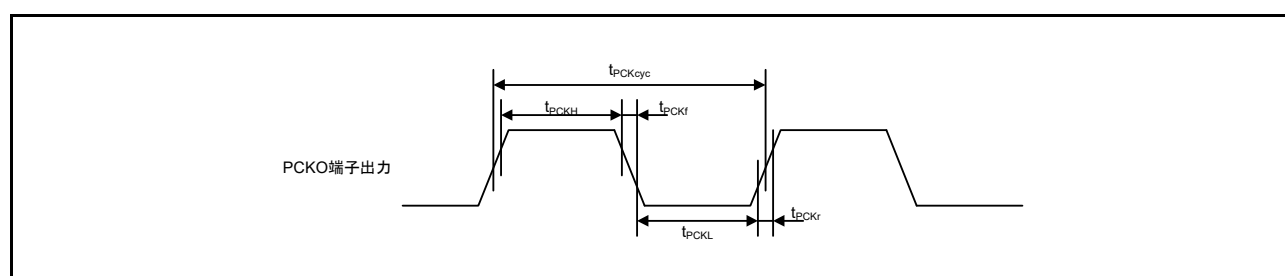


図 2.95 PDC 出力クロックタイミング

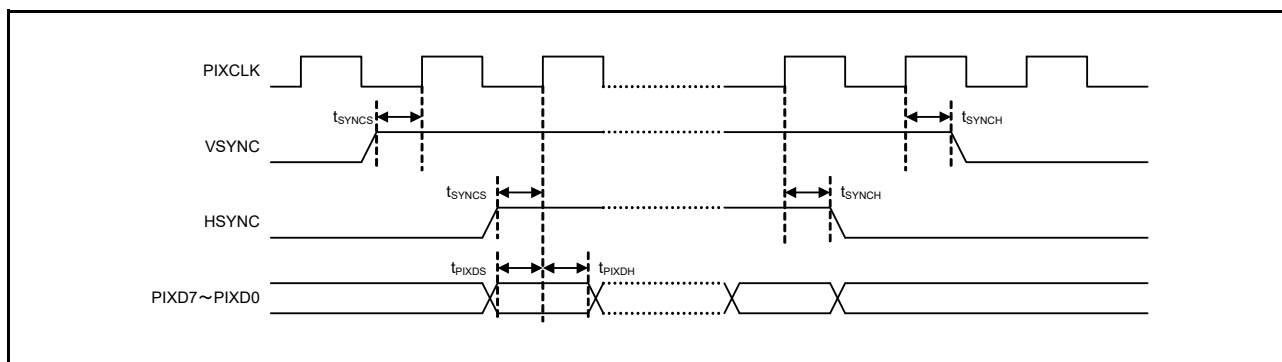


図 2.96 PDC AC タイミング

2.5.7.14 HRPWM

表 2.97 HRPWM タイミング

項目		記号	min	typ	max	単位	測定条件
HRPWM	入力周波数 (f_{IN})	t_{cyc}	80	—	200	MHz	
	分解能	—	1/64	—	—	t_{cyc}	$f_{IN} > 160 \text{ MHz}$
			1/128	—	—		$f_{IN} \leq 160 \text{ MHz}$
	DNL (注1)	—	—	± 2.0	—	LSB	

注1. 各コードの差分を分解能(1LSB)で正規化した値です。

2.5.7.15 CANFD/CANFDG

表 2.98 CANFD/CANFDG タイミング

条件：VCC/VCC2 $\geq 2.7 \text{ V}$ のとき、対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV1 に設定時

VCC/VCC2 $\geq 1.62 \text{ V}$ のとき、対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時

項目	記号	min	max	単位	測定条件
内部遅延時間	t_{NODE}	—	50	ns	図 2.97

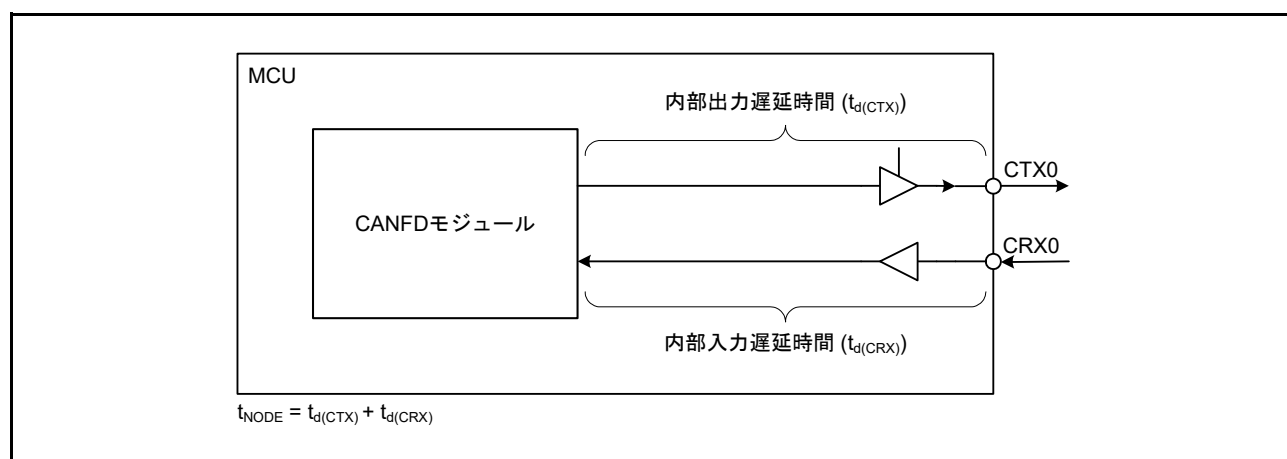


図 2.97 内部遅延時間の定義

2.5.7.16 ESC

表 2.99 ESC タイミング

条件 : VCC = 2.7 ~ 3.63 V、VCC2 = 2.7 ~ 3.63 V (VCC2 電源の端子使用時)

対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

項目	記号	min	max	単位	測定条件
ESC (MII)	CATn_TX_CLK サイクル時間	t_{Tcyc}	40	—	図 2.98
	CATn_TX_EN 出力遅延時間	t_{TEND}	1	25	
	CATn_ETXD0 ~ CATn_ETXD3 出力遅延時間	t_{MTDd}	1	25	
	CATn_RX_CLK サイクル時間	t_{TRcyc}	40	—	図 2.99
	CATn_RX_DV セットアップ時間	t_{RDVs}	10	—	
	CATn_RX_DV ホールド時間	t_{RDVh}	10	—	
	CATn_ERXD0 ~ CATn_ERXD3 セットアップ時間	t_{MRDs}	10	—	
	CATn_ERXD0 ~ CATn_ERXD3 ホールド時間	t_{MRDh}	10	—	図 2.100
	CATn_RX_ER セットアップ時間	t_{REs}	10	—	
	CATn_RX_ER ホールド時間	t_{REh}	10	—	
ESC (MDIO)	CAT0_MDIO セットアップ時間 (対 CAT0_MDC↑)	t_{SMDIO}	60	—	図 2.101
	CAT0_MDIO ホールド時間 (対 CAT0_MDC↑)	t_{HMDIO}	0	—	
	CAT0_MDIO 出力遅延時間 (対 CAT0_MDC↓)	t_{DMDIO}	0	30	

n = 0, 1

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

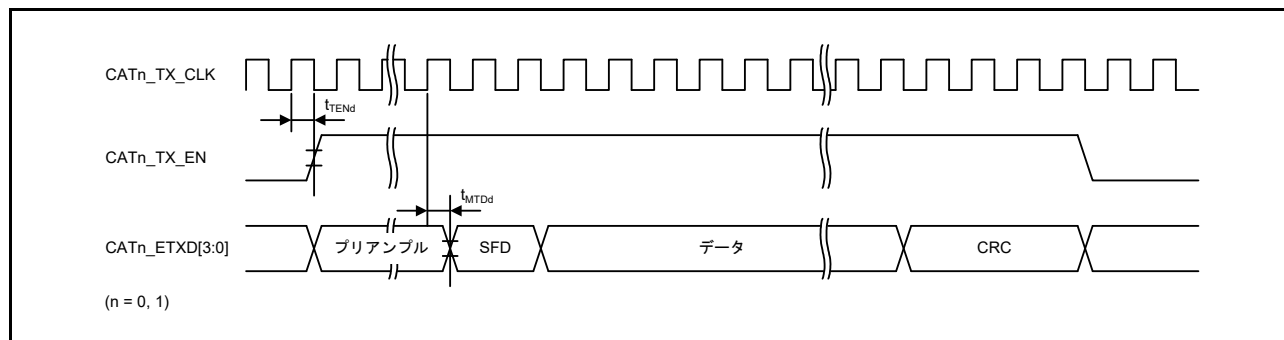


図 2.98 MII 送信タイミング (正常動作時)

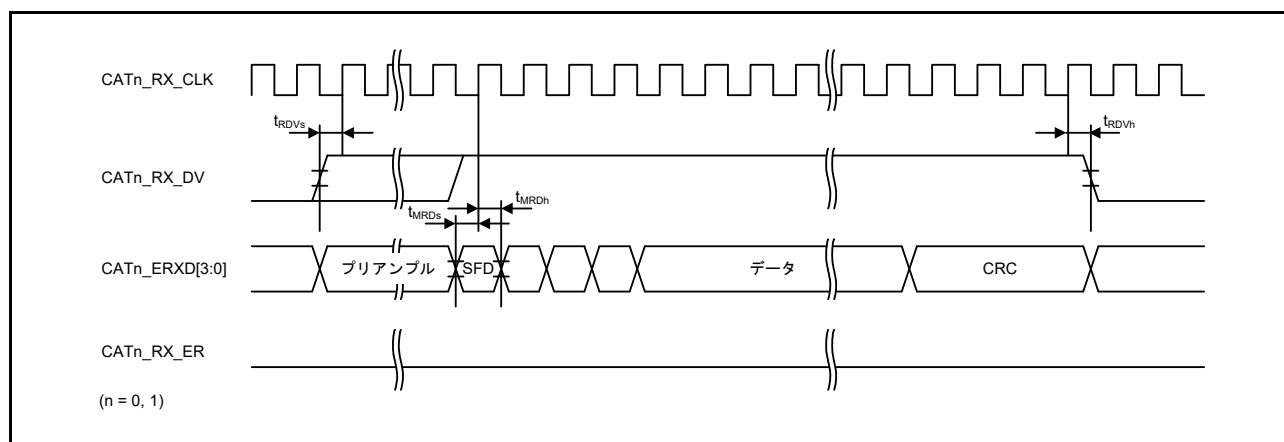


図 2.99 MII 受信タイミング (正常動作時)

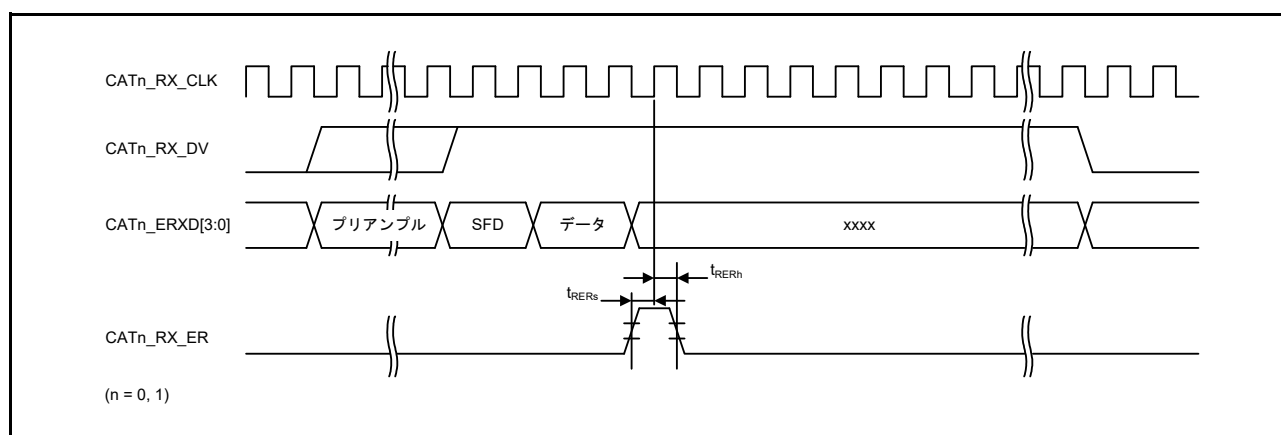


図 2.100 MII 受信タイミング (エラー発生ケース)

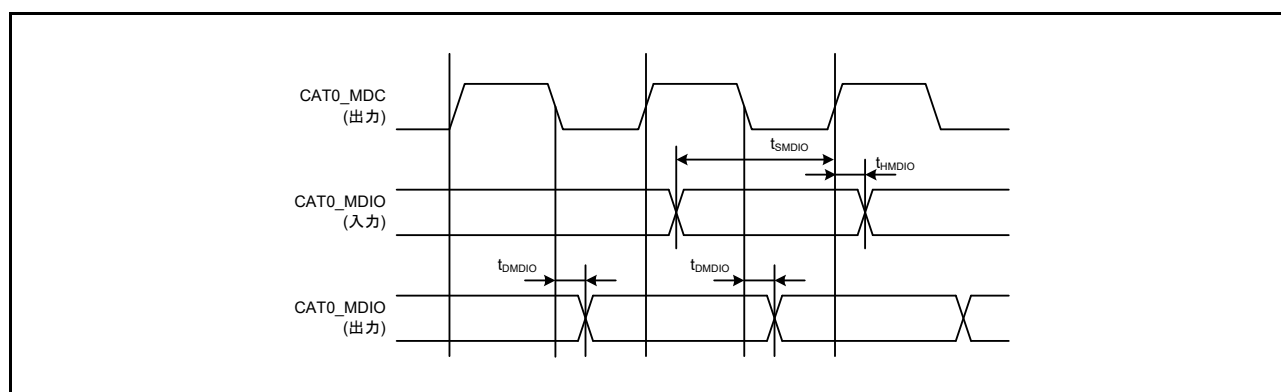


図 2.101 シリアルマネージメントアクセスタイミング

2.5.7.17 ESWM

表 2.100 ESWM タイミング (RMII)

条件: VCC = 2.7 ~ 3.6 V

ETn_MDC、ETn_MDIO 端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時

ETn_MDC、ETn_MDIO 端子以外の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV3 に設定時

	項目	記号	min	max	単位	測定条件
ESWM (RMII)	RMII _n _REF50CK サイクル時間	T_{ck}	20	—	ns	図 2.102
	RMII _n _REF50CK 周波数	—	—	50 + 100 ppm	MHz	
	RMII _n _REF50CK デューティ	—	35	65	%	
	RMII _n _REF50CK 立ち上がり/立ち下がり時間	T_{ckr} / T_{ckf}	0.5	3.5	ns	
	RMII _n _xxxx (注1) 出力遅延時間	T_{co}	2.5	15	ns	
	RMII _n _xxxx (注2) セットアップ時間	T_{su}	3	—	ns	
	RMII _n _xxxx (注2) ホールド時間	T_{hd}	1	—	ns	
	RMII _n _xxxx (注1、注2) 立ち上がり/立ち下がり時間	T_r / T_f	0.5	4	ns	

n = 0, 1

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

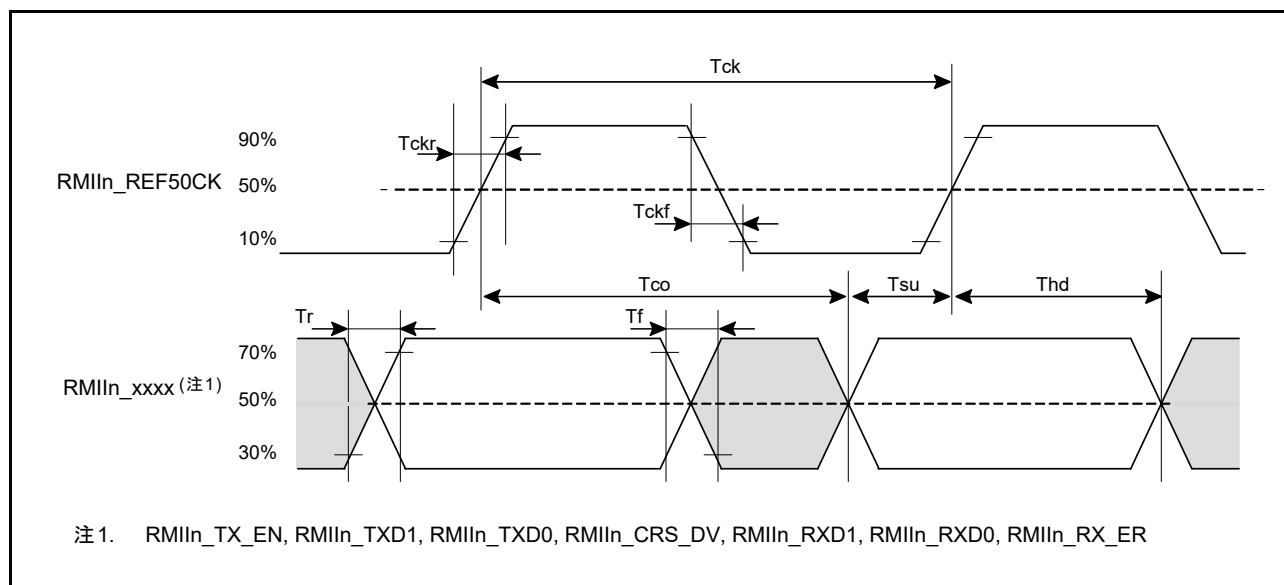
注1. RMII_n_TX_EN, RMII_n_TXD1, RMII_n_TXD0注2. RMII_n_CRS_DV, RMII_n_RXD1, RMII_n_RXD0, RMII_n_RX_ER図 2.102 RMII_n_REF50CK、RMII の信号タイミング (n = 0, 1)

表 2.101 ESWM タイミング (MII)

条件：ETn_MDC、ETn_MDIO 端子に関するポート駆動能力は、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時
ETn_MDC、ETn_MDIO 端子以外に関するポート駆動能力は、
MII のみ使用時は、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定して、かつ VCC = 2.7 ~ 3.6V
MII と GMII を併用する場合は、
VCC = 2.3 ~ 2.7 V のとき：駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV7 に設定時
VCC = 3.0 ~ 3.6 V のとき：駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV6 に設定時

項目	記号	min	max	単位	測定条件
ESWM (MII)	ETn_TX_CLK サイクル時間	t_{Tcyc}	40	—	—
	ETn_TX_EN 出力遅延時間	t_{TEND}	1	20	図 2.103
	ETn_ETXD0 ~ ETn_ETXD3 出力遅延時間	t_{MTDd}	1	20	—
	ETn_TX_ER 出力遅延時間	t_{TERd}	1	20	図 2.104
	ETn_RX_CLK サイクル時間	t_{TRcyc}	40	—	—
	ETn_RX_DV セットアップ時間	t_{RDVs}	10	—	図 2.105
	ETn_RX_DV ホールド時間	t_{RDVh}	10	—	—
	ETn_ERXD0 ~ ETn_ERXD3 セットアップ時間	t_{MRDs}	10	—	—
	ETn_ERXD0 ~ ETn_ERXD3 ホールド時間	t_{MRDh}	10	—	—
	ETn_RX_ER セットアップ時間	t_{RERs}	10	—	—
	ETn_RX_ER ホールド時間	t_{RERh}	10	—	—
	ETn_RX_ER セットアップ時間	t_{RERs}	10	—	—
ESWM (MII MAC- to-MAC)	ETn_TX_CLK サイクル時間	t_{Tcyc}	40	—	—
	ETn_TX_EN 出力遅延時間	t_{TEND}	10	20	図 2.103
	ETn_ETXD0 ~ ETn_ETXD3 出力遅延時間	t_{MTDd}	10	20	—
	ETn_TX_ER 出力遅延時間	t_{TERd}	10	20	図 2.104
	ETn_RX_CLK サイクル時間	t_{TRcyc}	40	—	—
	ETn_RX_DV セットアップ時間	t_{RDVs}	13	—	図 2.105
	ETn_RX_DV ホールド時間	t_{RDVh}	0	—	—
	ETn_ERXD0 ~ ETn_ERXD3 セットアップ時間	t_{MRDs}	13	—	—
	ETn_ERXD0 ~ ETn_ERXD3 ホールド時間	t_{MRDh}	0	—	—
	ETn_RX_ER セットアップ時間	t_{RERs}	13	—	—
	ETn_RX_ER ホールド時間	t_{RERh}	0	—	—
	ETn_RX_ER セットアップ時間	t_{RERs}	13	—	—

n = 0, 1

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

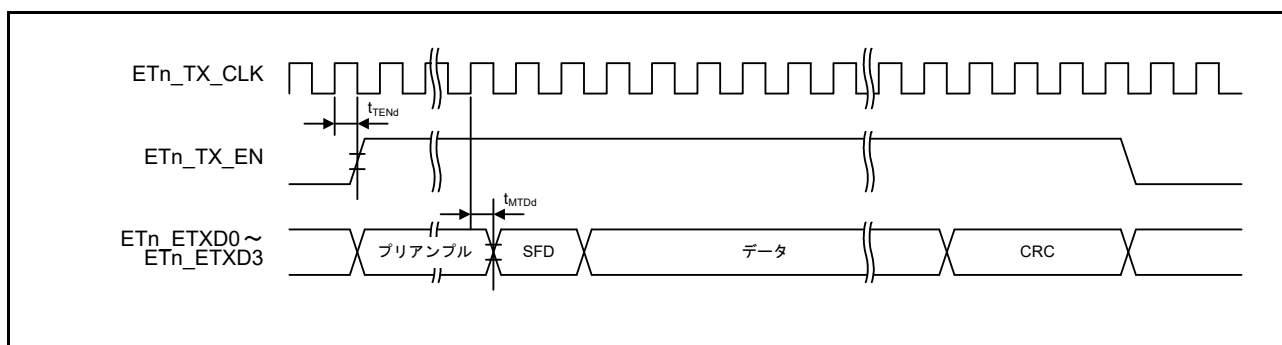


図 2.103 MII 送信タイミング (正常動作時) (n = 0, 1)

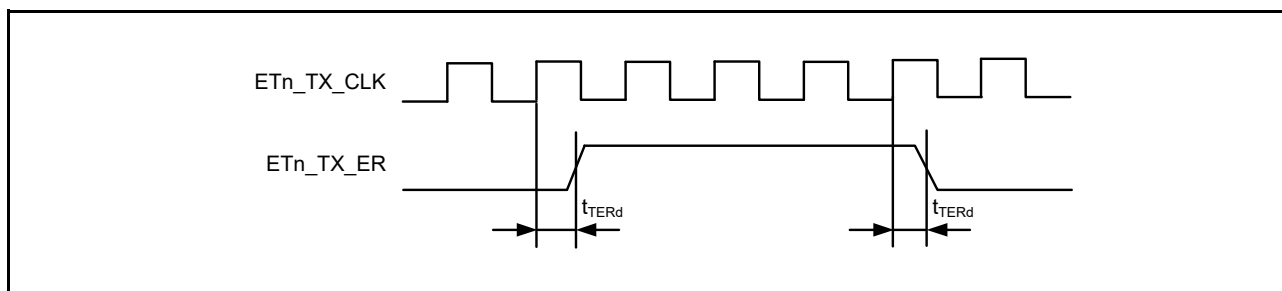


図 2.104 ETn_TX_ER 出カタイミング (n = 0, 1)

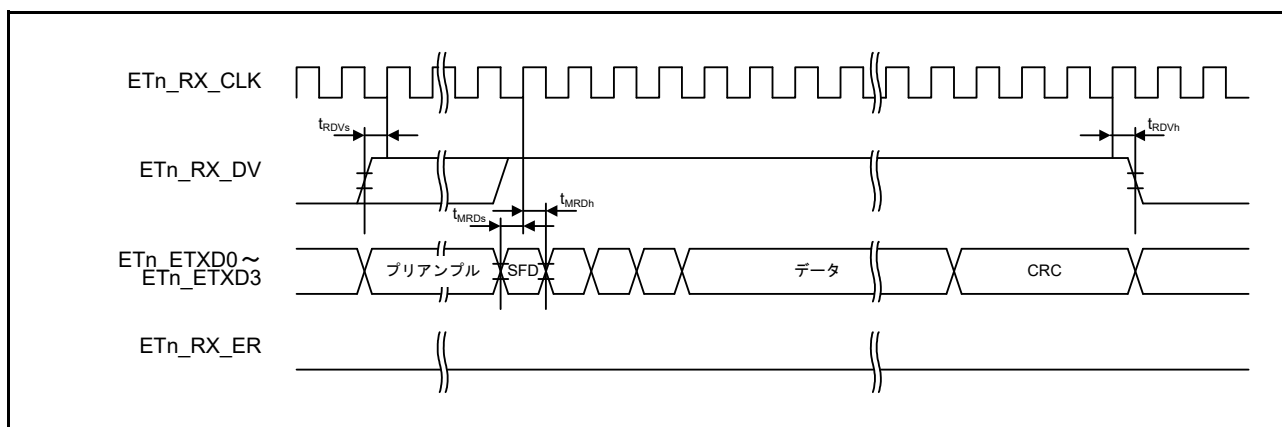


図 2.105 MII 受信タイミング (正常動作時) (n = 0, 1)

表 2.102 ESWM タイミング (GMII)

条件: ETn_MDC、ETn_MDIO 端子に関するポート駆動能力は、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時
 ETn_MDC、ETn_MDIO 端子以外に関するポート駆動能力は、
 VCC = 2.3 ~ 2.7 V のとき: 駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV7 に設定時
 VCC = 3.0 ~ 3.6 V のとき: 駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV6 に設定時

項目		記号	min	max	単位	測定条件
ESWM (GMII)	ETn_GTX_CLK周波数	t _{FREQ}	125 – 100ppm	125 + 100ppm	MHz	図 2.106、 図 2.107
	ETn_GTX_CLK周期	t _{PERIOD}	7.5	8.5	ns	
	ETn_RX_CLK周期	t _{PERIOD}	7.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK high レベルパルス幅	t _{HIGH}	2.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK low レベルパルス幅	t _{LOW}	2.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK 立ち上がり時間	t _R	—	1	ns	
	ETn_GTX_CLK、ETn_RX_CLK 立ち下がり時間	t _F	—	1	ns	
	ETn_GTX_CLK、ETn_RX_CLKスルーレートの大きさ(立ち上がり)(注1)	—	0.6	—	V/ns	
	ETn_GTX_CLK、ETn_RX_CLKスルーレートの大きさ(立ち下がり)(注1)	—	0.6	—	V/ns	
	ETn_GTX_CLK に対するETn_TXD、ETn_TX_EN、ETn_TX_ERのセットアップ時間	t _{SETUP}	2.5	—	ns	
	ETn_GTX_CLK に対するETn_TXD、ETn_TX_EN、ETn_TX_ERのホールド時間	t _{HOLD}	0.5	—	ns	
	ETn_RX_CLK に対するETn_RXD、ETn_RX_DV、ETn_RX_ERのセットアップ時間	t _{SETUP}	2	—	ns	
	ETn_RX_CLK に対するETn_RXD、ETn_RX_DV、ETn_RX_ERのホールド時間	t _{HOLD}	0	—	ns	

n = 0, 1

注. 型名が R5K574Mxx4yy (yy = BG, BD, AE) の場合のみ保証します。

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

注1. クロックスルーレートは、立ち上がり/立ち下がり時間間隔全体の平均値ではなく、時間に関するクロック電位の変更の瞬時のレート (dV/dt) です。

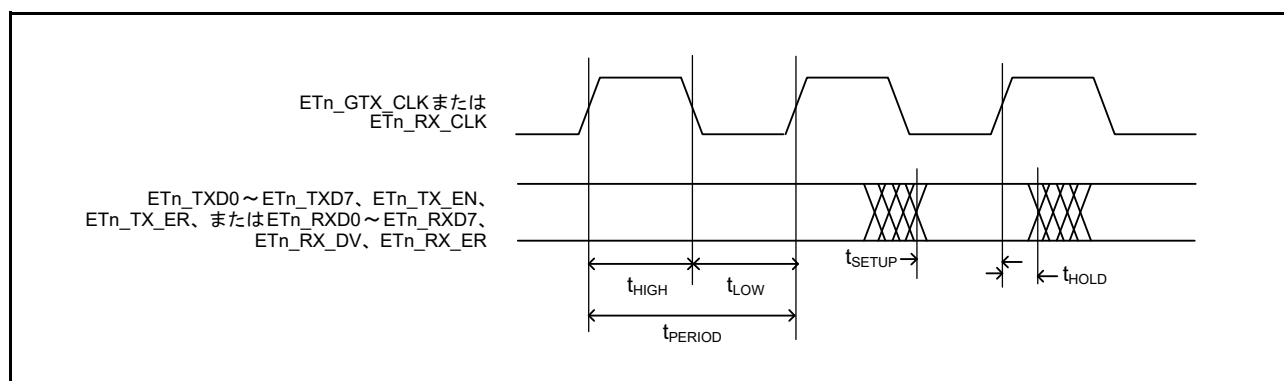


図 2.106 GMII タイミング (n = 0, 1)

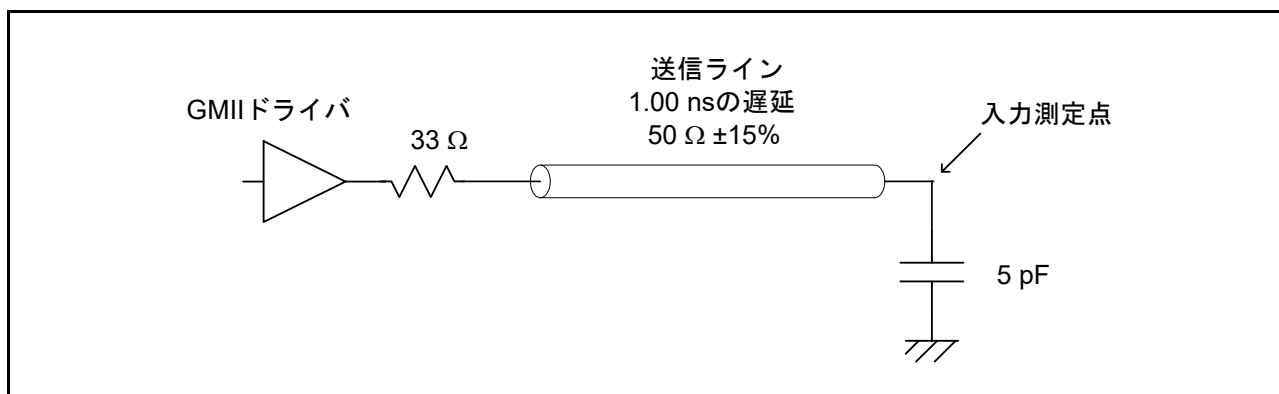


図 2.107 GMII 出力タイミング計測条件

表 2.103 ESWM タイミング (RGMII)

条件：ETn_MDC、ETn_MDIO 端子に関するポート駆動能力は、駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時
 ETn_MDC、ETn_MDIO 端子以外に関するポート駆動能力は、
 VCC = 2.3 ~ 2.7 V のとき：駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV7 に設定時
 VCC = 3.0 ~ 3.6 V のとき：駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV6 に設定時

項目		通信速度	記号	min	max	単位	測定条件
ESWM (RGMII)	RGMII _n _T _{XC} に対する出力データスキュー (注1)		T _{skewT}	−500	500	ps	図2.108、 図2.110
	RGMII _n _R _{XC} に対する入力データスキュー (注1)		T _{skewR}	1.0	2.6	ns	
	RGMII _n _T _{XC} に対する出力データセットアップ (Integrated delay)		T _{setupT}	1.2	—	ns	図2.109、 図2.110
	RGMII _n _T _{XC} に対する出力データホールド(Integrated delay)		T _{holdT}	1.2	—	ns	
	RGMII _n _R _{XC} に対する入力データセットアップ (Integrated delay)		T _{setupR}	1.0	—	ns	
	RGMII _n _R _{XC} に対する入力データホールド(Integrated delay)		T _{holdR}	1.0	—	ns	
	クロックサイクル時間	1000 Mbps	—	7.2	8.8	ns	—
		100 Mbps	—	36	44	ns	
		10 Mbps	—	360	440	ns	
	ギガビットのデューティーサイクル (注2)		—	45	55	%	
	10BASE-T/100BASE-TXのデューティーサイクル (注2)		—	40	60	%	
	立ち上がり/立ち下がり時間 (20～80%)		—	—	0.75	ns	

n = 0, 1

注. 型名が R5K574Mxx4yy (yy = BG, BD, AE) の場合のみ保証します。

注. 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

注1. これは、PC ボードの設計では、対応するクロック信号に 1.5 ns より長く、2.0 ns より短い追加のトレース遅延が追加されるようにクロックをルーティングする必要があることを意味します。

注2. デューティサイクルは、最小デューティサイクルが侵害されず、かつストレッチが最小遷移速度の 3 T_{cyc} 以下で発生しているかぎり、速度変更中または受信したパケットのクロックドメインへの遷移中にストレッチまたは縮小できます。

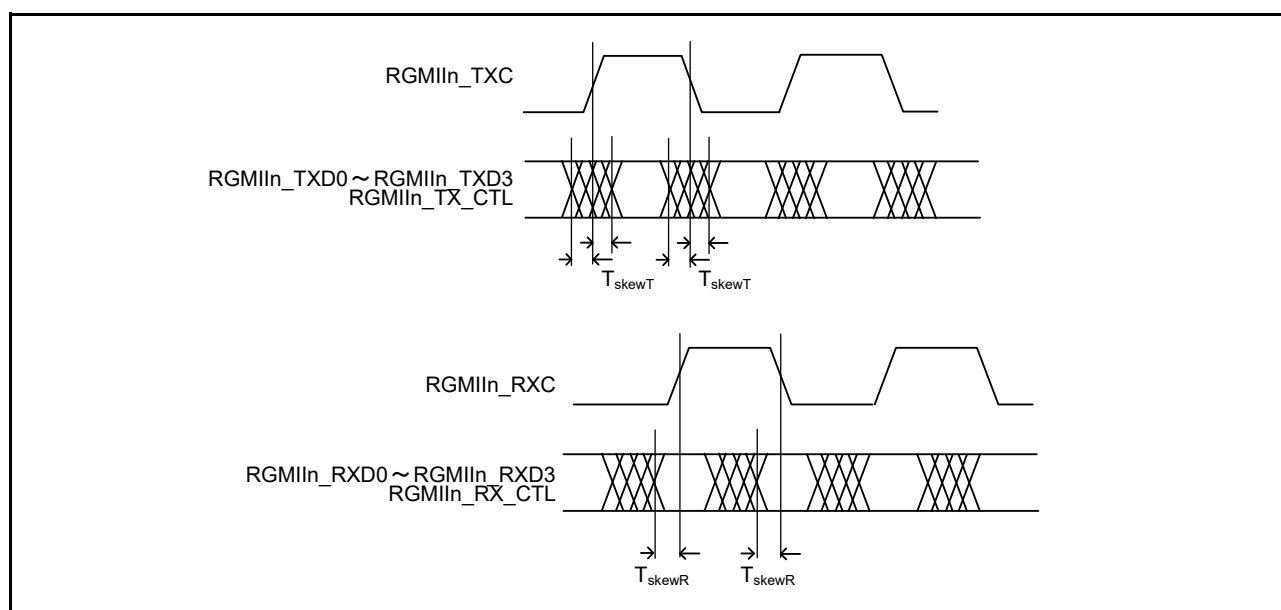


図 2.108 RGMII タイミング (n = 0, 1)

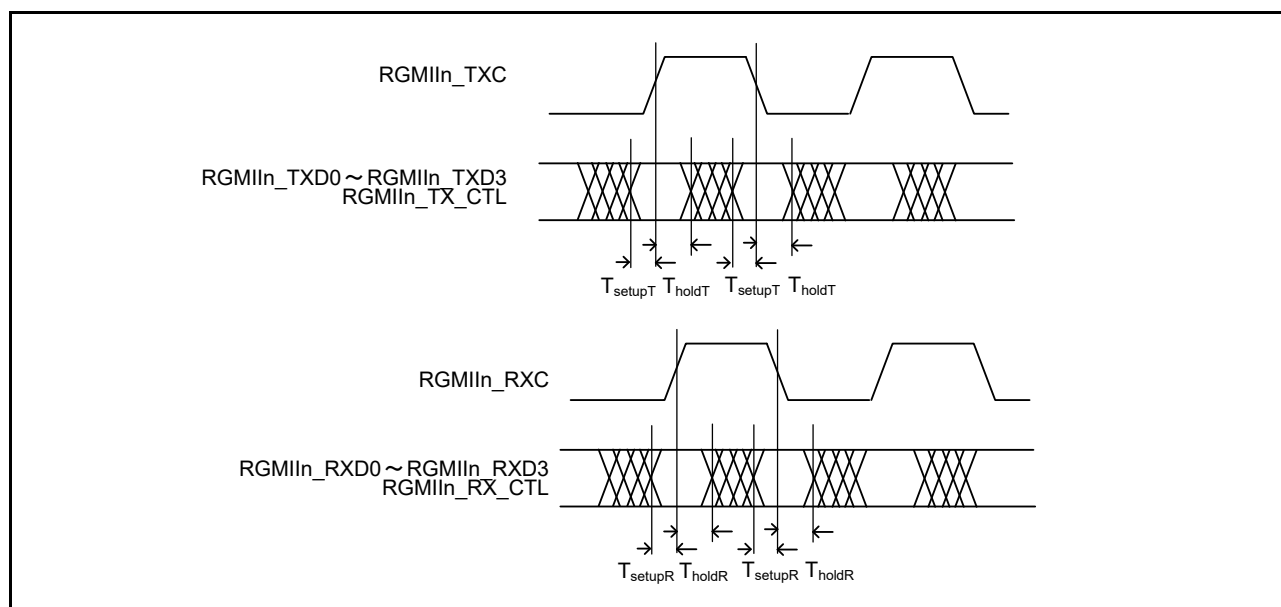


図 2.109 RGMII タイミング (RGMII-ID) (n = 0, 1)

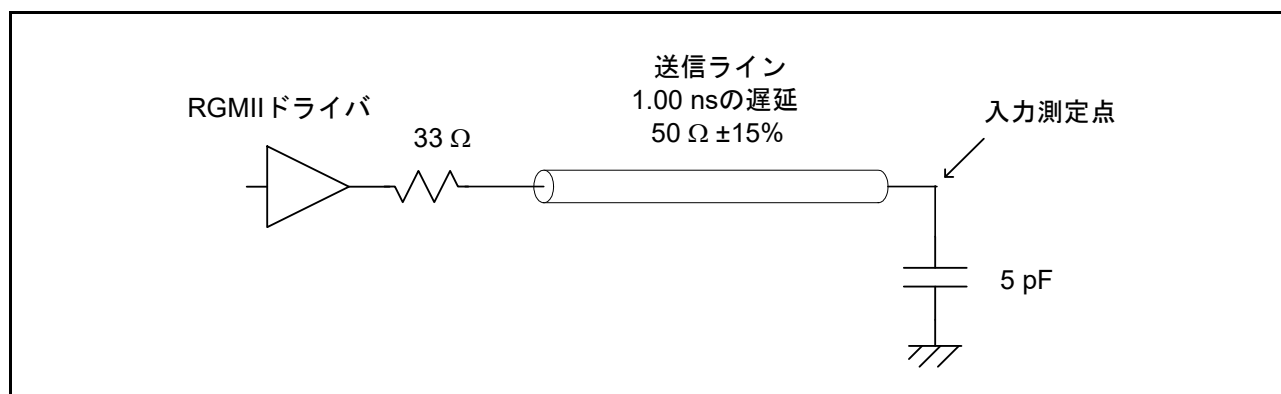


図 2.110 RGMII 出力タイミング計測条件

表2.104 ESWM タイミング (ETn_MDIO, ETn_MDC)

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時

項目		VCC	記号	min	max	単位	測定条件
ESWM (ETn_MDIO, ETn_MDC)	ETHn_MDC出力サイクル時間	2.7 V以上	t_{MDC}	80	—	ns	図 2.111
		2.3 V以上		160	—		
	ETHn_MDIOセットアップ時間	2.7 V以上	t_{SMDIO}	20	—	ns	
		2.3 V以上		40	—		
	ETHn_MDIOホールド時間	2.7 V以上	t_{HMDIO}	0	—	ns	
		2.3 V以上		0	—		
	ETHn_MDIO出力遅延時間	2.7 V以上	t_{DMDIO}	0	20	ns	
		2.3 V以上		0	40		

n = 0, 1

注． 端子名にグループ名を表わす -A や -B の記号が付加されています。使用時は、同一グループ内の端子を使用してください。

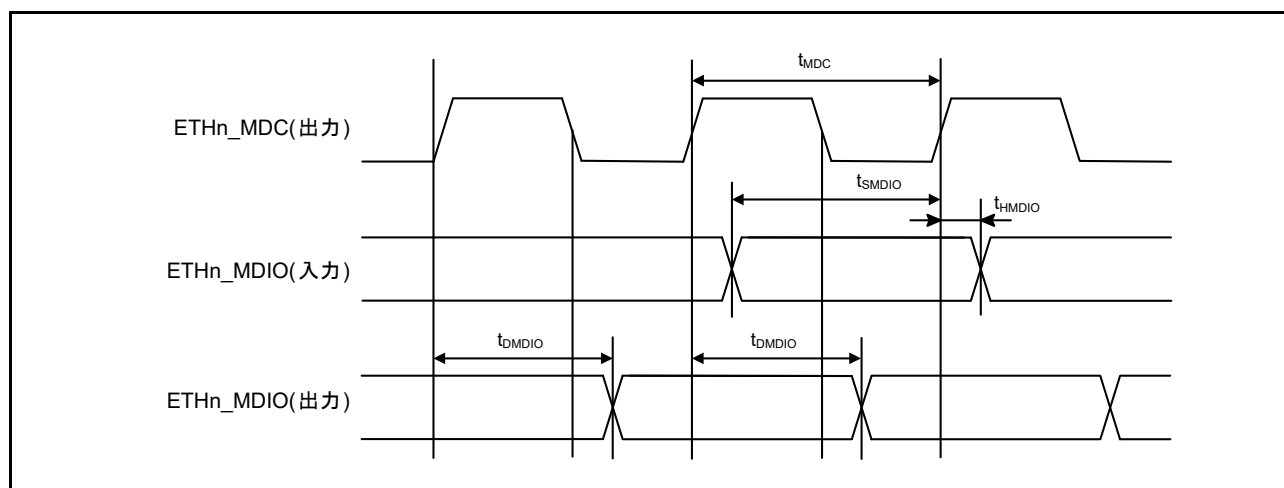


図 2.111 ETn_MDIO、ETn_MDC タイミング (n = 0, 1)

2.5.7.18 PDMIF

表 2.105 PDMIF タイミング

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時

項目	VCC/VCC2	記号	min	max	単位	測定条件
PDMIF	クロック周期	t_{Psync}	250	4000	ns	図 2.112
	1.62 V 以上		500	4000		
	クロック High パルス幅	t_{PDCKWH}	$t_{\text{Psync}} \times 0.45$	$t_{\text{Psync}} \times 0.55$	ns	
	クロック Low パルス幅	t_{PDCKWL}	$t_{\text{Psync}} \times 0.45$	$t_{\text{Psync}} \times 0.55$	ns	
	セットアップ時間	t_{SU}	15	—	ns	図 2.113、 図 2.114
	1.62 V 以上		30	—		
ホールド時間		t_{H}	0	—	ns	

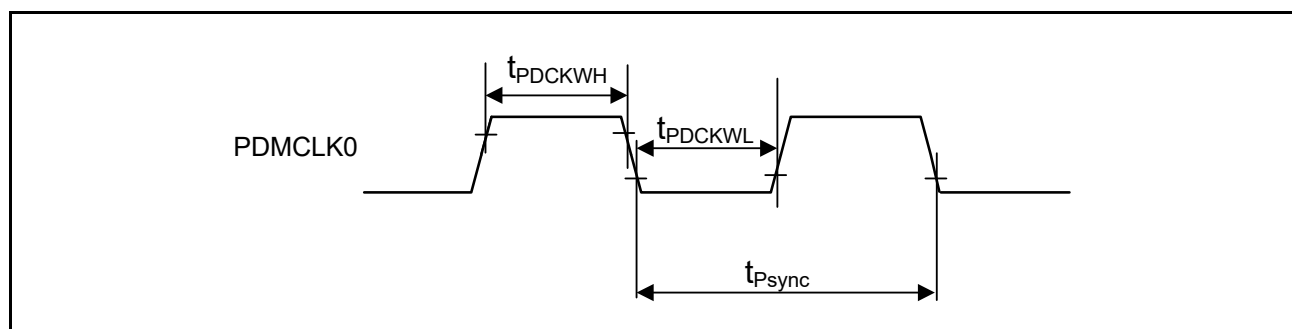


図 2.112 クロック出力タイミング (PDMCLK0)

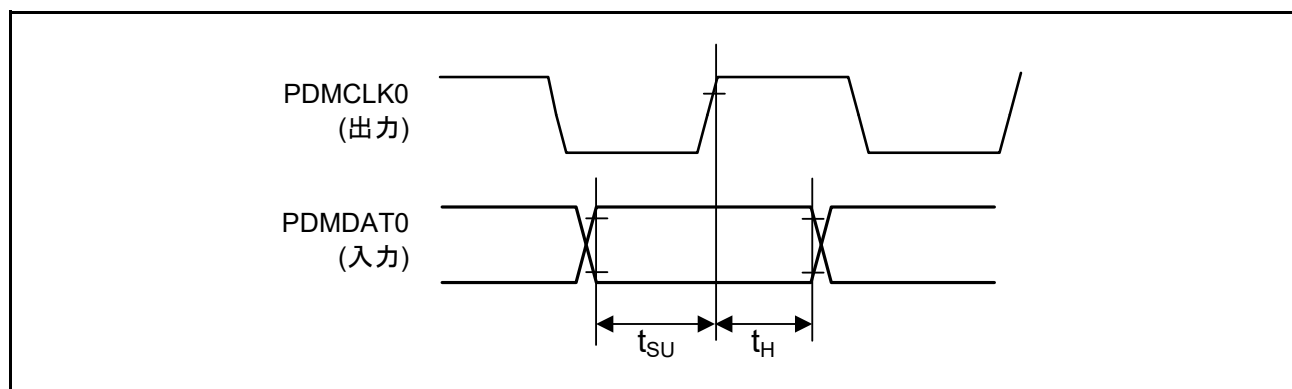


図 2.113 受信タイミング (PDMCLK0 の立ち上がりに同期)

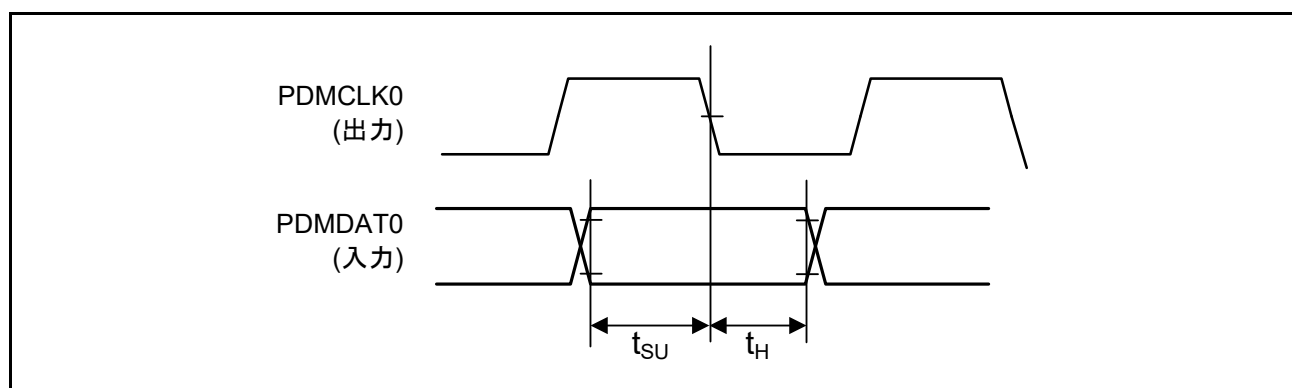


図 2.114 受信タイミング (PDMCLK0 の立ち下がりに同期)

2.5.7.19 Δ - Σ インタフェース表2.106 Δ - Σ インタフェースタイミング

条件：対象の端子に対応する駆動能力制御ビット(PmnPFS.DSCR[3:0])をDRV2に設定時

項目			VCC/VCC2	記号	min	max	単位	測定条件		
DSMIF	クロック周期	マスタ	2.70 V以上	t_{DScyc}	40	200	ns	図 2.115		
			1.62 V以上		80	200				
		スレーブ	2.70 V以上			40			200	
			1.62 V以上			80			200	
	クロック Highパルス幅	マスタ	2.70 V以上	t_{DSCKWH}	16	—	ns			
			1.62 V以上		32	—				
		スレーブ	2.70 V以上			16			—	
			1.62 V以上			32			—	
	クロック Lowパルス幅	マスタ	2.70 V以上	t_{DSCKWL}	16	—	ns			
			1.62 V以上		32	—				
		スレーブ	2.70 V以上			16			—	
			1.62 V以上			32			—	
	セットアップ時間	マスタ	2.70 V以上	t_{SU}	15	—	ns		図 2.116、 図 2.117	
			1.62 V以上		30	—				
		スレーブ	2.70 V以上			10				—
			1.62 V以上			10				—
	ホールド時間	マスタ	2.70 V以上	t_H	0	—	ns			
			1.62 V以上		0	—				
		スレーブ	2.70 V以上			10				—
			1.62 V以上			10				—

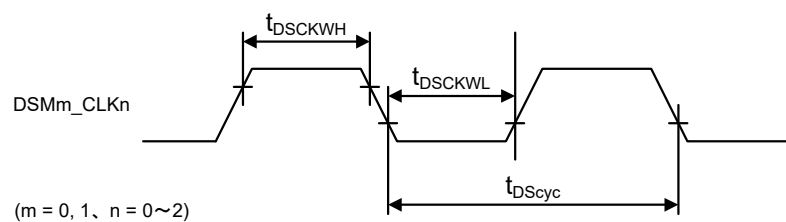


図 2.115 クロック入出力タイミング

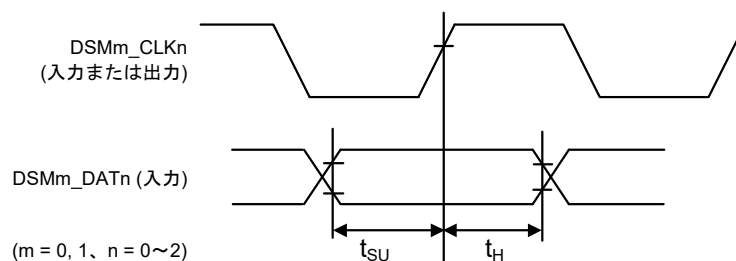


図 2.116 受信タイミング (DSMCLKn 立ち上がり同期)

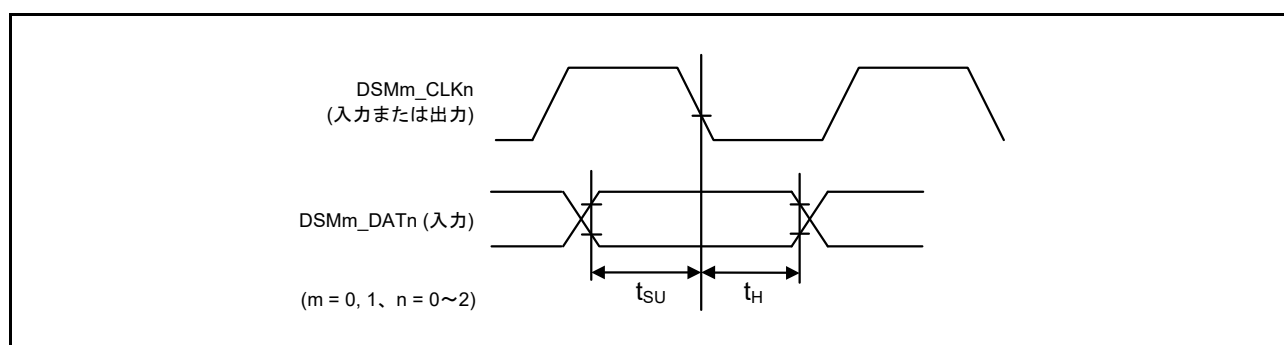


図 2.117 受信タイミング (DSMCLKn 立ち下がり同期)

2.5.7.20 PCIF

表 2.107 PCIF タイミング

条件：対象の端子に対応する駆動能力制御ビット (PmnPFS.DSCR[3:0]) を DRV2 に設定時

項目			記号	min (注1、注2)	max	単位	測定条件
インクリメンタルモード (入力)	モード0 AB相パルス	AB相トグル間隔	$t_{PCINMD0AB}$	$2.7 \leq VCC \leq 3.6 V$ $t_{CCLK_DIV} + t_{CCLK} + 5$ $VCC < 2.7 V$ $t_{CCLK_DIV} + t_{CCLK} + 6$	—	ns	図 2.118
		Z相パルス幅	$t_{PCINMD0Z}$		—		
	モード1 A相パルス (B相回転方向)	A相トグル間隔	$t_{PCINMD1AA}$		—	—	図 2.119
		回転方向変更時のAB相トグル間隔	$t_{PCINMD1CR}$		—		
		Z相パルス幅	$t_{PCINMD1Z}$		—		
	モード2 パルス切り替え	A相、もしくはB相トグル間隔	$t_{PCINMD2AA}$, $t_{PCINMD2BB}$	$2.7 \leq VCC \leq 3.6 V$ $2 \times t_{CCLK_DIV} + t_{CCLK} + 5$ $VCC < 2.7 V$ $2 \times t_{CCLK_DIV} + t_{CCLK} + 6$	—	—	図 2.120
		Z相パルス幅	$t_{PCINMD2Z}$		—		
		回転方向変更時のAB相トグル間隔	変更前のA相/B相が共に High となる期間 $t_{PCINMD2CRH}$		—		
			変更後にA相もしくはB相が Low となる期間 $t_{PCINMD2CRL}$		—		
位相係数モード (出力) インクリメンタルモード (出力)	モード0 AB相パルス	AB相トグル間隔	$t_{PCOUTMD0AB}$	$2.7 \leq VCC \leq 3.6 V$ $t_{CCLK_DIV} - 5.5$ $VCC < 2.7 V$ $t_{CCLK_DIV} - 12$	—	ns	図 2.121
		Z相パルス幅	$t_{PCOUTMD0Z}$		—		
	モード1 A相パルス (B相回転方向)	A相トグル間隔	$t_{PCOUTMD1AA}$		—	—	図 2.122
		回転方向変更時のAB相トグル間隔	$t_{PCOUTMD1CR}$		—		
		Z相パルス幅	$t_{PCOUTMD1Z}$		—		
	モード2 パルス切り替え	A相、もしくはB相トグル間隔	$t_{PCOUTMD2AA}$, $t_{PCOUTMD2BB}$		—	—	図 2.123
		Z相パルス幅	$t_{PCOUTMD2Z}$		—		
		回転方向変更時のAB相トグル間隔	変更前のA相/B相が共に High となる期間 $t_{PCOUTMD2CRH}$		—		
			変更後にA相もしくはB相が Low となる期間 $t_{PCOUTMD2CRL}$		—		

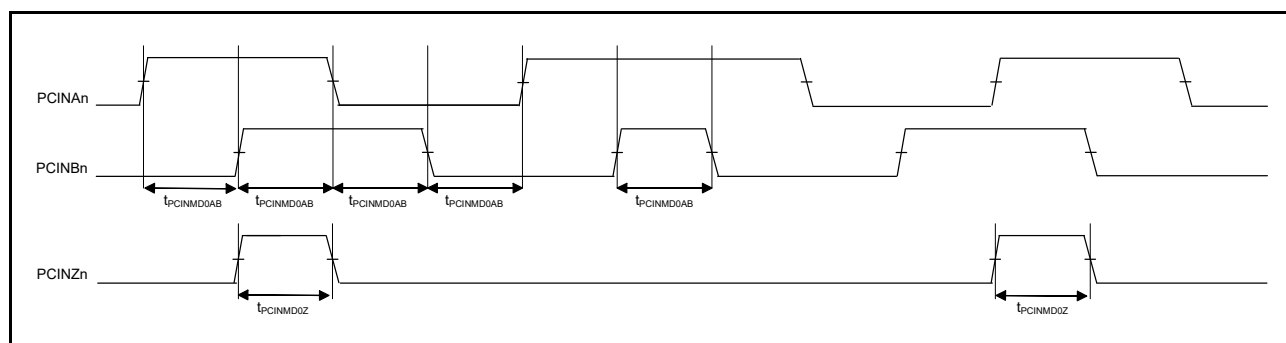
注1. t_{CCLK} : コアクロック (イベントトリガ入力を受け取るクロック) の周期注2. t_{CCLK_DIV} : 分周クロック (ABZ相出力が同期するクロック) の周期

図 2.118 インクリメンタルモード時のモード0におけるタイミング図 (n = 0, 1)

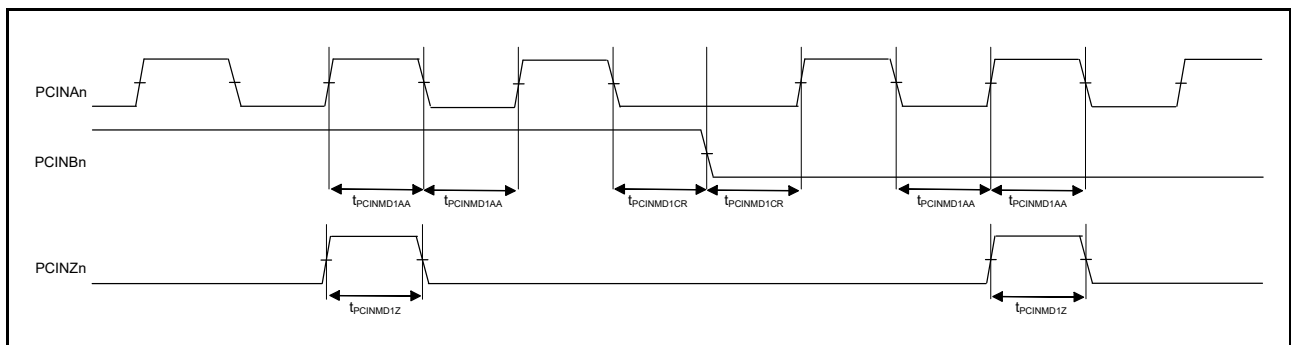


図 2.119 インクリメンタルモード時のモード 1 におけるタイミング図 (n = 0, 1)

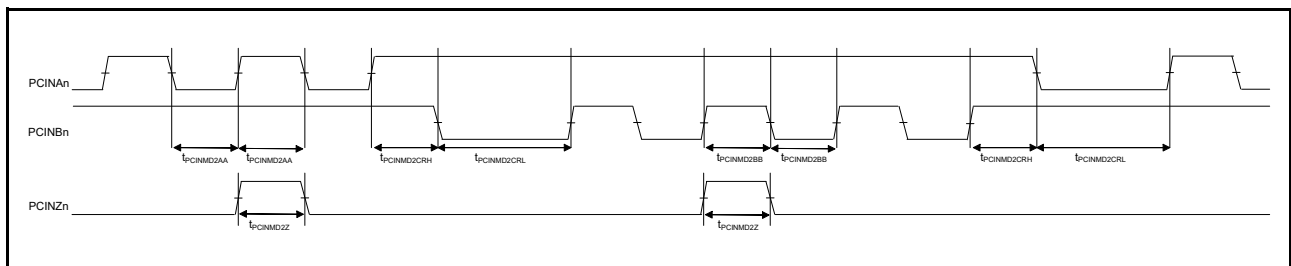


図 2.120 インクリメンタルモード時のモード 2 におけるタイミング図 (n = 0, 1)

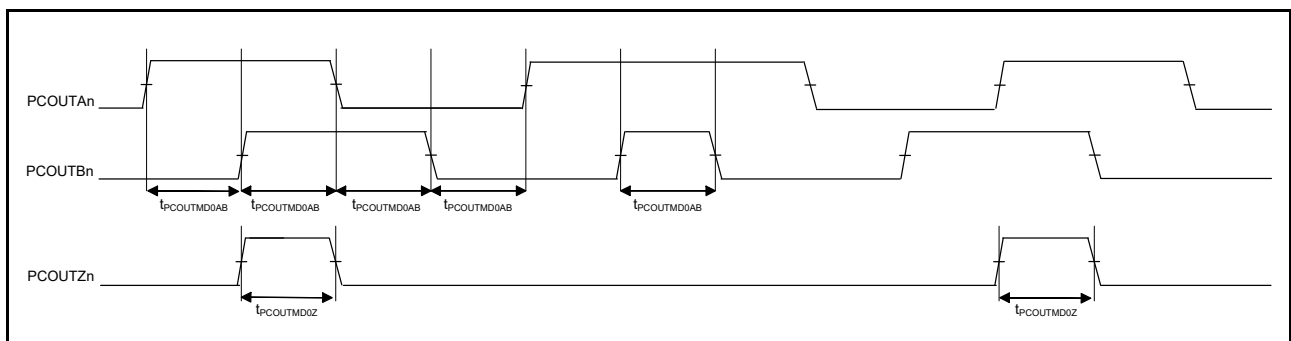


図 2.121 出力時のモード 0 におけるタイミング図 (n = 0, 1)

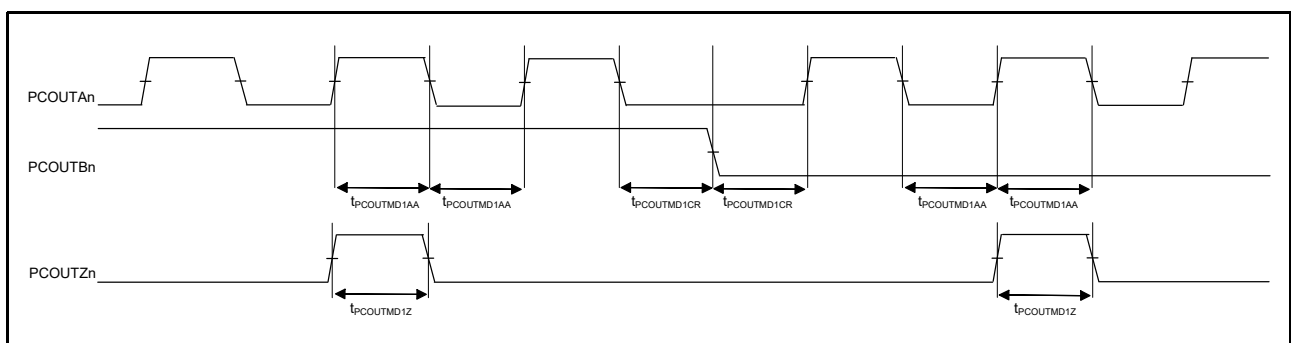


図 2.122 出力時のモード 1 におけるタイミング図 (n = 0, 1)

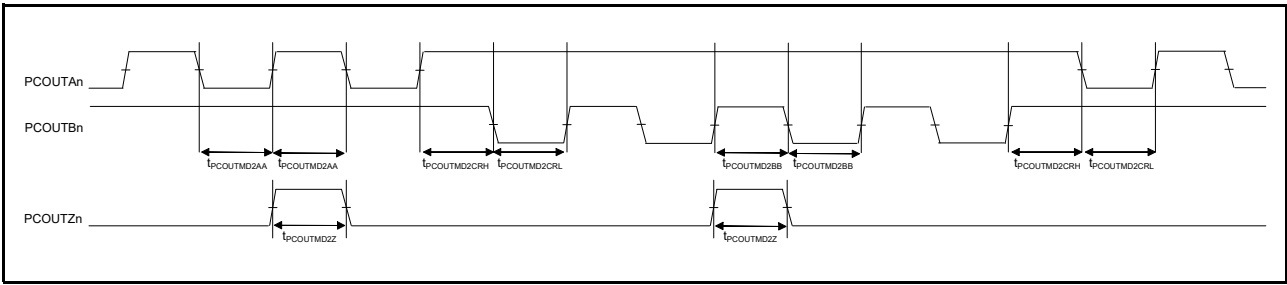


図 2.123 出力時のモード 2 におけるタイミング図 (n = 0, 1)

2.5.7.21 PIO

表 2.108 PIO タイミング

項目	記号	min	max	単位 (注 1)	測定条件
PIO_n 入力遅延	t_{PIOID}	—	6	t_{PBcyc}	図 2.124
PIO_n 出力遅延	t_{PIOOD}	—	3		図 2.125

n = 000 ~ 063
注 1. t_{PBcyc} : PCLKB の周期

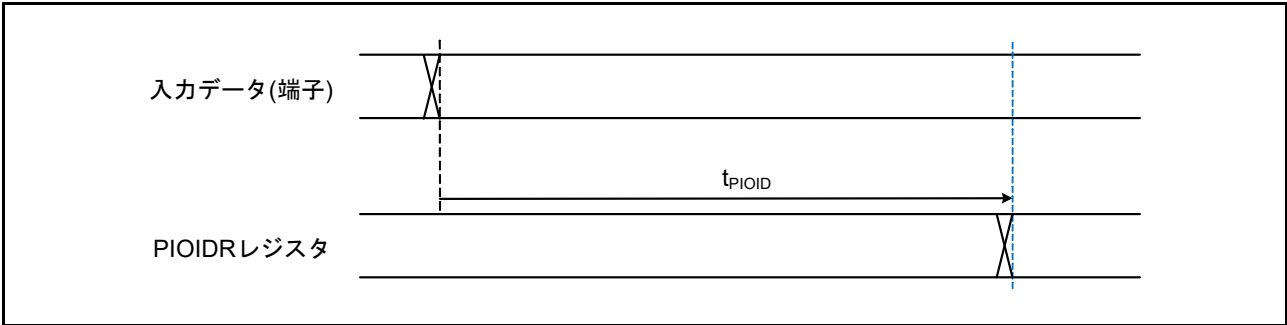


図 2.124 入力遅延

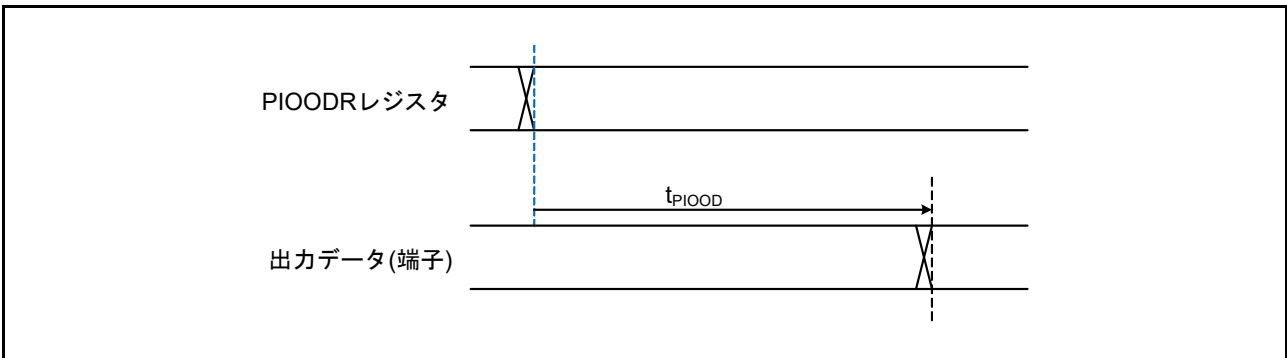


図 2.125 出力遅延

2.5.7.22 A/Dコンバータトリガ

表2.109 A/Dコンバータトリガタイミング

項目		VCC	記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	2.70 V以上	t_{TRGW}	1.5	—	t_{ADcyc}	図2.126
		2.70 V未満		3.0	—		

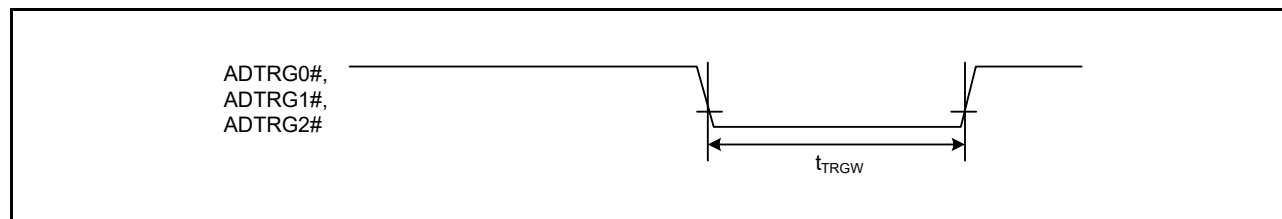
注1. t_{ADcyc} : ADCLKの周期

図 2.126 A/Dコンバータトリガ入力タイミング

2.5.7.23 CAC

表2.110 CACタイミング

項目 (注1、注2)			記号	min (注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	$t_{PBcyc} \leq t_{cac}$	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	—	ns	
		$t_{PBcyc} > t_{cac}$		$5 \times t_{cac} + 6.5 \times t_{PBcyc}$	—		

注1. t_{PBcyc} : PCLKBの周期注2. t_{cac} : CACカウントクロックソースの周期

2.6 USB 特性

2.6.1 USB タイミング

表 2.111 内蔵 USB ロースピード (Host のみ) 特性 (DP、DM 端子特性)

条件: $V_{CC_USB} = 3.0 \sim 3.6 \text{ V}$, $USBCLK = 48 \text{ MHz}$

項目	記号	min	typ	max	単位	測定条件
入力特性	High レベル入力電圧	V_{IH}	2.0	—	—	V USB_DP – USB_DM
	Low レベル入力電圧	V_{IL}	—	—	0.8	
	差動入力感度	V_{DI}	0.2	—	—	
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	
出力特性	High レベル出力電圧	V_{OH}	2.8	—	3.6	V ns %
	Low レベル出力電圧	V_{OL}	0.0	—	0.3	
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	
	立ち上がり時間	t_{LR}	75	—	300	
	立ち下がり時間	t_{LF}	75	—	300	
	立ち上がり/立ち下がり時間比	t_{LR}/t_{LF}	80	—	125	
ブルアップ/ ブルダウン特性	DP/DM ブルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	k Ω

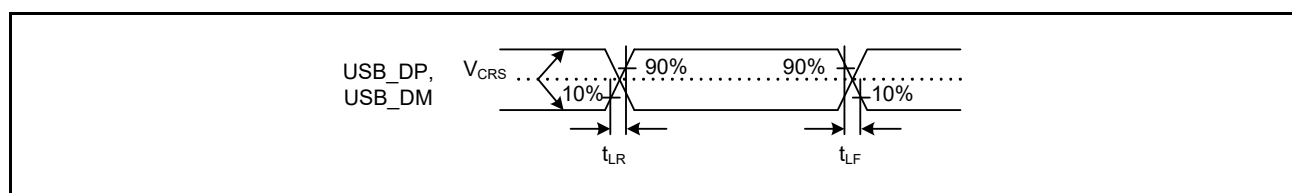


図 2.127 USB_DP、USB_DM 出力タイミング (ロースピード時)

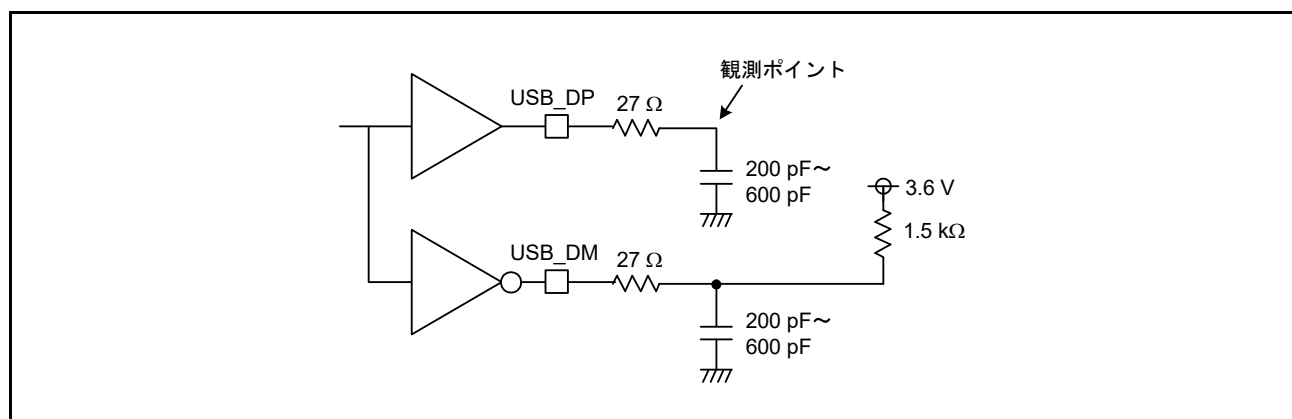


図 2.128 測定回路 (ロースピード時)

表 2.112 内蔵 USB フルスピード特性 (DP、DM 端子特性)

条件: $V_{CC_USB} = 3.0 \sim 3.6 \text{ V}$, $USBCLK = 48 \text{ MHz}$

項目		記号	min	typ	max	単位	測定条件
入力特性	High レベル入力電圧	V_{IH}	2.0	—	—	V	
	Low レベル入力電圧	V_{IL}	—	—	0.8		
	差動入力感度	V_{DI}	0.2	—	—		$ USB_DP - USB_DM $
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5		
出力特性	High レベル出力電圧	V_{OH}	2.8	—	3.6	V	$I_{OH} = -200 \mu\text{A}$
	Low レベル出力電圧	V_{OL}	0.0	—	0.3		$I_{OL} = 2 \text{ mA}$
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0		図 2.129
	立ち上がり時間	t_{FR}	4	—	20	ns	
	立ち下がり時間	t_{FF}	4	—	20		
	立ち上がり/立ち下がり時間比	t_{FR} / t_{FF}	90	—	111.11		%
	出力抵抗	Z_{DRV}	28	—	44	Ω	$R_s = 27 \Omega$ 含む
プルアップ、プルダウン特性	DP プルアップ抵抗 (ファンクション選択時)	R_{pu}	0.900	—	1.575	k Ω	アイドル時
			1.425	—	3.090		送受信時
	DP/DM プルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80		

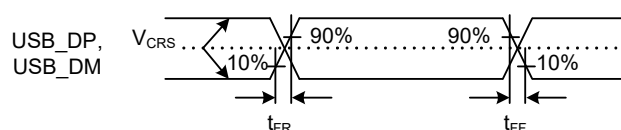


図 2.129 USB_DP、USB_DM 出力タイミング (フルスピード時)

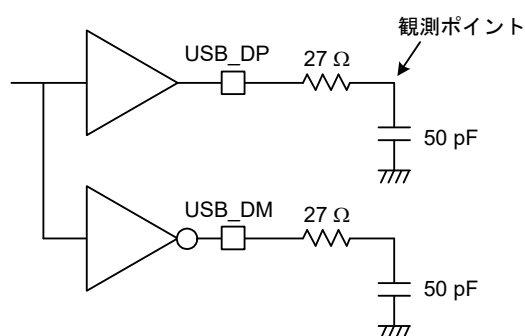


図 2.130 測定回路 (フルスピード時)

2.6.2 USBHS タイミング

表 2.113 内蔵 USB ロースピード (Host のみ) 特性 (DP、DM 端子特性)

条件 : USBHS_RREF = 2.2 k Ω $\pm$ 1%, VCC_USBHS = AVCC_USBHS = 3.0 ~ 3.6 V, USBMCLK = 12/20/24/48 MHz,
USBCLK = 48 MHz, USB60CLK = 60 MHz

項目	記号	min	typ	max	単位	測定条件
入力特性	High レベル入力電圧	V_{IH}	2.0	—	—	V
	Low レベル入力電圧	V_{IL}	—	—	0.8	
	差動入力感度	V_{DI}	0.2	—	—	
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	
出力特性	High レベル出力電圧	V_{OH}	2.8	—	3.6	V
	Low レベル出力電圧	V_{OL}	0.0	—	0.3	
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	ns
	立ち上がり時間	t_{LR}	75	—	300	
	立ち下がり時間	t_{LF}	75	—	300	
	立ち上がり/立ち下がり時間比	t_{LR}/t_{LF}	80	—	125	
プルアップ/ プルダウン特性	DP/DM プルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	k Ω

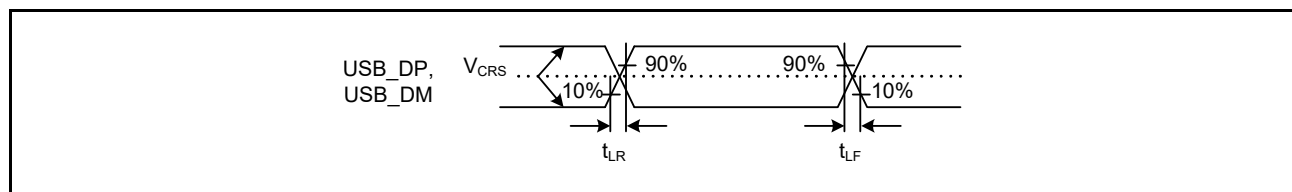


図 2.131 USB_DP、USB_DM 出カタイミング (ロースピード時)

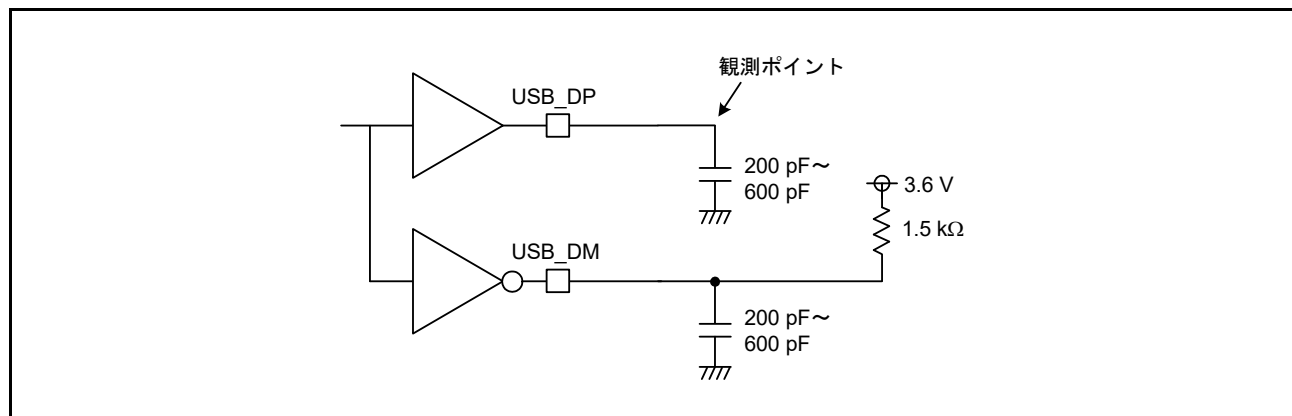


図 2.132 測定回路 (ロースピード時)

表 2.114 内蔵 USB フルスピード特性 (DP、DM 端子特性)

条件 : USBHS_RREF = 2.2 kΩ ±1%, VCC_USBHS = AVCC_USBHS = 3.0 ~ 3.6 V, USBMCLK = 12/20/24/48 MHz,
USBCLK = 48 MHz, USB60CLK = 60 MHz

項目		記号	min	typ	max	単位	測定条件
入力特性	Highレベル入力電圧	V _{IH}	2.0	—	—	V	
	Lowレベル入力電圧	V _{IL}	—	—	0.8	V	
	差動入力感度	V _{DI}	0.2	—	—	V	USB_DP – USB_DM
	差動コモンモードレンジ	V _{CM}	0.8	—	2.5	V	
出力特性	Highレベル出力電圧	V _{OH}	2.8	—	3.6	V	I _{OH} = –200 μA
	Lowレベル出力電圧	V _{OL}	0.0	—	0.3	V	I _{OL} = 2 mA
	クロスオーバー電圧	V _{CRS}	1.3	—	2.0	V	図 2.133
	立ち上がり時間	t _{FR}	4	—	20	ns	
	立ち下がり時間	t _{FF}	4	—	20	ns	
	立ち上がり/立ち下がり時間比	t _{FR} / t _{FF}	90	—	111.11	%	t _{FR} / t _{FF}
	出力抵抗	Z _{DRV}	28	—	44	Ω	Rs = 27 Ω 含む
			40.5	—	49.5		Rs 不要 (PHYSET.REPSEL[1:0] = 01b かつ PHYSET.HSEB = 0)
プルアップ、 プルダウン 特性	DP プルアップ抵抗 (ファンクション選択時)	R _{pu}	0.900	—	1.575	kΩ	アイドル時
			1.425	—	3.090		送受信時
	DP/DM プルダウン抵抗 (ホスト選択時)	R _{pd}	14.25	—	24.80	kΩ	

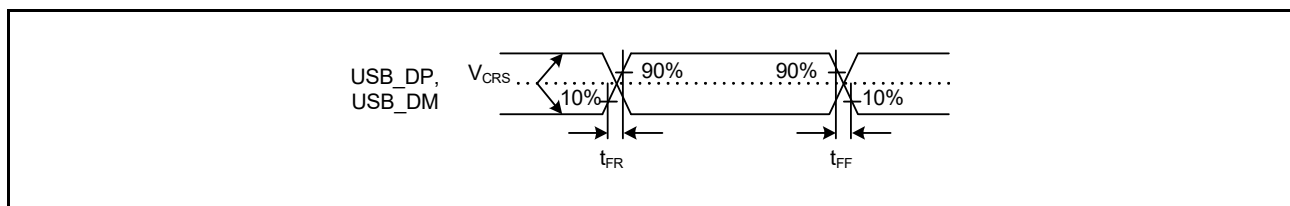


図 2.133 USB_DP、USB_DM 出力タイミング (フルスピード時)

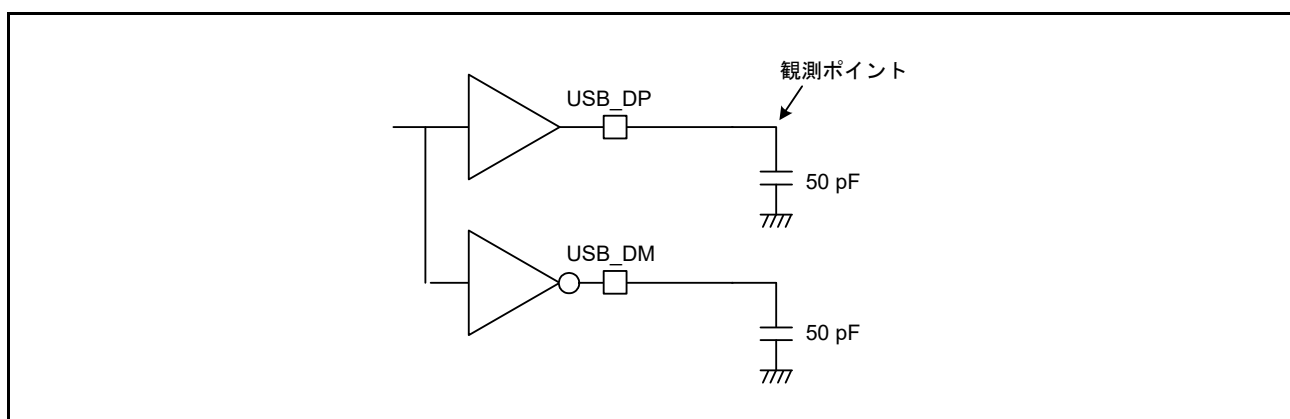


図 2.134 測定回路 (フルスピード時)

表 2.115 内蔵USBハイスピード特性(DP、DM端子特性)

条件 : USBHS_RREF = 2.2 k Ω $\pm$ 1%, VCC_USBHS = AVCC_USBHS = 3.0 ~ 3.6 V, USBMCLK = 12/20/24/48 MHz

項目		記号	min	typ	max	単位	測定条件
入力特性	スケルチ検出スレッショルド電圧(差動電圧)	V _{HSSQ}	100	—	150	mV	図 2.135
	ディスコネクト検出感度	V _{HSDSC}	525	—	625		図 2.136
	コモンモード電圧範囲	V _{HSCM}	−50	—	500		
出力特性	アイドル状態	V _{HSOI}	−10	—	10	mV	
	High レベル出力電圧	V _{HSOH}	360	—	440		
	Low レベル出力電圧	V _{HSOL}	−10	—	10		
	Chirp J 出力電圧(差分)	V _{CHIRPJ}	700	—	1100		
	Chirp K 出力電圧(差分)	V _{CHIRPK}	−900	—	−500		
AC 特性	立ち上がり時間	t _{HSR}	500	—	—	ps	図 2.137
	立ち下がり時間	t _{HSF}	500	—	—		
		出力抵抗	Z _{HSDRV}	40.5	—	49.5	Ω

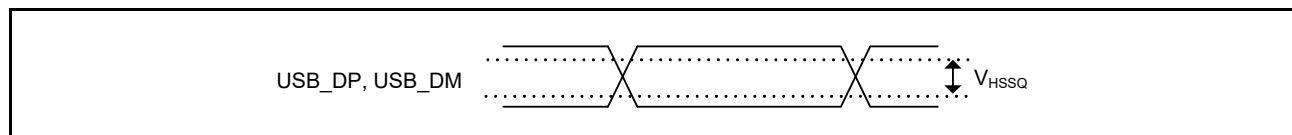


図 2.135 USB_DP、USB_DM スケルチ検出感度 (ハイスピード時)

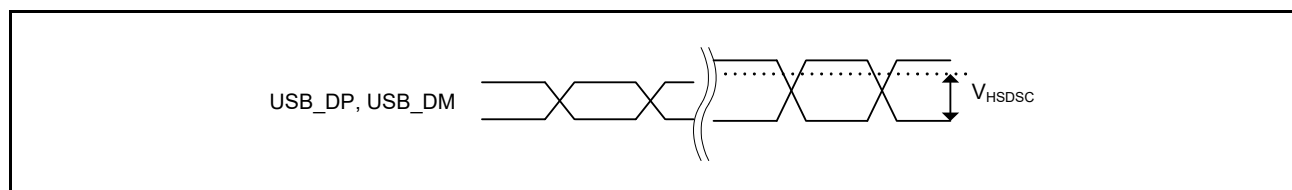


図 2.136 USB_DP、USB_DM ディスコネクト検出感度 (ハイスピード時)

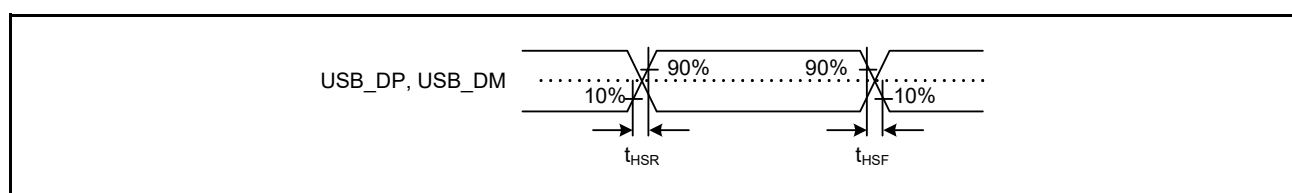


図 2.137 USB_DP、USB_DM 出力タイミング (ハイスピード時)

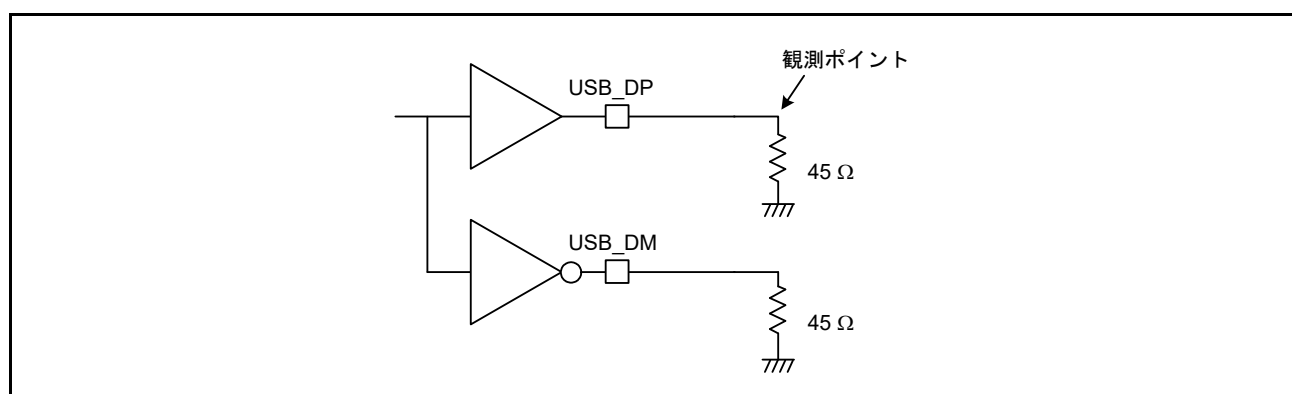


図 2.138 測定回路 (ハイスピード時)

2.7 A/D 変換特性

2.7.1 アナログ入力電圧範囲

表 2.116 アナログ入力電圧範囲(BGA320)

項目			min	typ	max	単位	測定条件
シングルエンド入力電圧	ユニット 0	AN000 ~ AN007	VREFL00	—	VREFH00	V	—
		AN008 ~ AN015	VREFL01	—	VREFH01		—
	ユニット 1	AN016 ~ AN023	VREFL01	—	VREFH01		$VCC \geq VREFH01$
			VREFL01	—	VCC		$VCC \leq VREFH01$
		AN024 ~ AN035	VREFL01	—	VREFH01		$VCC2 \geq VREFH01$
			VREFL01	—	VCC2		$VCC2 \leq VREFH01$
	ユニット 2	AN008 ~ AN015	VREFL02	—	VREFH02		—
			VREFL02	—	VREFH02		$VCC \geq VREFH02$
		AN016 ~ AN023	VREFL02	—	VCC		$VCC \leq VREFH02$
			VREFL02	—	VCC		$VCC2 \geq VREFH02$
		AN024 ~ AN035	VREFL02	—	VREFH02		$VCC2 \geq VREFH02$
			VREFL02	—	VCC2		$VCC2 \leq VREFH02$
差動入力電圧 (注1)	ユニット 0	AN000P ~ AN006P AN000N ~ AN006N	-VREFL00	—	+VREFH00	V	—
	ユニット 1	AN008P ~ AN014P AN008N ~ AN014N	-VREFL01	—	+VREFH01		—
	ユニット 2	AN008P ~ AN014P AN008N ~ AN014N	-VREFL02	—	+VREFH02		—

注 1. 差動入力電圧は $(A_{INP} - A_{INN})$ です。

- A_{INP} は A_{Nx} の入力電圧であり、 $VREFL0m \leq A_{INP} \leq VREFH0m$ です ($m = 0, 1, 2$)。
- A_{INN} は A_{Ny} の入力電圧であり、 $VREFL0m \leq A_{INN} \leq VREFH0m$ です ($m = 0, 1, 2$)。
($x = 2i, y = 2i + 1, i = 0, 1, 2 \dots$ (任意の整数))

表 2.117 アナログ入力電圧範囲(BGA320 以外)

項目			min	typ	max	単位	測定条件
シングルエンド入力電圧	ユニット 0	AN000 ~ AN007	VREFL0	—	VREFH0	V	—
		AN014, AN015	VREFL0	—	VREFH0		—
	ユニット 1	AN016 ~ AN023	VREFL0	—	VREFH0		$VCC \geq VREFH0$
			VREFL0	—	VCC		$VCC \leq VREFH0$
		AN024 ~ AN035	VREFL0	—	VREFH0		$VCC2 \geq VREFH0$
			VREFL0	—	VCC2		$VCC2 \leq VREFH0$
	ユニット 2	AN014, AN015	VREFL0	—	VREFH0		—
			VREFL0	—	VREFH0		$VCC \geq VREFH0$
		AN016 ~ AN023	VREFL0	—	VCC		$VCC \leq VREFH0$
			VREFL0	—	VCC		$VCC2 \geq VREFH0$
		AN024 ~ AN035	VREFL0	—	VREFH0		$VCC2 \geq VREFH0$
			VREFL0	—	VCC2		$VCC2 \leq VREFH0$
差動入力電圧 (注1)	ユニット 0	AN000P ~ AN006P AN000N ~ AN006N	-VREFL0	—	+VREFH0	V	—
	ユニット 1	AN008P ~ AN014P AN008N ~ AN014N	-VREFL0	—	+VREFH0		—
	ユニット 2	AN008P ~ AN014P AN008N ~ AN014N	-VREFL0	—	+VREFH0		—

注 1. 差動入力電圧は $(A_{INP} - A_{INN})$ です。

- A_{INP} は A_{Nx} の入力電圧であり、 $VREFL0 \leq A_{INP} \leq VREFH0$ です。
- A_{INN} は A_{Ny} の入力電圧であり、 $VREFL0 \leq A_{INN} \leq VREFH0$ です。
($x = 2i, y = 2i + 1, i = 0, 1, 2 \dots$ (任意の整数))

2.7.2 16 ビット A/D コンバータ 共通特性

表 2.118 A/D 変換特性 (共通)

条件: AVCC0 = VCC = VCC2 = 2.70 V ~ 3.63 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 2.70 V ~ AVCC0

項目			min (注1)	typ	max	単位	測定条件 (注2)
A/D 変換クロック周波数 (ADCLK)			25	50	60	MHz	
逐次比較時間			100	—	200	ns	
A/D サンプルング時間 (通常モード)	自己校正 (注3)		$1 \times t_{ADcyc} + 40$	—	—	ns	$t_{Cmp} = 100 \text{ ns}$
	自己診断 (注3)		$1 \times t_{ADcyc} + 40$	—	—		
	A/D 変換	AN000 ~ AN015 (注3) (S&H 回路不使用時)	$1 \times t_{ADcyc} + 40$	—	—		
			40 (注5)	—	—		
		AN000 ~ AN005 (注4) (S&H 回路使用時)	$1 \times t_{ADcyc} + 160$	—	—		
	AN016 ~ AN035 (注3)	400	—	—			
A/D サンプルング時間 (高精度モード)	自己校正 (注4)		$1 \times t_{ADcyc} + 140$ (注6)	—	—	ns	$t_{Cmp} = 100 \text{ ns}$
	自己診断 (注4)		$1 \times t_{ADcyc} + 140$ (注6)	—	—		
	A/D 変換 (注4)	AN000 ~ AN015 (S&H 回路不使用時)	$1 \times t_{ADcyc} + 140$ (注6)	—	—		
		AN000 ~ AN005 (S&H 回路使用時)	$1 \times t_{ADcyc} + 320$	—	—		
		AN016 ~ AN035	840	—	—		
チャネル専用サンプル & ホールド回路	サンプリング 時間	自己校正	400	—	—	ns	$t_{Cmp} = 100 \text{ ns}$
		A/D 変換	400	—	—		
	ホールドモード切り替え時間		40	—	—	μs	
	ホールド時間		—	—	5		
動作安定時間	A/D 起動時間		2	—	—	μs	$t_{Cmp} = 100 \text{ ns}$
	チャネル専用サンプル & ホールド回路起動 時間		2	—	—		
	A/D 遮断時間		1	—	—		

S&H: チャネル専用サンプル & ホールド回路

注1. t_{ADcyc} : ADCLK サイクル注2. t_{Cmp} : 逐次比較時間

注3. SAR モード、オーバーサンプリングモードに対応

注4. SAR モード、ハイブリッドモードに対応

注5. 1 チャネル連続スキャンモード時

注6. t_{Cmp} が 100 ns よりも大きい場合、A/D サンプルング時間は以下の式よりも長くする必要があります。

$$1 \times t_{ADcyc} + 1.6 \times t_{Cmp}$$

表 2.119 A/D変換特性(共通)

条件 : AVCC0 = VCC = VCC2 = 1.62 V ~ 2.70 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 1.62 V ~ AVCC0

項目				min (注1)	typ	max	単位	測定条件 (注2)
A/D変換クロック周波数(ADCLK)				25	50	60	MHz	
逐次比較時間				200	—	200	ns	
A/D サンプルング時間 (通常モード)	自己校正 (注3)			$1 \times t_{ADcyc} + 420$	—	—	ns	$t_{Cmp} = 200 \text{ ns}$
	自己診断 (注3)			$1 \times t_{ADcyc} + 420$	—	—		
	A/D変換	AN000 ~ AN015		$1 \times t_{ADcyc} + 420$	—	—		
				440 (注5)	—	—		
		AN016 ~ AN035		800	—	—		
A/D サンプルング時間 (高精度モード)	自己校正 (注4)			$1 \times t_{ADcyc} + 780$	—	—	ns	$t_{Cmp} = 200 \text{ ns}$
	自己診断 (注4)			$1 \times t_{ADcyc} + 780$	—	—		
	A/D変換 (注4)	AN000 ~ AN015		$1 \times t_{ADcyc} + 780$	—	—		
				1680	—	—		
		AN016 ~ AN035		1680	—	—		
動作安定時間	A/D起動時間			2	—	—	μs	$t_{Cmp} = 200 \text{ ns}$
	A/D遮断時間			1	—	—		

注1. t_{ADcyc} : ADCLKサイクル注2. t_{Cmp} : 逐次比較時間

注3. SARモード、オーバーサンプリングモードに対応

注4. SARモード、ハイブリッドモードに対応

注5. 1チャンネル連続スキャンモード時

表 2.120 A/D内部基準電圧特性

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	0.77	0.80	0.84	V	
サンプルング時間	4.15	—	—	μs	

表 2.121 D/A出力のA/D変換特性

項目	min	typ	max	単位	測定条件
サンプルング時間	2	—	—	μs	

2.7.3 SAR モード特性

表 2.122 A/D変換特性(SARモード) (1) (1/2)

条件: AVCC0 = VCC = VCC2 = 2.70 V ~ 3.63 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 2.70 V ~ AVCC0

ADCLK: 50 MHz、逐次比較時間: 5 ADCLK、信号源インピーダンス: 50 Ω以下、チャネル専用サンプル&ホールド

回路のホールドモード切り替え時間: 2 ADCLK

項目			min	typ	max	単位	測定条件
分解能			—	—	12	ビット	—
シングルエンド入力 (通常モード)	AN000 ~ AN015 (S&H回路不使用時)	変換時間	0.16	—	—	μs	● サンプルング時間: 3 ADCLK
		オフセット誤差	—	±3.0	±6.5	LSB	—
		フルスケール誤差	—	±3.0	±6.5		
		絶対精度	—	±4.0	±11		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.0	±4.0		
	AN000 ~ AN005 (S&H回路使用時)	変換時間	1.00	—	—	μs	● サンプルング時間: 8 ADCLK ● S&H回路のサンプルング 時間: 35 ADCLK
		オフセット誤差	—	±1.5	±6.75	LSB	—
		フルスケール誤差	—	±1.5	±6.75		
		絶対精度	—	±5.0	±10.5		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.5	±4.5		
	AN016 ~ AN035	変換時間	0.50	—	—	μs	● サンプルング時間: 20 ADCLK
		オフセット誤差	—	±1.5	±6.5	LSB	—
		フルスケール誤差	—	±1.5	±6.5		
		絶対精度	—	±5.5	±11		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.0	±4.0		
シングルエンド入力 (高精度モード)	AN000 ~ AN015 (S&H回路不使用時)	変換時間	0.26	—	—	μs	● サンプルング時間: 8 ADCLK
		オフセット誤差	—	±1.5	±4.5	LSB	—
		フルスケール誤差	—	±1.5	±4.5		
		絶対精度	—	±4.0	±7.0		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.0	±4.0		
	AN000 ~ AN005 (S&H回路使用時)	変換時間	1.72	—	—	μs	● サンプルング時間: 16 ADCLK ● S&H回路のサンプルング 時間: 63 ADCLK
		オフセット誤差	—	±1.5	±6.75	LSB	—
		フルスケール誤差	—	±1.5	±6.75		
		絶対精度	—	±4.5	±9.0		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.5	±4.5		

表 2.122 A/D変換特性(SARモード) (1) (2 / 2)

条件: AVCC0 = VCC = VCC2 = 2.70 V ~ 3.63 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 2.70 V ~ AVCC0

ADCLK: 50 MHz、逐次比較時間: 5 ADCLK、信号源インピーダンス: 50 Ω以下、チャンネル専用サンプル&ホールド

回路のホールドモード切り替え時間: 2 ADCLK

項目			min	typ	max	単位	測定条件
シングルエンド入力 (高精度モード)	AN016 ~ AN035	変換時間	0.94	—	—	μs	● サンプルング時間: 42 ADCLK
		オフセット誤差	—	±1.5	±4.5	LSB	—
		フルスケール誤差	—	±1.5	±4.5		
		絶対精度	—	±5.5	±8.0		
		DNL 微分非直線性誤差	—	±1.0	-1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.0	±4.0		
差動入力 (通常モード)	AN000P ~ AN014P, AN000N ~ AN014N (S&H回路不使用時)	変換時間	0.16	—	—	μs	● サンプルング時間: 3 ADCLK
		オフセット誤差	—	±2.0	±3.5	LSB	—
		フルスケール誤差	—	±2.0	±3.5		
		絶対精度	—	±3.0	±6.0		
		DNL 微分非直線性誤差	—	±0.75	±1.0		
		INL 積分非直線性誤差	—	±1.5	±3.5		
	AN000P ~ AN004P, AN000N ~ AN004N (S&H回路使用時)	変換時間	1.00	—	—	μs	● サンプルング時間: 8 ADCLK ● S&H回路のサンプルング 時間: 35 ADCLK
		オフセット誤差	—	±1.5	±6.75	LSB	—
		フルスケール誤差	—	±1.5	±6.75		
		絶対精度	—	±3.5	±10.5		
		DNL 微分非直線性誤差	—	±1.0	-1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.5	±4.5		
差動入力 (高精度モード)	AN000P ~ AN014P, AN000N ~ AN014N (S&H回路不使用時)	変換時間	0.26	—	—	μs	● サンプルング時間: 8 ADCLK
		オフセット誤差	—	±1.0	±2.5	LSB	—
		フルスケール誤差	—	±1.0	±2.5		
		絶対精度	—	±2.0	±4.0		
		DNL 微分非直線性誤差	—	±0.75	±1.0		
		INL 積分非直線性誤差	—	±1.5	±3.5		
	AN000P ~ AN004P, AN000N ~ AN004N (S&H回路使用時)	変換時間	1.72	—	—	μs	● サンプルング時間: 16 ADCLK ● S&H回路のサンプルング 時間: 63 ADCLK
		オフセット誤差	—	±1.5	±6.75	LSB	—
		フルスケール誤差	—	±1.5	±6.75		
		絶対精度	—	±3.5	±9.0		
		DNL 微分非直線性誤差	—	±1.0	-1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.5	±4.5		

S&H: チャンネル専用サンプル & ホールド回路

注: DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

表 2.123 A/D変換特性(SARモード) (2)

条件: AVCC0 = VCC = VCC2 = 1.62 V ~ 2.70 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 1.62 V ~ AVCC0

ADCLK: 50 MHz、逐次比較時間: 10 ADCLK、信号源インピーダンス: 50 Ω以下

項目			min	typ	max	単位	測定条件
分解能			—	—	12	ビット	—
シングルエンド入力 (通常モード)	AN000 ~ AN015	変換時間	0.64	—	—	μs	● サンプルング時間: 22 ADCLK
		オフセット誤差	—	±3.0	±6.5	LSB	—
		フルスケール誤差	—	±3.0	±6.5		
		絶対精度	—	±5.5	±11		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.0	±4.5		
	AN016 ~ AN035	変換時間	1.00	—	—	μs	● サンプルング時間: 40 ADCLK
		オフセット誤差	—	±1.5	±6.5	LSB	—
		フルスケール誤差	—	±1.5	±6.5		
		絶対精度	—	±5.5	±11		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.0	±4.5		
シングルエンド入力 (高精度モード)	AN000 ~ AN015	変換時間	1.00	—	—	μs	● サンプルング時間: 40 ADCLK
		オフセット誤差	—	±1.5	±4.5	LSB	—
		フルスケール誤差	—	±1.5	±4.5		
		絶対精度	—	±5.0	±8.0		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.0	±4.5		
	AN016 ~ AN035	変換時間	1.88	—	—	μs	● サンプルング時間: 84 ADCLK
		オフセット誤差	—	±1.5	±4.5	LSB	—
		フルスケール誤差	—	±1.5	±4.5		
		絶対精度	—	±5.5	±8.0		
		DNL 微分非直線性誤差	—	±1.0	−1.0 ~ +1.5		
		INL 積分非直線性誤差	—	±2.0	±4.5		
差動入力 (通常モード)	AN000P ~ AN014P, AN000N ~ AN014N	変換時間	0.64	—	—	μs	● サンプルング時間: 22 ADCLK
		オフセット誤差	—	±2.0	±3.5	LSB	—
		フルスケール誤差	—	±2.0	±3.5		
		絶対精度	—	±4.5	±6.0		
		DNL 微分非直線性誤差	—	±0.75	±1.0		
		INL 積分非直線性誤差	—	±1.5	±4.0		
差動入力 (高精度モード)	AN000P ~ AN014P, AN000N ~ AN014N)	変換時間	1.00	—	—	μs	● サンプルング時間: 40 ADCLK
		オフセット誤差	—	±1.0	±2.5	LSB	—
		フルスケール誤差	—	±1.0	±2.5		
		絶対精度	—	±3.5	±4.5		
		DNL 微分非直線性誤差	—	±0.75	±1.0		
		INL 積分非直線性誤差	—	±1.5	±4.0		

注. DNLはヒストグラム法を使用して計測されるため、下限値は−1になります。

2.7.4 オーバーサンプリングモードとハイブリッドモードの共通特性

表2.124 A/D変換特性(オーバーサンプリングモードとハイブリッドモードの共通特性)(1)

条件：ADCLK：50 MHz、逐次比較時間：5 ADCLK、断線検出アシスト機能不使用時、信号源インピーダンス：50 Ω以下

項目			min	typ	max	単位 (注1)	測定条件
分解能			—	—	16	ビット	
オーバーサンプリング周期	オーバーサンプリングモード		0.16	—	—	μs	• サンプル時間： 3 ADCLK
	ハイブリッドモード(注2)		0.18	—	—		• サンプル時間： 8 ADCLK
デジタルフィルタ特性 (注3)	Sincフィルタ	初期遅延	—	22	—	/Fos	
		グループ遅延	—	11	—		
		正規化遮断周波数	—	0.033	—	Fin/Fos	

注1. Fos：オーバーサンプリング周波数

Fin：入力周波数

ハイブリッドモードの場合、Fosは1/(スキングループに割り当てられた各アナログチャネルのオーバーサンプリング周期の合計)

注2. チャネルごとの値です。

注3. 「図2.139 デジタルフィルタ特性(Sincフィルタ)」を参照してください。

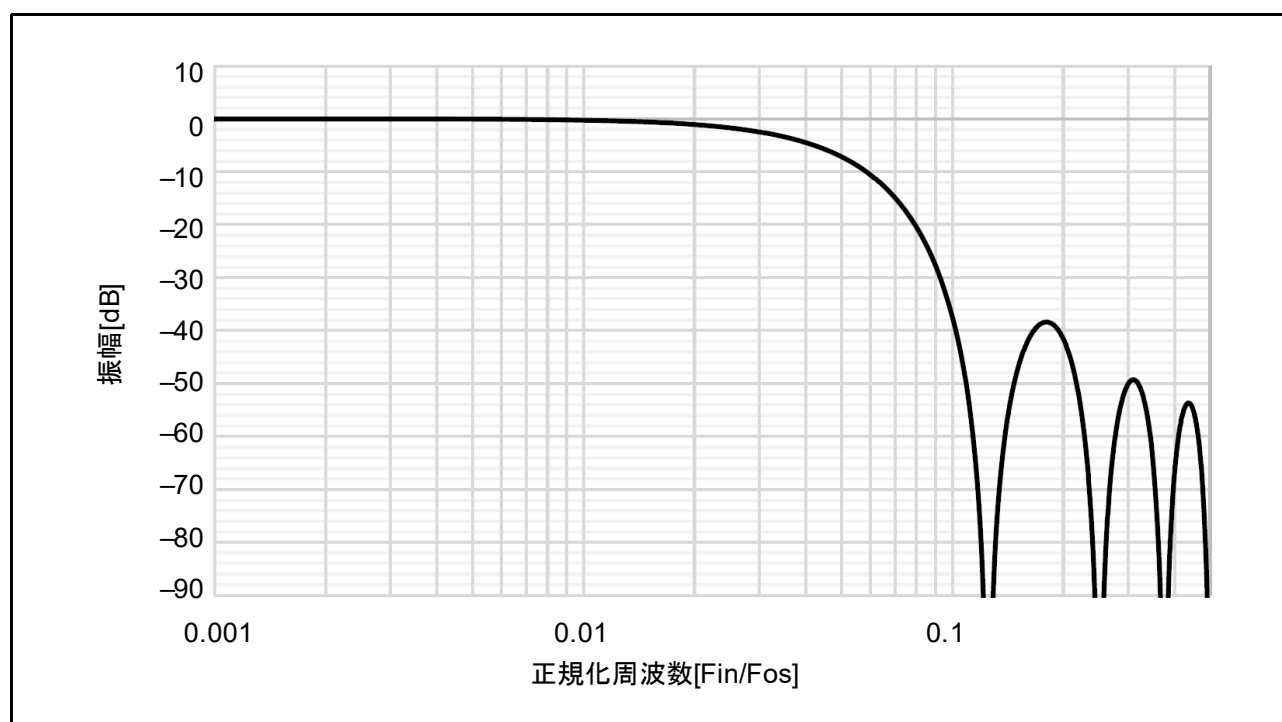


図 2.139 デジタルフィルタ特性 (Sinc フィルタ)

表2.125 A/D変換特性(オーバーサンプリングモードとハイブリッドモードの共通特性) (2)

条件: AVCC0 = VCC = VCC2 = 2.70 V ~ 3.63 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 2.70 V ~ AVCC0

ADCLK: 50 MHz、逐次比較時間: 5 ADCLK、信号源インピーダンス: 50 Ω以下、入力周波数: 5 kHz

項目			min	typ	max	単位	測定条件
Sincフィルタ	シングルエンド入力	SNDR: 信号対ノイズの歪み比	—	80	—	dB	—
		ENOB: 有効ビット数	—	13	—	ビット	
	差動入力	SNDR: 信号対ノイズの歪み比	—	86	—	dB	
		ENOB: 有効ビット数	—	14	—	ビット	

注. サンプリング時間は、モードや入力チャネル番号に依存します。

- オーバーサンプリングモード時 AN000 ~ AN015: 3 ADCLK
- ハイブリッドモード時 AN000 ~ AN015: 8 ADCLK

表2.126 A/D変換特性(オーバーサンプリングモードとハイブリッドモードの共通特性) (3)

条件: AVCC0 = VCC = VCC2 = 1.62 V ~ 2.70 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 1.62 V ~ AVCC0

ADCLK: 50 MHz、逐次比較時間: 10 ADCLK、信号源インピーダンス: 50 Ω以下、入力周波数: 5 kHz

項目			min	typ	max	単位	測定条件
Sincフィルタ	シングルエンド入力	SNDR: 信号対ノイズの歪み比	—	74	—	dB	—
		ENOB: 有効ビット数	—	12	—	ビット	
	差動入力	SNDR: 信号対ノイズの歪み比	—	80	—	dB	
		ENOB: 有効ビット数	—	13	—	ビット	

注. サンプリング時間は、モードや入力チャネル番号に依存します。

- オーバーサンプリングモード時 AN000 ~ AN015: 3 ADCLK
- ハイブリッドモード時 AN000 ~ AN015: 8 ADCLK

2.7.5 オーバーサンプリングモード特性

表 2.127 A/D変換特性(オーバーサンプリングモード特性) (1)

条件 : AVCC0 = VCC = VCC2 = 2.70 V ~ 3.63 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 2.70 V ~ AVCC0

ADCLK : 50 MHz、逐次比較時間 : 5 ADCLK、信号源インピーダンス : 50 Ω 以下

項目			min	typ	max	単位	測定条件
シングルエンド 入力	AN000 ~ AN015 (注1)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±4.0		シングル/連続スキャンモード
			—	±1.0	±5.0		同一チャネル連続スキャン モード
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +1.5	-1.0 ~ +2.5		—
		INL 積分非直線性誤差 (注4)	—	±4.0	±8.0		—
	AN016 ~ AN035 (注2)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±4.0		—
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +2.0	-1.0 ~ +4.0		—
		INL 積分非直線性誤差 (注4)	—	±4.0	±12		—
差動入力	AN000 ~ AN015 (注1)	オフセット誤差 (注3)	—	±0.25	±2.0	LSB	—
		ゲイン誤差 (注3)	—	±0.5	±2.0		シングル/連続スキャンモード
			—	±0.5	±2.5		同一チャネル連続スキャン モード
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +1.5	-1.0 ~ +2.0		—
		INL 積分非直線性誤差 (注4)	—	±3.0	±6.0		—

注. これらの仕様値は、1つの16ビットA/Dコンバータだけが動作中で、12ビットD/Aコンバータが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。

他の16ビットA/Dコンバータ、または12ビットD/Aコンバータが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

16ビットA/Dコンバータ使用時は、ポート4をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH00、VREFH01、VREFH02、VREFL0、VREFL00、VREFL01、VREFL02、および16ビットA/Dコンバータの入力電圧が安定しているときの特性です。

注1. サンプリング時間 : 3 ADCLK

注2. サンプリング時間 : 20 ADCLK

注3. この値は、12ビット分解能に基づきます。

注4. 測定条件 : アナログ入力電圧範囲の0.2% ~ 99.8%

注5. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

表 2.128 A/D変換特性(オーバーサンプリングモード特性) (2)

条件 : AVCC0 = VCC = VCC2 = 1.62 V ~ 2.70 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 1.62 V ~ AVCC0
 ADCLK : 50 MHz、逐次比較時間 : 10 ADCLK、信号源インピーダンス : 50 Ω 以下

項目			min	typ	max	単位	測定条件
シングルエンド 入力	AN000 ~ AN015 (注1)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±4.0		シングル/連続スキャンモード
			—	±1.0	±5.0		同一チャネル連続スキャン モード
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +2.0	-1.0 ~ +2.5		—
		INL 積分非直線性誤差 (注4)	—	±4.0	±8.0		—
	AN016 ~ AN035 (注2)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±4.0		
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +2.0	-1.0 ~ +4.0		
		INL 積分非直線性誤差 (注4)	—	±4.0	±12		
差動入力	AN000 ~ AN015 (注1)	オフセット誤差 (注3)	—	±0.25	±2.0	LSB	—
		ゲイン誤差 (注3)	—	±0.5	±2.0		シングル/連続スキャンモード
			—	±0.5	±2.5		同一チャネル連続スキャン モード
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +2.0	-1.0 ~ +2.0		—
		INL 積分非直線性誤差 (注4)	—	±3.0	±6.0		—

注. これらの仕様値は、1つの16ビットA/Dコンバータだけが動作中で、12ビットD/Aコンバータが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。

他の16ビットA/Dコンバータ、または12ビットD/Aコンバータが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

16ビットA/Dコンバータ使用時は、ポート4をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH00、VREFH01、VREFH02、VREFL0、VREFL00、VREFL01、VREFL02、および16ビットA/Dコンバータの入力電圧が安定しているときの特性です。

注1. サンプリング時間 : 22 ADCLK

注2. サンプリング時間 : 40 ADCLK

注3. この値は、12ビット分解能に基づきます。

注4. 測定条件 : アナログ入力電圧範囲の0.2% ~ 99.8%

注5. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

2.7.6 ハイブリッドモード特性

表 2.129 A/D変換特性(ハイブリッドモード特性) (1)

条件: AVCC0 = VCC = VCC2 = 2.70 V ~ 3.63 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 2.70 V ~ AVCC0

ADCLK: 50 MHz、逐次比較時間: 5 ADCLK、信号源インピーダンス: 50 Ω 以下

項目			min	typ	max	単位	測定条件
シングルエンド 入力	AN000 ~ AN015 (注1) (S&H回路不使用時)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±4.0		
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +1.5	-1.0 ~ +2.5		
		INL 積分非直線性誤差 (注4)	—	±4.0	±8.0		
	AN000 ~ AN005 (注1) (S&H回路使用時)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±4.0		
		DNL 微分非直線性誤差 (注4、注5)	—	±1.0	-1.0 ~ +2.0		
		INL 積分非直線性誤差 (注4)	—	±12	±16		
	AN016 ~ AN035 (注2)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±5.0		
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +2.0	-1.0 ~ +4.0		
		INL 積分非直線性誤差 (注4)	—	±4.0	±12		
差動入力	AN000 ~ AN015 (注1) (S&H回路不使用時)	オフセット誤差 (注3)	—	±0.25	±2.0	LSB	—
		ゲイン誤差 (注3)	—	±0.5	±2.5		
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +1.5	-1.0 ~ +2.0		
		INL 積分非直線性誤差 (注4)	—	±3.0	±6.0		
	AN000 ~ AN005 (注2) (S&H回路使用時)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±0.5	±4.0		
		DNL 微分非直線性誤差 (注4、注5)	—	±1.0	-1.0 ~ +2.0		
		INL 積分非直線性誤差 (注4)	—	±4.0	±16		

S&H: チャネル専用サンプル & ホールド回路

注. これらの仕様値は、1つの16ビットA/Dコンバータだけが動作中で、12ビットD/Aコンバータが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。

他の16ビットA/Dコンバータ、または12ビットD/Aコンバータが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

16ビットA/Dコンバータ使用時は、ポート4をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH00、VREFH01、VREFH02、VREFL0、VREFL00、VREFL01、VREFL02、および16ビットA/Dコンバータの入力電圧が安定しているときの特性です。

注1. サンプリング時間: 8 ADCLK

注2. サンプリング時間: 42 ADCLK

注3. この値は、12ビット分解能に基づきます。

注4. 測定条件: アナログ入力電圧範囲の0.2% ~ 99.8%

注5. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

表 2.130 A/D変換特性(ハイブリッドモード特性) (2)

条件 : AVCC0 = VCC = VCC2 = 1.62 V ~ 2.70 V、VREFH0 = VREFH00 = VREFH01 = VREFH02 = 1.62 V ~ AVCC0

ADCLK : 50 MHz、逐次比較時間 : 10 ADCLK、信号源インピーダンス : 50 Ω 以下

項目			min	typ	max	単位	測定条件
シングルエンド 入力	AN000 ~ AN015 (注1) (S&H回路不使用時)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±5.0		
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +2.0	-1.0 ~ +2.5		
		INL 積分非直線性誤差 (注4)	—	±4.0	±8.0		
	AN016 ~ AN035 (注2)	オフセット誤差 (注3)	—	±0.5	±4.0	LSB	—
		ゲイン誤差 (注3)	—	±1.0	±5.0		
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +2.0	-1.0 ~ +4.0		
		INL 積分非直線性誤差 (注4)	—	±4.0	±12		
差動入力	AN000 ~ AN015 (注1) (S&H回路不使用時)	オフセット誤差 (注3)	—	±0.25	±2.0	LSB	—
		ゲイン誤差 (注3)	—	±0.5	±2.5		
		DNL 微分非直線性誤差 (注4、注5)	—	-1.0 ~ +2.0	-1.0 ~ +2.5		
		INL 積分非直線性誤差 (注4)	—	±3.0	±6.0		

S&H : チャネル専用サンプル & ホールド回路

注. これらの仕様値は、1つの16ビットA/Dコンバータだけが動作中で、12ビットD/Aコンバータが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。

他の16ビットA/Dコンバータ、または12ビットD/Aコンバータが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

16ビットA/Dコンバータ使用時は、ポート4をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH00、VREFH01、VREFH02、VREFL0、VREFL00、VREFL01、VREFL02、および16ビットA/Dコンバータの入力電圧が安定しているときの特性です。

注1. サンプリング時間 : 40 ADCLK

注2. サンプリング時間 : 84 ADCLK

注3. この値は、12ビット分解能に基づきます。

注4. 測定条件 : アナログ入力電圧範囲の0.2% ~ 99.8%

注5. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

2.8 D/A 変換特性

表 2.131 D/A 変換特性

項目			記号	min	typ	max	単位	測定条件
分解能			—	12	12	12	ビット	—
バッファなし出力	絶対精度	AVCC0 ≥ 2.7 V	—	—	—	±24	LSB	負荷抵抗 2 MΩ
				—	—	±6.0		無負荷
		AVCC0 < 2.7 V		—	—	±36		負荷抵抗 2 MΩ
				—	—	±6.0		無負荷
	微分非直線性誤差	AVCC0 ≥ 2.7 V	DNL	—	—	±1.0	LSB	—
		AVCC0 < 2.7 V		—	—	±2.0		
	出力抵抗		R _O	—	7.8	—	kΩ	—
	リカバリ時間	AVCC0 ≥ 2.7 V	t _{DSPLUP1}	—	—	3	μs	—
		AVCC0 < 2.7 V		—	—	6		
	変換時間	AVCC0 ≥ 2.7 V	t _{D CONV1}	—	—	3	μs	負荷抵抗 2 MΩ, 負荷容量 20 pF
t _{D CONV3}			—	—	3	無負荷		
AVCC0 < 2.7 V		t _{D CONV1}	—	—	6	負荷抵抗 2 MΩ, 負荷容量 20 pF		
		t _{D CONV3}	—	—	6	無負荷		
バッファ出力	積分非直線性誤差	AVCC0 ≥ 2.7 V	INL	—	—	±4.0	LSB	—
		AVCC0 < 2.7 V		—	—	±8.0		
	微分非直線性誤差	AVCC0 ≥ 2.7 V	DNL	—	—	±1.0	LSB	
		AVCC0 < 2.7 V		—	—	±2.0		
	起動時間	AVCC0 ≥ 2.7 V	t _{DISOUT}	3	—	—	μs	
		AVCC0 < 2.7 V		6	—	—		
	リカバリ時間	AVCC0 ≥ 2.7 V	t _{DSPLUP2}	—	—	3.5	μs	
		AVCC0 < 2.7 V		—	—	6		
	変換時間	AVCC0 ≥ 2.7 V	t _{D CONV2}	—	—	3.5	μs	
		AVCC0 < 2.7 V		—	—	6		
	負荷抵抗		R _L	5	—	—	kΩ	
	負荷容量		C _L	—	—	50	pF	
	出力電圧	AVCC0 ≥ 2.7 V	V _O	0.2	—	AVCC0 – 0.2	V	
		AVCC0 < 2.7 V		0.34	—	AVCC0 – 0.34		

注. 上記の値は、D/A 単体で動作 (A/D 変換器停止状態) させた場合の数値です。

注. AVCC0 < 2.7 V で使用する場合は、D/A 制御レジスタ 2 (DACR2) の OFSSEL ビットを “1” にしてください。2.7 V 以上で使用する場合は、“0” (初期値) にしてください。

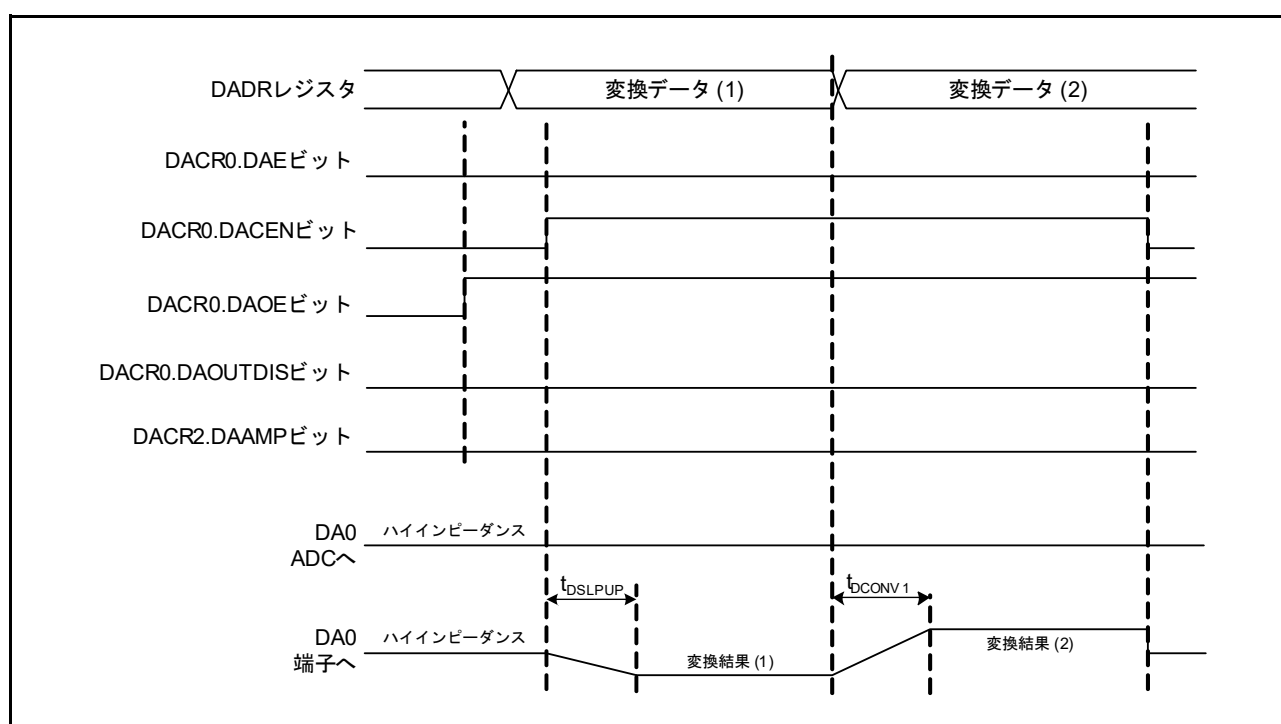


図 2.140 12 ビット D/A コンバータの動作例 (D/A 端子出力モード)

2.9 温度センサ特性

表 2.132 温度センサ特性

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1	—	°C	—
温度傾斜	—	—	2.7	—	mV/°C	—
出力電位	—	—	0.83	—	V	T _a = 25°C
温度センサ起動時間	t _{TSTBL}	—	—	30	μs	図 2.141、 図 2.142、 図 2.143
温度センサ出力安定待ち時間	t _{OSTBL}	—	—	0	μs	
温度センサ異常温度検出回路安定待ち時間	t _{RSTBL}	—	—	30	μs	図 2.142、 図 2.143
サンプリング時間 (注1)	—	4.15	—	—	μs	—
異常検出温度	高温側	T _{jdetH}	105	125	°C	図 2.144
	低温側	T _{jdetL}	—	-40		

注1. A/Dコンバータのサンプリング時間が本電氣的特性を満足するように、ADSSTRnレジスタを設定してください。

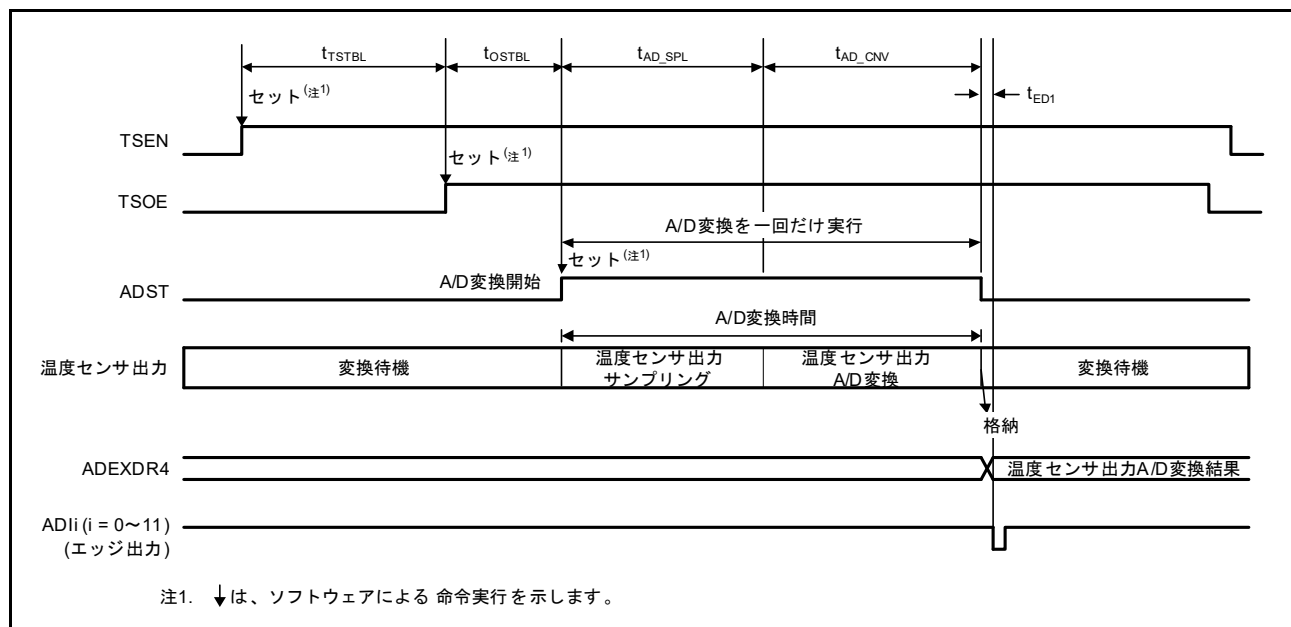


図 2.141 温度センサの動作から A/D 変換完了までのタイミング

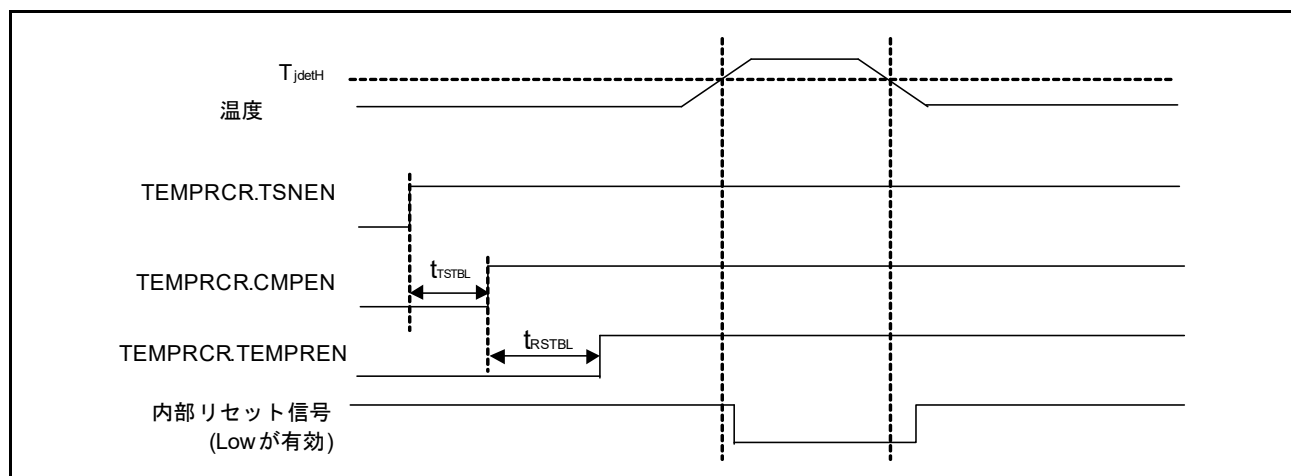


図 2.142 温度監視リセットのタイミング (高温検出側)

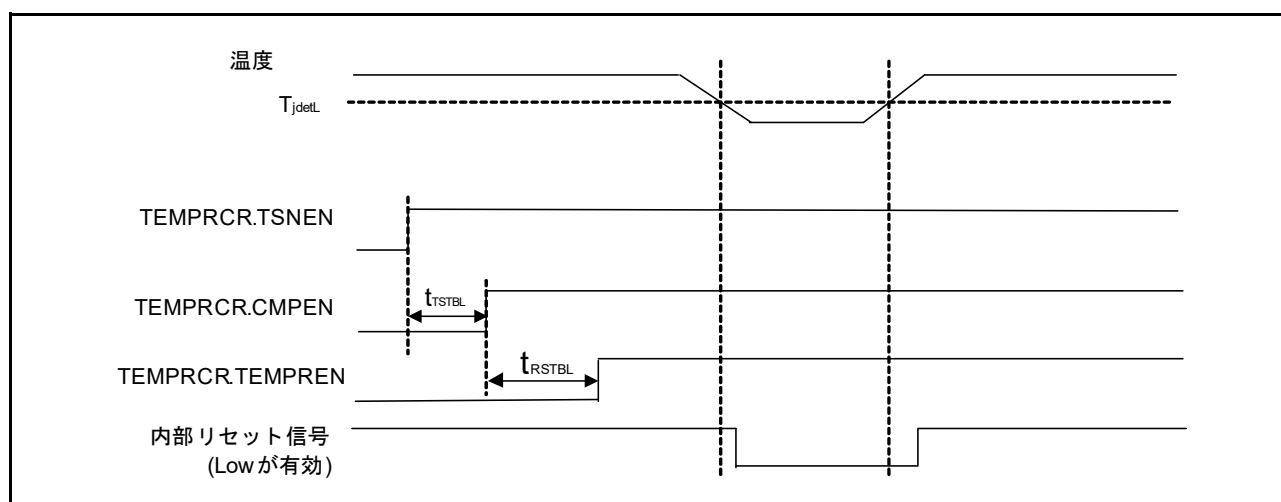


図 2.143 温度監視リセットのタイミング (低温検出側)

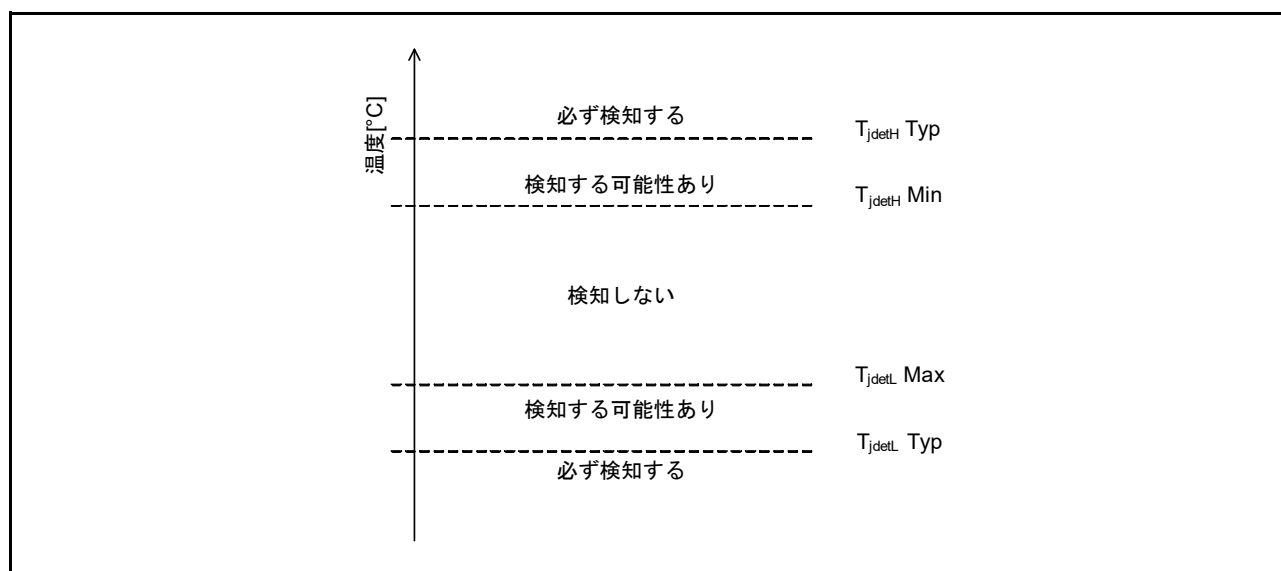


図 2.144 温度センサ異常検出温度範囲

2.10 パワーオンリセット回路、電圧検出回路特性

表 2.133 パワーオンリセット回路、電圧検出回路特性 (1 / 2)

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V_{POR1}	1.52	1.56	1.61	V	図 2.145
		V_{POR2}	—	—	1.73		
	電圧検出回路 (PVD0)	V_{det0_0}	2.76	2.85	2.94	V	図 2.146
		V_{det0_1}	2.50	2.58	2.66		
		V_{det0_2}	2.08	2.15	2.22		
		V_{det0_3}	1.93	2.00	2.07		
		V_{det0_4}	1.84	1.90	1.96		
		V_{det0_5}	1.74	1.80	1.86		
		V_{det0_6}	1.62	1.67	1.73		
	電圧検出回路 (PVDn) (n = 1, 2, 4, 5)	$V_{detn_4_rise}$	3.09	3.20	3.30	V	図 2.147
		$V_{detn_4_fall}$	3.03	3.14	3.24		
		$V_{detn_5_rise}$	3.05	3.16	3.26		
		$V_{detn_5_fall}$	2.99	3.10	3.20		
		$V_{detn_6_rise}$	3.03	3.14	3.24		
		$V_{detn_6_fall}$	2.97	3.08	3.18		
		$V_{detn_7_rise}$	2.81	2.91	3.00		
		$V_{detn_7_fall}$	2.75	2.85	2.94		
		$V_{detn_8_rise}$	2.79	2.89	2.98		
		$V_{detn_8_fall}$	2.73	2.83	2.92		
		$V_{detn_9_rise}$	2.76	2.86	2.95		
		$V_{detn_9_fall}$	2.70	2.80	2.89		
		$V_{detn_10_rise}$	2.58	2.67	2.75		
		$V_{detn_10_fall}$	2.53	2.62	2.70		
		$V_{detn_11_rise}$	2.30	2.38	2.46		
		$V_{detn_11_fall}$	2.25	2.33	2.41		
		$V_{detn_12_rise}$	1.88	1.94	2.00		
		$V_{detn_12_fall}$	1.84	1.90	1.96		
		$V_{detn_13_rise}$	1.84	1.90	1.96		
		$V_{detn_13_fall}$	1.80	1.86	1.92		
		$V_{detn_14_rise}$	1.72	1.78	1.84		
		$V_{detn_14_fall}$	1.68	1.74	1.80		
		$V_{detn_15_rise}$	1.66	1.72	1.77		
		$V_{detn_15_fall}$	1.62	1.68	1.73		
内部リセット時間	パワーオンリセット時間	t_{POR1}	—	—	6.7	ms	図 2.145
		t_{POR2}	—	—	1.6		
	PVD0 リセット時間	t_{PVD0}	—	—	(注 1)		図 2.146
	PVD1 リセット時間	t_{PVD1}	—	—	(注 1)		
	PVD2 リセット時間	t_{PVD2}	—	—	(注 1)		
	PVD4 リセット時間	t_{PVD4}	—	—	(注 1)		
	PVD5 リセット時間	t_{PVD5}	—	—	(注 1)		
最短 VCC 低下時間 (POR) (注 2)	50 mV < VD	t_{VOFFP}	900	—	—	μ s	図 2.145
	VD ≤ 50 mV		2000	—	—		

表2.133 パワーオンリセット回路、電圧検出回路特性 (2 / 2)

項目	記号	min	typ	max	単位	測定条件
最短VCC低下時間(PVD) (注2)	PVD0	25	—	—	μs	図2.146
	PVD1, PVD2, PVD4, PVD5	25	—	—	μs	
応答遅延時間(POR)	50 mV < VD	—	—	900	μs	図2.145
	VD ≤ 50 mV	—	—	2000	μs	
応答遅延時間(PVD)	PVD0	—	—	25	μs	図2.146、 図2.147
	PVD1, PVD2, PVD4, PVD5	—	—	25	μs	
PVDn動作安定時間(PVD有効切り替え時) (n = 1, 2, 4, 5)	t _{d(E-A)}	—	—	20	μs	図2.147

注1. ディープソフトウェアスタンバイモードからの復帰時に内部リセット時間が最大になるため、PVDn (n = 0, 1, 2, 4, 5)の最大値は、t_{DSBY}の値と等しくなります。

注2. 最短VCC低下時間は、VCCがPOR/PVDの電圧検出レベルの最小値を下回っている時間を示します。

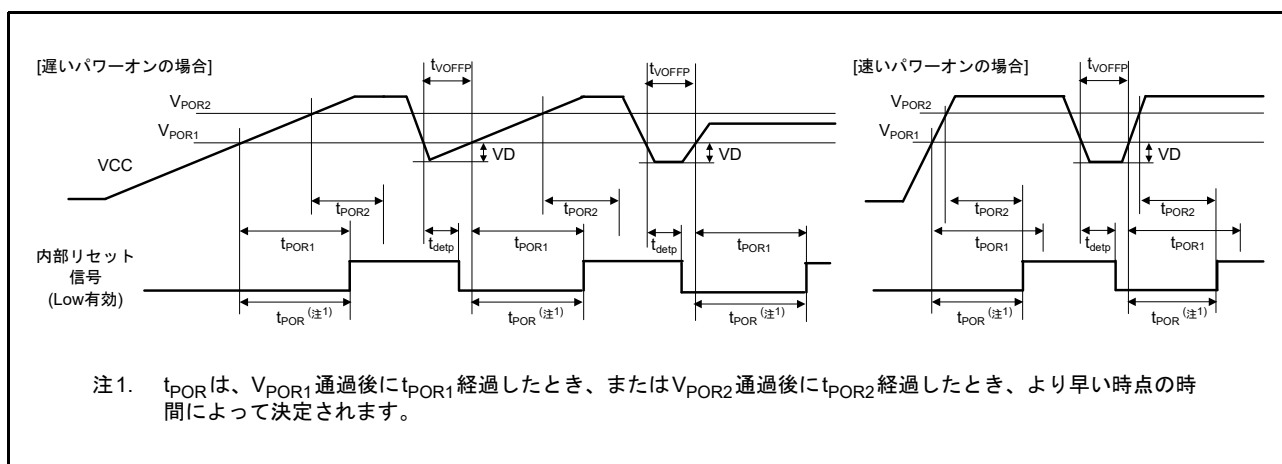
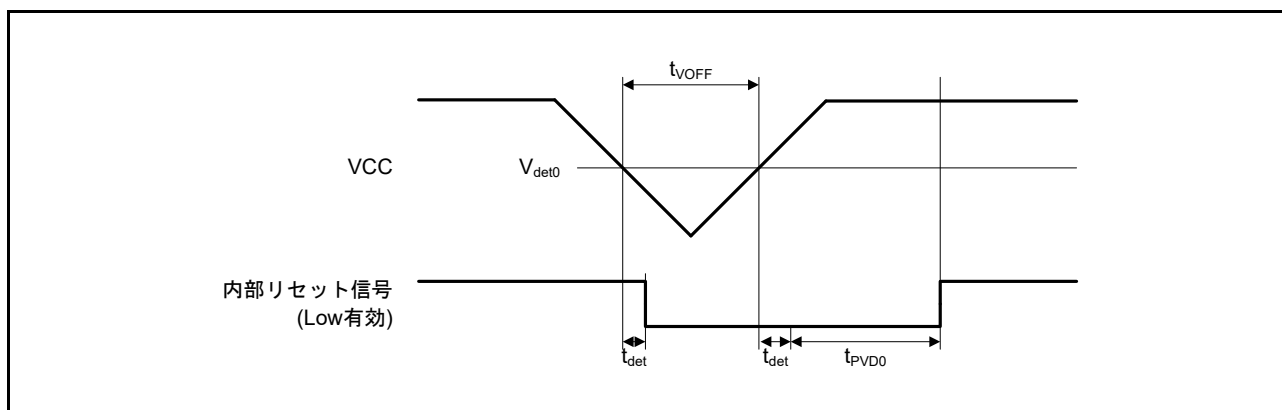
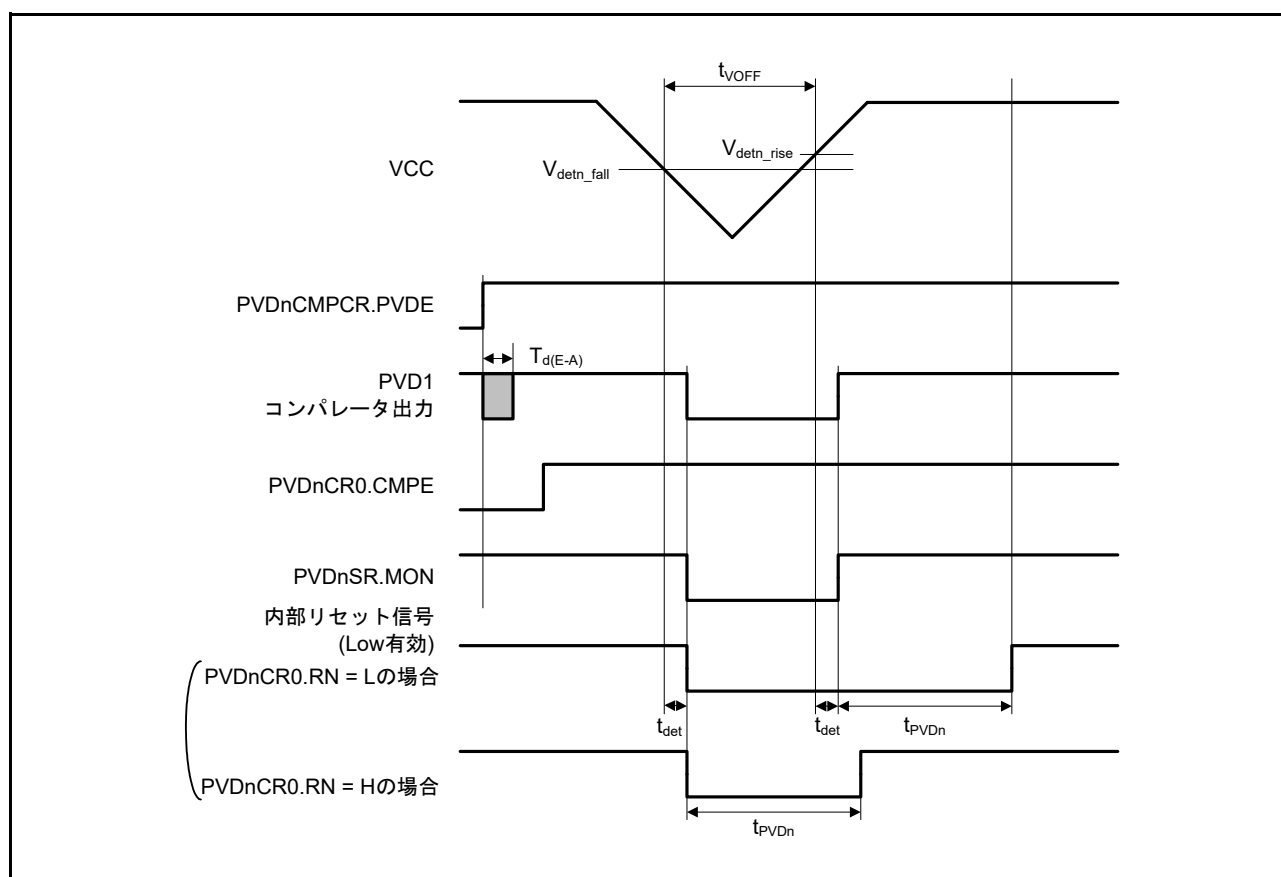


図 2.145 パワーオンリセットタイミング

図 2.146 電圧検出回路タイミング (V_{det0})

図 2.147 電圧検出回路タイミング (V_{detn}) ($n = 1, 2, 4, 5$)

2.11 コア電圧監視リセット特性

表2.134 コア電圧監視リセット特性

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル		$V_{\text{det_VDDH}}$	1.05	1.10	1.15	V	
		$V_{\text{det_VDDL}}$	0.55	0.58	0.61		
コア電圧監視リセット時間	DCDCモード	t_{CVM}	—	—	0.18	ms	
	外部VDDモード		—	—	2.6		
最短VDD低下/上昇時間		t_{CVMOFF}	45	—	—	μs	
応答遅延時間		t_{CVMdet}	—	—	45	μs	
ヒステリシス幅		V_{CVMH}	—	0.225	—	V	

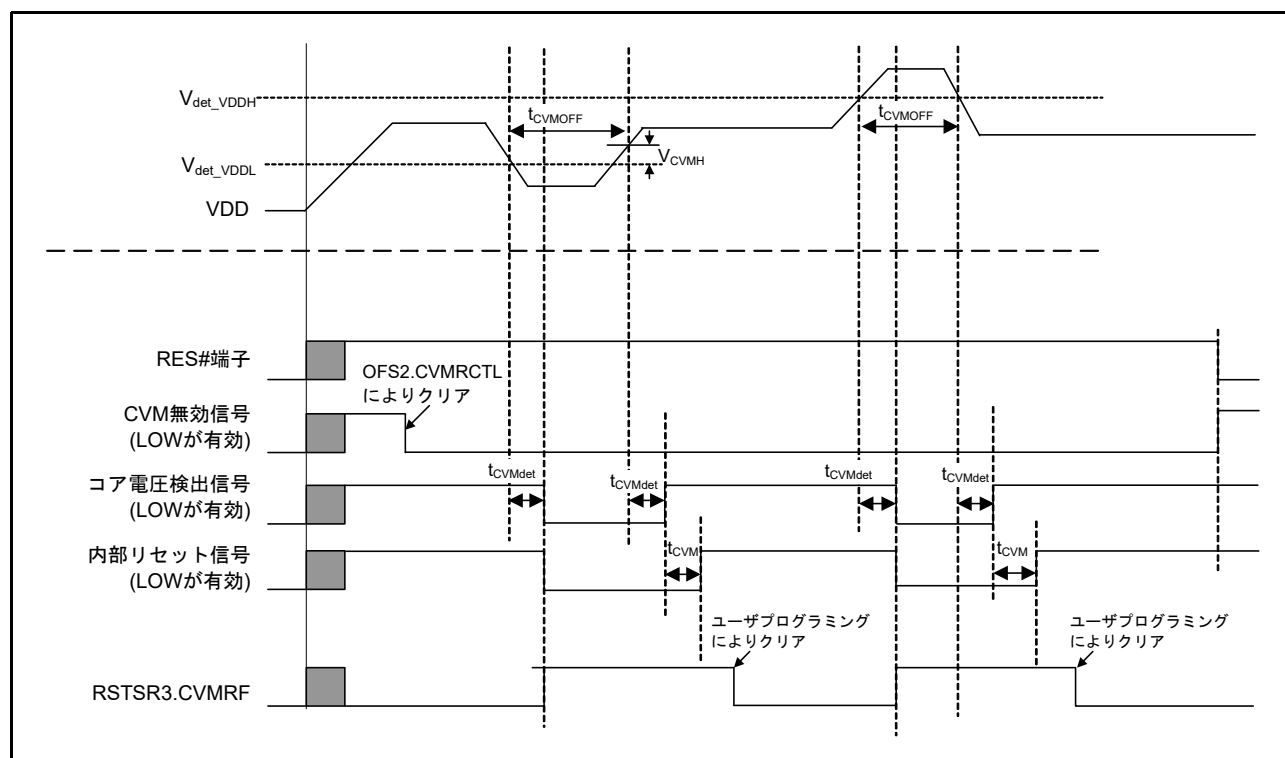


図 2.148 コア電圧監視リセット時間

2.12 発振停止検出タイミング

表 2.135 発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.149

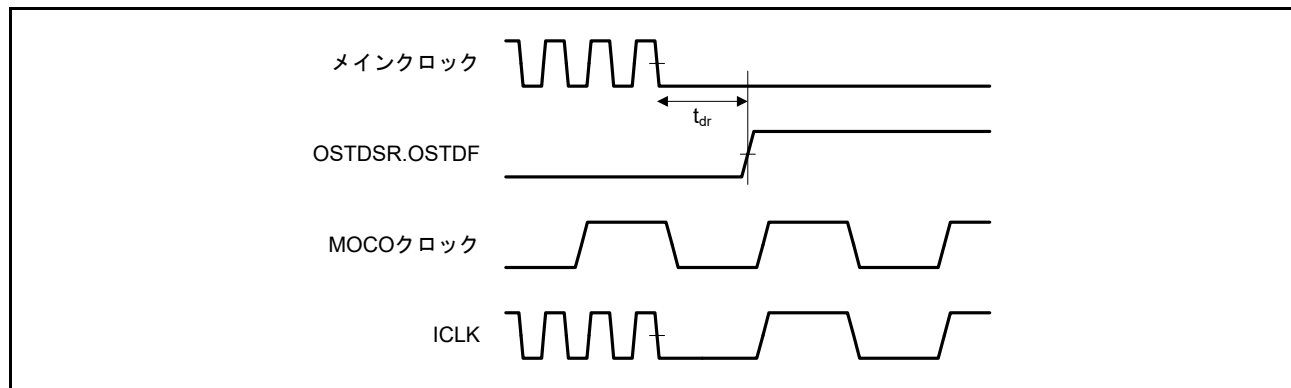


図 2.149 発振停止検出タイミング

表 2.136 サブクロック発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
検出回路動作開始待ち時間	t_{sosdup}	100	—	—	μs	図 2.150
検出時間	t_{dr}	—	—	2	ms	図 2.151

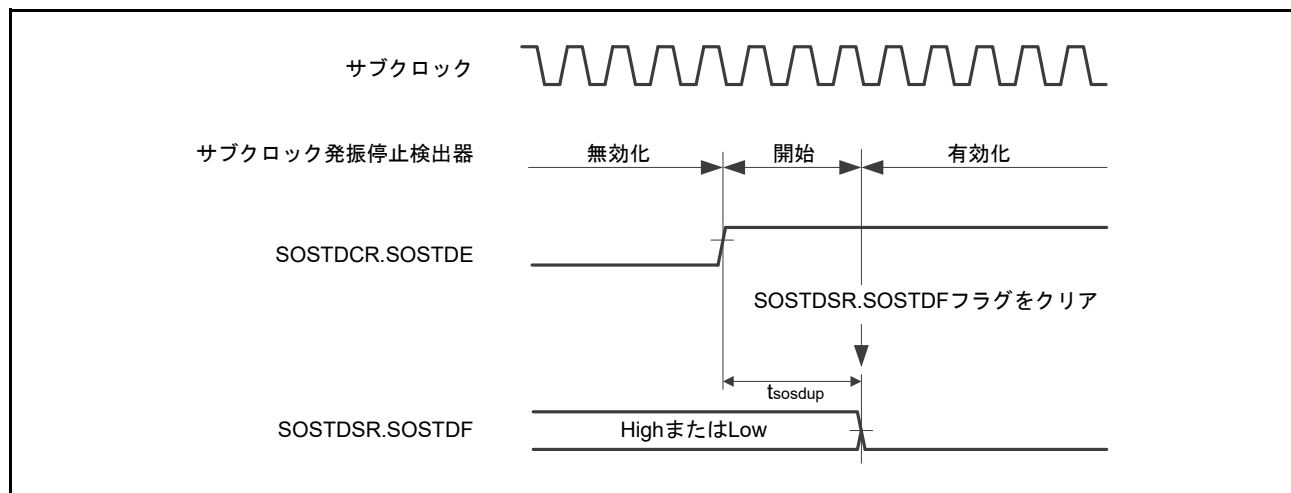


図 2.150 検出回路動作開始待ち時間

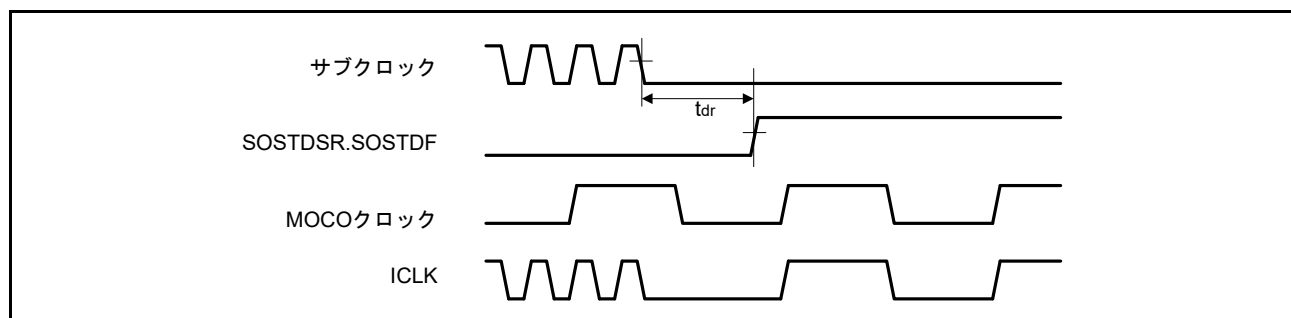


図 2.151 サブクロック発振停止検出タイミング

2.13 外部 VDD タイミング特性

表 2.137 外部 VDD タイミング特性

項目	記号	min	typ	max	単位	測定条件
外部VDDの電源起動時におけるリセットホールド時間 (RES#端子を使用する場合)	t_{EXTVRH}	600	—	—	μs	図 2.152
外部VDDの電源起動時におけるVDD立ち上がり時間 (RES#端子を使用しない場合)	t_{EXTVDD}	—	—	550	μs	図 2.153

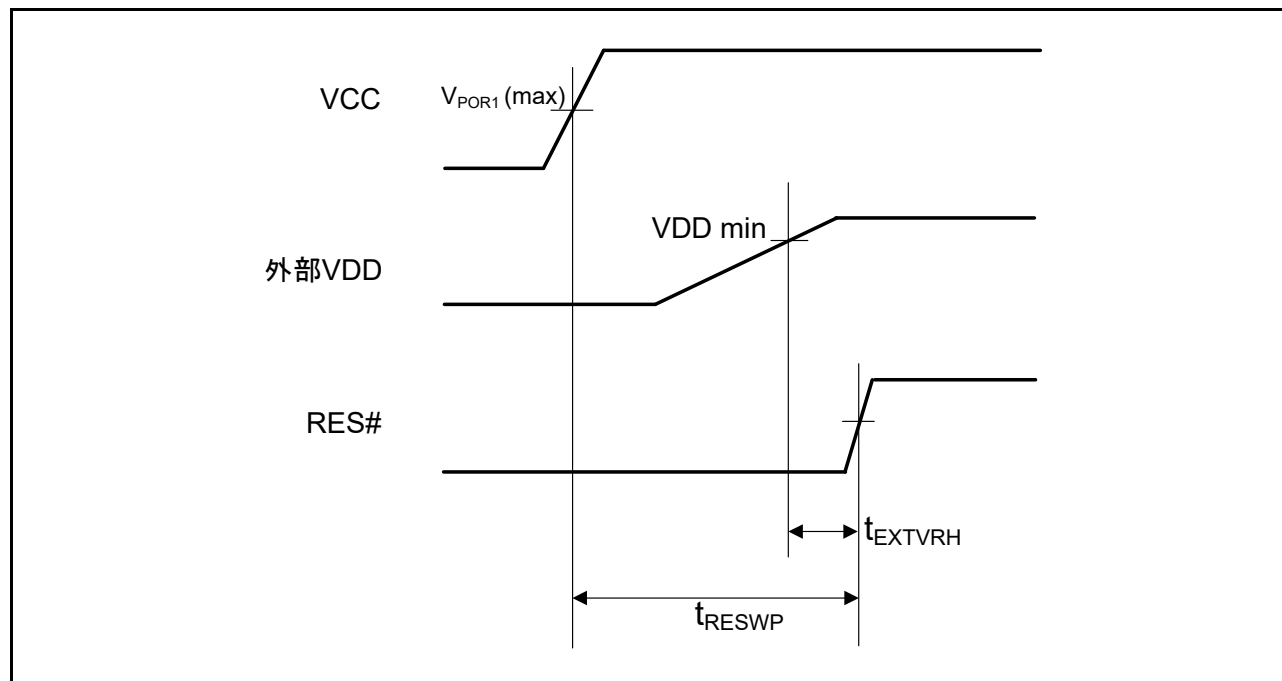


図 2.152 外部 VDD の電源起動シーケンス (RES# 端子を使用する場合)

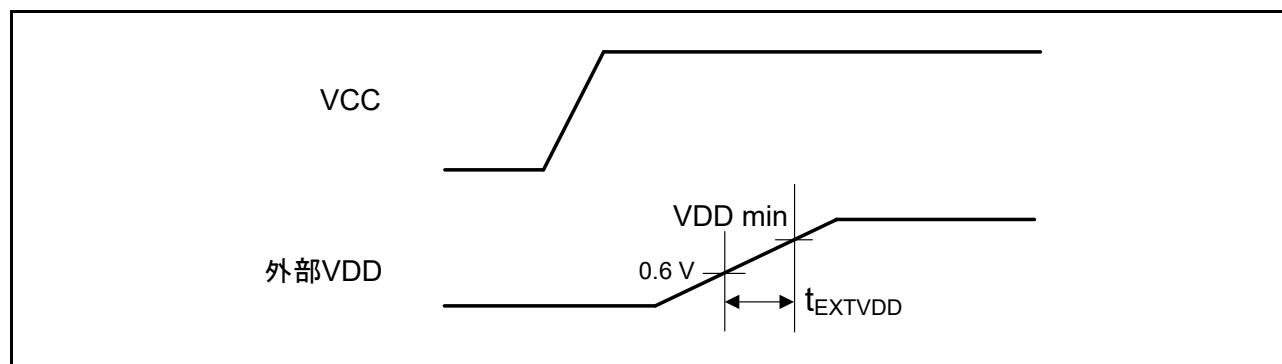


図 2.153 外部 VDD の電源起動シーケンス (RES# 端子を使用しない場合)

2.14 バッテリバックアップ機能特性

表2.138 バッテリバックアップ機能特性

項目	記号	min	typ	max	単位	測定条件
バッテリバックアップ切り替え電圧レベル (注1)	$V_{DET_BATT_0}$	2.71	2.80	2.89	V	図2.154
	$V_{DET_BATT_1}$	2.45	2.53	2.61		
	$V_{DET_BATT_2}$	2.03	2.10	2.17		
	$V_{DET_BATT_3}$	1.89	1.95	2.01		
	$V_{DET_BATT_4}$	1.79	1.85	1.91		
	$V_{DET_BATT_5}$	1.69	1.75	1.81		
VCC 電圧低下検出安定待機時間 (注2)	V_{DET_WT}	—	—	20	μs	—
VCC 電圧低下電源切り替え時 V_{BATT} 下限電圧	V_{BATT_SW}	1.8	—	—	V	図2.154
切り替え可能VCCオフ期間 (注1、注3)	$t_{V_{OFF_BATT}}$	25	—	—	μs	
バックアップ領域/パワーダウン検出レベル	$V_{PDR(BKP)}$	1.43	1.47	1.52	V	図2.155
バックアップ領域リセット信号アサート遅延期間 (注4)	$t_{P(PDRL)}$	—	—	2000	μs	
バックアップ領域リセット信号ネゲート遅延期間	$t_{P(PDRH)}$	—	—	3000	μs	
V_{BATT} 電圧測定安定時間 (注5)	t_{MON_WT}	—	—	4.2	μs	—

- 注1. ディープソフトウェアタンバイモード1および2において、OFS1.PVDAS = 0 (リセット後、電圧監視0リセット有効)、OFS1.DSBLPSEL = 0 (PVD0を選択、低消費電力機能有効、VDSEL[2:0]ビットの設定に依存)の設定の場合、バッテリバックアップ切り替え電圧レベルは V_{det0} になります。
- 注2. VBATTCCR2.VDETSEL[2:0]ビットの値を変更後、またはVBATTCCR1.PSWDISビットの値を“1”から“0”に変更後、電圧検出回路が安定するまでの時間。
- 注3. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベル($V_{DET_BATT_n}$)の最小値を下回っている時間です。
- 注4. この期間以内に V_{BKP} 電圧が復旧した場合 ($V_{POR(BKP)}$ 電圧を上回る)、バックアップ領域リセット信号が生成されないことがあります。
- 注5. VBATTMCR.VBATTMEビットを“1”に設定してから、出力電圧が安定するまでの時間。

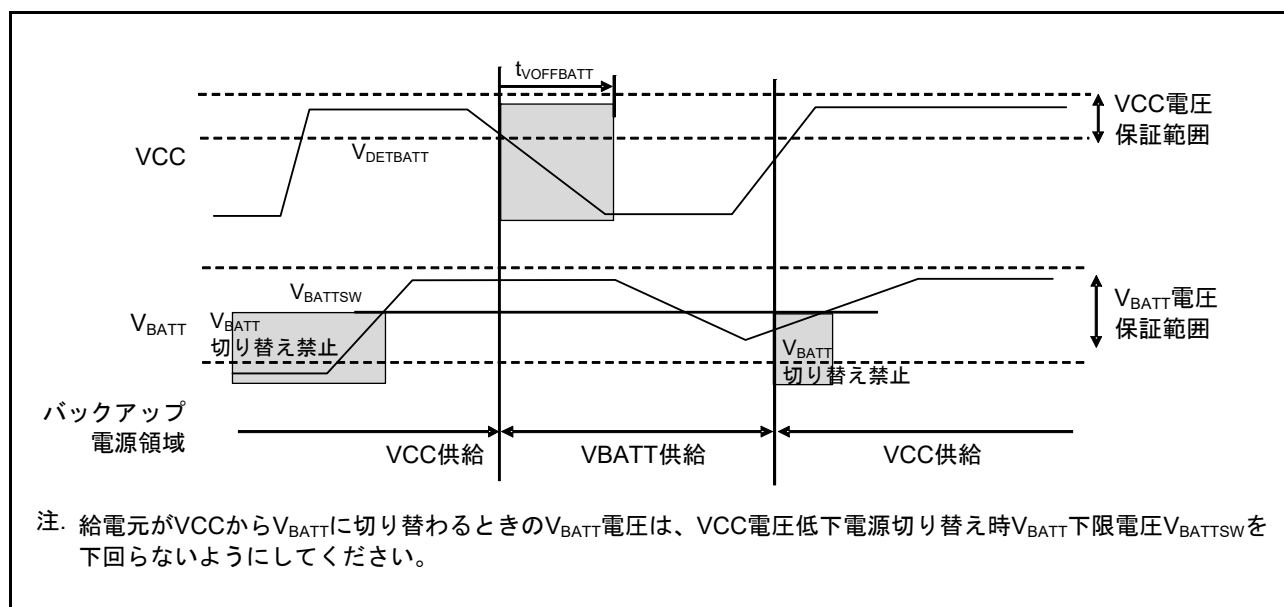


図 2.154 バッテリバックアップ機能特性

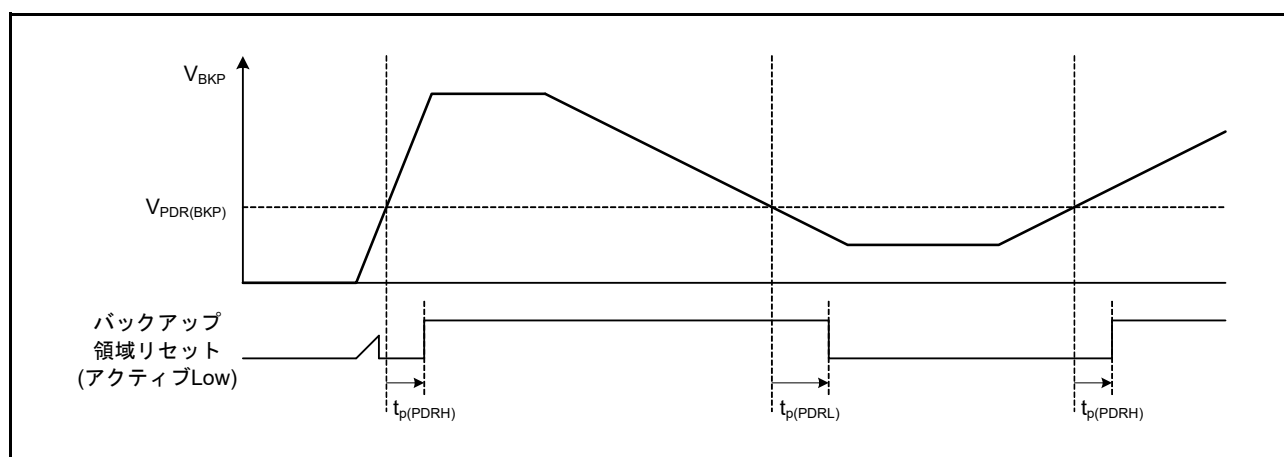


図 2.155 バックアップ領域リセット特性

2.15 MRAM 特性

2.15.1 コード MRAM 特性

表 2.139 コード MRAM 特性

項目		記号	MRICLK = 300 MHz			MRICLK = 240 MHz			単位
			min	typ	max	min	typ	max	
32バイトのプログラム 時間 (注1、注2)	通常プログラムモード (注3)	t _{PMC}	—	6.53	81.3	—	6.72	83.5	μs
	高速プログラムモード (注3)		—	4.53	79.3	—	4.72	81.5	
プログラム回数 (注4)		N _{PC}	100 k	—	—	100 k	—	—	回
データ保持時間 (注5)		t _{DRP}	10	—	—	10	—	—	年

注1. MRPCLK < 125 MHz の場合、プログラム時間に MRPCLK 1 サイクル分の時間 [μs] を追加してください。

注2. 他の周波数でのプログラム時間を計算するには、以下に示す近似式を使用します。

- 通常プログラムモード
 $t_{PMC} (Typ) = 137.8 / f_{MRICLK} + 6.452 [\mu s]$, $t_{PMC} (Max) = 1879 / f_{MRICLK} + 78.75 [\mu s]$
- 高速プログラムモード
 $t_{PMC} (Typ) = 137.8 / f_{MRICLK} + 4.452 [\mu s]$, $t_{PMC} (Max) = 1879 / f_{MRICLK} + 76.75 [\mu s]$
 $(f_{MRICLK} : MRICLK \text{ の周波数 [MHz]})$

注3. MRPSC レジスタの MHSPEN ビットが、“0” のときは通常プログラムモード、“1” のときは高速プログラムモード

注4. プログラム回数とは、32 バイトのコード MRAM アドレス空間あたりのプログラミング回数です。同じアドレスに、同じデータをプログラミングしても、プログラム回数は1回増加します。

注5. $T_j = 125^\circ C$ のとき

2.15.2 オプション設定メモリ (MRAM 領域) 特性

表 2.140 オプション設定メモリ (MRAM 領域) 特性

項目		記号	MRPCLK = 150 MHz			MRPCLK = 120 MHz			単位
			min	typ	max	min	typ	max	
コンフィギュレーション設定コマンド処理時間 (注1)	通常プログラムモード (注2)	t _{PCFG}	—	0.343	7.8	—	0.352	8.08	ms
	高速プログラムモード (注2)		—	0.0596	7.46	—	0.0683	7.74	
プログラム回数 (注3)		N _{CUPC}	100 k	—	—	100 k	—	—	回
データ保持時間 (注4)		t _{DRP}	10	—	—	10	—	—	年

注1. 他の周波数での処理時間を計算するには、以下に示す近似式を使用します。

- 通常プログラムモード
 $t_{PCFG} (Typ) = 6.146 / f_{MRPCLK} + 0.3133 [ms]$, $t_{PCFG} (Max) = 266.5 / f_{MRPCLK} + 6.331 [ms]$
- 高速プログラムモード
 $t_{PCFG} (Typ) = 5.184 / f_{MRPCLK} + 0.02754 [ms]$, $t_{PCFG} (Max) = 267.5 / f_{MRPCLK} + 6.025 [ms]$
 $(f_{MRPCLK} : MRPCLK \text{ の周波数 [MHz]})$

注2. MRPSC レジスタの MHSPEN ビットが、“0” のときは通常プログラムモード、“1” のときは高速プログラムモード

注3. プログラム回数とは、MRAM 領域に対して発行できるコンフィギュレーション設定コマンドの回数です。同じアドレスに同じデータをプログラムしても、プログラム回数は1回増加します。

注4. $T_j = 125^\circ C$ のとき

2.15.3 オプション設定メモリ (ECC ありの OTP 領域) 特性

表 2.141 オプション設定メモリ (ECC ありの OTP 領域) 特性

項目		記号	MRPCLK = 150 MHz			MRPCLK = 120 MHz			単位
			min	typ	max	min	typ	max	
16 バイトのプログラム時間 (注1)	MRAM-OTP 通常書き込み モード (注2)	t_{OTPE}	—	8.05	113	—	8.05	113	ms
	MRAM-OTP 高速書き込み モード 0 (注2)		—	4.03	56.7	—	4.03	56.7	
	MRAM-OTP 高速書き込み モード 1 (注2)		—	0.229	3.14	—	0.229	3.14	

注1. 他の周波数でのプログラム時間を計算するには、以下に示す近似式を使用します。

- MRAM-OTP 通常書き込みモード
 $t_{\text{OTPE}} (\text{Typ}) = 0.5065 / f_{\text{MRPCLK}} + 8.123 [\text{ms}]$, $t_{\text{OTPE}} (\text{Max}) = 4.433 / f_{\text{MRPCLK}} + 114.1 [\text{ms}]$
- MRAM-OTP 高速書き込みモード 0
 $t_{\text{OTPE}} (\text{Typ}) = 0.3389 / f_{\text{MRPCLK}} + 4.067 [\text{ms}]$, $t_{\text{OTPE}} (\text{Max}) = 2.428 / f_{\text{MRPCLK}} + 57.08 [\text{ms}]$
- MRAM-OTP 高速書き込みモード 1
 $t_{\text{OTPE}} (\text{Typ}) = 0.1458 / f_{\text{MRPCLK}} + 0.2312 [\text{ms}]$, $t_{\text{OTPE}} (\text{Max}) = 0.3904 / f_{\text{MRPCLK}} + 3.166 [\text{ms}]$
 $(f_{\text{MRPCLK}} : \text{MRPCLK の周波数} [\text{MHz}])$

注2. MWMCR レジスタの MWM[1:0] ビットが、“00b”のときはMRAM-OTP 通常書き込みモード、“01b”のときはMRAM-OTP 高速書き込みモード 0、“10b”のときはMRAM-OTP 高速書き込みモード 1

2.15.4 オプション設定メモリ (ECC なしの OTP 領域) 特性

表 2.142 オプション設定メモリ (ECC なしの OTP 領域) 特性

項目		記号	MRPCLK = 150 MHz			MRPCLK = 120 MHz			単位
			min	typ	max	min	typ	max	
16 バイトのプログラム時間 (注1)	MRAM-OTP 通常書き込み モード (注2)	t_{OPTENE}	—	14.1	200	—	14.1	200	ms
	MRAM-OTP 高速書き込み モード 0 (注2)		—	7.07	100	—	7.07	100	
	MRAM-OTP 高速書き込み モード 1 (注2)		—	0.458	6.28	—	0.458	6.28	

注1. 他の周波数でのプログラム時間を計算するには、以下に示す近似式を使用します。

- MRAM-OTP 通常書き込みモード
 $t_{\text{OPTENE}} (\text{Typ}) = 0.8486 / f_{\text{MRPCLK}} + 14.25 [\text{ms}]$, $t_{\text{OPTENE}} (\text{Max}) = 7.711 / f_{\text{MRPCLK}} + 201.5 [\text{ms}]$
- MRAM-OTP 高速書き込みモード 0
 $t_{\text{OPTENE}} (\text{Typ}) = 0.5479 / f_{\text{MRPCLK}} + 7.133 [\text{ms}]$, $t_{\text{OPTENE}} (\text{Max}) = 4.148 / f_{\text{MRPCLK}} + 100.8 [\text{ms}]$
- MRAM-OTP 高速書き込みモード 1
 $t_{\text{OPTENE}} (\text{Typ}) = 0.2571 / f_{\text{MRPCLK}} + 0.4627 [\text{ms}]$, $t_{\text{OPTENE}} (\text{Max}) = 0.7401 / f_{\text{MRPCLK}} + 6.333 [\text{ms}]$
 $(f_{\text{MRPCLK}} : \text{MRPCLK の周波数} [\text{MHz}])$

注2. MWMCR レジスタの MWM[1:0] ビットが、“00b”のときはMRAM-OTP 通常書き込みモード、“01b”のときはMRAM-OTP 高速書き込みモード 0、“10b”のときはMRAM-OTP 高速書き込みモード 1

2.15.5 MACI コマンド特性

表 2.143 MACI コマンド特性

項目	記号	MRPCLK = 150 MHz			MRPCLK = 120 MHz			単位
		min	typ	max	min	typ	max	
強制終了コマンドの命令時間	t_{FS}	—	—	3.31	—	—	3.36	μs
インクリメントカウンタの命令時間	t_{INCC}	—	0.252	1.61	—	0.252	1.61	ms
カウンタ読み出しの命令時間	t_{RDC}	—	—	0.13	—	—	0.163	μs

注. 他の周波数での命令時間を計算するには、以下に示す近似式を使用します。
 $t_{FS} = 38.62 / f_{MRPCLK} + 3.155 [\mu s]$
 $t_{INCC} (Typ) = 0.3348 / f_{MRPCLK} + 0.2533 [ms]$, $t_{INCC} (Max) = 0.8698 / f_{MRPCLK} + 1.62 [ms]$
 $t_{RDC} = 19.13 / f_{MRPCLK} + 0.004099 [\mu s]$
 $(f_{MRPCLK} : \text{MRPCLKの周波数 [MHz]})$

2.15.6 W-HUK ゼロ化特性

表 2.144 W-HUK ゼロ化特性

項目	記号	MRPCLK = 150 MHz			MRPCLK = 120 MHz			単位
		min	typ	max	min	typ	max	
W-HUKのゼロ化の動作時間	t_{ZWH}	—	—	793	—	—	793	ms

注. 他の周波数での動作時間を計算するには、以下に示す近似式を使用します。
 $t_{ZWH} = 34.59 / f_{MRPCLK} + 799 [ms]$
 $(f_{MRPCLK} : \text{MRPCLKの周波数 [MHz]})$

2.15.7 MRAM 磁場耐性特性

表 2.145 MRAM 磁場耐性特性

項目		記号	min	typ	max	単位	測定条件
動作	書き込み状態	G_{max_wr}	—	—	200	ガウス	—
	読み出し状態	G_{max_rd}	—	—	200		
	非アクセス時の状態	G_{max_noac}	—	—	500		
保存		G_{max_stg}	—	—	500		

2.15.8 データ MRAM 特性

表 2.146 データ MRAM 特性

項目		記号	MRPCLK = 150 MHz			MRPCLK = 120 MHz			単位
			min	typ	max	min	typ	max	
16 バイトのプログラム時間 (注1)	通常プログラムモード (注2)	t_{PME}	—	6.63	72.8	—	6.87	74.9	μs
	高速プログラムモード (注2)		—	4.63	70.8	—	4.87	72.9	
プログラム回数 (注3)		N_{PC}	100 k	—	—	100 k	—	—	回
データ保持時間 (注4)		t_{DRP}	10	—	—	10	—	—	年

注1. 他の周波数でのプログラム時間を計算するには、以下に示す近似式を使用します。

- 通常プログラムモード
 $t_{PME} (Typ) = 179.2 / f_{MRPCLK} + 5.725 [\mu s]$, $t_{PME} (Max) = 1988 / f_{MRPCLK} + 61.9 [\mu s]$
- 高速プログラムモード
 $t_{PME} (Typ) = 179.2 / f_{MRPCLK} + 3.725 [\mu s]$, $t_{PME} (Max) = 1988 / f_{MRPCLK} + 59.9 [\mu s]$
 $(f_{MRPCLK} : \text{MRPCLKの周波数} [MHz])$

注2. MRPSCレジスタのMHSPENビットが、“0”のときは通常プログラムモード、“1”のときは高速プログラムモード

注3. プログラム回数とは、16バイトのデータMRAMアドレス空間あたりのプログラミング回数です。同じアドレスに、同じデータをプログラミングしても、プログラム回数は1回増加します。

注4. $T_j = 125^\circ C$ のとき

2.16 バウンダリスキャン

表2.147 バウンダリスキャン特性

項目	記号	min	typ	max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 2.156
TCKクロック Highパルス幅	t_{TCKH}	45	—	—	ns	
TCKクロック Lowパルス幅	t_{TCKL}	45	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMSセットアップ時間	t_{TMSS}	20	—	—	ns	図 2.157
TMSホールド時間	t_{TMSH}	20	—	—	ns	
TDIセットアップ時間	t_{TDIS}	20	—	—	ns	
TDIホールド時間	t_{TDIH}	20	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	40	ns	
バウンダリスキャン回路起動時間(注1)	t_{BSSTUP}	t_{RESWP}	—	—	—	図 2.158

注1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

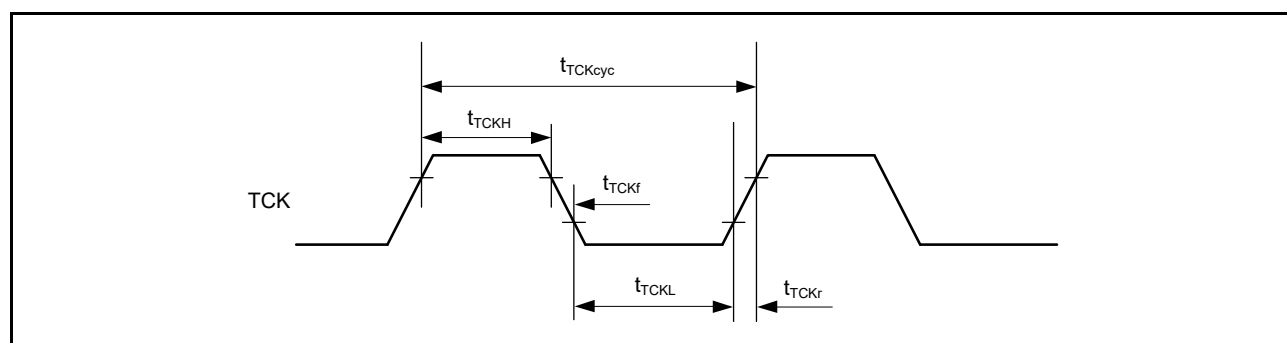


図 2.156 バウンダリスキャン TCK タイミング

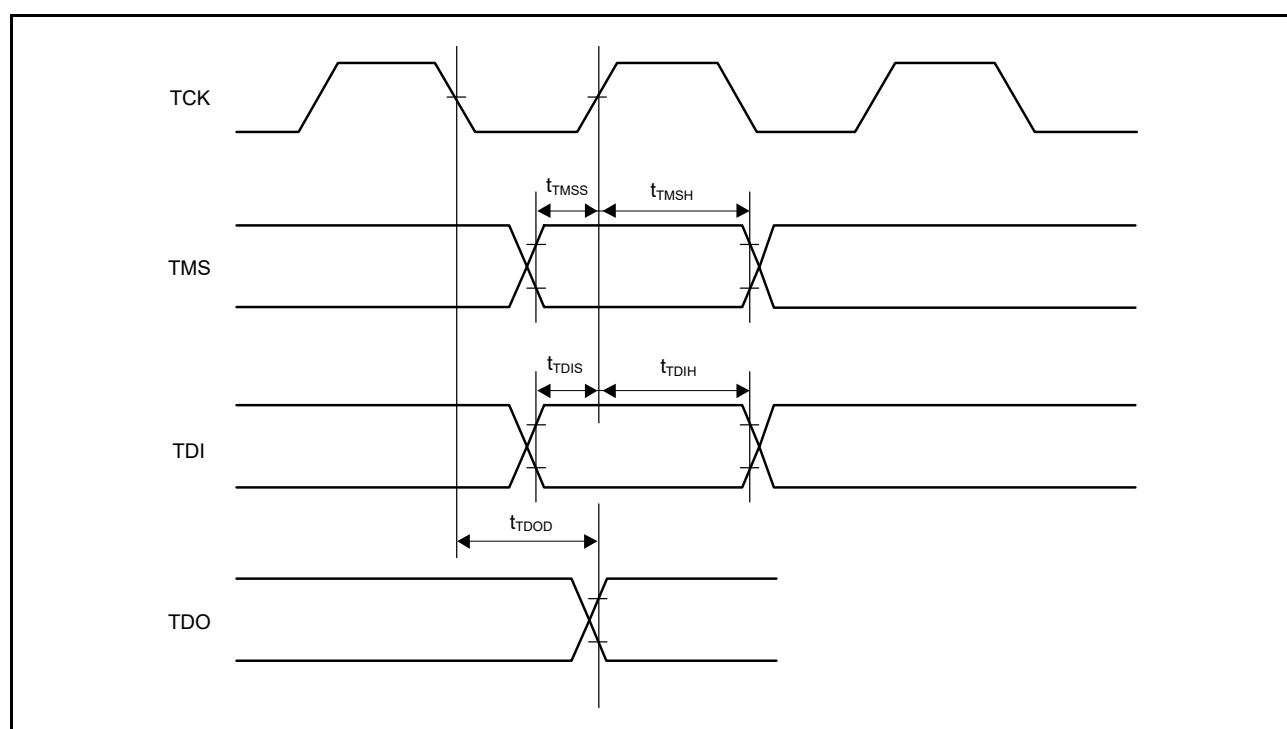


図 2.157 バウンダリスキャン入出力タイミング

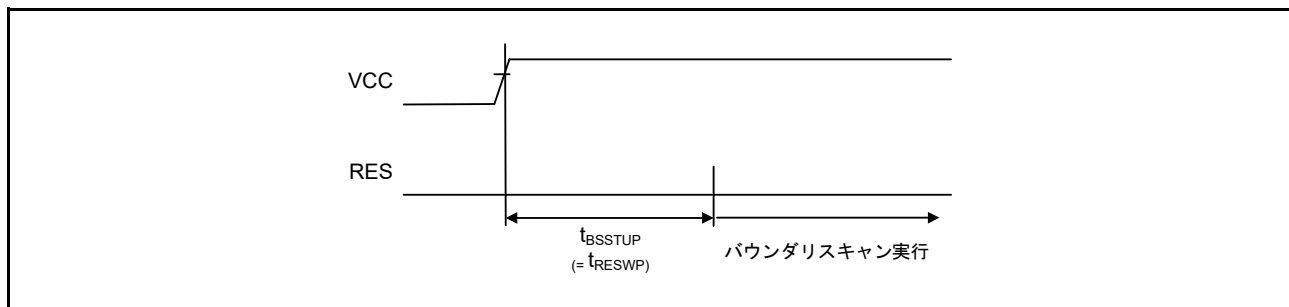


図 2.158 バウンダリスキャン回路起動時間

2.17 使用上の注意事項

2.17.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。内部降圧電源 (VCL 端子) は、パッケージごとに本数が異なります。VCL 端子と VSS 端子間には、内部電圧安定用のコンデンサを接続する必要があります。各パッケージのコンデンサの容量は「表 2.3 推奨動作条件 (2)」を参照してください。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、VCC/VCC2 と近傍の VSS の間に積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F}$ (推奨値) を使用してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

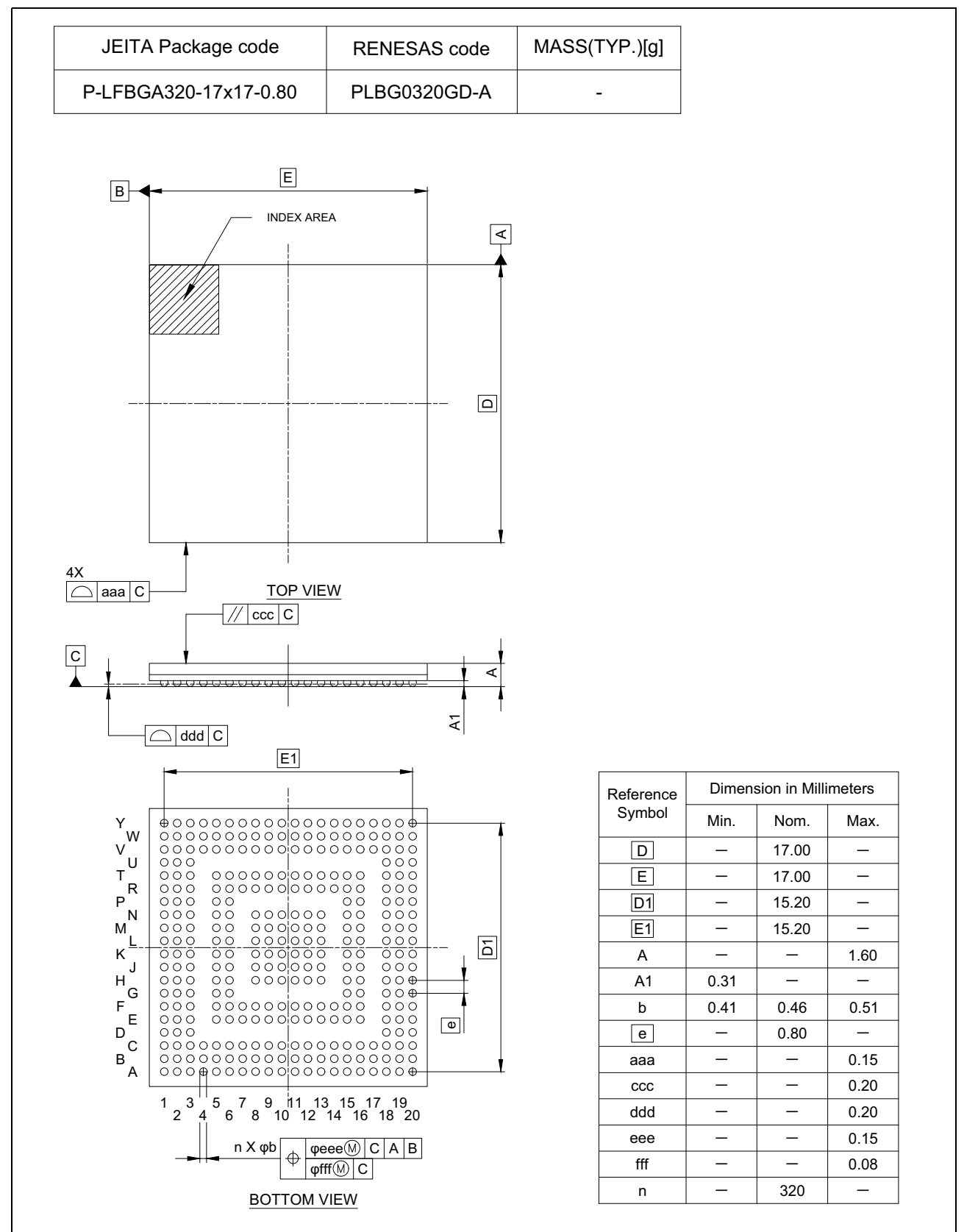
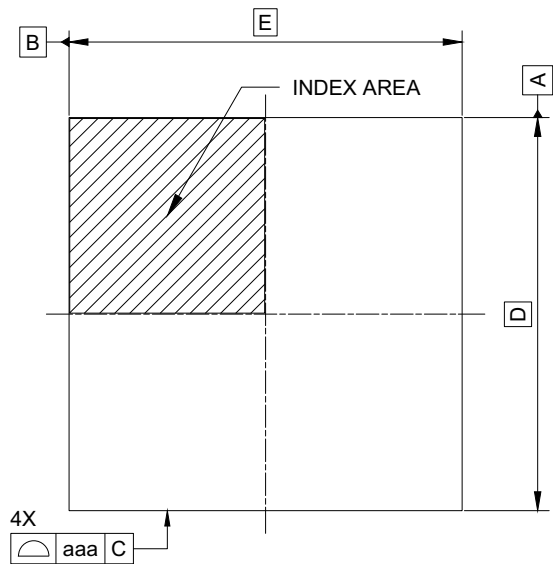
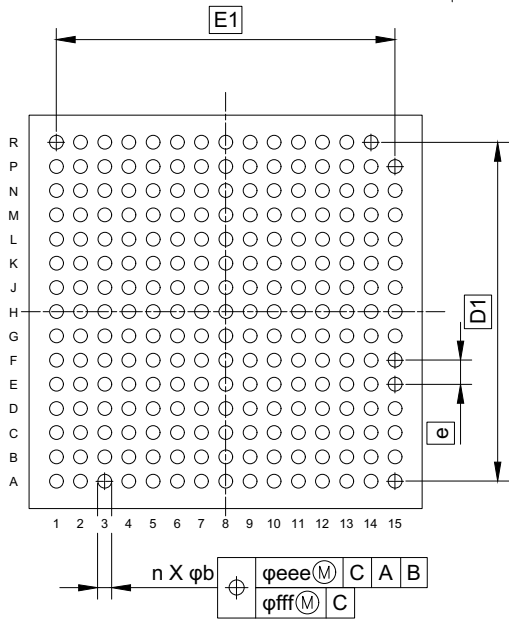
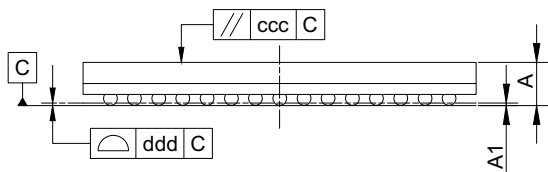


図 A. 320 ピン LFBGA (PLBG0320GD-A)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA224-13x13-0.80	PLBG0224GE-A	-



TOP VIEW

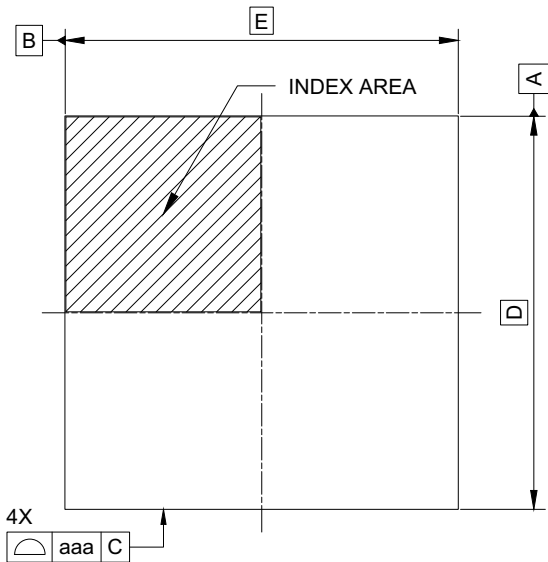


BOTTOM VIEW

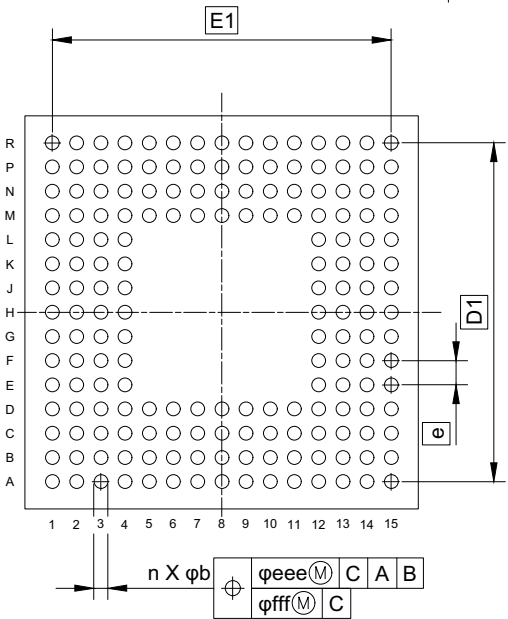
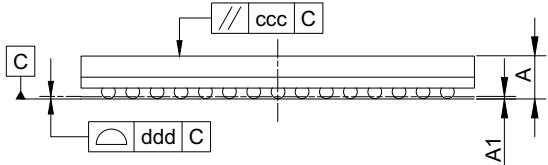
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	13.00	—
E	—	13.00	—
D1	—	11.20	—
E1	—	11.20	—
A	—	—	1.60
A1	0.31	—	—
b	0.41	0.46	0.51
e	—	0.80	—
aaa	—	—	0.15
ccc	—	—	0.20
ddd	—	—	0.20
eee	—	—	0.15
fff	—	—	0.08
N	—	224	—

図 B. 224 ピン LFBGA (PLBG0224GE-A)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA176-13x13-0.80	PLBG0176GG-A	-



TOP VIEW



BOTTOM VIEW

Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	13.00	—
E	—	13.00	—
D1	—	11.20	—
E1	—	11.20	—
A	—	—	1.60
A1	0.31	—	—
b	0.41	0.46	0.51
e	—	0.80	—
aaa	—	—	0.15
ccc	—	—	0.20
ddd	—	—	0.20
eee	—	—	0.15
fff	—	—	0.08
n	—	176	—

図 C. 176 ピン LFBGA (PLBG0176GG-A)

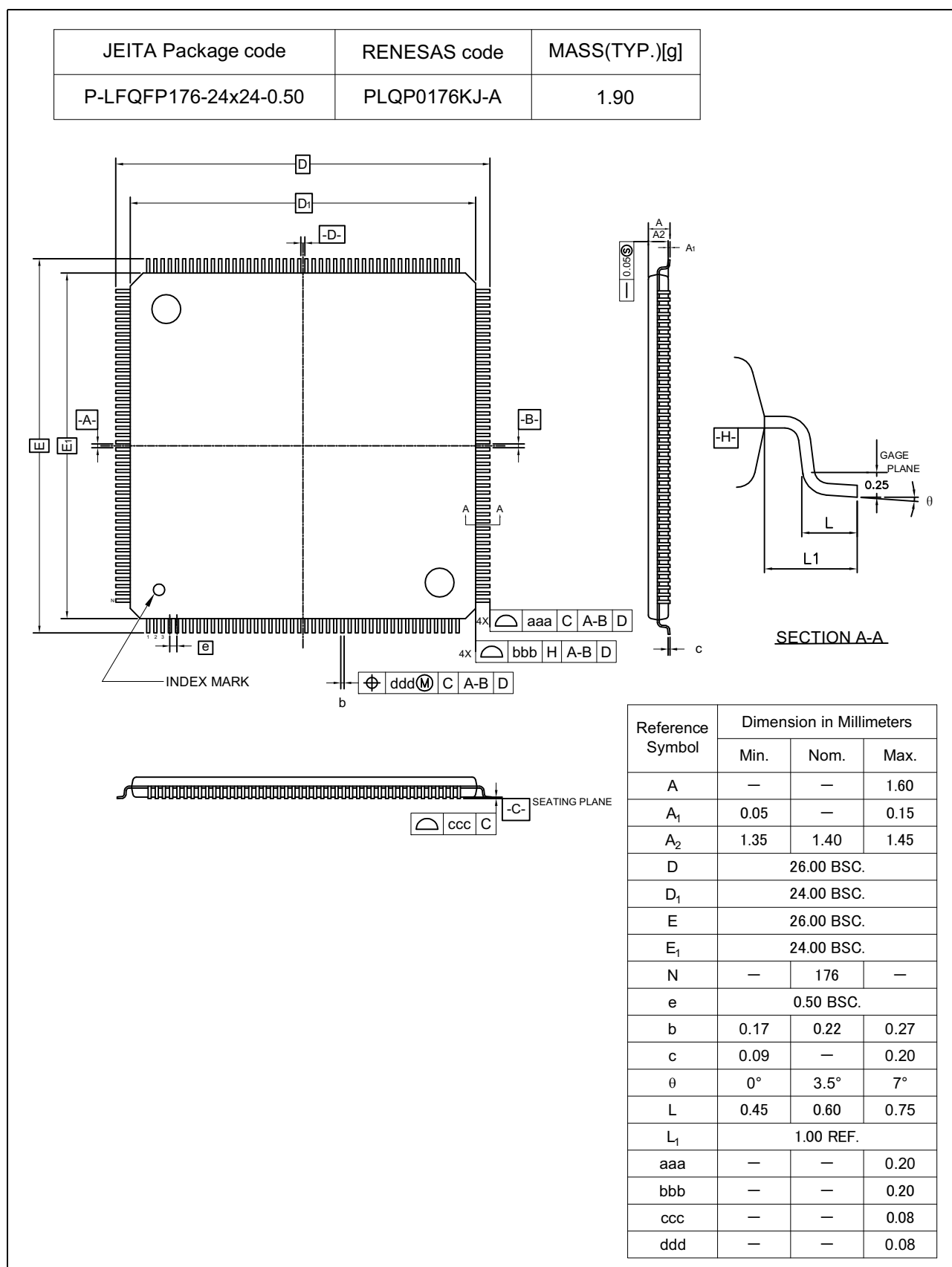
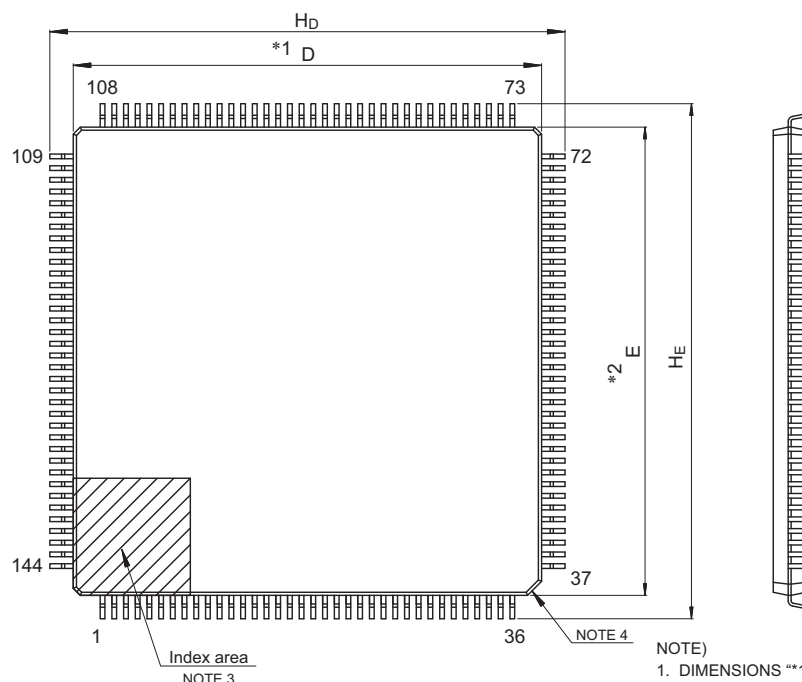


図 D. 176 ピン LFQFP (PLQP0176KJ-A)

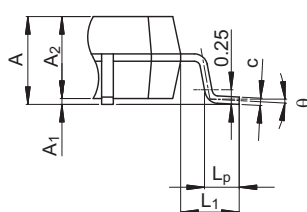
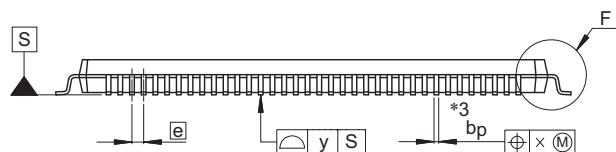
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP144-20x20-0.50	PLQP0144KA-B	—	1.2

Unit: mm



NOTE)

1. DIMENSIONS "**1" AND "**2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "**3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

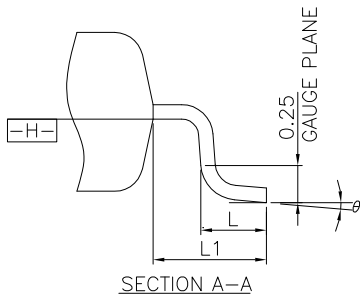
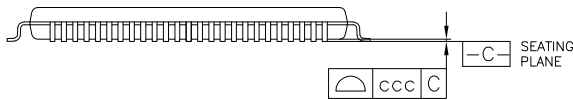
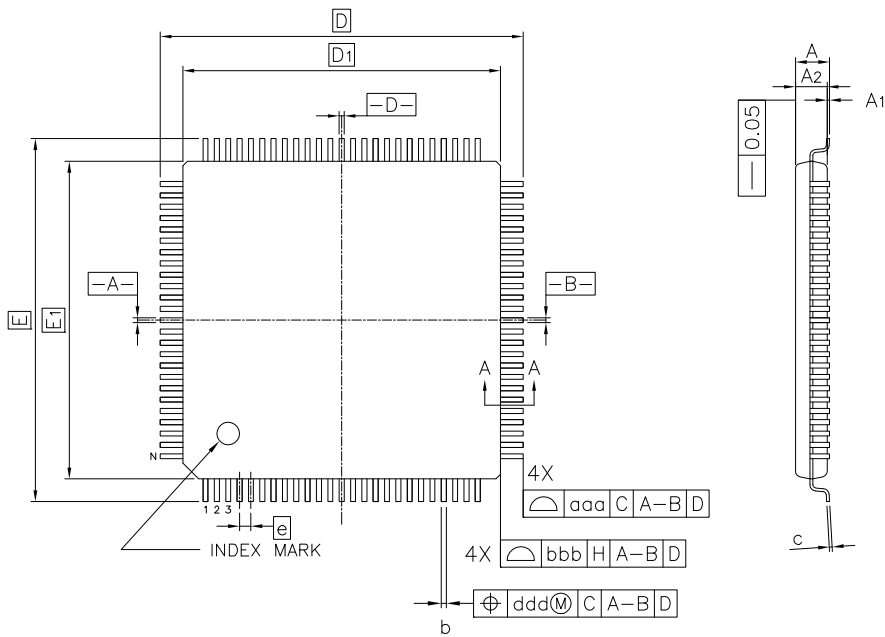


Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A ₂	—	1.4	—
H _D	21.8	22.0	22.2
H _E	21.8	22.0	22.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 E. 144 ピン LFQFP (PLQP0144KA-B)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP100-14x14-0.50	PLQP0100KP-A	0.67



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	16.00	—
D ₁	—	14.00	—
E	—	16.00	—
E ₁	—	14.00	—
N	—	100	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

図 F. 100 ピン LFQFP(PLQP0100KP-A)

改訂記録	RX74M グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの 該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2026.07.31	—	初版発行	

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。