

## RX220グループ

ルネサスマイクロコンピュータ

R01DS0130JJ0110

Rev.1.10

2013.12.18

32MHz、32ビットRX MCU、49 DMIPS、最大256Kバイトフラッシュメモリ  
12ビットA/D、ELC、MPC、IrDA、RTC、最大7本の通信機能、  
IEC60730対応機能内蔵

## 特長

### ■ 32ビットRX CPU コア内蔵

- 最大動作周波数 32MHz
- 49DMIPS の性能 (32MHz 動作時)
- 32×32 → 64 ビット演算結果 (1 命令) のアキュムレータ
- 乗除算器 32×32 ビット (乗算命令は 1CPU クロック)
- 高速割り込み
- 5 段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

### ■消費電力低減機能

- 1.62V ~ 5.5V 動作の単一電源
- 1.62V 動作可能 (最大 8MHz)
- 3 種類の低消費電力モード

### ■内蔵コードフラッシュメモリ (ウェイトなし)

- 32MHz 動作、31.25ns 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 最大 256K バイトの容量
- SCI からのユーザ書き込み
- 1.62V で書き換え可能
- 命令、オペランド用

### ■内蔵データフラッシュメモリ

- 8K バイト (書き換え回数: 100,000 回)
- CPU に負荷をかけない書き込み / 消去

### ■内蔵 SRAM (ウェイトなし)

- 最大 16K バイトの容量

### ■ DMA

- DMAC: 4 チャンネル内蔵
- DTC: 4 種類の転送モード

### ■ ELC

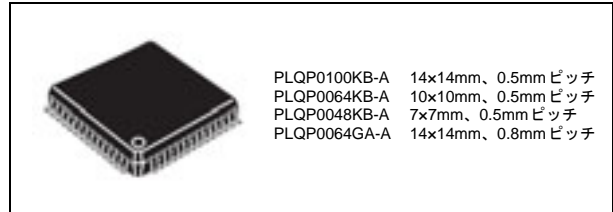
- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール動作が可能

### ■リセットおよび電源電圧制御

- パワーオンリセット (POR) など 7 種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

### ■クロック機能

- 外部クロック入力周波数: ~ 20MHz
- サブクロック用発振子周波数: 32.768kHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵



### ■リアルタイムクロック内蔵

- 補正機能 (30 秒、うるう年、誤差)
- 年月表示と 32 ビット秒表示 (バイナリカウンタ) を選択可能

### ■独立ウォッチドッグタイマ内蔵

- 125kHz IWDT 専用低速オンチップオシレータクロック動作

### ■IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、RAM テストアシスト機能など

### ■最大 7 本の通信機能を内蔵

- 多彩な機能に対応した SCI (最大 5 チャンネル) 調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード
- IrDA インタフェース (1 チャンネル、SCI5 と連携)
- I<sup>2</sup>C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1 チャンネル)
- RSPI (1 チャンネル)

### ■最大 14 本の拡張タイマ機能

- 16 ビット MTU2: インพุットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (6 チャンネル)
- 8 ビット TMR (4 チャンネル)
- 16 ビット CMT (4 チャンネル)

### ■12bitA/D コンバータ内蔵

- 最小 1.56μs 変換が可能
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

### ■アナログコンパレータ内蔵

### ■汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

### ■MPC

- 周辺機能の入出力端子を複数個所から選択可能

### ■動作周囲温度

- 40 °C ~ + 85 °C
- 40 °C ~ + 105 °C

## 1. 概要

### 1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 3)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> <li>最大動作周波数：32MHz</li> <li>32ビットRX CPU</li> <li>最小命令実行時間：1命令1クロック</li> <li>アドレス空間：4Gバイト・リニアアドレス</li> <li>レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×8本 アキュムレータ：64ビット×1本</li> <li>基本命令：73種類</li> <li>DSP機能命令：9種類</li> <li>アドレッシングモード：10種類</li> <li>データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能</li> <li>32ビット乗算器：32ビット×32ビット→64ビット</li> <li>除算器：32ビット÷32ビット→32ビット</li> <li>バレルシフタ：32ビット</li> </ul>
メモリ	ROM	<ul style="list-style-type: none"> <li>容量：32K/64K/128K/256Kバイト</li> <li>32MHz、ノーウェイトアクセス</li> <li>オンボードプログラミング：3種類</li> </ul>
	RAM	<ul style="list-style-type: none"> <li>容量：4K/8K/16Kバイト</li> <li>32MHz、ノーウェイトアクセス</li> </ul>
	E2データフラッシュ	E2データフラッシュ容量：8Kバイト
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>メインクロック発振回路、サブクロック発振回路、低速および高速オンチップオシレータ、IWDTP専用低速オンチップオシレータ</li> <li>発振停止検出：あり</li> <li>クロック周波数精度測定回路（CAC）：あり</li> <li>システムクロック（ICLK）、周辺モジュールクロック（PCLK）、FlashIFクロック（FCLK）を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz 周辺モジュールはPCLK同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz</li> </ul>
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドックタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路（LVDAa）	<ul style="list-style-type: none"> <li>VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を4レベルから選択可能 電圧検出1は検出電圧を16レベルから選択可能 電圧検出2の検出電圧は16レベルから選択可能</li> </ul>
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> <li>モジュールストップ機能</li> <li>3種類の低消費電力モード スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード</li> </ul>
	動作電力低減機能	<ul style="list-style-type: none"> <li>4種類の動作電力制御モード 中速動作モード1A、中速動作モード1B、低速動作モード1、低速動作モード2</li> </ul>
割り込み	割り込みコントローラ（ICUb）	<ul style="list-style-type: none"> <li>割り込みベクタ数：106</li> <li>外部割り込み：要因数9（NMI、IRQ0～IRQ7端子）</li> <li>ノンマスクابل割り込み：要因数5（NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、IWDTP割り込み）</li> <li>16レベルの割り込み優先順位を設定可能</li> </ul>

表 1.1 仕様概要 (2 / 3)

分類	モジュール/機能	説明
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> <li>4チャンネル</li> <li>転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード</li> <li>起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み</li> </ul>
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> <li>転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード</li> <li>起動要因：割り込み要因により起動</li> <li>チェーン転送機能あり</li> </ul>
I/Oポート	汎用入出力ポート	100ピン/64ピン/48ピン <ul style="list-style-type: none"> <li>入出力：84/48/34</li> <li>入力：1/1/1</li> <li>プルアップ抵抗：84/48/34</li> <li>オープンドレイン出力：35/26/20</li> <li>5Vトレラント：4/2/2</li> <li>8ビットポート切り替え機能：なし/あり/あり</li> </ul>
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> <li>46種類のイベント信号を直接モジュールへリンク可能</li> <li>タイマ系のモジュールはイベント入力時の動作の選択が可能</li> <li>ポートBのイベントリンク動作が可能</li> </ul>
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> <li>(16ビット×6チャンネル) ×1ユニット</li> <li>16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能</li> <li>チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類)</li> <li>インプットキャプチャ機能</li> <li>21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ</li> <li>パルス出力モード</li> <li>相補PWM出力モード</li> <li>リセット同期PWMモード</li> <li>位相計数モード</li> <li>A/Dコンバータの変換開始トリガを生成可能</li> </ul>
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> <li>(8ビット×2チャンネル) ×2ユニット</li> <li>7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能</li> <li>任意のデューティのパルス出力やPWM出力が可能</li> <li>2チャンネルをカスケード接続し16ビットタイマとして使用可能</li> <li>SCI5、SCI6、SCI12のポーレートクロック生成可能</li> </ul>
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> <li>(16ビット×2チャンネル) ×2ユニット</li> <li>4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能</li> </ul>
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> <li>14ビット×1チャンネル</li> <li>カウントクロック：IWDT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周</li> </ul>
	リアルタイムクロック (RTCc)	<ul style="list-style-type: none"> <li>クロックソース：サブクロックにて動作</li> <li>時計カウント/秒単位の32ビットバイナリカウントを選択可能</li> <li>時計/カレンダー機能</li> <li>割り込み：アラーム割り込み、周期割り込み、桁上げ割り込み</li> </ul>

表 1.1 仕様概要 (3 / 3)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCle、SCIf)	<ul style="list-style-type: none"> <li>5チャンネル (チャンネル1、5、6、9 : SCle、チャンネル12 : SCIf) (内、IrDA x 1ch)</li> <li>シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース</li> <li>内蔵ボーレートジェネレータで任意のビットレートを選択可能</li> <li>LSB ファースト/MSB ファーストを選択可能</li> <li>TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6、SCI12)</li> <li>簡易IIC機能</li> <li>簡易SPI機能</li> <li>マスタ/スレーブモードをサポート (SCIfのみ)</li> <li>スタートフレーム、インフォメーションフレームから構成 (SCIfのみ)</li> <li>調歩同期式モード時のスタートビットの検出 : Lowまたは立ち下がリエッジを選択可能 (SCle/SCIf)</li> </ul>
	IrDAインタフェース (IRDA)	<ul style="list-style-type: none"> <li>1チャンネル (SCI5を使用)</li> <li>IrDA規格バージョン1.0に準拠した波形のエンコード/デコードをサポート</li> </ul>
	I <sup>2</sup> Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>通信フォーマット : I<sup>2</sup>Cバスフォーマット/SMBusフォーマット</li> <li>マスタ/スレーブを選択可能</li> <li>ファストモード対応</li> </ul>
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能</li> <li>マスタ/スレーブモードを選択可能</li> <li>データフォーマット</li> <li>LSB ファースト/MSB ファーストを選択可能</li> <li>転送ビット長 (8~16、20、24、32ビット) を選択可能</li> <li>送信/受信バッファは128ビット</li> <li>一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)</li> <li>送信/受信バッファ構成はダブルバッファ</li> </ul>
12ビットA/Dコンバータ (S12ADb)	<ul style="list-style-type: none"> <li>12ビット (16チャンネルx1ユニット)</li> <li>分解能 : 12ビット</li> <li>最小変換時間 : 1チャンネル当たり1.56μs (ADCLK = 32MHz動作時)</li> <li>動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード)</li> <li>サンプル&amp;ホールド機能</li> <li>A/Dコンバータの自己診断機能</li> <li>アナログ入力断線検出アシスト機能</li> <li>ダブルトリガモード (A/D変換データ2重化機能)</li> <li>A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、ELC</li> </ul>	
CRC演算器 (CRC)	<ul style="list-style-type: none"> <li>8ビット単位の任意のデータ長に対してCRCコードを生成</li> <li>3つの多項式から選択可能 <math>X^8 + X^2 + X + 1</math>、<math>X^{16} + X^{15} + X^2 + 1</math>、<math>X^{16} + X^{12} + X^5 + 1</math></li> <li>LSB ファースト/MSB ファースト通信用CRCコード生成の選択が可能</li> </ul>	
コンパレータ A (CMPA)	<ul style="list-style-type: none"> <li>2チャンネル</li> <li>リファレンス電圧とアナログ入力電圧の比較機能</li> </ul>	
データ演算回路 (DOC)	16ビットのデータを比較、加算、減算する機能	
電源電圧/動作周波数	VCC=1.62~2.7V : 8MHz、VCC=2.7~5.5V : 32MHz	
動作周囲温度	Dバージョン : -40~+85°C、Gバージョン : -40~+105°C (注1)	
パッケージ	100ピンLQFP (PLQP0100KB-A) 64ピンLQFP (PLQP0064KB-A) 64ピンLQFP (PLQP0064GA-A) 48ピンLQFP (PLQP0048KB-A)	

注1. Ta = +85°C~+105°Cで使用する場合は、ディレーティングについては、当社営業および販売店営業へお問い合わせください。  
なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX220グループ		
		100ピン	64ピン	48ピン
割り込み	外部割り込み	NMI、IRQ0～IRQ7	NMI、IRQ0～IRQ2、 IRQ4～IRQ7	NMI、IRQ0、IRQ1、 IRQ4～IRQ7
DMA	DMAコントローラ	4チャンネル (DMAC0～DMAC3)		
	データトランスファコントローラ	あり		
タイマ	マルチファンクションタイマパルスユニット2	6チャンネル (MTU0～MTU5)		
	ポートアウトプットイネーブル2	POE0#～POE3#、POE8#		
	8ビットタイマ	2チャンネル×2ユニット		
	コンペアマッチタイマ	2チャンネル×2ユニット		
	リアルタイムクロック	あり	なし	
	独立ウォッチドッグタイマ	あり		
通信機能	シリアルコミュニケーションインタフェース (SC1e)	4チャンネル (SC11、SC15、SC16、SC19) (内、IrDA × 1ch)		3チャンネル (SC11、SC15、SC16) (内、IrDA × 1ch)
	シリアルコミュニケーションインタフェース (SC1f)	1チャンネル (SC112)		
	I <sup>2</sup> Cバスインタフェース	1チャンネル		
	シリアルペリフェラルインタフェース	1チャンネル		
12ビットA/Dコンバータ		16チャンネル (AN000～AN015)	12チャンネル (AN000～AN004、 AN006、AN008～ AN013)	8チャンネル (AN000、AN003、 AN004、AN006、 AN009～AN012)
CRC演算器		あり		
イベントリンクコントローラ		あり		
コンパレータA		2チャンネル		
8ビットポート切り替え機能		100ピンなし	64ピンあり PB6をPC0、 PB7をPC1 に切り替え	48ピンあり PB0をPC0、 PB1をPC1、 PB3をPC2、 PB5をPC3 に切り替え
パッケージ		100ピンLQFP	64ピンLQFP	48ピンLQFP

## 1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	パッケージ	ROM容量	RAM容量	動作周波数 (max)	動作周囲温度
RX220	R5F52206BDFP	PLQP0100KB-A	256Kバイト	16Kバイト	32MHz	-40~+85°C
	R5F52206BDFM	PLQP0064KB-A				
	R5F52206BDFK	PLQP0064GA-A				
	R5F52206BDFL	PLQP0048KB-A				
	R5F52205BDFP	PLQP0100KB-A	128Kバイト	8Kバイト		
	R5F52205BDFM	PLQP0064KB-A				
	R5F52205BDFK	PLQP0064GA-A				
	R5F52205BDFL	PLQP0048KB-A				
	R5F52203BDFP	PLQP0100KB-A	64Kバイト	4Kバイト		
	R5F52203BDFM	PLQP0064KB-A				
	R5F52203BDFK	PLQP0064GA-A				
	R5F52203BDFL	PLQP0048KB-A				
	R5F52201BDFM	PLQP0064KB-A	32Kバイト	4Kバイト		
	R5F52201BDFK	PLQP0064GA-A				
R5F52201BDFL	PLQP0048KB-A					
R5F52206BGFP	PLQP0100KB-A	256Kバイト			16Kバイト	
R5F52206BGFM	PLQP0064KB-A					
R5F52206BGFK	PLQP0064GA-A					
R5F52206BGFL	PLQP0048KB-A					
R5F52205BGFP	PLQP0100KB-A	128Kバイト	8Kバイト	32MHz	-40~+105°C	
R5F52205BGFM	PLQP0064KB-A					
R5F52205BGFK	PLQP0064GA-A					
R5F52205BGFL	PLQP0048KB-A					
R5F52203BGFP	PLQP0100KB-A	64Kバイト	4Kバイト			
R5F52203BGFM	PLQP0064KB-A					
R5F52203BGFK	PLQP0064GA-A					
R5F52203BGFL	PLQP0048KB-A					
R5F52201BGFM	PLQP0064KB-A	32Kバイト	4Kバイト			
R5F52201BGFK	PLQP0064GA-A					
R5F52201BGFL	PLQP0048KB-A					

注. Ta = +85°C~+105°Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。  
 なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

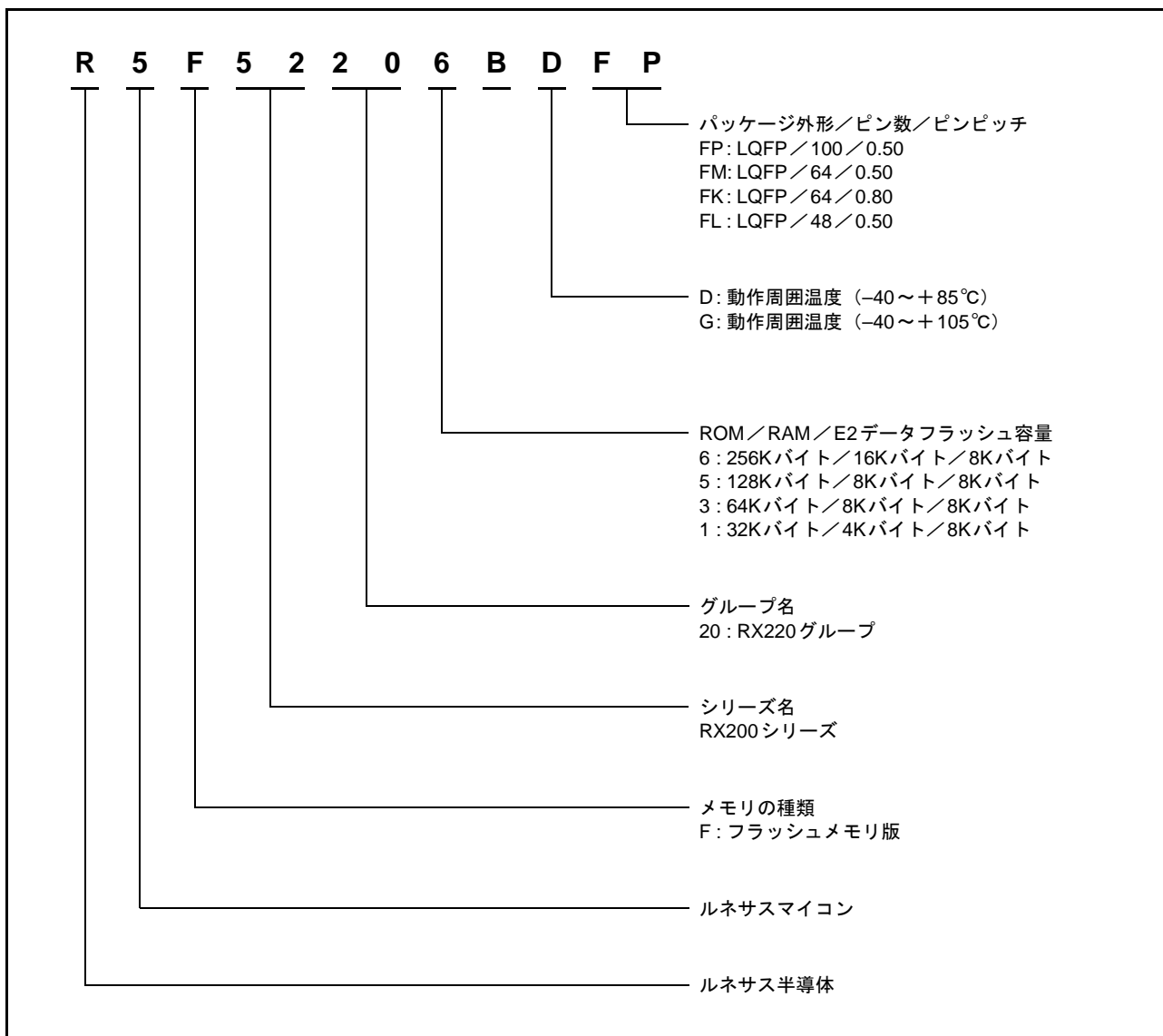


図 1.1 型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図 1.2 にブロック図を示します。

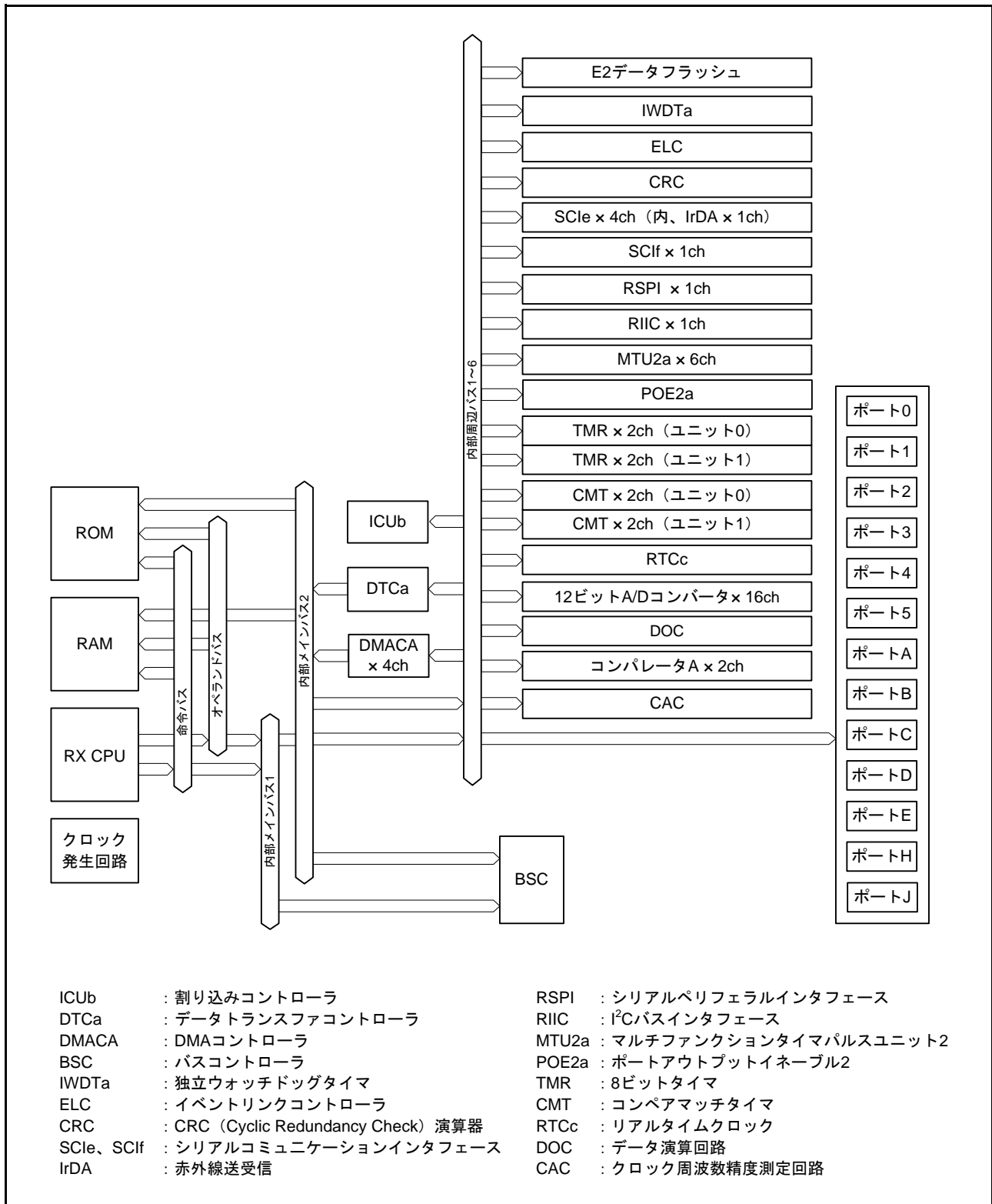


図 1.2 ブロック図



## 1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子です。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (0.1 $\mu$ F) を介してVSSIに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振回路の入出力端子。XCIN とXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください。
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0 ~ IRQ7	入力	割り込み要求端子
マルチファンクション タイムパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0 ~ TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3 ~ TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4 ~ TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプット ネーブル2	POE0# ~ POE3#、 POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
8ビットタイマ	TMO0 ~ TMO3	出力	コンペアマッチ出力端子
	TMCi0 ~ TMCi3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0 ~ TMRI3	入力	カウンタリセット入力端子
リアルタイムクロック	RTCOUT	出力	1Hzのクロックの出力端子

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIe)	• 調歩同期式モード/クロック同期式モード		
	SCK1、SCK5、SCK6、 SCK9	入出力	クロック入出力端子
	RXD1、RXD5、RXD6、 RXD9	入力	受信データ入力端子
	TXD1、TXD5、TXD6、 TXD9	出力	送信データ出力端子
	CTS1#、CTS5#、 CTS6#、CTS9#	入力	送受信開始制御用入力端子
	RTS1#、RTS5#、RTS6#、 RTS9#	出力	送受信開始制御用出力端子
	• 簡易I <sup>2</sup> Cモード		
	SSCL1、SSCL5、 SSCL6、SSCL9	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA1、SSDA5、 SSDA6、SSDA9	入出力	I <sup>2</sup> Cデータ入出力端子
	• 簡易SPIモード		
	SCK1、SCK5、SCK6、 SCK9	入出力	クロック入出力端子
	SMISO1、SMISO5、 SMISO6、SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI1、SMOSI5、 SMOSI6、SMOSI9	入出力	マスタ送出データ入出力端子
	SS1#、SS5#、SS6#、 SS9#	入力	チップセレクト入力端子
	• IrDAインタフェース		
	IRTXD5	出力	IrDAフォーマットでのデータ出力端子
	IRRXD5	入力	IrDAフォーマットでのデータ入力端子
シリアル コミュニケーション インタフェース (SCI <sub>f</sub> )	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I <sup>2</sup> Cモード		
	SSCL12	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA12	入出力	I <sup>2</sup> Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	SCI <sub>f</sub> 受信データ入力端子
	TXDX12	出力	SCI <sub>f</sub> 送信データ出力端子
SIOX12	入出力	SCI <sub>f</sub> 送受信データ入出力端子	
I <sup>2</sup> Cバスインタフェース (RIIC)	SCL	入出力	I <sup>2</sup> Cバスインタフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA	入出力	I <sup>2</sup> Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
シリアルペリフェラルインタフェース (RSPI)	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN015	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
コンパレータA	CMPA1	入力	コンパレータA1用のアナログ端子
	CMPA2	入力	コンパレータA2用のアナログ端子
	CVREFA	入力	コンパレータ用のリファレンス電圧端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
I/Oポート	P03、P05、P07	入出力	3ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子 (P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P55	入出力	6ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ1、PJ3	入出力	2ビットの入出力端子

### 1.5 ピン配置図

図 1.3 ~ 図 1.5 にピン配置図を示します。また、表 1.5 ~ 表 1.7 に機能別端子一覧を示します。

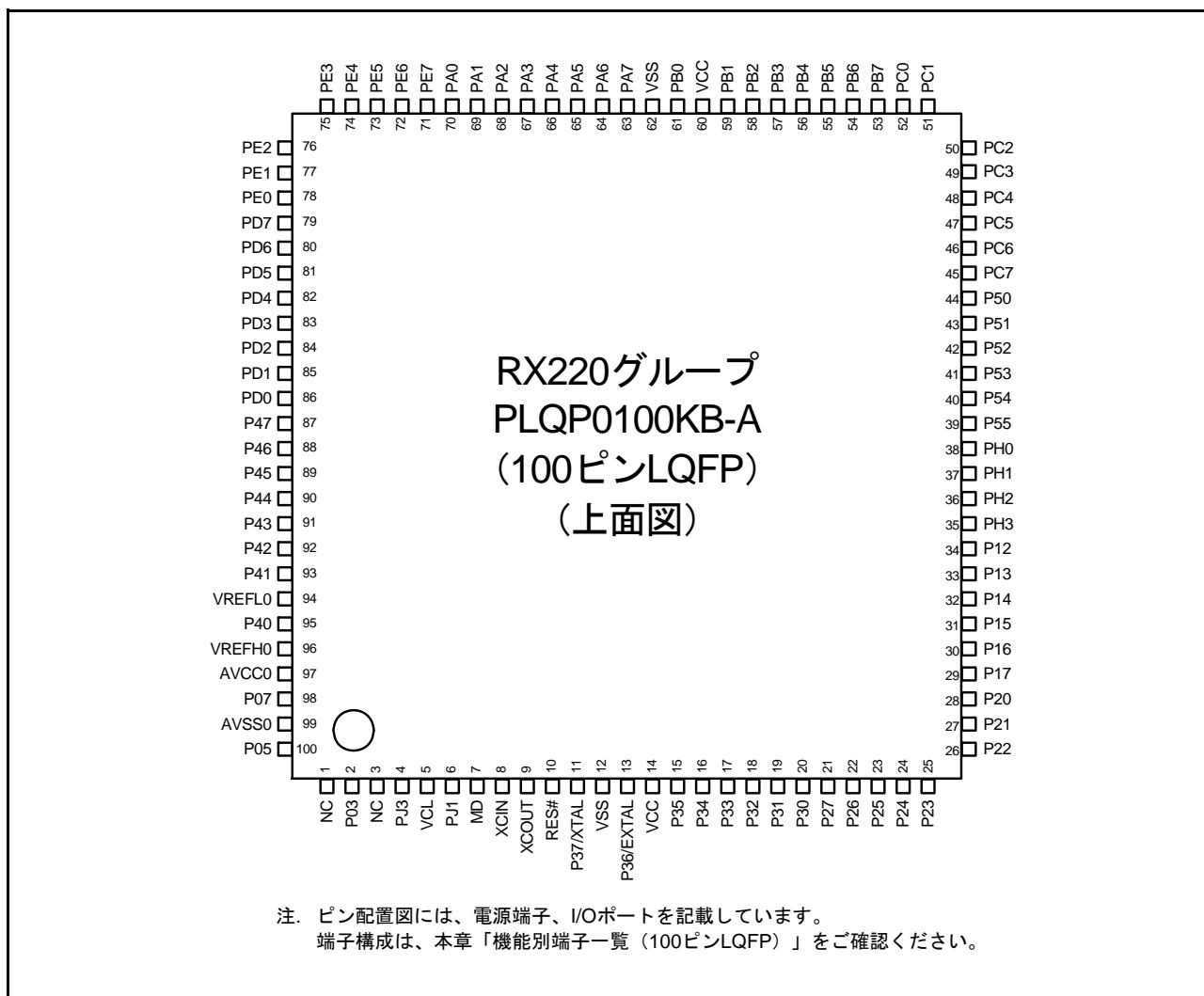


図 1.3 100 ピン LQFP ピン配置図

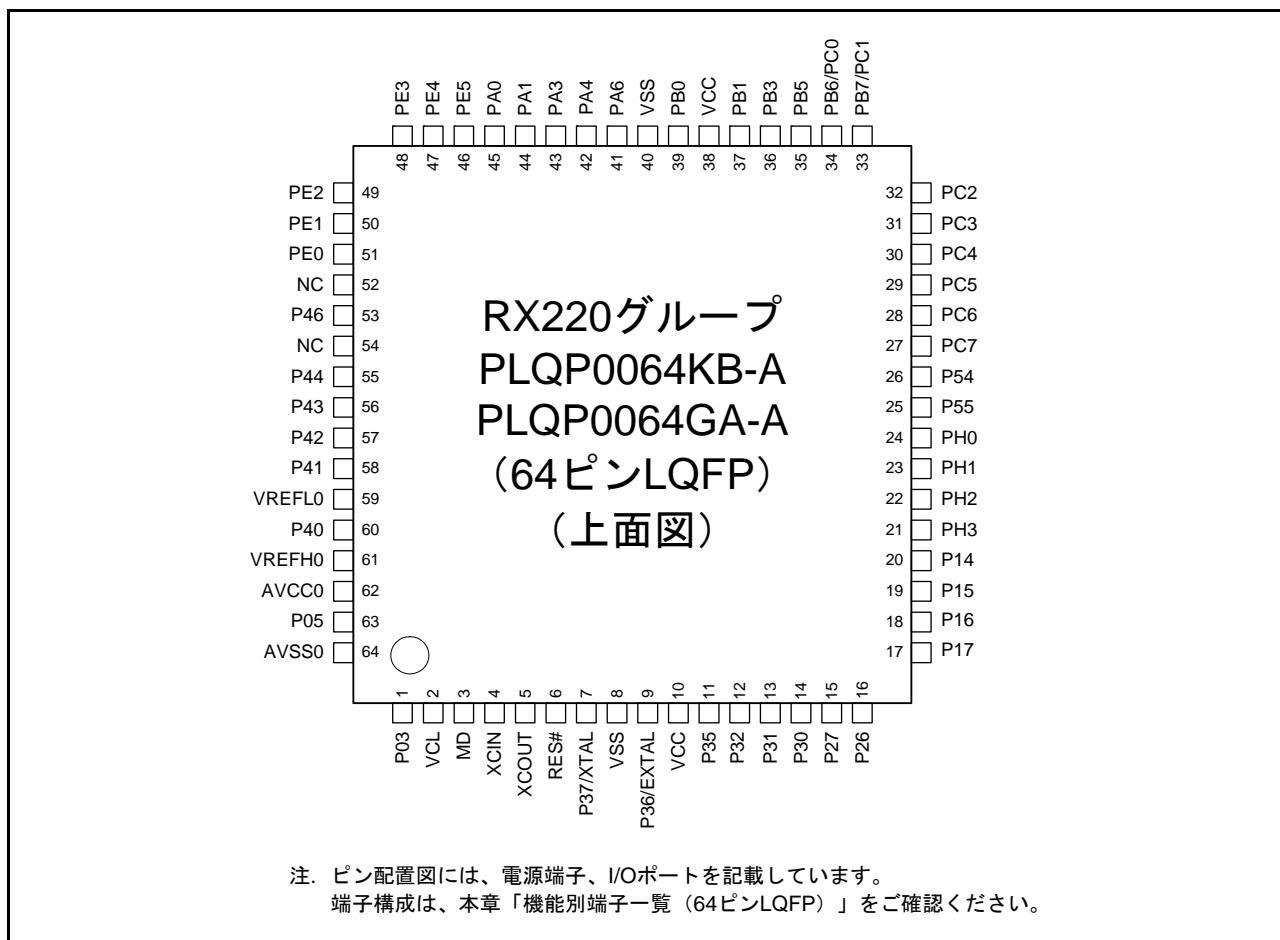


図 1.4 64ピンLQFPピン配置図

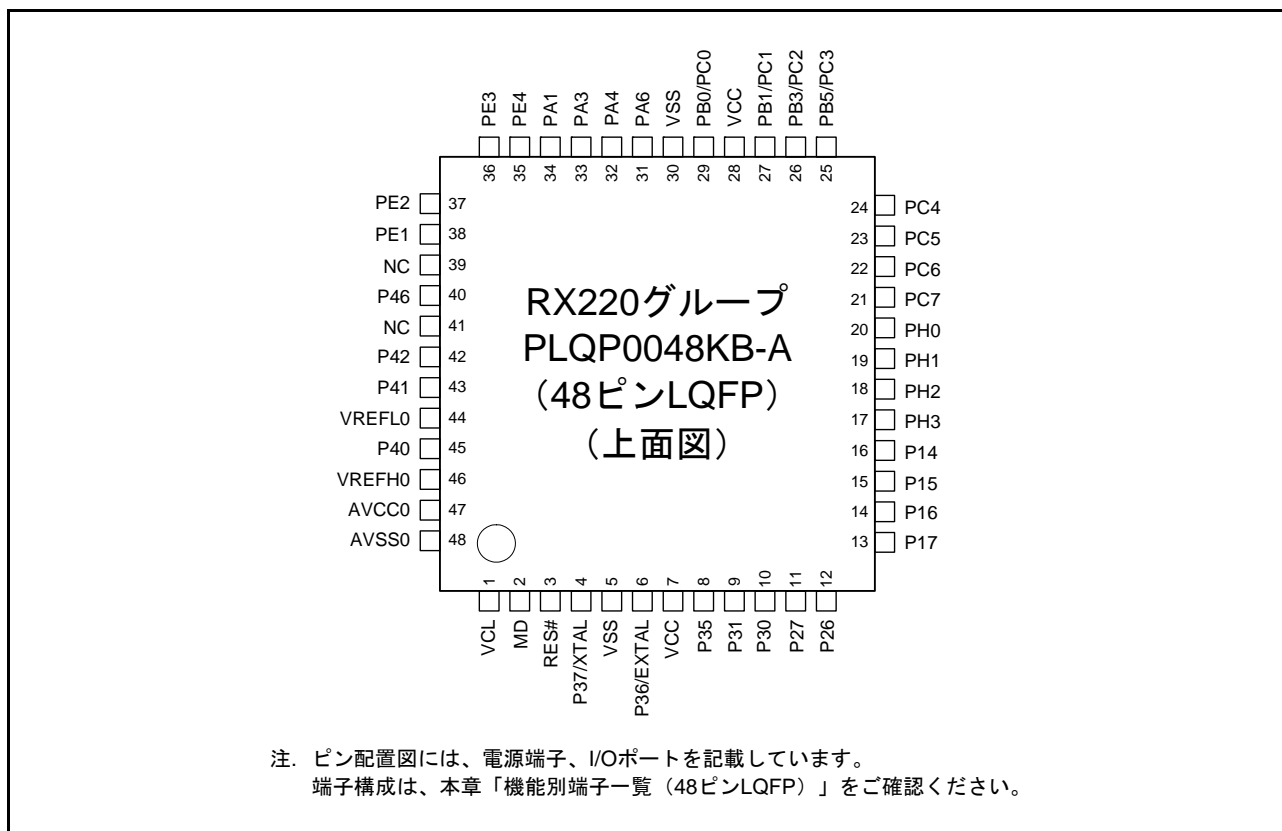


図 1.5 48 ピン LQFP ピン配置図

表 1.5 機能別端子一覧 (100ピンLQFP) (1 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIe、SCI、RSPI、RIIC)	その他
1	NC(Non-Connection)				
2		P03			
3	NC(Non-Connection)				
4		PJ3	MTIOC3C	CTS6#/RTS6#/SS6#	
5	VCL				
6		PJ1	MTIOC3A		
7	MD				FINED
8	XCIN				
9	XCOUT				
10	RES#				
11	XTAL	P37			
12	VSS				
13	EXTAL	P36			
14	VCC				
15		P35			NMI
16		P34	MTIOC0A/TMCI3/POE2#	SCK6	IRQ4
17		P33	MTIOC0D/TMRI3/POE3#	RXD6/SMISO6/SSCL6	IRQ3
18		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2/RTCOUT
19		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1
20		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0
21		P27	MTIOC2B/TMCI3	SCK1	
22		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
23		P25	MTIOC4C/MTCLKB		ADTRG0#
24		P24	MTIOC4A/MTCLKA/TMRI1		
25		P23	MTIOC3D/MTCLKD		
26		P22	MTIOC3B/MTCLKC/TMO0		
27		P21	MTIOC1B/TMCI0		
28		P20	MTIOC1A/TMRI0		
29		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA	IRQ7
30		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL	IRQ6/RTCOUT/ADTRG0#
31		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
32		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
33		P13	MTIOC0B/TMO3	SDA	IRQ3
34		P12	TMCI1	SCL	IRQ2
35		PH3	TMCI0		
36		PH2	TMRI0		IRQ1
37		PH1	TMO0		IRQ0
38		PH0			CACREF
39		P55	MTIOC4D/TMO3		
40		P54	MTIOC4B/TMCI1		
41		P53			
42		P52			
43		P51			
44		P50			
45		PC7	MTIOC3A/TMO2/MTCLKB	MISOA	CACREF
46		PC6	MTIOC3C/MTCLKA/TMCI2	MOSIA	
47		PC5	MTIOC3B/MTCLKD/TMRI2	RSPCKA	

表 1.5 機能別端子一覧 (100ピンLQFP) (2 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIe、SCIf、RSPI、RIIC)	その他
48		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/SSLA0	
49		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/IRTXD5	
50		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/IRRXD5/SSLA3	
51		PC1	MTIOC3A	SCK5/SSLA2	
52		PC0	MTIOC3C	CTS5#/RTS5#/SS5#/SSLA1	
53		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
54		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
55		PB5	MTIOC2A/MTIOC1B/TMR11/POE1#	SCK9	
56		PB4		CTS9#/RTS9#/SS9#	
57		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
58		PB2		CTS6#/RTS6#/SS6#	
59		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4
60	VCC				
61		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
62	VSS				
63		PA7		MISOA	
64		PA6	MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
65		PA5		RSPCKA	
66		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/IRTXD5/SSLA0	IRQ5
67		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5/IRRXD5	IRQ6
68		PA2		RXD5/SMISO5/SSCL5/IRRXD5/SSLA3	
69		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
70		PA0	MTIOC4A	SSLA1	CACREF
71		PE7			IRQ7/AN015
72		PE6			IRQ6/AN014
73		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
74		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
75		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
76		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12	IRQ7/AN010
77		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	AN009
78		PE0		SCK12	AN008
79		PD7	MTIC5U/POE0#		IRQ7
80		PD6	MTIC5V/POE1#		IRQ6
81		PD5	MTIC5W/POE2#		IRQ5
82		PD4	POE3#		IRQ4
83		PD3	POE8#		IRQ3
84		PD2	MTIOC4D		IRQ2
85		PD1	MTIOC4B		IRQ1
86		PD0			IRQ0
87		P47			AN007



表 1.5 機能別端子一覧 (100ピンLQFP) (3 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIE、SCIF、RSPI、RIIC)	その他
88		P46			AN006
89		P45			AN005
90		P44			AN004
91		P43			AN003
92		P42			AN002
93		P41			AN001
94	VREFL0				
95		P40			AN000
96	VREFH0				
97	AVCC0				
98		P07			ADTRG0#
99	AVSS0				
100		P05			

表 1.6 機能別端子一覧 (64ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIE、SCIF、RSPI、RIIC)	その他
1		P03			
2	VCL				
3	MD				FINED
4	XCIN				
5	XCOUT				
6	RES#				
7	XTAL	P37			
8	VSS				
9	EXTAL	P36			
10	VCC				
11		P35			NMI
12		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2/RTCOUT
13		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1
14		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0
15		P27	MTIOC2B/TMCI3	SCK1	
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
17		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA	IRQ7
18		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL	IRQ6/RTCOUT/ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
20		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
21		PH3	TMCI0		
22		PH2	TMRI0		IRQ1
23		PH1	TMO0		IRQ0
24		PH0			CACREF
25		P55	MTIOC4D/TMO3		
26		P54	MTIOC4B/TMCI1		
27		PC7	MTIOC3A/TMO2/MTCLKB	MISOA	CACREF
28		PC6	MTIOC3C/MTCLKA/TMCI2	MOSIA	
29		PC5	MTIOC3B/MTCLKD/TMRI2	RSPCKA	
30		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/SSLA0	
31		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/IRTXD5	
32		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/IRRXD5/SSLA3	
33		PB7/PC1	MTIOC3B	TXD9/SMOSI9/SSDA9	
34		PB6/PC0	MTIOC3D	RXD9/SMISO9/SSCL9	
35		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#	SCK9	
36		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
37		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4
38	VCC				
39		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
40	VSS				
41		PA6	MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
42		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/IRTXD5/SSLA0	IRQ5

表 1.6 機能別端子一覧 (64ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIe、SCI、RSPI、RIIC)	その他
43		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5/IRRXD5	IRQ6
44		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
45		PA0	MTIOC4A	SSLA1	CACREF
46		PE5	MTIOC4C/MTIOC2B		IRQ5/AN013
47		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
48		PE3	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#	AN011/CMPA1
49		PE2	MTIOC4A	RXD12/RXD12/SMISO12/SSCL12	IRQ7/AN010
50		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SMOSI12/SSDA12	AN009
51		PE0		SCK12	AN008
52	NC(Non-Connection)				
53		P46			AN006
54	NC(Non-Connection)				
55		P44			AN004
56		P43			AN003
57		P42			AN002
58		P41			AN001
59	VREFL0				
60		P40			AN000
61	VREFH0				
62	AVCC0				
63		P05			
64	AVSS0				

表 1.7 機能別端子一覧 (48ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCle、SCIf、RSPI、RIIC)	その他
1	VCL				
2	MD				FINED
3	RES#				
4	XTAL	P37			
5	VSS				
6	EXTAL	P36			
7	VCC				
8		P35			NMI
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1
10		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	IRQ0
11		P27	MTIOC2B/TMCI3	SCK1	
12		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1	
13		P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA	IRQ7
14		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL	IRQ6/ADTRG0#
15		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
16		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
17		PH3	TMCI0		
18		PH2	TMRI0		IRQ1
19		PH1	TMO0		IRQ0
20		PH0			CACREF
21		PC7	MTIOC3A/TMO2/MTCLKB	MISOA	CACREF
22		PC6	MTIOC3C/MTCLKA/TMCI2	MOSIA	
23		PC5	MTIOC3B/MTCLKD/TMRI2	RSPCKA	
24		PC4	MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/SSLA0	
25		PB5/PC3	MTIOC2A/MTIOC1B/TMRI1/POE1#		
26		PB3/PC2	MTIOC0A/MTIOC4A/TMO0/POE3#	SCK6	
27		PB1/PC1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4
28	VCC				
29		PB0/PC0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	
30	VSS				
31		PA6	MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	
32		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/IRTXD5/SSLA0	IRQ5
33		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5/IRRXD5	IRQ6
34		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
35		PE4	MTIOC4D/MTIOC1A		AN012/CMPA2
36		PE3	MTIOC4B/POE8#	CTS12#/RTS12#	AN011/CMPA1
37		PE2	MTIOC4A	RXD12/RXD12/SSCL12	IRQ7/AN010
38		PE1	MTIOC4C	TXD12/TXD12/SIOX12/SSDA12	AN009
39	NC (Non-Connection)				
40		P46			AN006
41	NC (Non-Connection)				

表 1.7 機能別端子一覧 (48ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCle、SCIf、RSPI、RIIC)	その他
42		P42			AN002
43		P41			AN001
44	VREFLO				
45		P40			AN000
46	VREFH0				
47	AVCC0				
48	AVSS0				

## 2. CPU

図 2.1 に CPU のレジスタ構成を示します。

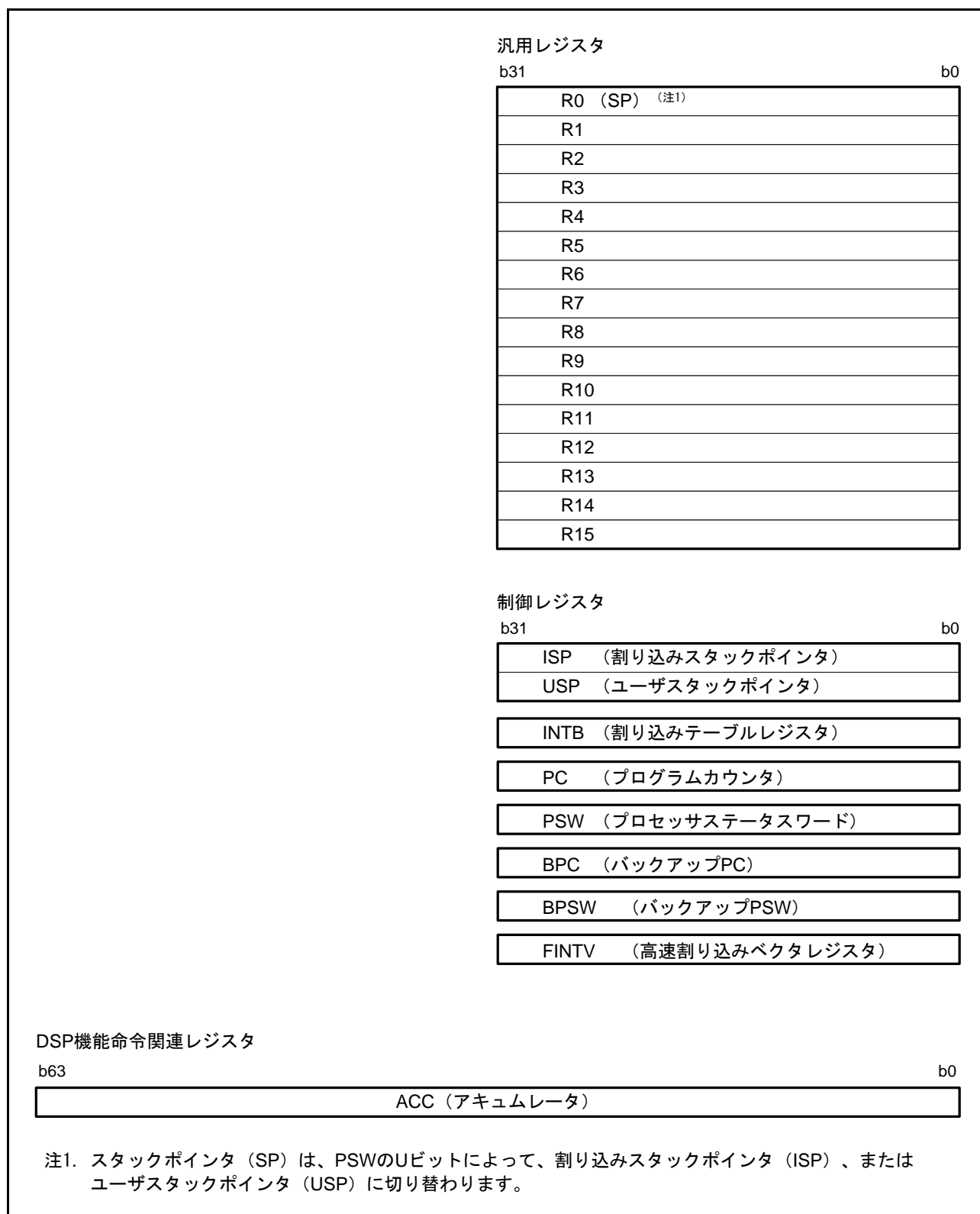


図 2.1 CPU レジスタセット

## 2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

## 2.2 制御レジスタ

### (1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

### (2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

### (3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

### (4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

### (5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

### (6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

### (7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

## 2.3 DSP 機能命令関連レジスタ

### (1) アキュムレータ (ACC)

アキュムレータ (ACC) は、64ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32ビット (b63 ~ b32)、MVFACMI 命令で中央の 32ビット (b47 ~ b16) のデータをそれぞれ読みます。

### 3. アドレス空間

#### 3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 にメモリマップを示します。



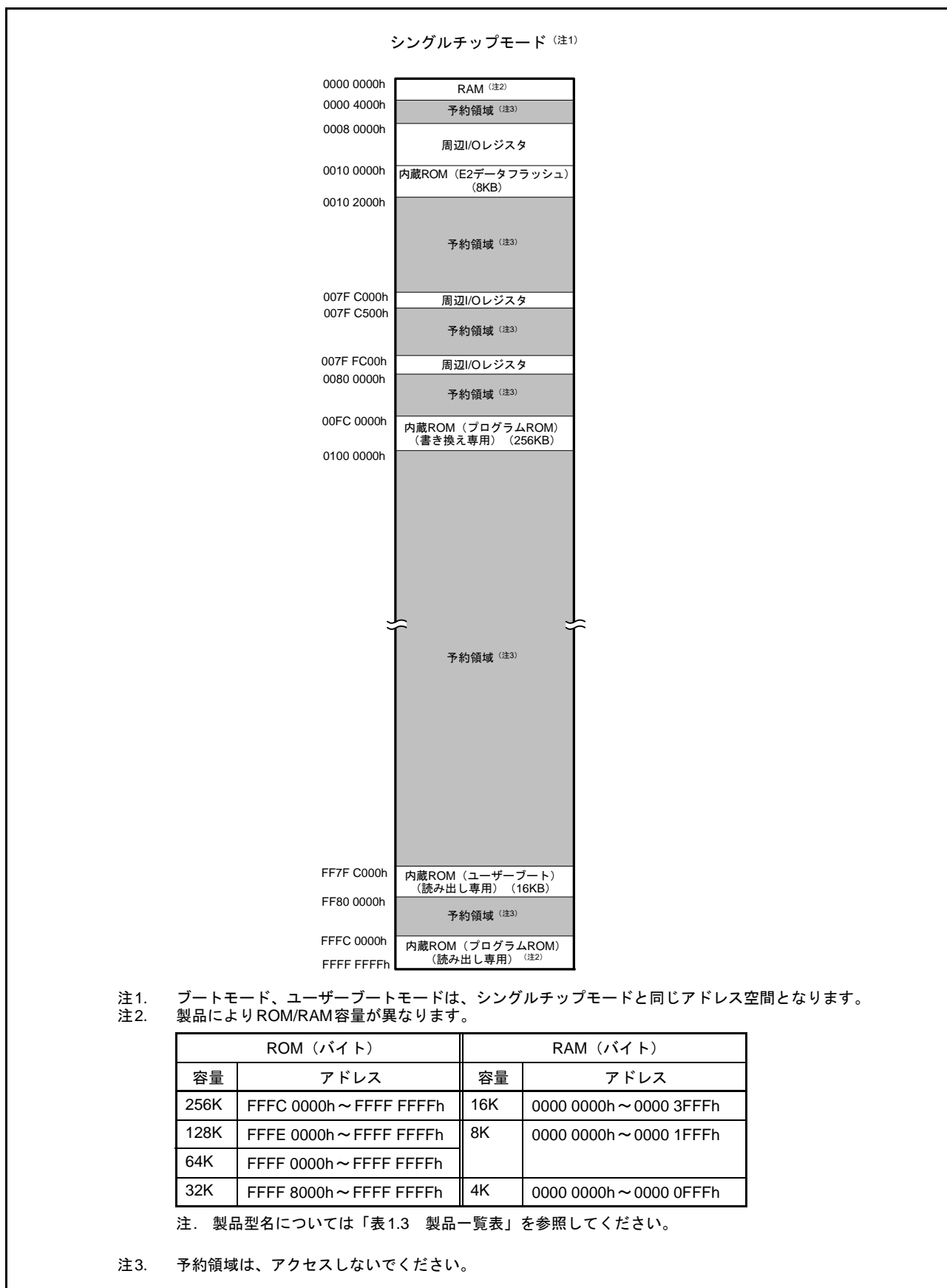


図 3.1 メモリマップ

## 4. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

### (1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

### (2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

#### [注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

#### [命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

### (3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 4.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能のレジスタへアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK（またはFCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （または $\text{FCLK}$ ）の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（またはFCLK）で最大1サイクルとなるため、表 4.1 では $1\text{PCLK}$ （または $\text{FCLK}$ ）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または $\text{FCLK}$ ）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

- 注1. CPUからのレジスタアクセスが、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

## 4.1 I/Oレジスタアドレス一覧（アドレス順）

表 4.1 I/Oレジスタアドレス一覧（1 / 18）

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK	
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK	
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK	
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK	
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK	
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK	
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK	
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK	
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK	
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK	
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK	
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK	
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK	
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK	
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK	
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK	
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK	
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK	
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK	
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK	
0008 00A3h	SYSTEM	サブクロック発振器ウェイトコントロールレジスタ	SOSCWTCR	8	8	3ICLK	
0008 00A9h	SYSTEM	HOCOウェイトコントロールレジスタ2	HOCOWTCR2	8	8	3ICLK	
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK	
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK	
0008 00E0h	SYSTEM	電圧監視1回路/コンパレータA1制御レジスタ1	LVD1CR1	8	8	3ICLK	
0008 00E1h	SYSTEM	電圧監視1回路/コンパレータA1ステータスレジスタ	LVD1SR	8	8	3ICLK	
0008 00E2h	SYSTEM	電圧監視2回路/コンパレータA2制御レジスタ1	LVD2CR1	8	8	3ICLK	
0008 00E3h	SYSTEM	電圧監視2回路/コンパレータA2ステータスレジスタ	LVD2SR	8	8	3ICLK	
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK	
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK	
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK	
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK	
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK	
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK	
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK	
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (2 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2200h	DMAC	DMAモジュール起動レジスタ	DMAST	8	8	2ICLK	
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK	
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK	
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK	
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK	
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK	
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK	
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK	
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK	
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK	
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK	
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK	
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK	
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK	
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK	
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK	
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK	
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK	
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK	
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK	
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK	
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK	
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK	
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK	
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK	
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (3 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK	
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK	
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK	
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK	
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK	
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK	
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK	
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK	
0008 705Dh	ICU	割り込み要求レジスタ 093	IR093	8	8	2ICLK	
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK	
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK	
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK	
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK	
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK	
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK	
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK	
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK	
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK	
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK	
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK	
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK	
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK	
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK	
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK	
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK	
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK	
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK	
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK	
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK	
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK	
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK	
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK	
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK	
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK	
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK	
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK	
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK	
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK	
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK	
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK	
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK	
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK	
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK	
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK	
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK	
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK	
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK	
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK	
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK	
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK	
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK	
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK	
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK	
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 ( 4 / 1 8 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK	
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK	
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK	
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK	
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK	
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK	
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK	
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK	
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK	
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK	
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK	
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK	
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK	
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK	
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK	
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK	
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK	
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK	
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK	
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK	
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK	
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK	
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK	
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK	
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK	
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK	
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK	
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK	
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK	
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK	
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK	
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK	
0008 711Bh	ICU	DTC起動許可レジスタ 027	DT CER027	8	8	2ICLK	
0008 711Ch	ICU	DTC起動許可レジスタ 028	DT CER028	8	8	2ICLK	
0008 711Dh	ICU	DTC起動許可レジスタ 029	DT CER029	8	8	2ICLK	
0008 711Eh	ICU	DTC起動許可レジスタ 030	DT CER030	8	8	2ICLK	
0008 711Fh	ICU	DTC起動許可レジスタ 031	DT CER031	8	8	2ICLK	
0008 712Dh	ICU	DTC起動許可レジスタ 045	DT CER045	8	8	2ICLK	
0008 712Eh	ICU	DTC起動許可レジスタ 046	DT CER046	8	8	2ICLK	
0008 7140h	ICU	DTC起動許可レジスタ 064	DT CER064	8	8	2ICLK	
0008 7141h	ICU	DTC起動許可レジスタ 065	DT CER065	8	8	2ICLK	
0008 7142h	ICU	DTC起動許可レジスタ 066	DT CER066	8	8	2ICLK	
0008 7143h	ICU	DTC起動許可レジスタ 067	DT CER067	8	8	2ICLK	
0008 7144h	ICU	DTC起動許可レジスタ 068	DT CER068	8	8	2ICLK	
0008 7145h	ICU	DTC起動許可レジスタ 069	DT CER069	8	8	2ICLK	
0008 7146h	ICU	DTC起動許可レジスタ 070	DT CER070	8	8	2ICLK	
0008 7147h	ICU	DTC起動許可レジスタ 071	DT CER071	8	8	2ICLK	
0008 7166h	ICU	DTC起動許可レジスタ 102	DT CER102	8	8	2ICLK	
0008 7167h	ICU	DTC起動許可レジスタ 103	DT CER103	8	8	2ICLK	
0008 716Ah	ICU	DTC起動許可レジスタ 106	DT CER106	8	8	2ICLK	
0008 7172h	ICU	DTC起動許可レジスタ 114	DT CER114	8	8	2ICLK	
0008 7173h	ICU	DTC起動許可レジスタ 115	DT CER115	8	8	2ICLK	
0008 7174h	ICU	DTC起動許可レジスタ 116	DT CER116	8	8	2ICLK	
0008 7175h	ICU	DTC起動許可レジスタ 117	DT CER117	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧 (5 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCER121	8	8	2ICLK	
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCER122	8	8	2ICLK	
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCER125	8	8	2ICLK	
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCER126	8	8	2ICLK	
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCER129	8	8	2ICLK	
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCER130	8	8	2ICLK	
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCER131	8	8	2ICLK	
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCER132	8	8	2ICLK	
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCER134	8	8	2ICLK	
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCER135	8	8	2ICLK	
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCER136	8	8	2ICLK	
0008 7189h	ICU	DTC起動許可レジスタ 137	DTCER137	8	8	2ICLK	
0008 718Ah	ICU	DTC起動許可レジスタ 138	DTCER138	8	8	2ICLK	
0008 718Bh	ICU	DTC起動許可レジスタ 139	DTCER139	8	8	2ICLK	
0008 718Ch	ICU	DTC起動許可レジスタ 140	DTCER140	8	8	2ICLK	
0008 718Dh	ICU	DTC起動許可レジスタ 141	DTCER141	8	8	2ICLK	
0008 71AEh	ICU	DTC起動許可レジスタ 174	DTCER174	8	8	2ICLK	
0008 71AFh	ICU	DTC起動許可レジスタ 175	DTCER175	8	8	2ICLK	
0008 71B1h	ICU	DTC起動許可レジスタ 177	DTCER177	8	8	2ICLK	
0008 71B2h	ICU	DTC起動許可レジスタ 178	DTCER178	8	8	2ICLK	
0008 71B4h	ICU	DTC起動許可レジスタ 180	DTCER180	8	8	2ICLK	
0008 71B5h	ICU	DTC起動許可レジスタ 181	DTCER181	8	8	2ICLK	
0008 71B7h	ICU	DTC起動許可レジスタ 183	DTCER183	8	8	2ICLK	
0008 71B8h	ICU	DTC起動許可レジスタ 184	DTCER184	8	8	2ICLK	
0008 71C6h	ICU	DTC起動許可レジスタ 198	DTCER198	8	8	2ICLK	
0008 71C7h	ICU	DTC起動許可レジスタ 199	DTCER199	8	8	2ICLK	
0008 71C8h	ICU	DTC起動許可レジスタ 200	DTCER200	8	8	2ICLK	
0008 71C9h	ICU	DTC起動許可レジスタ 201	DTCER201	8	8	2ICLK	
0008 71DBh	ICU	DTC起動許可レジスタ 219	DTCER219	8	8	2ICLK	
0008 71DCh	ICU	DTC起動許可レジスタ 220	DTCER220	8	8	2ICLK	
0008 71DFh	ICU	DTC起動許可レジスタ 223	DTCER223	8	8	2ICLK	
0008 71E0h	ICU	DTC起動許可レジスタ 224	DTCER224	8	8	2ICLK	
0008 71E3h	ICU	DTC起動許可レジスタ 227	DTCER227	8	8	2ICLK	
0008 71E4h	ICU	DTC起動許可レジスタ 228	DTCER228	8	8	2ICLK	
0008 71EBh	ICU	DTC起動許可レジスタ 235	DTCER235	8	8	2ICLK	
0008 71ECh	ICU	DTC起動許可レジスタ 236	DTCER236	8	8	2ICLK	
0008 71EFh	ICU	DTC起動許可レジスタ 239	DTCER239	8	8	2ICLK	
0008 71F0h	ICU	DTC起動許可レジスタ 240	DTCER240	8	8	2ICLK	
0008 71F7h	ICU	DTC起動許可レジスタ 247	DTCER247	8	8	2ICLK	
0008 71F8h	ICU	DTC起動許可レジスタ 248	DTCER248	8	8	2ICLK	
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK	
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK	
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK	
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK	
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK	
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK	
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK	
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK	
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK	
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK	
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK	
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK	
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK	
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK	



表 4.1 I/Oレジスタアドレス一覧 (6 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK	
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK	
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK	
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK	
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK	
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK	
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK	
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK	
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK	
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK	
0008 7301h	ICU	割り込み要因プライオリティレジスタ 001	IPR001	8	8	2ICLK	
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK	
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK	
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK	
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK	
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK	
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK	
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK	
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK	
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK	
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK	
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK	
0008 733Fh	ICU	割り込み要因プライオリティレジスタ 063	IPR063	8	8	2ICLK	
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK	
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK	
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK	
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK	
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK	
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK	
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK	
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK	
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK	
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK	
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 092	IPR092	8	8	2ICLK	
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 093	IPR093	8	8	2ICLK	
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK	
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK	
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK	
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK	
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK	
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK	
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK	
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK	
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK	
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK	
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK	
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK	
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK	
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK	
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2ICLK	
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2ICLK	
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK	

表 4.1 I/Oレジスタアドレス一覧(7 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK	
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK	
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK	
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2ICLK	
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2ICLK	
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2ICLK	
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2ICLK	
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK	
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK	
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK	
0008 73EAh	ICU	割り込み要因プライオリティレジスタ 234	IPR234	8	8	2ICLK	
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK	
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242	IPR242	8	8	2ICLK	
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243	IPR243	8	8	2ICLK	
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK	
0008 73F5h	ICU	割り込み要因プライオリティレジスタ 245	IPR245	8	8	2ICLK	
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK	
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK	
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK	
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK	
0008 7400h	ICU	DMAC起動要求選択レジスタ 0	DMRSR0	8	8	2ICLK	
0008 7404h	ICU	DMAC起動要求選択レジスタ 1	DMRSR1	8	8	2ICLK	
0008 7408h	ICU	DMAC起動要求選択レジスタ 2	DMRSR2	8	8	2ICLK	
0008 740Ch	ICU	DMAC起動要求選択レジスタ 3	DMRSR3	8	8	2ICLK	
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK	
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK	
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK	
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK	
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK	
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK	
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK	
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK	
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK	
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK	
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK	
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK	
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	
0008 8000h	CMT	コンペアマッチタイムスタートレジスタ 0	CMSTR0	16	16	2~3PCLKB	2ICLK
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ 1	CMSTR1	16	16	2~3PCLKB	2ICLK
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(8/18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLKB	2ICLK
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLKB	2ICLK
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLKB	2ICLK
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2~3PCLKB	2ICLK
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2~3PCLKB	2ICLK
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8(注1)	2~3PCLKB	2ICLK
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8(注1)	2~3PCLKB	2ICLK
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8(注1)	2~3PCLKB	2ICLK
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2~3PCLKB	2ICLK
0008 820Ch	TMR0	タイムカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8(注1)	2~3PCLKB	2ICLK
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8(注1)	2~3PCLKB	2ICLK
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8(注1)	2~3PCLKB	2ICLK
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8(注1)	2~3PCLKB	2ICLK
0008 821Ch	TMR2	タイムカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	2ICLK
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLKB	2ICLK
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLKB	2ICLK
0008 8300h	RIIC0	I <sup>2</sup> Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK
0008 8301h	RIIC0	I <sup>2</sup> Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK
0008 8302h	RIIC0	I <sup>2</sup> Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK
0008 8303h	RIIC0	I <sup>2</sup> Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK
0008 8304h	RIIC0	I <sup>2</sup> Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK
0008 8305h	RIIC0	I <sup>2</sup> Cバスファンクションイネーブルレジスタ	ICFER	8	8	2~3PCLKB	2ICLK
0008 8306h	RIIC0	I <sup>2</sup> Cバスステータスイネーブルレジスタ	ICSER	8	8	2~3PCLKB	2ICLK
0008 8307h	RIIC0	I <sup>2</sup> Cバスインタラプティネーブルレジスタ	ICIER	8	8	2~3PCLKB	2ICLK
0008 8308h	RIIC0	I <sup>2</sup> Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK
0008 8309h	RIIC0	I <sup>2</sup> Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2~3PCLKB	2ICLK
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8(注2)	2~3PCLKB	2ICLK
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK
0008 8310h	RIIC0	I <sup>2</sup> Cバスビットレートローレベルレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK
0008 8311h	RIIC0	I <sup>2</sup> Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (9 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの 場合	ICLK < PCLKの 場合
0008 8312h	RIIC0	PCバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK
0008 8313h	RIIC0	PCバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK
0008 8410h	IRDA	IrDA制御レジスタ	IRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2 ~ 3PCLKB	2ICLK
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2 ~ 3PCLKB	2ICLK
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2 ~ 3PCLKB	2ICLK
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2 ~ 3PCLKB	2ICLK
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2 ~ 3PCLKB	2ICLK
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2 ~ 3PCLKB	2ICLK
0008 8622h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2 ~ 3PCLKB	2ICLK
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (10 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2~3PCLKB	2ICLK
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2~3PCLKB	2ICLK
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2~3PCLKB	2ICLK
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2~3PCLKB	2ICLK
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2~3PCLKB	2ICLK
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	2ICLK
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	2ICLK
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2~3PCLKB	2ICLK
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2~3PCLKB	2ICLK
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2~3PCLKB	2ICLK
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2~3PCLKB	2ICLK
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2~3PCLKB	2ICLK
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8, 16	2~3PCLKB	2ICLK
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8, 16	2~3PCLKB	2ICLK
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8, 16	2~3PCLKB	2ICLK
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8, 16	2~3PCLKB	2ICLK
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8, 16	2~3PCLKB	2ICLK
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	2ICLK
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	2ICLK
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	2ICLK
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	2ICLK
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2~3PCLKB	2ICLK
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2~3PCLKB	2ICLK
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2~3PCLKB	2ICLK
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	2ICLK
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2~3PCLKB	2ICLK
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	2ICLK
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	2ICLK
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	2ICLK
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	2ICLK
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(11/18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2~3PCLKB	2ICLK
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2~3PCLKB	2ICLK
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2~3PCLKB	2ICLK
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2~3PCLKB	2ICLK
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2~3PCLKB	2ICLK
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2~3PCLKB	2ICLK
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2~3PCLKB	2ICLK
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2~3PCLKB	2ICLK
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2~3PCLKB	2ICLK
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2~3PCLKB	2ICLK
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2~3PCLKB	2ICLK
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2~3PCLKB	2ICLK
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	2ICLK
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2~3PCLKB	2ICLK
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2~3PCLKB	2ICLK
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2~3PCLKB	2ICLK
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2~3PCLKB	2ICLK
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8, 16	2~3PCLKB	2ICLK
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	2ICLK
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2~3PCLKB	2ICLK
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2~3PCLKB	2ICLK
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK
0008 9004h	S12AD	A/Dチャネル選択レジスタA	ADANSA	16	16	2~3PCLKB	2ICLK
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2~3PCLKB	2ICLK
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	2ICLK
0008 9014h	S12AD	A/Dチャネル選択レジスタB	ADANSB	16	16	2~3PCLKB	2ICLK
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB	2ICLK
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	2ICLK
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	2ICLK
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	2ICLK
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	2ICLK
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2~3PCLKB	2ICLK
0008 9032h	S12AD	A/Dデータレジスタ9	ADDR9	16	16	2~3PCLKB	2ICLK
0008 9034h	S12AD	A/Dデータレジスタ10	ADDR10	16	16	2~3PCLKB	2ICLK
0008 9036h	S12AD	A/Dデータレジスタ11	ADDR11	16	16	2~3PCLKB	2ICLK
0008 9038h	S12AD	A/Dデータレジスタ12	ADDR12	16	16	2~3PCLKB	2ICLK
0008 903Ah	S12AD	A/Dデータレジスタ13	ADDR13	16	16	2~3PCLKB	2ICLK
0008 903Ch	S12AD	A/Dデータレジスタ14	ADDR14	16	16	2~3PCLKB	2ICLK
0008 903Eh	S12AD	A/Dデータレジスタ15	ADDR15	16	16	2~3PCLKB	2ICLK
0008 9060h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK
0008 9061h	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2~3PCLKB	2ICLK
0008 9071h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTRO	8	8	2~3PCLKB	2ICLK
0008 9073h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK
0008 9074h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 ( 1 2 / 1 8 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 9075h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK
0008 9076h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK
0008 9077h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK
0008 9078h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK
0008 9079h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2~3PCLKB	2ICLK
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A029h	SCI1	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 A02Ah	SCI1	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A02Bh	SCI1	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A02Ch	SCI1	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A0A9h	SCI5	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 A0AAh	SCI5	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A0ABh	SCI5	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A0ACh	SCI5	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A0C9h	SCI6	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 A0CAh	SCI6	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A0CBh	SCI6	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A0CCh	SCI6	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (13 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK<PCLKの場合
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 A129h	SCI9	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 A12Ah	SCI9	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 A12Bh	SCI9	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 A12Ch	SCI9	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK
0008 B003h	CAC	CAC割り込みコントロールレジスタ	CAICR	8	8	2~3PCLKB	2ICLK
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2~3PCLKB	2ICLK
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2~3PCLKB	2ICLK
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	2ICLK
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	2ICLK
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	2ICLK
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	2ICLK
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK
0008 B309h	SCI12	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK
0008 B30Ah	SCI12	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK
0008 B30Bh	SCI12	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK
0008 B30Ch	SCI12	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK



表 4.1 I/Oレジスタアドレス一覧 (14 / 18)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2 ~ 3PCLKB	2ICLK
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2 ~ 3PCLKB	2ICLK
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2 ~ 3PCLKB	2ICLK
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Ah	SCI12	Control Field 0コンペイネーブルレジスタ	CF0CR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Eh	SCI12	Control Field 1コンペイネーブルレジスタ	CF1CR	8	8	2 ~ 3PCLKB	2ICLK
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2 ~ 3PCLKB	2ICLK
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2 ~ 3PCLKB	2ICLK
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライト 時 2ICLK

表 4.1 I/Oレジスタアドレス一覧 (15 / 18)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK<PCLKの場合
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	リード時 3~4PCLKB、 ライト時 2~3PCLKB	リード時 3ICLK、ライト 時 2ICLK
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK
0008 C082h	PORT1	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C083h	PORT1	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C085h	PORT2	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C086h	PORT3	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C087h	PORT3	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C094h	PORTA	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C095h	PORTA	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C096h	PORTB	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C097h	PORTB	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2~3PCLKB	2ICLK
0008 C098h	PORTC	オーブンドレイン制御レジスタ 0	ODR0	8	8, 16	2~3PCLKB	2ICLK
0008 C099h	PORTC	オーブンドレイン制御レジスタ 1	ODR1	8	8, 16	2~3PCLKB	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (16 / 18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	2ICLK
0008 C0C0h	PORT0	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C1h	PORT1	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C2h	PORT2	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C3h	PORT3	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C4h	PORT4	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0C5h	PORT5	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CAh	PORTA	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CBh	PORTB	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CCh	PORTC	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CDh	PORTD	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0CEh	PORTE	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0D1h	PORTH	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0D2h	PORTJ	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK
0008 C120h	PORT	ポート切り替えレジスタB	PSRB	8	8	2~3PCLKB	2ICLK
0008 C121h	PORT	ポート切り替えレジスタA	PSRA	8	8	2~3PCLKB	2ICLK
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(17/18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの 場合	ICLK<PCLKの 場合
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	2ICLK
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	2ICLK
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK
0008 C1Ach	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2~3PCLKB	2ICLK
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	2ICLK
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	2ICLK
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2~3PCLKB	2ICLK
0008 C1D1h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8	2~3PCLKB	2ICLK
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK
0008 C28Fh	SYSTEM	フラッシュ HOCOソフトウェアスタンバイコントロールレジスタ	FHSSBYCR	8	8	4~5PCLKB	2~3ICLK
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4~5PCLKB	2~3ICLK
0008 C296h	FLASH	フラッシュライトイレズプロテクトレジスタ	FWEPROR	8	8	4~5PCLKB	2~3ICLK
0008 C297h	SYSTEM	電圧監視回路/コンパレータA制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLRL	8	8	4~5PCLKB	2~3ICLK
0008 C29Ah	SYSTEM	電圧監視1回路/コンパレータA1制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK
0008 C29Bh	SYSTEM	電圧監視2回路/コンパレータA2制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2~3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(18/18)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK $\geq$ PCLKの場合	ICLK<PCLKの場合
0008 C402h	RTC	秒カウンタ/バイナリカウンタ0	RSECNT/ BCNT0	8	8	2~3PCLKB	2ICLK
0008 C404h	RTC	分カウンタ/バイナリカウンタ1	RMINCNT/ BCNT1	8	8	2~3PCLKB	2ICLK
0008 C406h	RTC	時カウンタ/バイナリカウンタ2	RHRCNT/ BCNT2	8	8	2~3PCLKB	2ICLK
0008 C408h	RTC	曜日カウンタ/バイナリカウンタ3	RWKCNT/ BCNT3	8	8	2~3PCLKB	2ICLK
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	2ICLK
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	2ICLK
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	2ICLK
0008 C410h	RTC	秒アラームレジスタ/バイナリカウンタ0アラームレジスタ	RSECAR/ BCNT0AR	8	8	2~3PCLKB	2ICLK
0008 C412h	RTC	分アラームレジスタ/バイナリカウンタ1アラームレジスタ	RMINAR/ BCNT1AR	8	8	2~3PCLKB	2ICLK
0008 C414h	RTC	時アラームレジスタ/バイナリカウンタ2アラームレジスタ	RHRAR/ BCNT2AR	8	8	2~3PCLKB	2ICLK
0008 C416h	RTC	曜日アラームレジスタ/バイナリカウンタ3アラームレジスタ	RWKAR/ BCNT3AR	8	8	2~3PCLKB	2ICLK
0008 C418h	RTC	日アラームレジスタ/バイナリカウンタ0アラームイネーブルレジスタ	RDAYAR/ BCNT0AER	8	8	2~3PCLKB	2ICLK
0008 C41Ah	RTC	月アラームレジスタ/バイナリカウンタ1アラームイネーブルレジスタ	RMONAR/ BCNT1AER	8	8	2~3PCLKB	2ICLK
0008 C41Ch	RTC	年アラームレジスタ/バイナリカウンタ2アラームイネーブルレジスタ	RYRAR/ BCNT2AER	16	16	2~3PCLKB	2ICLK
0008 C41Eh	RTC	年アラームイネーブルレジスタ/バイナリカウンタ3アラームイネーブルレジスタ	RYRAREN/ BCNT3AER	8	8	2~3PCLKB	2ICLK
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	2ICLK
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	2ICLK
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB	2ICLK
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	2ICLK
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2~3FCLK	2ICLK
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~3FCLK	2ICLK
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~3FCLK	2ICLK
007F C412h	FLASH	フラッシュレディー割り込み許可レジスタ	FRDYIE	8	8	2~3FCLK	2ICLK
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2~3FCLK	2ICLK
007F C450h	FLASH	E2データフラッシュプログラム/イレーズ許可レジスタ0	DFLWE0	16	16	2~3FCLK	2ICLK
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK	2ICLK
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK	2ICLK
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2~3FCLK	2ICLK
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~3FCLK	2ICLK
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2~3FCLK	2ICLK
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2~3FCLK	2ICLK
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2~3FCLK	2ICLK
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2~3FCLK	2ICLK
007F FFCh	FLASH	フラッシュP/Eステータスレジスタ	FPSTAT	16	16	2~3FCLK	2ICLK
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2~3FCLK	2ICLK
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2~3FCLK	2ICLK

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。  
注2. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTLレジスタのアドレスへアクセスしてください。

## 5. 電气的特性

### 5.1 絶対最大定格

表5.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +6.5	V
入力電圧 (5Vトレラント対応ポート (注1)、及びポート4以外)	V <sub>in</sub>	-0.3 ~ VCC+0.3 (注3)	V
入力電圧 (ポート4)	V <sub>in</sub>	-0.3 ~ AVCC0+0.3 (注3)	V
入力電圧 (5Vトレラント対応ポート (注1))	V <sub>in</sub>	-0.3 ~ +6.5	V
アナログ電源電圧	AVCC0 (注2)	-0.3 ~ +6.5	V
リファレンス電源電圧	VREFH0 (注2)	-0.3 ~ AVCC0+0.3 (注3)	V
アナログ入力電圧 (ポート4以外)	V <sub>AN</sub>	-0.3 ~ VCC+0.3 (注3)	V
アナログ入力電圧 (ポート4)	V <sub>AN</sub>	-0.3 ~ AVCC0+0.3 (注3)	V
動作温度	T <sub>opr</sub>	-40 ~ +105	°C
保存温度	T <sub>stg</sub>	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、0.1μF (±20%精度)のコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

注1. ポート12、13、16、17は、5Vトレラント対応です。

注2. AVCC0は、VCCと同電位にしてください。また、A/Dコンバータ未使用時にAVCC0、VREFH0、AVSS0、VREFL0端子を開放しないでください。AVCC0、VREFH0端子はVCCに、AVSS0、VREFL0端子はVSSにそれぞれ接続してください。

注3. 最大値は6.5Vです。

## 5.2 DC 特性

表5.2 DC特性 (1)

条件: VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	RIIC入力端子 (SMBusを除く、 5Vトレラント)	V <sub>IH</sub>	VCC × 0.7	—	5.8	V	
	ポート12, 13, 16, 17 (5Vトレラ ント)		VCC × 0.8	—	5.8		
	ポート0、ポート14, 15、 ポート2、ポート3、ポート4、 ポート5、ポートA、ポートB、 ポートC、ポートD、ポートE、 ポートH、ポートJ、RES#		VCC × 0.8	—	VCC + 0.3		
	RIIC入力端子 (SMBusを除く)	V <sub>IL</sub>	-0.3	—	VCC × 0.3		
	RIIC入力端子以外		-0.3	—	VCC × 0.2		
	RIIC入力端子 (SMBusを除く)	ΔV <sub>T</sub>	VCC × 0.05	—	—		
	RIIC入力端子以外		VCC × 0.1	—	—		
入力レベル電圧 (シュミットトリ ガ入力端子を除 く)	MD端子	V <sub>IH</sub>	VCC × 0.9	—	VCC + 0.3	V	
	EXTAL		VCC × 0.8	—	VCC + 0.3		
	RIIC入力端子 (SMBus)		2.1	—	VCC + 0.3		
	MD端子	V <sub>IL</sub>	-0.3	—	VCC × 0.1		
	EXTAL		-0.3	—	VCC × 0.2		
	RIIC入力端子 (SMBus)		-0.3	—	0.8		

表5.3 DC特性 (2)

条件: VCC = AVCC0 = 1.62 ~ 2.7V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	ポート12, 13, 16, 17 (5Vトレラ ント)	V <sub>IH</sub>	VCC × 0.8	—	5.8	V	
	ポート0、ポート14, 15、 ポート2、ポート3、ポート4、 ポート5、ポートA、ポートB、 ポートC、ポートD、ポートE、 ポートH、ポートJ		VCC × 0.8	—	VCC + 0.3		
	RES#		VCC × 0.9	—	VCC + 0.3		
	ポート0、ポート1、ポート2、 ポート3、ポート4、ポート5、 ポートA、ポートB、ポートC、 ポートD、ポートE、ポートH、 ポートJ	V <sub>IL</sub>	-0.3	—	VCC × 0.2		
	RES#		-0.3	—	VCC × 0.1		
	全端子	ΔV <sub>T</sub>	VCC × 0.01	—	—		
入力レベル 電圧 (シュミット トリガ入力端子を 除く)	MD端子	V <sub>IH</sub>	VCC × 0.9	—	VCC + 0.3	V	
	EXTAL		VCC × 0.8	—	VCC + 0.3		
	MD端子	V <sub>IL</sub>	-0.3	—	VCC × 0.1		
	EXTAL		-0.3	—	VCC × 0.2		

表5.4 DC特性 (3)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD端子、P35/NMI	$ I_{in} $	—	—	1.0	$\mu\text{A}$	$V_{in} = 0\text{V}$ 、VCC
スリーステートリーク電流 (オフ状態)	5Vトレラント対応ポート以外	$ I_{TSI} $	—	—	0.2	$\mu\text{A}$	$V_{in} = 0\text{V}$ 、VCC
	5Vトレラント対応ポート		—	—	1.0		$V_{in} = 0\text{V}$ 、5.8V
入力容量	全入力端子 (XCIN, XCOUT 以外)	$C_{in}$	—	—	15	$\text{pF}$	$V_{in} = 0\text{V}$ 、 $f = 1\text{MHz}$ 、 $T_a = 25^\circ\text{C}$
	XCIN, XCOUT		—	—	3		

表5.5 DC特性 (4)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目	記号	VCC						単位	測定条件
		1.62 ~ 2.7V		2.7 ~ 4.0V		4.0 ~ 5.5V			
		min	max	min	max	min	max		
入力プルアップ MOS電流	$I_p$	-150	-5	-200	-10	-400	-50	$\mu\text{A}$	$V_{in} = 0\text{V}$



表5.6 DC特性 (5)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目				記号	typ (注9)	max	単位	測定条件	
消費電流 (注1)	中速動作モード 1A、1B	通常動作モード	周辺動作なし (注2)	ICLK = 32MHz	I <sub>CC</sub>	4.6	—	mA	
				ICLK = 20MHz		3.2	—		
			全周辺動作 通常動作 (注3)	ICLK = 32MHz		14	—		
				ICLK = 20MHz		9.5	—		
			全周辺動作 最大動作 (注3)	ICLK = 32MHz		—	25		
				ICLK = 20MHz		—	19		
		スリープモード	周辺動作なし (注2)	ICLK = 32MHz		3.8	—		
				ICLK = 20MHz		3.0	—		
			全周辺動作 通常動作 (注3)	ICLK = 32MHz		10	—		
				ICLK = 20MHz		7	—		
		全モジュールクロックストップ モード	ICLK = 32MHz	2.5		—			
			ICLK = 20MHz	2.0		—			
		BGO動作時の 増加分 (注4)	中速動作モード1A			17	—		
			中速動作モード1B			17	—		
	低速動作モード1	通常動作モード	周辺動作なし (注5)	ICLK = 8MHz	1.4	—			
				ICLK = 4MHz	0.9	—			
				ICLK = 2MHz	0.7	—			
			全周辺動作 通常動作 (注6)	ICLK = 8MHz	4.2	—			
				ICLK = 4MHz	2.6	—			
				ICLK = 2MHz	1.8	—			
			全周辺動作 最大動作 (注6)	ICLK = 8MHz	—	6.5			
				ICLK = 4MHz	—	3.7			
				ICLK = 2MHz	—	2.4			
			スリープモード	周辺動作なし (注5)	ICLK = 8MHz	1.5	—		
					ICLK = 4MHz	1.2	—		
					ICLK = 2MHz	1.1	—		
		全周辺動作 通常動作 (注6)		ICLK = 8MHz	3.1	—			
				ICLK = 4MHz	2.1	—			
				ICLK = 2MHz	1.5	—			
		全モジュールクロックストップ モード	ICLK = 8MHz	1.4	—				
			ICLK = 4MHz	1.1	—				
			ICLK = 2MHz	1.0	—				
		低速動作モード2	通常動作モード	周辺動作なし (注7)	ICLK = 32kHz	0.027	—		
ICLK = 32kHz					0.04	—			
全周辺動作 最大動作 (注8)	ICLK = 32kHz			—	0.23				
スリープモード	周辺動作なし (注7)		ICLK = 32kHz	0.024	—				
			ICLK = 32kHz	0.034	—				
全モジュールクロックストップモード			0.016	—					

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。  
 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOです。BCLK、FCLK、PCLKは64分周です。  
 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOです。BCLK、FCLK、PCLKはICLKと同じです。

- 注4. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注5. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOです。BCLK、FCLK、PCLKは64分周です。
- 注6. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOです。BCLK、FCLK、PCLKはICLKと同じです。
- 注7. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。BCLK、FCLK、PCLKはICLKと同じです。
- 注9. VCC = 3.3Vの場合です。

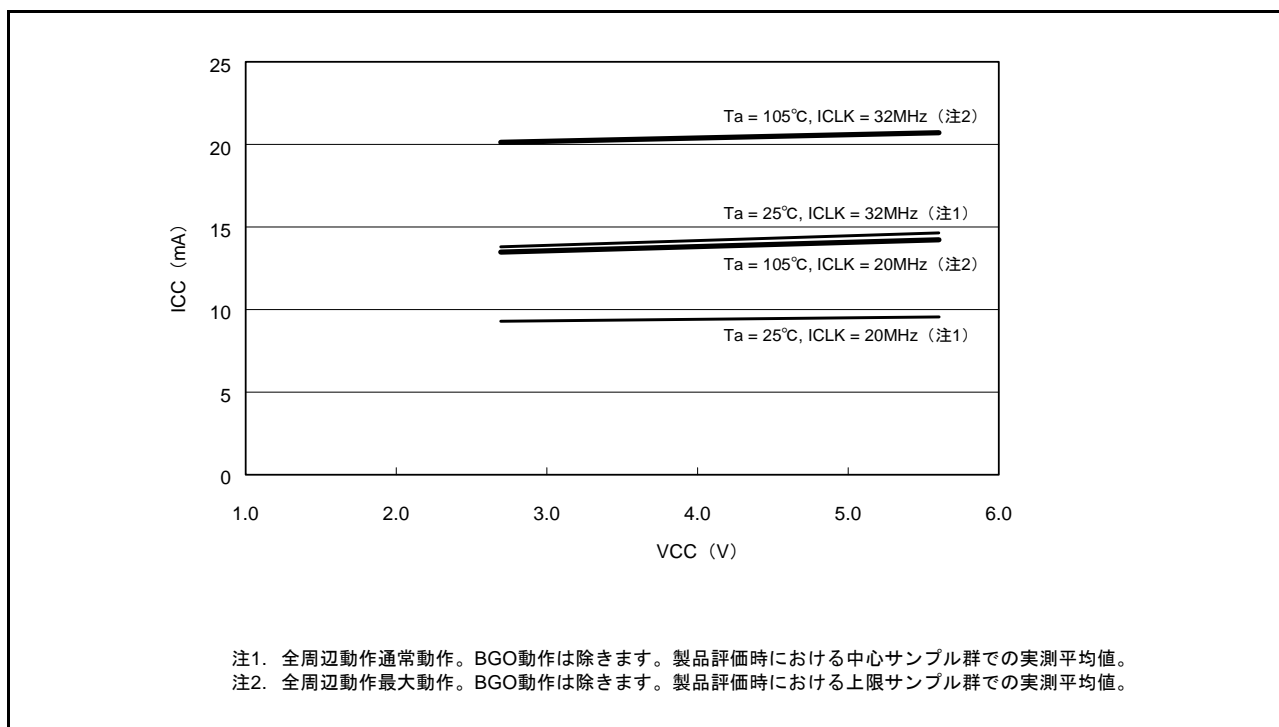


図 5.1 中速動作モード 1A、1B の電圧依存性 (参考データ)

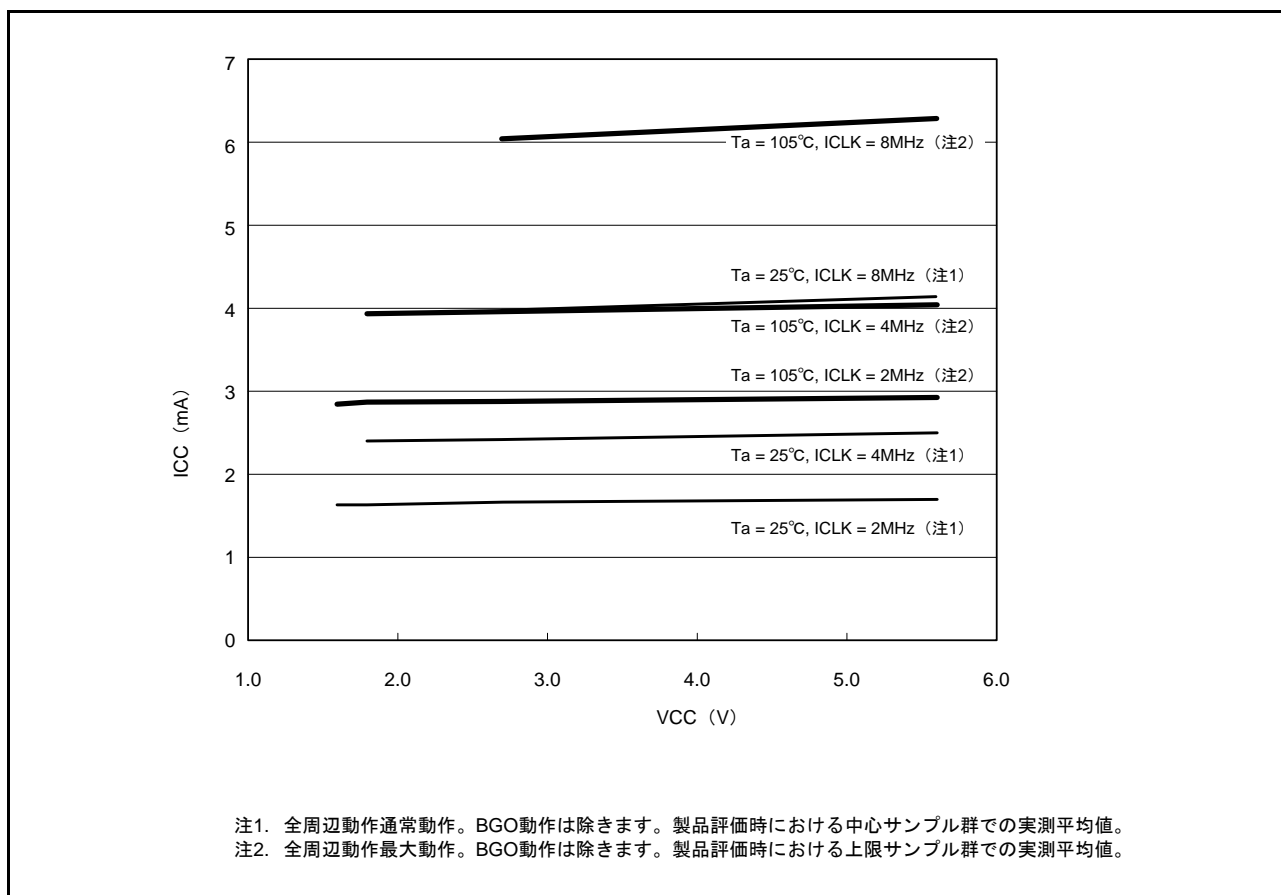


図 5.2 低速動作モード1の電圧依存性 (参考データ)

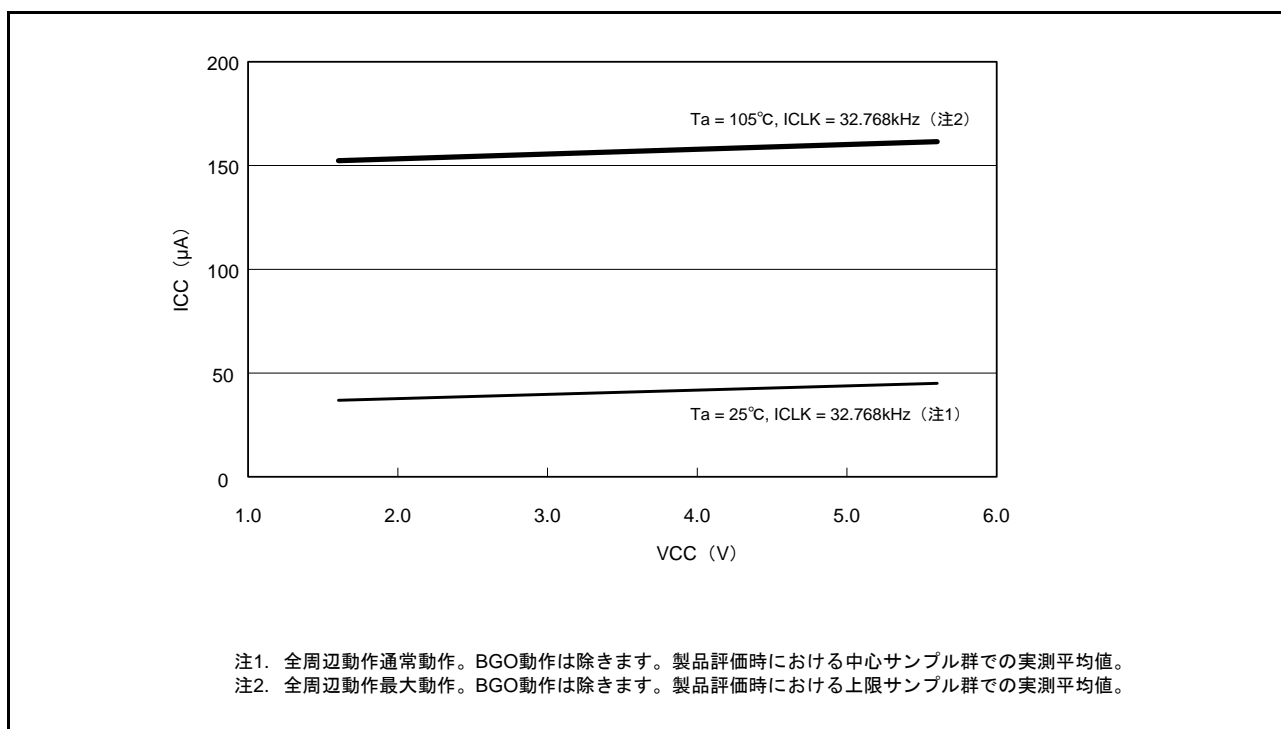


図 5.3 低速動作モード2の電圧依存性 (参考データ)

表5.7 DC特性 (6)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目				記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT = 000b)	$T_a = 25^\circ\text{C}$	I <sub>CC</sub>	9.3	16.4	μA		
			$T_a = 55^\circ\text{C}$		11.3	25			
			$T_a = 85^\circ\text{C}$		16	62			
			$T_a = 105^\circ\text{C}$		25	127			
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT = 11xb)	$T_a = 25^\circ\text{C}$		1.7	7.0			
			$T_a = 55^\circ\text{C}$		2.6	15			
			$T_a = 85^\circ\text{C}$		6.3	51			
			$T_a = 105^\circ\text{C}$		14.2	115			
	電圧検出回路動作、PORの低消費電力機能無効による増分					1.4			—
	RTC動作の増加分 (低CLの場合)					0.6			—
	RTC動作の増加分 (標準CLの場合)					1.4			—

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 3.3Vの場合です。

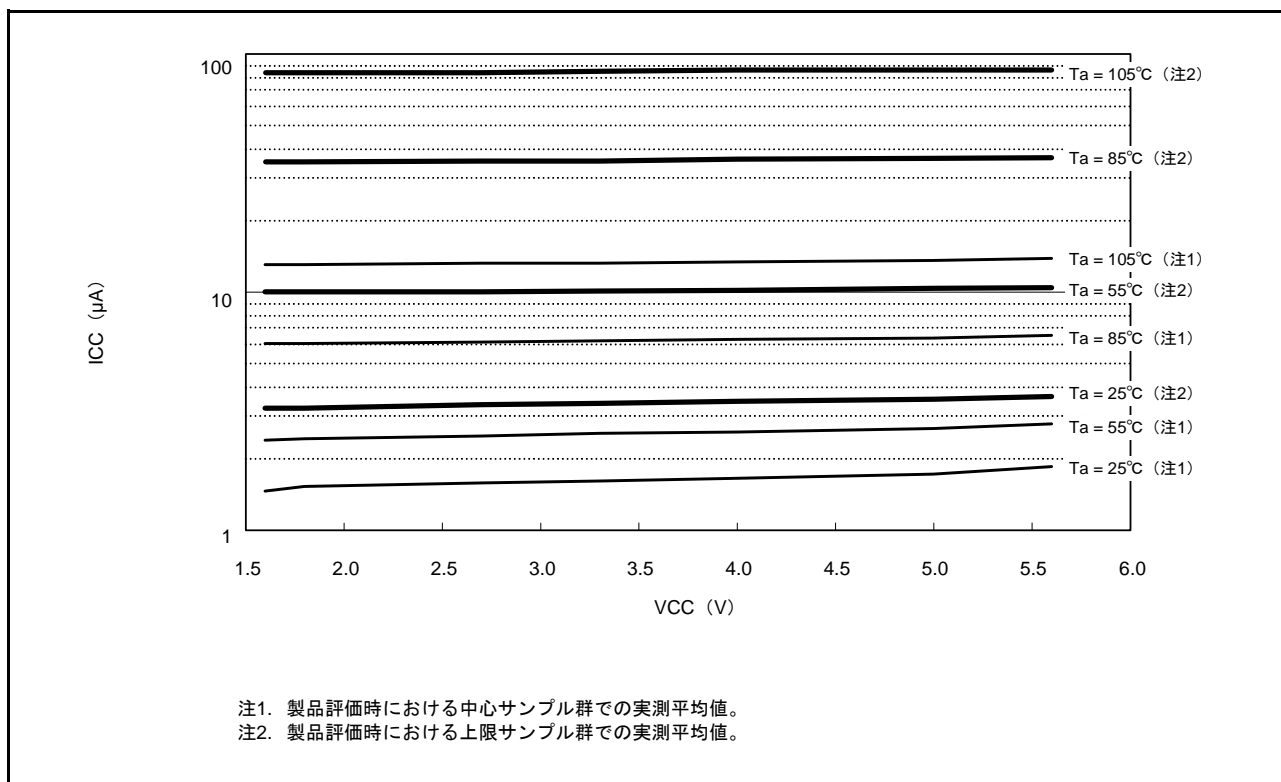


図 5.4 ソフトウェアスタンバイモード (SOFTCUT = 11xb) 時の電圧依存性 (参考データ)

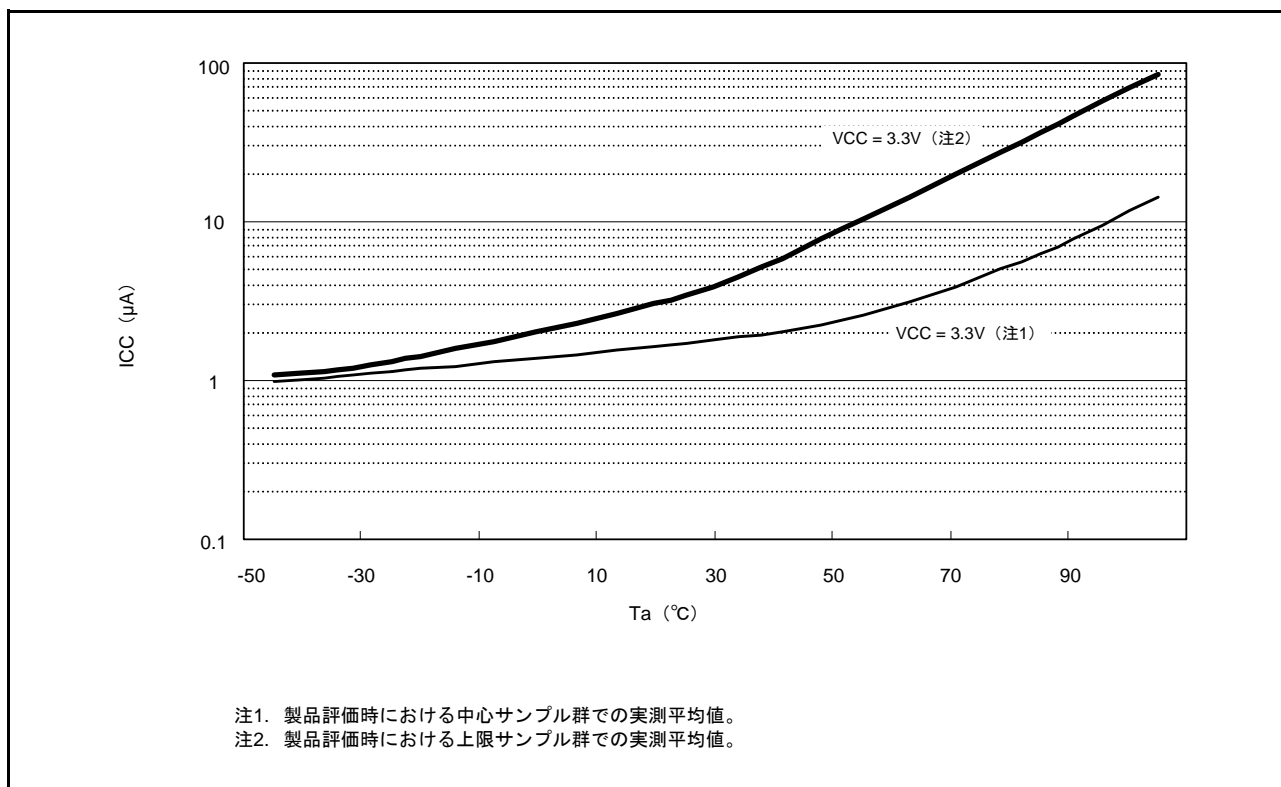


図 5.5 ソフトウェアスタンバイモード (SOFTCUT = 11xb) 時の温度依存性 (参考データ)

表5.8 DC特性 (7)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	350	mW	$T_a = -40 \sim 85^\circ\text{C}$
		—	150		$85^\circ\text{C} < T_a \leq 105^\circ\text{C}$

注.  $T_a = +85^\circ\text{C} \sim +105^\circ\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。  
 なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注1. チップ全体 (出力電流を含む) の総電力です。

表5.9 DC特性 (8)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VREFH0 = 1.62 ~ AVCC0、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目			記号	min	typ	max	単位	測定条件
アナログ電源電流	A/D変換中	変換時間 = 1.56 $\mu\text{s}$	$I_{\text{CC}}$	—	1.0	3.0	mA	
	A/D変換待機時 (全ユニット)			—	0.2	3.0		
リファレンス電源電流	A/D変換中	変換時間 = 1.56 $\mu\text{s}$	$I_{\text{REFH0}}$	—	0.1	0.2	mA	
	A/D変換待機時 (全ユニット)			—	0.2	0.4		

表5.10 DC特性 (9)

条件: VCC = AVCC0、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目	記号	min	typ	max	単位	測定条件
RAMスタンバイ電圧	$V_{\text{RAM}}$	1.62	—	—	V	

表5.11 DC特性 (10)

条件: VCC = AVCC0 = 0 ~ 5.5V、VREFH0 = 0 ~ AVCC0、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目	記号	min	typ	max	単位	測定条件
VCC立ち上がり勾配	SrVCC	0.02	—	20	ms/V	コールドスタート時

表5.12 DC特性 (11)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

電源リップルは、VCCの上限 (5.5V) と下限 (1.62V) は超えない範囲で許容電源リップル周波数 $f_r(\text{VCC})$ を満たしてください。  
 VCC変動が $V_{\text{CC}} \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dV_{\text{CC}}$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(\text{VCC})$	—	—	10	kHz	$V_{\text{CC}} \times 0.1 < V_r(\text{VCC}) \leq V_{\text{CC}} \times 0.2$
		—	—	1	MHz	$V_{\text{CC}} \times 0.05 < V_r(\text{VCC}) \leq V_{\text{CC}} \times 0.1$
		—	—	10	MHz	$V_r(\text{VCC}) \leq V_{\text{CC}} \times 0.05$
許容電源変動立ち上がり/ 立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC変動が $V_{\text{CC}} \pm 10\%$ を超える場合

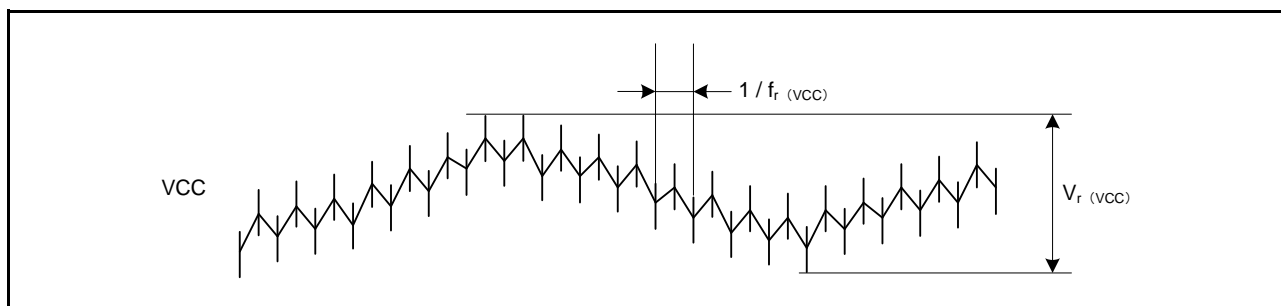


図 5.6 電源リップル波形

表 5.13 出力許容電流値 (1)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、総電力 (mW) < 1000 - 10 × Ta のとき

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	通常出力時	I <sub>OL</sub>	4.0	mA
	高駆動出力時		16.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	通常出力時		4.0	mA
	高駆動出力時		16.0	
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI <sub>OL</sub>	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	通常出力時	I <sub>OH</sub>	-4.0	mA
	高駆動出力時		-8.0	
出力Highレベル許容電流 (1端子あたりの最大値)	通常出力時		-4.0	mA
	高駆動出力時		-8.0	
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI <sub>OH</sub>	-60	mA

表 5.14 出力許容電流値 (2)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、総電力 (mW) ≥ 1000 - 10 × Ta のとき

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	通常出力時	I <sub>OL</sub>	2.0	mA
	高駆動出力時		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	通常出力時		2.0	mA
	高駆動出力時		8.0	
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI <sub>OL</sub>	40	mA
出力Highレベル許容電流 (1端子あたりの平均値)	通常出力時	I <sub>OH</sub>	-2.0	mA
	高駆動出力時		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	通常出力時		-2.0	mA
	高駆動出力時		-4.0	
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI <sub>OH</sub>	-30	mA

表5.15 出力電圧値 (1)

条件：VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、総電力 (mW) < 1000 - 10 × T<sub>a</sub>のとき

項目			記号	min	max	単位	測定条件	
							VCC = 2.7 ~ 4.0V	VCC = 4.0 ~ 5.5V
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	V <sub>OL</sub>	—	1.0	V	I <sub>OL</sub> = 3.0mA	I <sub>OL</sub> = 4.0mA
		高駆動出力時		—	1.0		I <sub>OL</sub> = 8.0mA	I <sub>OL</sub> = 16.0mA
	RIIC端子			—	0.4		I <sub>OL</sub> = 3.0mA	
				—	0.6		I <sub>OL</sub> = 6.0mA	
出力High レベル	全出力端子	通常出力時	V <sub>OH</sub>	VCC - 1.0	—	V	I <sub>OH</sub> = -3.0mA	I <sub>OH</sub> = -4.0mA
		高駆動出力時		VCC - 1.0	—		I <sub>OH</sub> = -5.0mA	I <sub>OH</sub> = -8.0mA

表5.16 出力電圧値 (2)

条件：VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、総電力 (mW) ≥ 1000 - 10 × T<sub>a</sub>のとき

項目			記号	min	max	単位	測定条件	
							VCC = 2.7 ~ 4.0V	VCC = 4.0 ~ 5.5V
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	V <sub>OL</sub>	—	1.0	V	I <sub>OL</sub> = 2.0mA	I <sub>OL</sub> = 2.0mA
		高駆動出力時		—	1.0		I <sub>OL</sub> = 8.0mA	I <sub>OL</sub> = 8.0mA
	RIIC端子			—	0.4		I <sub>OL</sub> = 3.0mA	
				—	0.6		I <sub>OL</sub> = 6.0mA	
出力High レベル	全出力端子	通常出力時	V <sub>OH</sub>	VCC - 1.0	—	V	I <sub>OH</sub> = -2.0mA	I <sub>OH</sub> = -2.0mA
		高駆動出力時		VCC - 1.0	—		I <sub>OH</sub> = -4.0mA	I <sub>OH</sub> = -4.0mA

表5.17 出力電圧値 (3)

条件：VCC = AVCC0 = 1.62 ~ 2.7V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	V <sub>OL</sub>	—	0.4	V	I <sub>OL</sub> = 0.5mA
		高駆動出力時		—	0.4		I <sub>OL</sub> = 2.0mA
出力High レベル	全出力端子	通常出力時	V <sub>OH</sub>	VCC - 0.4	—	V	I <sub>OH</sub> = -0.5mA
		高駆動出力時		VCC - 0.4	—		I <sub>OH</sub> = -1.0mA



### 5.2.1 標準 I/O 端子出力特性 (1)

図 5.7 ~ 図 5.11 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

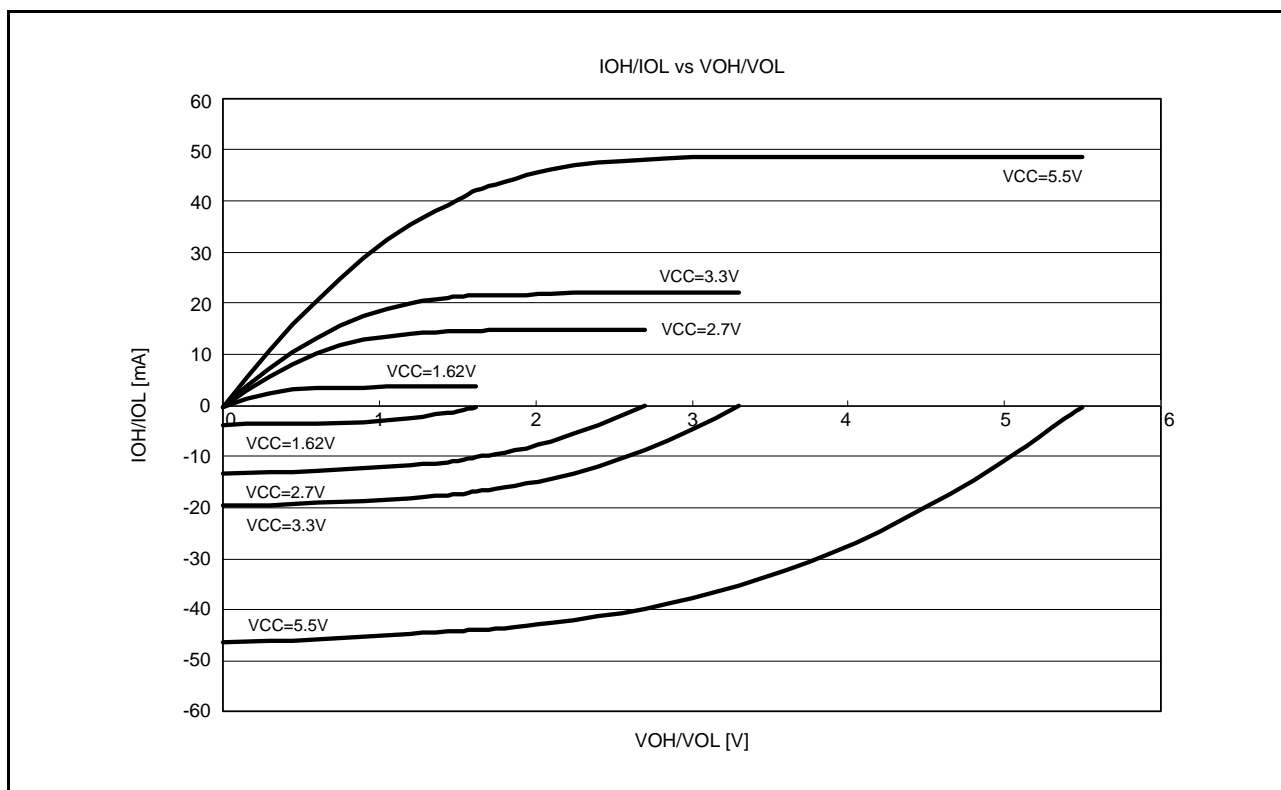


図 5.7 通常出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25 °C (参考データ)

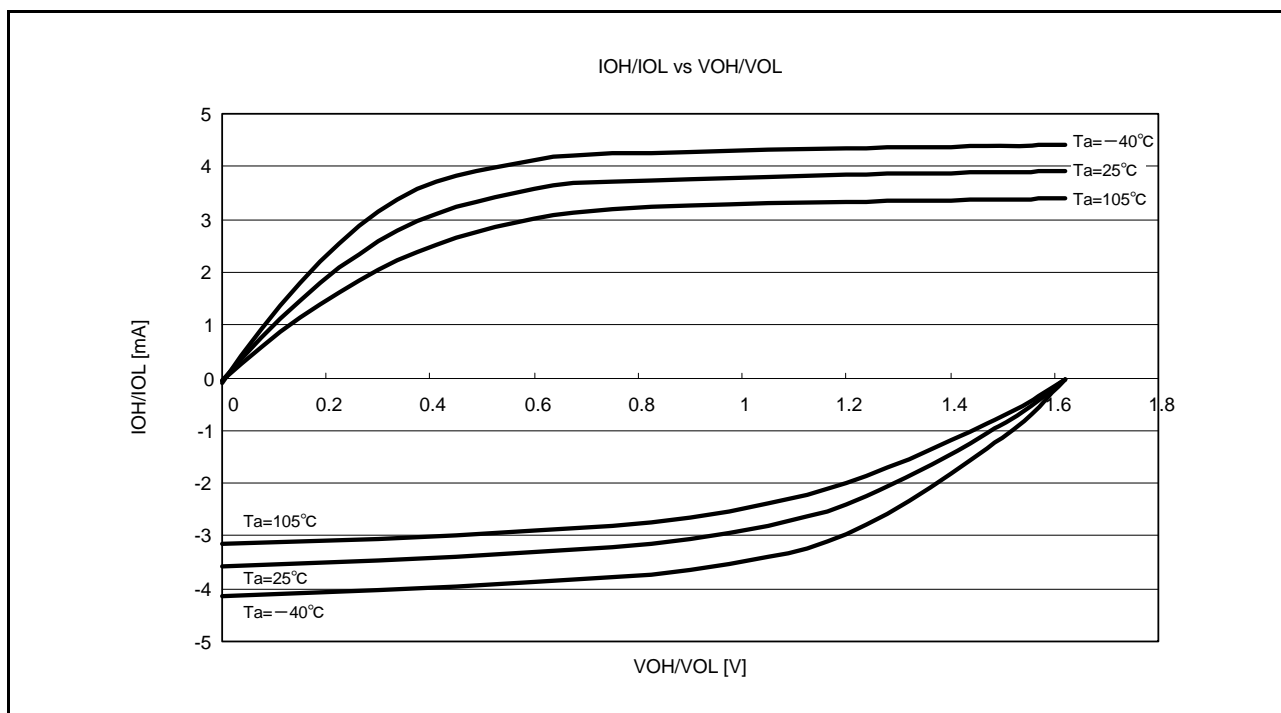


図 5.8 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 1.62V (参考データ)

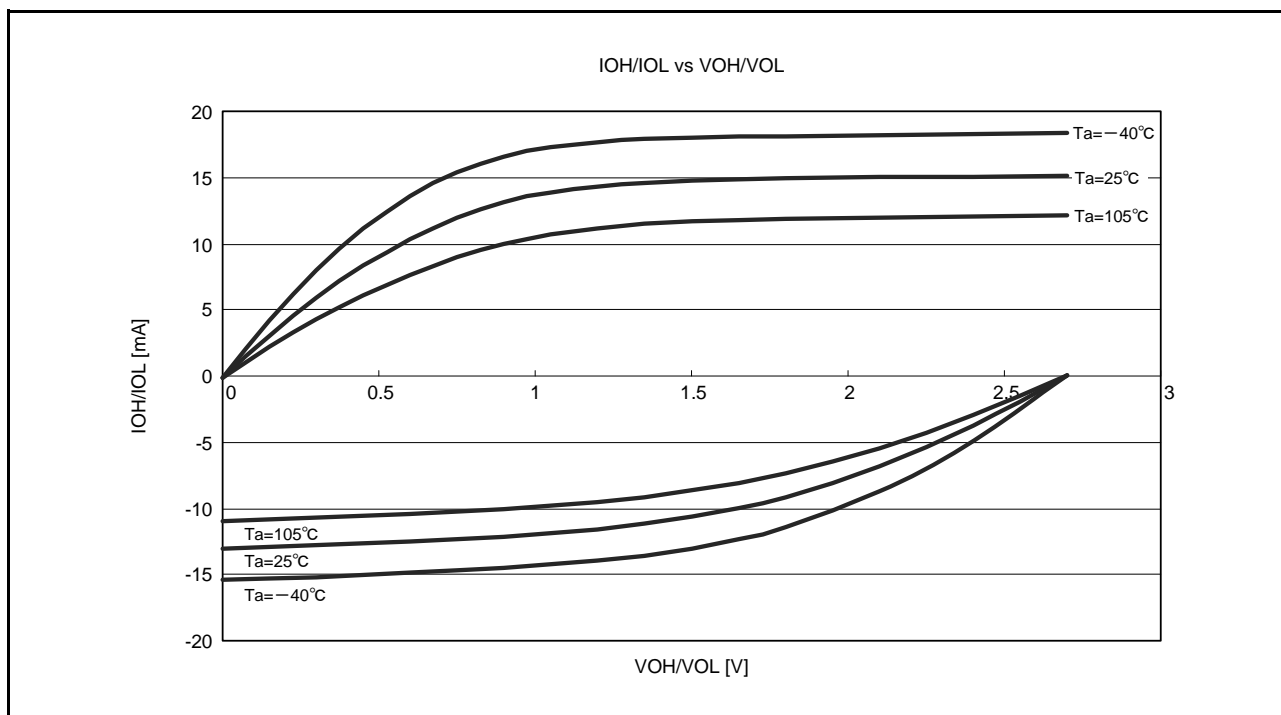


図 5.9 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

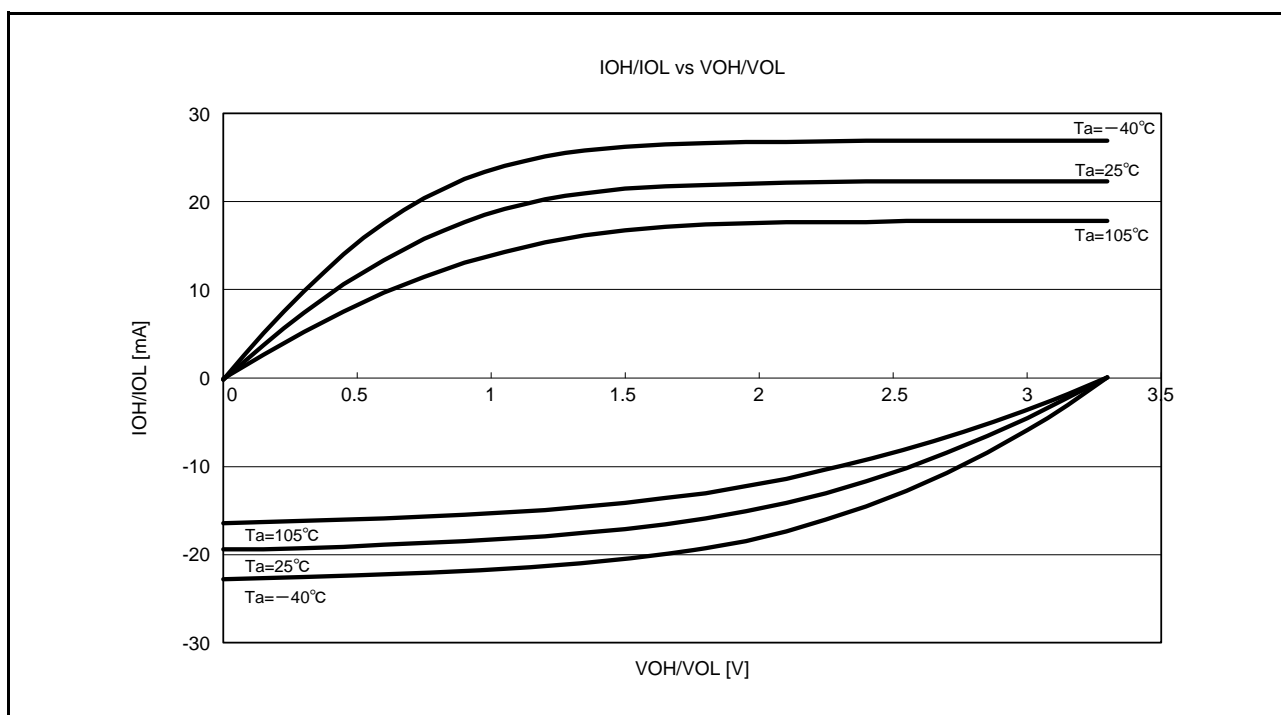


図 5.10 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 3.3V (参考データ)

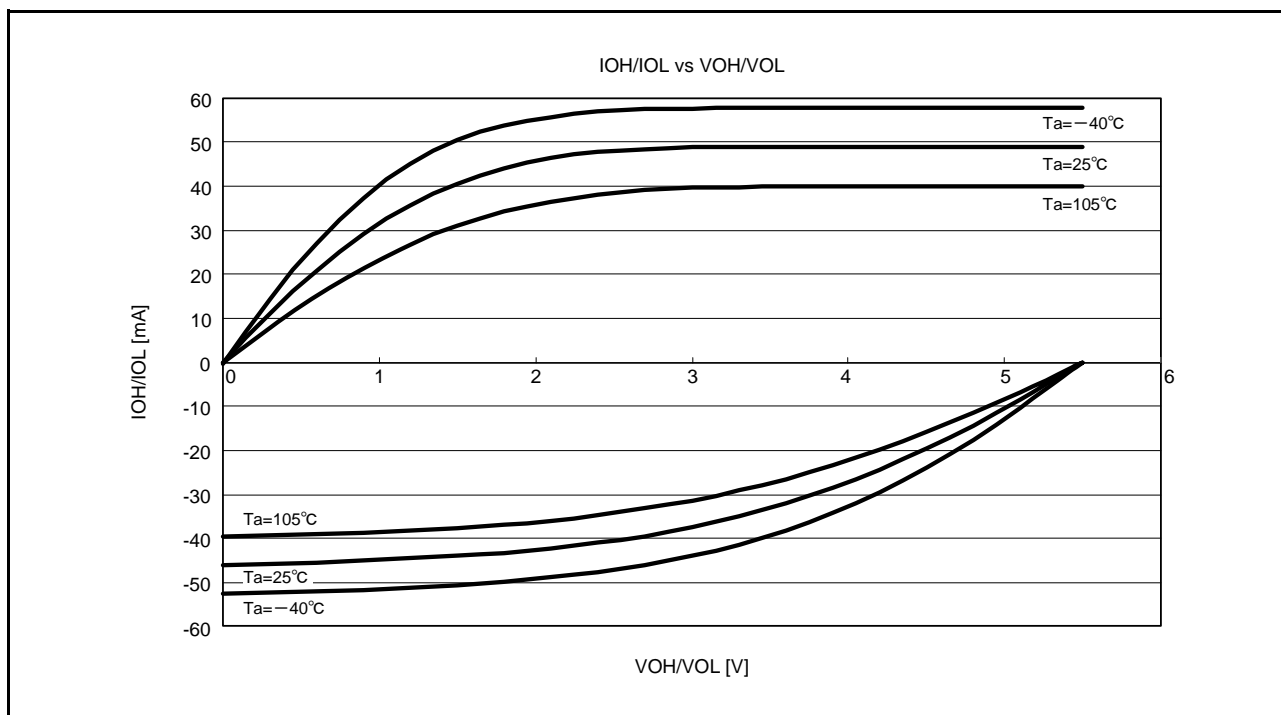


図 5.11 通常出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 5.5V (参考データ)

### 5.2.2 標準 I/O 端子出力特性 (2)

図 5.12 ~ 図 5.16 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

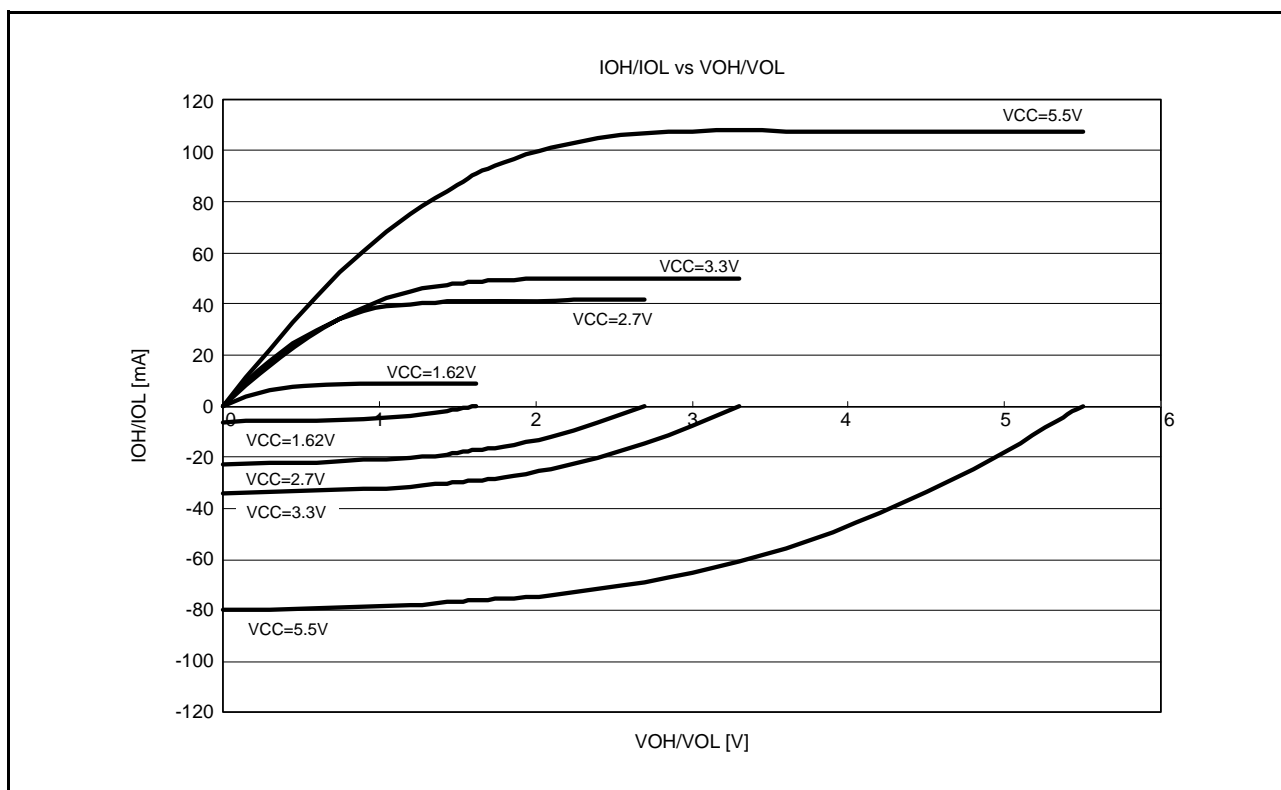


図 5.12 高駆動出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25 °C (参考データ)

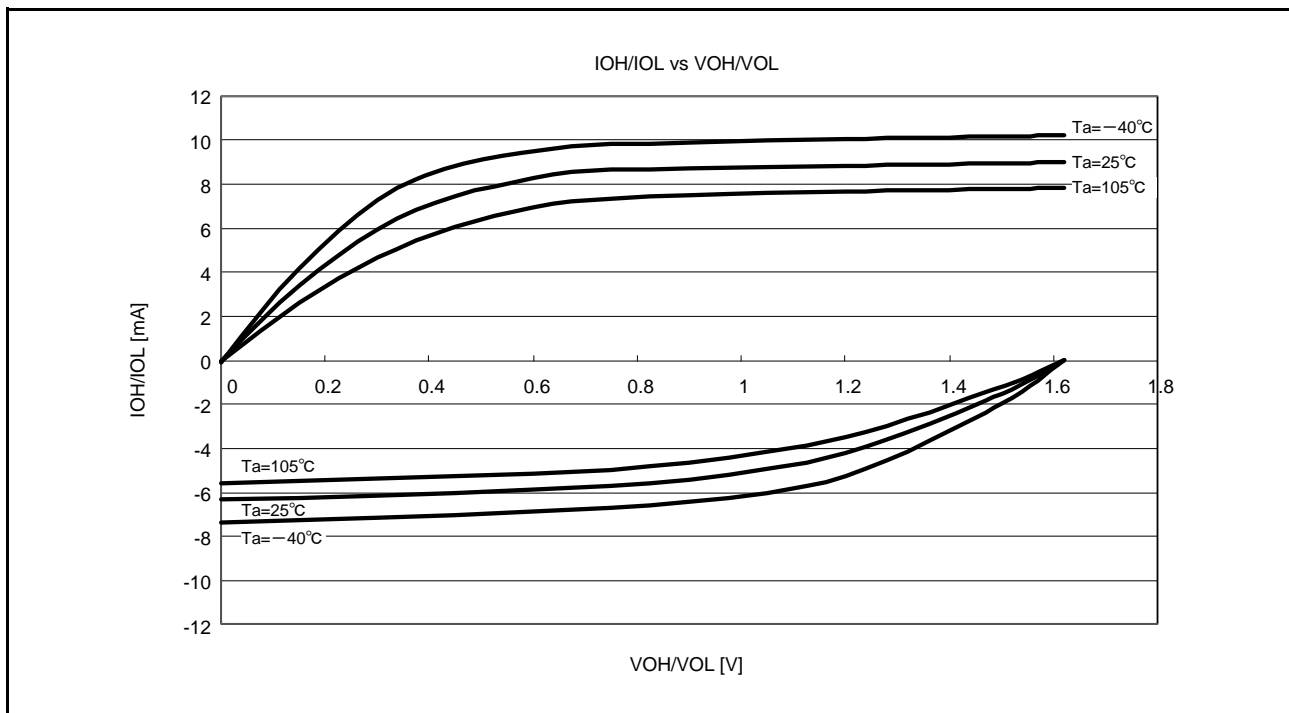


図 5.13 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 1.62V (参考データ)

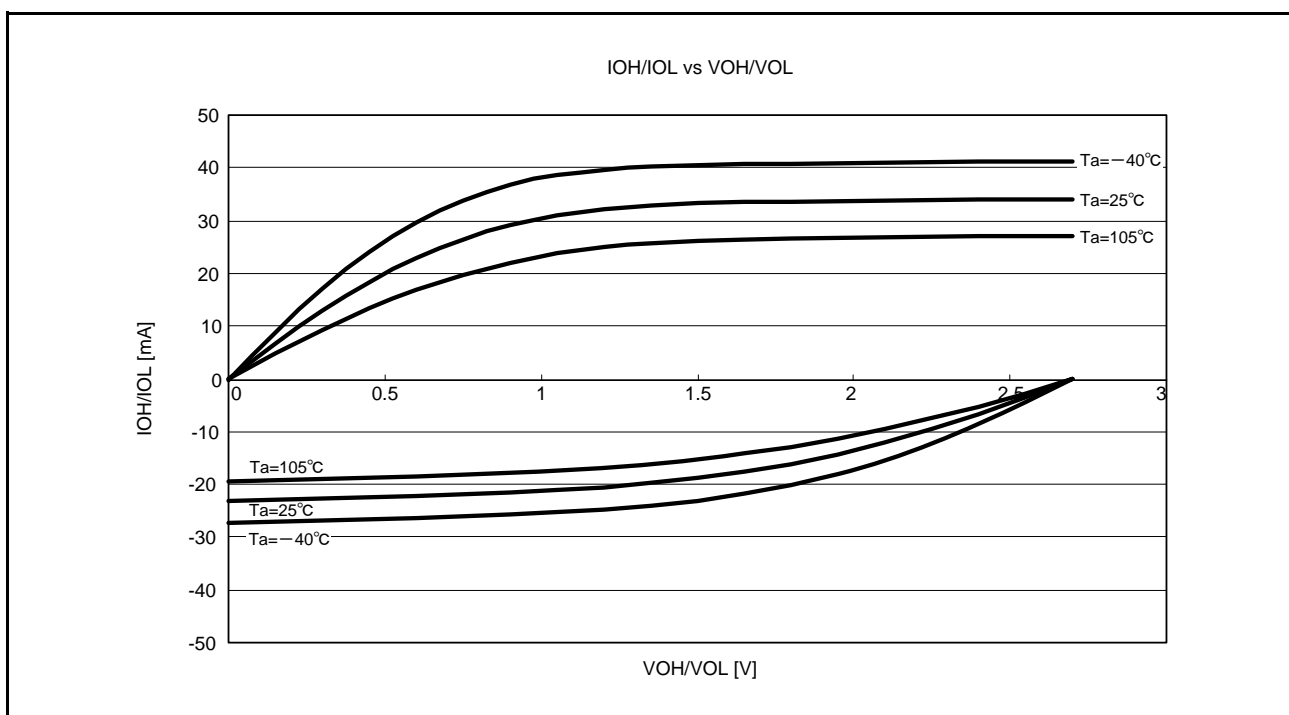


図 5.14 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 2.7V (参考データ)

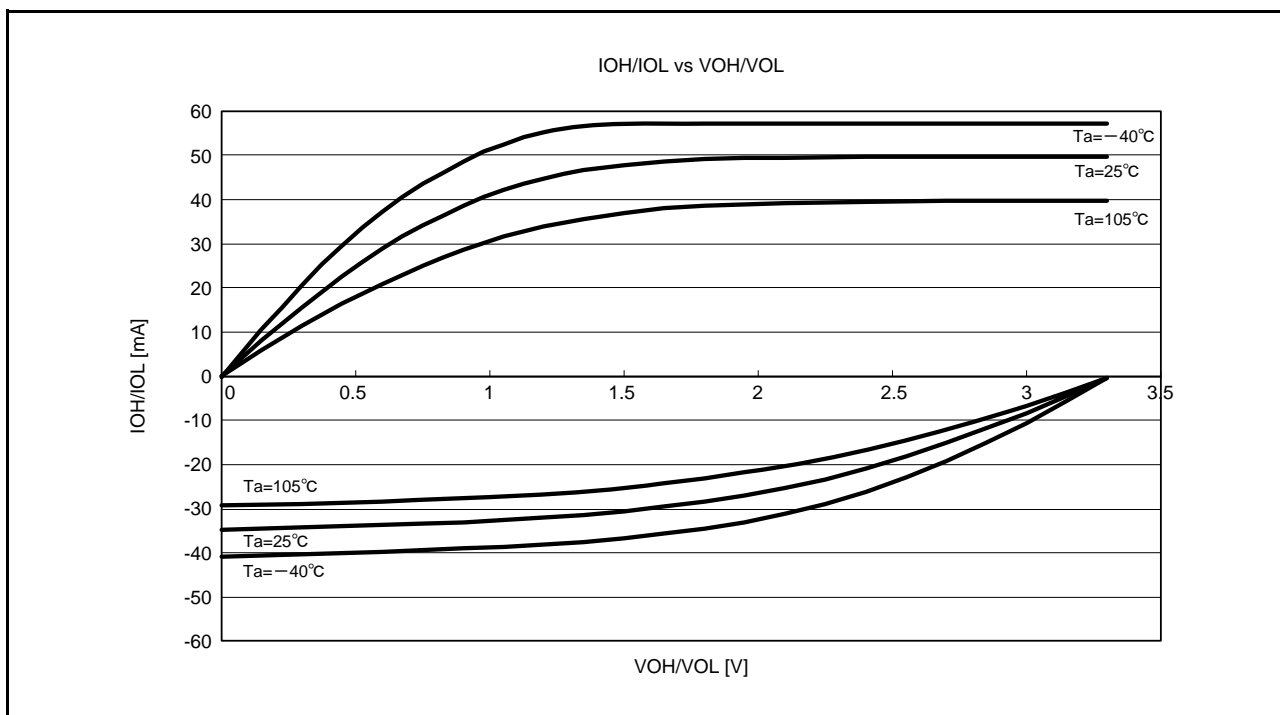


図 5.15 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 3.3V (参考データ)

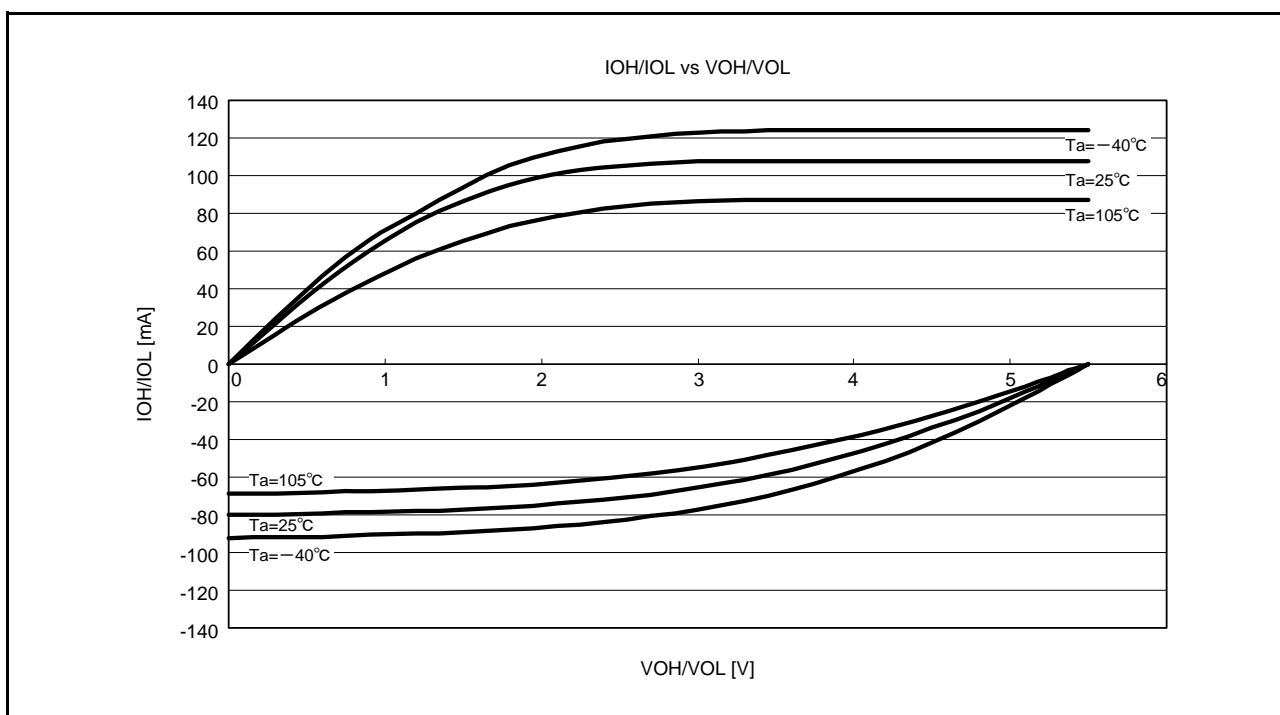


図 5.16 高駆動出力を選択したときの VOH/VOL、IOH/IOL 温度特性 VCC = 5.5V (参考データ)

5.2.3 RIIC 端子出力特性

図 5.17 ~ 図 5.20 に RIIC 端子の出力特性を示します。

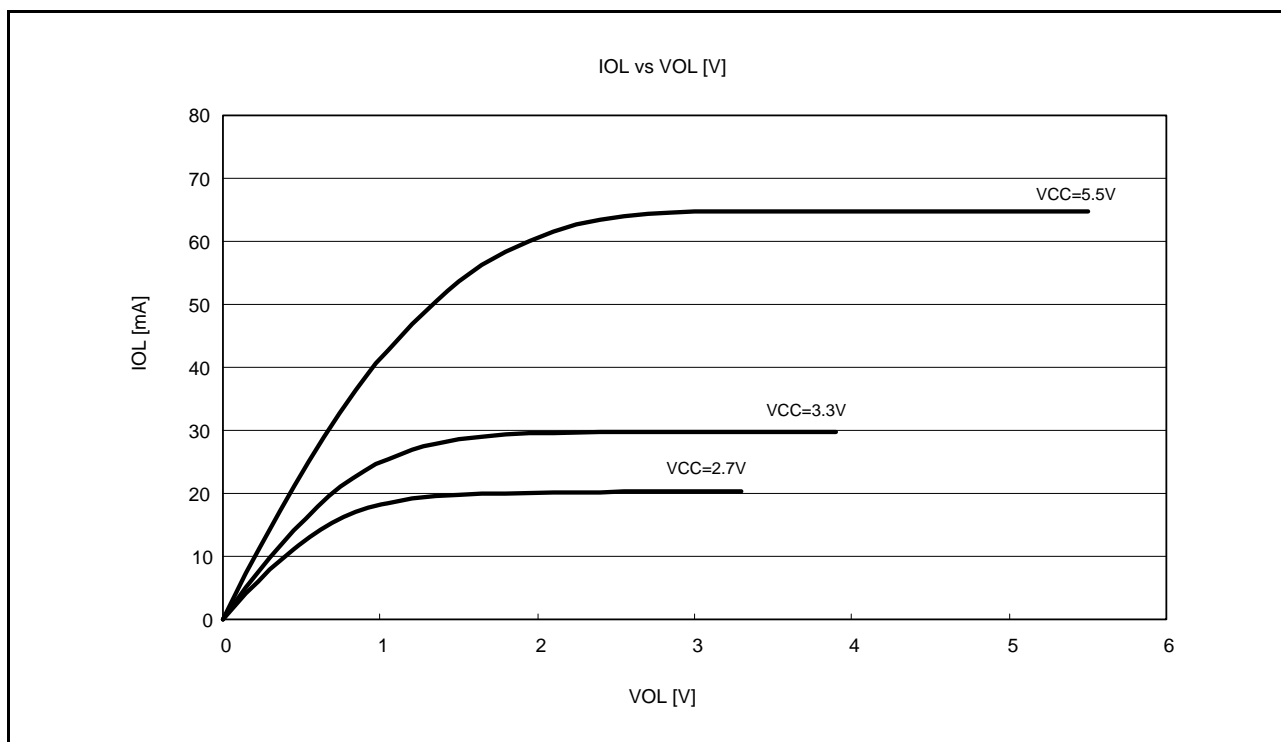


図 5.17 RIIC 出力端子の VOL、IOL 電圧特性 Ta = 25 °C (参考データ)

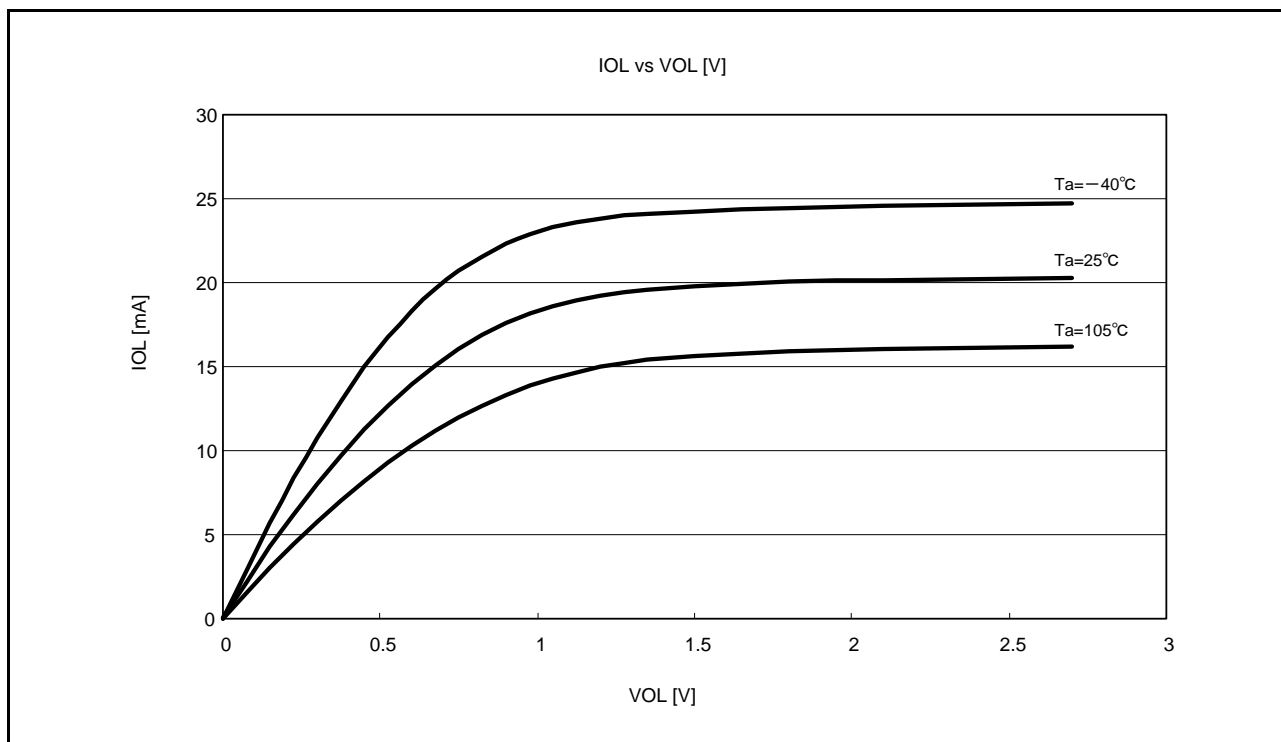


図 5.18 RIIC 出力端子の VOL、IOL 温度特性 VCC = 2.7V (参考データ)

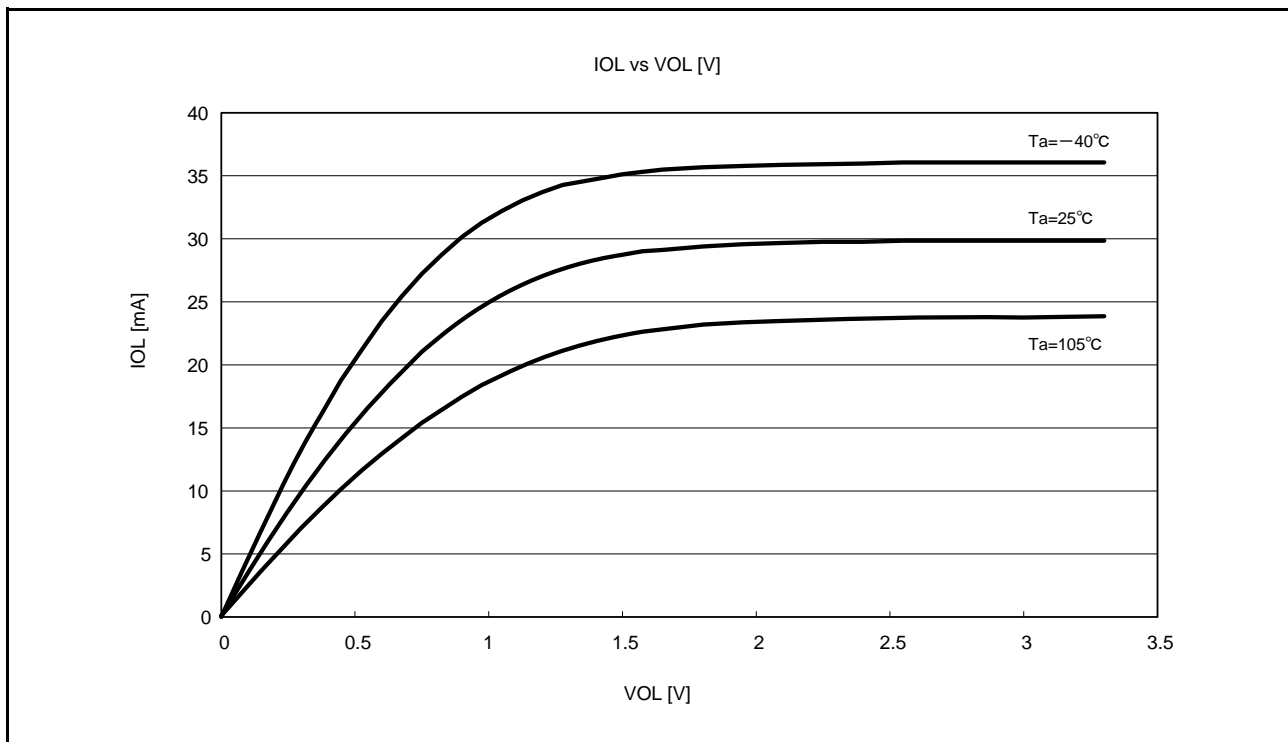


図 5.19 RIIC 出力端子の VOL、IOL 温度特性 VCC = 3.3V (参考データ)

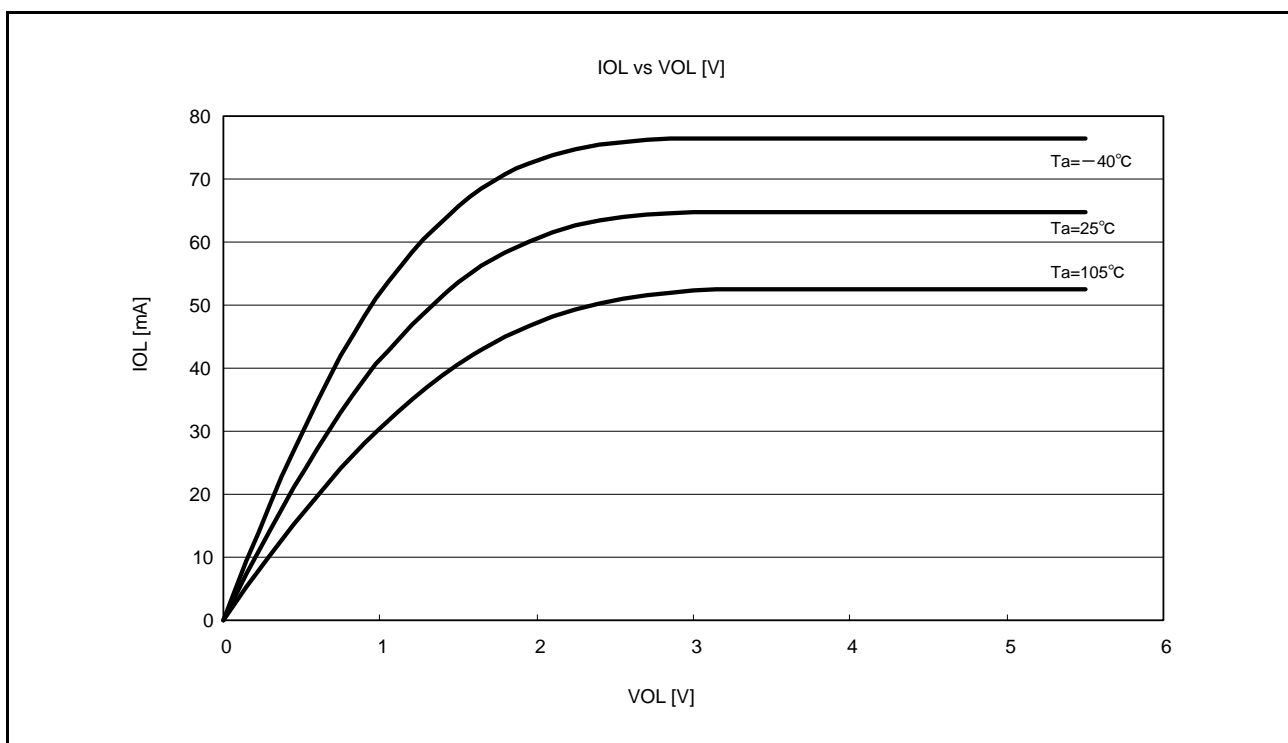


図 5.20 RIIC 出力端子の VOL、IOL 温度特性 VCC = 5.5V (参考データ)

## 5.3 AC 特性

表5.18 動作周波数 (中速動作モード1A)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f <sub>max</sub>	8	8	32	MHz
	FlashIFクロック (FCLK) (注1)		8	8	32	
	周辺モジュールクロック (PCLKB)		8	8	32	
	周辺モジュールクロック (PCLKD) (注2)		8	8	32	

注1. フラッシュメモリP/E時のVCCは2.7~5.5V、FCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.19 動作周波数 (中速動作モード1B)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f <sub>max</sub>	8	8	32	MHz
	FlashIFクロック (FCLK) (注1)		8	8	32	
	周辺モジュールクロック (PCLKB)		8	8	32	
	周辺モジュールクロック (PCLKD) (注2)		8	8	32	

注1. フラッシュメモリP/E時のVCCは1.62~3.6V、FCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.20 動作周波数 (低速動作モード1)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f <sub>max</sub>	2	4	8	MHz
	FlashIFクロック (FCLK) (注1)		2	4	8	
	周辺モジュールクロック (PCLKB)		2	4	8	
	周辺モジュールクロック (PCLKD) (注2)		2	4	8	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.21 動作周波数 (低速動作モード2)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目	記号	VCC			単位	
		1.62 ~ 1.8V	1.8 ~ 2.7V	2.7 ~ 5.5V		
最大動作周波数	システムクロック (ICLK)	f <sub>max</sub>	32.768	32.768	32.768	kHz
	FlashIFクロック (FCLK) (注1)		32.768	32.768	32.768	
	周辺モジュールクロック (PCLKB)		32.768	32.768	32.768	
	周辺モジュールクロック (PCLKD) (注2)		32.768	32.768	32.768	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。



## 5.3.1 クロックタイミング

表5.22 クロックタイミング

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t <sub>EXcyc</sub>	50	—	—	ns	図 5.21
EXTAL外部クロック入力パルス幅 High レベル	t <sub>EXH</sub>	20	—	—	ns	
EXTAL外部クロック入力パルス幅 Low レベル	t <sub>EXL</sub>	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t <sub>EXr</sub>	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t <sub>EXf</sub>	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t <sub>EXWT</sub>	1	—	—	ms	
メインクロック発振器発振周波数 (注2)	f <sub>MAIN</sub>	1	—	20	MHz	図 5.22
メインクロック発振安定時間 (水晶) (注2)	t <sub>MAINOSC</sub>	—	3	—	ms	
メインクロック発振安定時間 (セラロック) (注2)	t <sub>MAINOSC</sub>	—	50	—	μs	
メインクロック発振安定待機時間 (水晶) (注2)	t <sub>MAINOSCW</sub>	—	6	—	ms	
メインクロック発振安定待機時間 (セラロック) (注2)	t <sub>MAINOSCW</sub>	—	100	—	μs	図 5.23
LOCOクロックサイクル時間	t <sub>cyc</sub>	7.27	8	8.89	μs	
LOCOクロック発振周波数	f <sub>LOCO</sub>	112.5	125	137.5	kHz	
LOCOクロック発振安定待機時間	t <sub>LOCOW</sub>	—	—	20	μs	Ta = 0 ~ 50 °C  Ta = -40 ~ 105 °C
HOCOクロック発振周波数	f <sub>HOCO</sub>	31.680	32	32.320	MHz	
		36.495	36.864	37.233		
		39.600	40	40.400		
		49.500	50	50.500		
		31.520	32	32.480		
		36.311	36.864	37.417		
		39.400	40	40.600		
49.250	50	50.750				
HOCOクロック発振安定時間1	t <sub>HOCO1</sub>	—	—	50	μs	図 5.24
HOCOクロック発振安定時間2	t <sub>HOCO2</sub>	—	—	10	μs	図 5.25
HOCOクロック発振安定待機時間	t <sub>HOCOW</sub>	—	—	20	μs	図 5.25
HOCOクロック電源安定時間	t <sub>HOCOP</sub>	—	—	350	μs	図 5.26
サブクロック発振器発振周波数	f <sub>SUB</sub>	—	32.768	—	kHz	図 5.27
サブクロック発振安定時間 (注3)	t <sub>SUBOSC</sub>	2	—	—	s	
サブクロック発振安定待機時間 (注3)	t <sub>SUBOSCW</sub>	4	—	—	s	

- 注1. P36、P37を入力に設定し、メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) に設定してから、使用できるまでの時間です。
- 注2. メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値を MOSCWTCR レジスタに設定してください。メインクロック発振安定待機時間は、メインクロック発振安定時間に十分なマージン (推奨2倍) を考慮してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、メインクロック発振安定待機時間 (t<sub>MAINOSCW</sub>) が経過した後、メインクロックの使用を開始してください。  
8MHzの発振子を使用した場合の参考値です。
- 注3. サブクロック発振安定時間は、発振子メーカーが推奨する安定時間から2sを差し引いた値を SOSCWTCR レジスタに設定してください。  
サブクロック発振安定待機時間は、サブクロック発振安定時間に十分なマージン (推奨2倍) を考慮して値を設定してください。SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定待機時間 (t<sub>SUBOSCW</sub>) が経過した後、サブクロックの使用を開始してください。

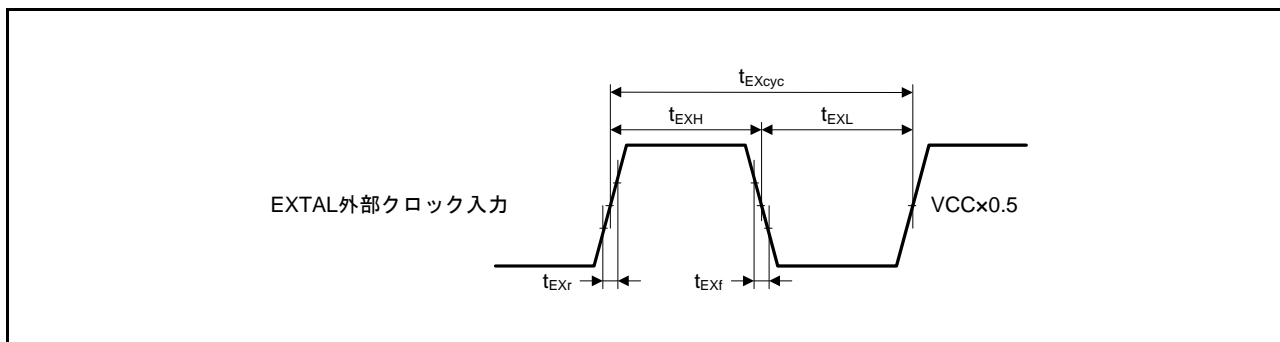


図 5.21 EXTAL 外部クロック入力タイミング

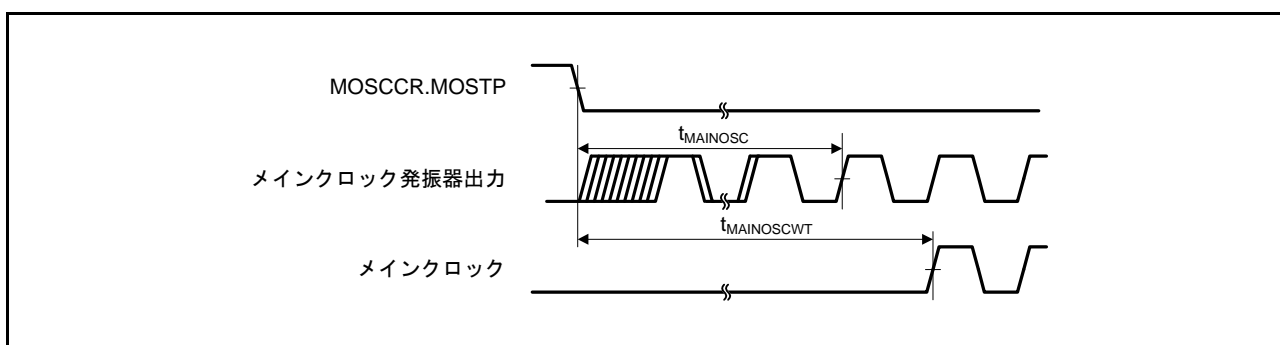


図 5.22 メインクロック発振開始タイミング

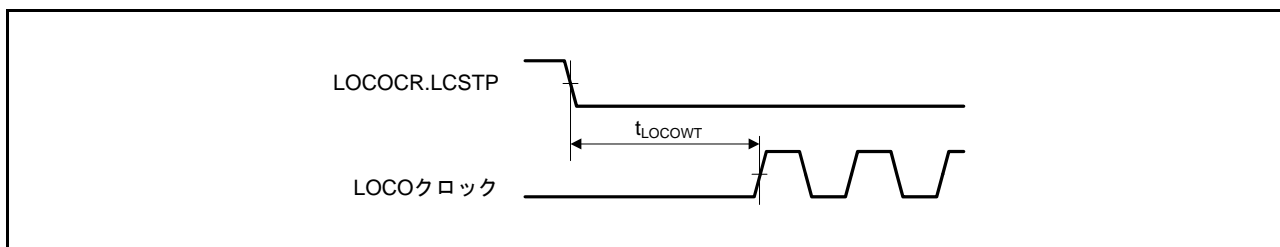


図 5.23 LOCO クロック発振開始タイミング

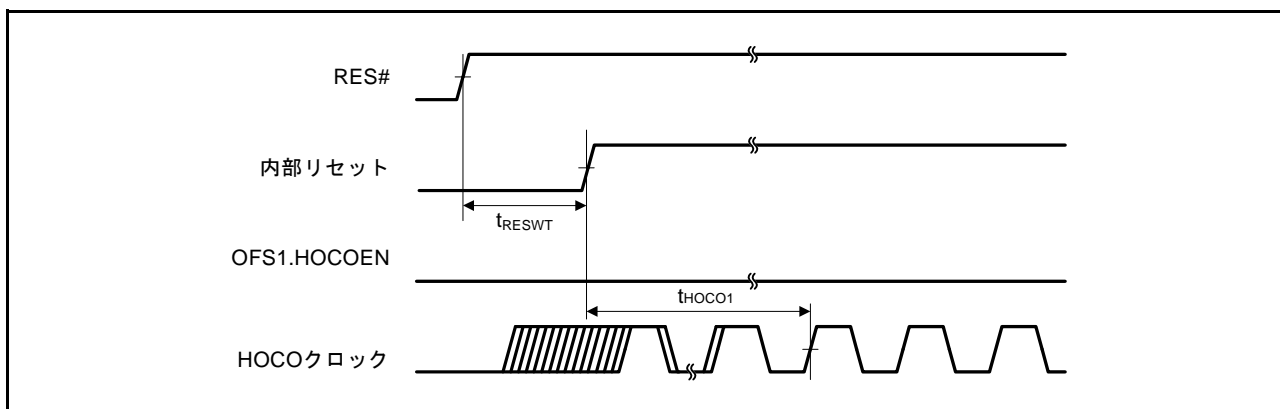


図 5.24 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

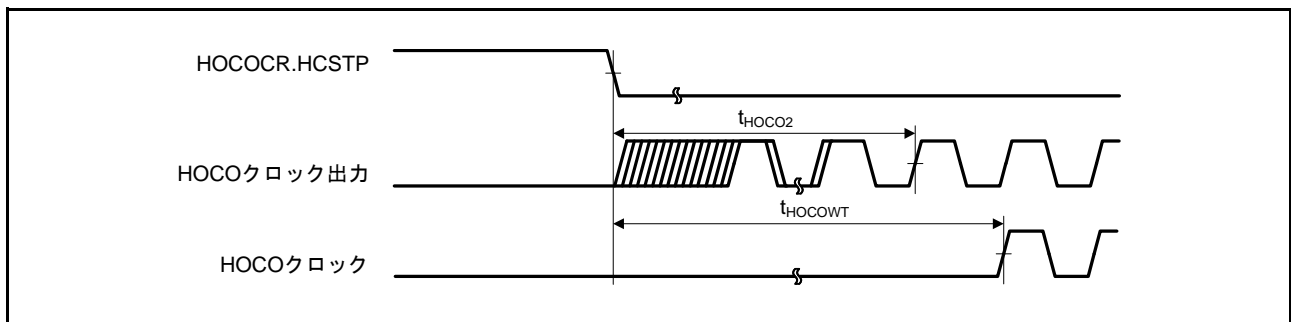


図 5.25 HOCO クロック発振開始タイミング (HOCOOCR.HCSTP ビット設定による発振開始)

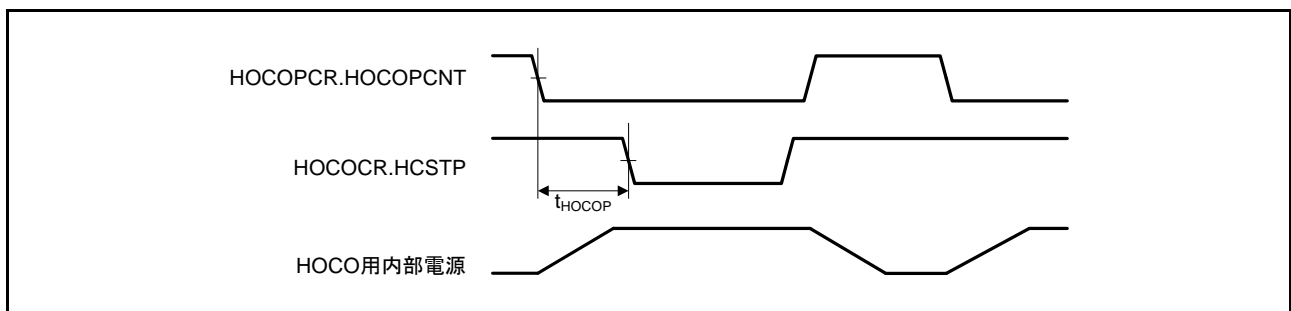


図 5.26 HOCO 電源制御タイミング

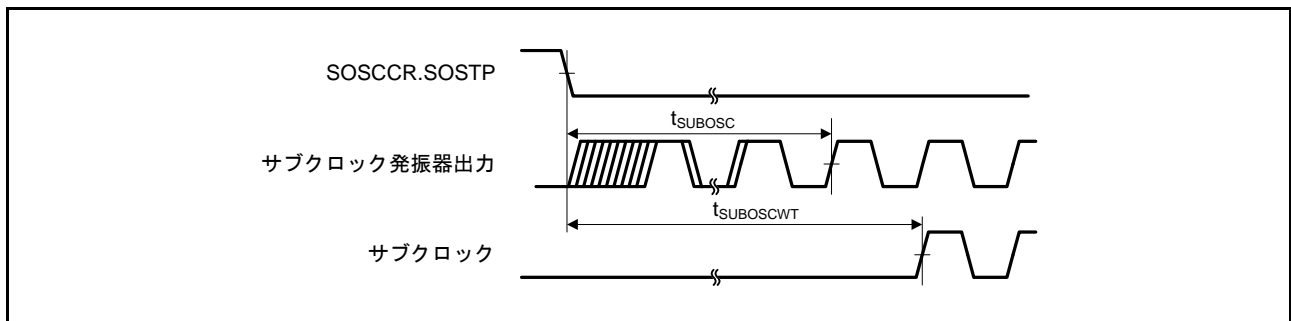


図 5.27 サブクロック発振開始タイミング

### 5.3.2 リセットタイミング

表5.23 リセットタイミング

条件 : VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40~+105°C

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t <sub>RESWP</sub>	8	—	—	ms	図 5.28
	ソフトウェアスタンバイモード、 低速動作モード1、2	t <sub>RESWS</sub>	1	—	—	ms	図 5.29
	ROMプログラム/イレーズ中、E2データフラッシュのプログラム/イレーズ/ブランクチェック中	t <sub>RESWF</sub>	200	—	—	μs	
	上記以外	t <sub>RESW</sub>	200	—	—	μs	
RES#解除後待機時間	t <sub>RESWT</sub>	—	—	912	μs	図 5.28	
内部リセット時間 (独立ウォッチドッグタイマリセット、ソフトウェアリセット)	t <sub>RESW2</sub>	—	—	1.4	ms		

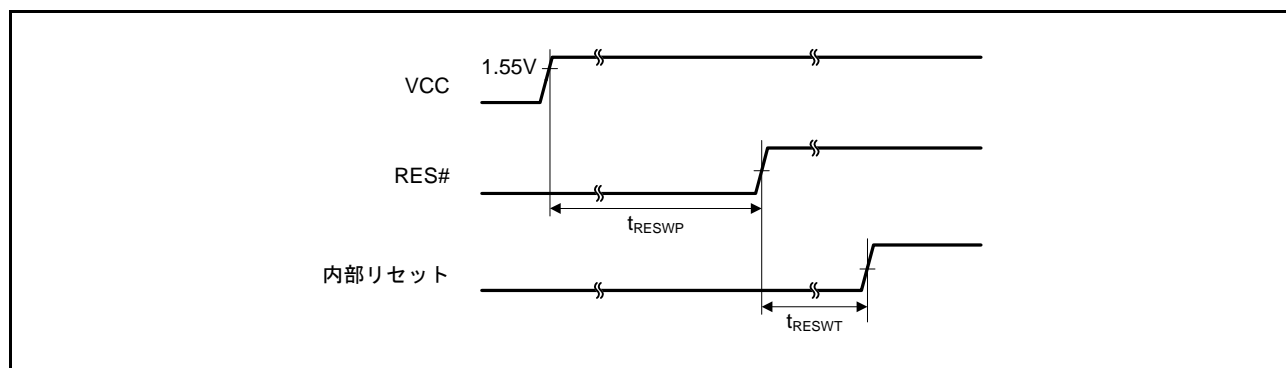


図 5.28 電源投入時リセット入カタイミング

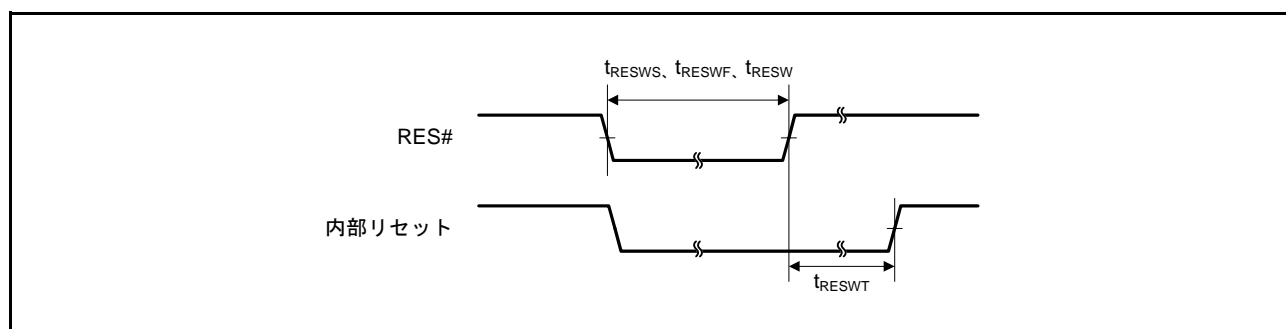


図 5.29 リセット入カタイミング

## 5.3.3 低消費電力状態からの復帰タイミング

表5.24 低消費電力状態からの復帰タイミング

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105 °C

項目		記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (HOCO電源供給) (SOFTCUT = 000b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	t <sub>SBYMC</sub>	—	3	—	ms	図 5.30
	メインクロック発振器に外部クロックを入力 (注4)	t <sub>SBYEX</sub>	7	—	—	μs	
	サブクロック発振器動作 (注5)	t <sub>SBYSC</sub>	2 (注3)	—	—	s	
	HOCOクロック動作 (注6)	t <sub>SBYHO</sub>	—	—	50	μs	
	LOCOクロック動作 (注5)	t <sub>SBYLO</sub>	—	—	90	μs	
ソフトウェアスタンバイモード解除後復帰時間 (HOCO電源供給なし) (SOFTCUT = 11xb) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	t <sub>SBYMC</sub>	—	3	—	ms	図 5.30
	メインクロック発振器に外部クロックを入力 (注4)	t <sub>SBYEX</sub>	40	—	—	μs	
	サブクロック発振器動作 (注5)	t <sub>SBYSC</sub>	2 (注3)	—	—	s	
	HOCOクロック動作 (注6)	t <sub>SBYHO</sub>	—	—	0.8	ms	
	LOCOクロック動作 (注5)	t <sub>SBYLO</sub>	—	—	90	μs	

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なり、それぞれの発振器に対応したウェイトコントロールレジスタで設定した時間に依存します。

注2. 水晶振動子の周波数が8MHzの場合です。ICLKは1分周設定です。

注3. RCR3.RTCEN = 1 の場合はSOSCWTCRレジスタに設定した待機時間から2sを減算した時間になります。

注4. 外部クロック周波数が20MHzの場合です。ICLKは1分周設定です。

注5. ICLKは1分周設定です。

注6. 50MHzの場合は、HOCOWTCR2.HSTS2[4:0]=10101bで、ICLKは2分周設定です。

32MHzの場合は、HOCOWTCR2.HSTS2[4:0]=10100bで、ICLKは1分周設定です。

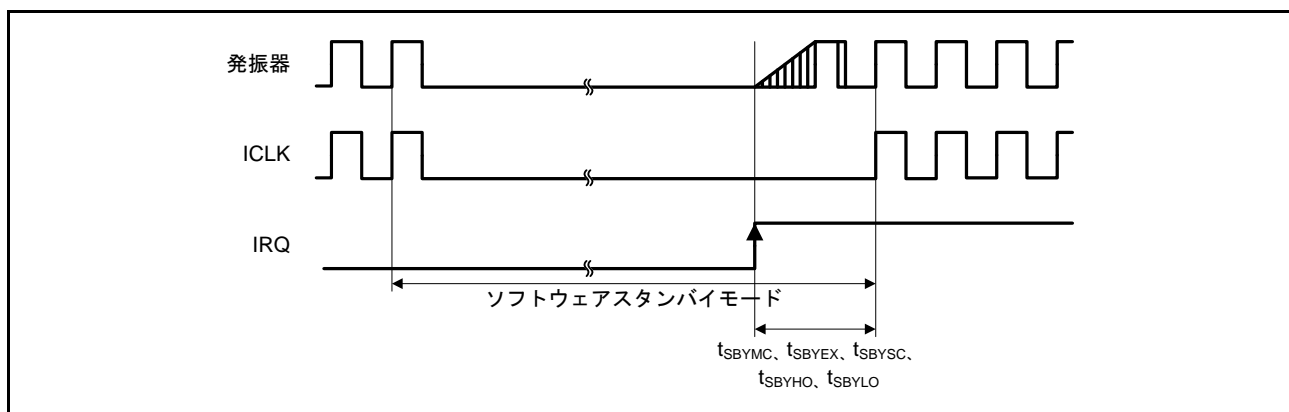


図 5.30 ソフトウェアスタンバイモード解除タイミング

## 5.3.4 制御信号タイミング

表5.25 制御信号タイミング

条件 : VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	$t_{\text{NMIW}}$	200	—	—	ns	$t_c (\text{PCLKB}) \times 2 \leq 200\text{ns}$ 、図 5.31
		$t_c (\text{PCLKB}) \times 2$	—	—	ns	$t_c (\text{PCLKB}) \times 2 > 200\text{ns}$ 、図 5.31
IRQパルス幅	$t_{\text{IRQW}}$	200	—	—	ns	$t_c (\text{PCLKB}) \times 2 \leq 200\text{ns}$ 、図 5.32
		$t_c (\text{PCLKB}) \times 2$	—	—	ns	$t_c (\text{PCLKB}) \times 2 > 200\text{ns}$ 、図 5.32

注. ソフトウェアスタンバイ時は、最小200nsです。

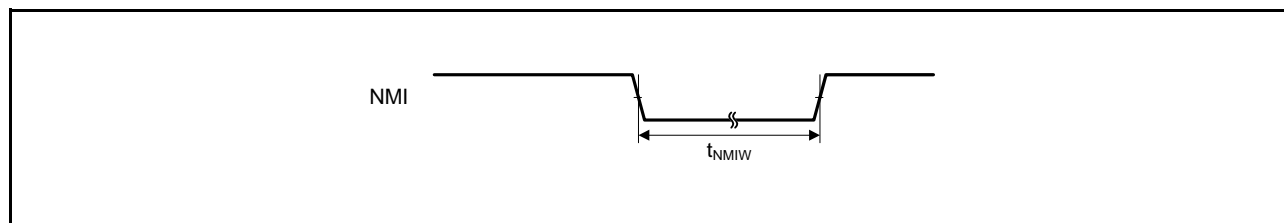


図 5.31 NMI 割り込み入カタイミング

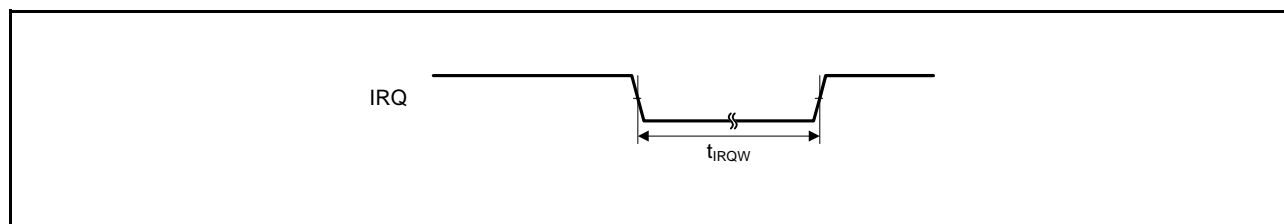


図 5.32 IRQ 割り込み入カタイミング

## 5.3.5 内蔵周辺モジュールタイミング

表5.26 内蔵周辺モジュールタイミング (1)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t <sub>PRW</sub>	1.5	—	t <sub>Pcyc</sub>	図5.33	
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t <sub>Pcyc</sub>	図5.34	
		両エッジ指定	2.5	—			
	タイマクロックパルス幅	単エッジ指定	1.5	—	t <sub>Pcyc</sub>	図5.35	
	両エッジ指定	2.5	—				
		位相係数モード	2.5	—			
POE	POE#入力パルス幅	t <sub>POEW</sub>	1.5	—	t <sub>Pcyc</sub>	図5.36	
8ビットタイマ	タイマクロックパルス幅	単エッジ指定	1.5	—	t <sub>Pcyc</sub>	図5.37	
		両エッジ指定	2.5	—			
SCI	入力クロックサイクル	調歩同期	4	—	t <sub>Pcyc</sub>	図5.38	
		クロック同期	6	—			
	入力クロックパルス幅		t <sub>SCKW</sub>	0.4	0.6	t <sub>Scyc</sub>	
	入力クロック立ち上がり時間		t <sub>SCKr</sub>	—	20	ns	
	入力クロック立ち下がり時間		t <sub>SCKf</sub>	—	20	ns	
	出力クロックサイクル (注2)	調歩同期	t <sub>Scyc</sub>	16	—	t <sub>Pcyc</sub>	C = 30pF 図5.39
		クロック同期		4	—		
	出力クロックパルス幅 (注2)		t <sub>SCKW</sub>	0.4	0.6	t <sub>Scyc</sub>	
	出力クロック立ち上がり時間 (注2)		t <sub>SCKr</sub>	—	20	ns	
	出力クロック立ち下がり時間 (注2)		t <sub>SCKf</sub>	—	20	ns	
	送信データ 遅延時間 (注3)	クロック同期	2.7V ≤ VCC ≤ 5.5V	t <sub>TXD</sub>	—	40	ns
			1.62V ≤ VCC < 2.7V		—	80	
	受信データ セットアップ時間	クロック同期	2.7V ≤ VCC ≤ 5.5V	t <sub>RXS</sub>	40	—	ns
1.62V ≤ VCC < 2.7V			80		—		
受信データホールド時間		クロック同期	t <sub>RXH</sub>	40	—	ns	
A/Dコンバータ	トリガ入力パルス幅	t <sub>TRGW</sub>	1.5	—	t <sub>Pcyc</sub>	図5.40	
CAC	CACREF入力パルス幅	t <sub>Pcyc</sub> ≤ t <sub>cac</sub> (注4)	t <sub>CACREF</sub>	4.5 t <sub>cac</sub> + 3 t <sub>Pcyc</sub>	—	ns	
		t <sub>Pcyc</sub> > t <sub>cac</sub> (注4)		5 t <sub>cac</sub> + 6.5 t <sub>Pcyc</sub>	—	ns	

注1. t<sub>Pcyc</sub> : PCLKBの周期

注2. クロック出力ポートの駆動能力は、通常出力に設定したときの値です。

注3. データ出力ポートの駆動能力は、通常出力に設定したときの値です。

注4. t<sub>cac</sub> : CACカウントクロックソースの周期

表5.27 内蔵周辺モジュールタイミング (2)

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目			記号	min	max	単位 (注1)	測定条件	
RSPI	RSPCKクロックサイクル (注2)	マスタ	t <sub>SPCyc</sub>	2	4096	t <sub>PCyc</sub>	C = 30pF 図5.41	
		スレーブ		8	4096			
	RSPCKクロック Highレベルパルス幅 (注2)	マスタ	t <sub>SPCKWH</sub>	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—		ns
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—		
	RSPCKクロック Lowレベルパルス幅 (注2)	マスタ	t <sub>SPCKWL</sub>	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—		ns
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—		
	RSPCKクロック 立ち上がり/立ち下がり時間 (注2)	出力	2.7V ≤ VCC ≤ 5.5V	t <sub>SPCKr</sub> , t <sub>SPCKf</sub>	—	10		ns
			1.62V ≤ VCC < 2.7V		—	20		
		入力	—	1	μs			
	データ入力セットアップ 時間	マスタ	t <sub>SU</sub>	4	—	ns		C = 30pF 図5.42 ~ 図5.47
		スレーブ		20 - t <sub>PCyc</sub>	—			
	データ入力ホールド時間	マスタ	PCLKBを2分周以外に 設定	t <sub>H</sub>	t <sub>PCyc</sub>	—		
PCLKBを2分周に設定			t <sub>HF</sub>	0	—			
スレーブ		t <sub>H</sub>	20 + 2 × t <sub>PCyc</sub>	—				
SSLセットアップ時間	マスタ	t <sub>LEAD</sub>	1	8	t <sub>SPCyc</sub>			
	スレーブ		4	—	t <sub>PCyc</sub>			
SSLホールド時間	マスタ	t <sub>LAG</sub>	1	8	t <sub>SPCyc</sub>			
	スレーブ		4	—	t <sub>PCyc</sub>			
データ出力遅延時間	マスタ	2.7V ≤ VCC ≤ 5.5V	t <sub>OD</sub>	—	14	ns		
		1.62V ≤ VCC < 2.7V		—	28			
	スレーブ	2.7V ≤ VCC ≤ 5.5V		—	3 × t <sub>PCyc</sub> + 40			
		1.62V ≤ VCC < 2.7V		—	3 × t <sub>PCyc</sub> + 80			
データ出力ホールド時間	マスタ	t <sub>OH</sub>	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t <sub>TD</sub>	t <sub>SPCyc</sub> + 2 × t <sub>PCyc</sub>	8 × t <sub>SPCyc</sub> + 2 × t <sub>PCyc</sub>	ns			
	スレーブ		4 × t <sub>PCyc</sub>	—				
MOSI、MISO 立ち上がり/立ち下がり時間	出力	2.7V ≤ VCC ≤ 5.5V	t <sub>Dr</sub> , t <sub>Df</sub>	—	10	ns		
		1.62V ≤ VCC < 2.7V		—	20			
	入力	—		1	μs			
SSL立ち上がり/立ち下がり 時間	出力	t <sub>SSLr</sub> , t <sub>SSLf</sub>	—	20	ns			
	入力		—	1		μs		
スレーブアクセス時間		t <sub>SA</sub>	—	4	t <sub>PCyc</sub>	C = 30pF 図5.45、図5.47		
スレーブ出力開放時間		t <sub>REL</sub>	—	3	t <sub>PCyc</sub>			

注1. t<sub>PCyc</sub> : PCLKBの周期

注2. クロック出力ポートの駆動能力は、通常出力に設定したときの値です。



表5.28 内蔵周辺モジュールタイミング (3)

条件: VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T<sub>a</sub> = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ) (注2)	t <sub>SPCyc</sub>	4	65536	t <sub>Pcyc</sub>	C = 30pF 図5.41	
	SCKクロックサイクル入力 (スレーブ)		6	65536			
	SCKクロック High レベルパルス幅 (注2)	t <sub>SPCKWH</sub>	0.4	0.6	t <sub>SPCyc</sub>		
	SCKクロック Low レベルパルス幅 (注2)	t <sub>SPCKWL</sub>	0.4	0.6	t <sub>SPCyc</sub>		
	SCK クロック立ち上がり/立ち下がり時間	t <sub>SPCKr</sub> , t <sub>SPCKf</sub>	—	20	ns		
	データ入力セットアップ時間	2.7V ≤ VCC ≤ 5.5V	t <sub>SU</sub>	40	—	ns	C = 30pF 図5.42 ~ 図5.47
		1.62V ≤ VCC < 2.7V		80	—		
	データ入力ホールド時間	t <sub>H</sub>	40	—	ns		
	SS 入力セットアップ時間	t <sub>LEAD</sub>	6	—	t <sub>Pcyc</sub>		
	SS 入力ホールド時間	t <sub>LAG</sub>	6	—	t <sub>Pcyc</sub>		
	データ出力遅延時間	2.7V ≤ VCC ≤ 5.5V	t <sub>OD</sub>	—	40	ns	
		1.62V ≤ VCC < 2.7V		—	80		
	データ出力ホールド時間	t <sub>OH</sub>	0	—	ns		
	データ立ち上がり/立ち下がり時間	t <sub>Dr</sub> , t <sub>Df</sub>	—	20	ns		
SS 入力立ち上がり/立ち下がり時間	t <sub>SSLr</sub> , t <sub>SSLf</sub>	—	20	ns			
スレーブアクセス時間	t <sub>SA</sub>	—	5	t <sub>Pcyc</sub>	C = 30pF 図5.45、図5.47		
スレーブ出力開放時間	t <sub>REL</sub>	—	5	t <sub>Pcyc</sub>			

注1. t<sub>Pcyc</sub>: PCLKBの周期

注2. クロック出力ポートの駆動能力は、通常出力に設定したときの値です。

表5.29 内蔵周辺モジュールタイミング (4)

条件: VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = VREFL0 = 0V、fPCLKB ≤ 32MHz、T<sub>a</sub> = -40~+105°C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL入力サイクル時間	t <sub>SCL</sub>	6 (12) × t <sub>IIcCyc</sub> + 1300	—	ns	図5.48
	SCL入力Highパルス幅	t <sub>SCLH</sub>	3 (6) × t <sub>IIcCyc</sub> + 300	—	ns	
	SCL入力Lowパルス幅	t <sub>SCLL</sub>	3 (6) × t <sub>IIcCyc</sub> + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t <sub>Sr</sub>	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t <sub>Sf</sub>	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	1 (5) × t <sub>IIcCyc</sub>	ns	
	SDA入力バスフリー時間	t <sub>BUF</sub>	3 (6) × t <sub>IIcCyc</sub> + 300	—	ns	
	開始条件入力ホールド時間	t <sub>STAH</sub>	t <sub>IIcCyc</sub> + 300	—	ns	
	再送開始条件入力セットアップ時間	t <sub>STAS</sub>	1000	—	ns	
	停止条件入力セットアップ時間	t <sub>STOS</sub>	1000	—	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	t <sub>IIcCyc</sub> + 50	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	
	RIIC (ファスト モード)	SCL入力サイクル時間	t <sub>SCL</sub>	6 (12) × t <sub>IIcCyc</sub> + 600	—	
SCL入力Highパルス幅		t <sub>SCLH</sub>	3 (6) × t <sub>IIcCyc</sub> + 300	—	ns	
SCL入力Lowパルス幅		t <sub>SCLL</sub>	3 (6) × t <sub>IIcCyc</sub> + 300	—	ns	
SCL、SDA入力立ち上がり時間		t <sub>Sr</sub>	20 + 0.1C <sub>b</sub>	300	ns	
SCL、SDA入力立ち下がり時間		t <sub>Sf</sub>	20 + 0.1C <sub>b</sub>	300	ns	
SCL、SDA入カスパイクパルス除去時間		t <sub>SP</sub>	0	1 (4) × t <sub>IIcCyc</sub>	ns	
SDA入力バスフリー時間		t <sub>BUF</sub>	3 (6) × t <sub>IIcCyc</sub> + 300	—	ns	
開始条件入力ホールド時間		t <sub>STAH</sub>	t <sub>IIcCyc</sub> + 300	—	ns	
再送開始条件入力セットアップ時間		t <sub>STAS</sub>	300	—	ns	
停止条件入力セットアップ時間		t <sub>STOS</sub>	300	—	ns	
データ入力セットアップ時間		t <sub>SDAS</sub>	t <sub>IIcCyc</sub> + 50	—	ns	
データ入力ホールド時間		t <sub>SDAH</sub>	0	—	ns	
SCL、SDAの容量性負荷		C <sub>b</sub>	—	400	pF	

注. t<sub>IIcCyc</sub>: RIICの内部基準クロック (IICφ) の周期

注1. ( ) 内の数値は、ICFER.NFE=1でデジタルフィルタを有効にした状態でICMR3.NF[1:0]=11bの場合を示します。

注2. C<sub>b</sub>はバスラインの容量総計です。

表5.30 内蔵周辺モジュールタイミング (5)

条件 : VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = VREFL0 = 0V、fPCLKB ≤ 32MHz、T<sub>a</sub> = -40~+105°C

項目		記号	min (注1)	max	単位	測定条件
簡易IIC (スタンダードモード)	SDA入力立ち上がり時間	t <sub>sr</sub>	—	1000	ns	図5.48
	SDA入力立ち下がり時間	t <sub>sf</sub>	—	300	ns	
	SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	4 × t <sub>Pcyc</sub> (注2)	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	250	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	
簡易IIC (ファストモード)	SCL、SDA入力立ち上がり時間	t <sub>sr</sub>	20 + 0.1C <sub>b</sub>	300	ns	図5.48
	SCL、SDA入力立ち下がり時間	t <sub>sf</sub>	20 + 0.1C <sub>b</sub>	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	4 × t <sub>Pcyc</sub> (注2)	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	100	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	

注. t<sub>Pcyc</sub> : PCLKBの周期注1. C<sub>b</sub>はバスラインの容量総計です。

注2. SNFR.NFEビット=1でデジタルフィルタを有効にした状態でSMR.CKS[1:0]ビット=00b、SNFR.NFCS[2:0]ビット=010bの場合を示します。

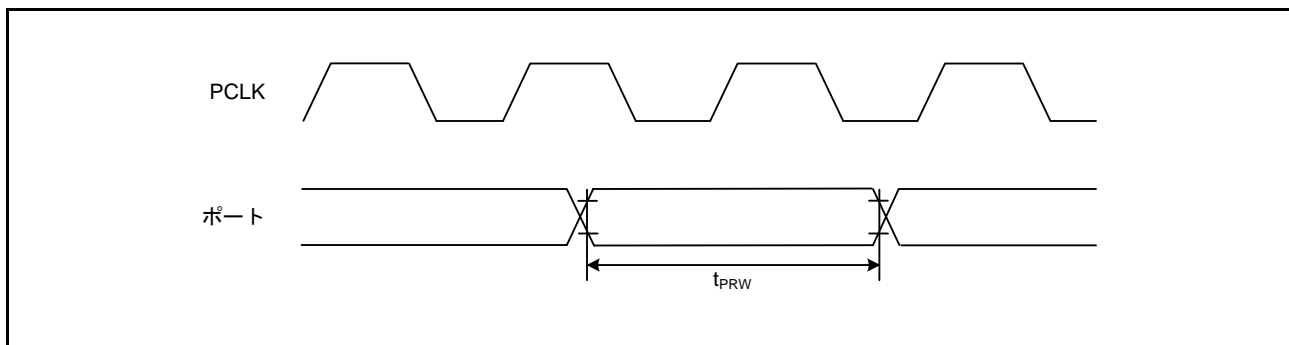


図 5.33 I/Oポート入力タイミング

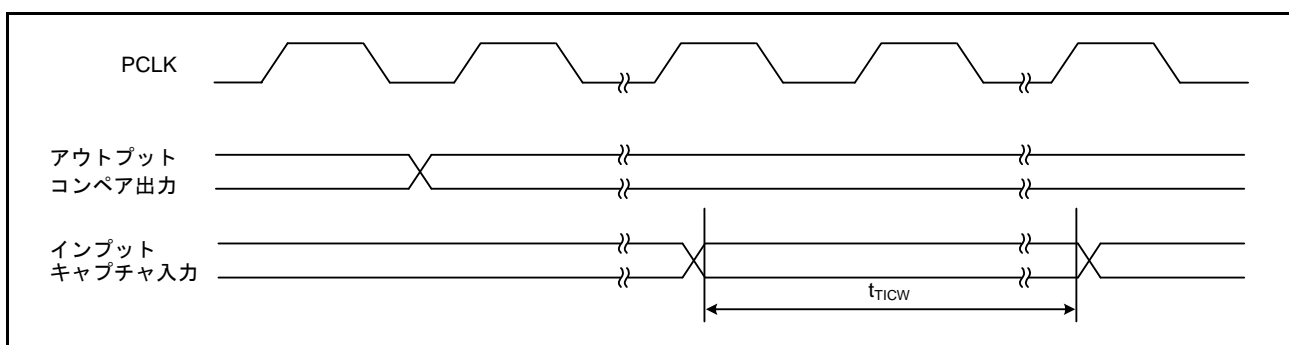


図 5.34 MTU入出力タイミング

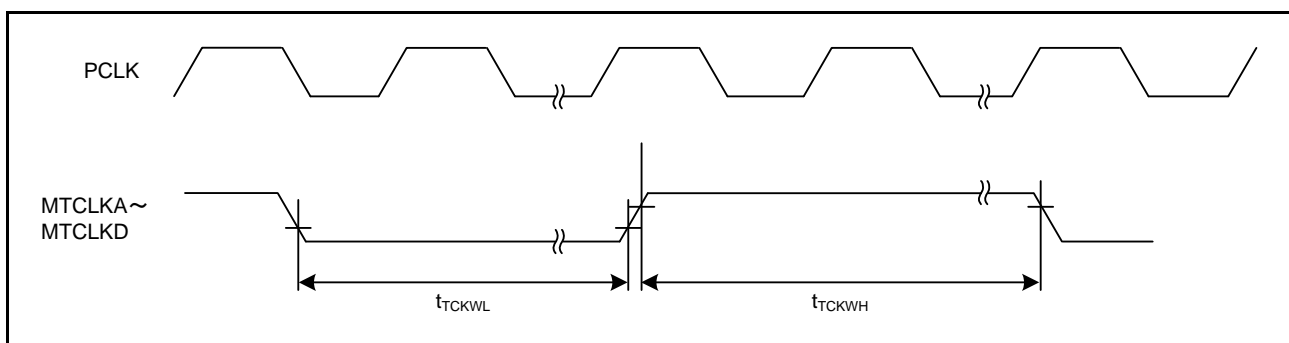


図 5.35 MTUクロック入力タイミング

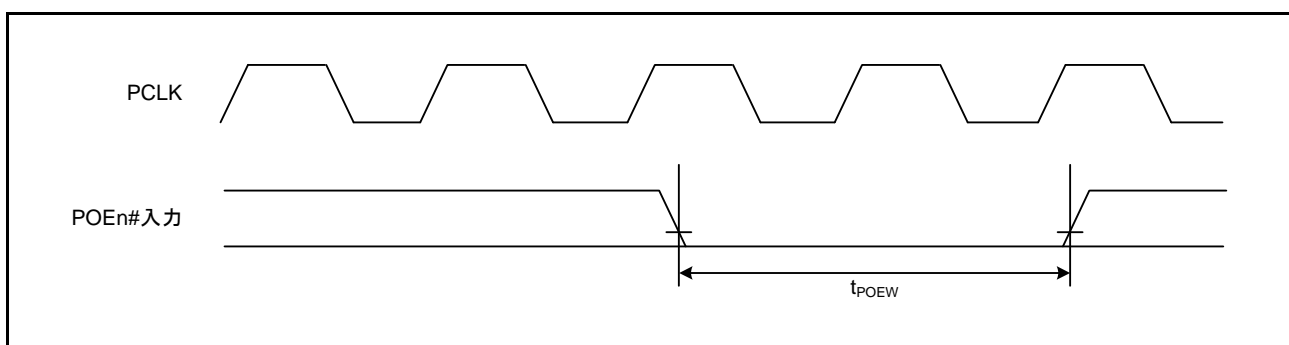


図 5.36 POE#入力タイミング

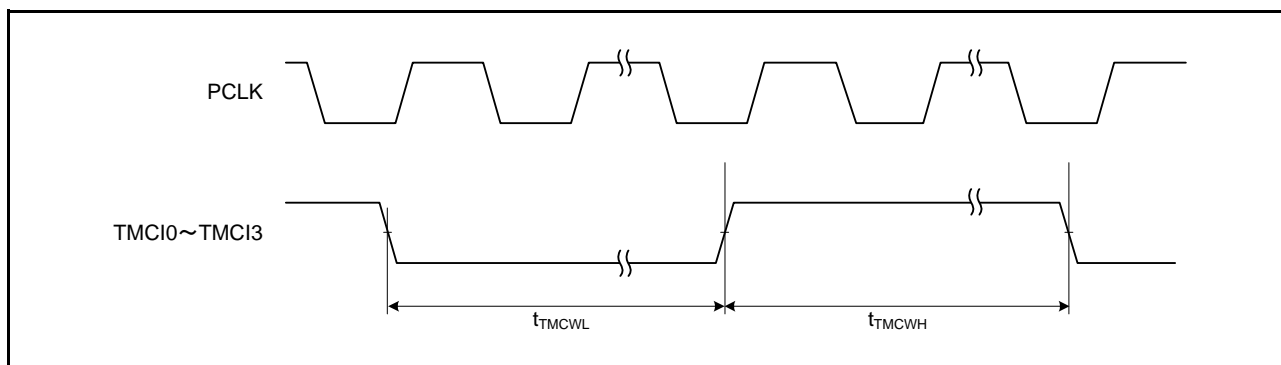


図 5.37 8ビットタイマクロック入力タイミング

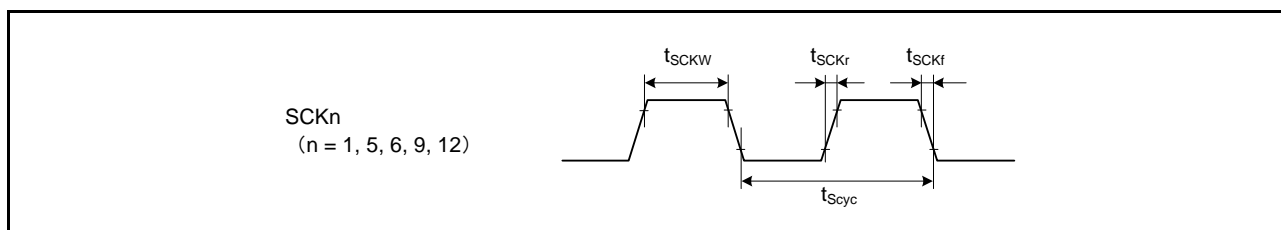


図 5.38 SCKクロック入力タイミング

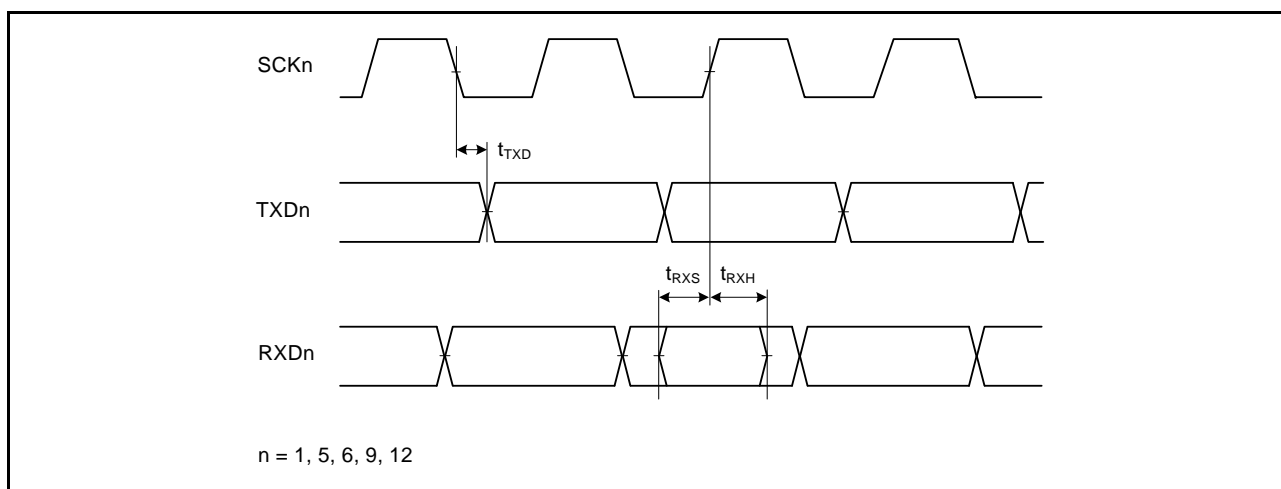


図 5.39 SCI 入出力タイミング / クロック同期式モード

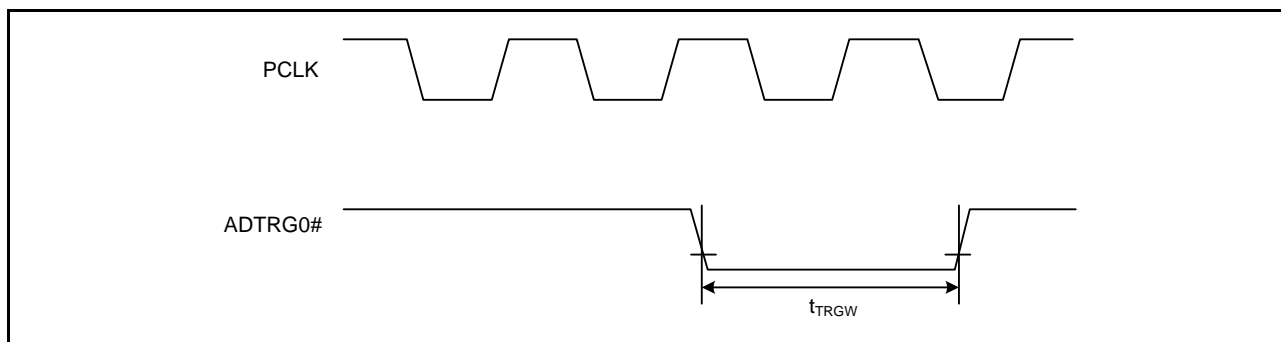


図 5.40 A/D コンバータ外部トリガ入力タイミング

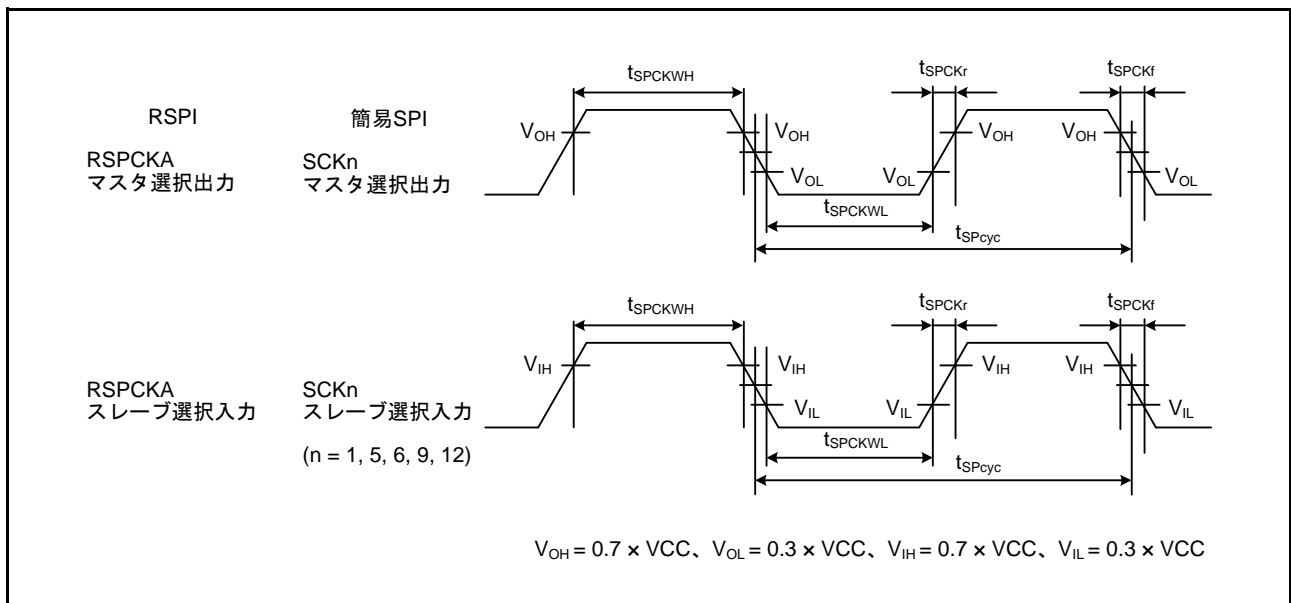


図 5.41 RSPI クロックタイミング / 簡易 SPI クロックタイミング

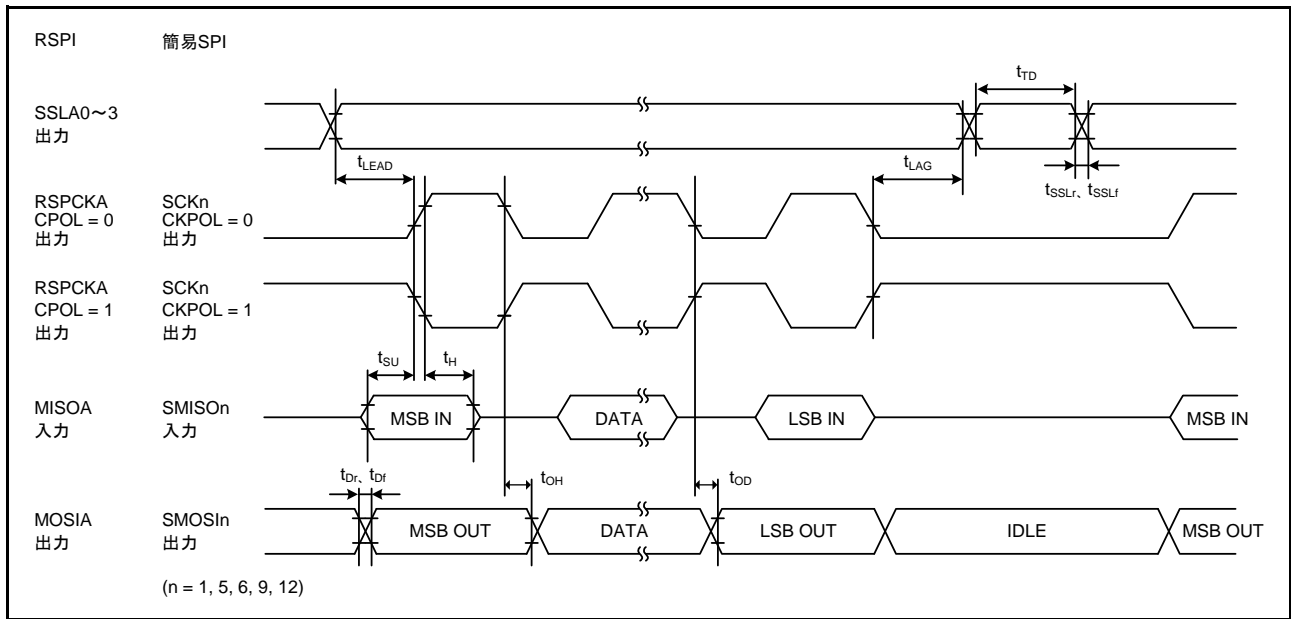


図 5.42 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

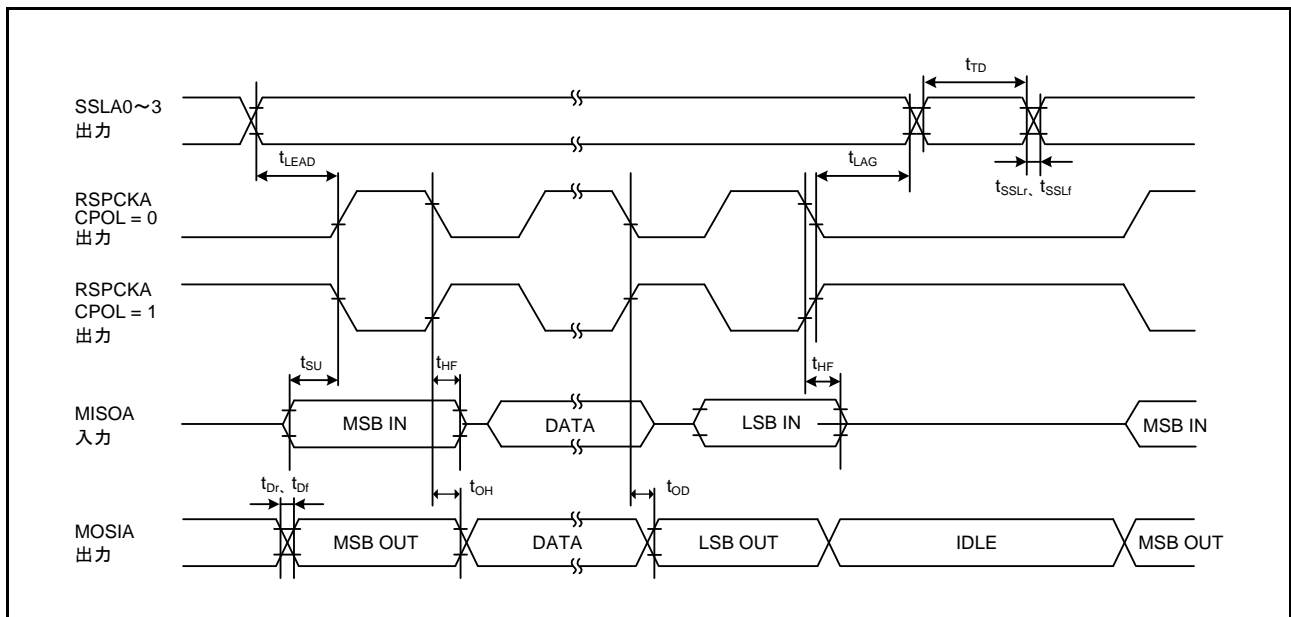


図 5.43 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

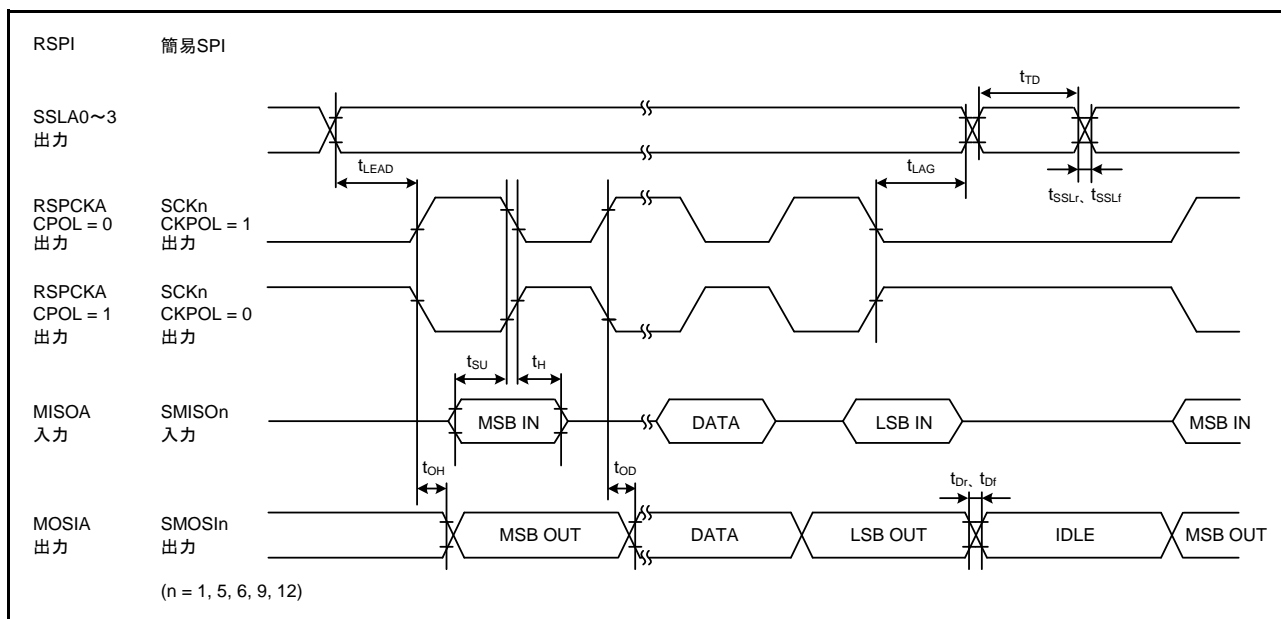


図 5.44 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

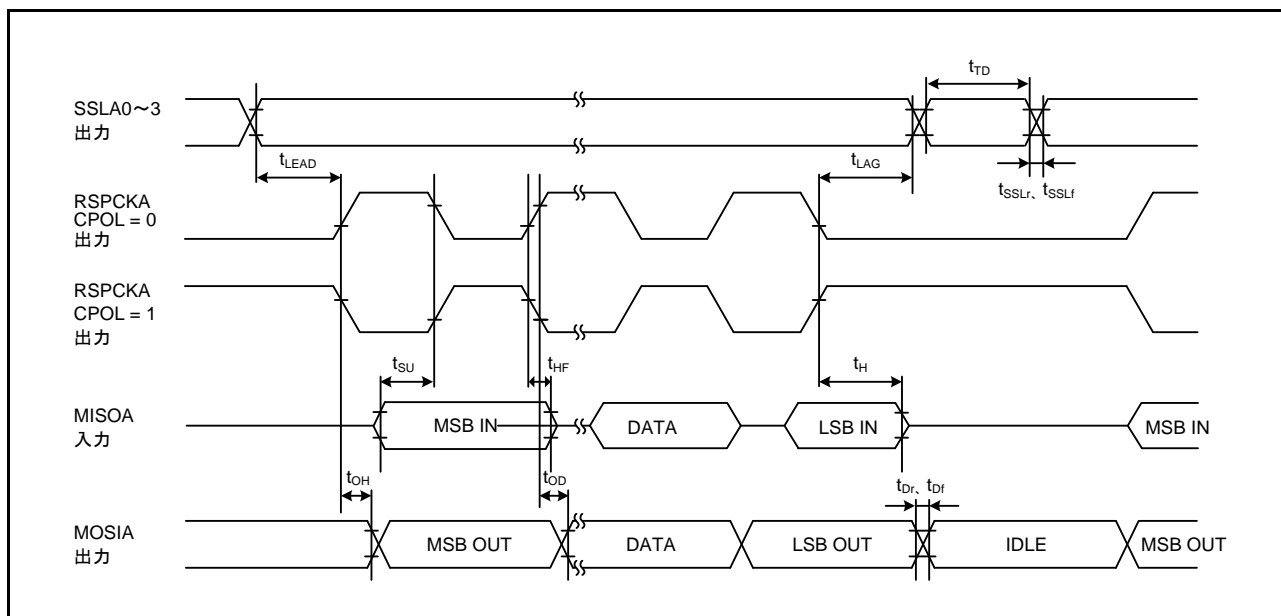


図 5.45 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)



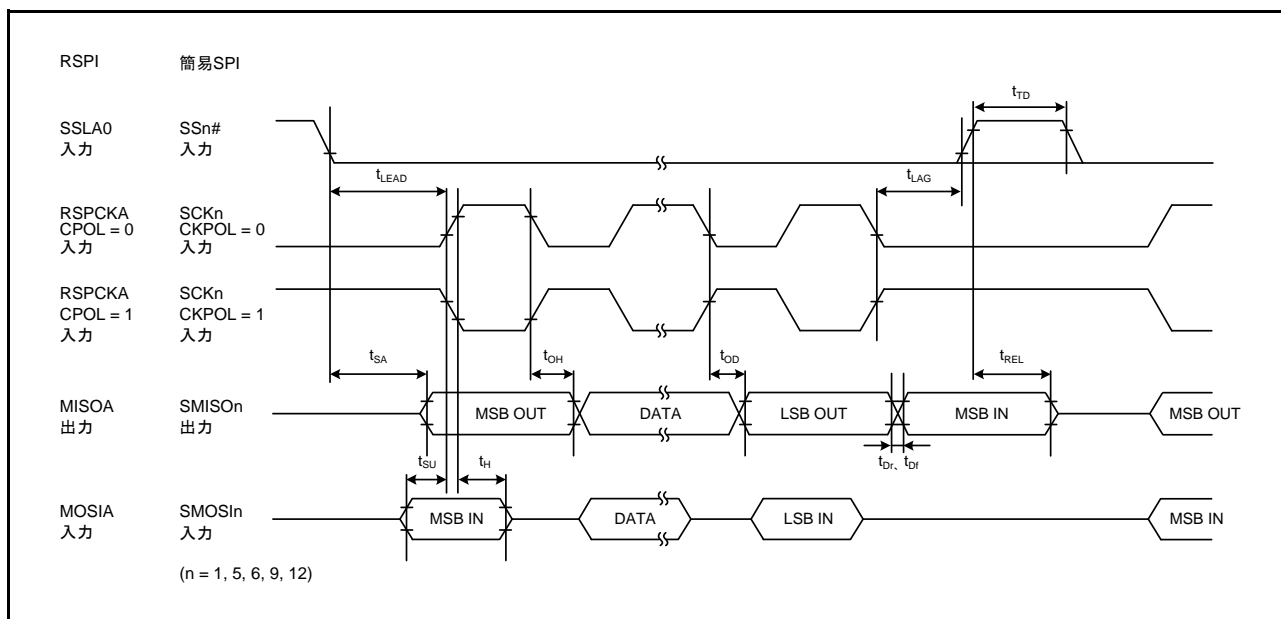


図 5.46 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

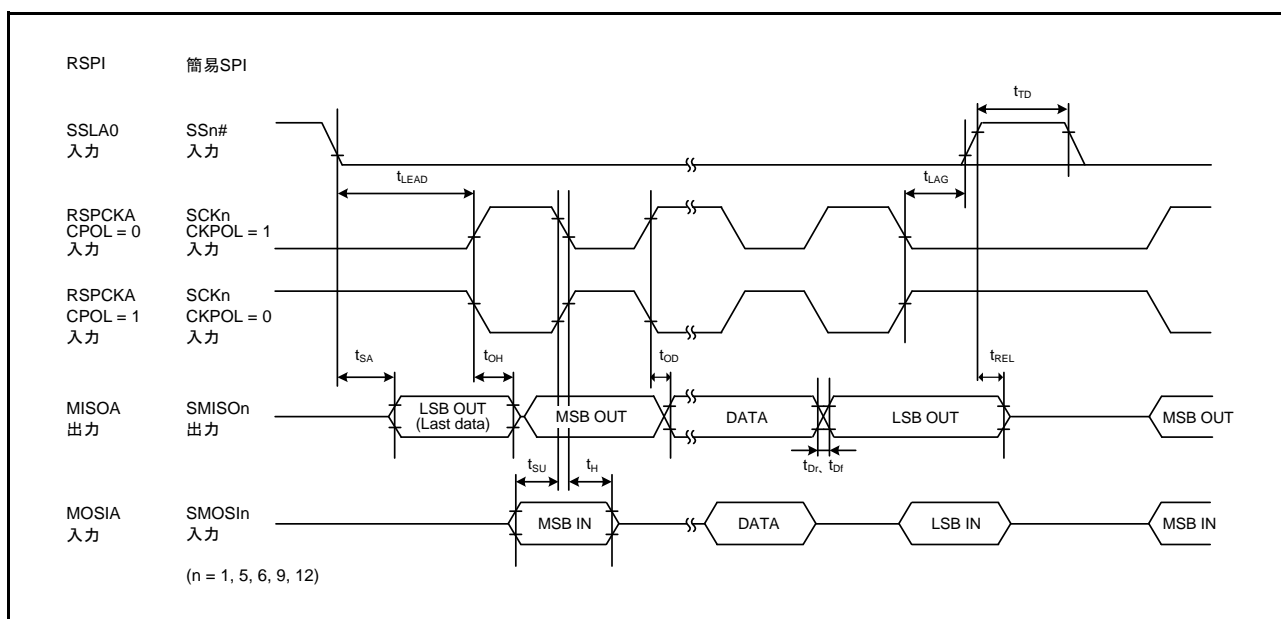


図 5.47 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

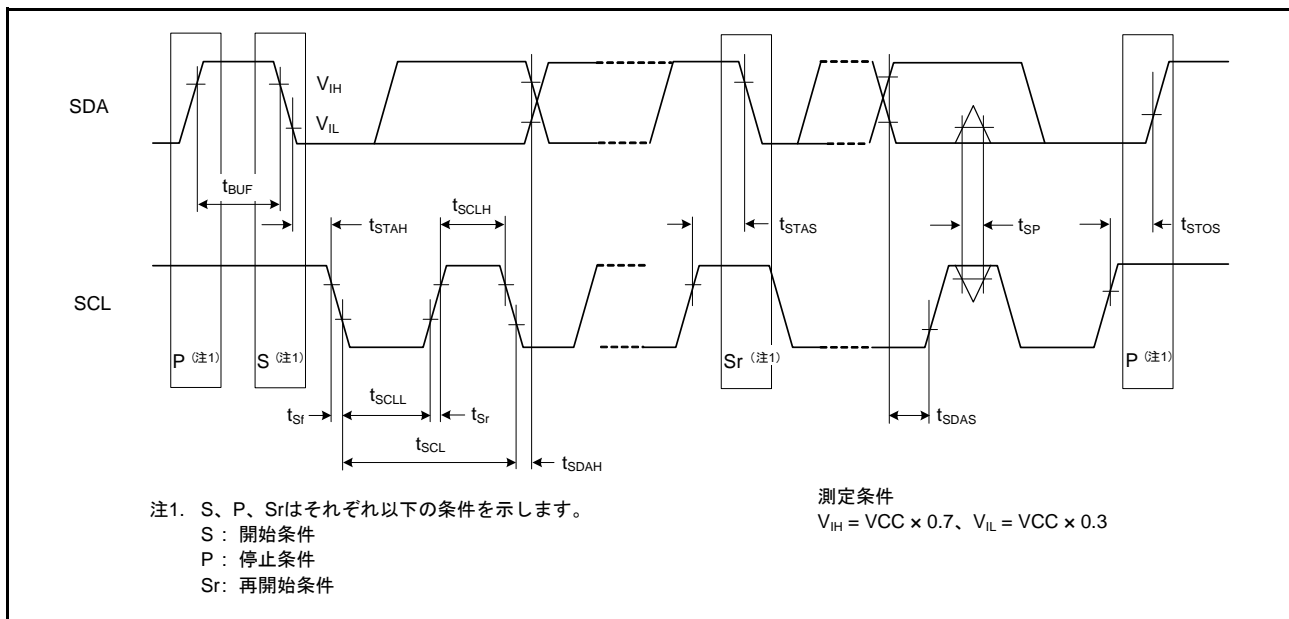


図 5.48 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

## 5.4 A/D 変換特性

表5.31 A/D変換特性 (1)

条件：VCC = AVCC0 = 2.7 ~ 5.5V、 $2.7 \leq VREFH0 \leq 5.5V$ 、 $AVCC0 - 0.9V \leq VREFH0 \leq AVCC0$ 、  
VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)		1	—	32	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (fPCLKD = 32MHz時)	許容信号源インピーダンス max = 1k $\Omega$	1.56 (0.652) (注2)	—	—	$\mu s$	サンプリング20ステート
	許容信号源インピーダンス max = 5k $\Omega$	3.29 (2.35) (注2)	—	—		サンプリング75ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	$\pm 0.5$	$\pm 4.5$	LSB	高精度チャンネル
				$\pm 7.5$		通常精度チャンネル
フルスケール誤差		—	$\pm 0.75$	$\pm 4.5$	LSB	高精度チャンネル
				$\pm 7.5$		通常精度チャンネル
量子化誤差		—	$\pm 0.5$	—	LSB	
絶対精度		—	$\pm 1.25$	$\pm 5.0$	LSB	高精度チャンネル
				$\pm 8.0$		通常精度チャンネル
DNL 微分非直線性誤差		—	$\pm 1.0$	—	LSB	
INL 積分非直線性誤差		—	$\pm 1.0$	$\pm 3.0$	LSB	高精度チャンネル
				$\pm 5.0$		通常精度チャンネル

- 注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。  
オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。
- 注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。
- 注2. ( ) はサンプリング時間を示します。

表5.32 A/Dコンバータチャンネル分類表

分類	対象チャンネル	
高精度チャンネル	AN000 ~ AN007	A/Dコンバータ使用時、 AN000 ~ AN007端子を デジタル出力として使用 することは禁止です。
通常精度チャンネル	AN008 ~ AN015	

表5.33 A/D内部基準電圧特性

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.35	1.50	1.65	V	

表5.34 A/D変換特性 (2)

条件：VCC = AVCC0 = 1.62 ~ 3.6V、 $1.62 \leq VREFH0 \leq 2.7V$ 、 $AVCC0 - 0.9V \leq VREFH0 \leq AVCC0$ 、  
VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)	1	—	8	MHz	
分解能	—	—	12	ビット	
変換時間 (注1) (fPCLKD = 8MHz時)	許容信号源インピーダンス max = 1k $\Omega$	5.25 (1.5) (注2)	—	$\mu\text{s}$	サンプリング12ステート
	許容信号源インピーダンス max = 5k $\Omega$	6.25 (2.5) (注2)	—		サンプリング20ステート
アナログ入力容量	—	—	30	pF	
オフセット誤差	—	$\pm 0.5$	$\pm 7.5$	LSB	
フルスケール誤差	—	$\pm 1.25$	$\pm 7.5$	LSB	
量子化誤差	—	$\pm 0.5$	—	LSB	
絶対精度	—	$\pm 3.0$	$\pm 8.0$	LSB	
DNL 微分非直線性誤差	—	$\pm 1.25$	—	LSB	
INL 積分非直線性誤差	—	$\pm 1.5$	$\pm 5.0$	LSB	

- 注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。  
オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。
- 注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。
- 注2. ( ) はサンプリング時間を示します。

表5.35 サンプリング時間

条件：VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	typ	単位	測定条件	
サンプリング時間	高精度チャネル	$T_s$	$0.208 + 0.417 \times R_0$ (k $\Omega$ )	$\mu\text{s}$	図5.49
	通常精度チャネル				

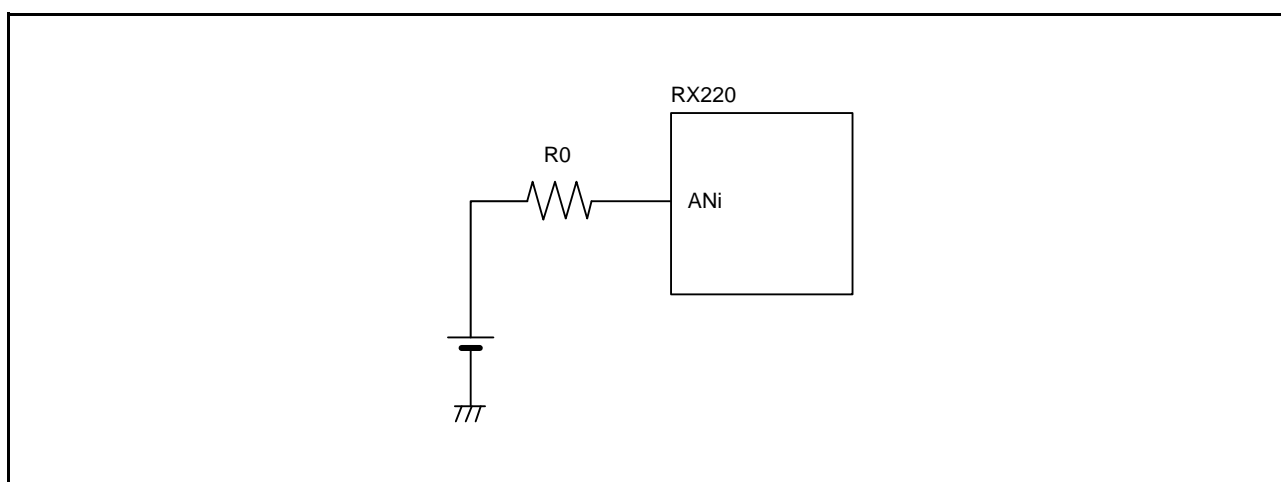


図 5.49 アナログ入力端子の内部等価回路

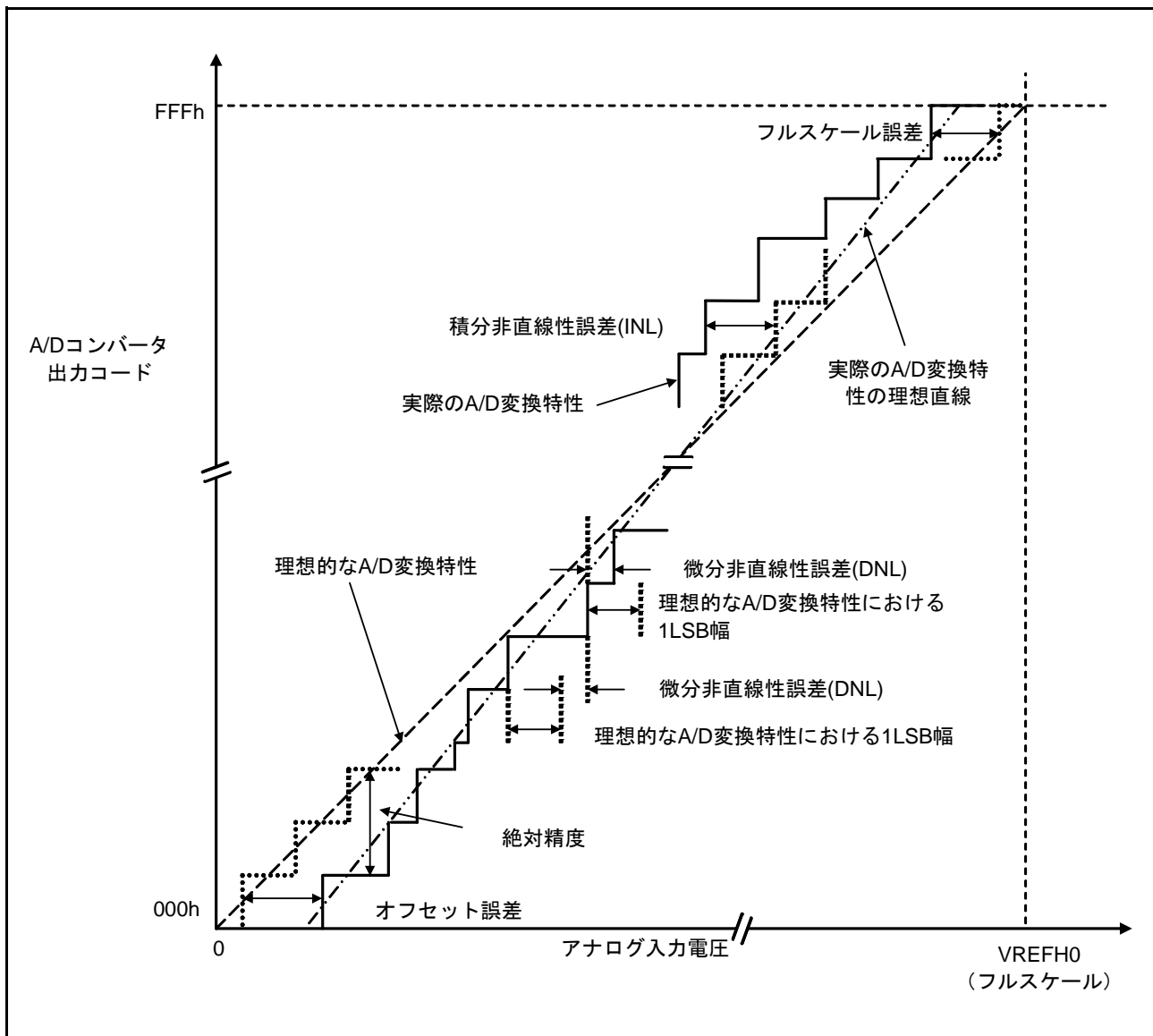


図 5.50 A/D コンバータ特性用語説明図

### 絶対誤差

絶対誤差とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対誤差の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0）= 5.12V の場合、1LSB 幅は 1.25mV で、アナログ入力電圧には 0mV、1.25mV、2.5mV... を使用します。

絶対誤差 = ±5LSB とは、アナログ入力電圧が 10mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

**微分非直線性誤差 (DNL)**

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

**オフセット誤差**

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

**フルスケール誤差**

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

## 5.5 コンパレータ特性

表5.36 コンパレータ特性

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目	記号	min	typ	max	単位	測定条件		
コンパレータA	外部基準電圧入力範囲	LVREF	1.4	—	VCC	V		
	外部比較電圧 (注1) (CMPA1、CMPA2) 入力範囲	VI	-0.3	—	VCC+0.3	V		
	オフセット	—	—	±50	±150	mV		
	コンパレータ出力遅延時間 (注2)	—	—	3	—	—	µs	立ち下がり時 VI = LVREF-110mV
				2	—	—	µs	立ち下がり時 VI < LVREF-1V
				3	—	—	µs	立ち上がり時 VI = LVREF+160mV
1.5				—	—	µs	立ち上がり時 VI > LVREF+1V	
コンパレータ動作電流	ICMPA	—	0.5	—	µA	VCC = 5.0V		

注1. VCCはリップルを含みません。

注2. デジタルフィルタ無効時。

## 5.6 パワーオンリセット回路、電圧検出回路特性

表5.37 パワーオンリセット回路、電圧検出回路特性 (1)  
 条件 : VCC = AVCC0, VSS = AVSS0 = VREFL0 = 0V, T<sub>a</sub> = -40 ~ +105 °C

項目		記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V <sub>POR</sub>	低消費電力機能無効 (注1)	1.30	1.40	1.55	V	図 5.51、図 5.52
	低消費電力機能有効 (注2)		1.00	1.20	1.45			
電圧検出回路 (LVD0) (注3)		V <sub>det0_0</sub>	3.65	3.80	3.95	V	図 5.53	
		V <sub>det0_1</sub>	2.70	2.80	2.90			
		V <sub>det0_2</sub>	1.80	1.90	2.00			
		V <sub>det0_3</sub>	1.62	1.72	1.82			
電圧検出回路 (LVD1) (注4)		V <sub>det1_0</sub>	4.00	4.15	4.30	V	図 5.54  VCC 立ち下がり時	
		V <sub>det1_1</sub>	3.85	4.00	4.15			
		V <sub>det1_2</sub>	3.70	3.85	4.00			
		V <sub>det1_3</sub>	3.55	3.70	3.85			
		V <sub>det1_4</sub>	3.40	3.55	3.70			
		V <sub>det1_5</sub>	3.25	3.40	3.55			
		V <sub>det1_6</sub>	3.10	3.25	3.40			
		V <sub>det1_7</sub>	2.95	3.10	3.25			
		V <sub>det1_8</sub>	2.85	2.95	3.05			
		V <sub>det1_9</sub>	2.70	2.80	2.90			
		V <sub>det1_A</sub>	2.55	2.65	2.75			
		V <sub>det1_B</sub>	2.40	2.50	2.60			
		V <sub>det1_C</sub>	2.25	2.35	2.45			
		V <sub>det1_D</sub>	2.10	2.20	2.30			
		V <sub>det1_E</sub>	1.95	2.05	2.15			
V <sub>det1_F</sub>	1.80	1.90	2.00					

注. 電源にノイズが重畳されていない状態での特性です。

注1. ソフトウェアスタンバイモード以外の場合、またはFHSSBYCR.SOFTCUT[2]ビットが"0"でソフトウェアスタンバイモードに移行した場合です。

注2. FHSSBYCR.SOFTCUT[2]ビットが"1"でソフトウェアスタンバイモードに移行した場合です。

注3. 記号V<sub>det0\_#</sub>の#は、OFS1.VDSEL[1:0]ビットの値です。

注4. 記号V<sub>det1\_#</sub>の#は、LVDLVLR.LVD1LVL[3:0]ビットの値です。



表5.38 パワーオンリセット回路、電圧検出回路特性 (2)  
 条件: VCC = AVCC0, VSS = AVSS0 = VREFL0 = 0V, T<sub>a</sub> = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	電圧検出回路 (LVD2) (注1)	V <sub>det2_0</sub>	4.00	4.15	4.30	V	図 5.55 VCC 立ち下がり時
		V <sub>det2_1</sub>	3.85	4.00	4.15		
		V <sub>det2_2</sub>	3.70	3.85	4.00		
		V <sub>det2_3</sub>	3.55	3.70	3.85		
		V <sub>det2_4</sub>	3.40	3.55	3.70		
		V <sub>det2_5</sub>	3.25	3.40	3.55		
		V <sub>det2_6</sub>	3.10	3.25	3.40		
		V <sub>det2_7</sub>	2.95	3.10	3.25		
		V <sub>det2_8</sub>	2.85	2.95	3.05		
		V <sub>det2_9</sub>	2.70	2.80	2.90		
		V <sub>det2_A</sub>	2.55	2.65	2.75		
		V <sub>det2_B</sub>	2.40	2.50	2.60		
		V <sub>det2_C</sub>	2.25	2.35	2.45		
		V <sub>det2_D</sub>	2.10	2.20	2.30		
		V <sub>det2_E</sub>	1.95	2.05	2.15		
V <sub>det2_F</sub>	1.80	1.90	2.00				
	V <sub>CMPA2</sub>	1.18	1.33	1.48		EXVCCINP2 = 1	
内部リセット時間	パワーオンリセット時間	t <sub>POR</sub>	—	9	—	ms	図5.52
	電圧監視0リセット時間	t <sub>LVD0</sub>	—	9	—		図5.53
	電圧監視1リセット時間	t <sub>LVD1</sub>	—	1.4	—		図5.54
	電圧監視2リセット時間	t <sub>LVD2</sub>	—	1.4	—		図5.55
最小VCC低下時間 (注2)		t <sub>VOFF</sub>	200	—	—	μs	図5.51
応答遅延時間		t <sub>det</sub>	—	—	200	μs	図5.52
LVD動作安定時間 (LVD有効切り替え時)		T <sub>d (E-A)</sub>	—	—	15	μs	図5.54、図5.55
パワーオンリセット有効時間		t <sub>W (POR)</sub>	1	—	—	ms	図5.52 VCC = 0.9V 以下
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))		V <sub>L VH</sub>	—	100	—	mV	V <sub>detX_0</sub> ~ 7 選択時
			—	50	—		V <sub>detX_8</sub> ~ F 選択時

注. 電源にノイズが重畳されていない状態での特性です。

注1. 記号V<sub>det2\_#</sub>の#は、LVDLVLR.LVD2LVL[3:0]ビットの値です。

注2. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV<sub>POR</sub>、V<sub>det0</sub>、V<sub>det1</sub>、V<sub>det2</sub>のmin値を下回っている時間です。

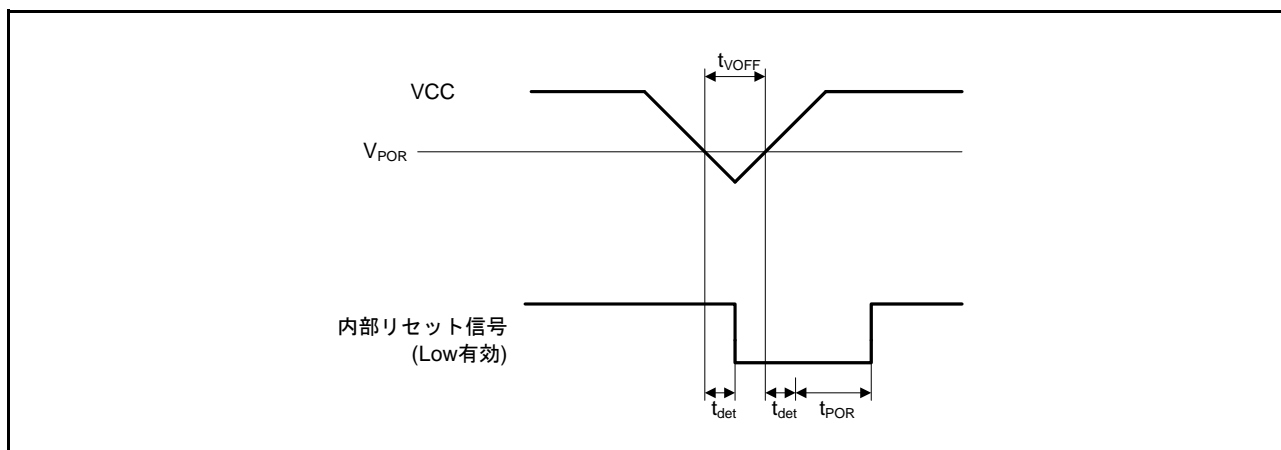
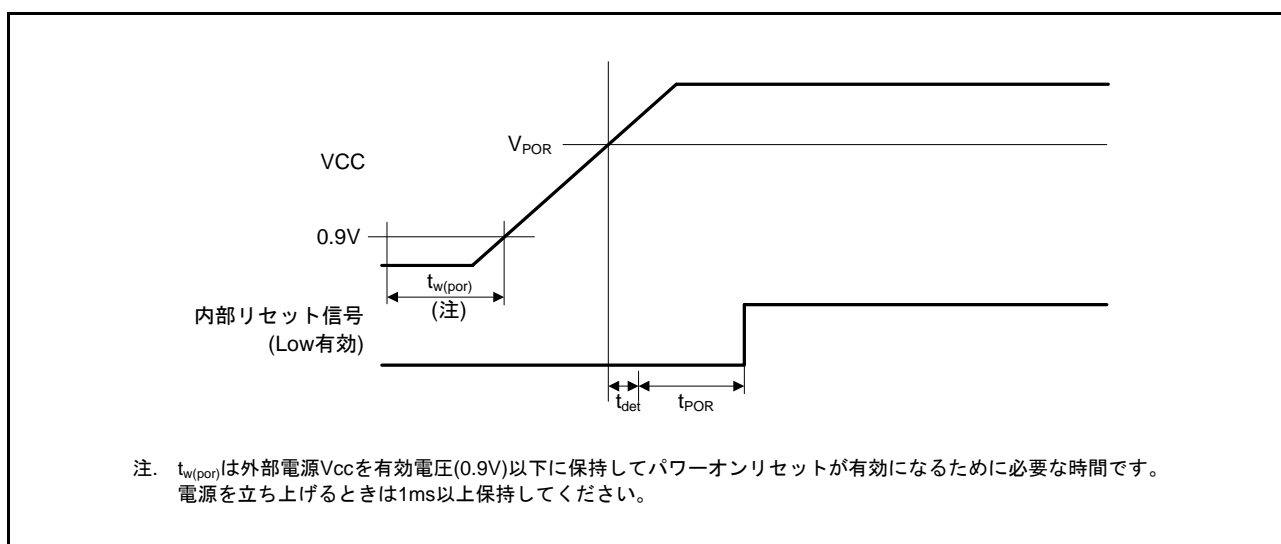


図 5.51 電圧検出リセットタイミング



注. t<sub>w(por)</sub>は外部電源Vccを有効電圧(0.9V)以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を立ち上げるときは1ms以上保持してください。

図 5.52 パワーオンリセットタイミング

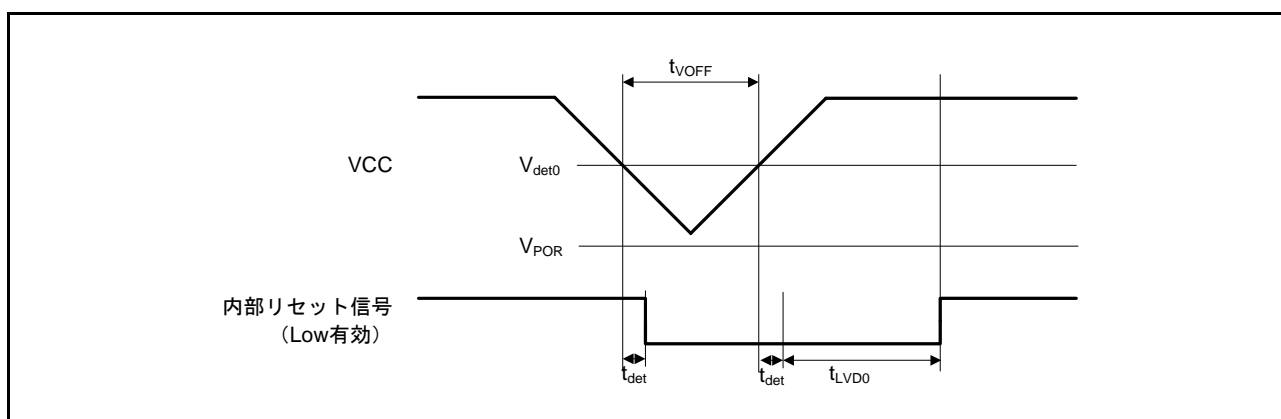


図 5.53 電圧検出回路タイミング (V<sub>det0</sub>)

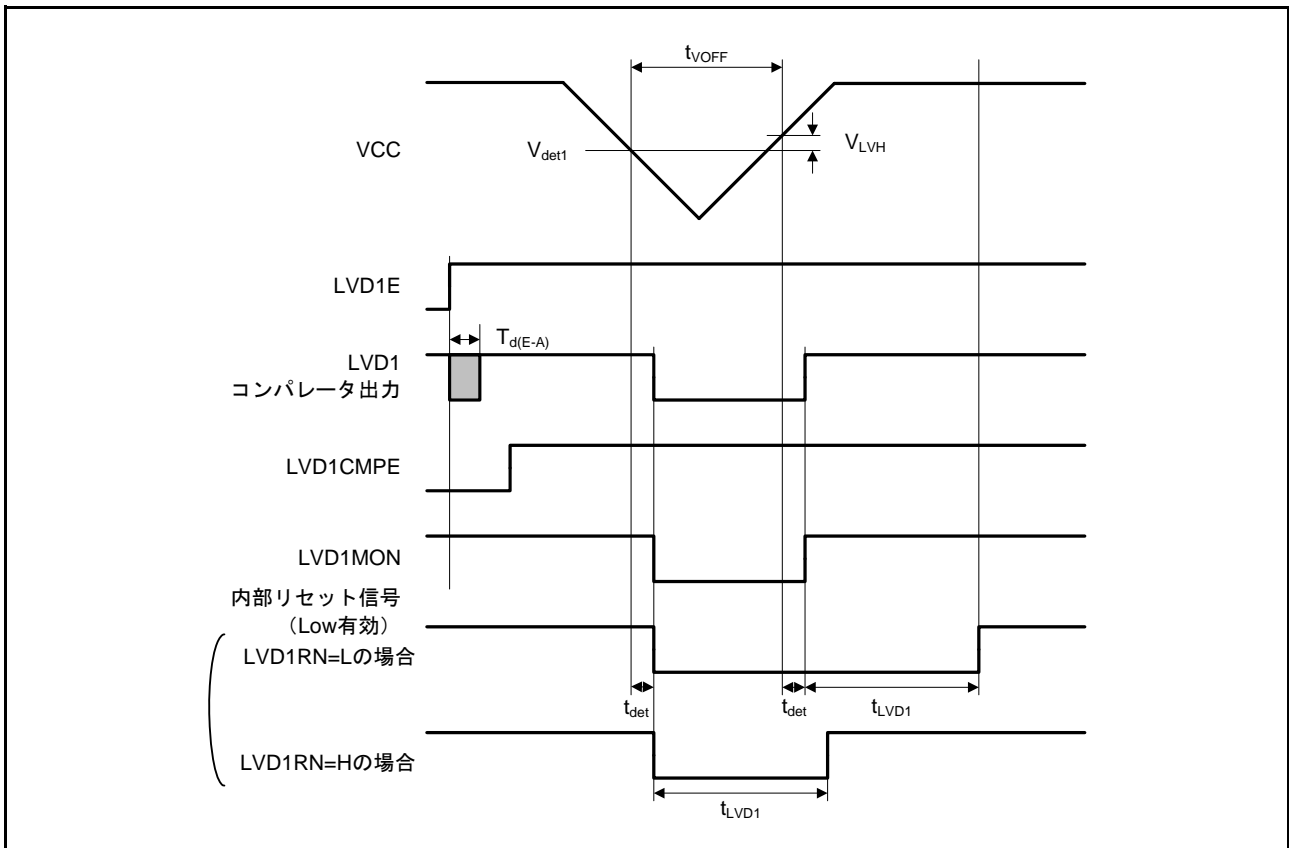


図 5.54 電圧検出回路タイミング ( $V_{det1}$ )

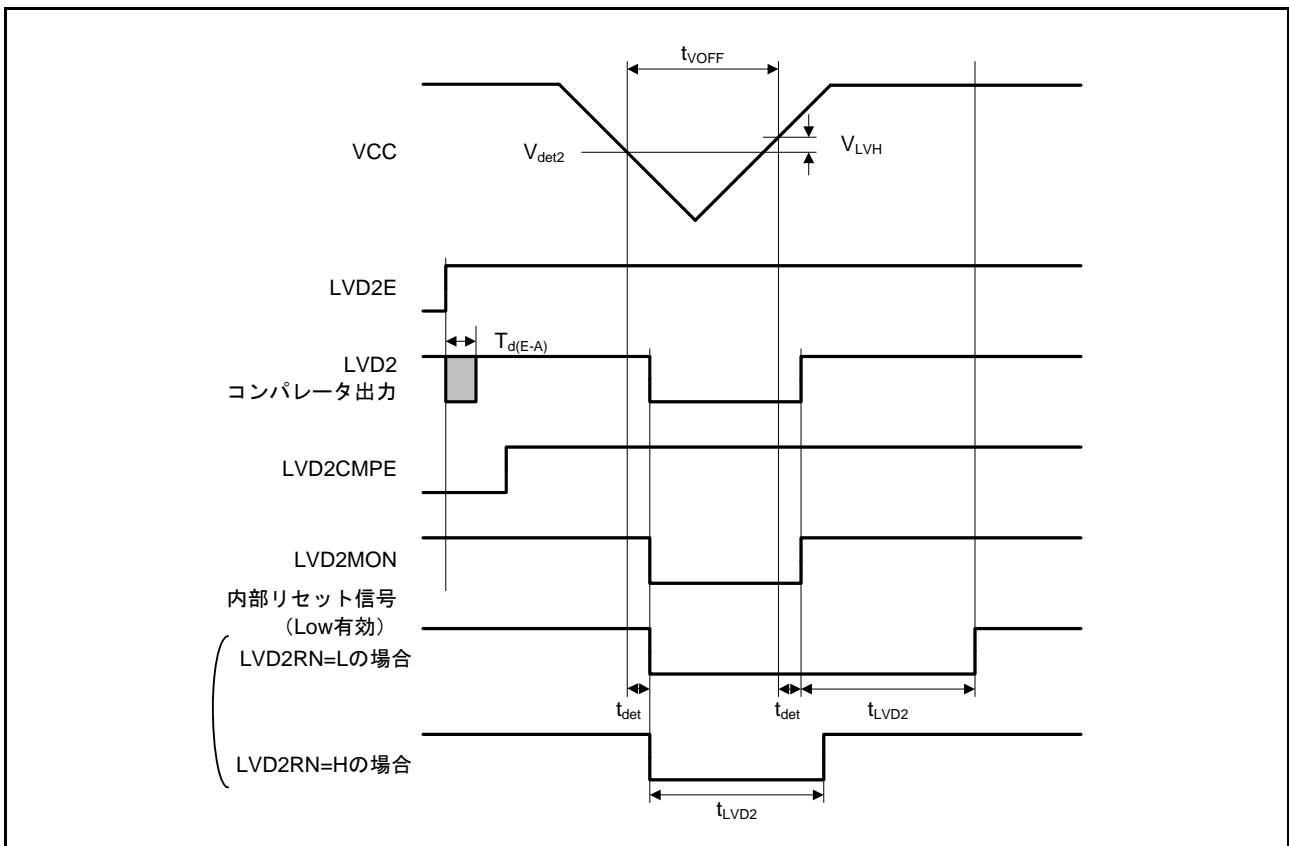


図 5.55 電圧検出回路タイミング ( $V_{det2}$ )

## 5.7 発振停止検出タイミング

表 5.39 発振停止検出回路特性

条件 : VCC = AVCC0 = 1.62 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、 $T_a = -40 \sim +105^\circ\text{C}$ 

項目	記号	min	typ	max	単位	測定条件
検出時間	$t_{dr}$	—	—	1	ms	図 5.56

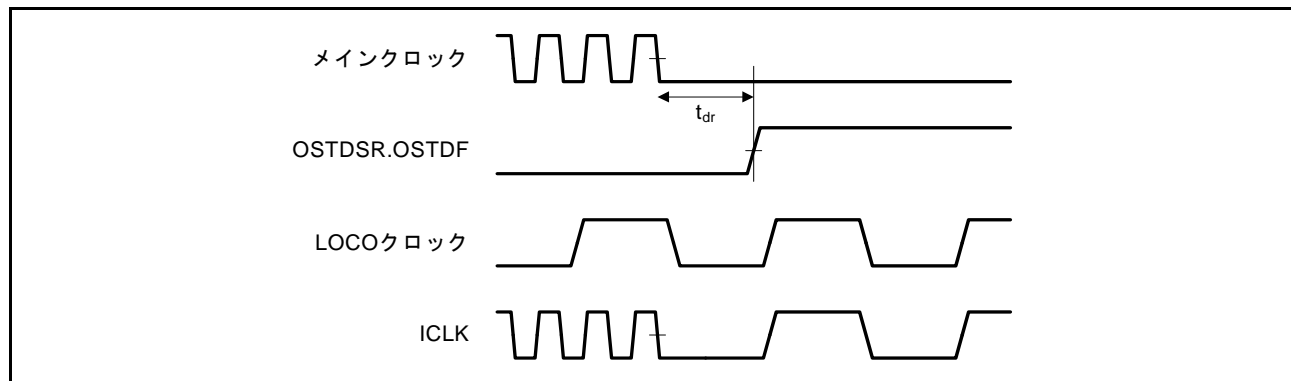


図 5.56 発振停止検出タイミング

## 5.8 ROM（コード格納用フラッシュメモリ）特性

表5.40 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	測定条件	
再プログラム/イレーズサイクル（注1）	N <sub>PEC</sub>	10000	—	—	回		
データ保持時間	N <sub>PEC</sub> 1000 回後	t <sub>DRP</sub>	30（注2）	—	—	年	Ta = +85°C
	N <sub>PEC</sub> 10000 回後		1（注2）	—	—	年	

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 10000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

表5.41 ROM（コード格納用フラッシュメモリ）特性（2）

項目	記号	FCLK=4MHz			FCLK=32MHz			単位
		min	typ	max	min	typ	max	
周辺クロック通知コマンド待ち時間	t <sub>PCKA</sub>	—	—	960	—	—	120	μs

表5.42 ROM（コード格納用フラッシュメモリ）特性（3）中速動作モード1A  
 条件：VCC = AVCC0 = 2.7~5.5V、VSS = AVSS0 = VREFLO = 0V  
 プログラム/イレーズ時の動作温度範囲：T<sub>a</sub> = -40~+105°C

項目	記号	FCLK=4MHz			FCLK=32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 N <sub>PEC</sub> ≤ 100回のとき	2バイト	t <sub>P2</sub>	—	0.19	4.3	—	0.12	2.0	ms
	8バイト	t <sub>P8</sub>	—	0.19	4.4	—	0.12	2.0	
	128バイト	t <sub>P128</sub>	—	0.67	10.7	—	0.41	4.8	
プログラム時間 N <sub>PEC</sub> > 100回のとき	2バイト	t <sub>P2</sub>	—	0.23	5.3	—	0.15	2.5	ms
	8バイト	t <sub>P8</sub>	—	0.23	5.4	—	0.15	2.5	
	128バイト	t <sub>P128</sub>	—	0.80	13.2	—	0.48	6.0	
イレーズ時間 N <sub>PEC</sub> ≤ 100回のとき	2Kバイト	t <sub>E2K</sub>	—	13.0	92.8	—	10.5	29	ms
イレーズ時間 N <sub>PEC</sub> > 100回のとき	2Kバイト	t <sub>E2K</sub>	—	15.9	176.9	—	12.8	60	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t <sub>SPD</sub>	—	—	0.9	—	—	0.8	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t <sub>SPSD1</sub>	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t <sub>SPSD2</sub>	—	—	0.9	—	—	0.8	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t <sub>SED</sub>	—	—	0.9	—	—	0.8	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t <sub>SESD1</sub>	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t <sub>SESD2</sub>	—	—	0.9	—	—	0.8	ms	
FCU リセット時間	t <sub>FCUR</sub>	20μs 以上かつ FCLKx6 以上	—	—	20μs 以上かつ FCLKx6 以上	—	—	μs	

表5.43 ROM（コード格納用フラッシュメモリ）特性（4）中速動作モード1B  
 条件：VCC = AVCC0 = 1.62~3.6V、VSS = AVSS0 = VREFL0 = 0V  
 プログラム/イレーズ時の動作温度範囲：T<sub>a</sub> = -40~+105°C

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N <sub>PEC</sub> ≤ 100回のとき	2バイト	t <sub>P2</sub>	—	0.25	5.0	—	0.21	2.8	ms
	8バイト	t <sub>P8</sub>	—	0.25	5.3	—	0.21	3.0	
	128バイト	t <sub>P128</sub>	—	0.92	14.0	—	0.65	8.3	
プログラム時間 N <sub>PEC</sub> > 100回のとき	2バイト	t <sub>P2</sub>	—	0.31	6.2	—	0.26	3.5	ms
	8バイト	t <sub>P8</sub>	—	0.31	6.6	—	0.26	3.7	
	128バイト	t <sub>P128</sub>	—	1.09	17.5	—	0.77	10.0	
イレーズ時間 N <sub>PEC</sub> ≤ 100回のとき	2Kバイト	t <sub>E2K</sub>	—	21.0	113.6	—	18.5	46	ms
イレーズ時間 N <sub>PEC</sub> > 100回のとき	2Kバイト	t <sub>E2K</sub>	—	25.6	220.6	—	22.5	90 (1k回 ≥ N <sub>PEC</sub> > 100回) 98 (10k回 ≥ N <sub>PEC</sub> > 1k回)	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t <sub>SPD</sub>	—	—	1.7	—	—	1.6	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t <sub>SPSD1</sub>	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t <sub>SPSD2</sub>	—	—	1.7	—	—	1.6	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t <sub>SED</sub>	—	—	1.7	—	—	1.6	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t <sub>SESD1</sub>	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t <sub>SESD2</sub>	—	—	1.7	—	—	1.6	ms	
FCU リセット時間	t <sub>FCUR</sub>	20μs 以上 かつ FCLK×6 以上	—	—	20μs 以上 かつ FCLK×6 以上	—	—	μs	

注1. 電圧範囲 = 1.62V~2.7V未満では、動作周波数は8MHz maxです。

## 5.9 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.44 E2データフラッシュ特性（1）

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレースサイクル（注1）	$N_{DPEC}$	100000	—	—	回	
データ保持時間	$N_{DPEC}$ 100000 回後	$t_{DRP}$	30（注2）	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレースサイクルの定義：再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが $n$ 回（ $n = 100000$ ）の場合、ブロックごとにそれぞれ $n$ 回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

表5.45 E2データフラッシュ特性（2）

項目	記号	FCLK=4MHz			FCLK=32MHz			単位
		min	typ	max	min	typ	max	
周辺クロック通知コマンド待ち時間	$t_{PCKA}$	—	—	960	—	—	120	$\mu\text{s}$

表5.46 E2データフラッシュ特性（3）中速動作モード1A

条件：VCC = AVCC0 = 2.7~5.5V、VREFH0 = AVCC0、VSS = AVSS0 = VREFL0 = 0V

プログラム/イレース時の動作温度範囲： $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	FCLK=4MHz			FCLK=32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 $N_{PEC} \leq 100$ 回のとき	2バイト	$t_{DP2}$	—	0.19	4.4	—	0.13	2.0	ms
	8バイト	$t_{DP8}$	—	0.24	5.1	—	0.13	2.2	
プログラム時間 $N_{PEC} > 100$ 回のとき	2バイト	$t_{DP2}$	—	0.25	6.4	—	0.17	3.0	ms
	8バイト	$t_{DP8}$	—	0.32	7.5	—	0.18	3.2	
イレース時間 $N_{PEC} \leq 100$ 回のとき	128バイト	$t_{DE128}$	—	3.3	27.1	—	2.5	8	ms
イレース時間 $N_{PEC} > 100$ 回のとき	128バイト	$t_{DE128}$	—	4.0	45.1	—	3.0	12	ms
ブランクチェック時間	2バイト	$t_{DBC2}$	—	—	98	—	—	35	$\mu\text{s}$
	2Kバイト	$t_{DBC2K}$	—	—	16	—	—	2.5	ms
プログラム中のサスペンド遅延時間 （書き込み/消去優先モード）	$t_{DSPD}$	—	—	0.9	—	—	0.8	ms	
プログラム中の1回目のサスペンド 遅延時間（サスペンド優先モード時）	$t_{DSPSD1}$	—	—	220	—	—	120	$\mu\text{s}$	
プログラム中の2回目のサスペンド 遅延時間（サスペンド優先モード時）	$t_{DSPSD2}$	—	—	0.9	—	—	0.8	ms	
イレース中のサスペンド遅延時間 （書き込み/消去優先モード時）	$t_{DSED}$	—	—	0.9	—	—	0.8	ms	
イレース中の1回目のサスペンド遅延 時間（サスペンド優先モード時）	$t_{DSESD1}$	—	—	220	—	—	120	$\mu\text{s}$	
イレース中の2回目のサスペンド遅延 時間（サスペンド優先モード時）	$t_{DSESD2}$	—	—	0.9	—	—	0.8	ms	



表5.47 E2データフラッシュ特性 (4) 中速動作モード1B  
 条件: VCC = AVCC0 = 1.62 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V  
 プログラム/イレーズ時の動作温度範囲: T<sub>a</sub> = -40 ~ +105°C

項目	記号	FCLK=4MHz			FCLK=32MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N <sub>PEC</sub> ≤ 100回のとき	2バイト	t <sub>DP2</sub>	—	0.28	5.1	—	0.20	2.8	ms
	8バイト	t <sub>DP8</sub>	—	0.32	6.0	—	0.22	3.2	
プログラム時間 N <sub>PEC</sub> > 100回のとき	2バイト	t <sub>DP2</sub>	—	0.36	7.6	—	0.25	4.2	ms
	8バイト	t <sub>DP8</sub>	—	0.40	8.8	—	0.28	4.5	
イレーズ時間 N <sub>PEC</sub> ≤ 100回のとき	128バイト	t <sub>DE128</sub>	—	4.8	32.3	—	4.1	12	ms
イレーズ時間 N <sub>PEC</sub> > 100回のとき	128バイト	t <sub>DE128</sub>	—	5.8	51.4	—	4.9	17	ms
ブランクチェック時間	2バイト	t <sub>DBC2</sub>	—	—	110	—	—	40	μs
	2Kバイト	t <sub>DBC2K</sub>	—	—	16.3	—	—	2.6	ms
プログラム中のサスペンド遅延時間 (書き込み/消去優先モード)	t <sub>DSPD</sub>	—	—	1.7	—	—	1.6	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t <sub>DSPSD1</sub>	—	—	220	—	—	120	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t <sub>DSPSD2</sub>	—	—	1.7	—	—	1.6	ms	
イレーズ中のサスペンド遅延時間 (書き込み/消去優先モード時)	t <sub>DSED</sub>	—	—	1.7	—	—	1.6	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t <sub>DSESD1</sub>	—	—	220	—	—	120	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t <sub>DSESD2</sub>	—	—	1.7	—	—	1.6	ms	

注1. 電圧範囲 = 1.62V ~ 2.7V未満では、動作周波数は8MHz maxです。

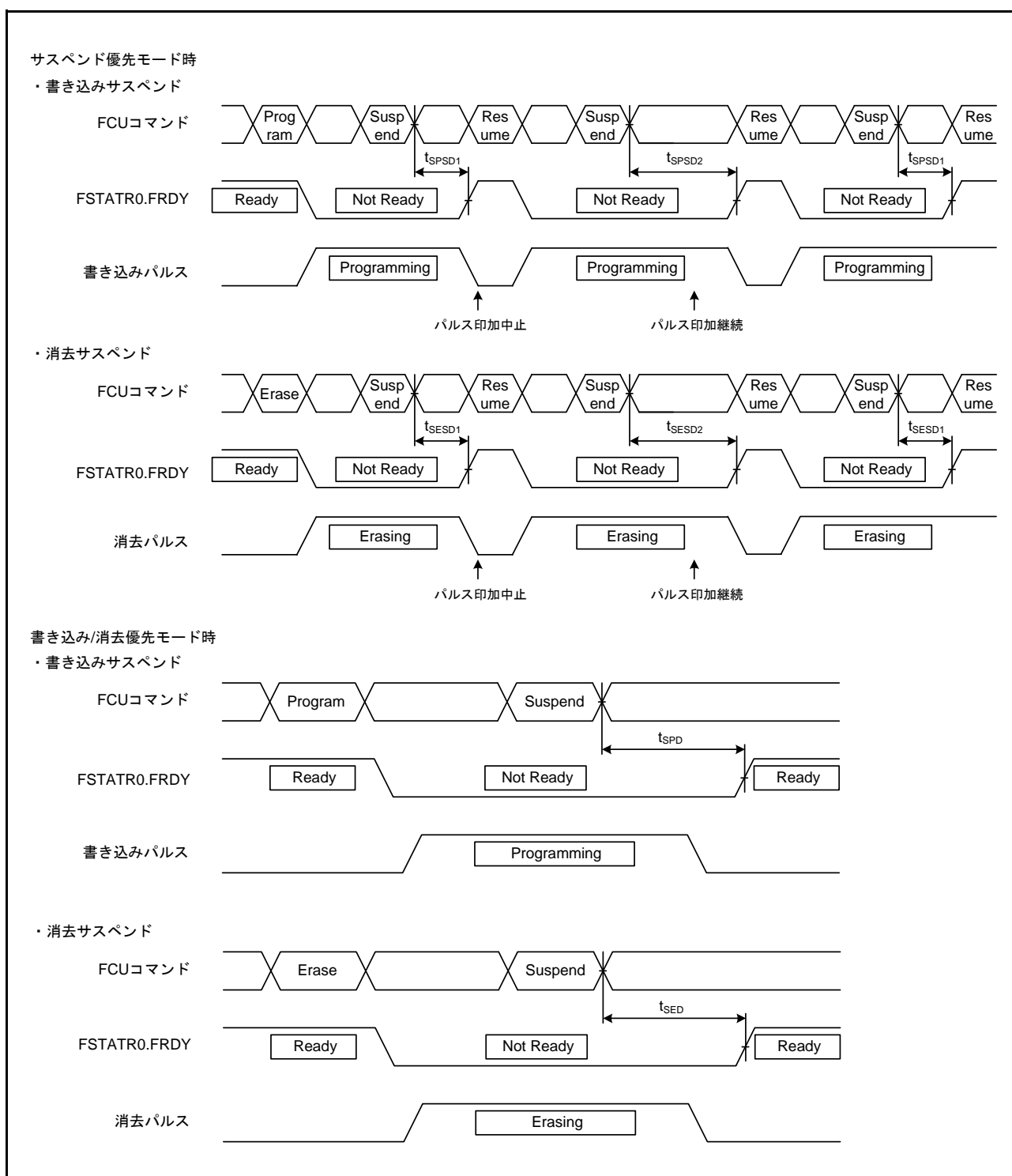


図 5.57 フラッシュメモリプログラム/イレーズサスペンドタイミング

### 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

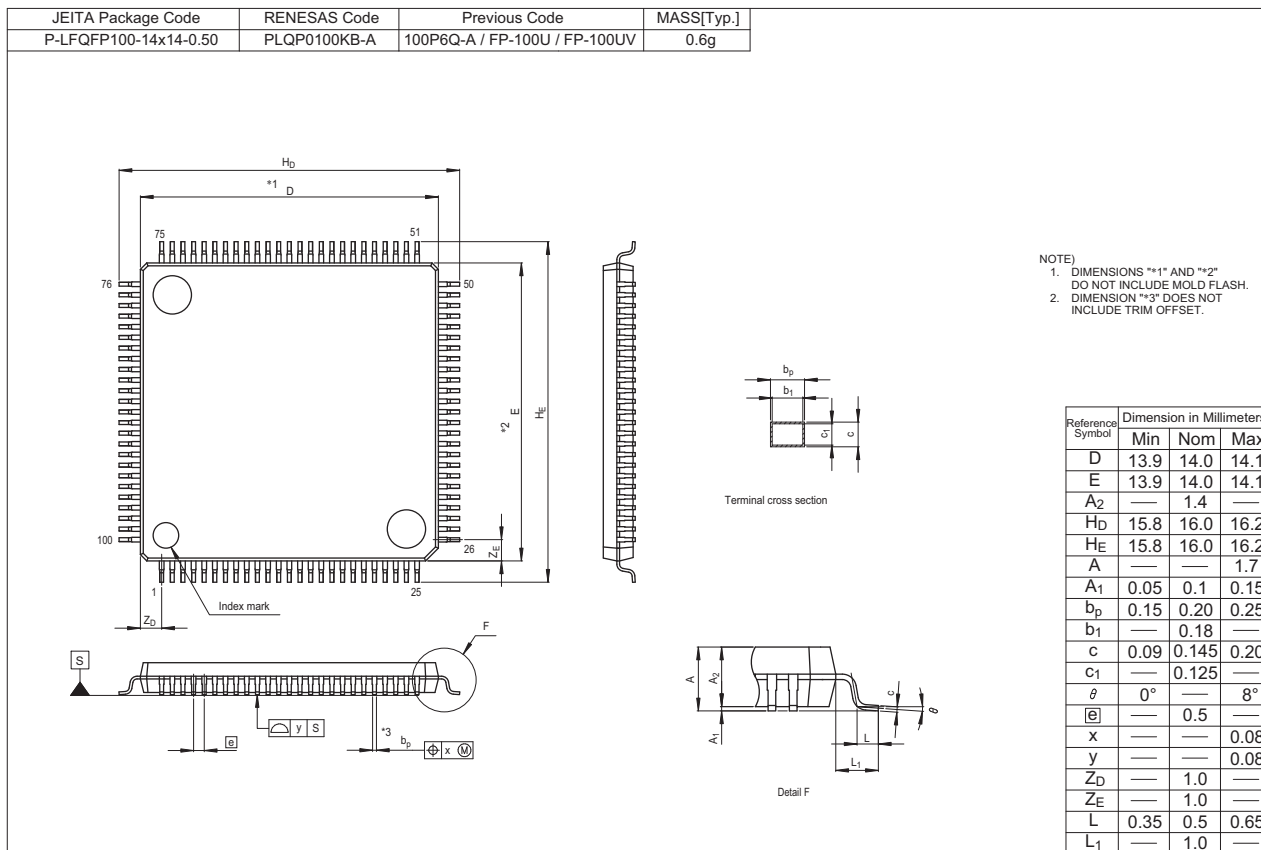


図 A. 100ピン LQFP (PLQP0100KB-A)

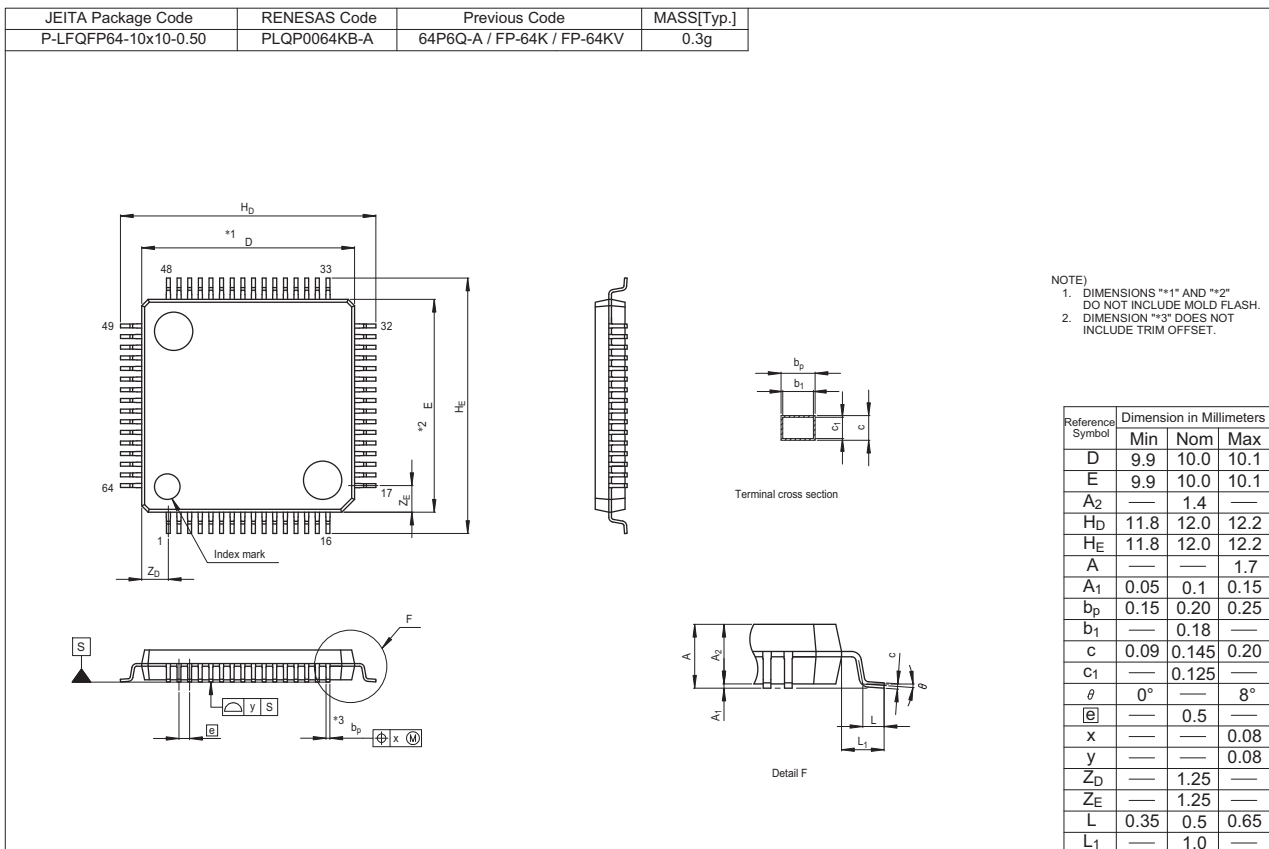


図 B. 64ピンLQFP (PLQP0064KB-A)

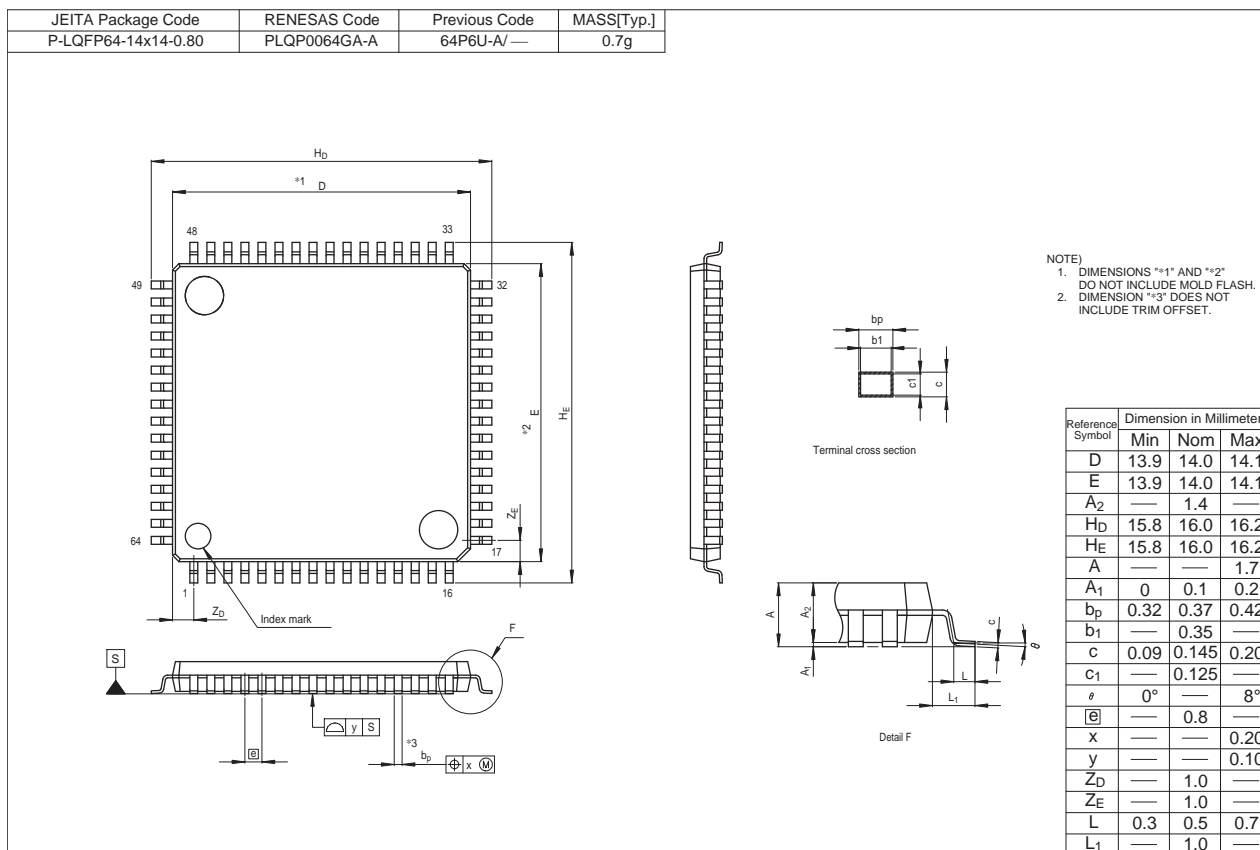


図 C. 64ピンLQFP (PLQP0064GA-A)

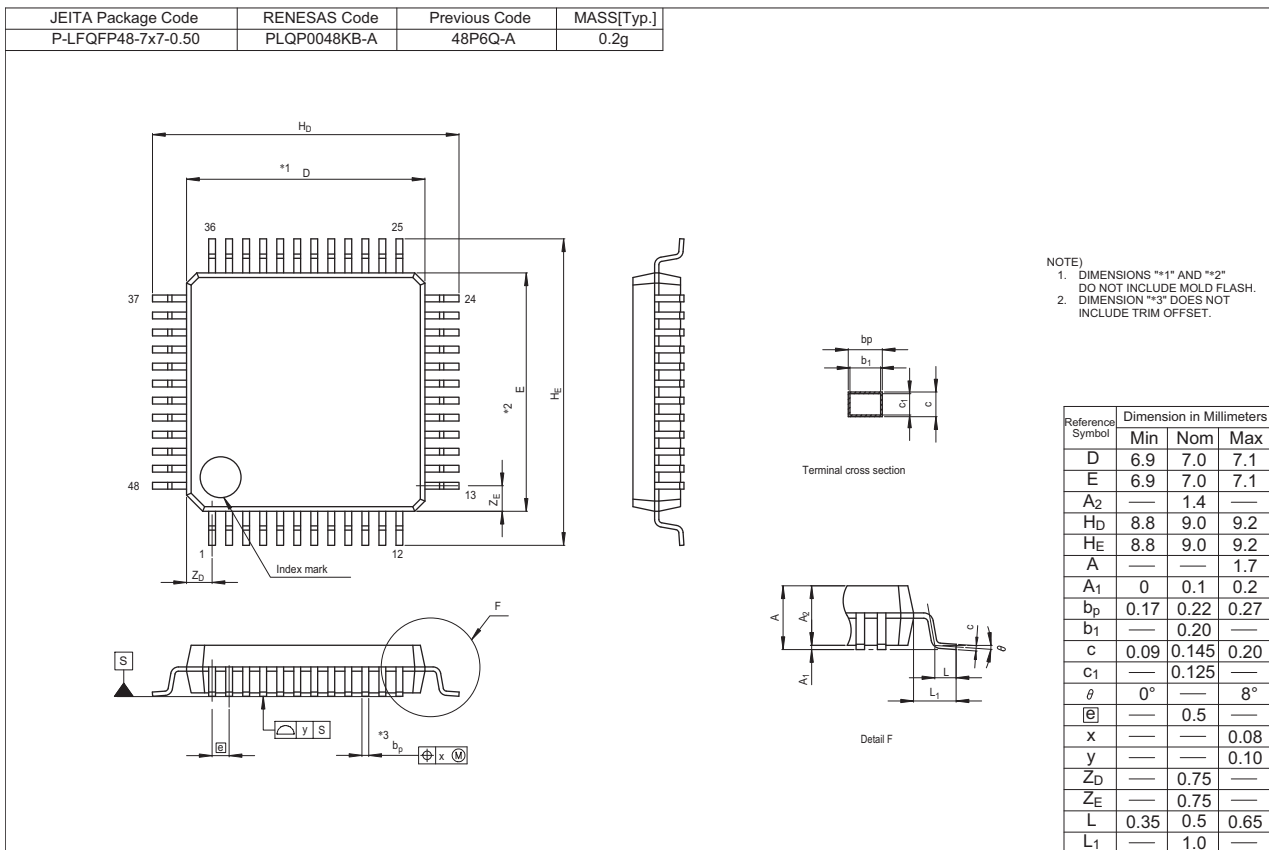


図 D. 48ピンLQFP (PLQP0048KB-A)

改訂記録	RX220 グループ データシート
------	-------------------

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.51	2012.05.24	—	初版発行		
1.00	2012.11.20	特長			
		1	IrDA 追加、 消費電力低減機能、リアルタイムクロック内蔵、最大7本の通信機能を内蔵、動作周囲温度 変更		
		1. 概要			
		3、4	表 1.1 仕様概要 I/Oポート、タイマ、通信機能、電源電圧/動作周波数、消費電流、動作周囲温度 変更		
		5	表 1.2 パッケージ別機能比較一覧 変更		
		6	表 1.3 製品一覧表 変更、注記 追加		
		7	図 1.1 型名とメモリサイズ・パッケージ 変更		
		8	図 1.2 ブロック図 変更		
		9、10	表 1.4 端子機能一覧 電源、オンチップエミュレータ、シリアルコミュニケーションインタフェース (SCIC) 変更		
		13	図 1.4 64ピンLQFPピン配置図 変更		
		14	図 1.5 48ピンLQFPピン配置図 変更		
		16	表 1.5 機能別端子一覧 (100ピンLQFP) 変更		
		18、19	表 1.6 機能別端子一覧 (64ピンLQFP) 変更		
		20	表 1.7 機能別端子一覧 (48ピンLQFP) 変更		
		4. I/O レジスタ			
		28～45	表 5.1 I/Oレジスタアドレス一覧 変更、注記 追加		
		5. 電気的特性			
		46～97	新規追加		
		1.10	2013.12.18	全体	PLQP0064GA-A 14x14mm、0.8mmピッチ 追加
				特長	
				1	■動作周囲温度 変更
				1. 概要	
				4	表 1.1 仕様概要 注1 追加
6	表 1.3 製品一覧表 変更、注 追加				
7	図 1.1 型名とメモリサイズ・パッケージ 変更				
16	表 1.5 機能別端子一覧 (100ピンLQFP) 変更				
5. 電気的特性					
48	表 5.4 DC特性 (3) 変更				
54	表 5.8 DC特性 (7) 追加				
55	表 5.13 出力許容電流値 (1) 変更、表 5.14 出力許容電流値 (2) 追加				
56	表 5.15 出力電圧値 (1) 変更、表 5.16 出力電圧値 (2) 追加				
71	表 5.26 内蔵周辺モジュールタイミング (1) 変更				
73	表 5.28 内蔵周辺モジュールタイミング (3) 変更				
79	図 5.43 RSPI タイミング (マスタ、CPHA = 0) (ビットレート: PCLKB を2分周に設定) 変更				
83	表 5.31 A/D変換特性 (1) 変更				
84	表 5.34 A/D変換特性 (2) 変更				
89	表 5.38 パワーオンリセット回路、電圧検出回路特性 (2) 変更				
94	表 5.42 ROM (コード格納用フラッシュメモリ) 特性 (3) 中速動作モード1A 変更				
95	表 5.43 ROM (コード格納用フラッシュメモリ) 特性 (4) 中速動作モード1B 変更				
96	表 5.46 E2データフラッシュ特性 (3) 中速動作モード1A 変更				
97	表 5.47 E2データフラッシュ特性 (4) 中速動作モード1B 変更				

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。



## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>