

## RX14Tグループ

ルネサスマイクロコンピュータ

48MHz、32ビットRX MCU、FPU内蔵、204 Coremark、電源5V対応、12ビットA/Dコンバータ(2ユニット、3ユニットプログラブルゲインアンプ、コンパレータ)、48MHz PWM(三相相補2ch)、データフラッシュメモリ内蔵

R01DS0453JJ0102

Rev.1.02

2025.12.12

## 特長

### ■ 32ビットRXv2 CPUコア内蔵

- 最高動作周波数 48MHz  
204 Coremark の性能 (48MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

### ■ 三角関数演算器 (TFUv1)

#### ■ 消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- 3種類の低消費電力モード

#### ■ 内蔵コードフラッシュメモリ

- 128K バイトの容量
- オンボードによるユーザ書き込み
- 命令、オペランド用

#### ■ 内蔵データフラッシュメモリ

- 4K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

#### ■ 内蔵 SRAM (ウェイトなし)

- 12K バイトの容量

#### ■ DTC

- 5種類の転送モード

#### ■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など7種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

#### ■ クロック機能

- 外部クロック入力周波数: ~ 20MHz
- メインクロック発振器周波数: 1 ~ 20MHz
- PLL 回路入力: 4MHz ~ 12.5MHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 24/32/48/64MHz ±1%
- IWDTC 専用オンチップオシレータ内蔵: 15kHz
- クロック周波数精度測定回路 (CAC) 内蔵

#### ■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDTC 専用オンチップオシレータクロック動作

#### ■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能、CRCA など

#### ■ MPC

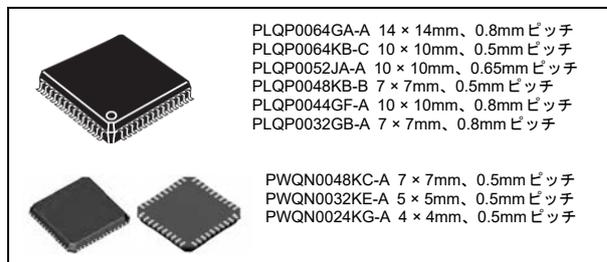
- 周辺機能の入出力端子を複数箇所から選択可能

#### ■ 最大5本の通信機能を内蔵

- 多彩な機能に対応した SCI (4ch)  
調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I<sup>2</sup>C / 拡張シリアルモードから選択
- I<sup>2</sup>C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1チャンネル)

#### ■ 最大15本の拡張タイマ機能

- 16ビット MTU3 (6ch): 48MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 1ch 出力、CPU に負担をかけない相補 PWM、位相計数モード (2ch)



- 16ビットのGPTW (3ch): 48MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形: 単相相補 6ch 出力 / 3 相相補 1ch 出力など、PWM 波形: のこぎり波、三角波など (デットタイム付き)、コンパレータ連動 (カウント動作、PWM ネゲート制御)  
MTU3 と GPTW の同時スタート機能
- 8ビット TMR (4チャンネル)
- 16ビット CMT (2チャンネル)

#### ■ 12ビットA/Dコンバータ内蔵 (2ユニット)

- 最小 0.5μs 変換が可能
- ユニット 0: 8ch、ユニット 1: 8ch
- チャンネルごとにサンプリング時間を設定可能
- グループスキューン優先制御モード搭載 (3レベル)
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵
- モータ制御に適したダブルトリガ (データ二重化) 機能
- 高いサンプルレートを實現するタイムインターリーブ動作可能

#### ■ プログラブルゲインアンプによる入力信号増幅機能 (3ユニット)

#### ■ D/A コンバータ内蔵

- 2チャンネル
- コンパレータの基準電圧用として使用可能

#### ■ アナログコンパレータ: 3ch

#### ■ 重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

#### ■ 最大60本の汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

#### ■ 温度センサ内蔵

#### ■ ユニーク ID

- マイコン個体ごとの 32 バイト長の ID コード

#### ■ 動作周囲温度

- -40 ~ +105°C
- -40 ~ +125°C

#### ■ 用途

- 一般産業、民生機器

## 1. 概要

### 1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/5)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> <li>最高動作周波数：48MHz</li> <li>32ビットRX CPU (RXv2)</li> <li>最小命令実行時間：1命令1クロック</li> <li>アドレス空間：4Gバイト・リニアアドレス</li> <li>レジスタ           <ul style="list-style-type: none"> <li>汎用レジスタ：32ビット×16本</li> <li>制御レジスタ：32ビット×10本</li> <li>アキュムレータ：72ビット×2本</li> </ul> </li> <li>基本命令：75種類 可変長命令形式</li> <li>浮動小数点演算命令：11種類</li> <li>DSP機能命令：23種類</li> <li>アドレッシングモード：11種類</li> <li>データ配置           <ul style="list-style-type: none"> <li>命令：リトルエンディアン</li> <li>データ：リトルエンディアン/ビッグエンディアンを選択可能</li> </ul> </li> <li>32ビット乗算器：32ビット×32ビット→64ビット</li> <li>除算器：32ビット÷32ビット→32ビット</li> <li>パレルシフタ：32ビット</li> </ul>
	FPU	<ul style="list-style-type: none"> <li>単精度浮動小数点(32ビット)</li> <li>IEEE754に準拠したデータタイプ、および例外</li> </ul>
三角関数演算器 (TFUv1)		<ul style="list-style-type: none"> <li>sin 演算、cos 演算、arctan 演算、<math>\sqrt{x^2 + y^2}</math> 演算</li> <li>sin と cos の同時演算</li> <li>arctan と <math>\sqrt{x^2 + y^2}</math> の同時演算</li> </ul>
メモリ	ROM	<ul style="list-style-type: none"> <li>容量：128Kバイト</li> <li>32MHz以下：ウェイトなし</li> <li>32MHz～48MHz：ウェイトあり</li> <li>書き換え方法：シリアルライタプログラミング(調歩同期式シリアル通信)、セルフプログラミング</li> </ul>
	RAM	<ul style="list-style-type: none"> <li>容量：12Kバイト</li> <li>ノーウェイトアクセス</li> </ul>
	E2データフラッシュ	<ul style="list-style-type: none"> <li>容量：4Kバイト</li> <li>プログラム/イレーズ回数：1,000,000回(typ)</li> </ul>
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ</li> <li>発振停止検出：あり</li> <li>クロック周波数精度測定回路(CAC)：あり</li> <li>システムクロック(ICLK)、周辺モジュールクロック(PCLK)、FlashIFクロック(FCLK)を個別に設定可能</li> <li>CPU、バスマスタなどのシステム系はICLK同期：Max 48MHz</li> <li>周辺モジュールはPCLKB同期：Max 48MHz</li> <li>フラッシュ周辺回路はFCLK同期：Max 48MHz</li> <li>S12ADのADCLKはPCLKD同期：Max 64MHz</li> </ul>
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路(LVDAb)	<ul style="list-style-type: none"> <li>VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生</li> <li>電圧検出0は検出電圧を3レベルから選択可能</li> <li>電圧検出1は検出電圧を10レベルから選択可能</li> <li>電圧検出2は検出電圧を4レベルから選択可能</li> </ul>

表 1.1 仕様概要 (2/5)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> <li>モジュールストップ機能</li> <li>3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード</li> </ul>
	動作電力低減機能	<ul style="list-style-type: none"> <li>動作電力制御モード 高速動作モード、中速動作モード</li> </ul>
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> <li>割り込みベクタ数：256</li> <li>外部割り込み：要因数9 (NMI、IRQ0～IRQ7端子)</li> <li>ノンマスクابل割り込み：要因数5 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、IWDTC割り込み)</li> <li>16レベルの割り込み優先順位を設定可能</li> </ul>
DMA	データトランスファ コントローラ (DTCb)	<ul style="list-style-type: none"> <li>転送モード：ノーマル転送モード、リポート転送モード、ブロック転送モード</li> <li>起動要因：割り込み要因により起動</li> <li>シーケンス転送が可能</li> </ul>
I/Oポート	汎用入出力ポート	64ピン/52ピン/48ピン/44ピン/32ピン/24ピン <ul style="list-style-type: none"> <li>入出力：59/47/43/39/27/19</li> <li>入力：1/1/1/1/1/1</li> <li>プルアップ抵抗：59/47/43/39/27/19</li> <li>オープンドレイン出力：47/37/33/30/20/14</li> <li>5Vトレラント：2/2/2/2/2</li> </ul>
マルチファンクションピン コントローラ(MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンク ションタイマパルス ユニット3 (MTU3c)	<ul style="list-style-type: none"> <li>6チャンネル(16ビット×6チャンネル)</li> <li>最大16本のパルス入出力と3本のパルス入力が可能</li> <li>14種類のカウントクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル1、3、4は11種類、チャンネル2は12種類、チャンネル5は10種類)</li> <li>26本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ</li> <li>カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能)</li> <li>複数のタイマカウンタ(TCNT)への同時書き込み</li> <li>カウンタの同期動作による各レジスタの同期入出力</li> <li>バッファ動作</li> <li>カスケード接続動作</li> <li>28種類の割り込み要因</li> <li>レジスタデータの自動転送</li> <li>パルス出力モード トグル/PWM/相補PWM/リセット同期PWM</li> <li>相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能</li> <li>リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力</li> <li>位相計数モード：16ビットモード(チャンネル1、2)/32ビットモード(チャンネル1、2)</li> <li>デッドタイム補償用カウンタ機能</li> <li>A/Dコンバータの変換開始トリガを生成可能</li> <li>A/Dコンバータ開始間引き機能</li> <li>インプットキャプチャ、外部カウントクロック端子にデジタルフィルタあり</li> </ul>
	ポートアウトプット イネーブル3 (POE3E)	<ul style="list-style-type: none"> <li>MTU/GPTW波形出力端子のハイインピーダンス制御/汎用入出力ポートへの切り替え制御</li> <li>POE0、POE8、POE10、POE11、POE12の5つの入力端子による起動</li> <li>出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動</li> <li>コンパレータ検出/発振停止検出/ソフトウェアによる起動</li> <li>出力制御対象端子をプログラマブルに追加制御可能</li> </ul>

表 1.1 仕様概要 (3/5)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTWd)	<ul style="list-style-type: none"> <li>16ビット×3チャンネル</li> <li>各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波)</li> <li>チャンネルごとに独立したクロックソースを選択可能</li> <li>チャンネルごとに2本の入出力端子</li> <li>チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本</li> <li>各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能</li> <li>アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成</li> <li>チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能)</li> <li>PWM動作の際にデッドタイム生成が可能</li> <li>任意チャンネルのカウンタの同期スタート/ストップ/クリアが可能</li> <li>入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能</li> <li>1個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能</li> <li>デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能</li> <li>A/Dコンバータの変換開始トリガ生成が可能。また外部端子で変換開始タイミングがモニタ可能</li> <li>インプットキャプチャのノイズフィルタを使用可能</li> <li>MTU0またはMTU4からのGPT同時スタート対応</li> </ul>
	GPTW用ポートアウトプットイネーブル (POEG)	<ul style="list-style-type: none"> <li>GPTW波形出力の出力禁止制御</li> <li>GTETRGA端子の入力レベル検出による起動</li> <li>GPTWからの出力禁止要求による起動</li> <li>コンパレータ割り込み要求検出による起動</li> <li>発振停止検出/ソフトウェアによる起動</li> </ul>
	8ビットタイマ (TMRb)	<ul style="list-style-type: none"> <li>(8ビット×2チャンネル)×2ユニット</li> <li>7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192)と外部クロックを選択可能</li> <li>任意のデューティのパルス出力やPWM出力が可能</li> <li>2チャンネルをカスケード接続し16ビットタイマとして使用可能</li> </ul>
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> <li>(16ビット×2チャンネル)×1ユニット</li> <li>4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512)を選択可能</li> </ul>
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> <li>14ビット×1チャンネル</li> <li>カウントクロック：IWDT専用低速クロック 1分周、16分周、32分周、64分周、128分周、256分周</li> </ul>
通信機能	シリアルコミュニケーションインタフェース (SCIg, SC1h)	<ul style="list-style-type: none"> <li>4チャンネル(チャンネル1、5、6：SCIg、チャンネル12：SC1h)</li> <li>SCIg</li> <li>シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェースマルチプロセッサ機能</li> <li>内蔵ボーレートジェネレータで任意のビットレートを選択可能</li> <li>LSBファースト/MSBファーストを選択可能</li> <li>TMRからの平均転送レートクロック入力が可能(SCI5, SC16, SC112)</li> <li>スタートビット検出：レベルおよびエッジを選択可能</li> <li>簡易I<sup>2</sup>Cサポート</li> <li>簡易SPIサポート</li> <li>9ビット転送モードをサポート</li> <li>ビットレートモジュレーション機能をサポート</li> <li>SC1h (SCIgに以下の機能を付加)</li> <li>スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート</li> <li>LINフォーマットをサポート</li> </ul>
	I <sup>2</sup> Cバスインタフェース (R11Ca)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>通信フォーマット：I<sup>2</sup>Cバスフォーマット/SMBusフォーマット</li> <li>マスタ/スレーブを選択可能</li> <li>ファストモード対応</li> </ul>

表 1.1 仕様概要 (4/5)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12AD)		<ul style="list-style-type: none"> <li>12ビット2ユニット(8チャンネル×2ユニット)</li> <li>最小変換時間：1チャンネル当たり0.5μs (ADCLK = 64MHz動作時)</li> <li>動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、3グループスキャンモード) グループスキャンモード時にグループ優先制御による中断と再開が可能(優先順位A &gt; B &gt; C)</li> <li>サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能</li> <li>自己診断機能</li> <li>ダブルトリガモード(A/D変換データ二重化機能)</li> <li>アナログ入力断線検出アシスト機能</li> <li>A/D変換開始条件 ソフトウェアトリガ、タイマ(MTU, GPTW, TMR)のトリガ、外部トリガ</li> <li>高いサンプルレートを実現するため、2ユニットのADで交互に同じ1つのチャンネルを変換するタイムインターリーブ動作可能</li> <li>基準電圧を選択可能(VREFH0/VCC, VREFL0/VSS)</li> </ul>
プログラマブルゲインアンプ(PGA)		<ul style="list-style-type: none"> <li>プログラマブルゲインアンプによる入力信号増幅機能(3ユニット) 増幅率：4倍、8倍、16倍、32倍(計4ステップ)</li> </ul>
コンパレータC (CMPC)		<ul style="list-style-type: none"> <li>3チャンネル</li> <li>リファレンス電圧とアナログ入力電圧の比較機能</li> <li>リファレンス電圧：D/Aコンバータ出力2種類、外部入力1種類から選択可能</li> <li>アナログ入力電圧：4種類入力(CMPC0, CMPC1)、3種類入力(CMPC2)</li> <li>デジタルフィルタ機能あり</li> </ul>
D/Aコンバータ (DA)		<ul style="list-style-type: none"> <li>2チャンネル</li> <li>分解能：8ビット</li> <li>出力電圧：0V～VCC</li> <li>外部出力可能(DA0のみ)、コンパレータCリファレンス電圧として使用可能</li> </ul>
温度センサ(TEMPSA)		<ul style="list-style-type: none"> <li>1チャンネル</li> <li>温度を電圧に変換し12ビットA/Dコンバータでデジタル化</li> </ul>
セーフティ	レジスタライトプロテクション	<ul style="list-style-type: none"> <li>プログラムが暴走したときに備え、重要なレジスタの書き換えを防止</li> </ul>
	CRC演算器(CRCA)	<ul style="list-style-type: none"> <li>8/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 <math>X^8 + X^2 + X + 1</math>, <math>X^{16} + X^{15} + X^2 + 1</math>, <math>X^{16} + X^{12} + X^5 + 1</math></li> <li>32ビットデータ 2つの多項式から選択可能 <math>X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1</math>, <math>X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1</math></li> <li>LSBファースト/MSBファースト通信用CRCコード生成の選択が可能</li> </ul>
	メインクロック発振停止検出機能	<ul style="list-style-type: none"> <li>メインクロック発振停止検出：あり</li> </ul>
	クロック周波数精度測定回路(CAC)	<ul style="list-style-type: none"> <li>メインクロック発振器、低速および高速オンチップオシレータ、IWDWT専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能</li> </ul>
	データ演算回路(DOC)	<ul style="list-style-type: none"> <li>16ビットのデータを比較、加算、減算する機能</li> </ul>
ユニークID		マイコン個体ごとの32バイト長のIDコード
電源電圧/動作周波数		VCC = 2.7～5.5V：48MHz
動作周囲温度		Gバージョン：-40～+105°C、Mバージョン：-40～+125°C

表 1.1 仕様概要 (5/5)

分類	モジュール/機能	説明
パッケージ		64ピンLFQFP (PLQP0064KB-C) 10 × 10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14 × 14mm、0.8mmピッチ 52ピンLQFP (PLQP0052JA-A) 10 × 10mm、0.65mmピッチ 48ピンLFQFP (PLQP0048KB-B) 7 × 7mm、0.5mmピッチ 44ピンLQFP (PLQP0044GF-A) 10 × 10mm、0.8mmピッチ 32ピンLQFP (PLQP0032GB-A) 7 × 7mm、0.8mmピッチ 48ピンHWQFN (PWQN0048KC-A) 7 × 7mm、0.5mmピッチ 32ピンHWQFN (PWQN0032KE-A) 5 × 5mm、0.5mmピッチ 24ピンHWQFN (PWQN0024KG-A) 4 × 4mm、0.5mmピッチ
デバッグインタフェース		FINEインタフェース

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX14T					
		64ピン	52ピン	48ピン	44ピン	32ピン	24ピン
メモリ	ROM	128K バイト					
	RAM	12K バイト					
	E2データフラッシュ	4K バイト					
外部割り込み		NMI, IRQ0 ~ 7					
DMA	データトランスファコントローラ	あり					
タイマ	マルチファンクションタイマパルスユニット3	ch0 ~ 5				ch0 ~ 4	
	ポートアウトプットイネーブル3	あり					
	汎用PWMタイマ	ch0 ~ 2					
	GPTW用ポートアウトプットイネーブル	あり					
	8ビットタイマ	2チャンネル×2ユニット					
	コンペアマッチタイマ	2チャンネル×1ユニット					
	独立ウォッチドックタイマ	あり					
通信機能	シリアルコミュニケーションインタフェース(SCIg)	3チャンネル(SCI1, 5, 6)					
	シリアルコミュニケーションインタフェース(SCIh)	1チャンネル(SCI12)					
	I <sup>2</sup> Cバスインタフェース	1チャンネル					
12ビットA/Dコンバータ		端子数: 14ch (注1) ユニット0: 8ch ユニット1: 8ch	端子数: 12ch (注1) ユニット0: 8ch ユニット1: 6ch	端子数: 12ch (注1) ユニット0: 8ch ユニット1: 6ch	端子数: 11ch (注1) ユニット0: 7ch ユニット1: 6ch	端子数: 8ch (注1) ユニット0: 5ch ユニット1: 5ch	端子数: 6ch (注1) ユニット0: 3ch ユニット1: 5ch
プログラマブルゲインアンプ		3ユニット					
コンパレータC		3チャンネル					
D/Aコンバータ		2チャンネル					
温度センサ		あり					
CRC演算器		あり					
データ演算回路		あり					
クロック周波数精度測定回路		あり					
パッケージ		64ピン LQFP (0.5mm) 64ピンLQFP (0.8mm)	52ピンLQFP (0.65mm)	48ピン LQFP (0.5mm) 48ピン HWQFN (0.5mm)	44ピンLQFP (0.8mm)	32ピンLQFP (0.8mm) 32ピン HWQFN (0.5mm)	24ピン HWQFN (0.5mm)

注1. この内の2chはユニット0とユニット1で共有しています。

## 1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	動作周囲温度
RX14T	R5F514T5AGFM	PLQP0064KB-C	128Kバイト	12Kバイト	4Kバイト	48MHz	-40~+105°C
	R5F514T5AGFK	PLQP0064GA-A					
	R5F514T5AGFD	PLQP0052JA-A					
	R5F514T5AGFL	PLQP0048KB-B					
	R5F514T5AGFV	PLQP0044GF-A					
	R5F514T5AGFJ	PLQP0032GB-A					
	R5F514T5AGNE	PWQN0048KC-A					
	R5F514T5AGNH	PWQN0032KE-A					
	R5F514T5AGNK	PWQN0024KG-A					
RX14T	R5F514T5AMFM	PLQP0064KB-C	128Kバイト	12Kバイト	4Kバイト	48MHz	-40~+125°C
	R5F514T5AMFK	PLQP0064GA-A					
	R5F514T5AMFD	PLQP0052JA-A					
	R5F514T5AMFL	PLQP0048KB-B					
	R5F514T5AMFJ	PLQP0032GB-A					
	R5F514T5AMNE	PWQN0048KC-A					
	R5F514T5AMNH	PWQN0032KE-A					
	R5F514T5AMNK	PWQN0024KG-A					

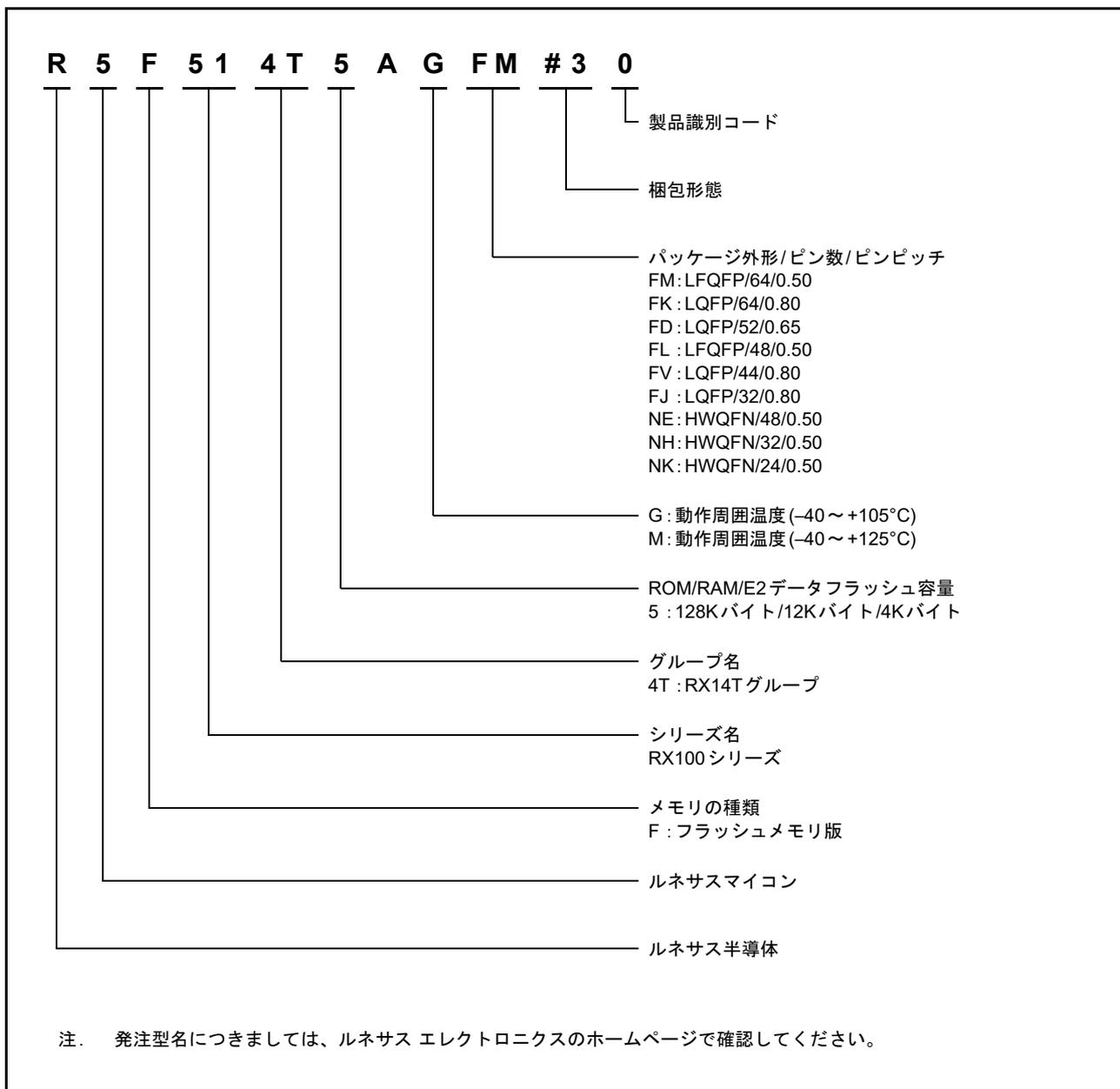


図 1.1 型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図 1.2 にブロック図を示します。

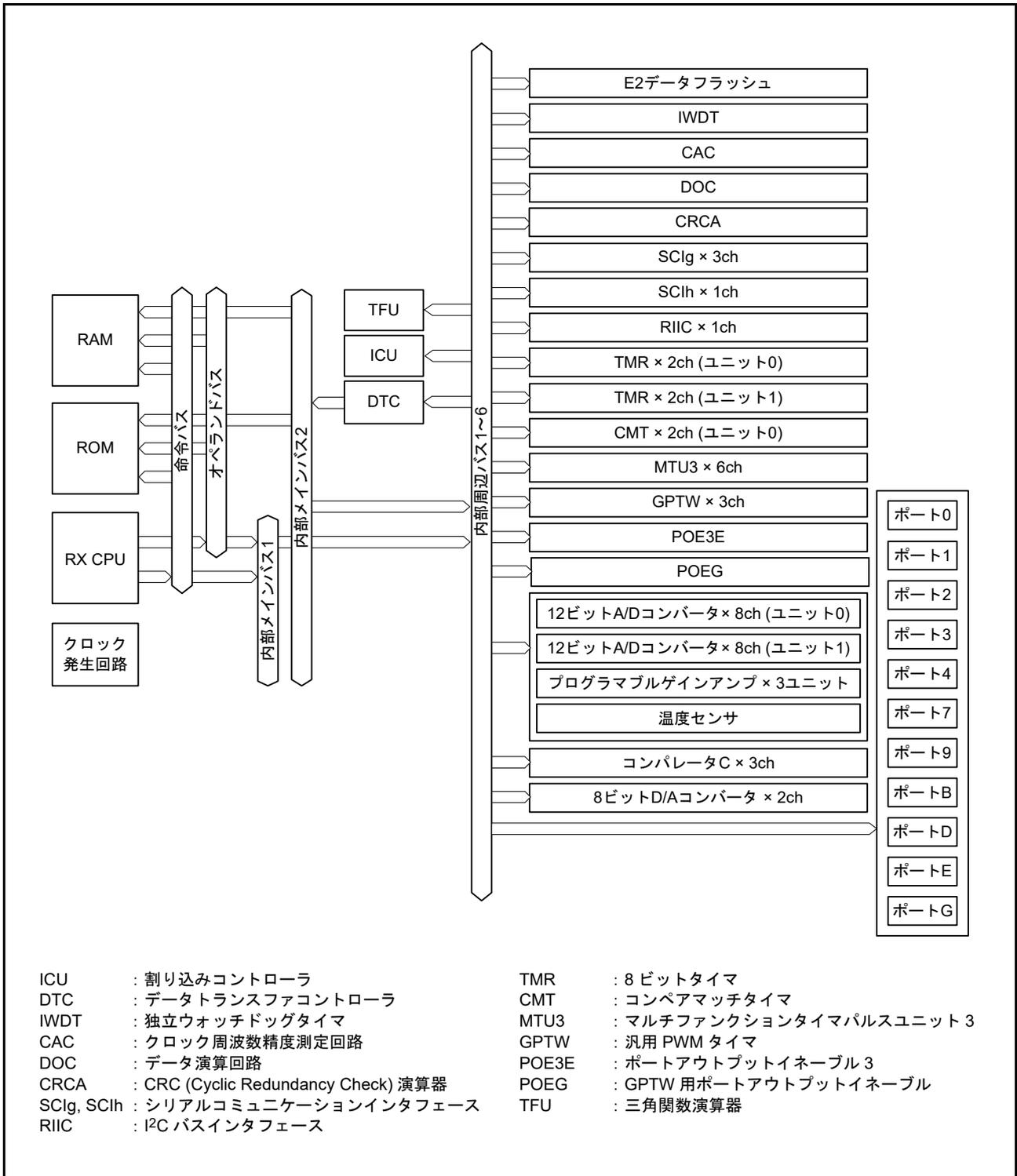


図 1.2 ブロック図

## 1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/3)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1 $\mu$ Fの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入力	内部電源安定用の平滑コンデンサ(4.7 $\mu$ F)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グラウンド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。使用方法は、「ユーザーズマニュアルハードウェア編」の「3.1 動作モードの種類と選択」を参照してください
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0 ~ IRQ7	入力	割り込み要求端子
マルチファンクション タイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0 ~ TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0 ~ TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1, TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2, TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3 ~ TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3 ~ TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4 ~ TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4 ~ TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
ADSM0, ADSM1	出力	A/D変換開始要求フレーム同期信号出力端子	
ポートアウトプット イネーブル3	POE0#, POE8#, POE10#, POE11#, POE12#	入力	MTUおよびGPTW用の端子をハイインピーダンス状態にする要求信号を入力

表 1.4 端子機能一覧 (2/3)

分類	端子名	入出力	機能
汎用PWMタイマ	GTETRGA	入力	外部トリガ入力端子
	GTIOC0A~GTIOC2A, GTIOC0B~GTIOC2B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#~GTIOC2A#, GTIOC0B#~GTIOC2B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出力/ PWM反転出力端子
	GTCPP00	出力	PWM周期同期出力
	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCIO~TMCIO3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース(SCIg)	• 調歩同期モード/クロック同期モード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	RXD1, RXD5, RXD6	入力	受信データ入力端子
	TXD1, TXD5, TXD6	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#	出力	送受信開始制御用出力端子
	• 簡易I <sup>2</sup> Cモード		
	SSCL1, SSCL5, SSCL6	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA1, SSDA5, SSDA6	入出力	I <sup>2</sup> Cデータ入出力端子
	• 簡易SPIモード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース(SCIh)	• 調歩同期モード/クロック同期モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I <sup>2</sup> Cモード		
	SSCL12	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA12	入出力	I <sup>2</sup> Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入出力	受信データ入力端子
	TXDX12	入出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子

表 1.4 端子機能一覧 (3/3)

分類	端子名	入出力	機能
I <sup>2</sup> Cバスインタフェース	SCL0	入出力	I <sup>2</sup> Cバスインタフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I <sup>2</sup> Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
12ビットA/Dコンバータ	AN000～AN007, AN102～AN107	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#, ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0, ADST1	出力	AD変換中を示すステータス出力端子
	ADSS0, ADSS1	出力	ADサンプリングの状態出力端子
PGA	PGAIN00～PGAIN02	入力	PGAのアナログ入力端子
	PGAGND	入力	PGA専用グランド端子
	PGAOUT0	出力	PGAモニタ端子
8ビットD/Aコンバータ	DA0	出力	D/Aコンバータのアナログ出力端子
コンパレータC (CMPC)	COMP0～COMP3	出力	コンパレータ検出結果出力端子
	CVREFC0	入力	コンパレータC用のリファレンス電圧端子
	CMPCnm	入力	CMPCnm用アナログ入力端子(n = 0～2, m = 0～3)
アナログ電源	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
I/Oポート	P00～P04	入出力	5ビットの入出力端子
	P10～P15	入出力	6ビットの入出力端子
	P22～P26	入出力	5ビットの入出力端子
	P30～P33, P36, P37	入出力	6ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P70～P76	入出力	7ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PD3～PD7	入出力	5ビットの入出力端子
	PE2	入力	1ビットの入出力端子(PE2は入力端子)
	PG7	入出力	1ビットの入出力端子

1.5 ピン配置図

1.5.1 64ピンLFQFP、64ピンLQFP

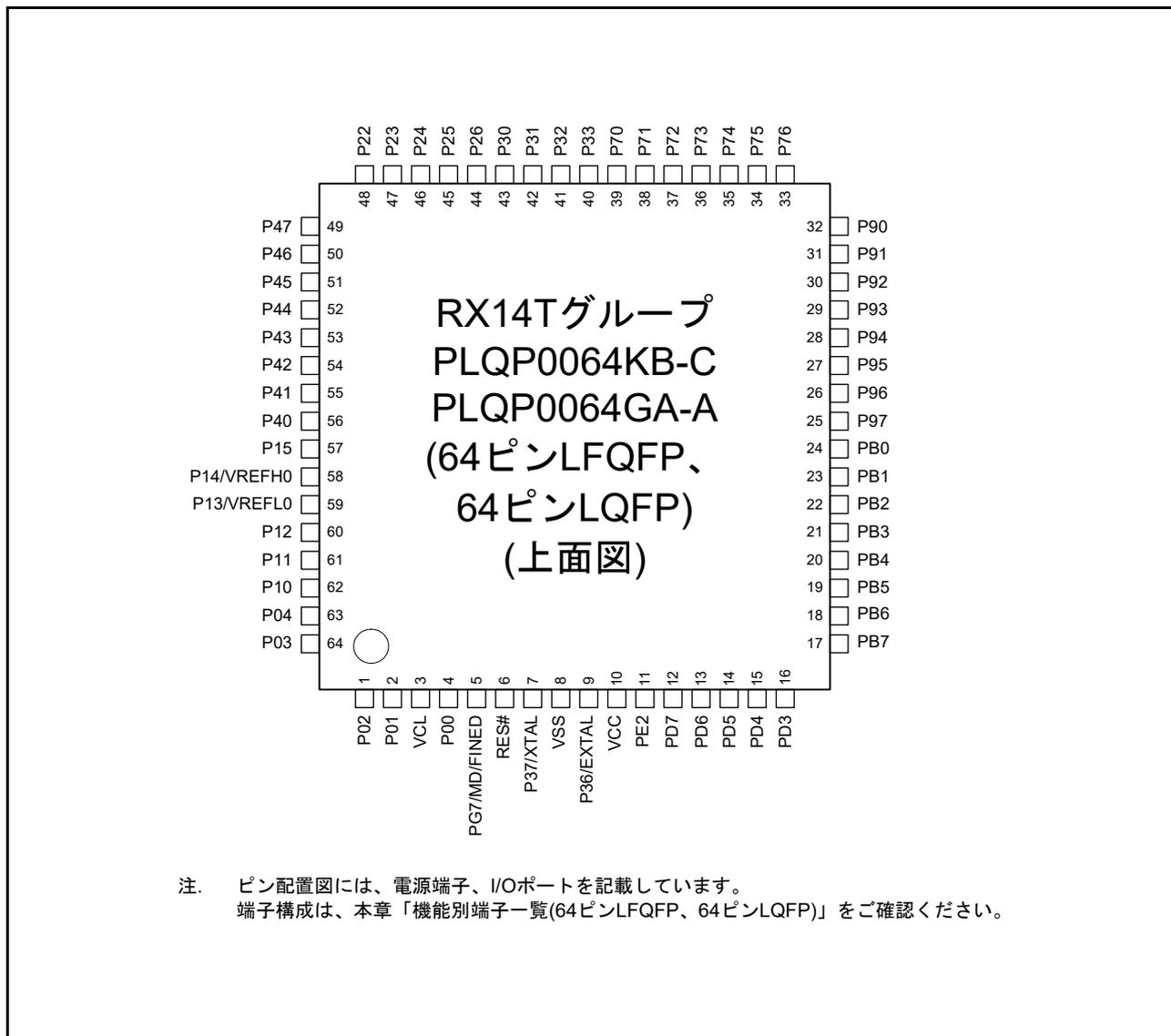


図 1.3 64ピンLFQFP、64ピンLQFPピン配置図

1.5.2 52ピンLQFP

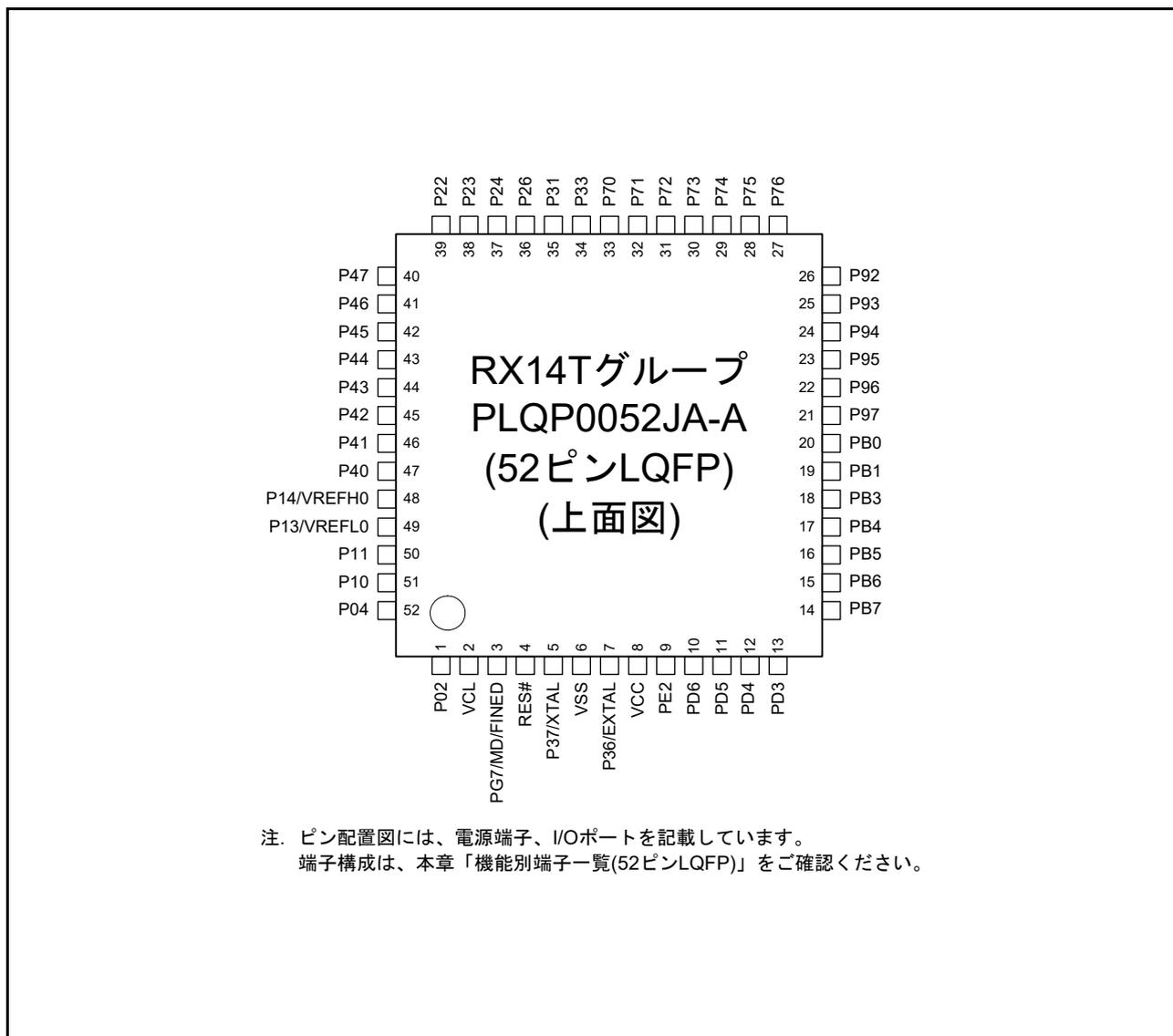


図 1.4 52ピンLQFPピン配置図

1.5.3 48ピン LQFP

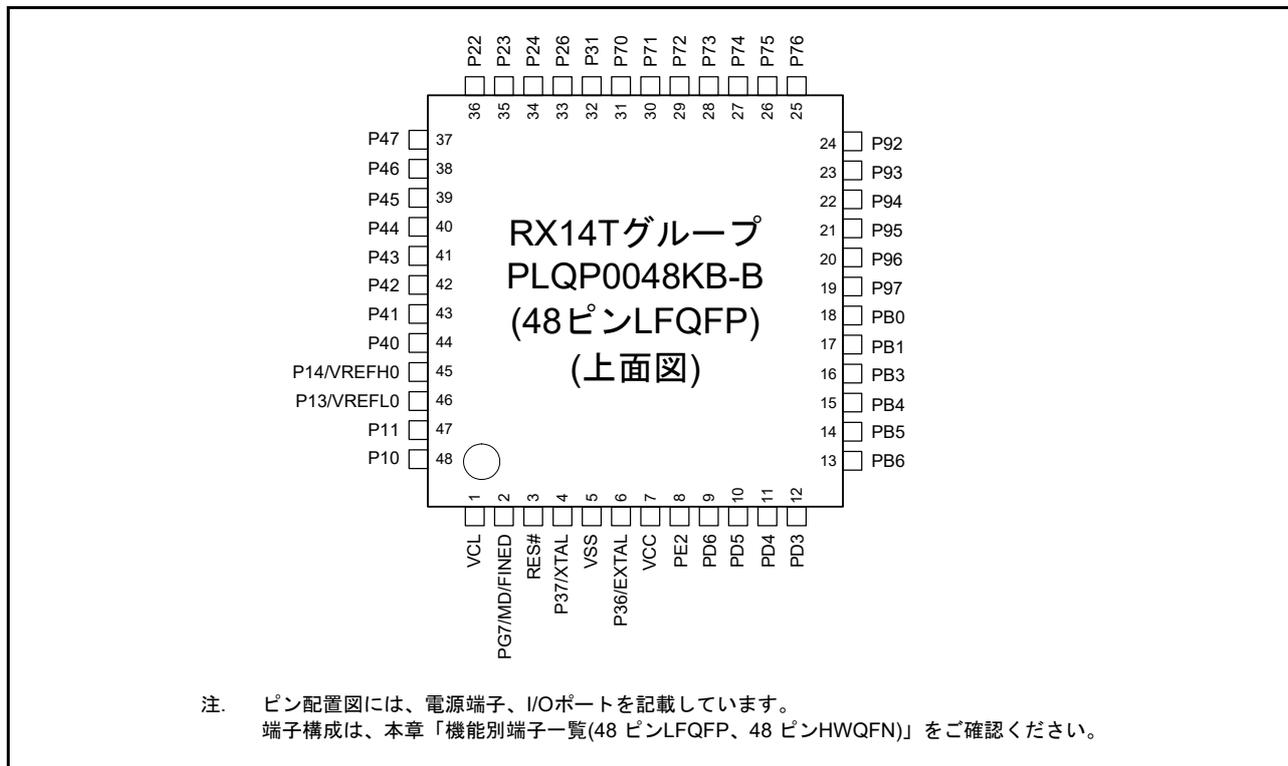


図 1.5 48ピン LQFP ピン配置図

1.5.4 48ピン HWQFN

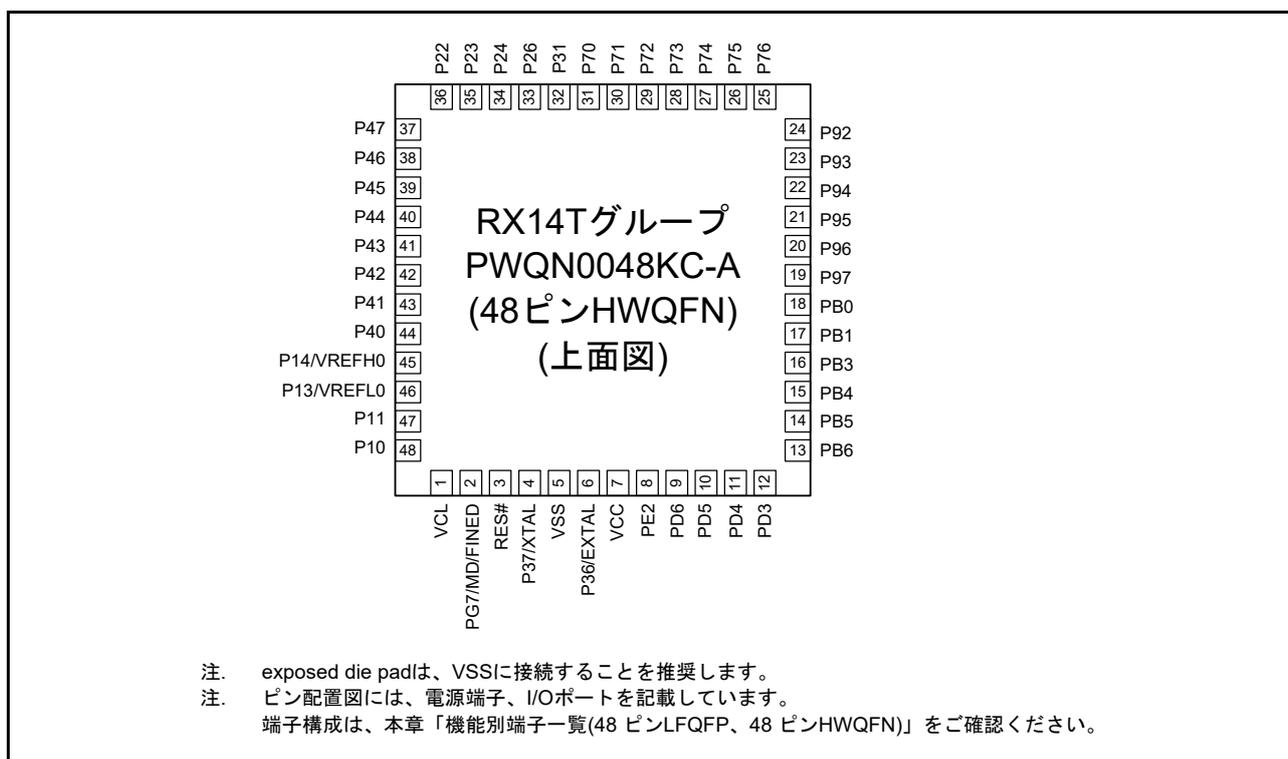


図 1.6 48ピン HWQFN ピン配置図

1.5.5 44ピンLQFP

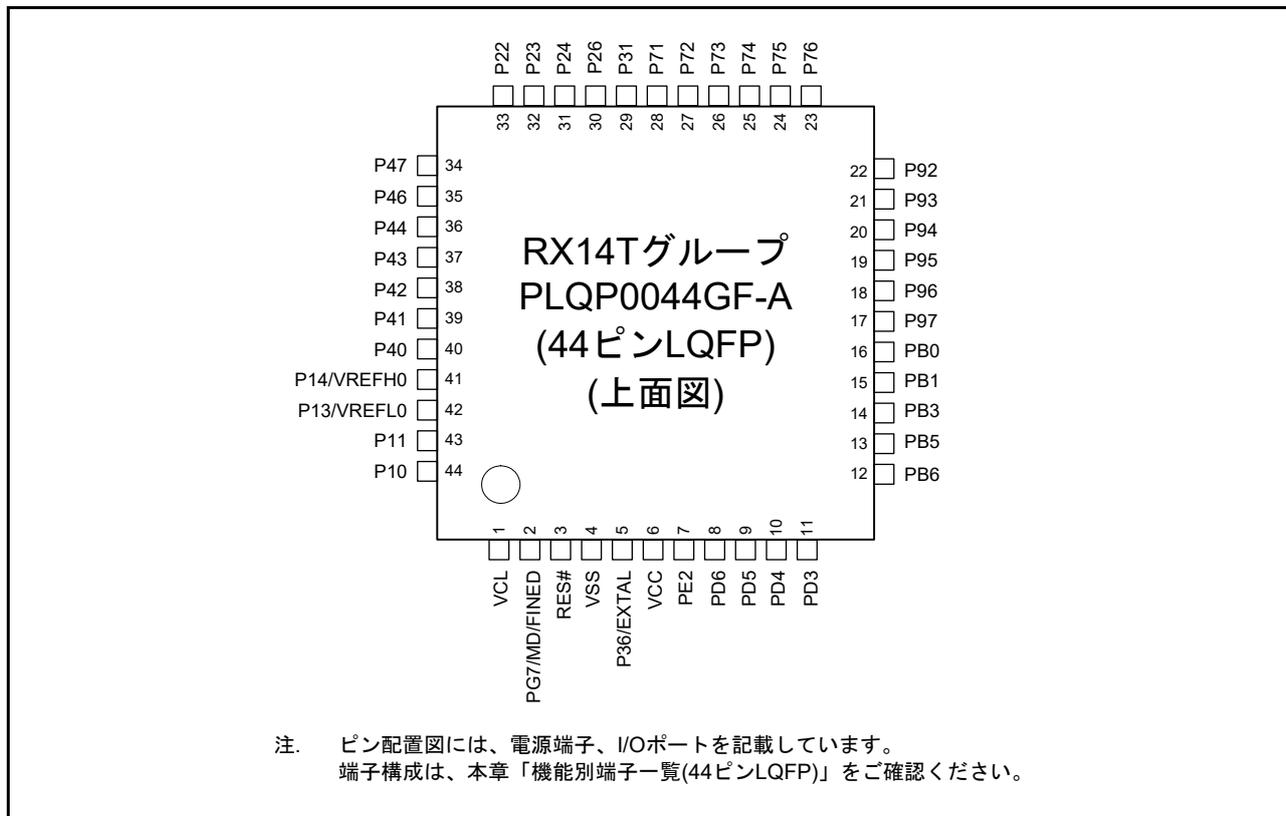


図 1.7 44ピンLQFPピン配置図

1.5.6 32ピンLQFP

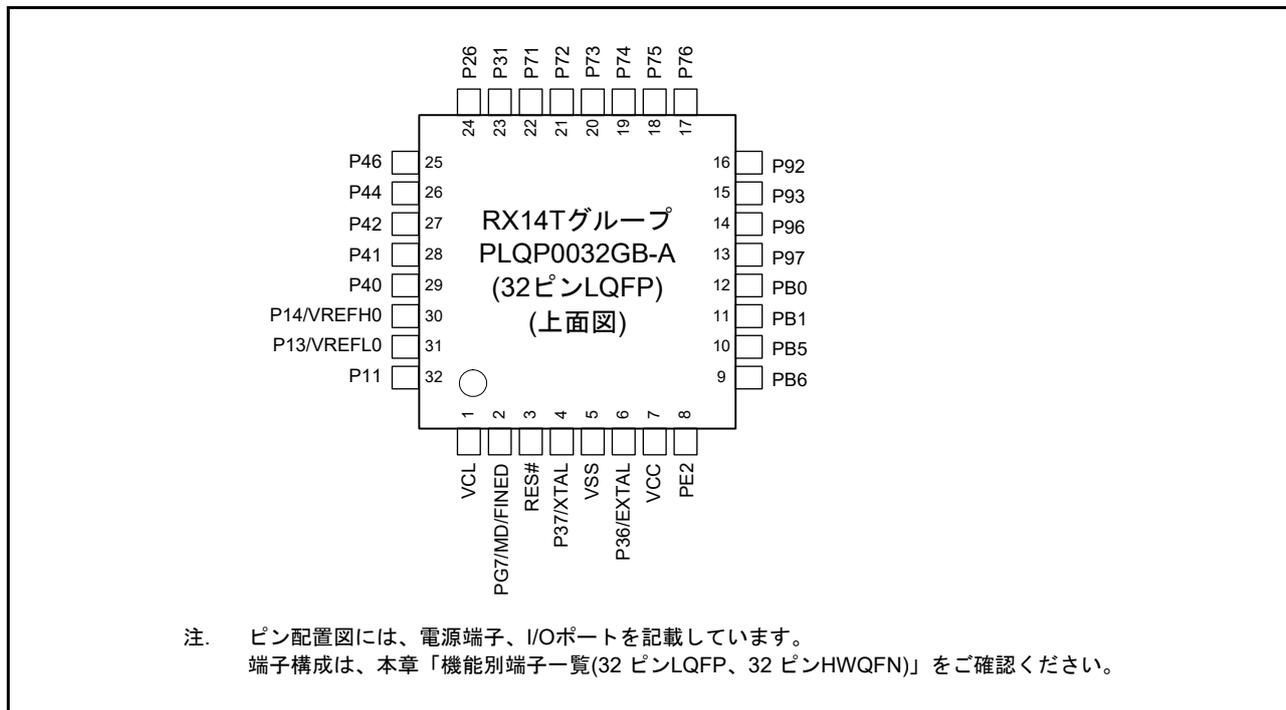


図 1.8 32ピンLQFPピン配置図

1.5.7 32ピンHWQFN

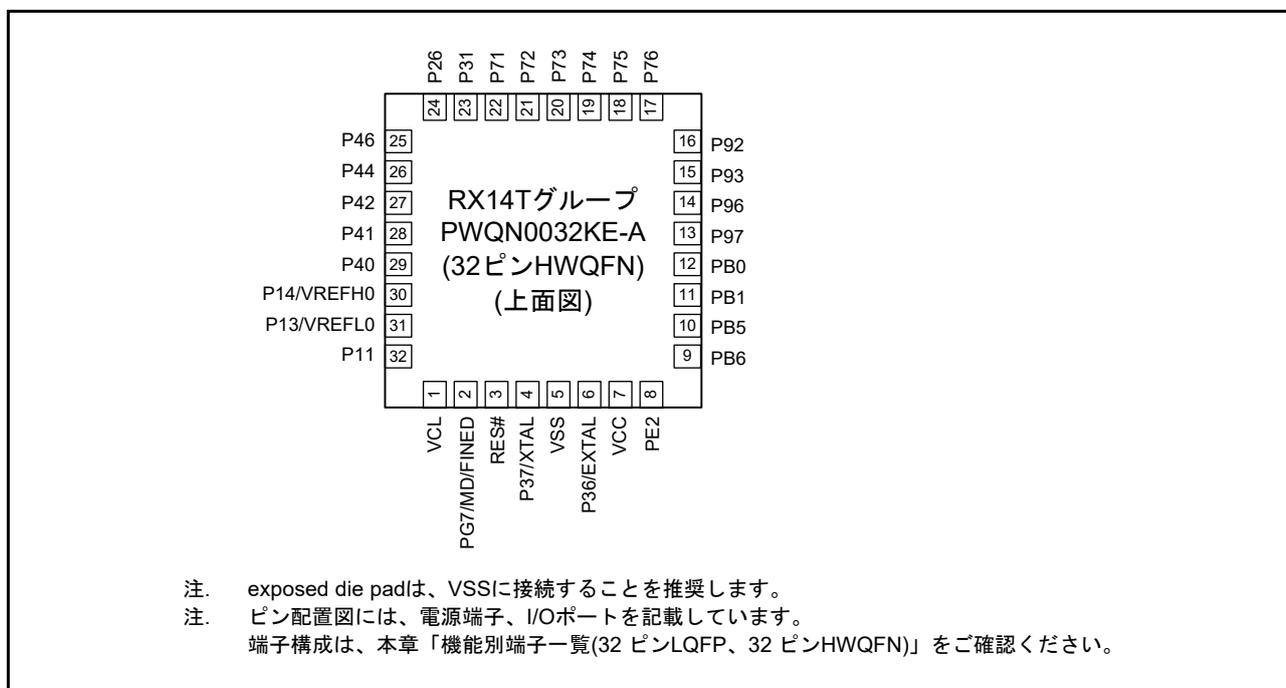


図 1.9 32ピンHWQFNピン配置図

## 1.5.8 24ピンHWQFN

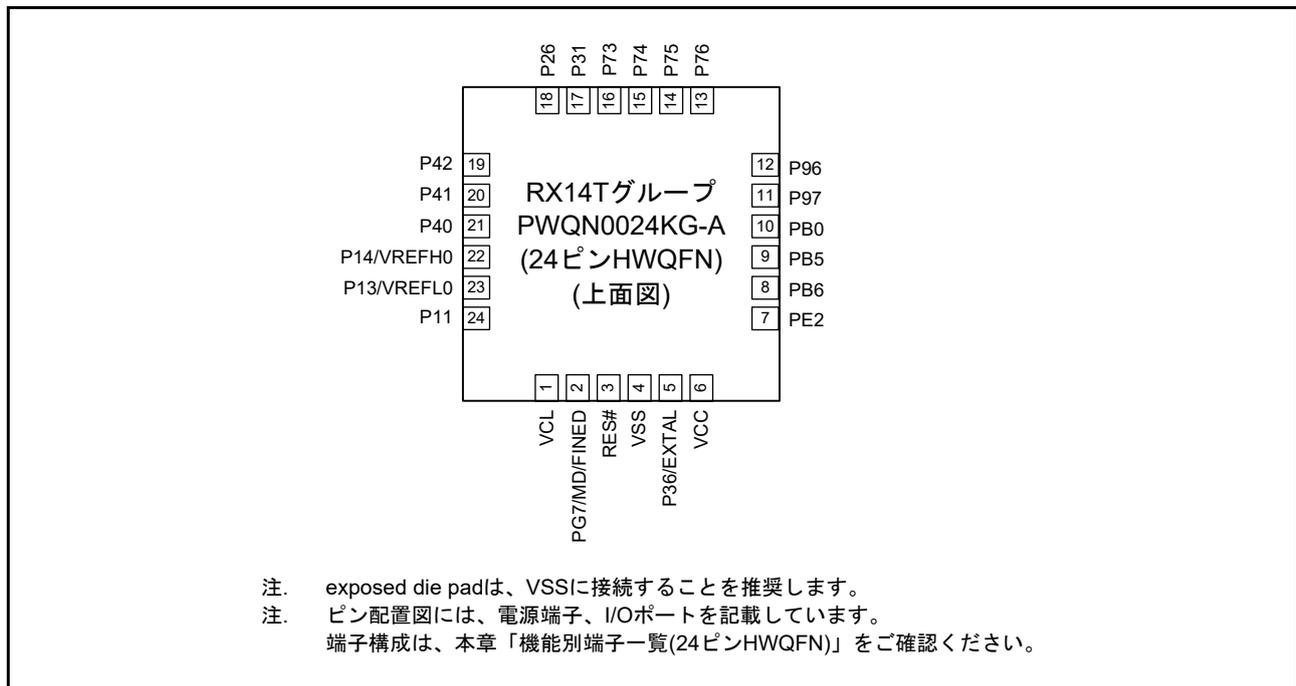


図 1.10 24ピンHWQFNピン配置図

## 1.6 機能別端子一覧

## 1.6.1 64ピンLFQFP、64ピンLQFP

表 1.5 機能別端子一覧(64ピンLFQFP、64ピンLQFP) (1/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信(SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1		P02		CTS1#/RTS1#/SS1#	IRQ5	ADST0
2		P01			IRQ2	ADST1
3	VCL					
4	CACREF	P00			IRQ4	ADSS0
5	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
6	RES#					
7	XTAL	P37	POE11#	TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12	IRQ0	ADSS1
8	VSS					
9	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RDX12	IRQ3	ADST1
10	VCC					
11		PE2	GTETRGA/TMCI1/TMRI0/ POE10#		IRQ0/NMI	
12		PD7	TMRI1			
13		PD6	MTIOC0D/MTIOC4D/ MTIOC0D#/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMO1	CTS1#/RTS1#/SS1#	IRQ5	ADST0
14		PD5	MTIOC0C/MTIOC4C/ MTIOC0C#/MTIOC4C#/ GTIOC2A/GTIOC2A#/ TMRI0	RXD1/SMISO1/SSCL1	IRQ3	ADSS0
15		PD4	MTIOC0B/MTIOC4B/ MTIOC0B#/MTIOC4B#/ GTIOC1B/GTIOC1B#/ TMCI0	SCK1	IRQ2	
16		PD3	MTIOC0A/MTIOC4A/ MTIOC0A#/MTIOC4A#/ GTIOC1A/GTIOC1A#/ TMO0	TXD1/SMOSI1/SSDA1		
17		PB7		SCK5/CTS6#/RTS6#/SS6#		
18		PB6	MTIOC3C/MTCLKD/ MTIOC2B/MTIOC3C#/ MTCLKD#/MTIOC2B#/ GTIOC2B/GTICPP00/ GTIOC2B#/TMCI0/POE11#	RXD5/SMISO5/SSCL5/RXD1/SMISO1/ SSCL1	IRQ5	ADSS0
19		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/ TMO0/POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
20		PB4		RXD6/SMISO6/SSCL6		ADTRG0#
21		PB3	POE8#	TXD6/SMOSI6/SSDA6	IRQ3	ADTRG1#
22		PB2	MTIC5W/MTIC5W#	SCK6		
23	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
24		PB0	MTIOC0B/MTCLKC/ MTIOC4C/MTIOC0B#/ MTCLKC#/MTIOC4C#/ GTIOC1B/GTADSM0/ GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0

表 1.5 機能別端子一覧(64ピンLQFP、64ピンLQFP)(2/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
25		P97	MTIOC0C/MTCLKA/ MTIOC3D/MTIOC0C#/ MTCLKA#/MTIOC3D#/ GTIOC0B/GTADSM1/ GTIOC0B#/GTETRGA/ TMC11	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
26	CLKOUT	P96	MTIOC0D/MTCLKB/ MTIOC4B/MTIOC0D#/ MTCLKB#/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
27		P95	MTIOC1B/MTIOC2A/ MTIOC4A/MTIOC1B#/ MTIOC2A#/MTIOC4A#/ GTIOC1A/GTIOC1A#	CTS12#/RTS12#/SS12#		
28		P94	MTIOC1A/MTIOC2B/ MTIOC3B/MTIOC1A#/ MTIOC2B#/MTIOC3B#/ GTIOC0A/GTIOC0A#	CTS5#/RTS5#/SS5#/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	IRQ4	
29		P93	MTIOC0C/MTIOC2B/ MTCLKA/MTIOC0C#/ MTIOC2B#/MTCLKA#/ GTIOC1B/GTIOC1B#/ TMO1	RXD12/SMISO12/SSCL12/RXDX12	IRQ1	ADTRG1#
30		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/ TMR11	SCK5/SCK12	IRQ0	ADTRG0#
31		P91	MTIC5U/MTIC5U#/TMC11			
32		P90	MTIC5V/MTIC5V#		IRQ6	
33	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMR12	RXD12/SMISO12/SSCL12/RXDX12		
34		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/ TMC12/POE8#	SCK12		
35		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/ TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
36		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMR13	SCK6		
37		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
38		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOSI1/SSDA1	IRQ6	
39		P70	GTCPP00/POE0#	SCK1	IRQ5	
40		P33	MTIOC3A/MTCLKA/ MTIOC0C/MTIOC3A#/ MTCLKA#/MTIOC0C#			
41		P32	MTIOC3C/MTCLKB/ MTIOC0D/MTIOC3C#/ MTCLKB#/MTIOC0D#/ POE10#			
42		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/ TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
43		P30	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ POE11#	SCK6		
44		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/ TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	

表 1.5 機能別端子一覧(64ピンLQFP、64ピンLQFP) (3/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
45		P25	MTIOC0B/MTCLKD/ MTIOC4B/MTIOC0B#/ MTCLKD#/MTIOC4B#/ GTETRGA/TMRI3/POE12#			
46	CLKOUT	P24	MTIC5U/MTIC5U#/ GTIOC2B/GTICPP00/ GTIOC2B#/TMCI2	RXD5/SMISO5/SSCL5	IRQ3	COMP0
47	CACREF	P23	MTIC5V/MTCLKA/ MTIC5V#/MTCLKA#/ GTIOC2A/GTADSM0/ GTIOC2A#/TMO2	TXD5/SMOSI5/SSDA5	IRQ4	ADSS0/COMP1
48		P22	MTIC5W/MTCLKB/ MTIC5W#/MTCLKB#/ GTADSM1/TMRI2	SCK5	IRQ2	ADSS1/COMP2/ PGAOUT0
49		P47				AN007/PGAGND
50		P46	GTADSM0			AN006/ADSS0/ CMPC13
51		P45				AN005
52		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
53		P43				AN003
54		P42				AN002/CMPC20/ CMPC21/PGAIN02
55		P41				AN001/CMPC10/ CMPC11/PGAIN01
56		P40				AN000/CMPC00/ CMPC01/PGAIN00
57		P15				AN107
58	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
59	VREFL0	P13			IRQ4	AN105/CMPC12
60		P12			IRQ7	AN104
61		P11	MTIOC3A/MTCLKC/ MTIOC4C/MTIOC3A#/ MTCLKC#/MTIOC4C#/ TMO3/TMO2/POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02
62		P10	MTCLKD/MTCLKD#/ TMRI3/TMO1		IRQ0	AN103
63		P04	MTIOC1A/MTIOC1A#/ GTIOC2A/GTIOC2A#/ TMCI3/TMO0			ADSS1
64		P03	MTIOC1B/MTIOC1B#/ GTIOC2B/GTIOC2B#			ADTRG0#

注1. 該当端子は5Vトレラントではありません。  
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「2. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

## 1.6.2 52ピンLQFP

表 1.6 機能別端子一覧(52ピンLQFP) (1/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1		P02		CTS1#/RTS1#/SS1#	IRQ5	ADST0
2	VCL					
3	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
4	RES#					
5	XTAL	P37	POE11#	TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12	IRQ0	ADSS1
6	VSS					
7	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTCCPO0/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RDX12	IRQ3	ADST1
8	VCC					
9		PE2	GTETRA/TMC11/TMRI0/ POE10#		IRQ0/NMI	
10		PD6	MTIOC0D/MTIOC4D/ MTIOC0D#/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMO1	CTS1#/RTS1#/SS1#	IRQ5	ADST0
11		PD5	MTIOC0C/MTIOC4C/ MTIOC0C#/MTIOC4C#/ GTIOC2A/GTIOC2A#/ TMRI0	RXD1/SMISO1/SSCL1	IRQ3	ADSS0
12		PD4	MTIOC0B/MTIOC4B/ MTIOC0B#/MTIOC4B#/ GTIOC1B/GTIOC1B#/ TMCIO	SCK1	IRQ2	
13		PD3	MTIOC0A/MTIOC4A/ MTIOC0A#/MTIOC4A#/ GTIOC1A/GTIOC1A#/ TMO0	TXD1/SMOSI1/SSDA1		
14		PB7		SCK5/CTS6#/RTS6#/SS6#		
15		PB6	MTIOC3C/MTCLKD/ MTIOC2B/MTIOC3C#/ MTCLKD#/MTIOC2B#/ GTIOC2B/GTCCPO0/ GTIOC2B#/TMCIO/POE11#	RXD5/SMISO5/SSCL5/RXD1/SMISO1/ SSCL1	IRQ5	ADSS0
16		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/ TMO0/POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
17		PB4		RXD6/SMISO6/SSCL6		ADTRG0#
18		PB3	POE8#	TXD6/SMOSI6/SSDA6	IRQ3	ADTRG1#
19	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
20		PB0	MTIOC0B/MTCLKC/ MTIOC4C/MTIOC0B#/ MTCLKC#/MTIOC4C#/ GTIOC1B/GTADSM0/ GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
21		P97	MTIOC0C/MTCLKA/ MTIOC3D/MTIOC0C#/ MTCLKA#/MTIOC3D#/ GTIOC0B/GTADSM1/ GTIOC0B#/GTETRA/ TMC11	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
22	CLKOUT	P96	MTIOC0D/MTCLKB/ MTIOC4B/MTIOC0D#/ MTCLKB#/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		

表 1.6 機能別端子一覧(52ピンLQFP) (2/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
23		P95	MTIOC1B/MTIOC2A/ MTIOC4A/MTIOC1B#/ MTIOC2A#/MTIOC4A#/ GTIOC1A/GTIOC1A#	CTS12#/RTS12#/SS12#		
24		P94	MTIOC1A/MTIOC2B/ MTIOC3B/MTIOC1A#/ MTIOC2B#/MTIOC3B#/ GTIOC0A/GTIOC0A#	CTS5#/RTS5#/SS5#/TXD12/SMOS12/ SSDA12/TXD12/SIOX12	IRQ4	
25		P93	MTIOC0C/MTIOC2B/ MTCLKA/MTIOC0C#/ MTIOC2B#/MTCLKA#/ GTIOC1B/GTIOC1B#/ TMO1	RXD12/SMISO12/SSCL12/RXDX12	IRQ1	ADTRG1#
26		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/ TMR11	SCK5/SCK12	IRQ0	ADTRG0#
27	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMR12	RXD12/SMISO12/SSCL12/RXDX12		
28		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/ TMC12/POE8#	SCK12		
29		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/ TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
30		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMR13	SCK6		
31		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
32		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOS11/SSDA1	IRQ6	
33		P70	GTCPP00/POE0#	SCK1	IRQ5	
34		P33	MTIOC3A/MTCLKA/ MTIOC0C/MTIOC3A#/ MTCLKA#/MTIOC0C#			
35		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/ TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
36		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/ TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
37	CLKOUT	P24	MTIC5U/MTIC5U#/ GTIOC2B/GTCPP00/ GTIOC2B#/TMC12	RXD5/SMISO5/SSCL5	IRQ3	COMP0
38	CACREF	P23	MTIC5V/MTCLKA/ MTIC5V#/MTCLKA#/ GTIOC2A/GTADSM0/ GTIOC2A#/TMO2	TXD5/SMOSI5/SSDA5	IRQ4	ADSS0/COMP1
39		P22	MTIC5W/MTCLKB/ MTIC5W#/MTCLKB#/ GTADSM1/TMR12	SCK5	IRQ2	ADSS1/COMP2/ PGAOUT0
40		P47				AN007/PGAGND
41		P46	GTADSM0			AN006/ADSS0/ CMPC13
42		P45				AN005
43		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
44		P43				AN003
45		P42				AN002/CMPC20/ CMPC21/PGAIN02
46		P41				AN001/CMPC10/ CMPC11/PGAIN01

表 1.6 機能別端子一覧(52ピンLQFP) (3/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
47		P40				AN000/CMPC00/ CMPC01/PGAIN00
48	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
49	VREFL0	P13			IRQ4	AN105/CMPC12
50		P11	MTIOC3A/MTCLKC/ MTIOC4C/MTIOC3A#/ MTCLKC#/MTIOC4C#/ TMO3/TMO2/POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02
51		P10	MTCLKD/MTCLKD#/ TMR13/TMO1		IRQ0	AN103
52		P04	MTIOC1A/MTIOC1A#/ GTIOC2A/GTIOC2A#/ TMCI3/TMO0			ADSS1

注1. 該当端子は5Vトレラントではありません。  
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「2. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

## 1.6.3 48ピンLFQFP、48ピンHWQFN

表 1.7 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (1/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1	VCL					
2	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
3	RES#					
4	XTAL	P37	POE11#	TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12	IRQ0	ADSS1
5	VSS					
6	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXD12	IRQ3	ADST1
7	VCC					
8		PE2	GTETRGA/TMCI1/TMRI0/ POE10#		IRQ0/NMI	
9		PD6	MTIOC0D/MTIOC4D/ MTIOC0D#/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMO1	CTS1#/RTS1#/SS1#	IRQ5	ADST0
10		PD5	MTIOC0C/MTIOC4C/ MTIOC0C#/MTIOC4C#/ GTIOC2A/GTIOC2A#/ TMR10	RXD1/SMISO1/SSCL1	IRQ3	ADSS0
11		PD4	MTIOC0B/MTIOC4B/ MTIOC0B#/MTIOC4B#/ GTIOC1B/GTIOC1B#/ TMCI0	SCK1	IRQ2	
12		PD3	MTIOC0A/MTIOC4A/ MTIOC0A#/MTIOC4A#/ GTIOC1A/GTIOC1A#/ TMO0	TXD1/SMOSI1/SSDA1		
13		PB6	MTIOC3C/MTCLKD/ MTIOC2B/MTIOC3C#/ MTCLKD#/MTIOC2B#/ GTIOC2B/GTICPP00/ GTIOC2B#/TMCI0/POE11#	RXD5/SMISO5/SSCL5/RXD1/SMISO1/ SSCL1	IRQ5	ADSS0
14		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/ TMO0/POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
15		PB4		RXD6/SMISO6/SSCL6		ADTRG0#
16		PB3	POE8#	TXD6/SMOSI6/SSDA6	IRQ3	ADTRG1#
17	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
18		PB0	MTIOC0B/MTCLKC/ MTIOC4C/MTIOC0B#/ MTCLKC#/MTIOC4C#/ GTIOC1B/GTADSM0/ GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
19		P97	MTIOC0C/MTCLKA/ MTIOC3D/MTIOC0C#/ MTCLKA#/MTIOC3D#/ GTIOC0B/GTADSM1/ GTIOC0B#/GTETRGA/ TMCI1	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
20	CLKOUT	P96	MTIOC0D/MTCLKB/ MTIOC4B/MTIOC0D#/ MTCLKB#/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		

表 1.7 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (2/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
21		P95	MTIOC1B/MTIOC2A/ MTIOC4A/MTIOC1B#/ MTIOC2A#/MTIOC4A#/ GTIOC1A/GTIOC1A#	CTS12#/RTS12#/SS12#		
22		P94	MTIOC1A/MTIOC2B/ MTIOC3B/MTIOC1A#/ MTIOC2B#/MTIOC3B#/ GTIOC0A/GTIOC0A#	CTS5#/RTS5#/SS5#/TXD12/SMOS12/ SSDA12/TXD12/SIOX12	IRQ4	
23		P93	MTIOC0C/MTIOC2B/ MTCLKA/MTIOC0C#/ MTIOC2B#/MTCLKA#/ GTIOC1B/GTIOC1B#/ TMO1	RXD12/SMISO12/SSCL12/RXDX12	IRQ1	ADTRG1#
24		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/ TMR11	SCK5/SCK12	IRQ0	ADTRG0#
25	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMR12	RXD12/SMISO12/SSCL12/RXDX12		
26		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/ TMC12/POE8#	SCK12		
27		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/ TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
28		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMR13	SCK6		
29		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
30		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOS11/SSDA1	IRQ6	
31		P70	GTCPP00/POE0#	SCK1	IRQ5	
32		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/ TMC13	TXD6/SMOS16/SSDA6/SDA0 (注1)		
33		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/ TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
34	CLKOUT	P24	MTIC5U/MTIC5U#/ GTIOC2B/GTCPP00/ GTIOC2B#/TMC12	RXD5/SMISO5/SSCL5	IRQ3	COMP0
35	CACREF	P23	MTIC5V/MTCLKA/ MTIC5V#/MTCLKA#/ GTIOC2A/GTADSM0/ GTIOC2A#/TMO2	TXD5/SMOS15/SSDA5	IRQ4	ADSS0/COMP1
36		P22	MTIC5W/MTCLKB/ MTIC5W#/MTCLKB#/ GTADSM1/TMR12	SCK5	IRQ2	ADSS1/COMP2/ PGAOUT0
37		P47				AN007/PGAGND
38		P46	GTADSM0			AN006/ADSS0/ CMPC13
39		P45				AN005
40		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
41		P43				AN003
42		P42				AN002/CMPC20/ CMPC21/PGAIN02
43		P41				AN001/CMPC10/ CMPC11/PGAIN01
44		P40				AN000/CMPC00/ CMPC01/PGAIN00

表 1.7 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (3/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
45	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
46	VREFL0	P13			IRQ4	AN105/CMPC12
47		P11	MTIOC3A/MTCLKC/ MTIOC4C/MTIOC3A#/ MTCLKC#/MTIOC4C#/ TMO3/TMO2/POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02
48		P10	MTCLKD/MTCLKD#/ TMR13/TMO1		IRQ0	AN103

注1. 該当端子は5Vトレラントではありません。  
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「2. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

## 1.6.4 44ピンLQFP

表 1.8 機能別端子一覧(44ピンLQFP) (1/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1	VCL					
2	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
3	RES#					
4	VSS					
5	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXD12	IRQ3	ADST1
6	VCC					
7		PE2	GTETRGA/TMCI1/TMRI0/ POE10#		IRQ0/NMI	
8		PD6	MTIOC0D/MTIOC4D/ MTIOC0D#/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMO1	CTS1#/RTS1#/SS1#	IRQ5	ADST0
9		PD5	MTIOC0C/MTIOC4C/ MTIOC0C#/MTIOC4C#/ GTIOC2A/GTIOC2A#/ TMRI0	RXD1/SMISO1/SSCL1	IRQ3	ADSS0
10		PD4	MTIOC0B/MTIOC4B/ MTIOC0B#/MTIOC4B#/ GTIOC1B/GTIOC1B#/ TMC10	SCK1	IRQ2	
11		PD3	MTIOC0A/MTIOC4A/ MTIOC0A#/MTIOC4A#/ GTIOC1A/GTIOC1A#/ TMO0	TXD1/SMOS11/SSDA1		
12		PB6	MTIOC3C/MTCLKD/ MTIOC2B/MTIOC3C#/ MTCLKD#/MTIOC2B#/ GTIOC2B/GTICPP00/ GTIOC2B#/TMC10/POE11#	RXD5/SMISO5/SSCL5/RXD1/SMISO1/ SSCL1	IRQ5	ADSS0
13		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/ TMO0/POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
14		PB3	POE8#	TXD6/SMOSI6/SSDA6	IRQ3	ADTRG1#
15	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
16		PB0	MTIOC0B/MTCLKC/ MTIOC4C/MTIOC0B#/ MTCLKC#/MTIOC4C#/ GTIOC1B/GTADSM0/ GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
17		P97	MTIOC0C/MTCLKA/ MTIOC3D/MTIOC0C#/ MTCLKA#/MTIOC3D#/ GTIOC0B/GTADSM1/ GTIOC0B#/GTETRGA/ TMC11	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
18	CLKOUT	P96	MTIOC0D/MTCLKB/ MTIOC4B/MTIOC0D#/ MTCLKB#/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
19		P95	MTIOC1B/MTIOC2A/ MTIOC4A/MTIOC1B#/ MTIOC2A#/MTIOC4A#/ GTIOC1A/GTIOC1A#	CTS12#/RTS12#/SS12#		

表 1.8 機能別端子一覧(44ピンLQFP) (2/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
20		P94	MTIOC1A/MTIOC2B/ MTIOC3B/MTIOC1A#/ MTIOC2B#/MTIOC3B#/ GTIOC0A/GTIOC0A#	CTS5#/RTS5#/SS5#/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	IRQ4	
21		P93	MTIOC0C/MTIOC2B/ MTCLKA/MTIOC0C#/ MTIOC2B#/MTCLKA#/ GTIOC1B/GTIOC1B#/ TMO1	RXD12/SMISO12/SSCL12/RXDX12	IRQ1	ADTRG1#
22		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/ TMR1	SCK5/SCK12	IRQ0	ADTRG0#
23	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMR2	RXD12/SMISO12/SSCL12/RXDX12		
24		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/ TMC12/POE8#	SCK12		
25		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/ TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
26		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMR3	SCK6		
27		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
28		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOSI1/SSDA1	IRQ6	
29		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/ TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
30		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/ TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
31	CLKOUT	P24	MTIC5U/MTIC5U#/ GTIOC2B/GTIOC2B#/ GTIOC2B#/TMC12	RXD5/SMISO5/SSCL5	IRQ3	COMP0
32	CACREF	P23	MTIC5V/MTCLKA/ MTIC5V#/MTCLKA#/ GTIOC2A/GTADSM0/ GTIOC2A#/TMO2	TXD5/SMOSI5/SSDA5	IRQ4	ADSS0/COMP1
33		P22	MTIC5W/MTCLKB/ MTIC5W#/MTCLKB#/ GTADSM1/TMR2	SCK5	IRQ2	ADSS1/COMP2/ PGAOUT0
34		P47				AN007/PGAGND
35		P46	GTADSM0			AN006/ADSS0/ CMPC13
36		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
37		P43				AN003
38		P42				AN002/CMPC20/ CMPC21/PGAIN02
39		P41				AN001/CMPC10/ CMPC11/PGAIN01
40		P40				AN000/CMPC00/ CMPC01/PGAIN00
41	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
42	VREFL0	P13			IRQ4	AN105/CMPC12
43		P11	MTIOC3A/MTCLKC/ MTIOC4C/MTIOC3A#/ MTCLKC#/MTIOC4C#/ TMO3/TMO2/POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02

表 1.8 機能別端子一覧(44ピンLQFP) (3/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
44		P10	MTCLKD/MTCLKD#/ TMR13/TMO1		IRQ0	AN103

注1. 該当端子は5Vトレラントではありません。  
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「2. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

## 1.6.5 32ピンLQFP、32ピンHWQFN

表 1.9 機能別端子一覧(32ピンLQFP、32ピンHWQFN) (1/2)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1	VCL					
2	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
3	RES#					
4	XTAL	P37	POE11#	TXD6/SMOSI6/SSDA6/TXD12/ SMOSI12/SSDA12/TXD12/SIOX12	IRQ0	ADSS1
5	VSS					
6	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/ SMISO12/SSCL12/RDX12	IRQ3	ADST1
7	VCC					
8		PE2	GTETRGA/TMCI1/TMRI0/ POE10#		IRQ0/NMI	
9		PB6	MTIOC3C/MTCLKD/MTIOC2B/ MTIOC3C#/MTCLKD#/ MTIOC2B#/GTIOC2B/ GTICPP00/GTIOC2B#/TMCI0/ POE11#	RXD5/SMISO5/SSCL5/RXD1/ SMISO1/SSCL1	IRQ5	ADSS0
10		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/TMO0/ POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
11	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
12		PB0	MTIOC0B/MTCLKC/MTIOC4C/ MTIOC0B#/MTCLKC#/ MTIOC4C#/GTIOC1B/ GTADSM0/GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
13		P97	MTIOC0C/MTCLKA/MTIOC3D/ MTIOC0C#/MTCLKA#/ MTIOC3D#/GTIOC0B/ GTADSM1/GTIOC0B#/ GTETRGA/TMCI1	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
14	CLKOUT	P96	MTIOC0D/MTCLKB/MTIOC4B/ MTIOC0D#/MTCLKB#/ MTIOC4B#/GTIOC2A/ GTIOC2A#/TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXD12/SIOX12		
15		P93	MTIOC0C/MTIOC2B/MTCLKA/ MTIOC0C#/MTIOC2B#/ MTCLKA#/GTIOC1B/ GTIOC1B#/TMO1	RXD12/SMISO12/SSCL12/RDX12	IRQ1	ADTRG1#
16		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/TMRI1	SCK5/SCK12	IRQ0	ADTRG0#
17	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/TMRI2	RXD12/SMISO12/SSCL12/RDX12		
18		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/TMCI2/ POE8#	SCK12		
19		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
20		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/TMRI3	SCK6		
21		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
22		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOSI1/SSDA1	IRQ6	

表 1.9 機能別端子一覧(32ピンLQFP、32ピンHWQFN) (2/2)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
23		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
24		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
25		P46	GTADSM0			AN006/ADSS0/ CMPC13
26		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
27		P42				AN002/CMPC20/ CMPC21/PGAIN02
28		P41				AN001/CMPC10/ CMPC11/PGAIN01
29		P40				AN000/CMPC00/ CMPC01/PGAIN00
30	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
31	VREFL0	P13			IRQ4	AN105/CMPC12
32		P11	MTIOC3A/MTCLKC/MTIOC4C/ MTIOC3A#/MTCLKC#/ MTIOC4C#/TMO3/TMO2/ POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02

注1. 該当端子は5Vトレラントではありません。  
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「2. 電气的特性 推奨動作条件(1) 入力電圧」を参照してください。

## 1.6.6 24ピンHWQFN

表 1.10 機能別端子一覧(24ピンHWQFN)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1	VCL					
2	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
3	RES#					
4	VSS					
5	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/ SMISO12/SSCL12/RXDX12	IRQ3	ADST1
6	VCC					
7		PE2	GTETRGA/TMCI1/TMRI0/ POE10#		IRQ0/NMI	
8		PB6	MTIOC3C/MTCLKD/MTIOC2B/ MTIOC3C#/MTCLKD#/ MTIOC2B#/GTIOC2B/ GTICPP00/GTIOC2B#/TMCI0/ POE11#	RXD5/SMISO5/SSCL5/RXD1/ SMISO1/SSCL1	IRQ5	ADSS0
9		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/TMO0/ POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
10		PB0	MTIOC0B/MTCLKC/MTIOC4C/ MTIOC0B#/MTCLKC#/ MTIOC4C#/GTIOC1B/ GTADSM0/GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
11		P97	MTIOC0C/MTCLKA/MTIOC3D/ MTIOC0C#/MTCLKA#/ MTIOC3D#/GTIOC0B/ GTADSM1/GTIOC0B#/ GTETRGA/TMCI1	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
12	CLKOUT	P96	MTIOC0D/MTCLKB/MTIOC4B/ MTIOC0D#/MTCLKB#/ MTIOC4B#/GTIOC2A/ GTIOC2A#/TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
13	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/TMRI2	RXD12/SMISO12/SSCL12/RXDX12		
14		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/TMCI2/ POE8#	SCK12		
15		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
16		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/TMRI3	SCK6		
17		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/TMCI3	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
18		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
19		P42				AN002/CMPC20/ CMPC21/PAIN02
20		P41				AN001/CMPC10/ CMPC11/PAIN01
21		P40				AN000/CMPC00/ CMPC01/PAIN00
22	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
23	VREFL0	P13			IRQ4	AN105/CMPC12
24		P11	MTIOC3A/MTCLKC/MTIOC4C/ MTIOC3A#/MTCLKC#/ MTIOC4C#/TMO3/TMO2/ POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02

- 注1. 該当端子は5Vトレラントではありません。  
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「2. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

## 2. 電気的特性

### 2.1 絶対最大定格

表2.1 絶対最大定格

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	5Vトレラント対応ポート： P97, PB0	$V_{in}$	-0.3 ~ +6.5	V
	上記以外のポート			
リファレンス電源電圧		VREFH0	-0.3 ~ VCC + 0.3	V
出カシンク電流	1端子あたり	$I_{IO}$	-16	mA
	全端子合計 ( $T_j = -40 \sim 125^\circ\text{C}$ )	$\Sigma I_{IO}$	-164	mA
	全端子合計 ( $T_j = -40 \sim 140^\circ\text{C}$ )		-97	mA
出力ソース電流	1端子あたり	$I_{IO}$	16	mA
	全端子合計 ( $T_j = -40 \sim 125^\circ\text{C}$ )	$\Sigma I_{IO}$	76	mA
	全端子合計 ( $T_j = -40 \sim 140^\circ\text{C}$ )		45	mA
ジャンクション温度		$T_j$	-40 ~ +140	$^\circ\text{C}$
保存温度		$T_{stg}$	-65 ~ +150	$^\circ\text{C}$

#### 【使用上の注意】

絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、VCC端子とVSS端子間、VREFH0端子とVREFL0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 $\mu\text{F}$ 程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 $\mu\text{F}$ のコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

詳細は、「2.15.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

## 2.2 推奨動作条件

表2.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧		VCC	2.7	—	5.5	V
		VSS	—	0	—	
リファレンス電源電圧		VREFH0	2.7	—	VCC	V
		VREFL0	—	0	—	
入力電圧	5Vトレラント対応ポート： P97, PB0	$V_{in}$	-0.3	—	5.8	V
	PGAGND		—	0	—	
	上記以外		-0.3	—	VCC + 0.3	
動作温度	Gバージョン	$T_{opr}$	-40	—	105	°C
	Mバージョン		-40	—	125	
ジャンクション温度	Gバージョン	$T_j$	-40	—	125	°C
	Mバージョン		-40	—	140	

表2.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	$C_{VCL}$	4.7 $\mu$ F $\pm$ 30% (注1)

注1. 静電容量の公称値が4.7 $\mu$ F、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が $\pm$ 30%以内の積層セラミックコンデンサを使用してください。

### 2.3 測定条件

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本MCUの電気的特性は以下の条件で定義されています。

- $VCC = 2.7 \sim 5.5V$
- $VREFH0 = 2.7V \sim VCC$
- $VSS = VREFL0 = 0V$
- $T_a = T_{opr} = -40 \sim 125^{\circ}C$

他に指定がない場合、typ値は室温の $25^{\circ}C$ および $VCC = VREFH0 = 5.0V$ で測定されます。

図2.1にタイミング条件を示します。

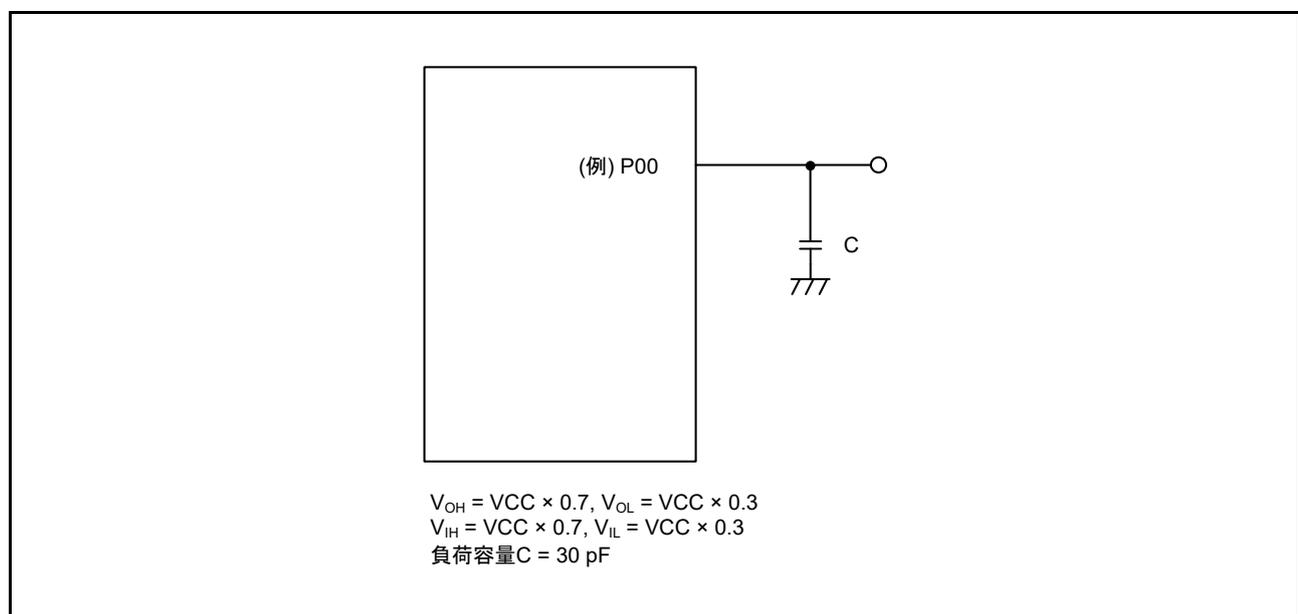


図 2.1 入出力タイミング計測条件

## 2.4 DC 特性

## 2.4.1 I/O 入力出力特性

表2.4 I/O入力電圧特性

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	RIIC入力端子(P97, PB0) (SMBusを除く)	$V_{IH}$	$0.7 \times VCC$	—	—	V		
		$V_{IL}$	—	—	$0.3 \times VCC$			
		$\Delta V_T$	$0.05 \times VCC$	—	—			
	RIIC入力端子(P26, P31) (SMBusを除く)	$V_{IH}$	$0.8 \times VCC$	—	—			
		$V_{IL}$	—	—	$0.2 \times VCC$			
		$\Delta V_T$	$0.1 \times VCC$	—	—			
	IRQ入力端子、MTU入力端子、 GPTW入力端子、POE3入力端子、 POEG入力端子、TMR入力端子、 SCI入力端子、CAC入力端子、 ADTRG#入力端子、RES#、NMI、 MD	$V_{IH}$	$0.8 \times VCC$	—	—			
		$V_{IL}$	—	—	$0.2 \times VCC$			
		$\Delta V_T$	$0.1 \times VCC$	—	—			
入力レベル電圧 (シュミット トリガ入力端子 を除く)	EXTAL (外部クロック入力)	$V_{IH}$	$0.8 \times VCC$	—	—	V		
		$V_{IL}$	—	—	$0.2 \times VCC$			
	RIIC入力端子(P97, PB0, P26, P31) (SMBus)	$V_{IH}$	2.2	—	—			VCC = 3.6 ~ 5.5V
			2.0	—	—			VCC = 2.7 ~ 3.6V
		$V_{IL}$	—	—	0.8			VCC = 3.6 ~ 5.5V
			—	—	0.5			VCC = 2.7 ~ 3.6V
	上記以外の汎用入力	$V_{IH}$	$0.8 \times VCC$	—	—			
		$V_{IL}$	—	—	$0.2 \times VCC$			

表 2.5 I/O入力リーク電流

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, PE2	$ I_{in} $	—	—	1.0	$\mu\text{A}$	$V_{in} = 0\text{V}, V_{CC}$

表 2.6 I/Oスリーステートリーク電流

項目		記号	min	typ	max	単位	測定条件
スリーステートリーク電流(オフ状態)	P97, PB0	$ I_{TSI} $	—	—	1.0	$\mu\text{A}$	$V_{in} = 0\text{V}, 5.8\text{V}$
	P13, P14		—	—	1.0		$V_{in} = 0\text{V}, V_{CC}$
	上記以外		—	—	0.2		$V_{in} = 0\text{V}, V_{CC}$

表 2.7 I/O入力容量

項目		記号	min	typ	max	単位	測定条件
入力容量	PE2	$C_{in}$	—	—	30	$\text{pF}$	$V_{in} = 0\text{V},$ $f = 1\text{MHz},$ $T_a = 25^\circ\text{C}$
	上記以外		—	—	15		

表 2.8 I/O入力プルアップ抵抗

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (PE2以外)	$R_U$	10	20	50	$\text{k}\Omega$	$V_{in} = 0\text{V}$

表 2.9 I/O出力電圧特性

項目		記号	min	max	単位	測定条件	
Lowレベル出力電圧	RIIC端子	P97, PB0	$V_{OL}$	—	0.6	$\text{V}$	$I_{OL} = 6.0\text{mA}$
		P26, P31		—	0.5		$I_{OL} = 2.0\text{mA}$
	上記以外	—		0.5	$I_{OL} = 2.0\text{mA}$		
Highレベル出力電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$	—	$\text{V}$	$I_{OH} = -2.0\text{mA}$	

表2.10 標準I/O端子VOH電圧特性(参考値)

条件: VCC = 3.3V, VSS = 0V, T<sub>a</sub> = 25°C

項目		記号	min	typ	max	単位	測定条件
Highレベル出力 電圧	全出力端子	V <sub>OH</sub>	—	VCC - 0.02	—	V	I <sub>OH</sub> = -0.5mA
			—	VCC - 0.05	—		I <sub>OH</sub> = -1.0mA
			—	VCC - 0.10	—		I <sub>OH</sub> = -2.0mA
			—	VCC - 0.22	—		I <sub>OH</sub> = -4.0mA

表2.11 標準I/O端子VOH電圧特性(参考値)

条件: VCC = 5.0V, VSS = 0V, T<sub>a</sub> = 25°C

項目		記号	min	typ	max	単位	測定条件
Highレベル出力 電圧	全出力端子	V <sub>OH</sub>	—	VCC - 0.02	—	V	I <sub>OH</sub> = -0.5mA
			—	VCC - 0.04	—		I <sub>OH</sub> = -1.0mA
			—	VCC - 0.08	—		I <sub>OH</sub> = -2.0mA
			—	VCC - 0.15	—		I <sub>OH</sub> = -4.0mA

表2.12 標準I/O端子VOL電圧特性(参考値)

条件: VCC = 3.3V, VSS = 0V, T<sub>a</sub> = 25°C

項目		記号	min	typ	max	単位	測定条件
Lowレベル出力 電圧	全出力端子	V <sub>OL</sub>	—	0.01	—	V	I <sub>OL</sub> = 0.5mA
			—	0.02	—		I <sub>OL</sub> = 1.0mA
			—	0.04	—		I <sub>OL</sub> = 2.0mA
			—	0.08	—		I <sub>OL</sub> = 4.0mA
			—	0.17	—		I <sub>OL</sub> = 8.0mA

表2.13 標準I/O端子VOL電圧特性(参考値)

条件: VCC = 5.0V, VSS = 0V, T<sub>a</sub> = 25°C

項目		記号	min	typ	max	単位	測定条件
Lowレベル出力 電圧	全出力端子	V <sub>OL</sub>	—	0.01	—	V	I <sub>OL</sub> = 0.5mA
			—	0.01	—		I <sub>OL</sub> = 1.0mA
			—	0.03	—		I <sub>OL</sub> = 2.0mA
			—	0.06	—		I <sub>OL</sub> = 4.0mA
			—	0.12	—		I <sub>OL</sub> = 8.0mA

## 2.4.2 動作電流と待機電流

表2.14 高速動作モードの動作電流 (注1) (1/3)

項目			記号	typ	max	単位	測定条件	
通常動作モード	周辺モジュールク ロック停止状態	T <sub>a</sub> = 25°C	I <sub>CC</sub>	2.4	—	mA	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C			—			
		T <sub>a</sub> = 105°C			—			
		T <sub>a</sub> = 125°C			—			
		T <sub>a</sub> = 25°C		1.8	—		ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C			—			
		T <sub>a</sub> = 105°C			—			
		T <sub>a</sub> = 125°C			—			
		T <sub>a</sub> = 25°C		1.5	—		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C			—			
		T <sub>a</sub> = 105°C			—			
		T <sub>a</sub> = 125°C			—			
		T <sub>a</sub> = 25°C		1.0	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C			—			
		T <sub>a</sub> = 105°C			—			
		T <sub>a</sub> = 125°C			—			
	周辺モジュールク ロック供給状態	T <sub>a</sub> = 25°C	12.8	25.3	mA	25.0	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 48MHz	
		T <sub>a</sub> = 85°C						25.0
		T <sub>a</sub> = 105°C						24.9
		T <sub>a</sub> = 125°C						24.6
		T <sub>a</sub> = 25°C	9.9	19.8		19.6	ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB = 32MHz PCLKD = 64MHz	
		T <sub>a</sub> = 85°C						19.6
		T <sub>a</sub> = 105°C						19.5
		T <sub>a</sub> = 125°C						19.2
T <sub>a</sub> = 25°C		7.3	15.1	14.9		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz		
T <sub>a</sub> = 85°C							14.9	
T <sub>a</sub> = 105°C							14.8	
T <sub>a</sub> = 125°C							14.6	
T <sub>a</sub> = 25°C		3.7	8.6	8.3		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz		
T <sub>a</sub> = 85°C							8.3	
T <sub>a</sub> = 105°C							8.3	
T <sub>a</sub> = 125°C							8.2	
スリープモード		周辺モジュールク ロック停止状態	T <sub>a</sub> = 25°C	1.3		—	—	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
			T <sub>a</sub> = 85°C					
	T <sub>a</sub> = 105°C		—					
	T <sub>a</sub> = 125°C		—					
	T <sub>a</sub> = 25°C	1.0	—	—	ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64			
	T <sub>a</sub> = 85°C					—		
	T <sub>a</sub> = 105°C					—		
	T <sub>a</sub> = 125°C					—		

表 2.14 高速動作モードの動作電流 (注1) (2/3)

項目			記号	typ	max	単位	測定条件
スリープモード	周辺モジュールク ロック停止状態	T <sub>a</sub> = 25°C	I <sub>CC</sub>	0.8	—	mA	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T <sub>a</sub> = 85°C			—		
		T <sub>a</sub> = 105°C			—		
		T <sub>a</sub> = 125°C			—		
		T <sub>a</sub> = 25°C		0.7	—		
		T <sub>a</sub> = 85°C			—		
		T <sub>a</sub> = 105°C			—		
		T <sub>a</sub> = 125°C			—		
	周辺モジュールク ロック供給状態	T <sub>a</sub> = 25°C	7.4	—	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 48MHz		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	6.2	—		ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB = 32MHz PCLKD = 64MHz	
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	4.4	—		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz	
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
T <sub>a</sub> = 25°C	2.6	—	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz				
T <sub>a</sub> = 85°C		—					
T <sub>a</sub> = 105°C		—					
T <sub>a</sub> = 125°C		—					
ディープ スリープモード	周辺モジュールク ロック停止状態	T <sub>a</sub> = 25°C	0.9	—	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	0.7	—	ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	0.6	—	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	0.6	—	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			

表2.14 高速動作モードの動作電流(注1)(3/3)

項目			記号	typ	max	単位	測定条件
ディープ スリープモード	周辺モジュールク ロック供給状態	T <sub>a</sub> = 25°C	I <sub>CC</sub>	6.6	—	mA	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 48MHz
		T <sub>a</sub> = 85°C			—		
		T <sub>a</sub> = 105°C			—		
		T <sub>a</sub> = 125°C			—		
		T <sub>a</sub> = 25°C	5.7	—	ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB = 32MHz PCLKD = 64MHz		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	4.0	—	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	2.4	—	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
BGO動作時の増加分(注2)				2.1	—		

注1. 動作電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップ抵抗をオフ状態にした場合の値です。

注2. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。各動作電流にはBGO動作時の電流は含まれていません。

表 2.15 中速動作モードの動作電流 (注1) (1/2)

項目		記号	typ	max	単位	測定条件		
通常動作モード	周辺モジュールク ロック停止状態	T <sub>a</sub> = 25°C	I <sub>CC</sub>	1.4	—	mA	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C		—				
		T <sub>a</sub> = 105°C		—				
		T <sub>a</sub> = 125°C		—				
		T <sub>a</sub> = 25°C	0.9	—	—	—	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C		—				
		T <sub>a</sub> = 105°C		—				
		T <sub>a</sub> = 125°C		—				
		T <sub>a</sub> = 25°C	0.2	—	—	—	ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C		—				
		T <sub>a</sub> = 105°C		—				
		T <sub>a</sub> = 125°C		—				
	周辺モジュールク ロック供給状態	T <sub>a</sub> = 25°C	7.1	14.7	14.5	14.4	14.2	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz
		T <sub>a</sub> = 85°C						
		T <sub>a</sub> = 105°C						
		T <sub>a</sub> = 125°C						
		T <sub>a</sub> = 25°C	3.5	8.1	7.9	7.9	7.8	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz
		T <sub>a</sub> = 85°C						
		T <sub>a</sub> = 105°C						
		T <sub>a</sub> = 125°C						
T <sub>a</sub> = 25°C		1.7	4.9	4.7	4.6	4.6	ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = 1MHz	
T <sub>a</sub> = 85°C								
T <sub>a</sub> = 105°C								
T <sub>a</sub> = 125°C								
スリープモード	周辺モジュールク ロック停止状態	T <sub>a</sub> = 25°C	0.8	—	—	—	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C						
		T <sub>a</sub> = 105°C						
		T <sub>a</sub> = 125°C						
		T <sub>a</sub> = 25°C	0.7	—	—	—	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C						
		T <sub>a</sub> = 105°C						
		T <sub>a</sub> = 125°C						
	T <sub>a</sub> = 25°C	0.2	—	—	—	ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64		
	T <sub>a</sub> = 85°C							
	T <sub>a</sub> = 105°C							
	T <sub>a</sub> = 125°C							
	周辺モジュールク ロック供給状態	T <sub>a</sub> = 25°C	4.4	—	—	—	—	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz
		T <sub>a</sub> = 85°C						
		T <sub>a</sub> = 105°C						
		T <sub>a</sub> = 125°C						

表 2.15 中速動作モードの動作電流 (注1) (2/2)

項目			記号	typ	max	単位	測定条件
スリープモード	周辺モジュールクロック供給状態	T <sub>a</sub> = 25°C	I <sub>CC</sub>	2.6	—	mA	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz
		T <sub>a</sub> = 85°C			—		
		T <sub>a</sub> = 105°C			—		
		T <sub>a</sub> = 125°C			—		
		T <sub>a</sub> = 25°C		1.4	—		ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = 1MHz
		T <sub>a</sub> = 85°C			—		
		T <sub>a</sub> = 105°C			—		
		T <sub>a</sub> = 125°C			—		
ディープスリープモード	周辺モジュールクロック停止状態	T <sub>a</sub> = 25°C	0.6	—	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	0.6	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
	T <sub>a</sub> = 25°C	0.1	—	ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64			
	T <sub>a</sub> = 85°C		—				
	T <sub>a</sub> = 105°C		—				
	T <sub>a</sub> = 125°C		—				
	周辺モジュールクロック供給状態	T <sub>a</sub> = 25°C	4.0	—	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz		
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
		T <sub>a</sub> = 25°C	2.4	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz	
		T <sub>a</sub> = 85°C		—			
		T <sub>a</sub> = 105°C		—			
		T <sub>a</sub> = 125°C		—			
T <sub>a</sub> = 25°C	1.3	—	ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = 1MHz				
T <sub>a</sub> = 85°C		—					
T <sub>a</sub> = 105°C		—					
T <sub>a</sub> = 125°C		—					
BGO動作時の増加分 (注2)				2.1	—		

注1. 動作電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップ抵抗をオフ状態にした場合の値です。  
 注2. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。各動作電流にはBGO動作時の電流は含まれていません。

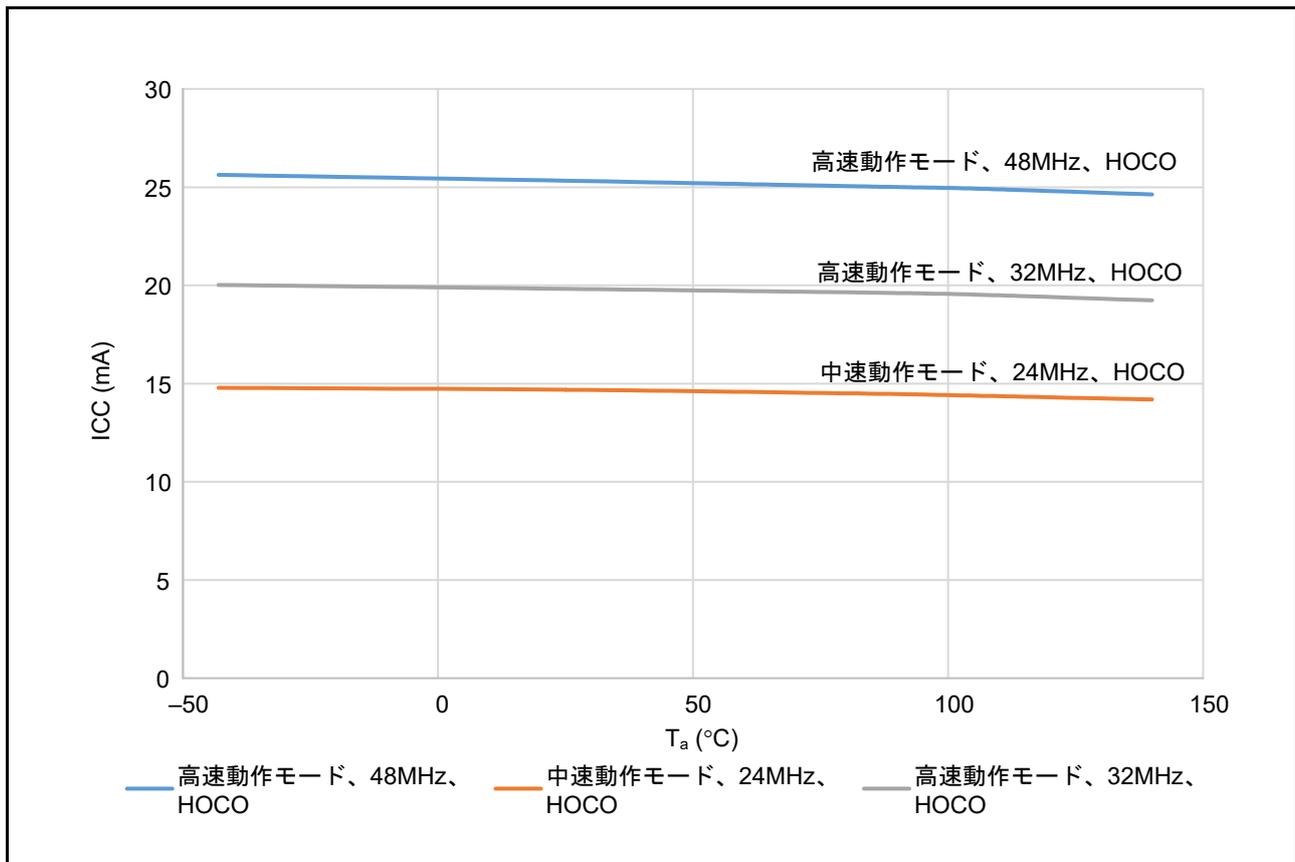


図 2.2 通常動作モード時の温度依存性

表2.16 ソフトウェアスタンバイモードの待機電流 (注1、注2)

項目	記号	typ	max	単位	測定条件	
待機電流(3.3V)	$T_a = 25^\circ\text{C}$	$I_{\text{STBY}}$	0.24	0.54	$\mu\text{A}$	
	$T_a = 55^\circ\text{C}$		0.41	2.02		
	$T_a = 85^\circ\text{C}$		1.10	8.51		
	$T_a = 105^\circ\text{C}$		2.58	20.98		
	$T_a = 125^\circ\text{C}$		6.24	48.36		
待機電流(5.0V)	$T_a = 25^\circ\text{C}$	0.27	0.57			
	$T_a = 55^\circ\text{C}$	0.44	2.15			
	$T_a = 85^\circ\text{C}$	1.15	9.02			
	$T_a = 105^\circ\text{C}$	2.68	22.21			
	$T_a = 125^\circ\text{C}$	6.49	51.27			

注1. 待機電流値はすべての出力端子を無負荷状態にして、さらに内蔵ブルアップ抵抗をオフ状態にした場合の値です。

注2. IWDTC、LVD、CMPCは動作停止です。

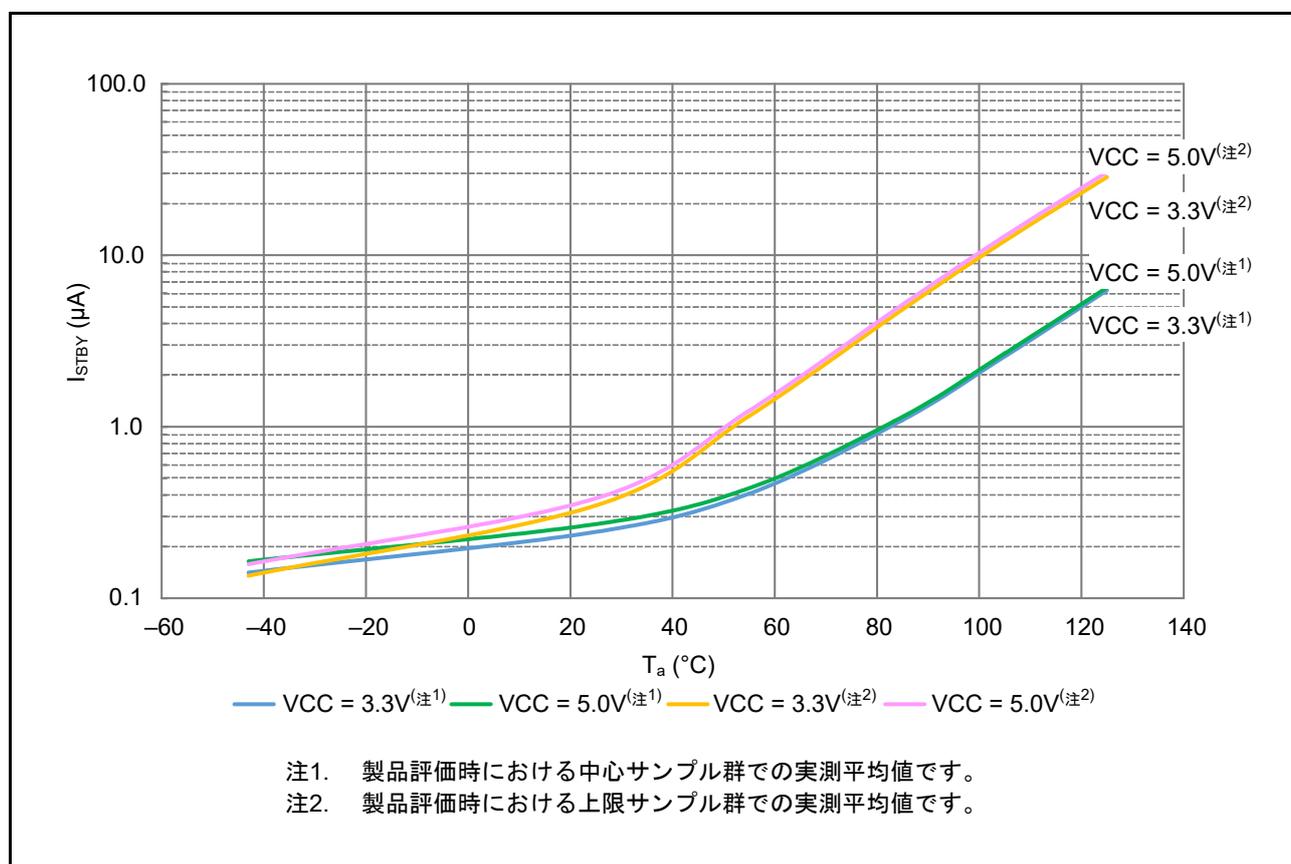


図 2.3 ソフトウェアスタンバイモード時の温度依存性

表2.17 機能別動作電流

条件：特に指定がない限り、ICLK = PCLKB = PCLKD = 48MHz

項目	min	typ	max	単位
電圧検出回路(LVD0)	—	0.04	—	μA
電圧検出回路(LVD1, LVD2) (1チャンネルあたり)	—	0.12	—	
独立ウォッチドッグタイマ	—	0.32	—	
クロック周波数精度測定回路	—	0.11	—	mA
データトランスファコントローラ	—	2.50	—	
マルチファンクションタイマパルスユニット3	—	1.32	—	
ポートアウトプットイネーブル3	—	0.14	—	
汎用PWMタイマ	—	0.69	—	
GPTW用ポートアウトプットイネーブル	—	0.05	—	
8ビットタイマ(1ユニットあたり)	—	0.06	—	
コンペアマッチタイマ	—	0.05	—	
シリアルコミュニケーションインタフェース(1ユニットあたり)	—	0.41	—	
I <sup>2</sup> Cバスインタフェース	—	0.20	—	
CRC演算器	—	0.08	—	
三角関数演算器	—	0.33	—	
12ビットA/Dコンバータ(1ユニットあたり)(注1)	—	1.39	1.73	
12ビットA/Dコンバータリファレンス(1ユニットあたり)(注1)	—	0.11	0.13	
プログラマブルゲインアンプ	—	0.42	0.80	
D/Aコンバータ(1ユニットあたり)	—	0.35	0.53	
温度センサ	—	0.12	—	
コンパレータC(1ユニットあたり)	—	0.09	0.17	
データ演算回路	—	0.09	—	

注1. PCLKD = 64MHzの条件

## 2.4.3 VCC 立ち上がり勾配と電源リップル特性

表 2.18 VCC 立ち上がり勾配

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時(注1)	SrVCC	0.02	—	20	ms/V	
	起動時間短縮時(注2)		0.02	—	2		
	起動時電圧監視0リセット有効時(注3、注4)		0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS) = 11b を設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS) = 01b を設定した場合です。

注3. OFS1.LVDAS = 0 を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

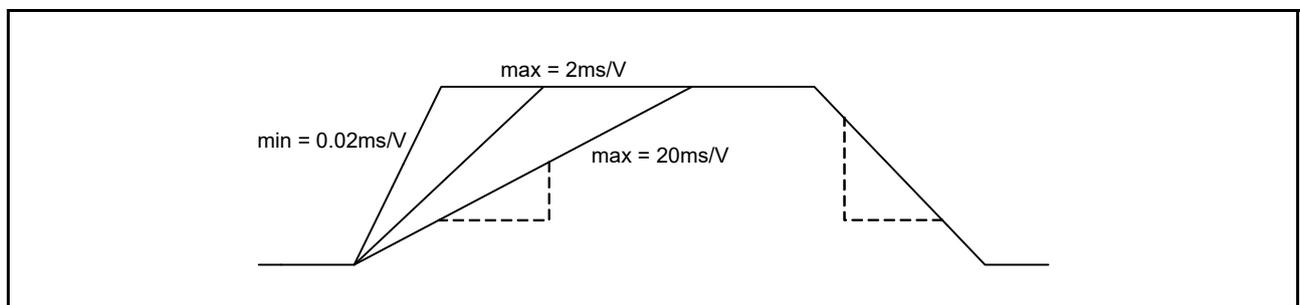


図 2.4 電源投入時 VCC 立ち上がり勾配

表 2.19 電源リップル特性

電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 2.5 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 2.5 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 2.5 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動が $VCC \pm 10\%$ を超える場合

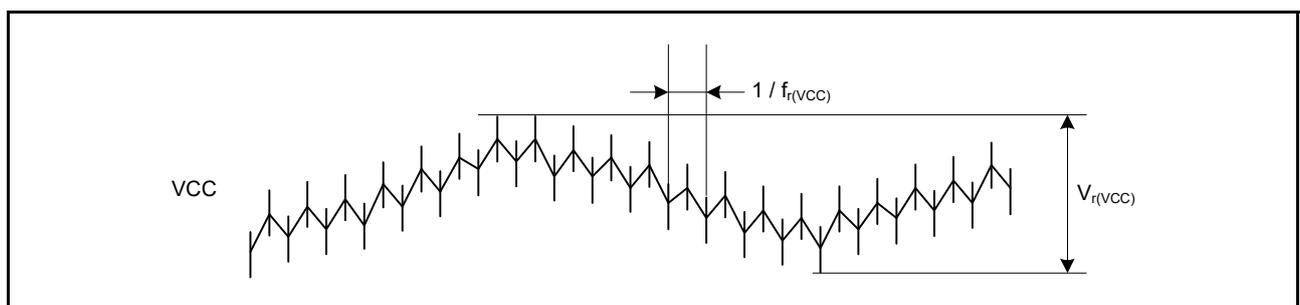


図 2.5 電源リップル波形

## 2.4.4 VCL 端子電圧

表 2.20 VCL 端子電圧

項目	記号	min	typ	max	単位	測定条件
VCL 端子出力電圧	V <sub>CL</sub>	—	1.5	—	V	

## 2.4.5 RAM データ保持特性

表 2.21 RAM データ保持特性

項目	記号	min	typ	max	単位	測定条件
RAM 保持電圧	V <sub>RAM</sub>	2.7	—	—	V	

## 2.4.6 熱抵抗値 (参考値)

表 2.22 熱抵抗値(参考値)

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	64ピンLFQFP (PLQP0064KB-C)	θ <sub>ja</sub>	—	—	53.7	°C/W	JESD51-2およびJESD51-7 準拠
	64ピンLQFP (PLQP0064GA-A)		—	—	53.3		
	52ピンLQFP (PLQP0052JA-A)		—	—	45.7		
	48ピンLFQFP (PLQP0048KB-B)		—	—	64		
	44ピンLQFP (PLQP0044GF-A)		—	—	53		
	32ピンLQFP (PLQP0032GB-A)		—	—	63.2		
	48ピンHWQFN (PWQN0048KC-A)		—	—	28.7 (注1)		
	32ピンHWQFN (PWQN0032KE-A)		—	—	35.8 (注1)		
	24ピンHWQFN (PWQN0024KG-A)		—	—	43.6 (注1)		
	64ピンLFQFP (PLQP0064KB-C)	ψ <sub>jt</sub>	—	—	2.02		
	64ピンLQFP (PLQP0064GA-A)		—	—	2.02		
	52ピンLQFP (PLQP0052JA-A)		—	—	1.89		
	48ピンLFQFP (PLQP0048KB-B)		—	—	5.01		
	44ピンLQFP (PLQP0044GF-A)		—	—	2.02		
	32ピンLQFP (PLQP0032GB-A)		—	—	5.13		
	48ピンHWQFN (PWQN0048KC-A)		—	—	0.21 (注1)		
	32ピンHWQFN (PWQN0032KE-A)		—	—	0.3 (注1)		
	24ピンHWQFN (PWQN0024KG-A)		—	—	0.43 (注1)		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注1. exposed die padにVSSを接続したときの値です。

## 2.5 AC 特性

## 2.5.1 クロックタイミング

表2.23 動作周波数(高速動作モード)

項目		記号	min	typ	max	単位
最高動作周波数	システムクロック (ICLK)	f	—	—	48	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	48	
	周辺モジュールクロック (PCLKB)		—	—	48	
	周辺モジュールクロック (PCLKD)		1	—	64	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

表2.24 動作周波数(中速動作モード)

項目		記号	min	typ	max	単位
最高動作周波数	システムクロック (ICLK)	f	—	—	24	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	24	
	周辺モジュールクロック (PCLKB)		—	—	24	
	周辺モジュールクロック (PCLKD)		1	—	24	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

表2.25 EXTERNALクロックタイミング

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	$t_{Xcyc}$	50	—	—	ns	図2.6
EXTAL外部クロック入力周波数	$f_{XMAIN}$	—	—	20	MHz	
EXTAL外部クロック入力Highパルス幅	$t_{XH}$	20	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	$t_{XL}$	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	$t_{Xr}$	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	$t_{Xf}$	—	—	5	ns	
EXTAL外部クロック入力待機時間(注1)	$t_{XWT}$	0.5	—	—	μs	

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

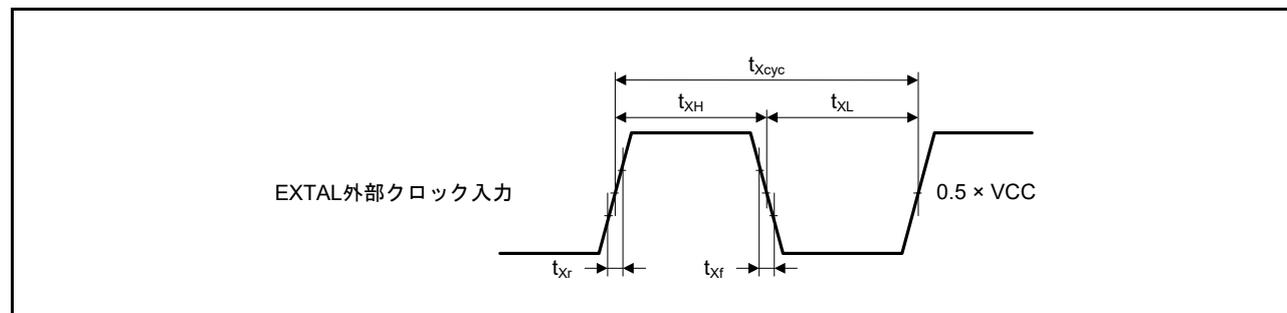


図2.6 EXTERNAL外部クロック入力タイミング

表2.26 メインクロックタイミング

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	$f_{\text{MAIN}}$	1	—	20	MHz	
メインクロック発振安定時間(水晶振動子)(注1)	$t_{\text{MAINOSC}}$	—	3	—	ms	図2.7
メインクロック発振安定時間(セラミック共振子)(注1)	$t_{\text{MAINOSC}}$	—	50	—	$\mu\text{s}$	

注1. 8MHzの発振子を使用した場合の参考値です。  
 メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。  
 MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

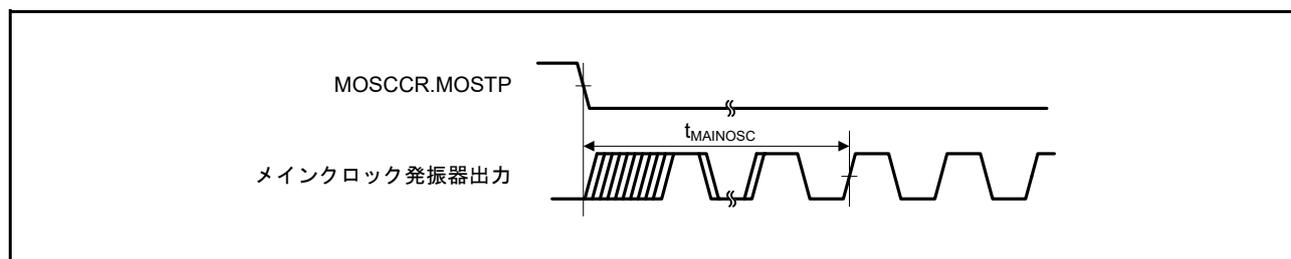


図 2.7 メインクロック発振開始タイミング

表2.27 LOCO, IWDT専用低速クロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロック発振周波数	$f_{\text{LOCO}}$	3.44 (-14%)	4.0	4.56 (+14%)	MHz	
LOCOクロック発振周波数誤差	$\Delta f_{\text{LOCO}}$	—	—	$\pm 14$	%	
LOCOクロック発振安定時間	$t_{\text{LOCO}}$	—	—	0.5	$\mu\text{s}$	図2.8
IWDT専用クロック発振周波数	$f_{\text{ILOCO}}$	12.75 (-15%)	15	17.25 (+15%)	kHz	
IWDT専用クロック発振周波数誤差	$\Delta f_{\text{ILOCO}}$	—	—	$\pm 15$	%	
IWDT専用クロック発振安定時間	$t_{\text{ILOCO}}$	—	—	80	$\mu\text{s}$	図2.9

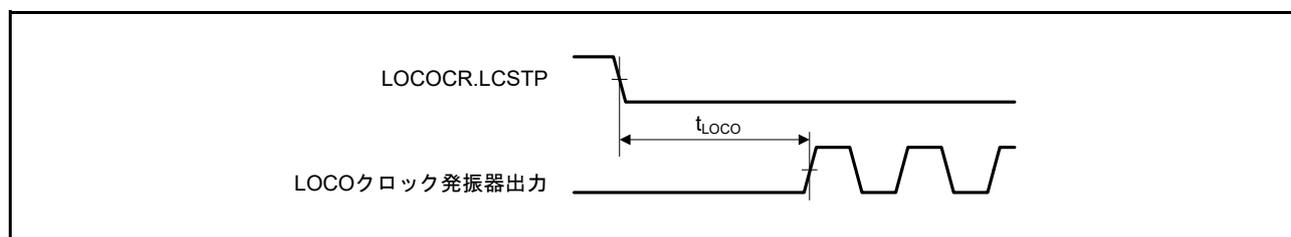


図 2.8 LOCO クロック発振開始タイミング

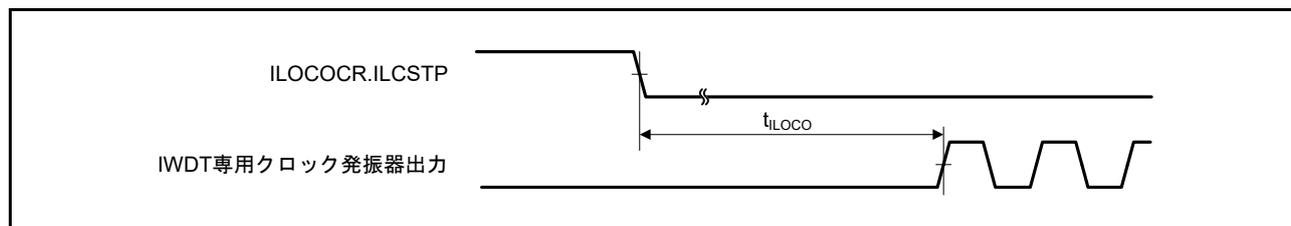


図 2.9 IWDT 専用クロック発振開始タイミング

表2.28 HOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
HOCO発振周波数	$f_{\text{HOCO}}$	23.76 (-1.0%)	24	24.24 (+1.0%)	MHz	$T_a = -40 \sim +125^\circ\text{C}$
		31.68 (-1.0%)	32	32.32 (+1.0%)		
		47.52 (-1.0%)	48	48.48 (+1.0%)		
		63.36 (-1.0%)	64	64.64 (+1.0%)		
HOCO発振周波数誤差	$\Delta f_{\text{HOCO}}$	—	—	$\pm 1.0$	%	$T_a = -40 \sim +125^\circ\text{C}$
HOCOクロック発振安定時間	$t_{\text{HOCO}}$	—	—	4.95	$\mu\text{s}$	図2.11

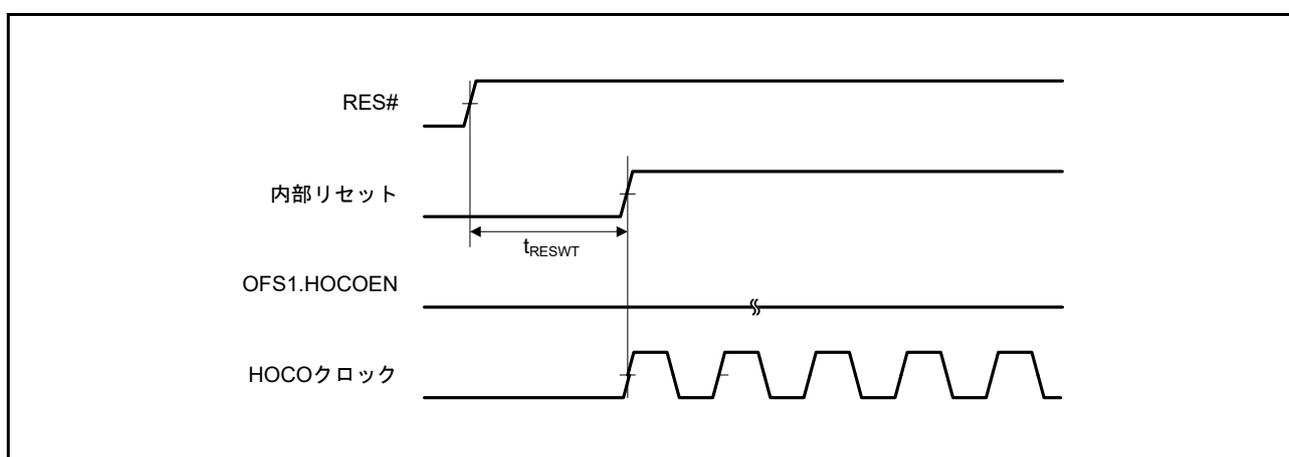


図 2.10 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0”設定時のリセット解除後)

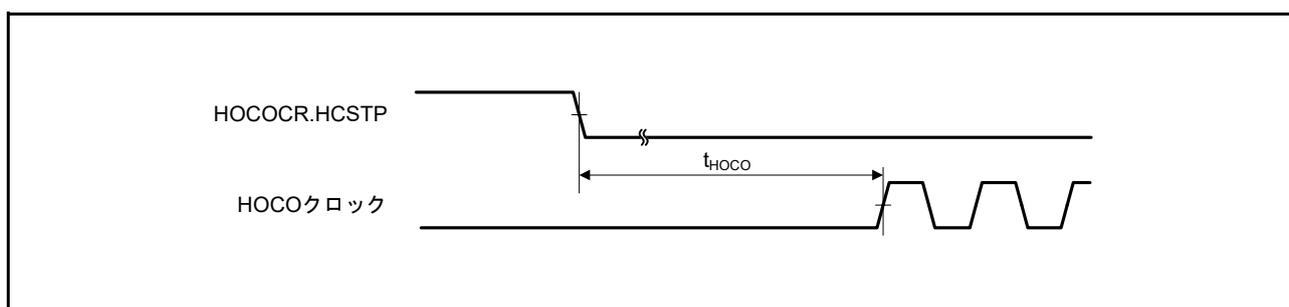


図 2.11 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

表2.29 PLLクロックタイミング

項目	記号	min	typ	max	単位	測定条件
PLL入力周波数	$f_{PLLIN}$	4	—	12.5	MHz	
PLLクロック発振周波数	$f_{PLL}$	24	—	64	MHz	
PLLクロック発振安定時間	$t_{PLL}$	—	—	81.4	$\mu$ s	図2.12
PLL自励発振周波数	$f_{PLLFR}$	—	9	—	MHz	

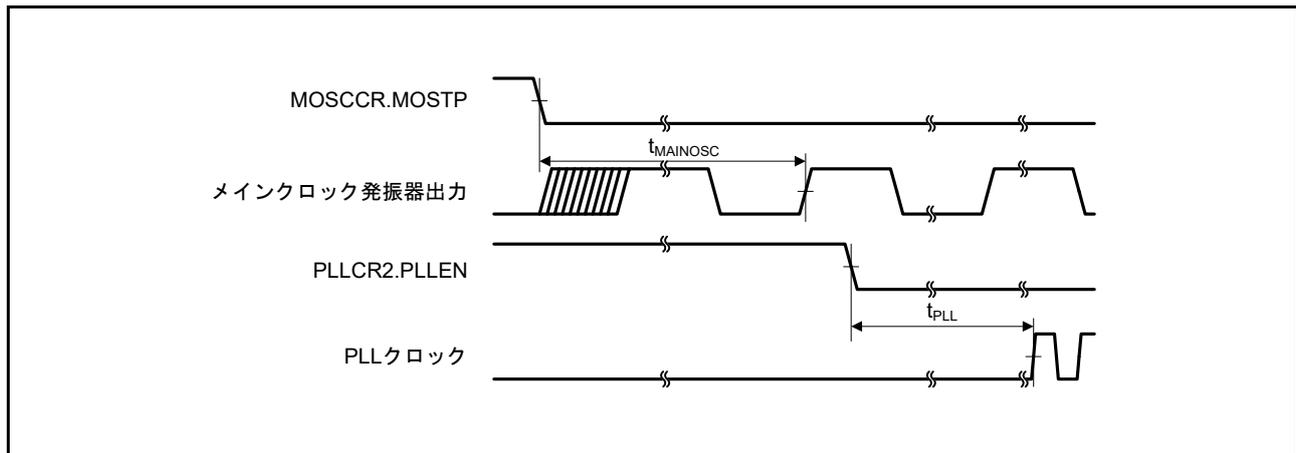


図 2.12 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

### 2.5.2 リセットタイミング

表2.30 リセットタイミング

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	$t_{RESWP}$	10.5	—	—	ms	図2.13
	上記以外	$t_{RESW}$	30	—	—	$\mu$ s	図2.14
RES#解除後待機時間 (コールドスタート)	通常起動時(注1)	$t_{RESWT}$	—	27.5	—	ms	図2.13
	起動時間短縮時(注2)	$t_{RESWT}$	—	850	—	$\mu$ s	
	起動時電圧監視0リセット有効時(注4、注5)	$t_{RESWT}$	—	850	—	$\mu$ s	
RES#解除後待機時間 (ウォームスタート)	LVD0無効時(注3)	$t_{RESWT}$	—	120	—	$\mu$ s	図2.14
	LVD0有効時(注4)		—	850	—	$\mu$ s	
内部リセット時間 (独立ウォッチドックタイ マリセット、ソフトウェア リセット)	LVD0無効時(注3)	$t_{RESWT2}$	—	190	—	$\mu$ s	
	LVD0有効時(注4)		—	910	—	$\mu$ s	

注1. OFS1.(FASTSTUP, LVDAS) = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS) = 01bを設定した場合です。

注3. OFS1.LVDAS = 1を設定した場合です。

注4. OFS1.LVDAS = 0を設定した場合です。

注5. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の時間となります。

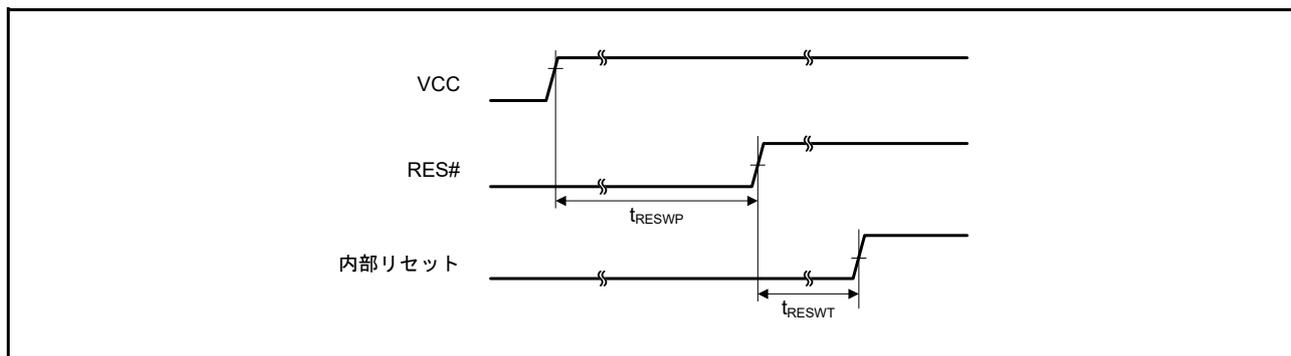


図 2.13 電源投入時リセット入力タイミング

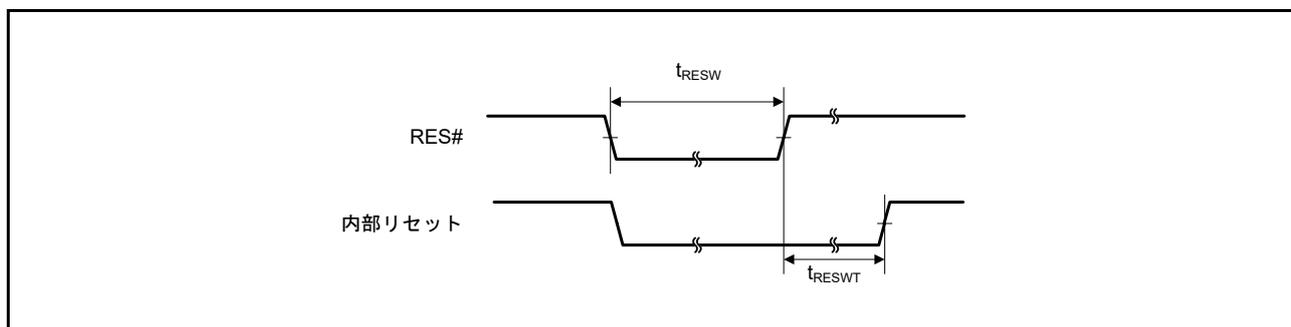


図 2.14 リセット入力タイミング

## 2.5.3 低消費電力状態からの復帰タイミング

表2.31 低消費電力状態からの復帰タイミング(1)

項目		記号	min	typ	max	単位	測定条件	
発振安定待機時間(注1)	高速動作モード/ 中速動作モード	メインロック発振器選択	$t_{SBYOSCWTMC}$	—	—	$t_{LOCO} + (16 + MOSCWTCR \text{ 設定のサイクル数}) / f_{LOCO} + 3 / f_{MOSC} + 1 / f_{ICLK}$	μs	
		PLL回路選択(メインロック発振器選択)	$t_{SBYOSCWTPC}$	—	—	$t_{LOCO} + (280 + MOSCWTCR \text{ 設定のサイクル数}) / f_{LOCO} + 3 / f_{PLL} + 1 / f_{ICLK}$		
		HOCO選択	$t_{SBYOSCWTTHO}$	—	—	$t_{LOCO} + 16 / f_{LOCO} + 3 / f_{HOCO} + 1 / f_{ICLK}$		
		PLL回路選択(HOCO選択)	$t_{SBYOSCWTTPH}$	—	—	$t_{LOCO} + 296 / f_{LOCO} + 3 / f_{PLL} + 1 / f_{ICLK}$		
		LOCO選択	$t_{SBYOSCWTLO}$	—	—	$t_{LOCO} + 1 / f_{ICLK}$		
ソフトウェアスタンバイモード解除シーケンサ動作時間(注2)		$t_{SBYSEQ}$	—	—	$4 / f_{LOCO} + 11 / f_{ICLK} + 3 / f_{PCLKB} + 3n / f_{ソースクロック}$			
ソフトウェアスタンバイモード解除後復帰時間(注3)	高速動作モード/ 中速動作モード	メインロック発振器選択	$t_{SBYMC}$	—	—	$t_{SBYOSCWTMC} + t_{SBYSEQ}$		図 2.15
		PLL回路選択(メインロック発振器選択)	$t_{SBYPC}$	—	—	$t_{SBYOSCWTPC} + t_{SBYSEQ}$		
		HOCO選択	$t_{SBYHO}$	—	—	$t_{SBYOSCWTTHO} + t_{SBYSEQ}$		
		PLL回路選択(HOCO選択)	$t_{SBYPH}$	—	—	$t_{SBYOSCWTTPH} + t_{SBYSEQ}$		
		LOCO選択	$t_{SBYLO}$	—	—	$t_{SBYOSCWTLO} + t_{SBYSEQ}$		

注1. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は動作している発振器の内、最も大きな値が選択されます。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。またソースクロックはSCKCR3.CKSELで設定したクロックです。

注3. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

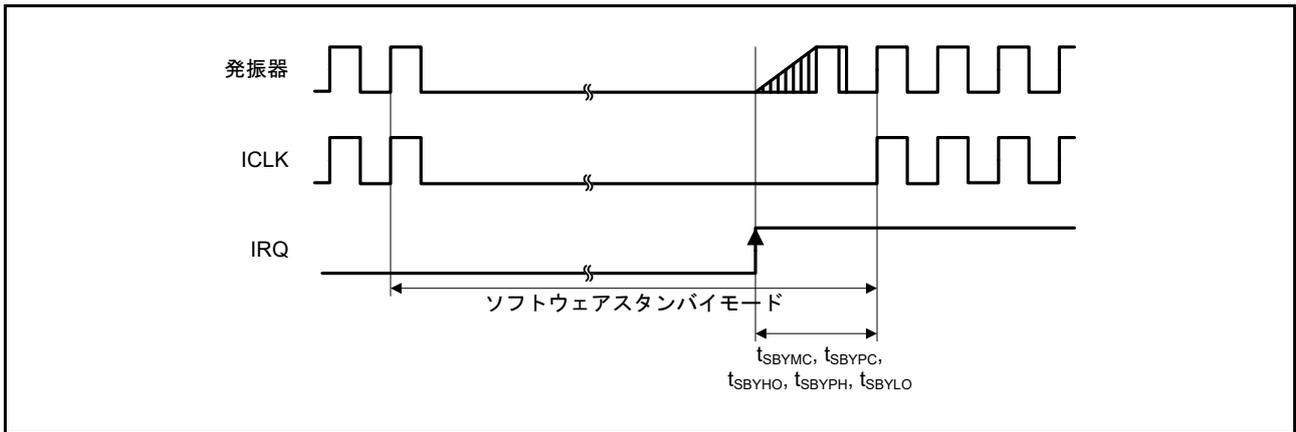


図 2.15 ソフトウェアスタンバイモード復帰タイミング

表 2.32 低消費電力状態からの復帰タイミング(5)

項目		記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間(注1、注2)	高速動作 モード	$t_{DSL P}$	—	—	$4 / f_{L O C O} + 8 / f_{I C L K} + 2 / f_{P C L K B} + 3 n / f_{ソ ー ス ク ロ ッ ク}$	$\mu s$	図 2.16
	中速動作 モード						

注1. ディープスリープモードでは発振器は発振を継続します。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。またソースクロックはSCKCR3.CKSELで設定したクロックです。

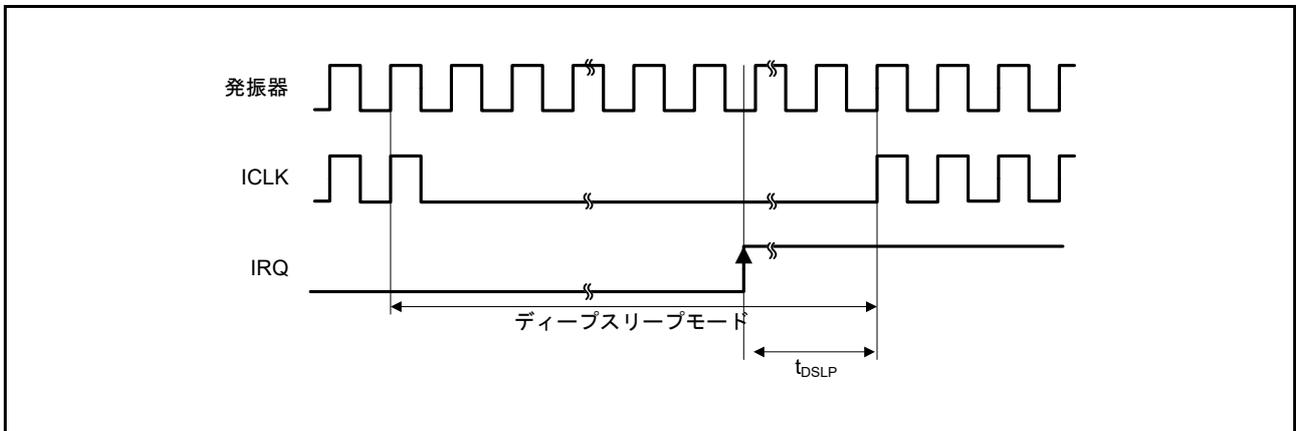


図 2.16 ディープスリープモード解除タイミング

表 2.33 動作モード遷移時間

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	24MHz	—	$5 / f_{I C L K} + 3 / f_{F C L K}$	—	$\mu s$
中速動作モード	高速動作モード	24MHz	—	$5 / f_{I C L K} + 3 / f_{F C L K}$	—	

## 2.5.4 制御信号タイミング

表2.34 制御信号タイミング

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	$t_{\text{NMIW}}$	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{\text{PBcyc}} \times 2 \leq 200\text{ns}$
		$t_{\text{PBcyc}} \times 2$ (注1)	—	—			$t_{\text{PBcyc}} \times 2 > 200\text{ns}$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{\text{NMICK}} \times 3 \leq 200\text{ns}$
		$t_{\text{NMICK}} \times 3.5$ (注2)	—	—			$t_{\text{NMICK}} \times 3 > 200\text{ns}$
IRQパルス幅	$t_{\text{IRQW}}$	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{\text{PBcyc}} \times 2 \leq 200\text{ns}$
		$t_{\text{PBcyc}} \times 2$ (注1)	—	—			$t_{\text{PBcyc}} \times 2 > 200\text{ns}$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{\text{IRQCK}} \times 3 \leq 200\text{ns}$
		$t_{\text{IRQCK}} \times 3.5$ (注3)	—	—			$t_{\text{IRQCK}} \times 3 > 200\text{ns}$

注. ソフトウェアスタンバイモード時は最小200nsです。

注1.  $t_{\text{PBcyc}}$  はPCLKBの周期を指します。

注2.  $t_{\text{NMICK}}$  はNMI デジタルフィルタサンプリングクロックの周期です。

注3.  $t_{\text{IRQCK}}$  はIRQi デジタルフィルタサンプリングクロック (i = 0 ~ 7) の周期を指します。

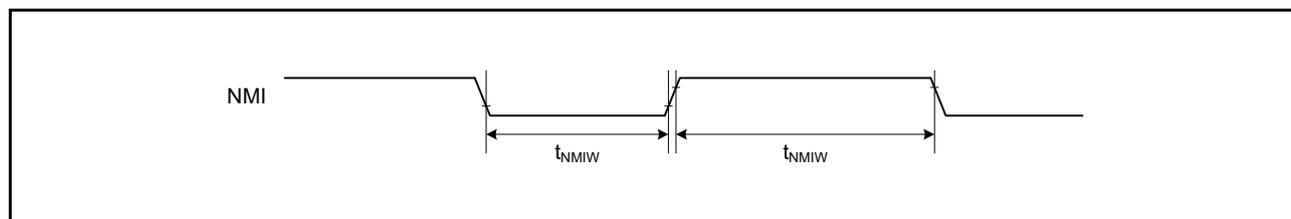


図 2.17 NMI 割り込み入カタイミング

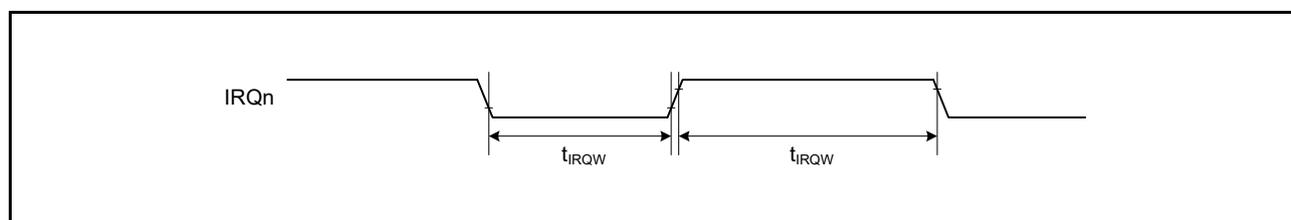


図 2.18 IRQ 割り込み入カタイミング

## 2.5.5 内蔵周辺モジュールタイミング

### 2.5.5.1 I/Oポート

表2.35 I/Oポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	$t_{PRW}$	1.5	—	$t_{PBcyc}$	図2.19

注1.  $t_{PBcyc}$  : PCLKBの周期

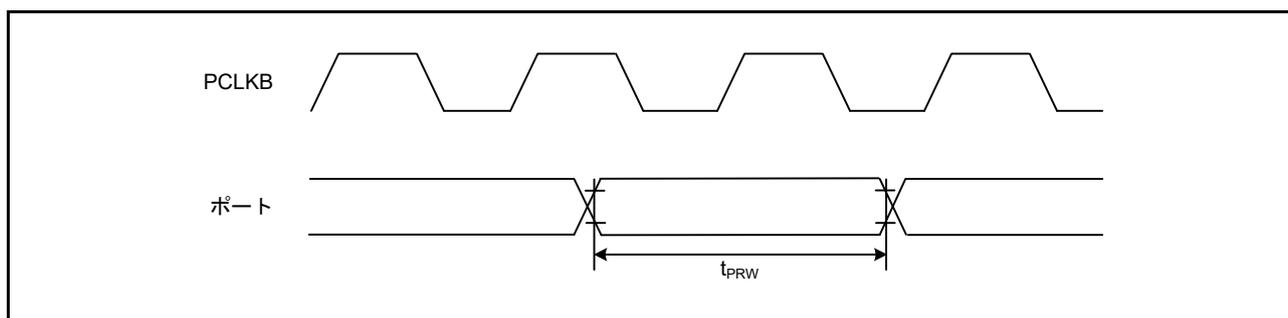


図 2.19 I/Oポート入力タイミング

### 2.5.5.2 MTU

表2.36 MTUタイミング

項目		記号	min	max	単位 (注1)	測定条件	
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	$t_{MTICW}$	1.5	—	$t_{PBcyc}$	図2.20
		両エッジ指定		2.5	—		
インプットキャプチャ入力 立ち上がり/立ち下がり時間		$t_{TICr}$ , $t_{TICf}$	—	0.1	$\mu\text{s/V}$		
MTU	タイマクロックパルス幅	単エッジ指定	$t_{MTCKWH}$ , $t_{MTCKWL}$	1.5	—	$t_{PBcyc}$	図2.21
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		
タイマクロック立ち上がり/立ち下がり時間		$t_{TCKr}$ , $t_{TCKf}$	—	0.1	$\mu\text{s/V}$		

注1.  $t_{PBcyc}$  : PCLKBの周期

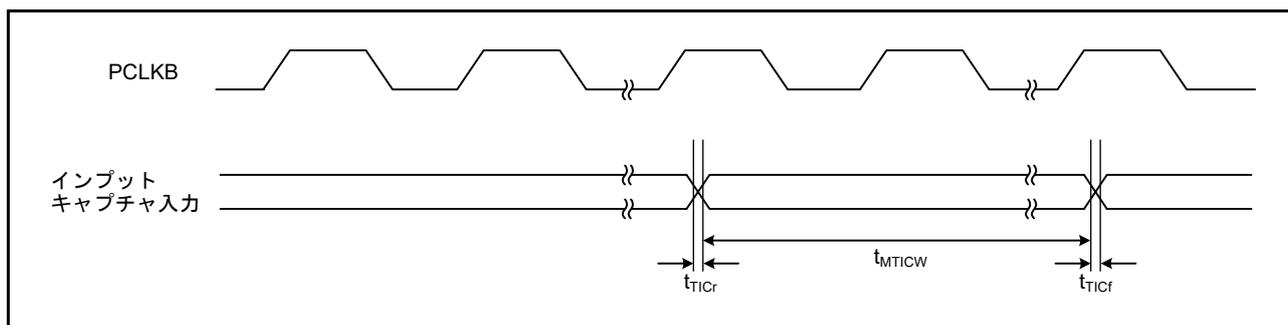


図 2.20 MTU 入出力タイミング

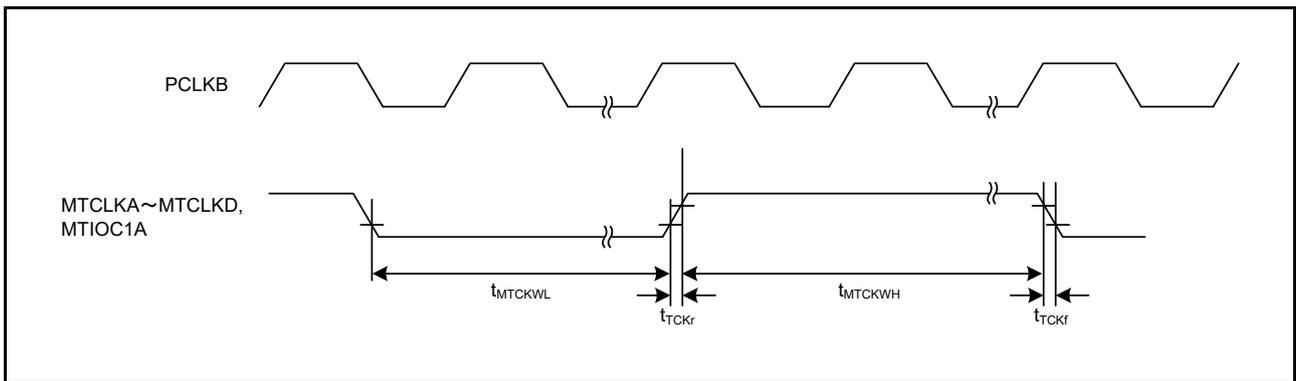


図 2.21 MTU クロック入カタイミング

2.5.5.3 POE

表 2.37 POE タイミング

項目		記号	min	max	単位 (注1)	測定条件	
POE	POE#入力パルス幅	$t_{POEW}$	1.5	—	$t_{PBcyc}$	図 2.22	
	POE#入力立ち上がり/立ち下がり時間	$t_{POEr}$ $t_{POEf}$	—	0.1	$\mu s/V$		
	出力ディセーブル時間	POE#端子の変化	$t_{POEDI}$	—	$5 \times t_{PBcyc} + 0.24$	$\mu s$	図 2.23 立ち下がりエッジ検出時 (ICSRm.POE <sub>n</sub> M[3:0] = 0000 (m = 1, 3 ~ 5, 7, n = 0, 8, 10 ~ 12))
		出力端子の短絡	$t_{POEDO}$	—	$3 \times t_{PBcyc} + 0.2$		図 2.24
		コンパレータ出力検出	$t_{POEDC}$	—	$5 \times t_{PBcyc} + 0.2$		図 2.25 コンパレータ C のノイズフィルタ不使用時 (CMPCTL.NFE = 0)、コンパレータ C の検出時間は除く
		レジスタ設定	$t_{POEDS}$	—	$t_{PBcyc} + 0.2$		図 2.26 レジスタアクセス時間は除く
		発振停止検出	$t_{POEDOS}$	—	8		図 2.27

注 1.  $t_{PBcyc}$  : PCLKB の周期

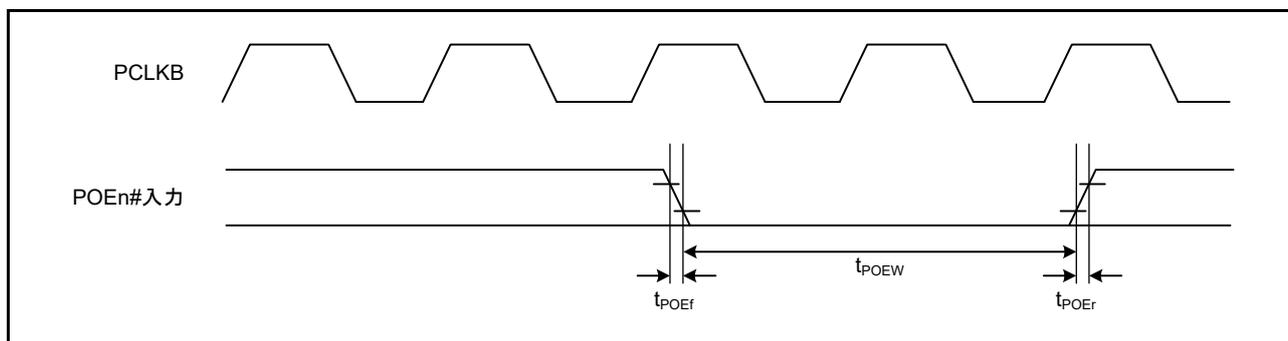


図 2.22 POE# 入力タイミング (n = 0, 8, 10 ~ 12))

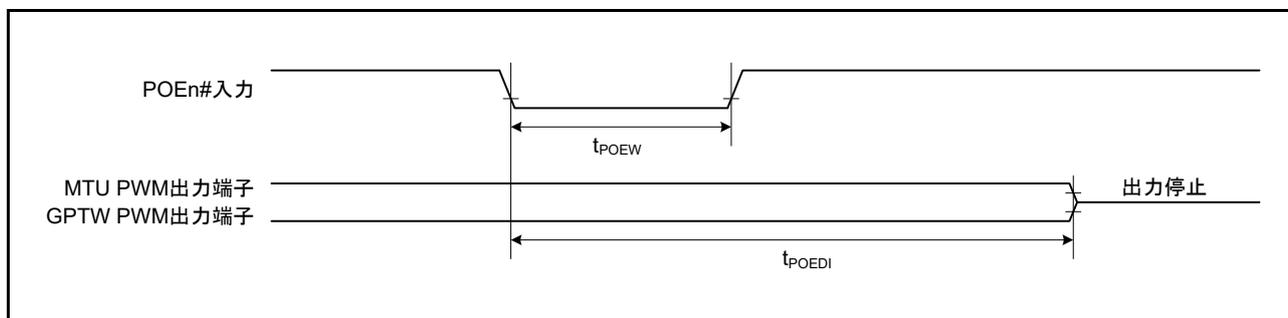


図 2.23 POE 出力ディセーブル時間 (POE# 端子の変化) (n = 0, 8, 10 ~ 12)

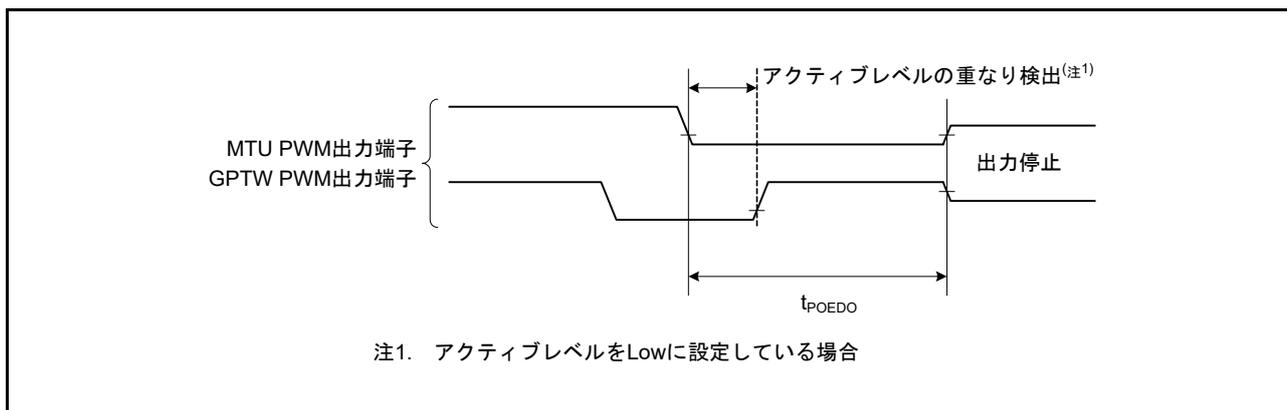


図 2.24 POE 出力ディセーブル時間 (出力端子の短絡)

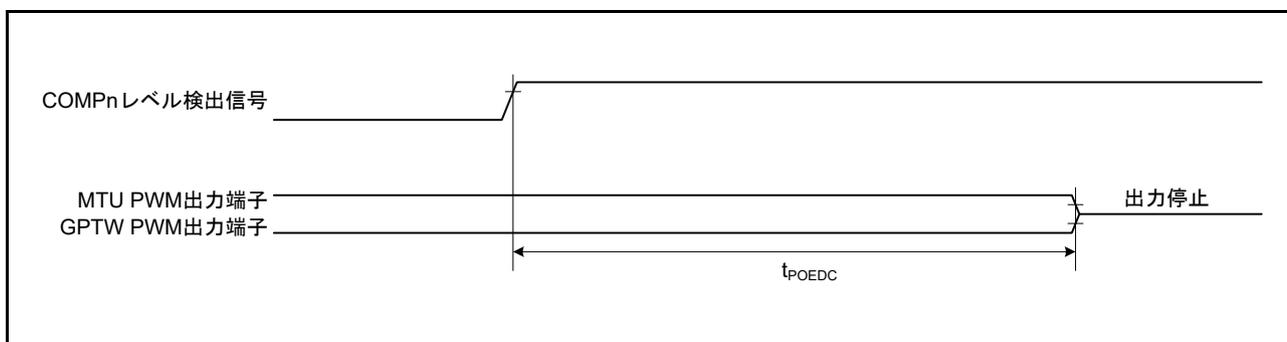


図 2.25 POE 出力ディセーブル時間 (コンパレータ出力検出) (n = 0 ~ 2)

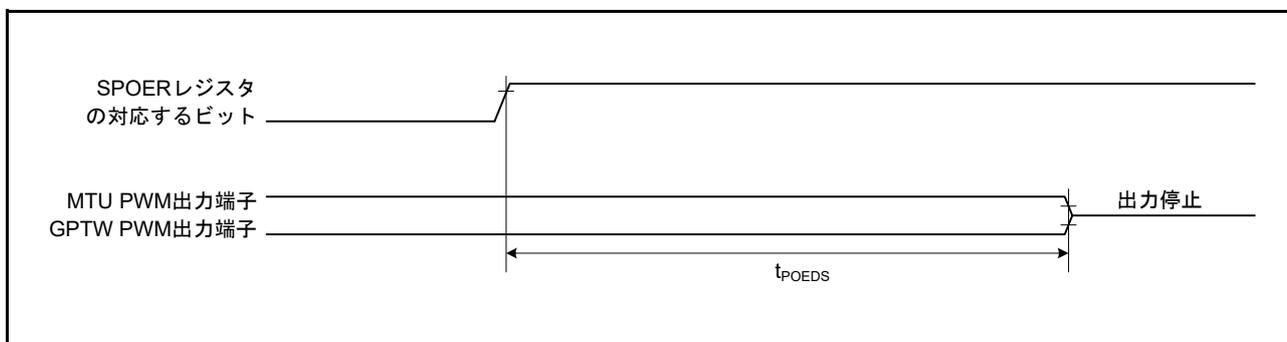


図 2.26 POE 出力ディセーブル時間 (レジスタ設定)

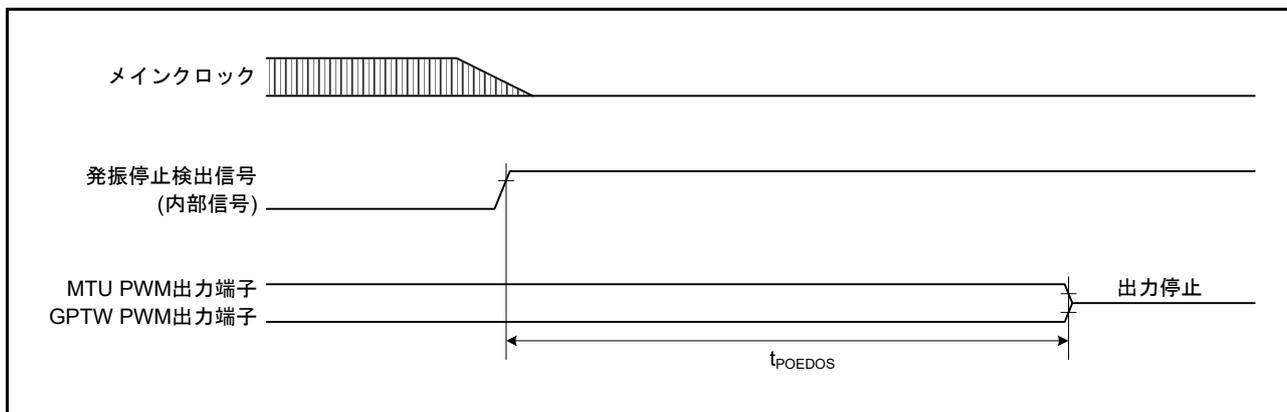


図 2.27 POE 出力ディセーブル時間 (発振停止検出)

2.5.5.4 POEG

表 2.38 POEG タイミング

項目		記号	min	max	単位 (注1)	測定条件	
POEG	GTETR <sub>Gn</sub> 入力パルス幅(n = A)	t <sub>POEGW</sub>	1.5	—	t <sub>PBcyc</sub>	図 2.28	
	GTETRGA入力立ち上がり/立ち下がり時間	t <sub>POEGr</sub> , t <sub>POEGf</sub>	—	0.1	μs		
	出力ディセーブル時間	GTETR <sub>Gn</sub> 端子の入カレベル検出 (フラグ経由)	t <sub>POEGDI</sub>	—	3 × t <sub>PBcyc</sub> + 0.34	μs	図 2.29 デジタルノイズフィルタ 不使用時 (POEG <sub>Gn</sub> .NFEN = 0 (n = A))
		GPTWからの出力停止信号検出 (デッドタイムエラー、同時High出力、同時Low出力)	t <sub>POEGDE</sub>	—	0.5	μs	図 2.30
	コンパレータエッジ検出	t <sub>POEGDC</sub>	—	4 × t <sub>PBcyc</sub> + 0.5	μs	図 2.31 コンパレータCのノイズ フィルタ不使用時 (CMPCTL.NFE = 0)、コン パレータCの検出時間は除 く	
	レジスタ設定	t <sub>POEGDS</sub>	—	t <sub>PBcyc</sub> + 0.3	μs	図 2.32 レジスタアクセス時間は 除く	
	発振停止検出	t <sub>POEGDOS</sub>	—	8	μs	図 2.33	
	GTETR <sub>Gn</sub> 端子の入カレベル検出 (フラグ非経由)	t <sub>POEGDI</sub>	—	3 × t <sub>PBcyc</sub> + 0.34	μs	図 2.34	
	コンパレータレベル検出	t <sub>POEGDDC</sub>	—	t <sub>PBcyc</sub> + 0.3	μs	図 2.35 コンパレータCのノイズ フィルタ不使用時 (CMPCTL.NFE = 0)、コン パレータCの検出時間は除 く	

注 1. t<sub>PBcyc</sub> : PCLKBの周期

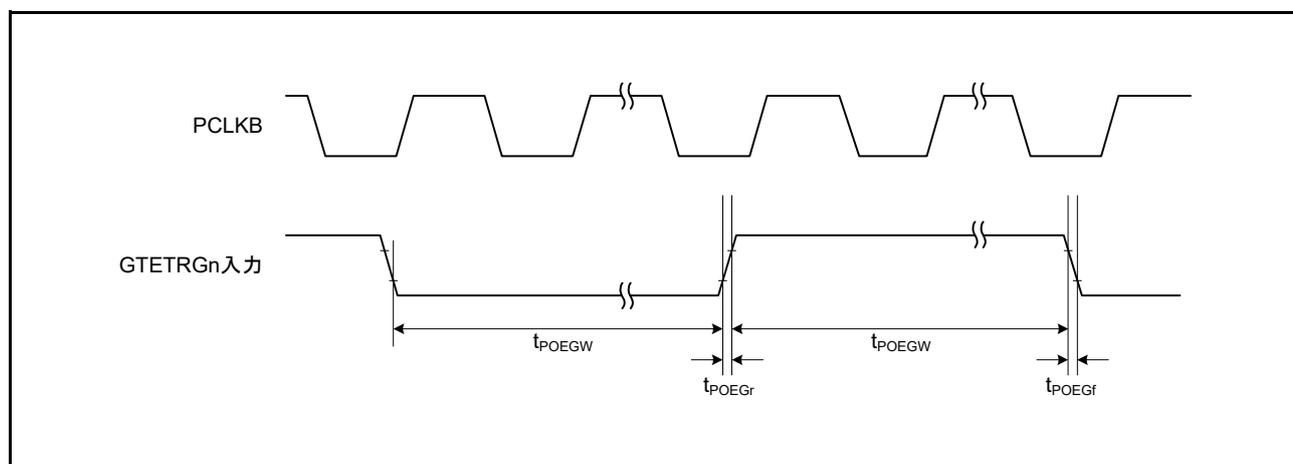


図 2.28 POEG 入力タイミング (n = A)

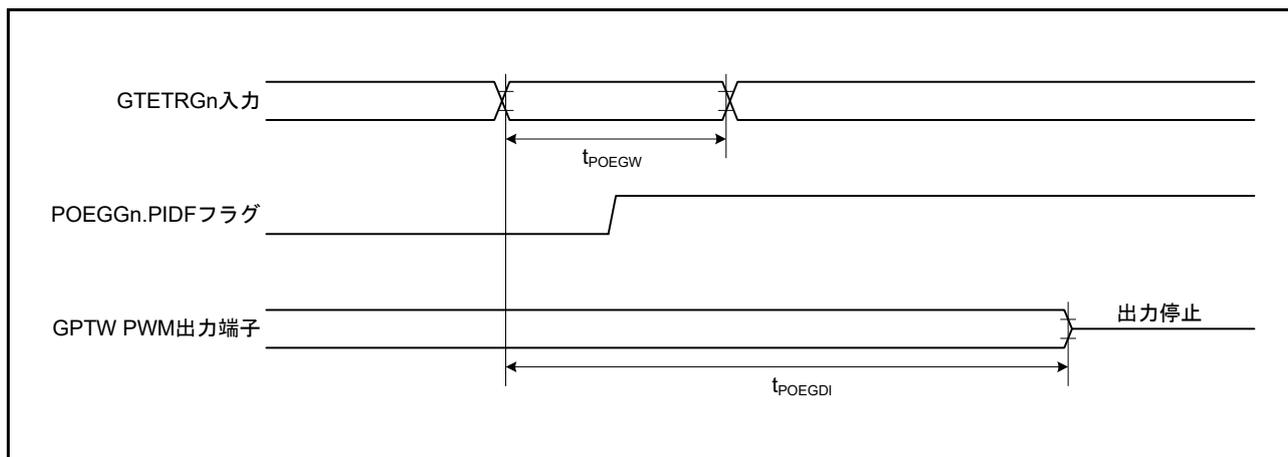


図 2.29 POEG 出力ディセーブル時間 (GTETRn 端子の入レベル検出 (フラグ経由)) (n = A)

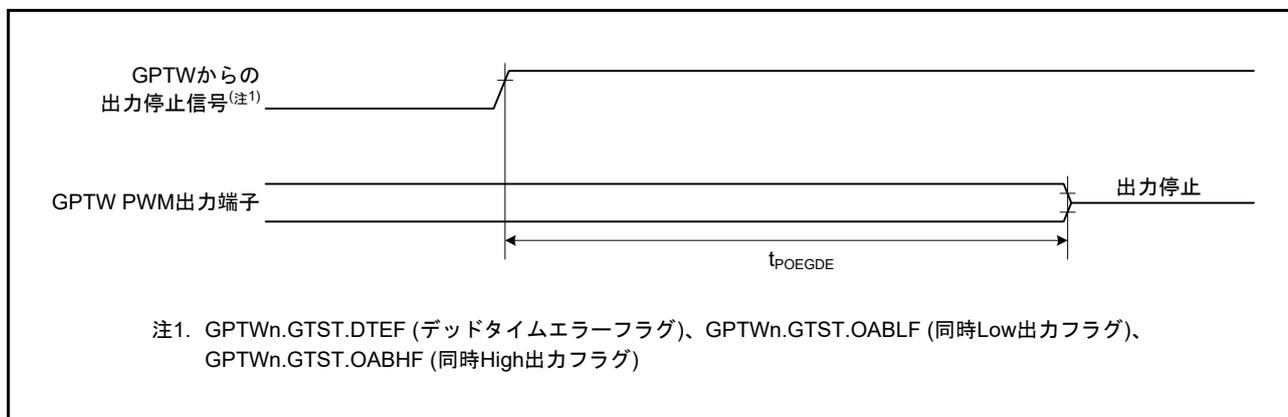


図 2.30 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出) (n = 0 ~ 2)

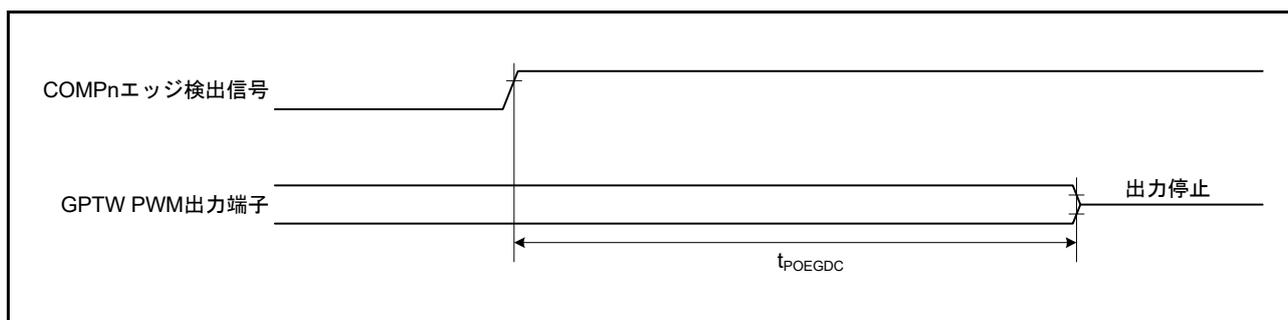


図 2.31 POEG 出力ディセーブル時間 (コンパレータエッジ検出) (n = 0 ~ 2)

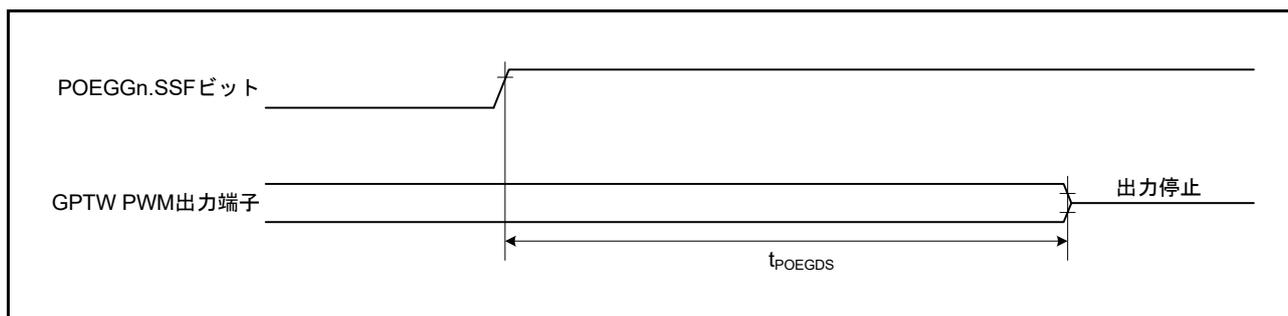


図 2.32 POEG 出力ディセーブル時間 (レジスタ設定) (n = A)

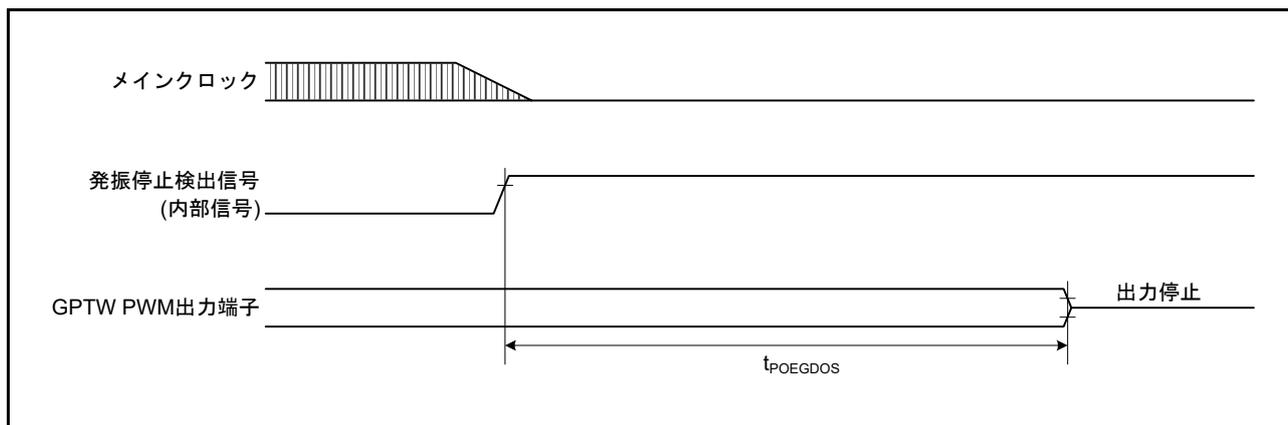


図 2.33 POEG 出力ディセーブル時間 (発振停止検出)

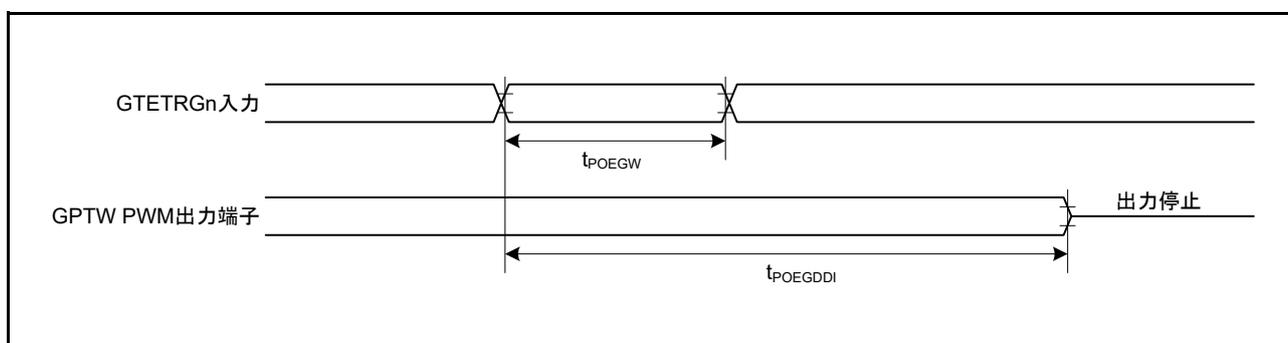


図 2.34 POEG 出力ディセーブル時間 (GTETRGn 端子の入カレベル検出 (フラグ非経由)) (n = A)

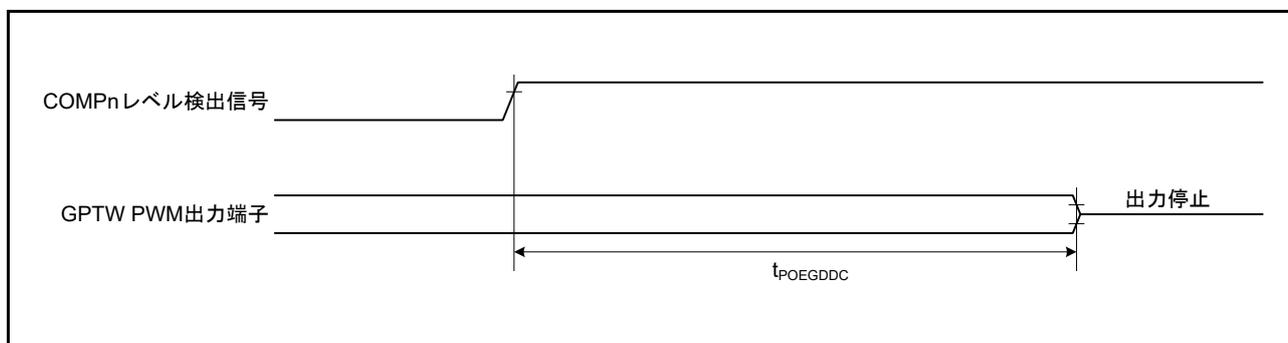


図 2.35 POEG 出力ディセーブル時間 (コンパレータレベル検出) (n = 0 ~ 2)

2.5.5.5 GPTW

表 2.39 GPTW タイミング

項目		記号	min	max	単位 (注1)	測定条件	
GPTW	インプットキャプチャ 入力パルス幅	単エッジ指定	1.5	—	$t_{PBcyc}$	図 2.36	
		両エッジ指定	2.5	—			
	インプットキャプチャ立ち上がり/立ち下がり 時間		$t_{GTICr}/$ $t_{GTICf}$	—	0.1	$\mu s/V$	図 2.36
	外部トリガ入力パルス幅	単エッジ指定	$t_{GTEW}$	1.5	—	$t_{PBcyc}$	図 2.37
		両エッジ指定		2.5	—		
	タイマクロックパルス幅		$t_{GTCKWH}$ $t_{GTCKWL}$	1.5	—	$t_{PBcyc}$	図 2.38
タイマクロック立ち上がり/立ち下がり時間		$t_{GTCKr}/$ $t_{GTCKf}$	—	0.1	$\mu s/V$	図 2.38	

注1.  $t_{PBcyc}$  : PCLKBの周期

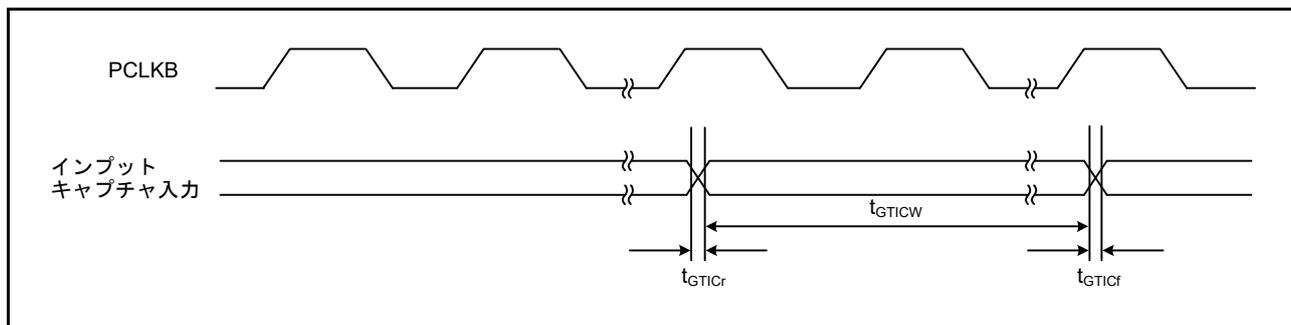


図 2.36 GPTW インプットキャプチャ入力タイミング

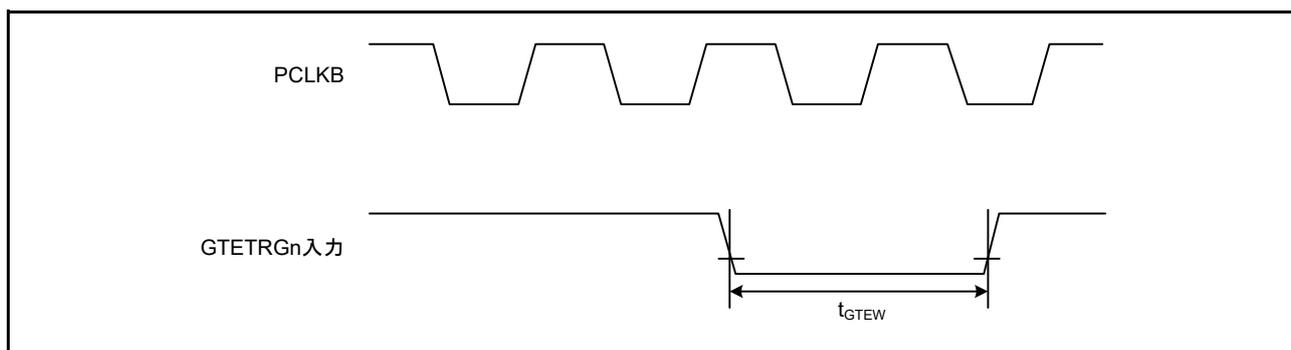


図 2.37 GPTW 外部トリガ入力タイミング (n = A)

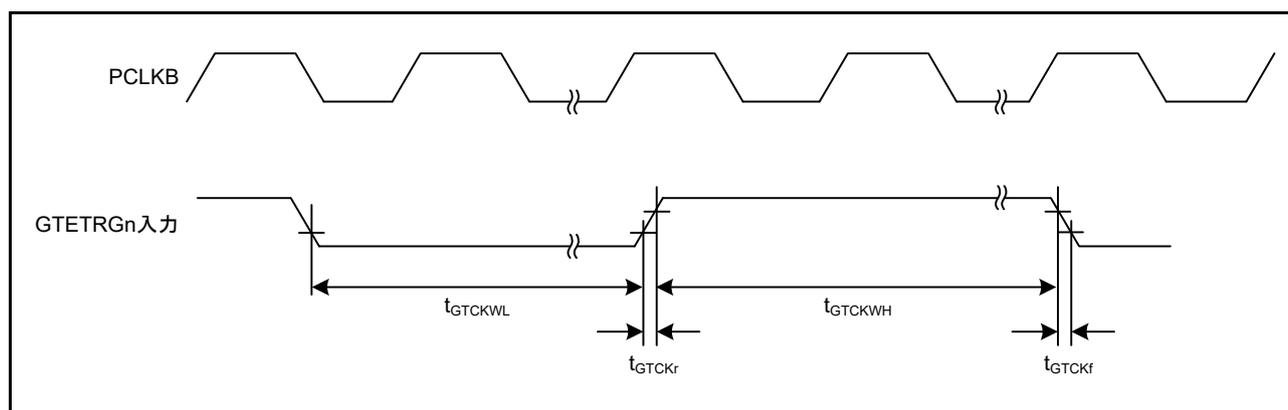


図 2.38 GPTW クロック入力タイミング (n = A)

## 2.5.5.6 TMR

表2.40 TMRタイミング

項目		記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	$t_{TMCWH}$	1.5	—	$t_{PBcyc}$
		両エッジ指定	$t_{TMCWL}$	2.5	—	
	タイマクロック立ち上がり/立ち下がり時間		$t_{TMCr}$ $t_{TMCf}$	—	0.1	$\mu s/V$

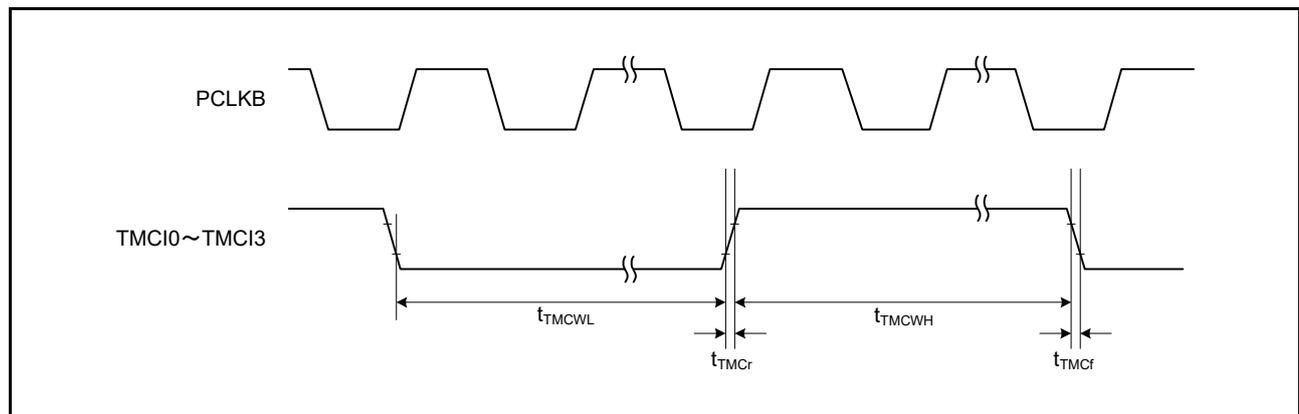
注1.  $t_{PBcyc}$  : PCLKBの周期

図2.39 TMRクロック入力タイミング

2.5.5.7 SCI

表2.41 SCIタイミング

項目			記号	min	max	単位 (注1)	測定条件	
SCI (チャンネル1, 5, 6, 12)	入力クロックサイクル時間	調歩同期	$t_{Scyc}$	4	—	$t_{PBcyc}$	図2.40	
		クロック同期		6	—			
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$		
	入力クロック立ち上がり時間		$t_{SCKr}$	—	20	ns		
	入力クロック立ち下がり時間		$t_{SCKf}$	—	20	ns		
	出力クロック サイクル時間	調歩同期	$t_{Scyc}$	8	—	$t_{PBcyc}$		図2.41
		クロック同期		4	—			
	出力クロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$		
	出力クロック立ち上がり時間		$t_{SCKr}$	—	20	ns		
	出力クロック立ち下がり時間		$t_{SCKf}$	—	20	ns		
送信データ遅延時間(マスタ)	クロック同期	$t_{TXD}$	—	40	ns			
送信データ遅延時間(スレーブ)	クロック同期		$4.0V \leq VCC$	—	40	ns		
			$2.7V \leq VCC$	—	65	ns		
受信データセットアップ時間 (マスタ)	クロック同期	$t_{RXS}$	$4.0V \leq VCC$	40	—	ns		
			$2.7V \leq VCC$	65	—	ns		
受信データセットアップ時間 (スレーブ)	クロック同期		40	—	ns			
受信データホールド時間		$t_{RXH}$	40	—	ns			

注1.  $t_{PBcyc}$  : PCLKBの周期

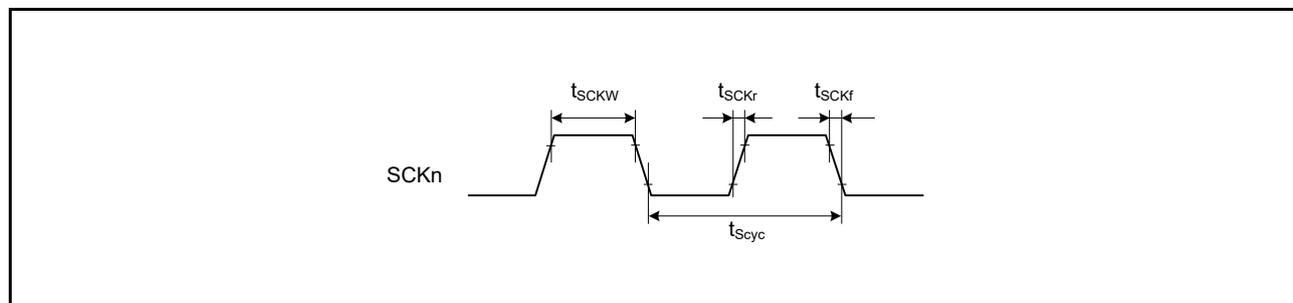


図2.40 SCKクロック入力タイミング (n = 1, 5, 6, 12)

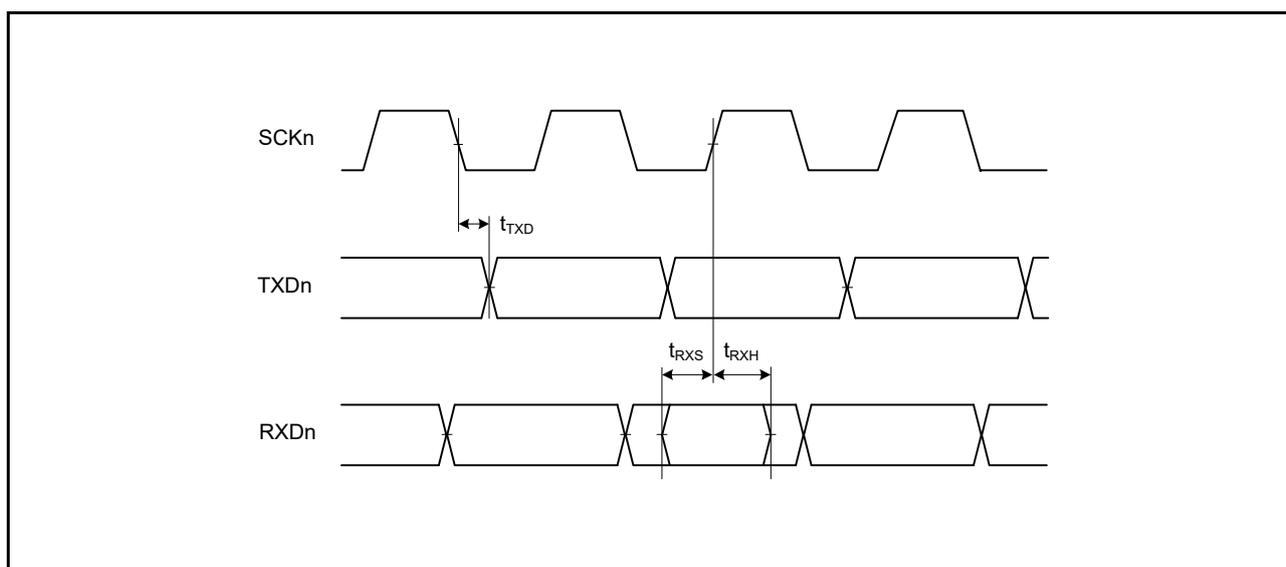


図 2.41 SCI 入出力タイミング / クロック同期式モード (n = 1, 5, 6, 12)

表2.42 簡易I<sup>2</sup>Cタイミング

項目		記号	min	max	単位	測定条件
簡易I <sup>2</sup> C (スタンダードモード)	SDA立ち上がり時間	$t_{Sr}$	—	1000	ns	図2.42
	SDA立ち下がり時間	$t_{Sf}$	—	300	ns	
	SDAスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{PBcyc}$	ns	
	データセットアップ時間	$t_{SDAS}$	250	—	ns	
	データホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDAの容量性負荷	$C_b$ (注1)	—	400	pF	
簡易I <sup>2</sup> C (ファストモード)	SDA立ち上がり時間	$t_{Sr}$	—	300	ns	図2.42
	SDA立ち下がり時間	$t_{Sf}$	—	300	ns	
	SDAスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{PBcyc}$	ns	
	データセットアップ時間	$t_{SDAS}$	100	—	ns	
	データホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDAの容量性負荷	$C_b$ (注1)	—	400	pF	

注.  $t_{PBcyc}$  : PCLKBの周期

注1.  $C_b$ はバスラインの容量総計です。

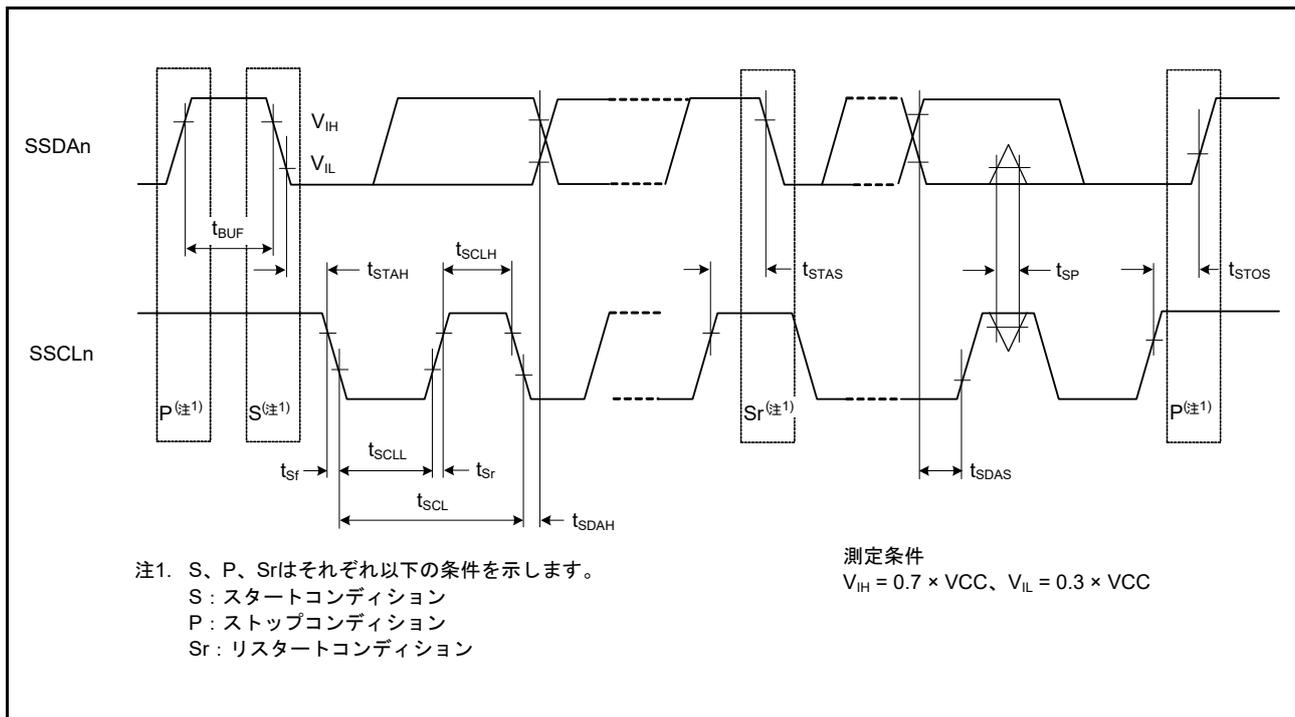


図2.42 簡易I<sup>2</sup>Cバスインタフェース入出力タイミング (n = 1, 5, 6, 12)

表2.43 簡易SPIタイミング

項目		記号	min	max	単位 (注1)	測定条件
簡易SPI	SCKクロックサイクル出力(マスタ)	$t_{SPCyc}$	4	—	$t_{PBcyc}$	図2.43
	SCKクロックサイクル入力(スレーブ)		6	—		
	SCKクロックHighレベルパルス幅	$t_{SPCKWH}$	0.4	0.6	$t_{SPCyc}$	
	SCKクロックLowレベルパルス幅	$t_{SPCKWL}$	0.4	0.6	$t_{SPCyc}$	
	SCKクロック立ち上がり/立ち下がり時間	$t_{SPCKr}$ , $t_{SPCKf}$	—	20	ns	
データ入力セットアップ時間 (マスタ)	4.0V ≤ VCC	$t_{SU}$	40	—	ns	図2.44、 図2.45
	2.7V ≤ VCC		65	—		
データ入力セットアップ時間(スレーブ)			40	—		
データ入力ホールド時間		$t_H$	40	—	ns	
SS入力セットアップ時間		$t_{LEAD}$	1	—	$t_{SPCyc}$	
SS入力ホールド時間		$t_{LAG}$	1	—	$t_{SPCyc}$	
データ出力遅延時間(マスタ)		$t_{OD}$	—	40	ns	
データ出力遅延時間(スレーブ)	4.0V ≤ VCC		—	40		
	2.7V ≤ VCC		—	65		
データ出力ホールド時間(マスタ)		$t_{OH}$	-10	—	ns	
データ出力ホールド時間(スレーブ)			-10	—		
データ立ち上がり/立ち下がり時間		$t_{Dr}$ , $t_{Df}$	—	20	ns	
SSL入力立ち上がり/立ち下がり時間		$t_{SSLr}$ , $t_{SSLf}$	—	20	ns	
スレーブアクセス時間		$t_{SA}$	—	6	$t_{PBcyc}$	図2.46、 図2.47
スレーブ出力開放時間		$t_{REL}$	—	6	$t_{PBcyc}$	

注1.  $t_{PBcyc}$  : PCLKBの周期

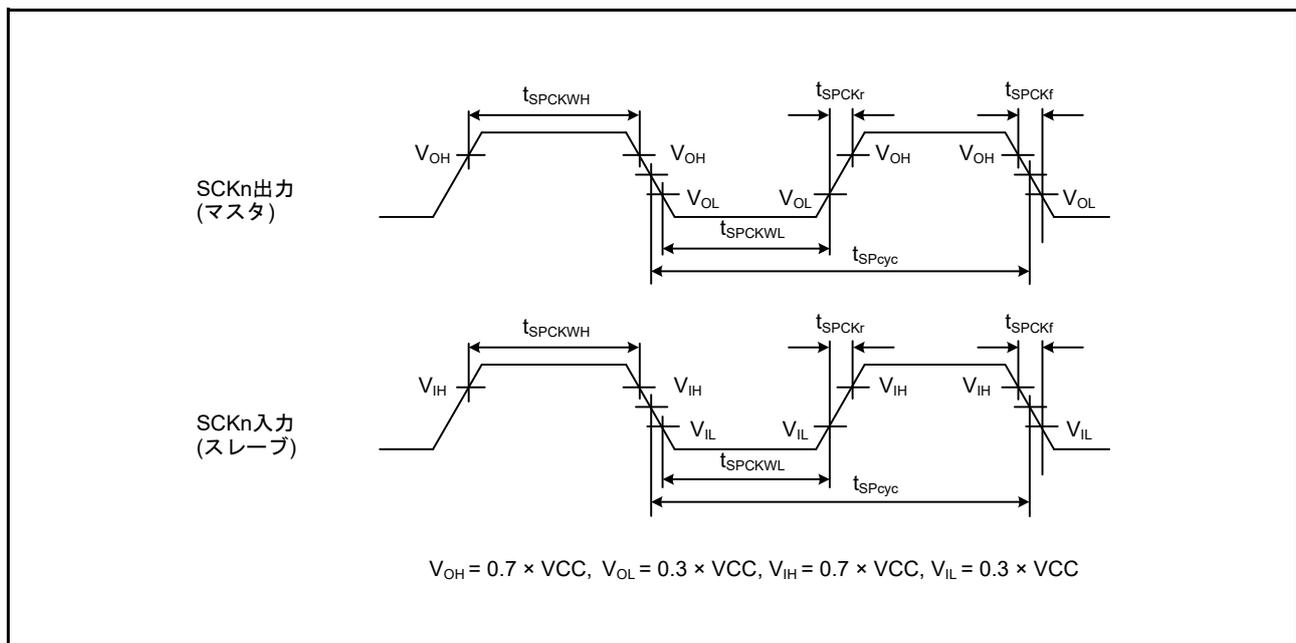


図2.43 簡易SPIクロックタイミング (n = 1, 5, 6, 12)

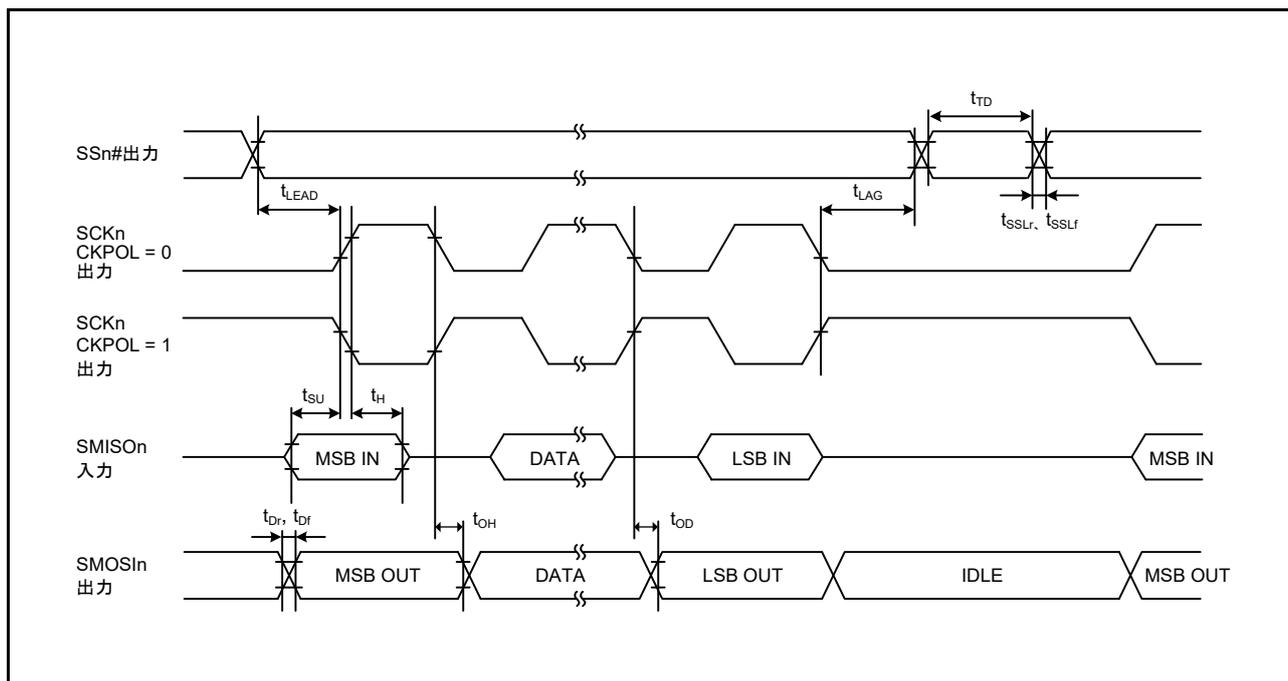


図 2.44 簡易 SPI タイミング ( マスタ、CKPH = 1) (n = 1, 5, 6, 12)

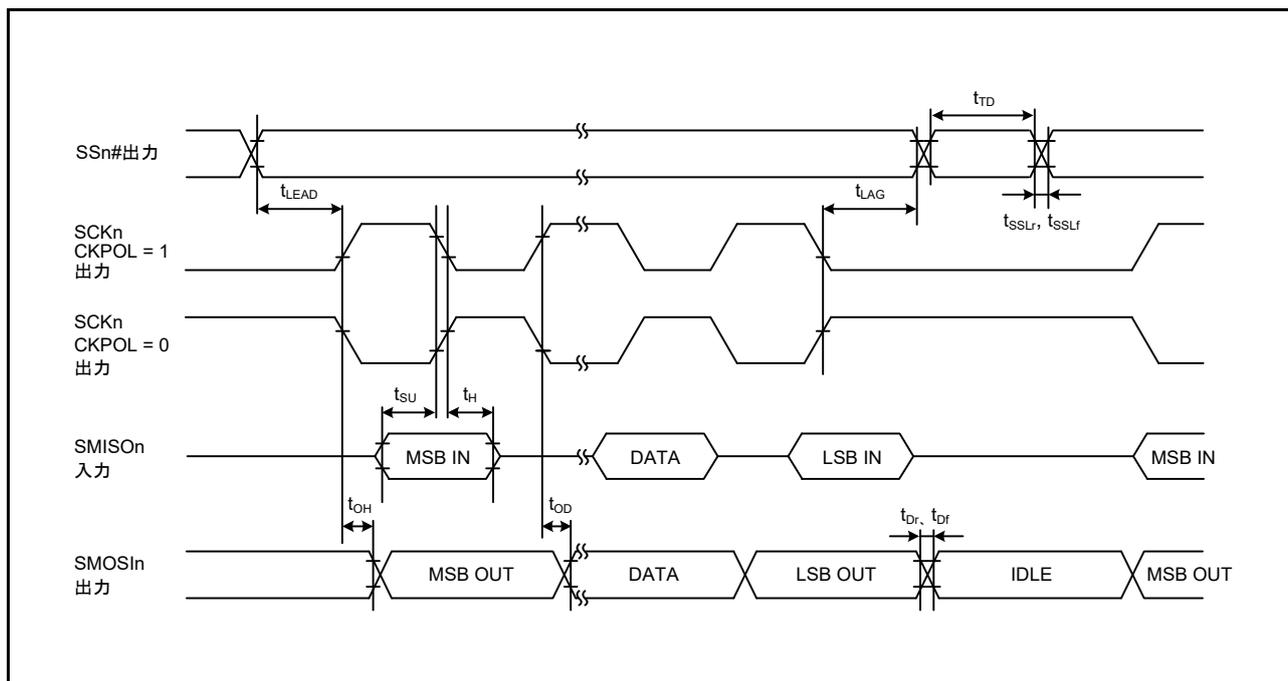


図 2.45 簡易 SPI タイミング ( マスタ、CKPH = 0) (n = 1, 5, 6, 12)

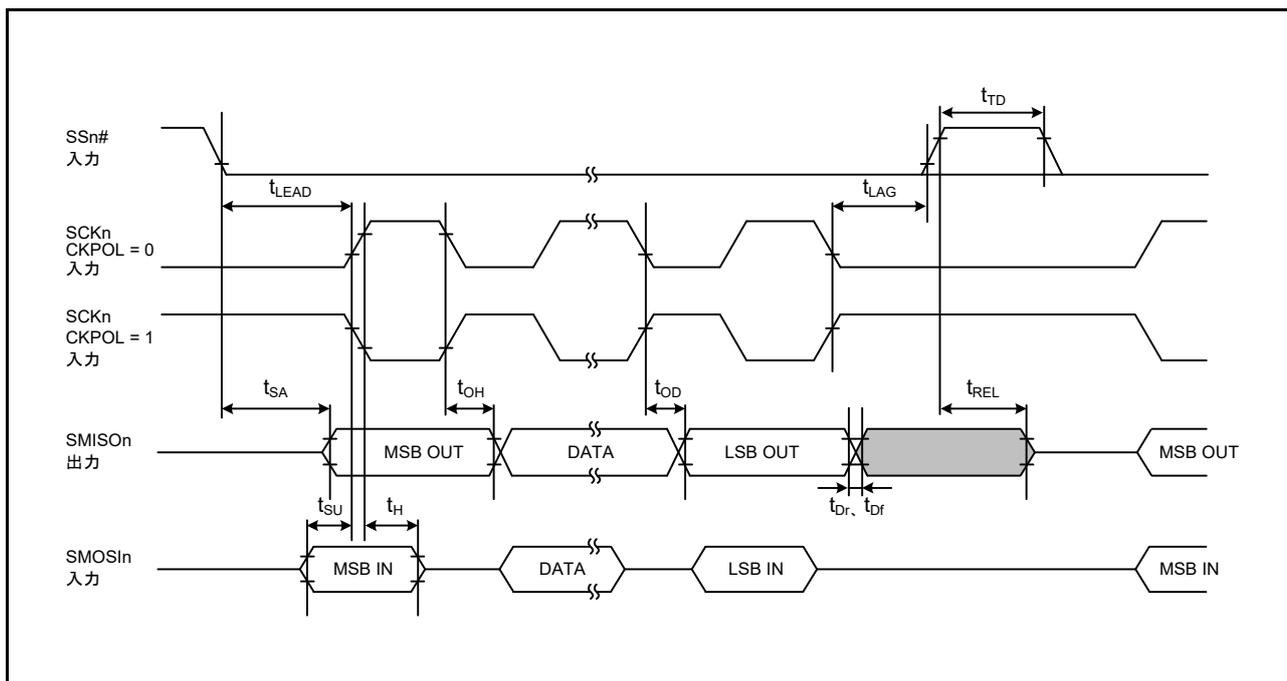


図 2.46 簡易 SPI タイミング (スレーブ、CKPH = 1) (n = 1, 5, 6, 12)

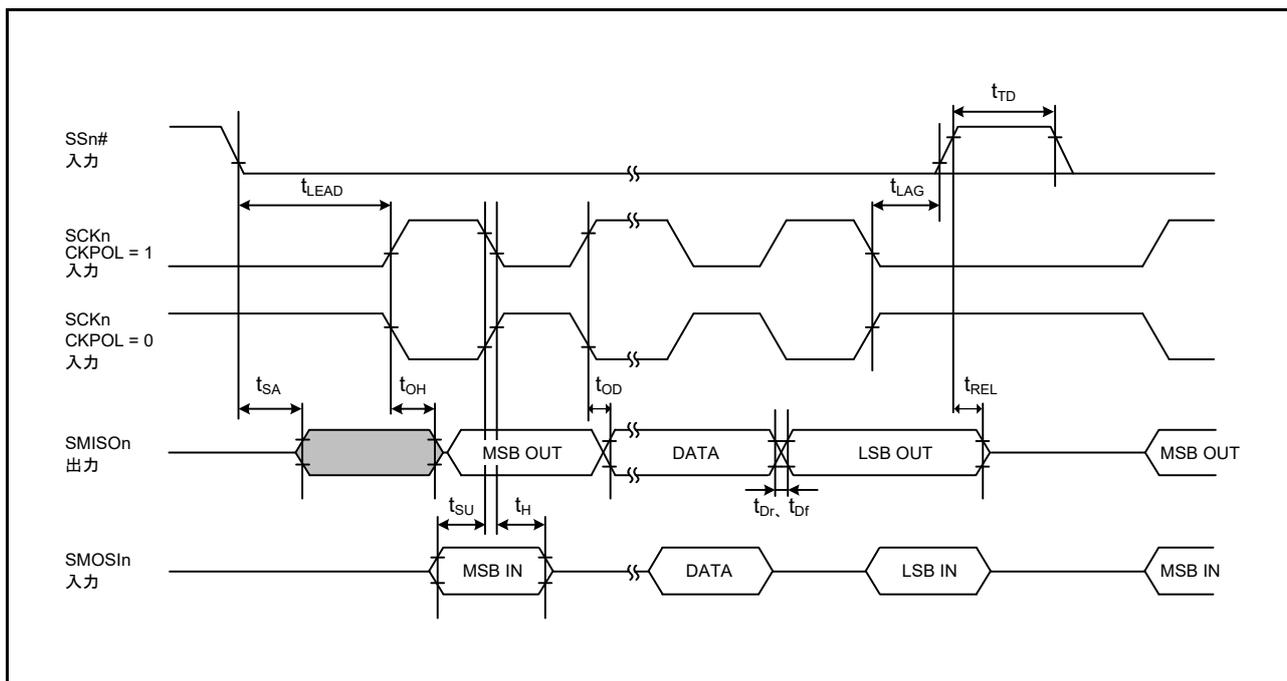


図 2.47 簡易 SPI タイミング (スレーブ、CKPH = 0) (n = 1, 5, 6, 12)

## 2.5.5.8 RIIC

表2.44 RIICタイミング

項目		記号	min (注1)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	$t_{SCL}$	$6(12) \times t_{IICcyc} + 1300$	—	ns	図2.48
	SCL Highパルス幅	$t_{SCLH}$	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	$t_{SCLL}$	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	$t_{Sr}$	—	1000	ns	
	SCL、SDA立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL、SDAスパイクパルス除去時間	$t_{SP}$	0	$1(4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	$t_{BUF}$	$3(6) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディション入力ホールド時間	$t_{STAH}$	$t_{IICcyc} + 300$	—	ns	
	リスタートコンディション入力セットアップ時間	$t_{STAS}$	1000	—	ns	
	ストップコンディション入力セットアップ時間	$t_{STOS}$	1000	—	ns	
	データセットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDAの容量性負荷	$C_b$ (注2)	—	400	pF	
	RIIC (ファストモード)	SCLサイクル時間	$t_{SCL}$	$6(12) \times t_{IICcyc} + 600$	—	
SCL Highパルス幅		$t_{SCLH}$	$3(6) \times t_{IICcyc} + 300$	—	ns	
SCL Lowパルス幅		$t_{SCLL}$	$3(6) \times t_{IICcyc} + 300$	—	ns	
SCL、SDA立ち上がり時間		$t_{Sr}$	$20 \times (\text{外付けプルアップ電圧} / 5.5V)$	300	ns	
SCL、SDA立ち下がり時間		$t_{Sf}$	$20 \times (\text{外付けプルアップ電圧} / 5.5V)$	300	ns	
SCL、SDAスパイクパルス除去時間		$t_{SP}$	0	$1(4) \times t_{IICcyc}$	ns	
SDAバスフリー時間		$t_{BUF}$	$3(6) \times t_{IICcyc} + 300$	—	ns	
スタートコンディション入力ホールド時間		$t_{STAH}$	$t_{IICcyc} + 300$	—	ns	
リスタートコンディション入力セットアップ時間		$t_{STAS}$	300	—	ns	
ストップコンディション入力セットアップ時間		$t_{STOS}$	300	—	ns	
データセットアップ時間		$t_{SDAS}$	$t_{IICcyc} + 50$	—	ns	
データホールド時間		$t_{SDAH}$	0	—	ns	
SCL、SDAの容量性負荷		$C_b$ (注2)	—	400	pF	

注.  $t_{IICcyc}$  : RIICの内部基準クロック(IICφ)の周期

注1. ( )内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2.  $C_b$ はバスラインの容量総計です。

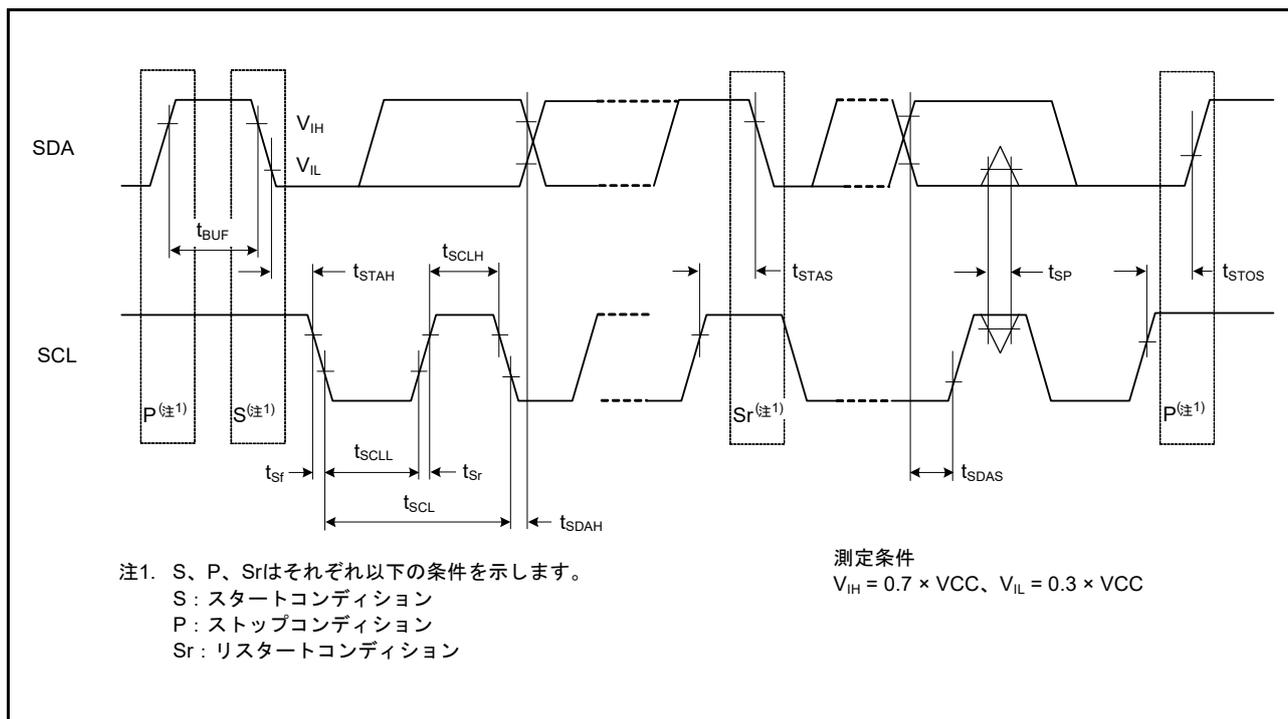


図 2.48 RIIC バスインタフェース入出力タイミング

## 2.5.5.9 A/Dコンバータトリガ

表2.45 A/Dコンバータトリガタイミング

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	トリガ入力パルス幅	$t_{TRGW}$	1.5	—	$t_{PBcyc}$	図2.49

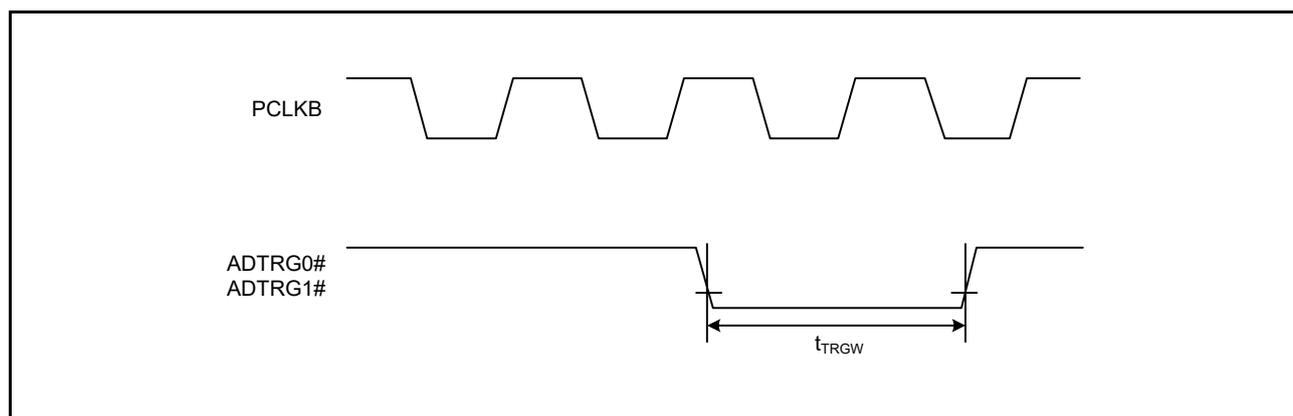
注1.  $t_{PBcyc}$  : PCLKBの周期

図2.49 A/Dコンバータ外部トリガ入力タイミング

## 2.5.5.10 CAC

表2.46 CACタイミング

項目		記号	min	max	単位 (注1)	測定条件
CAC	CACREF入力パルス幅	$t_{PBcyc} \leq t_{cac}$ (注2) $t_{PBcyc} > t_{cac}$ (注2)	$t_{CACREF}$	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	—	ns
				$5 \times t_{cac} + 6.5 \times t_{PBcyc}$		
	CACREF入力立ち上がり/立ち下がり時間	$t_{CACREFr}$ $t_{CACREFf}$	—	0.1	$\mu s/V$	

注1.  $t_{PBcyc}$  : PCLKBの周期注2.  $t_{cac}$  : CACカウントクロックソースの周期

2.5.5.11 CLKOUT

表2.47 CLKOUT タイミング

項目		記号	min	max	単位	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注2)	$t_{Cyc}$	62.5	—	ns	図2.50
	CLKOUT 端子 High レベルパルス幅 (注1)	$t_{CH}$	15	—	ns	
	CLKOUT 端子 Low レベルパルス幅 (注1)	$t_{CL}$	15	—	ns	
	CLKOUT 端子出力立ち上がり時間	$t_{Cr}$	—	12	ns	
	CLKOUT 端子出力立ち下がり時間	$t_{Cf}$	—	12	ns	

注1. クロック出カソースに LOCO 選択 (CKOCR.CKOSSEL[3:0] ビット = 0000b) の場合は、クロック出力分周比選択を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

注2. XTAL 外部クロック入力または発振子を使用して 1 分周 (CKOCR.CKOSSEL[3:0] ビット = 0010b) かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT より出力する場合は、入力デューティ比 45 ~ 55% で上記を満たします。

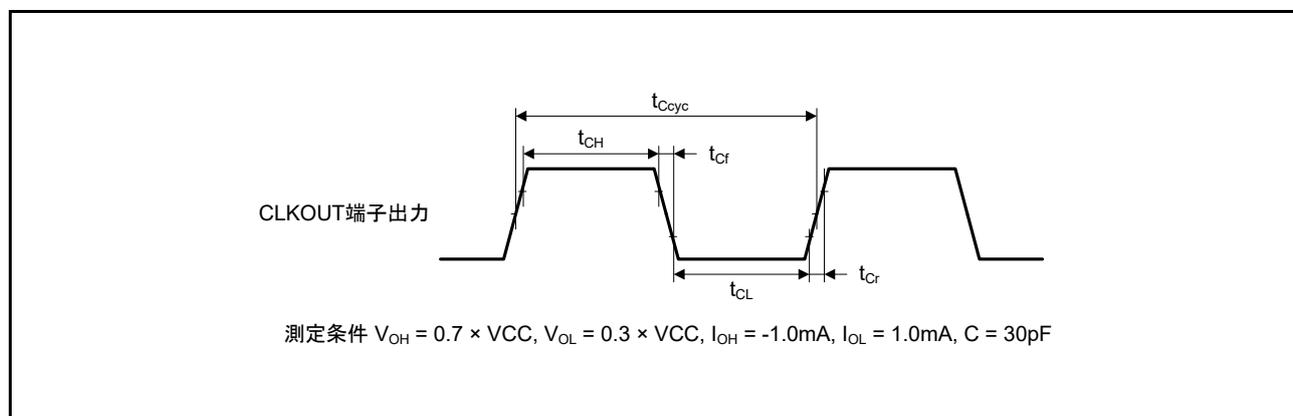


図 2.50 CLKOUT 出カタイミング

## 2.6 A/D変換特性

表 2.48 A/D変換特性(1)

条件: 1~64MHz,  $4.5V \leq VCC \leq 5.5V$ ,  $4.5V \leq VREFH0 \leq VCC$ ,  $VSS = VREFL0 = 0V$ ,  $T_a = -40 \sim 125^\circ C$ , 信号源インピーダンス =  $0.5k\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	64	MHz	
分解能		—	—	12	ビット	
変換時間(注1)		0.50 (0.164)	—	—	$\mu s$	ADSSTRn = 0Ah
アナログ入力容量	Cs	—	—	g(注2)	pF	
アナログ入力抵抗	Rs	—	—	1.3(注2)	k $\Omega$	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 4.5$	LSB	VCC = VREFH0の場合
		—	$\pm 1.0$	$\pm 5.0$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 7.0$	LSB	
フルスケール誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 4.5$	LSB	VCC = VREFH0の場合
		—	$\pm 1.0$	$\pm 5.0$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 7.0$	LSB	
量子化誤差		—	$\pm 0.5$	—	LSB	
絶対精度	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 2.5$	$\pm 5.0$	LSB	VCC = VREFH0の場合
		—	$\pm 2.5$	$\pm 5.5$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 2.5$	$\pm 7.5$	LSB	
DNL微分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 1.5$	LSB	VCC = VREFH0の場合
		—	$\pm 1.0$	$\pm 2.0$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 1.5$	LSB	
INL積分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.5$	$\pm 3.0$	LSB	VCC = VREFH0の場合
		—	$\pm 1.5$	$\pm 3.5$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.5$	$\pm 3.0$	LSB	

注. 変換対象のアナログ入力端子1本以外、すべての端子のレベルを固定し、A/D変換を行うユニット以外、CPUも含めてすべての周辺機能が停止しているときの特性です。この条件以外では、精度や誤差が上記特性の範囲に収まらないことがあります。

注. 絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。( )はサンプリング時間を示します。

注2. 参考値

表 2.49 A/D変換特性(2)

条件: 1~48MHz,  $4.5V \leq VCC \leq 5.5V$ ,  $4.5V \leq VREFH0 \leq VCC$ ,  $VSS = VREFL0 = 0V$ ,  $T_a = -40 \sim 125^\circ C$ , 信号源インピーダンス =  $0.5k\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	48	MHz	
分解能		—	—	12	ビット	
変換時間(注1)		0.67 (0.219)	—	—	$\mu s$	ADSSTRn = 0Ah
アナログ入力容量	Cs	—	—	9(注2)	pF	
アナログ入力抵抗	Rs	—	—	1.3(注2)	$k\Omega$	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 4.5$	LSB	VCC = VREFH0の場合
		—	$\pm 1.0$	$\pm 5.0$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 7.0$	LSB	
フルスケール誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 4.5$	LSB	VCC = VREFH0の場合
		—	$\pm 1.0$	$\pm 5.0$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 7.0$	LSB	
量子化誤差		—	$\pm 0.5$	—	LSB	
絶対精度	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 2.5$	$\pm 5.0$	LSB	VCC = VREFH0の場合
		—	$\pm 2.5$	$\pm 5.5$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 2.5$	$\pm 7.5$	LSB	
DNL 微分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 1.5$	LSB	VCC = VREFH0の場合
		—	$\pm 1.0$	$\pm 2.0$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 1.5$	LSB	
INL 積分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.5$	$\pm 3.0$	LSB	VCC = VREFH0の場合
		—	$\pm 1.5$	$\pm 3.5$	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.5$	$\pm 3.0$	LSB	

注. 変換対象のアナログ入力端子1本以外、すべての端子のレベルを固定し、A/D変換を行うユニット以外、CPUも含めてすべての周辺機能が停止しているときの特性です。この条件以外では、精度や誤差が上記特性の範囲に収まらないことがあります。

注. 絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。( )はサンプリング時間を示します。

注2. 参考値

表 2.50 A/D変換特性(3)

条件: 1~48MHz,  $2.7V \leq VCC \leq 5.5V$ ,  $2.7V \leq VREFH0 \leq VCC$ ,  $VSS = VREFL0 = 0V$ ,  $T_a = -40 \sim 125^\circ C$ , 信号源インピーダンス =  $0.5k\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	48	MHz	
分解能		—	—	12	ビット	
変換時間(注1)		0.79 (0.344)	—	—	$\mu s$	ADSSTRn = 10h
アナログ入力容量	Cs	—	—	9(注2)	pF	
アナログ入力抵抗	Rs	—	—	1.9(注2)	$k\Omega$	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 4.5$	LSB	VCC = VREFH0 の場合
		—	$\pm 1.0$	$\pm 6.0$	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 8.5$	LSB	
フルスケール誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 4.5$	LSB	VCC = VREFH0 の場合
		—	$\pm 1.0$	$\pm 6.0$	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 8.5$	LSB	
量子化誤差		—	$\pm 0.5$	—	LSB	
絶対精度	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 2.5$	$\pm 5.5$	LSB	VCC = VREFH0 の場合
		—	$\pm 2.5$	$\pm 7.0$	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	$\pm 2.5$	$\pm 9.5$	LSB	
DNL 微分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.0$	$\pm 1.5$	LSB	VCC = VREFH0 の場合
		—	$\pm 1.0$	$\pm 2.0$	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.0$	$\pm 1.5$	LSB	
INL 積分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	$\pm 1.5$	$\pm 3.0$	LSB	VCC = VREFH0 の場合
		—	$\pm 1.5$	$\pm 4.0$	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	$\pm 1.5$	$\pm 3.0$	LSB	

注. 変換対象のアナログ入力端子1本以外、すべての端子のレベルを固定し、A/D変換を行うユニット以外、CPUも含めてすべての周辺機能が停止しているときの特性です。この条件以外では、精度や誤差が上記特性の範囲に収まらないことがあります。

注. 絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。( )はサンプリング時間を示します。

注2. 参考値

表 2.51 信号源インピーダンスと必要な最小サンプリング時間

信号源インピーダンス[k $\Omega$ ]	必要なサンプリング時間[ADCLK]		
	$4.5V \leq VCC \leq 5.5V$ $4.5V \leq VREFH0 \leq VCC$		$2.7V \leq VCC \leq 5.5V$ $2.7V \leq VREFH0 \leq VCC$
	ADCLK = 64MHz	ADCLK = 48MHz	ADCLK = 48MHz
0.5	10	10	16
2.2	25	24	24
4.7	52	43	43
10	101	80	80
22	210	160	160

表 2.52 A/D内部基準電圧特性

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル(注1)	1.42	1.48	1.54	V	
内部基準電圧出力安定時間	—	—	5	μs	
サンプリング時間(注2)	3.9	—	—	μs	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

注2. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTROレジスタを設定してください。

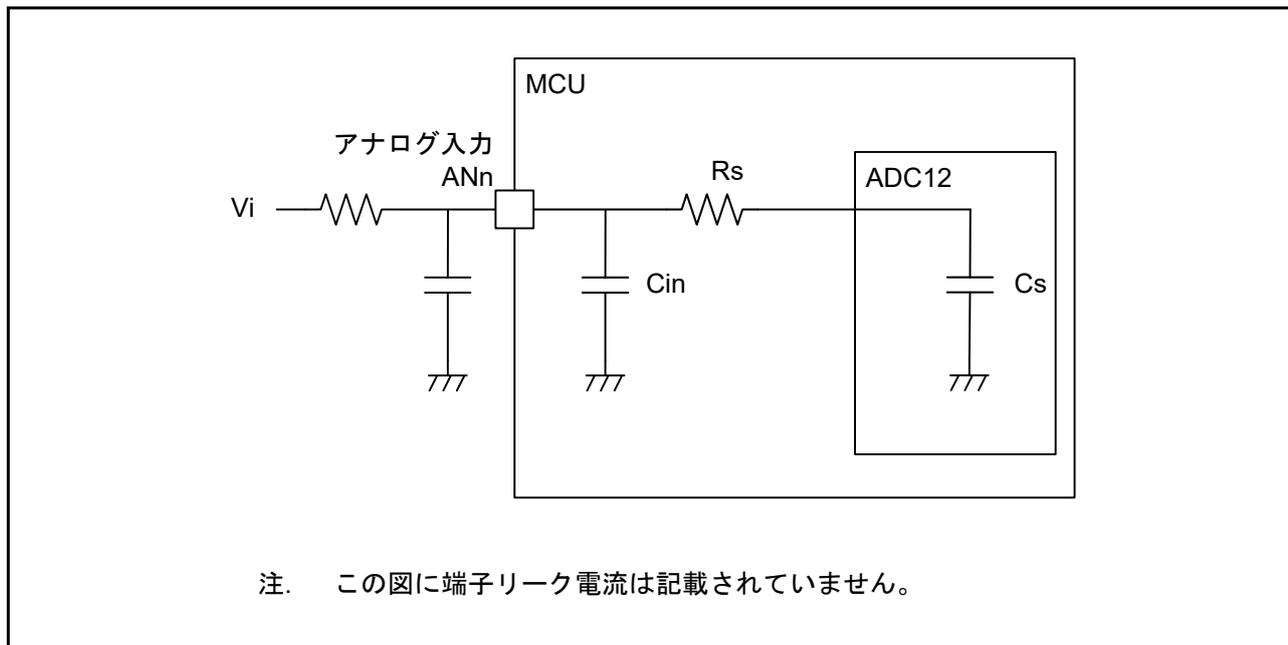


図 2.51 アナログ入力の等価回路

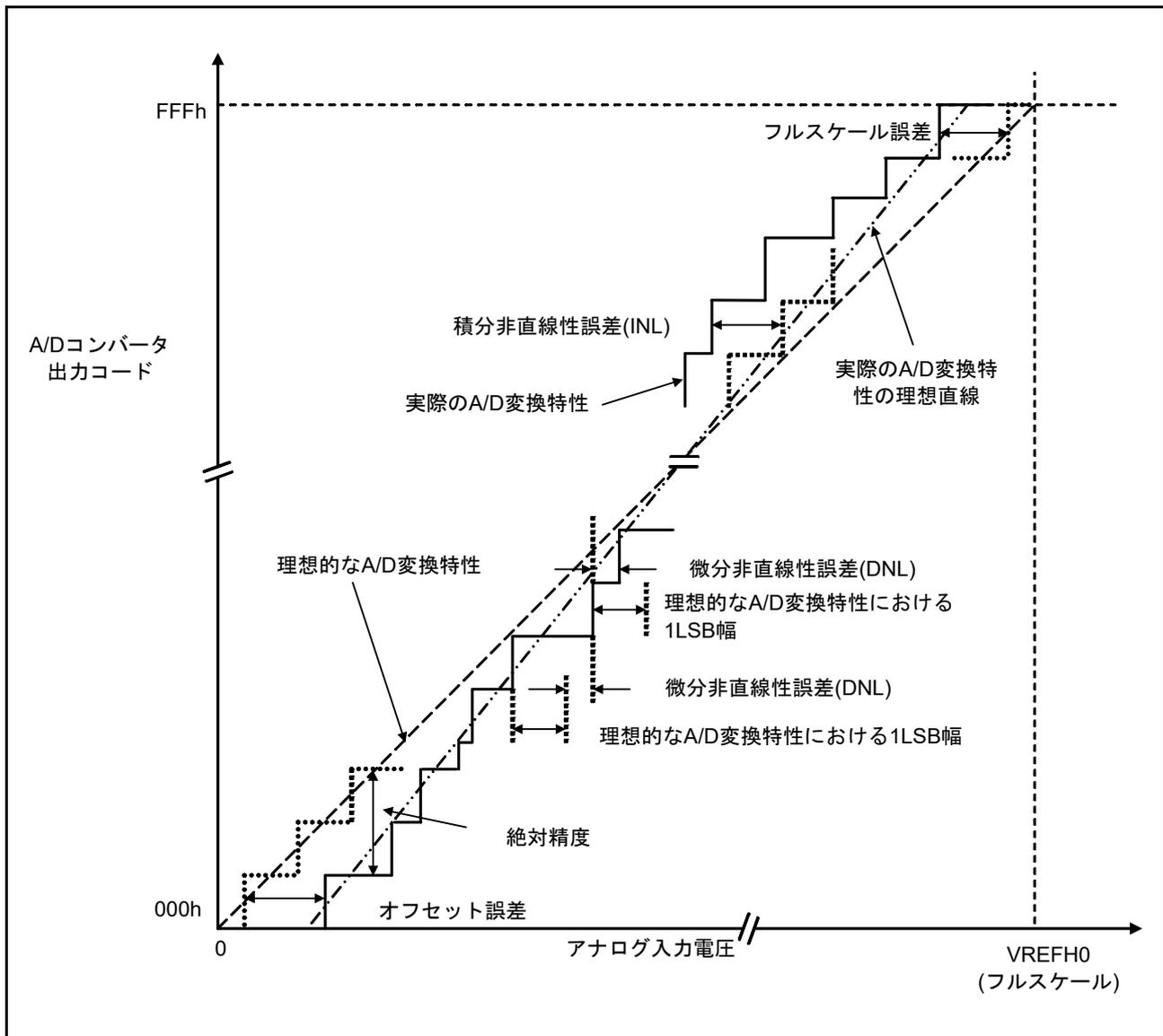


図 2.52 A/D コンバータ特性用語説明図

### 絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧 (VREFH0 = 3.072V) の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度  $\pm 5\text{LSB}$  とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

**微分非直線性誤差 (DNL)**

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

**オフセット誤差**

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

**フルスケール誤差**

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

## 2.7 プログラマブルゲインアンプ特性

表2.53 プログラマブルゲインアンプ特性

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧 (注1)	$V_{IO}$	—	—	$\pm 5.7$	mV	
入力電圧範囲	$V_{ISR}$	0	—	VCC	V	
出力電圧範囲	$V_{OR}$	$0.07 \times VCC$	—	$0.93 \times VCC$	V	
ゲイン	G	4, 8, 16, 32				
ゲインエラー (注1)	$E_G$	—	$\pm 0.04$	$\pm 0.47$	%	G = 4, 8
		—	$\pm 0.02$	$\pm 0.62$	%	G = 16
		—	$\pm 0.03$	$\pm 1.23$	%	G = 32
スルーレート	SR	6.1	—	—	V/ $\mu$ s	$4.0V \leq VCC \leq 5.5V$ , G = 4, 8, 16
		3.4	—	—	V/ $\mu$ s	$4.0V \leq VCC \leq 5.5V$ , G = 32
		2	—	—	V/ $\mu$ s	$2.7V \leq VCC \leq 4.0V$
動作安定時間	$t_{start}$	—	—	2.66	$\mu$ s	

注1. フィードバック抵抗のグラウンドに、PGAGNDを選択した場合の特性です。VSSを選択した場合は、この範囲に収まらないことがあります。

## 2.8 コンパレータ特性

表2.54 コンパレータ特性

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	$V_{IO}$	—	$\pm 5$	$\pm 10.3$	mV	
リファレンス入力電圧範囲	$V_{ref}$	0	—	VCC	V	
入力電圧傾き(注1)	dV/dt	—	—	$\pm 3.0$	V/ $\mu$ s	
応答時間	$t_{PLH}$	—	50	76	ns	VOD = 100mV CMPCTL.NFE = 0
	$t_{PHL}$	—	50	73	ns	
入力切替時の安定待ち時間	$t_{cwait}$	74	—	—	ns	
動作安定時間	$t_{cmp}$	—	—	0.51	$\mu$ s	

注1. この特性が満たせない場合は「ユーザーズマニュアルハードウェア編」の「34.4.6 比較結果へのパルスの出現について」に記載している対策を実施してください。

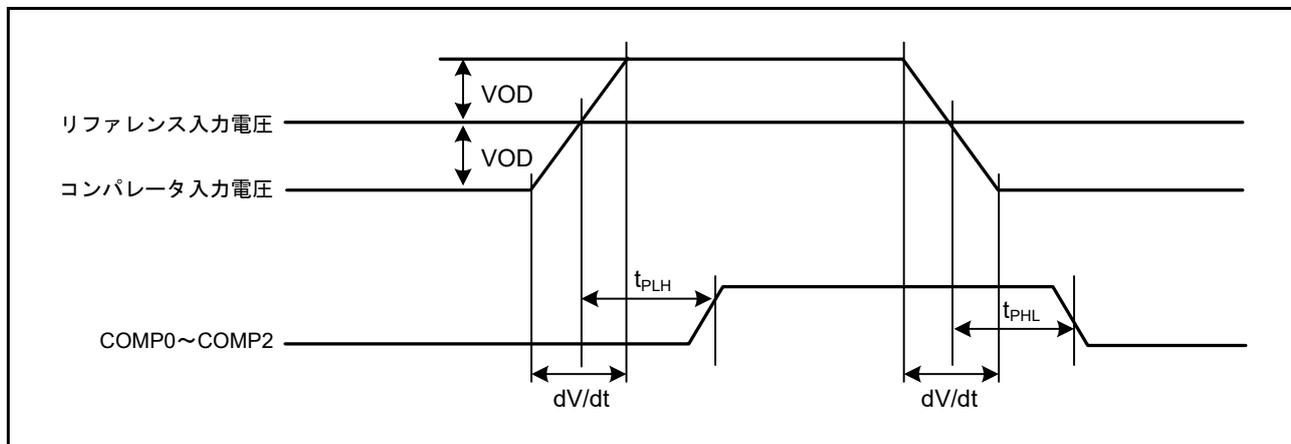


図 2.53 コンパレータ応答時間

## 2.9 D/A 変換特性

表 2.55 D/A変換特性

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	$t_{DCONV}$	—	—	3.0	$\mu\text{s}$	負荷容量35pF
絶対精度	—	—	$\pm 1.0$	$\pm 3.0$	LSB	負荷抵抗2M $\Omega$
	—	—	$\pm 1.0$	$\pm 2.0$	LSB	負荷抵抗4M $\Omega$
微分非直線性誤差(DNL)	—	—	$\pm 1.0$	$\pm 2.0$	LSB	
出力負荷抵抗	—	4	—	—	M $\Omega$	
出力負荷容量	—	—	—	35	pF	
出力抵抗	—	—	9.0	—	k $\Omega$	

## 2.10 温度センサ特性

表2.56 温度センサ特性

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	
温度傾斜	—	—	-3.3	—	mV/°C	
出力電位(25°C)	—	—	1.05	—	V	
温度センサ起動時間	t <sub>START</sub>	—	—	5	μs	
サンプリング時間(注1)	—	3.9	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTRTレジスタを設定してください。

## 2.11 パワーオンリセット回路、電圧検出回路特性

表2.57 パワーオンリセット回路、電圧検出回路特性(1)

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット(POR)(注1)	V <sub>POR</sub>	1.35	1.50	1.65	V	図2.54、図2.55
	電圧検出回路(LVD0)(注2)	V <sub>det0_0</sub>	3.67	3.85	3.97	V	図2.56 VCC立ち下がり時
V <sub>det0_1</sub>		2.70	2.85	3.00			
V <sub>det0_2</sub>		2.37	2.53	2.67			
電圧検出回路(LVD1)(注3)	V <sub>det1_0</sub>	4.12	4.29	4.42	V	図2.57 VCC立ち下がり時	
	V <sub>det1_1</sub>	3.98	4.16	4.28			
	V <sub>det1_2</sub>	3.86	4.03	4.16			
	V <sub>det1_3</sub>	3.68	3.86	3.98			
	V <sub>det1_4</sub>	2.99	3.10	3.29			
	V <sub>det1_5</sub>	2.89	3.00	3.19			
	V <sub>det1_6</sub>	2.79	2.90	3.09			
	V <sub>det1_7</sub>	2.68	2.80	2.98			
	V <sub>det1_8</sub>	2.57	2.68	2.87			
	V <sub>det1_9</sub>	2.47	2.59	2.67			
電圧検出回路(LVD2)(注4)	V <sub>det2_0</sub>	4.08	4.32	4.48	V	図2.58 VCC立ち下がり時	
	V <sub>det2_1</sub>	3.95	4.17	4.35			
	V <sub>det2_2</sub>	3.82	4.03	4.22			
	V <sub>det2_3</sub>	3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. パワーオンリセット解除後にMCUは動作します。電気的特性は2.7V以上から保証されます。

注2. 記号V<sub>det0\_n</sub>のnは、VDSEL1[1:0]ビットの値です。

注3. 記号V<sub>det1\_n</sub>のnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注4. 記号V<sub>det2\_n</sub>のnは、LVDLVLR.LVD2LVL[1:0]ビットの値です。

表2.58 パワーオンリセット回路、電圧検出回路特性(2)

項目	記号	min	typ	max	単位	測定条件	
パワーオンリセット 解除後待機時間	通常起動時(注1)	$t_{POR}$	—	31.5	—	ms	図2.55
	起動時間短縮時(注2)	$t_{POR}$	—	5.0	—		
電圧監視0リセット解除後待機時間	$t_{LVD0}$	—	860	—	$\mu$ s	図2.56	
電圧監視1リセット 解除後待機時間	LVD0無効時(注4)	$t_{LVD1}$	—	160	—	$\mu$ s	図2.57
	LVD0有効時(注5)	$t_{LVD1}$	—	860	—		
電圧監視2リセット 解除後待機時間	LVD0無効時(注4)	$t_{LVD2}$	—	160	—	$\mu$ s	図2.58
	LVD0有効時(注5)	$t_{LVD2}$	—	860	—		
POR応答遅延時間	$t_{det}$	—	—	500	$\mu$ s	図2.54	
LVD0応答遅延時間		—	—	500	$\mu$ s	図2.54	
LVD1応答遅延時間		—	—	360	$\mu$ s	図2.54	
LVD2応答遅延時間		—	—	600	$\mu$ s	図2.54	
POR/LVD0最小VCC低下時間(注3)	$t_{VOFF}$	500	—	—	$\mu$ s	図2.54、VCC = 1.0V以上	
LVD1最小VCC低下時間(注3)		300	—	—	$\mu$ s	図2.54、VCC = 1.0V以上	
LVD2最小VCC低下時間(注3)		600	—	—	$\mu$ s	図2.54、VCC = 1.0V以上	
パワーオンリセット有効時間	$t_{W(POR)}$	1	—	—	ms	図2.55、VCC = 1.0V未満	
LVD1動作安定時間(LVD有効切り替え時)	$t_{d(E-A)}$	—	—	300	$\mu$ s	図2.57	
LVD2動作安定時間(LVD有効切り替え時)	$t_{d(E-A)}$	—	—	1200	$\mu$ s	図2.58	
ヒステリシス幅(パワーオンリセット(POR))	$V_{PORH}$	—	110	—	mV		
ヒステリシス幅(電圧検出回路 (LVD0, LVD1, LVD2))	$V_{LVH}$	—	60	—	mV	LVD0選択時	
		—	110	—		Vdet1_0 ~ Vdet1_2選択時	
		—	70	—		Vdet1_3 ~ 9選択時	
		—	90	—		LVD2選択時	

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル $V_{POR}$ 、 $V_{det0}$ 、 $V_{det1}$ 、 $V_{det2}$ のmin値を下回っている時間です。

注4. OFS1.LVDAS = 1bを設定した場合です。

注5. OFS1.LVDAS = 0bを設定した場合です。

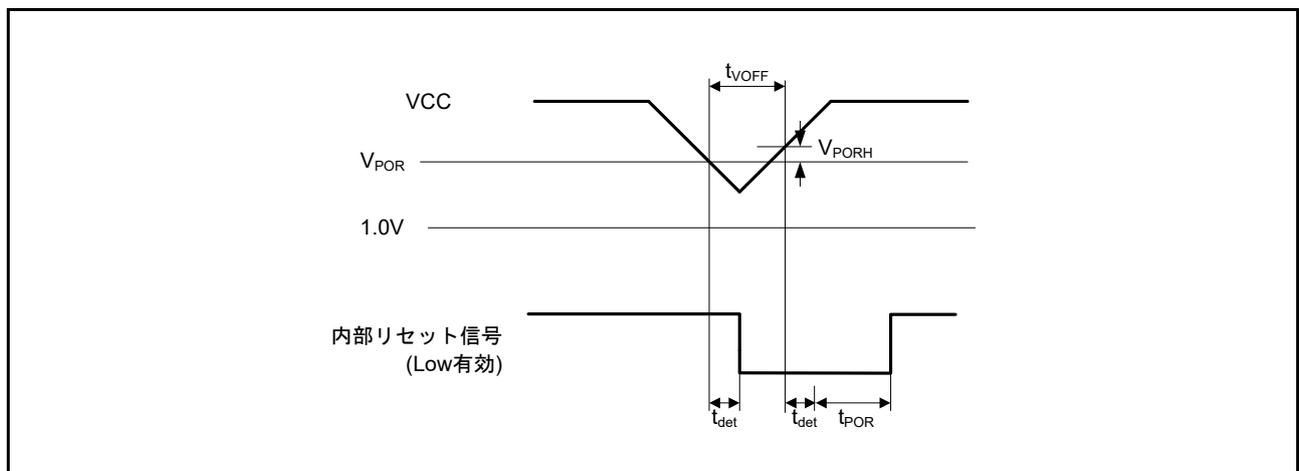


図2.54 電圧検出リセットタイミング

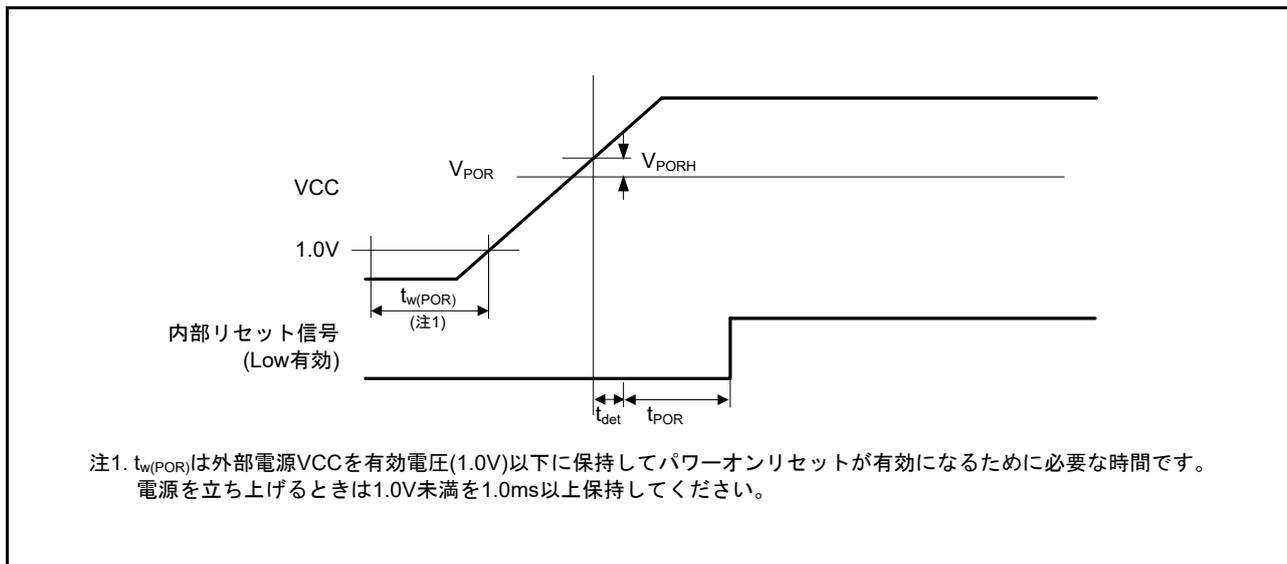


図 2.55 パワーオンリセットタイミング

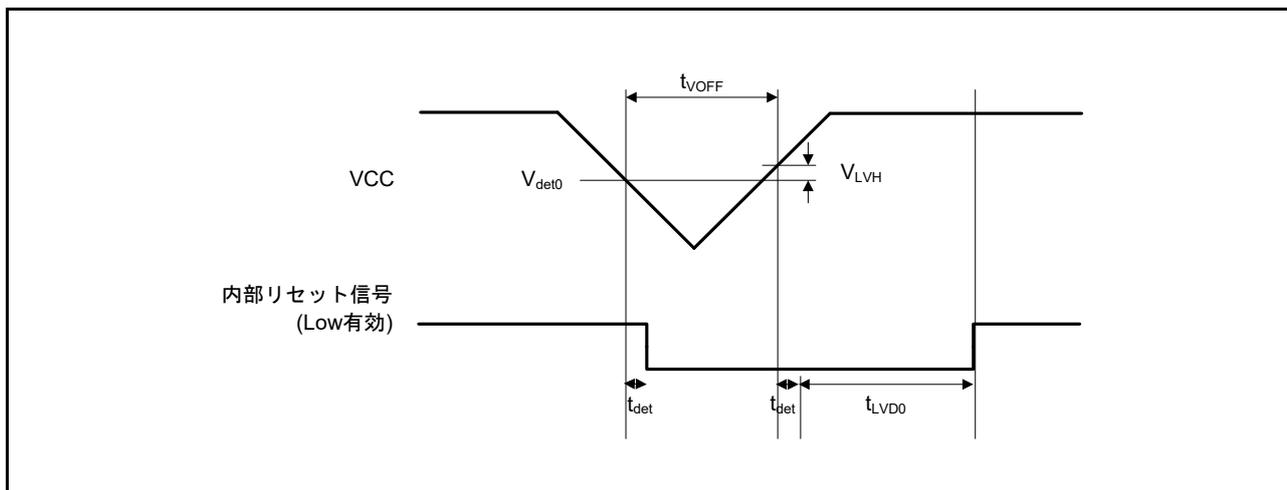


図 2.56 電圧検出回路タイミング ( $V_{det0}$ )



## 2.12 発振停止検出タイミング

表 2.59 発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
検出時間	$t_{dr}$	—	—	1	ms	図 2.59

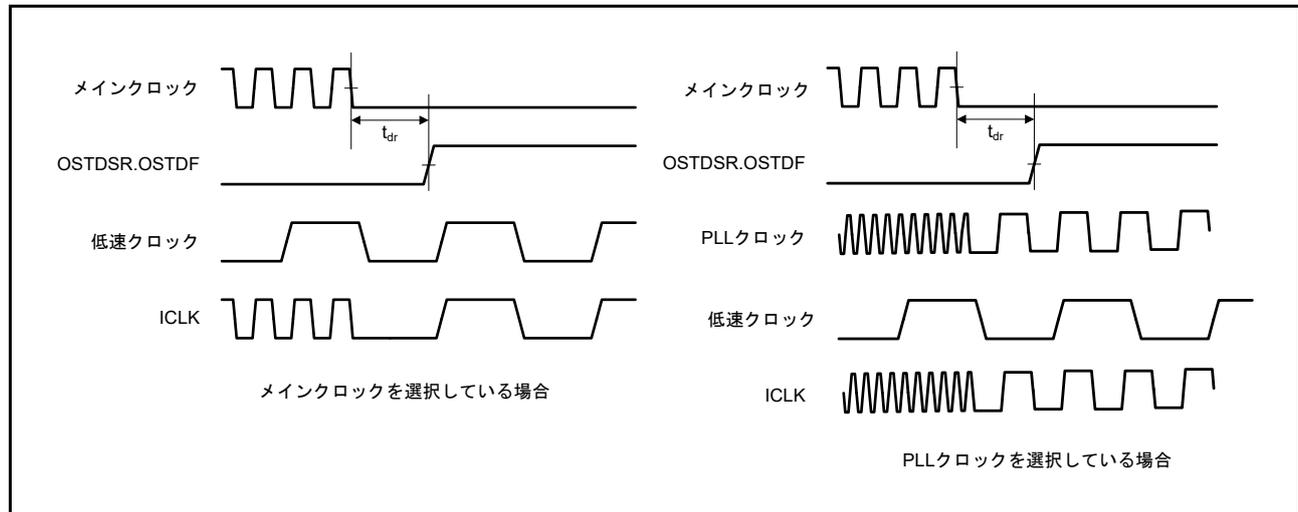


図 2.59 発振停止検出タイミング

## 2.13 ROM (コード格納用フラッシュメモリ) 特性

表2.60 ROM (コード格納用フラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件	
プログラム/イレーズ回数 (注1)	$N_{PEC}$	10K	—	—	回		
データ保持時間 (注2、注3)	$N_{PEC}$ 10K回後	$t_{DRP}$	20	—	—	年	$T_a \leq +105^\circ\text{C}$
			10	—	—		$T_a \leq +125^\circ\text{C}$

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。  
たとえば、2Kバイトのブロックについて、それぞれ異なる番地に8バイトプログラムを256回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。
- 注3. 信頼性試験から得られた結果です。

表2.61 ROM (コード格納用フラッシュメモリ) 特性(2) 高速動作モード

項目	記号	FCLK = 1MHz			FCLK = 32MHz			FCLK = 48MHz			単位	
		min	typ	max	min	typ	max	min	typ	max		
プログラム時間	8バイト	$t_{P8}$	—	94	843.5	—	45.4	448.7	—	45.1	446.0	$\mu\text{s}$
イレーズ時間	2Kバイト	$t_{E2K}$	—	8.3	282.0	—	5.4	220.4	—	5.4	220.1	ms
	128Kバイト	$t_{E128K}$	—	204	4447	—	20.3	535.3	—	19.6	520.7	ms
ブランクチェック時間	8バイト	$t_{BC8}$	—	—	45.0	—	—	8.9	—	—	8.7	$\mu\text{s}$
	2Kバイト	$t_{BC2K}$	—	—	1573	—	—	120	—	—	115	$\mu\text{s}$
イレーズ処理強制停止時間		$t_{SED}$	—	—	22.8	—	—	11.1	—	—	11.0	$\mu\text{s}$
スタートアップ領域入れ替え設定時間		$t_{SAS}$	—	8.2	503.3	—	5.6	438.0	—	5.6	437.7	ms
アクセスウィンドウ設定時間		$t_{AWS}$	—	8.2	503.3	—	5.6	438.0	—	5.6	437.7	ms
ROMモード遷移待ち時間		$t_{MS}$	15	—	—	15	—	—	15	—	—	$\mu\text{s}$

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
- 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

表2.62 ROM (コード格納用フラッシュメモリ)特性(3) 中速動作モード

項目	記号	FCLK = 1MHz			FCLK = 24MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	$t_{P8}$	—	94.0	843.5	—	45.7	450.7	$\mu$ s
イレーズ時間	2Kバイト	$t_{E2K}$	—	8.3	282.0	—	5.4	220.2	ms
	128Kバイト	$t_{E128K}$	—	204	4447	—	19.6	521	ms
ブランクチェック時間	8バイト	$t_{BC8}$	—	—	45	—	—	9	$\mu$ s
	2Kバイト	$t_{BC2K}$	—	—	1573	—	—	115	$\mu$ s
イレーズ処理強制停止時間		$t_{SED}$	—	—	22.8	—	—	11.2	$\mu$ s
スタートアップ領域入れ替え設定時間		$t_{SAS}$	—	8.2	503.3	—	5.6	437.7	ms
アクセスウィンドウ設定時間		$t_{AWS}$	—	8.2	503.3	—	5.6	437.7	ms
ROMモード遷移待ち時間		$t_{MS}$	15	—	—	15	—	—	$\mu$ s

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

## 2.14 E2 データフラッシュ ( データ格納用フラッシュメモリ ) 特性

表2.63 E2データフラッシュ特性(1)

項目	記号	min	typ	max	単位	条件	
プログラム/イレーズ回数 (注1)	$N_{DPEC}$	100K	1000K	—	回		
データ保持時間	$N_{DPEC}$ 10K回後	$t_{DDRP}$	20 (注2、注3)	—	—	年	$T_a \leq +105^\circ\text{C}$
			10 (注2、注3)	—	—	年	$T_a \leq +125^\circ\text{C}$
	$N_{DPEC}$ 100K回後	5 (注2、注3)	—	—	年	$T_a \leq +125^\circ\text{C}$	
	$N_{DPEC}$ 1000K回後	—	1 (注2、注3)	—	年	$T_a = +25^\circ\text{C}$	

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。たとえば、256バイトのブロックについて、それぞれ異なる番地に1バイトプログラムを256回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。
- 注3. 信頼性試験から得られた結果です。

表2.64 E2データフラッシュ特性(2) 高速動作モード

項目	記号	FCLK = 1MHz			FCLK = 32MHz			FCLK = 48MHz			単位	
		min	typ	max	min	typ	max	min	typ	max		
プログラム時間	1バイト	$t_{DP1}$	—	83.0	729.5	—	35.1	341.2	—	34.8	338.8	$\mu\text{s}$
イレーズ時間	256バイト	$t_{DE256}$	—	8.3	282.0	—	5.4	220.4	—	5.4	220.1	ms
	4Kバイト	$t_{DE4K}$	—	55.0	1273.7	—	9.0	295.4	—	8.8	291.7	ms
ブランクチェック時間	1バイト	$t_{DBC1}$	—	—	44.6	—	—	8.9	—	—	8.2	$\mu\text{s}$
	256バイト	$t_{DBC256}$	—	—	1573	—	—	120	—	—	115	$\mu\text{s}$
イレーズ処理強制停止時間		$t_{DSED}$	—	—	22.8	—	—	11.1	—	—	11.0	$\mu\text{s}$
データフラッシュ STOP解除時間		$t_{DSTOP}$	250	—	—	250	—	—	250	—	—	ns

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
- 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

表2.65 E2データフラッシュ特性(3) 中速動作モード

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	$t_{DP1}$	—	83.0	729.5	—	35.3	343.2	$\mu\text{s}$
イレーズ時間	256バイト	$t_{DE256}$	—	8.3	282.0	—	5.4	220.2	ms
	4Kバイト	$t_{DE4K}$	—	55.0	1273.7	—	8.8	291.8	ms
ブランクチェック時間	1バイト	$t_{DBC1}$	—	—	44.6	—	—	9.0	$\mu\text{s}$
	256バイト	$t_{DBC256}$	—	—	1573	—	—	115	ms
イレーズ処理強制停止時間		$t_{DSED}$	—	—	22.8	—	—	11.2	$\mu\text{s}$
データフラッシュ STOP解除時間		$t_{DSTOP}$	250	—	—	250	—	—	ns

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
- 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。
- 注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

## 2.15 使用上の注意事項

### 2.15.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 $\mu$ F を接続する必要があります。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 $\mu$ F (推奨値) を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「30. 12ビット A/D コンバータ (S12ADF)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

### 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。

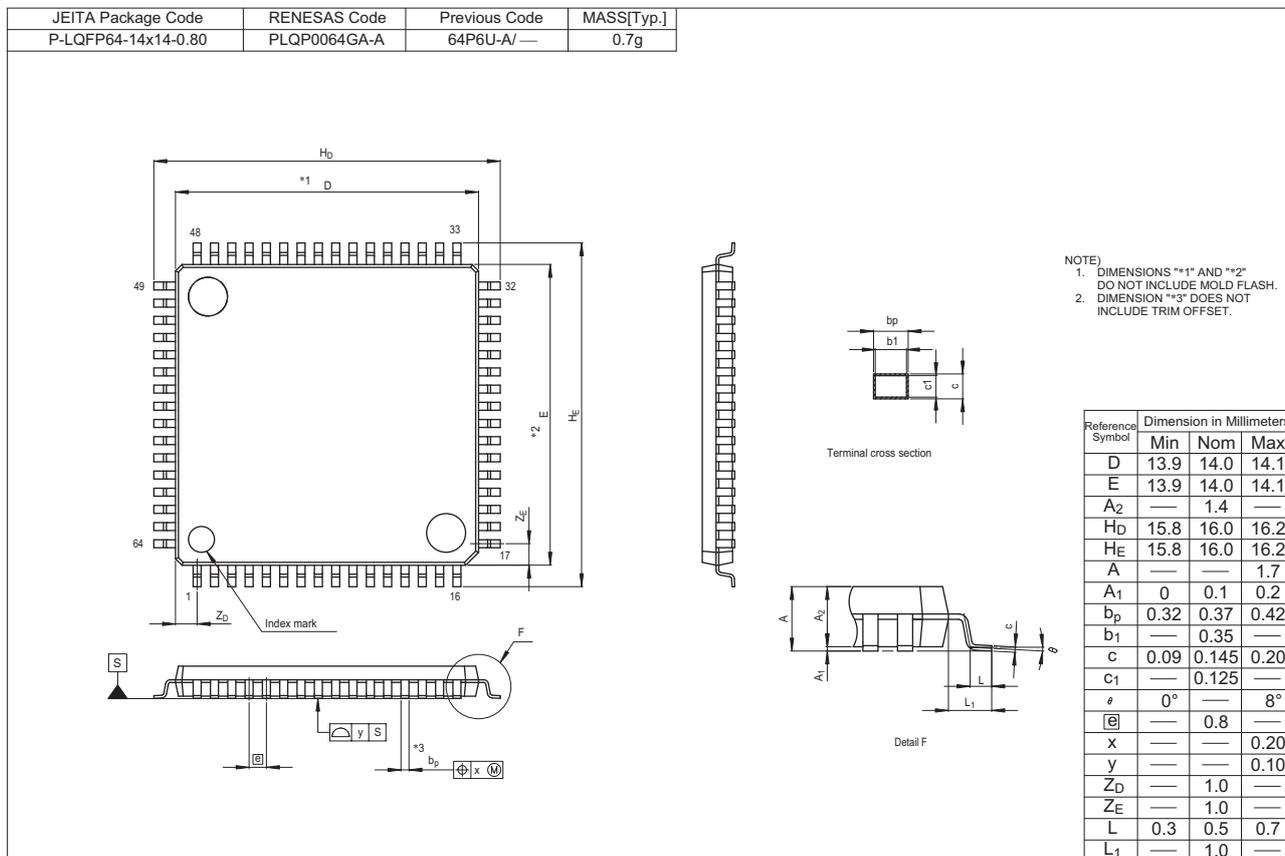


図 A. 64ピン LQFP (PLQP0064GA-A)

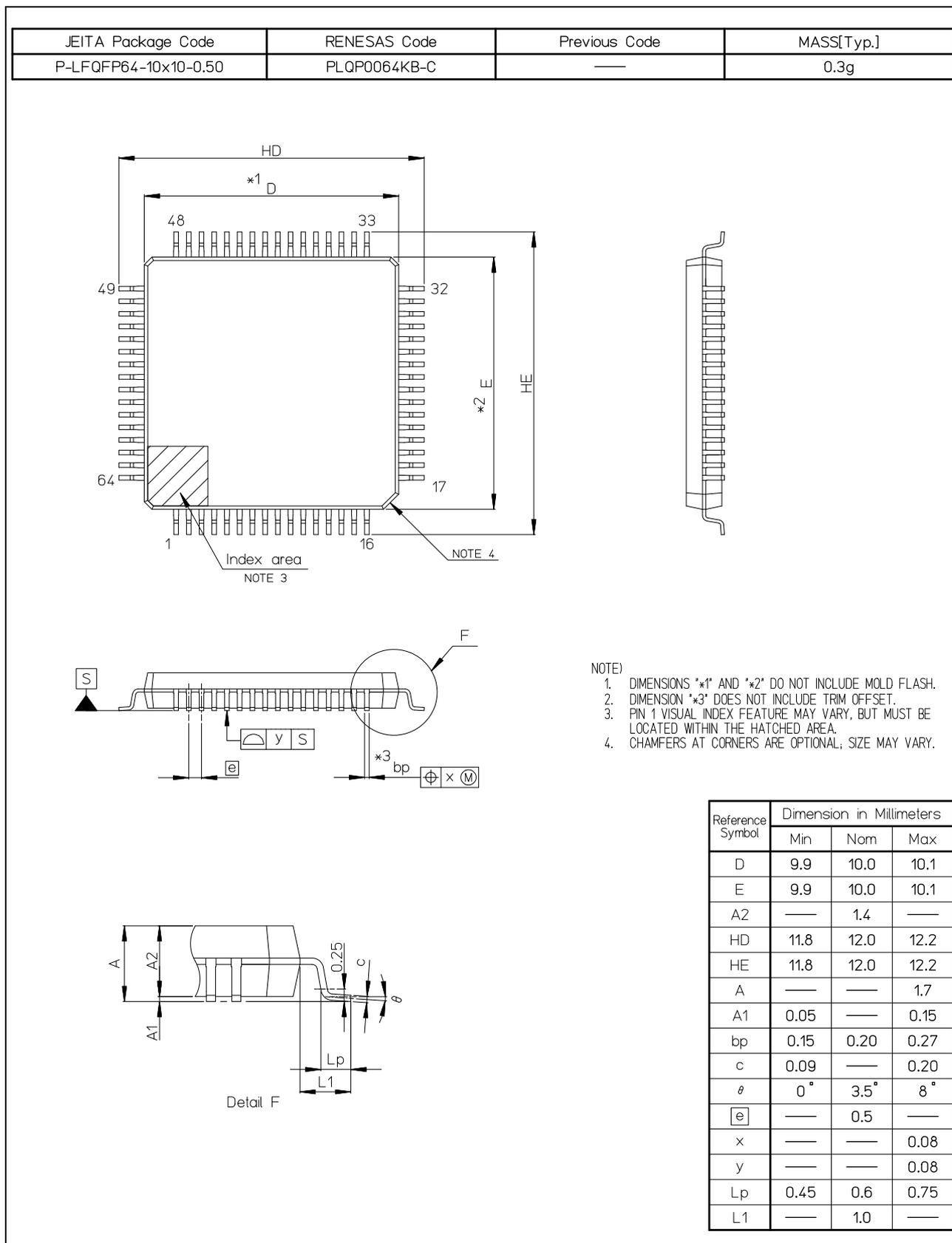


図 B. 64 ピン LFQFP (PLQP0064KB-C)

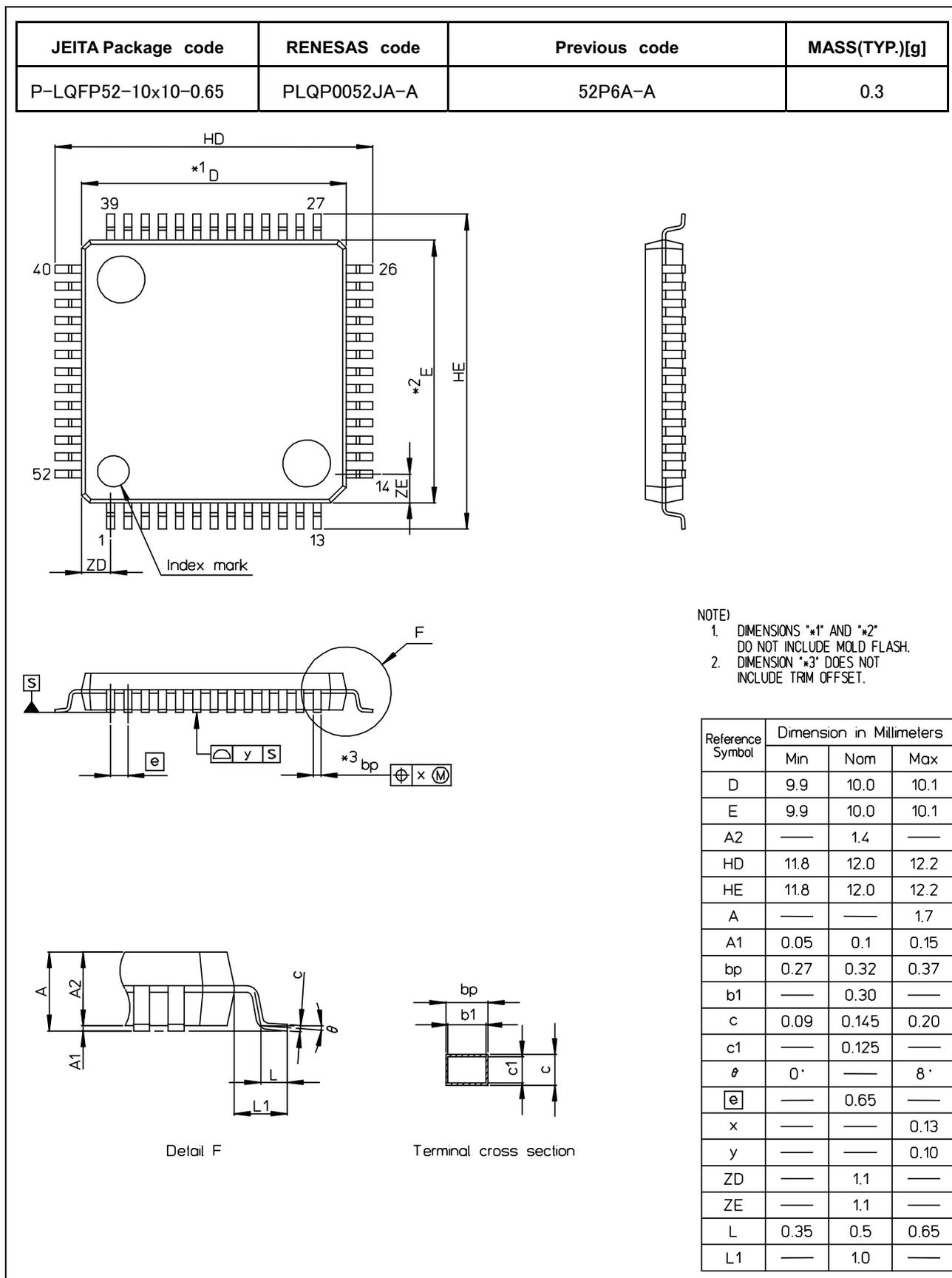


図 C. 52ピン LQFP (PLQP0052JA-A)

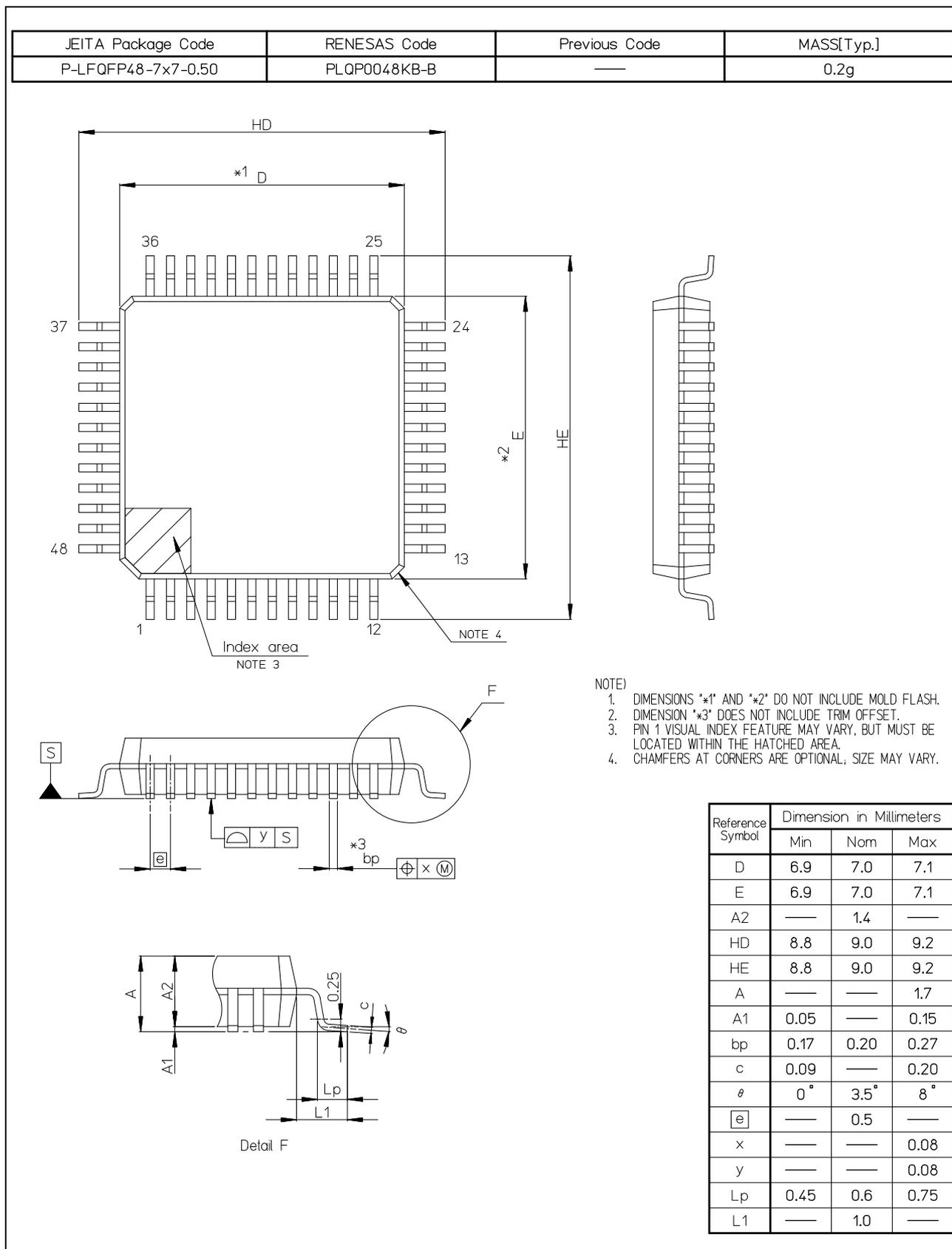


図 D. 48ピン LFQFP (PLQP0048KB-B)

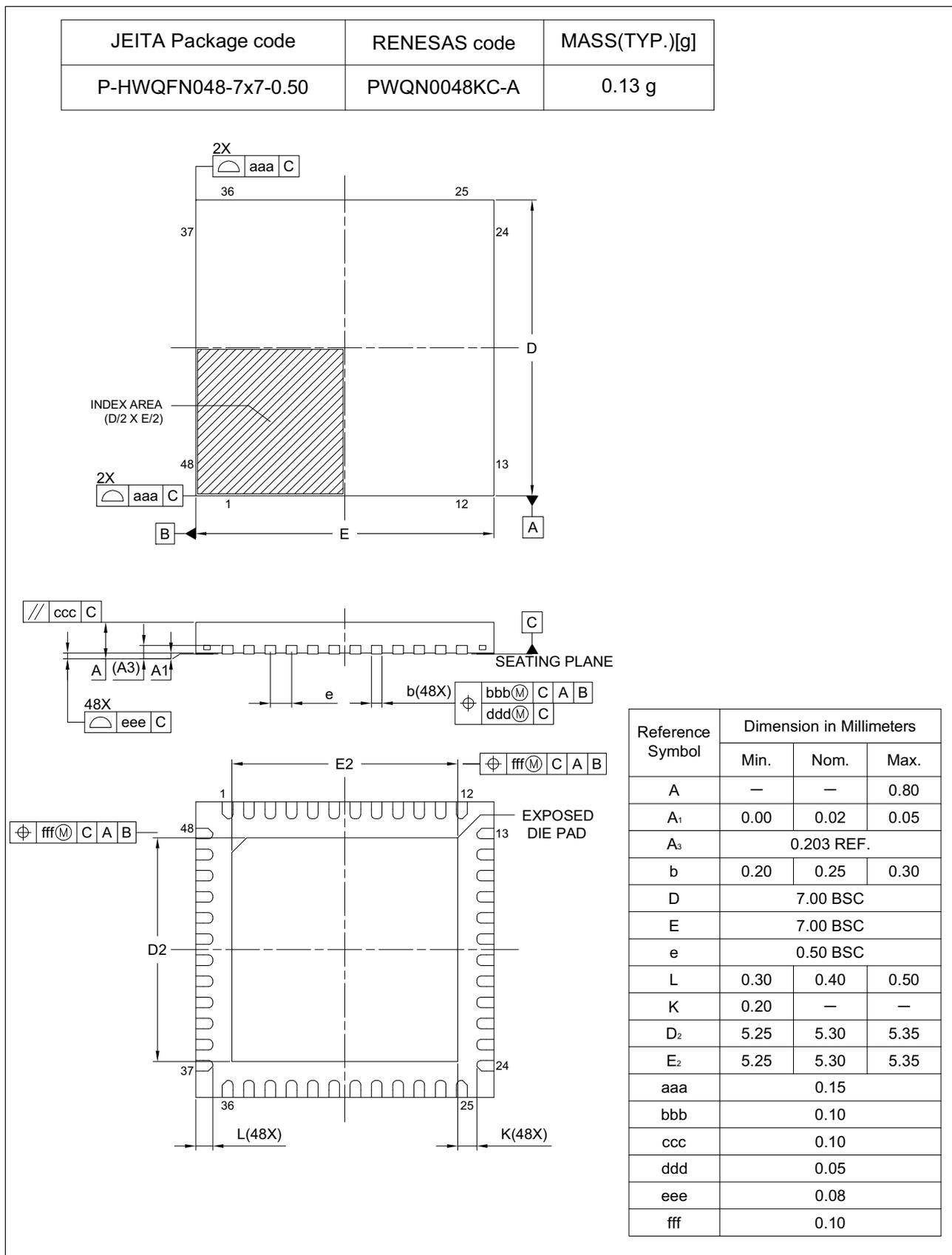
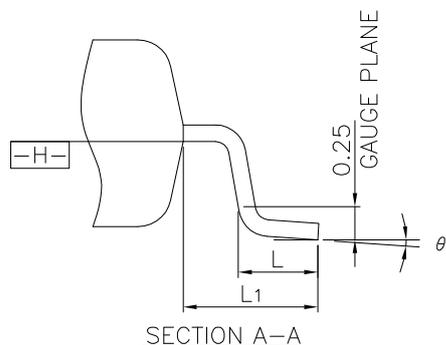
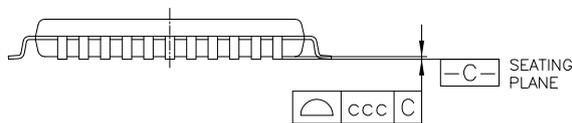
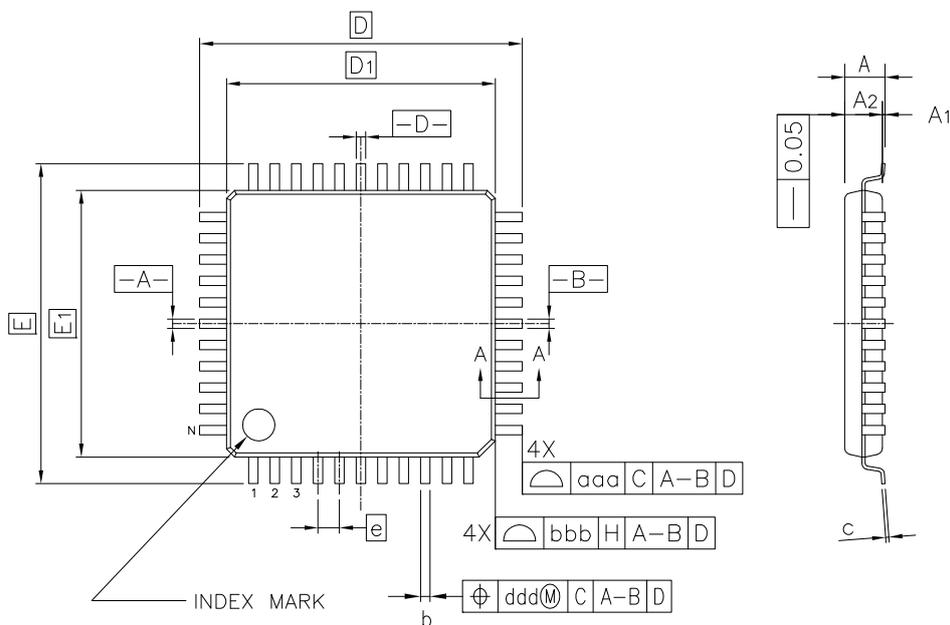


図 E. 48ピン HWQFN (PWQN0048KC-A)

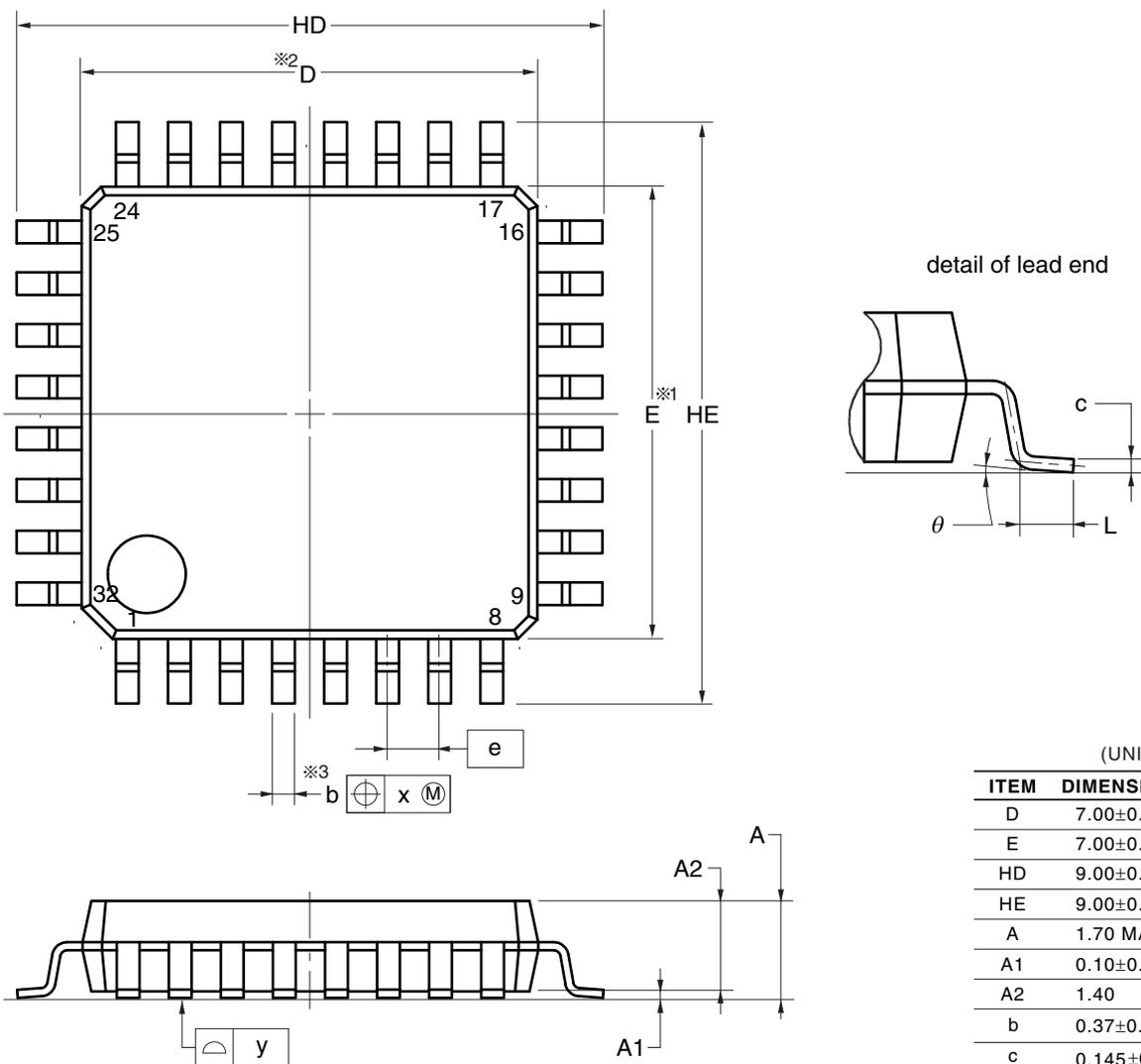
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP44-10x10-0.80	PLQP0044GF-A	0.3



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.70
A <sub>1</sub>	0.05	—	0.15
A <sub>2</sub>	1.35	1.40	1.45
D	12.00 BSC.		
D <sub>1</sub>	10.00 BSC.		
E	12.00 BSC.		
E <sub>1</sub>	10.00 BSC.		
N	—	44	—
e	0.80 BSC.		
b	0.30	0.37	0.45
c	0.09	—	0.20
θ	0°	3.5°	8°
L	0.45	0.60	0.75
L <sub>1</sub>	1.00 REF.		
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.10
ddd	—	—	0.20

図 F. 44ピン LQFP (PLQP0044GF-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2



(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
$\theta$	0° to 8°
e	0.80
x	0.20
y	0.10

**NOTE**

1. Dimensions “※1” and “※2” do not include mold flash.
2. Dimension “※3” does not include trim offset.

図 G. 32ピン LQFP (PLQP0032GB-A)



JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWQFN24-4 × 4-0.50	PWQN0024KG-A	0.04

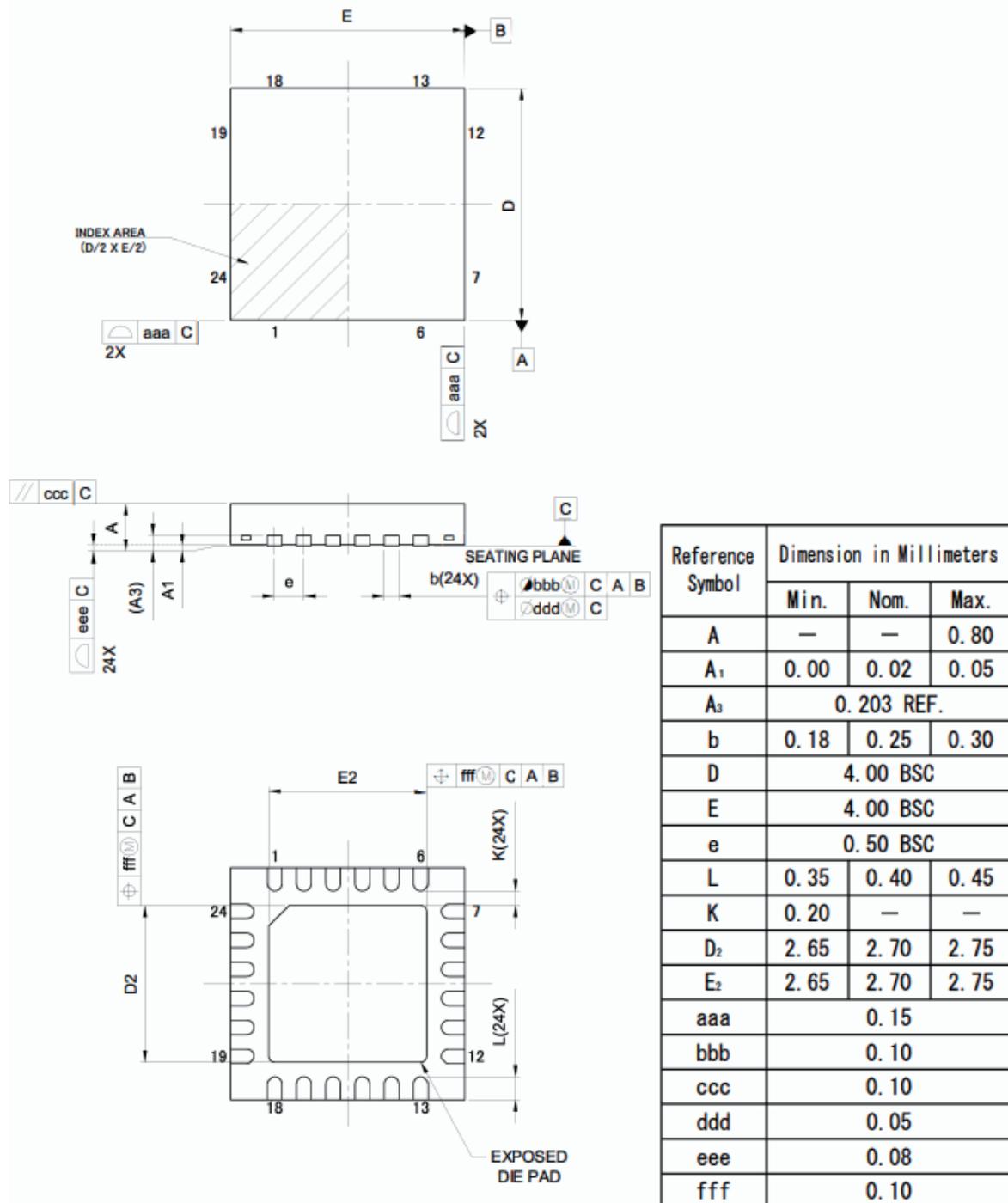


図 I. 24ピン HWQFN (PWQN0024KG-A)

改訂記録	RX14T グループ データシート
------	-------------------

## 改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2025.09.30	—	初版発行	
1.01	2025.10.22	—	52ピンパッケージコード 変更	
1.02	2025.12.12	2. 電気的特性		
		80	表 2.48 A/D変換特性(1) 注1 変更、注2 削除	
		81	表 2.49 A/D変換特性(2) 注1 変更、注2 削除	
		82	表 2.50 A/D変換特性(3) 注1 変更、注2 削除	
		86	表 2.53 プログラマブルゲインアンプ特性 変更	

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセット時、外部発振器（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振器（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash® は、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。