

RL78/ F13, F14

ルネサスマイクロコントローラ

R01DS0460JJ0240

Rev.2.40

2026.09.30

RL78/F13, F14マイコンは78K0RおよびR8Cの後継品であり、20-100ピン、16-256KBフラッシュ・メモリのラインアップを用意、業界最小レベルの消費電流を実現。車載インタフェースとして一般的なCANモジュール、LINモジュールを搭載し、タイマRD、コンパレータおよびD/AコンバータによりBLDCモータ制御にも対応。RL78/F12の機能安全の関連機能にRAM ECC機能、PLLロック機能、ポート出力状態モニタ、スタックオーバーフロー検出、WDT専用内蔵発振器など追加。より信頼性の高いシステムを構築できるため、車載用途はもちろん産業用途にも使用可能。

1. 概説

1.1 特徴

- 高速 (0.03125 μ s : 高速オンチップ・オシレータ・クロックおよびPLLクロック32 MHz動作時) から超低速 (66.6 μ s : 低速オンチップ・オシレータ・クロック15 kHz動作時) まで最小命令実行時間を変更可能
- 汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)
- ROM : 16~256 KB
- RAM : 1~20 KB
- データ・フラッシュ : 4KB/8KB
- 高速オンチップ・オシレータ・クロック内蔵
32 MHz (Typ.), 24 MHz (Typ.), 16 MHz (Typ.), 12 MHz (Typ.), 8 MHz (Typ.), 4 MHz (Typ.), 1 MHz (Typ.)
から選択可能 (タイマRDでは64 MHz (Typ.)および48 MHz (Typ.)も選択可能)
- 低速オンチップ・オシレータ・クロック内蔵 : 15 kHz
×2チャンネル (WWDT専用、CPU/WWDT以外の周辺機能用)
- PLL回路内蔵 (×3、×4、×6、×8)
- 単電源のフラッシュ・メモリ内蔵 (ブロック消去/書き込み禁止機能あり)
- セルフプログラミング機能対応 (ブート・スワップ/フラッシュ・シールド・ウインドウ機能あり)
- オンチップ・デバッグ機能内蔵
- パワーオン・リセット (POR) 回路、低電圧検出 (LVD) 回路内蔵
- ウォッチドッグ・タイマ内蔵 (専用の低速オンチップ・オシレータ・クロックで動作可能)
- 乗除・積和演算命令対応
16ビット×16ビット = 32ビット (符号付/符号なし)
32ビット÷32ビット = 32ビット (符号なし)
16ビット×16ビット+32ビット = 32ビット (符号付/符号なし)
- キー割り込み機能内蔵
- クロック出力/ブザー出力制御回路内蔵
- 10進補正 (BCD) 回路内蔵
- I/Oポート : 16~92本 (入力専用端子 : 1本含む)
- タイマ
16ビット・タイマ・アレイ・ユニット : 8~16チャンネル
16ビット・タイマRD : 2チャンネル (三相波形出力 (6本) 鋸波変調/三角波変調)

16ビット・タイマRJ : 1チャンネル

ウォッチドッグ・タイマ : 1チャンネル

リアルタイム・クロック : 1チャンネル

• シリアル・インタフェース

CSI

UART/UART (LIN-bus対応)

I²C/簡易I²C

LINモジュール (マスタ/スレーブ対応)

CANインタフェース (RS-CAN lite)

- 8/10ビット分解能A/Dコンバータ (V_{DD} = 2.7~5.5 V) : 4~31チャンネル

- DTC (最大44要因)

- ELC (リンク元 : 最大26チャンネル、リンク先 : 最大9チャンネル) 注

- 安全機能 (CRC演算機能/クロック・モニタ機能/ADテスト機能/SFRガード機能など)

- 8ビットD/Aコンバータ注

- コンパレータ : 1チャンネル (入力端子 : 4チャンネル) 注

- 電源電圧 : V_{DD} = 2.7~5.5 V

- 動作周囲温度 :

TA = -40~+105°C (Lグレード)

TA = -40~+125°C (Kグレード)

TA = -40~+150°C (Yグレード)

注 RL78/F14のみ搭載しています。

System	16-bit CPU	Interfaces
Data Transfer Controller (DTC)	RL78 Core 32 MHz @TA = -40 to 105 °C 24 MHz @TA = -40 to 125 °C 24 MHz @TA = -40 to 150 °C V _{DD} = 2.7 V to 5.5 V	1 × CAN *
Event Link Controller (ELC) *	CISC Harvard Architecture (3-stage Pipeline)	up to 2 × LIN/UART module
Int. high-speed oscillator up to 64 MHz	Four Register Banks	Serial Array Unit up to 4 × CSI (SPI) up to 2 × UART up to 4 × Simplified I ² C
Int. low-speed oscillator 15 kHz	MUL / MAC / DIV instructions	up to 1 × Multi-master I ² C
External Oscillator 1 to 20 MHz	Memory	Timers
Ext. Sub Oscillator 32.7 kHz	Code Flash up to 256 KB	Timer Array Unit up to 16-bit × 16ch
PLL up to 64 MHz	RAM up to 20 KB	Timer RD 16-bit × 2ch
Ext. Interrupt up to 16ch	Data Flash up to 8 KB	Timer RJ 16-bit × 1ch
Key Return up to 8ch	Power Management	Real Time Clock (RTC)
Power On Reset (POR)	HALT SNOOZE Serial, ADC STOP RAM on	Analog
Low Voltage Detector (LVD)	Safety	10-bit ADC up to 31ch
On-Chip debug (Hot plug-in, live debug)	RAM ECC Clock Monitor	8-bit DAC 1ch *
	Memory CRC ADC self-diagnostic	Comparator *
	Window WDT	

*. Only available in the RL78/F14 product.

RL78/F13, F14ブロック図

用途

自動車電装一般 (モータ制御、ドア制御、フロントライント制御など)、2輪エンジン制御

1.2 製品一覧

表1-1 RL78/F14のメモリ・ラインナップ

Code Flash	Data Flash	RAM	端子数						
			100ピン(LFQFP)	80ピン(LFQFP)	64ピン(LFQFP)	48ピン (HVQFN/HWQFN)	48ピン(LFQFP)	32ピン (HVQFN/HWQFN)	30ピン(LSSOP)
48 KB	4 KB	4 KB	—	—	—	R5F10PGD R5F10PGDC	R5F10PGDC	R5F10PBD R5F10PBDC	R5F10PAD R5F10PADC
64 KB		6 KB	R5F10PPEC	R5F10PMEC	R5F10PLEC	R5F10PGE R5F10PGECC	R5F10PGECC	R5F10PBE R5F10PBEC	R5F10PAE R5F10PAEC
96 KB		8 KB	R5F10PPFC	R5F10PMFC	R5F10PLFC	R5F10PGF R5F10PGFC	R5F10PGFC	—	—
128 KB	8 KB	10 KB	R5F10PPGC	R5F10PMGC	R5F10PLGC	R5F10PGG R5F10PGGC	R5F10PGGC	—	—
192 KB		16 KB	R5F10PPHC	R5F10PMHC	R5F10PLHC	R5F10PGH R5F10PGHC	R5F10PGHC	—	—
256 KB		20 KB	R5F10PPJC	R5F10PMJC	R5F10PLJC	R5F10PGJ R5F10PGJC	R5F10PGJC	—	—

表1-2 RL78/F13（CAN&LIN搭載版）メモリ・ラインナップ

Code Flash	Data Flash	RAM	端子数					
			80ピン(LFQFP)	64ピン(LFQFP)	48ピン (HVQFN/HWQFN)	48ピン(LFQFP)	32ピン (HVQFN/HWQFN)	30ピン(LSSOP)
32 KB	4 KB	2 KB	—	R5F10BLCC	R5F10BGC R5F10BGCC	R5F10BGCC	R5F10BBC R5F10BBCC	R5F10BAC R5F10BACC
48 KB		3 KB	—	R5F10BLDC	R5F10BGD R5F10BGDC	R5F10BGDC	R5F10BBB R5F10BBDC	R5F10BAD R5F10BADC
64 KB		4 KB	R5F10BMEC	R5F10BLEC	R5F10BGE R5F10BGEC	R5F10BGEC	R5F10BBE R5F10BBEC	R5F10BAE R5F10BAEC
96 KB		6 KB	R5F10BMFC	R5F10BLFC	R5F10BGF R5F10BGFC	R5F10BGFC	R5F10BBF R5F10BBFC	R5F10BAF R5F10BAFC
128 KB		8 KB	R5F10BMGC	R5F10BLGC	R5F10BGG R5F10BGGC	R5F10BGCC	R5F10BBG R5F10BBGC	R5F10BAG R5F10BAGC

表1-3 RL78/F13（LIN搭載版）メモリ・ラインナップ

Code Flash	Data Flash	RAM	端子数						
			80ピン(LFQFP)	64ピン(LFQFP)	48ピン (HVQFN/HWQFN)	48ピン(LFQFP)	32ピン (HVQFN/HWQFN)	30ピン(LSSOP)	20ピン(LSSOP)
16 KB	4 KB	1 KB	—	—	R5F10AGA R5F10AGAC	R5F10AGAC	R5F10ABA R5F10ABAC	R5F10AAA R5F10AAAC	R5F10A6A R5F10A6AC
32 KB		2 KB	—	R5F10ALCC	R5F10AGC R5F10AGCC	R5F10AGCC	R5F10ABC R5F10ABCC	R5F10AAC R5F10AACC	R5F10A6C R5F10A6CC
48 KB		3 KB	—	R5F10ALDC	R5F10AGD R5F10AGDC	R5F10AGDC	R5F10ABD R5F10ABDC	R5F10AAD R5F10AADC	R5F10A6D R5F10A6DC
64 KB		4 KB	R5F10AMEC	R5F10ALEC	R5F10AGE R5F10AGEC	R5F10AGEC	R5F10ABE R5F10ABEC	R5F10AAE R5F10AAEC	R5F10A6E R5F10A6EC
96 KB		6 KB	R5F10AMFC	R5F10ALFC	R5F10AGF R5F10AGFC	R5F10AGFC	—	—	—
128 KB		8 KB	R5F10AMGC	R5F10ALGC	R5F10AGG R5F10AGGC	R5F10AGGC	—	—	—

1.3 機能概要

1.3.1 RL78/F14機能一覧

表1-4 RL78/F14機能一覧表 (1/2)

シリーズ名			R5F10PP	R5F10PM	R5F10PL	R5F10PG	R5F10PB	R5F10PA	
端子数			100ピン	80ピン	64ピン	48ピン	32ピン	30ピン	
Code Flash			64～256 KB			48～256 KB	48KB, 64 KB		
Data Flash			8 KB/4 KB				4 KB		
RAM			6～20 KB			4～20 KB	4 KB, 6 KB		
電源電圧範囲			2.7 V～5.5 V						
最高動作周波数			32 MHz (Lグレード) , 24 MHz (Kグレード, Yグレード)						
システム・クロック	メイン発振回路	水晶/セラミック/方形波	1～20 MHz (2.7 V～5.5 V動作時)						
	高速オンチップ・オシレータ	常用高精度	32 MHz (Typ.)						
	低速オンチップ・オシレータ	低速動作	15 kHz (Typ.)						
	サブ発振回路		32.768 kHz ^{※7}				なし		
	PLL		PLL通倍比は×3/×4/×6/×8						
周辺専用クロック	低速オンチップ・オシレータ	WDT以外の周辺機能用	15 kHz (Typ.)						
		WDT専用	15 kHz (Typ.)						
POR		電源立ち上がり時	1.56 V (Typ.)						
		電源立ち下がり時	1.55 V (Typ.)						
LVD	V _{DD} 電圧検出	電源立ち上がり時	2.81 V (Typ.) ～4.74 V (Typ.) (6段階)						
		電源立ち下がり時	2.75 V (Typ.) ～4.64 V (Typ.) (6段階)						
セーフティ機能	WDT (ウィンドウ・ウォッチドッグ・タイマ)		対応						
	不正命令実行検出機能		対応						
	フラッシュ・メモリCRC演算機能		対応						
	RAM1ビット・エラー訂正機能		対応						
	RAM2ビット・エラー検出機能		対応						
	不正アクセス検出機能		対応						
	周波数検出機能		対応						
	クロック・モニタ機能		対応						
	スタック・ポインタ・モニタ機能		対応						
	入出力ポート出力信号レベル検出機能		対応						
	A/Dテスト機能		対応						
I/Oポート	入出力	CMOS	86 ch	68 ch	52 ch	38 ch	25 ch	23 ch	
	出力	CMOS	1 ch				なし		
	入力	発振端子兼用	4 ch ^{※7}				2 ch		
		入力端子専用	1 ch						
電源端子	内部用		V _{DD} , V _{SS} , REGC						
	I/Oポート専用		EV _{DD0} , EV _{SS0} EV _{DD1} , EV _{SS1}	EV _{DD0} , EV _{SS0}		なし			
	アナログ回路用 (AD, DA, COMP)		V _{DD} , V _{SS} (AV _{REFP} , AV _{REFM} : AD用)						
乗除算・積和演算機能	乗算		16ビット×16ビット (符号付き)						
			16ビット×16ビット (符号なし)						
	除算		32ビット÷32ビット (符号なし)						
	積和演算		16ビット×16ビット+32ビット (符号付き)						
			16ビット×16ビット+32ビット (符号なし)						
	演算命令 (拡張命令セット)		対応						
ベクタ割り込み要因	外部	Code Flash 128 KB以上	16 ch ^{※4, 6}	16 ch ^{※4, 6}	15 ch ^{※3, 6}	14 ch ^{※2}	9 ch ^{※1}		
		Code Flash 96 KB以下		14 ch ^{※3, 5}	14 ch ^{※3, 5}	13 ch ^{※2}			
	内部	Code Flash 128 KB以上	48 ch ^{※4}	48 ch ^{※4}	48 ch ^{※3}	48 ch ^{※2}	41 ch ^{※1}	40 ch ^{※1}	
		Code Flash 96 KB以下		41 ch ^{※3}	41 ch ^{※3}	41 ch ^{※2}			
キー・リターン検出			8ch				6ch	8ch	
DTC			44要因	44要因/38要因			37要因		
タイマ	TAU		16-bit (8ch×2)	16-bit (8 ch×2/8 ch+4 ch)			16-bit (8 ch+4 ch)		
	RTC		1 ch						
	タイマRJ		16ビット×1						
	タイマRD		16ビット×2						
シリアルI/F	CSI/簡易I ² C/UART		4 ch/4 ch/2 ch				3 ch/3 ch/2 ch		
		SPI	対応						
	マルチマスタI ² C		1 ch				なし		
	LIN/UARTモジュール (RLIN3)		2 ch	2 ch/1 ch			1 ch		
	CANインタフェース (RS-CAN lite)		1 ch						

(注と注意は次ページにあります。)

表1-4 RL78/F14機能一覧表 (2/2)

シリーズ名		R5F10PP	R5F10PM	R5F10PL	R5F10PG	R5F10PB	R5F10PA
端子数		100ピン	80ピン	64ピン	48ピン	32ピン	30ピン
A/Dコンバータ 10ビット 逐次変換型	V _{DD}	24 ch	18 ch/16 ch	17 ch/16 ch	13 ch	8 ch	10 ch
	EV _{DD}	7 ch	7 ch/4 ch	3 ch	5 ch/2 ch	2 ch	
内部	2ch						
D/Aコンバータ	8ビット	1ch					
コンパレータ	1ch						
ELC		リンク元26 ch リンク先9 ch	リンク元26 ch/20 ch リンク先9 ch/7 ch			リンク元20 ch リンク先7 ch	
PCLBUZ		1 ch				なし	
セルフプログラミング		対応					
オンチップ・	トレース	対応					
デバッグ	ホット・プラグイン	対応					
オプション・バイト		対応					

注1. INTP4とINTSPM、INTP5とINTCMP0は、それぞれ内部と外部の両方で1要因ずつカウントしています。

2. INTP4とINTSPM、INTP5とINTCMP0、INTP6とINTTM11H、INTP7とINTTM13H、INTP8とINTRTC、INTP9とINTTM01Hは、それぞれ内部と外部の両方で1要因ずつカウントしています。

3. INTP4とINTSPM、INTP5とINTCMP0、INTP6とINTTM11H、INTP7とINTTM13H、INTP8とINTRTC、INTP9とINTTM01H、INTP10とINTTM03Hは、それぞれ内部と外部の両方で1要因ずつカウントしています。

4. INTP4とINTSPM、INTP5とINTCMP0、INTP6とINTTM11H、INTP7とINTTM13H、INTP8とINTRTC、INTP9とINTTM01H、INTP10とINTTM03H、INTP13とINTCLMは、それぞれ内部と外部の両方で1要因ずつカウントしています。

5. INTP11とINTLIN0WUPは、同時には使用できないため、両方で1要因としてカウントしています。

6. INTP11とINTLIN0WUP、INTP12とINTLIN1WUPは、同時には使用できないため、それぞれ両方で1要因としてカウントしています。

7. YグレードにおいてXT1、XT2は使用しないでください。

注意 詳細は「1.5 端子接続図」を参照してください。

1.3.2 RL78/F13 (CAN&LIN搭載版) 機能一覧

表1-5 RL78/F13 (CAN&LIN搭載版) 機能一覧表 (1/2)

シリーズ名			R5F10BM	R5F10BL	R5F10BG	R5F10BB	R5F10BA
端子数			80ピン	64ピン	48ピン	32ピン	30ピン
Code Flash			64~128 KB	32~128 KB			
Data Flash			4 KB				
RAM			4~8 KB	2~8 KB			
電源電圧範囲			2.7 V~5.5 V				
最高動作周波数			32 MHz (Lグレード) , 24 MHz (Kグレード,Yグレード)				
システム・クロック	メイン発振回路	水晶/セラミック/方形波	1~20 MHz (2.7 V~5.5 V動作時)				
	高速オンチップ・オシレータ	常用高精度	32 MHz (Typ.)				
	低速オンチップ・オシレータ	低速動作	15 kHz (Typ.)				
	サブ発振回路		32.768 kHz ^{※5}			なし	
	PLL		PLL通比は×3/×4/×6/×8				
周辺専用クロック	低速オンチップ・オシレータ	WDT以外の周辺機能用	15 kHz (Typ.)				
		WDT専用	15 kHz (Typ.)				
POR		電源立ち上がり時	1.56 V (Typ.)				
		電源立ち下がり時	1.55 V (Typ.)				
LVD	V _{DD} 電圧検出	電源立ち上がり時	2.81 V (Typ.) ~4.74 V (Typ.) (6段階)				
		電源立ち下がり時	2.75 V (Typ.) ~4.64 V (Typ.) (6段階)				
セーフティ機能	WDT (ウィンドウ・ウォッチドッグ・タイマ)		対応				
	不正命令実行検出機能		対応				
	フラッシュ・メモリCRC演算機能		対応				
	RAM1ビット・エラー訂正機能		対応				
	RAM2ビット・エラー検出機能		対応				
	不正アクセス検出機能		対応				
	周波数検出機能		対応				
	クロック・モニタ機能		対応				
	スタック・ポインタ・モニタ機能		対応				
	入出力ポート出力信号レベル検出機能		対応				
	A/Dテスト機能		対応				
I/Oポート	入出力	CMOS	68 ch	52 ch	38 ch	25 ch	23 ch
	出力	CMOS	1 ch			なし	
	入力	発振端子兼用	4 ch ^{※5}			2 ch	
		入力端子専用	1 ch				
電源端子	内部用		V _{DD} , V _{SS} , REGC				
	I/Oポート専用		EV _{DD0} , EV _{SS0}			なし	
	アナログ回路用 (AD, DA, COMP)		V _{DD} , V _{SS} (AV _{REFP} , AV _{REFM} : AD用)				
乗除算・積和演算機能	乗算		16ビット×16ビット (符号付き)				
			16ビット×16ビット (符号なし)				
	除算	32ビット÷32ビット (符号なし)					
	積和演算	16ビット×16ビット+32ビット (符号付き)					
		16ビット×16ビット+32ビット (符号なし)					
	演算命令 (拡張命令セット)		対応				
ベクタ割り込み要因	外部		14 ch ^{※3,4}		13 ch ^{※2}	9 ch ^{※1}	
	内部		40 ch ^{※3}		40 ch ^{※2}	40 ch ^{※1}	39 ch ^{※1}
キー・リターン検出			8 ch			6 ch	8 ch
DTC			37要因			36要因	
タイマ	TAU		16-bit (8 ch+4 ch)				
	RTC		1 ch				
	タイマRJ		16ビット×1				
	タイマRD		16ビット×2				
シリアルI/F	CSI/簡易I ² C/UART		4 ch/4 ch/2 ch			3 ch/3 ch/2 ch	
		SPI	対応				
	マルチマスタI ² C		1 ch				なし
	LIN/UARTモジュール (RLIN3)		1ch				
	CANインタフェース (RS-CAN lite)		1ch				
A/Dコンバータ 10ビット	V _{DD}		16 ch	16 ch	13 ch	8 ch	10 ch
	EV _{DD}		4 ch	3 ch	2 ch		
	逐次変換型	内部	2 ch				
D/Aコンバータ	8ビット		なし				
コンパレータ			なし				

(注と注意は次ページにあります。)

表1-5 RL78/F13 (CAN&LIN搭載版) 機能一覧表 (2/2)

シリーズ名		R5F10BM	R5F10BL	R5F10BG	R5F10BB	R5F10BA
端子数		80ピン	64ピン	48ピン	32ピン	30ピン
ELC		なし				
PCLBUZ		1 ch			なし	
セルフプログラミング		対応				
オンチップ・	トレース	対応				
デバッグ	ホット・プラグイン	対応				
オプション・バイト		対応				

注1. INTP4とINTSPMは、内部と外部の両方で1要因ずつカウントしています。

2. INTP4とINTSPM、INTP6とINTTM11H、INTP7とINTTM13H、INTP8とINTRTC、INTP9とINTTM01Hは、それぞれ内部と外部の両方で1要因ずつカウントしています。

3. INTP4とINTSPM、INTP6とINTTM11H、INTP7とINTTM13H、INTP8とINTRTC、INTP9とINTTM01H、INTP10とINTTM03Hは、それぞれ内部と外部の両方で1要因ずつカウントしています。

4. INTP11とINTLIN0WUPは、同時には使用できないため、両方で1要因としてカウントしています。

5. YグレードにおいてXT1、XT2は使用しないでください。

注意 詳細は「1.5 端子接続図」を参照してください。

1.3.3 RL78/F13 (LIN搭載版) 機能一覧

表1-6 RL78/F13 (LIN搭載版) 機能一覧表 (1/2)

シリーズ名			R5F10AM	R5F10AL	R5F10AG	R5F10AB	R5F10AA	R5F10A6	
端子数			80ピン	64ピン	48ピン	32ピン	30ピン	20ピン	
Code Flash			64～128 KB	32～128 KB	16～128 KB	16～64 KB			
Data Flash			4 KB						
RAM			4～8 KB	2～8 KB	1～8 KB	1～4 KB			
電源電圧範囲			2.7V～5.5 V						
最高動作周波数			32 MHz (Lグレード) , 24 MHz (Kグレード, Yグレード)						
システム・クロック	メイン発振回路	水晶/セラミック/方形波	1～20 MHz (2.7 V～5.5 V動作時)						
	高速オンチップ・オシレータ	常用高精度	32 MHz (Typ.)						
	低速オンチップ・オシレータ	低速動作	15 kHz (Typ.)						
	サブ発振回路		32.768 kHz ^{※6}			なし			
	PLL		PLL連倍比は×3/×4/×6/×8						
周辺専用クロック	低速オンチップ・オシレータ	WDT以外の周辺機能用	15 kHz (Typ.)						
		WDT専用	15 kHz (Typ.)						
POR		電源立ち上がり時	1.56 V (Typ.)						
		電源立ち下がり時	1.55 V (Typ.)						
LVD	V _{DD} 電圧検出	電源立ち上がり時	2.81 V (Typ.) ～4.74 V (Typ.) (6段階)						
		電源立ち下がり時	2.75 V (Typ.) ～4.64 V (Typ.) (6段階)						
セーフティ機能	WDT (ウィンドウ・ウォッチドッグ・タイマ)		対応						
	不正命令実行検出機能		対応						
	フラッシュ・メモリCRC演算機能		対応						
	RAM1ビット・エラー訂正機能		対応						
	RAM2ビット・エラー検出機能		対応						
	不正アクセス検出機能		対応						
	周波数検出機能		対応						
	クロック・モニタ機能		対応						
	スタック・ポインタ・モニタ機能		対応						
	入出力ポート出力信号レベル検出機能		対応						
A/Dテスト機能		対応							
I/Oポート	入出力	CMOS	68 ch	52 ch	38 ch	25 ch	23 ch	13 ch	
	出力	CMOS	1ch			なし			
	入力	発振端子兼用	4 ch ^{※6}			2 ch			
		入力端子専用	1 ch						
電源端子	内部用		V _{DD} , V _{SS} , REGC						
	I/Oポート専用		EV _{DD0} , EV _{SS0}			なし			
	アナログ回路用 (AD, DA, COMP)		V _{DD} , V _{SS} (AV _{REFP} , AV _{REFM} : AD用)						
乗除算・積和演算機能	乗算		16ビット×16ビット (符号付き)						
			16ビット×16ビット (符号なし)						
	除算	32ビット÷32ビット (符号なし)							
	積和演算		16ビット×16ビット+32ビット (符号付き)						
			16ビット×16ビット+32ビット (符号なし)						
	演算命令 (拡張命令セット)		対応						
ベクタ割り込み要因	外部	Code Flash 96KB以上	13 ch ^{※4,5}		12 ch ^{※3}	-			
		Code Flash 64KB以下	13 ch ^{※4,5}	10 ch ^{※2}		8 ch ^{※2}	7 ch ^{※2}		
	内部	Code Flash 96KB以上	35 ch ^{※4}		35 ch ^{※3}	-			
		Code Flash 64KB以下	35 ch ^{※4}	26 ch ^{※2}					
キー・リターン検出			8 ch			6 ch	8 ch	2 ch	
DTC	Code Flash 96KB以上		36要因			-			
	Code Flash 64KB以下		36要因	30要因		29要因	28要因		
TAU	Code Flash 96KB以上		16ビット (8 ch + 4 ch)			-			
	Code Flash 64KB以下		16ビット (8 ch + 4 ch)	16ビット (8 ch)					
タイマ	RTC		1 ch						
	タイマRJ		16ビット×1 ^{※1}						
	タイマRD		16ビット×2						
シリアルI/F	CSI/簡易I ² C/UART	Code Flash 96KB以上	4 ch/4 ch/2 ch			-			
		Code Flash 64KB以下	4 ch/4 ch/2 ch	2 ch/2 ch/1 ch					
		SPI	対応						
	マルチマスタI ² C	Code Flash 96KB以上	1 ch			-			
		Code Flash 64KB以下	1 ch	なし					
	LIN/UARTモジュール (RLIN3)		1 ch						
	CANインタフェース (RS-CAN lite)		なし						

(注と注意は次ページにあります。)

表1-6 RL78/F13 (LIN搭載版) 機能一覧表 (2/2)

シリーズ名			R5F10AM	R5F10AL	R5F10AG	R5F10AB	R5F10AA	R5F10A6
端子数			80ピン	64ピン	48ピン	32ピン	30ピン	20ピン
A/Dコンバータ 10ビット 逐次変換型	V _{DD}	Code Flash 96 KB以上	16 ch	16 ch	13 ch	－		
		Code Flash 64 KB以下	16 ch	12 ch	12 ch	8 ch	10 ch	4 ch
	E _{VDD}	Code Flash 96 KB以上	4 ch	3 ch	2 ch	－		
		Code Flash 64 KB以下	4 ch	なし				
	内部		2 ch					
D/Aコンバータ	8ビット		なし					
コンパレータ			なし					
ELC			なし					
PCLBUZ			1 ch			なし		
セルフプログラミング			対応					
オンチップ・	トレース		対応					
デバッグ	ホット・プラグイン		対応					
オプション・バイト			対応					

注1. 20ピンの製品には、TRJIO0端子およびTRJO0端子はありません。

- INTP4とINTSPMは、内部と外部の両方で1要因ずつカウントしています。
- INTP4とINTSPM、INTP6とINTTM11H、INTP7とINTTM13H、INTP8とINTRTC、INTP9とINTTM01Hは、それぞれ内部と外部の両方で1要因ずつカウントしています。
- INTP4とINTSPM、INTP6とINTTM11H、INTP7とINTTM13H、INTP8とINTRTC、INTP9とINTTM01H、INTP10とINTTM03Hは、それぞれ内部と外部の両方で1要因ずつカウントしています。
- INTP11とINTLIN0WUPは、同時には使用できないため、両方で1要因としてカウントしています
- YグレードにおいてXT1、XT2は使用しないでください

注意 詳細は「1.5 端子接続図」を参照してください。

1.4 ブロック図

1.4.1 RL78/F14 R5F10PPn (n = E, F, G, H, J) 100ピン版のブロック図

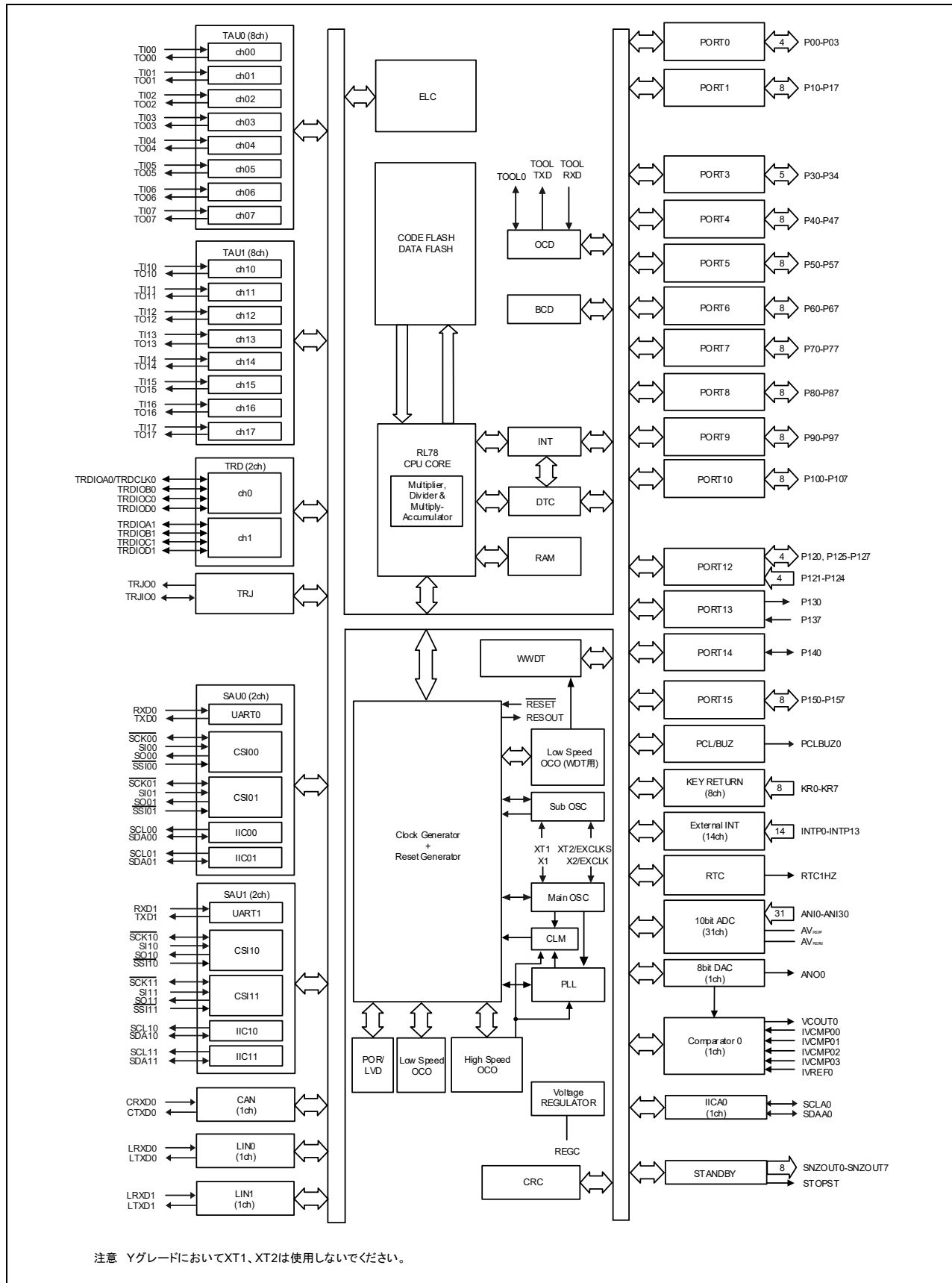


図1-1 機能ブロック図

1.4.2 RL78/F14 R5F10PMn (n = G, H, J) 80ピン版のブロック図

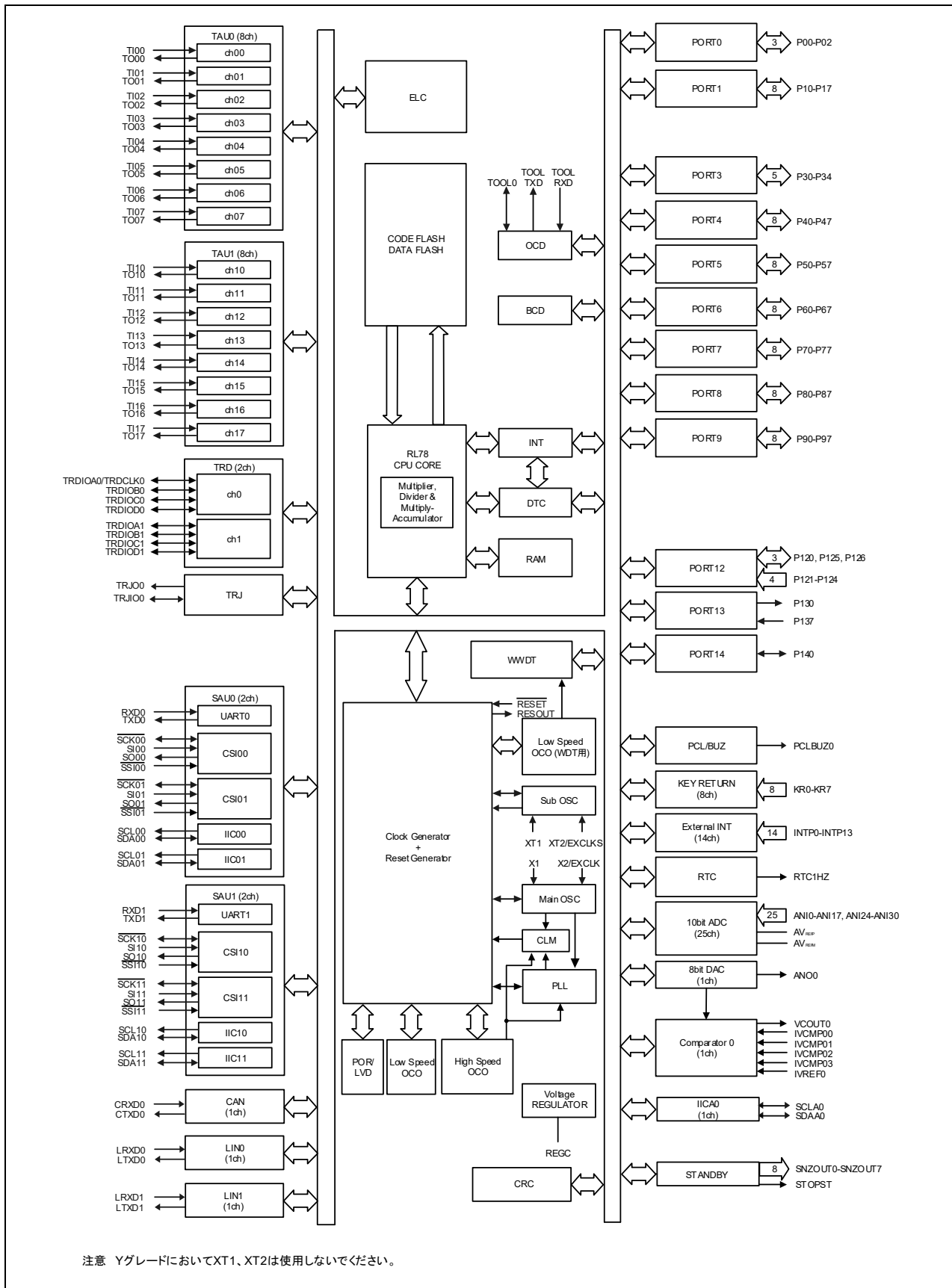


図1-2 機能ブロック図

1.4.3 RL78/F14 R5F10PLn (n = G, H, J) 64ピン版のブロック図

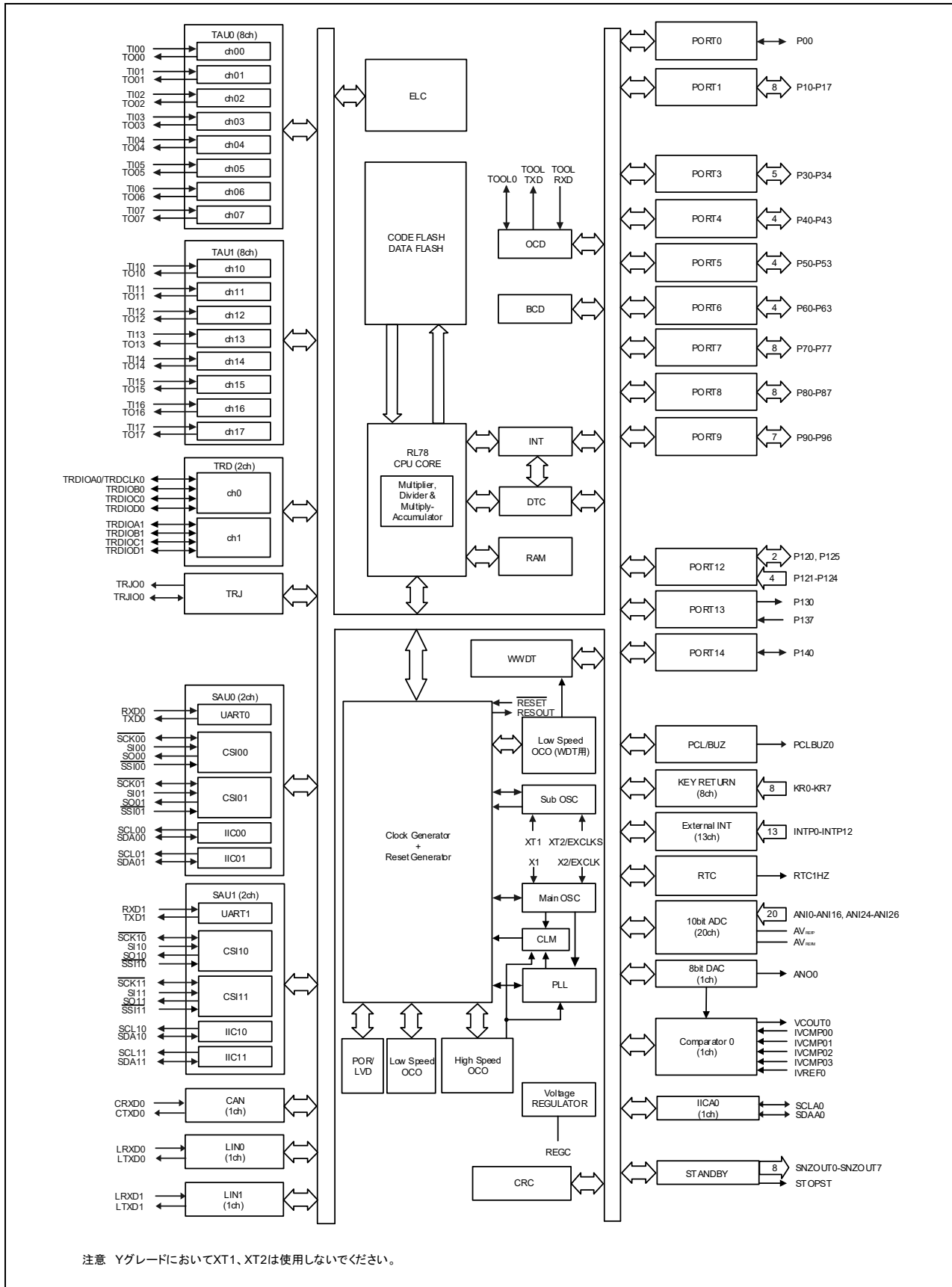


図1-3 機能ブロック図

1.4.4 RL78/F14 R5F10PGn (n = G, H, J) 48ピン版のブロック図

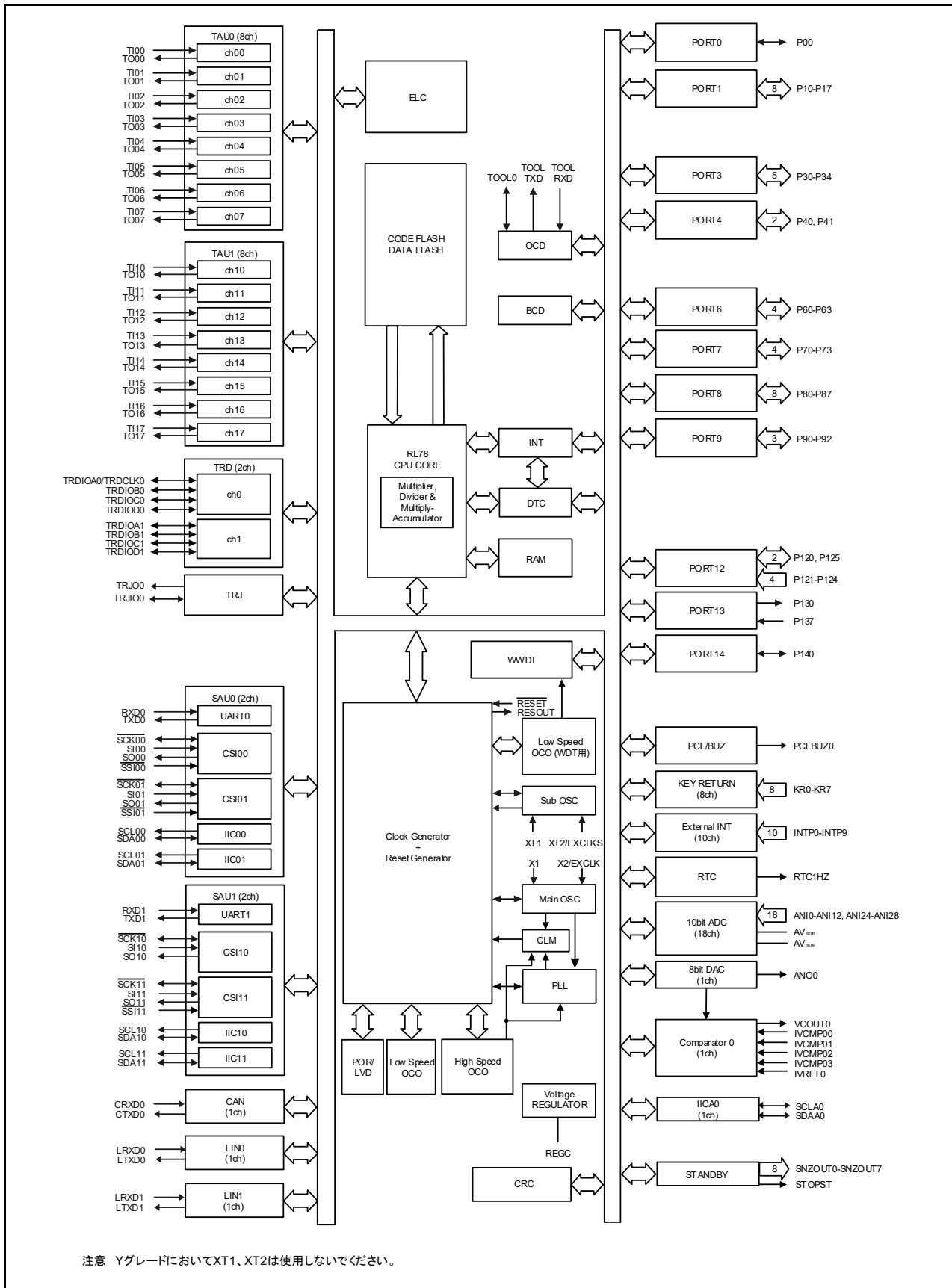


図1-4 機能ブロック図

1.4.5 RL78/F14 R5F10PMn (n = E, F) 80ピン版のブロック図

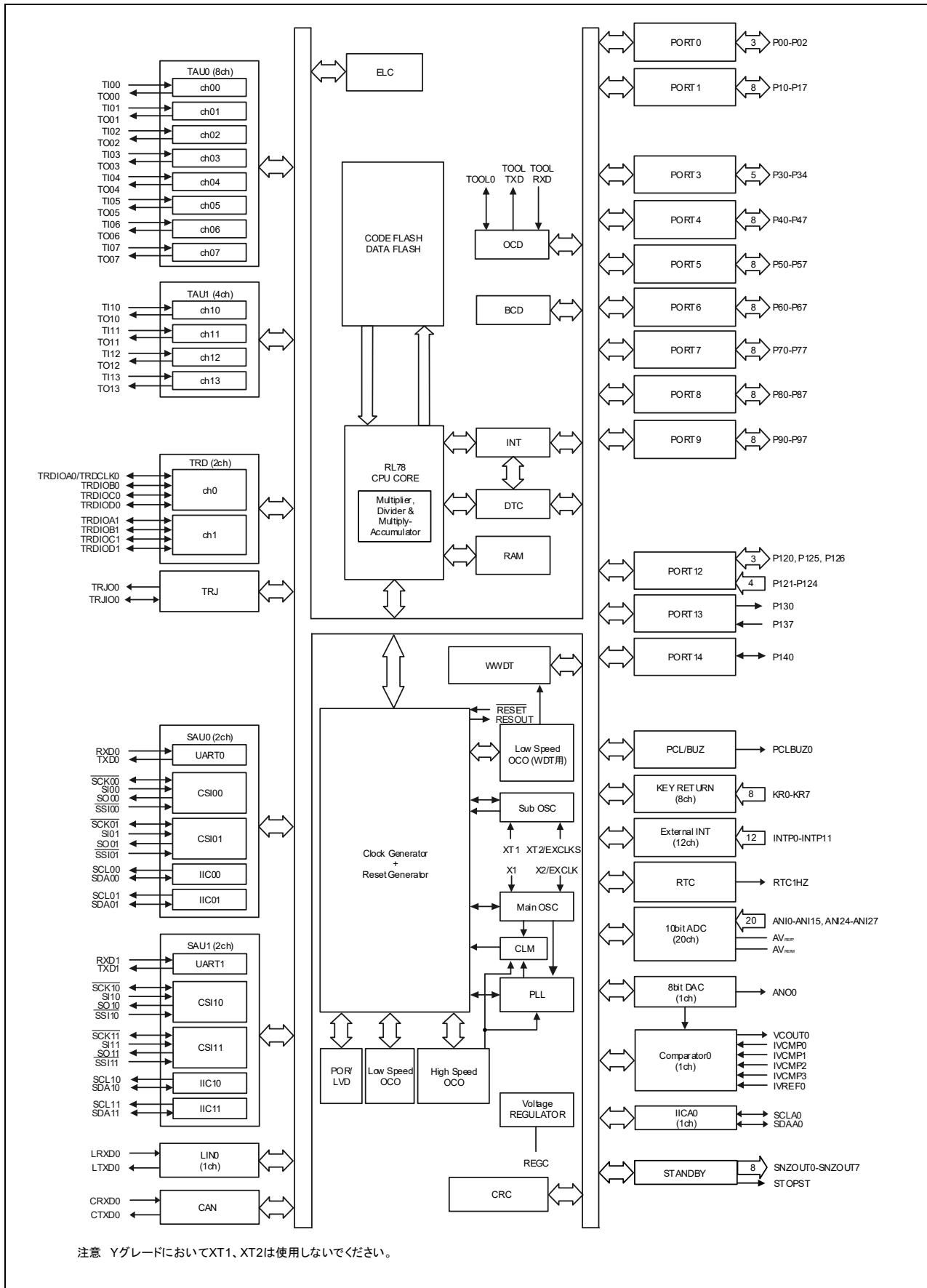
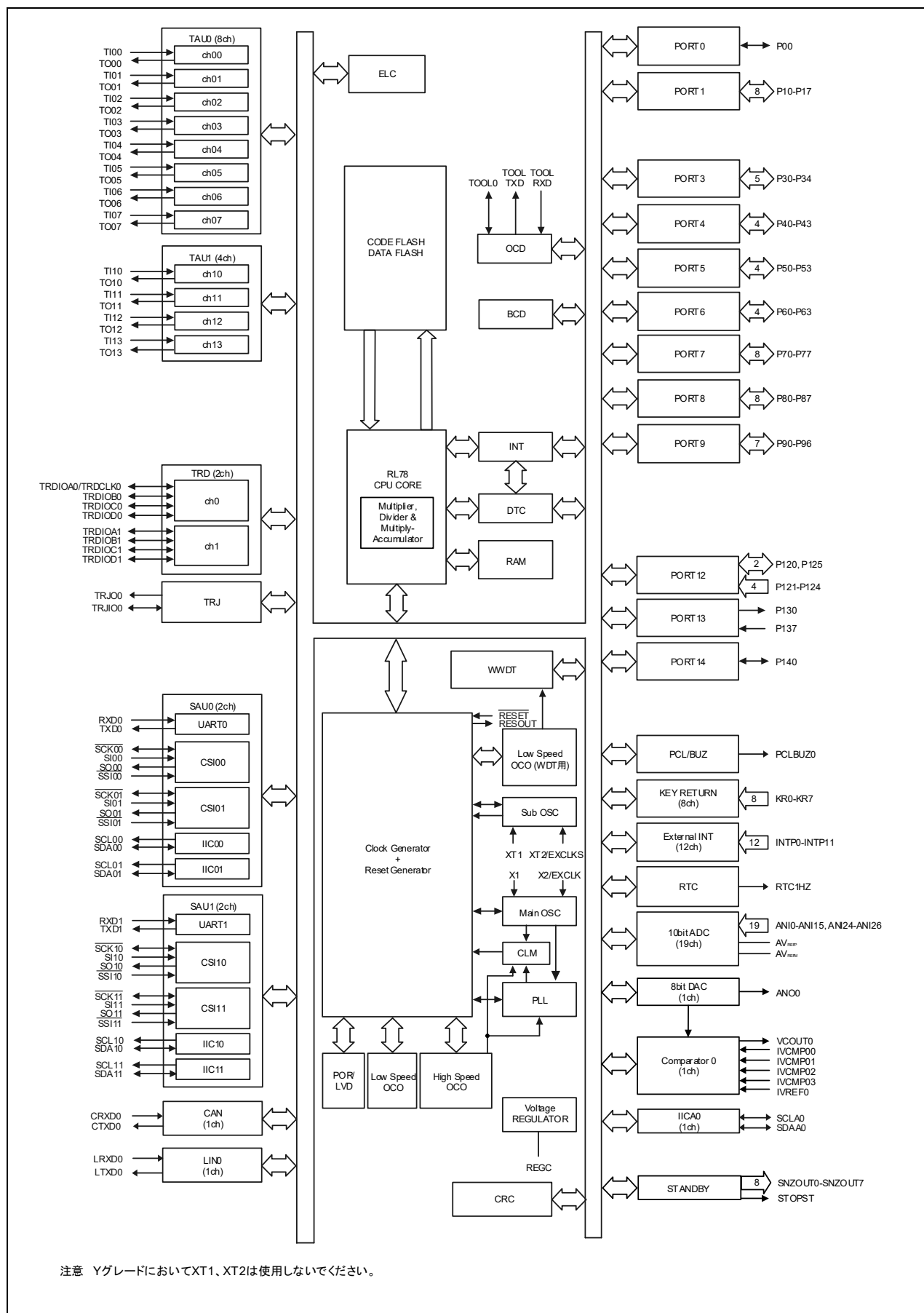


図1-5 機能ブロック図

1.4.6 RL78/F14 R5F10PLn (n = E, F) 64ピン版のブロック図



1.4.7 RL78/F14 R5F10PGn (n = D, E, F) 48ピン版のブロック図

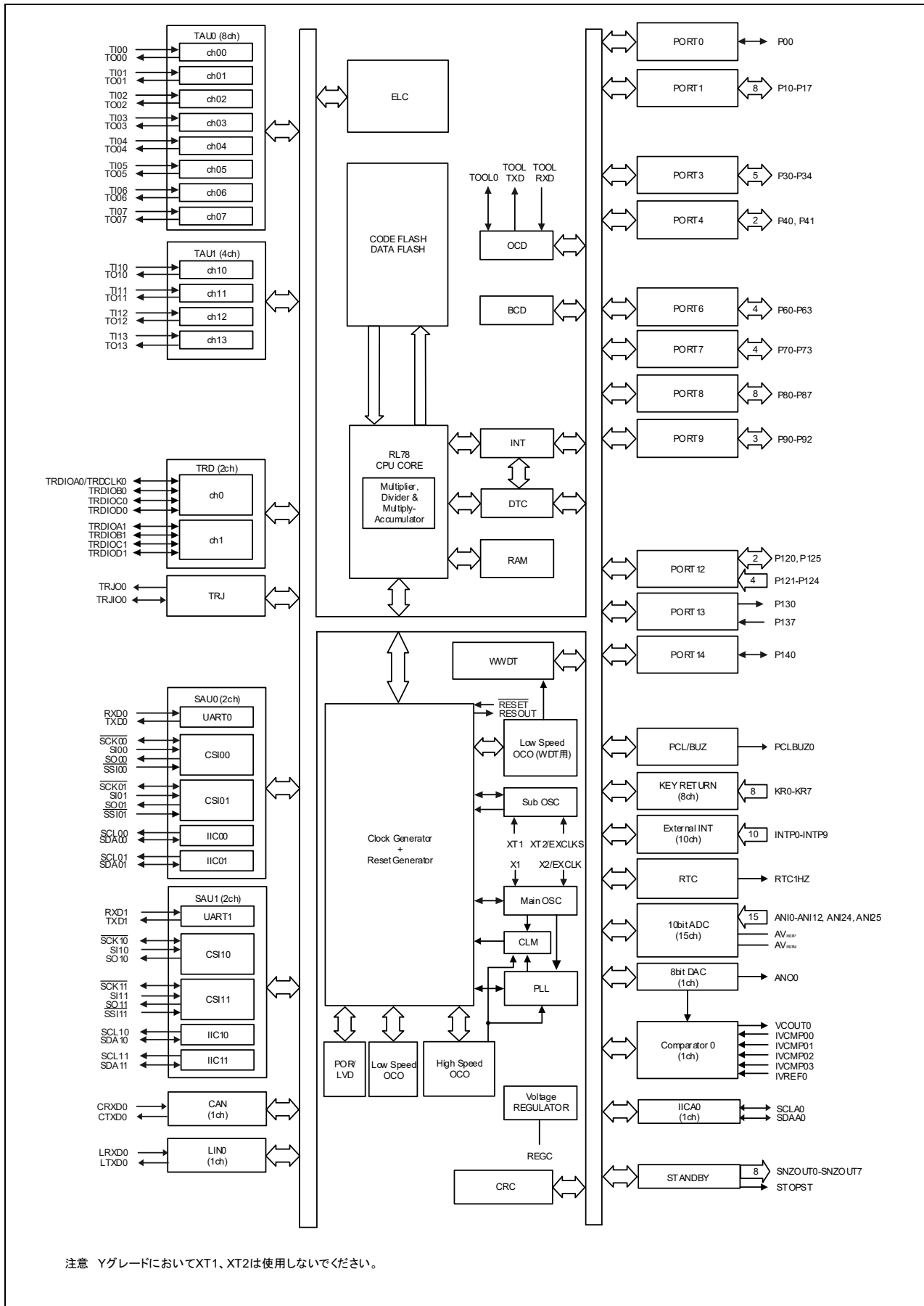


図1-7 機能ブロック図

1.4.8 RL78/F14 R5F10PBn (n = D, E) 32ピン版のブロック図

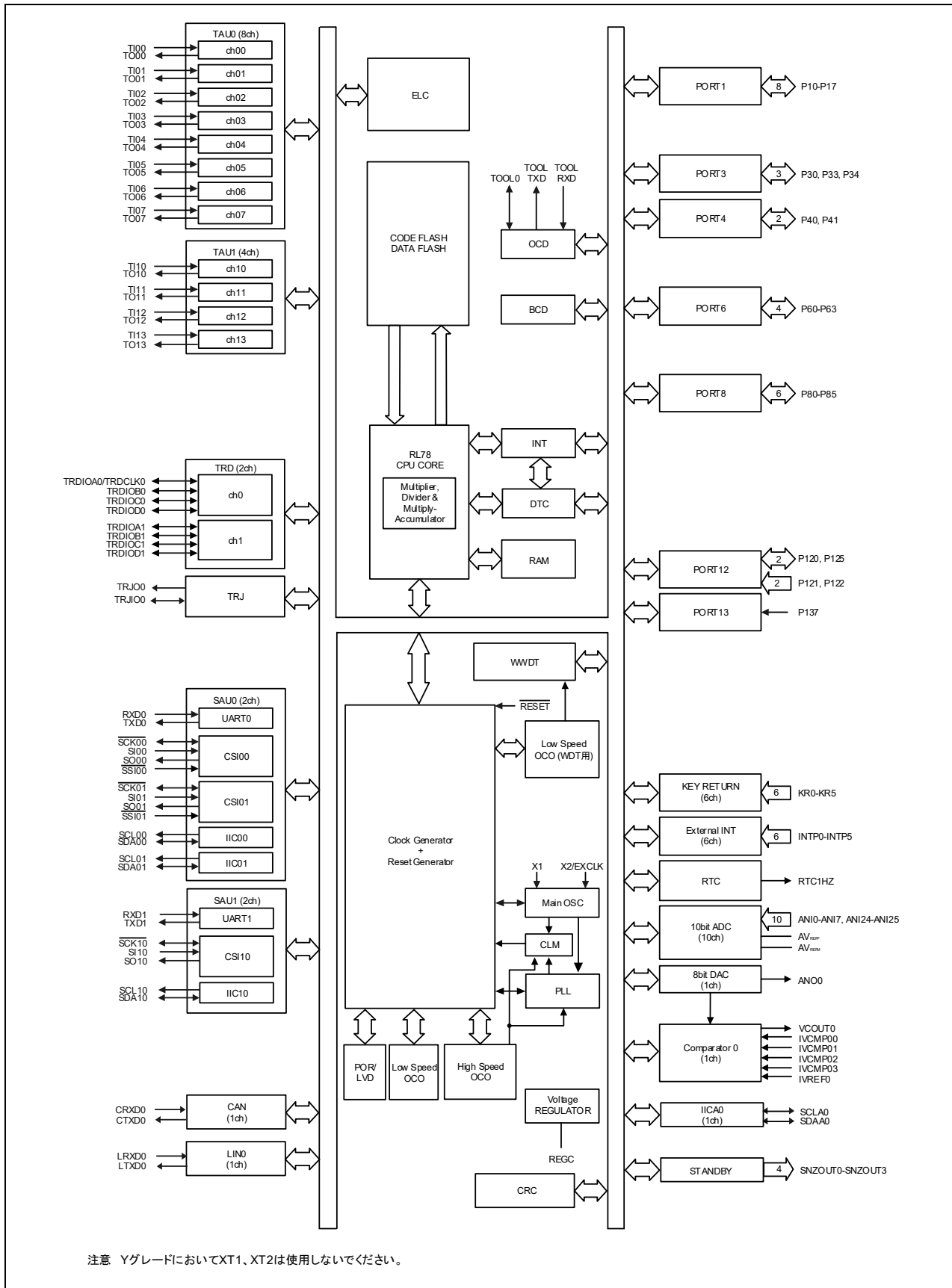


図1-8 機能ブロック図

1.4.9 RL78/F14 R5F10PAn (n = D, E) 30ピン版のブロック図

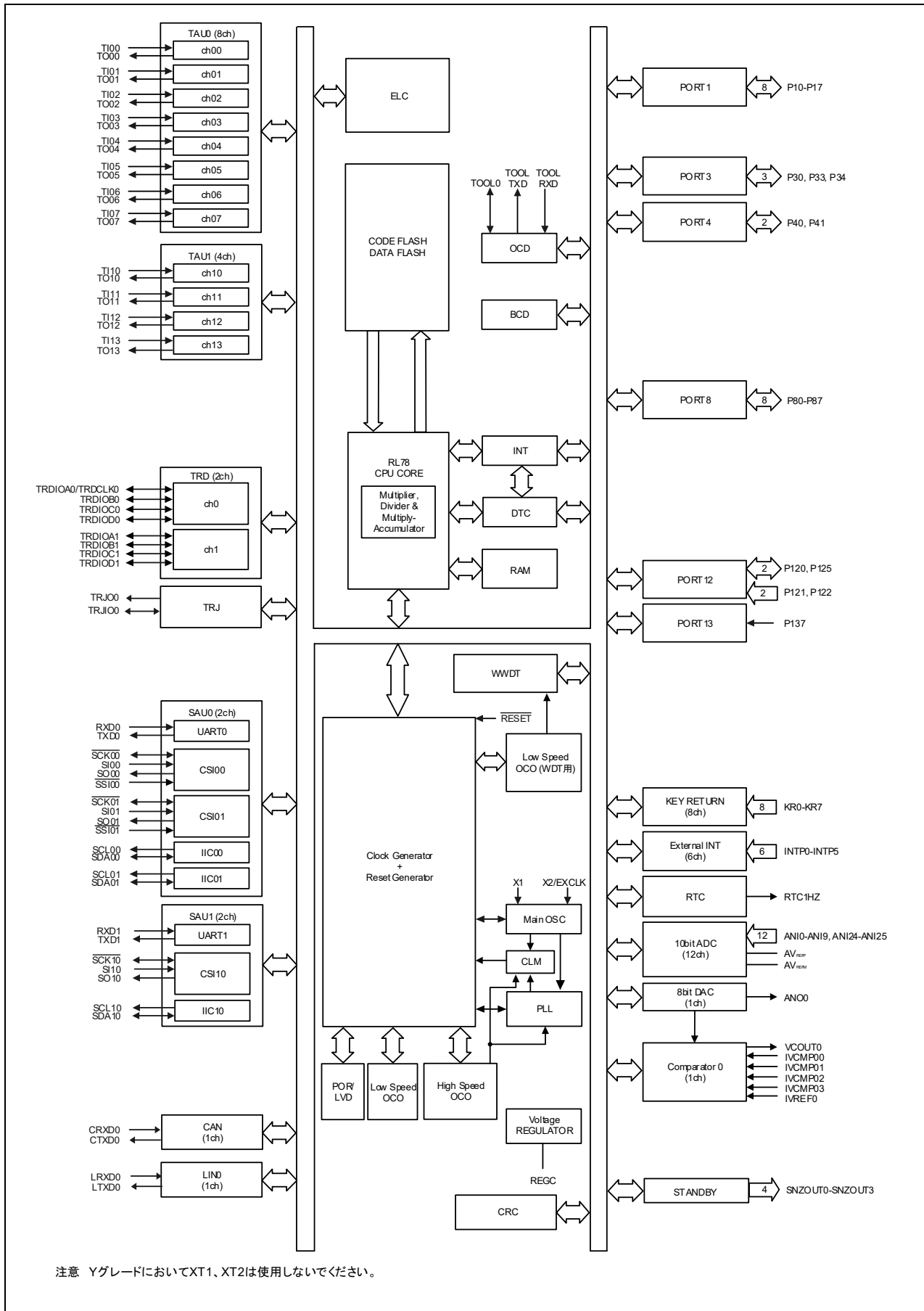


図1-9 機能ブロック図

1.4.10 RL78/F13 R5F10BMn (n = E, F, G) (CAN&LIN搭載版)

80ピン版のブロック図

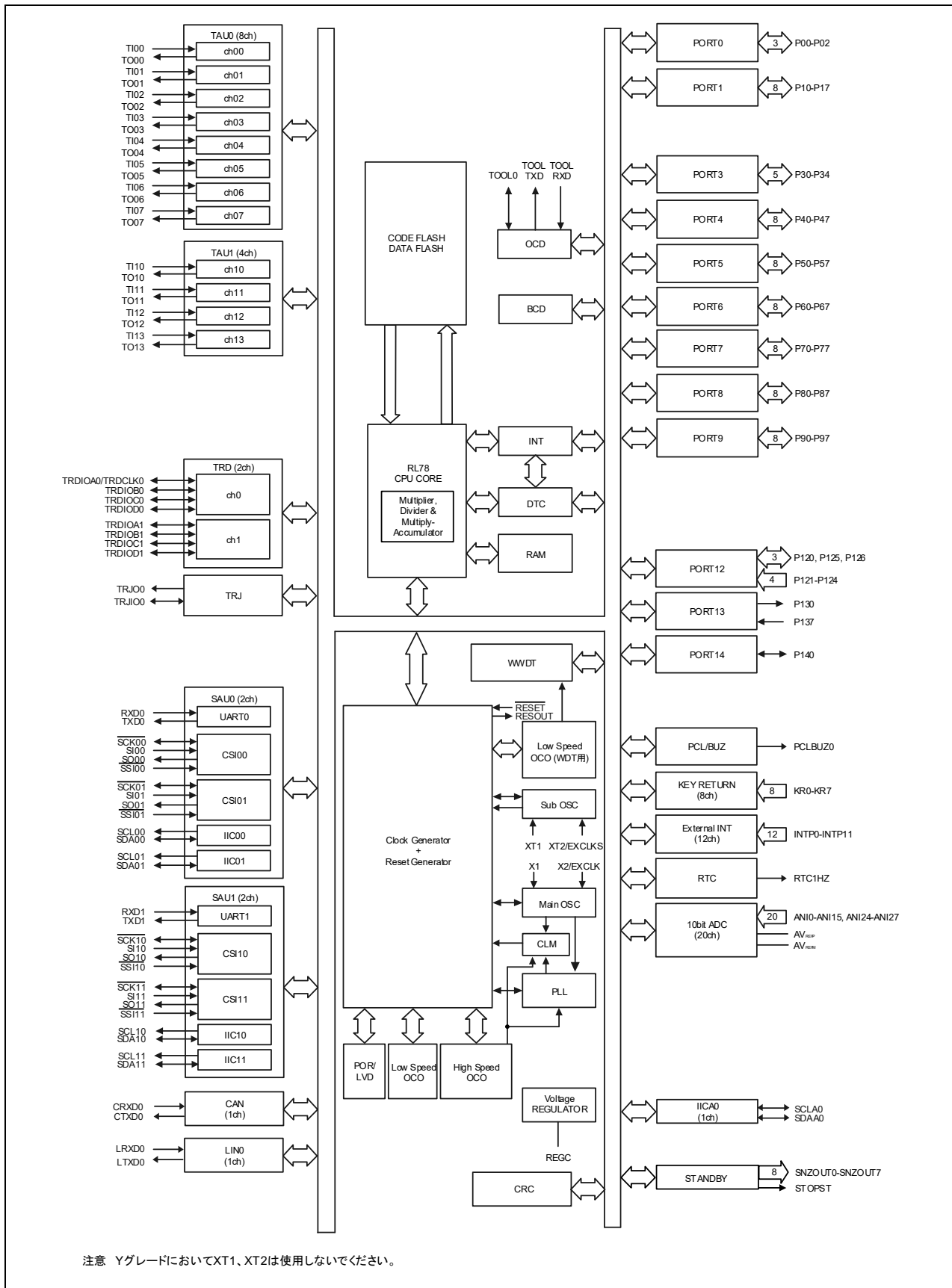


図1-10 機能ブロック図

1.4.11 RL78/F13 R5F10BLn (n = C, D, E, F, G) (CAN&LIN搭載版)

64ピン版のブロック図

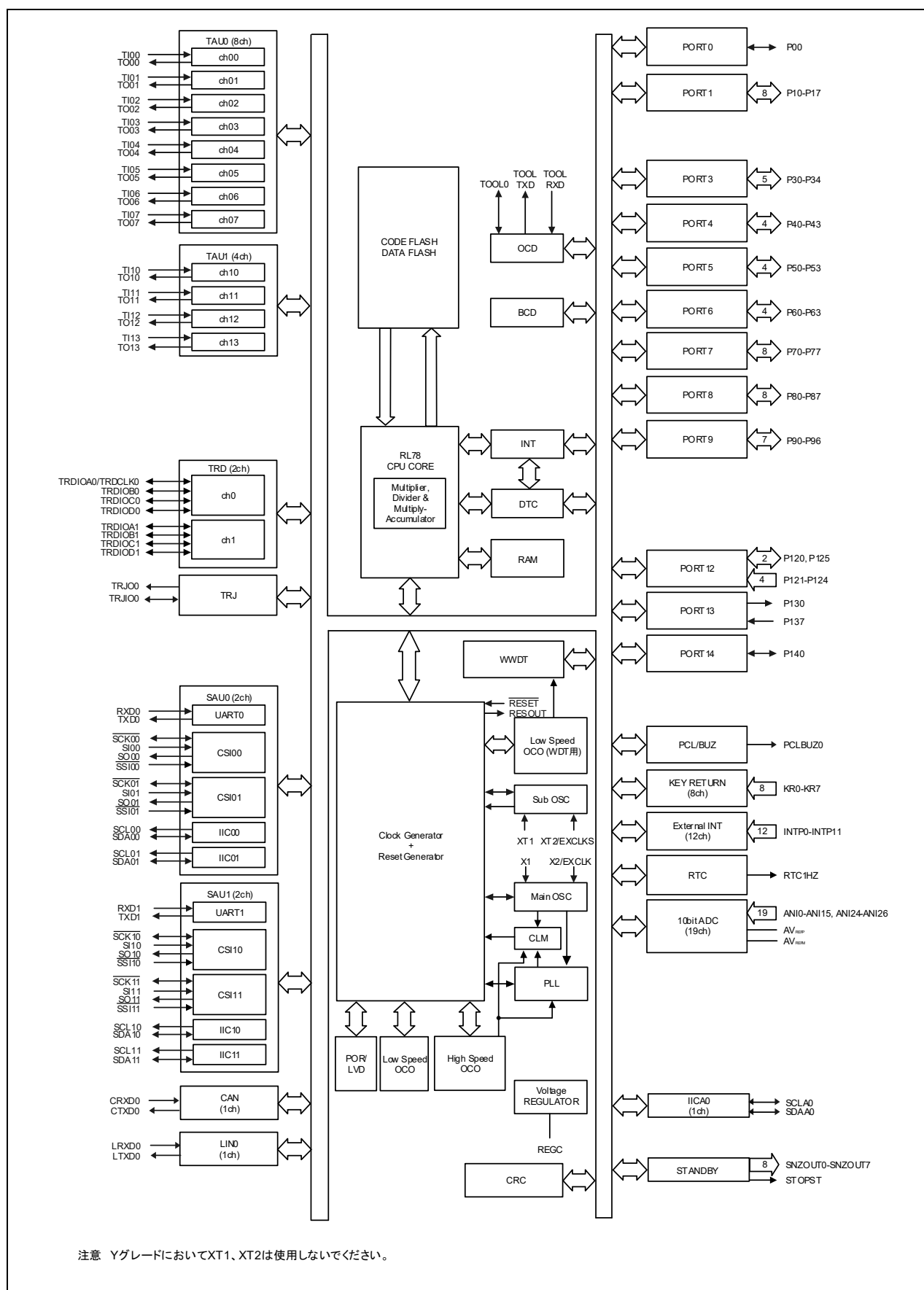


図1-11 機能ブロック図

1.4.12 RL78/F13 R5F10BGn (n = C, D, E, F, G) (CAN&LIN搭載版) 48ピン版のブロック図

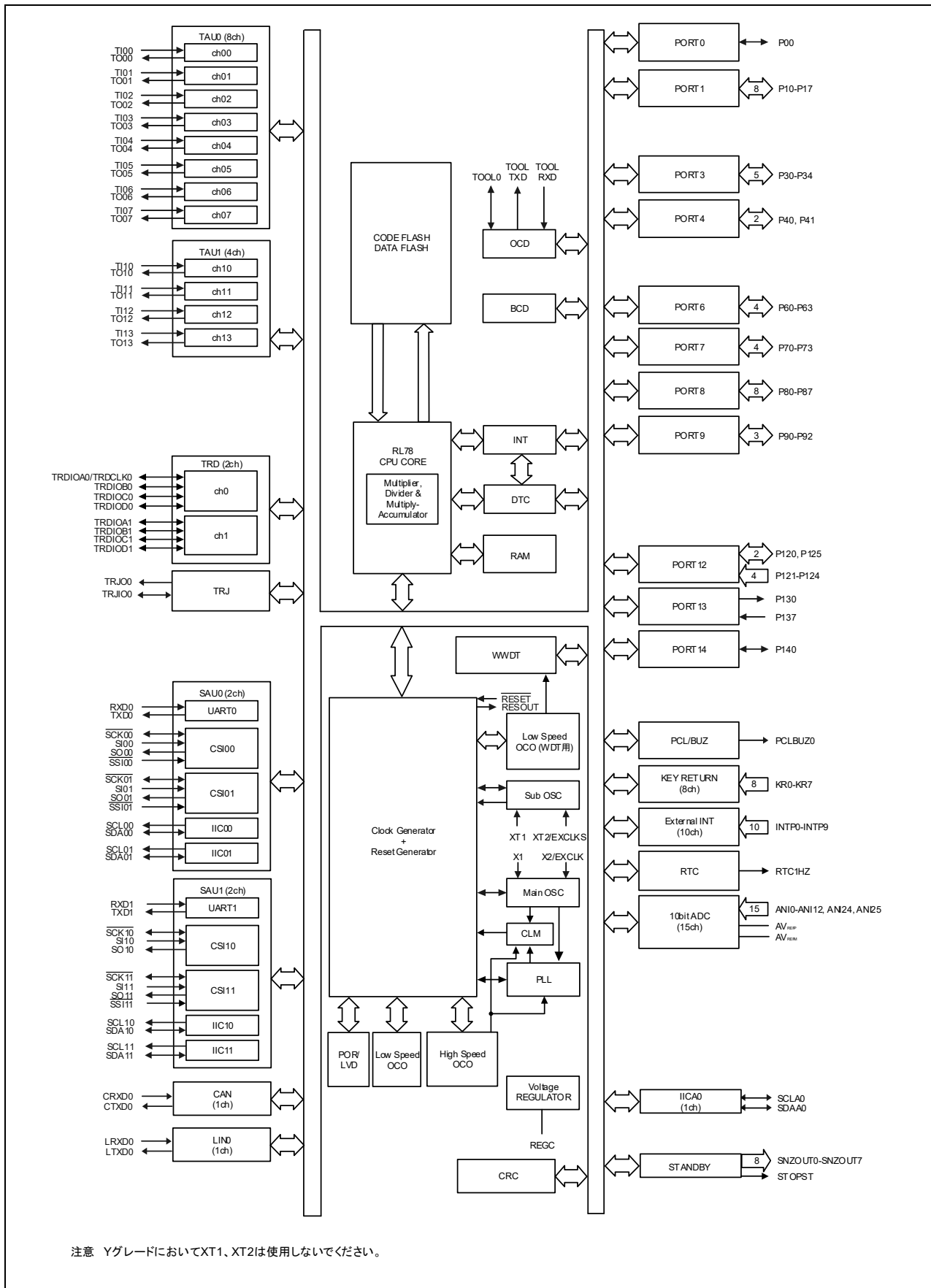


図1-12 機能ブロック図

1.4.13 RL78/F13 R5F10BBn (n = C, D, E, F, G) (CAN&LIN搭載版)

32ピン版のブロック図

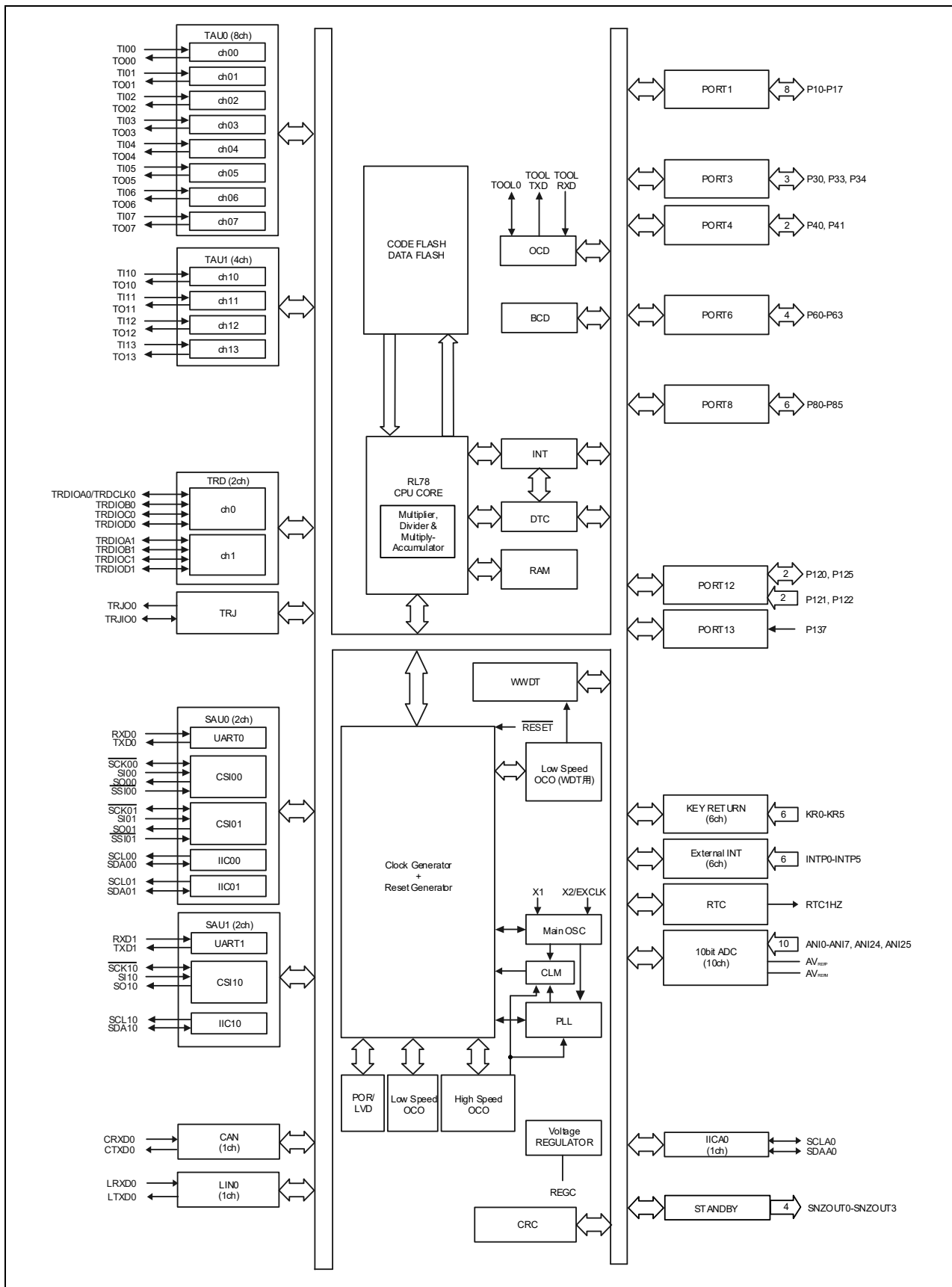


図1-13 機能ブロック図

1.4.14 RL78/F13 R5F10BAn (n = C, D, E, F, G) (CAN&LIN搭載版)

30ピン版のブロック図

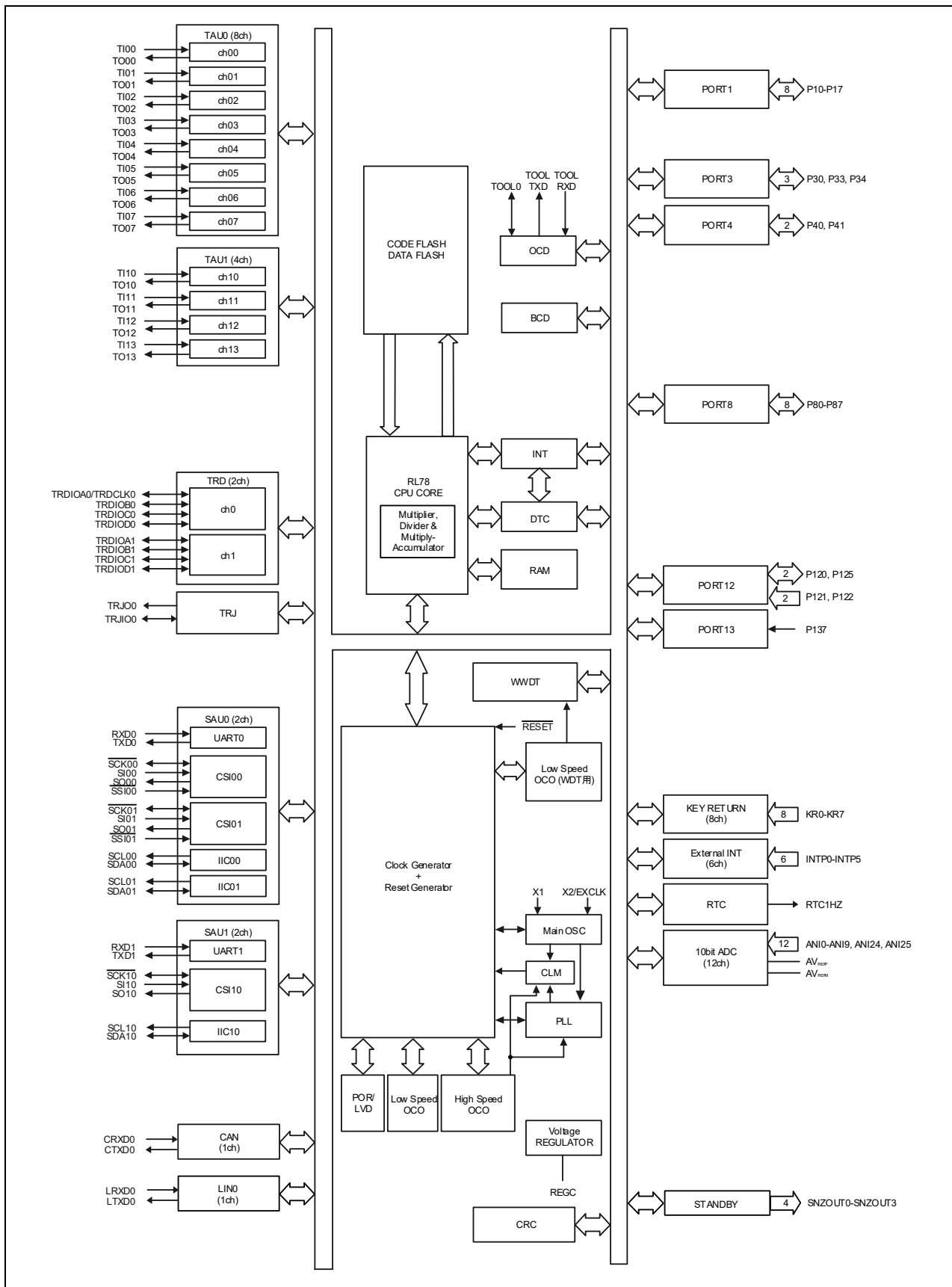


図1-14 機能ブロック図

1.4.15 RL78/F13 R5F10AMn (n = E, F, G) (LIN搭載版) 80ピン版のブロック図

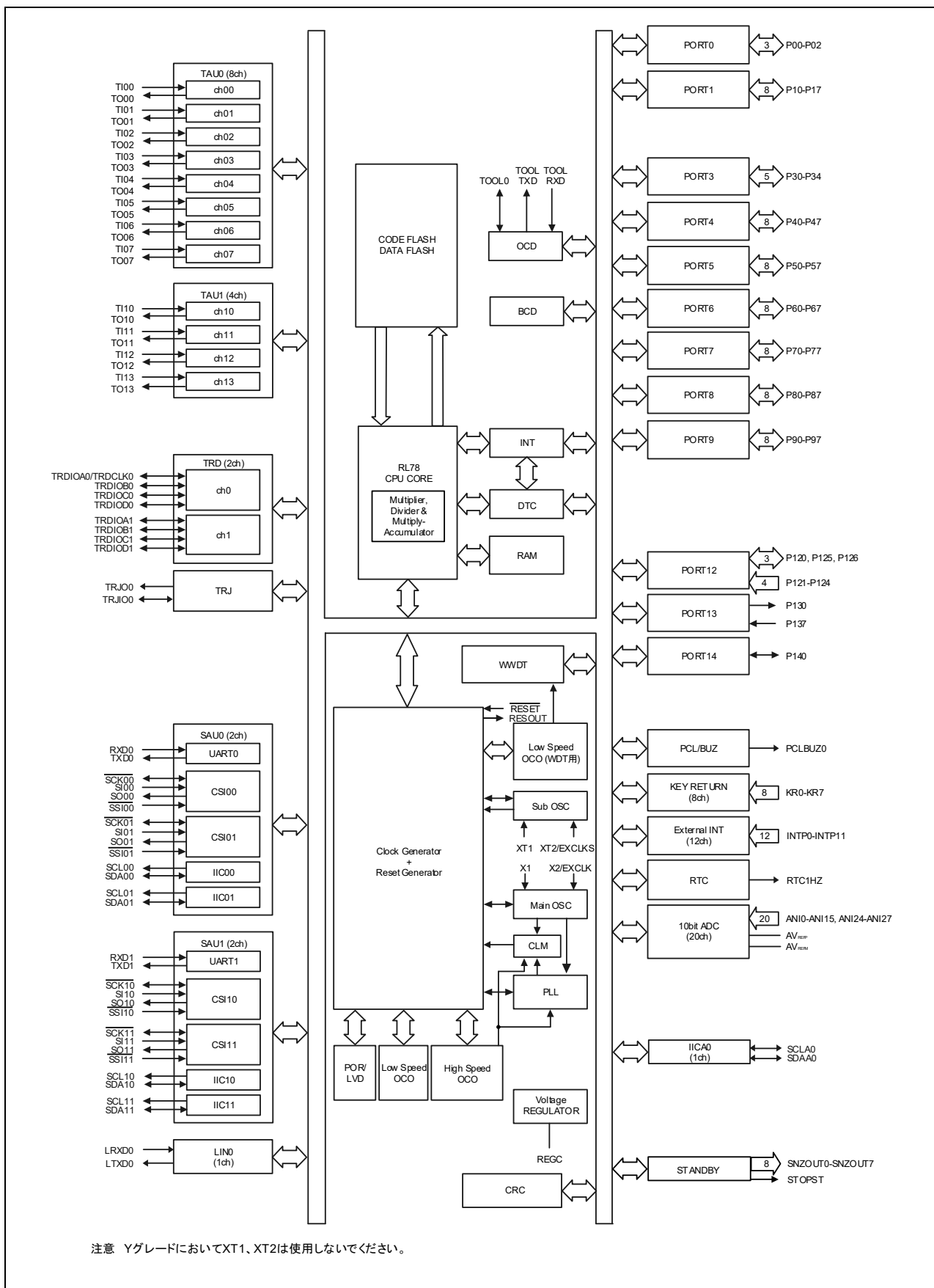


図1-15 機能ブロック図

1.4.16 RL78/F13 R5F10ALn (n = F, G) (LIN搭載版) 64ピン版のブロック図

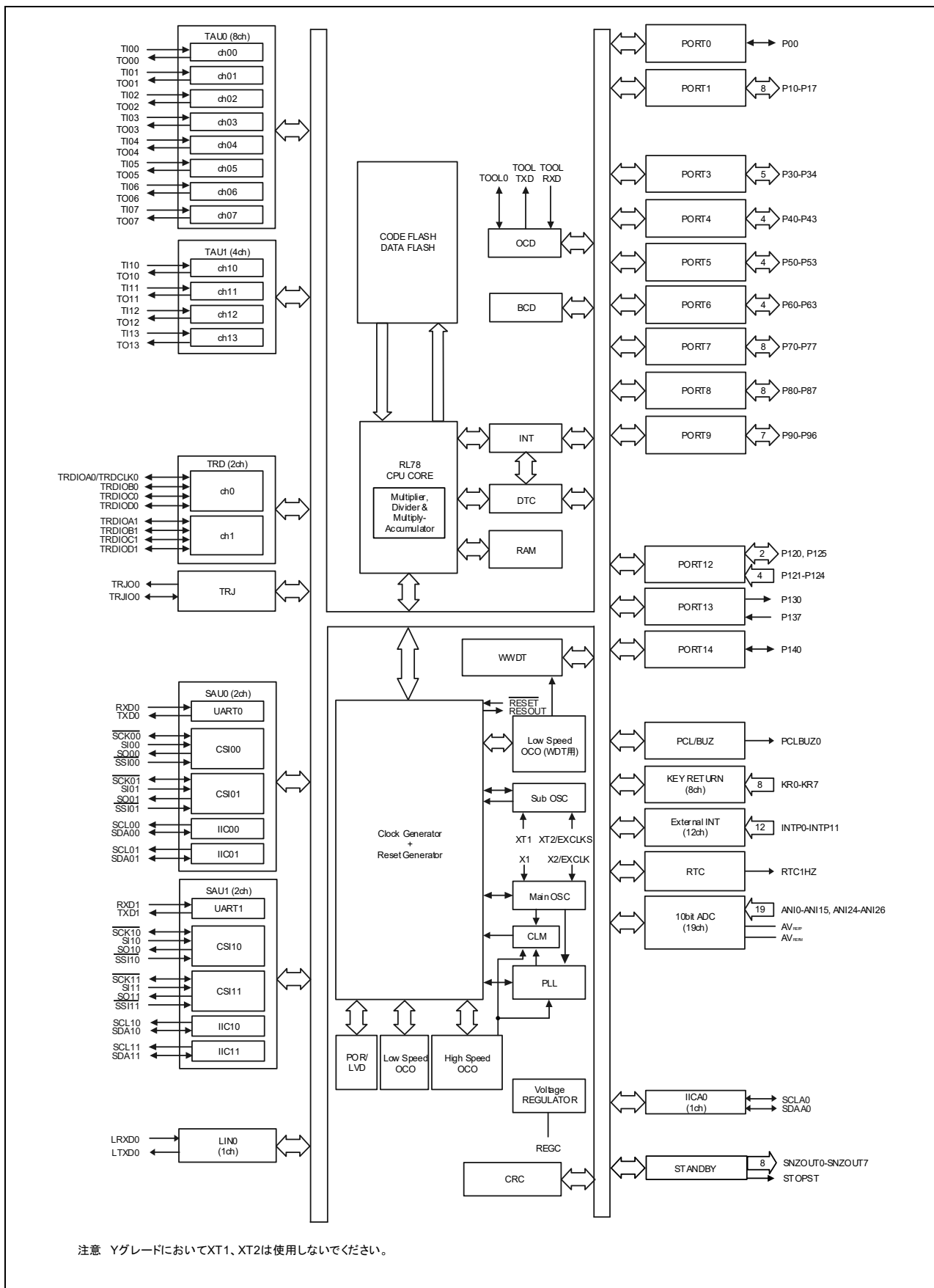


図1-16 機能ブロック図

1.4.17 RL78/F13 R5F10AGn (n = F, G) (LIN搭載版) 48ピン版のブロック図

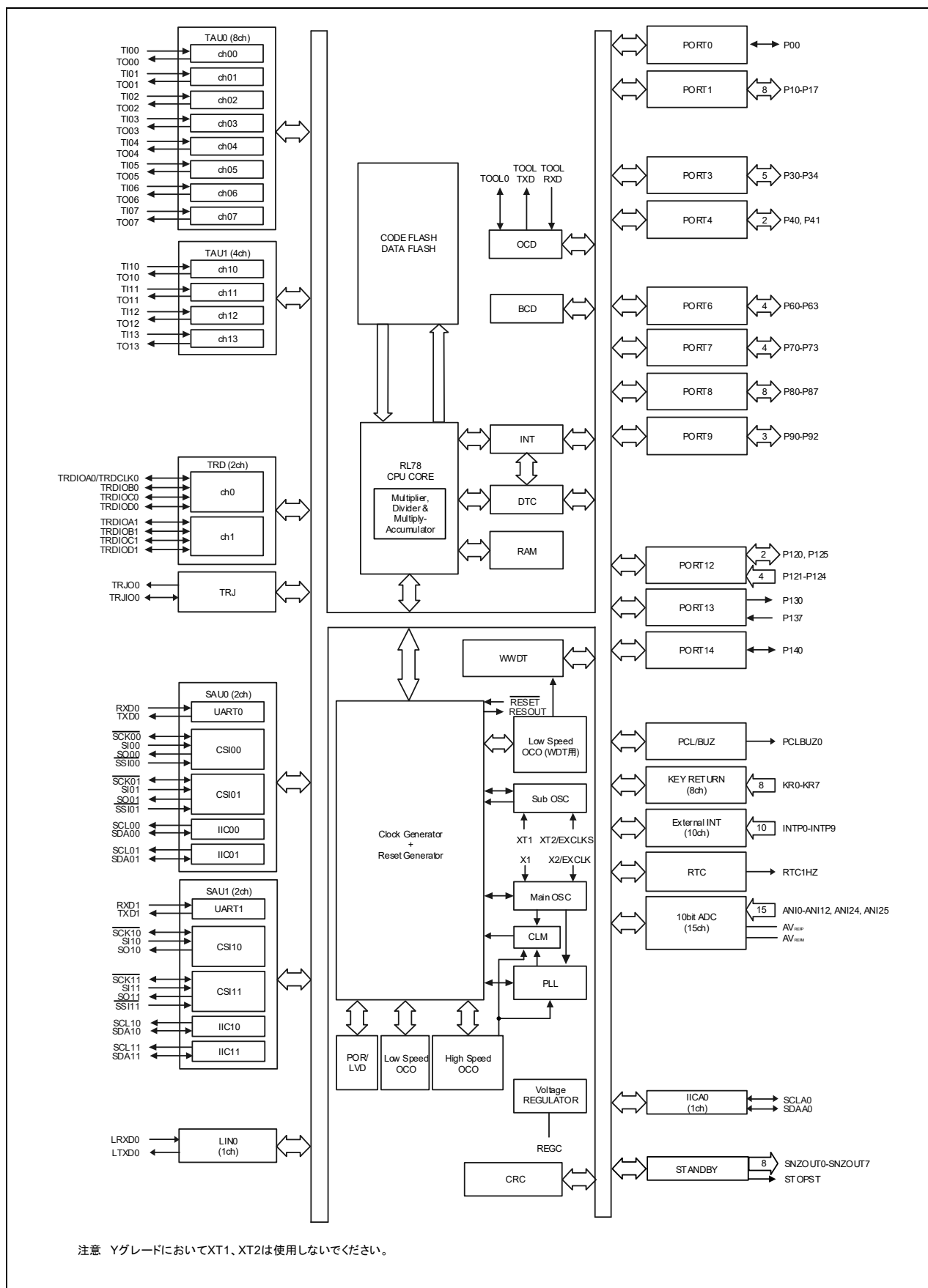


図1-17 機能ブロック図

1.4.18 RL78/F13 R5F10ALn (n = C, D, E) (LIN搭載版) 64ピン版のブロック図

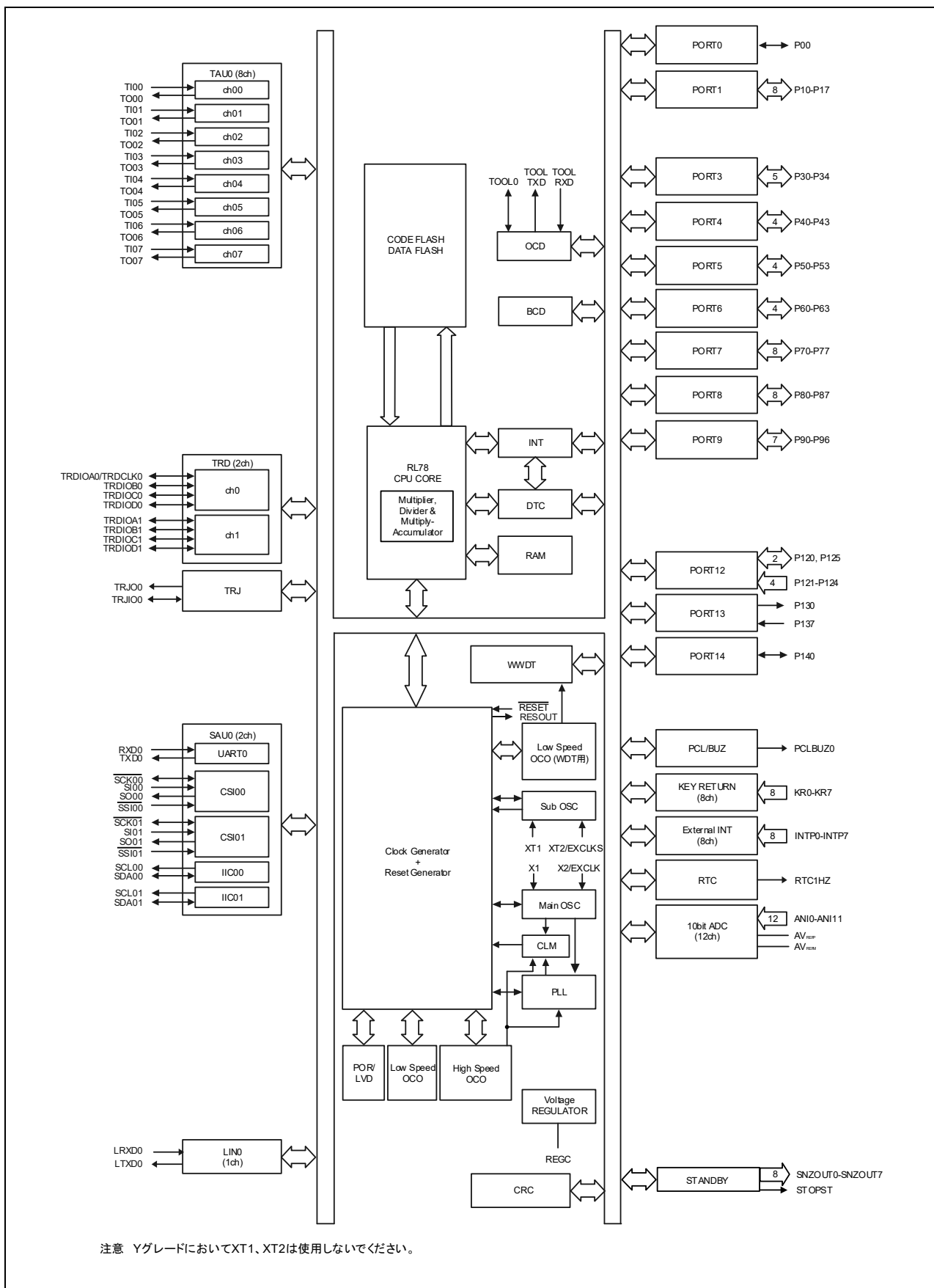


図1-18 機能ブロック図

1.4.19 RL78/F13 R5F10AGn (n = A, C, D, E) (LIN搭載版) 48ピン版のブロック図

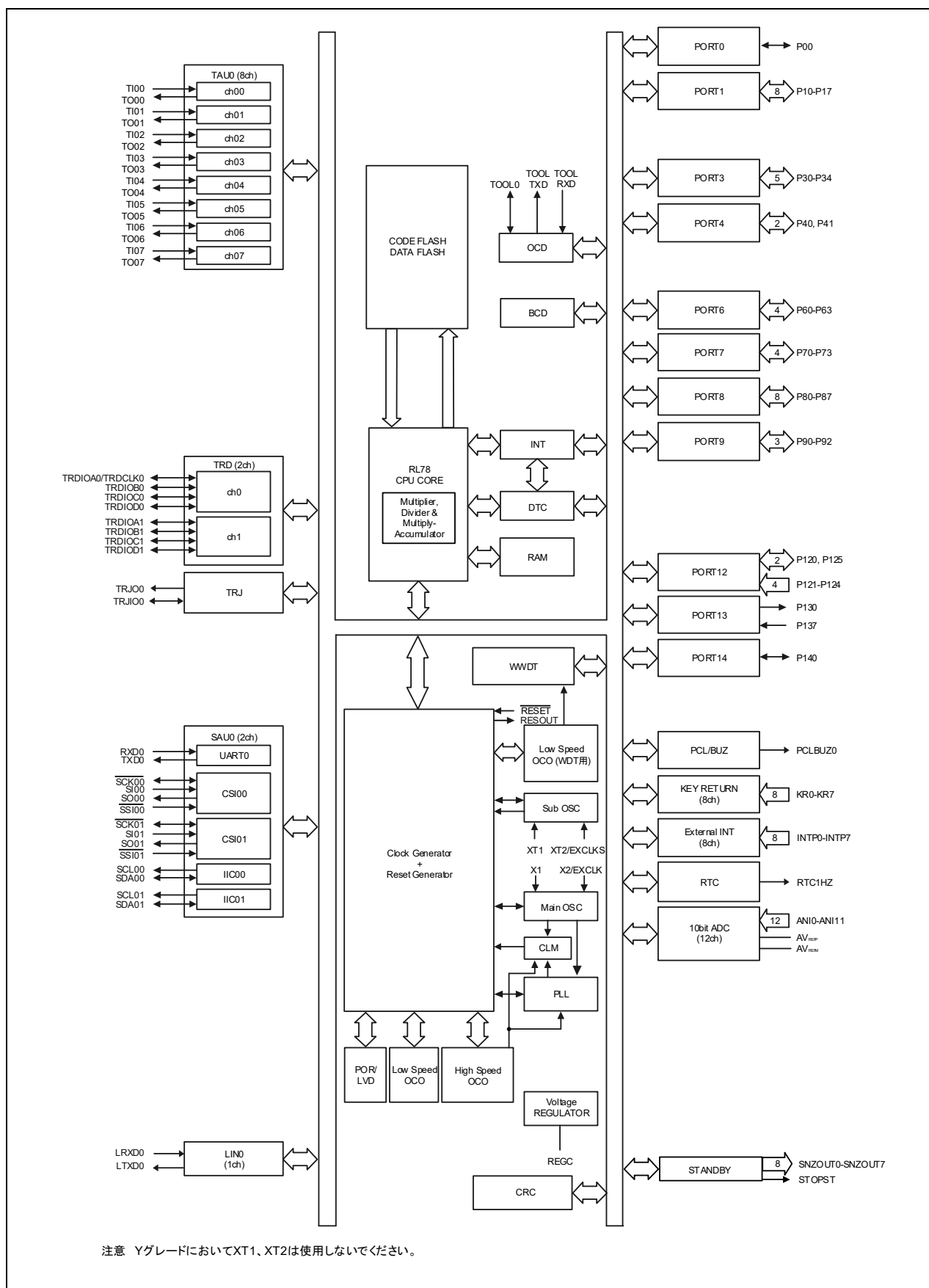


図1-19 機能ブロック図

1.4.20 RL78/F13 R5F10ABn (n = A, C, D, E) (LIN搭載版) 32ピン版のブロック図

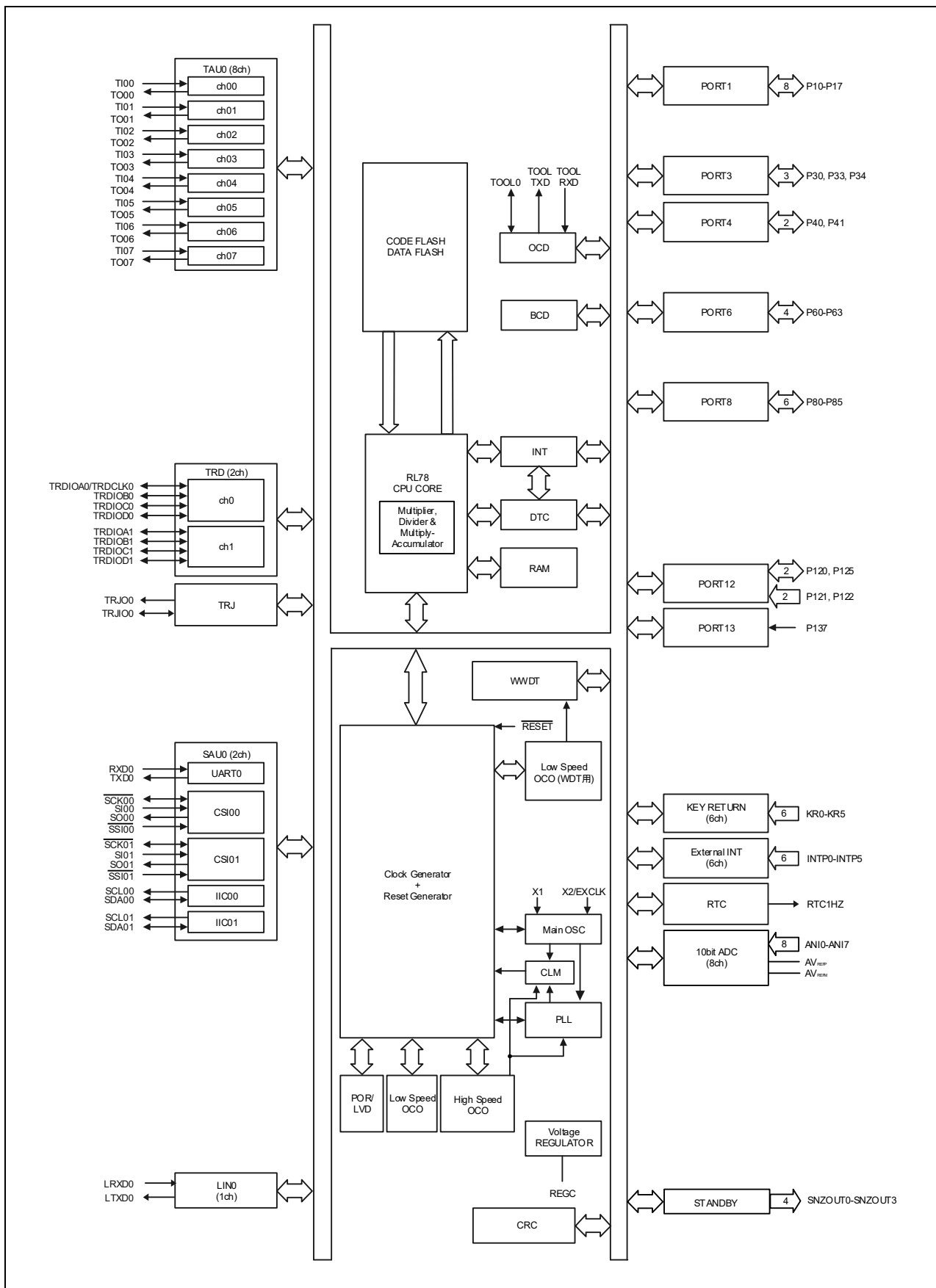


図1-20 機能ブロック図

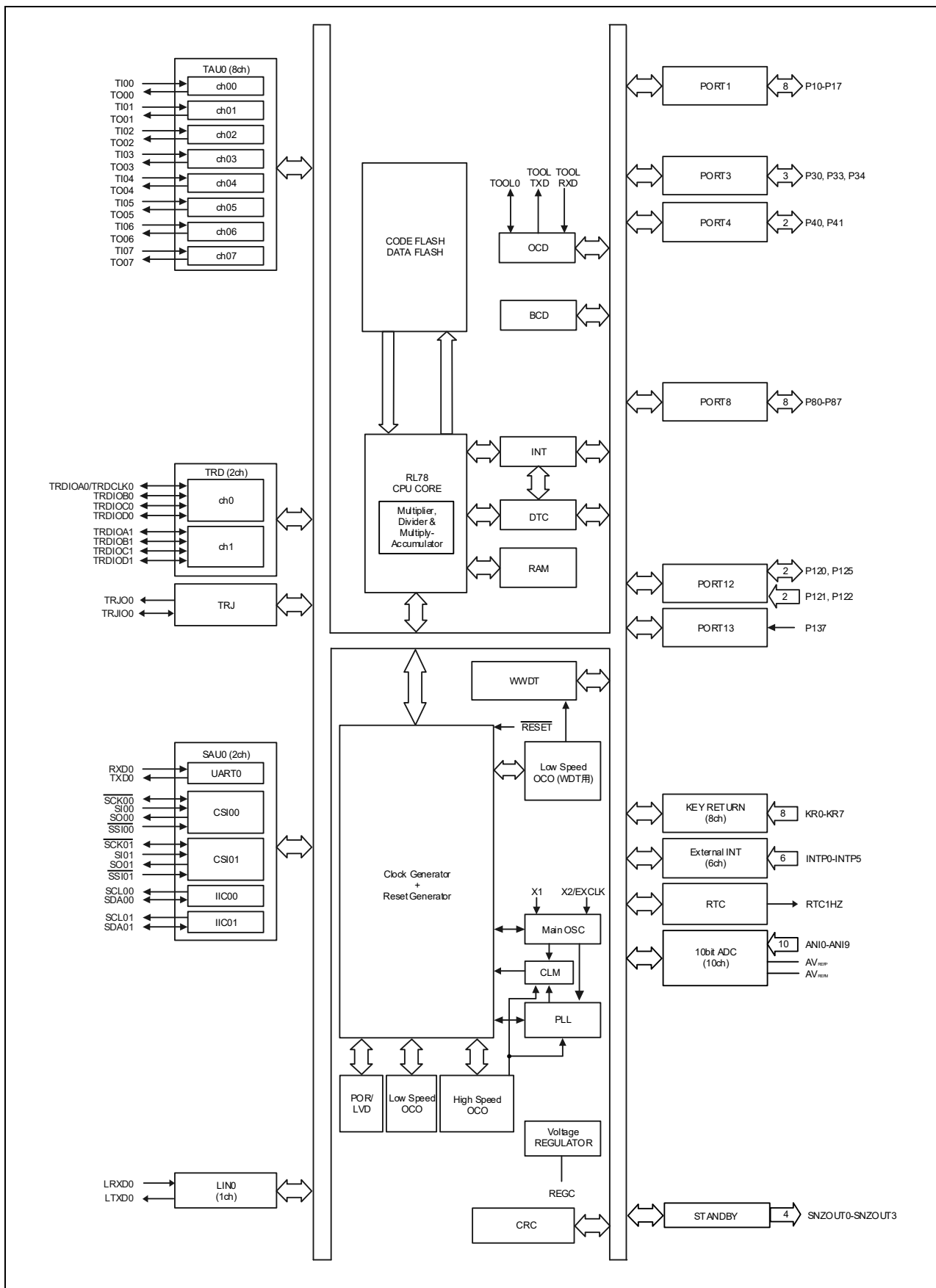
1.4.21 RL78/F13 R5F10AA_n (n = A, C, D, E) (LIN搭載版) 30ピン版のブロック図

図1-21 機能ブロック図

1.4.22 RL78/F13 R5F10A6n (n = A, C, D, E) (LIN搭載版) 20ピン版のブロック図

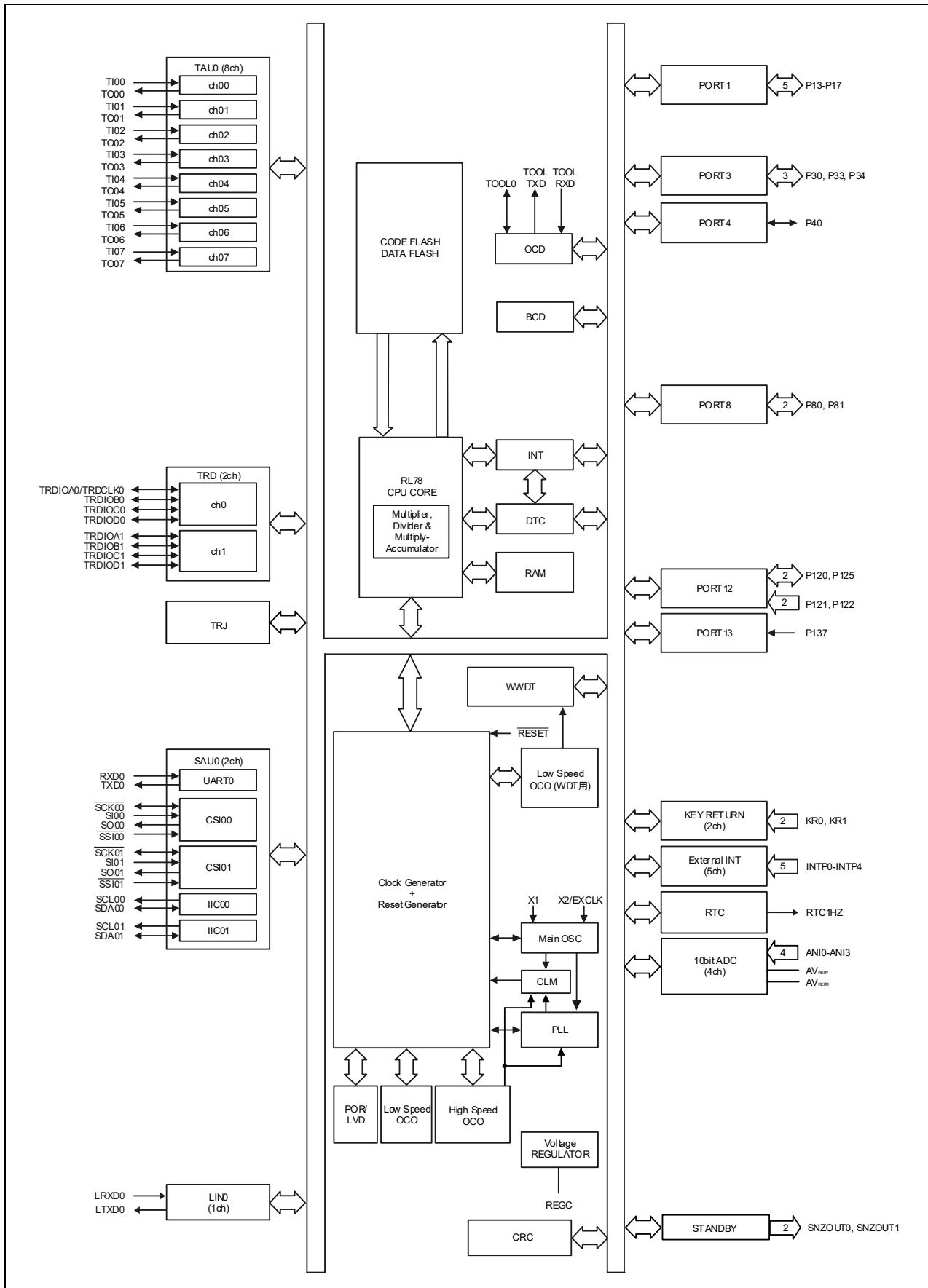


図1-22 機能ブロック図

1.5 端子接続図

1.5.1 RL78/F14 100ピン版の端子接続図

- RL78/F14 : 100ピン・プラスチックLFQFP（ファインピッチ）（14×14）

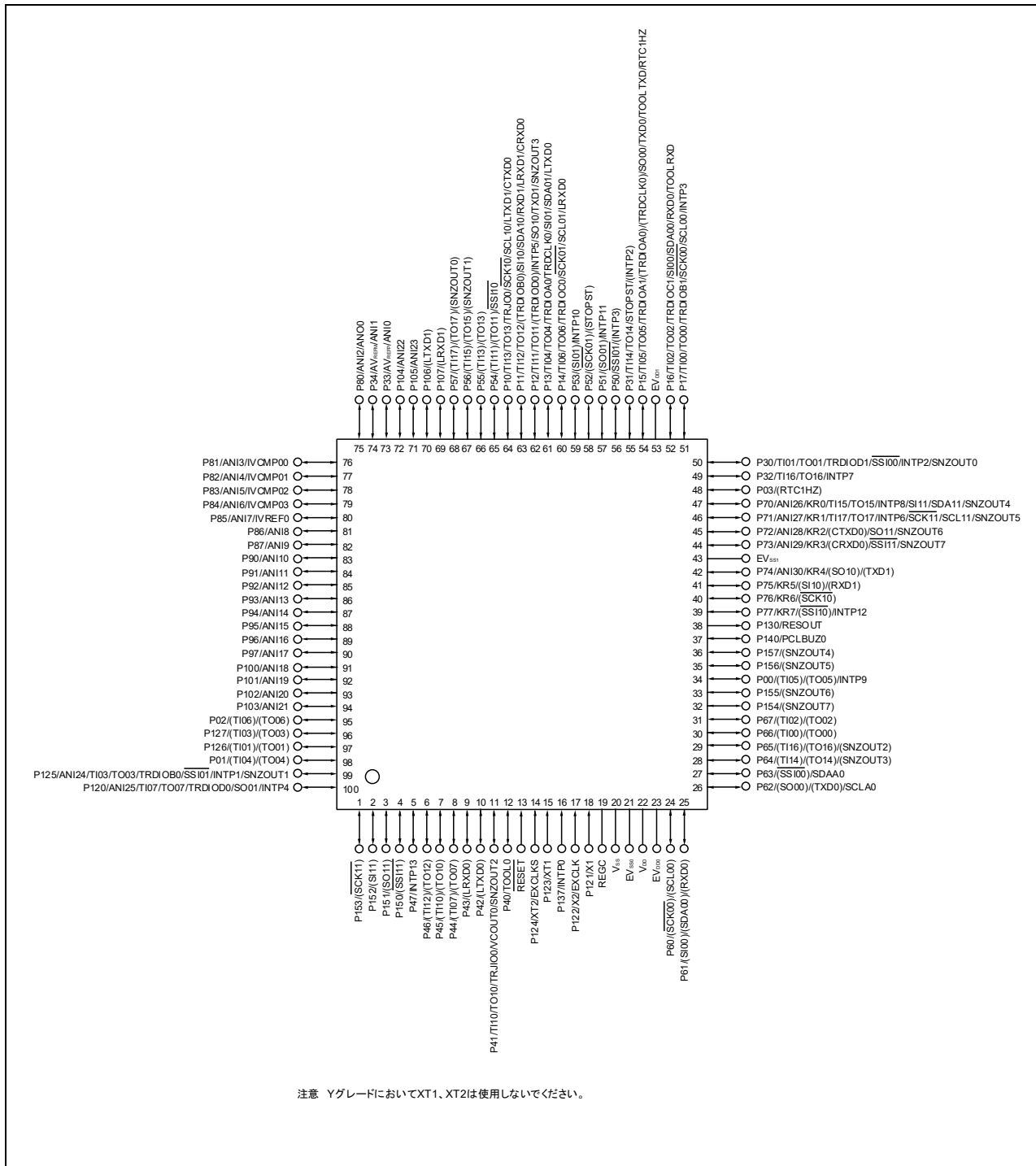


図1-23 RL78/F14の100ピン版の端子接続図

1.5.2 RL78/F14 80ピン版の端子接続図

- RL78/F14 : 80ピン・プラスチックLFQFP（ファインピッチ）（12×12）

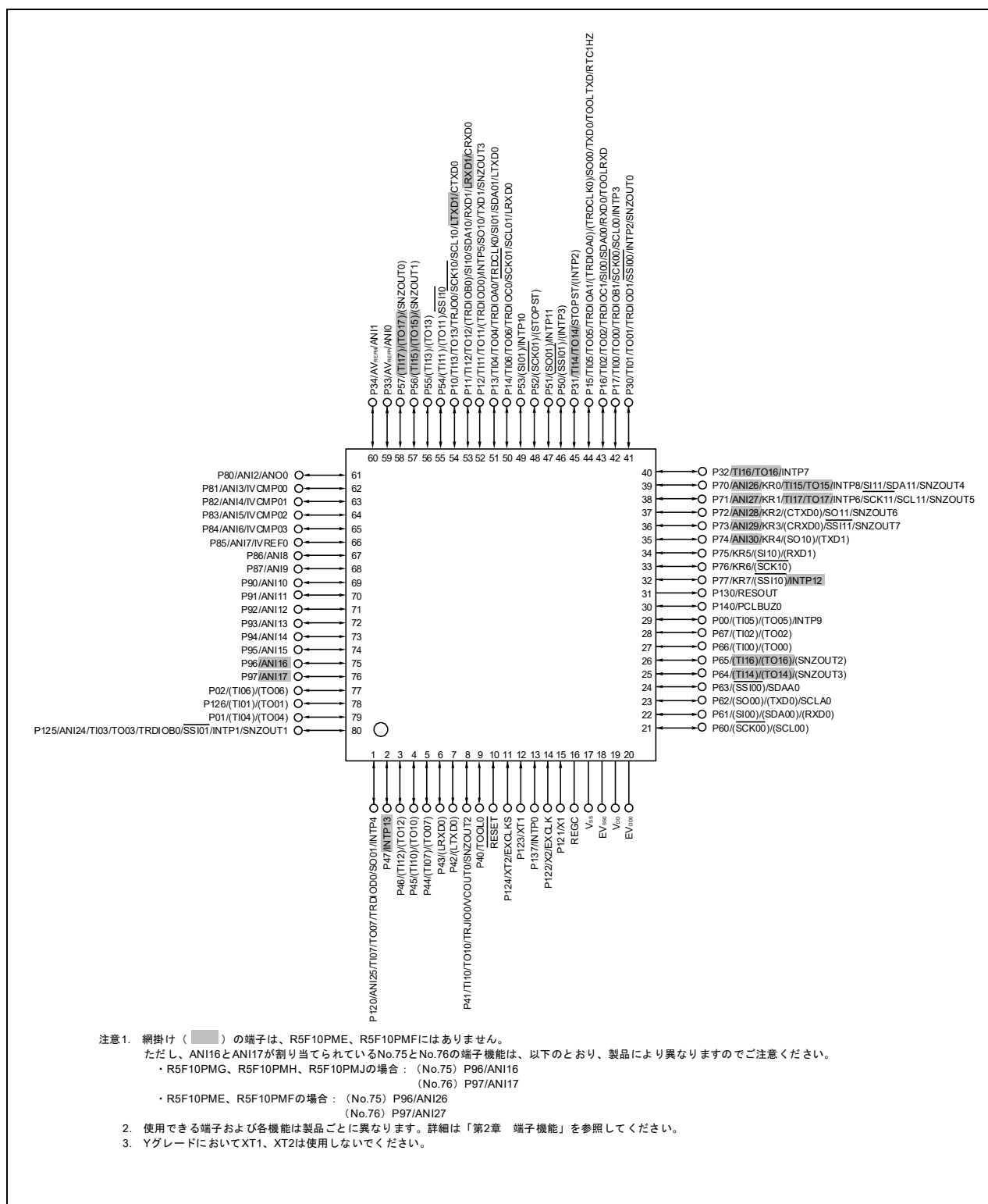
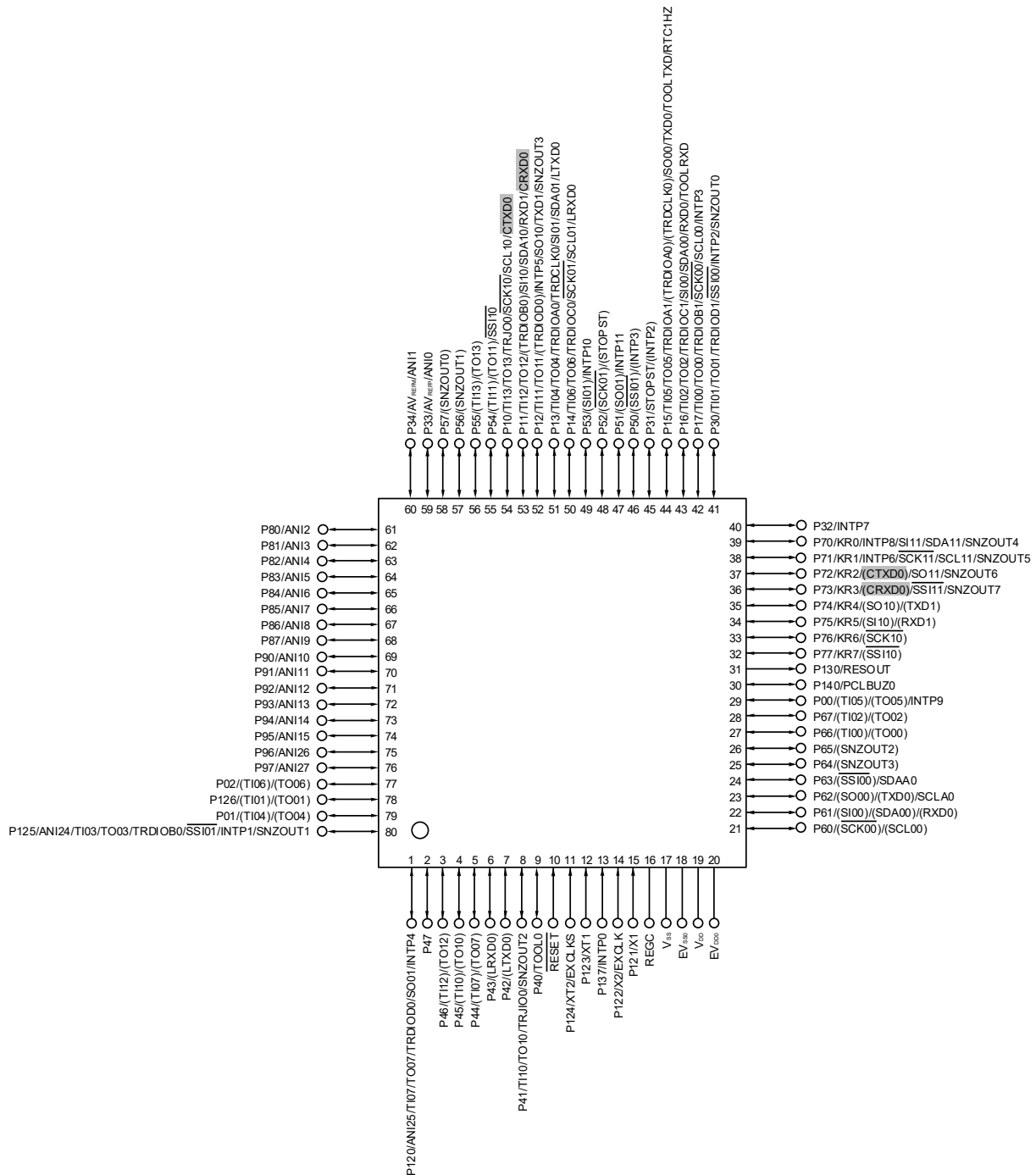


図1-24 RL78/F14の80ピン版の端子接続図

1.5.3 RL78/F13 80ピン版の端子接続図

- RL78/F13 : 80ピン・プラスチックLFQFP（ファインピッチ）（12×12）



- 注意1. 網掛け()の端子は、RL78/F13（LIN搭載版）の製品（R5F10AME、R5F10AMF、R5F10AMG）にはありません。
2. 使用できる端子および各機能は製品ごとに異なります。詳細は「第2章 端子機能」を参照してください。
3. YグレードにおいてXT1、XT2は使用しないでください。

図1-25 RL78/F13の80ピン版の端子接続図

1.5.4 RL78/F14 64ピン版の端子接続図

- RL78/F14 : 64ピン・プラスチックLFQFP（ファインピッチ）（10×10）

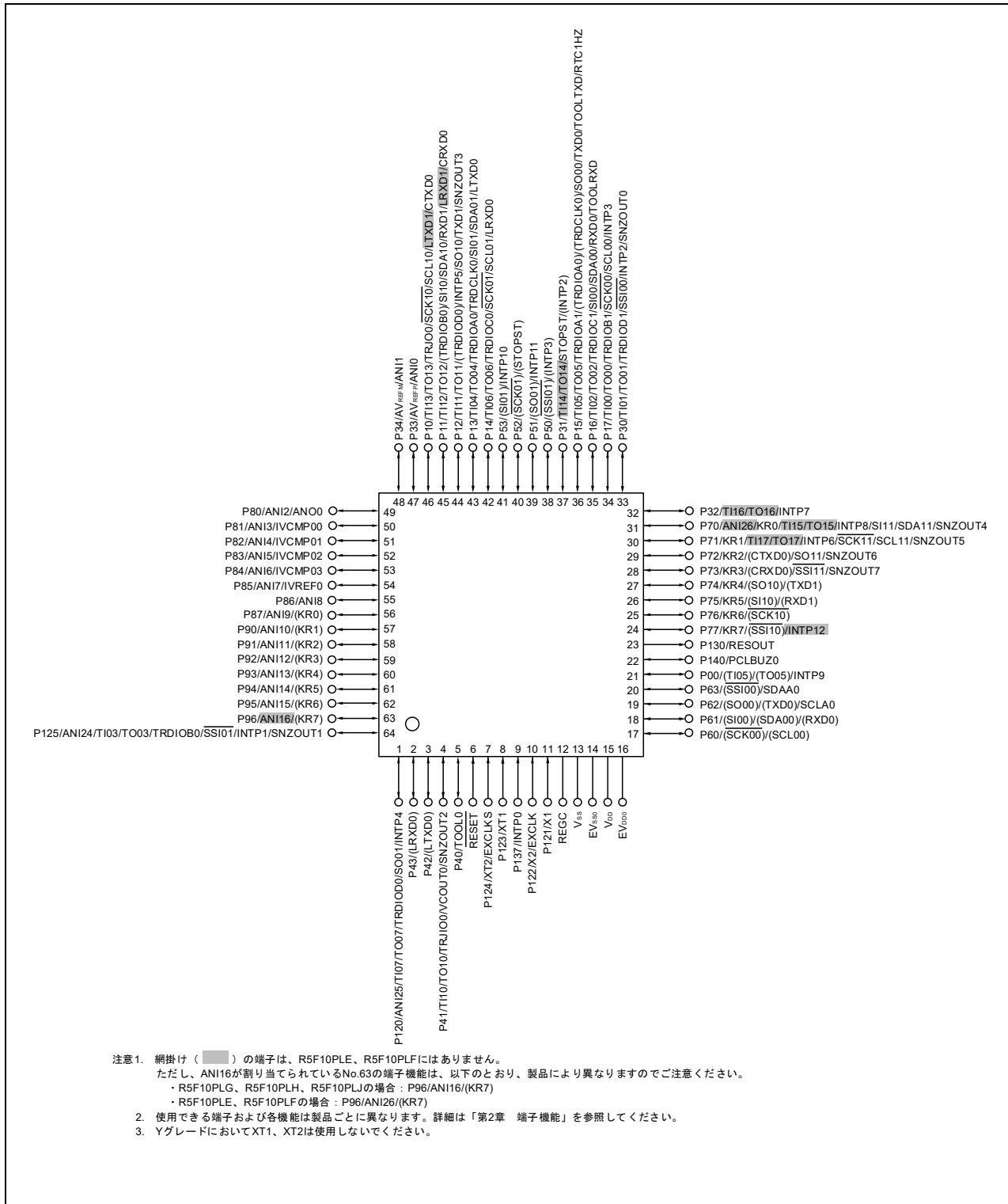


図1-26 RL78/F14の64ピン版の端子接続図

1.5.5 RL78/F13 64ピン版の端子接続図

- RL78/F13 : 64ピン・プラスチックLFQFP（ファインピッチ）（10×10）

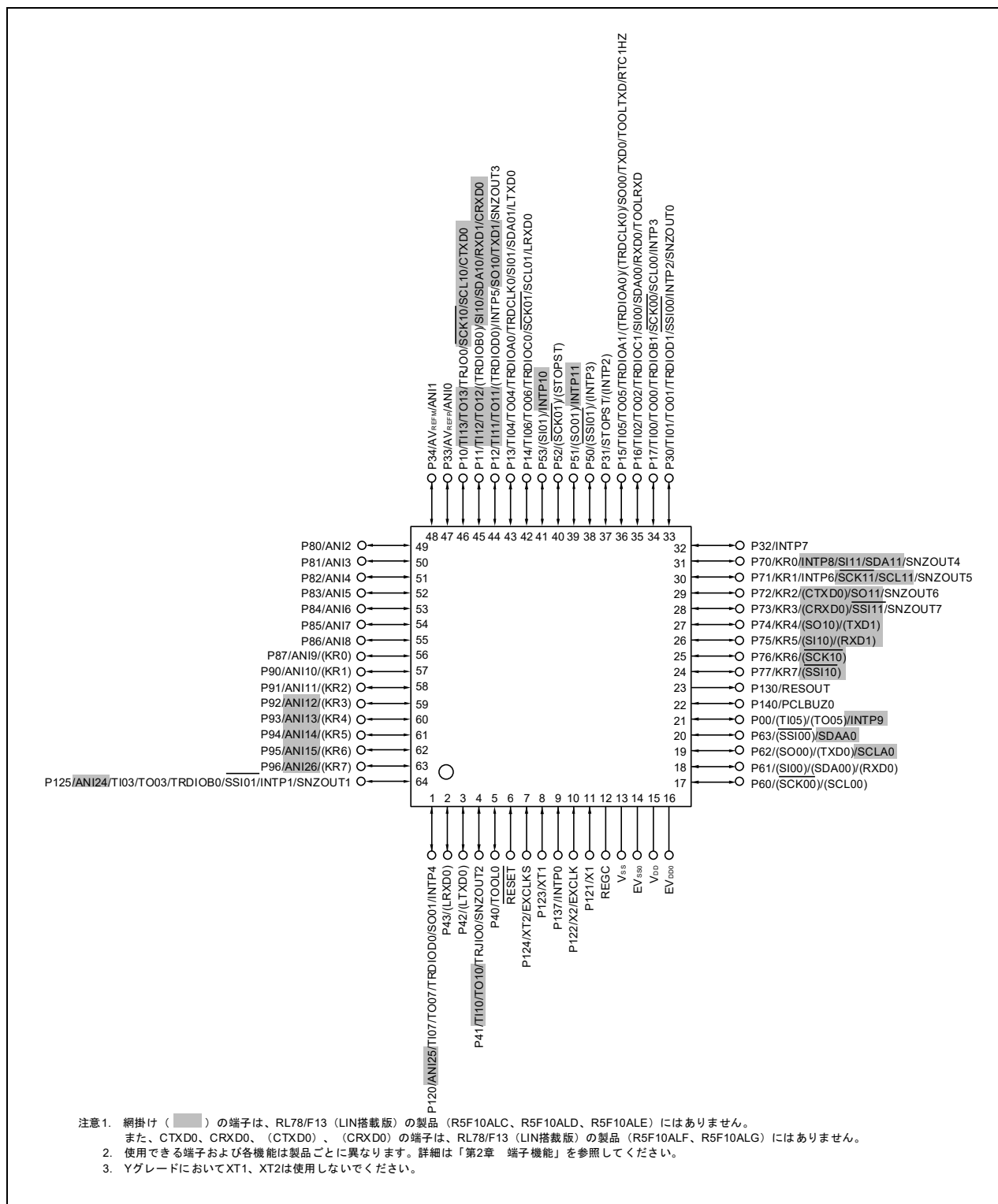


図1-27 RL78/F13の64ピン版の端子接続図

1.5.6 RL78/F14 48ピン版の端子接続図

- ★
- RL78/F14 : 48ピン・プラスチックLFQFP、HWQFN/HVQFN

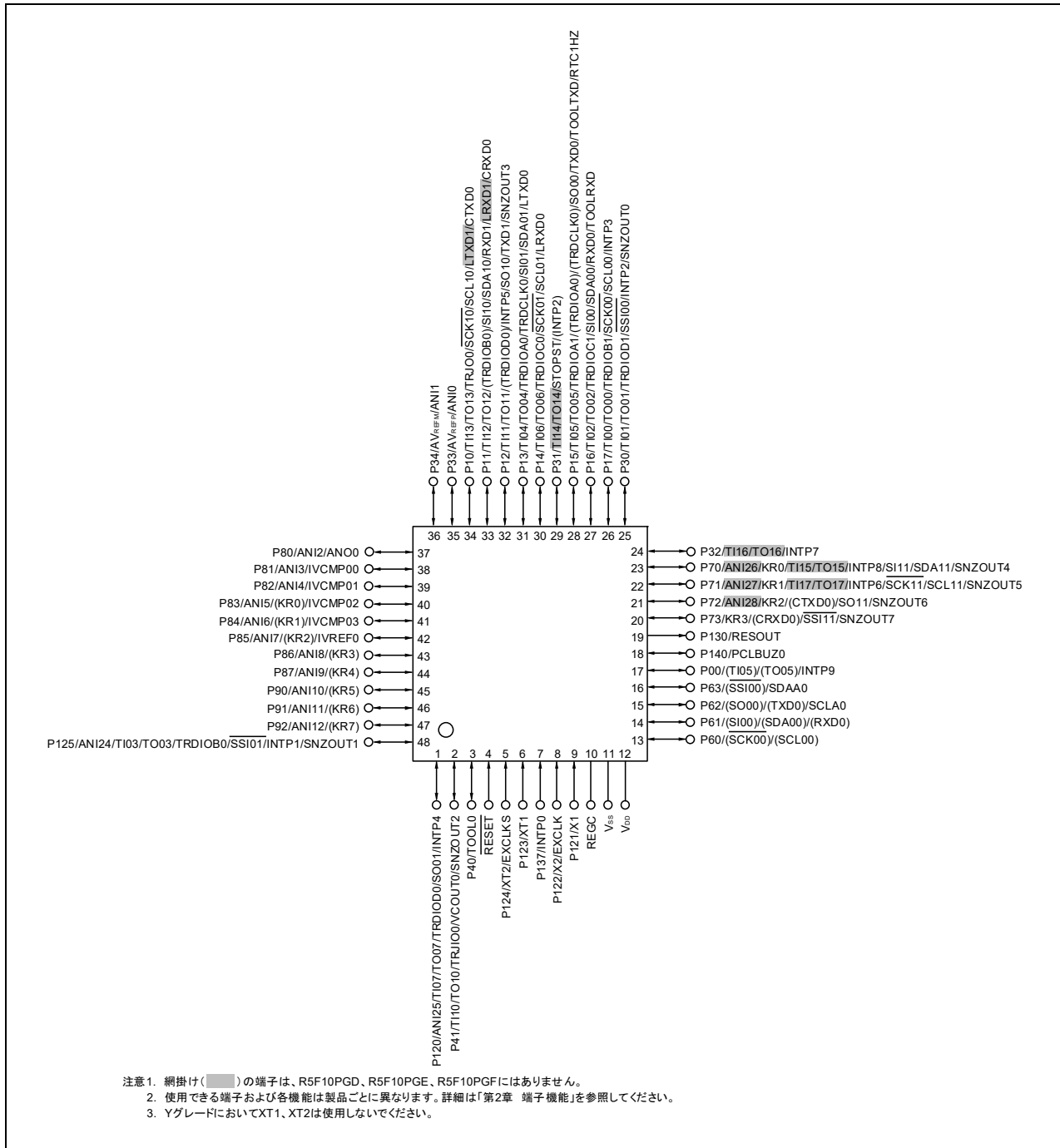
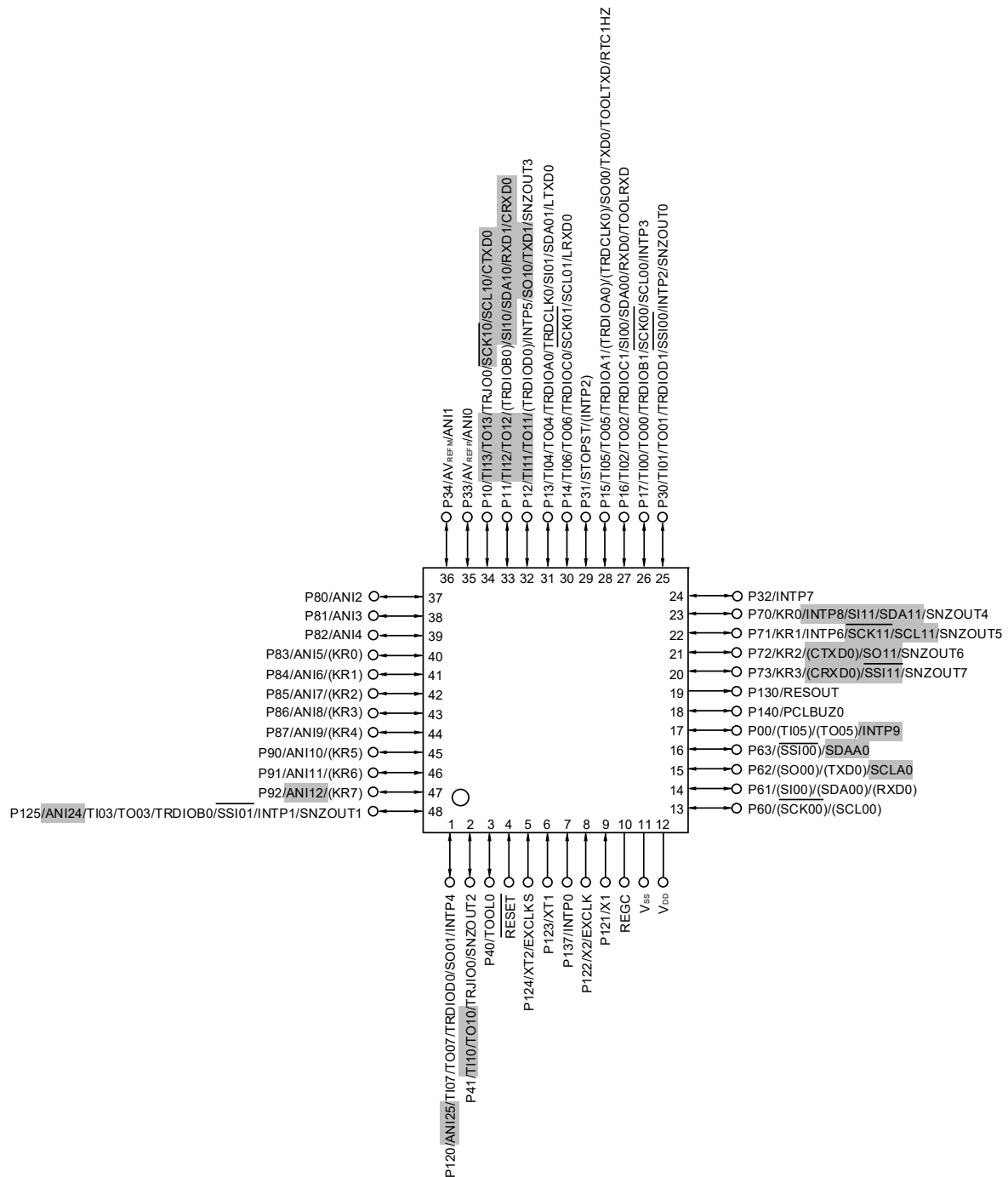


図1-28 RL78/F14の48ピン版の端子接続図

1.5.7 RL78/F13 48ピン版の端子接続図

- ★
- RL78/F13 : 48ピン・プラスチックLFQFP、HWQFN/HVQFN



- 注意1. 網掛け()の端子は、RL78/F13(LIN搭載版)の製品(R5F10AGA、R5F10AGC、R5F10AGD、R5F10AGE)にはありません。
また、CTXD0、CRXD0、(CTXD0)、(CRXD0)の端子は、RL78/F13(LIN搭載版)の製品(R5F10AGF、R5F10AGG)にはありません。
2. 使用できる端子および各機能は製品ごとに異なります。詳細は「第2章 端子機能」を参照してください。
3. YグレードにおいてXT1、XT2は使用しないでください。

図1-29 RL78/F13の48ピン版の端子接続図

1.5.8 RL78/F14 32ピン版の端子接続図

- RL78/F14 : 32ピン・プラスチックHVQFN/HWQFN

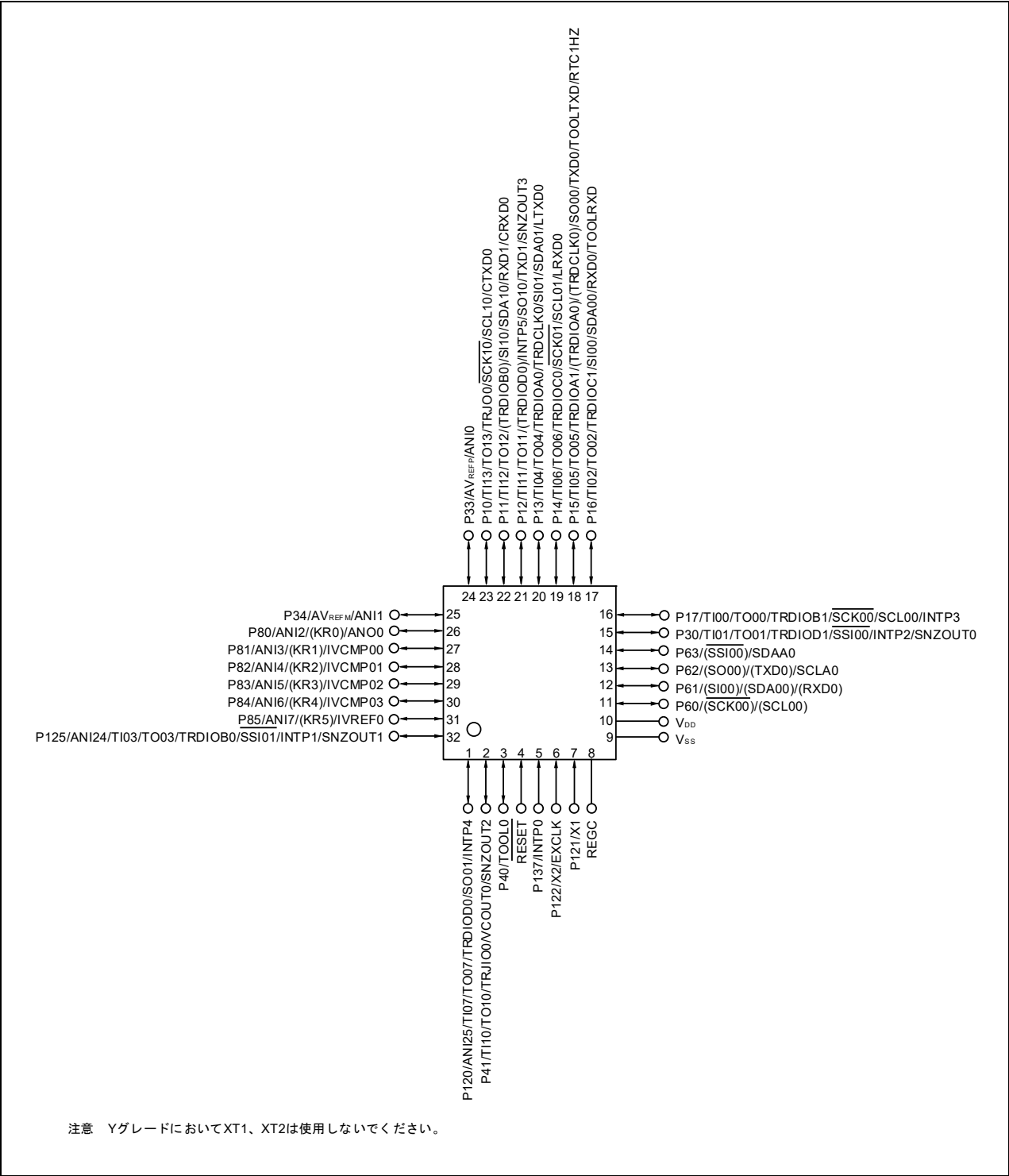


図1-30 RL78/F14の32ピン版の端子接続図

1.5.9 RL78/F13 32ピン版の端子接続図

- RL78/F13 : 32ピン・プラスチックHVQFN/HWQFN

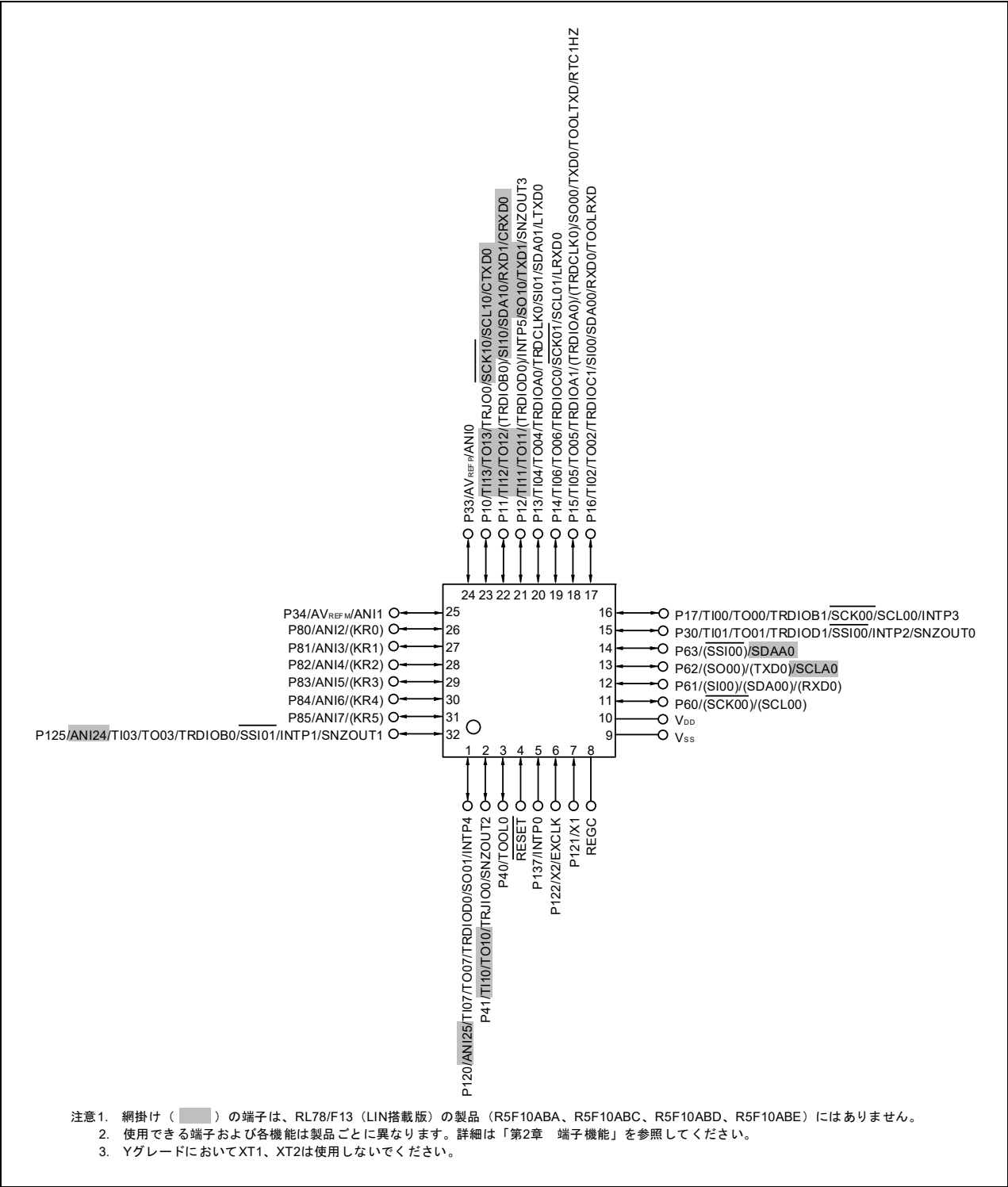


図1-31 RL78/F13の32ピン版の端子接続図

1.5.10 RL78/F14 30ピン版の端子接続図

- RL78/F14 : 30ピン・プラスチックLSSOP

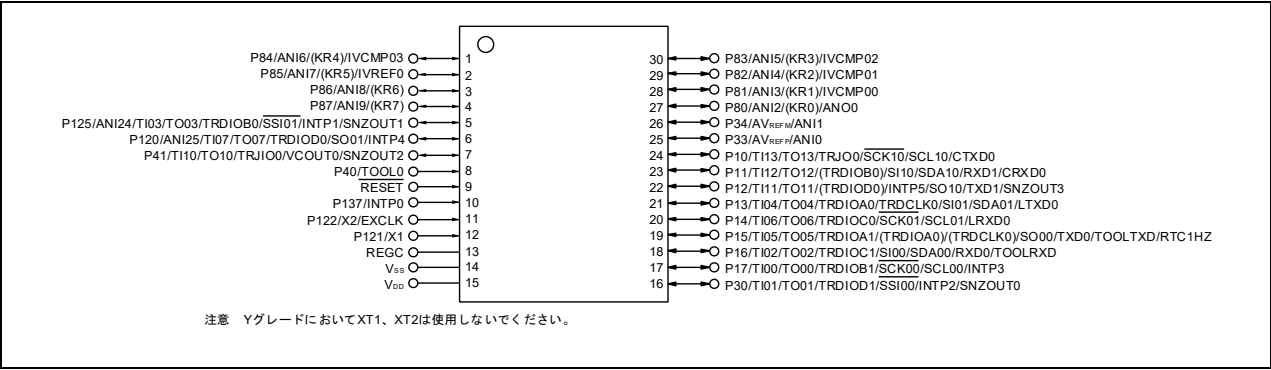


図1-32 RL78/F14の30ピン版の端子接続図

1.5.11 RL78/F13 30ピン版の端子接続図

- RL78/F13 : 30ピン・プラスチックLSSOP

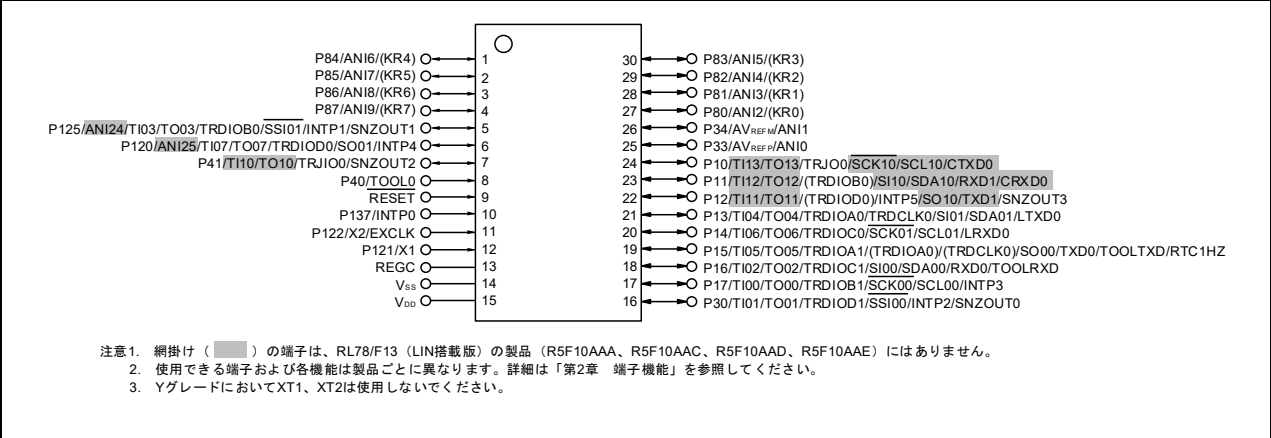


図1-33 RL78/F13の30ピン版の端子接続図

1.5.12 RL78/F13 20ピン版の端子接続図

- RL78/F13 : 20ピン・プラスチックLSSOP

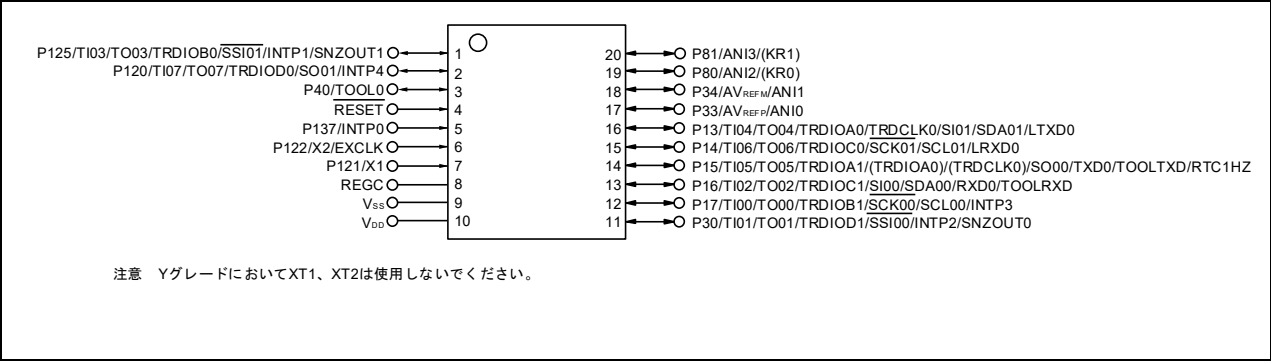


図1-34 RL78/F13の20ピン版の端子接続図

1.6 オーダ情報

表1-7～表1-9にRL78/F14, RL78/F13 (CAN&LIN搭載版) およびRL78/F13 (LIN搭載版) のオーダ情報を示します。

表1-7 RL78/F14オーダ情報

パッケージ	デバイス	オーダ名称
30ピン・プラスチックLSSOP	Lグレード	R5F10PADCLSP, R5F10PAECLSP, R5F10PADLSP, R5F10PAELSP
	Kグレード	R5F10PADCKSP, R5F10PAECKSP, R5F10PADKSP, R5F10PAEKSP
	Yグレード	R5F10PADCYSP, R5F10PAECYSP, R5F10PADYSP, R5F10PAEYSP
32ピン・プラスチックHWQFN	Lグレード	R5F10PBDCLNA, R5F10PBECLNA
	Kグレード	R5F10PBDCKNA, R5F10PBECKNA
	Yグレード	R5F10PBD CYNA, R5F10PBE CYNA
32ピン・プラスチックHVQFN	Lグレード	R5F10PBDLNA, R5F10PBELNA
	Kグレード	R5F10PBDKNA, R5F10PBEKNA
	Yグレード	R5F10PBDYNA, R5F10PBEYNA
48ピン・プラスチックLFQFP	Lグレード	R5F10PGDCLFB, R5F10PGECLFB, R5F10PGFCLFB, R5F10PGGCLFB, R5F10PGHCLFB, R5F10PGJCLFB
	Kグレード	R5F10PGDCKFB, R5F10PGECKFB, R5F10PGFCKFB, R5F10PGGCKFB, R5F10PGHCKFB, R5F10PGJCKFB
	Yグレード	R5F10PGDCYFB, R5F10PGE CYFB, R5F10PGFCYFB, R5F10PGGCYFB, R5F10PGHCYFB, R5F10PGJCYFB
48ピン・プラスチックHWQFN	Lグレード	R5F10PGDCLNA, R5F10PGECLNA, R5F10PGFCLNA, R5F10PGGCLNA, R5F10PGHCLNA, R5F10PGJCLNA
	Kグレード	R5F10PGDCKNA, R5F10PGECKNA, R5F10PGFCKNA, R5F10PGGCKNA, R5F10PGHCKNA, R5F10PGJCKNA
	Yグレード	R5F10PGDCYNA, R5F10PGE CYNA, R5F10PGFCYNA, R5F10PGGCYNA, R5F10PGHCYNA, R5F10PGJCYNA
48ピン・プラスチックHVQFN	Lグレード	R5F10PGDLNA, R5F10PGELNA, R5F10PGFLNA, R5F10PGGLNA, R5F10PGHLNA, R5F10PGJLNA
	Kグレード	R5F10PGDKNA, R5F10PGEKNA, R5F10PGFKNA, R5F10PGGKNA, R5F10PGHKNA, R5F10PGJKNA
	Yグレード	R5F10PGDYNA, R5F10PGEYNA, R5F10PGFYNA, R5F10PGGYNA, R5F10PGHYNA, R5F10PGJYNA
64ピン・プラスチックLFQFP	Lグレード	R5F10PLECLFB, R5F10PLFCLFB, R5F10PLGCLFB, R5F10PLHCLFB, R5F10PLJCLFB
	Kグレード	R5F10PLECKFB, R5F10PLFCKFB, R5F10PLGCKFB, R5F10PLHCKFB, R5F10PLJCKFB
	Yグレード	R5F10PLECYFB, R5F10PLFCYFB, R5F10PLGCYFB, R5F10PLHCYFB, R5F10PLJCYFB
80ピン・プラスチックLFQFP	Lグレード	R5F10PMECLFB, R5F10PMFCLFB, R5F10PMGCLFB, R5F10PMHCLFB, R5F10PMJCLFB
	Kグレード	R5F10PMECKFB, R5F10PMFCKFB, R5F10PMGCKFB, R5F10PMHCKFB, R5F10PMJCKFB
	Yグレード	R5F10PMECYFB, R5F10PMFCYFB, R5F10PMGCYFB, R5F10PMHCYFB, R5F10PMJCYFB
100ピン・プラスチックLFQFP	Lグレード	R5F10PPECLFB, R5F10PPFCLFB, R5F10PPGCLFB, R5F10PPHCLFB, R5F10PPJCLFB
	Kグレード	R5F10PPECKFB, R5F10PPFCKFB, R5F10PPGCKFB, R5F10PPHCKFB, R5F10PPJCKFB
	Yグレード	R5F10PPECYFB, R5F10PPFCYFB, R5F10PPGCYFB, R5F10PPHCYFB, R5F10PPJCYFB

表1-8 RL78/F13 (CAN&LIN搭載版) オーダ情報

パッケージ	デバイス	オーダ名称
★ ★ ★	30ピン・プラスチックLSSOP	Lグレード R5F10BACCLSP, R5F10BADCLSP, R5F10BAECLSP, R5F10BAFCLSP, R5F10BAGCLSP, R5F10BACLSP, R5F10BADLSP, R5F10BAELSP, R5F10BAFLSP, R5F10BAGLSP
	Kグレード	R5F10BACCKSP, R5F10BADCKSP, R5F10BAECKSP, R5F10BAFCKSP, R5F10BAGCKSP, R5F10BACKSP, R5F10BADKSP, R5F10BAEKSP, R5F10BAFKSP, R5F10BAGKSP
	Yグレード	R5F10BACCYSP, R5F10BADCYSP, R5F10BAECYSP, R5F10BAFCYSP, R5F10BAGCYSP, R5F10BACYSP, R5F10BADYSP, R5F10BAEYSP, R5F10BAFYSP, R5F10BAGYSP
★ ★ ★	32ピン・プラスチックHWQFN	Lグレード R5F10BBCCLNA, R5F10BBDCLNA, R5F10BBECLNA, R5F10BBFCLNA, R5F10BBGCLNA
	Kグレード	R5F10BBCCKNA, R5F10BBDCKNA, R5F10BBECKNA, R5F10BBFCKNA, R5F10BBGCKNA
	Yグレード	R5F10BBCCYNA, R5F10BBD CYNA, R5F10BBECYNA, R5F10BBFCYNA, R5F10BBGCYNA
★ ★ ★	32ピン・プラスチックHVQFN	Lグレード R5F10BBCLNA, R5F10BBDLNA, R5F10BBELNA, R5F10BBFLNA, R5F10BBGLNA
	Kグレード	R5F10BBCKNA, R5F10BBDKNA, R5F10BBEKNA, R5F10BBFKNA, R5F10BBGKNA
	Yグレード	R5F10BBCYNA, R5F10BBDYNA, R5F10BBEYNA, R5F10BBFYNA, R5F10BBGYNA
★ ★ ★	48ピン・プラスチックLFQFP	Lグレード R5F10BGCCCLFB, R5F10BGDCCLFB, R5F10BGECCLFB, R5F10BGFCCLFB, R5F10BGGCLFB
	Kグレード	R5F10BGCCCKFB, R5F10BGDCCKFB, R5F10BGECCKFB, R5F10BGFCCKFB, R5F10BGGCKFB
	Yグレード	R5F10BGCCYFB, R5F10BGDCYFB, R5F10BGECYFB, R5F10BGFCYFB, R5F10BGGCYFB
★ ★ ★	48ピン・プラスチックHWQFN	Lグレード R5F10BGCCCLNA, R5F10BGDCCLNA, R5F10BGECCLNA, R5F10BGFCCLNA, R5F10BGGCLNA
	Kグレード	R5F10BGCCCKNA, R5F10BGDCCKNA, R5F10BGECCKNA, R5F10BGFCCKNA, R5F10BGGCKNA
	Yグレード	R5F10BGCCYNA, R5F10BGDCYNA, R5F10BGECYNA, R5F10BGFCYNA, R5F10BGGCYNA
★ ★ ★	48ピン・プラスチックHVQFN	Lグレード R5F10BGCLNA, R5F10BGDLNA, R5F10BGELNA, R5F10BGFLNA, R5F10BGGLNA
	Kグレード	R5F10BGCKNA, R5F10BGDKNA, R5F10BGEKNA, R5F10BGFKNA, R5F10BGGKNA
	Yグレード	R5F10BGCYNA, R5F10BGDYNA, R5F10BGEYNA, R5F10BGFYNA, R5F10BGGYNA
★ ★ ★	64ピン・プラスチックLFQFP	Lグレード R5F10BLCCCLFB, R5F10BLDCLFB, R5F10BLECLFB, R5F10BLFCLFB, R5F10BLGCLFB
	Kグレード	R5F10BLCCCKFB, R5F10BLDCKFB, R5F10BLECKFB, R5F10BLFCKFB, R5F10BLGCKFB
	Yグレード	R5F10BLCCYFB, R5F10BLDCYFB, R5F10BLECYFB, R5F10BLFCYFB, R5F10BLGCYFB
★ ★ ★	80ピン・プラスチックLFQFP	Lグレード R5F10BMECLFB, R5F10BMFCLFB, R5F10BMGCLFB
	Kグレード	R5F10BMECKFB, R5F10BMFCKFB, R5F10BMGCKFB
	Yグレード	R5F10BMECYFB, R5F10BMFCYFB, R5F10BMGCYFB

表1-9 RL78/F13 (LIN搭載版) オーダ情報

パッケージ	デバイス	オーダ名称
20ピン・プラスチックLSSOP	Lグレード	R5F10A6ACLSP, R5F10A6CCLSP, R5F10A6DCLSP, R5F10A6ECLSP, R5F10A6ALSP, R5F10A6CLSP, R5F10A6DLSP, R5F10A6ELSP
	Kグレード	R5F10A6ACKSP, R5F10A6CCKSP, R5F10A6DCKSP, R5F10A6ECKSP, R5F10A6AKSP, R5F10A6CKSP, R5F10A6DKSP, R5F10A6EKSP
	Yグレード	R5F10A6ACYSP, R5F10A6CCYSP, R5F10A6DCYSP, R5F10A6ECYSP, R5F10A6AYSP, R5F10A6CYSP, R5F10A6DYSP, R5F10A6EYSP
30ピン・プラスチックLSSOP	Lグレード	R5F10AAACLSP, R5F10AACCLSP, R5F10AADCLSP, R5F10AAECLSP, R5F10AAALSP, R5F10AAACLSP, R5F10AADLSP, R5F10AAELSP
	Kグレード	R5F10AAACKSP, R5F10AACCKSP, R5F10AADCKSP, R5F10AAECKSP, R5F10AAAKSP, R5F10AACKSP, R5F10AADKSP, R5F10AAEKSP
	Yグレード	R5F10AAACYSP, R5F10AACCYSP, R5F10AADCYSP, R5F10AAECYSP, R5F10AAAYSP, R5F10AACYSP, R5F10AADYSP, R5F10AAEYSP
32ピン・プラスチックHWQFN	Lグレード	R5F10ABACLNA, R5F10ABCLNA, R5F10ABDCLNA, R5F10ABECLNA
	Kグレード	R5F10ABACKNA, R5F10ABCKNA, R5F10ABDCKNA, R5F10ABECKNA
	Yグレード	R5F10ABACYNA, R5F10ABCCYNA, R5F10ABDCYNA, R5F10ABECYNA
32ピン・プラスチックHVQFN	Lグレード	R5F10ABALNA, R5F10ABCLNA, R5F10ABDLNA, R5F10ABELNA
	Kグレード	R5F10ABAKNA, R5F10ABCKNA, R5F10ABDKNA, R5F10ABEKNA
	Yグレード	R5F10ABAYNA, R5F10ABCYNA, R5F10ABDYNA, R5F10ABEYNA
48ピン・プラスチックLFQFP	Lグレード	R5F10AGACLFB, R5F10AGCCLFB, R5F10AGDCLFB, R5F10AGECLFB, R5F10AGFCLFB, R5F10AGGCLFB
	Kグレード	R5F10AGACKFB, R5F10AGCCKFB, R5F10AGDCKFB, R5F10AGECKFB, R5F10AGFCKFB, R5F10AGGCKFB
	Yグレード	R5F10AGACYFB, R5F10AGCCYFB, R5F10AGDCYFB, R5F10AGECYFB, R5F10AGFCYFB, R5F10AGGCYFB
48ピン・プラスチックHWQFN	Lグレード	R5F10AGACLNA, R5F10AGCCLNA, R5F10AGDCLNA, R5F10AGECLNA, R5F10AGFCLNA, R5F10AGGCLNA
	Kグレード	R5F10AGACKNA, R5F10AGCCKNA, R5F10AGDCKNA, R5F10AGECKNA, R5F10AGFCKNA, R5F10AGGCKNA
	Yグレード	R5F10AGACYNA, R5F10AGCCYNA, R5F10AGDCYNA, R5F10AGECYNA, R5F10AGFCYNA, R5F10AGGCYNA
48ピン・プラスチックHVQFN	Lグレード	R5F10AGALNA, R5F10AGCLNA, R5F10AGDLNA, R5F10AGELNA, R5F10AGFLNA, R5F10AGGLNA
	Kグレード	R5F10AGAKNA, R5F10AGCKNA, R5F10AGDKNA, R5F10AGEKNA, R5F10AGFKNA, R5F10AGGKNA
	Yグレード	R5F10AGAYNA, R5F10AGCYNA, R5F10AGDYNA, R5F10AGEYNA, R5F10AGFYNA, R5F10AGGYNA
64ピン・プラスチックLFQFP	Lグレード	R5F10ALCCLFB, R5F10ALDCLFB, R5F10ALECLFB, R5F10ALFCLFB, R5F10ALGCLFB
	Kグレード	R5F10ALCCKFB, R5F10ALDCKFB, R5F10ALECKFB, R5F10ALFCKFB, R5F10ALGCKFB
	Yグレード	R5F10ALCCYFB, R5F10ALDCYFB, R5F10ALECYFB, R5F10ALFCYFB, R5F10ALGCYFB
80ピン・プラスチックLFQFP	Lグレード	R5F10AMECLFB, R5F10AMFCLFB, R5F10AMGCLFB
	Kグレード	R5F10AMECKFB, R5F10AMFCKFB, R5F10AMGCKFB
	Yグレード	R5F10AMECYFB, R5F10AMFCYFB, R5F10AMGCYFB

2. 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源は、製品によって異なります。表2-1に各電源と端子の関係を示します。

EV_{DD}は、EV_{DD0}/EV_{DD1}を表します。

表2-1 各端子の入出力バッファ電源

(1) 20ピン、30ピン、32ピン、48ピン製品

電源	対応する端子
V _{DD}	すべての端子

(2) 64ピン製品

電源	対応する端子
EV _{DD0}	・ P33、P34、P80-P87、P90-P96 ^注 、P121-P124、P137以外のポート端子
V _{DD}	・ P33、P34、P80-P87、P90-P96 ^注 、P121-P124、P137 ・ ポート以外の端子

注 R5F10PLE, R5F10PLF, R5F10BLC, R5F10BLD, R5F10BLE, R5F10BLF, R5F10BLG, R5F10ALF, R5F10ALGの場合、P96の電源はEV_{DD0}になります。R5F10ALC, R5F10ALD, R5F10ALEの場合、P92-P97の電源はEV_{DD0}となります。

(3) 80ピン製品

電源	対応する端子
EV _{DD0}	・ P33、P34、P80-P87、P90-P97 ^注 、P121-P124、P137以外のポート端子
V _{DD}	・ P33、P34、P80-P87、P90-P97 ^注 、P121-P124、P137 ・ ポート以外の端子

注 R5F10PME, R5F10PMF, R5F10BME, R5F10BMF, R5F10BMG, R5F10AME, R5F10AMF, R5F10AMGの場合、P96, P97の電源はEV_{DD0}になります。

(4) 100ピン製品

電源	対応する端子
EV _{DD0} 、EV _{DD1}	・ P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137以外のポート端子
V _{DD}	・ P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137 ・ ポート以外の端子

製品／ピン数／コード・フラッシュ・メモリサイズに応じて、以下、5つのグループを定義しています。

グループA：RL78/F13（LIN搭載）の20, 30, 32, 48, 64ピンかつコード・フラッシュ・メモリが16 KB～64 KBの製品

グループB：RL78/F13（LIN搭載）の48, 64ピンかつコード・フラッシュ・メモリが96 KB～128 KBの製品

およびRL78/F13（LIN搭載）の80ピンかつコード・フラッシュ・メモリが64 KB～128 KBの製品

グループC：RL78/F13（CAN&LIN搭載）の30, 32, 48, 64, 80ピンかつコード・フラッシュ・メモリが32 KB～128 KBの製品

グループD：RL78/F14の30, 32, 48, 64, 80ピンかつコード・フラッシュ・メモリが48 KB～96 KBの製品

グループE：RL78/F14の48, 64, 80ピンかつコード・フラッシュ・メモリが128 KB～256 KBの製品

およびRL78/F14の100ピンかつコード・フラッシュ・メモリが64 KB～256 KBの製品

ここでは、RL78/F14の100ピン版とRL78/F13（CAN&LIN搭載）80ピン版の製品を例に説明をします。

2.1.1 RL78/F14 100ピン版

(1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	(TI05)/(TO05)/INTP9
P01				(TI04)/(TO04)
P02				(TI06)/(TO06)
P03				(RTC1HZ)
P10	入出力	ポート1 P10, P11, P13, P14, P16, P17の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10～P17の出力はN-chオープン・ドレイン出力に設定可能。 P10, P11, P13, P14, P16, P17の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJ00/SCK10/SCL10/ LTXD1/CTXD0
P11				TI12/TO12/(TRDIOB0)/SI10/ SDA10/RXD1/LRXD1/CRXD0
P12				TI11/TO11/(TRDIOD0)/INTP5/ SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/ SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/SCK01/ SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/ (TRDCLK0)/SO00/TXD0/ TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/ SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/SCK00/ SCL00/INTP3
P30	入出力	ポート3 P30の入力はTTL入力バッファに設定可能。 P33およびP34はアナログ入力に設定可能。 P30, P31, P32の入力はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/SSI00/ INTP2/SNZOUT0
P31				TI14/TO14/STOPST/(INTP2)
P32				TI16/TO16/INTP7
P33			アナログ 入力ポート	AVREFF/ANI0
P34				AVREFM/ANI1
P40	入出力	ポート4 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P43の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/VCOUT0/ SNZOUT2
P42				(LTXD0)
P43				(LRXD0)
P44				(TI07)/(TO07)
P45				(TI10)/(TO10)
P46				(TI12)/(TO12)
P47				INTP13
P50	入出力	ポート5 P54の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P52, P53, P54の入力は閾値レベルの切り替え可能。	入力ポート	(SSI01)/(INTP3)
P51				(SO01)/INTP11
P52				(SCK01)/(STOPST)
P53				(SI01)/INTP10
P54				(TI11)/(TO11)/SSI10
P55				(TI13)/(TO13)
P56				(TI15)/(TO15)/(SNZOUT1)
P57				(TI17)/(TO17)/(SNZOUT0)
P60	入出力	ポート6 P62, P63の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P60～P63の出力はN-chオープン・ドレイン出力に設定可能。 P60～P63の入力は閾値レベルの切り替え可能。	入力ポート	(SCK00)/(SCL00)
P61				(SI00)/(SDA00)/(RXD0)
P62				(SO00)/(TXD0)/SCLA0
P63				(SSI00)/SDAA0
P64				(TI14)/(TO14)/(SNZOUT3)
P65				(TI16)/(TO16)/(SNZOUT2)
P66				(TI00)/(TO00)
P67				(TI02)/(TO02)

備考 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定で割り当てることができます。

P52のSTOPST機能のみSTOPステータス出力制御レジスタ (STPSTC) の設定で割り当てることができます。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P70	入出力	ポート7 P70, P71, P73の入力はTTL入力バッファに設定可能。 P70～P74はアナログ入力に設定可能。 ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。 P70～P72の出力はN-chオープン・ドレイン出力に設定可能。 P70, P71, P73, P75～P77の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI26/KR0/TI15/TO15/INTP8/ SI11/SDA11/SNZOUT4
P71				ANI27/KR1/TI17/TO17/INTP6/ SCK11/SCL11/SNZOUT5
P72				ANI28/KR2/(CTXD0)/SO11/ SNZOUT6
P73				ANI29/KR3/(CRXD0)/SSI11/ SNZOUT7
P74				ANI30/KR4/(SO10)/(TXD1)
P75			入力ポート	KR5/(SI10)/(RXD1)
P76				KR6/(SCK10)
P77				KR7/(SSI10)/INTP12
P80	入出力	ポート8 P80～P87はアナログ入力に設定可能。	アナログ 入力ポート	ANI2/ANO0
P81				ANI3/IVCMP00
P82				ANI4/IVCMP01
P83				ANI5/IVCMP02
P84				ANI6/IVCMP03
P85				ANI7/IVREF0
P86				ANI8
P87				ANI9
P90	入出力	ポート9 P90～P97はアナログ入力に設定可能。	アナログ 入力ポート	ANI10
P91				ANI11
P92				ANI12
P93				ANI13
P94				ANI14
P95				ANI15
P96				ANI16
P97				ANI17
P100	入出力	ポート10 P100～P105はアナログ入力に設定可能。 P106, P107はソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。 P107の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI18
P101				ANI19
P102				ANI20
P103				ANI21
P104				ANI22
P105				ANI23
P106			入力ポート	(LTXD1)
P107				(LRXD1)
P120	入出力	ポート12 P125の入力はTTL入力バッファに設定可能。	アナログ 入力ポート	ANI25/TI07/TO07/TRDIOD0/ SO01/INTP4
P121	入力	P120, P125はアナログ入力に設定可能。 P120, P125～P127の入力はソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力に設定可能。	入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力	P125の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI24/TI03/TO03/TRDIOB0/ SSI01/INTP1/SNZOUT1
P126			入力ポート	(TI01)/(TO01)
P127				(TI03)/(TO03)
P130	出力	ポート13	出力ポート	RESOUT
P137	入力		入力ポート	INTP0
P140	入出力	ポート14 ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。	入力ポート	PCLBUZ0
P150	入出力	ポート15 ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。 P150, P152, P153の入力は閾値レベルの切り替え可能。	入力ポート	(SSI11)
P151				(SO11)
P152				(SI11)
P153				(SCK11)
P154				(SNZOUT7)
P155				(SNZOUT6)
P156				(SNZOUT5)
P157				(SNZOUT4)

備考 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定で割り当てることができます。

2.1.2 RL78/F13 (CAN&LIN搭載) 80ピン版

(1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	(TI05)/(TO05)/INTP9
P01				(TI04)/(TO04)
P02				(TI06)/(TO06)
P10	入出力	ポート1 P10, P11, P13, P14, P16, P17の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10～P17の出力はN-chオープン・ドレイン出力に設定可能。 P10, P11, P13, P14, P16, P17の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJ00/SCK10/SCL10/ CTXD0
P11				TI12/TO12/(TRDIOB0)/SI10/ SDA10/RXD0/CRXD0
P12				TI11/TO11/(TRDIOD0)/INTP5/ SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/ SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/SCK01/ SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/ (TRDCLK0)/SO00/TXD0/ TOOLTxD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/ SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/SCK00/ SCL00/INTP3
P30	入出力	ポート3 P30の入力はTTL入力バッファに設定可能。 P33およびP34はアナログ入力に設定可能。 P30, P31, P32の入力はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/SSI00/ INTP2/SNZOUT0
P31				STOPST/(INTP2)
P32				INTP7
P33			アナログ	AVREFP/ANI0
P34			入力ポート	AVREFM/ANI1
P40	入出力	ポート4 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P43の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/SNZOUT2
P42				(LTxD0)
P43				(LRxD0)
P44				(TI07)/(TO07)
P45				(TI10)/(TO10)
P46				(TI12)/(TO12)
P47				—
P50	入出力	ポート5 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P52, P53, P54の入力は閾値レベルの切り替え可能。 P54の入力はTTL入力バッファに設定可能。	入力ポート	(SSI01)/(INTP3)
P51				(SO01)/INTP11
P52				(SCK01)/(STOPST)
P53				(SI01)/INTP10
P54				(TI11)/(TO11)/SSI10
P55				(TI13)/(TO13)
P56				(SNZOUT1)
P57				(SNZOUT0)
P60	入出力	ポート6 P62, P63の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P60～P63の出力はN-chオープン・ドレイン出力に設定可能。 P60～P63の入力は閾値レベルの切り替え可能。	入力ポート	(SCK00)/(SCL00)
P61				(SI00)/(SDA00)/(RXD0)
P62				(SO00)/(TXD0)/SCLA0
P63				(SSI00)/SDAA0
P64				(SNZOUT3)
P65				(SNZOUT2)
P66				(TI00)/(TO00)
P67				(TI02)/(TO02)

備考 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定で割り当てることができます。

P52のSTOPST機能のみSTOPステータス出力制御レジスタ (STPSTC) の設定で割り当てることができます。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能	
P70	入出力	ポート7 P70, P71, P73の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P70～P72の出力はN-chオープン・ドレイン出力に設定可能。 P70, P71, P73, P75～P77の入力は閾値レベルの切り替え可能。	入力ポート	KR0/INTP8/SI11/SDA11/ SNZOUT4	
P71				KR1/INTP6/SCK11/SCL11/ SNZOUT5	
P72				KR2/(CTXD0)/SO11/SNZOUT6	
P73				KR3/(CRXD0)/SSI11/SNZOUT7	
P74				KR4/(SO10)/(TXD1)	
P75				KR5/(SI10)/(RXD1)	
P76				KR6/(SCK10)	
P77				KR7/(SSI10)	
P80	入出力	ポート8 P80～P87はアナログ入力に設定可能。	アナログ 入力ポート	ANI2	
P81				ANI3	
P82				ANI4	
P83				ANI5	
P84				ANI6	
P85				ANI7	
P86				ANI8	
P87				ANI9	
P90	入出力	ポート9 P90～P97はアナログ入力に設定可能。 P96, P97はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI10	
P91				ANI11	
P92				ANI12	
P93				ANI13	
P94				ANI14	
P95				ANI15	
P96				ANI26	
P97				ANI27	
P120	入出力	ポート12 P125の入力はTTL入力バッファに設定可能。 P120, P125はアナログ入力に設定可能。 P120, P125, P126の入力はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力に設定可能。 P125の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI25/TI07/TO07/TRDIOD0/ SO01/INTP4	
P121	入力			入力ポート	X1
P122					X2/EXCLK
P123					XT1
P124			XT2/EXCLKS		
P125	入出力		アナログ 入力ポート	ANI24/TI03/TO03/TRDIOD0/ SSI01/INTP1/SNZOUT1	
P126				入力ポート (TI01)/(TO01)	
P130	出力	ポート13	出力ポート	RESOUT	
P137	入力		入力ポート	INTP0	
P140	入出力	ポート14 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0	

備考 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定で割り当てることができます。

2.1.3 RL78/F13 (LIN搭載) 80ピン版

(1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	(TI05)/(TO05)/INTP9
P01				(TI04)/(TO04)
P02				(TI06)/(TO06)
P10	入出力	ポート1 P10, P11, P13, P14, P16, P17の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10～P17の出力はN-chオープン・ドレイン出力に設定可能。 P10, P11, P13, P14, P16, P17の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJ00/SCK10/SCL10
P11				TI12/TO12/TRDIOB0/SI10/ SDA10/RXD1
P12				TI11/TO11/TRDIOD0/INTP5/ SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/ SI01/SDA01/LTXD0
P14				TI06/TO06/TRDI0C0/SCK01/ SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/ (TRDCLK0)/SO00/TXD0/ TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDI0C1/SI00/ SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/SCK00/ SCL00/INTP3
P30	入出力	ポート3 P30の入力はTTL入力バッファに設定可能。 P33およびP34はアナログ入力に設定可能。 P30, P31, P32の入力はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/SSI00/ INTP2/SNZOUT0
P31				STOPST/(INTP2)
P32				INTP7
P33			アナログ	AVREFP/ANI0
P34			入力ポート	AVREFM/ANI1
P40	入出力	ポート4 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P43の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/SNZOUT2
P42				(LTXD0)
P43				(LRXD0)
P44				(TI07)/(TO07)
P45				(TI10)/(TO10)
P46				(TI12)/(TO12)
P47				—
P50	入出力	ポート5 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P52, P53, P54の入力は閾値レベルの切り替え可能。 P54の入力はTTL入力バッファに設定可能。	入力ポート	(SSI01)/(INTP3)
P51				(SO01)/INTP11
P52				(SCK01)/(STOPST)
P53				(SI01)/INTP10
P54				(TI11)/(TO11)/SSI10
P55				(TI13)/(TO13)
P56				(SNZOUT1)
P57				(SNZOUT0)
P60	入出力	ポート6 P62, P63の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P60～P63の出力はN-chオープン・ドレイン出力に設定可能。 P60～P63の入力は閾値レベルの切り替え可能。	入力ポート	(SCK00)/(SCL00)
P61				(SI00)/(SDA00)/(RXD0)
P62				(SO00)/(TXD0)/SCLA0
P63				(SSI00)/SDAA0
P64				(SNZOUT3)
P65				(SNZOUT2)
P66				(TI00)/(TO00)
P67				(TI02)/(TO02)

備考 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定で割り当てることができます。

P52のSTOPST機能のみSTOPステータス出力制御レジスタ (STPSTC) の設定で割り当てることができます。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P70	入出力	ポート7 P70, P71, P73の入力はTTL入力バッファに設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P70～P72の出力はN-chオープン・ドレイン出力に設定可能。 P70, P71, P73, P75～P77の入力は閾値レベルの切り替え可能。	入力ポート	KR0/INTP8/SI11/SDA11/ SNZOUT4
P71				KR1/INTP6/SCK11/SCL11/ SNZOUT5
P72				KR2/SO11/SNZOUT6
P73				KR3/SSI11/SNZOUT7
P74				KR4/(SO10)/(TXD1)
P75				KR5/(SI10)/(RXD1)
P76				KR6/(SCK10)
P77				KR7/(SSI10)
P80	入出力	ポート8 P80～P87はアナログ入力に設定可能。	アナログ 入力ポート	ANI2
P81				ANI3
P82				ANI4
P83				ANI5
P84				ANI6
P85				ANI7
P86				ANI8
P87				ANI9
P90	入出力	ポート9 P90～P97はアナログ入力に設定可能。 P96, P97はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI10
P91				ANI11
P92				ANI12
P93				ANI13
P94				ANI14
P95				ANI15
P96				ANI26
P97				ANI27
P120	入出力	ポート12 P125の入力はTTL入力バッファに設定可能。	アナログ 入力ポート	ANI25/TI07/TO07/TRDIOD0/ SO01/INTP4
P121	入力	P120, P125はアナログ入力に設定可能。 P120, P125, P126の入力はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力に設定可能。	入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力	P125の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI24/TI03/TO03/TRDIOD0/ SSI01/INTP1/SNZOUT1
P126			入力ポート	(TI01)/(TO01)
P130	出力	ポート13	出力ポート	RESOUT
P137	入力		入力ポート	INTP0
P140	入出力	ポート14 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0

備考 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定で割り当てることができます。

2.1.4 製品別搭載端子（ポート以外の端子）

表2-2～表2-4に搭載しているポート以外の端子を製品別に示します。

「○」は搭載、「—」は非搭載の端子を表しています。

表2-2 RL78/F14のポート以外の端子機能一覧（1/5）

端子機能	入出力	機能	端子数					
			100ピン	80ピン	64ピン	48ピン	32ピン	30ピン
ANI0	入力	A/Dコンバータのアナログ入力（V _{DD} 接続）	○	○	○	○	○	○
ANI1	入力		○	○	○	○	○	○
ANI2	入力		○	○	○	○	○	○
ANI3	入力		○	○	○	○	○	○
ANI4	入力		○	○	○	○	○	○
ANI5	入力		○	○	○	○	○	○
ANI6	入力		○	○	○	○	○	○
ANI7	入力		○	○	○	○	○	○
ANI8	入力		○	○	○	○	—	○
ANI9	入力		○	○	○	○	—	○
ANI10	入力		○	○	○	○	—	—
ANI11	入力		○	○	○	○	—	—
ANI12	入力		○	○	○	○	—	—
ANI13	入力		○	○	○	—	—	—
ANI14	入力		○	○	○	—	—	—
ANI15	入力		○	○	○	—	—	—
ANI16	入力		○	○注1	○注1	—	—	—
ANI17	入力		○	○注1	—	—	—	—
ANI18	入力		○	—	—	—	—	—
ANI19	入力		○	—	—	—	—	—
ANI20	入力		○	—	—	—	—	—
ANI21	入力		○	—	—	—	—	—
ANI22	入力		○	—	—	—	—	—
ANI23	入力		○	—	—	—	—	—
ANI24	入力	A/Dコンバータのアナログ入力（EV _{DD} 接続）	○	○	○	○	○	○
ANI25	入力		○	○	○	○	○	○
ANI26	入力		○	○	○	○注1	—	—
ANI27	入力		○	○	—	○注1	—	—
ANI28	入力		○	○注1	—	○注1	—	—
ANI29	入力		○	○注1	—	—	—	—
ANI30	入力		○	○注1	—	—	—	—
IVCMP00	入力	コンパレータのアナログ電圧入力	○	○	○	○	○	○
IVCMP01	入力		○	○	○	○	○	○
IVCMP02	入力		○	○	○	○	○	○
IVCMP03	入力		○	○	○	○	○	○
IVREF0	入力	コンパレータの基準電圧入力	○	○	○	○	○	○

注 1. グループ E 製品のみ。

表2-2 RL78/F14のポート以外の端子機能一覧 (2/5)

端子機能	入出力	機能	端子数					
			100ピン	80ピン	64ピン	48ピン	32ピン	30ピン
KR0	入力	キー割り込み入力	○	○	○	○	○	○
KR1	入力		○	○	○	○	○	○
KR2	入力		○	○	○	○	○	○
KR3	入力		○	○	○	○	○	○
KR4	入力		○	○	○	○	○	○
KR5	入力		○	○	○	○	○	○
KR6	入力		○	○	○	○	—	○
KR7	入力		○	○	○	○	—	○
ANO0	出力	D/Aコンバータ出力	○	○	○	○	○	○
VCOUT0	出力	コンパレータ出力	○	○	○	○	○	○
TI00	入力	16ビット・タイマ00入力	○	○	○	○	○	○
TI01	入力	16ビット・タイマ01入力 (8ビット・モード可)	○	○	○	○	○	○
TI02	入力	16ビット・タイマ02入力	○	○	○	○	○	○
TI03	入力	16ビット・タイマ03入力 (8ビット・モード可)	○	○	○	○	○	○
TI04	入力	16ビット・タイマ04入力	○	○	○	○	○	○
TI05	入力	16ビット・タイマ05入力	○	○	○	○	○	○
TI06	入力	16ビット・タイマ06入力	○	○	○	○	○	○
TI07	入力	16ビット・タイマ07入力	○	○	○	○	○	○
TI10	入力	16ビット・タイマ10入力	○	○	○	○	○	○
TI11	入力	16ビット・タイマ11入力 (8ビット・モード可)	○	○	○	○	○	○
TI12	入力	16ビット・タイマ12入力	○	○	○	○	○	○
TI13	入力	16ビット・タイマ13入力 (8ビット・モード可)	○	○	○	○	○	○
TI14	入力	16ビット・タイマ14入力	○	○注1	○注1	○注1	—	—
TI15	入力	16ビット・タイマ15入力	○	○注1	○注1	○注1	—	—
TI16	入力	16ビット・タイマ16入力	○	○注1	○注1	○注1	—	—
TI17	入力	16ビット・タイマ17入力	○	○注1	○注1	○注1	—	—
TO00	出力	16ビット・タイマ00出力	○	○	○	○	○	○
TO01	出力	16ビット・タイマ01出力 (8ビット・モード可)	○	○	○	○	○	○
TO02	出力	16ビット・タイマ02出力	○	○	○	○	○	○
TO03	出力	16ビット・タイマ03出力 (8ビット・モード可)	○	○	○	○	○	○
TO04	出力	16ビット・タイマ04出力	○	○	○	○	○	○
TO05	出力	16ビット・タイマ05出力	○	○	○	○	○	○
TO06	出力	16ビット・タイマ06出力	○	○	○	○	○	○
TO07	出力	16ビット・タイマ07出力	○	○	○	○	○	○
TO10	出力	16ビット・タイマ10出力	○	○	○	○	○	○
TO11	出力	16ビット・タイマ11出力 (8ビット・モード可)	○	○	○	○	○	○
TO12	出力	16ビット・タイマ12出力	○	○	○	○	○	○
TO13	出力	16ビット・タイマ13出力 (8ビット・モード可)	○	○	○	○	○	○
TO14	出力	16ビット・タイマ14出力	○	○注1	○注1	○注1	—	—
TO15	出力	16ビット・タイマ15出力	○	○注1	○注1	○注1	—	—
TO16	出力	16ビット・タイマ16出力	○	○注1	○注1	○注1	—	—
TO17	出力	16ビット・タイマ17出力	○	○注1	○注1	○注1	—	—

注 1. グループ E 製品のみ。

表2-2 RL78/F14のポート以外の端子機能一覧 (3/5)

端子機能	入出力	機能	端子数					
			100ピン	80ピン	64ピン	48ピン	32ピン	30ピン
TRJIO0	入出力	タイマRJ入出力	○	○	○	○	○	○
TRJO0	出力	タイマRJ出力	○	○	○	○	○	○
TRDCLK0	入力	タイマRD外部クロック入力	○	○	○	○	○	○
TRDIOA0	入出力	タイマRD0入出力	○	○	○	○	○	○
TRDIOB0	入出力		○	○	○	○	○	○
TRDIOC0	入出力		○	○	○	○	○	○
TRDIOD0	入出力		○	○	○	○	○	○
TRDIOA1	入出力	タイマRD1入出力	○	○	○	○	○	○
TRDIOB1	入出力		○	○	○	○	○	○
TRDIOC1	入出力		○	○	○	○	○	○
TRDIOD1	入出力		○	○	○	○	○	○
RXD0	入力	UART0のシリアル・データ入力	○	○	○	○	○	○
RXD1	入力	UART1のシリアル・データ入力	○	○	○	○	○	○
TXD0	出力	UART0のシリアル・データ出力	○	○	○	○	○	○
TXD1	出力	UART1のシリアル・データ出力	○	○	○	○	○	○
SCLA0	入出力	IICA0のクロック入出力	○	○	○	○	○	—
SCL00	出力	簡易I ² Cのクロック出力	○	○	○	○	○	○
SCL01	出力		○	○	○	○	○	○
SCL10	出力		○	○	○	○	○	○
SCL11	出力		○	○	○	○	—	—
SDAA0	入出力	IICA0のシリアル・データ入出力	○	○	○	○	○	—
SDA00	入出力	簡易I ² Cのシリアル・データ入出力	○	○	○	○	○	○
SDA01	入出力		○	○	○	○	○	○
SDA10	入出力		○	○	○	○	○	○
SDA11	入出力		○	○	○	○	—	—
$\overline{\text{SCK00}}$	入出力	CSI00のクロック入出力	○	○	○	○	○	○
$\overline{\text{SCK01}}$	入出力	CSI01のクロック入出力	○	○	○	○	○	○
$\overline{\text{SCK10}}$	入出力	CSI10のクロック入出力	○	○	○	○	○	○
$\overline{\text{SCK11}}$	入出力	CSI11のクロック入出力	○	○	○	○	—	—
SI00	入力	CSI00のシリアル・データ入力	○	○	○	○	○	○
SI01	入力	CSI01のシリアル・データ入力	○	○	○	○	○	○
SI10	入力	CSI10のシリアル・データ入力	○	○	○	○	○	○
SI11	入力	CSI11のシリアル・データ入力	○	○	○	○	—	—
SO00	出力	CSI00のシリアル・データ出力	○	○	○	○	○	○
SO01	出力	CSI01のシリアル・データ出力	○	○	○	○	○	○
SO10	出力	CSI10のシリアル・データ出力	○	○	○	○	○	○
SO11	出力	CSI11のシリアル・データ出力	○	○	○	○	—	—
$\overline{\text{SSI00}}$	入力	CSI00 (SPI00) のスレーブ・セレクト入力	○	○	○	○	○	○
$\overline{\text{SSI01}}$	入力	CSI01 (SPI01) のスレーブ・セレクト入力	○	○	○	○	○	○
$\overline{\text{SSI10}}$	入力	CSI10 (SPI10) のスレーブ・セレクト入力	○	○	○	—	—	—
$\overline{\text{SSI11}}$	入力	CSI11 (SPI11) のスレーブ・セレクト入力	○	○	○	○	—	—
CRXD0	入力	CANのシリアル・データ入力	○	○	○	○	○	○
CTXD0	出力	CANのシリアル・データ出力	○	○	○	○	○	○

表2-2 RL78/F14のポート以外の端子機能一覧 (4/5)

端子機能	入出力	機能	端子数					
			100ピン	80ピン	64ピン	48ピン	32ピン	30ピン
LRXD0	入力	LINのシリアル・データ入力	○	○	○	○	○	○
LRXD1	入力		○	○注1	○注1	○注1	—	—
LTXD0	出力	LINのシリアル・データ出力	○	○	○	○	○	○
LTXD1	出力		○	○注1	○注1	○注1	—	—
INTP0	入力	外部割り込み入力	○	○	○	○	○	○
INTP1	入力		○	○	○	○	○	○
INTP2	入力		○	○	○	○	○	○
INTP3	入力		○	○	○	○	○	○
INTP4	入力		○	○	○	○	○	○
INTP5	入力		○	○	○	○	○	○
INTP6	入力		○	○	○	○	—	—
INTP7	入力		○	○	○	○	—	—
INTP8	入力		○	○	○	○	—	—
INTP9	入力		○	○	○	○	—	—
INTP10	入力		○	○	○	—	—	—
INTP11	入力		○	○	○	—	—	—
INTP12	入力		○	○注1	○注1	—	—	—
INTP13	入力		○	○注1	—	—	—	—
PCLBUZ0	出力	クロック出力／ブザー出力0	○	○	○	○	—	—
RESOUT	出力	リセット出力	○	○	○	○	—	—
STOPST	出力	STOPステータス出力	○	○	○	○	—	—
SNZOUT0	出力	SNOOZEステータス出力	○	○	○	○	○	○
SNZOUT1	出力		○	○	○	○	○	○
SNZOUT2	出力		○	○	○	○	○	○
SNZOUT3	出力		○	○	○	○	○	○
SNZOUT4	出力		○	○	○	○	—	—
SNZOUT5	出力		○	○	○	○	—	—
SNZOUT6	出力		○	○	○	○	—	—
SNZOUT7	出力		○	○	○	○	—	—
RTC1HZ	出力	リアルタイム・クロック補正クロック（1Hz）出力	○	○	○	○	○	○
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○	○	○	○	○
EXCLKS	入力	サブ・クロック用外部クロック入力	○	○	○	○	—	—
X1	—	メイン・システム・クロック用発振子接続	○	○	○	○	○	○
X2	—		○	○	○	○	○	○
XT1注3	—	サブシステム・クロック用発振子接続	○	○	○	○	—	—
XT2注3	—		○	○	○	○	—	—
RESET	入力	外部リセット入力	○	○	○	○	○	○
REGC	—	内部動作レギュレータ出力安定容量接続。コンデンサ（0.47～1μF）を介してVssに接続してください。	○	○	○	○	○	○
VDD	—	P33、P34、P80-P87、P90-P97注2、P100-P105、P121-P124、P137、RESET端子の正電源	○	○	○	○	○	○
EVDD0	—	VDD接続端子以外の正電源	○	○	○	—	—	—
EVDD1	—		○	—	—	—	—	—

注 1. グループ E 製品のみ。

2. グループ A, B, C, D 製品の場合、P96, P97 端子の正電源は EVDD0 端子になります。

3. Y グレードにおいて XT1、XT2 は使用しないでください。

表2-2 RL78/F14のポート以外の端子機能一覧 (5/5)

端子機能	入出力	機能	端子数					
			100ピン	80ピン	64ピン	48ピン	32ピン	30ピン
AVREFP	入力	A/Dコンバータの基準電位 (+側) 入力	○	○	○	○	○	○
AVREFM	入力	A/Dコンバータの基準電位 (-側) 入力	○	○	○	○	○	○
V _{SS}	—	P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137、 RESET端子のグランド電源	○	○	○	○	○	○
EV _{SS0}	—	V _{SS} 接続端子以外のグランド電位	○	○	○	—	—	—
EV _{SS1}	—		○	—	—	—	—	—
TOOLRXD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子	○	○	○	○	○	○
TOOLTXD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子	○	○	○	○	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力	○	○	○	○	○	○

表2-3 RL78/F13 (CAN&LIN搭載版) のポート以外の端子機能一覧 (1/4)

端子機能	入出力	機能	端子数				
			80ピン	64ピン	48ピン	32ピン	30ピン
ANI0	入力	A/Dコンバータのアナログ入力 (V _{DD} 接続)	○	○	○	○	○
ANI1	入力		○	○	○	○	○
ANI2	入力		○	○	○	○	○
ANI3	入力		○	○	○	○	○
ANI4	入力		○	○	○	○	○
ANI5	入力		○	○	○	○	○
ANI6	入力		○	○	○	○	○
ANI7	入力		○	○	○	○	○
ANI8	入力		○	○	○	—	○
ANI9	入力		○	○	○	—	○
ANI10	入力		○	○	○	—	—
ANI11	入力		○	○	○	—	—
ANI12	入力		○	○	○	—	—
ANI13	入力		○	○	—	—	—
ANI14	入力		○	○	—	—	—
ANI15	入力		○	○	—	—	—
ANI24	入力	A/Dコンバータのアナログ入力 (EV _{DD} 接続)	○	○	○	○	○
ANI25	入力		○	○	○	○	○
ANI26	入力		○	○	—	—	—
ANI27	入力		○	—	—	—	—
KR0	入力	キー割り込み入力	○	○	○	○	○
KR1	入力		○	○	○	○	○
KR2	入力		○	○	○	○	○
KR3	入力		○	○	○	○	○
KR4	入力		○	○	○	○	○
KR5	入力		○	○	○	○	○
KR6	入力		○	○	○	—	○
KR7	入力		○	○	○	—	○
TI00	入力	16ビット・タイマ00入力	○	○	○	○	○
TI01	入力	16ビット・タイマ01入力 (8ビット・モード可)	○	○	○	○	○
TI02	入力	16ビット・タイマ02入力	○	○	○	○	○
TI03	入力	16ビット・タイマ03入力 (8ビット・モード可)	○	○	○	○	○
TI04	入力	16ビット・タイマ04入力	○	○	○	○	○
TI05	入力	16ビット・タイマ05入力	○	○	○	○	○
TI06	入力	16ビット・タイマ06入力	○	○	○	○	○
TI07	入力	16ビット・タイマ07入力	○	○	○	○	○
TI10	入力	16ビット・タイマ10入力	○	○	○	○	○
TI11	入力	16ビット・タイマ11入力 (8ビット・モード可)	○	○	○	○	○
TI12	入力	16ビット・タイマ12入力	○	○	○	○	○
TI13	入力	16ビット・タイマ13入力 (8ビット・モード可)	○	○	○	○	○
TO00	出力	16ビット・タイマ00出力	○	○	○	○	○
TO01	出力	16ビット・タイマ01出力 (8ビット・モード可)	○	○	○	○	○

表2-3 RL78/F13 (CAN&LIN搭載版) のポート以外の端子機能一覧 (2/4)

端子機能	入出力	機能	端子数				
			80ピン	64ピン	48ピン	32ピン	30ピン
TO02	出力	16ビット・タイマ02出力	○	○	○	○	○
TO03	出力	16ビット・タイマ03出力 (8ビット・モード可)	○	○	○	○	○
TO04	出力	16ビット・タイマ04出力	○	○	○	○	○
TO05	出力	16ビット・タイマ05出力	○	○	○	○	○
TO06	出力	16ビット・タイマ06出力	○	○	○	○	○
TO07	出力	16ビット・タイマ07出力	○	○	○	○	○
TO10	出力	16ビット・タイマ10出力	○	○	○	○	○
TO11	出力	16ビット・タイマ11出力 (8ビット・モード可)	○	○	○	○	○
TO12	出力	16ビット・タイマ12出力	○	○	○	○	○
TO13	出力	16ビット・タイマ13出力 (8ビット・モード可)	○	○	○	○	○
TRJIO0	入出力	タイマRJ入出力	○	○	○	○	○
TRJO0	出力	タイマRJ出力	○	○	○	○	○
TRDCLK0	入力	タイマRD外部クロック入力	○	○	○	○	○
TRDIOA0	入出力	タイマRD0入出力	○	○	○	○	○
TRDIOB0	入出力		○	○	○	○	○
TRDIOC0	入出力		○	○	○	○	○
TRDIOD0	入出力		○	○	○	○	○
TRDIOA1	入出力	タイマRD1入出力	○	○	○	○	○
TRDIOB1	入出力		○	○	○	○	○
TRDIOC1	入出力		○	○	○	○	○
TRDIOD1	入出力		○	○	○	○	○
RXD0	入力	UART0のシリアル・データ入力	○	○	○	○	○
RXD1	入力	UART1のシリアル・データ入力	○	○	○	○	○
TXD0	出力	UART0のシリアル・データ出力	○	○	○	○	○
TXD1	出力	UART1のシリアル・データ出力	○	○	○	○	○
SCLA0	入出力	IICA0のクロック入出力	○	○	○	○	—
SCL00	出力	簡易I ² Cのクロック出力	○	○	○	○	○
SCL01	出力		○	○	○	○	○
SCL10	出力		○	○	○	○	○
SCL11	出力		○	○	○	—	—
SDAA0	入出力	IICA0のシリアル・データ入出力	○	○	○	○	—
SDA00	入出力	簡易I ² Cのシリアル・データ入出力	○	○	○	○	○
SDA01	入出力		○	○	○	○	○
SDA10	入出力		○	○	○	○	○
SDA11	入出力		○	○	○	—	—
SCK00	入出力	CSI00のクロック入出力	○	○	○	○	○
SCK01	入出力	CSI01のクロック入出力	○	○	○	○	○
SCK10	入出力	CSI10のクロック入出力	○	○	○	○	○
SCK11	入出力	CSI11のクロック入出力	○	○	○	—	—
SI00	入力	CSI00のシリアル・データ入力	○	○	○	○	○
SI01	入力	CSI01のシリアル・データ入力	○	○	○	○	○
SI10	入力	CSI10のシリアル・データ入力	○	○	○	○	○

表2-3 RL78/F13 (CAN&LIN搭載版) のポート以外の端子機能一覧 (3/4)

端子機能	入出力	機能	端子数				
			80ピン	64ピン	48ピン	32ピン	30ピン
SI11	入力	CSI11のシリアル・データ入力	○	○	○	—	—
SO00	出力	CSI00のシリアル・データ出力	○	○	○	○	○
SO01	出力	CSI01のシリアル・データ出力	○	○	○	○	○
SO10	出力	CSI10のシリアル・データ出力	○	○	○	○	○
SO11	出力	CSI11のシリアル・データ出力	○	○	○	—	—
$\overline{\text{SSI00}}$	入力	CSI00 (SPI00) のスレーブ・セレクト入力	○	○	○	○	○
$\overline{\text{SSI01}}$	入力	CSI01 (SPI01) のスレーブ・セレクト入力	○	○	○	○	○
$\overline{\text{SSI10}}$	入力	CSI10 (SPI10) のスレーブ・セレクト入力	○	○	—	—	—
$\overline{\text{SSI11}}$	入力	CSI11 (SPI11) のスレーブ・セレクト入力	○	○	○	—	—
CRXD0	入力	CANのシリアル・データ入力	○	○	○	○	○
CTXD0	出力	CANのシリアル・データ出力	○	○	○	○	○
LRXD0	入力	LINのシリアル・データ入力	○	○	○	○	○
LTXD0	出力	LINのシリアル・データ出力	○	○	○	○	○
INTP0	入力	外部割り込み入力	○	○	○	○	○
INTP1	入力		○	○	○	○	○
INTP2	入力		○	○	○	○	○
INTP3	入力		○	○	○	○	○
INTP4	入力		○	○	○	○	○
INTP5	入力		○	○	○	○	○
INTP6	入力		○	○	○	—	—
INTP7	入力		○	○	○	—	—
INTP8	入力		○	○	○	—	—
INTP9	入力		○	○	○	—	—
INTP10	入力		○	○	—	—	—
INTP11	入力		○	○	—	—	—
PCLBUZ0	出力	クロック出力／ブザー出力0	○	○	○	—	—
RESOUT	出力	リセット出力	○	○	○	—	—
STOPST	出力	STOPステータス出力	○	○	○	—	—
SNZOUT0	出力	SNOOZEステータス出力	○	○	○	○	○
SNZOUT1	出力		○	○	○	○	○
SNZOUT2	出力		○	○	○	○	○
SNZOUT3	出力		○	○	○	○	○
SNZOUT4	出力		○	○	○	—	—
SNZOUT5	出力		○	○	○	—	—
SNZOUT6	出力		○	○	○	—	—
SNZOUT7	出力		○	○	○	—	—
RTC1HZ	出力	リアルタイム・クロック補正クロック (1Hz) 出力	○	○	○	○	○
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○	○	○	○
EXCLKS	入力	サブ・クロック用外部クロック入力	○	○	○	—	—
X1	—	メイン・システム・クロック用発振子接続	○	○	○	○	○
X2	—		○	○	○	○	○

表2-3 RL78/F13 (CAN&LIN搭載版) のポート以外の端子機能一覧 (4/4)

端子機能	入出力	機能	端子数				
			80ピン	64ピン	48ピン	32ピン	30ピン
XT1 ^注	—	サブシステム・クロック用発振子接続	○	○	○	—	—
XT2 ^注	—		○	○	○	—	—
RESET	入力	外部リセット入力	○	○	○	○	○
REGC	—	内部動作レギュレータ出力安定容量接続。コンデンサ (0.47~1μF) を介してV _{SS} に接続してください。	○	○	○	○	○
V _{DD}	—	P33、P34、P80-P87、P90-P95、P121-P124、P137、RESET端子の正電源	○	○	○	○	○
EV _{DD0}	—	V _{DD} 接続端子以外の正電源	○	○	—	—	—
AV _{REFP}	入力	A/Dコンバータの基準電位 (+側) 入力	○	○	○	○	○
AV _{REFM}	入力	A/Dコンバータの基準電位 (-側) 入力	○	○	○	○	○
V _{SS}	—	P33、P34、P80-P87、P90-P95、P121-P124、P137、RESET端子のグランド電源	○	○	○	○	○
EV _{SS0}	—	V _{SS} 接続端子以外のグランド電源	○	○	—	—	—
TOOLRXD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子	○	○	○	○	○
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子	○	○	○	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力	○	○	○	○	○

注 YグレードにおいてXT1、XT2は使用しないでください。

表2-4 RL78/F13 (LIN搭載版) のポート以外の端子機能一覧 (1/4)

端子機能	入出力	機能	端子数					
			80ピン	64ピン	48ピン	32ピン	30ピン	20ピン
ANI0	入力	A/Dコンバータのアナログ入力 (V _{DD} 接続)	○	○	○	○	○	○
ANI1	入力		○	○	○	○	○	○
ANI2	入力		○	○	○	○	○	○
ANI3	入力		○	○	○	○	○	○
ANI4	入力		○	○	○	○	○	—
ANI5	入力		○	○	○	○	○	—
ANI6	入力		○	○	○	○	○	—
ANI7	入力		○	○	○	○	○	—
ANI8	入力		○	○	○	—	○	—
ANI9	入力		○	○	○	—	○	—
ANI10	入力		○	○	○	—	—	—
ANI11	入力		○	○	○	—	—	—
ANI12	入力		○	○注1	○注1	—	—	—
ANI13	入力		○	○注1	—	—	—	—
ANI14	入力		○	○注1	—	—	—	—
ANI15	入力		○	○注1	—	—	—	—
ANI24	入力	A/Dコンバータのアナログ入力 (EV _{DD} 接続)	○	○注1	○注1	—	—	—
ANI25	入力		○	○注1	○注1	—	—	—
ANI26	入力		○	○注1	—	—	—	—
ANI27	入力		○	—	—	—	—	—
KR0	入力	キー割り込み入力	○	○	○	○	○	○
KR1	入力		○	○	○	○	○	○
KR2	入力		○	○	○	○	○	—
KR3	入力		○	○	○	○	○	—
KR4	入力		○	○	○	○	○	—
KR5	入力		○	○	○	○	○	—
KR6	入力		○	○	○	—	○	—
KR7	入力		○	○	○	—	○	—
TI00	入力	16ビット・タイマ00入力	○	○	○	○	○	○
TI01	入力	16ビット・タイマ01入力 (8ビット・モード可)	○	○	○	○	○	○
TI02	入力	16ビット・タイマ02入力	○	○	○	○	○	○
TI03	入力	16ビット・タイマ03入力 (8ビット・モード可)	○	○	○	○	○	○
TI04	入力	16ビット・タイマ04入力	○	○	○	○	○	○
TI05	入力	16ビット・タイマ05入力	○	○	○	○	○	○
TI06	入力	16ビット・タイマ06入力	○	○	○	○	○	○
TI07	入力	16ビット・タイマ07入力	○	○	○	○	○	○
TI10	入力	16ビット・タイマ10入力	○	○注1	○注1	—	—	—
TI11	入力	16ビット・タイマ11入力 (8ビット・モード可)	○	○注1	○注1	—	—	—
TI12	入力	16ビット・タイマ12入力	○	○注1	○注1	—	—	—
TI13	入力	16ビット・タイマ13入力 (8ビット・モード可)	○	○注1	○注1	—	—	—

注 1. ROM サイズ 96KB、128KB の製品のみ。

表2-4 RL78/F13 (LIN搭載版) のポート以外の端子機能一覧 (2/4)

端子機能	入出力	機能	端子数					
			80ピン	64ピン	48ピン	32ピン	30ピン	20ピン
TO00	出力	16ビット・タイマ00出力	○	○	○	○	○	○
TO01	出力	16ビット・タイマ01出力 (8ビット・モード可)	○	○	○	○	○	○
TO02	出力	16ビット・タイマ02出力	○	○	○	○	○	○
TO03	出力	16ビット・タイマ03出力 (8ビット・モード可)	○	○	○	○	○	○
TO04	出力	16ビット・タイマ04出力	○	○	○	○	○	○
TO05	出力	16ビット・タイマ05出力	○	○	○	○	○	○
TO06	出力	16ビット・タイマ06出力	○	○	○	○	○	○
TO07	出力	16ビット・タイマ07出力	○	○	○	○	○	○
TO10	出力	16ビット・タイマ10出力	○	○注1	○注1	—	—	—
TO11	出力	16ビット・タイマ11出力 (8ビット・モード可)	○	○注1	○注1	—	—	—
TO12	出力	16ビット・タイマ12出力	○	○注1	○注1	—	—	—
TO13	出力	16ビット・タイマ13出力 (8ビット・モード可)	○	○注1	○注1	—	—	—
TRJIO0	入出力	タイマRJ入出力	○	○	○	○	○	—
TRJO0	出力	タイマRJ出力	○	○	○	○	○	—
TRDCLK0	入力	タイマRD外部クロック入力	○	○	○	○	○	○
TRDIOA0	入出力	タイマRD0入出力	○	○	○	○	○	○
TRDIOB0	入出力		○	○	○	○	○	○
TRDIOC0	入出力		○	○	○	○	○	○
TRDIOD0	入出力		○	○	○	○	○	○
TRDIOA1	入出力	タイマRD1入出力	○	○	○	○	○	○
TRDIOB1	入出力		○	○	○	○	○	○
TRDIOC1	入出力		○	○	○	○	○	○
TRDIOD1	入出力		○	○	○	○	○	○
RXD0	入力	UART0のシリアル・データ入力	○	○	○	○	○	○
RXD1	入力	UART1のシリアル・データ入力	○	○注1	○注1	—	—	—
TXD0	出力	UART0のシリアル・データ出力	○	○	○	○	○	○
TXD1	出力	UART1のシリアル・データ出力	○	○注1	○注1	—	—	—
SCLA0	入出力	IICA0のクロック入出力	○	○注1	○注1	—	—	—
SCL00	出力	簡易I ² Cのクロック出力	○	○	○	○	○	○
SCL01	出力		○	○	○	○	○	○
SCL10	出力		○	○注1	○注1	—	—	—
SCL11	出力		○	○注1	○注1	—	—	—
SDAA0	入出力	IICA0のシリアル・データ入出力	○	○注1	○注1	—	—	—
SDA00	入出力	簡易I ² Cのシリアル・データ入出力	○	○	○	○	○	○
SDA01	入出力		○	○	○	○	○	○
SDA10	入出力		○	○注1	○注1	—	—	—
SDA11	入出力		○	○注1	○注1	—	—	—
SCK00	入出力	CSI00のクロック入出力	○	○	○	○	○	○
SCK01	入出力	CSI01のクロック入出力	○	○	○	○	○	○
SCK10	入出力	CSI10のクロック入出力	○	○注1	○注1	—	—	—
SCK11	入出力	CSI11のクロック入出力	○	○注1	○注1	—	—	—

注 1. ROM サイズ 96KB、128KB の製品のみ。

表2-4 RL78/F13 (LIN搭載版) のポート以外の端子機能一覧 (3/4)

端子機能	入出力	機能	端子数					
			80ピン	64ピン	48ピン	32ピン	30ピン	20ピン
SI00	入力	CSI00のシリアル・データ入力	○	○	○	○	○	○
SI01	入力	CSI01のシリアル・データ入力	○	○	○	○	○	○
SI10	入力	CSI10のシリアル・データ入力	○	○注1	○注1	—	—	—
SI11	入力	CSI11のシリアル・データ入力	○	○注1	○注1	—	—	—
SO00	出力	CSI00のシリアル・データ出力	○	○	○	○	○	○
SO01	出力	CSI01のシリアル・データ出力	○	○	○	○	○	○
SO10	出力	CSI10のシリアル・データ出力	○	○注1	○注1	—	—	—
SO11	出力	CSI11のシリアル・データ出力	○	○注1	○注1	—	—	—
SSI00	入力	CSI00 (SPI00) のスレーブ・セレクト入力	○	○	○	○	○	○
SSI01	入力	CSI01 (SPI01) のスレーブ・セレクト入力	○	○	○	○	○	○
SSI10	入力	CSI10 (SPI10) のスレーブ・セレクト入力	○	○注1	—	—	—	—
LRXD0	入力	LINのシリアル・データ入力	○	○	○	○	○	○
LTXD0	出力	LINのシリアル・データ出力	○	○	○	○	○	○
INTP0	入力	外部割り込み入力	○	○	○	○	○	○
INTP1	入力		○	○	○	○	○	○
INTP2	入力		○	○	○	○	○	○
INTP3	入力		○	○	○	○	○	○
INTP4	入力		○	○	○	○	○	○
INTP5	入力		○	○	○	○	○	—
INTP6	入力		○	○	○	—	—	—
INTP7	入力		○	○	○	—	—	—
INTP8	入力		○	○注1	○注1	—	—	—
INTP9	入力		○	○注1	○注1	—	—	—
INTP10	入力		○	○注1	—	—	—	—
INTP11	入力		○	○注1	—	—	—	—
PCLBUZ0	出力	クロック出力／ブザー出力0	○	○	○	—	—	—
RESOUT	出力	リセット出力	○	○	○	—	—	—
STOPST	出力	STOPステータス出力	○	○	○	—	—	—
SNZOUT0	出力	SNOOZEステータス出力	○	○	○	○	○	○
SNZOUT1	出力		○	○	○	○	○	○
SNZOUT2	出力		○	○	○	○	○	—
SNZOUT3	出力		○	○	○	○	○	—
SNZOUT4	出力		○	○	○	—	—	—
SNZOUT5	出力		○	○	○	—	—	—
SNZOUT6	出力		○	○	○	—	—	—
SNZOUT7	出力		○	○	○	—	—	—
RTC1HZ	出力	リアルタイム・クロック補正クロック (1Hz) 出力	○	○	○	○	○	○
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○	○	○	○	○
EXCLKS	入力	サブ・クロック用外部クロック入力	○	○	○	—	—	—

注 1. ROM サイズ 96KB、128KB の製品のみ。

表2-4 RL78/F13 (LIN搭載版) のポート以外の端子機能一覧 (4/4)

端子機能	入出力	機能	端子数					
			80ピン	64ピン	48ピン	32ピン	30ピン	20ピン
X1	—	メイン・システム・クロック用発振子接続	○	○	○	○	○	○
X2	—		○	○	○	○	○	○
XT1 ^注	—	サブシステム・クロック用発振子接続	○	○	○	—	—	—
XT2 ^注	—		○	○	○	—	—	—
$\overline{\text{RESET}}$	入力	外部リセット入力	○	○	○	○	○	○
REGC	—	内部動作レギュレータ出力安定容量接続。コンデンサ (0.47~1 μF) を介してV _{SS} に接続してください。	○	○	○	○	○	○
V _{DD}	—	P33、P34、P80-P87、P90-P97、P121-P124、P137、 $\overline{\text{RESET}}$ 端子の正電源	○	○	○	○	○	○
EV _{DD0}	—	V _{DD} 接続端子以外の正電源	○	○	—	—	—	—
AV _{REFP}	入力	A/Dコンバータの基準電位 (+側) 入力	○	○	○	○	○	○
AV _{REFM}	入力	A/Dコンバータの基準電位 (-側) 入力	○	○	○	○	○	○
V _{SS}	—	P33、P34、P80-P87、P90-P97、P121-P124、P137、 $\overline{\text{RESET}}$ 端子のグランド電源	○	○	○	○	○	○
EV _{SS0}	—	V _{SS} 接続端子以外のグランド電位	○	○	—	—	—	—
TOOLRXD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子	○	○	○	○	○	○
TOOLTXD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子	○	○	○	○	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	○	○	○	○	○	○

注 YグレードにおいてXT1、XT2は使用しないでください。

3. 電気的特性 (Lグレード)

- 注意1. RL78/F13, F14には、開発／評価用にオンチップ・デバッグ機能を搭載しています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は、EV_{DD0}とEV_{DD1}をV_{DD}に、EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。
3. 製品により搭載している端子が異なります。詳細は、「1.5 端子接続図」および「2.1 端子機能一覧」を参照してください。
4. 製品／ピン数／コード・フラッシュ・メモリサイズに応じて、以下、5つのグループを定義しています。本章では、内容によりグループ名で説明しているところがあります。その際には、以下の定義を参照して読んでください。
- グループA：RL78/F13 (LIN搭載) の20, 30, 32, 48, 64ピンかつコード・フラッシュ・メモリが16 KB～64 KBの製品
- グループB：RL78/F13 (LIN搭載) の48, 64ピンかつコード・フラッシュ・メモリが96 KB～128 KBの製品
およびRL78/F13 (LIN搭載) の80ピンかつコード・フラッシュ・メモリが64 KB～128 KBの製品
- グループC：RL78/F13 (CAN&LIN搭載) の30, 32, 48, 64, 80ピンかつコード・フラッシュ・メモリが32 KB～128 KBの製品
- グループD：RL78/F14の30, 32, 48, 64, 80ピンかつコード・フラッシュ・メモリが48 KB～96 KBの製品
- グループE：RL78/F14の48, 64, 80ピンかつコード・フラッシュ・メモリが128 KB～256 KBの製品
およびRL78/F14の100ピンかつコード・フラッシュ・メモリが64 KB～256 KBの製品

3.1 絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	-0.5~+6.5	V
	V _{SS}		-0.5~+0.3	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	-0.5~+0.3	V
REGC端子入力電圧	V _{I REGC}	REGC	-0.3~+2.8 かつ-0.3~V _{DD} +0.3 ^{注1}	V
入力電圧	V _{I1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注4} , P106, P107, P120, P125-P127, P140, P150-P157	-0.3~EV _{DD0} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I2}	P33, P34, P80-P87, P90-P97 ^{注4} , P100-P105, P121-P124, P137, $\overline{\text{RESET}}$	-0.3~V _{DD} +0.3 ^{注2}	V
出力電圧	V _{O1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注4} , P106, P107, P120, P125-P127, P130, P140, P150-P157	-0.3~EV _{DD0} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{O2}	P33, P34, P80-P87, P90-P97 ^{注4} , P100-P105	-0.3~V _{DD} +0.3	V
アナログ入力電圧	V _{AI1}	ANI24-ANI30	-0.3~EV _{DD0} +0.3 かつ-0.3~AV _{REF (+)} +0.3 ^{注2, 3}	V
	V _{AI2}	ANI0-ANI23	-0.3~V _{DD} +0.3 かつ-0.3~AV _{REF (+)} +0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47~1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

- 6.5 V以下であること。
- A/D変換対象の端子は、AV_{REF (+)}+0.3を越えないでください。
- 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157	－40	mA
		端子合計 －170 mA	P01, P02, P40-P47, P92-P97 ^注 , P120, P125-P127, P150-P153	－70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	－100	mA
	I _{OH2}	1端子	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	－0.5	mA
		端子合計		－2	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157	40	mA
		端子合計 170 mA	P01, P02, P40-P47, P92-P97 ^注 , P120, P125-P127, P150-P153	70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	100	mA
	I _{OL2}	1端子	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	1	mA
		端子合計		5	mA
動作周囲温度	T _A	通常動作時		－40～＋105	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			－65～＋150	℃

注 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

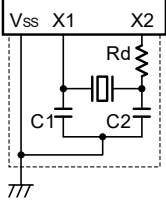
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

3.2 発振回路特性

3.2.1 メイン・システム・クロック発振回路特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子／ 水晶振動子		X1クロック発振周波数 (fx)	$2.7\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$	1.0		20.0	MHz

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. 発振子の選択および発振回路定数については、発振子メーカー様にお問い合わせいただく等、お客様にて決めてください。
また、お客様のシステムにて十分な発振評価をしてください。X1クロックの発振安定時間は、使用する発振子で発振安定時間を十分に評価してから、発振安定時間カウンタ状態レジスタ（OSTC）と発振安定時間選択レジスタ（OSTS）で発振安定時間を決定してください。

3.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^注	f _{IH}		1		64	MHz
高速オンチップ・オシレータ 発振周波数精度	—		−2		+2	%
低速オンチップ・オシレータ 発振周波数	f _{IL} , f _{WDT}			15		kHz
低速オンチップ・オシレータ 発振周波数精度	—		−15		+15	%

注 高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H/020C2H）のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

3.2.3 サブシステム・クロック発振回路特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT})	$2.7\text{ V} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$	29.0	32.768	35.0	kHz

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますので、システムにて十分な発振評価をしてください。発振子の選択および発振回路定数は、発振子メーカー様にお問い合わせいただく等、お客様にて決めてください。

3.2.4 PLL回路特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL入力可能クロック周波数 ^{注1}	f_{PLLI}	PLLMUL = 0	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
		PLLMUL = 1	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
PLL出力周波数 (センター値)	f_{PLL}	PLLMUL = 0	PLLDIV0 = 0	$f_{\text{PLLI}} \times 12/2$			MHz
			PLLDIV0 = 1	$f_{\text{PLLI}} \times 12/4$			MHz
		PLLMUL = 1	PLLDIV0 = 0	$f_{\text{PLLI}} \times 16/2$			MHz
			PLLDIV0 = 1	$f_{\text{PLLI}} \times 16/4$			MHz
ロングターム・ジッタ ^{注2, 3}	t_{LJ}	$f_{\text{PLL}} = 24\text{MHz}$ (480カウント)		-2		+2	ns
		$f_{\text{PLL}} = 32\text{MHz}$ (640カウント)		-2		+2	ns
		$f_{\text{PLL}} = 48\text{MHz}$ (960カウント)		-2		+2	ns
		$f_{\text{PLL}} = 64\text{MHz}$ (1280カウント)		-2		+2	ns

注1. PLL入力クロックが高速オンチップ・オシレータ・クロックの場合、MIN, MAX値は高速オンチップ・オシレータ発振周波数精度の範囲になります。

2. 本特性は設計保証であり、出荷時のテストは行いません。
3. $20\mu\text{s}$ の期間を意味しています。

3.3 DC特性

3.3.1 端子特性

各項目の対応するポートについては「第2章 端子機能」を参照してください。

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

(1/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P03, P10-P17, P30-P32, 4.0 V $\leq$ EV _{DD0} $\leq$ 5.5 V			-5.0	mA
		P40-P47, P50-P57, P60-P67, 2.7 V $\leq$ EV _{DD0} < 4.0 V			-3.0	mA
		P70-P77, P92-P97 ^{注3} , P106, P107, P120, P125-P127, P130, P140, P150-P157 1端子				
		P10, P12, P14, P30, P120, 4.0 V $\leq$ EV _{DD0} $\leq$ 5.5 V			-0.6	mA
		P140 2.7 V $\leq$ EV _{DD0} < 4.0 V			-0.2	mA
		1端子 (特殊スルー・レート)				
		P01, P02, P40-P47, P92-P97 ^{注3} , 4.0 V $\leq$ EV _{DD0} $\leq$ 5.5 V			-20.0	mA
		P120, P125-P127, P150-P153 2.7 V $\leq$ EV _{DD0} < 4.0 V			-10.0	mA
		合計 (デューティ $\leq$ 70%時 ^{注2})				
		P00, P03, P10-P17, P30-P32, 4.0 V $\leq$ EV _{DD0} $\leq$ 5.5 V			-30.0	mA
	I _{OH2}	P50-P57, P60-P67, P70-P77, 2.7 V $\leq$ EV _{DD0} < 4.0 V			-19.0	mA
		P106, P107, P130, P140, P154-P157 合計 (デューティ $\leq$ 70%時 ^{注2})				
		全端子合計 4.0 V $\leq$ EV _{DD0} $\leq$ 5.5 V			-50.0	mA
		(デューティ $\leq$ 70%時 ^{注2}) 2.7 V $\leq$ EV _{DD0} < 4.0 V			-29.0	mA
		P33, P34, P80-P87, P90-P97 ^{注3} , 2.7 V $\leq$ V _{DD} $\leq$ 5.5 V			-0.1	mA
		P100-P105 1端子				
		端子合計 2.7 V $\leq$ V _{DD} $\leq$ 5.5 V			-2.0	mA
		(デューティ $\leq$ 70%時 ^{注2})				

注1. EV_{DD0}, EV_{DD1}, V_{DD}端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

2. デューティ $\leq$ 70 %の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (\text{I}_{\text{OH}} \times 0.7) \div (n \times 0.01)$$

計算例 > I_{OH} = -10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) \div (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流しません。

3. 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

グループA製品のP10-P12, P70-P72は、N-chオープン・ドレイン・モードを持ちません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+105°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(2/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注3} , P106, P107, P120, P125-P127, P130, P140, P150-P157 1端子	4.0V ≤ EV _{DD0} ≤ 5.5V		8.5	mA
			2.7V ≤ EV _{DD0} < 4.0V		4.0	mA
		P10, P12, P14, P30, P120, P140 1端子 (特殊スルー・レート)	4.0V ≤ EV _{DD0} ≤ 5.5V		0.59	mA
			2.7V ≤ EV _{DD0} < 4.0V		0.07	mA
		P01, P02, P40-P47, P92-P97 ^{注3} , P120, P125-P127, P150-P153 合計 (デューティ ≤ 70%時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		20.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		15.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 (デューティ ≤ 70%時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		45.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		35.0	mA
		全端子合計 (デューティ ≤ 70%時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		65.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		50.0	mA
	I _{OL2}	P33, P34, P80-P87, P90-P97 ^{注3} , P100-P105 1端子	2.7 V ≤ V _{DD} ≤ 5.5 V		0.4	mA
		端子合計 (デューティ ≤ 70%時 ^{注2})	2.7 V ≤ V _{DD} ≤ 5.5 V		5.0	mA

注1. 出力端子からEV_{SS0}, EV_{SS1}, V_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ ≤ 70 %の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn %に変更する場合）。

$$\text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \div 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(3/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157 (Schmitt 1モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0.65 EV _{DD0}	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0.7 EV _{DD0}	EV _{DD0} ^{注1}	V
	V _{IH2}	P10, P11, P13, P14, P16, P17, P30, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152, P153 (Schmitt 3モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0.8 EV _{DD0}	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0.85 EV _{DD0}	EV _{DD0} ^{注1}	V
	V _{IH3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125 (TTLモード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	2.2	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	2.0	EV _{DD0} ^{注1}	V
	V _{IH4} ^{注2}	P33, P34, P80-P87, P90-P97, P100-P105, P137 (Schmitt 3モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.8 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.85 V _{DD}	V _{DD}	V
	V _{IH5}	RESET (Schmitt 1モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.65 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.7 V _{DD}	V _{DD}	V
	V _{IH6}	P121-P124, EXCLK, EXCLKS (Schmitt 2モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.8 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.8 V _{DD}	V _{DD}	V

注1. P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値はEV_{DD0}です。

2. グループA製品のP92-P96はSchmitt 1モード固定です。

グループB, C, D製品のP96, P97はSchmitt 1モード固定です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

(4/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V _{IL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157 (Schmitt 1モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.35 EV _{DD0}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.3 EV _{DD0}	V
	V _{IL2}	P10, P11, P13, P14, P16, P17, P30, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152, P153 (Schmitt 3モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.5 EV _{DD0}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.4 EV _{DD0}	V
	V _{IL3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125 (TTLモード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.8	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.5	V
	V _{IL4} 注	P33, P34, P80-P87, P90-P97, P100-P105, P137 (Schmitt 3モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.5 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.4 V _{DD}	V
	V _{IL5}	RESET (Schmitt 1モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.35 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.3 V _{DD}	V
	V _{IL6}	P121-P124, EXCLK, EXCLKS (Schmitt 2モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.2 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.2 V _{DD}	V

注 グループA製品のP92-P96はSchmitt 1モード固定です。

グループB, C, D製品のP96, P97はSchmitt 1モード固定です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

(5/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -5.0 mA	EV _{DD0} - 0.9		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -3.0 mA	EV _{DD0} - 0.7		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -1.0 mA	EV _{DD0} - 0.5		V
	V _{OH2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	2.7 V ≤ V _{DD} ≤ 5.5 V I _{OH2} = -100 μA	V _{DD} - 0.5		V
	V _{OH3}	P10, P12, P14, P30, P120, P140 (特殊スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH3} = -0.6 mA	EV _{DD0} - 0.8		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH3} = -0.2 mA	EV _{DD0} - 0.5		V
ロウ・レベル出力電圧	V _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 8.5 mA		0.7	V
			4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 4.0 mA		0.4	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 4.0 mA		0.7	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 1.5 mA		0.4	V
	V _{OL2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	2.7 V ≤ V _{DD} ≤ 5.5 V I _{OL2} = 400 μA		0.4	V
	V _{OL3}	P10, P12, P14, P30, P120, P140 (特殊スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL3} = 0.6 mA		0.8	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL3} = 0.07 mA		0.5	V

注 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

(6/6)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P140, P150-P157	V _I = EV _{DD0}				1	μA
	I _{LIH2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105, P137, $\overline{\text{RESET}}$	V _I = V _{DD}				1	μA
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD}	入力ポート時, 外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P140, P150-P157	V _I = EV _{SS0}				−1	μA
	I _{LIL2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105, P137, $\overline{\text{RESET}}$	V _I = V _{SS}				−1	μA
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時, 外部クロック入力時			−1	μA
				発振子接続時			−10	μA
内蔵プルアップ抵抗	R _U	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97, P100-P107, P120, P125-P127, P140, P150-P157	V _I = EV _{SS0} , 入力ポート時		10	20	100	kΩ

注 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

3.3.2 電源電流特性

(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

(1/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード	通常動作 ^{注2}	高速オンチップ・オシレータ・クロック動作	f _{IH} = 64 MHz	f _{CLK} = 32 MHz ^{注3, 4}		6.5	14.0	mA
					f _{IH} = 32 MHz	f _{CLK} = f _{IH} ^{注3, 4}		6.1	13.0	mA
					f _{IH} = 1 MHz	f _{CLK} = f _{IH} ^{注3, 4}		1.0	2.5	mA
				発振子動作	f _{MX} = 20 MHz	f _{CLK} = f _{MX} ^{注3, 5}		4.2	9.0	mA
					f _{MX} = 1 MHz	f _{CLK} = f _{MX} ^{注3, 5}		0.9	2.5	mA
				発振子動作 (PLL動作) (PLL入カクロック = f _{MX})	f _{PLL} = 64 MHz, f _{MX} = 8 MHz	f _{CLK} = 32 MHz ^{注3, 6}		6.4	14.0	mA
					f _{PLL} = 32 MHz, f _{MX} = 8 MHz	f _{CLK} = 32 MHz ^{注3, 6}		6.3	13.5	mA
					f _{PLL} = 32 MHz, f _{MX} = 4 MHz	f _{CLK} = 32 MHz ^{注3, 6}		6.1	13.0	mA
				サブシステム・クロック動作	f _{SUB} = 32.768 kHz	f _{CLK} = f _{SUB} ^{注7}				
					グループA～D			6.0	50.0	μA
					グループE			6.0	70.0	μA
				低速オンチップ・オシレータ・クロック動作	f _{IL} = 15 kHz	f _{CLK} = f _{IL} ^{注8}				
					グループA～D			3.0	40.0	μA
					グループE			3.0	60.0	μA

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

- CPU全命令実行時の電流。
- MAX.値にはバックグラウンド・オペレーション (BGO) 動作を除く周辺動作電流を含みます。ただし、LVD回路、A/Dコンバータ、D/Aコンバータ、コンパレータは停止。
- 高速システム・クロック、サブシステム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。
- サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- サブシステム・クロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- 高速システム・クロック、サブシステム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX} : 高速システム・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

3. f_{PLL} : PLLクロック周波数

4. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

5. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

6. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

(2/3)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流 ^{注1, 3}	IDD2	HALTモード ^{注2}	高速オンチップ・ オシレータ・ クロック動作	f _{IH} = 64 MHz	f _{CLK} = 32 MHz ^{注5}		1.2	10.0	mA
				f _{IH} = 32 MHz	f _{CLK} = f _{IH} ^{注5}		1.0	9.0	mA
				f _{IH} = 1 MHz	f _{CLK} = f _{IH} ^{注5}		0.3	1.5	mA
			発振子動作	f _{MX} = 20 MHz	f _{CLK} = f _{MX} ^{注6}		0.6	6.0	mA
				f _{MX} = 1 MHz	f _{CLK} = f _{MX} ^{注6}		0.2	1.5	mA
			発振子動作 (PLL動作) (PLL入力クロック = f _{MX})	f _{PLL} = 64 MHz, f _{MX} = 8 MHz	f _{CLK} = 32 MHz ^{注7}		1.1	10.0	mA
				f _{PLL} = 32 MHz, f _{MX} = 8 MHz	f _{CLK} = 32 MHz ^{注7}		1.0	9.5	mA
				f _{PLL} = 32 MHz, f _{MX} = 4 MHz	f _{CLK} = 32 MHz ^{注7}		0.8	9.0	mA
			サブシステム・ クロック動作	f _{SUB} = 32.768 kHz	f _{CLK} = f _{SUB} ^{注8}				
		グループA～D					0.7	45.0	μA
		グループE					0.7	65.0	
		低速オンチップ・ オシレータ・ クロック動作	f _{IL} = 15 kHz	f _{CLK} = f _{IL} ^{注9}					
					グループA～D		0.7	35.0	μA
					グループE		0.7	55.0	
	IDD3		STOPモード ^{注4}	T _A = +25℃	グループA～D		0.5		μA
					グループE		0.5		
		T _A = +50℃		グループA～D			2.5		
				グループE			4.5		
		T _A = +70℃		グループA～D			4.5		
				グループE			8.0		
		T _A = +105℃		グループA～D			30.0		
				グループE			50.0		

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中にHALTモードに遷移した場合です。

3. MAX.値には周辺動作電流、STOPリーク電流を含みます。ただし、ウォッチドッグ・タイマ、LVD回路、A/Dコンバータ、D/Aコンバータ、コンパレータは停止。

4. 高速システム・クロック、サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック、サブシステム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

9. 高速システム・クロック、サブシステム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX} : 高速システム・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

3. f_{PLL} : PLLクロック周波数

4. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

5. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

6. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V) (3/3)

項目	略号	条件			MIN.	TYP.	MAX.	単位
電源電流 ^{注1, 2}	ISNOZ	SNOOZEモード	A/Dコンバータ動作	モード遷移中		1.0	1.2	mA
				変換動作中		2.1	2.5	mA
			標準モード AV _{REFP} = V _{DD} = 5.0 V					
			DTC動作			4.5		mA

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。

ただし、I/Oバッファ、内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. MAX.値にはSTOPリーク電流を含みます。

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチ ドッグ・タイマ 動作電流	I_{WDT} ^{注1,2}	$f_{\text{IL}} = 15\text{ kHz}$			0.22		μA
A/Dコンバータ 動作電流	I_{ADC} ^{注3}	最高速変換時	標準モード, $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}} = 5.0\text{ V}$		1.3	1.7	mA
		内部基準電圧選択時 ^{注5}			75.0		μA
LVD動作電流	I_{LVD} ^{注4}				0.08		μA
温度センサ 動作電流	I_{TMPS}				75.0		μA
D/Aコンバータ 動作電流	I_{DAC}	1チャンネル当たり			0.8	1.5	mA
コンパレータ 動作電流	I_{CMP}				50.0		μA
BGO動作電流	I_{BGO} ^{注6}				2.50	12.20	mA

注1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

- ウォッチドッグ・タイマにのみ流れる電流です（15 kHzオンチップ・オシレータの動作電流を含みます）。STOPモード時にウォッチドッグ・タイマが動作中の場合， I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合， I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。
- LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合， I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。
- 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。
- BGOの動作電流です。動作モードまたはHALTモード時にBGOが動作中の場合， I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

3.4 AC特性

3.4.1 基本動作

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	T_{CY}	高速オンチップ・オシレータ・クロック動作	0.03125		1	μs
		高速システム・クロック動作	0.05		1	μs
		PLLクロック動作	0.03125		1	μs
		サブシステム・クロック動作	28.5	30.5	34.5	μs
		低速オンチップ・オシレータ・クロック動作		66.6		μs
		セルフ・プログラミング時	0.03125		1	μs
CPU/周辺ハードウェア・クロック周波数	f_{CLK}		0.03125		66.6	μs
外部システム・クロック周波数	f_{EX}		1.0		20.0	MHz
	f_{EXS}		29		35	kHz
外部システム・クロック 入力ハイ、ロウ・レベル幅	$t_{\text{EXH}}, t_{\text{EXL}}$		24			ns
	$t_{\text{EXHS}}, t_{\text{EXLS}}$		13.7			μs
TI00-TI07, TI10-TI17入力ハイ・レベル幅、ロウ・レベル幅	$t_{\text{TIH}}, t_{\text{TIL}}$		$1/f_{\text{MCK}} + 10$			ns
TO00-TO07, TO10-TO17 出力周波数	f_{TO}	すべてのTO端子	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		16	MHz
		通常スルー・レート $C = 30\text{ pF}$	$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$		8	MHz
		TO01, TO06, TO07, TO11, TO13のみ 特殊スルー・レート $C = 30\text{ pF}$			2	MHz
PCLBUZ0出力周波数	f_{PCL}	通常スルー・レート $C = 30\text{ pF}$	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		16	MHz
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$		8	MHz
		特殊スルー・レート $C = 30\text{ pF}$			2	MHz
タイマRJ入力サイクル	t_{C}	TRJIO0	100			ns
タイマRJ入力ハイ・レベル幅, ロウ・レベル幅	$t_{\text{WHL}}, t_{\text{WLL}}$	TRJIO0	40			ns
割り込み入力ハイ・レベル幅, ロウ・レベル幅	$t_{\text{INTH}}, t_{\text{INTL}}$	INTP0-INTP3 ^注	1			μs
KR0-KR7キー割り込み入力 ロウ・レベル幅	t_{KR}		250			ns
RESETロウ・レベル幅	t_{RSL}		10			μs

注 RESET, INTP0-INTP3, INTP12, INTP13にはMIN. 100 nsのノイズ・フィルタを持ちます。

注意 発振周波数精度誤差を除きます。

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(T_A = -40 ~ +105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

(2/2)

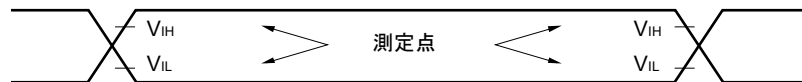
項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート出力立ち上がり時間, 立ち下がり時間	t _{RO} , t _{FO}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P96, P97, P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート) C = 30 pF	4.0 V ≤ EV _{DD0} ≤ 5.5 V		25	ns
			2.7 V ≤ EV _{DD0} < 4.0 V		55	ns
		P10, P12, P14, P30, P120, P140 (特殊スルー・レート) C = 30 pF	4.0 V ≤ EV _{DD0} ≤ 5.5 V	25 ^注	60	ns
			2.7 V ≤ EV _{DD0} < 4.0 V		100	ns

注 T_A = +25°C, EV_{DD0} = 5.0 V時。

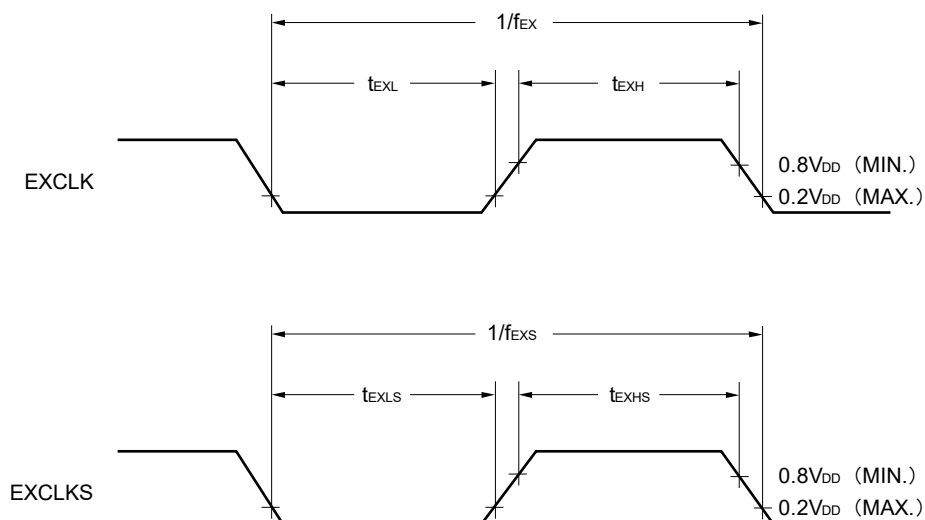
注意 発振周波数精度誤差を除きます。

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

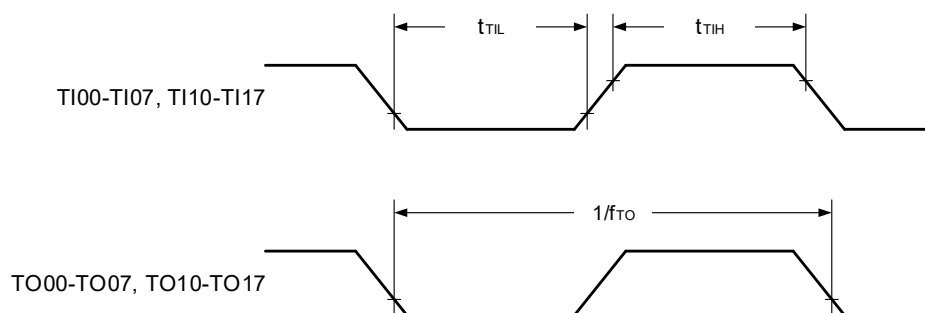
・ ACタイミング測定点



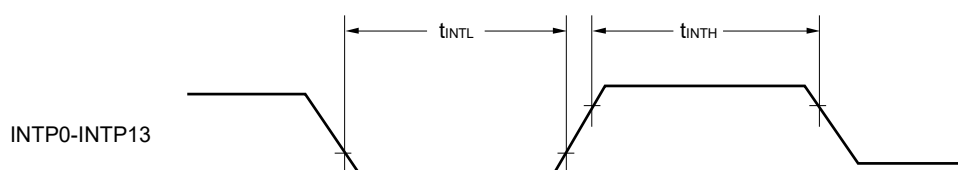
・ 外部システム・クロック・タイミング



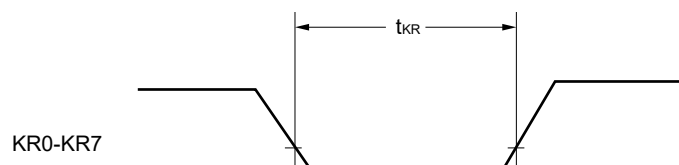
・ TI/TOタイミング



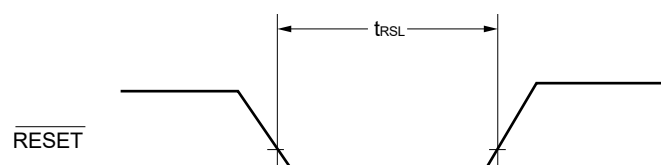
・ 割り込み要求入力タイミング



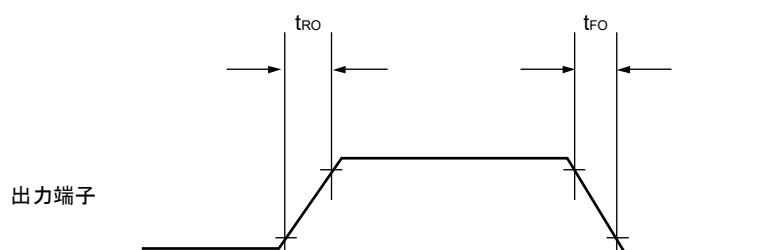
・ キー割り込み入力タイミング



・ RESET入力タイミング



・ 出力立ち上がり, 立ち下がりタイミング



3.5 周辺機能特性

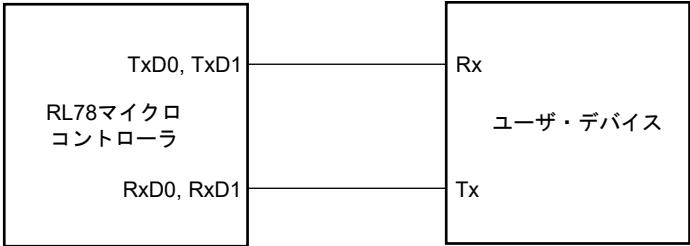
3.5.1 シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

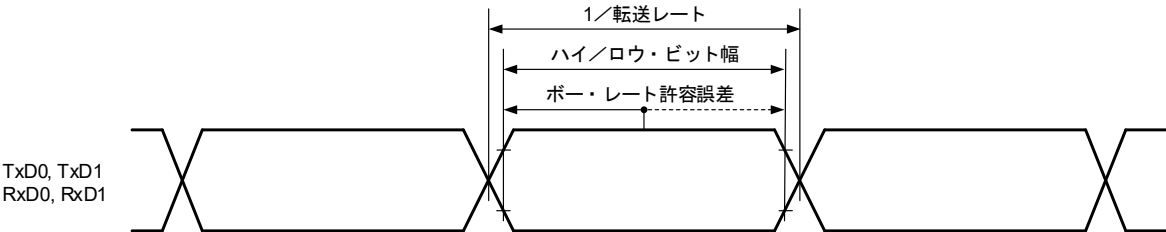
(TA = −40~+105°C, 2.7 V ≤ EVDD0 = EVDD1 = VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	—				fMCK/6	bps
		fCLK = 32 MHz, fMCK = fCLK			5.3	Mbps
					2	Mbps

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



注意 RxD0, RxD1端子は通常入力バッファ、TxD0, TxD1端子は通常出力モードを選択。

備考 fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(2) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート)(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t _{KCY1}		125 ^{注4}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH1} ,	4.0 V ≤ EV _{DD0} ≤ 5.5 V	t _{KCY1} /2-12			ns
	t _{KL1}	2.7 V ≤ EV _{DD0} < 4.0 V	t _{KCY1} /2-18			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK1}	4.0 V ≤ EV _{DD0} ≤ 5.5 V	44			ns
		2.7 V ≤ EV _{DD0} < 4.0 V	55			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KSI1}		30			ns
$\overline{\text{SCKp}}$ ↓→SO _p 出力遅延時間 ^{注2}	t _{KSO1}	C = 30 pF ^{注3}			40	ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは、 $\overline{\text{SCKp}}$, SO_p出カラインの負荷容量です。

4. かつt_{KCY1} ≥ 4/f_{MCK}

注意 Slp端子は通常入力バッファ、SO_p, $\overline{\text{SCKp}}$ 端子は通常出力モードを選択。

備考 p : CSI_p (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(3) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 特殊スルー・レート)(T_A = -40~+105°C, 4.0 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t _{KCY1}		500 ^{注4}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2-60			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK1}		120			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KSI1}		80			ns
$\overline{\text{SCKp}}$ ↓→SO _p 出力遅延時間 ^{注2}	t _{KSO1}	C = 30pF ^{注3}			90	ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは, $\overline{\text{SCKp}}$, SO_p出力ラインの負荷容量です。

4. かつt_{KCY1} ≥ 4/f_{MCK}

注意 Slp端子は通常入力バッファ、SO_p, $\overline{\text{SCKp}}$ 端子は通常出力モードかつ特殊スルー・レートを選択。

備考 p : CSI_p (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(4) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 通常スルー・レート)(T_A = -40 ~ +105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY2}		8/f _{MCK}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\uparrow$) 注1	t _{SIK2}		1/f _{MCK} + 20			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\uparrow$) 注1	t _{KSI2}		1/f _{MCK} + 31			ns
SCKp↓→SOp出力遅延時間注2	t _{KSO2}	C = 30 pF注3	4.0V ≤ V _{DD} = EV _{DD0} = EV _{DD1} ≤ 5.5V		2/f _{MCK} + 44	ns
			2.7V ≤ V _{DD} = EV _{DD0} = EV _{DD1} < 4.0V		2/f _{MCK} + 57	ns
SSIpセットアップ時間	t _{SSIK}	DAP = 0	120			ns
		DAP = 1	1/f _{MCK} + 120			ns
SSIpホールド時間	t _{KSSI}	DAP = 0	1/f _{MCK} + 120			ns
		DAP = 1	120			ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}\downarrow$ ”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}\uparrow$ ”となります。

3. Cは、 $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

注意 Slp, $\overline{\text{SCKp}}$ 端子およびSSIp端子は通常入力バッファ、SOp端子は通常出力モードを選択。

備考1. p : CSI_p (p = 00, 01, 10, 11), m : ユニットm (m = 0, 1), n : チャネルn (n = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(5) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 特殊スルー・レート)(T_A = -40~+105°C, 4.0 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t_{KCY2}	20 MHz < f_{MCK}	10/ f_{MCK}			ns
		10 MHz < $f_{\text{MCK}} \leq 20$ MHz	8/ f_{MCK}			ns
		$f_{\text{MCK}} \leq 10$ MHz	6/ f_{MCK}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	$t_{\text{KH2}},$ t_{KL2}		$t_{\text{KCY2}}/2$			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}} \uparrow$) 注1	t_{SIK2}		1/ $f_{\text{MCK}} + 50$			ns
Slpホールド時間 (対 $\overline{\text{SCKp}} \uparrow$) 注1	t_{SI2}		1/ $f_{\text{MCK}} + 50$			ns
$\overline{\text{SCKp}} \downarrow \rightarrow \text{SOp}$ 出力遅延時間注2	t_{KSO2}	C = 30 pF注3			2/ $f_{\text{MCK}} + 80$	ns
$\overline{\text{SSIp}}$ セットアップ時間	t_{SSIK}	DAP = 0	120			ns
		DAP = 1	1/ $f_{\text{MCK}} + 120$			ns
$\overline{\text{SSIp}}$ ホールド時間	t_{KSSI}	DAP = 0	1/ $f_{\text{MCK}} + 120$			ns
		DAP = 1	120			ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}} \downarrow$ ”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}} \uparrow$ ”となります。

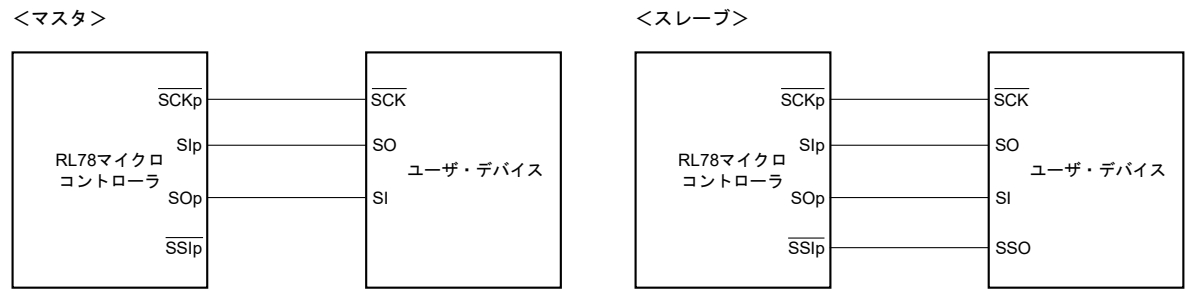
3. Cは, $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

注意 Slp, $\overline{\text{SCKp}}$ 端子および $\overline{\text{SSIp}}$ 端子は通常入力バッファ、SOp端子は通常出力モードかつ特殊スルー・レートを選択。

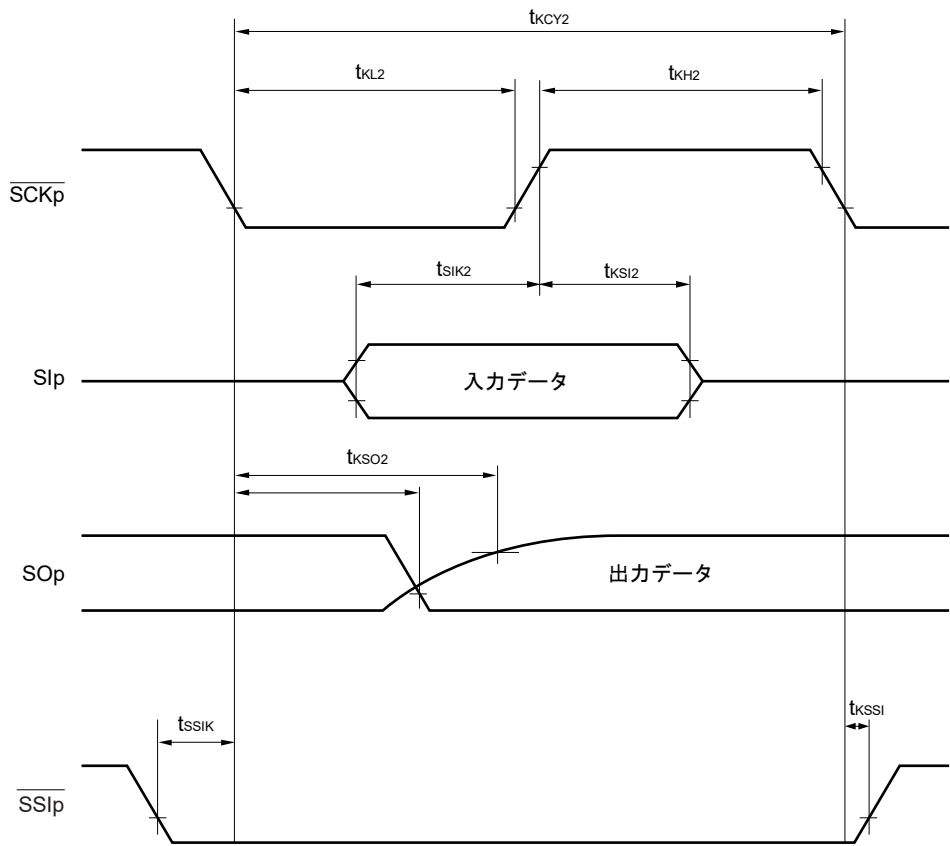
備考1. p : CSI_p (p = 00, 01, 10, 11), m : ユニットm (m = 0, 1), n : チャネルn (n = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

CSIモード接続図 (同電位通信時)

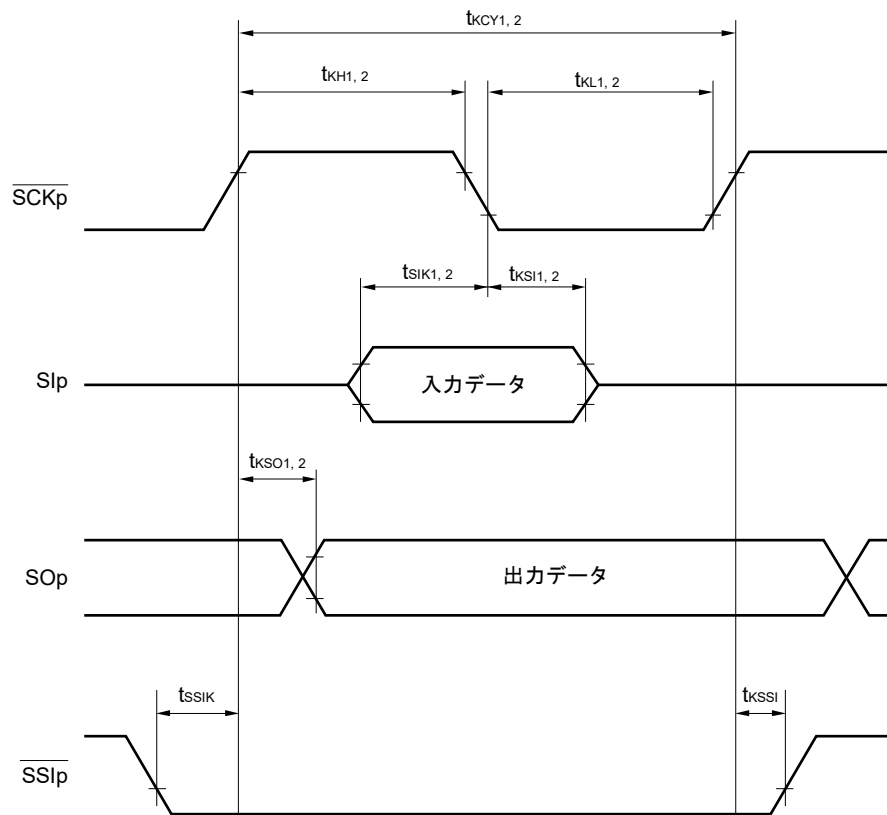


CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



備考 p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

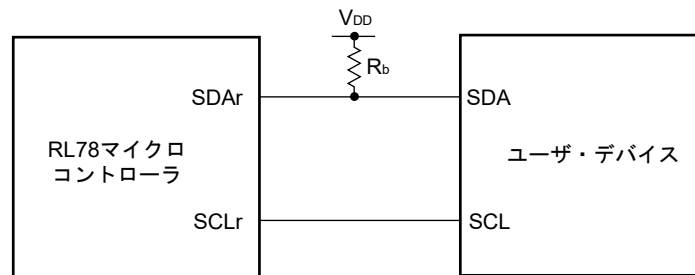
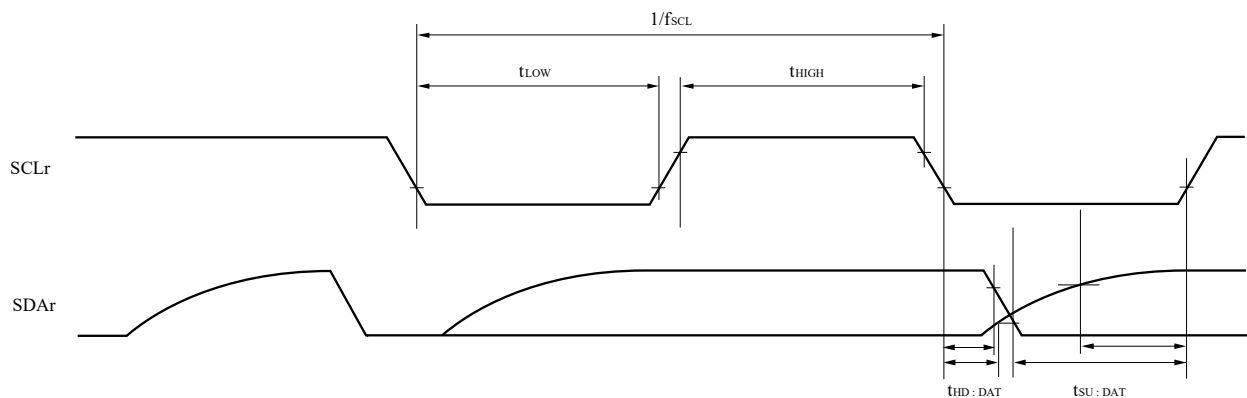
CSIモード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(6) 同電位通信時 (簡易I²Cモード)(SDArはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード, SCLrは通常出力モード)(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLrクロック周波数	f _{SCL}				1000 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}		475			ns
SCLr = "H"のホールド・タイム	t _{HIGH}		475			ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}		1/f _{MCK} + 85			ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	C _b = 50 pF, R _b = 2.7 kΩ	0		305	ns

注 かつ f_{SCL} ≤ f_{MCK}/4簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

注意 SDAr端子は通常入力バッファかつN-chオープン・ドレイン出力モード、SCLr端子は通常出力モードを選択。

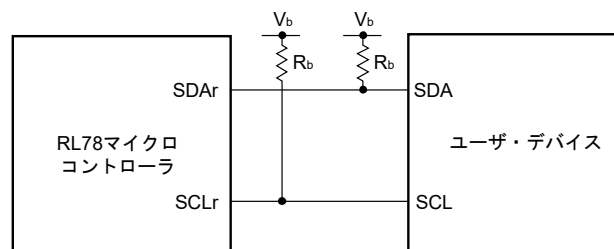
備考1. R_b [Ω]: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値

2. r : IICr (r = 00, 01, 10, 11)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(7) 同電位通信時 (簡易I²Cモード)(SDAr, SCLrはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード)(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}			400 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1300		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	600		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			
データ・セットアップ時間 (受信時)	t _{SU : DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1/f _{MCK} + 120		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 270		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	0	300	ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			

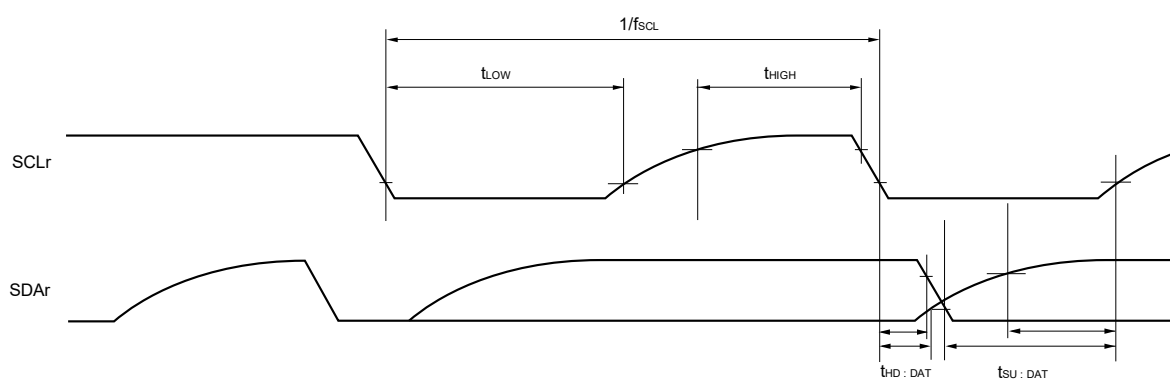
注 かつ f_{SCL} ≤ f_{MCK}/4簡易I²Cモード接続図 (同電位通信時)

注意 SDAr, SCLr端子は通常入力バッファかつN-chオープン・ドレイン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値,V_b [V]: 通信ライン電圧

2. r : IICr (r = 00, 01, 10, 11)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

簡易I²Cモード・シリアル転送タイミング (同電位通信時)

備考 r : IICr (r = 00, 01, 10, 11)

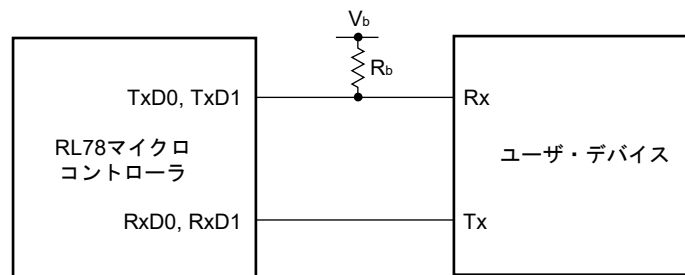
(8) 異電位通信時 (UARTモード) (TxD出力バッファ=N-chオープン・ドレイン, RxD入力バッファ=TTL)

(T_A = -40~+105°C, 4.0 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

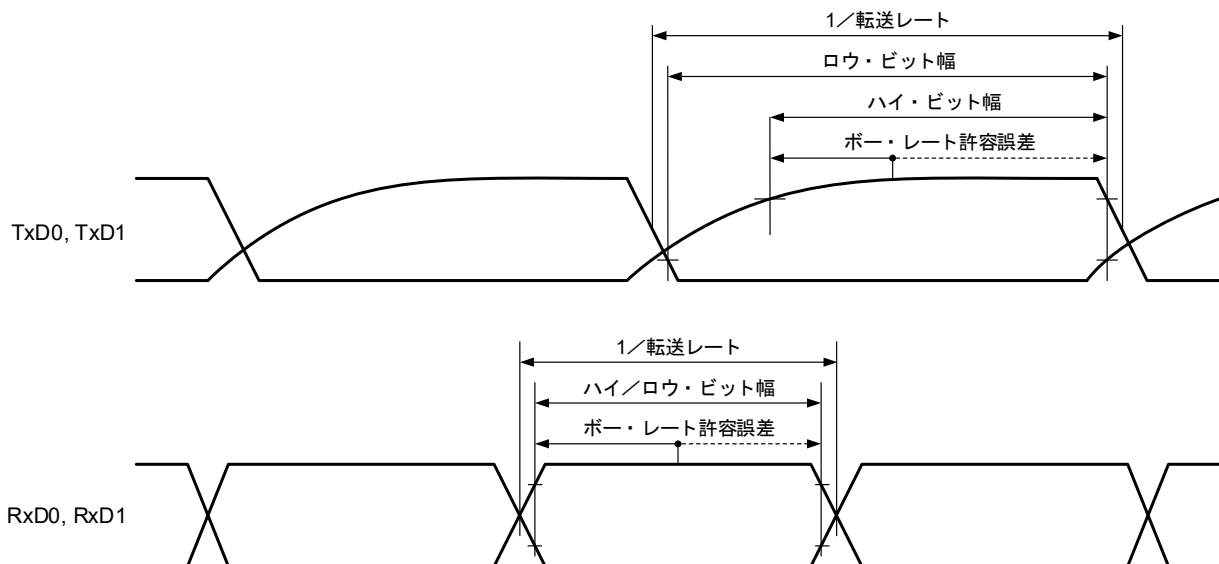
項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	—	受信 2.7 V ≤ V _b ≤ EV _{DD0} , V _{IH} =2.2 V, V _{IL} =0.8 V			f _{MCK} /6	bps
					5.3	Mbps
		送信 2.7 V ≤ V _b ≤ EV _{DD0} , V _{OH} =2.2 V, V _{OL} =0.8 V			f _{MCK} /6と(式1) の小さい方	bps
					5.3	Mbps

注 式1: 最大転送レート = 1 / [(-C_b × R_b × ln (1 - 2.2/V_b)) × 3]

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 Rx/D0, Rx/D1端子はTTL入力バッファ、Tx/D0, Tx/D1端子はN-chオープン・ドレイン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (TxD) プルアップ抵抗値, C_b [F]: 通信ライン (TxD) 負荷容量値,V_b [V]: 通信ライン電圧2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(9) 異電位 (3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート)(T_A = -40~+105°C, 4.0 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

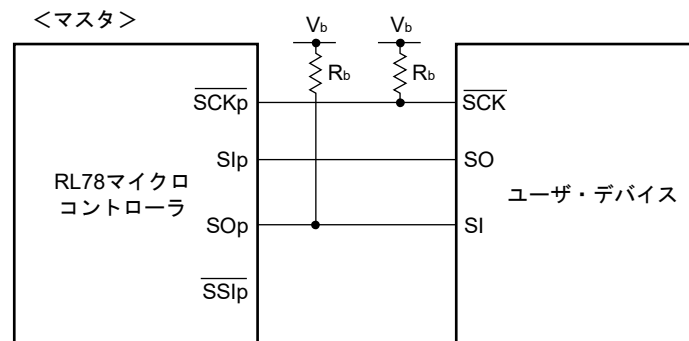
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ	400 ^{注3}			ns
$\overline{\text{SCKp}}$ ハイ・レベル幅	t _{KH1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2-75			ns
$\overline{\text{SCKp}}$ ロウ・レベル幅	t _{KL1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2-20			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ	150			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↓) ^{注2}	t _{SIK1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ	70			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KSI1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ	30			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↓) ^{注2}	t _{KSI1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ	30			ns
$\overline{\text{SCKp}}$ ↓→SO出力遅延時間 ^{注1}	t _{KSO1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ			120	ns
$\overline{\text{SCKp}}$ ↑→SO出力遅延時間 ^{注2}	t _{KSO1}	2.7 V ≤ V _b ≤ EV _{DD0} , C _b = 30 pF, R _b = 1.4 kΩ			40	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3. かつt_{KCY1} ≥ 4/f_{MCK}

CSIモード接続図 (異電位通信時)

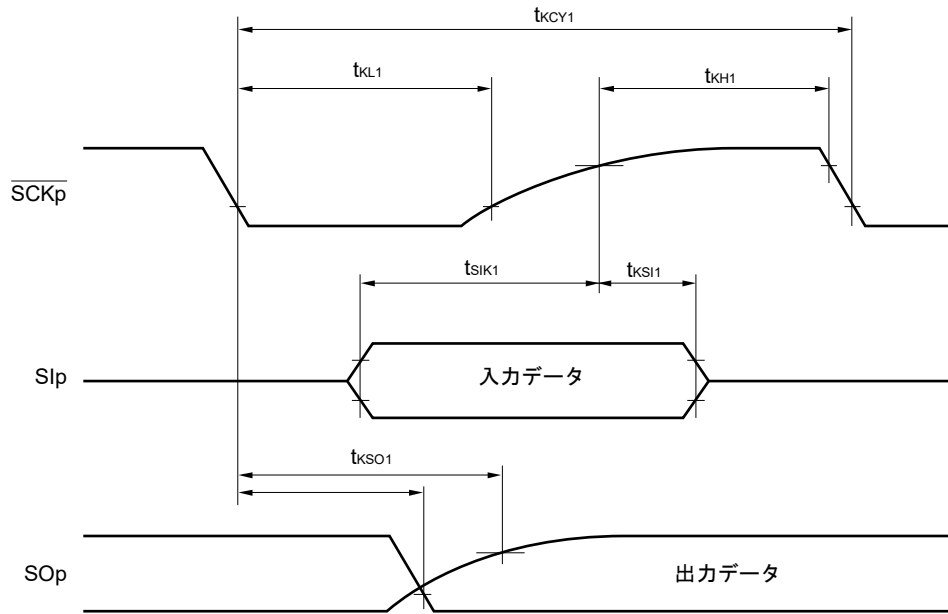
注意 Slp端子はTTL入力バッファ、SOp, $\overline{\text{SCKp}}$ 端子はN-chオープン・ドレーン出力モードを選択。備考1. R_b [Ω]: 通信ライン ($\overline{\text{SCKp}}$, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp, $\overline{\text{SCKp}}$) 負荷容量値,V_b [V]: 通信ライン電圧

2. p: CSIp (p = 00, 01, 10, 11), m: ユニットm (m = 0, 1), n: チャネルn (n = 0, 1)

3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。4.0 V ≤ EV_{DD0} ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 Vのとき: V_{IH} = 2.2 V, V_{IL} = 0.8 V

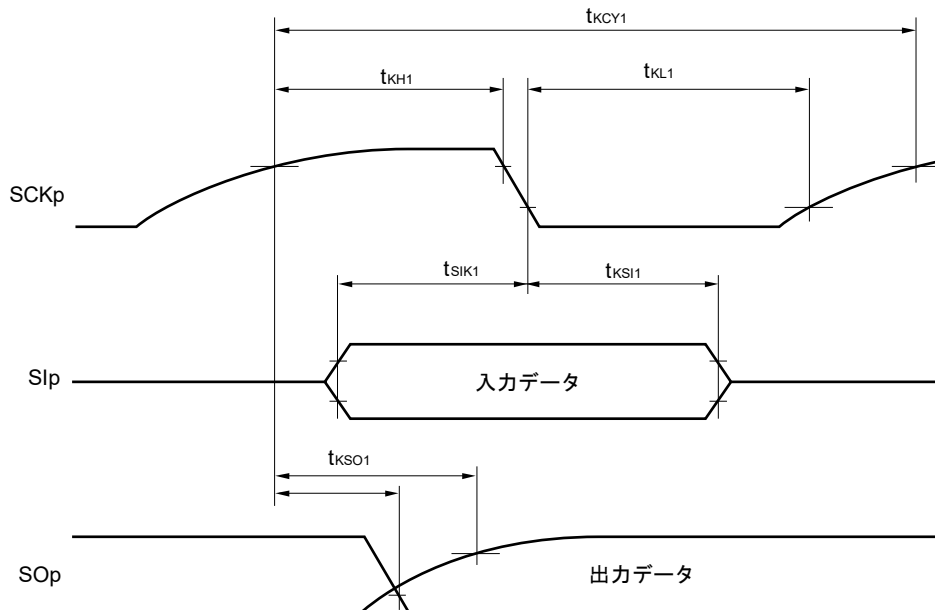
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



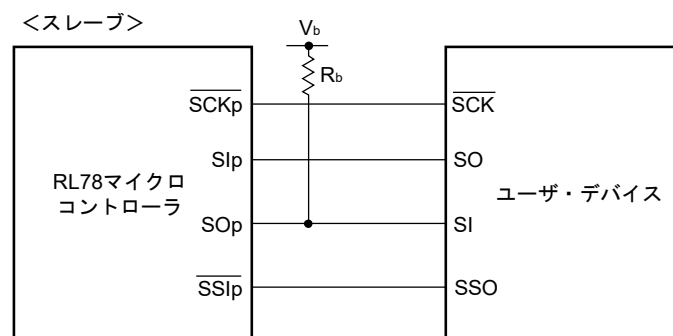
(10) 異電位 (3V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 通常スルー・レート)(T_A = -40~+105°C, 4.0 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY2}	2.7 V ≤ V _b ≤ V _{DD}				
		24 MHz < f _{MCK}	14/f _{MCK}			ns
		20 MHz < f _{MCK} ≤ 24 MHz	12/f _{MCK}			ns
		8 MHz < f _{MCK} ≤ 20 MHz	10/f _{MCK}			ns
		4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}			ns
		f _{MCK} ≤ 4 MHz	6/f _{MCK}			ns
SCKpハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	2.7 V ≤ V _b ≤ V _{DD}	t _{KCY2} /2-20			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) 注1	t _{SIK2}		90			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) 注1	t _{KSI2}		1/f _{MCK} +50			ns
$\overline{\text{SCKp}}$ ↓ → SOp出力遅延時間注2	t _{KSO2}	2.7 V ≤ V _b ≤ V _{DD} , C _b = 30 pF, R _b = 1.4 kΩ			2/f _{MCK} +120	ns
SSIpセットアップ時間	t _{SSIK}	DAP=0	120			ns
		DAP=1	1/f _{MCK} +120			ns
SSIpホールド時間	t _{KSSI}	DAP=0	1/f _{MCK} +120			ns
		DAP=1	120			ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

CSIモード接続図 (異電位通信時)



注意 Slp, $\overline{\text{SCKp}}$ 端子および $\overline{\text{SSIp}}$ 端子はTTL入力バッファ、SOp端子はN-chオープン・ドレイン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp) 負荷容量値,

V_b [V]: 通信ライン電圧

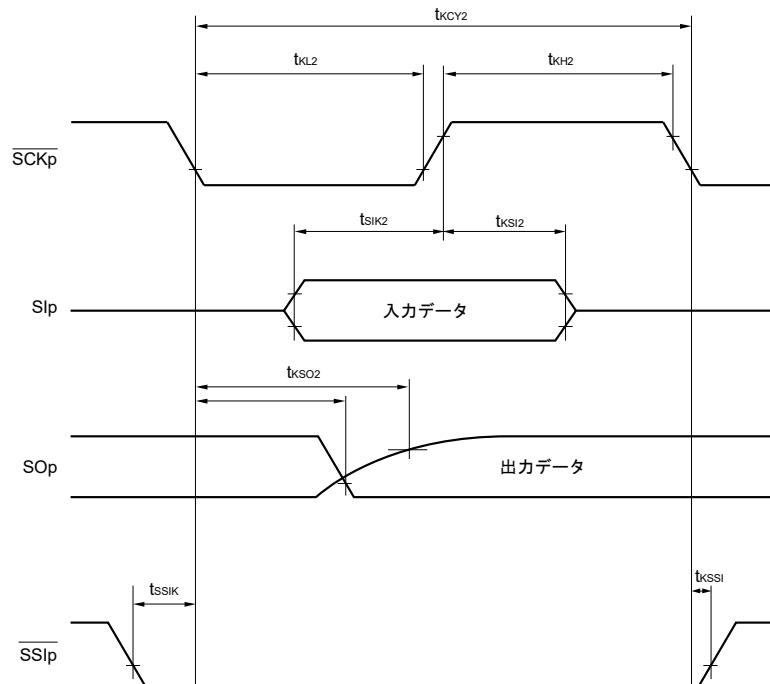
2. p: CSIp (p = 00, 01, 10, 11), m: ユニットm (m = 0, 1), n: チャネルn (n = 0, 1)

3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

4.0 V ≤ EV_{DD0} ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 Vのとき: V_{IH} = 2.2 V, V_{IL} = 0.8 V

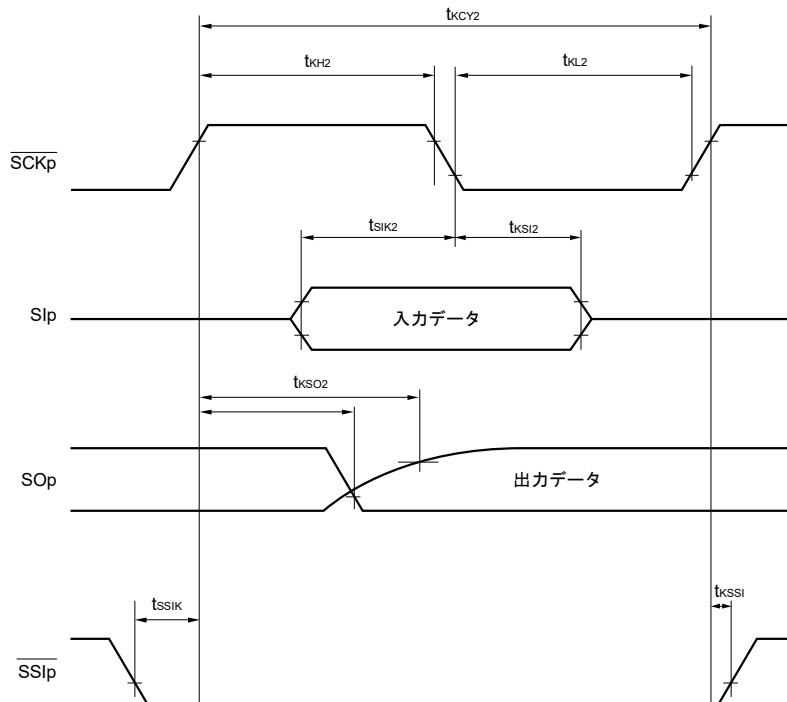
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



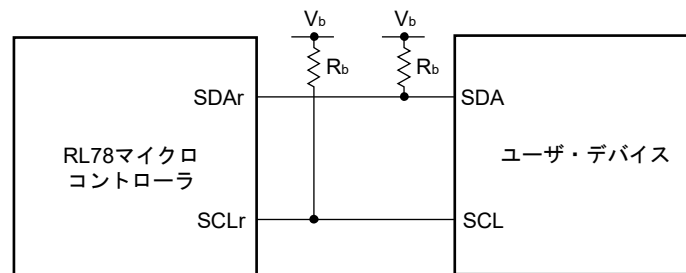
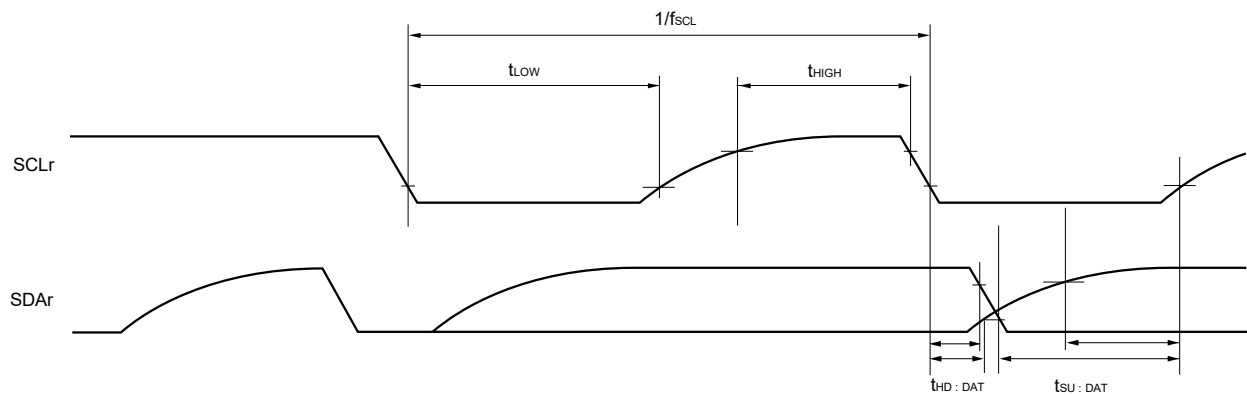
(11) 異電位 (3 V系) 通信時 (簡易I²Cモード)

(SDArはTTL入力バッファ・モード, N-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード,
SCLrはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード)

(T_A = -40~+105°C, 4.0 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ		400 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ	1200		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ	600		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ	135 + 1/f _{MCK}		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ	0	140	ns

注 かつ f_{SCL} ≤ f_{MCK}/4

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

注意 SDAr端子はTTL入力バッファかつN-chオープン・ドレイン出力モード、SCLr端子はN-chオープン・ドレイン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値,

V_b [V]: 通信ライン電圧

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

3.5.2 シリアル・インタフェースIICA

(TA = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード・プラス : 10 MHz ≤ f _{MCK}					0	1000	kHz
		ファースト・モード : 3.5 MHz ≤ f _{MCK}			0	400			kHz
		標準モード : 1 MHz ≤ f _{MCK}	0	100					kHz
リスタート・コンディションの セットアップ時間 ^{注1}	t _{SU : STA}		4.7		0.6		0.26		μs
ホールド時間	t _{HD : STA}		4.0		0.6		0.26		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		4.7		1.3		0.5		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		100		50		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}		0	3.45	0	0.9	0		μs
ストップ・コンディションの セットアップ時間	t _{SU : STO}		4.0		0.6		0.26		μs
バス・フリー時間	t _{BUF}		4.7		1.3		0.5		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスを生成します。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウェイトがかかります。

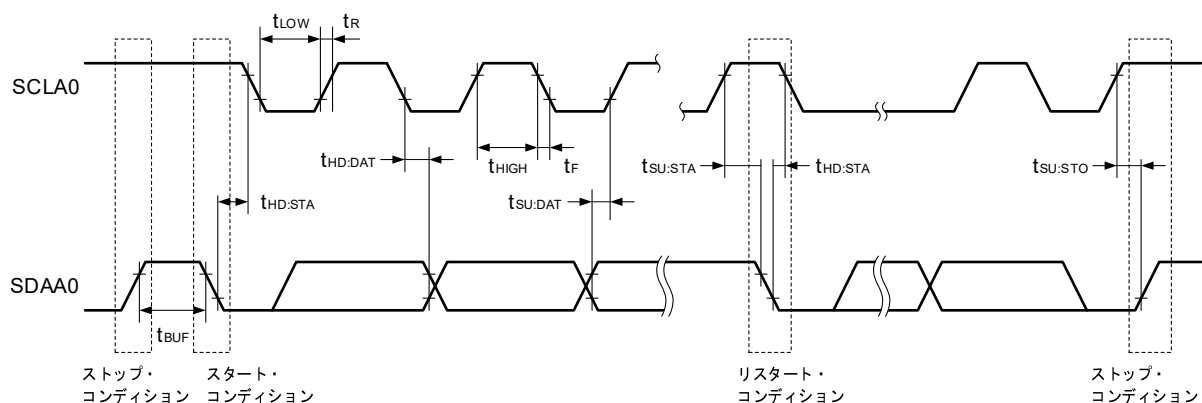
備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

標準モード : C_b = 400pF, R_b = 2.7 kΩ

ファースト・モード : C_b = 320pF, R_b = 1.1 kΩ

ファースト・モード・プラス : C_b = 120pF, R_b = 1.1 kΩ

IICAシリアル転送タイミング



3.5.3 オンチップ・デバッグ (UART)

(T_A = -40~+105°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	—		115.2 k		1 M	bps

3.5.4 LIN/UARTモジュール（RLIN3）UARTモード

($T_A = -40 \sim +105^{\circ}\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	—	動作モード, HALTモード	LIN通信クロック源 (f_{CLK} または f_{MX}) 4 MHz~32 MHz			5333	kbps
			SNOOZEモード			4.8	
			LIN通信クロック源 (f_{CLK}) 1 MHz~32 MHz ユーザ・オプション・バイト (000C2H/020C2H) の FRQSEL4 = 0			2.4	
			LIN通信クロック源 (f_{CLK}) 1 MHz~32 MHz ユーザ・オプション・バイト (000C2H/020C2H) の FRQSEL4 = 1				

3.6 アナログ特性

3.6.1 A/Dコンバータ特性

(1) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象ANI端子 : ANI2-ANI23 (V_{DD} を電源とするANI端子)

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧(+)= AV_{REFP} ,
基準電圧(-)= $AV_{REFM} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	± 1.2	± 3.0	LSB
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	± 1.2	± 3.5	LSB
変換時間	t_{CONV}	10ビット分解能 $AV_{REFP} = V_{DD}$	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125	39	μs
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	3.1875	39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 0.25	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 1.5	LSB
基準電圧(+)	AV_{REFP}		2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}		0		AV_{REFP}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

(2) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象ANI端子 : ANI24-ANI30 (EV_{DD0}を電源とするANI端子)

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧(+)= AV_{REFP} ,
基準電圧(-)= $AV_{REFM} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ $AV_{REFP} = V_{DD}$		± 1.2	± 4.5	LSB
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		± 1.2	± 5.0	LSB
変換時間	t_{CONV}	10ビット分解能 $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ $AV_{REFP} = V_{DD}$	2.125		39	μs
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	3.1875		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能 $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ $AV_{REFP} = V_{DD}$			± 0.35	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ $AV_{REFP} = V_{DD}$			± 0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ $AV_{REFP} = V_{DD}$			± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ $AV_{REFP} = V_{DD}$			± 2.0	LSB
基準電圧(+)	AV_{REFP}		2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}		0		AV_{REFP} かつ EV_{DD0}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

(3) $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$), $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$) 選択時,

対象ANI端子 : ANI0-ANI23, ANI24-ANI30

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$, 基準電圧(+)= V_{DD} ,

基準電圧(-)= V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 ANI0-ANI23	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	± 1.2	± 5.0	LSB
			$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	± 1.2	± 5.5	LSB
		10ビット分解能 ANI24-ANI30	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	± 1.2	± 6.5	LSB
			$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	± 1.2	± 7.0	LSB
変換時間	t_{CONV}	10ビット分解能	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	2.125	39	μs
			$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	3.1875	39	μs
ゼロスケール誤差 ^{注1, 2}	EVS	10ビット分解能 ANI0-ANI23	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 0.50	%FSR
		10ビット分解能 ANI24-ANI30	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 0.60	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 ANI0-ANI23	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 0.50	%FSR
		10ビット分解能 ANI24-ANI30	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 ANI0-ANI23	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 3.5	LSB
		10ビット分解能 ANI24-ANI30	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 4.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI23 ^{注3}	0		V_{DD}	V
		ANI24-ANI30 ^{注3}	EV_{SS}		EV_{DD0}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 製品により端子数は異なります。詳細は「2.1 端子機能一覧」を参照してください。

(4) $AV_{REF}(+) =$ 内部基準電圧 ($ADREFP1 = 1, ADREFP0 = 0$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象ANI端子 : ANI0, ANI2-ANI23, ANI24-ANI30

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧(+) = V_{BGR} ,
基準電圧(-) = $AV_{REFM} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	t_{CONV}	8ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 1.0	LSB
基準電圧 (+)	V_{BGR}			1.38	1.45	1.5	V
アナログ入力電圧	V_{AIN}			0		V_{BGR}	V

注1. 量子化誤差 ($\pm 1/2\text{ LSB}$) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3.6.2 温度センサ特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	$V_{\text{TMP}S25}$	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.1		V
リファレンス出力電圧	V_{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	$F_{\text{VTMP}S}$	温度センサ電圧の温度依存		-3.3		mV/ $^\circ\text{C}$
動作安定待ち時間	t_{AMP}		5			μs

3.6.3 D/Aコンバータ特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4M Ω $2.7\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$			± 2.5	LSB
		Rload = 8M Ω $2.7\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$			± 2.5	LSB
セトリング・タイム	t_{SET}	Cload = 20pF $2.7\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$			3	μs

3.6.4 コンパレータ特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOCOMP}			± 5	± 40	mV
入力電圧範囲	V_{ICMP}		0		V_{DD}	V
応答時間	t_{CR} , t_{CF}	入力振幅 $\pm 100\text{ mV}$		70	200	ns
入力チャネル切り替え時の 安定待ち時間 ^{注1}	t_{WAIT}	入力振幅 $\pm 100\text{ mV}$	300			ns
動作安定待ち時間 ^{注2}	t_{CMP}	$3.3\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$	1			μs
		$2.7\text{ V} \leq V_{\text{DD}} < 3.3\text{ V}$	3			μs

注1. コンパレータの入力チャネル切り替わり後からコンパレータが出力に切り替わるまでの時間。

2. コンパレータの動作許可 (CMPCTLレジスタのHCMPONビット = 1) からコンパレータがDC/AC特性を満足できる状態になるまでの時間。

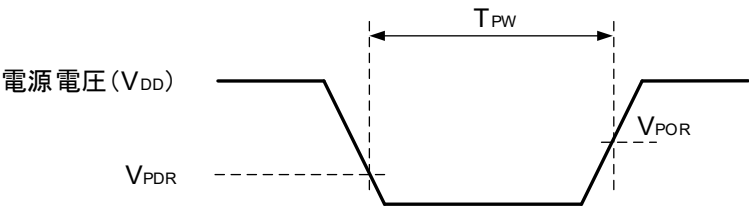
3.6.5 POR回路特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 ^{注1}	V_{POR}	電源立ち上がり時	1.48	1.56	1.62	V
	V_{PDR}	電源立ち下がり時	1.47	1.55	1.61	V
最小パルス幅 ^{注2}	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注1. POR回路の特性を示すものであり、下限動作電圧（2.7V）未満での通常動作を保証するものではありません。

2. 電源電圧（ V_{DD} ）が V_{PDR} を下回った場合に、POR回路によるリセット動作に必要な時間です。



3.6.6 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

($T_A = -40 \sim +105^\circ\text{C}$, $V_{PDR} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVD0} 電源立ち上がり時	4.62	4.74	4.84	V
			4.52	4.64	4.74	V
		V_{LVD1} 電源立ち上がり時	4.50	4.62	4.72	V
			4.40	4.52	4.62	V
		V_{LVD2} 電源立ち上がり時	4.30	4.42	4.51	V
			4.21	4.32	4.41	V
		V_{LVD3} 電源立ち上がり時	3.13	3.22	3.29	V
			3.07	3.15	3.22	V
		V_{LVD4} 電源立ち上がり時	2.95	3.02	3.09	V
			2.89	2.96	3.02	V
最小パルス幅	t_{LW}	V_{LVD5} 電源立ち上がり時	2.74	2.81	2.87	V
			2.68 ^注	2.75	2.81	V
検出遅延	t_{LD}				300	μs

注 MIN.値は下限動作電圧 (2.7V) を下回りますが、リセット・モードで使用時は、電源立ち下がり時においてリセットがかかるまでは通常動作 ($V_{DD} = 2.7\text{V}$ 時と同等の値での動作) できます。

(2) 割り込み&リセット・モードのLVD検出電圧

($T_A = -40 \sim +105^\circ\text{C}$, $V_{PDR} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み& リセット・モード	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 0, 1 ^{注1} , 立ち下がりリセット電圧 : 2.75 V		2.68 ^{注2}	2.75	2.81	V
	V _{LVD2}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.30	4.42	4.51	V
			立ち下がり割り込み電圧	4.21	4.32	4.41	V
	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 0 ^{注1} , 立ち下がりリセット電圧 : 2.75 V		2.68 ^{注2}	2.75	2.81	V
	V _{LVD1}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.72	V
			立ち下がり割り込み電圧	4.40	4.52	4.62	V
	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1 ^{注1} , 立ち下がりリセット電圧 : 2.75 V		2.68 ^{注2}	2.75	2.81	V
	V _{LVD3}	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.29	V
			立ち下がり割り込み電圧	3.07	3.15	3.22	V
	V _{LVD0}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.84	V
立ち下がり割り込み電圧			4.52	4.64	4.74	V	

注1. オプション・バイトの設定値を示しています。

2. MIN.値は下限動作電圧 (2.7 V) を下回りますが、リセット・モードで使用時は、電源立ち下がり時においてリセットがかかるまでは通常動作 ($V_{DD} = 2.7\text{ V}$ 時と同等の値での動作) できます。

3.7 電源立ち上げ時間

($T_A = -40 \sim +105^\circ\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	S_{Vmax}	$0\text{V} \rightarrow V_{DD}$ ($VPOC2=0$ または1 ^{注2})			50 ^{注3}	V/ms
最小電源電圧立ち上げ傾き ^{注1}	S_{Vmin}	$0\text{V} \rightarrow 2.7\text{ V}$	6.5			V/ms

注1. 最小電源電圧立ち上げ傾きは、以下の条件の場合にのみ適用対象になります。

電圧検出 (LVD) 回路が未使用 ($VPOC2=1$) かつ外部リセット回路未使用もしくは $V_{DD}=2.7\text{ V}$ までリセットがかからない場合。

2. オプション・バ이트の設定値を示しています。

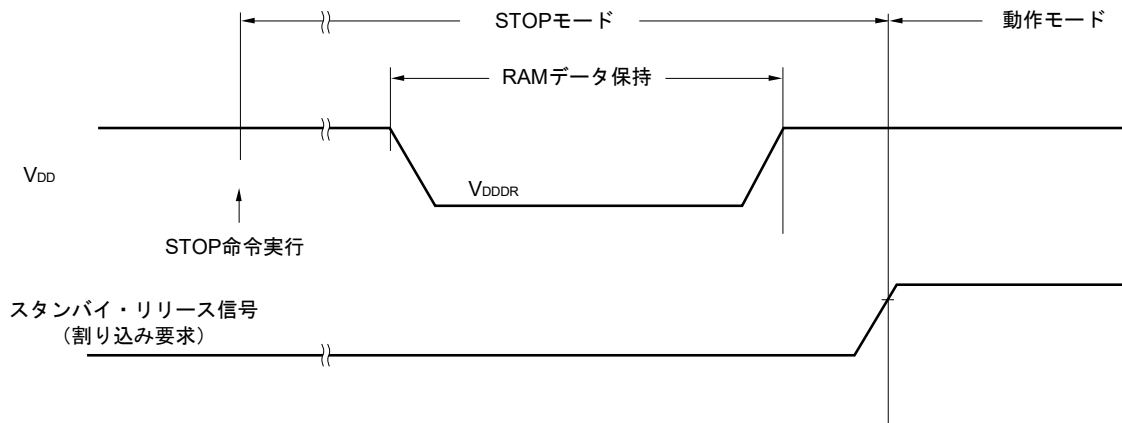
3. 電源が V_{PDR} 以下に下降し、PORリセットが発生した場合は、 0 V まで下降せずに復帰する場合も本スペックの適用対象になります。

3.8 RAMデータ保持特性

($T_A = -40 \sim +105^\circ\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.47 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持しません。



3.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}		1		32	MHz
コード・フラッシュの書き換え回数 ^{注1, 2, 3}	C _{enwr}	保持20年 T _A = +85℃ ^{注4}	1,000			回
データ・フラッシュの書き換え回数 ^{注1, 2, 3}		保持20年 T _A = +85℃ ^{注4}	10,000			
		保持5年 T _A = +85℃ ^{注4}	100,000			
消去時間	T _{erasa}	ブロック消去	5			ms
書き込み時間	T _{wrwa}	1ワード書き込み	10			μs

注1. 消去1回＋消去後の書き込み1回を書き換え回数1回とします。保持年数の起点は消去後からとなります。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用したときになります。
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
4. 保持の平均温度です。

4. 電気的特性 (Kグレード)

- 注意1. RL78/F13, F14には、開発／評価用にオンチップ・デバッグ機能を搭載しています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は、EV_{DD0}とEV_{DD1}をV_{DD}に、EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。
3. 製品により搭載している端子が異なります。詳細は、「1.5 端子接続図」および「2.1 端子機能一覧」を参照してください。
4. 製品／ピン数／コード・フラッシュ・メモリサイズに応じて、以下、5つのグループを定義しています。本章では、内容によりグループ名で説明しているところがあります。その際には、以下の定義を参照して読んでください。

グループA : RL78/F13 (LIN搭載) の20, 30, 32, 48, 64ピンかつコード・フラッシュ・メモリが16 KB~64 KBの製品

グループB : RL78/F13 (LIN搭載) の48, 64ピンかつコード・フラッシュ・メモリが96 KB~128 KBの製品
およびRL78/F13 (LIN搭載) の80ピンかつコード・フラッシュ・メモリが64 KB~128 KBの製品

グループC : RL78/F13 (CAN&LIN搭載) の30, 32, 48, 64, 80ピンかつコード・フラッシュ・メモリが32 KB~128 KBの製品

グループD : RL78/F14の30, 32, 48, 64, 80ピンかつコード・フラッシュ・メモリが48 KB~96 KBの製品

グループE : RL78/F14の48, 64, 80ピンかつコード・フラッシュ・メモリが128 KB~256 KBの製品
およびRL78/F14の100ピンかつコード・フラッシュ・メモリが64 KB~256 KBの製品

4.1 絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	-0.5~+6.5	V
	V _{SS}		-0.5~+0.3	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	-0.5~+0.3	V
REGC端子入力電圧	V _{I REGC}	REGC	-0.3~+2.8 かつ-0.3~V _{DD} +0.3 ^{注1}	V
入力電圧	V _{I1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注4} , P106, P107, P120, P125-P127, P140, P150-P157	-0.3~EV _{DD0} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I2}	P33, P34, P80-P87, P90-P97 ^{注4} , P100-P105, P121-P124, P137, RESET	-0.3~V _{DD} +0.3 ^{注2}	V
出力電圧	V _{O1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注4} , P106, P107, P120, P125-P127, P130, P140, P150-P157	-0.3~EV _{DD0} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{O2}	P33, P34, P80-P87, P90-P97 ^{注4} , P100-P105	-0.3~V _{DD} +0.3	V
アナログ入力電圧	V _{AI1}	ANI24-ANI30	-0.3~EV _{DD0} +0.3 かつ-0.3~AV _{REF (+)} +0.3 ^{注2, 3}	V
	V _{AI2}	ANI0-ANI23	-0.3~V _{DD} +0.3 かつ-0.3~AV _{REF (+)} +0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47~1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5V以下であること。

3. A/D変換対象の端子は、AV_{REF (+)}+0.3を越えないでください。

4. 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157	－40	mA
		端子合計 －170 mA	P01, P02, P40-P47, P92-P97 ^注 , P120, P125-P127, P150-P153	－70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	－100	mA
	I _{OH2}	1端子	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	－0.5	mA
		端子合計		－2	mA
	ロウ・レベル出力電流	I _{OL1}	1端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157	40
端子合計 170 mA			P01, P02, P40-P47, P92-P97 ^注 , P120, P125-P127, P150-P153	70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	100	mA
I _{OL2}		1端子	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	1	mA
		端子合計		5	mA
動作周囲温度		T _A	通常動作時		－40～＋125
	フラッシュ・メモリ・プログラミング時				
保存温度	T _{stg}			－65～＋150	℃

注 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

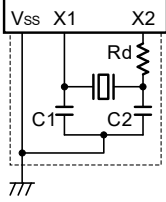
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

4.2 発振回路特性

4.2.1 メイン・システム・クロック発振回路特性

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子／ 水晶振動子		X1クロック発振周波数 (f_x)	$2.7\text{V} \leq \text{V}_{\text{DD}} \leq 5.5\text{V}$	1.0		20.0	MHz

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. 発振子の選択および発振回路定数については、発振子メーカー様にお問い合わせいただく等、お客様にて決めてください。
- また、お客様のシステムにて十分な発振評価をしてください。X1クロックの発振安定時間は、使用する発振子で発振安定時間を十分に評価してから、発振安定時間カウンタ状態レジスタ (OSTC) と発振安定時間選択レジスタ (OSTS) で発振安定時間を決定してください。

4.2.2 オンチップ・オシレータ特性

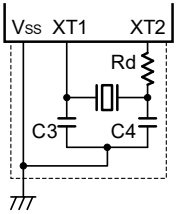
(T_A = -40~+125°C, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^注	f _{IH}		1		48	MHz
高速オンチップ・オシレータ 発振周波数精度	—		−3		+3	%
低速オンチップ・オシレータ 発振周波数	f _{IL} , f _{WDT}			15		kHz
低速オンチップ・オシレータ 発振周波数精度	—		−15		+15	%

注 高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H/020C2H）のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

4.2.3 サブシステム・クロック発振回路特性

($T_A = -40 \sim +125^{\circ}\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT})	$2.7\text{V} \leq \text{V}_{\text{DD}} \leq 5.5\text{V}$	29.0	32.768	35.0	kHz

- 注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。
- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますので、システムにて十分な発振評価をしてください。発振子の選択および発振回路定数は、発振子メーカー様にお問い合わせいただく等、お客様にて決めてください。

4.2.4 PLL回路特性

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL入力可能クロック周波数 ^{注1}	f _{PLLI}	PLLMUL = 0	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
		PLLMUL = 1	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
PLL出力周波数 (センター値)	f _{PLL}	PLLMUL = 0	PLLDIV0 = 0	f _{PLLI} × 12/2			MHz
			PLLDIV0 = 1	f _{PLLI} × 12/4			MHz
		PLLMUL = 1 ^{注4}	PLLDIV0 = 0 ^{注4}	f _{PLLI} × 16/2			MHz
			PLLDIV0 = 1	f _{PLLI} × 16/4			MHz
ロングターム・ジッタ ^{注2, 3}	t _{LJ}	f _{PLL} = 24 MHz (480カウント)		-2		+2	ns
		f _{PLL} = 32 MHz (640カウント)		-2		+2	ns
		f _{PLL} = 48 MHz (960カウント)		-2		+2	ns

注1. PLL入力クロックが高速オンチップ・オシレータ・クロックの場合、MIN, MAX値は高速オンチップ・オシレータ発振周波数精度の範囲になります。

2. 本特性は設計保証であり、出荷時のテストは行いません。
3. 20μsの期間を意味しています。
4. f_{PLLI} > 6MHzのとき、PLLMUL = 1かつPLLDIV0 = 0は設定禁止です。

4.3 DC特性

4.3.1 端子特性

各項目の対応するポートについては「第2章 端子機能」を参照してください。

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{V}$)

(1/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注3} , P106, P107, P120, P125-P127, P130, P140, P150-P157 1端子	$4.0\text{V} \leq \text{EV}_{\text{DD0}} \leq 5.5\text{V}$		-5.0	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD0}} < 4.0\text{V}$		-3.0	mA
		P10, P12, P14, P30, P120, P140 1端子 (特殊スルー・レート)	$4.0\text{V} \leq \text{EV}_{\text{DD0}} \leq 5.5\text{V}$		-0.6	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD0}} < 4.0\text{V}$		-0.2	mA
		P01, P02, P40-P47, P92-P97 ^{注3} , P120, P125-P127, P150-P153 合計 (デューティ $\leq 70\%$ 時 ^{注2})	$4.0\text{V} \leq \text{EV}_{\text{DD0}} \leq 5.5\text{V}$		-20.0	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD0}} < 4.0\text{V}$		-10.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 (デューティ $\leq 70\%$ 時 ^{注2})	$4.0\text{V} \leq \text{EV}_{\text{DD0}} \leq 5.5\text{V}$		-30.0	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD0}} < 4.0\text{V}$		-19.0	mA
		全端子合計 (デューティ $\leq 70\%$ 時 ^{注2})	$4.0\text{V} \leq \text{EV}_{\text{DD0}} \leq 5.5\text{V}$		-42.0	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD0}} < 4.0\text{V}$		-29.0	mA
	I _{OH2}	P33, P34, P80-P87, P90-P97 ^{注3} , P100-P105 1端子	$2.7\text{V} \leq \text{V}_{\text{DD}} \leq 5.5\text{V}$		-0.1	mA
		端子合計 (デューティ $\leq 70\%$ 時 ^{注2})	$2.7\text{V} \leq \text{V}_{\text{DD}} \leq 5.5\text{V}$		-2.0	mA

注1. EV_{DD0} , EV_{DD1} , V_{DD} 端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

2. デューティ $\leq 70\%$ の条件での電流の値です。

デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を $n\%$ に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (\text{I}_{\text{OH}} \times 0.7) \div (n \times 0.01)$$

<計算例> $\text{I}_{\text{OH}} = -10.0 \text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) \div (80 \times 0.01) \div -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

グループA製品のP10-P12, P70-P72は、N-chオープン・ドレイン・モードを持ちません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(2/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注3} , P106, P107, P120, P125-P127, P130, P140, P150-P157 1端子	4.0V ≤ EV _{DD0} ≤ 5.5V		8.5	mA
			2.7V ≤ EV _{DD0} < 4.0V		4.0	mA
		P10, P12, P14, P30, P120, P140 1端子 (特殊スルー・レート)	4.0V ≤ EV _{DD0} ≤ 5.5V		0.59	mA
			2.7V ≤ EV _{DD0} < 4.0V		0.07	mA
		P01, P02, P40-P47, P92-P97 ^{注3} , P120, P125-P127, P150-P153 合計 (デューティ ≤ 70%時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		20.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		15.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 (デューティ ≤ 70%時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		45.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		35.0	mA
		全端子合計 (デューティ ≤ 70%時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		65.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		50.0	mA
	I _{OL2}	P33, P34, P80-P87, P90-P97 ^{注3} , P100-P105 1端子	2.7 V ≤ V _{DD} ≤ 5.5 V		0.4	mA
		端子合計 (デューティ ≤ 70%時 ^{注2})	2.7 V ≤ V _{DD} ≤ 5.5 V		5.0	mA

注1. 出力端子からEV_{SS0}, EV_{SS1}, V_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ ≤ 70 %の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn %に変更する場合)。

$$\text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \div 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(3/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157 (Schmitt 1モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0.65 EV _{DD0}	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0.7 EV _{DD0}	EV _{DD0} ^{注1}	V
	V _{IH2}	P10, P11, P13, P14, P16, P17, P30, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152, P153 (Schmitt 3モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0.8 EV _{DD0}	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0.85 EV _{DD0}	EV _{DD0} ^{注1}	V
	V _{IH3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125 (TTLモード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	2.2	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	2.0	EV _{DD0} ^{注1}	V
	V _{IH4} ^{注2}	P33, P34, P80-P87, P90-P97, P100-P105, P137 (Schmitt 3モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.8 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.85 V _{DD}	V _{DD}	V
	V _{IH5}	RESET (Schmitt 1モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.65 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.7 V _{DD}	V _{DD}	V
	V _{IH6}	P121-P124, EXCLK, EXCLKS (Schmitt 2モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.8 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.8 V _{DD}	V _{DD}	V

注1. P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値はEV_{DD0}です。

2. グループA製品のP92-P96はSchmitt 1モード固定です。

グループB, C, D製品のP96, P97はSchmitt 1モード固定です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(4/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V _{IL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157 (Schmitt 1モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.35 EV _{DD0}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.3 EV _{DD0}	V
	V _{IL2}	P10, P11, P13, P14, P16, P17, P30, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152, P153 (Schmitt 3モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.5 EV _{DD0}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.4 EV _{DD0}	V
	V _{IL3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125 (TTLモード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.8	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.5	V
	V _{IL4} 注	P33, P34, P80-P87, P90-P97, P100-P105, P137 (Schmitt 3モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.5 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.4 V _{DD}	V
	V _{IL5}	RESET (Schmitt 1モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.35 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.3 V _{DD}	V
	V _{IL6}	P121-P124, EXCLK, EXCLKS (Schmitt 2モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.2 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.2 V _{DD}	V

注 グループA製品のP92-P96はSchmitt 1モード固定です。

グループB, C, D製品のP96, P97はSchmitt 1モード固定です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(5/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -5.0 mA	EV _{DD0} - 0.9		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -3.0 mA	EV _{DD0} - 0.7		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -1.0 mA	EV _{DD0} - 0.5		V
	V _{OH2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	2.7 V ≤ V _{DD} ≤ 5.5 V I _{OH2} = -100 μA	V _{DD} - 0.5		V
	V _{OH3}	P10, P12, P14, P30, P120, P140 (特殊スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH3} = -0.6 mA	EV _{DD0} - 0.8		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH3} = -0.2 mA	EV _{DD0} - 0.5		V
ロウ・レベル出力電圧	V _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 8.5 mA		0.7	V
			4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 4.0 mA		0.4	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 4.0 mA		0.7	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 1.5 mA		0.4	V
	V _{OL2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	2.7 V ≤ V _{DD} ≤ 5.5 V I _{OL2} = 400 μA		0.4	V
	V _{OL3}	P10, P12, P14, P30, P120, P140 (特殊スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL3} = 0.6 mA		0.8	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL3} = 0.07 mA		0.5	V

注 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(6/6)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P140, P150-P157	V _I = EV _{DD0}			1	μA
	I _{LIH2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105, P137, $\overline{\text{RESET}}$	V _I = V _{DD}			1	μA
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD}	入力ポート時, 外部クロック入力時		1	μA
				発振子接続時		10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P140, P150-P157	V _I = EV _{SS0}			-1	μA
	I _{LIL2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105, P137, $\overline{\text{RESET}}$	V _I = V _{SS}			-1	μA
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時, 外部クロック入力時		-1	μA
				発振子接続時		-10	μA
内蔵プルアップ抵抗	R _U	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97, P100-P107, P120, P125-P127, P140, P150-P157	V _I = EV _{SS0} , 入力ポート時	10	20	100	kΩ

注 端子の入出力バッファ電源は「表2-1 各端子の入出力バッファ電源」を参照してください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

4.3.2 電源電流特性

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(1/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	通常動作 ^{注2}	高速オンチップ・オシレータ・クロック動作	f _{IH} = 48 MHz	f _{CLK} = 24 MHz ^{注3, 4}		5.1	12.0	mA
					f _{IH} = 24 MHz	f _{CLK} = f _{IH} ^{注3, 4}		4.8	11.0	mA
					f _{IH} = 1 MHz	f _{CLK} = f _{IH} ^{注3, 4}		1.0	2.5	mA
				発振子動作	f _{MX} = 20 MHz	f _{CLK} = f _{MX} ^{注3, 5}		4.2	9.0	mA
					f _{MX} = 1 MHz	f _{CLK} = f _{MX} ^{注3, 5}		0.9	2.5	mA
				発振子動作 (PLL動作) (PLL入力クロック = f _{MX})	f _{PLL} = 48 MHz, f _{MX} = 8 MHz	f _{CLK} = 24 MHz ^{注3, 6}		5.0	12.0	mA
					f _{PLL} = 24 MHz, f _{MX} = 8 MHz	f _{CLK} = 24 MHz ^{注3, 6}		4.9	11.0	mA
					f _{PLL} = 24 MHz, f _{MX} = 4 MHz	f _{CLK} = 24 MHz ^{注3, 6}		4.7	11.0	mA
				サブシステム・クロック動作	f _{SUB} = 32.768 kHz	f _{CLK} = f _{SUB} ^{注7}				
					グループA～D			6.0	80.0	μA
					グループE			6.0	120.0	μA
				低速オンチップ・オシレータ・クロック動作	f _{IL} = 15 kHz	f _{CLK} = f _{IL} ^{注8}				
					グループA～D			3.0	70.0	μA
					グループE			3.0	110.0	μA

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

- CPU全命令実行時の電流。
- MAX.値にはバックグラウンド・オペレーション (BGO) 動作を除く周辺動作電流を含みます。ただし、LVD回路、A/Dコンバータ、D/Aコンバータ、コンパレータは停止。
- 高速システム・クロック、サブシステム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。
- サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- サブシステム・クロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- 高速システム・クロック、サブシステム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX} : 高速システム・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

3. f_{PLL} : PLLクロック周波数

4. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

5. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

6. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

(T_A = -40 ~ +125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(2/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1, 3}	IDD2	HALTモード ^{注2}	高速オンチップ・ オシレータ・ クロック動作	f _{IH} = 48 MHz	f _{CLK} = 24 MHz ^{注5}		0.9	8.0	mA	
				f _{IH} = 24 MHz	f _{CLK} = f _{IH} ^{注5}		0.7	7.0	mA	
				f _{IH} = 1 MHz	f _{CLK} = f _{IH} ^{注5}		0.3	1.5	mA	
			発振子動作	f _{MX} = 20 MHz	f _{CLK} = f _{MX} ^{注6}		0.6	6.0	mA	
				f _{MX} = 1 MHz	f _{CLK} = f _{MX} ^{注6}		0.2	1.5	mA	
			発振子動作 (PLL動作) (PLL入カクロック = f _{MX})	f _{PLL} = 48 MHz, f _{MX} = 8 MHz	f _{CLK} = 24 MHz ^{注7}		0.9	8.0	mA	
				f _{PLL} = 24 MHz, f _{MX} = 8 MHz	f _{CLK} = 24 MHz ^{注7}		0.8	7.0	mA	
				f _{PLL} = 24 MHz, f _{MX} = 4 MHz	f _{CLK} = 24 MHz ^{注7}		0.6	7.0	mA	
			サブシステム・ クロック動作	f _{SUB} = 32.768 kHz	f _{CLK} = f _{SUB} ^{注8}					
						グループA～D		0.7	75.0	μA
		グループE					0.7	115.0		
		低速オンチップ・ オシレータ・ クロック動作	f _{IL} = 15 kHz	f _{CLK} = f _{IL} ^{注9}						
					グループA～D		0.7	65.0	μA	
					グループE		0.7	105.0		
	IDD3	STOPモード ^{注4}	TA = +25℃	グループA～D			0.5		μA	
				グループE			0.5			
			TA = +50℃	グループA～D				2.5		
				グループE				4.5		
			TA = +70℃	グループA～D				4.5		
				グループE				8.0		
			TA = +105℃	グループA～D				30.0		
				グループE				50.0		
			TA = +125℃	グループA～D				60.0		
				グループE				100.0		

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。

ただし、I/Oバッファ、内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中にHALTモードに移移した場合です。

3. MAX.値には周辺動作電流、STOPリーク電流を含みます。ただし、ウォッチドッグ・タイマ、LVD回路、A/Dコンバータ、D/Aコンバータ、コンパレータは停止。

4. 高速システム・クロック、サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック、サブシステム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

9. 高速システム・クロック、サブシステム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX} : 高速システム・クロック周波数2. f_{SUB} : サブシステム・クロック周波数3. f_{PLL} : PLLクロック周波数4. f_{IH} : 高速オンチップ・オシレータ・クロック周波数5. f_{IL} : 低速オンチップ・オシレータ・クロック周波数6. f_{CLK} : CPU／周辺ハードウェア・クロック周波数

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V) (3/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1, 2}	ISNOZ	SNOOZEモード	A/Dコンバータ動作	モード遷移中			1.0	1.2	mA
				変換動作中	標準モード AV _{REFP} = V _{DD} = 5.0 V		2.1	2.5	mA
			DTC動作				4.5		mA

- 注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。
ただし、I/Oバッファ、内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。
2. MAX.値にはSTOPリーク電流を含みます。

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチ ドッグ・タイマ 動作電流	I_{WDT} ^{注1,2}	$\text{f}_{\text{IL}} = 15 \text{ kHz}$			0.22		μA
A/Dコンバータ 動作電流	I_{ADC} ^{注3}	最高速変換時	標準モード, $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}} = 5.0 \text{ V}$		1.3	1.7	mA
		内部基準電圧選択時 ^{注5}			75.0		μA
LVD動作電流	I_{LVD} ^{注4}				0.08		μA
温度センサ 動作電流	I_{TMPS}				75.0		μA
D/Aコンバータ 動作電流	I_{DAC}	1チャンネル当たり			0.8	1.5	mA
コンパレータ 動作電流	I_{CMP}				50.0		μA
BGO動作電流	I_{BGO} ^{注6}				2.50	12.20	mA

注1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

- ウォッチドッグ・タイマにのみ流れる電流です（15 kHzオンチップ・オシレータの動作電流を含みます）。STOPモード時にウォッチドッグ・タイマが動作中の場合， I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合， I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。
- LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合， I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。
- 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。
- BGOの動作電流です。動作モードまたはHALTモード時にBGOが動作中の場合， I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

4.4 AC特性

4.4.1 基本動作

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	T_{CY}	高速オンチップ・オシレータ・クロック動作	0.04166		1	μs
		高速システム・クロック動作	0.05		1	μs
		PLLクロック動作	0.04166		1	μs
		サブシステム・クロック動作	28.5	30.5	34.5	μs
		低速オンチップ・オシレータ・クロック動作		66.6		μs
		セルフ・プログラミング時	0.04166		1	μs
CPU/周辺ハードウェア・クロック周波数	f_{CLK}		0.04166		66.6	μs
外部システム・クロック周波数	f_{EX}		1.0		20.0	MHz
	f_{EXS}		29		35	kHz
外部システム・クロック 入力ハイ、ロウ・レベル幅	$t_{\text{EXH}}, t_{\text{EXL}}$		24			ns
	$t_{\text{EXHS}}, t_{\text{EXLS}}$		13.7			μs
TI00-TI07, TI10-TI17入力ハイ・レベル幅、ロウ・レベル幅	$t_{\text{TIH}}, t_{\text{TIL}}$		$1/f_{\text{MCK}} + 10$			ns
TO00-TO07, TO10-TO17 出力周波数	f_{TO}	すべてのTO端子 通常スルー・レート $C = 30\text{ pF}$	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		12	MHz
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$		6	MHz
		TO01, TO06, TO07, TO11, TO13のみ 特殊スルー・レート $C = 30\text{ pF}$			2	MHz
PCLBUZ0出力周波数	f_{PCL}	通常スルー・レート $C = 30\text{ pF}$	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$		12	MHz
			$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$		6	MHz
		特殊スルー・レート $C = 30\text{ pF}$			2	MHz
タイマRJ入力サイクル	t_{C}	TRJIO0	100			ns
タイマRJ入力ハイ・レベル幅、 ロウ・レベル幅	$t_{\text{WH}}, t_{\text{WL}}$	TRJIO0	40			ns
割り込み入力ハイ・レベル幅、 ロウ・レベル幅	$t_{\text{INTH}}, t_{\text{INTL}}$	INTP0-INTP13 ^注	1			μs
KR0-KR7キー割り込み入力 ロウ・レベル幅	t_{KR}		250			ns
RESETロウ・レベル幅	t_{RSL}		10			μs

注 RESET, INTP0-INTP3, INTP12, INTP13にはMIN. 100 nsのノイズ・フィルタを持ちます。

注意 発振周波数精度誤差を除きます。

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(2/2)

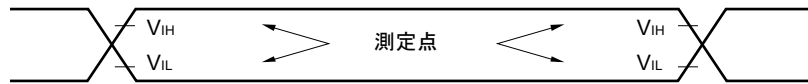
項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート出力立ち上がり時間, 立ち下がり時間	t _{RO} ,	P00-P03, P10-P17,	4.0 V ≤ EV _{DD0} ≤ 5.5 V		25	ns
	t _{FO}	P30-P32, P40-P47,	2.7 V ≤ EV _{DD0} < 4.0 V		55	ns
		P50-P57, P60-P67, P70-P77, P96, P97, P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート) C = 30 pF				
		P10, P12, P14, P30, P120, P140 (特殊スルー・レート) C = 30 pF	4.0 V ≤ EV _{DD0} ≤ 5.5 V	25 ^注	60	ns
			2.7 V ≤ EV _{DD0} < 4.0 V		100	ns

注 T_A = +25°C, EV_{DD0} = 5.0 V時。

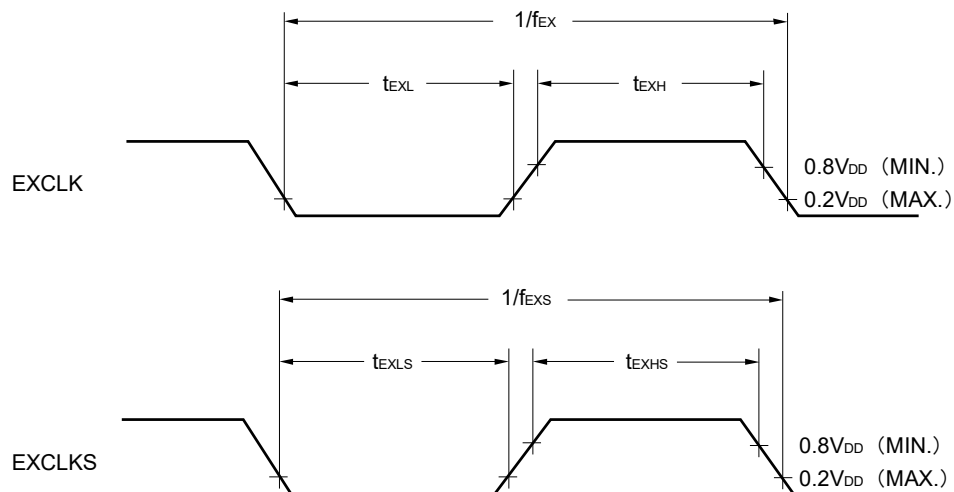
注意 発振周波数精度誤差を除きます。

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

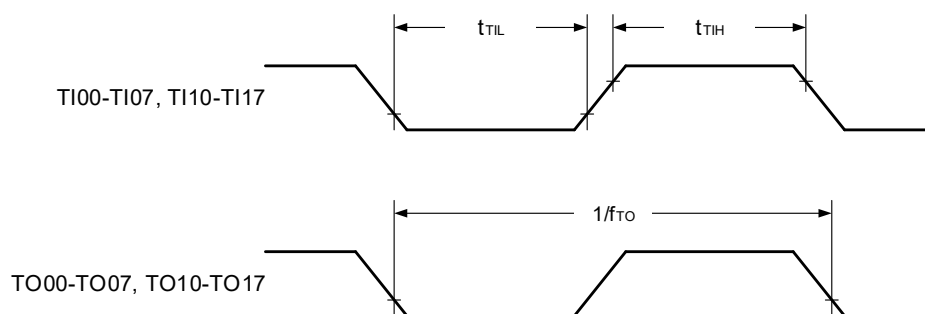
・ ACタイミング測定点



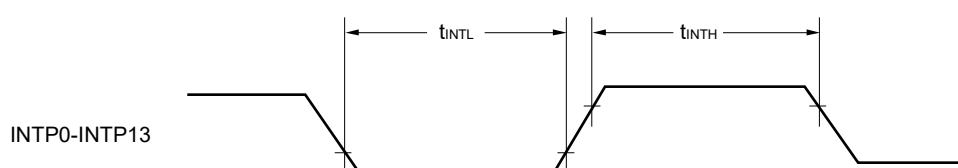
・ 外部システム・クロック・タイミング



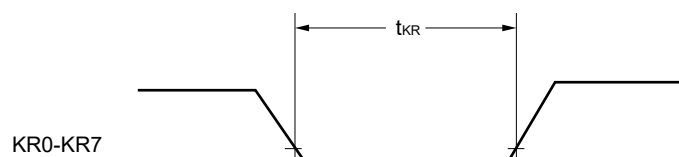
・ TI/TOタイミング



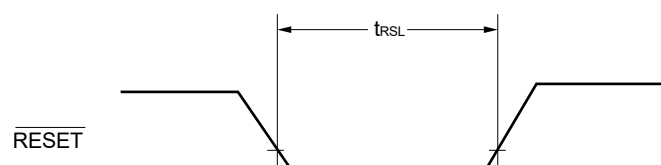
・ 割り込み要求入力タイミング



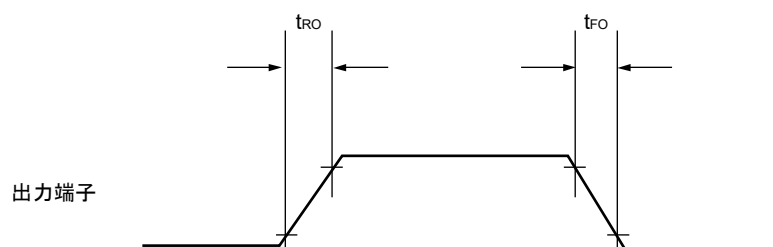
・ キー割り込み入力タイミング



・ $\overline{\text{RESET}}$ 入力タイミング



・ 出力立ち上がり, 立ち下がりタイミング



4.5 周辺機能特性

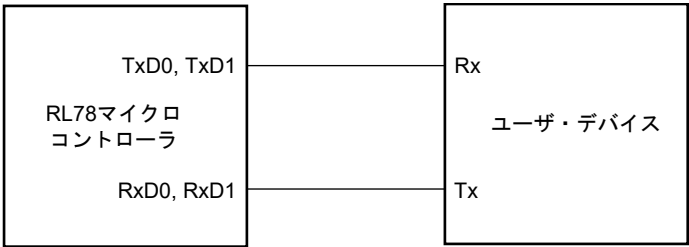
4.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

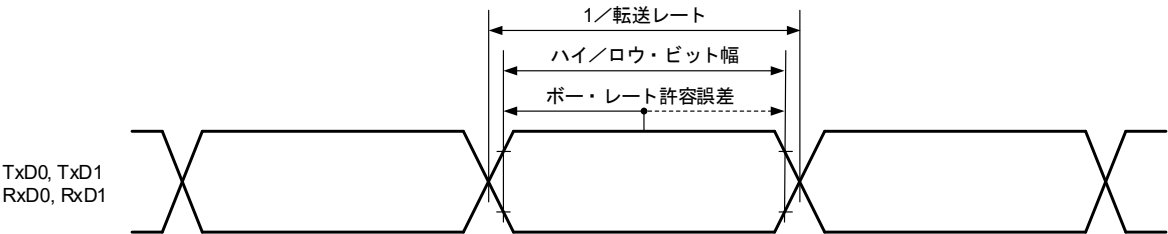
(T_A = -40～+125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	—				f _{MCK} /6	bps
		f _{CLK} = 24 MHz, f _{MCK} = f _{CLK}			4	Mbps
					2	Mbps

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



注意 RxD0, RxD1端子は通常入力バッファ、TxD0, TxD1端子は通常出力モードを選択。

備考 f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(2) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート)(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}		166.6 ^{注4}			ns
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V ≤ EV _{DD0} ≤ 5.5 V	t _{KCY1} /2-12			ns
		2.7 V ≤ EV _{DD0} < 4.0 V	t _{KCY1} /2-18			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK1}	4.0 V ≤ EV _{DD0} ≤ 5.5 V	55			ns
		2.7 V ≤ EV _{DD0} < 4.0 V	66			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KSI1}		30			ns
$\overline{\text{SCKp}}$ ↓→SOp出力遅延時間 ^{注2}	t _{KSO1}	C = 30 pF ^{注3}			40	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは, $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

4. かつt_{KCY1} ≥ 4/f_{MCK}

注意 Slp端子は通常入力バッファ、SOp, $\overline{\text{SCKp}}$ 端子は通常出力モードを選択。

備考 p : CSI_p (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(3) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 特殊スルー・レート)(T_A = -40~+125°C, 4.0 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}		500 ^{注4}			ns
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2-60			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK1}		120			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SH1}		80			ns
$\overline{\text{SCKp}}$ ↓→SOp出力遅延時間 ^{注2}	t _{KSO1}	C = 30pF ^{注3}			90	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは、 $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

4. かつt_{KCY1} ≥ 4/f_{MCK}

注意 Slp端子は通常入力バッファ、SOp, $\overline{\text{SCKp}}$ 端子は通常出力モードかつ特殊スルー・レートを選択。

備考 p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(4) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 通常スルー・レート)(TA = -40~+125°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY2}		8/f _{MCK}			ns
SCKpハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) 注1	t _{SIK2}		1/f _{MCK} +20			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) 注1	t _{KSI2}		1/f _{MCK} +31			ns
$\overline{\text{SCKp}}$ ↓→SOp出力遅延時間注2	t _{KSO2}	C = 30 pF注3				
		4.0 V ≤ V _{DD} = EV _{DD0} = EV _{DD1} ≤ 5.5 V			2/f _{MCK} +44	ns
		2.7 V ≤ V _{DD} = EV _{DD0} = EV _{DD1} < 4.0 V			2/f _{MCK} +57	ns
$\overline{\text{SSIp}}$ セットアップ時間	t _{SSIK}	DAP=0	120			ns
		DAP=1	1/f _{MCK} +120			ns
$\overline{\text{SSIp}}$ ホールド時間	t _{KSSI}	DAP=0	1/f _{MCK} +120			ns
		DAP=1	120			ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは、 $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

注意 Slp, $\overline{\text{SCKp}}$ 端子および $\overline{\text{SSIp}}$ 端子は通常入力バッファ、SOp端子は通常出力モードを選択。

備考1. p: CSIp (p = 00, 01, 10, 11), m: ユニットm (m = 0, 1), n: チャネルn (n = 0, 1)

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(5) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 特殊スルー・レート)(T_A = -40~+125°C, 4.0 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY2}	20 MHz < f _{MCK}	10/f _{MCK}			ns
		10 MHz < f _{MCK} ≤ 20 MHz	8/f _{MCK}			ns
		f _{MCK} ≤ 10 MHz	6/f _{MCK}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\uparrow$) 注1	t _{SIK2}		1/f _{MCK} + 50			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\uparrow$) 注1	t _{KSI2}		1/f _{MCK} + 50			ns
$\overline{\text{SCKp}}\downarrow \rightarrow \text{SOp}$ 出力遅延時間注2	t _{KSO2}	C = 30 pF注3			2/f _{MCK} + 80	ns
SSIpセットアップ時間	t _{SSIK}	DAP = 0	120			ns
		DAP = 1	1/f _{MCK} + 120			ns
SSIpホールド時間	t _{KSSI}	DAP = 0	1/f _{MCK} + 120			ns
		DAP = 1	120			ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}\downarrow$ ”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}}\uparrow$ ”となります。

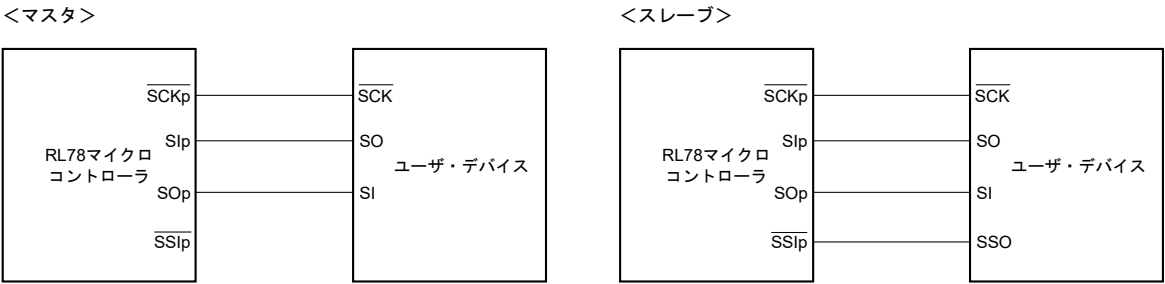
3. Cは、 $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

注意 Slp, $\overline{\text{SCKp}}$ 端子およびSSIp端子は通常入力バッファ、SOp端子は通常出力モードかつ特殊スルー・レートを選択。

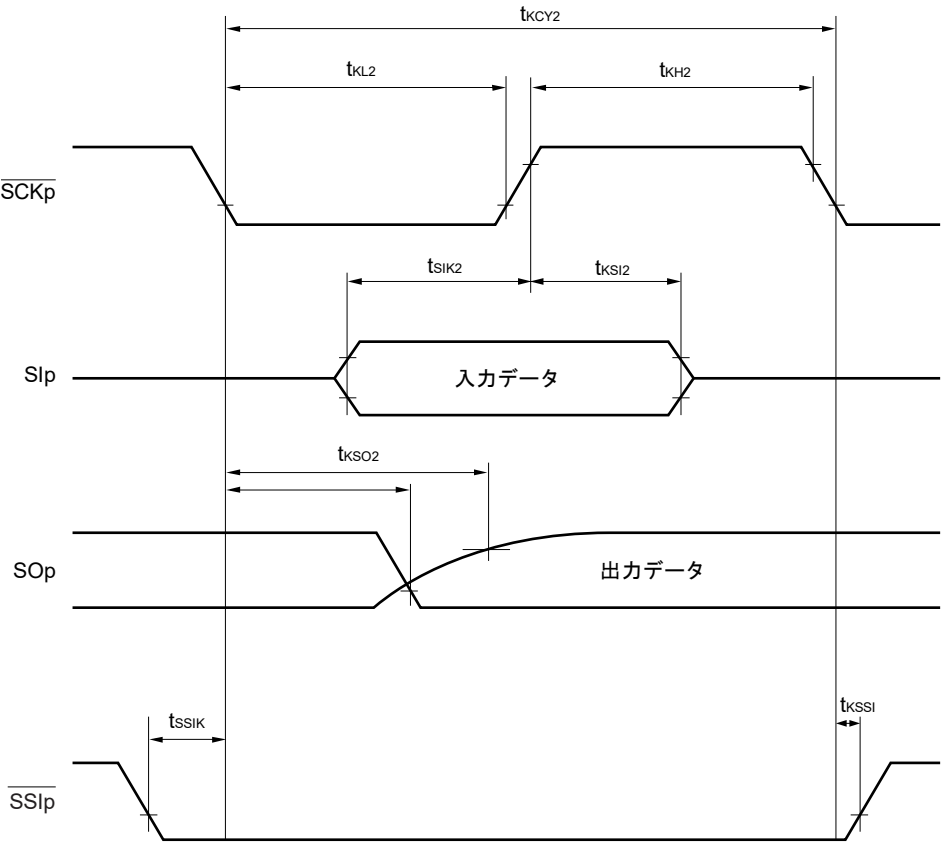
備考1. p : CSI_p (p = 00, 01, 10, 11), m : ユニットm (m = 0, 1), n : チャネルn (n = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

CSIモード接続図 (同電位通信時)

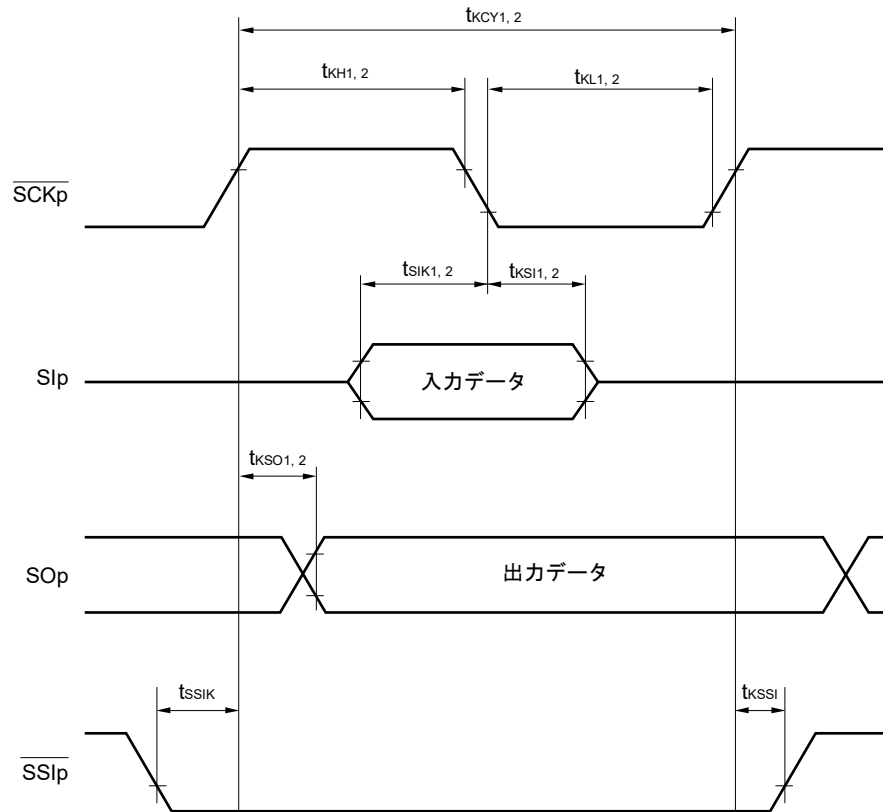


CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



備考 p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

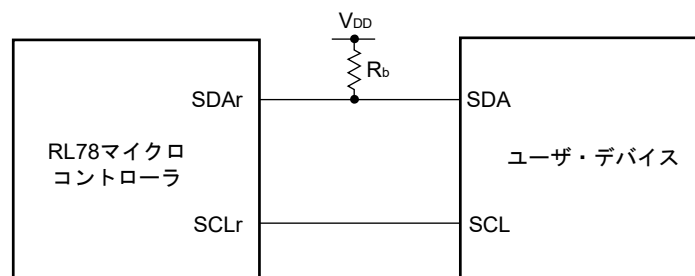
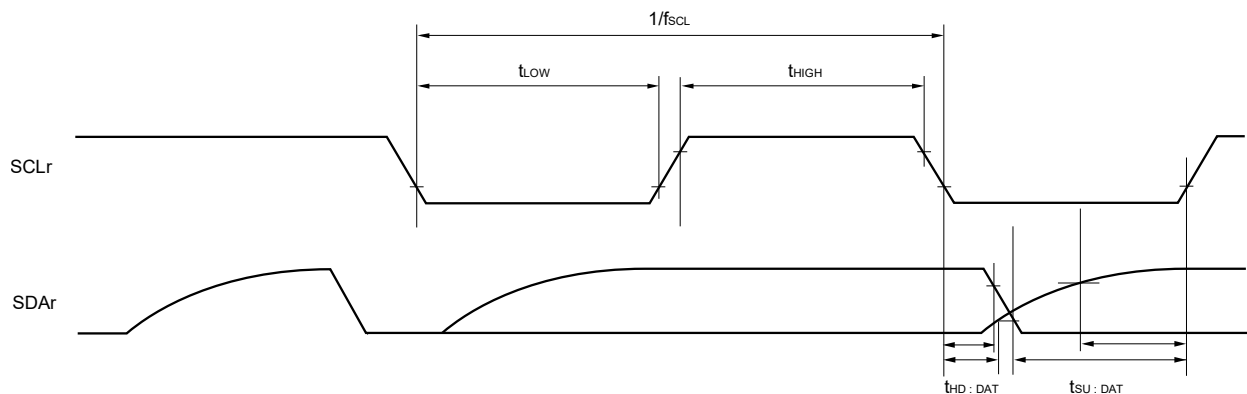
CSIモード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(6) 同電位通信時 (簡易I²Cモード)(SDArはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード, SCLrは通常出力モード)(T_A = -40~+125°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLrクロック周波数	f _{SCL}				1000 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}		475			ns
SCLr = "H"のホールド・タイム	t _{HIGH}		475			ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}		1/f _{MCK} +85			ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	C _b = 50pF, R _b = 2.7kΩ	0		305	ns

注 かつ f_{SCL} ≤ f_{MCK}/4簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

注意 SDAr端子は通常入力バッファかつN-chオープン・ドレイン出力モード、SCLr端子は通常出力モードを選択。

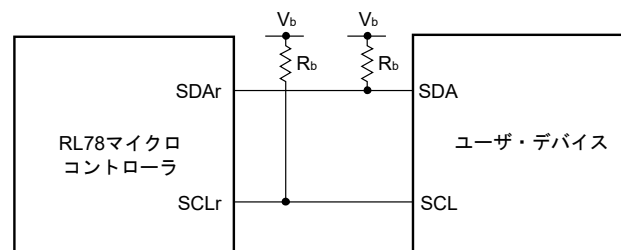
備考1. R_b [Ω]: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値

2. r: IICr (r = 00, 01, 10, 11)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(7) 同電位通信時 (簡易I²Cモード)(SDAr, SCLrはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード)(T_A = -40 ~ +125°C, 2.7 V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}			400 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1300		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	600		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			
データ・セットアップ時間 (受信時)	t _{SU : DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1/f _{MCK} + 120		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 270		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	0	300	ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			

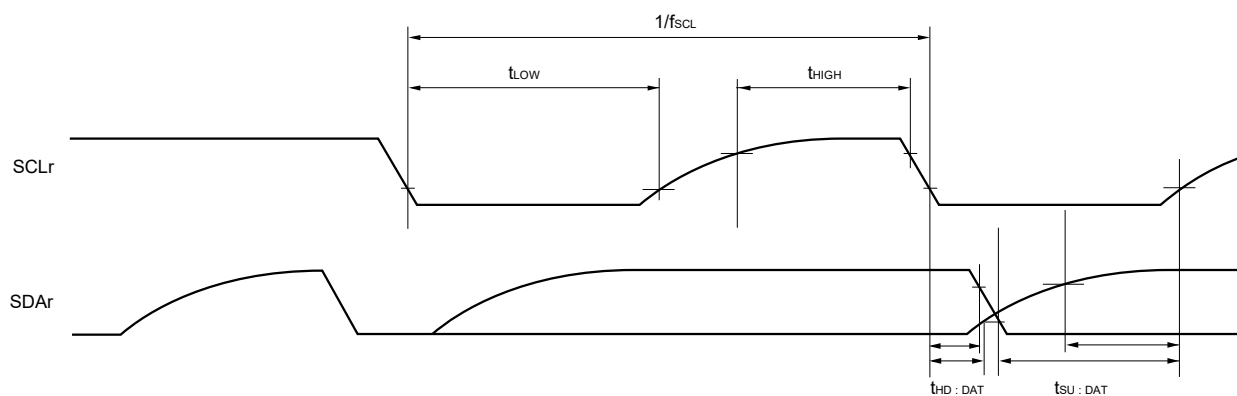
注 かつ f_{SCL} ≤ f_{MCK}/4簡易I²Cモード接続図 (同電位通信時)

注意 SDAr, SCLr端子は通常入力バッファかつN-chオープン・ドレイン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) ブルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値,V_b [V]: 通信ライン電圧

2. r : IICr (r = 00, 01, 10, 11)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

簡易I²Cモード・シリアル転送タイミング (同電位通信時)

備考 r : IICr (r = 00, 01, 10, 11)

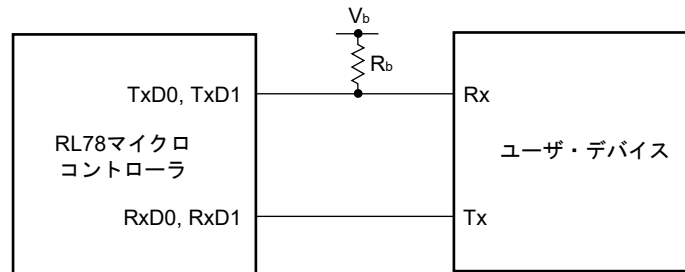
(8) 異電位通信時 (UARTモード) (TxD出力バッファ=N-chオープン・ドレーン, RxD入力バッファ=TTL)

($T_A = -40 \sim +125^\circ\text{C}$, $4.0\text{ V} \leq V_{DD0} = V_{DD1} = V_{DD} \leq 5.5\text{ V}$, $V_{SS} = V_{SS0} = V_{SS1} = 0\text{ V}$)

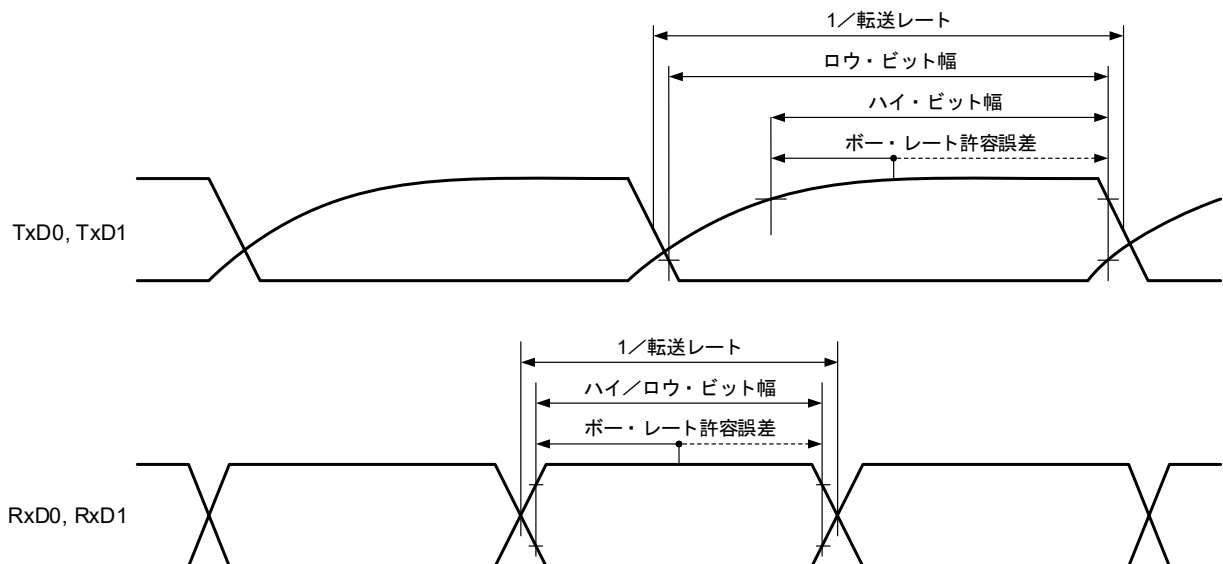
項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	－	受信	$2.7\text{ V} \leq V_b \leq V_{DD0}$,			$f_{MCK}/6$	bps
			$V_{IH}=2.2\text{ V}$, $V_{IL}=0.8\text{ V}$	最大転送レート理論値注 ($C_b=30\text{ pF}$)		4.0	Mbps
		送信	$2.7\text{ V} \leq V_b \leq V_{DD0}$,			$f_{MCK}/6$ と(式1) の小さい方	bps
			$V_{OH}=2.2\text{ V}$, $V_{OL}=0.8\text{ V}$	最大転送レート理論値注 ($C_b=30\text{ pF}$) 通常スルー・レート		4.0	Mbps

注 式1: 最大転送レート = $1 / \{[-C_b \times R_b \times \ln(1 - 2.2/V_b)] \times 3\}$

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 RxD0, RxD1端子はTTL入力バッファ、TxD0, TxD1端子はN-chオープン・ドレーン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (TxD) プルアップ抵抗値, C_b [F]: 通信ライン (TxD) 負荷容量値,

V_b [V]: 通信ライン電圧

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(9) 異電位 (3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート)

(TA = -40~+125°C, 4.0 V ≤ EVDD0 = EVDD1 = VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

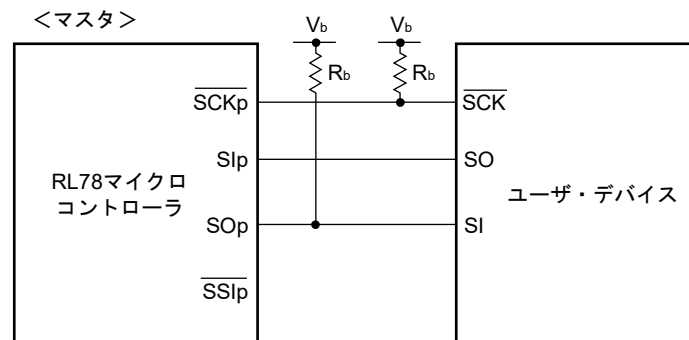
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ	400 ^{注3}			ns
SCKpハイ・レベル幅	t _{KH1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2-75			ns
SCKpロウ・レベル幅	t _{KL1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2-20			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ	150			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↓) ^{注2}	t _{SIK1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ	70			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KS1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ	30			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↓) ^{注2}	t _{KS1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ	30			ns
$\overline{\text{SCKp}}$ ↓→SO出力遅延時間 ^{注1}	t _{KSO1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ			120	ns
$\overline{\text{SCKp}}$ ↑→SO出力遅延時間 ^{注2}	t _{KSO1}	2.7 V ≤ V _b ≤ EVDD0, C _b = 30 pF, R _b = 1.4 kΩ			40	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3. かつt_{KCY1} ≥ 4/f_{MCK}

CSIモード接続図 (異電位通信時)

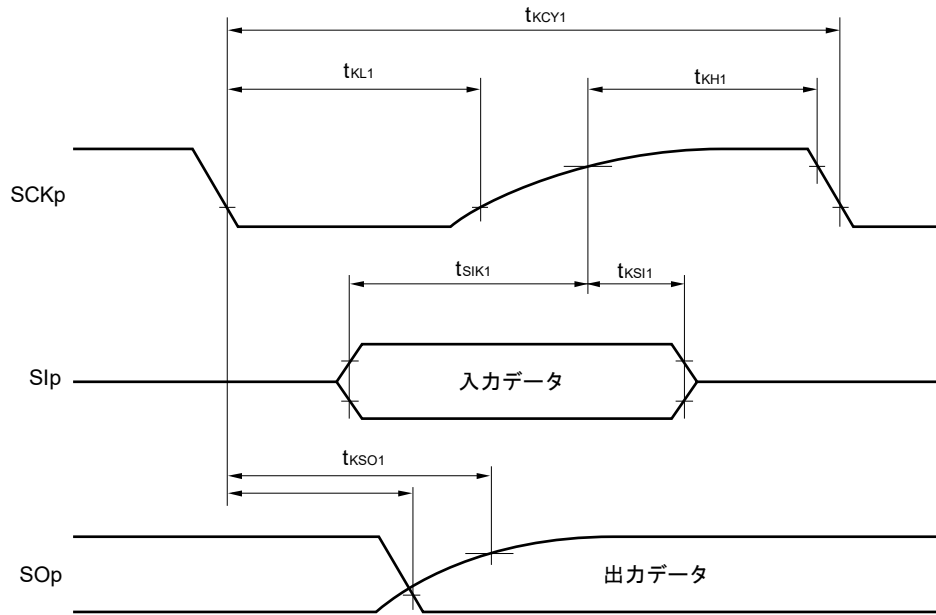
注意 Slp端子はTTL入力バッファ、SOp, $\overline{\text{SCKp}}$ 端子はN-chオープン・ドレーン出力モードを選択。備考1. R_b [Ω]: 通信ライン ($\overline{\text{SCKp}}$, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp, $\overline{\text{SCKp}}$) 負荷容量値,V_b [V]: 通信ライン電圧

2. p: CSIp (p = 00, 01, 10, 11), m: ユニットm (m = 0, 1), n: チャネルn (n = 0, 1)

3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 Vのとき: V_{IH} = 2.2 V, V_{IL} = 0.8 V

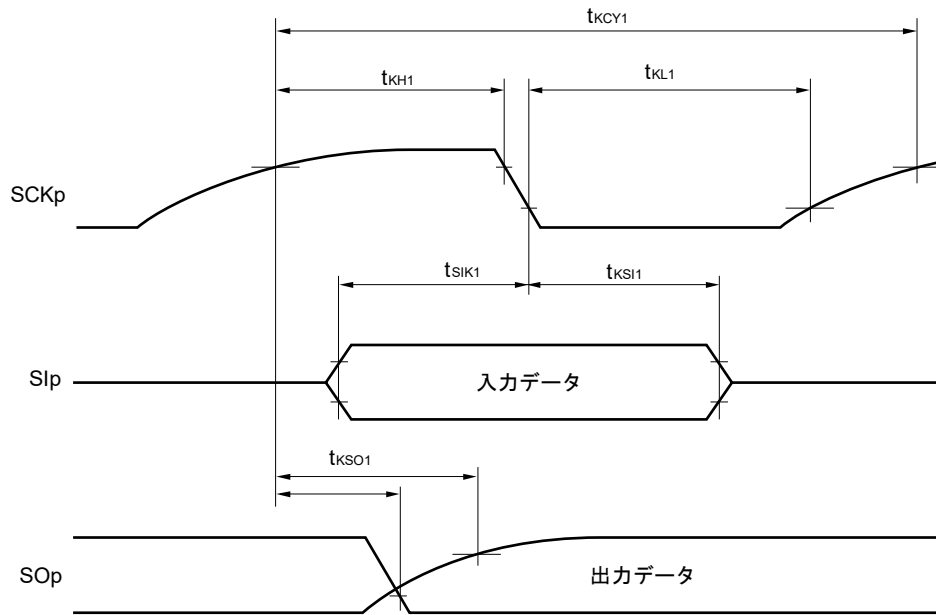
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



(10) 異電位 (3V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 通常スルー・レート)

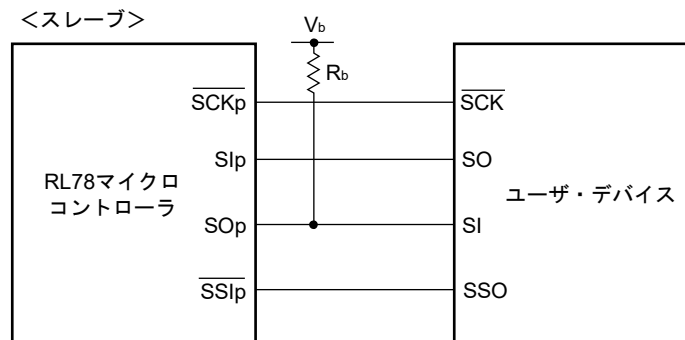
($T_A = -40 \sim +125^\circ\text{C}$, $4.0\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	$t_{\text{KCY}2}$	$2.7\text{V} \leq \text{V}_b \leq \text{V}_{\text{DD}}$ $20\text{MHz} < f_{\text{MCK}} \leq 24\text{MHz}$	$12/f_{\text{MCK}}$			ns
		$8\text{MHz} < f_{\text{MCK}} \leq 20\text{MHz}$	$10/f_{\text{MCK}}$			ns
		$4\text{MHz} < f_{\text{MCK}} \leq 8\text{MHz}$	$8/f_{\text{MCK}}$			ns
		$f_{\text{MCK}} \leq 4\text{MHz}$	$6/f_{\text{MCK}}$			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	$t_{\text{KH}2}$, $t_{\text{KL}2}$	$2.7\text{V} \leq \text{V}_b \leq \text{V}_{\text{DD}}$	$t_{\text{KCY}2}/2 - 20$			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) 注1	$t_{\text{SIK}2}$		90			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) 注1	$t_{\text{KS}2}$		$1/f_{\text{MCK}} + 50$			ns
$\overline{\text{SCKp}}$ ↓→SO出力遅延時間注2	$t_{\text{KSO}2}$	$2.7\text{V} \leq \text{V}_b \leq \text{V}_{\text{DD}}$, $\text{C}_b = 30\text{pF}$, $\text{R}_b = 1.4\text{k}\Omega$			$2/f_{\text{MCK}} + 120$	ns
SSIpセットアップ時間	$t_{\text{SSI}K}$	DAP=0	120			ns
		DAP=1	$1/f_{\text{MCK}} + 120$			ns
SSIpホールド時間	t_{KSSI}	DAP=0	$1/f_{\text{MCK}} + 120$			ns
		DAP=1	120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

CSIモード接続図 (異電位通信時)



注意 Slp, $\overline{\text{SCKp}}$ 端子およびSSIp端子はTTL入力バッファ、SOp端子はN-chオープン・ドレイン出力モードを選択。

備考1. $\text{R}_b [\Omega]$: 通信ライン (SOp) プルアップ抵抗値, $\text{C}_b [\text{F}]$: 通信ライン (SOp) 負荷容量値,

$\text{V}_b [\text{V}]$: 通信ライン電圧

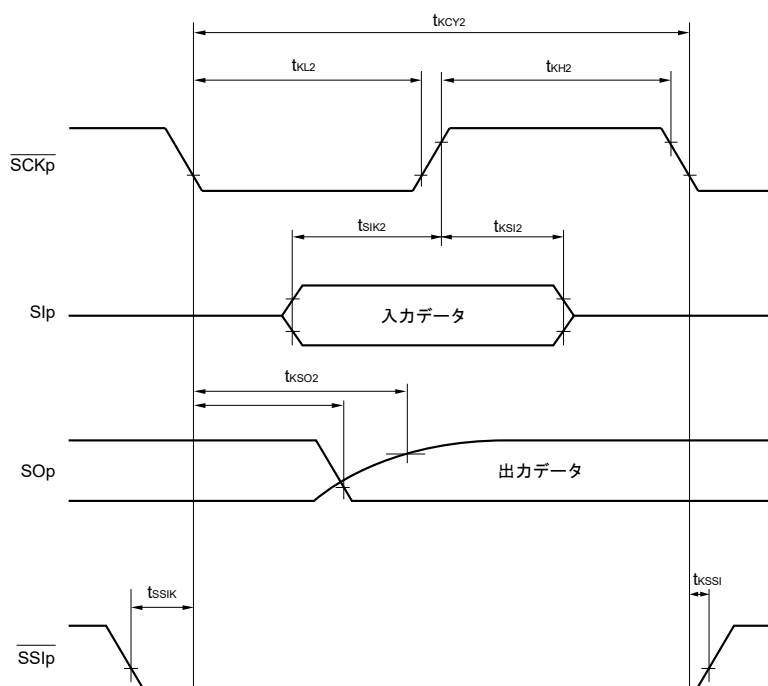
2. p : CSIp ($p = 00, 01, 10, 11$), m : ユニット m ($m = 0, 1$), n : チャンネル n ($n = 0, 1$)

3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$, $2.7\text{V} \leq \text{V}_b \leq 4.0\text{V}$ のとき: $\text{V}_{\text{IH}} = 2.2\text{V}$, $\text{V}_{\text{IL}} = 0.8\text{V}$

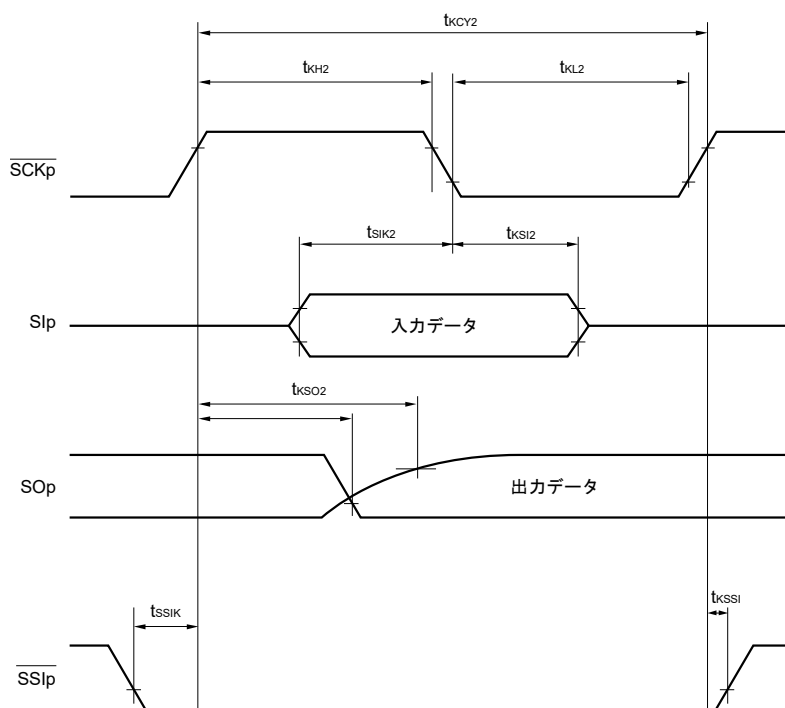
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



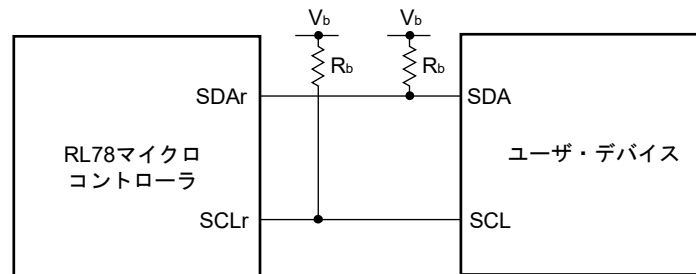
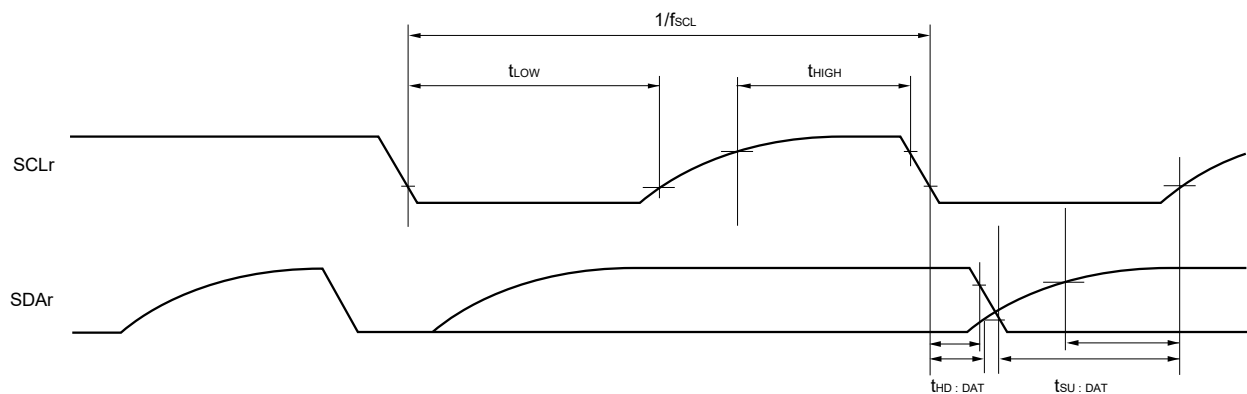
(11) 異電位 (3 V系) 通信時 (簡易I²Cモード)

(SDArはTTL入力バッファ・モード, N-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード,
SCLrはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード)

($T_A = -40 \sim +125^\circ\text{C}$, $4.0\text{ V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = V_{\text{DD}} \leq 5.5\text{ V}$, $V_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{ V}$)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	$2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}\Omega$		400 ^注	kHz
SCLr = "L"のホールド・タイム	t_{LOW}	$2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	1200		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	$2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	600		ns
データ・セットアップ時間 (受信時)	$t_{\text{SU}} : \text{DAT}$	$2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	$135 + 1/f_{\text{MCK}}$		ns
データ・ホールド時間 (送信時)	$t_{\text{HD}} : \text{DAT}$	$2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	0	140	ns

注 かつ $f_{\text{SCL}} \leq f_{\text{MCK}}/4$

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

注意 SDAr端子はTTL入力バッファかつN-chオープン・ドレイン出力モード、SCLr端子はN-chオープン・ドレイン出力モードを選択。

備考1. R_b [Ω] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値,

V_b [V] : 通信ライン電圧

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

4.5.2 シリアル・インタフェースII CA

$$(T_A = -40 \sim +125^{\circ}\text{C}, 2.7\text{V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = \text{V}_{\text{DD}} \leq 5.5\text{V}, \text{V}_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{V})$$

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード・プラス： 10 MHz ≤ f _{MCK}					0	1000	kHz
		ファースト・モード： 3.5 MHz ≤ f _{MCK}			0	400			kHz
		標準モード： 1 MHz ≤ f _{MCK}	0	100					kHz
リスタート・コンディションの セットアップ時間 ^{注1}	t _{SU} : STA		4.7		0.6		0.26		μs
ホールド時間	t _{HD} : STA		4.0		0.6		0.26		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		4.7		1.3		0.5		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間 (受信時)	t _{SU} : DAT		250		100		50		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD} : DAT		0	3.45	0	0.9	0		μs
ストップ・コンディションの セットアップ時間	t _{SU} : STO		4.0		0.6		0.26		μs
バス・フリー時間	t _{BUF}		4.7		1.3		0.5		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスを生成します。

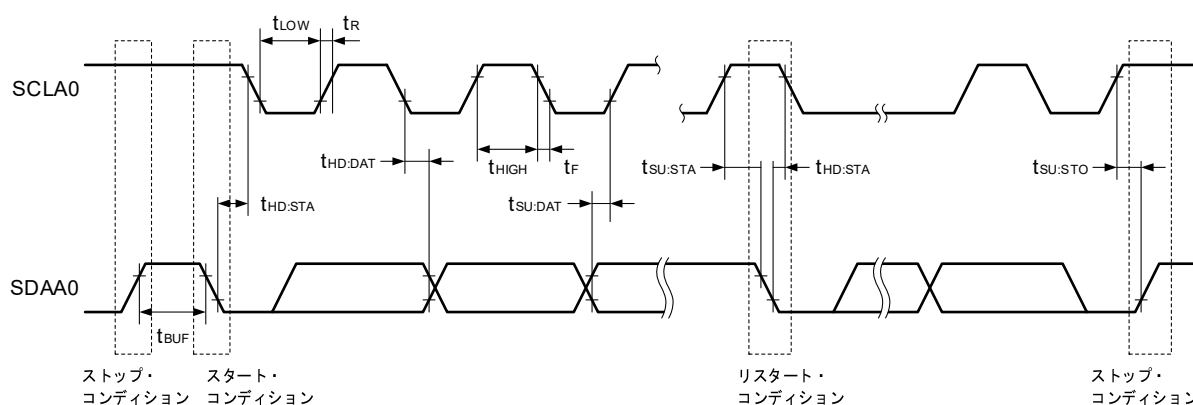
2. t_{HD:DAT}の最大値 (MAX.) は、通常転送時の数値であり、 $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは、ウェイトがかかります。

備考 各モードにおける C_b （通信ライン容量）のMAX.値と、そのときの R_b （通信ライン・プルアップ抵抗値）の値は、次のとおりです。

標準モード : $C_b = 400 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$

ファースト・モード : $C_b = 320 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$ ファースト・モード・プラス : $C_b = 120 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$

IICAシリアル転送タイミング



4.5.3 オンチップ・デバッグ (UART)

(T_A = -40~+125°C, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	—		115.2 k		1 M	bps

4.5.4 LIN/UARTモジュール（RLIN3）UARTモード

(T_A = -40~+125°C, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	—	動作モード、HALTモード	LIN通信クロック源 (f _{CLK} またはf _{MX}) 4 MHz~24 MHz			4000	kbps
		SNOOZEモード	LIN通信クロック源 (f _{CLK}) 1 MHz~24 MHz ユーザ・オプション・バイト (000C2H/020C2H) の FRQSEL4 = 0			4.8	
			LIN通信クロック源 (f _{CLK}) 1 MHz~24 MHz ユーザ・オプション・バイト (000C2H/020C2H) の FRQSEL4 = 1			2.4	

4.6 アナログ特性

4.6.1 A/Dコンバータ特性

(1) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象ANI端子: ANI2-ANI23 (V_{DD} を電源とするANI端子)

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$, 基準電圧(+) = AV_{REFP} ,
基準電圧(-) = $AV_{REFM} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$		± 1.2	± 3.0	LSB
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$		± 1.2	± 3.5	LSB
変換時間	t_{CONV}	10ビット分解能 $4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$	2.125		39	μs
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	3.1875		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 0.25	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 1.5	LSB
基準電圧(+)	AV_{REFP}		2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}		0		AV_{REFP}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

(2) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象ANI端子: ANI24-ANI30 (EV_{DD0} を電源とするANI端子)

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$, 基準電圧(+) = AV_{REFP} ,
基準電圧(-) = $AV_{REFM} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$		± 1.2	± 4.5	LSB
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$		± 1.2	± 5.0	LSB
変換時間	t_{CONV}	10ビット分解能 $4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$	2.125		39	μs
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	3.1875		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 0.35	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 2.0	LSB
基準電圧(+)	AV_{REFP}		2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}		0		AV_{REFP} かつ EV_{DD0}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

(3) $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$), $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$) 選択時,

対象ANI端子 : ANI0-ANI23, ANI24-ANI30

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$, 基準電圧(+) = V_{DD} ,

基準電圧(-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	± 1.2	± 5.0	LSB
		ANI0-ANI23	$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	± 1.2	± 5.5	LSB
		10ビット分解能	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	± 1.2	± 6.5	LSB
		ANI24-ANI30	$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	± 1.2	± 7.0	LSB
変換時間	t_{CONV}	10ビット分解能	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	2.125	39	μs
			$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	3.1875	39	μs
ゼロスケール誤差 ^{注1,2}	EVS	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 0.50	%FSR
		ANI0-ANI23				
		10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 0.60	%FSR
		ANI24-ANI30				
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 0.50	%FSR
		ANI0-ANI23				
		10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 0.60	%FSR
		ANI24-ANI30				
積分直線性誤差 ^{注1}	ILE	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 3.5	LSB
		ANI0-ANI23				
		10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 4.0	LSB
		ANI24-ANI30				
微分直線性誤差 ^{注1}	DLE	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI23 ^{注3}	0		V_{DD}	V
		ANI24-ANI30 ^{注3}	EV_{SS}		EV_{DD0}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 製品により端子数は異なります。詳細は「2.1 端子機能一覧」を参照してください。

(4) $AV_{REF}(+) =$ 内部基準電圧 ($ADREFP1 = 1, ADREFP0 = 0$) , $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象ANI端子 : ANI0, ANI2-ANI23, ANI24-ANI30

($T_A = -40 \sim +125^{\circ}\text{C}$, $2.7\text{ V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧(+)= V_{BGR} ,
基準電圧(-)= $AV_{REFM} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	t _{CONV}	8ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			±1.0	LSB
基準電圧 (+)	V _{BGR}			1.38	1.45	1.5	V
アナログ入力電圧	V _{AIN}			0		V _{BGR}	V

- 注1. 量子化誤差 (±1/2 LSB) を含みません。
2. フルスケール値に対する比率 (%FSR) で表します。

4.6.2 温度センサ特性

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP25}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.1		V
リファレンス出力電圧	V _{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP25}	温度センサ電圧の温度依存		-3.3		mV/°C
動作安定待ち時間	t _{AMP}		5			μs

4.6.3 D/Aコンバータ特性

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4MΩ, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$			±2.5	LSB
		Rload = 8MΩ, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$			±2.5	LSB
セトリング・タイム	t _{SET}	Cload = 20pF, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$			3	μs

4.6.4 コンパレータ特性

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V _{IOCOMP}			±5	±40	mV
入力電圧範囲	V _{ICMP}		0		V _{DD}	V
応答時間	t _{CR} , t _{CF}	入力振幅±100 mV		70	200	ns
入力チャネル切り替え時の安定待ち時間 ^{注1}	t _{WAIT}	入力振幅±100 mV	300			ns
動作安定待ち時間 ^{注2}	t _{CMP}	$3.3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	1			μs
		$2.7\text{V} \leq V_{\text{DD}} < 3.3\text{V}$	3			μs

注1. コンパレータの入力チャネル切り替わり後からコンパレータが出力に切り替わるまでの時間。

2. コンパレータの動作許可 (CMPCTLレジスタのHCMPONビット = 1) からコンパレータがDC/AC特性を満足できる状態になるまでの時間。

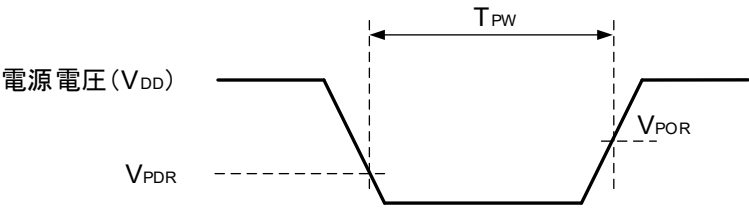
4.6.5 POR回路特性

($T_A = -40 \sim +125^{\circ}\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 ^{注1}	V_{POR}	電源立ち上がり時	1.48	1.56	1.62	V
	V_{PDR}	電源立ち下がり時	1.47	1.55	1.61	V
最小パルス幅 ^{注2}	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注1. POR回路の特性を示すものであり、下限動作電圧（2.7V）未満での通常動作を保証するものではありません。

2. 電源電圧（ V_{DD} ）が V_{PDR} を下回った場合に、POR回路によるリセット動作に必要な時間です。



4.6.6 LVD回路特性

(1) リセット・モード, 割り込みモードのLVD検出電圧

($T_A = -40 \sim +125^\circ\text{C}$, $V_{PDR} \leq V_{DD0} = V_{DD1} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = V_{SS0} = V_{SS1} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVD0} 電源立ち上がり時	4.62	4.74	4.94	V
		電源立ち下がり時	4.52	4.64	4.84	V
	V_{LVD1}	電源立ち上がり時	4.50	4.62	4.82	V
		電源立ち下がり時	4.40	4.52	4.71	V
	V_{LVD2}	電源立ち上がり時	4.30	4.42	4.61	V
		電源立ち下がり時	4.21	4.32	4.51	V
	V_{LVD3}	電源立ち上がり時	3.13	3.22	3.39	V
		電源立ち下がり時	3.07	3.15	3.31	V
	V_{LVD4}	電源立ち上がり時	2.95	3.02	3.17	V
		電源立ち下がり時	2.89	2.96	3.09	V
	V_{LVD5}	電源立ち上がり時	2.74	2.81	2.95	V
		電源立ち下がり時	2.68 ^注	2.75	2.88	V
最小パルス幅	t_{LW}		300			μs
検出遅延	t_{LD}				300	μs

注 MIN.値は下限動作電圧 (2.7 V) を下回りますが, リセット・モードで使用時は, 電源立ち下がり時においてリセットがかかるまでは通常動作 ($V_{DD} = 2.7 \text{ V}$ 時と同等の値での動作) できます。

(2) 割り込み&リセット・モードのLVD検出電圧

($T_A = -40 \sim +125^\circ\text{C}$, $V_{PDR} \leq V_{DD0} = V_{DD1} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = V_{SS0} = V_{SS1} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み & リセット・モード	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 0, 1 ^{注1} , 立ち下がりがリセット電圧 : 2.75 V		2.68 ^{注2}	2.75	2.88	V
	V _{LVD2}	LVIS1, LVIS0 = 0, 0	立ち上がりがリセット解除電圧	4.30	4.42	4.61	V
			立ち下がりが割り込み電圧	4.21	4.32	4.51	V
	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 0 ^{注1} , 立ち下がりがリセット電圧 : 2.75 V		2.68 ^{注2}	2.75	2.88	V
	V _{LVD1}	LVIS1, LVIS0 = 0, 0	立ち上がりがリセット解除電圧	4.50	4.62	4.82	V
			立ち下がりが割り込み電圧	4.40	4.52	4.71	V
	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1 ^{注1} , 立ち下がりがリセット電圧 : 2.75 V		2.68 ^{注2}	2.75	2.88	V
	V _{LVD3}	LVIS1, LVIS0 = 0, 1	立ち上がりがリセット解除電圧	3.13	3.22	3.39	V
			立ち下がりが割り込み電圧	3.07	3.15	3.31	V
	V _{LVD0}	LVIS1, LVIS0 = 0, 0	立ち上がりがリセット解除電圧	4.62	4.74	4.94	V
			立ち下がりが割り込み電圧	4.52	4.64	4.84	V

注1. オプション・バイトの設定値を示しています。

2. MIN.値は下限動作電圧 (2.7 V) を下回りますが, リセット・モードで使用時は, 電源立ち下がり時においてリセットがかかるまでは通常動作 ($V_{DD} = 2.7 \text{ V}$ 時と同等の値での動作) できます。

4.7 電源立ち上げ時間

($T_A = -40 \sim +125^\circ\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	S_{vrmax}	$0\text{V} \rightarrow V_{DD}$ ($V_{POC2}=0$ または1 ^{注2})			50 ^{注3}	V/ms
最小電源電圧立ち上げ傾き ^{注1}	S_{vrmin}	$0\text{V} \rightarrow 2.7\text{V}$	6.5			V/ms

注1. 最小電源電圧立ち上げ傾きは、以下の条件の場合にのみ適用対象になります。

電圧検出 (LVD) 回路が未使用 ($V_{POC2}=1$) かつ外部リセット回路未使用もしくは $V_{DD}=2.7\text{V}$ までリセットがかからない場合。

2. オプション・バイトの設定値を示しています。

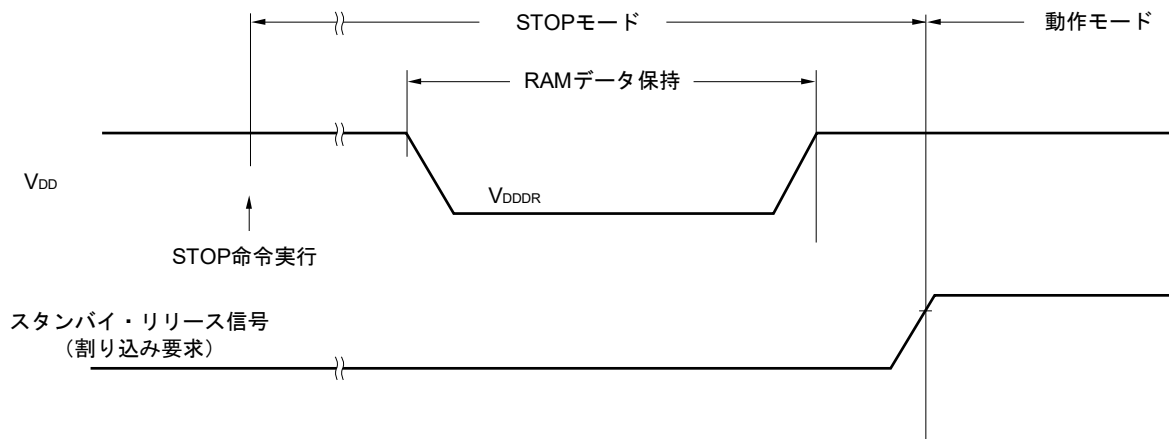
3. 電源が V_{PDR} 以下に下降し、PORリセットが発生した場合は、 0V まで下降せずに復帰する場合も本スペックの適用対象になります。

4.8 RAMデータ保持特性

($T_A = -40 \sim +125^\circ\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.47 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持しません。



4.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}		1		24	MHz
コード・フラッシュの書き換え回数 ^{注1, 2, 3}	C _{erwr}	保持20年 T _A = +85°C ^{注4}	1,000			回
データ・フラッシュの書き換え回数 ^{注1, 2, 3}		保持20年 T _A = +85°C ^{注4}	10,000			
		保持5年 T _A = +85°C ^{注4}	100,000			
消去時間	T _{erasa}	ブロック消去	5			ms
書き込み時間	T _{wrwa}	1ワード書き込み	10			μs

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数の起点は消去後からとなります。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用したときになります。
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
4. 保持の平均温度です。

5. 電気的特性 (Yグレード)

- 注意1. RL78/F13, F14には、開発／評価用にオンチップ・デバッグ機能を搭載しています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は、EV_{DD0}とEV_{DD1}をV_{DD}に、EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。
3. 製品により搭載している端子が異なります。詳細は、「1.5 端子接続図」および「2.1 端子機能一覧」を参照してください。
4. 製品／ピン数／コード・フラッシュ・メモリサイズに応じて、以下、5つのグループを定義しています。本章では、内容によりグループ名で説明しているところがあります。その際には、以下の定義を参照して読んでください。
- グループA : RL78/F13 (LIN搭載) の20, 30, 32, 48, 64ピンかつコード・フラッシュ・メモリが16 KB~64 KBの製品
- グループB : RL78/F13 (LIN搭載) の48, 64ピンかつコード・フラッシュ・メモリが96 KB~128 KBの製品
およびRL78/F13 (LIN搭載) の80ピンかつコード・フラッシュ・メモリが64 KB~128 KBの製品
- グループC : RL78/F13 (CAN&LIN搭載) の30, 32, 48, 64, 80ピンかつコード・フラッシュ・メモリが32 KB~128 KBの製品
- グループD : RL78/F14の30, 32, 48, 64, 80ピンかつコード・フラッシュ・メモリが48 KB~96 KBの製品
- グループE : RL78/F14の48, 64, 80ピンかつコード・フラッシュ・メモリが128 KB~256 KBの製品
およびRL78/F14の100ピンかつコード・フラッシュ・メモリが64 KB~256 KBの製品

5.1 絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	-0.5~+6.5	V
	V _{SS}		-0.5~+0.3	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	-0.5~+0.3	V
REGC端子入力電圧	V _{IREGC}	REGC	-0.3~+2.8 かつ-0.3~V _{DD} +0.3 ^{注1}	V
入力電圧	V _{I1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注4} , P106, P107, P120, P125-P127, P140, P150-P157	-0.3~EV _{DD0} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I2}	P33, P34, P80-P87, P90-P97 ^{注4} , P100-P105, P121-P124, P137, RESET	-0.3~V _{DD} +0.3 ^{注2}	V
出力電圧	V _{O1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注4} , P106, P107, P120, P125-P127, P130, P140, P150-P157	-0.3~EV _{DD0} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{O2}	P33, P34, P80-P87, P90-P97 ^{注4} , P100-P105	-0.3~V _{DD} +0.3	V
アナログ入力電圧	V _{AI1}	ANI24-ANI30	-0.3~EV _{DD0} +0.3 かつ-0.3~AV _{REF(+)} +0.3 ^{注2, 3}	V
	V _{AI2}	ANI0-ANI23	-0.3~V _{DD} +0.3 かつ-0.3~AV _{REF(+)} +0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47~1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5V以下であること。
3. A/D変換対象の端子は、AVREF(+)+0.3を越えないでください。
4. 端子の入出力バッファ電源は、「表2-1 各端子の入出力バッファ電源」をご参照ください

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157	－40	mA
		端子合計 －170 mA	P01, P02, P40-P47, P92-P97 ^注 , P120, P125-P127, P150-P153	－70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	－100	mA
	I _{OH2}	1端子	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	－0.5	mA
		端子合計		－2	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157	40	mA
		端子合計 170 mA	P01, P02, P40-P47, P92-P97 ^注 , P120, P125-P127, P150-P153	70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	100	mA
	I _{OL2}	1端子	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	1	mA
		端子合計		5	mA
動作周囲温度	T _A	通常動作時		－40～＋150	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			－65～＋150	℃

注 端子の入出力バッファ電源は、「表2-1 各端子の入出力バッファ電源」をご参照ください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

5.2 発振回路特性

5.2.1 メイン・システム・クロック発振回路特性

($T_A = -40 \sim +150^{\circ}\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子／ 水晶振動子		X1クロック発振周波数 (fx)	$2.7\text{V} \leq \text{V}_{\text{DD}} \leq 5.5\text{V}$	1.0		20.0	MHz

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. 発振子の選択および発振回路定数については、発振子メーカー様にお問い合わせいただく等、お客様にて決めてください。
また、お客様のシステムにて十分な発振評価をしてください。X1クロックの発振安定時間は、使用する発振子で発振安定時間を十分に評価してから、発振安定時間カウンタ状態レジスタ (OSTC) と発振安定時間選択レジスタ (OSTS) で発振安定時間を決定してください。

5.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +150^{\circ}\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^注	f _{IH}		1		48	MHz
高速オンチップ・オシレータ 発振周波数精度	—		−5		+5	%
低速オンチップ・オシレータ 発振周波数	f _{IL} , f _{WDT}			15		kHz
低速オンチップ・オシレータ 発振周波数精度	—		−15		+15	%

注 高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H/020C2H）のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

5.2.3 サブシステム・クロック発振回路特性

XT1発振回路は使用しないでください。

5.2.4 PLL回路特性

(TA = -40~+150°C, 2.7V ≤ EVDD0 = EVDD1 = VDD ≤ 5.5V, VSS = EVSS0 = EVSS1 = 0V)

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL入力可能クロック周波数 ^{注1}	f _{PLLI}	PLLMUL = 0	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
		PLLMUL = 1	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
PLL出力周波数 (センター値)	f _{PLL}	PLLMUL = 0	PLLDIV0 = 0	f _{PLLI} × 12/2			MHz
			PLLDIV0 = 1	f _{PLLI} × 12/4			MHz
		PLLMUL = 1 ^{注4}	PLLDIV0 = 0 ^{注4}	f _{PLLI} × 16/2			MHz
			PLLDIV0 = 1	f _{PLLI} × 16/4			MHz
ロングターム・ジッタ ^{注2, 3}	t _{LJ}	f _{PLL} = 24MHz (480カウント)		-2		+2	ns
		f _{PLL} = 32MHz (640カウント)		-2		+2	ns
		f _{PLL} = 48MHz (960カウント)		-2		+2	ns

注1. PLL入力クロックが高速オンチップ・オシレータ・クロックの場合、MIN,MAX値は高速オンチップ・オシレータ発振周波数精度の範囲になります。

2. 本特性は設計保証であり、出荷時のテストは行いません。
3. 20μsの期間を意味しています。
4. f_{PLLI} > 6MHzのとき、PLLMUL = 1かつPLLDIV0 = 0は設定禁止です。

5.3 DC特性

5.3.1 端子特性

各項目の対応するポートについては「第2章 端子機能」を参照してください。

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

(1/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注3} , P106, P107, P120, P125-P127, P130, P140, P150-P157 1端子	$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$		-5.0	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD}0} < 4.0\text{V}$		-3.0	mA
		P10, P12, P14, P30, P120, P140 1端子 (特殊スルー・レート)	$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$		-0.6	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD}0} < 4.0\text{V}$		-0.2	mA
		P01, P02, P40-P47, P92-P97 ^{注3} , P120, P125-P127, P150-P153 合計 (デューティ $\leq 70\%$ 時 ^{注2})	$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$		-20.0	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD}0} < 4.0\text{V}$		-10.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 (デューティ $\leq 70\%$ 時 ^{注2})	$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$		-30.0	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD}0} < 4.0\text{V}$		-19.0	mA
	I _{OH2}	全端子合計 (デューティ $\leq 70\%$ 時 ^{注2})	$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$		-32.0	mA
			$2.7\text{V} \leq \text{EV}_{\text{DD}0} < 4.0\text{V}$		-29.0	mA
	I _{OH2}	P33, P34, P80-P87, P90-P97 ^{注3} , P100-P105 1端子	$2.7\text{V} \leq \text{V}_{\text{DD}} \leq 5.5\text{V}$		-0.1	mA
		端子合計 (デューティ $\leq 70\%$ 時 ^{注2})	$2.7\text{V} \leq \text{V}_{\text{DD}} \leq 5.5\text{V}$		-2.0	mA

注1. $\text{EV}_{\text{DD}0}$, $\text{EV}_{\text{DD}1}$, V_{DD} 端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

2. デューティ $\leq 70\%$ の条件での出力電流の値です。

デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を $n\%$ に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{\text{OH}} \times 0.7) / (n \times 0.01)$$

<計算例> $I_{\text{OH}} = -10.0 \text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \div -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. 端子の入出力バッファ電源は、「表2-1 各端子の入出力バッファ電源」をご参照ください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

グループA製品のP10-P12, P70-P72は、N-chオープン・ドレイン・モードを持ちません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(2/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^{注3} , P106, P107, P120, P125-P127, P130, P140, P150-P157 1端子	4.0V ≤ EV _{DD0} ≤ 5.5V		8.5	mA
			2.7V ≤ EV _{DD0} < 4.0V		4.0	mA
		P10, P12, P14, P30, P120, P140 1端子 (特殊スルー・レート)	4.0V ≤ EV _{DD0} ≤ 5.5V		0.59	mA
			2.7V ≤ EV _{DD0} < 4.0V		0.07	mA
		P01, P02, P40-P47, P92-P97 ^{注3} , P120, P125-P127, P150-P153 合計 (デューティ ≤ 70 %時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		20.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		15.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 (デューティ ≤ 70 %時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		35.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		30.0	mA
	I _{OL2}	全端子合計 (デューティ ≤ 70 %時 ^{注2})	4.0 V ≤ EV _{DD0} ≤ 5.5 V		55.0	mA
			2.7 V ≤ EV _{DD0} < 4.0 V		45.0	mA
		P33, P34, P80-P87, P90-P97 ^{注3} , P100-P105 1端子	2.7 V ≤ V _{DD} ≤ 5.5 V		0.4	mA
		端子合計 (デューティ ≤ 70 %時 ^{注2})	2.7 V ≤ V _{DD} ≤ 5.5 V		5.0	mA

注1. 出力端子からEV_{SS0}, EV_{SS1}, V_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ ≤ 70 %の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn %に変更する場合）。

$$\text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流しません。

3. 端子の入出力バッファ電源は、「表2-1 各端子の入出力バッファ電源」をご参照ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(3/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157 (Schmitt 1モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0.65 EV _{DD0}	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0.7 EV _{DD0}	EV _{DD0} ^{注1}	V
	V _{IH2}	P10, P11, P13, P14, P16, P17, P30, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152, P153 (Schmitt 3モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0.8 EV _{DD0}	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0.85 EV _{DD0}	EV _{DD0} ^{注1}	V
	V _{IH3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125 (TTLモード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	2.2	EV _{DD0} ^{注1}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	2.0	EV _{DD0} ^{注1}	V
	V _{IH4} ^{注2}	P33, P34, P80-P87, P90-P97, P100-P105, P137 (Schmitt 3モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.8 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.85 V _{DD}	V _{DD}	V
	V _{IH5}	RESET (Schmitt 1モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.65 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.7 V _{DD}	V _{DD}	V
	V _{IH6}	P121-P124, EXCLK, EXCLKS (Schmitt 2モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0.8 V _{DD}	V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0.8 V _{DD}	V _{DD}	V

注1. P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値はEV_{DD0}です。

2. グループA製品のP92-P96はSchmitt 1モード固定です。

グループB, C, D製品のP96, P97はSchmitt 1モード固定です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(4/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V _{IL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157 (Schmitt 1モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.35 EV _{DD0}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.3 EV _{DD0}	V
	V _{IL2}	P10, P11, P13, P14, P16, P17, P30, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152, P153 (Schmitt 3モード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.5 EV _{DD0}	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.4 EV _{DD0}	V
	V _{IL3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125 (TTLモード)	4.0 V ≤ EV _{DD0} ≤ 5.5 V	0	0.8	V
			2.7 V ≤ EV _{DD0} < 4.0 V	0	0.5	V
	V _{IL4} 注	P33, P34, P80-P87, P90-P97, P100-P105, P137 (Schmitt 3モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.5 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.4 V _{DD}	V
	V _{IL5}	RESET (Schmitt 1モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.35 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.3 V _{DD}	V
	V _{IL6}	P121-P124, EXCLK, EXCLKS (Schmitt 2モード固定)	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.2 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.0 V	0	0.2 V _{DD}	V

注 グループA製品のP92-P96はSchmitt 1モード固定です。

グループB, C, D製品のP96, P97はSchmitt 1モード固定です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(5/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -5.0 mA	EV _{DD0} - 0.9		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -3.0 mA	EV _{DD0} - 0.7		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH1} = -1.0 mA	EV _{DD0} - 0.5		V
	V _{OH2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	2.7 V ≤ V _{DD} ≤ 5.5 V I _{OH2} = -100 μA	V _{DD} - 0.5		V
	V _{OH3}	P10, P12, P14, P30, P120, P140 (特殊スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH3} = -0.6 mA	EV _{DD0} - 0.8		V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OH3} = -0.2 mA	EV _{DD0} - 0.5		V
ロウ・レベル出力電圧	V _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 8.5 mA		0.7	V
			4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 4.0 mA		0.4	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 4.0 mA		0.7	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL1} = 1.5 mA		0.4	V
	V _{OL2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105	2.7 V ≤ V _{DD} ≤ 5.5 V I _{OL2} = 400 μA		0.4	V
	V _{OL3}	P10, P12, P14, P30, P120, P140 (特殊スルー・レート)	4.0 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL3} = 0.6 mA		0.8	V
			2.7 V ≤ EV _{DD0} ≤ 5.5 V, I _{OL3} = 0.07 mA		0.5	V

注. 端子の入出力バッファ電源は、「表2-1 各端子の入出力バッファ電源」をご参照ください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(6/6)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P140, P150-P157	V _I = EV _{DD0}			1	μA
	I _{LIH2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105, P137, $\overline{\text{RESET}}$	V _I = V _{DD}			1	μA
	I _{LIH3}	P121-P124 (X1, X2, EXCLK, EXCLKS)	V _I = V _{DD}	入力ポート時, 外部クロック入力時		1	μA
				発振子接続時		10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97 ^注 , P106, P107, P120, P125-P127, P140, P150-P157	V _I = EV _{SS0}			-1	μA
	I _{LIL2}	P33, P34, P80-P87, P90-P97 ^注 , P100-P105, P137, $\overline{\text{RESET}}$	V _I = V _{SS}			-1	μA
	I _{LIL3}	P121-P124 (X1, X2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時, 外部クロック入力時		-1	μA
				発振子接続時		-10	μA
内蔵プルアップ抵抗	R _U	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P92-P97, P100-P107, P120, P125-P127, P140, P150-P157	V _I = EV _{SS0} , 入力ポート時	10	20	100	kΩ

注. 端子の入出力バッファ電源は、「表2-1 各端子の入出力バッファ電源」をご参照ください。

注意 P10-P17, P60-P63, P70-P72, P120は、N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

5.3.2 電源電流特性

(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(1/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	通常動作 ^{注2}	高速オンチップ・オシレータ・クロック動作	f _{IH} = 48 MHz	f _{CLK} = 24 MHz ^{注3, 4}		5.1	12.5	mA
					f _{IH} = 24 MHz	f _{CLK} = f _{IH} ^{注3, 4}		4.8	11.5	mA
					f _{IH} = 1 MHz	f _{CLK} = f _{IH} ^{注3, 4}		1.0	2.6	mA
				発振子動作	f _{MX} = 20 MHz	f _{CLK} = f _{MX} ^{注3, 5}		4.2	9.5	mA
					f _{MX} = 1 MHz	f _{CLK} = f _{MX} ^{注3, 5}		0.9	2.6	mA
				発振子動作 (PLL動作) (PLL入力クロック = f _{MX})	f _{PLL} = 48 MHz, f _{MX} = 8 MHz	f _{CLK} = 24 MHz ^{注3, 6}		5.0	12.5	mA
					f _{PLL} = 24 MHz, f _{MX} = 8 MHz	f _{CLK} = 24 MHz ^{注3, 6}		4.9	11.5	mA
					f _{PLL} = 24 MHz, f _{MX} = 4 MHz	f _{CLK} = 24 MHz ^{注3, 6}		4.7	11.5	mA
				サブシステム・クロック動作 (f _{SUB} =f _{EXS})	f _{SUB} = 32.768 kHz	f _{CLK} = f _{SUB} ^{注7}				
						グループA～D		6.0	170.0	μA
						グループE		6.0	270.0	
				低速オンチップ・オシレータ・クロック動作	f _{IL} = 15 kHz	f _{CLK} = f _{IL} ^{注8}				
						グループA～D		3.0	160.0	μA
						グループE		3.0	260.0	

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

- CPU全命令実行時の電流。
- MAX.値にはバックグラウンド・オペレーション (BGO) 動作を除く周辺動作電流を含みます。ただし、LVD回路、A/Dコンバータ、D/Aコンバータ、コンパレータは停止。
- 高速システム・クロック、サブシステム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。
- サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- サブシステム・クロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。
- 高速システム・クロック、サブシステム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX} : 高速システム・クロック周波数

- f_{SUB} : サブシステム・クロック周波数
- f_{EXS} : 外部サブシステム・クロック周波数
- f_{PLL} : PLLクロック周波数
- f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- f_{CLK} : CPU/周辺ハードウェア・クロック周波数

(T_A = -40 ~ +150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(2/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1, 3}	IDD2	HALTモード ^{注2}	高速オンチップ・オシレータ・クロック動作	f _{IH} = 48 MHz	f _{CLK} = 24 MHz ^{注5}		0.9	8.5	mA	
				f _{IH} = 24 MHz	f _{CLK} = f _{IH} ^{注5}		0.7	7.5	mA	
				f _{IH} = 1 MHz	f _{CLK} = f _{IH} ^{注5}		0.3	1.6	mA	
			発振子動作	f _{MX} = 20 MHz	f _{CLK} = f _{MX} ^{注6}		0.6	6.5	mA	
				f _{MX} = 1 MHz	f _{CLK} = f _{MX} ^{注6}		0.2	1.6	mA	
			発振子動作 (PLL動作) (PLL入力クロック = f _{MX})	f _{PLL} = 48 MHz, f _{MX} = 8 MHz	f _{CLK} = 24 MHz ^{注7}		0.9	8.5	mA	
				f _{PLL} = 24 MHz, f _{MX} = 8 MHz	f _{CLK} = 24 MHz ^{注7}		0.8	7.5	mA	
				f _{PLL} = 24 MHz, f _{MX} = 4 MHz	f _{CLK} = 24 MHz ^{注7}		0.6	7.5	mA	
			サブシステム・クロック動作 (f _{SUB} =f _{EXS})	f _{SUB} = 32.768 kHz	f _{CLK} = f _{SUB} ^{注8}					
						グループA～D		0.7	165.0	μA
				グループE		0.7	265.0			
			低速オンチップ・オシレータ・クロック動作	f _{IL} = 15 kHz	f _{CLK} = f _{IL} ^{注9}					
						グループA～D		0.7	155.0	μA
				グループE		0.7	255.0			
	IDD3	STOPモード ^{注4}	T _A = +25℃	グループA～D			0.5		μA	
				グループE			0.5			
			T _A = +50℃	グループA～D				2.5		
				グループE				4.5		
			T _A = +70℃	グループA～D				4.5		
				グループE				8.0		
			T _A = +105℃	グループA～D				30.0		
				グループE				50.0		
			T _A = +125℃	グループA～D				60.0		
				グループE				100.0		
			T _A = +150℃	グループA～D				150.0		
				グループE				250.0		

注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。ただし、I/Oバッファ、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中にHALTモードに移移した場合です。

3. MAX.値には周辺動作電流、STOPリーク電流を含みます。ただし、ウォッチドッグ・タイマ、LVD回路、A/Dコンバータ、D/Aコンバータ、コンパレータは停止。

4. 高速システム・クロック、サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック、サブシステム・クロック、PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック、PLLクロック、高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

9. 高速システム・クロック、サブシステム・クロック、PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

(備考は、次ページにあります。)

- 備考1. f_{MX} : 高速システム・クロック周波数
2. f_{SUB} : サブシステム・クロック周波数
3. f_{EXS} : 外部サブシステム・クロック周波数
4. f_{PLL} : PLLクロック周波数
5. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
6. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
7. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V) (3/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1, 2}	ISNOZ	SNOOZEモード	A/Dコンパレータ動作	モード遷移中			1.0	1.3	mA
				変換動作中	標準モード AV _{REFP} = V _{DD} = 5.0V		2.1	2.6	mA
		DTC動作				4.5		mA	

- 注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。
ただし、I/Oバッファ、内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。
2. MAX.値にはSTOPリーク電流を含みます。

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチ ドッグ・タイマ 動作電流	I_{WDT} ^{注1,2}	$\text{f}_{\text{IL}} = 15 \text{ kHz}$			0.22		μA
A/Dコンバータ 動作電流	I_{ADC} ^{注3}	最高速変換時	標準モード, $\text{AV}_{\text{REFP}} = \text{V}_{\text{DD}} = 5.0 \text{ V}$		1.3	1.7	mA
		内部基準電圧選択時 ^{注5}			75.0		μA
LVD動作電流	I_{LVD} ^{注4}				0.08		μA
温度センサ 動作電流	I_{TMPS}				75.0		μA
D/Aコンバータ 動作電流	I_{DAC}	1チャンネル当たり			0.8	1.5	mA
コンパレータ 動作電流	I_{CMP}				50.0		μA
BGO動作電流	I_{BGO} ^{注6}				2.50	12.20	mA

注1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

- ウォッチドッグ・タイマにのみ流れる電流です（15 kHzオンチップ・オシレータの動作電流を含みます）。STOPモード時にウォッチドッグ・タイマが動作中の場合， I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合， I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。
- LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合， I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。
- 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。
- BGOの動作電流です。動作モードまたはHALTモード時にBGOが動作中の場合， I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

5.4 AC特性

5.4.1 基本動作

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	T_{CY}	高速オンチップ・オシレータ・クロック動作	0.04166		1	μs
		高速システム・クロック動作	0.05		1	μs
		PLLクロック動作	0.04166		1	μs
		サブシステム・クロック動作	28.5	30.5	34.5	μs
		低速オンチップ・オシレータ・クロック動作		66.6		μs
		セルフ・プログラミング時	0.04166		1	μs
CPU/周辺ハードウェア・クロック周波数	f_{CLK}		0.04166		66.6	μs
外部システム・クロック周波数	f_{EX}		1.0		20.0	MHz
	f_{EXS}		29		35	kHz
外部システム・クロック 入力ハイ、ロウ・レベル幅	$t_{\text{EXH}}, t_{\text{EXL}}$		24			ns
	$t_{\text{EXHS}}, t_{\text{EXLS}}$		13.7			μs
TI00-TI07, TI10-TI17入力ハイ・レベル幅、ロウ・レベル幅	$t_{\text{TIH}}, t_{\text{TIL}}$		$1/f_{\text{MCK}} + 10$			ns
TO00-TO07, TO10-TO17 出力周波数	f_{TO}	すべてのTO端子 通常スルー・レート $C = 30\text{ pF}$	$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$		12	MHz
			$2.7\text{V} \leq \text{EV}_{\text{DD}0} < 4.0\text{V}$		6	MHz
		TO01, TO06, TO07, TO11, TO13のみ 特殊スルー・レート $C = 30\text{ pF}$			2	MHz
PCLBUZ0出力周波数	f_{PCL}	通常スルー・レート $C = 30\text{ pF}$	$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$		12	MHz
			$2.7\text{V} \leq \text{EV}_{\text{DD}0} < 4.0\text{V}$		6	MHz
		特殊スルー・レート $C = 30\text{ pF}$			2	MHz
タイマRJ入力サイクル	t_{C}	TRJIO0	100			ns
タイマRJ入力ハイ・レベル幅、 ロウ・レベル幅	$t_{\text{WH}}, t_{\text{WL}}$	TRJIO0	40			ns
割り込み入力ハイ・レベル幅、 ロウ・レベル幅	$t_{\text{INTH}}, t_{\text{INTL}}$	INTP0-INTP13 ^注	1			μs
KR0-KR7キー割り込み入力 ロウ・レベル幅	t_{KR}		250			ns
RESETロウ・レベル幅	t_{RSL}		10			μs

注 RESET, INTP0-INTP3, INTP12, INTP13にはMIN. 100 nsのノイズ・フィルタを持ちます。

注意 発振周波数精度誤差を除きます。

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

(2/2)

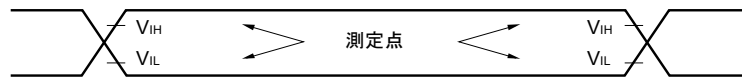
項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート出力立ち上がり時間, 立ち下がり時間	t _{RO} , t _{FO}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P96, P97, P106, P107, P120, P125-P127, P130, P140, P150-P157 (通常スルー・レート) C = 30 pF	4.0V ≤ EV _{DD0} ≤ 5.5V		25	ns
			2.7V ≤ EV _{DD0} < 4.0V		55	ns
		P10, P12, P14, P30, P120, P140 (特殊スルー・レート) C = 30 pF	4.0V ≤ EV _{DD0} ≤ 5.5V	25 ^注	60	ns
			2.7V ≤ EV _{DD0} < 4.0V		100	ns

注 T_A = +25°C, EV_{DD0} = 5.0 V時。

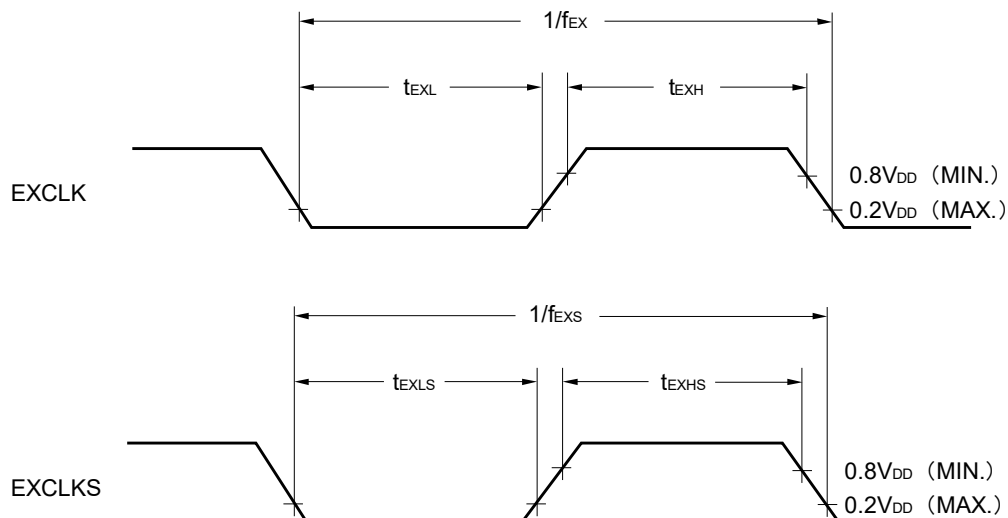
注意 発振周波数精度誤差を除きます。

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

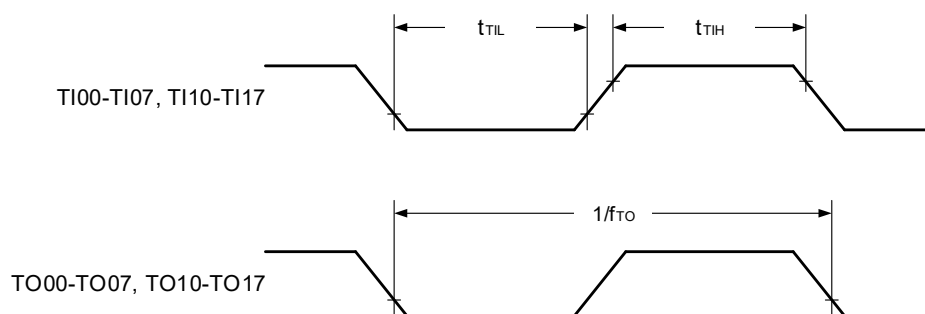
・ ACタイミング測定点



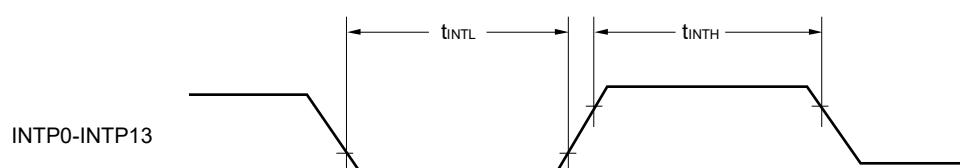
・ 外部システム・クロック・タイミング



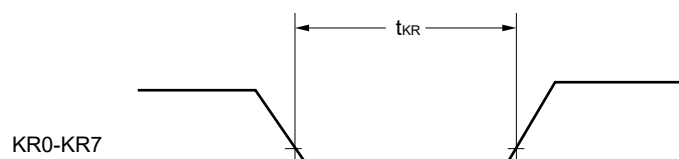
・ TI/TOタイミング



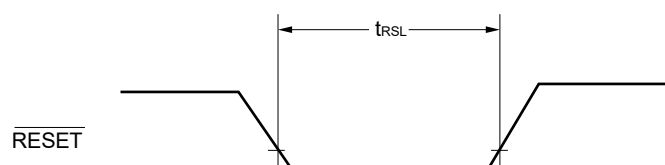
・ 割り込み要求入力タイミング



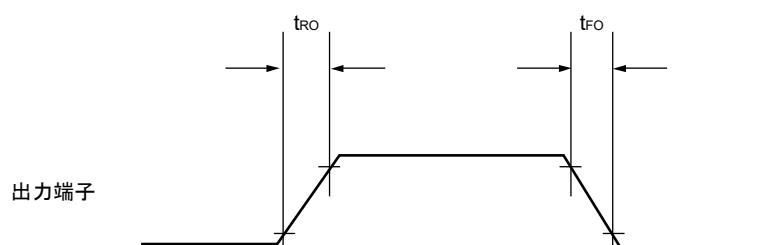
・ キー割り込み入力タイミング



・ $\overline{\text{RESET}}$ 入力タイミング



・ 出力立ち上がり, 立ち下がりタイミング



5.5 周辺機能特性

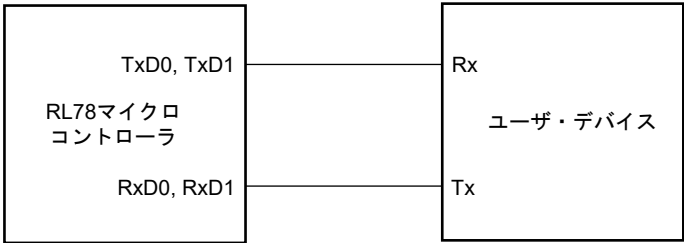
5.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード) (専用ボー・レート・ジェネレータ出力)

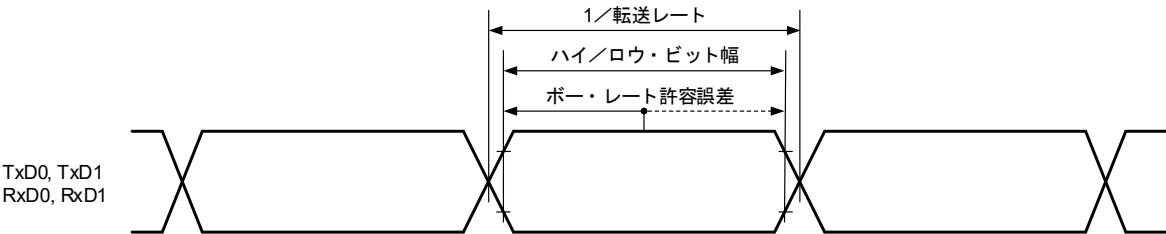
(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	—				f _{MCK} /6	bps
		f _{CLK} = 24 MHz, f _{MCK} = f _{CLK}			4	Mbps
					2	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 RxD0, RxD1端子は通常入力バッファ、TxD0, TxD1端子は通常出力モードを選択。

備考 f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(2) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート)(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}		166.6 ^{注4}			ns
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0V ≤ EV _{DD0} ≤ 5.5V	t _{KCY1} /2-12			ns
		2.7V ≤ EV _{DD0} < 4.0V	t _{KCY1} /2-18			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK1}	4.0V ≤ EV _{DD0} ≤ 5.5V	55			ns
		2.7V ≤ EV _{DD0} < 4.0V	66			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KSI1}		30			ns
$\overline{\text{SCKp}}$ ↓→SOp出力遅延時間 ^{注2}	t _{KSO1}	C = 30pF ^{注3}			40	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは, $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

4. かつt_{KCY1} ≥ 4/f_{MCK}

注意 Slp端子は通常入力バッファ、SOp, $\overline{\text{SCKp}}$ 端子は通常出力モードを選択。

備考 p : CSI_p (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(3) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 特殊スルー・レート)(T_A = -40~+150°C, 4.0V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}		500 ^{注4}			ns
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2-60			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK1}		120			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SI1}		80			ns
$\overline{\text{SCKp}}$ ↓→SO _p 出力遅延時間 ^{注2}	t _{KSO1}	C = 30pF ^{注3}			90	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは、 $\overline{\text{SCKp}}$, SO_p出力ラインの負荷容量です。

4. かつt_{KCY1} ≥ 4/f_{MCK}

注意 Slp端子は通常入力バッファ、SO_p, $\overline{\text{SCKp}}$ 端子は通常出力モードかつ特殊スルー・レートを選択。

備考 p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(4) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 通常スルー・レート)

(TA = -40~+150°C, 2.7V ≤ EVDD0 = EVDD1 = VDD ≤ 5.5V, VSS = EVSS0 = EVSS1 = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY2}		8/f _{MCK}			ns
SCKpハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) 注1	t _{SIK2}		1/f _{MCK} +20			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) 注1	t _{KSI2}		1/f _{MCK} +31			ns
$\overline{\text{SCKp}}$ ↓→SOp出力遅延時間注2	t _{KSO2}	C = 30 pF注3				
		4.0V ≤ VDD = EVDD0 = EVDD1 ≤ 5.5V			2/f _{MCK} +44	ns
		2.7V ≤ VDD = EVDD0 = EVDD1 < 4.0V			2/f _{MCK} +60	ns
$\overline{\text{SSIp}}$ セットアップ時間	t _{SSI2}	DAP=0	120			ns
		DAP=1	1/f _{MCK} +120			ns
$\overline{\text{SSIp}}$ ホールド時間	t _{KSSI}	DAP=0	1/f _{MCK} +120			ns
		DAP=1	120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは、 $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

注意 Slp, $\overline{\text{SCKp}}$ 端子および $\overline{\text{SSIp}}$ 端子は通常入力バッファ、SOp端子は通常出力モードを選択。

備考1. p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(5) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 特殊スルー・レート)(TA = -40~+150°C, 4.0V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY2}	20MHz < f _{MCK}	10/f _{MCK}			ns
		10MHz < f _{MCK} ≤ 20MHz	8/f _{MCK}			ns
		f _{MCK} ≤ 10MHz	6/f _{MCK}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}} \uparrow$) 注1	t _{SIK2}		80			ns
Slpホールド時間 (対 $\overline{\text{SCKp}} \uparrow$) 注1	t _{KSI2}		1/f _{MCK} + 50			ns
$\overline{\text{SCKp}} \downarrow \rightarrow \text{SOp}$ 出力遅延時間注2	t _{KSO2}	C = 30 pF注3			2/f _{MCK} + 80	ns
SSIpセットアップ時間	t _{SSIK}	DAP = 0	120			ns
		DAP = 1	1/f _{MCK} + 120			ns
SSIpホールド時間	t _{KSSI}	DAP = 0	1/f _{MCK} + 120			ns
		DAP = 1	120			ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}} \downarrow$ ”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対 $\overline{\text{SCKp}} \uparrow$ ”となります。

3. Cは, $\overline{\text{SCKp}}$, SOp出カラインの負荷容量です。

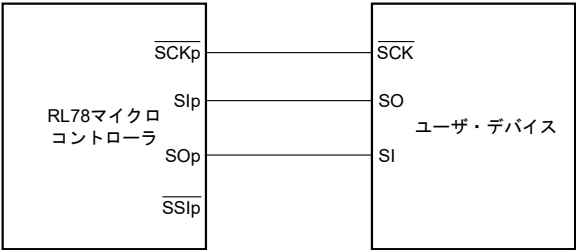
注意 Slp, $\overline{\text{SCKp}}$ 端子およびSSIp端子は通常入力バッファ、SOp端子は通常出力モードかつ特殊スルー・レートを選択。

備考1. p : CSI_p (p = 00, 01, 10, 11), m : ユニットm (m = 0, 1), n : チャネルn (n = 0, 1)

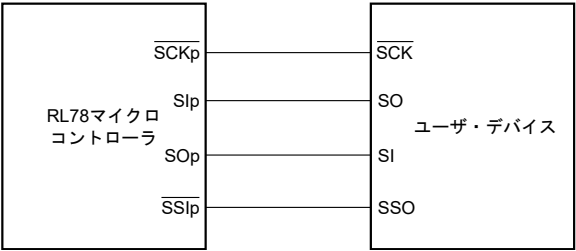
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

CSIモード接続図 (同電位通信時)

<マスタ>

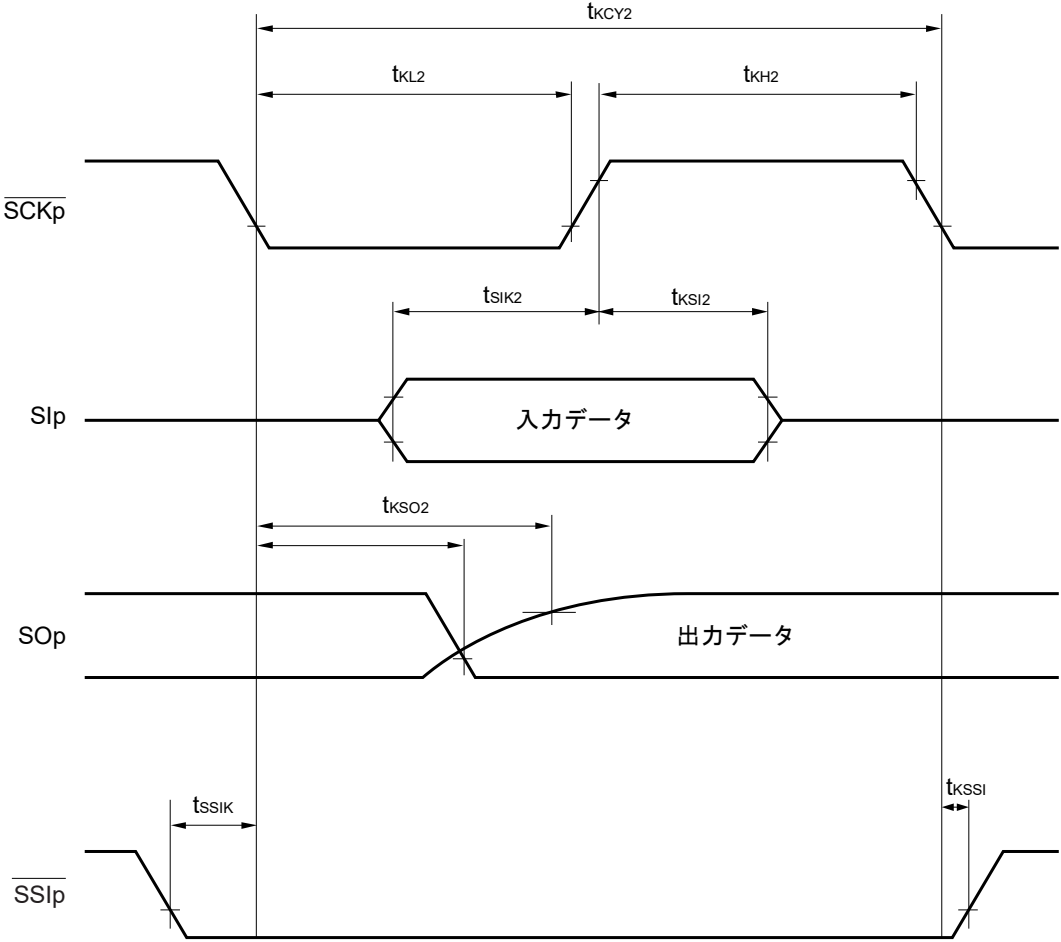


<スレーブ>



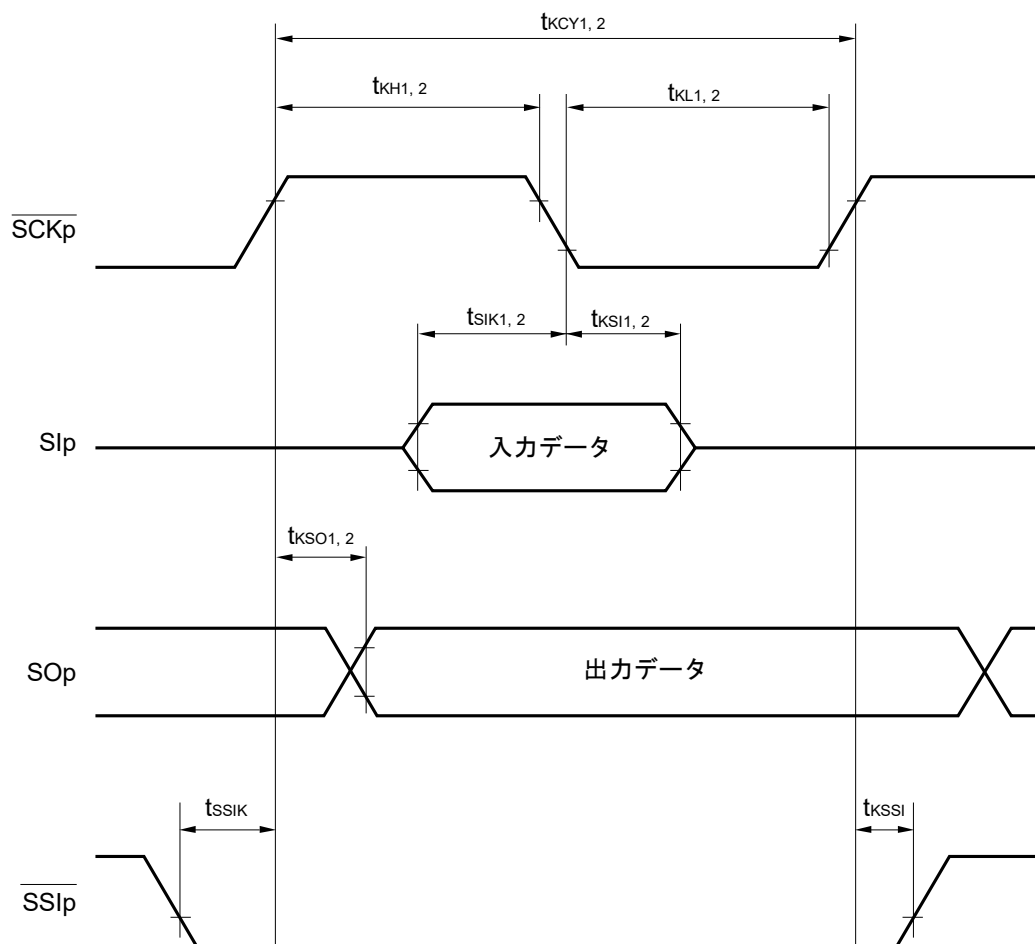
CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



備考 p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

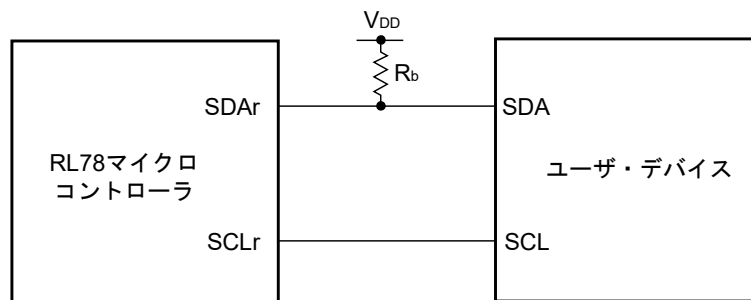
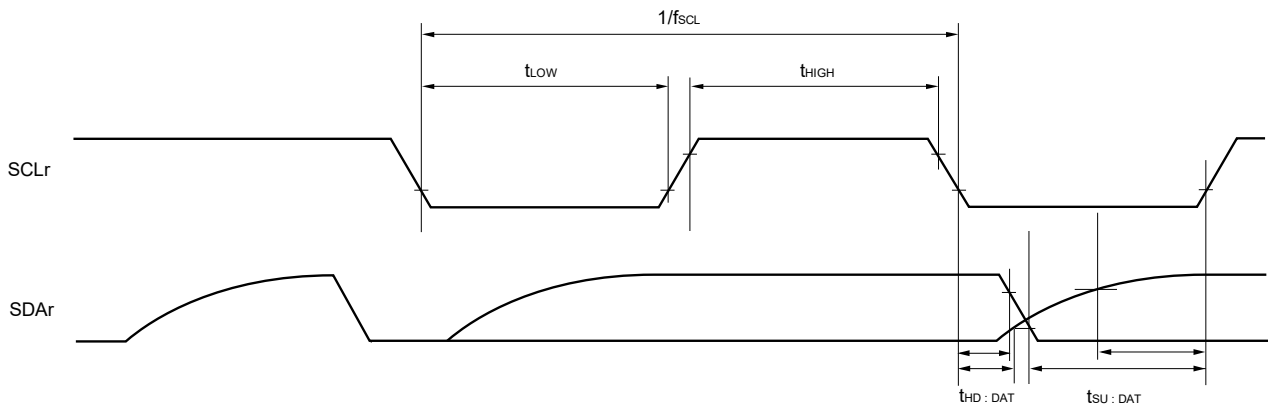
CSIモード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSIp (p = 00, 01, 10, 11) , m : ユニットm (m = 0, 1) , n : チャネルn (n = 0, 1)

(6) 同電位通信時 (簡易I²Cモード)(SDArはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード, SCLrは通常出力モード)(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLrクロック周波数	f _{SCL}				1000 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}		475			ns
SCLr = "H"のホールド・タイム	t _{HIGH}		475			ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}		1/f _{MCK} + 85			ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	C _b = 50pF, R _b = 2.7kΩ	0		305	ns

注 かつ f_{SCL} ≤ f_{MCK}/4簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

注意 SDAr端子は通常入力バッファかつN-chオープン・ドレイン出力モード、SCLr端子は通常出力モードを選択。

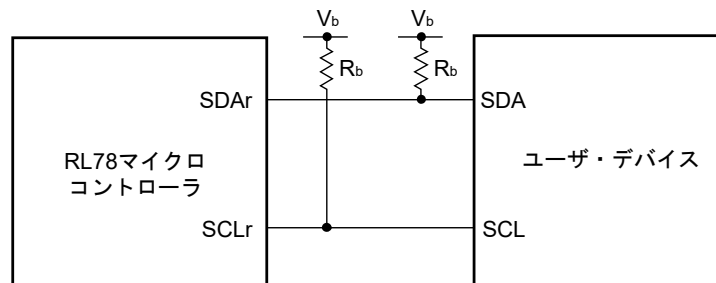
備考1. R_b [Ω]: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値

2. r : IICr (r = 00, 01, 10, 11)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(7) 同電位通信時 (簡易I²Cモード)(SDAr, SCLrはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード)(T_A = -40~+150°C, 2.7V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}			400 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1300		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	600		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			
データ・セットアップ時間 (受信時)	t _{SU : DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1/f _{MCK} + 120		ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 270		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	0	300	ns
		2.7 V ≤ V _{DD} < 4.0 V, C _b = 100 pF, R _b = 2.7 kΩ			

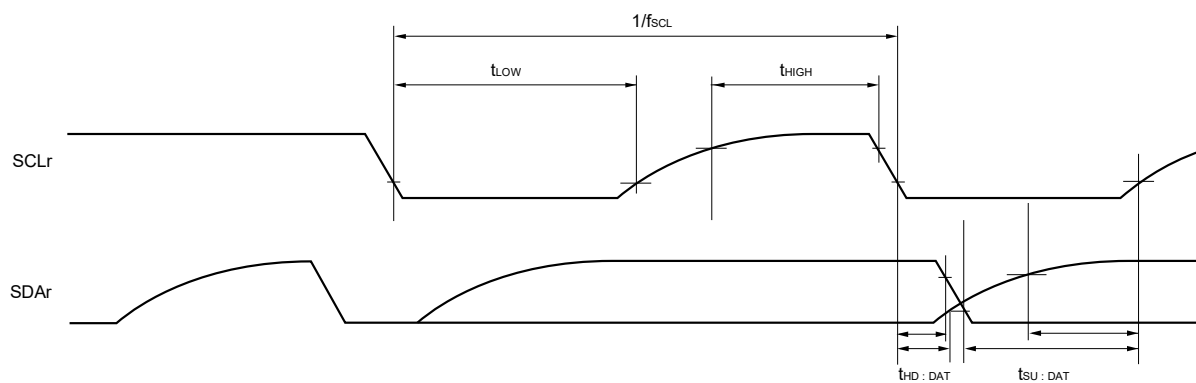
注 かつ f_{SCL} ≤ f_{MCK}/4簡易I²Cモード接続図 (同電位通信時)

注意 SDAr, SCLr端子は通常入力バッファかつN-chオープン・ドレイン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値,V_b [V]: 通信ライン電圧

2. r: IICr (r = 00, 01, 10, 11)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

簡易I²Cモード・シリアル転送タイミング (同電位通信時)

備考 r: IICr (r = 00, 01, 10, 11)

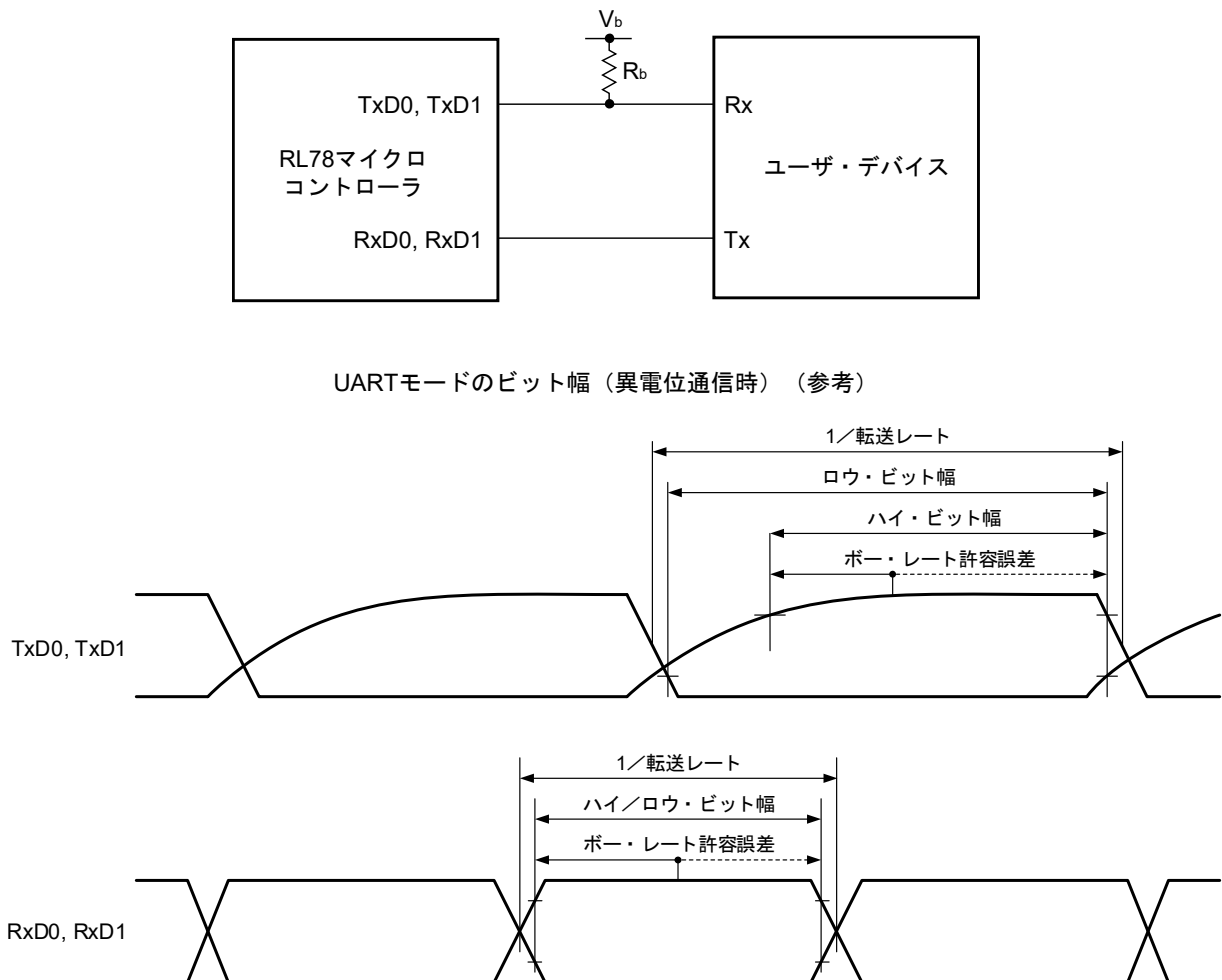
(8) 異電位通信時 (UARTモード) (TxD出力バッファ=N-chオープン・ドレーン, RxD入力バッファ=TTL)

(T_A = -40~+150°C, 4.0V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	—	受信	2.7 V ≤ V _b ≤ EV _{DD0} , V _{IH} = 2.2V, V _{IL} = 0.8V	最大転送レート理論値 ^注 (C _b = 30 pF)		f _{MCK} /6 4.0	bps Mbps
		送信	2.7 V ≤ V _b ≤ EV _{DD0} , V _{OH} = 2.2V, V _{OL} = 0.8V	最大転送レート理論値 ^注 (C _b = 30 pF)		f _{MCK} /6と(式1) の小さい方	bps Mbps
				通常スルー・レート			

注 式1: 最大転送レート = 1 / [{-C_b × R_b × ln (1 - 2.2/V_b)} × 3]

UARTモード接続図 (異電位通信時)



注意 RxD0, RxD1端子はTTL入力バッファ、TxD0, TxD1端子はN-chオープン・ドレーン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (TxD) プルアップ抵抗値, C_b [F]: 通信ライン (TxD) 負荷容量値,V_b [V]: 通信ライン電圧2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(9) 異電位 (3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート)

(TA = -40~+150°C, 4.0V ≤ EVDD0 = EVDD1 = VDD ≤ 5.5V, VSS = EVSS0 = EVSS1 = 0V)

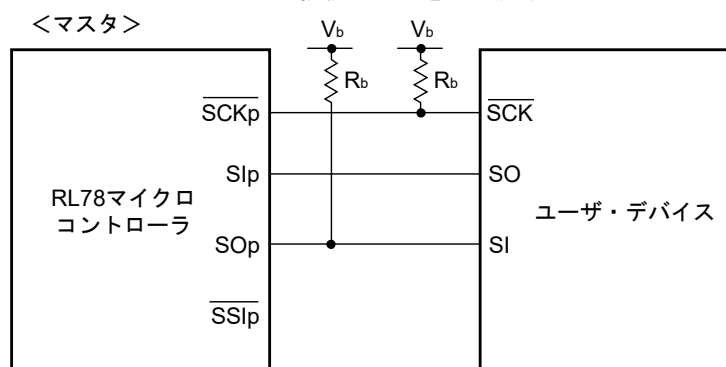
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ	400 ^{注3}			ns
SCKpハイ・レベル幅	t _{KH1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ	t _{KCY1} /2-75			ns
SCKpロウ・レベル幅	t _{KL1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ	t _{KCY1} /2-20			ns
Slpセットアップ時間 (対SCKp↑) ^{注1}	t _{SIK1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ	150			ns
Slpセットアップ時間 (対SCKp↓) ^{注2}	t _{SIK1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ	70			ns
Slpホールド時間 (対SCKp↑) ^{注1}	t _{KS1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ	30			ns
Slpホールド時間 (対SCKp↓) ^{注2}	t _{KS1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ	30			ns
SCKp↓→SOp出力遅延時間 ^{注1}	t _{KSO1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ			120	ns
SCKp↑→SOp出力遅延時間 ^{注2}	t _{KSO1}	2.7V ≤ V _b ≤ EVDD0, C _b = 30pF, R _b = 1.4kΩ			40	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3. かつt_{KCY1} ≥ 4/f_{MCK}

CSIモード接続図 (異電位通信時)

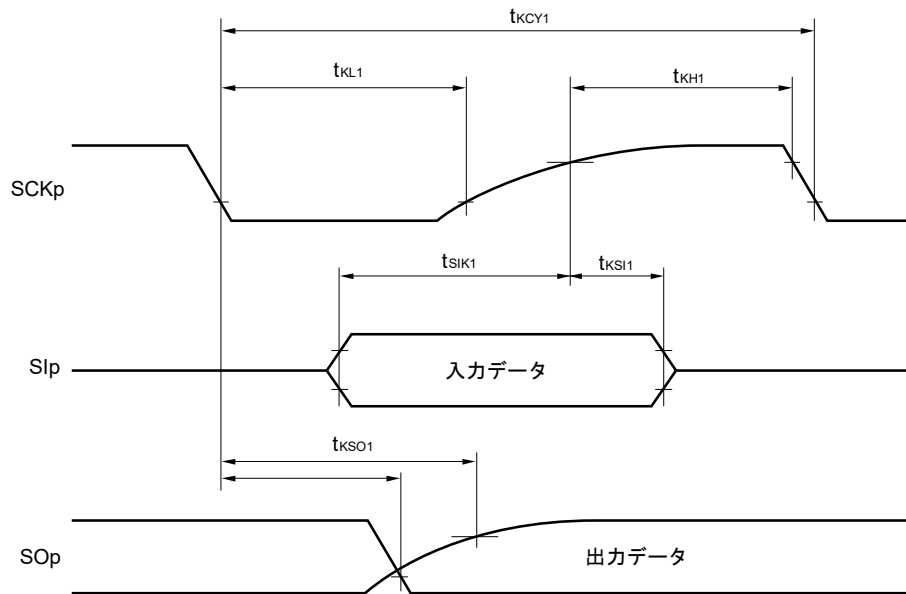
注意 Slp端子はTTL入力バッファ、SOp, $\overline{\text{SCKp}}$ 端子はN-chオープン・ドレイン出力モードを選択。備考1. R_b [Ω]: 通信ライン ($\overline{\text{SCKp}}$, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp, $\overline{\text{SCKp}}$) 負荷容量値,V_b [V]: 通信ライン電圧

2. p: CSIp (p = 00, 01, 10, 11), m: ユニットm (m = 0, 1), n: チャネルn (n = 0, 1)

3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 Vのとき: V_{IH} = 2.2 V, V_{IL} = 0.8 V

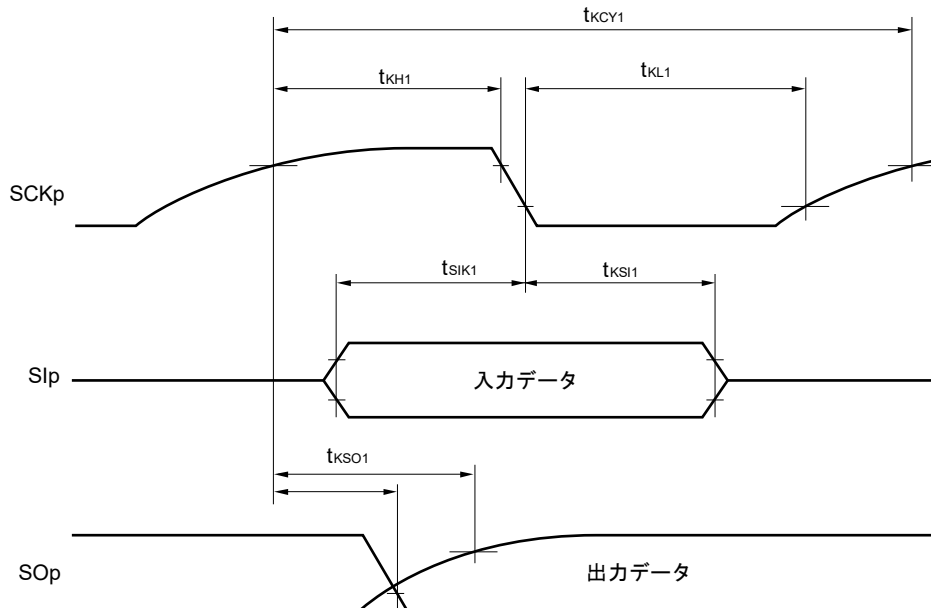
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



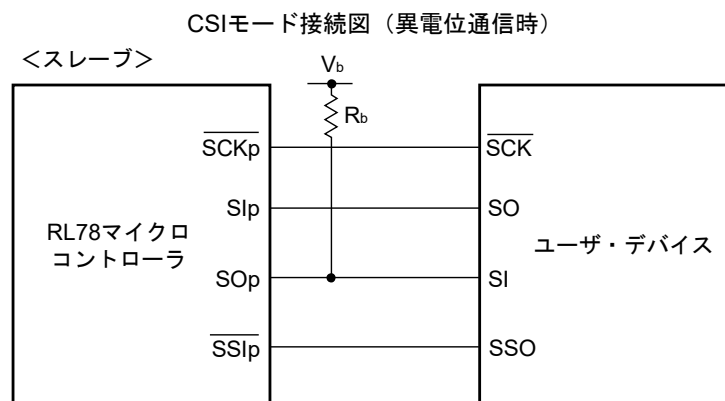
(10) 異電位 (3V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, 通常スルー・レート)

($T_A = -40 \sim +150^\circ\text{C}$, $4.0\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	$t_{\text{KCY}2}$	$2.7\text{V} \leq \text{V}_b \leq \text{V}_{\text{DD}}$				
		$20\text{ MHz} < f_{\text{MCK}} \leq 24\text{ MHz}$	$12/f_{\text{MCK}}$			ns
		$8\text{ MHz} < f_{\text{MCK}} \leq 20\text{ MHz}$	$10/f_{\text{MCK}}$			ns
		$4\text{ MHz} < f_{\text{MCK}} \leq 8\text{ MHz}$	$8/f_{\text{MCK}}$			ns
		$f_{\text{MCK}} \leq 4\text{ MHz}$	$6/f_{\text{MCK}}$			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	$t_{\text{KH}2}$, $t_{\text{KL}2}$	$2.7\text{V} \leq \text{V}_b \leq \text{V}_{\text{DD}}$	$t_{\text{KCY}2}/2 - 20$			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}} \uparrow$) 注1	$t_{\text{SIK}2}$		90			ns
Slpホールド時間 (対 $\overline{\text{SCKp}} \uparrow$) 注1	$t_{\text{KSI}2}$		$1/f_{\text{MCK}} + 50$			ns
$\overline{\text{SCKp}} \downarrow \rightarrow \text{SOp}$ 出力遅延時間注2	$t_{\text{KSO}2}$	$2.7\text{V} \leq \text{V}_b \leq \text{V}_{\text{DD}}$, $\text{C}_b = 30\text{pF}$, $\text{R}_b = 1.4\text{k}\Omega$			$2/f_{\text{MCK}} + 120$	ns
$\overline{\text{SSIp}}$ セットアップ時間	$t_{\text{SSI}K}$	DAP = 0	120			ns
		DAP = 1	$1/f_{\text{MCK}} + 120$			ns
$\overline{\text{SSIp}}$ ホールド時間	t_{KSSI}	DAP = 0	$1/f_{\text{MCK}} + 120$			ns
		DAP = 1	120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}} \downarrow$ ”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}} \uparrow$ ”となります。



注意 Slp, $\overline{\text{SCKp}}$ 端子および $\overline{\text{SSIp}}$ 端子はTTL入力バッファ、SOp端子はN-chオープン・ドレイン出力モードを選択。

備考1. $\text{R}_b [\Omega]$: 通信ライン (SOp) プルアップ抵抗値, $\text{C}_b [\text{F}]$: 通信ライン (SOp) 負荷容量値,

$\text{V}_b [\text{V}]$: 通信ライン電圧

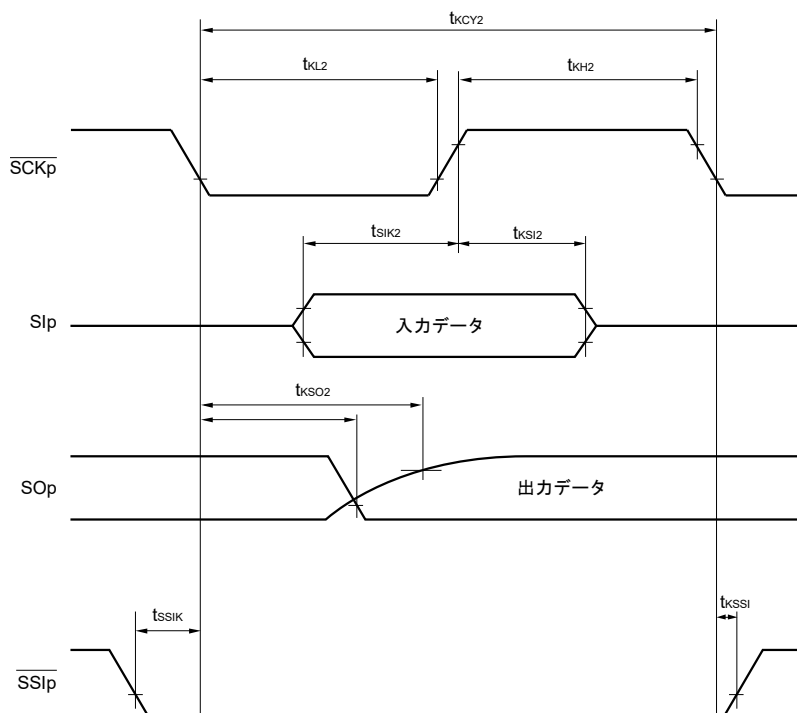
2. p : CSIp ($p = 00, 01, 10, 11$), m : ユニット m ($m = 0, 1$), n : チャネル n ($n = 0, 1$)

3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

$4.0\text{V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{V}$, $2.7\text{V} \leq \text{V}_b \leq 4.0\text{V}$ のとき: $\text{V}_{\text{IH}} = 2.2\text{V}$, $\text{V}_{\text{IL}} = 0.8\text{V}$

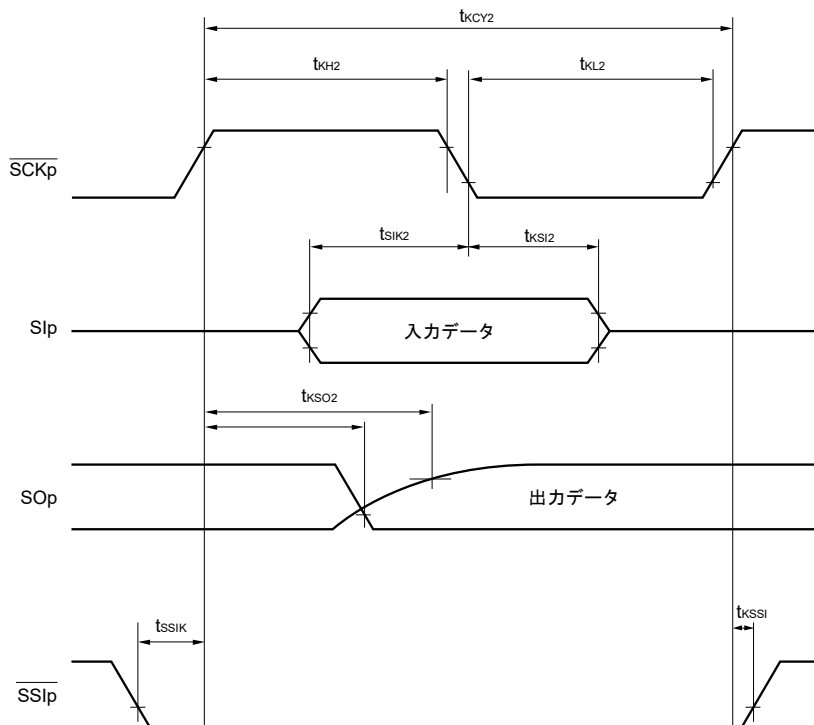
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



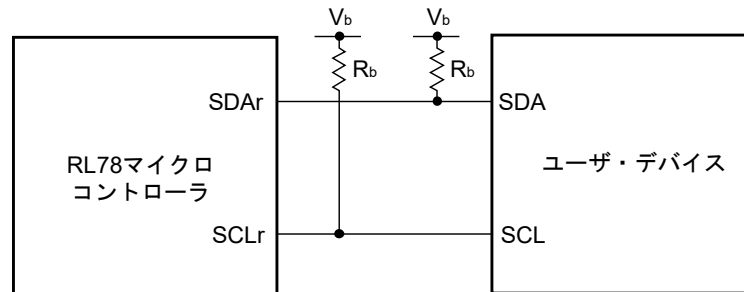
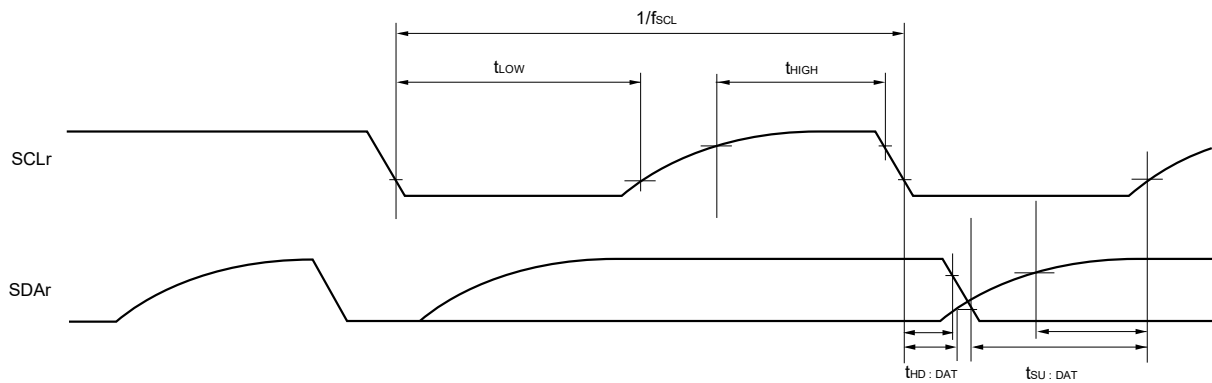
(11) 異電位 (3 V系) 通信時 (簡易I²Cモード)

(SDArはTTL入力バッファ・モード, N-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード,
SCLrはN-chオープン・ドレイン出力 (EV_{DD0}耐圧) モード)

(T_A = -40~+150°C, 4.0V ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7V ≤ V _b ≤ 4.0V, C _b = 100pF, R _b = 1.4kΩ		400 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7V ≤ V _b ≤ 4.0V, C _b = 100pF, R _b = 1.4kΩ	1200		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7V ≤ V _b ≤ 4.0V, C _b = 100pF, R _b = 1.4kΩ	600		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7V ≤ V _b ≤ 4.0V, C _b = 100pF, R _b = 1.4kΩ	135 + 1/f _{MCK}		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7V ≤ V _b ≤ 4.0V, C _b = 100pF, R _b = 1.4kΩ	0	140	ns

注 かつ f_{SCL} ≤ f_{MCK}/4

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

注意 SDAr端子はTTL入力バッファかつN-chオープン・ドレイン出力モード、SCLr端子はN-chオープン・ドレイン出力モードを選択。

備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値,

V_b [V]: 通信ライン電圧

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

5.5.2 シリアル・インタフェースIICA

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード・プラス : $10\text{ MHz} \leq f_{\text{MCK}}$					0	1000	kHz
		ファースト・モード : $3.5\text{ MHz} \leq f_{\text{MCK}}$			0	400			kHz
		標準モード : $1\text{ MHz} \leq f_{\text{MCK}}$	0	100					kHz
リスタート・コンディションの セットアップ時間 ^{注1}	t _{SU:STA}		4.7		0.6		0.26		μs
ホールド時間	t _{HD:STA}		4.0		0.6		0.26		μs
SCLA0="L"のホールド・タイム	t _{LOW}		4.7		1.3		0.5		μs
SCLA0="H"のホールド・タイム	t _{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}		250		100		50		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}		0	3.45	0	0.9	0		μs
ストップ・コンディションの セットアップ時間	t _{SU:STO}		4.0		0.6		0.26		μs
バス・フリー時間	t _{BUF}		4.7		1.3		0.5		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスを生成します。

2. t_{HD:DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウェイトがかかります。

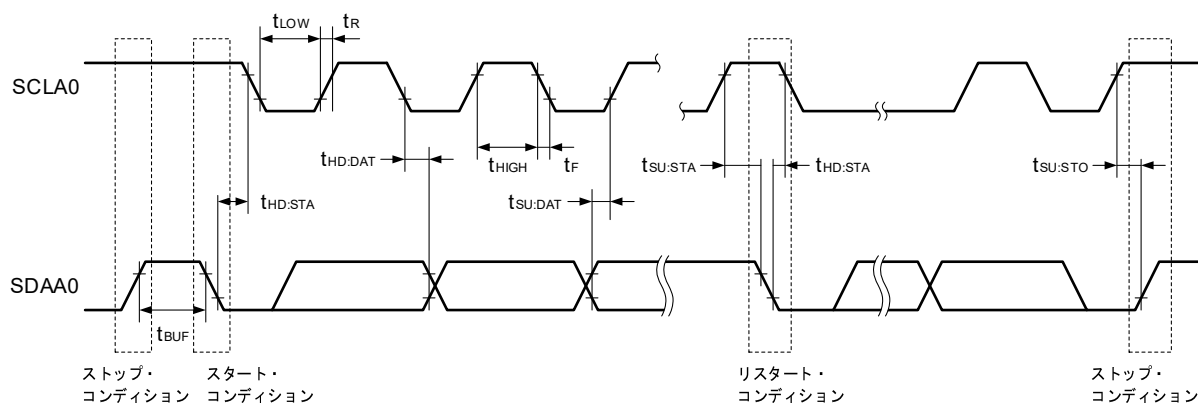
備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

標準モード : C_b = 400pF, R_b = 2.7kΩ

ファースト・モード : C_b = 320pF, R_b = 1.1kΩ

ファースト・モード・プラス : C_b = 120pF, R_b = 1.1kΩ

IICAシリアル転送タイミング



5.5.3 オンチップ・デバッグ（UART）

(T_A = -40~+150°C, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	—		115.2k		1M	bps

5.5.4 LIN/UARTモジュール (RLIN3) UARTモード

(T_A = -40~+150°C, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	—	動作モード, HALTモード	LIN通信クロック源 (f _{CLK} またはf _{MX}) 4 MHz~24 MHz			4000	kbps
		SNOOZEモード	LIN通信クロック源 (f _{CLK}) 1 MHz~24 MHz ユーザ・オプション・バイト (000C2H/020C2H) の FRQSEL4 = 0			2.4	
			LIN通信クロック源 (f _{CLK}) 1 MHz~24 MHz ユーザ・オプション・バイト (000C2H/020C2H) の FRQSEL4 = 1			1.2	

5.6 アナログ特性

5.6.1 A/Dコンバータ特性

(1) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象ANI端子 : ANI2-ANI23 (V_{DD} を電源とするANI端子)

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$, 基準電圧(+) = AV_{REFP} ,
基準電圧(-) = $AV_{REFM} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$		± 1.2	± 3.0	LSB
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$		± 1.2	± 3.5	LSB
変換時間	t_{CONV}	10ビット分解能 $4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$	2.125		39	μs
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	3.1875		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 0.25	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 1.5	LSB
基準電圧(+)	AV_{REFP}		2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}		0		AV_{REFP}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	1.38	1.45	1.52	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

- (2) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時, 対象ANI端子: ANI24-ANI30 (EV_{DD0} を電源とするANI端子)

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$, 基準電圧(+) = AV_{REFP} , 基準電圧(-) = $AV_{REFM} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$		± 1.2	± 4.5	LSB
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$		± 1.2	± 5.0	LSB
変換時間	t_{CONV}	10ビット分解能 $4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$	2.125		39	μs
		$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	3.1875		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 0.35	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ $AV_{REFP} = V_{DD}$			± 2.0	LSB
基準電圧(+)	AV_{REFP}		2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}		0		AV_{REFP} かつ EV_{DD0}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	1.38	1.45	1.52	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

(3) $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$), $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$) 選択時,

対象ANI端子 : ANI0-ANI23, ANI24-ANI30

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$, 基準電圧(+)= V_{DD} ,

基準電圧(-)= V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 1.2	± 5.0	LSB
		ANI0-ANI23	$2.7\text{V} \leq V_{DD} < 4.0\text{V}$		± 1.2	± 5.5	LSB
		10ビット分解能	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$		± 1.2	± 6.5	LSB
		ANI24-ANI30	$2.7\text{V} \leq V_{DD} < 4.0\text{V}$		± 1.2	± 7.0	LSB
変換時間	t_{CONV}	10ビット分解能	$4.0\text{V} \leq V_{DD} \leq 5.5\text{V}$	2.125		39	μs
			$2.7\text{V} \leq V_{DD} < 4.0\text{V}$	3.1875		39	μs
ゼロスケール誤差 ^{注1,2}	EVS	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 0.50	%FSR
		ANI0-ANI23					
		10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 0.60	%FSR
		ANI24-ANI30					
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 0.50	%FSR
		ANI0-ANI23					
		10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 0.60	%FSR
		ANI24-ANI30					
積分直線性誤差 ^{注1}	ILE	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 3.5	LSB
		ANI0-ANI23					
		10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 4.0	LSB
		ANI24-ANI30					
微分直線性誤差 ^{注1}	DLE	10ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI23 ^{注3}		0		V_{DD}	V
		ANI24-ANI30 ^{注3}		EV_{SS}		EV_{DD0}	V
内部基準電圧(+)	V_{BGR}	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$		1.38	1.45	1.52	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 製品により端子数は異なります。詳細は「2.1 端子機能一覧」を参照してください。

- (4) $AV_{REF}(+) =$ 内部基準電圧 ($ADREFP1 = 1, ADREFP0 = 0$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象ANI端子 : ANI0, ANI2-ANI23, ANI24-ANI30

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq EV_{DD0} = EV_{DD1} = V_{DD} \leq 5.5\text{V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$, 基準電圧(+)= V_{BGR} ,
基準電圧(-)= $AV_{REFM} = 0\text{V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	t_{CONV}	8ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$			± 1.0	LSB
基準電圧 (+)	V_{BGR}			1.38	1.45	1.52	V
アナログ入力電圧	V_{AIN}			0		V_{BGR}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

5.6.2 温度センサ特性

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP25}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.1		V
リファレンス出力電圧	V _{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.52	V
温度係数	F _{VTMP25}	温度センサ電圧の温度依存		-3.3		mV/°C
動作安定待ち時間	t _{AMP}		5			μs

5.6.3 D/Aコンバータ特性

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	Bit
総合誤差	AINL	Rload = 4MΩ, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$			-2.5/ +3.0	LSB
		Rload = 8MΩ, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$			-2.5/ +3.0	LSB
セトリング・タイム	t _{SET}	Cload = 20pF, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$			3	μs

5.6.4 コンパレータ特性

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD0}} = \text{EV}_{\text{DD1}} = V_{\text{DD}} \leq 5.5\text{V}$, $V_{\text{SS}} = \text{EV}_{\text{SS0}} = \text{EV}_{\text{SS1}} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V _{IOCOMP}			±5	±90	mV
入力電圧範囲	V _{ICMP}		0		V _{DD}	V
応答時間	t _{CR} , t _{CF}	入力振幅±100mV		70	700	ns
入力チャネル切り替え時の安定待ち時間 ^{注1}	t _{WAIT}	入力振幅±100mV	800			ns
動作安定待ち時間 ^{注2}	t _{CMP}	$3.3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	1			μs
		$2.7\text{V} \leq V_{\text{DD}} < 3.3\text{V}$	3			μs

注1. コンパレータの入力チャネル切り替わり後からコンパレータが出力に切り替わるまでの時間。

2. コンパレータの動作許可 (CMPCTLレジスタのHCMPONビット = 1) からコンパレータがDC/AC特性を満足できる状態になるまでの時間。

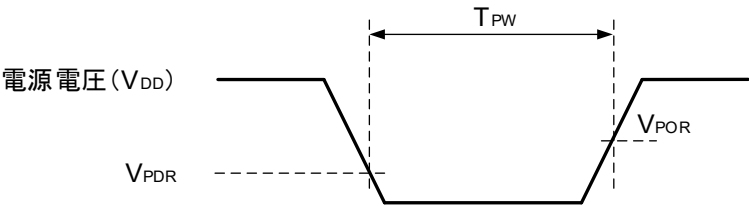
5.6.5 POR回路特性

($T_A = -40 \sim +150^{\circ}\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 ^{注1}	V_{POR}	電源立ち上がり時	1.48	1.56	1.67	V
	V_{PDR}	電源立ち下がり時	1.47	1.55	1.66	V
最小パルス幅 ^{注2}	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注1. POR回路の特性を示すものであり、下限動作電圧 (2.7V) 未満での通常動作を保証するものではありません。

2. 電源電圧 (V_{DD}) が V_{PDR} を下回った場合に、POR回路によるリセット動作に必要な時間です。



5.6.6 LVD回路特性

(1) リセット・モード, 割り込みモードのLVD検出電圧

(T_A = -40~+150°C, V_{PDR} ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V _{LVD0} 電源立ち上がり時	4.62	4.74	5.22	V
		電源立ち下がり時	4.52	4.64	5.11	V
	V _{LVD1}	電源立ち上がり時	4.50	4.62	5.09	V
		電源立ち下がり時	4.40	4.52	4.98	V
	V _{LVD2}	電源立ち上がり時	4.30	4.42	4.87	V
		電源立ち下がり時	4.21	4.32	4.76	V
	V _{LVD3}	電源立ち上がり時	3.13	3.22	3.66	V
		電源立ち下がり時	3.07	3.15	3.47	V
	V _{LVD4}	電源立ち上がり時	2.95	3.02	3.44	V
		電源立ち下がり時	2.89	2.96	3.23	V
	V _{LVD5}	電源立ち上がり時	2.74	2.81	3.22	V
		電源立ち下がり時	2.68 ^注	2.75	3.00	V
最小パルス幅	t _{LW}		300			μs
検出遅延	t _{LD}				300	μs

注 MIN.値は下限動作電圧 (2.7V) を下回りますが, リセット・モードで使用時は, 電源立ち下がり時においてリセットがかかるまでは通常動作 (V_{DD} = 2.7V時と同等の値での動作) できます。

(2) 割り込み&リセット・モードのLVD検出電圧

(T_A = -40~+150°C, V_{PDR} ≤ EV_{DD0} = EV_{DD1} = V_{DD} ≤ 5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み＆ リセット・モード	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 0, 1 ^{注1} , 立ち下がりがリセット電圧 : 2.75V		2.68 ^{注2}	2.75	3.00	V
	V _{LVD2}	LVIS1, LVIS0 = 0, 0	立ち上がりがリセット解除電圧	4.30	4.42	4.87	V
			立ち下がりが割り込み電圧	4.21	4.32	4.76	V
	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 0 ^{注1} , 立ち下がりがリセット電圧 : 2.75V		2.68 ^{注2}	2.75	3.00	V
	V _{LVD1}	LVIS1, LVIS0 = 0, 0	立ち上がりがリセット解除電圧	4.50	4.62	5.09	V
			立ち下がりが割り込み電圧	4.40	4.52	4.98	V
	V _{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1 ^{注1} , 立ち下がりがリセット電圧 : 2.75V		2.68 ^{注2}	2.75	3.00	V
	V _{LVD3}	LVIS1, LVIS0 = 0, 1	立ち上がりがリセット解除電圧	3.13	3.22	3.66	V
			立ち下がりが割り込み電圧	3.07	3.15	3.47	V
	V _{LVD0}	LVIS1, LVIS0 = 0, 0	立ち上がりがリセット解除電圧	4.62	4.74	5.22	V
立ち下がりが割り込み電圧			4.52	4.64	5.11	V	

注1. オプション・バ이트の設定値を示しています。

2. MIN.値は下限動作電圧 (2.7V) を下回りますが, リセット・モードで使用時は, 電源立ち下がり時においてリセットがかかるまでは通常動作 (V_{DD} = 2.7V時と同等の値での動作) できます。

5.7 電源立ち上げ時間

($T_A = -40 \sim +150^\circ\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	S_{vrmax}	$0\text{V} \rightarrow V_{DD}$ ($V_{POC2} = 0$ または1 ^{注2)})			50 ^{注3)}	V/ms
最小電源電圧立ち上げ傾き ^{注1)}	S_{vrmin}	$0\text{V} \rightarrow 2.7\text{V}$	6.5			V/ms

注1. 最小電源電圧立ち上げ傾きは、以下の条件の場合にのみ適用対象になります。

電圧検出 (LVD) 回路が未使用 ($V_{POC2} = 1$) かつ外部リセット回路未使用もしくは $V_{DD} = 2.7\text{V}$ までリセットがかからない場合。

2. オプション・バイトの設定値を示しています。

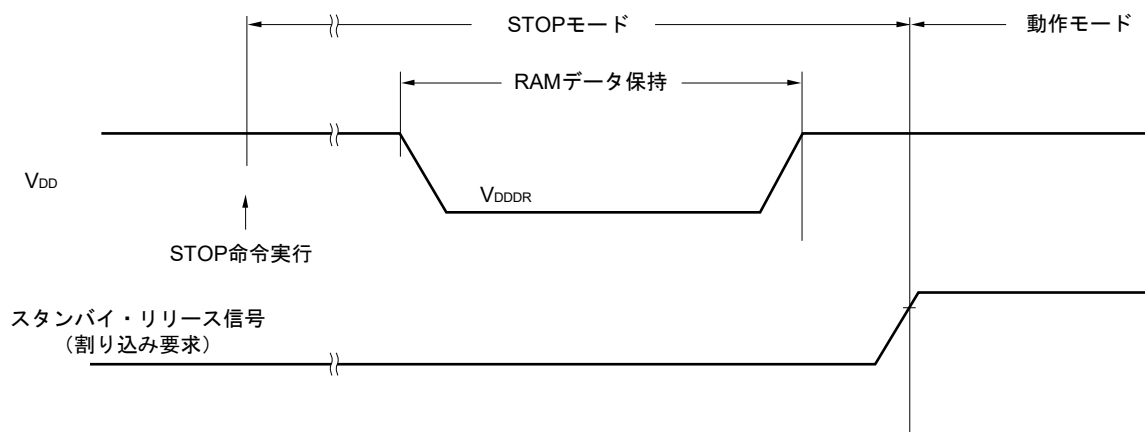
3. 電源が V_{PDR} 以下に下降し、PORリセットが発生した場合は、 0V まで下降せずに復帰する場合も本スペックの適用対象になります。

5.8 RAMデータ保持特性

($T_A = -40 \sim +150^\circ\text{C}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.47 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持しません。



5.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +150^\circ\text{C}$, $2.7\text{V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} = \text{V}_{\text{DD}} \leq 5.5\text{V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}		1		24	MHz
コード・フラッシュの書き換え回数 ^{注1, 2, 3}	C _{erwr}	保持20年 T _A = +85℃ ^{注4}	1,000			回
データ・フラッシュの書き換え回数 ^{注1, 2, 3}		保持20年 T _A = +85℃ ^{注4}	10,000			
		保持5年 T _A = +85℃ ^{注4}	100,000			
消去時間	T _{erasa}	ブロック消去	5			ms
書き込み時間	T _{wrwa}	1ワード書き込み	10			μs

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数の起点は消去後からとなります。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用したときになります。
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
4. 保持の平均温度です。

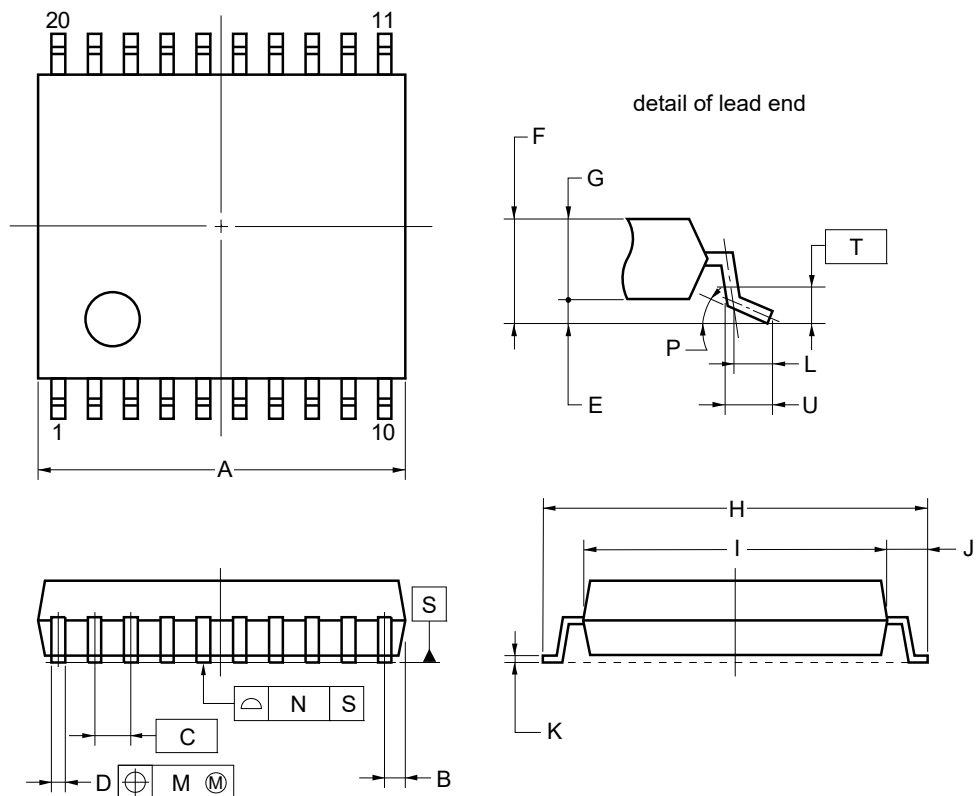
6. 外形図

20ピン製品, 30ピン製品, および32ピン製品は, オーダ型名によりパッケージが異なります。

詳細については, 当社 Web サイトの製品パッケージ情報を参照ください。

6.1 20ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-0300-0.65	PLSP0020JC-A	S20MC-65-5A4-3	0.12

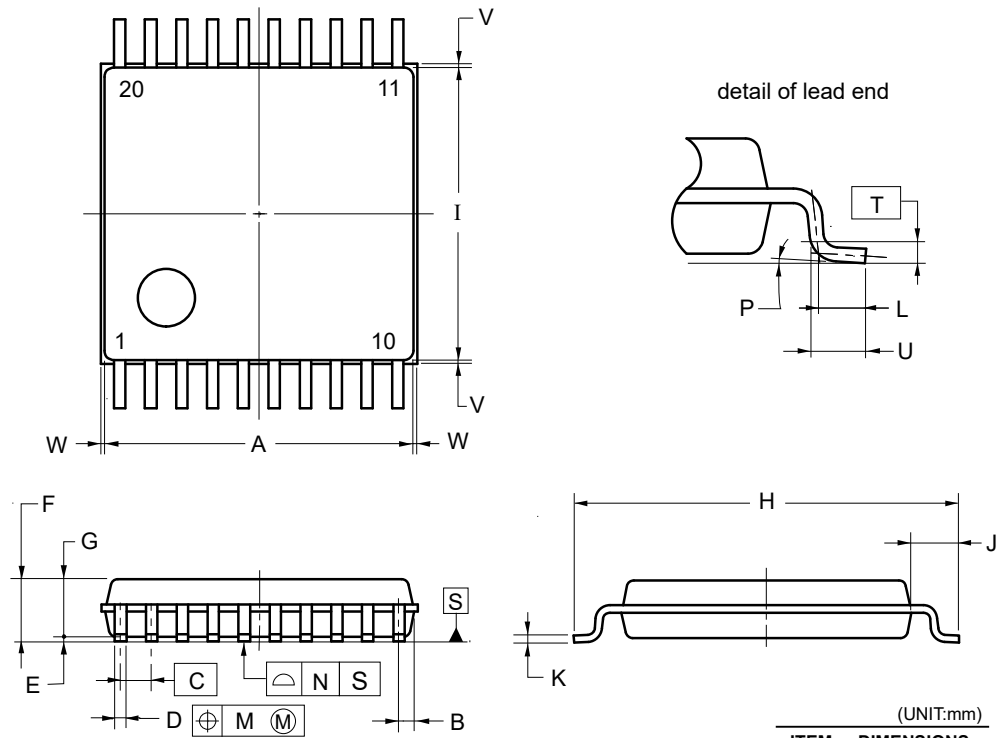


NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	6.65±0.15
B	0.475 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-6.10x6.5-0.65	PLSP0020JC-B	P20MC-65-CAA-1	0.12



NOTE

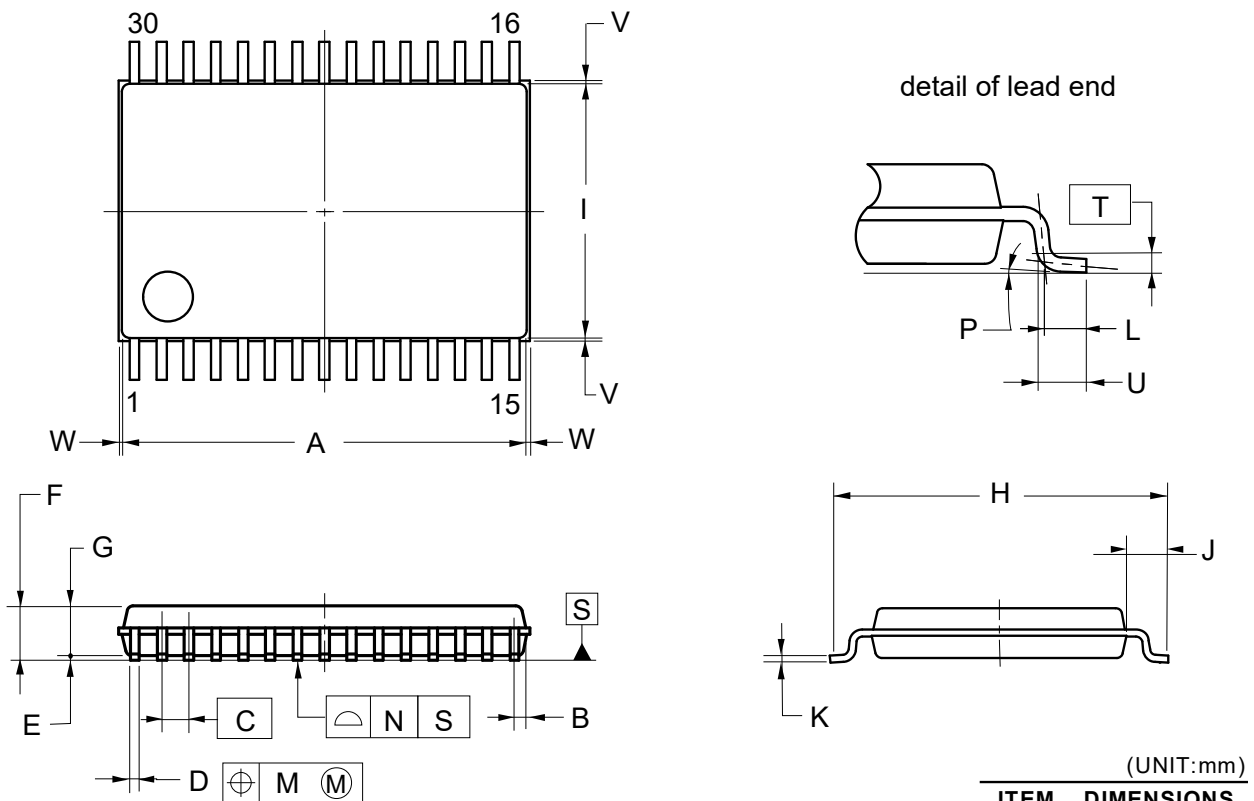
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

(UNIT:mm)

ITEM	DIMENSIONS
A	6.50±0.10
B	0.325
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

6.2 30ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-6.1x9.7-0.65	PLSP0030JB-A	P30MC-65-CAB-2	0.18

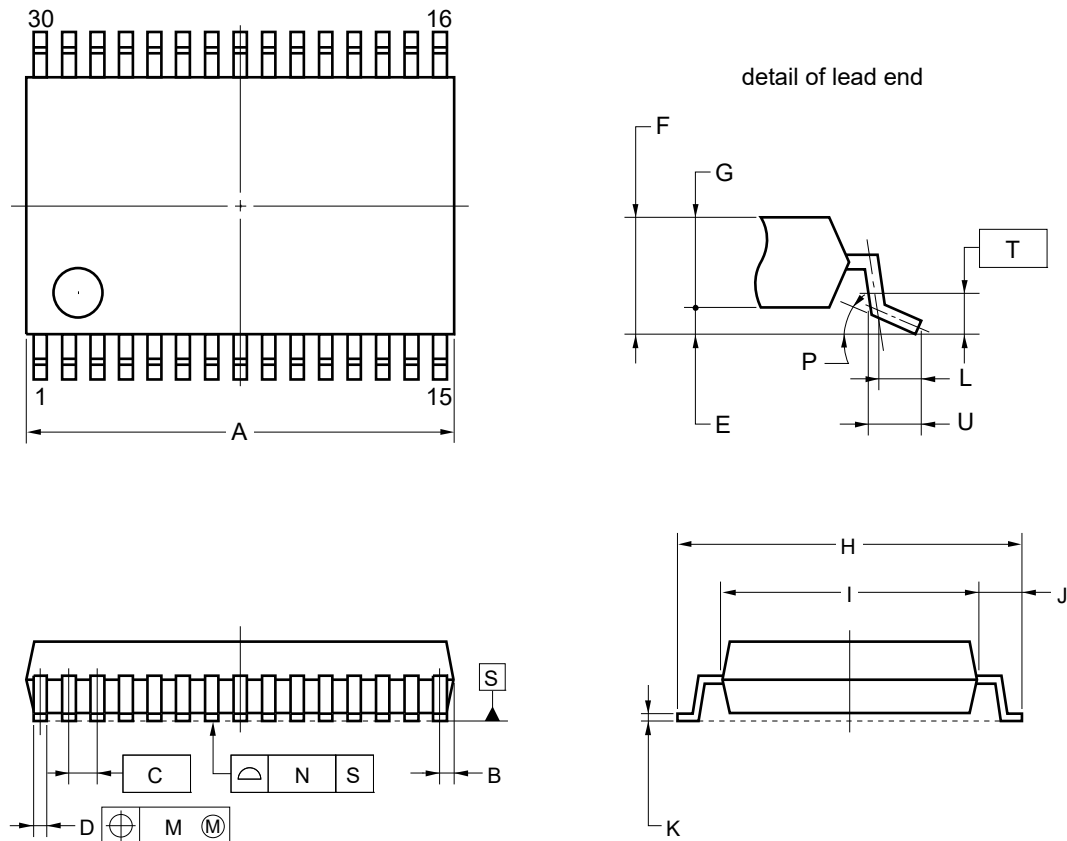
**NOTE**

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition .

(UNIT:mm)

ITEM	DIMENSIONS
A	9.70±0.10
B	0.30
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18

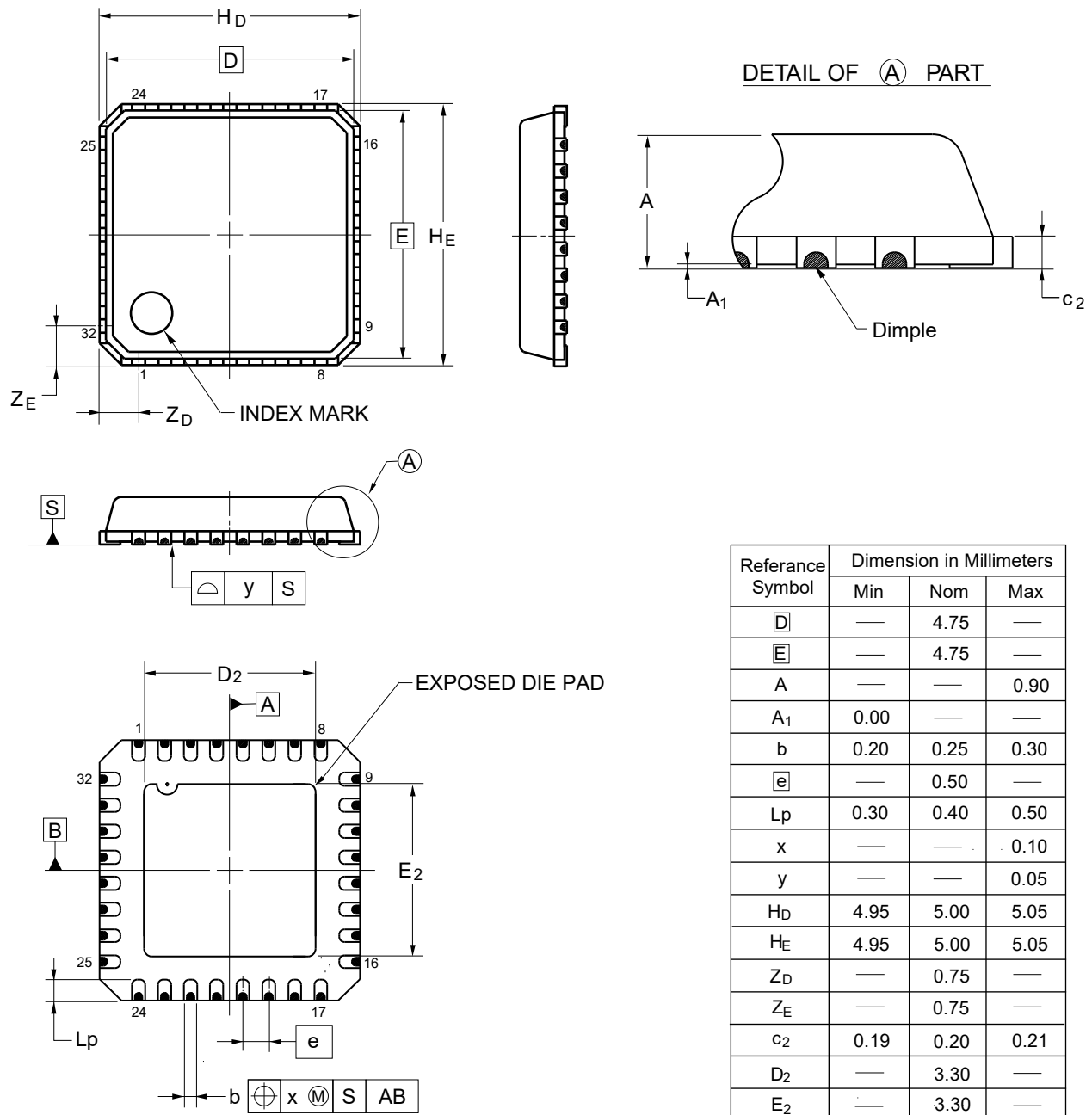
**NOTE**

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

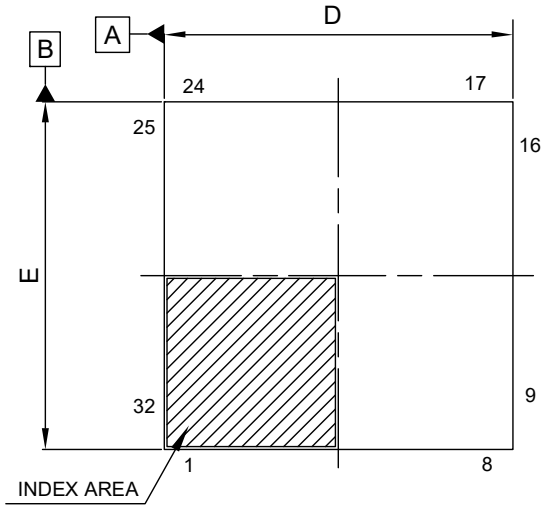
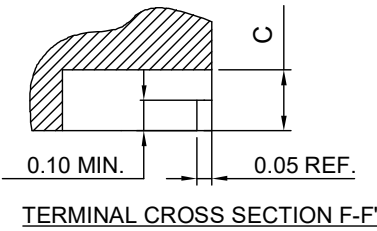
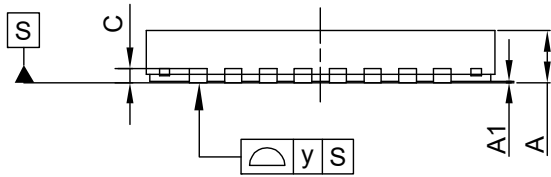
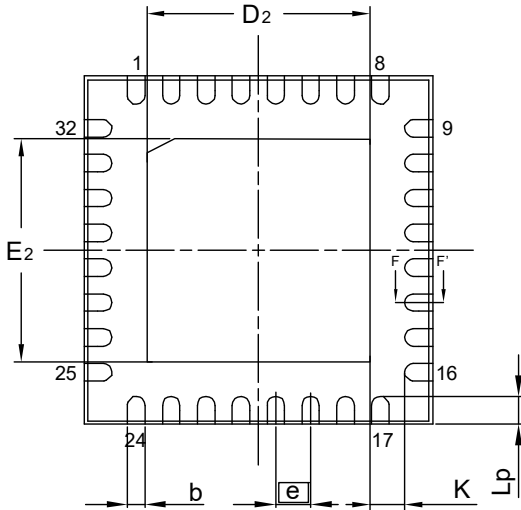
6.3 32ピン製品

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HVQFN32-5x5-0.50	PVQN0032KD-A	P32K9-50A-BAH	0.058



★

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN32-5x5-0.50	PWQN0032KH-A	0.06

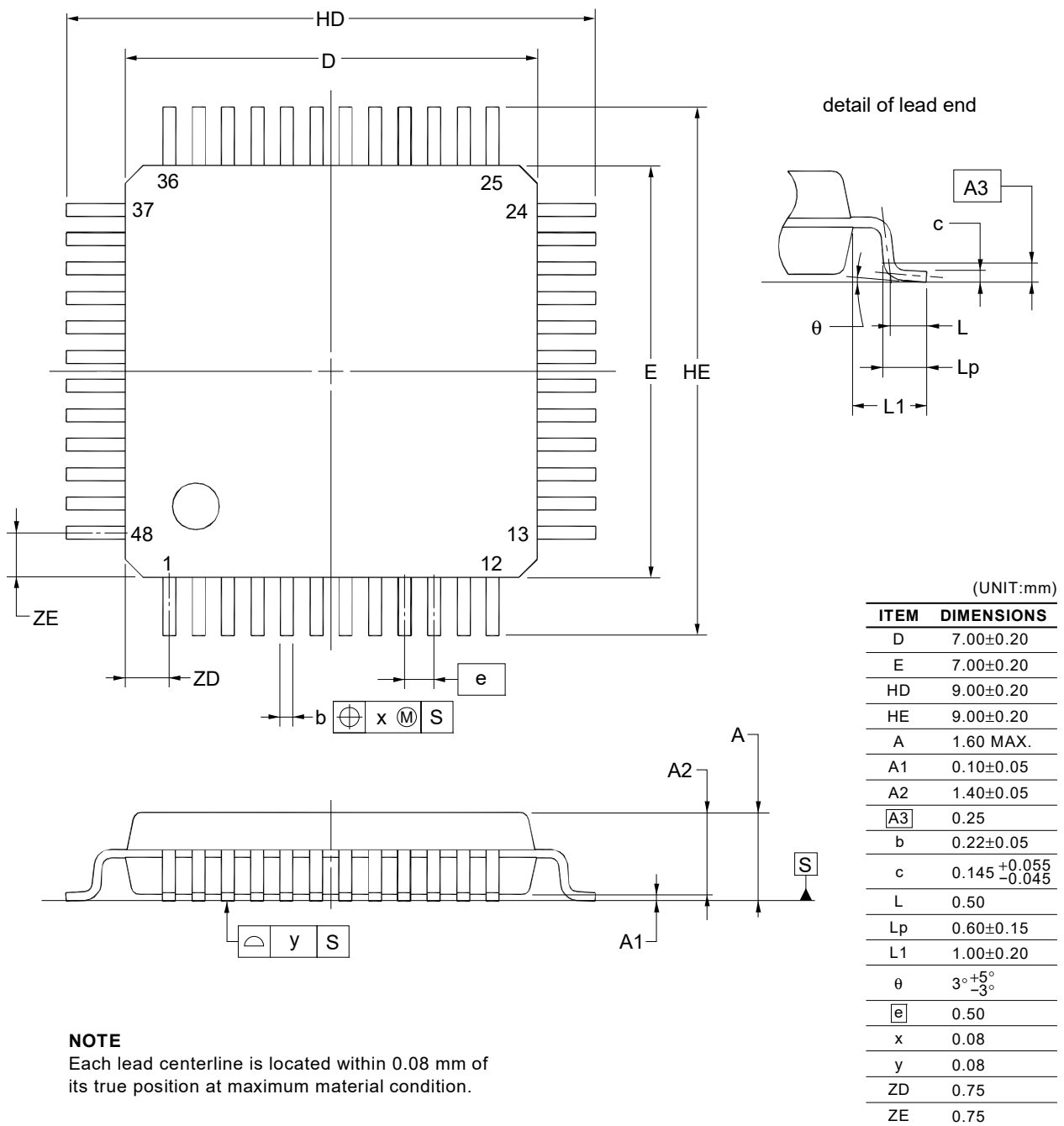


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	4.85	5.00	5.15
E	4.85	5.00	5.15
A	—	—	0.80
A ₁	0.00	—	0.05
b	0.18	0.25	0.30
e	0.50 BSC		
L _p	0.35	0.40	0.45
y	—	—	0.08
c	—	0.20	—
K	0.20	—	—
D ₂	—	3.20	—
E ₂	—	3.20	—

6.4 48ピン製品

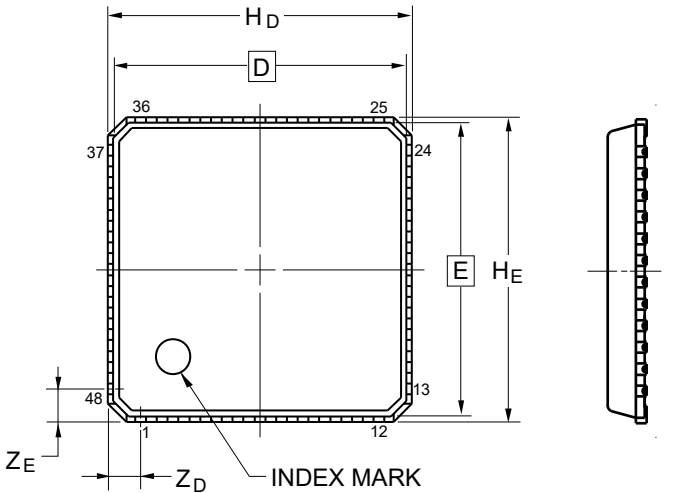
6.4.1 48ピン LFQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-A	P48GA-50-8EU-1	0.16

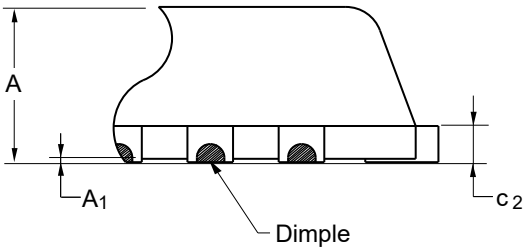
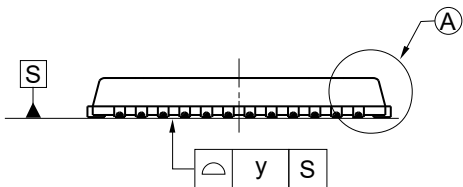
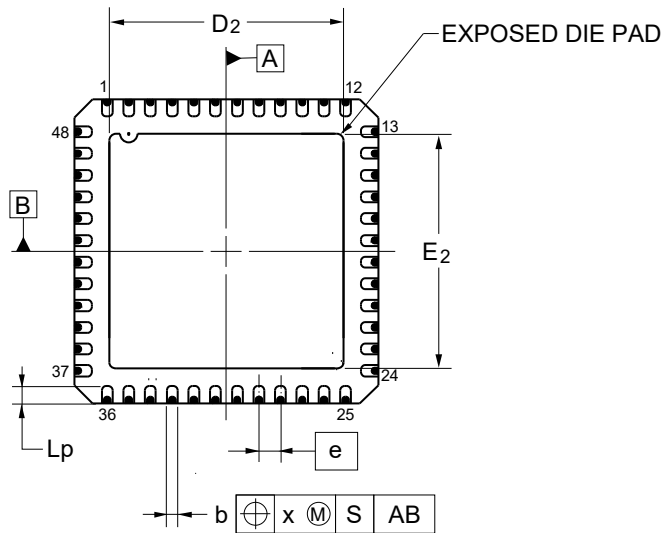


6.4.2 48ピン HVQFN

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HVQFN48-7x7-0.50	PVQN0048KG-A	P48K9-50A-BAJ	0.13



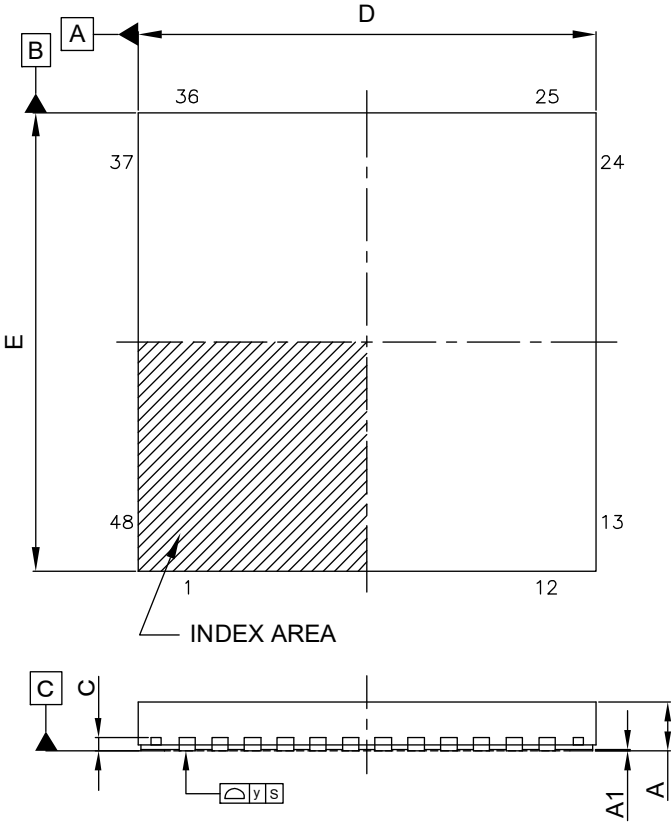
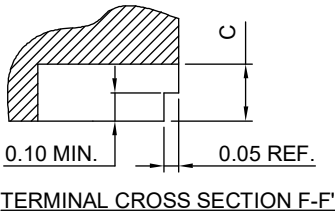
DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	6.75	—
E	—	6.75	—
A	—	—	0.90
A ₁	0.00	—	—
b	0.20	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.10
y	—	—	0.05
H _D	6.95	7.00	7.05
H _E	6.95	7.00	7.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.19	0.20	0.21
D ₂	—	5.40	—
E ₂	—	5.40	—

★ 6.4.3 48ピン HWQFN

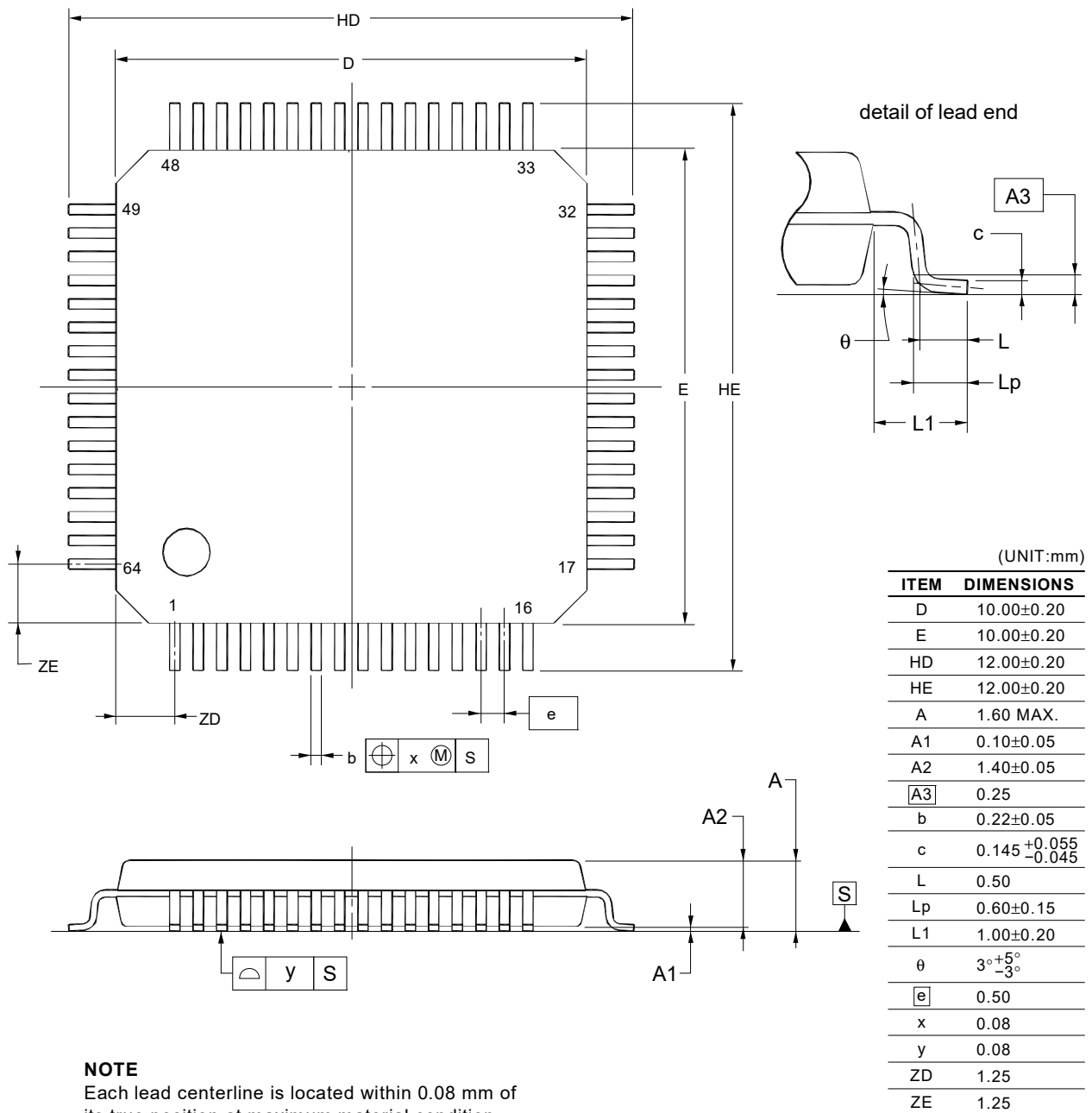
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KH-A	0.12



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	6.85	7.00	7.15
E	6.85	7.00	7.15
A	—	—	0.80
A ₁	0.00	—	0.05
b	0.18	0.25	0.30
e	0.50 BSC		
Lp	0.35	0.40	0.45
y	—	—	0.08
c	—	0.20	—
K	0.20	—	—
D ₂	—	5.40	—
E ₂	—	5.40	—

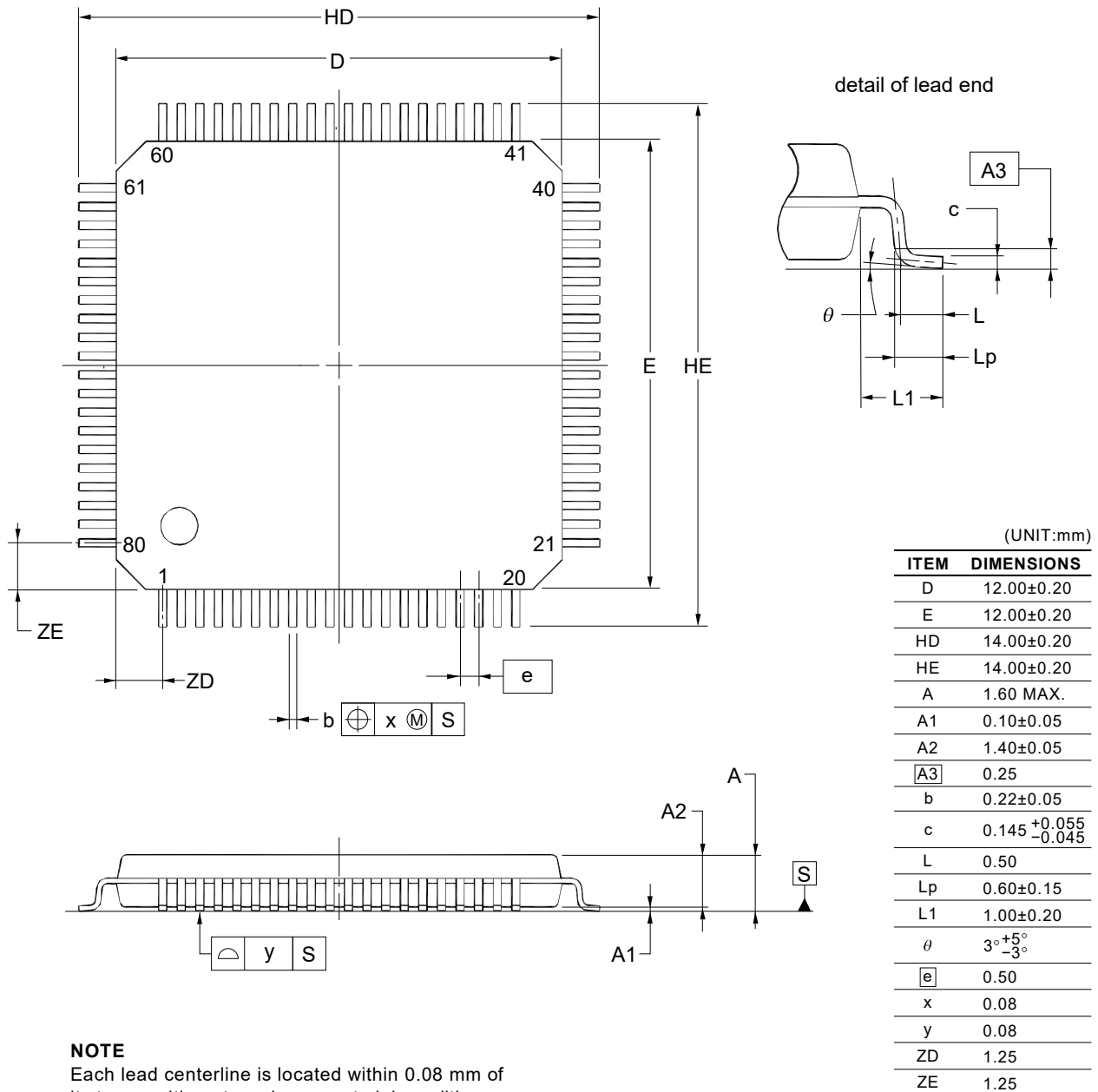
6.5 64ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP64-10x10-0.50	PLQP0064KF-A	P64GB-50-UEU	0.35



6.6 80ピン製品

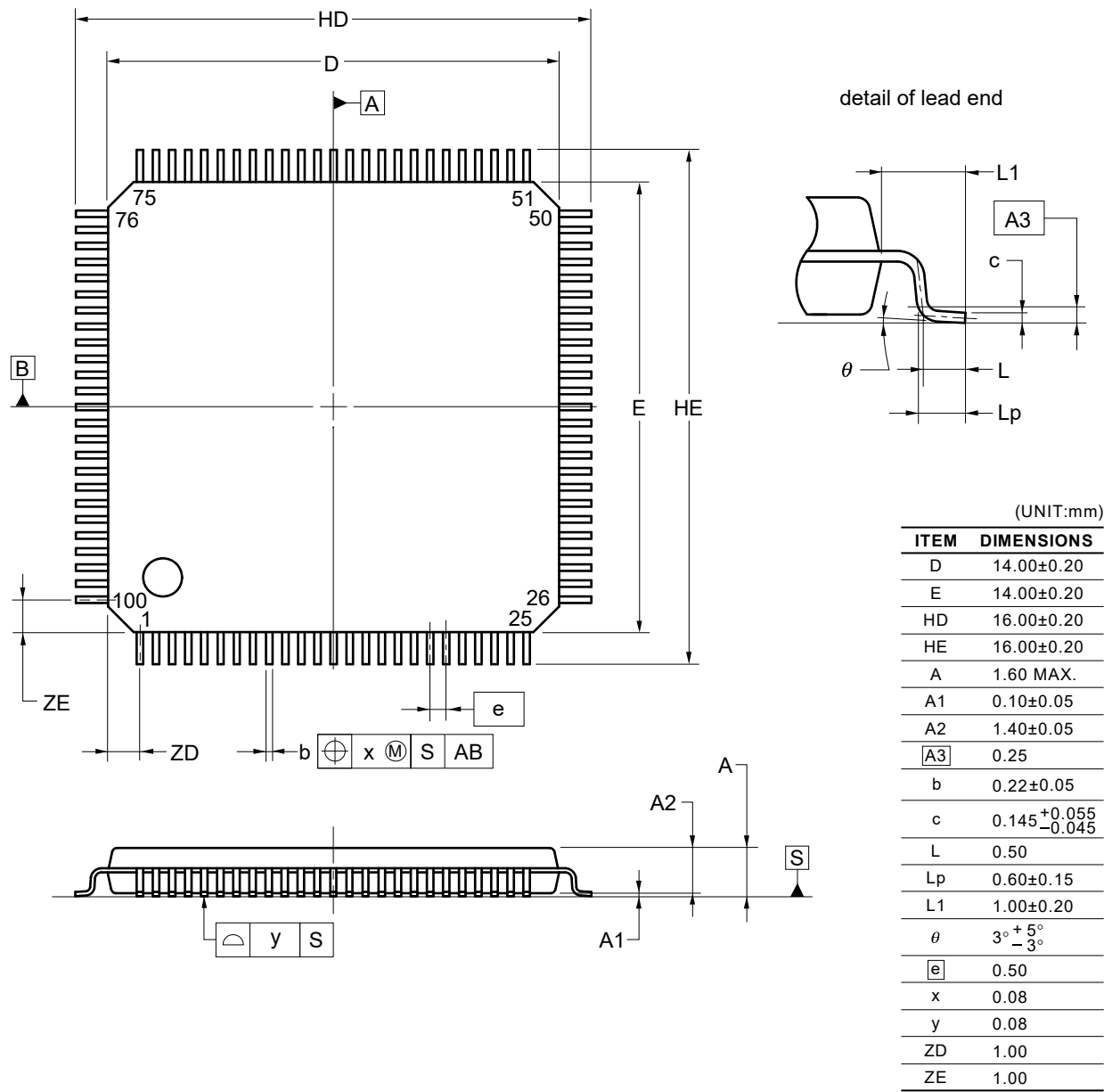
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP80-12x12-0.50	PLQP0080KE-A	P80GK-50-8EU	0.53

**NOTE**

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

6.7 100ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP100-14X14-0.50	PLQP0100KE-A	P100GC-50-GBR	0.69



改版履歴	RL78/F13, F14 Datasheet
------	-------------------------

Rev	発行日	内容	
		ページ	ポイント
2.20	2024.12.27	–	新規作成
2.30	2025.08.31	2	表1-1 RL78/F14のメモリ・ラインナップを変更
		2	表1-2 RL78/F13 (CAN&LIN搭載版) メモリ・ラインナップを変更
		2	表1-3 RL78/F13 (LIN搭載版) メモリ・ラインナップを変更
		31	RL78/F14 : 100ピン・プラスチックLFQFP (ファインピッチ) (14×14) を変更
		32	RL78/F14 : 80ピン・プラスチックLFQFP (ファインピッチ) (12×12) を変更
		33	RL78/F13 : 80ピン・プラスチックLFQFP (ファインピッチ) (12×12) を変更
		34	RL78/F14 : 64ピン・プラスチックLFQFP (ファインピッチ) (10×10) を変更
		35	RL78/F13 : 64ピン・プラスチックLFQFP (ファインピッチ) (10×10) を変更
		36	RL78/F14 : 48ピン・プラスチックLFQFP、HVQFNを変更
		37	RL78/F13 : 48ピン・プラスチックLFQFP、HVQFNを変更
		38	RL78/F14 : 32ピン・プラスチックHVQFN/HWQFNを変更
		39	RL78/F13 : 32ピン・プラスチックHVQFN/HWQFNを変更
		40	RL78/F14 : 30ピン・プラスチックLSSOPを変更
		41	RL78/F13 : 30ピン・プラスチックLSSOPを変更
		42	RL78/F13 : 20ピン・プラスチックLSSOPを変更
		43	表1-7 RL78/F14オーダ情報を変更
		44	表1-8 RL78/F13 (CAN&LIN搭載版) オーダ情報を変更
		45	表1-9 RL78/F13 (LIN搭載版) オーダ情報を変更
		87	(2) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート) の注4を変更
		88	(3) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 特殊スルー・レート) の注4を変更
		97	(9) 異電位 (3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート) の注3を変更
		102	3.5.2 シリアル・インタフェースIICAの表を変更
		135	(2) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート) の注4を変更
		136	(3) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 特殊スルー・レート) の注4を変更
		145	(9) 異電位 (3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート) の注3を変更
		150	4.5.2 シリアル・インタフェースIICAの表を変更
		184	(2) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート) の注4を変更
		185	(3) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 特殊スルー・レート) の注4を変更
		194	(9) 異電位 (3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, 通常スルー・レート) の注3を変更
		199	5.5.2 シリアル・インタフェースIICAの表を変更
		211	6. 外形図に説明を追加
		211	6.1 20ピン製品に外形図(PLSP0020JC-A)を追加
		212	6.1 20ピン製品の外形図(PLSP0020JC-B)を変更
		213	6.2 30ピン製品の外形図(PLSP0030JB-A)を変更
		214	6.2 30ピン製品に外形図(PLSP0030JB-B)を追加
		215	6.3 32ピン製品の外形図(PVQN0032KD-A)を変更
		216	6.3 32ピン製品に外形図(PWQN0032KH-A)を追加
		217	6.4.1 48ピン LFQFPを変更
		217	6.4.1 48ピン LFQFPの外形図(PLQP0048KF-A)を変更
		218	6.4.2 48ピン HVQFNを変更
		218	6.4.2 48ピン HVQFNの外形図(PVQN0048KG-A)を変更
		219	6.5 64ピン製品の外形図(PLQP0064KF-A)を変更

Rev	発行日	内容	
		ページ	ポイント
2.30	2025.08.31	220	6.6 80ピン製品の外形図(PLQP0080KE-A)を変更
		221	6.7 100ピン製品の外形図(PLQP0100KE-A)を変更
2.40	2026.09.30	2	表1-1 RL78/F14のメモリ・ラインナップを変更
		2	表1-2 RL78/F13 (CAN&LIN搭載版) メモリ・ラインナップを変更
		2	表1-3 RL78/F13 (LIN搭載版) メモリ・ラインナップを変更
		36	RL78/F14 : 48ピン・プラスチックLFQFP、HWQFN/HVQFNを変更
		37	RL78/F13 : 48ピン・プラスチックLFQFP、HWQFN/HVQFNを変更
		43	表1-7 RL78/F14オーダ情報を変更
		44	表1-8 RL78/F13 (CAN&LIN搭載版) オーダ情報を変更
		45	表1-9 RL78/F13 (LIN搭載版) オーダ情報を変更
		65	表2-4 RL78/F13 (LIN搭載版) のポート以外の端子機能一覧 (4/4) を変更
		216	6.3 32ピン製品 HWQFNパッケージの外形図を変更
		219	6.4.3 48ピン HWQFNに外形図(PWQN0048KH-A)を追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash®を使用しています。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。