

RAA212421

500mA LDO を内蔵した 3V ~ 40V 入力、1.1A 同期整流式降圧レギュレータ

FN9309
Rev.4.00
2019年7月8日

[RAA212421](#) は、3V ~ 40V 入力、1.1A 同期整流型降圧コンバータと 500mA LDO を組み合わせたデュアル出力レギュレータで、高速負荷応答を特長としています。2つの高性能電源の組み合わせを1つの小型 (3x6mm) パッケージに収容しているので、使いやすく、効率の高い小型ソリューションを実現しています。

入力電圧範囲の広い降圧レギュレータ RAA212421 は、ハイサイドとローサイドの両方の NMOSFET を内蔵しており、軽負荷時の効率向上に役立つ PFM モードを備えています。強制 PWM モードが必要な場合、この機能をオフにすることもできます。内部補償または外部補償を使用できるため、必要な外付け部品が最小限で済み、部品点数が減少して、設計の複雑さが軽減されます。この製品は、デフォルト周波数の 500kHz でスイッチングしますが、外付け抵抗を使用して 300kHz ~ 2MHz にプログラムすることもできます。その他の特長としては、プログラム可能なソフトスタート、ヒカップモード過電流保護、サーマルシャットダウン、パワーグッドなどがあります。

また、LDO は、非常に高速な負荷応答を実現できる最先端の内部補償回路を備えています。デバイスは、負荷、入力、温度 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$) の全動作範囲で V_{OUT} の $\pm 1.8\%$ の出力精度を備えています。その他に、ソフトスタート機能や、LDO を低静止電流のシャットダウンモードにできるイネーブル機能を備えています。

製品は小型の鉛フリー 3mmx6mm DFN プラスチックパッケージで供給され、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の全産業用温度範囲で規定されています。

関連資料

全ての関連文書の一覧は、弊社 Web サイトを参照してください。

- [RAA212421](#) 製品ページ

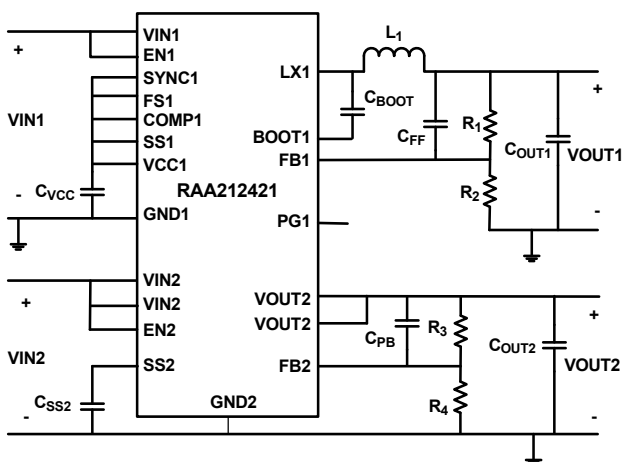


図 1. 代表的なアプリケーション

特長

- 広い入力電圧範囲：3V ~ 40V
- 効率を高めるための同期整流動作
- ハイサイドとローサイドの NMOSFET を内蔵
- 軽負荷時に選択可能な PFM または PWM モード
- 内部の固定周波数 (500kHz) または調整可能なスイッチング周波数 (300kHz ~ 2MHz)
- 連続出力電流：最大 1.1A
- 内部または外部設定ソフトスタート
- パワーグッド機能とイネーブル機能
- 500mA 低ドロップアウトリニアレギュレータ
- 1.8V ~ 6V 入力
- 負荷、入力、温度 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$) の全範囲で $\pm 1.8\%$ の V_{OUT} 精度を保証
- $V_{OUT} = 2.5\text{V}$ でのドロップアウト電圧が 45mV と非常に小さい
- 広い周波数範囲にわたって優れた PSRR
- プログラム可能な出力ソフトスタート時間
- 非常に高速な負荷応答
- 電流制限保護

アプリケーション

- 産業用制御機器、医療機器、携帯用計測器、分散電源、クラウドインフラ

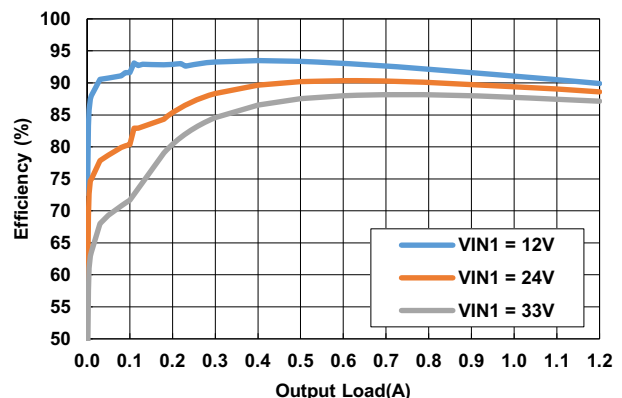


図 2. 効率 vs 負荷、PFM、 $V_{OUT} = 5\text{V}$ 、 $L_1 = 22\mu\text{H}$

目次

1.	概要	3
1.1	代表的なアプリケーション回路	3
1.2	ブロック図	4
1.3	発注情報	5
1.4	ピン配置	5
1.5	ピンの説明	5
2.	仕様	7
2.1	絶対最大定格	7
2.2	熱情報	7
2.3	推奨動作条件	7
2.4	電氣的仕様	8
3.	代表的な性能曲線	11
3.1	降圧レギュレータの効率曲線	11
3.2	降圧レギュレータの測定結果	13
3.3	LDOの特性	16
4.	機能説明	20
4.1	パワーオンリセット（降圧）	20
4.2	ソフトスタート	20
4.3	パワーグッド（降圧）	20
4.4	PWM制御方式（降圧）	21
4.5	軽負荷動作	21
4.6	出力電圧の選択	22
4.7	保護機能	23
4.8	入力電圧要件（LDO）	24
4.9	イネーブル動作（LDO）	24
5.	アプリケーションのガイドライン	25
5.1	設計の簡略化	25
5.2	動作周波数	25
5.3	最小オン/オフ時間の制限	25
5.4	外部同期制御	26
5.5	出力インダクタの選択	26
5.6	出力コンデンサの選択（降圧）	26
5.7	ループ補償の設計	27
5.8	外付けコンデンサの要件（LDO）	30
5.9	電力損失と熱	30
6.	レイアウトに関する考慮事項	31
7.	改訂履歴	32
8.	パッケージ外形図	33

1. 概要

1.1 代表的なアプリケーション回路

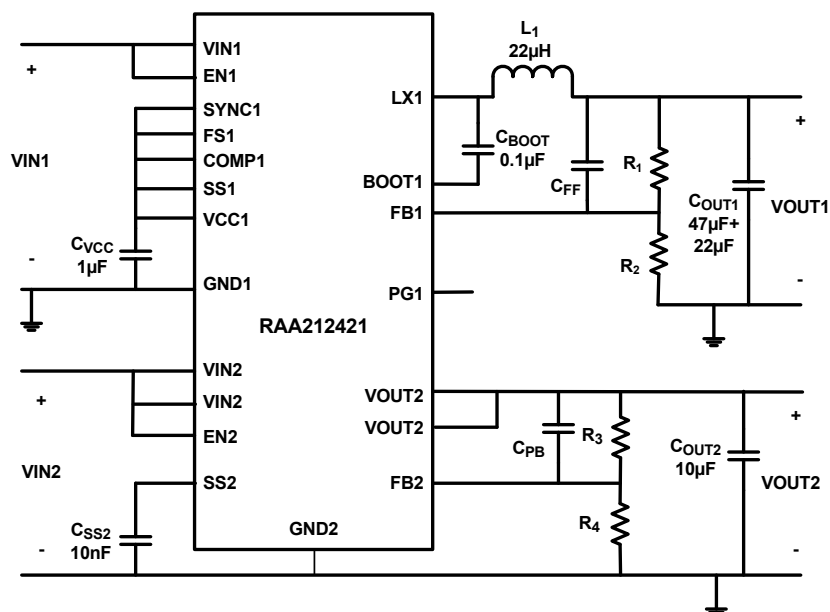


図 3. 内部でのデフォルトのパラメータ選択

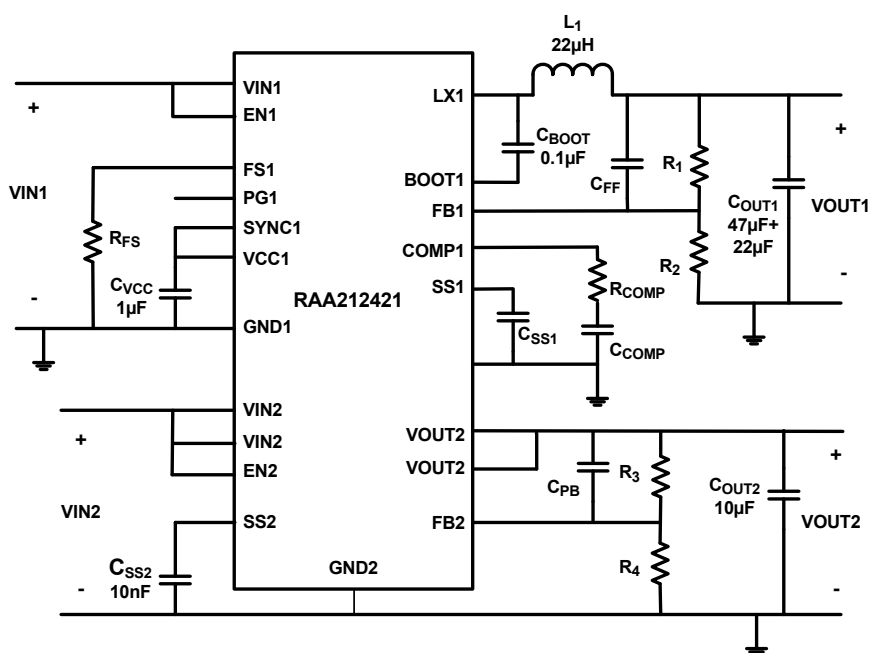


図 4. ユーザーがプログラム可能なパラメータ選択

表 1. 外付け部品の選択

V_{OUT1} (V)	L_1 (μ H)	C_{OUT1} (μ F)	R_1 (k Ω)	R_2 (k Ω)	C_{FF} (pF)	R_{FS} (k Ω)	R_{COMP} (k Ω)	C_{COMP} (pF)
12	33	2 x 22	90.9	4.75	4.7	115	200	470
5	22	47 + 22	90.9	12.4	22	DNP (Note 1)	130	470
3.3	22	47 + 22	90.9	20	22	DNP (Note 1)	120	470
2.5	15	47 + 22	90.9	28.7	22	DNP (Note 1)	110	470
1.8	10	47 + 22	90.9	45.5	22	DNP (Note 1)	90	470

Note:
1. FS1はVCC1に接続する。

1.2 ブロック図

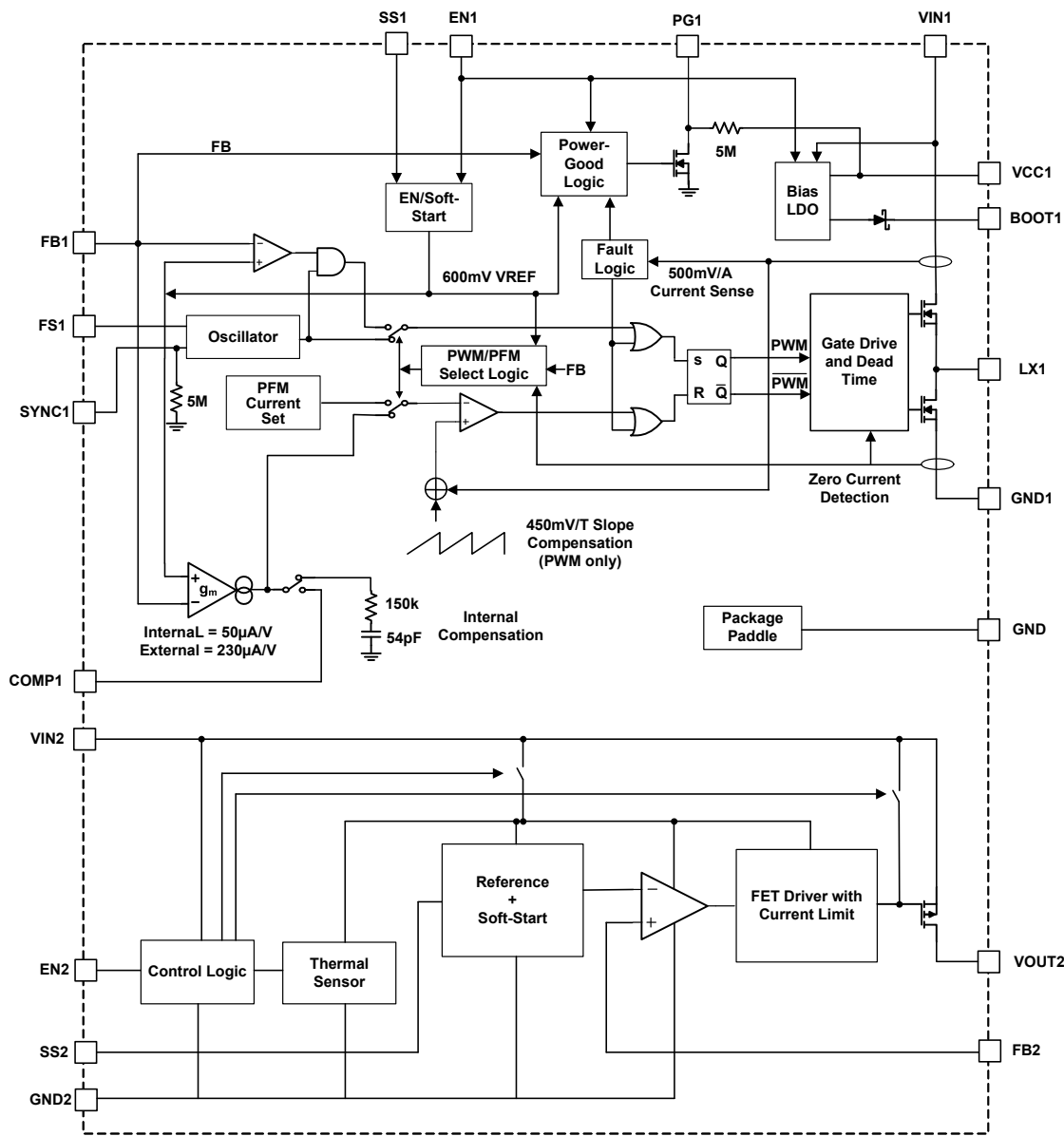


図 5. 機能ブロック図

1.3 発注情報

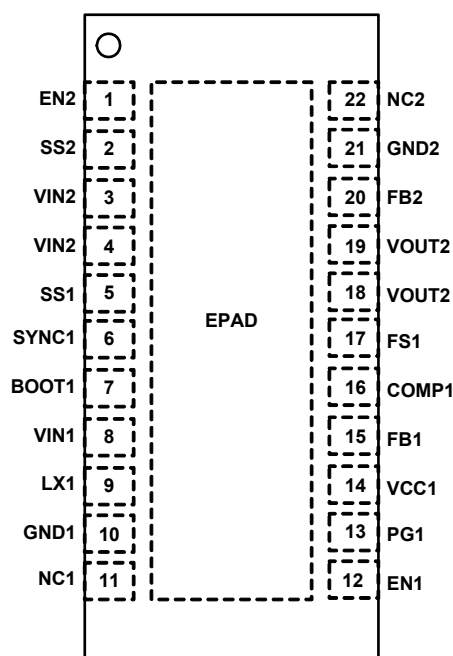
製品型番 (Notes 3、4)	製品マーキング	温度範囲 (°C)	テーピング (個数) (Note 2)	パッケージ (RoHS 準拠)	パッケージ 図面番号
RAA2124214GNP#AA0	RAA212421	-40 ~ +125	-	22 Ld TDFN	L22.3x6
RAA2124214GNP#HA0	RAA212421	-40 ~ +125	6k	22 Ld TDFN	L22.3x6
RAA2124214GNP#MA0	RAA212421	-40 ~ +125	250	22 Ld TDFN	L22.3x6

Notes:

2. リールの詳細な仕様については、[TB347](#) を参照してください。
3. これらの鉛フリープラスチックパッケージ製品では、特殊な鉛フリー材料、モールド樹脂/ダイアタッチ材を採用し、梨地の100%錫メッキとアニールを実施しています (e3端子仕上げ: RoHSに準拠しており、SnPbと鉛フリーの両方のはんだ付け作業と互換性があります)。鉛フリー製品は、IPC/JEDEC J STD-020 の鉛フリー要件を満たすか、それを超えるピークリフロー温度でMSL分類に対応します。
4. 吸湿耐性レベル (MSL) については、[RAA212421](#) デバイスのページを参照してください。MSLの詳細については、[TB363](#) を参照してください。

1.4 ピン配置

22 Ld 3x6 QFN
Top View



1.5 ピンの説明

ピン番号	ピン名	説明
1	EN2	VOUT2と独立したチップイネーブルピン。TTL 互換かつCMOS 互換。
2	SS2	このピンにコンデンサを外付けすることで、起動時のランプを調整して、突入電流を制御します。
3、4	VIN2	入力電源。正常動作のためには4.7μF 以上のX5R/X7R 入力コンデンサが必要です。詳細については、 30 ページの「外付けコンデンサの要件 (LDO)」 を参照してください。
5	SS1	出力ソフトスタートのランプ時間を制御します。SS1 ピンとグラウンドの間に1 個のコンデンサを接続することで、出力ランプレートが決まります。ソフトスタートの詳細については、 20 ページの「ソフトスタート」 を参照してください。SS1 ピンをVCC1 に接続した場合は、2ms の内部ソフトスタートが使用されます。
6	SYNC1	同期整流および軽負荷動作モード選択入力。PWM モードの場合はロジック High またはVCC に接続します。PFM モードの場合はロジック Low またはグラウンドに接続します。ロジックグラウンドを使用すると、IC は PFM または PWM 動作を自動的に選択します。外部同期するには、外部クロック信号を入力し、正のエッジトリガに同期します。外部同期信号源はプログラム済みのIC 周波数より高くする必要があります。SYNC がフローティング状態のままの場合、内部の5MΩ ブルダウン抵抗により、未定義のロジック状態が防止されます。

ピン番号	ピン名	説明
7	BOOT1	パワー MOSFETゲートドライバのフローティングブートストラップ電源ピン。ブートストラップコンデンサは、内部NチャネルMOSFETをオンするために必要な電荷を供給します。このピンとLX1の間に100nFの外付けコンデンサを接続します。
8	VIN1	レギュレータのパワー段の入力電源、および内部リニアバイアスレギュレータの電源。VIN1とGND1の間に4.7μF以上のセラミックコンデンサをICに近づけて接続してデカップリングします。
9	LX1	スイッチノードの出力。このピンは、スイッチングFETと外付け出力カインダクタとを接続します。
10	GND1	グラウンド接続。システムのGNDプレーンに直接接続します。
11、22	NC1、NC2	接続なし
12	EN1	レギュレータのイネーブル入力。このピンをグラウンドに引き下げると、レギュレータとバイアスLDOはオフに保持されます。このピンの電圧が1Vより高くなると、チップはイネーブルされます。自動的に起動するには、このピンをVIN1に接続します。EN1ピンはVCC1に接続しないでください。接続すると、バイアスLDOはEN1の電圧で制御されてしまうためです。
13	PG1	オープンドレインのパワーグッド出力で、出力電圧がレギュレーション制限値より低くなるか、ソフトスタート時間中である場合、グラウンドに引き下げられます。内部に5MΩのプルアップ抵抗があります。
14	VCC1	内部の5Vリニアバイアスレギュレータの出力。このピンに1μFのセラミックコンデンサを接続して、GNDにデカップリングします。
15	FB1	レギュレータの帰還ピン。FB1は電圧ループのエラーアンプへの反転入力です。COMP1はエラーアンプの出力です。出力電圧は、FB1に接続する外付け抵抗分圧器によって設定します。さらに、PWMレギュレータのパワーグッド回路は、FB1を使用してレギュレータの出力電圧をモニタします。
16	COMP1	COMP1はエラーアンプの出力です。VCC1に接続すると、内部補償が使用されます。COMP1とGNDの間にRCネットワークのみを接続すると、外部補償が使用されます。詳細については、 27ページの「ループ補償の設計」 を参照してください。
17	FS1	周波数選択ピン。スイッチング周波数を500kHzにするには、VCC1に接続します。300kHz～2MHzの範囲で調整可能な周波数にするには、この端子とGND1間に抵抗を接続します。
18、19	VOUT2	LDOの安定化出力電圧。安定性を確保するには4.7μF以上のX5R/X7R出力コンデンサが必要です。詳細については、 30ページの「外付けコンデンサの要件 (LDO)」 を参照してください。
20	FB2	制御ループのエラーアンプへの入力です。LDOの出力電圧を設定します。
21	GND2	LDOのグラウンド。
EPAD	GND	グラウンド接続。5箇所以上のビアによりアプリケーション基板のGNDプレーンに接続します。すべての電圧レベルはこのピンを基準にして測定されます。EPADをフローティング状態にしてはなりません。

2. 仕様

2.1 絶対最大定格

パラメータ	最小値	最大値	Unit
VIN1 ~ GND	-0.3	+43	V
LX1 ~ GND (DC)	-0.3	VIN1 + 0.3	V
LX1 ~ GND (20ns)	-2	+44	V
EN1 ~ GND	-0.3	+43	V
BOOT1 ~ LX1	-0.3	+5.5	V
COMP1, FS1, PG1, SYNC1, SS1, VCC1 ~ GND	-0.3	+5.9	V
FB1 ~ GND	-0.3	+2.95	V
VIN2 ~ GND	-0.3	+6.5	V
VOUT2 ~ GND (DC)	-0.3	+6.5	V
EN2, FB2, SS2 ~ GND	-0.3	+6.5	V
ESD 定格	値		Unit
人体モデル (JS-001-2014に従いテスト)	2		kV
デバイス帯電モデル (JS-002-2014に従いテスト)	1		kV
ラッチアップ (JESD78Eクラス2、レベルAに従いテスト)	100		mA

注意：最大定格に近い状態で長期間にわたって動作させないでください。このような状態にさらされると、製品の信頼性に悪影響を及ぼし、保証の対象外の障害を引き起こす恐れがあります。

2.2 熱情報

熱抵抗 (代表値)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
22 Ld 6x3 QFNパッケージ (Notes 5、6)	32	3.3

Notes:

- θ_{JA} は、「ダイレクトアタッチ」機能を備えた効率の高い熱伝導率テストボードに部品を取り付けて、自由空気流の状態で測定されています。[IB379](#)を参照してください。
- θ_{JC} における、「ケース温度」の位置は、パッケージ下側にある露出金属パッドの中央です。

パラメータ	最小値	最大値	Unit
最大接合部温度		+150	°C
最大保存温度範囲	-65	+150	°C
周囲温度範囲	-40	+125	°C
鉛フリーリフロープロファイル	IB493 を参照		

2.3 推奨動作条件

パラメータ	最小値	最大値	Unit
電源電圧、 V_{IN1}	3	40	V
電源電圧、 V_{IN2}	1.8	6	V
周囲温度	-40	+125	°C
出力電圧、 V_{OUT2}	0.8	5.5	V

2.4 電氣的仕様

特に規定のない限り、推奨の動作条件 ($V_{CC1} = 3.3V$)。

パラメータ	記号	テスト条件	Min (Note 9)	Typ	Max (Note 9)	Unit
降圧レギュレータ						
電源電圧						
V _{IN1} の電圧範囲	V _{IN1}		3		40	V
V _{IN1} の静止電源電流	I _{Q1}	SYNC1 = 5V、f _{SW} = V _{CC1}		8		mA
V _{IN1} のシャットダウン電源電流	I _{SD1}	EN1 = 0V、V _{IN1} = 40V (Note 7)		2	4	μA
V _{CC1} の電圧	V _{CC1}	V _{IN1} = 6V、I _{OUT} = 0 ~ 10mA	4.5	5.1	5.7	V
パワーオンリセット						
V _{CC1} のPOR しきい値		立ち上がりエッジ		2.75	2.95	V
		立ち下がりエッジ	2.35	2.6		V
オシレータ						
公称スイッチング周波数	f _{SW}	FS1 ピン = V _{CC1}	430	500	570	kHz
		FS1 ピンと GND1 の間の抵抗 = 340kΩ	240	300	360	kHz
		FS1 ピンと GND1 の間の抵抗 = 32.4kΩ		2000		kHz
最小オフ時間	t _{OFF}	V _{IN1} = 3V		150		ns
最小オン時間	t _{ON}	(Note 10)		90		ns
FS1 の電圧	V _{FS}	R _{FS1} = 100kΩ	0.39	0.4	0.41	V
同期周波数	SYNC1		300		2000	kHz
同期パルス幅			100			ns
エラーアンプ						
エラーアンプの相互コンダクタンスゲイン	g _{m1}	外部補償	165	230	295	μA/V
		内部補償		50		μA/V
FB1 のリーク電流		V _{FB1} = 0.6V		1	150	nA
電流センスアンプのゲイン	R _{T1}		0.44	0.5	0.54	V/A
FB1 の電圧		T _A = -40℃ ~ +85℃	0.590	0.599	0.606	V
		T _A = -40℃ ~ +125℃	0.590	0.599	0.607	V
パワーグッド						
PG1 の下限しきい値 - VFB1 上昇時				90	94	%
PG1 の下限しきい値 - VFB1 下降時			82.5	86		%
PG1 の上限しきい値 - VFB1 上昇時				116.5	120	%
PG1 の上限しきい値 - VFB1 下降時			107	112		%
PG1 の伝播遅延		ソフトスタート時間のパーセンテージ		10		%
PG1 の Low 電圧		I _{SINK} = 3mA、EN1 = V _{CC1} 、VFB1 = 0V		0.05	0.3	V
トラッキングとソフトスタート (SS1)						
ソフトスタート充電電流	I _{SS1}		4.2	5.5	6.7	μA
内部ソフトスタートランブ時間		EN1/SS1 = V _{CC1}	1.5	2.4	3.4	ms
フォルト保護						
サーマルシャットダウン温度	T _{SD}	上昇しきい値		150		℃
	T _{HYS}	ヒステリシス		25		℃

特に規定のない限り、推奨の動作条件 ($V_{CC1} = 3.3V$)。(続き)

パラメータ	記号	テスト条件	Min (Note 9)	Typ	Max (Note 9)	Unit
電流制限 ブランキング時間	t _{OCON}			17		クロック パルス
過電流と自動再開の周期	t _{OCOFF}			8		SS サイクル
正のピーク電流制限	I _{PLIMIT}	(Note 8)	1.3	1.6	1.8	A
PFMのピーク電流制限	I _{PK_PFM}		0.34	0.4	0.5	A
ゼロクロスしきい値				15		mA
負電流制限	I _{NLIMIT}	(Note 8)	-0.68	-0.6	-0.53	A
パワー MOSFET						
ハイサイド	R _{HDS}	I _{PHASE} = 100mA、V _{CC1} = 5V		313		mΩ
ローサイド	R _{LDS}	I _{PHASE} = 100mA、V _{CC1} = 5V		175		mΩ
LX1のリーク電流		EN1 = LX1 = 0V			300	nA
LX1の立ち上がり時間	t _{RISE}	V _{IN1} = 40V		10		ns
EN1/SYNC1						
入力しきい値		立ち下がリエッジ、ロジック Low	0.4	1		V
		立ち上がリエッジ、ロジック High		1.2	1.4	V
EN1 ロジック入力リーク電流		EN1 = 0V/40V	-0.65		0.65	μA
SYNC1 ロジック入力リーク電流		SYNC1 = 0V		10	100	nA
		SYNC1 = 5V		1.0	1.55	μA
LDO レギュレータ						
DC 特性						
入力電圧	V _{IN2}	0℃ < T _J < +125℃	1.8		6.0	V
		-40℃ < T _J < +125℃	2.2		6.0	V
帰還ピンの電圧	V _{FB2}	1.8V < V _{IN2} < 6V、0A < I _{LOAD2} < 500mA	491	500	509	mV
帰還入力電流		V _{FB2} = 0.5V		0.01	1	μA
ラインレギュレーション	(V _{OUT2} (LOW LINE) - V _{OUT2} (HIGH LINE))/V _{OUT2} (LOW LINE)	V _{IN2} = 1.8V to 6V、I _{LOAD2} = 100mA	-0.9		0.9	%
ロードレギュレーション	(V _{OUT2} (NO LOAD) - V _{OUT2} (FULL LOAD))/V _{OUT2} (NO LOAD)	V _{IN2} = 2.2V、I _{LOAD2} = 0A ~ 500mA	-0.7		0.7	%
グラウンドピン電流	I _{Q2}	I _{LOAD2} = 0A、1.8V < V _{IN2} < 6V		2.2	4.6	mA
		I _{LOAD2} = 500mA、1.8V < V _{IN2} < 6V		2.8	5.7	mA
シャットダウン時のグラウンドピン電流	I _{SHDN}	EN2 ピン = 0V、V _{IN2} = 6V		0.2	12	μA
ドロップアウト電圧 (Note 11)	V _{DO}	I _{LOAD2} = 500mA、V _{OUT2} = 2.5V		45	90	mV
出力短絡電流	OCP	V _{OUT2} = 0V	0.75	1.2	1.5	A
サーマルシャットダウン温度	TSD			160		℃
サーマルシャットダウンヒステリシス	TSDn	V _{IN2} = 3.3V		10		℃
AC 特性						
入力電源リップル除去比	PSRR	f = 1kHz、I _{LOAD2} = 500mA、V _{IN2} = 2.2V、V _{OUT} = 1.8V		57		dB
		f = 120Hz、I _{LOAD2} = 500mA; V _{IN2} = 2.2V; V _{OUT2} = 1.8V		60		dB

特に規定のない限り、推奨の動作条件 ($V_{CC1} = 3.3V$)。(続き)

パラメータ	記号	テスト条件	Min (Note 9)	Typ	Max (Note 9)	Unit
出力ノイズ電圧		$V_{IN2} = 2.2V$ 、 $V_{OUT2} = 1.8V$ 、 $I_{LOAD2} = 500mA$ 、 $BW = 100Hz < f < 100kHz$		79		μV_{RMS}
イネーブル (EN2) ピンの特性						
ターンオンしきい値			0.5	0.8	1	V
ヒステリシス			10	80	200	mV
EN2 ピンのターンオン遅延		$C_{OUT2} = 4.7\mu F$ 、 $I_{LOAD2} = 500mA$		100		μs
EN2 ピンのリーク電流		$V_{IN2} = 6V$ 、 $EN2 = 3V$			1	μA
ソフトスタート (SS2) 特性						
SS2 ピンの電流 (Note 12)	I_{PD}	$V_{IN2} = 3.5V$ 、 $EN2 = 0V$ 、 $SS2 = 1V$	0.5	1	1.3	mA
	I_{CHG}		-3.3	-2	-0.8	μA

Notes:

- テスト条件: $V_{IN1} = 40V$ 、FB1にレギュレーション点 (0.6V) より高い電圧を印加、スイッチングなし、パワー MOSFET のゲート充電電流は含まれません。
- 電流センスアンプゲインのテストと電流センスアンプ出力のテストは両方とも $I_L = 0A$ で実施されます。
- 特に規定のない限り、MIN または MAX あるいはその両方の制限値があるパラメータは、+25°C で全数テストされます。温度制限値は特性評価によって確認され、量産時のテストは行われません。
- 最小オン時間は、ループ安定性を維持するために必要な時間です。
- ドロップアウトは、出力がその公称レギュレーション電圧より低下したときの電源の V_{IN} と V_{OUT} との差として定義されます。
- I_{PD} は内部プルダウン電流で、ディスエーブル時に外付けの SS2 コンデンサを放電します。 I_{CHG} は SS2 ピンから流れる電流で、起動時に外付けのソフトスタートコンデンサを充電します。

3. 代表的な性能曲線

3.1 降圧レギュレータの効率曲線

$f_{SW} = 500\text{kHz}$, $T_A = +25^\circ\text{C}$

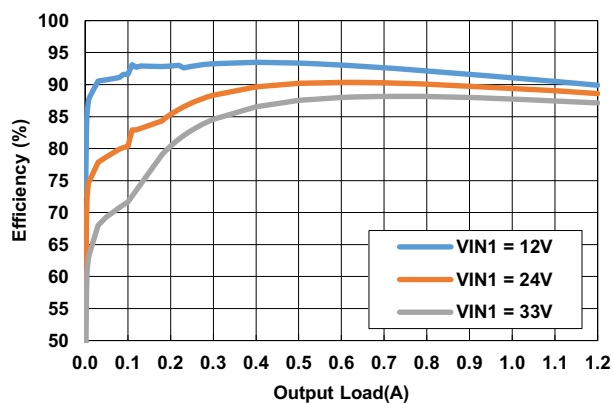


図 6. 効率vs負荷、PFM、 $V_{OUT} = 5\text{V}$ 、 $L_1 = 22\mu\text{H}$

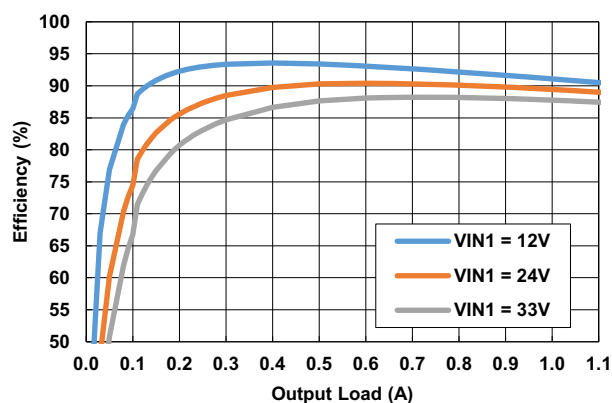


図 7. 効率vs負荷、PWM、 $V_{OUT1} = 5\text{V}$ 、 $L_1 = 22\mu\text{H}$

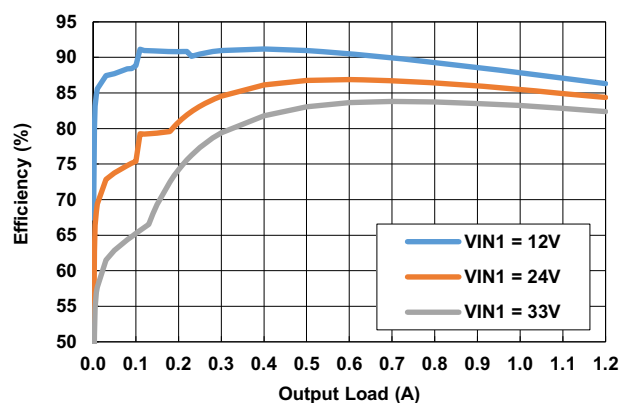


図 8. 効率vs負荷、PFM、 $V_{OUT} = 3.3\text{V}$ 、 $L_1 = 22\mu\text{H}$

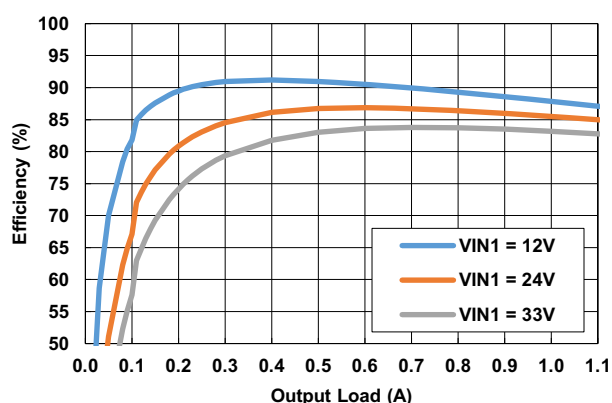


図 9. 効率vs負荷、PWM、 $V_{OUT1} = 3.3\text{V}$ 、 $L_1 = 22\mu\text{H}$

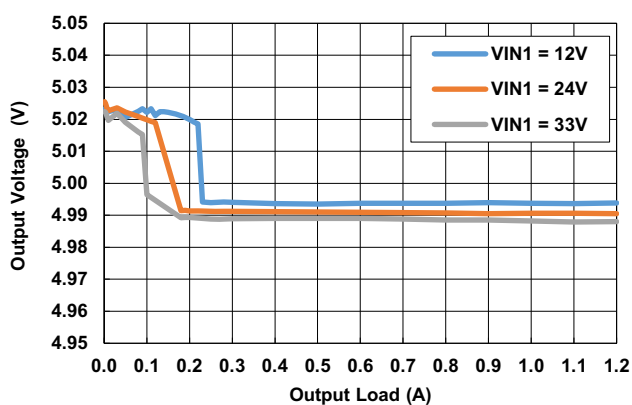


図 10. V_{OUT} のレギュレーションvs負荷、PFM、 $V_{OUT1} = 5\text{V}$

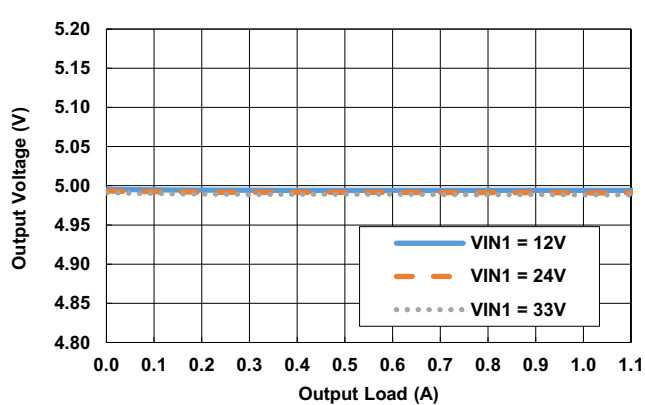


図 11. V_{OUT1} のレギュレーションvs負荷、PWM、 $V_{OUT1} = 5\text{V}$

$f_{SW} = 500\text{kHz}$, $T_A = +25^\circ\text{C}$

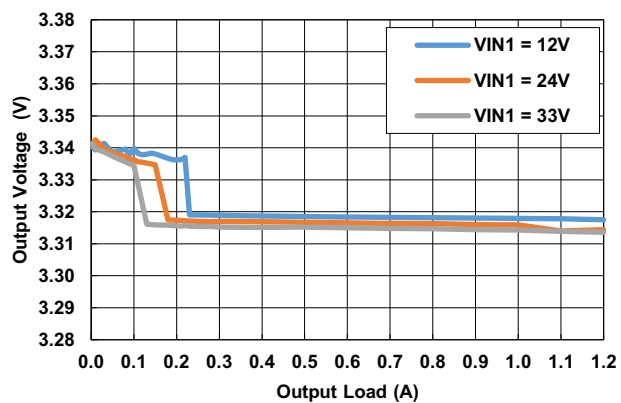


図 12. V_{OUT} のレギュレーション vs 負荷、PFM、 $V_{OUT1} = 3.3\text{V}$

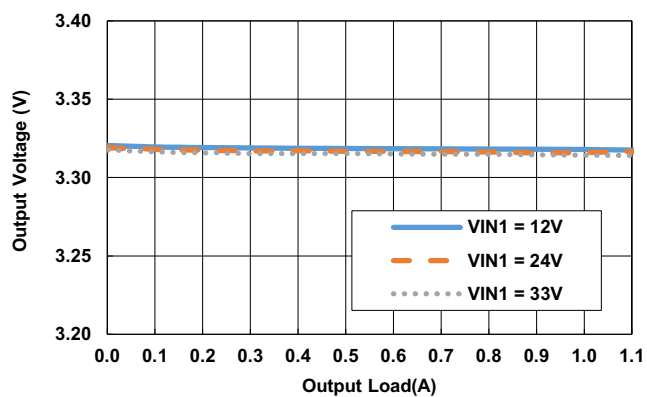


図 13. V_{OUT1} のレギュレーション vs 負荷、PWM、 $V_{OUT1} = 3.3\text{V}$

3.2 降圧レギュレータの測定結果

$f_{SW} = 500\text{kHz}$, $V_{IN1} = 24\text{V}$, $V_{OUT1} = 3.3\text{V}$, $T_A = +25^\circ\text{C}$

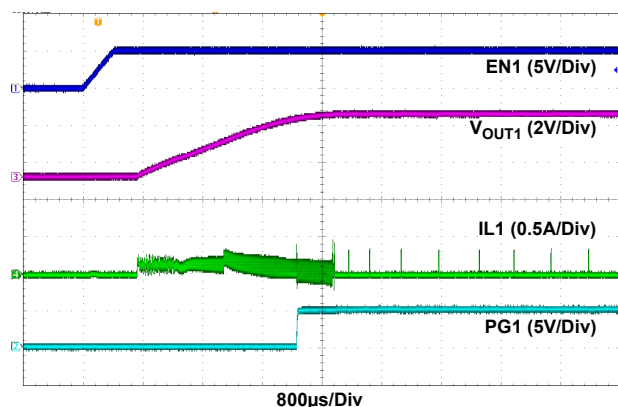


図 14. 無負荷での起動、PFM

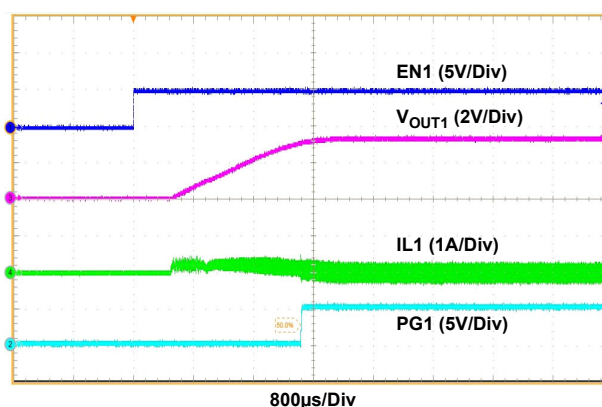


図 15. 無負荷での起動、PWM

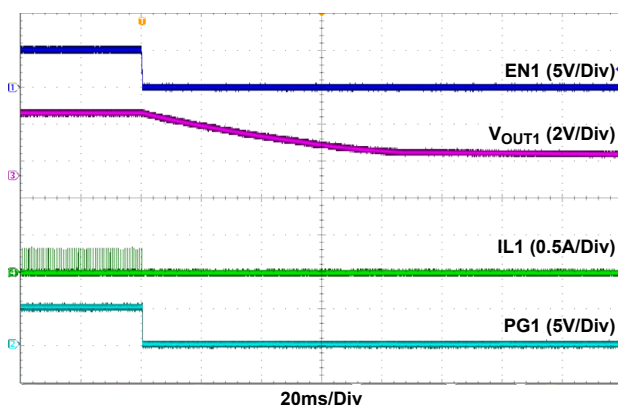


図 16. 無負荷でのシャットダウン、PFM

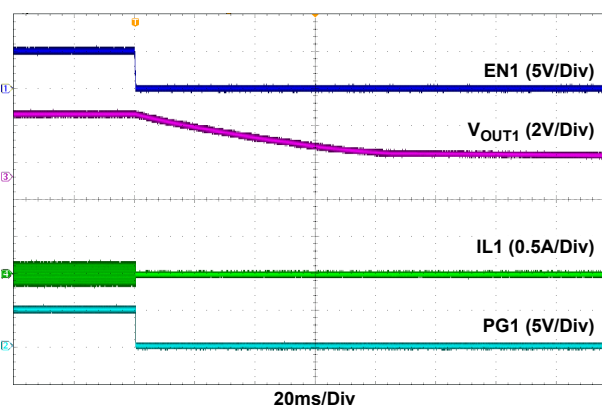


図 17. 無負荷でのシャットダウン、PWM

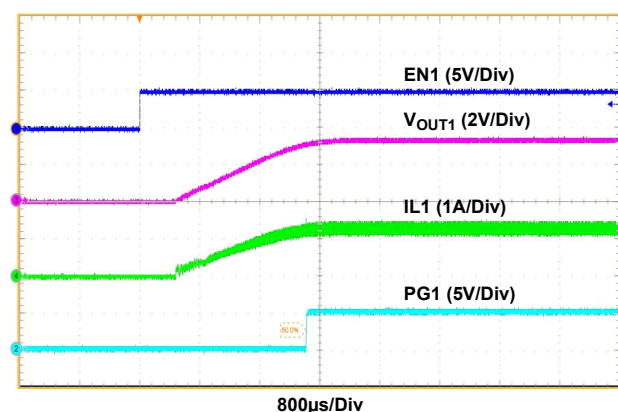


図 18. 1.1Aでの起動、PWM

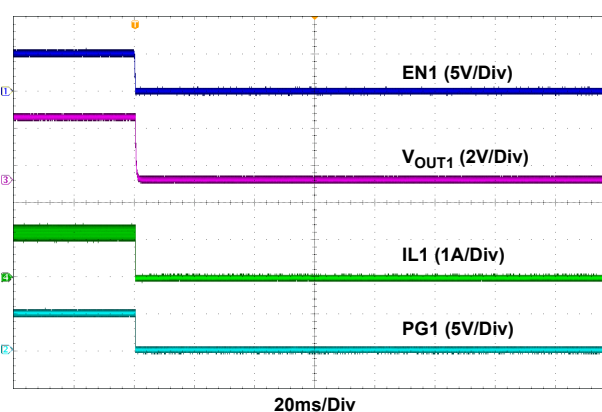


図 19. 1.1Aでのシャットダウン、PWM

$f_{SW} = 500\text{kHz}$, $V_{IN1} = 24\text{V}$, $V_{OUT1} = 3.3\text{V}$, $T_A = +25^\circ\text{C}$ (続き)

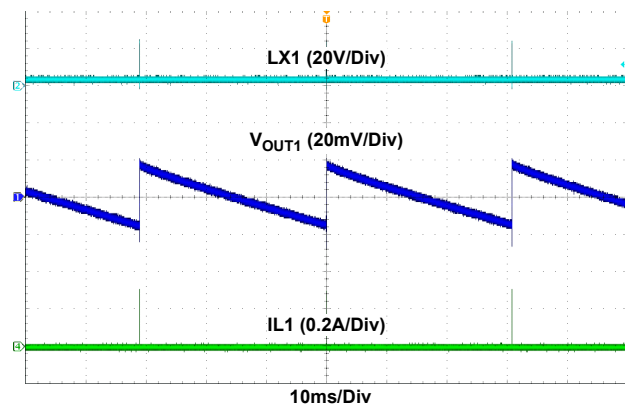


図 20. 無負荷での定常動作、PFM

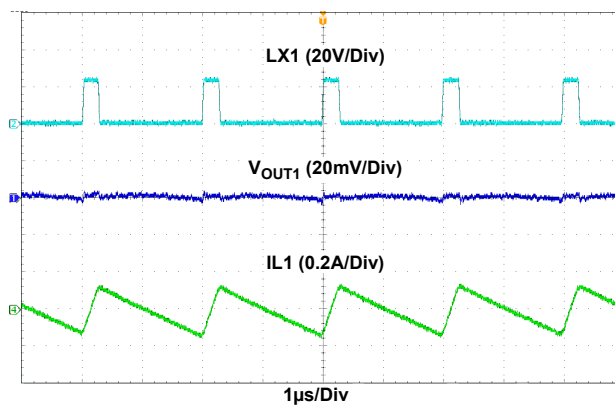


図 21. 無負荷での定常動作、PWM

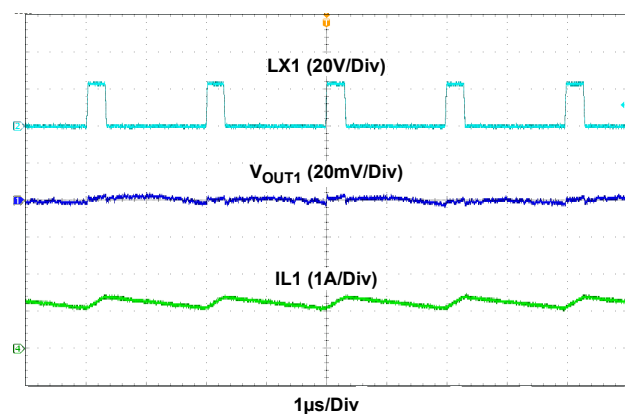


図 22. 1.1A 負荷での定常動作

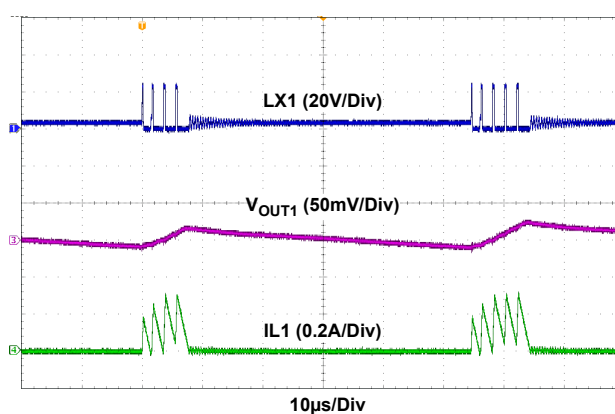


図 23. 20mA での軽負荷動作、PFM

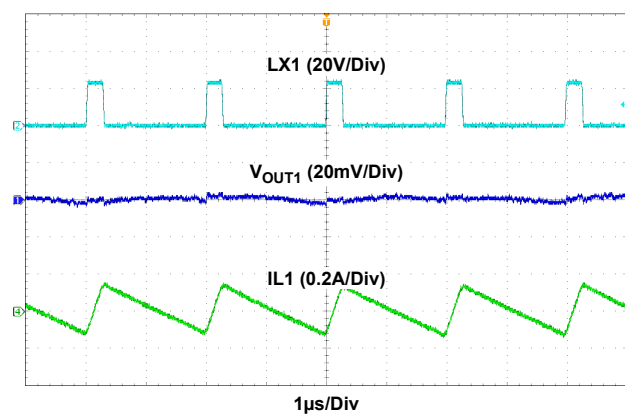


図 24. 20mA での軽負荷動作、PWM

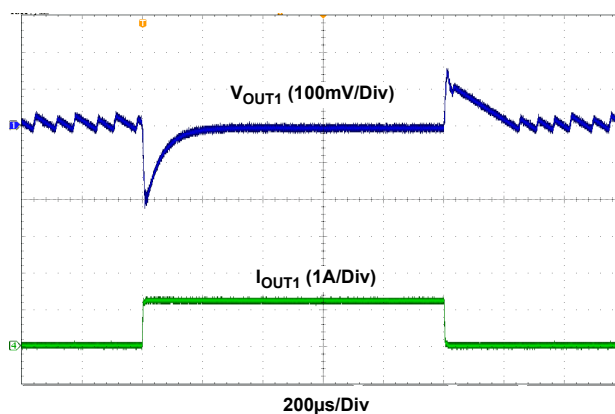


図 25. 負荷応答、PFM

$f_{SW} = 500kHz$, $V_{IN1} = 24V$, $V_{OUT1} = 3.3V$, $T_A = +25^\circ C$ (続き)

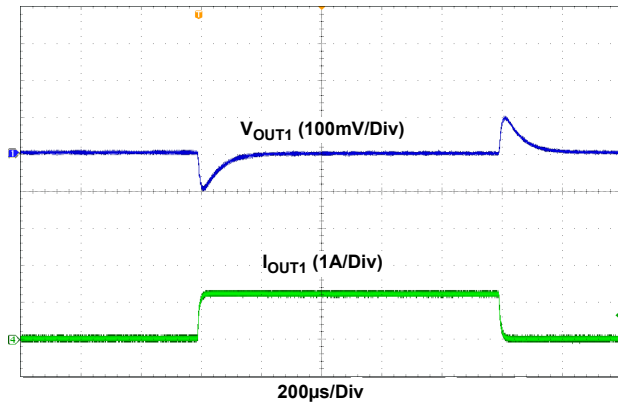


図 26. 負荷応答、PWM

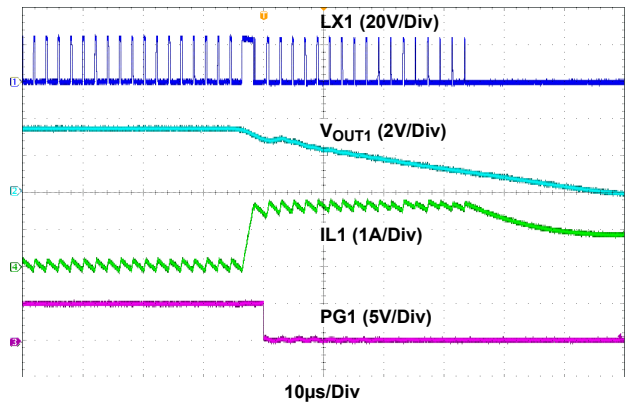


図 27. 過電流保護

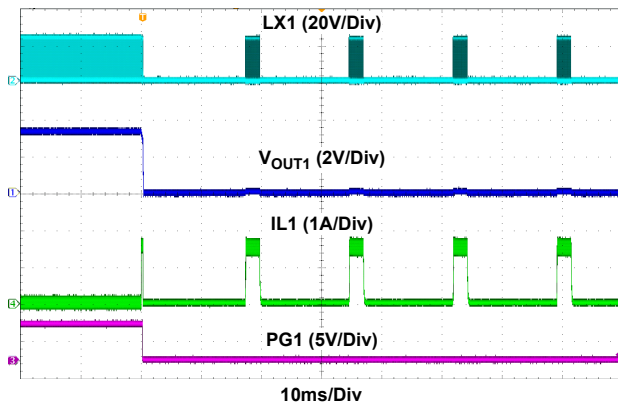


図 28. 過電流保護 (ヒカップ)

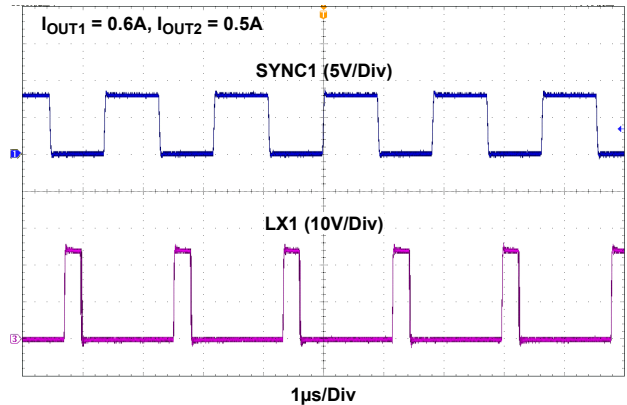


図 29. 1.1A 負荷での SYNC1

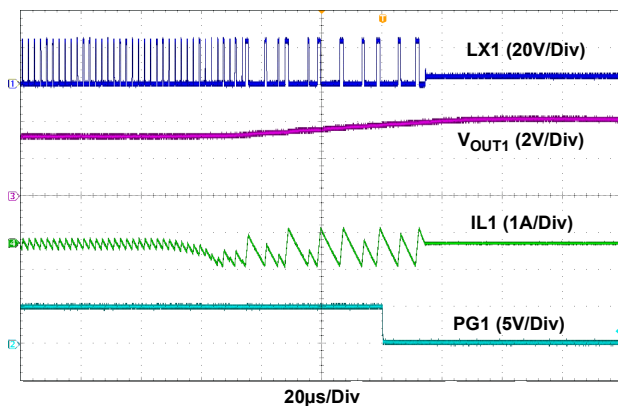


図 30. 負電流制限

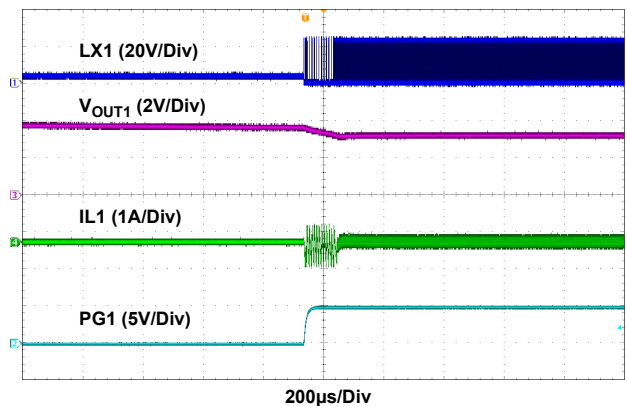


図 31. 負電流制限からの復帰

3.3 LDOの特性

特に規定のない限り、以下の条件。 $V_{IN2} = 2.2V$ 、 $V_{OUT2} = 1.8V$ 、 $C_{IN2} = C_{OUT2} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$

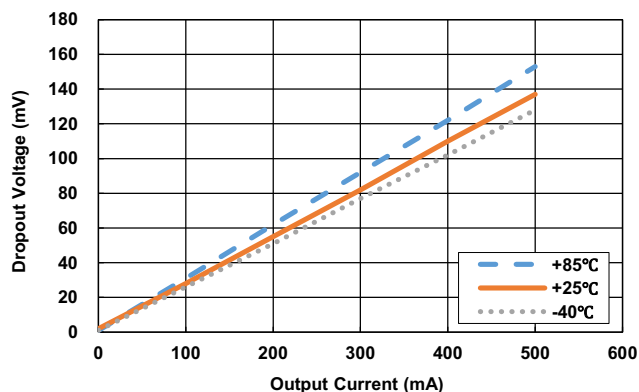


図 32. ドロップアウト電圧vs出力電流

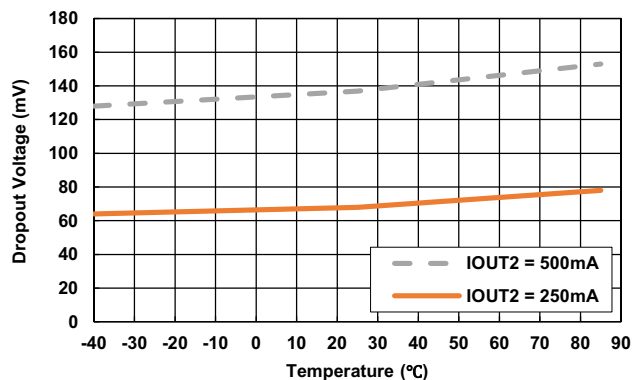


図 33. ドロップアウト電圧vs温度

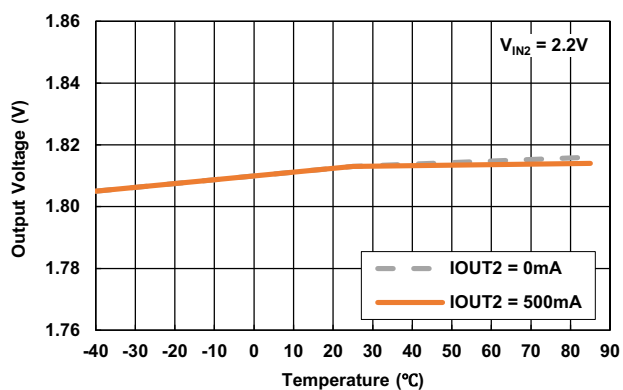


図 34. 出力電圧vs温度

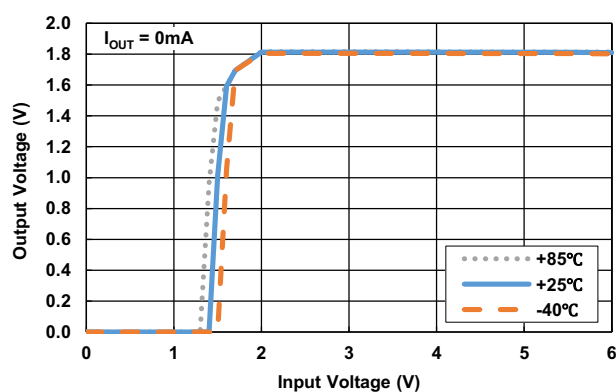


図 35. 出力電圧vs入力電圧

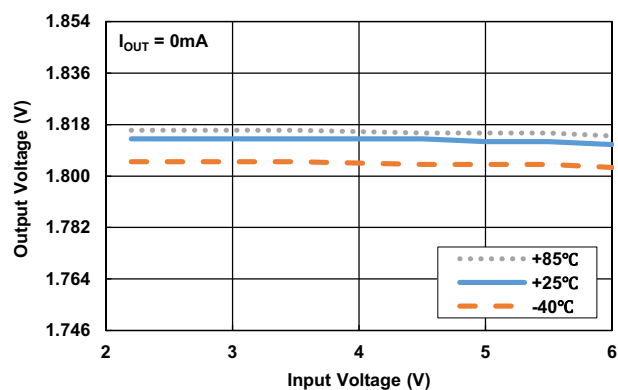


図 36. ラインレギュレーション

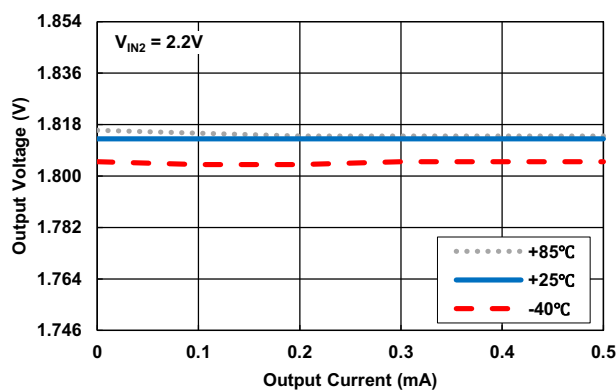


図 37. 出力電圧vs出力電流

特に規定のない限り、以下の条件。 $V_{IN2} = 2.2V$ 、 $V_{OUT2} = 1.8V$ 、 $C_{IN2} = C_{OUT2} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ （続き）

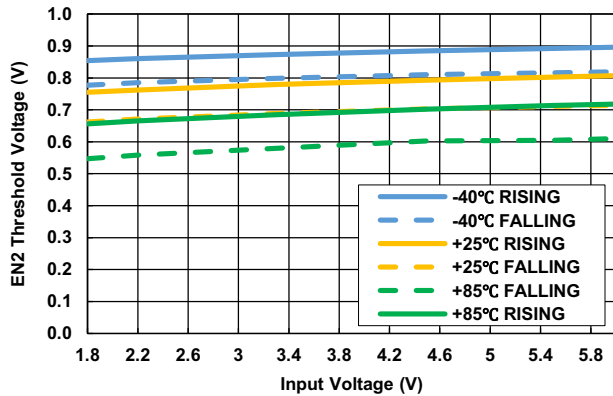


図 38. EN2のしきい値vs入力電圧

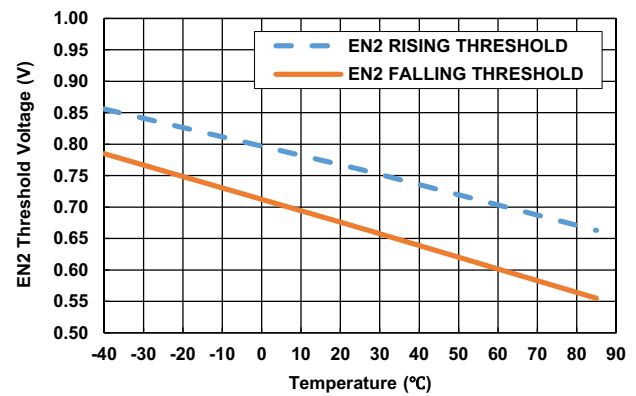


図 39. EN2のしきい値vs温度

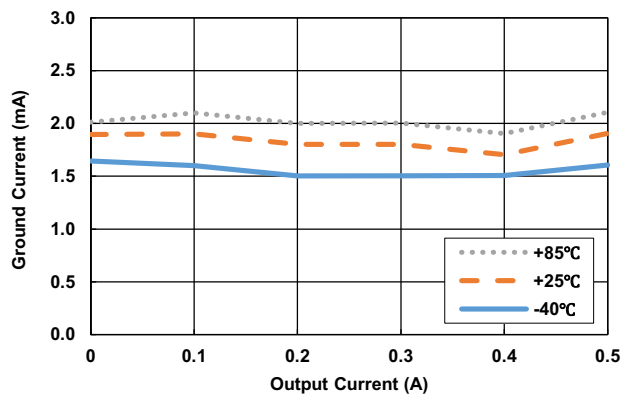


図 40. グラウンド電流vs出力電流

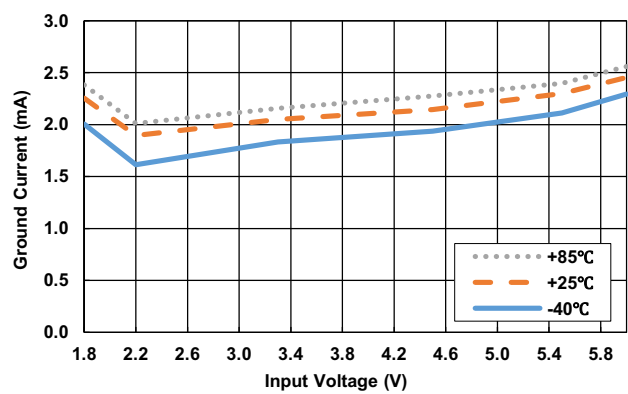


図 41. グラウンド電流vs入力電圧

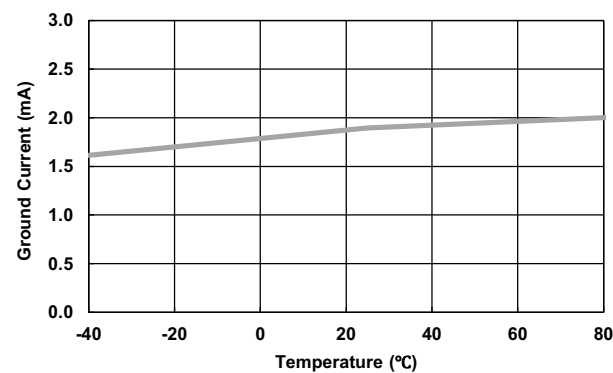


図 42. グラウンド電流vs温度

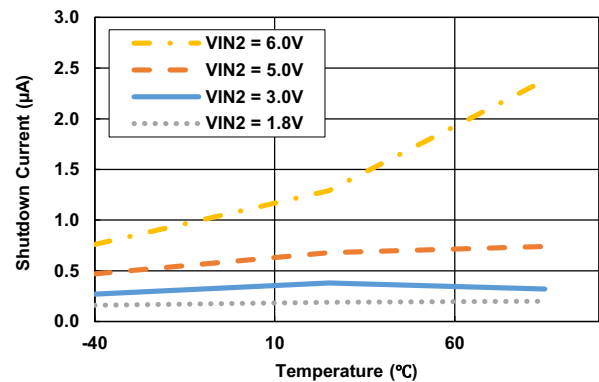


図 43. シャットダウン電流vs温度

特に規定のない限り、以下の条件。 $V_{IN2} = 2.2V$ 、 $V_{OUT2} = 1.8V$ 、 $C_{IN2} = C_{OUT2} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ （続き）

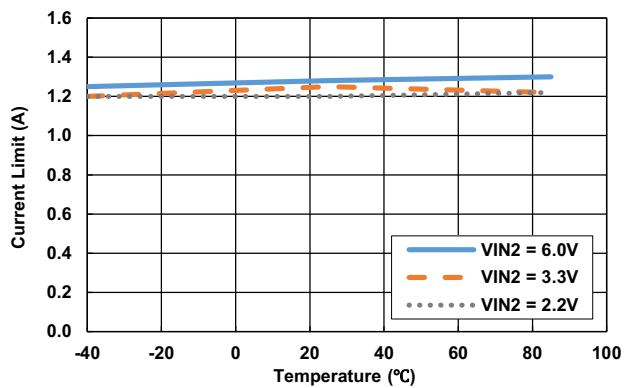


図 44. 電流制限 vs 温度

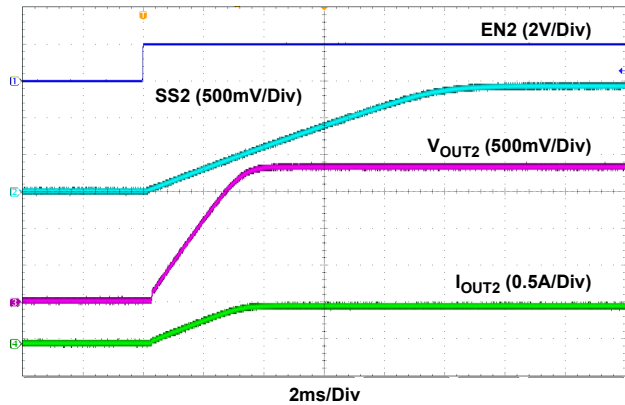


図 45. イネーブルによる起動 ($C_{SS2} = 10nF$)

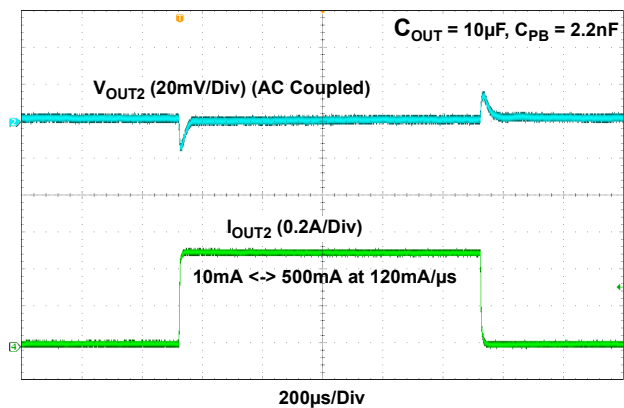


図 46. 負荷応答

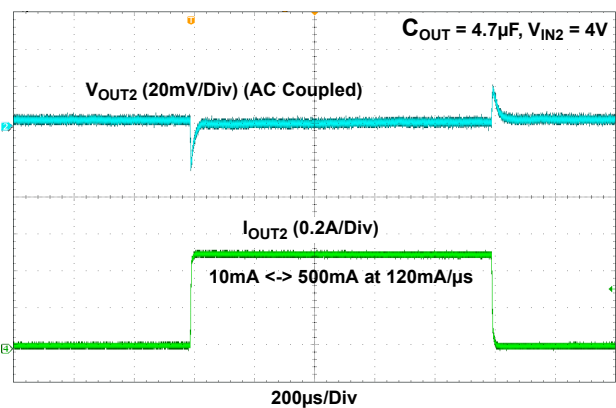


図 47. 負荷応答

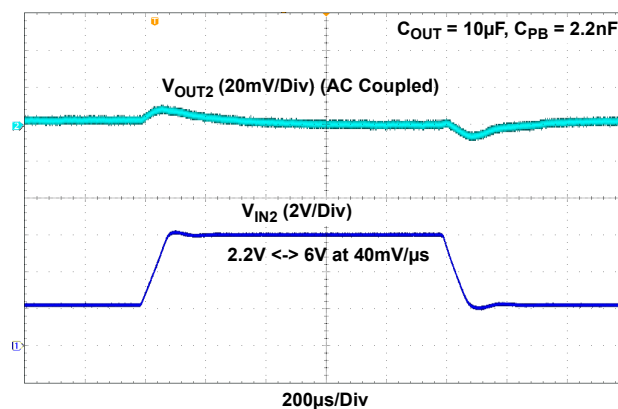


図 48. 入力過渡応答

特に規定のない限り、以下の条件。 $V_{IN2} = 2.2V$ 、 $V_{OUT2} = 1.8V$ 、 $C_{IN2} = C_{OUT2} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ （続き）

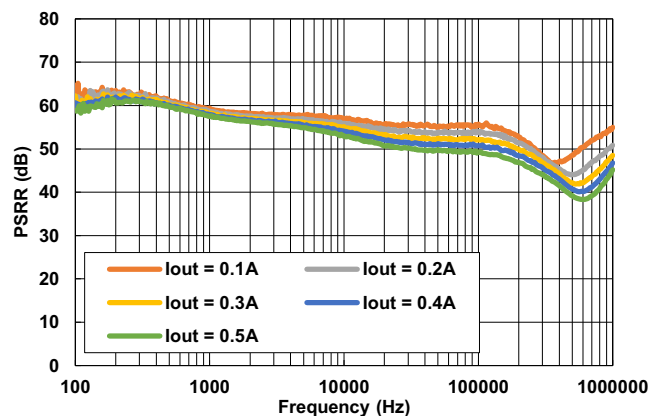


図 49. PSRR vs 周波数、 $C_{PB} = 10nF$

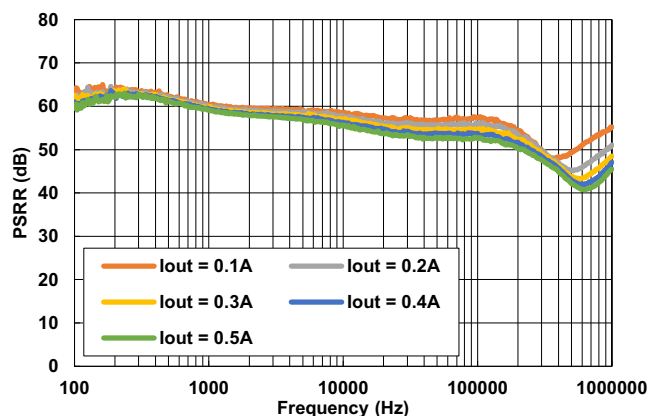


図 50. PSRR vs 周波数、 $C_{PB} = 10nF$ 、 $V_{IN} = 2.3V$

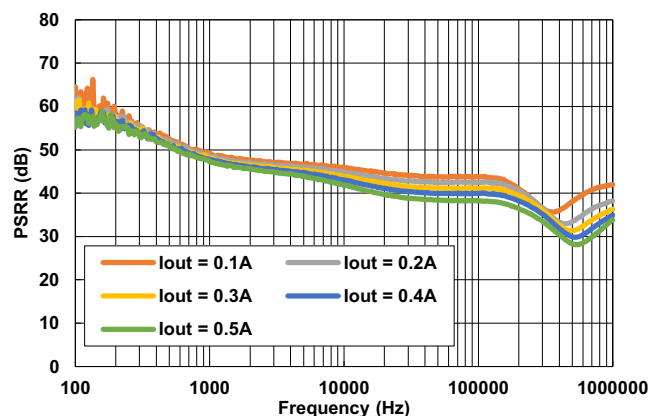


図 51. PSRR vs 周波数 ($C_{OUT} = 4.7\mu F$)

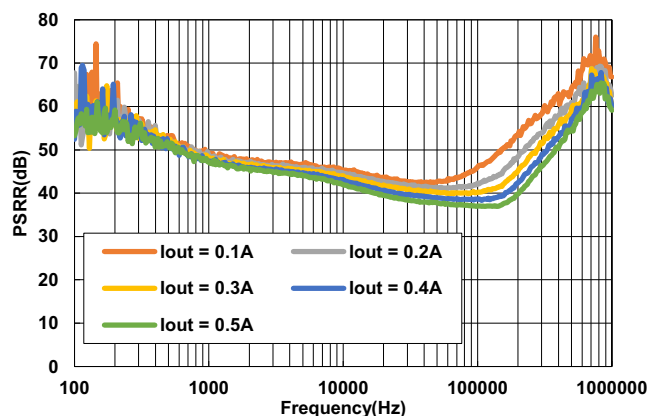


図 52. PSRR vs 周波数 ($C_{OUT} = 47\mu F$)

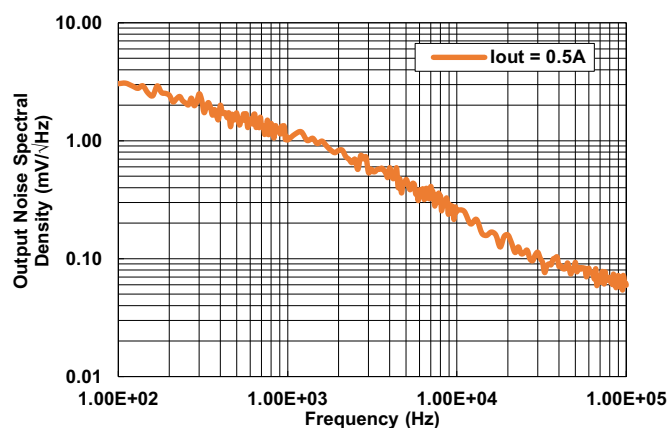


図 53. 出力ノイズのスペクトル密度

4. 機能説明

RAA212421 は、固定周波電流モードで入力電圧範囲の広い降圧レギュレータと低ドロップアウトレギュレータ (LDO) で構成されます。

入力電圧範囲の広い降圧レギュレータは、電圧範囲が+3V～+40Vの非安定化DC電源 (バッテリーなど) で動作できます。内蔵のリニアレギュレータは、入力電圧範囲の広い降圧レギュレータの内部回路にバイアスを供給します。ピーク電流モード制御により、帰還ループ補償が簡略化され、入力電圧による変動を抑えます。ユーザーが選択可能な内部帰還ループ補償により、設計をさらに簡略化できます。降圧レギュレータは電流検出回路を内蔵しており、ピーク電流制限しきい値は1.6A (代表値) に設定されています。

低ドロップアウトレギュレータは1.8V～6Vの入力電圧で動作し、0.8V～5.5Vの出力電圧を制御します。その最大出力電流は500mAです。この製品ファミリは、サブミクロンBiCMOSプロセスを採用して、クラス最高のアナログ性能と総合的価値を追求しています。このCMOS LDOが負荷の関数として消費する静止電流は、バイポーラLDOと比較してはるかに少ないので、効率が高くなり、パッケージの実装面積は小さくなります。

4.1 パワーオンリセット (降圧)

入力電圧範囲の広い降圧レギュレータは、入力電源電圧を受け取ると初期化され、EN1 ピンの状態を常にモニタします。EN1にそのロジック上昇しきい値より低い電圧が印加されると、ICはシャットダウン状態に保持され、 V_{IN1} 電源からの消費電流は2 μ A (代表値) になります。EN1がそのロジック上昇しきい値を超えると、レギュレータはバイアスリニアレギュレータをイネーブルして、VCC1 ピンの電圧をモニタし始めます。VCC1 ピンの電圧がPOR 上昇しきい値を超えると、コントローラはスイッチングレギュレータ回路を初期化します。VCC1がPOR 上昇しきい値を超えない場合、コントローラはスイッチングレギュレータが動作するのを阻止します。スイッチングレギュレータが動作しているときにVCC1がそのPOR 下降しきい値より低くなると、スイッチングレギュレータはシャットダウンし、VCC1が復帰するまでシャットダウンしたままになります。

4.2 ソフトスタート

降圧コンバータとLDOは、両方ともソフトスタート機能を備えており、大きな突入電流を防止します。降圧コンバータでは、起動時に V_{OUT1} が最終的な安定値まで緩やかに増加します。ソフトスタート時間はSS1ピンの設定によって決まります。SS1をVCC1に引き上げると、ソフトスタートに対して2msの内部タイマが選択されます。他のソフトスタート時間にするには、SS1とGNDの間にコンデンサを接続します。この場合は、5.5 μ Aの電流がSS1の電圧を引き上げ、FB1ピンは600mVのリファレンスレベルに達するまでこのランプ電圧に追従します。この場合のソフトスタート時間は、次の式1で表されます。

$$(式1) \quad \text{Time(ms)} = C(\text{nF}) \times 0.109$$

LDOのソフトスタート回路が制御する速度は、電源投入時またはLDOのイネーブル時に出力電圧がレギュレーションレベルまで上昇する速度です。この起動ランプ時間を設定するには、SS2ピンとグラウンドの間に外付けコンデンサを追加します。内部の2 μ A電流源がC_{SS2}を充電し、帰還リファレンス電圧はこのコンデンサ両端の電圧にクランプされます。起動時間は式2で設定します。

$$(式2) \quad t_{\text{start}} = \frac{C_{\text{SS2}} \times 0.5}{2\mu\text{A}}$$

具体的な起動突入電流に必要なC_{SS2}は、式3で計算します。ここで、V_{OUT2}は出力電圧、C_{OUT2}は出力の全容量、I_{INRUSH2}は所望の突入電流です。

$$(式3) \quad C_{\text{SS2}} = \frac{V_{\text{OUT2}} \times C_{\text{OUT2}} \times 2\mu\text{A}}{I_{\text{INRUSH2}} \times 0.5\text{V}}$$

外付けコンデンサは、起動またはイネーブルの開始時には、必ずグラウンドまで放電されます。

4.3 パワーグッド (降圧)

PG1は、FB1ピンを使用して降圧レギュレータの出力電圧を常にモニタするウィンドコンパレータのオープンドレイン出力です。EN1がLowで降圧レギュレータがソフトスタート期間のとき、PG1はアクティブLowを保持します。FB1ピンが8ページの「電氣的仕様」に規定されている範囲内である場合は、ソフトスタート期間の完了後、PG1はハイインピーダンスになります。FB1が規定の範囲から外れた場合は、FB1が範囲内に戻るまで、PG1はLowになります。また、過熱フォルトが発生した場合も、ソフトスタートを行うことでフォルト状態が解消されるまで、PG1はLowになります。PG1には内部に5M Ω のプルアップ抵抗があります。

4.4 PWM制御方式（降圧）

入力電圧範囲の広い降圧レギュレータは、4ページの「機能ブロック図」に示すように、ピーク電流モードのパルス幅変調（PWM）制御を採用して、高速負荷応答とパルスバイパルス電流制限に対応します。電流ループは、電流検出回路、スロープ補正ランプ、PWMコンパレータ、オシレータ、およびラッチで構成されます。電流検出トランスレジスタンスの代表値は500mV/Aであり、スロープ補正レート S_c の代表値は450mV/T（Tはスイッチングサイクル周期）です。電流ループの制御基準はエラーアンプの出力（ V_{COMP1} ）から得られます。

クロックパルスがPWMラッチをセットして、上側のFETがオンすると、PWMサイクルが始まります。上側FETとインダクタの電流が増加し始めます。この電流が検出され、電圧（ V_{CSA} ）に変換されて、スロープ補正信号に加算されます。この複合信号が V_{COMP1} と比較され、この信号が V_{COMP1} に等しくなると、ラッチはリセットされます。ラッチがリセットされると、上側FETがオフして下側FETがオンするので、インダクタを流れる電流は減少します。クロックによって新たなPWMサイクルが始まるまで、下側FETはオンのままです。図54に、PWM動作中の代表的な動作波形を示します。点線は、電流検出信号とスロープ補正信号の和を示しています。

エラーアンプが V_{COMP1} を変化させ、出力インダクタ電流を変化させるのに応じて、出力電圧は安定化されます。エラーアンプは相互コンダクタンスタイプであり、その出力（COMP1）は直列RCネットワークによってGNDに終端されています。COMP1ピンをVCC1に接続している場合、この終端は内部終端（150k Ω /54pF）です。さらに、COMP1 = V_{CC1} の場合の相互コンダクタンスは50 μ A/Vであるのに対して、RCを外付けした場合は230 μ A/Vです。エラーアンプの非反転入力には600mVのリファレンス電圧に内部接続されており、反転入力にはFB1ピンから分割器ネットワークを介し出力電圧に接続されています。

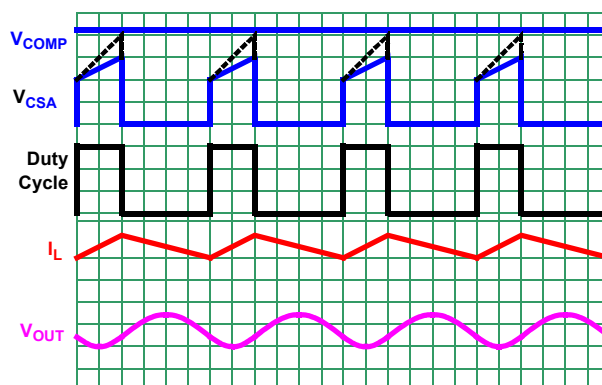


図 54. PWM動作の波形

4.5 軽負荷動作

軽負荷では、パルス周波数変調（PFM）を有効にすることでコンバータの効率を向上させることができます。SYNCピンをGNDに接続すると、コントローラは負荷電流が低い場合自動的にPFM動作になります。22ページの図55にDCM動作を示します。ゼロを横切るインダクタ電流が連続して8サイクル検出されると、ICはDCM動作モードに入ります。これは、ピークツーピークインダクタリップル電流の1/2に等しく、式4で設定される負荷電流に対応します。

$$(式4) \quad I_{OUT} = \frac{V_{OUT}(1-D)}{2Lf_{SW}}$$

この式では、D = デューティサイクル、 f_{SW} = スwitchング周波数、L = インダクタ値、 I_{OUT} = 出力負荷電流、 V_{OUT} = 出力電圧です。

PFMモードで動作している間、レギュレータは単純なコンパレータとパルス状のFET電流で出力電圧を制御します。コンパレータは、FBが600mVのリファレンス電圧に等しくなるポイントを通知します。このとき、レギュレータは電流パルスの供給を開始し、FBが600mVのリファレンス電圧を1%上回るまで電流パルスを供給し続けます。電流パルスは約400mAで、コンバータのプログラムされたPWM動作周波数に等しい周波数で送出されます。

PFMモードのパルス電流の特性により、コンバータは、制限された電流を負荷に供給できます。負荷電流が制限を超えると、 V_{OUT} が下がり始めます。2番目のコンパレータは、600mVリファレンス電圧より2%低いFB電圧を通知し、コンバータを強制的にPWM動作に戻します。

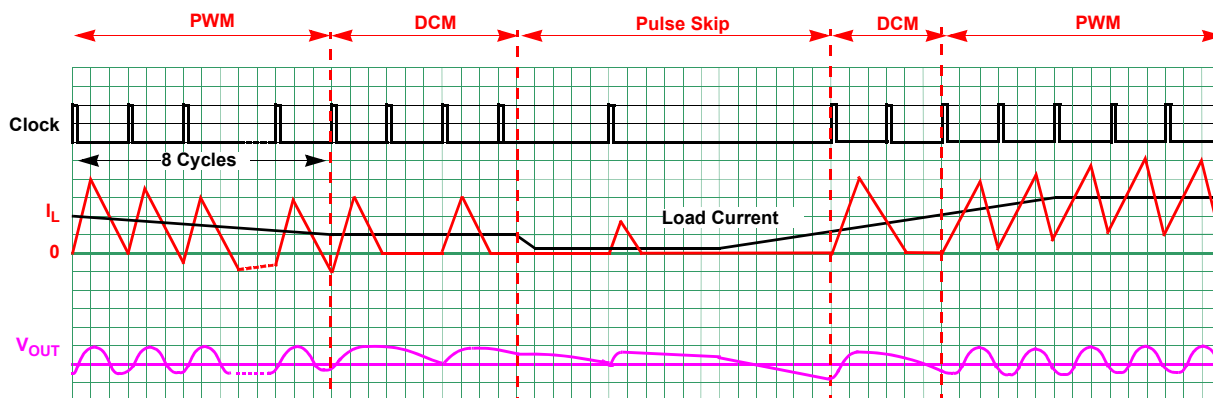


図 55. DCMモード動作の波形

4.6 出力電圧の選択

レギュレータの出力電圧は、内部リファレンス電圧を基準にして V_{OUT1} を設定する外付け抵抗分割器を使用して簡単にプログラムできます。抵抗分割後の出力電圧はエラーアンプの反転入力に加えられます。詳細については、[図 56](#)を参照してください。

出力電圧プログラミング抵抗 R_2 は、帰還抵抗 R_1 として選択した値とともに、レギュレータの出力電圧 V_{OUT1} を設定します。[式 5](#) に、 V_{OUT1} と抵抗値の関係を示します。

$$(式5) \quad R_2 = \frac{R_1 \times 0.6V}{V_{OUT1} - 0.6V}$$

所望の出力電圧が0.6Vである場合、 R_2 は未実装とし、 R_1 は0Ωです。

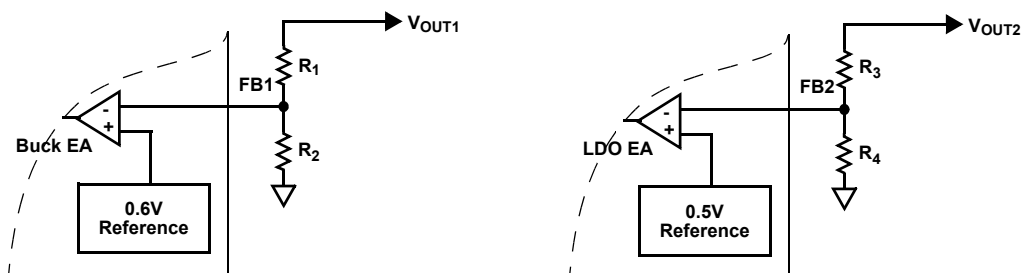


図 56. 外付け抵抗分割器

同様に、LDOの出力電圧は、外付け抵抗分割器によって設定できます。抵抗 R_3 と R_4 の値は、[式 6](#)を使用して計算できます。

$$(式6) \quad R_3 = R_4 \times \left(\frac{V_{OUT2}}{0.5} - 1 \right)$$

4.7 保護機能

RAA212421は、過電流、負の過電流、過熱、およびブート低電圧から保護されます。保護回路は自動的に動作します。

4.7.1 過電流保護（降圧）

PWMのオン時間の間、上側FETを流れる電流がモニタされ、公称1.6Aのピーク過電流制限値と比較されます。電流が制限値に達すると、上側FETは次のスイッチングサイクルまでオフになります。このようにして、FETのピーク電流は常に制限されています。

過電流状態が代表値で連続17クロックサイクルにわたって解消されない場合、レギュレータはヒカップシーケンスを開始します。この場合は、上下両側のFETがオフして、PG1はLowに引き下げられます。この状態は、レギュレータが通常のソフトスタートを試行後、ソフトスタート8周期にわたって維持されます。

出力フォルトが解消されない場合、レギュレータはヒカップシーケンスを無期限に繰り返します。ソフトスタート時に出力が短絡した場合でも、危険性はありません。

V_{OUT1} が非常に急速に短絡した場合は、過電流が代表値で17サイクル検出される前に、FB1はその目標値の5/8より低い電圧に低下することがあります。RAA212421はこの状態を認識して、そのスイッチング周波数の低減を開始し、FB1ピンの電圧に比例させます。スイッチング周波数を低下することで、どのような状況（ V_{OUT1} が0Vに近い状況）でも、インダクタ電流が暴走しないよう抑えることができます。

4.7.2 電流制限保護（LDO）

RAA212421のLDOは、出力ピンに生じた短絡状態や過負荷状態に起因する過電流に対する保護回路を内蔵しています。出力電流が9ページの「電氣的仕様」に記載されている電流制限しきい値を超えると、LDOは定電流源として動作します。短絡状態または過負荷状態が V_{OUT2} から取り除かれると、出力は通常の電圧レギュレーションモードに戻ります。過負荷状態が発生すると、ダイ温度が熱フォルト条件を超えることにより、LDOはオンとオフの繰り返しを開始します。LDOが冷却を開始できるのは、パワーデバイスがオフした後になります。

4.7.3 負電流制限（降圧）

外部電源から V_{OUT1} に流れ込む電流をドライブする場合、コントローラは、そのインダクタ電流を反転して、外部から供給された電流を吸収することにより、 V_{OUT1} を安定化しようとします。外部電源が低インピーダンスである場合、許容できないレベルまで電流が反転することがあり、コントローラはその負電流制限保護回路を起動します。通常の過電流と同様に、負電流保護は下側FETを流れる電流をモニタすることにより有効になります。インダクタ電流の谷底点が負電流制限値に達すると、下側FETはオフし、インダクタ電流が正電流制限値に達するか、内部クロック信号が送出されるまで、上側FETは強制的にオンします。この時点で、下側FETは動作できるようになります。次のサイクルで電流が再び負の制限値まで達すると、上側FETは再度オンすることを強制され、電流は正電流制限値の1/6になることを余儀なくされます。この時点で、コントローラは上下両側のFETをオフして、COMP1が通常動作への復帰を示すのを待ちます。この間、コントローラはLX1とPGNDの間に100Ωの負荷をかけ、出力を放電しようとします。負電流制限はパルスバイパルスの動作であり、復帰は自動的に行われます。

4.7.4 過熱保護（降圧およびLDO）

過熱保護回路は、RAA212421の最大接合部温度を制限します。降圧コンバータの接合部温度（ T_J ）が+150℃を超えると、上下両側のFETはオフになり、コントローラは温度が約25℃低下するのを待ちます。この間、PG1はLowに引き下げられます。温度が許容範囲内である場合、コントローラは通常のソフトスタートシーケンスを開始します。連続動作の場合は、+125℃の接合部温度定格を超えないようにしてください。

LDOの接合部温度が約+160℃を超えると、LDOの出力はシャットダウンし、接合部温度が約10℃低下するまでそのままです。

4.7.5 ブート低電圧保護（降圧）

ドロップアウト（ V_{IN1} が V_{OUT1} に近い状態）近辺でのPWM動作時に、レギュレータは、複数のクロックサイクルにわたって上側FETをオンに保持する場合があります。ブートコンデンサが放電するのを防止するため、下側FETは10クロックサイクルごとに約200nsにわたって強制的にオンになります。

ブートコンデンサの電圧が1.8Vを下回ると、ブート低電圧保護回路が下側FETをオンにし、400nsの間、コンデンサを再充電します。この動作は、PFM無負荷状態など、スイッチングが長期間ない場合に実行されることもあります。

4.8 入力電圧要件 (LDO)

RAA212421のLDO (1.8V～6Vの入力電圧で動作するリニア電圧レギュレータ) は、0.8V～5.5Vの出力電圧を安定化し、その最大出力電流は500mAです。

V_{IN2} から V_{OUT2} までの間にアクティブフィルタリング (PSRR) を想定している場合は、LDOの特性上の理由から、アプリケーションの V_{OUT2} と最大定格電流でのドロップアウト電圧の和よりも V_{IN2} の方が多少高い必要があります。LDOの許容範囲の広いドロップアウト規格は、アプリケーション設計において一定水準の効率が得られます。

4.9 イネーブル動作 (LDO)

ENABLEのターンオンしきい値は800mVで、80mVのヒステリシスがあります (代表値)。このため、このピンはフローティング状態のままにはなりません。使用しない場合は V_{IN2} に接続します。オープンコレクタ出力またはオープンドレイン出力を使用してEN2ピンを制御するアプリケーションでは、1k Ω ～10k Ω のプルアップ抵抗が必要です。常時オンの出力があるアプリケーションでは、EN2ピンを V_{IN2} に直接接続してもかまいません。

5. アプリケーションのガイドライン

5.1 設計の簡略化

RAA212421 降圧コンバータは、ほとんどのパラメータについてユーザー設定オプションを備えていますが、部品点数が最少で最も実装が容易な回路に必要なのは、SS1、COMP1、およびFS1の内部設定を選択することです。さまざまな出力電圧に対応する部品定数を [4 ページの表 1](#) に示します。これにより、設計者は最小限の工数で部品定数を設定できます。

5.2 動作周波数

RAA212421 の降圧コンバータは、FS1 ピンを VCC1 に接続すると、デフォルトのスイッチング周波数である 500kHz で動作します。300kHz～2MHz のスイッチング周波数をプログラムするには、[式 7](#) に示すように、抵抗を FS1 ピンと GND の間に接続します。

$$(式7) \quad R_{FS1}[k\Omega] = 108.75k\Omega \cdot (t - 0.2\mu s) / 1\mu s$$

ここで、

t はスイッチング周期（単位：μs）です。

[図 57](#) に、目的のスイッチング周波数と対応する R_{FS1} のグラフを示します。

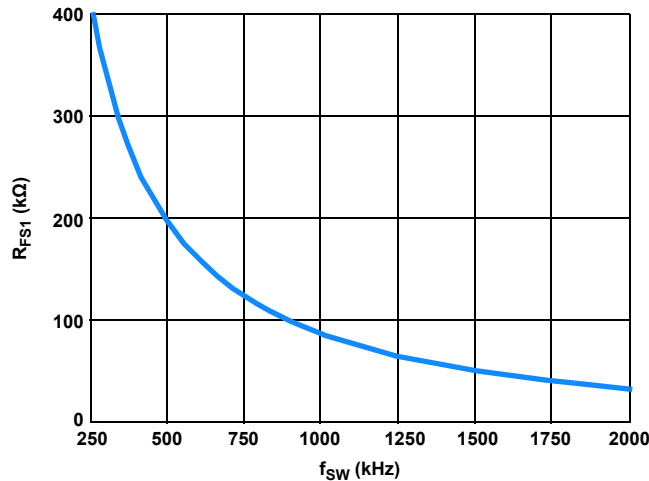


図 57. R_{FS1} の選択 vs f_{SW}

5.3 最小オン/オフ時間の制限

最小オン時間 (t_{ON}) は HS FET をオンにできる最短時間、最小オフ時間 (t_{OFF}) は HS FET をオフにできる最短時間です。一般的な t_{ON} は 90ns、 t_{OFF} は 150ns です。指定した t_{ON} と t_{OFF} に対し、スイッチング周波数が高くなると、許容デューティサイクルの範囲が狭くなり、許容される入力電圧範囲が狭くなります。

指定した出力電圧 (V_{OUT}) およびスイッチング周波数 (f_{SW}) に対し、最大許容電圧は [式 8](#) によって提供されます。

$$(式8) \quad V_{IN(max)} = \frac{V_{OUT}}{f_{SW} \times t_{ON}}$$

最小許容電圧は [式 9](#) によって提供されます。

$$(式9) \quad V_{IN(min)} = \frac{V_{OUT}}{1 - f_{SW} \times t_{OFF}}$$

表 2 は、最大入力電圧（40V）まで動作する各種出力電圧の推奨スイッチング周波数を示します。

表 2. 各種出力電圧の推奨スイッチング周波数

$V_{IN(max)}$ (V)	V_{OUT} (V)	f_{sw} (kHz)
40	5	500
40	3.3	500
40	2.5	500
40	1.8	300

5.4 外部同期制御

降圧コンバータの動作周波数は、SYNC1 ピンに外部信号を入力することにより、最大 2MHz で外部同期できます。SYNC1 の立ち上がりエッジは、LX1 の立ち上がりエッジのトリガになります。正常に同期させるには、外部信号源の周波数を IC の設定自走周波数より 10% 以上高くする必要があります。

5.5 出力インダクタの選択

インダクタの値により、コンバータのリップル電流が決まります。リップル電流 ΔI を選択するための妥当な出発点は、全負荷電流の 30% です。次に、式 10 を使用してインダクタ値を計算できます。

$$(式 10) \quad L_1 = \frac{V_{IN1} - V_{OUT1}}{f_{SW} \times \Delta I} \times \frac{V_{OUT1}}{V_{IN1}}$$

一例として、 $V_{IN1} = 24V$ 、 $V_{OUT1} = 5V$ 、 $f_{SW} = 500kHz$ 、 $I_{OUT1} = 1.1A$ 、および $\Delta I/I_{OUT1} = 30\%$ を使用すると、インダクタンスは次のように計算されます。

$$(式 11) \quad L_1 = \frac{24V - 5V}{500kHz \times 0.3 \times 1.1A} \times \frac{5V}{24V} = 24\mu H$$

標準インダクタンス値である 22 μH を選択できます。

インダクタンス値を増やすと、リップル電流とリップル電圧は減少します。ただし、インダクタンス値が大きくなると、負荷過渡状態に対するコンバータの応答時間が短くなります。インダクタ電流定格は、過電流条件で飽和しない値にしてください。RAA212421 の代表的なアプリケーションの場合、インダクタの値はたいいてい 10 $\mu H \sim 47\mu H$ の範囲内に収まります。通常、 V_{OUT1} が高いほど、必要なインダクタンスも大きくなります。

5.6 出力コンデンサの選択（降圧）

出力コンデンサが必要なのは、インダクタ電流をフィルタで除去するためです。電流モードの制御ループでは、低 ESR のセラミックコンデンサを使用して、プリント基板上のソリューションサイズを小型化できます。電解コンデンサやポリマーコンデンサも使用できます。

セラミックコンデンサは性能と信頼性が総合的に優れていますが、回路内の実際の容量を考慮する必要があります。セラミックコンデンサは、大振幅のピークツーピーク電圧を使用し、DC バイアスなしの条件で評価されます。DC/DC コンバータのアプリケーションでは、こうした条件は現実を反映しません。その結果、実際の容量は公表値よりかなり小さくなる場合があります。メーカーのデータシートを参照して、アプリケーションでの実際の容量を調べてください。この影響を容易に吸収できるように、大半のメーカーは容量対 DC バイアスの特性を公開しています。AC 電圧の影響が公開されることはあまり多くありませんが、たいいていはさらに約 20% 減少すると考えれば十分です。こうした検討の結果、実効容量は公称値より 50% 小さいと考えられるので、この値を設計上の全ての計算で使用する必要があります。ただし、セラミックコンデンサは信頼性が高く ESR が極めて低いので、多くのアプリケーションで非常に適しています。

次の式では、目標のリップル電圧レベルを満たすために必要な容量を計算できます。容量を追加してもかまいません。

$$(式 12) \quad V_{OUT1ripple} = \left(\frac{\Delta I}{8 \times f_{SW} \times C_{OUT1}} + \Delta I \times ESR + \frac{ESL \times V_{IN1}}{L_1} \right)$$

ここで、 ΔI はインダクタのピークツーピークリップル電流、 f_{SW} はスイッチング周波数、 C_{OUT1} は出力コンデンサ、ESR は出力コンデンサの等価直列抵抗、ESL は出力コンデンサの等価直列インダクタンス、 L_1 は出力フィルタのインダクタンスです。

5.7 ループ補償の設計

COMP1をVCC1に接続しない場合、COMP1ピンは外部ループ補償に対して有効です。RAA212421の降圧コンバータは、固定周波数ピーク電流モード制御アーキテクチャを使用して、高速のループ過渡応答を実現します。ピーク電流制御信号と過電流保護のため、高精度の電流検出デバイスと上側MOSFETを並列接続しています。ピーク電流が一定のため、インダクタは状態変数と見なされません。また、システムは1次システムになります。タイプII補償回路を設計してループを安定化させる方が、電圧モード制御を実装するよりはるかに簡単です。ピーク電流モード制御には、優れたラインレギュレーションを実現する固有の入力電圧フィードフォワード機能があります。[27ページ](#)の[図58](#)に、同期整流式降圧レギュレータの小信号モデルを示します。

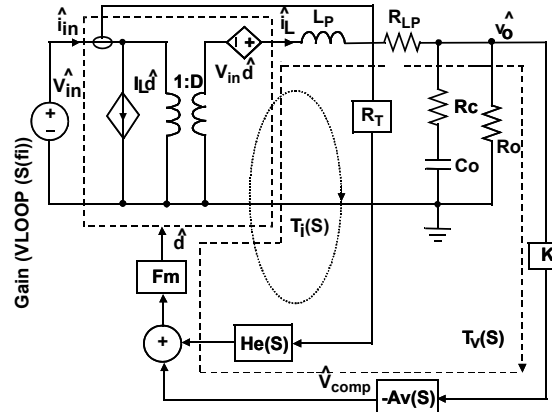


図 58. 同期整流式降圧レギュレータの小信号モデル

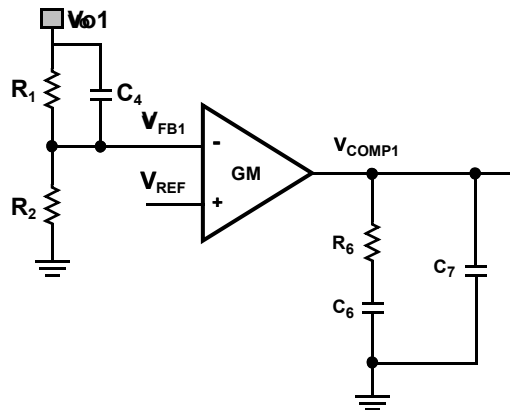


図 59. タイプII補償回路

[図59](#)にタイプII補償回路を示します。また、その伝達関数は[式13](#)に示すように表現されます。

ここで、

$$(式13) \quad A_v(S) = \frac{\hat{V}_{COMP1}}{\hat{V}_{FB1}} = \frac{GM \cdot R_2}{(C_6 + C_7) \cdot (R_1 + R_2)} \frac{\left(1 + \frac{S}{\omega_{cz1}}\right) \left(1 + \frac{S}{\omega_{cz2}}\right)}{S \left(1 + \frac{S}{\omega_{cp1}}\right) \left(1 + \frac{S}{\omega_{cp2}}\right)}$$

$$\omega_{cz1} = \frac{1}{R_6 C_6}, \quad \omega_{cz2} = \frac{1}{R_1 C_4}, \quad \omega_{cp1} = \frac{C_6 + C_7}{R_6 C_6 C_7}, \quad \omega_{cp2} = \frac{R_1 + R_2}{C_4 R_1 R_6}$$

補償回路の設計目標：

- 高いDCゲイン
- f_{sw} の約1/10になるようにループ帯域幅 f_c を選択
- ゲインマージン：>10dB
- 位相マージン：>40°

補償回路の設計手順は次のとおりです。

クロスオーバー周波数 f_c でのループゲインはユニティゲインです。したがって、補償回路の抵抗 R_6 は、[式 14](#)によって求められます。

$$(式 14) \quad R_6 = \frac{2\pi f_c V_{o1} C_{o1} R_{cs} k}{GM \cdot V_{FB1}} = 16.1 \times 10^3 \cdot f_c V_{o1} C_{o1}$$

ここで、

GMは各位相での電圧エラーアンプの相互コンダクタンス g_m

R_{cs} は電流検出トランスレジスタンス

k はクロスオーバー周波数の差を補償するための定数。理由はフィードフォワードゼロは f_c の近くに配置されるため。

補償回路のゼロは、最大負荷時のパワー段ボールの近くに配置します。一例として、補償回路のゼロは、最大負荷時のパワー段ボールの2.2倍の周波数に配置されます。したがって、補償回路のコンデンサ C_6 は[式 15](#)で与えられます。

$$(式 15) \quad C_6 = \frac{R_{o1} C_{o1}}{2.2 R_6} = \frac{V_{o1} C_{o1}}{2.2 I_{o1} R_6}$$

補償回路によって固有の積分器ポールがDCに存在し、これが高いDCゲインを実現するのに役立ちます。[式 16](#)で、ESR ゼロの周波数またはスイッチング周波数の半分の値のいずれか低い方に、もう1つの補償回路ポールを置きます。オプションのゼロにより、位相マージンを増やすことができます。 ω_{CZ2} は、 R_1 と C_4 に起因するゼロです。

$$(式 16) \quad C_7 = \max\left(\frac{R_c C_{o1}}{R_6}, \frac{1}{\pi f_{SW} R_6}\right)$$

フィードフォワードゼロを f_{zff} に置いて、クロスオーバー周波数での位相を増やします。必要な位相増大量に応じて、 f_{zff} を f_c に近い値になるよう選択できます。

$$(式 17) \quad C_4 = \frac{1}{2\pi f_{zff} R_1}$$

例： $V_{IN1} = 24V$ 、 $V_{O1} = 5V$ 、 $I_{O1} = 1.1A$ 、 $f_{SW} = 500kHz$ 、 $R_1 = 90.9k\Omega$ 、 $C_{o1} = 32.1\mu F/5m\Omega$ 、 $L_1 = 22\mu H$ 、 $f_c = 50kHz$ 、したがって補償回路の抵抗 R_6 は次のようになります。

$$(式 18) \quad R_6 = 16.1 \times 10^3 \cdot 50kHz \cdot 5V \cdot 32.1\mu F = 129.3k\Omega$$

R_6 に最も近い標準値として130k Ω を使用します。

$$(式 19) \quad C_6 = \frac{5V \cdot 32.1\mu F}{1.1A \cdot 130k\Omega \cdot 2.2} = 0.510nF$$

$$(式 20) \quad C_7 = \max\left(\frac{5m\Omega \cdot 32.1\mu F}{130k\Omega}, \frac{1}{\pi \cdot 500kHz \cdot 130k\Omega}\right) = (1.2pF, 4.9pF)$$

V_{COMP1} とGNDの間には約3pFの寄生容量があるので、 $C_6 = 470pF$ および $C_7 = OPEN$ を使用します。 f_{zff} は、 $1.5 \times f_c$ になるように選択します。

$$(式 21) \quad C_4 = \frac{1}{2\pi \cdot 50kHz \cdot 1.5 \cdot 90.9k\Omega} = 23.3pF$$

$C_4 = 22pF$ を使用します。[29ページの図 60](#)に、電圧ループゲインのシミュレーション結果を示します。ループ帯域幅は44kHzで、位相マージンは84°であり、ゲインマージンは21dBです。上記の例では、22 μF +47 μF で1206ケースサイズのセラミックコンデンサを使用しています。電圧ディレーティング後の実効出力容量は32.1 μF です。実際には、セラミックコンデンサには、種類によって電圧と温度の大幅なディレーティングが存在します。詳細については、セラミックコンデンサのデータシートを参照してください。

前の説明は補償ネットワークを設計する方法の1つであり、一般的なガイドラインとして使用できます。ただし、補償部品を選択する唯一の方法ではありません。最適な補償部品はユーザーの要件に応じて変化します。

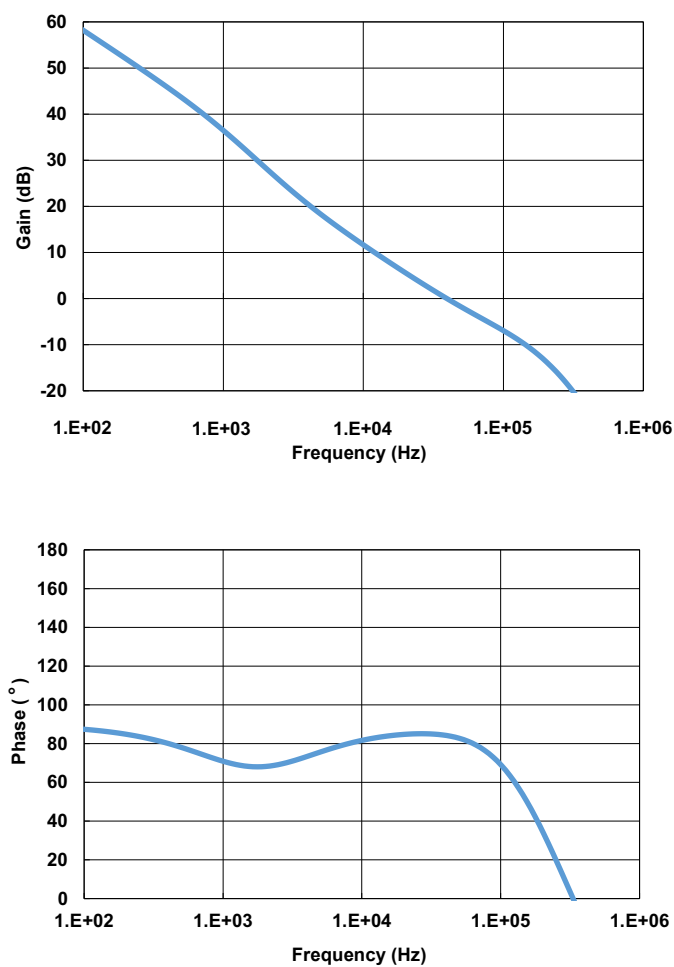


図 60. ループゲインのシミュレーション結果

5.8 外付けコンデンサの要件 (LDO)

正常動作のためには外付けコンデンサが必要です。最適な性能を確保するため、レイアウトのガイドラインおよびコンデンサの種類と値の選択には十分注意してください。

5.8.1 出力コンデンサ

RAA212421のLDOは、最先端の内部補償回路を採用しているため、出力コンデンサを簡単に選択できます。全温度範囲、 V_{IN2} の全範囲、 V_{OUT2} の全範囲、および最大負荷にわたって安定した動作を確保するには、 V_{OUT2} の近くのバイパスコンデンサとして4.7 μ F以上のX5R/X7Rを使用することが前提です。この出力コンデンサを、0.5cm以下のPCBパターンを使用してLDOの V_{OUT2} ピンとGNDピンの間に接続する必要があります。

超低ESRの積層セラミックコンデンサ (MLCC) は、高速の負荷過渡状態に対応して他の発生源からの超高周波ノイズをバイパスできるため、これを使用する傾向が高まっています。ただし、MLCCの実効容量は、印加電圧、使用時間、温度によって減少します。

任意の値のセラミックコンデンサ、POSCAP、またはアルミ/タンタル電解コンデンサを追加で並列接続して、高周波でのPSRRや負荷過渡状態でのAC出力電圧許容値を向上できます。

5.8.2 入力コンデンサ

正常動作のためには、LDOの入力に4.7 μ F以上の容量のX5R/X7Rが必要です。このセラミック入力コンデンサを、0.5cm以下のPCBパターンを使用してLDOの V_{IN2} とGNDピンの間に接続する必要があります。

5.8.3 位相ブーストコンデンサ

出力コンデンサが10 μ F以上のアプリケーションでは、小容量の位相ブーストコンデンサ C_{PB} を帰還抵抗分割器ネットワークの上側の抵抗 R_3 の両端に接続して、LDOのAC性能を向上できます。出力コンデンサが10 μ Fの場合は、 C_{PB} の推奨値を式22を使用して計算できます。

$$(式22) \quad C_{PB} = \frac{1}{2\pi \times 27000 \times R_1}$$

このゼロにより、LDOのクロスオーバー周波数が高くなり、位相が進むため、負荷応答がより高速になります。

5.9 電力損失と熱

7ページの「推奨動作条件」で規定された範囲を接合部温度が超えてはなりません。電力損失を計算するには、次の式23を使用します。

$$(式23) \quad P_D = (V_{IN2} - V_{OUT2}) \times I_{OUT2} + V_{IN2} \times I_{GND}$$

最大許容電力損失は、式24に示すように、最大許容接合部温度 $T_{J(MAX)}$ と最大期待周囲温度 $T_{A(MAX)}$ によって決まります。

$$(式24) \quad P_{D(MAX)} = (T_{J(MAX)} - T_A) / \theta_{JA}$$

θ_{JA} は、接合部温度と周囲温度との間の熱抵抗です。

安全な動作を確保するため、式23で算出した電力損失 P_D が最大許容電力損失 $P_{D(MAX)}$ より小さくなるようにしてください。

6. レイアウトに関する考慮事項

パワーコンバータのレイアウトを適切に行うと、EMI とノイズが最小限に抑えられ、設計が最初からうまくいくようになります。RenesasのWebサイトでは、PCBレイアウトが複数の形式で提供されています。さらに、PCBレイアウトの重要点を図 61 に示します。実際には、RAA212421のPCBレイアウトはいたってシンプルです。

- GND プレーンのある多層 PCB を推奨します。図 61 に、コンバータの重要な部品の配置を示します。コンデンサ C_{IN} および C_{OUT} は、それぞれ複数の物理的コンデンサを表します。最も重要な接続は、GND1 ピンと GND2 ピンをパッケージの GND パッドに接続してから、ビアを使用して GND パッドをシステムの GND プレーンに直接接続します。この GND パッドからシステムのプレーンへの接続により、全ての帰還電流に対して低インピーダンスの経路が確保されるだけでなく、熱を放散するための優れた熱経路が確保されます。この接続が完了したら、高周波の MLCC 入力コンデンサを V_{IN1} ピンの近くに配置し、このコンデンサパッドにビアを直接使用してシステムの GND プレーンに接続します。
- $1\mu\text{F}$ の MLCC を VCC1 ピンの近くに配置し、その帰還路を1つのビアを介してシステムの GND プレーンに直接接続します。
- 帰還抵抗分割器を FB1 ピンの近くに配置し、LX1 および BOOT1 の近くには帰還部品の配線をしないでください。SS1、COMP1、または FS1 に外付け部品を使用する場合も同じ助言が当てはまります。

LDO の性能は、プリント基板を設計するときの留意内容に大きく依存します。最適な性能を実現するための推奨事項を以下に示します。

- 容量が $4.7\mu\text{F}$ 以上の X5R/X7R セラミック入力コンデンサを、 0.5cm 以下の PCB パターンを使用して LDO の VIN2 と GND ピンの間に配置する必要があります。
- 容量が $4.7\mu\text{F}$ 以上の X5R/X7R セラミック出力コンデンサを、 0.5cm 以下の PCB パターンを使用して LDO の VOUT2 と GND ピンの間に配置する必要があります。
- 熱抵抗の低いビアを使用して EPAD をグラウンドプレーンに接続します。

部品配置の例を図 61 に示します。

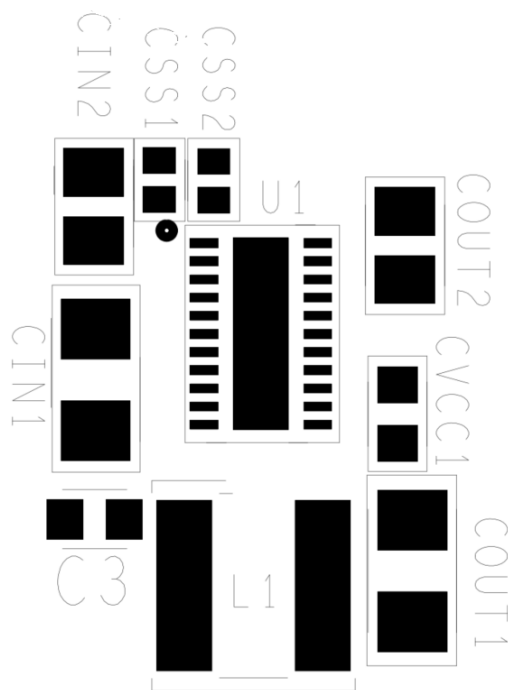


図 61. プリント回路基板例の部品配置

7. 改訂履歴

改訂	日付	説明
3.00	2019年7月8日	ページ1の説明を更新。 「機能」のセクションを更新。 図2、3、4、5を更新。 SYNC1ピンの説明を更新。 「PFM ピーク電流制限の仕様」(9ページ)を追加。 「代表的な性能曲線」を更新。 「軽負荷動作」(21ページ)を追加。 「起動時不足電圧保護(降圧)」のセクションを更新。 「最小オン/オフ時間の制限」のセクションを追加。
2.00	2018年12月13日	発注情報の表を更新。 「レイアウトに関する考慮事項」のセクションを更新。 免責事項を更新。
1.00	2018年9月24日	文書全体を通じて出力電流を1.2Aから1.1Aに変更。 図2、6、7、8、9、および19を更新(図19はラベルのみ)。 セクション5.4にテキストと式8を追加。 式12および15を更新。
0.00	2018年9月7日	初版。

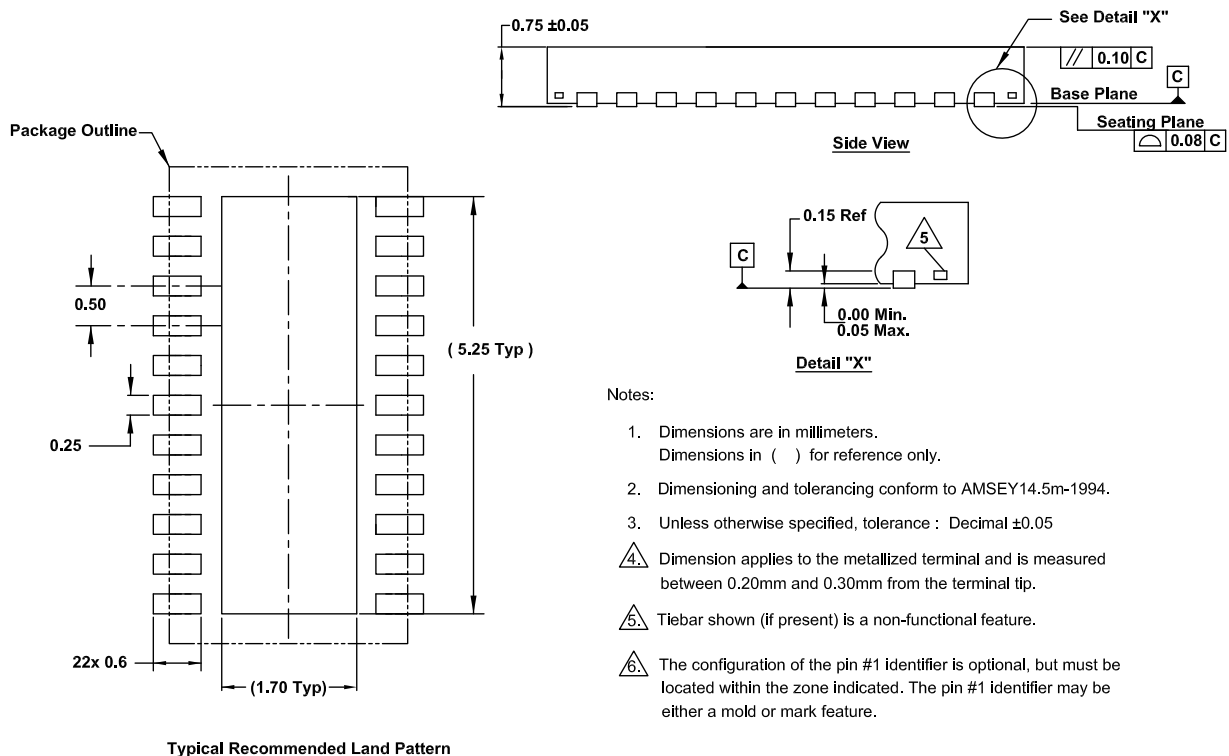
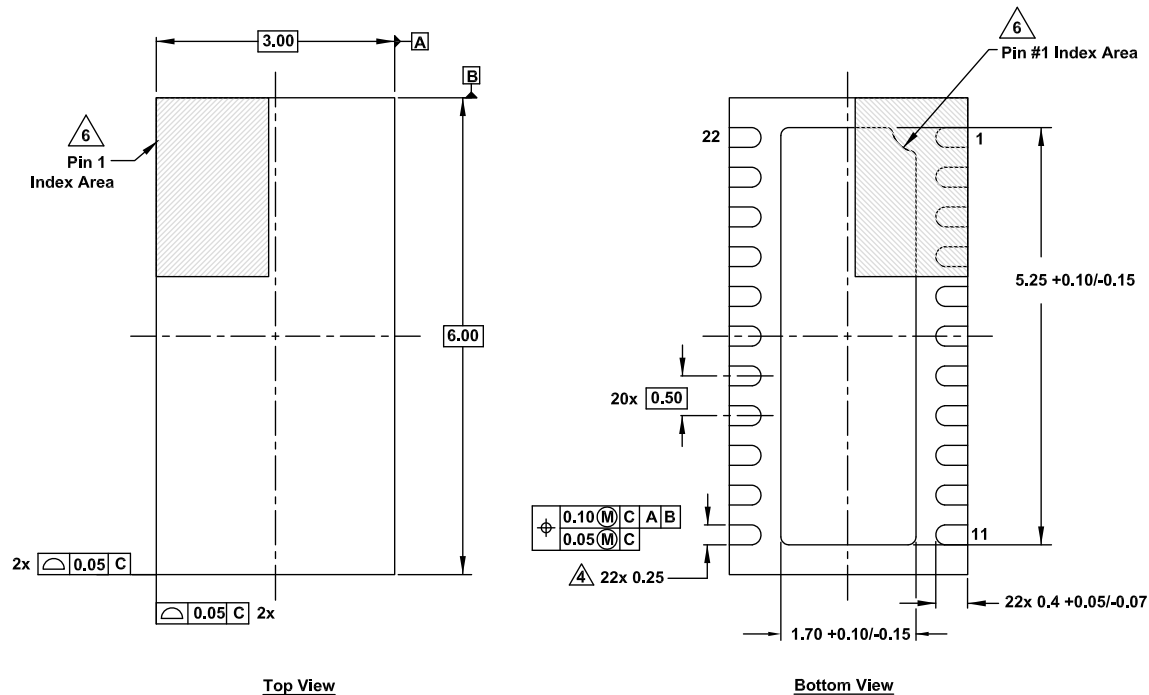
8. パッケージ外形図

最新のパッケージ外形図については、[L22.3x6](#)を参照してください。

L22.3x6

22ピン薄型デュアルフラットノーリードプラスチックパッケージ (TDFN)

Rev 0, 3/18



- Notes:

1. Dimensions are in millimeters.
Dimensions in () for reference only.
2. Dimensioning and tolerancing conform to AMSEY 14.5m-1994.
3. Unless otherwise specified, tolerance : Decimal ± 0.05
4. Dimension applies to the metallized terminal and is measured between 0.20mm and 0.30mm from the terminal tip.
5. Tiebar shown (if present) is a non-functional feature.
6. The configuration of the pin #1 identifier is optional, but must be located within the zone indicated. The pin #1 identifier may be either a mold or mark feature.

Notice

1. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation or any other use of the circuits, software, and information in the design of your product or system. Renesas Electronics disclaims any and all liability for any losses and damages incurred by you or third parties arising from the use of these circuits, software, or information.
2. Renesas Electronics hereby expressly disclaims any warranties against and liability for infringement or any other claims involving patents, copyrights, or other intellectual property rights of third parties, by or arising from the use of Renesas Electronics products or technical information described in this document, including but not limited to, the product data, drawings, charts, programs, algorithms, and application examples.
3. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
4. You shall not alter, modify, copy, or reverse engineer any Renesas Electronics product, whether in whole or in part. Renesas Electronics disclaims any and all liability for any losses or damages incurred by you or third parties arising from such alteration, modification, copying or reverse engineering.
5. Renesas Electronics products are classified according to the following two quality grades: "Standard" and "High Quality". The intended applications for each Renesas Electronics product depends on the product's quality grade, as indicated below.

"Standard": Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; industrial robots; etc.

"High Quality": Transportation equipment (automobiles, trains, ships, etc.); traffic control (traffic lights); large-scale communication equipment; key financial terminal systems; safety control equipment; etc.

Unless expressly designated as a high reliability product or a product for harsh environments in a Renesas Electronics data sheet or other Renesas Electronics document, Renesas Electronics products are not intended or authorized for use in products or systems that may pose a direct threat to human life or bodily injury (artificial life support devices or systems; surgical implantations; etc.), or may cause serious property damage (space system; undersea repeaters; nuclear power control systems; aircraft control systems; key plant systems; military equipment; etc.). Renesas Electronics disclaims any and all liability for any damages or losses incurred by you or any third parties arising from the use of any Renesas Electronics product that is inconsistent with any Renesas Electronics data sheet, user's manual or other Renesas Electronics document.
6. When using Renesas Electronics products, refer to the latest product information (data sheets, user's manuals, application notes, "General Notes for Handling and Using Semiconductor Devices" in the reliability handbook, etc.), and ensure that usage conditions are within the ranges specified by Renesas Electronics with respect to maximum ratings, operating power supply voltage range, heat dissipation characteristics, installation, etc. Renesas Electronics disclaims any and all liability for any malfunctions, failure or accident arising out of the use of Renesas Electronics products outside of such specified ranges.
7. Although Renesas Electronics endeavors to improve the quality and reliability of Renesas Electronics products, semiconductor products have specific characteristics, such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Unless designated as a high reliability product or a product for harsh environments in a Renesas Electronics data sheet or other Renesas Electronics document, Renesas Electronics products are not subject to radiation resistance design. You are responsible for implementing safety measures to guard against the possibility of bodily injury, injury or damage caused by fire, and/or danger to the public in the event of a failure or malfunction of Renesas Electronics products, such as safety design for hardware and software, including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult and impractical, you are responsible for evaluating the safety of the final products or systems manufactured by you.
8. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. You are responsible for carefully and sufficiently investigating applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive, and using Renesas Electronics products in compliance with all these applicable laws and regulations. Renesas Electronics disclaims any and all liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
9. Renesas Electronics products and technologies shall not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations. You shall comply with any applicable export control laws and regulations promulgated and administered by the governments of any countries asserting jurisdiction over the parties or transactions.
10. It is the responsibility of the buyer or distributor of Renesas Electronics products, or any other party who distributes, disposes of, or otherwise sells or transfers the product to a third party, to notify such third party in advance of the contents and conditions set forth in this document.
11. This document shall not be reprinted, reproduced or duplicated in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products.

(Note1) "Renesas Electronics" as used in this document means Renesas Electronics Corporation and also includes its directly or indirectly controlled subsidiaries.

(Note2) "Renesas Electronics product(s)" means any product developed or manufactured by or for Renesas Electronics.

(Rev.4.0-1 November 2017)

Corporate Headquarters

TOYOSU FORESIA, 3-2-24 Toyosu,
Koto-ku, Tokyo 135-0061, Japan
www.renesas.com

Trademarks

Renesas and the Renesas logo are trademarks of Renesas Electronics Corporation. All trademarks and registered trademarks are the property of their respective owners.

Contact Information

For further information on a product, technology, the most up-to-date version of a document, or your nearest sales office, please visit:
www.renesas.com/contact/