

高性能な 1 GHz Arm® Cortex®-M85 コア、250 MHz Arm® Cortex®-M33 コア、最大 1 MB のコード MRAM、および ECC を備えた 2 MB の SRAM。高集積度のレイヤ 3 イーサネットスイッチモジュール、USB 2.0 フルスピード、CANFD、SDHI、I3C、オクタ SPI、オンザフライ復号、高度なアナログ機能。Arm® TrustZone と協調して動作する暗号化アクセラレータ、鍵管理サポート、改ざん検出、および電源分析耐性を備え、セキュア要素機能を有機的に結ぶ統合ルネサスセキュリティ IP。

特長

■ Arm® Cortex®-M85 コア

- Armv8.1-M アーキテクチャプロファイル
- Armv8-M セキュリティ拡張
- 最高動作周波数：1 GHz
- メモリプロテクションユニット (Arm MPU)
 - 保護メモリスistemアーキテクチャ (PMSAv8)
 - セキュア MPU (MPU_S): 8 領域
 - 非セキュア MPU (MPU_NS): 8 領域
- SysTick タイマ
 - 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス
 - CPUCLK0 または MOCO 駆動 (8 分周)
- CoreSight™ ETM-M85

■ Arm® Cortex®-M33 コア

- Armv8-M アーキテクチャプロファイル
- Armv8-M セキュリティ拡張
- 最高動作周波数：250 MHz
- メモリプロテクションユニット (Arm MPU)
 - 保護メモリスistemアーキテクチャ (PMSAv8)
 - セキュア MPU (MPU_S): 8 領域
 - 非セキュア MPU (MPU_NS): 8 領域
- SysTick タイマ
 - 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス
 - CPUCLK1 または MOCO 駆動 (8 分周)
- CoreSight™ ETM-M33

■ メモリ

- 最大 1 MB の MRAM
- 2 MB の SRAM (256 KB の CM85 TCM および 128 KB の CM33 TCM を含む)
- 最大 8 MB のフラッシュメモリ (SiP 製品)

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 10、最大 60 Mbps
- I²C バスインタフェース (IIC) × 3
- I³C バスインタフェース (I3C)
- シリアルペリフェラルインタフェース (SPI) × 2、最大 166 Mbps
- オクタシリアルペリフェラルインタフェース (OSPI) × 2、最大 333 MB/s
- USB 2.0 フルスピードモジュール (USBFS)
- CAN フレキシブルデータレート (CANFD) × 2
- レイヤ 3 イーサネットスイッチモジュール (ESWM)
- EtherCAT スレーブコントローラ × 2
- SD/MMC ホストインタフェース (SDHI) × 2
- デルタシグマモジュレートインタフェース (DSMIF) × 2

■ アナログ

- 16 ビット A/D コンバータ (ADC16H) × 2、最大 23 チャネル
- 12 ビット D/A コンバータ (DAC12) × 2
- 高速アナログコンパレータ (ACMPHS) × 4
- 温度センサ (TSN)

■ タイマ

- 高分解能の 32 ビット汎用 PWM タイマ (GPT32) × 4
 - 300 MHz での分解能 52 ps
- 32 ビット汎用 PWM タイマ (GPT32) × 10
- 低消費電力非同期汎用タイマ (AGT) × 2
- 超低消費電力タイマ (ULPT) × 2

■ セキュリティおよび暗号化

- ルネサスセキュリティ IP (RSIP-E50D)
- Arm® TrustZone®
- プリビレッジ制御

- デバイスライフサイクルの管理
- セキュアブート
 - OTP 内の不変ファーストステージブートローダー
- オンザフライ復号 (DOTF)
- 端子機能
 - 最大 3 つの耐タンパー端子
 - セキュア端子マルチプレキシング
- HUK のゼロ化

■ システムおよび電源管理

- 低消費電力モード
- バッテリバックアップ機能 (VBATT)
- リアルタイムクロック (RTC) (カレンダー、VBATT 対応)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC) × 2
- DMA コントローラ (DMAC) × 16
- パワーオンリセット
- プログラマブル電圧検出機能 (PVD) の設定可能
- ウォッチドッグタイマ (WDT) × 2
- 独立ウォッチドッグタイマ (IWDT)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (8~48 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (16/18/20/32/48 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL1/PLL2
- クロックアウトのサポート

■ 汎用入出力ポート

- 5 V トレランス、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧

- 標準製品
 - VCC/VCC2: 1.62~3.63 V
- SiP 製品
 - VCC: 1.62~3.63 V
 - VCC2: 1.70~2.00 V

■ 動作ジャンクション温度およびパッケージ

- Tj = 0 °C~+95 °C
 - 289 ピン BGA (12 mm × 12 mm、0.65 mm ピッチ)
 - 224 ピン BGA (11 mm × 11 mm、0.65 mm ピッチ)
 - 303 ピン BGA (15 mm × 15 mm、0.8 mm ピッチ)
- Tj = -40 °C~+105 °C
 - 289 ピン BGA (12 mm × 12 mm、0.65 mm ピッチ)
 - 224 ピン BGA (11 mm × 11 mm、0.65 mm ピッチ)
 - 303 ピン BGA (15 mm × 15 mm、0.8 mm ピッチ)
- Tj = -40 °C~+125 °C
 - 289 ピン BGA (12 mm × 12 mm、0.65 mm ピッチ)
 - 224 ピン BGA (11 mm × 11 mm、0.65 mm ピッチ)
 - 176 ピン HLQFP (24 mm × 24 mm、0.5 mm ピッチ)

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアと互換性のある Arm® ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は、高性能な Arm® Cortex®-M85 コア（最高 1 GHz で動作）および Arm® Cortex®-M33 コア（最高 250 MHz で動作）を内蔵しており、以下の特長があります。

- 最大 1 MB の MRAM
- 2 MB の SRAM（256 KB の CM85 TCM RAM、128 KB の CM33 TCM RAM、1664 KB のユーザー SRAM）
- オクタシリアルペリフェラルインタフェース (OSPI)
- レイヤ 3 イーサネットスイッチモジュール (ESWM)、USBFS、SD/MMC ホストインタフェース
- アナログ周辺機能
- セキュリティ & セーフティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm® Cortex®-M85 コア	● 最高動作周波数：1 GHz ● Arm® Cortex®-M85 コア – リビジョン：(r1p1-00rel0) – ARMv8.1-M アーキテクチャプロファイル – Armv8-M セキュリティ拡張 – ANSI/IEEE 規格 754-2008 準拠浮動小数点ユニット (FPU) – スカラーの半精度、単精度、および倍精度浮動小数点演算 – M プロファイルベクタ拡張 (MVE) – 整数、半精度、および単精度浮動小数点 MVE (MVE-F) ● Arm® メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S): 8 領域 – 非セキュア MPU (MPU_NS): 8 領域 ● SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアインスタンス (SysTick_S) と非セキュアインスタンス (SysTick_NS) – CPUCLK0 または MOCO 駆動（8 分周） ● CoreSight™ ETM-M85
Arm® Cortex®-M33 コア	● 最高動作周波数：250 MHz ● Arm® Cortex®-M33 コア – リビジョン：(r0p4-00rel2) – ARMv8-M アーキテクチャプロファイル – Armv8-M セキュリティ拡張 – Armv8-DSP セキュリティ拡張 – ANSI/IEEE 規格 754-2008 の単精度浮動小数点演算に準拠した浮動小数点ユニット (FPU) ● Arm® メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S): 8 領域 – 非セキュア MPU (MPU_NS): 8 領域 ● SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアインスタンス (SysTick_S) と非セキュアインスタンス (SysTick_NS) – CPUCLK1 または MOCO 駆動（8 分周） ● CoreSight™ ETM-M33

表 1.2 メモリ (1/2)

機能	機能の説明
コード MRAM	最大 1 MB のコード MRAM。

表 1.2 メモリ (2/2)

機能	機能の説明
フラッシュメモリ	システムインパッケージ (SiP) 最大 8 MB のシリアルフラッシュメモリ。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。
OTP	内蔵 OTP はファーストステージブートローダー (FSBL) を含みます。 汎用 96 バイト OTP

表 1.3 システム

機能	機能の説明
動作モード	3 種類の動作モード： - シングルチップモード - JTAG ブートモード - SCI/USB ブートモード
リセット	本 MCU は以下の 21 種類のリセットをサポートしています。
プログラマブル電圧検出 (PVD)	プログラマブル電圧検出 (PVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。PVD モジュールは、5 つの独立した電圧監視回路 (PVD0, PVD1, PVD2, PVD4, PVD5) から構成されています。これらの PVD は VCC 端子への入力電圧レベルを測定します。PVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。
クロック	- メインクロック発振器 (MOSC) - サブクロック発振器 (SOSC) - 高速オンチップオシレータ (HOCO) - 中速オンチップオシレータ (MOCO) - 低速オンチップオシレータ (LOCO) - PLL1/PLL2 - クロックアウトのサポート
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にないとき、割り込み要求が発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC) モジュール、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。
低消費電力モード	消費電力は、以下に示す複数の方法で低減できます。その方法には、クロック分周器の設定、EBCLK 出力制御、SDCLK 出力制御、モジュール停止、パワーゲート制御、通常動作時の動作電力制御モードの選択、低消費電力モードやプロセッサ低消費電力モードへの遷移があります。
バッテリーバックアップ機能	バッテリーバックアップ機能により、バッテリーによる部分電力供給が可能です。バッテリー電源領域に含まれるものには、RTC、SOSC、バックアップレジスタ、改ざん検出、VBATT_R 電圧降下検出、および VCC/VBATT 切り替えがあります。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護対象のレジスタは、プロテクトレジスタ (PRCR_S と PRCR_NS) で設定します。
メモリプロテクションユニット (MPU)	すべてのバスマスタには、メモリプロテクションユニット (MPU) があります。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス (1/2)

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは、割り込み要求によって起動するとデータ転送を行います。

表 1.5 ダイレクトメモリアクセス (2/2)

機能	機能の説明
DMA コントローラ (DMAC)	8 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) は CPU を介せずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 1.6 外部バスインタフェース

機能	機能の説明
外部バス	- CS 領域 (ECBI) : 外部デバイス (外部メモリアインタフェース) を接続 - SDRAM 領域 (ECBI): SDRAM (外部メモリアインタフェース) を接続 - OSPI0 領域 (OSPI0BI): OSPI0 (外部デバイスインタフェース) を接続 - OSPI1 領域 (OSPI1BI): OSPI1 (外部デバイスインタフェース) を接続

表 1.7 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 × 14 チャンネルの 32 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。
PWM 遅延生成回路 (PDG)	PWM 遅延生成回路 (PDG) は、GPT に接続できる 4 チャンネルの遅延回路を備えています。PDG は、GPT323 を介した GPT320 に対する PWM 出力の立ち上がり／立ち下がりエッジタイミングを制御できます。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることができます。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。
超低消費電力タイマ (ULPT)	超低消費電力タイマ (ULPT) は、パルス出力または外部イベントのカウントに使用可能な 32 ビットタイマです。この 32 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、ULPTCNT レジスタでアクセス可能です。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタの設定を切り替えることにより使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) には、14 ビットのダウンカウンタがあり、ダウンカウンタのアンダーフロー時のリセット出力によって、MCU をリセットします。代替的には、カウンタのアンダーフロー時の割り込み要求の発生を選択できます。これにより、リフレッシュインターバルを考慮して、プログラムの暴走を検出できます。IWDT には、次の 2 種類のスタートモードがあります。オートスタートモードでは、リセット状態の解除後にカウントを自動的に開始します。また、レジスタスタートモードでは、リフレッシュ (特定のレジスタへの書き込み) により、カウントを開始します。

表 1.8 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 10 チャンネルには、調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA)) ● 8 ビットクロック同期式インタフェース ● 簡易 IIC (マスタのみ) ● 簡易 SPI ● スマートカードインタフェース ● マンチェスタインタフェース ● 簡易 LIN インタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。すべてのチャンネルは FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 本 MCU では、最大レートがサポートされています。実際のレートについては、電気的特性を参照してください。
I ² C バスインタフェース (IIC)	I ² C バスインタフェース (IIC) には 3 チャンネルあります。IIC モジュールは、NXP 社の I ² C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。
I3C バスインタフェース (I3C)	I3C バスインタフェース (I3C) には 1 チャンネルあります。I3C モジュールは、NXP 社の I ² C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。
Control Area Network with Flexible Data-Rate モジュール (CANFD)	CAN with Flexible Data-Rate (CANFD) モジュールは、クラシカル CAN フレームと ISO 11898-1 規格に準拠する CANFD フレームの両方を取り扱うことができます。
USB 2.0 フルスピードモジュール (USBFS)	ホストコントローラまたはデバイスコントローラとして動作可能な USB2.0 フルスピードモジュール (USBFS) です。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよびロースピード転送 (ホストコントローラのみ) をサポートしています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。USB はデータ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。パイプ 1~9 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせた任意のエンドポイント番号の割り付けが可能です。
オクタシリアルペリフェラルインタフェース (OSPI)	オクタシリアルペリフェラルインタフェース (OSPI) は、拡張シリアルペリフェラルインタフェース (xSPI) (JEDEC 規格の JESD251、JESD251-1、および JESD252) をサポートするメモリコントローラです。OSPI は 1 ビット、2 ビット、4 ビット、および 8 ビットのプロトコルをサポートします。
SD/MMC ホストインタフェース (SDHI)	セキュアデジタル (SD) カードホストインタフェースおよびマルチメディアカード (MMC) ホストインタフェースは、各種の外付けメモリカードと MCU との接続に必要な機能を提供します。
レイヤ 3 イーサネットスイッチモジュール (ESWM)	レイヤ 3 イーサネットスイッチモジュール (ESWM) は、2 チャンネルのギガビットイーサネットコントローラ、高レベルのルーティング機能を持つイーサネットスイッチ、およびマルチプロトコルインタフェースサポートで構成されています。ギガビットイーサネットコントローラは、IEEE 802.3 規格のイーサネット MAC (Media Access Control) 層の定義に準拠します。この規格に準拠する外部物理層 LSI チップ (PHY-LSI) に接続することにより、イーサネット (IEEE 802.3) フレームの送信と受信が可能です。本イーサネットスイッチは、同一のネットワークインタフェースプロトコル内および異なるネットワークインタフェースプロトコル間、または最適化されたゲートウェイアプリケーションとの間での自立的なフレームルーティングが可能です。

表 1.8 通信インタフェース (2/2)

機能	機能の説明
EtherCAT スレーブコントローラ (ESC)	EtherCAT スレーブコントローラ (ESC) は、ドイツのベッコフオートメーション (Beckhoff Automation GmbH) 製の EtherCAT スレーブコントローラ IP コア (ESC IP コア) を使用しています。ESC は、EtherCAT 通信を EtherCAT フィールドバスとスレーブアプリケーションとのインタフェースとして処理します。
デルタシグマモジュレータインタフェース (DSMIF)	DSMIF には、外部デルタシグマモジュレータと接続可能なチャンネルが 3 つあります。DSMIF は、最大 3 つの外部デルタシグマモジュレータと接続可能です。各 DSMIF は、高いサンプリングレートでデルタシグマ変調された 1 ビットのデジタルデータストリームをフィルタリングして、より低いサンプリングレートの 16 ビットのデジタルデータに変換できます。

表 1.9 アナログ

機能	機能の説明
16 ビット A/D コンバータ (ADC16H)	16 ビット A/D コンバータを内蔵しています。最大 23 チャンルのアナログ入力を選択可能です。変換には温度センサ出力、内部基準電圧、および VBATT 1/6 電圧監視を選択可能です。
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC16H で変換されてから、末端の応用機器で使用できます。センサは異常温度検出信号をリセット制御回路に出力し、これを使用して異常温度による不具合を防止できます。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、アナログ入力電圧と基準電圧の比較、および変換結果に基づいたデジタル出力に使用できます。アナログ入力電圧と基準電圧は、どちらも内部ソース (D/A コンバータ出力または内部基準電圧) および外部ソースから ACMPHS に供給できます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。

表 1.10 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能は、特定のアドレスに対する読み出しと書き込みをモニタするのを許可します。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、32 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、32 ビットのデータが比較され、割り込みを生成可能です。

表 1.11 セキュリティ (1/2)

機能	機能の説明
セキュリティ機能	- ARMv8-M TrustZone セキュリティ - ブリブリッジ制御 - デバイスライフサイクル管理 - 認証レベル (AL) - キーインジェクション - セキュア端子マルチプレキシング - HUK のゼロ化 - VBATT バックアップレジスタのゼロ化 - セキュアブート - セキュアファクトリプログラミング

表 1.11 セキュリティ (2/2)

機能	機能の説明
Renesas セキュア IP (RSIP-E50D)	● 対称暗号 : AES および ChaCha20-Poly1305 ● 非対称暗号 : RSA および ECC ● メッセージダイジェスト計算 : HASH、HMAC ● 128 ビット真性乱数生成回路 ● 256 ビットハードウェアユニークキー (HUK) ● 128 ビットのユニーク ID ● OEM ブートローダーバージョン ● オンザフライ復号 (DOTF) 用のキーデータ ● SPA/DPA 保護
オンザフライ復号 (DOTF)	オンザフライ復号 (DOTF) は、外部メモリに格納されている暗号化されたコンテンツをリアルタイムで復号します。

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

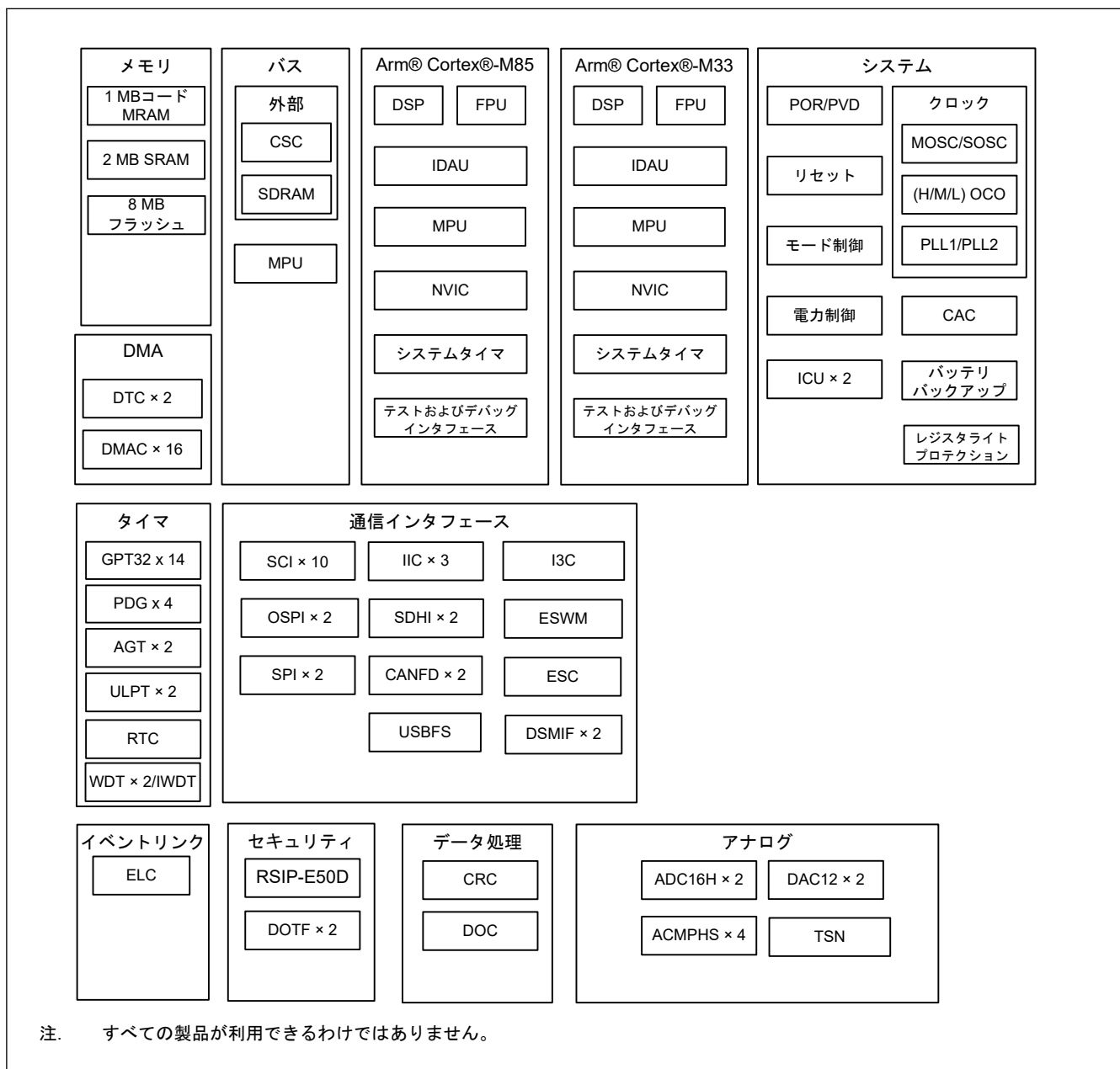


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.12 に、製品一覧表を示します。

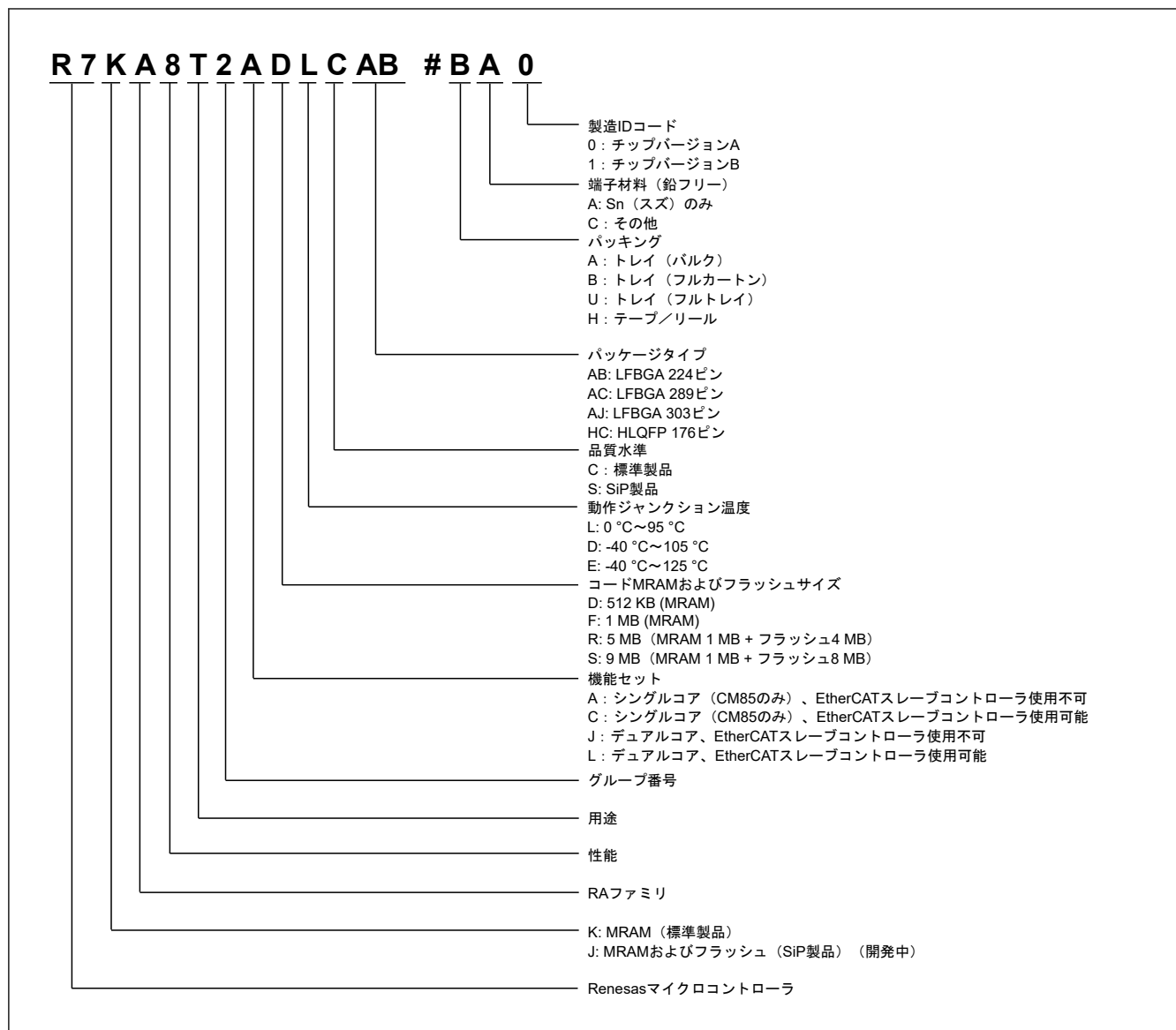


図 1.2 型名の読み方

表 1.12 製品一覧

製品型名	製品グループ	CPU	EtherCAT	パッケージコード	コード MRAM	SRAM	フラッシュ	動作ジャンクション温度		
R7KA8T2ADDCAB	B	シングル	—	PLBG0224JA-A	512 KB	2 MB	—	-40～105 °C		
R7KA8T2ADECAB	C			PLBG0224JA-A				-40～125 °C		
R7KA8T2ADECHC				PLQP0176KK-A						
R7KA8T2AFLCAB	A			PLBG0224JA-A	1 MB			0～95 °C		
R7KA8T2AFLCAC				PLBG0289JA-A						
R7KA8T2AFDCAB	B			PLBG0224JA-A				-40～105 °C		
R7KA8T2AFDCAC				PLBG0289JA-A						
R7KA8T2AFECAB	C			PLBG0224JA-A	-40～125 °C					
R7KA8T2AFECAC				PLBG0289JA-A						
R7KA8T2AFECHC				PLQP0176KK-A						
R7KA8T2CDDCAB	B		✓	PLBG0224JA-A	512 KB			-40～105 °C		
R7KA8T2CDECAB	C			PLBG0224JA-A				-40～125 °C		
R7KA8T2CDECHC				PLQP0176KK-A						
R7KA8T2CFLCAB	A			PLBG0224JA-A	1 MB			0～95 °C		
R7KA8T2CFLCAC				PLBG0289JA-A						
R7KA8T2CFDCAB	B			PLBG0224JA-A				-40～105 °C		
R7KA8T2CFDCAC				PLBG0289JA-A						
R7KA8T2CFECAB	C			PLBG0224JA-A	-40～125 °C					
R7KA8T2CFECAC				PLBG0289JA-A						
R7KA8T2CFECHC				PLQP0176KK-A						
R7KA8T2JFLCAB	A	デュアル	—	PLBG0224JA-A	1 MB			0～95 °C		
R7KA8T2JFLCAC				PLBG0289JA-A						
R7KA8T2JFDCAB	B			PLBG0224JA-A				-40～105 °C		
R7KA8T2JFDCAC				PLBG0289JA-A						
R7KA8T2JFECAB	C			PLBG0224JA-A	-40～125 °C					
R7KA8T2JFECAC				PLBG0289JA-A						
R7KA8T2JFECHC				PLQP0176KK-A						
R7KA8T2LFLCAB	A			✓	PLBG0224JA-A			0～95 °C		
R7KA8T2LFLCAC					PLBG0289JA-A					
R7KA8T2LFDCAB	B				PLBG0224JA-A			-40～105 °C		
R7KA8T2LFDCAC			PLBG0289JA-A							
R7KA8T2LFECAB	C		PLBG0224JA-A		-40～125 °C					
R7KA8T2LFECAC			PLBG0289JA-A							
R7KA8T2LFECHC			PLQP0176KK-A							
R7JA8T2JRLSAJ	A		デュアル	—	PLBG0303xx-x		1 MB	4 MB	0～95 °C	
R7JA8T2JSLSAJ								8 MB		
R7JA8T2JRDSAJ	B							4 MB	-40～105 °C	
R7JA8T2JSDSAJ								8 MB		
R7JA8T2LRLSAJ	A							✓	4 MB	0～95 °C
R7JA8T2LSLSAJ									8 MB	
R7JA8T2LRDSAJ	B	4 MB						-40～105 °C		
R7JA8T2LSDSAJ		8 MB								

1.4 機能の比較

表 1.13 機能の比較 (1/2)

型名		R7KA8T 2AxxCA C	R7KA8T 2CxxCA C	R7KA8T 2LxxCA C	R7KA8T 2AxxCA B	R7KA8T 2CxxCA B	R7KA8T 2LxxCA B	R7KA8T 2AxxCH C	R7KA8T 2CxxCH C	R7KA8T 2LxxCH C	R7JA8T2 LxxSAJ
端子総数		289			224			176			303
パッケージ		BGA						HLQFP			BGA
I/O ポート		215			156			137			203
コード MRAM		1 MB, 512 KB									1 MB
CPU0 TCM		256 KB									
CPU1 TCM		なし		128 KB	なし		128 KB	なし		128 KB	
CPU0 I/D キャッシュ		32 KB									
CPU1 C/S キャッシュ		なし		32 KB	なし		32 KB	なし		32 KB	
SRAM		1792 KB		1664 KB	1792 KB		1664 KB	1792 KB		1664 KB	
フラッシュ		なし									8 MB, 4 MB
DMA	DTC	1		2	1		2	1		2	
	DMAC	8		16	8		16	8		16	
BUS	外部バス	32 ビットバス			16 ビットバス						
	SDRAM	32 ビットバス			16 ビットバス						
システム	CPU0 クロック	最高 1 GHz						最高 600 MHz			最高 1 GHz
	CPU1 クロック	なし		最高 250 MHz	なし		最高 250 MHz	なし		最高 200 MHz	最高 250 MHz
	CPU クロックソース	MOSC, SOSC, HOCO, MOCO, LOCO, PLL1P									
	CAC	あり									
	WDT	1		2	1		2	1		2	
	IWDT	あり									
	バックアップレジスタ	128 B									
通信	SCI	10			9						10
	IIC	3									
	I3C	あり									
	SPI	2									
	CANFD	2									
	USBFS	あり									
	OSPI	2			1						2(注2)
	SDHI/MMC	2									
	ESWM	MII, RMII, GMII, RGMII			MII, RMII, RGMII			MII, RMII			MII, RMII, GMII, RGMII
	ESC	なし	あり		なし	あり		なし	あり		
	DSMIF	2									

表 1.13 機能の比較 (2/2)

型名		R7KA8T 2AxxCA C	R7KA8T 2CxxCA C	R7KA8T 2LxxCA C	R7KA8T 2AxxCA B	R7KA8T 2CxxCA B	R7KA8T 2LxxCA B	R7KA8T 2AxxCH C	R7KA8T 2CxxCH C	R7KA8T 2LxxCH C	R7JA8T2 LxxSAJ
タイマ	GPT32 (注1)	14									
	PDG	4									
	AGT(注1)	2									
	ULPT(注1)	2									
	RTC	あり									
アナログ	ADC16H	ユニット 0: 15、ユニット 1: 15			ユニット 0: 7、ユニット 1: 5					ユニット 0: 15、ユ ニット 1: 15	
	DAC12	2									
	ACMPHS	4									
	TSN	あり									
データ処理	CRC	あり									
	DOC	あり									
イベント制御	ELC	あり									
セキュリティ		RSIP-E50D、オンザフライ復号、セキュアデバッグ、OTP、TrustZone、ライフサイクル管理									

注. 製品型名は、サポートしているメモリサイズによって異なります。「1.3. 型名」を参照してください。

注 1. 使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。

注 2. OSPI1 は、SiP 製品のシリアルフラッシュに接続されます。

1.5 端子機能

表 1.14 端子機能 (1/7)

機能	信号	入出力	説明
電源	VCC_01~ VCC_10, VCC2_11~ VCC2_15	入力	電源端子。システムの電源に接続してください。この端子は、0.1 μ F のコンデンサを介して同じ番号の VSS_01~VSS_15 に接続してください。コンデンサは端子近くに配置してください。 SiP 製品では、VCC2_11~VCC2_15 をシステムの 1.8 V 電源に接続してください。
	VCC2_16~ VCC2_19	入力	SiP 製品用の専用電源端子。システムの 1.8 V 電源に接続してください。この端子は、0.1 μ F のコンデンサを介して同じ番号の VSS_16~VSS_19 に接続してください。コンデンサは端子近くに配置してください。
	VCC_DCDC	入力	スイッチングレギュレータ電源端子
	VLO	入出力	スイッチングレギュレータ端子
	VCL0~VCL11	入力	この端子は、内部電源を安定化するための平滑コンデンサを介して同じ番号の VSS0~VSS11 端子に接続してください。コンデンサは端子近くに配置してください。
	VBATT	入力	バッテリーバックアップ電源端子。
	VSS_01~ VSS_15, VSS0~ VSS11, VSS_DCDC	入力	グラウンド端子。システムの電源 (0 V) に接続してください。
	VSS_16~ VSS_19, VSS	入力	SiP 製品用の専用グラウンド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	EXCIN	入力	外部サブクロック入力
	CLKOUT	出力	クロック出力端子
動作モード制御	MD	入力	動作モード設定用の端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子が Low になると、MCU はリセット状態となります。
	PUP	入力	抵抗を介して VCC2 に接続してください。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	TMS	入力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。
	TDATA0~ TDATA3	出力	トレースデータ出力
	SWO	出力	シリアルワイヤトレース出力端子
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQn	入力	マスカブル割り込み要求端子
	IRQn-DS	入力	マスカブル割り込み要求端子は、ディープソフトウェアスタンバイモード時でも使用できます。

表 1.14 端子機能 (2/7)

機能	信号	入出力	説明
外部バスインタフェース	EBCLK	出力	外部デバイス用の外部バスクロックを出力します。
	RD	出力	外部バスインタフェース空間から読み出し中であることを示すストローブ信号、アクティブ Low
	WR	出力	1 ライトストローブモード時、外部バスインタフェース空間に書き込み中であることを示すストローブ信号、アクティブ Low
	WRn	出力	バイトストローブモード時、外部バスインタフェース空間に書き込み中で、データバス端子 (D07~D00, D15~D08, D23~D16, D31~D24) のいずれかが有効であることを示すストローブ信号、アクティブ Low
	BCn	出力	1 ライトストローブモード時、外部バスインタフェース空間にアクセス中で、データバス端子 (D07~D00, D15~D08, D23~D16, D31~D24) のいずれかが有効であることを示すストローブ信号、アクティブ Low
	ALE	出力	アドレス/データマルチプレクスバス選択時のアドレスラッチ信号
	WAIT	入力	外部空間をアクセスするときのウェイト要求信号用の入力端子、アクティブ Low
	CSn	出力	CS 領域選択信号、アクティブ Low
	A00~A23	出力	アドレスバス
	D00~D31	入出力	データバス
	A00/D00~A15/D15	入出力	アドレス/データマルチプレクスバス
SDRAM インタフェース	SDCLK	出力	SDRAM 専用クロックを出力します。
	CKE	出力	SDRAM クロックイネーブル信号
	SDCS	出力	SDRAM のチップ選択信号、アクティブ Low
	RAS	出力	SDRAM Low アドレスストローブ信号、アクティブ Low
	CAS	出力	SDRAM 列アドレスストローブ信号、アクティブ Low
	WE	出力	SDRAM 書き込みイネーブル信号、アクティブ Low
	DQMn	出力	SDRAM 入出力データマスキングイネーブル信号 (DQ07~DQ00, DQ15~DQ08, DQ23~DQ16, DQ31~DQ24)
	A00~A16	出力	アドレスバス
	DQ00~DQ31	入出力	データバス
GPT	GTETRG, GTETRGB, GTETRG, GTETRGD	入力	外部トリガ入力端子
	GTIOCA, GTIOCB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTADSM0, GTADSM1	出力	A/D 変換開始要求モニタリング出力端子
	GTCPPOn	出力	PWM 同期トル出力
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 W 相)

表 1.14 端子機能 (3/7)

機能	信号	入出力	説明
AGT	AGTEEn	入力	外部イベント入力イネーブル信号
	AGTIO _n	入出力	外部イベント入力およびパルス出力端子
	AGTO _n	出力	パルス出力端子
	AGTOA _n	出力	アウトプットコンペアマッチ A 出力端子
	AGTOB _n	出力	アウトプットコンペアマッチ B 出力端子
ULPT	ULPTEEn	入力	外部カウント制御入力
	ULPTEVIn	入力	外部イベント入力
	ULPTEEn-DS	入力	外部カウント制御入力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTEVIn-DS	入力	外部イベント入力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTO _n	出力	パルス出力
	ULPTOA _n	出力	アウトプットコンペアマッチ A 出力
	ULPTOB _n	出力	アウトプットコンペアマッチ B 出力
	ULPTO _n -DS	出力	パルス出力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOA _n -DS	出力	アウトプットコンペアマッチ A 出力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOB _n -DS	出力	アウトプットコンペアマッチ B 出力はディープソフトウェアスタンバイモード 1 時も使用できます。
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子
	RTCI _{Cn}	入力	時間キャプチャイベント入力端子
SCI	SCK _n	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD _n	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD _n	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS _n _RTS _n	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	CTS _n	入力	送信の開始用の入力端子
	DE _n	出力	RS-485 用のドライバイネーブル信号
	SCL _n	入出力	IIC クロック用の入出力端子 (簡易 IIC モード)
	SDA _n	入出力	IIC データ用の入出力端子 (簡易 IIC モード)
	SCK _n	入出力	クロック用の入出力端子 (簡易 SPI モード)
	MISO _n	入出力	データのスレーブ送信用の入出力端子 (簡易 SPI モード)
	MOSI _n	入出力	データのマスタ送信用の入出力端子 (簡易 SPI モード)
	SS _n	入力	チップセレクト入力端子 (簡易 SPI モード)、アクティブ Low
IIC	SCL _n	入出力	クロック用の入出力端子
	SDA _n	入出力	データ用の入出力端子
I3C	I3C_SCL0	入出力	クロック用の入出力端子
	I3C_SDA0	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3	出力	スレーブ選択用の出力端子

表 1.14 端子機能 (4/7)

機能	信号	入出力	説明
CANFD	CRXn	入力	受信データ
	CTXn	出力	送信データ
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB 内蔵トランシーバ D+端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出できます。
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへの VBUS (5 V) 供給許可信号
	USB_OVRCURA , USB_OVRCURB	入力	これらの端子には外部過電流検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください。
	USB_OVRCURA -DS, USB_OVRCURB -DS	入力	USBFS 用オーバーカレント端子は、ディープソフトウェアスタンバイモード 1 時也可以使用できます。これらの端子には外部過電流検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください。
	USB_ID	入力	OTG 動作時に MicroAB コネクタの ID 入力信号を接続してください。
OSPI	OM_n_SCLK	出力	クロック出力 (OCTACLK の 2 分周)
	OM_n_SCLKN	出力	反転クロック出力 (OCTACLK の 2 分周)
	OM_n_CSn	出力	OctaFlash デバイス用チップセレクト信号、アクティブ Low
	OM_n_DQS	入出力	読み出しデータストローブ/書き込みデータマスク信号
	OM_n_SIO _n	入出力	データ入出力
	OM_n_RESET	出力	両スレーブデバイス用のリセット信号、アクティブ Low
	OM_n_ECSINT1	入力	スレーブ 1 のエラー訂正状態と割り込み
	OM_n_RSTO1	入力	スレーブ 1 のスレーブリセット状態
	OM_n_WP1	出力	スレーブ 1 の書き込み保護、アクティブ Low
SDHI/MMC	SDnCLK	出力	SD クロック出力端子
	SDnCMD	入出力	コマンド出力端子および応答入力信号端子
	SDnDAT0~ SDnDAT7	入出力	SD/MMC データバス端子
	SDnCD	入力	SD カード検出端子
	SDnWP	入力	SD 書き込み保護信号

表 1.14 端子機能 (5/7)

機能	信号	入出力	説明
ESWM	ETn_GTX_CLK	出力	1000 Mb/s の送信クロック
	ETn_TX_CLK	入力	100 Mb/s、10 Mb/s の送信クロック
	ETn_RX_CLK	入力	受信クロック
	ETn_TX_EN	出力	送信許可
	ETn_TXD0~ ETn_TXD7	出力	送信データ
	ETn_TX_ER	出力	送信コーディングエラー
	ETn_RX_DV	入力	受信データ有効
	ETn_RXD0~ ETn_RXD7	入力	受信データ
	ETn_RX_ER	入力	受信エラー
	ETn_MDC	出力	管理データクロック
	ETn_MDIO	入出力	管理データ入出力
	RGMIIn_TXC	出力	送信クロック
	RGMIIn_RXC	入力	受信クロック
	RGMIIn_TX_CTL	出力	送信制御
	RGMIIn_TXD0~ RGMIIn_TXD3	出力	送信データ
	RGMIIn_RX_CTL	入力	受信制御
	RGMIIn_RXD0~ RGMIIn_RXD3	入力	受信データ
	RMIIIn_REF50CK	入力	同期クロック参照
	RMIIIn_TX_EN	出力	送信許可
	RMIIIn_TXD0~ RMIIIn_TXD1	出力	送信データ
	RMIIIn_CRS_DV	入力	キャリア感知／受信データ有効
	RMIIIn_RXD0~ RMIIIn_RXD1	入力	受信データ
	RMIIIn_RX_ER	入力	受信エラー
	ETn_LINKSTA	入力	PHY リンク状態
	ETn_INT	入力	PHY 割り込み
	ETn_WOL	出力	Wake-on-LAN。Magic Packet が受信されたことを示す信号
	GPTP_CAPTUR En	入力	メディアクロックキャプチャ入力
	GPTP_MATCHn	出力	メディアクロックリカバリ出力
	GPTP_PPSn	出力	PPS 信号
	GPTP_PTPOUT 0~ GPTP_PTPOUT 3	出力	PTP パルスジェネレータ信号
	ET_TAS_STA0~ ET_TAS_STA3	出力	TAS 状態監視
	ETHPHYCLK	出力	PHY 用クロック出力 (ESC と共有)

表 1.14 端子機能 (6/7)

機能	信号	入出力	説明
ESC	CATn_LINKSTA	入力	PHY-LSI からのリンクステータス入力
	CATn_RX_CLK	入力	受信クロック
	CATn_RX_DV	入力	受信データ有効
	CATn_ERXD0~CATn_ERXD3	入力	受信データ
	CATn_RX_ER	入力	受信エラー
	CATn_TX_CLK	入力	送信クロック
	CATn_TX_EN	出力	送信許可
	CATn_ETXD0~CATn_ETXD3	出力	送信データ
	CAT0_MDC	出力	管理データクロック
	CAT0_MDIO	入出力	管理データ入出力
	ETHPHYCLK	出力	PHY 用クロック出力 (ESWM と共有)
	CATRESETOUT	出力	PHY リセット信号
	CATLEDRUN	出力	RUN LED (緑) 出力
	CATIRQ	出力	IRQ 出力
	CATLEDSTER	出力	STATE LED (バイカラー) の RUN LED 部分の出力 (ERR 時はオフ)
	CATLEDERR	出力	ERR LED (赤) 出力
	CATLINKACT0, CATLINKACT1	出力	リンク/アクティビティ LED 出力
	CATSYNC0, CATSYNC1	出力	SYNC 信号出力
	CATLATCH0, CATLATCH1	入力	LATCH 信号入力
	CATI2CCLK	出力	EEPROM I2C クロック出力
	CATI2CDATA	入出力	EEPROM I2C データ
DSMIF	DSMnCLK0~DSMnCLK2	入出力	クロック入出力端子
	DSMnDAT0~DSMnDAT2	入力	データ入力端子
アナログ電源	AVCC0	入力	アナログ電圧源端子。それぞれのモジュールのアナログ電源端子として使用されます。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH	入力	ADC16H (ユニット 1) と D/A コンバータ用のアナログ基準電圧端子。ADC16H (ユニット 1) および D/A コンバータを使用しない場合は AVCC0 に接続してください。
	VREFL	入力	ADC16H および D/A コンバータのアナログ基準グランド端子。ADC16H (ユニット 1) および D/A コンバータを使用しない場合は AVSS0 に接続してください。
	VREFH0	入力	ADC16H (ユニット 0) 用のアナログ基準電圧端子。ADC16H (ユニット 0) を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC16H 用のアナログ基準グランド端子。ADC16H (ユニット 0) を使用しない場合は AVSS0 に接続してください。

表 1.14 端子機能 (7/7)

機能	信号	入出力	説明
ADC16H	ANxxx	入力	A/D コンバータで処理されるアナログ信号用の入力端子。
	ADTRGm	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
	ADSTm	出力	AD 変換開始
	ADmFLAG1	出力	AD 変換終了
	ADSYNC	出力	ユニット間の同期信号
DAC12	DAn	出力	D/A コンバータで処理されるアナログ信号用の出力端子。
ACMPHS	VCOUT	出力	コンパレータ出力端子
	IVREFn	入力	コンパレータ用基準電圧入力端子
	IVCMPn	入力	コンパレータ用アナログ電圧入力端子
I/O ポート	Pmn	入出力	汎用入出力端子 (m: ポート番号、n: ピン番号)
	P200	入力	汎用入力端子

1.6 ピン配置図

以下にピン配置図（上面図）を示します。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	P609	P113	P115	P112	P302	P915	VLO	VLO	VSS_D CDC	VCC_D CDC	VCC_D CDC	P309	P906	P905	P907	P904	P207	A
B	P813	PA12	P114	PA11	P300	P303	VLO	VLO	VSS_D CDC	VCC_D CDC	VCC_D CDC	P311	P908	P909	P206	PD01	PD02	B
C	PA06	P613	PA13	P301	P200	P210/T MS/S WDIO	P208/T DI	P110	P308	P305	P307	P911	P312	PD04	PD03	PD05	PD06	C
D	PA04	P611	P610	PA14	RES	P211/T CK/S WCLK	P109	P108	P903	P304	P306	P912	PB04	PB07	PB05	PB03	PB01	D
E	PA15	P615	P614	P612	P914	P201/ MD	P209/T DO	P111	P902	P310	P910	P913	PB02	PB06	PD07	PB00	P706	E
F	PA02	PA10	PA08	PA09	PC14	VCC_0 8	VSS_0 8	VSS3	VCL3	VSS_0 7	VCC_0 7	P700	P702	P406	P701	P707	P705	F
G	PA00	PA03	PA05	PA07	PC12	VCC_0 9	VSS_0 9	VSS4	VCL4	VSS_0 6	VCC_0 6	P405	P704	P703	PB14	PB12	PB11	G
H	P504	P503	P505	PA01	PC11	VCC_1 0	VSS_1 0	VSS7	VCL5	VSS5	VCC_0 4	VSS_0 4	P403	VCC_0 5	PB09	PB10	PB13	H
J	P506	P507	P508	P509	PC13	VCC2_11	VSS_1 1	VCL7	VCL6	VSS6	VCL2	VSS2	P404	PB08	VSS_0 5	VSS_0 3	VSS_0 2	J
K	PC15	P608	P510	PD00	PC07	VSS_1 2	VSS9	VCL9	VCL8	VSS8	VCL1	VSS1	P410	VCC_0 3	VCC_0 2	P213/X TAL	P212/E XTAL	K
L	PC03	PC02	PC04	PC09	PC05	VCC2_12	VSS_1 4	VSS_1 5	VSS10	VCL10	VCL0	VSS0	P414	P402	VCC_0 1	P214/X COUT	P215/X CIN/EX CIN	L
M	PC00	P607	PC01	PC08	PC10	P104	VCC2_14	VCC2_15	P810	VSS11	VCL11	P412	P710	P411	P408	VBATT	VSS_0 1	M
N	P605	P604	P606	PC06	P107	P106	P105	P811	P013	P011	P807	P708	P712	P714	P711	P713	P401	N
P	P603	P602	P600	P601	P102	P801	P803	P812	P012	P010	P009	P805	P512	P413	P515	P709	P400	P
R	VCC2_13	P315	P900	P103	P101	P802	P804	P501	AVCC0	AVSS0	P005	P003	P513	P514	P415	P409	P407	R
T	P205	P203	P313	P901	P809	P800	P502	P014	VREFL	VREFL 0	P004	P007	P001	P806	P715	P815/U SB_DM	VSS_U SB	T
U	P204	P202	P314	VSS_1 3	P808	P100	P500	P015	VREF H	VREF H0	P008	P006	P000	P002	P511	P814/U SB_DP	VCC_U SB	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

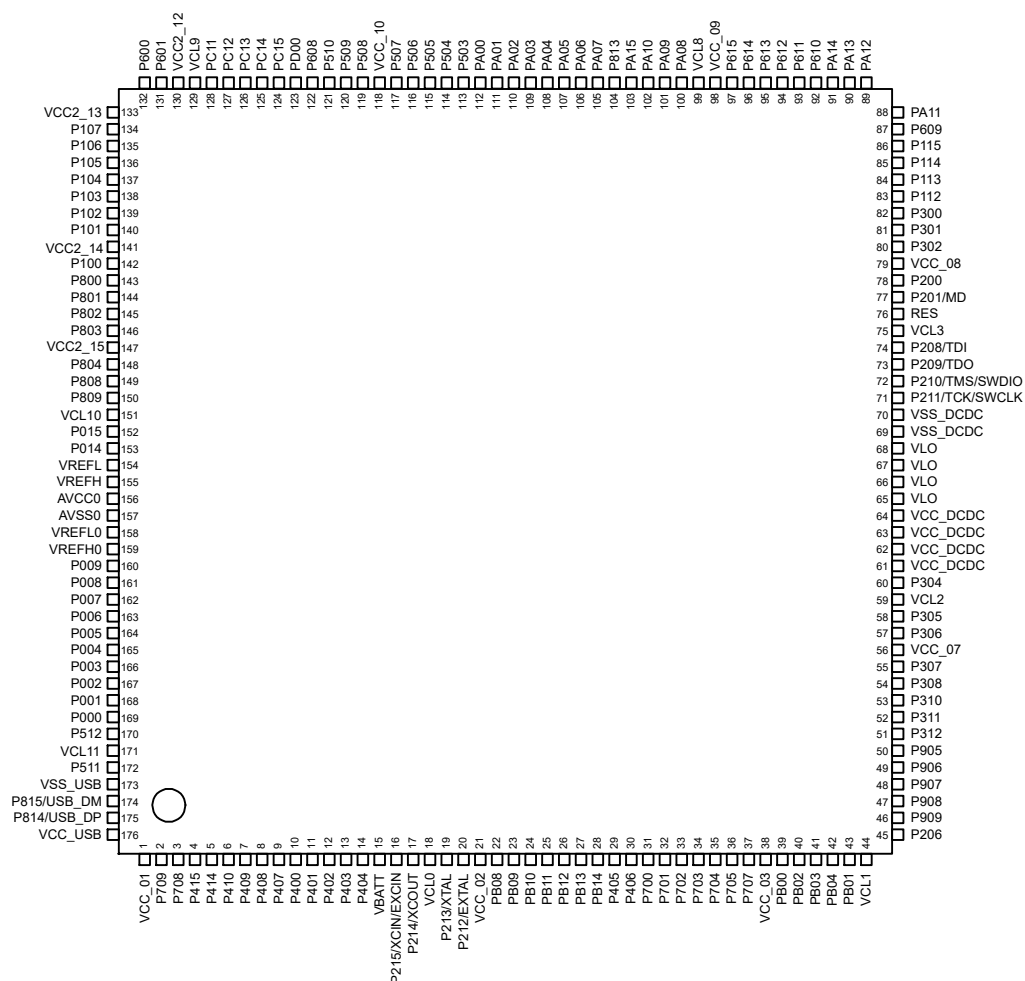
図 1.3 289 ピン BGA のピン配置

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
A	NC	PA11	P114	P112	P300	VLO	VLO	VSS_D CDC	VCC_D CDC	VCC_D CDC	P309	P312	P908	P905	P206	A
B	P610	PA12	P115	P113	P302	VLO	VLO	VSS_D CDC	VCC_D CDC	VCC_D CDC	P311	P310	P906	P907	P909	B
C	P612	P611	PA13	P609	P301	RES	P210/T MS/S WDIO	P211/T CK/S WCLK	P304	P306	P305	P307	PB03	PB00	PB01	C
D	P615	P613	P614	PA14	P200	P208/T DI	P201/ MD	P209/T DO	P902	P308	PB02	PB04	P705	P707	P706	D
E	PA15	PA08	P813	PA09	VCC_0 8	VSS_0 8	VSS5	VL5	VSS_0 7	VCC_0 7	P405	P702	P704	P406	P701	E
F	PA06	PA10	PA05	PA07	VCC_0 9	VSS_0 9	VSS6	VL6	VCL4	VSS4	P700	P703	PB14	PB12	PB11	F
G	PA04	PA02	PA01	PA03	VCC_1 0	VSS_1 0	VSS7	VL7	VCL3	VSS3	P404	VCC_0 5	PB09	PB10	PB13	G
H	PA00	P504	P503	P505	PC14	VSS_1 5	VSS8	VL8	VCL2	VSS2	P403	PB08	VSS_0 5	VSS_0 3	VSS_0 2	H
J	P506	P510	P507	P508	PC12	VCC2_ 15	VSS9	VL9	VCL1	VSS1	P402	VCC_0 3	VCC_0 2	P213/X TAL	P212/E XTAL	J
K	PC15	P608	PD00	P509	VCC2_ 14	VSS_1 4	VSS10	VL10	VCL0	VSS0	P410	P407	VCC_0 1	P214/X COUT	P215/X CIN/EX CIN	K
L	PC13	P604	P603	P107	P106	P104	P105	VSS11	VCL11	P409	P414	P408	P415	VBATT	VSS_0 1	L
M	PC11	P602	P600	P601	P102	P801	P803	P009	P007	P708	P411	P710	P709	P711	P401	M
N	VCC2_ 12	P315	VSS_1 3	P103	P101	P802	P804	AVCC0	AVSS0	P005	P001	P712	P714	P713	P400	N
P	P205	P203	P313	VCC2_ 13	P809	P800	P015	VREFL	VREFL 0	P006	P002	P003	P512	P815/U SB_D M	VSS_U SB	P
R	P204	P202	P314	VSS_1 2	P808	P100	P014	VREF H	VREF H0	P008	P004	P000	P511	P814/U SB_DP	VCC_U SB	R
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	

図 1.4 224 ピン BGA のピン配置

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	
A	VSS	P114	P609	P113	P301	P208/ TDI	P210/ TMS/ SWDIO	VLO	VLO	VSS_ DCDC	VCC_ DCDC	VCC_ DCDC	P309	P906	P905	P907	P207	VSS	A
B	P813	PA12	P115	PA11	P112	P209/ TDO	P211/ TCK/ SWCLK	VLO	VLO	VSS_ DCDC	VCC_ DCDC	VCC_ DCDC	P311	P908	P909	P904	PD01	PD02	B
C	PA06	P613	PA13	P300	P302	P200	RES	P110	P903	P308	P305	P307	P911	P206	PD04	PD03	PD05	PD06	C
D	PA04	P611	P610	PA14	P303	P915	P108	P111	P109	P310	P304	P306	P912	PB04	PB07	PB05	PB03	PB01	D
E	PA15	P615	P614	P612	P914	P201/ MD				P902	P312	P910	P913	PB02	PB06	PD07	PB00	P706	E
F	PA02	PA10	PA08	PA09	PC14		VCC_ 08	VSS_ 08	VSS3	VCL3	VSS_ 07	VCC_ 07	P700	P702	P406	P701	P707	P705	F
G	PA00	PA03	PA05	PA07	PC12		VCC_ 09	VSS_ 09	VSS4	VCL4	VSS_ 06	VCC_ 06	P405	P704	P703	PB14	PB12	PB11	G
H	P504	P503	P505	PA01	PC11		VCC_ 10	VSS_ 10	VSS7	VCL5	VSS5	VCC_ 04	VSS_ 04		VCC_ 05	PB09	PB10	PB13	H
J	P506	P507	P508	P509	PC13		VCC2_ 11	VSS_ 11	VCL7	VCL6	VSS6	VCL2	VSS2		PB08	VSS_ 05	VSS_ 03	VSS_ 02	J
K	PC15	P608	P510	PD00	VSS	VSS	VSS_ 12	VSS9	VCL9	VCL8	VSS8	VCL1	VSS1		VCC_ 03	VCC_ 02	P213/ XTAL	P212/ EXTAL	K
L	PC10	VSS	PUP	VCC2_ 16	VSS_ 16		VCC2_ 12	VSS_ 14	VSS_ 15	VSS10	VCL10	VCL0	VSS0	P403	P404	VCC_ 01	P214/ XCIN/ XCOUT	P215/ XCIN/ EXCIN	L
M	PC09	VSS	VSS	VCC2_ 17	VSS_ 17			VCC2_ 14	VCC2_ 15		VSS11	VCL11		P414	P402	P410	VBATT	VSS_ 01	M
N	PC08	VSS	VSS	VCC2_ 18	VSS_ 18		P105			P810				P710	P411	P408	P412	P401	N
P	VSS	VSS	VSS	VCC2_ 19	VSS_ 19	P104	P107	P106	P811	P013	P011	P807	P708	P712	P714	P711	P713	P400	P
R	P602	VSS	VSS	P600	P601	P102	P801	P803	P812	P012	P010	P009	P805	P512	P413	P515	P709	P407	R
T	DNU	VSS	P315	P900	P103	P101	P802	P804	P501	AVCC0	AVSS0	P005	P003	P513	P514	P415	P409	VCC_ USB	T
U	VCC2_ 13	P205	P203	P313	P901	P809	P800	P502	P014	VREFL	VREFL 0	P004	P007	P001	P806	P715	P815/ USB_ DM	VSS_ USB	U
V	VSS	P204	P202	P314	VSS_ 13	P808	P100	P500	P015	VREFH	VREFH 0	P008	P006	P000	P002	P511	P814/ USB_ DP	VSS	V
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	

図 1.5 303 ピン BGA のピン配置



注. VSS_01~VSS_15 と VSS0~VSS11 は、QFP パッケージ底面の露出パッドに配置します。このパッドは必ずグランド (0 V) に接続してください。

図 1.6 176 ピンのピン配置

1.7 端子一覧

表 1.15 標準製品の端子一覧 (1/8)

BGA289	BGA224	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
A1	C4	87	—	P609	D7/DQ7	IRQ29	TXD0_C/SDA0_C/MOSI0_C/MISOA_B/CTX1	GTIU/GTIOC5B/ULPTOA1-DS	AD1FLAG1
A2	B4	84	—	P113	D4/DQ4	IRQ28	RXD0_A/SCL0_A/MISO0_A/SSLA1_B/SD0DAT5_B	GTETRGB/GTIOC2A/ULPTOA0-DS	ADST1
A3	B3	86	—	P115	D6/DQ6	IRQ31-DS	CTS0_A/MOSIA_B/SD0DAT7_B	GTETRGD/GTIOC5A	AD0FLAG1
A4	A4	83	—	P112	D3/DQ3	IRQ27	TXD0_A/SDA0_A/MOSI0_A/SSLA2_B/SD0DAT4_B	GTETRGA/GTIOC3B/ULPTOA0-DS	ADST0
A5	B5	80	—	P302	D0/DQ0	IRQ5	RXD6_B/SCL6_B/MISO6_B/SD0DAT1_B	GTOUUP/GTIOC4A/ULPTOA0-DS	—
A6	—	—	—	P915	—	IRQ8	CTS6_B	GTIOC5A	—
A7	A6	68	VLO	—	—	—	—	—	—
A8	A7	66	VLO	—	—	—	—	—	—
A9	A8	70	VSS_DCDC	—	—	—	—	—	—
A10	A9	64	VCC_DCDC	—	—	—	—	—	—
A11	A10	62	VCC_DCDC	—	—	—	—	—	—
A12	A11	—	—	P309	—	IRQ25-DS	CTS9_B/ET1_GTX_CLK/RGMII1_TXC	GTCPPO8	VCOUT
A13	B13	49	—	P906	—	IRQ9	CTS6_A/USB_ID/ET1_RXD0/RGMII1_RXD0/RMII1_RXD0/CAT1_ERXD0	GTIOC13B/ULPTO1	AD0FLAG1
A14	A14	50	—	P905	—	IRQ8	RXD3_B/SCL3_B/MISO3_B/ET1_RX_CLK/RGMII1_RXC/RMII1_REF50CK/CAT1_RX_CLK	GTCPPO13	AD1FLAG1
A15	B14	48	—	P907	—	IRQ10	SCK6_A/DE6/USB_EXICEN/ET1_RXD1/RGMII1_RXD1/RMII1_RXD1/CAT1_ERXD1	GTIOC13A/ULPTEE1	ADSYNC
A16	—	—	—	P904	—	IRQ2	ET1_RXD4	GTIOC11B	—
A17	—	—	—	P207	—	IRQ25	ET1_RXD5	GTCPPO3	—
B1	E3	104	—	P813	SDCS	IRQ15	SCK7_A/DE7	GTETRGA/GTIOC7B	—
B2	B2	89	—	PA12	D9/DQ9	IRQ11	RXD9_C/SCL9_C/MISO9_C	GTIW/GTIOC6B	—
B3	A3	85	—	P114	D5/DQ5	IRQ30-DS	CTS_RTS0_A/SS0_A/DE0/SSLA0_B/SD0DAT6_B	GTETRGC/GTIOC2B	ADSYNC
B4	A2	88	—	PA11	D8/DQ8	IRQ10	SCK9_C/DE9	GTIV/GTIOC6A	—
B5	A5	82	—	P300	D2/DQ2	IRQ4	SCK0_A/DE0/SSLA3_B/SD0DAT3_B	GTIOC3A/ULPTEV10-DS	—
B6	—	—	—	P303	—	IRQ29-DS	SCK6_B/DE6	GTIOC7B	—
B7	B6	67	VLO	—	—	—	—	—	—
B8	B7	65	VLO	—	—	—	—	—	—
B9	B8	69	VSS_DCDC	—	—	—	—	—	—
B10	B9	63	VCC_DCDC	—	—	—	—	—	—
B11	B10	61	VCC_DCDC	—	—	—	—	—	—
B12	B11	52	—	P311	—	IRQ23-DS	SCK3_B/DE3/CRX0/ET1_TX_CLK/CAT1_TX_CLK	GTADSM1/GTCPPO6/AGTOB1	—
B13	A13	47	—	P908	—	IRQ11	TXD6_A/SDA6_A/MOSI6_A/CRX1/USB_OVRCURB/ET1_RXD2/RGMII1_RXD2/CAT1_ERXD2	GTIOC12B/ULPTEV11	ADST1
B14	B15	46	—	P909	—	IRQ21-DS	RXD6_A/SCL6_A/MISO6_A/CTX1/USB_OVRCURA/ET1_RXD3/RGMII1_RXD3/CAT1_ERXD3	GTIOC12A/ULPTOA1	ADST0
B15	A15	45	CLKOUT	P206	CS7	IRQ0-DS	USB_VBUSEN/SD0DAT7_C/ET1_RX_DV/RGMII1_RX_CTL/RMII1_CRS_DV/CAT1_RX_DV	GTIU/GTCPPO0/ULPTOB1	—
B16	—	—	—	PD01	—	IRQ22	SCK8_C/DE8/SD0DAT2_C/ET1_RXD6	GTCPPO2	—
B17	—	—	—	PD02	—	IRQ21	TXD8_C/SDA8_C/MOSI8_C/SD0DAT1_C/ET1_RXD7	GTCPPO1	—
C1	F1	106	—	PA06	CS1/CKE	IRQ17	CTS2_C/SD0DAT1_A	GTETRGC/GTIOC7B	—
C2	D2	95	—	P613	D15/DQ15	IRQ19	CTS0_C	GTETRGA/GTIOC9B/AGTO1	—

表 1.15 標準製品の端子一覧 (2/8)

BGA289	BGA224	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
C3	C3	90	—	PA13	D10/DQ10	IRQ12	CTS_RTS9_C/SS9_C/DE9	GTOVUP/GTIOC10A	—
C4	C5	81	—	P301	D1/DQ1	IRQ6	TXD6_B/SDA6_B/MOSI6_B/SD0DAT2_B	GTOULO/GTIOC4B/AGTIO0/ULPTEE0-DS	—
C5	D5	78	—	P200	—	NMI	—	—	—
C6	C7	72	TMS/SWDIO	P210	—	IRQ24	CTS_RTS9_B/SS9_B/DE9	GTOULO/GTIOC0B	—
C7	D6	74	TDI	P208	—	IRQ3	RXD9_B/SCL9_B/MISO9_B/CRX1	GTOVLO/GTIOC1B	VCOOUT
C8	—	—	—	P110	—	IRQ20	SD0DAT4_C	GTIOC9B	—
C9	D10	54	TCLK	P308	—	IRQ26-DS	CTS3_B/SD0CLK_B/ET1_TX_ER/ETHPHYCLK	GTIU/GTCPP09/ULPTOB1	—
C10	C11	58	TDATA2	P305	—	IRQ8	SD0WP/ET1_TXD2/RGMII1_TXD2/CAT1_ETXD2	GTOVUP/GTCPP012/ULPTEE1	—
C11	C12	55	TDATA0	P307	—	IRQ27-DS	CTS_RTS6_A/SS6_A/DE6/SD0CMD_B/ET1_TXD0/RGMII1_TXD0/RMII1_TXD0/CAT1_ETXD0	GTIV/GTCPP010/ULPTOA1	—
C12	—	—	—	P911	—	IRQ6	ET1_TXD5	GTIOC3B	—
C13	A12	51	—	P312	—	IRQ22-DS	CTS_RTS3_B/SS3_B/DE3/CTX0/ET1_RX_ER/RMII1_RX_ER/CAT1_RX_ER	GTADSM0/GTCPP05/AGTOA1	—
C14	—	—	—	PD04	—	IRQ20	CTS_RTS8_C/SS8_C/DE8/SD0CMD_C/ET0_RXD5	GTIOC3A	—
C15	—	—	—	PD03	—	IRQ21	RXD8_C/SCL8_C/MISO8_C/SD0DAT0_C/ET0_RXD4	GTIOC3B	—
C16	—	—	—	PD05	—	IRQ19	CTS8_C/SD0CLK_C/ET0_RXD6	GTIOC2B	—
C17	—	—	—	PD06	—	IRQ18	SD0WP/ET0_RXD7	GTIOC2A	—
D1	G1	108	—	PA04	A1/DQM3	IRQ19	SCK2_C/DE2/SD0DAT3_A	GTIU/GTIOC4B	ADST0
D2	C2	93	CACREF/CLKOUT	P611	D13/DQ13	IRQ17	SCK0_C/DE0/MOSIA_B	GTOULO/GTIOC4B	—
D3	B1	92	—	P610	D12/DQ12	IRQ16	RXD0_C/SCL0_C/MISO0_C/RSPCKA_B/CRX1	GTOUUP/GTIOC4A/ULPTOB1-DS	—
D4	D4	91	—	PA14	D11/DQ11	IRQ13	TXD9_C/SDA9_C/MOSI9_C	GTOVLO/GTIOC10B	—
D5	C6	76	RES	—	—	—	—	—	—
D6	C8	71	TCK/SWCLK	P211	—	IRQ23	SCK9_B/DE9	GTOUUP/GTIOC0A	—
D7	—	—	—	P109	—	IRQ23	SD0DAT5_C	GTIOC10A	—
D8	—	—	—	P108	—	IRQ24	SD0DAT6_C	GTIOC10B	—
D9	—	—	—	P903	—	IRQ1	—	GTIOC11A	—
D10	C9	60	TDATA3	P304	—	IRQ9	SD0DAT0_B/ET1_TXD3/RGMII1_TXD3/CAT1_ETXD3	GTOVLO/GTIOC7A/ULPTO1	—
D11	C10	57	TDATA1	P306	—	IRQ28-DS	SD0CD/ET1_TXD1/RGMII1_TXD1/RMII1_TXD1/CAT1_ETXD1	GTIW/GTCPP011/ULPTEV1	—
D12	—	—	—	P912	—	IRQ5	ET1_TXD6	GTIOC3A	—
D13	D12	42	—	PB04	—	IRQ9	SCK5_C/DE5/ET0_TXD3/RGMII0_TXD3/CAT0_ETXD3	GTCPP03	AD0FLAG1
D14	—	—	—	PB07	—	IRQ1	ET0_TXD5	GTIOC9B	—
D15	—	—	—	PB05	—	IRQ15	CTS5_C/ET0_TXD7	GTCPP04	—
D16	C13	41	—	PB03	—	IRQ13	TXD5_C/SDA5_C/MOSI5_C/ET0_TXD2/RGMII0_TXD2/CAT0_ETXD2	GTCPP01	ADSYNC
D17	C15	43	—	PB01	ALE	IRQ12	CTS_RTS1_B/SS1_B/DE1/ET0_TX_CLK/CAT0_TX_CLK	GTCPP02	AD1FLAG1
E1	E1	103	—	PA15	EBCLK/SDCLK	IRQ14	CTS9_C	GTIOC7A	—
E2	D1	97	—	P615	WR2/BC2/DQM2	IRQ7	TXD7_A/SDA7_A/MOSI7_A	GTETRGC/GTCPP010	—
E3	D3	96	—	P614	WR/WR0/DQM0	IRQ20	RXD7_A/SCL7_A/MISO7_A	GTETRGC/GTCPP09/AGTO0	—
E4	C1	94	—	P612	D14/DQ14	IRQ18	CTS_RTS0_C/SS0_C/DE0/SSLA0_B	GTIOC9A	—
E5	—	—	—	P914	—	IRQ9	CTS_RTS6_B/SS6_B/DE6	GTIOC5B	—
E6	D7	77	MD	P201	—	IRQ4	—	—	—

表 1.15 標準製品の端子一覧 (3/8)

BGA289	BGA224	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
E7	D8	73	TDO/SWO/CLKOUT	P209	—	IRQ25	TXD9_B/SDA9_B/MOSI9_B/CTX1	GTOVUP/GTIOC1A	—
E8	—	—	—	P111	—	IRQ19	SD0DAT3_C	GTIOC9A	—
E9	D9	—	—	P902	ALE	IRQ0	ETHPHYCLK	GTCPP013	—
E10	B12	53	—	P310	—	IRQ24-DS	TXD3_B/SDA3_B/MOSI3_B/ET1_TX_EN/RGMII1_TX_CTL/RMII1_TX_EN/CAT1_TX_EN	GTCPP07/AGTEE1	—
E11	—	—	—	P910	—	IRQ7	ET1_TXD4	GTCPP012	—
E12	—	—	CLKOUT	P913	—	IRQ3	ET1_TXD7	GTCPP011	—
E13	D11	40	—	PB02	—	IRQ11	RXD5_C/SCL5_C/MISO5_C/ET0_TXD1/RGMII0_TXD1/RMII0_TXD1/CAT0_ETXD1	GTCPP00	ADST1
E14	—	—	—	PB06	—	IRQ0	CTS_RTS5_C/SS5_C/DE5/ET0_TXD6	GTIOC9A	—
E15	—	—	—	PD07	—	IRQ17	SD0CD/ET0_TXD4	GTCPP00	—
E16	C14	39	—	PB00	—	IRQ10	SCK1_B/DE1/ET0_TXD0/RGMII0_TXD0/RMII0_TXD0/CAT0_ETXD0/DSM1CLK2	GTCPP04	ADST0
E17	D15	—	—	P706	—	IRQ7	RXD1_B/SCL1_B/MISO1_B/ET0_GTX_CLK/RGMII0_TXC/ETHPHYCLK/DSM1CLK0	GTCPP02/AGTIO0	—
F1	G2	110	—	PA02	A3	IRQ31	RXD2_C/SCL2_C/MISO2_C/SD0DAT5_A	GTIW/GTCPP09	ADSYNC
F2	F2	102	—	PA10	CS2/RAS	IRQ4	SCK5_B/DE5	GTCPP013	—
F3	E2	100	—	PA08	CS0/WE	IRQ6	RXD5_B/SCL5_B/MISO5_B	GTETRGD/GTCPP011	—
F4	E4	101	—	PA09	CS3/CAS	IRQ5	TXD5_B/SDA5_B/MOSI5_B	GTCPP012	—
F5	H5	125	—	PC14	D16/DQ16	IRQ0	TXD6_C/SDA6_C/MOSI6_C/ET0_WOL/DSM1DAT1	GTADSM1/GTCPP09	—
F6	E5	79	VCC_08	—	—	—	—	—	—
F7	E6	—	VSS_08	—	—	—	—	—	—
F8	G10	—	VSS3	—	—	—	—	—	—
F9	G9	75	VCL3	—	—	—	—	—	—
F10	E9	—	VSS_07	—	—	—	—	—	—
F11	E10	56	VCC_07	—	—	—	—	—	—
F12	F11	31	—	P700	—	IRQ16-DS	RXD2_B/SCL2_B/MISO2_B/MISOA_C/SD1WP/ET0_RXD2/RGMII0_RXD2/CAT0_ERXD2/DSM0CLK0	GTIOC5A	—
F13	E12	33	—	P702	—	IRQ18-DS	CTS2_B/RSPCKA_C/SD1DAT5_B/ET0_RXD0/RGMII0_RXD0/RMII0_RXD0/CAT0_ERXD0/DSM0CLK2	GTIOC6A/ULPT00	—
F14	E14	30	—	P406	—	IRQ31	TXD2_B/SDA2_B/MOSI2_B/SSLA3_C/SD1CD/ET0_RXD3/RGMII0_RXD3/CAT0_ERXD3/DSM0DAT2	GTIOC1B	—
F15	E15	32	—	P701	—	IRQ17-DS	CTS_RTS2_B/SS2_B/DE2/MOSIA_C/SD1DAT4_B/ET0_RXD1/RGMII0_RXD1/RMII0_RXD1/CAT0_ERXD1/DSM0CLK1	GTIOC5B/ULPT01	—
F16	D14	37	—	P707	—	IRQ8	TXD1_B/SDA1_B/MOSI1_B/ET0_TX_ER/ETHPHYCLK/DSM1CLK1	GTCPP03	—
F17	D13	36	—	P705	—	IRQ19	CTS1_B/SSLA2_C/CRX0/ET0_TX_EN/RGMII0_TX_CTL/RMII0_TX_EN/CAT0_TX_EN/DSM1DAT2	GTADSM1/GTCPP01/AGTIO0	—
G1	H1	112	—	PA00	A5	IRQ22	CTS_RTS5_B/SS5_B/DE5/SD0DAT7_A	GTOVLO/GTCPP07	AD1FLAG1
G2	G4	109	—	PA03	A2	IRQ20	TXD2_C/SDA2_C/MOSI2_C/SD0DAT4_A	GTIV/GTCPP010	ADST1
G3	F3	107	—	PA05	A0/BC0/DQM1	IRQ18	CTS_RTS2_C/SS2_C/DE2/SD0DAT2_A	GTETRGD/GTIOC4A	—
G4	F4	105	—	PA07	RD	IRQ16	CTS7_A/SD0DAT0_A	GTETRGB/GTIOC7A	VCOUT
G5	J5	127	—	PC12	D18/DQ18	IRQ2	SCK6_C/DE6/ET0_MDIO/CAT0_MDIO/DSM1CLK0	GTCPP011	—
G6	F5	98	VCC_09	—	—	—	—	—	—

表 1.15 標準製品の端子一覧 (4/8)

BGA289	BGA224	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
G7	F6	—	VSS_09	—	—	—	—	—	—
G8	F10	—	VSS4	—	—	—	—	—	—
G9	F9	—	VCL4	—	—	—	—	—	—
G10	—	—	VSS_06	—	—	—	—	—	—
G11	—	—	VCC_06	—	—	—	—	—	—
G12	E11	29	—	P405	—	IRQ30	SCK2_B/DE2/SD1DAT3_B/ ET0_RX_DV/RGMII0_RX_CTL/ RMII0_CRS_DV/CAT0_RX_DV/ DSM0DAT1	GTIOC1A/AGTIO1	—
G13	E13	35	—	P704	—	IRQ26	SSLA1_C/CTX0/SD1DAT7_B/ ET0_RX_ER/RMII0_RX_ER/ CAT0_RX_ER/DSM1DAT1	GTADSM0/GTCPPO0/ AGT00	—
G14	F12	34	—	P703	—	IRQ19-DS	SSLA0_C/SD1DAT6_B/ ET0_RX_CLK/RGMII0_RXC/ RMII0_REF50CK/CAT0_RX_CLK/ DSM1DAT0	GTIOC6B/AGT01	VCOUT
G15	F13	28	—	PB14	—	IRQ10	CATSYNCO	—	—
G16	F14	26	—	PB12	—	IRQ6	CATLINKACT0	—	—
G17	F15	25	—	PB11	—	IRQ5	CATLEDERR	—	—
H1	H2	114	—	P504	A7	IRQ7	SD0WP	GTOULO/GTCPPO1	—
H2	H3	113	—	P503	A6	IRQ6	SD0CD	GTOUUP/GTCPPO6	—
H3	H4	115	—	P505	A8	IRQ8	SD0CLK_A	GTOWUP/GTCPPO2	—
H4	G3	111	—	PA01	A4	IRQ21	CTS5_B/SD0DAT6_A	GTOVUP/GTCPPO8	AD0FLAG1
H5	M1	128	—	PC11	D19/ DQ19	IRQ3	CTS_RTS6_C/SS6_C/DE6/ ET0_MDC/CAT0_MDC/DSM1CLK1	GTCPPO12	—
H6	G5	118	VCC_10	—	—	—	—	—	—
H7	G6	—	VSS_10	—	—	—	—	—	—
H8	G7	—	VSS7	—	—	—	—	—	—
H9	E8	—	VCL5	—	—	—	—	—	—
H10	E7	—	VSS5	—	—	—	—	—	—
H11	—	—	VCC_04	—	—	—	—	—	—
H12	—	—	VSS_04	—	—	—	—	—	—
H13	H11	13	—	P403	—	IRQ14-DS	CTS_RTS1_A/SS1_A/DE1/ SD1DAT1_B/ET1_WOL/ CAT12CCLK	GTIOC3A/RTCIC1	AD0FLAG1
H14	G12	—	VCC_05	—	—	—	—	—	—
H15	G13	23	—	PB09	—	IRQ13	CATIRQ	—	—
H16	G14	24	—	PB10	—	IRQ4	CATLEDSTER	—	—
H17	G15	27	—	PB13	—	IRQ7	CATLINKACT1	—	—
J1	J1	116	—	P506	A9	IRQ9	SD0CMD_A	GTOWLO/GTCPPO3	—
J2	J3	117	—	P507	A10	IRQ10	CTS_RTS7_A/SS7_A/DE7/ ET_TAS_STA0	GTADSM0/GTIOC0A	—
J3	J4	119	—	P508	A11	IRQ1	CTS5_A/ET_TAS_STA1	GTADSM1/GTIOC0B	—
J4	K4	120	—	P509	A12	IRQ2	CTS_RTS5_A/SS5_A/DE5/ ET_TAS_STA2	GTIOC1A/ULPTEV11	—
J5	L1	126	—	PC13	D17/ DQ17	IRQ1	RXD6_C/SCL6_C/MISO6_C/ ET0_INT/DSM1DAT2	GTCPPO10	—
J6	—	—	VCC2_11	—	—	—	—	—	—
J7	—	—	VSS_11	—	—	—	—	—	—
J8	G8	—	VCL7	—	—	—	—	—	—
J9	F8	—	VCL6	—	—	—	—	—	—
J10	F7	—	VSS6	—	—	—	—	—	—
J11	H9	59	VCL2	—	—	—	—	—	—
J12	H10	—	VSS2	—	—	—	—	—	—
J13	G11	14	—	P404	—	IRQ15-DS	CTS1_A/SD1DAT2_B/ET0_WOL/ CAT12CDATA/DSM0DAT0	GTIOC3B/RTCIC2	AD1FLAG1
J14	H12	22	—	PB08	—	IRQ12	CATLEDRUN	—	—
J15	H13	—	VSS_05	—	—	—	—	—	—

表 1.15 標準製品の端子一覧 (5/8)

BGA289	BGA224	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
J16	H14	—	VSS_03	—	—	—	—	—	—
J17	H15	—	VSS_02	—	—	—	—	—	—
K1	K1	124	—	PC15	A16	IRQ30	CTS6_C/CRX1	GTADSM0	—
K2	K2	122	CACREF	P608	A14	IRQ22	TXD5_A/SDA5_A/MOSI5_A	GTOWUP/GTCPP04	—
K3	J2	121	—	P510	A13	IRQ3	RXD5_A/SCL5_A/MISO5_A/ET_TAS_STA3	GTIOC1B/ULPTEV10	—
K4	K3	123	—	PD00	A15	IRQ23	SCK5_A/DE5/CTX1	GTOWLO/GTCPP05	—
K5	—	—	—	PC07	D23/DQ23	IRQ21	OM_1_RESET/DSM0DAT0	GTCPP00	—
K6	R4	—	VSS_12	—	—	—	—	—	—
K7	J7	—	VSS9	—	—	—	—	—	—
K8	J8	129	VCL9	—	—	—	—	—	—
K9	H8	99	VCL8	—	—	—	—	—	—
K10	H7	—	VSS8	—	—	—	—	—	—
K11	J9	44	VCL1	—	—	—	—	—	—
K12	J10	—	VSS1	—	—	—	—	—	—
K13	K11	6	—	P410	A19	IRQ5	SCK3_A/DE3/SCL0_A/USB_OVRCURB-DS/GPTP_MATCH0/CAT12CCLK	GTVOLO/GTIOC9B/AGTOB1	ADST0
K14	J12	38	VCC_03	—	—	—	—	—	—
K15	J13	21	VCC_02	—	—	—	—	—	—
K16	J14	19	XTAL	P213	—	IRQ2	TXD1_C/SDA1_C/MOSI1_C	GTETRG/GTIOC0A/ULPTEE0	ADTRG1
K17	J15	20	EXTAL	P212	—	IRQ3	RXD1_C/SCL1_C/MISO1_C	GTETRGD/GTIOC0B/AGTEE1	—
L1	—	—	—	PC03	D27/DQ27	IRQ25	TXD7_C/SDA7_C/MOSI7_C/OM_1_SIO4/DSM0CLK1	GTCPP04	—
L2	—	—	—	PC02	D28/DQ28	IRQ26	SCK7_C/DE7/OM_1_SIO3/DSM0CLK2	GTCPP05	—
L3	—	—	—	PC04	D26/DQ26	IRQ24	RXD7_C/SCL7_C/MISO7_C/OM_1_SIO2/DSM0CLK0	GTCPP03	—
L4	—	—	—	PC09	D21/DQ21	IRQ5	OM_1_RST01	—	—
L5	—	—	—	PC05	D25/DQ25	IRQ23	OM_1_CS1/DSM0DAT2	GTCPP02	—
L6	N1	130	VCC2_12	—	—	—	—	—	—
L7	K6	—	VSS_14	—	—	—	—	—	—
L8	H6	—	VSS_15	—	—	—	—	—	—
L9	K7	—	VSS10	—	—	—	—	—	—
L10	K8	151	VCL10	—	—	—	—	—	—
L11	K9	18	VCL0	—	—	—	—	—	—
L12	K10	—	VSS0	—	—	—	—	—	—
L13	L11	5	—	P414	A23	IRQ9	RXD4_B/SCL4_B/MISO4_B/SSLB0_B/CRX1/ET1_MDIO/CATLATCH1	GTIOC0B	—
L14	J11	12	CACREF	P402	—	IRQ4-DS	SCK1_A/DE1/CRX0/SD1DAT0_B/ET0_LINKSTA/CAT0_LINKSTA	RTICIC0	—
L15	K13	1	VCC_01	—	—	—	—	—	—
L16	K14	17	XCOUT	P214	—	IRQ21	—	—	—
L17	K15	16	XCIN/EXCIN	P215	—	IRQ20	—	—	—
M1	—	—	—	PC00	D30/DQ30	IRQ28	CTS_RTS7_C/SS7_C/DE7/OM_1_SIO5	GTCPP07	—
M2	—	—	—	P607	D31/DQ31	IRQ23	OM_1_DQS	—	—
M3	—	—	—	PC01	D29/DQ29	IRQ27	CTS7_C/OM_1_SIO0	GTCPP06	—
M4	—	—	—	PC08	D22/DQ22	IRQ29	OM_1_CS0/DSM1DAT0	GTCPP08	—
M5	—	—	—	PC10	D20/DQ20	IRQ4	OM_1_WP1/DSM1CLK2	GTCPP013	—

表 1.15 標準製品の端子一覧 (6/8)

BGA289	BGA224	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
M6	L6	137	—	P104	—	IRQ1	CTS9_A/SSLB1_A/OM_0_CS1/GPTP_MATCH0/CATLATCH0/DSM0DAT1	GTETRGB/GTIOC1B	AD0FLAG1
M7	K5	141	VCC2_14	—	—	—	—	—	—
M8	J6	147	VCC2_15	—	—	—	—	—	—
M9	—	—	—	P810	—	IRQ21	SCK7_B/DE7/SD1DAT2_A	GTIOC10A/ULPTOA0	—
M10	L8	—	VSS11	—	—	—	—	—	—
M11	L9	171	VCL11	—	—	—	—	—	—
M12	—	—	—	P412	A21	IRQ20-DS	CTS3_A/USB_EXICEN/GPTP_PTPOUT0	GTOULO/GTCPP08/AGTEE1	—
M13	M12	—	—	P710	CS5	IRQ17	CTS4_B/SSLB3_B/ET0_LINKSTA/CAT0_LINKSTA	GTIOC11B	—
M14	M11	—	CACREF	P411	A20	IRQ4	CTS_RTS3_A/SS3_A/DE3/USB_ID/GPTP_PTPOUT1	GTOVUP/GTIOC9A/AGTOA1	—
M15	L12	8	—	P408	A17	IRQ7	RXD3_A/SCL3_A/MISO3_A/SCLO_B/USB_VBUSEN/GPTP_PTPOUT2/CATRESETOUT	GTOWLO/GTIOC10A/ULPTOB0	ADSYNC
M16	L14	15	VBATT	—	—	—	—	—	—
M17	L15	—	VSS_01	—	—	—	—	—	—
N1	—	—	—	P605	—	IRQ25	CTS0_B/OM_1_SIO1	GTIOC8A	—
N2	L2	—	—	P604	—	IRQ26	CTS_RTS0_B/SS0_B/DE0/OM_1_SIO7	GTIOC8B	—
N3	—	—	—	P606	WR3/BC3	IRQ24	OM_1_SIO6	—	—
N4	—	—	—	PC06	D24/DQ24	IRQ22	OM_1_ECSINT1/DSM0DAT1	GTCPP01	—
N5	L4	134	—	P107	—	IRQ31	CTS4_A/OM_0_CS0/ET1_INT	GTOWUP/GTIOC8A/AGTOA0	ADST0
N6	L5	135	—	P106	—	IRQ16	CTS8_B/SSLB3_A/OM_0_RESET/ET1_LINKSTA/CAT1_LINKSTA	GTOWLO/GTIOC8B/AGTOB0/ULPTEE1-DS	ADST1
N7	L7	136	—	P105	—	IRQ0	CTS_RTS8_B/SS8_B/DE8/SSLB2_A/OM_0_ECSINT1/GPTP_CAPTURE0/CATSYN1/DSM0DAT0	GTIOC1A/ULPTO1-DS	ADSYNC
N8	—	—	—	P811	—	IRQ22	CTS7_B/USB_ID/SD1DAT3_A	GTIOC10B/ULPTOB0	—
N9	—	—	—	P013	—	IRQ14	—	—	AN013
N10	—	—	—	P011	—	IRQ16	—	—	AN011
N11	—	—	—	P807	—	IRQ11	—	GTIOC13A	—
N12	M10	3	CACREF	P708	WR1/BC1	IRQ11	SCK4_B/DE4/SDA2_A/MOSIB_B/ET0_MDC/CAT0_MDC	GTCPP06	—
N13	N12	—	—	P712	—	IRQ2	CTS1_C/SSLB1_B/GPTP_CAPTURE1/CATLATCH1	GTIOC2B/AGTOB0	—
N14	N13	—	—	P714	—	IRQ13	TXD4_C/SDA4_C/MOSI4_C/GPTP_PPS1/CATSYN1	GTIOC12B	—
N15	M14	—	—	P711	—	IRQ3	CTS_RTS1_C/SS1_C/DE1/SSLB2_B/GPTP_PPS0/CATRESETOUT	GTIOC11A/AGTEE0	—
N16	N14	—	—	P713	—	IRQ14	CTS4_C/GPTP_MATCH1/CATLATCH0	GTIOC2A/AGTOA0	—
N17	M15	11	—	P401	—	IRQ5-DS	RXD1_A/SCL1_A/MISO1_A/I3C_SDA0/CTX0/SD1CMD_B	GTETRGA/GTIOC6B	—
P1	L3	—	—	P603	—	IRQ27	TXD0_B/SDA0_B/MOSI0_B/OM_1_SCLK	GTIOC7A/ULPTO0	—
P2	M2	—	—	P602	—	IRQ28	RXD0_B/SCLO_B/MISO0_B/OM_1_SCLKN	GTIOC7B/ULPTEE0	—
P3	M3	132	CACREF	P600	—	IRQ30	OM_0_RST01/ET1_WOL	GTIOC6B/ULPTEV11-DS	—
P4	M4	131	—	P601	—	IRQ29	SCK0_B/DE0/OM_0_WP1	GTIOC6A/ULPTEV10/RTCOUT	—
P5	M5	139	—	P102	—	IRQ17	TXD9_A/SDA9_A/MOSI9_A/RSPCKB_A/CRX0/OM_0_SIO4/DSM0CLK0	GTOWLO/GTIOC2B/AGTO0	ADTRG0
P6	M6	144	—	P801	—	IRQ12	TXD2_A/SDA2_A/MOSI2_A/OM_0_DQS/GPTP_PPS1/CATRESETOUT/DSM1DAT1	GTIV/GTIOC11B/AGTOB0	—

表 1.15 標準製品の端子一覧 (7/8)

BGA289	BGA224	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
P7	M7	146	—	P803	—	IRQ19	SCK2_A/DE2/OM_0_SIO1/DSM1CLK0	GTETRG/GTIOC12B	—
P8	—	—	—	P812	—	IRQ23	CTS_RTS7_B/SS7_B/DE7/USB_EXICEN/SD1DAT4_A	GTIOC11A	AN022
P9	—	—	—	P012	—	IRQ15	—	—	AN012
P10	—	—	—	P010	—	IRQ14	—	—	AN010
P11	M8	160	—	P009	—	IRQ13-DS	—	—	AN009/IVREF1
P12	—	—	—	P805	—	IRQ30	TXD8_A/SDA8_A/MOSI8_A/ET1_MDIO	—	AN017/IVCMP0
P13	P13	170	—	P512	—	IRQ14	CTS8_A/SCL1_A/CTX1/ET1_INT	GTIOC0A	—
P14	—	—	—	P413	A22	IRQ18	ET_TAS_STA3	GTOWUP/GTCPPO7/ULPTEE1	—
P15	—	—	—	P515	—	IRQ12	CTS_RTS4_C/SS4_C/DE4/SCL2_B/ET_TAS_STA0	GTIOC13A	—
P16	M13	2	—	P709	CS4	IRQ10	CTS_RTS4_B/SS4_B/DE4/SCL2_A/MISOB_B/ET0_MDIO/CAT0_MDIO	GTCPPO5	—
P17	N15	10	—	P400	—	IRQ0	TXD1_A/SDA1_A/MOSI1_A/I3C_SCL0/SD1CLK_B	GTIOC6A/AGTIO1	ADTRG1
R1	P4	133	VCC2_13	—	—	—	—	—	—
R2	N2	—	—	P315	—	IRQ29	SCK3_C/DE3/SSLA3_A	—	—
R3	—	—	—	P900	—	IRQ30	CTS3_C	GTADSM0	—
R4	N4	138	—	P103	—	IRQ16	CTS_RTS9_A/SS9_A/DE9/SSLB0_A/CTX0/OM_0_SIO2/GPTP_PPS0/CATLATCH1/DSM0DAT2	GTOWUP/GTIOC2A	AD1FLAG1
R5	N5	140	—	P101	—	IRQ1	RXD9_A/SCL9_A/MISO9_A/MOSIB_A/OM_0_SIO3/GPTP_CAPTURE1/CAT12CCLK/DSM0CLK1	GTETRGB/GTIOC8A/AGTEE0	—
R6	N6	145	—	P802	—	IRQ18	RXD2_A/SCL2_A/MISO2_A/OM_0_SIO6/DSM1DAT2	GTIW/GTIOC12A	—
R7	N7	148	—	P804	—	IRQ14	CTS_RTS2_A/SS2_A/DE2/OM_0_SIO7/DSM1CLK1	GTETRGD/GTIOC13A	—
R8	—	—	—	P501	—	IRQ25	TXD8_B/SDA8_B/MOSI8_B/USB_OVRCURA/SD1DAT6_A	GTIOC12A	AN020
R9	N8	156	AVCC0	—	—	—	—	—	—
R10	N9	157	AVSS0	—	—	—	—	—	—
R11	N10	164	—	P005	—	IRQ10-DS	—	—	AN005/IVCMP3
R12	P12	166	—	P003	—	IRQ29	—	—	AN003/IVCMP3
R13	—	—	—	P513	—	IRQ31	SCK8_A/DE8/ET0_INT	GTIOC13B	AN016/IVCMP0
R14	—	—	—	P514	—	IRQ13	SCK4_C/DE4/SDA2_B/ET_TAS_STA1	GTIOC13B	—
R15	L13	4	—	P415	WAIT	IRQ8	TXD4_B/SDA4_B/MOSI4_B/RSPCKB_B/CTX1/ET1_MDC/CATLATCH0	GTIOC0A	—
R16	L10	7	—	P409	A18	IRQ6	TXD3_A/SDA3_A/MOSI3_A/SDA0_A/USB_OVRCURA-DS/GPTP_CAPTURE0/CAT12CDATA	GTOWUP/ULPTOA0	ADST1
R17	K12	9	—	P407	CS6	IRQ22	SCK1_C/DE1/SDA0_B/USB_VBUS/GPTP_PTPOUT3/CATSYN1	GTIOC10B/AGTIO0/RTICOUT	ADTRG0
T1	P1	—	CLKOUT	P205	—	IRQ1-DS	TXD4_A/SDA4_A/MOSI4_A/SCL1_B/SSLA1_A/USB_OVRCURA/SD1CD	GTIV/GTIOC4A/AGTO1	—
T2	P2	—	—	P203	—	IRQ2-DS	RXD4_A/SCL4_A/MISO4_A/RSPCKA_A/CTX0/USB_VBUSEN/SD1CLK_A	GTIOC5A/ULPTOA1	—
T3	P3	—	—	P313	—	IRQ27	TXD3_C/SDA3_C/MOSI3_C/MISOA_A/USB_ID/SD1DAT0_A	—	—
T4	—	—	—	P901	—	IRQ31	CTS_RTS3_C/SS3_C/DE3	GTADSM1/AGTIO1	—
T5	P5	150	—	P809	—	IRQ20	TXD7_B/SDA7_B/MOSI7_B/OM_0_SCLKN	—	—
T6	P6	143	—	P800	—	IRQ11	CTS2_A/OM_0_SIO5/DSM1DAT0	GTIU/GTIOC11A/AGTOA0	—
T7	—	—	—	P502	—	IRQ26	SCK8_B/DE8/USB_OVRCURB/SD1DAT7_A	GTIOC12B	AN019

表 1.15 標準製品の端子一覧 (8/8)

BGA289	BGA224	HLQFP176	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
T8	R7	153	—	P014	—	IRQ27	—	—	AN014/DA0/IVCMP0
T9	P8	154	VREFL	—	—	—	—	—	—
T10	P9	158	VREFL0	—	—	—	—	—	—
T11	R11	165	—	P004	—	IRQ9-DS	—	—	AN004/IVCMP2
T12	M9	162	—	P007	—	IRQ28	—	—	AN007/IVCMP3
T13	N11	168	—	P001	—	IRQ7-DS	—	—	AN001/IVCMP3
T14	—	—	—	P806	—	IRQ0	RXD8_A/SCL8_A/MISO8_A/ET1_MDC	—	AN018
T15	—	—	—	P715	—	IRQ12	RXD4_C/SCL4_C/MISO4_C/ET_TAS_STA2	GTIOC12A	—
T16	P14	174	—	P815	—	IRQ15	CTX0/USB_DM	GTIOC8A	—
T17	P15	173	VSS_USB	—	—	—	—	—	—
U1	R1	—	CACREF	P204	—	IRQ26	SCK4_A/DE4/SDA1_B/SSLA0_A/USB_OVRCURB/SD1WP	GTIW/GTIOC4B/AGTIO1	—
U2	R2	—	—	P202	—	IRQ3-DS	CTS_RTS4_A/SS4_A/DE4/MOSIA_A/CRX0/USB_EXICEN/SD1CMD_A	GTIOC5B/ULPTOB1	—
U3	R3	—	—	P314	—	IRQ28	RXD3_C/SCL3_C/MISO3_C/SSLA2_A/SD1DAT1_A	—	ADTRG0
U4	N3	—	VSS_13	—	—	—	—	—	—
U5	R5	149	—	P808	—	IRQ15	RXD7_B/SCL7_B/MISO7_B/OM_0_SCLK/DSM1CLK2	GTIOC13B	—
U6	R6	142	—	P100	—	IRQ2	SCK9_A/DE9/MISOB_A/OM_0_SIO0/GPTP_MATCH1/CAT12CDATA/DSM0CLK2	GTETRGA/GTIOC8B/AGTIO0	—
U7	—	—	CACREF	P500	—	IRQ24	RXD8_B/SCL8_B/MISO8_B/USB_VBUSEN/SD1DAT5_A	GTIOC11B	AN021
U8	P7	152	—	P015	—	IRQ13	—	—	AN015/DA1/IVCMP0
U9	R8	155	VREFH	—	—	—	—	—	—
U10	R9	159	VREFH0	—	—	—	—	—	—
U11	R10	161	—	P008	—	IRQ12-DS	—	—	AN008/IVREF0
U12	P10	163	—	P006	—	IRQ11-DS	—	—	AN006/IVCMP2
U13	R12	169	—	P000	—	IRQ6-DS	—	—	AN000/IVCMP2
U14	P11	167	—	P002	—	IRQ8-DS	—	—	AN002/IVCMP2
U15	R13	172	—	P511	—	IRQ15	CTS_RTS8_A/SS8_A/DE8/SDA1_A/CRX1/ET1_LINKSTA/CAT1_LINKSTA	GTIOC0B	—
U16	R14	175	—	P814	—	IRQ16	CRX0/USB_DP	GTIOC8B	—
U17	R15	176	VCC_USB	—	—	—	—	—	—

注. いくつかの端子名には、_A、_B、および_C という接尾語が付加されています。これらの接尾語には、電気的特性に対しては特別な条件があります。

表 1.16 SiP 製品の端子一覧 (1/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/DAC12/ACMPHS
A1	VSS	—	—	—	—	—	—
A2	—	P114	D5/DQ5	IRQ30-DS	CTS_RTS0_A/SS0_A/DE0/SSLA0_B/SD0DAT6_B	GTETRG/GTIOC2B	ADSYNC
A3	—	P609	D7/DQ7	IRQ29	TXD0_C/SDA0_C/MOSIO_C/MISOA_B/CTX1	GTIU/GTIOC5B/ULPTOA1-DS	AD1FLAG1
A4	—	P113	D4/DQ4	IRQ28	RXD0_A/SCL0_A/MISO0_A/SSLA1_B/SD0DAT5_B	GTETRGB/GTIOC2A/ULPTOA0-DS	ADST1
A5	—	P301	D1/DQ1	IRQ6	TXD6_B/SDA6_B/MOSI6_B/SD0DAT2_B	GTOULO/GTIOC4B/AGTIO0/ULPTEE0-DS	—
A6	TDI	P208	—	IRQ3	RXD9_B/SCL9_B/MISO9_B/CRX1	GTOVLO/GTIOC1B	VCOUT
A7	TMS/SWDIO	P210	—	IRQ24	CTS_RTS9_B/SS9_B/DE9	GTOULO/GTIOC0B	—
A8	VLO	—	—	—	—	—	—
A9	VLO	—	—	—	—	—	—

表 1.16 SiP 製品の端子一覧 (2/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/ SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/ EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS
A10	VSS_DCDC	—	—	—	—	—	—
A11	VCC_DCDC	—	—	—	—	—	—
A12	VCC_DCDC	—	—	—	—	—	—
A13	—	P309	—	IRQ25-DS	CTS9_B/ET1_GTX_CLK/RGMII1_TXC	GTCPPO8	VCOUT
A14	—	P906	—	IRQ9	CTS6_A/USB_ID/ET1_RXD0/RGMII1_RXD0/ RMII1_RXD0/CAT1_ERXD0	GTIOC13B/ULPTO1	AD0FLAG1
A15	—	P905	—	IRQ8	RXD3_B/SCL3_B/MISO3_B/ET1_RX_CLK/ RGMII1_RXC/RMII1_REF50CK/ CAT1_RX_CLK	GTCPPO13	AD1FLAG1
A16	—	P907	—	IRQ10	SCK6_A/DE6/USB_EXICEN/ET1_RXD1/ RGMII1_RXD1/RMII1_RXD1/CAT1_ERXD1	GTIOC13A/ULPTEE1	ADSYNC
A17	—	P207	—	IRQ25	ET1_RXD5	GTCPPO3	—
A18	VSS	—	—	—	—	—	—
B1	—	P813	SDCS	IRQ15	SCK7_A/DE7	GTETRGA/GTIOC7B	—
B2	—	PA12	D9/DQ9	IRQ11	RXD9_C/SCL9_C/MISO9_C	GTIW/GTIOC6B	—
B3	—	P115	D6/DQ6	IRQ31-DS	CTS0_A/MOSIA_B/SD0DAT7_B	GTETRGD/GTIOC5A	AD0FLAG1
B4	—	PA11	D8/DQ8	IRQ10	SCK9_C/DE9	GTIV/GTIOC6A	—
B5	—	P112	D3/DQ3	IRQ27	TXD0_A/SDA0_A/MOSI0_A/SSLA2_B/ SD0DAT4_B	GTETRGA/GTIOC3B/ULPTOB0-DS	ADST0
B6	TDO/SWO/CLKOUT	P209	—	IRQ25	TXD9_B/SDA9_B/MOSI9_B/CTX1	GTOVUP/GTIOC1A	—
B7	TCK/SWCLK	P211	—	IRQ23	SCK9_B/DE9	GTOUUP/GTIOC0A	—
B8	VLO	—	—	—	—	—	—
B9	VLO	—	—	—	—	—	—
B10	VSS_DCDC	—	—	—	—	—	—
B11	VCC_DCDC	—	—	—	—	—	—
B12	VCC_DCDC	—	—	—	—	—	—
B13	—	P311	—	IRQ23-DS	SCK3_B/DE3/CRX0/ET1_TX_CLK/ CAT1_TX_CLK	GTADSM1/GTCPPO6/AGTOB1	—
B14	—	P908	—	IRQ11	TXD6_A/SDA6_A/MOSI6_A/CRX1/ USB_OVRCURB/ET1_RXD2/RGMII1_RXD2/ CAT1_ERXD2	GTIOC12B/ULPTEVI1	ADST1
B15	—	P909	—	IRQ21-DS	RXD6_A/SCL6_A/MISO6_A/CTX1/ USB_OVRCURA/ET1_RXD3/RGMII1_RXD3/ CAT1_ERXD3	GTIOC12A/ULPTOA1	ADST0
B16	—	P904	—	IRQ2	ET1_RXD4	GTIOC11B	—
B17	—	PD01	—	IRQ22	SCK8_C/DE8/SD0DAT2_C/ET1_RXD6	GTCPPO2	—
B18	—	PD02	—	IRQ21	TXD8_C/SDA8_C/MOSI8_C/SD0DAT1_C/ ET1_RXD7	GTCPPO1	—
C1	—	PA06	CS1/CKE	IRQ17	CTS2_C/SD0DAT1_A	GTETRGC/GTIOC7B	—
C2	—	P613	D15/DQ15	IRQ19	CTS0_C	GTETRGA/GTIOC9B/AGTO1	—
C3	—	PA13	D10/DQ10	IRQ12	CTS_RTS9_C/SS9_C/DE9	GTOVUP/GTIOC10A	—
C4	—	P300	D2/DQ2	IRQ4	SCK0_A/DE0/SSLA3_B/SD0DAT3_B	GTIOC3A/ULPTEVI0-DS	—
C5	—	P302	D0/DQ0	IRQ5	RXD6_B/SCL6_B/MISO6_B/SD0DAT1_B	GTOUUP/GTIOC4A/ULPTO0-DS	—
C6	—	P200	—	NMI	—	—	—
C7	RES	—	—	—	—	—	—
C8	—	P110	—	IRQ20	SD0DAT4_C	GTIOC9B	—
C9	—	P903	—	IRQ1	—	GTIOC11A	—
C10	TCLK	P308	—	IRQ26-DS	CTS3_B/SD0CLK_B/ET1_TX_ER/ ETHPHYCLK	GTIU/GTCPPO9/ULPTOB1	—
C11	TDATA2	P305	—	IRQ8	SD0WP/ET1_TXD2/RGMII1_TXD2/ CAT1_ETXD2	GTOVUP/GTCPPO12/ULPTEE1	—
C12	TDATA0	P307	—	IRQ27-DS	CTS_RTS6_A/SS6_A/DE6/SD0CMD_B/ ET1_TXD0/RGMII1_TXD0/RMII1_TXD0/ CAT1_ETXD0	GTIV/GTCPPO10/ULPTOA1	—
C13	—	P911	—	IRQ6	ET1_TXD5	GTIOC3B	—
C14	CLKOUT	P206	CS7	IRQ0-DS	USB_VBUSEN/SD0DAT7_C/ET1_RX_DV/ RGMII1_RX_CTL/RMII1_CRX_DV/ CAT1_RX_DV	GTIU/GTCPPO0/ULPTOB1	—

表 1.16 SiP 製品の端子一覧 (3/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/ SDHI/MMC/ESWM(GMII, RMII, MII, RMII)/ EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS
C15	—	PD04	—	IRQ20	CTS_RTS8_C/SS8_C/DE8/SD0CMD_C/ ET0_RXD5	GTIOC3A	—
C16	—	PD03	—	IRQ21	RXD8_C/SCL8_C/MISO8_C/SD0DAT0_C/ ET0_RXD4	GTIOC3B	—
C17	—	PD05	—	IRQ19	CTS8_C/SD0CLK_C/ET0_RXD6	GTIOC2B	—
C18	—	PD06	—	IRQ18	SD0WP/ET0_RXD7	GTIOC2A	—
D1	—	PA04	A1	IRQ19	SCK2_C/DE2/SD0DAT3_A	GTIU/GTIOC4B	ADST0
D2	CACREF/CLKOUT	P611	D13/DQ13	IRQ17	SCK0_C/DE0/MOSIA_B	GTOULO/GTIOC4B	—
D3	—	P610	D12/DQ12	IRQ16	RXD0_C/SCL0_C/MISO0_C/RSPCKA_B/ CRX1	GTOUUP/GTIOC4A/ULPTOB1-DS	—
D4	—	PA14	D11/DQ11	IRQ13	TXD9_C/SDA9_C/MOSI9_C	GTOVLO/GTIOC10B	—
D5	—	P303	—	IRQ29-DS	SCK6_B/DE6	GTIOC7B	—
D6	—	P915	—	IRQ8	CTS6_B	GTIOC5A	—
D7	—	P108	—	IRQ24	SD0DAT6_C	GTIOC10B	—
D8	—	P111	—	IRQ19	SD0DAT3_C	GTIOC9A	—
D9	—	P109	—	IRQ23	SD0DAT5_C	GTIOC10A	—
D10	—	P310	—	IRQ24-DS	TXD3_B/SDA3_B/MOSI3_B/ET1_TX_EN/ RGMII1_TX_CTL/RMII1_TX_EN/ CAT1_TX_EN	GTCPPO7/AGTEE1	—
D11	TDATA3	P304	—	IRQ9	SD0DAT0_B/ET1_TXD3/RGMII1_TXD3/ CAT1_ETXD3	GTOVLO/GTIOC7A/ULPTO1	—
D12	TDATA1	P306	—	IRQ28-DS	SD0CD/ET1_TXD1/RGMII1_TXD1/ RMII1_TXD1/CAT1_ETXD1	GTIW/GTCPPO11/ULPTEVI1	—
D13	—	P912	—	IRQ5	ET1_TXD6	GTIOC3A	—
D14	—	PB04	—	IRQ9	SCK5_C/DE5/ET0_TXD3/RGMII0_TXD3/ CAT0_ETXD3	GTCPPO3	AD0FLAG1
D15	—	PB07	—	IRQ1	ET0_TXD5	GTIOC9B	—
D16	—	PB05	—	IRQ15	CTS5_C/ET0_TXD7	GTCPPO4	—
D17	—	PB03	—	IRQ13	TXD5_C/SDA5_C/MOSI5_C/ET0_TXD2/ RGMII0_TXD2/CAT0_ETXD2	GTCPPO1	ADSYNC
D18	—	PB01	ALE	IRQ12	CTS_RTS1_B/SS1_B/DE1/ET0_TX_CLK/ CAT0_TX_CLK	GTCPPO2	AD1FLAG1
E1	—	PA15	EBCLK/ SDCLK	IRQ14	CTS9_C	GTIOC7A	—
E2	—	P615	—	IRQ7	TXD7_A/SDA7_A/MOSI7_A	GTETRG/GTCPPO10	—
E3	—	P614	WR/WR0/ DQM0	IRQ20	RXD7_A/SCL7_A/MISO7_A	GTETRGB/GTCPPO9/AGTO0	—
E4	—	P612	D14/DQ14	IRQ18	CTS_RTS0_C/SS0_C/DE0/SSLA0_B	GTIOC9A	—
E5	—	P914	—	IRQ9	CTS_RTS6_B/SS6_B/DE6	GTIOC5B	—
E6	MD	P201	—	IRQ4	—	—	—
E10	—	P902	ALE	IRQ0	ETHPHYCLK	GTCPPO13	—
E11	—	P312	—	IRQ22-DS	CTS_RTS3_B/SS3_B/DE3/CTX0/ ET1_RX_ER/RMII1_RX_ER/CAT1_RX_ER	GTADSM0/GTCPPO5/AGTOA1	—
E12	—	P910	—	IRQ7	ET1_TXD4	GTCPPO12	—
E13	CLKOUT	P913	—	IRQ3	ET1_TXD7	GTCPPO11	—
E14	—	PB02	—	IRQ11	RXD5_C/SCL5_C/MISO5_C/ET0_TXD1/ RGMII0_TXD1/RMII0_TXD1/CAT0_ETXD1	GTCPPO0	ADST1
E15	—	PB06	—	IRQ0	CTS_RTS5_C/SS5_C/DE5/ET0_TXD6	GTIOC9A	—
E16	—	PD07	—	IRQ17	SD0CD/ET0_TXD4	GTCPPO0	—
E17	—	PB00	—	IRQ10	SCK1_B/DE1/ET0_TXD0/RGMII0_TXD0/ RMII0_TXD0/CAT0_ETXD0/DSM1CLK2	GTCPPO4	ADST0
E18	—	P706	—	IRQ7	RXD1_B/SCL1_B/MISO1_B/ET0_GTX_CLK/ RGMII0_TXC/ETHPHYCLK/DSM1CLK0	GTCPPO2/AGTIO0	—
F1	—	PA02	A3	IRQ31	RXD2_C/SCL2_C/MISO2_C/SD0DAT5_A	GTIW/GTCPPO9	ADSYNC
F2	—	PA10	CS2/RAS	IRQ4	SCK5_B/DE5	GTCPPO13	—
F3	—	PA08	CS0/WE	IRQ6	RXD5_B/SCL5_B/MISO5_B	GTETRGD/GTCPPO11	—
F4	—	PA09	CS3/CAS	IRQ5	TXD5_B/SDA5_B/MOSI5_B	GTCPPO12	—
F5	—	PC14	—	IRQ0	TXD6_C/SDA6_C/MOSI6_C/ET0_WOL/ DSM1DAT1	GTADSM1/GTCPPO9	—

表 1.16 SiP 製品の端子一覧 (4/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/ SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/ EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS
F7	VCC_08	—	—	—	—	—	—
F8	VSS_08	—	—	—	—	—	—
F9	VSS3	—	—	—	—	—	—
F10	VCL3	—	—	—	—	—	—
F11	VSS_07	—	—	—	—	—	—
F12	VCC_07	—	—	—	—	—	—
F13	—	P700	—	IRQ16-DS	RXD2_B/SCL2_B/MISO2_B/MISOA_C/ SD1WP/ET0_RXD2/RGMII0_RXD2/ CAT0_ERXD2/DSM0CLK0	GTIOC5A	—
F14	—	P702	—	IRQ18-DS	CTS2_B/RSPCKA_C/SD1DAT5_B/ ET0_RXD0/RGMII0_RXD0/RMII0_RXD0/ CAT0_ERXD0/DSM0CLK2	GTIOC6A/ULPT00	—
F15	—	P406	—	IRQ31	TXD2_B/SDA2_B/MOSI2_B/SSLA3_C/ SD1CD/ET0_RXD3/RGMII0_RXD3/ CAT0_ERXD3/DSM0DAT2	GTIOC1B	—
F16	—	P701	—	IRQ17-DS	CTS_RTS2_B/SS2_B/DE2/MOSIA_C/ SD1DAT4_B/ET0_RXD1/RGMII0_RXD1/ RMII0_RXD1/CAT0_ERXD1/DSM0CLK1	GTIOC5B/ULPT01	—
F17	—	P707	—	IRQ8	TXD1_B/SDA1_B/MOSI1_B/ET0_TX_ER/ ETHPHYCLK/DSM1CLK1	GTCPPO3	—
F18	—	P705	—	IRQ19	CTS1_B/SSLA2_C/CRX0/ET0_TX_EN/ RGMII0_TX_CTL/RMII0_TX_EN/ CAT0_TX_EN/DSM1DAT2	GTADSM1/GTCPPO1/AGTIO0	—
G1	—	PA00	A5	IRQ22	CTS_RTS5_B/SS5_B/DE5/SD0DAT7_A	GTOVLO/GTCPPO7	AD1FLAG1
G2	—	PA03	A2	IRQ20	TXD2_C/SDA2_C/MOSI2_C/SD0DAT4_A	GTIV/GTCPPO10	ADST1
G3	—	PA05	A0/BC0/ DQM1	IRQ18	CTS_RTS2_C/SS2_C/DE2/SD0DAT2_A	GTETRGD/GTIOC4A	—
G4	—	PA07	RD	IRQ16	CTS7_A/SD0DAT0_A	GTETRGB/GTIOC7A	VCOUT
G5	—	PC12	—	IRQ2	SCK6_C/DE6/ET0_MDIO/CAT0_MDIO/ DSM1CLK0	GTCPPO11	—
G7	VCC_09	—	—	—	—	—	—
G8	VSS_09	—	—	—	—	—	—
G9	VSS4	—	—	—	—	—	—
G10	VCL4	—	—	—	—	—	—
G11	VSS_06	—	—	—	—	—	—
G12	VCC_06	—	—	—	—	—	—
G13	—	P405	—	IRQ30	SCK2_B/DE2/SD1DAT3_B/ET0_RX_DV/ RGMII0_RX_CTL/RMII0_CRS_DV/ CAT0_RX_DV/DSM0DAT1	GTIOC1A/AGTIO1	—
G14	—	P704	—	IRQ26	SSLA1_C/CTX0/SD1DAT7_B/ET0_RX_ER/ RMII0_RX_ER/CAT0_RX_ER/DSM1DAT1	GTADSM0/GTCPPO0/AGTIO0	—
G15	—	P703	—	IRQ19-DS	SSLA0_C/SD1DAT6_B/ET0_RX_CLK/ RGMII0_RXC/RMII0_REF50CK/ CAT0_RX_CLK/DSM1DAT0	GTIOC6B/AGTIO1	VCOUT
G16	—	PB14	—	IRQ10	CATSYNCO	—	—
G17	—	PB12	—	IRQ6	CATLINKACT0	—	—
G18	—	PB11	—	IRQ5	CATLEDERR	—	—
H1	—	P504	A7	IRQ7	SD0WP	GTOULO/GTCPPO1	—
H2	—	P503	A6	IRQ6	SD0CD	GTOUUP/GTCPPO6	—
H3	—	P505	A8	IRQ8	SD0CLK_A	GTOWUP/GTCPPO2	—
H4	—	PA01	A4	IRQ21	CTS5_B/SD0DAT6_A	GTOVUP/GTCPPO8	AD0FLAG1
H5	—	PC11	—	IRQ3	CTS_RTS6_C/SS6_C/DE6/ET0_MDC/ CAT0_MDC/DSM1CLK1	GTCPPO12	—
H7	VCC_10	—	—	—	—	—	—
H8	VSS_10	—	—	—	—	—	—
H9	VSS7	—	—	—	—	—	—
H10	VCL5	—	—	—	—	—	—
H11	VSS5	—	—	—	—	—	—
H12	VCC_04	—	—	—	—	—	—
H13	VSS_04	—	—	—	—	—	—

表 1.16 SiP 製品の端子一覧 (5/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/ SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/ EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS
H15	VCC_05	—	—	—	—	—	—
H16	—	PB09	—	IRQ13	CATIRQ	—	—
H17	—	PB10	—	IRQ4	CATLEDSTER	—	—
H18	—	PB13	—	IRQ7	CATLINKACT1	—	—
J1	—	P506	A9	IRQ9	SD0CMD_A	GTOWLO/GTCPPO3	—
J2	—	P507	A10	IRQ10	CTS_RTS7_A/SS7_A/DE7/ET_TAS_STA0	GTADSM0/GTIOC0A	—
J3	—	P508	A11	IRQ1	CTS5_A/ET_TAS_STA1	GTADSM1/GTIOC0B	—
J4	—	P509	A12	IRQ2	CTS_RTS5_A/SS5_A/DE5/ET_TAS_STA2	GTIOC1A/ULPTEVI1	—
J5	—	PC13	—	IRQ1	RXD6_C/SCL6_C/MISO6_C/ET0_INT/ DSM1DAT2	GTCPPO10	—
J7	VCC2_11	—	—	—	—	—	—
J8	VSS_11	—	—	—	—	—	—
J9	VCL7	—	—	—	—	—	—
J10	VCL6	—	—	—	—	—	—
J11	VSS6	—	—	—	—	—	—
J12	VCL2	—	—	—	—	—	—
J13	VSS2	—	—	—	—	—	—
J15	—	PB08	—	IRQ12	CATLEDRUN	—	—
J16	VSS_05	—	—	—	—	—	—
J17	VSS_03	—	—	—	—	—	—
J18	VSS_02	—	—	—	—	—	—
K1	—	PC15	A16	IRQ30	CTS6_C/CRX1	GTADSM0	—
K2	CACREF	P608	A14	IRQ22	TXD5_A/SDA5_A/MOSI5_A	GTOWUP/GTCPPO4	—
K3	—	P510	A13	IRQ3	RXD5_A/SCL5_A/MISO5_A/ET_TAS_STA3	GTIOC1B/ULPTEVI0	—
K4	—	PD00	A15	IRQ23	SCK5_A/DE5/CTX1	GTOWLO/GTCPPO5	—
K5	VSS	—	—	—	—	—	—
K6	VSS	—	—	—	—	—	—
K7	VSS_12	—	—	—	—	—	—
K8	VSS9	—	—	—	—	—	—
K9	VCL9	—	—	—	—	—	—
K10	VCL8	—	—	—	—	—	—
K11	VSS8	—	—	—	—	—	—
K12	VCL1	—	—	—	—	—	—
K13	VSS1	—	—	—	—	—	—
K15	VCC_03	—	—	—	—	—	—
K16	VCC_02	—	—	—	—	—	—
K17	XTAL	P213	—	IRQ2	TXD1_C/SDA1_C/MOSI1_C	GTETRG/GTIOC0A/ULPTEE0	ADTRG1
K18	EXTAL	P212	—	IRQ3	RXD1_C/SCL1_C/MISO1_C	GTETRGD/GTIOC0B/AGTEE1	—
L1	—	PC10	—	IRQ4	DSM1CLK2	GTCPPO13	—
L2	VSS	—	—	—	—	—	—
L3	PUP	—	—	—	—	—	—
L4	VCC2_16	—	—	—	—	—	—
L5	VSS_16	—	—	—	—	—	—
L7	VCC2_12	—	—	—	—	—	—
L8	VSS_14	—	—	—	—	—	—
L9	VSS_15	—	—	—	—	—	—
L10	VSS10	—	—	—	—	—	—
L11	VCL10	—	—	—	—	—	—
L12	VCL0	—	—	—	—	—	—
L13	VSS0	—	—	—	—	—	—
L14	—	P403	—	IRQ14-DS	CTS_RTS1_A/SS1_A/DE1/SD1DAT1_B/ ET1_WOL/CAT12CCLK	GTIOC3A/RTCIC1	AD0FLAG1

表 1.16 SiP 製品の端子一覧 (6/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/ SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/ EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS
L15	—	P404	—	IRQ15-DS	CTS1_A/SD1DAT2_B/ET0_WOL/ CATI2CDATA/DSM0DAT0	GTIOC3B/RTIC2	AD1FLAG1
L16	VCC_01	—	—	—	—	—	—
L17	XCOUT	P214	—	IRQ21	—	—	—
L18	XCIN/EXCIN	P215	—	IRQ20	—	—	—
M1	—	PC09	—	IRQ5	—	—	—
M2	VSS	—	—	—	—	—	—
M3	VSS	—	—	—	—	—	—
M4	VCC2_17	—	—	—	—	—	—
M5	VSS_17	—	—	—	—	—	—
M8	VCC2_14	—	—	—	—	—	—
M9	VCC2_15	—	—	—	—	—	—
M11	VSS11	—	—	—	—	—	—
M12	VCL11	—	—	—	—	—	—
M14	—	P414	A23	IRQ9	RXD4_B/SCL4_B/MISO4_B/SSLB0_B/CRX1/ ET1_MDIO/CATLATCH1	GTIOC0B	—
M15	CACREF	P402	—	IRQ4-DS	SCK1_A/DE1/CRX0/SD1DAT0_B/ ET0_LINKSTA/CAT0_LINKSTA	RTIC0	—
M16	—	P410	A19	IRQ5	SCK3_A/DE3/SCL0_A/USB_OVRCURB-DS/ GTP_MATCH0/CAT12CCLK	GTOVLO/GTIOC9B/AGTOB1	ADST0
M17	VBATT	—	—	—	—	—	—
M18	VSS_01	—	—	—	—	—	—
N1	—	PC08	—	IRQ29	DSM1DAT0	GTCPPO8	—
N2	VSS	—	—	—	—	—	—
N3	VSS	—	—	—	—	—	—
N4	VCC2_18	—	—	—	—	—	—
N5	VSS_18	—	—	—	—	—	—
N7	—	P105	—	IRQ0	CTS_RTS8_B/SS8_B/DE8/SSLB2_A/ OM_0_ECSINT1/DSM0DAT0	GTIOC1A/ULPT01-DS	ADSYNC
N10	—	P810	—	IRQ21	SCK7_B/DE7/SD1DAT2_A	GTIOC10A/ULPT0A0	—
N14	—	P710	CS5	IRQ17	CTS4_B/SSLB3_B/ET0_LINKSTA/ CAT0_LINKSTA	GTIOC11B	—
N15	CACREF	P411	A20	IRQ4	CTS_RTS3_A/SS3_A/DE3/USB_ID/ GTP_PTPOUT1	GTOVUP/GTIOC9A/AGTOA1	—
N16	—	P408	A17	IRQ7	RXD3_A/SCL3_A/MISO3_A/SCL0_B/ USB_VBUSEN/GTP_PTPOUT2/ CATRESETOUT	GTOWLO/GTIOC10A/ULPT0B0	ADSYNC
N17	—	P412	A21	IRQ20-DS	CTS3_A/USB_EXICEN/GTP_PTPOUT0	GTOULO/GTCPPO8/AGTEE1	—
N18	—	P401	—	IRQ5-DS	RXD1_A/SCL1_A/MISO1_A/I3C_SDA0/ CTX0/SD1CMD_B	GTETRG/GTIOC6B	—
P1	VSS	—	—	—	—	—	—
P2	VSS	—	—	—	—	—	—
P3	VSS	—	—	—	—	—	—
P4	VCC2_19	—	—	—	—	—	—
P5	VSS_19	—	—	—	—	—	—
P6	—	P104	—	IRQ1	CTS9_A/SSLB1_A/OM_0_CS1/DSM0DAT1	GTETRGB/GTIOC1B	AD0FLAG1
P7	—	P107	—	IRQ31	CTS4_A/OM_0_CS0	GTOWUP/GTIOC8A/AGTOA0	ADST0
P8	—	P106	—	IRQ16	CTS8_B/SSLB3_A/OM_0_RESET	GTOWLO/GTIOC8B/AGTOB0/ ULPTEE1-DS	ADST1
P9	—	P811	—	IRQ22	CTS7_B/USB_ID/SD1DAT3_A	GTIOC10B/ULPT0B0	—
P10	—	P013	—	IRQ14	—	—	AN013
P11	—	P011	—	IRQ16	—	—	AN011
P12	—	P807	—	IRQ11	—	GTIOC13A	—
P13	CACREF	P708	WR1/BC1	IRQ11	SCK4_B/DE4/SDA2_A/MOSIB_B/ET0_MDC/ CAT0_MDC	GTCPPO6	—
P14	—	P712	—	IRQ2	CTS1_C/SSLB1_B/GTP_CAPTURE1/ CATLATCH1	GTIOC2B/AGTOB0	—

表 1.16 SiP 製品の端子一覧 (7/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/ SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/ EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS
P15	—	P714	—	IRQ13	TXD4_C/SDA4_C/MOSI4_C/GPTP_PPS1/ CATSYNC1	GTIOC12B	—
P16	—	P711	—	IRQ3	CTS_RTS1_C/SS1_C/DE1/SSLB2_B/ GTPP_PPS0/CATRESETOUT	GTIOC11A/AGTEE0	—
P17	—	P713	—	IRQ14	CTS4_C/GPTP_MATCH1/CATLATCH0	GTIOC2A/AGTOA0	—
P18	—	P400	—	IRQ0	TXD1_A/SDA1_A/MOSI1_A/I3C_SCL0/ SD1CLK_B	GTIOC6A/AGTIO1	ADTRG1
R1	—	P602	—	IRQ28	RXD0_B/SCL0_B/MISO0_B	GTIOC7B/ULPTEE0	—
R2	VSS	—	—	—	—	—	—
R3	VSS	—	—	—	—	—	—
R4	CACREF	P600	—	IRQ30	OM_0_RST01	GTIOC6B/ULPTEV11-DS	—
R5	—	P601	—	IRQ29	SCK0_B/DE0/OM_0_WP1	GTIOC6A/ULPTEV10/RTCOUT	—
R6	—	P102	—	IRQ17	TXD9_A/SDA9_A/MOSI9_A/RSPCKB_A/ CRX0/OM_0_SIO4/DSM0CLK0	GTOWLO/GTIOC2B/AGTO0	ADTRG0
R7	—	P801	—	IRQ12	TXD2_A/SDA2_A/MOSI2_A/OM_0_DQS/ DSM1DAT1	GTIV/GTIOC11B/AGTOB0	—
R8	—	P803	—	IRQ19	SCK2_A/DE2/OM_0_SIO1/DSM1CLK0	GTETRG/GTIOC12B	—
R9	—	P812	—	IRQ23	CTS_RTS7_B/SS7_B/DE7/USB_EXICEN/ SD1DAT4_A	GTIOC11A	AN022
R10	—	P012	—	IRQ15	—	—	AN012
R11	—	P010	—	IRQ14	—	—	AN010
R12	—	P009	—	IRQ13-DS	—	—	AN009/ IVREF1
R13	—	P805	—	IRQ30	TXD8_A/SDA8_A/MOSI8_A/ET1_MDIO	—	AN017/ IVCMP0
R14	—	P512	—	IRQ14	CTS8_A/SCL1_A/CTX1/ET1_INT	GTIOC0A	—
R15	—	P413	A22	IRQ18	ET_TAS_STA3	GTOWUP/GTCPP07/ULPTEE1	—
R16	—	P515	—	IRQ12	CTS_RTS4_C/SS4_C/DE4/SCL2_B/ ET_TAS_STA0	GTIOC13A	—
R17	—	P709	CS4	IRQ10	CTS_RTS4_B/SS4_B/DE4/SCL2_A/ MISOB_B/ET0_MDIO/CAT0_MDIO	GTCPPO5	—
R18	—	P407	CS6	IRQ22	SCK1_C/DE1/SDA0_B/USB_VBUS/ GTPP_PTPOUT3/CATSYNC1	GTIOC10B/AGTIO0/RTCOUT	ADTRG0
T1	DNU	—	—	—	—	—	—
T2	VSS	—	—	—	—	—	—
T3	—	P315	—	IRQ29	SCK3_C/DE3/SSLA3_A	—	—
T4	—	P900	—	IRQ30	CTS3_C	GTADSM0	—
T5	—	P103	—	IRQ16	CTS_RTS9_A/SS9_A/DE9/SSLB0_A/CTX0/ OM_0_SIO2/DSM0DAT2	GTOWUP/GTIOC2A	AD1FLAG1
T6	—	P101	—	IRQ1	RXD9_A/SCL9_A/MISO9_A/MOSIB_A/ OM_0_SIO3/DSM0CLK1	GTETRGB/GTIOC8A/AGTEE0	—
T7	—	P802	—	IRQ18	RXD2_A/SCL2_A/MISO2_A/OM_0_SIO6/ DSM1DAT2	GTIW/GTIOC12A	—
T8	—	P804	—	IRQ14	CTS_RTS2_A/SS2_A/DE2/OM_0_SIO7/ DSM1CLK1	GTETRGD/GTIOC13A	—
T9	—	P501	—	IRQ25	TXD8_B/SDA8_B/MOSI8_B/ USB_OVRCURA/SD1DAT6_A	GTIOC12A	AN020
T10	AVCC0	—	—	—	—	—	—
T11	AVSS0	—	—	—	—	—	—
T12	—	P005	—	IRQ10-DS	—	—	AN005/ IVCMP3
T13	—	P003	—	IRQ29	—	—	AN003/ IVCMP3
T14	—	P513	—	IRQ31	SCK8_A/DE8/ET0_INT	GTIOC13B	AN016/ IVCMP0
T15	—	P514	—	IRQ13	SCK4_C/DE4/SDA2_B/ET_TAS_STA1	GTIOC13B	—
T16	—	P415	WAIT	IRQ8	TXD4_B/SDA4_B/MOSI4_B/RSPCKB_B/ CTX1/ET1_MDC/CATLATCH0	GTIOC0A	—
T17	—	P409	A18	IRQ6	TXD3_A/SDA3_A/MOSI3_A/SDA0_A/ USB_OVRCURA-DS/GTPP_CAPTURE0/ CATI2CDATA	GTOWUP/ULPTOA0	ADST1

表 1.16 SiP 製品の端子一覧 (8/8)

BGA303	電源、システム、クロック、デバッグ、CAC	I/O ポート	ExBus/ SDRAM	外部割り込み	SCI/IIC/I3C/SPI/CANFD/USBFS/OSPI/ SDHI/MMC/ESWM(GMII, RGMII, MII, RMII)/ EtherCAT/DSMIF	GPT/AGT/ULPT/RTC	ADC16H/ DAC12/ ACMPHS
T18	VCC_USB	—	—	—	—	—	—
U1	VCC2_13	—	—	—	—	—	—
U2	CLKOUT	P205	—	IRQ1-DS	TXD4_A/SDA4_A/MOSI4_A/SCL1_B/ SSLA1_A/USB_OVRCURA/SD1CD	GTIV/GTIOC4A/AGTO1	—
U3	—	P203	—	IRQ2-DS	RXD4_A/SCL4_A/MISO4_A/RSPCKA_A/ CTX0/USB_VBUSEN/SD1CLK_A	GTIOC5A/ULPTOA1	—
U4	—	P313	—	IRQ27	TXD3_C/SDA3_C/MOSI3_C/MISOA_A/ USB_ID/SD1DAT0_A	—	—
U5	—	P901	—	IRQ31	CTS_RTS3_C/SS3_C/DE3	GTADSM1/AGTIO1	—
U6	—	P809	—	IRQ20	TXD7_B/SDA7_B/MOSI7_B/OM_0_SCLKN	—	—
U7	—	P800	—	IRQ11	CTS2_A/OM_0_SIO5/DSM1DAT0	GTIU/GTIOC11A/AGTOA0	—
U8	—	P502	—	IRQ26	SCK8_B/DE8/USB_OVRCURB/SD1DAT7_A	GTIOC12B	AN019
U9	—	P014	—	IRQ27	—	—	AN014/DA0/ IVCMP0
U10	VREFL	—	—	—	—	—	—
U11	VREFL0	—	—	—	—	—	—
U12	—	P004	—	IRQ9-DS	—	—	AN004/ IVCMP2
U13	—	P007	—	IRQ28	—	—	AN007/ IVCMP3
U14	—	P001	—	IRQ7-DS	—	—	AN001/ IVCMP3
U15	—	P806	—	IRQ0	RXD8_A/SCL8_A/MISO8_A/ET1_MDC	—	AN018
U16	—	P715	—	IRQ12	RXD4_C/SCL4_C/MISO4_C/ET_TAS_STA2	GTIOC12A	—
U17	—	P815	—	IRQ15	CTX0/USB_DM	GTIOC8A	—
U18	VSS_USB	—	—	—	—	—	—
V1	VSS	—	—	—	—	—	—
V2	CACREF	P204	—	IRQ26	SCK4_A/DE4/SDA1_B/SSLA0_A/ USB_OVRCURB/SD1WP	GTIW/GTIOC4B/AGTIO1	—
V3	—	P202	—	IRQ3-DS	CTS_RTS4_A/SS4_A/DE4/MOSIA_A/CRX0/ USB_EXICEN/SD1CMD_A	GTIOC5B/ULPTOB1	—
V4	—	P314	—	IRQ28	RXD3_C/SCL3_C/MISO3_C/SSLA2_A/ SD1DAT1_A	—	ADTRG0
V5	VSS_13	—	—	—	—	—	—
V6	—	P808	—	IRQ15	RXD7_B/SCL7_B/MISO7_B/OM_0_SCLK/ DSM1CLK2	GTIOC13B	—
V7	—	P100	—	IRQ2	SCK9_A/DE9/MISOB_A/OM_0_SIO0/ DSM0CLK2	GTETRGA/GTIOC8B/AGTIO0	—
V8	CACREF	P500	—	IRQ24	RXD8_B/SCL8_B/MISO8_B/USB_VBUSEN/ SD1DAT5_A	GTIOC11B	AN021
V9	—	P015	—	IRQ13	—	—	AN015/DA1/ IVCMP0
V10	VREFH	—	—	—	—	—	—
V11	VREFH0	—	—	—	—	—	—
V12	—	P008	—	IRQ12-DS	—	—	AN008/ IVREF0
V13	—	P006	—	IRQ11-DS	—	—	AN006/ IVCMP2
V14	—	P000	—	IRQ6-DS	—	—	AN000/ IVCMP2
V15	—	P002	—	IRQ8-DS	—	—	AN002/ IVCMP2
V16	—	P511	—	IRQ15	CTS_RTS8_A/SS8_A/DE8/SDA1_A/CRX1/ ET1_LINKSTA/CAT1_LINKSTA	GTIOC0B	—
V17	—	P814	—	IRQ16	CRX0/USB_DP	GTIOC8B	—
V18	VSS	—	—	—	—	—	—

注. いくつかの端子名には、_A、_B、および_C という接尾語が付加されています。これらの接尾語には、電気的特性に対しては特別な条件があります。

2. 電気的特性

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- $VCC = VCC_DCDC = VBATT = 1.62 \sim 3.63 \text{ V}$
- $VCC2 = 1.62 \sim 3.63 \text{ V}$ (標準製品)
- $VCC2 = 1.70 \sim 2.00 \text{ V}$ (SiP 製品)
- $AVCC0 = 1.62 \sim 3.63 \text{ V}$
- $VCC_USB = 3.0 \sim 3.6 \text{ V}$
- $VREFH0/VREFH = 1.62 \text{ V} \sim AVCC0$
- $VSS = VSS_DCDC = AVSS0 = VREFL0/VREFL = VSS_USB = 0 \text{ V}$
- VCC 電圧が 2.7 V 未満のとき、 $LVOCR.LVO0E = 1$ 。それ以外のとき、 $LVOCR.LVO0E = 0$ 。
- $VCC2$ 電圧が 2.7 V 未満のとき、 $LVOCR.LVO1E = 1$ 。それ以外のとき、 $LVOCR.LVO1E = 0$ 。
- $T_j = T_{opj}$
特に記載のない限り、標準値は室温 25°C 、 $VCC = VCC_DCDC = VCC_USB = VBATT = AVCC0 = VREFH0 = VREFH = 3.3 \text{ V}$ で測定しています。

図 2.1 にタイミング条件を示します。

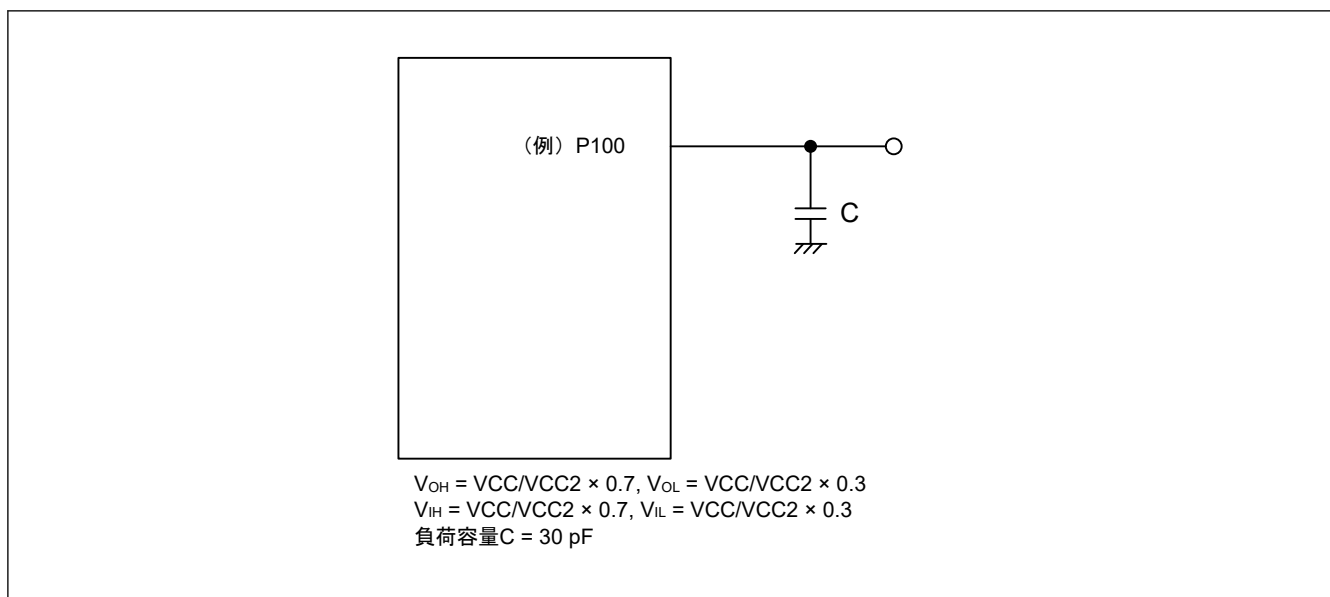


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

2.1 絶対最大定格

表 2.1 絶対最大定格 (1/2)

項目	シンボル	値	単位
電源電圧	VCC, VCC_DCDC (注2)	$-0.3 \sim +4.0$	V
	$VCC2$ 標準製品	$-0.3 \sim +4.0$	V
	$VCC2$ SiP 製品	$-0.3 \sim +2.5$	V

表 2.1 絶対最大定格 (2/2)

項目	シンボル	値	単位
外部電源電圧(注6)	VCL	-0.3~+1.2	V
VBATT 電源電圧	VBATT	-0.3~+4.0	V
入力電圧 (5 V トレラントポートを除く(注1))	V _{in}	-0.3~VCC + 0.3、 -0.3~VCC2 + 0.3、 -0.3~VCC_USB + 0.3 または-0.3~VBATT_R + 0.3	V
入力電圧 (5 V トレラントポート(注1))	V _{in}	-0.3~+ VCC + 4.0 (最大 5.8) または-0.3~+ VCC2 + 4.0 (最大 5.8)	V
リファレンス電源電圧	VREFH/VREFH0	-0.3~AVCC0 + 0.3	V
USBFS 電源電圧	VCC_USB	-0.3~+4.0	V
アナログ電源電圧	AVCC0	-0.3~+4.0	V
アナログ入力電圧	V _{AN}	-0.3~AVCC0 + 0.3	V
動作ジャンクション温度(注3)(注4)(注5)	T _{opj}	0~95 または-40~+105 または-40~+125	°C
保存温度	T _{stg}	-55~+125	°C

注 1. ポート P204、P205、P303、P407~P413、P511、P512、P514、P515、および P708~P715 は、5 V トレラント対応ポートです。

注 2. VCC_DCDC を VCC に接続してください。

注 3. 「2.2.1. Tj/Ta の定義」を参照してください。

注 4. Tj = +95 °C~+125 °C の場合のディレーティング動作については、弊社営業窓口までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

注 5. 動作ジャンクション温度の下限と上限は、製品によって異なります。

注 6. 外部 VDD モードは、HLQFP パッケージではサポートされません。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 2.2 推奨動作条件

項目	シンボル			Min	Typ	Max	単位
電源電圧	VCC, VCC_DCDC	下記以外		1.62	—	3.63	V
		ESC 使用時		2.70	—	3.60	V
		ESWM 使用時		2.30	—	3.63	V
		SDRAM 使用時		3.00	—	3.63	V
	VCC2	標準製品	下記以外	1.62	—	3.63	V
			ESWM 使用時	2.30	—	3.63	V
			SDRAM 使用時	3.00	—	3.63	V
		SiP 製品		1.70	—	2.00	V
	VCL	外部 VDD 使用時 (注2)(注3)	電圧範囲 1	0.92	—	0.99	V
			電圧範囲 2	0.87	—	0.99	V
		DCDC 使用時 (High-speed モード)	VSCR_1	—	0.95	—	V
			VSCR_2	—	0.925	—	V
		DCDC 使用時 (ソフトウェアスタンバイモード)	SVSCR_1	—	0.95	—	V
			SVSCR_2	—	0.925	—	V
			SVSCR_3	—	0.825	—	V
			SVSCR_4	—	0.765	—	V
			SVSCR_5	—	0.715	—	V
	VSS, VSS_DCDC			—	0	—	V
USB 電源電圧	VCC_USB	USB 未使用時	1.62	—	3.63	V	
		USB 使用時	3.00	—	3.60	V	
	VSS_USB			—	0	—	V
VBATT 電源電圧	VBATT			1.62	—	3.63	V
アナログ電源電圧	AVCC0(注1)		下記以外	1.62	—	3.63	V
			チャネル専用サンプル＆ホールド回路使用時	2.70	—	3.63	V
	AVSS0			—	0	—	V

注 1. A/D コンバータ、D/A コンバータ、および高速アナログコンバータを使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子、および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS にそれぞれ接続してください。

注 2. VCL 電圧が VCC 電圧を超えることのないようにしてください。

注 3. 外部 VDD モードは、HLQFP パッケージではサポートされません。

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

項目	シンボル	Typ	Max	単位	測定条件
許容動作ジャンクション温度	T _j	—	125(注1)	°C	High-speed モード

注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + (I_{CCmax} + I_{CC_DCDCmax}) \times V_{CC}$ です。

注. 最低周囲温度 (Ta) は -40 °C または 0 °C です (製品による)。

注 1. 動作ジャンクション温度の上限は、95 °C、105 °C、または 125 °C です (製品による)。

2.2.2 I/O V_{IH} , V_{IL} 表 2.4 シュミットトリガ入力端子以外の I/O V_{IH} 、 V_{IL} (1/2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
周辺機能端子	EXTAL (外部クロック入力)、 WAIT、SPI(注1) (RSPCK を除く)	1.62 V 以上	V_{IH}	$VCC \times 0.8$	—	—	V
			V_{IL}	—	—	$VCC \times 0.2$	
	SPI(注2) (RSPCK を除く)	1.62 V 以上	V_{IH}	$VCC2 \times 0.8$	—	—	
			V_{IL}	—	—	$VCC2 \times 0.2$	
	OSPI (OM_0_RSTO1、 OM_0_ECSINT1、 OM_1_RSTO1、および OM_1_ECSINT1 を除く)	2.70 V 以上	V_{IH}	$VCC2 \times 0.8$	—	—	
			V_{IL}	—	—	$VCC2 \times 0.2$	
		1.62~2.00 V	V_{IH}	$VCC2 \times 0.7$	—	$VCC2 + 0.3$	
			V_{IL}	$VSS - 0.3$	—	$VCC2 \times 0.3$	
	SD(注3)	2.70 V 以上	V_{IH}	$VCC \times 0.625$	—	$VCC + 0.3$	
			V_{IL}	$VSS - 0.3$	—	$VCC \times 0.25$	
		1.70~1.95 V	V_{IH}	1.27	—	2	
			V_{IL}	$VSS - 0.3$	—	0.58	
	SD(注4)	2.70 V 以上	V_{IH}	$VCC2 \times 0.625$	—	$VCC2 + 0.3$	
			V_{IL}	$VSS - 0.3$	—	$VCC2 \times 0.25$	
		1.70~1.95 V	V_{IH}	1.27	—	2	
			V_{IL}	$VSS - 0.3$	—	0.58	
	MMC(注5)	2.70 V 以上	V_{IH}	$VCC \times 0.625$	—	$VCC + 0.3$	
			V_{IL}	$VSS - 0.3$	—	$VCC \times 0.25$	
		1.70~1.95 V	V_{IH}	$VCC \times 0.65$	—	$VCC + 0.3$	
			V_{IL}	$VSS - 0.3$	—	$VCC \times 0.35$	
	MMC(注6)	2.70 V 以上	V_{IH}	$VCC2 \times 0.625$	—	$VCC2 + 0.3$	
			V_{IL}	$VSS - 0.3$	—	$VCC2 \times 0.25$	
		1.70~1.95 V	V_{IH}	$VCC2 \times 0.65$	—	$VCC2 + 0.3$	
			V_{IL}	$VSS - 0.3$	—	$VCC2 \times 0.35$	
	D00~D19, TMS, TDI, SWDIO	1.62 V 以上	V_{IH}	$VCC \times 0.7$	—	—	
			V_{IL}	—	—	$VCC \times 0.3$	
	D20~D31	1.62 V 以上	V_{IH}	$VCC2 \times 0.7$	—	—	
			V_{IL}	—	—	$VCC2 \times 0.3$	
	DQ00~DQ19	3.00 V 以上	V_{IH}	$VCC \times 0.7$	—	—	
			V_{IL}	—	—	$VCC \times 0.3$	
	DQ20~DQ31	3.00 V 以上	V_{IH}	$VCC2 \times 0.7$	—	—	
			V_{IL}	—	—	$VCC2 \times 0.3$	

表 2.4 シュミットトリガ入力端子以外の I/O V_{IH} 、 V_{IL} (2/2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
周辺機能端子	ESWM ^(注9) 、 ESC ^(注13)	2.30 V～3.60 V	V_{IH}	$VCC \times 0.7$	—	—	V
			V_{IL}	—	—	$VCC \times 0.3$	
			V_{IH}	$VCC2 \times 0.7$	—	—	
			V_{IL}	—	—	$VCC2 \times 0.3$	
	ESWM (MII) (^{注10})、ESWM (RMII) ^(注11) 、 ESC ^(注14)	2.70 V～3.60 V	V_{IH}	2.3	—	—	
			V_{IL}	—	—	$VCC \times 0.2$	
	ESWM (GMII) (^{注10})、ESWM (RGMII) ^(注12)	3.00～3.60 V	V_{IH}	2	—	—	
			V_{IL}	—	—	0.8	
		2.30～2.70 V	V_{IH}	1.7	—	—	
			V_{IL}	—	—	0.7	
	IIC (SMBus) (^{注7})	2.70 V 以上	V_{IH}	2.1	—	$VCC + 3.6$ (最大 5.8)	
			V_{IL}	—	—	0.8	
	IIC (SMBus) (^{注8})	2.70 V 以上	V_{IH}	2.1	—	$VCC2 + 3.6$ (最大 5.8)	
			V_{IL}	—	—	0.8	
	I3C (SMBus)	2.70 V 以上	V_{IH}	2.1	—	$VCC + 0.3$	
			V_{IL}	—	—	0.8	
	RTCIC0、 RTCIC1、 RTCIC2 (VCC 電源選択時)	1.62 V 以上	V_{IH}	0.9	—	3.9	
			V_{IL}	—	—	0.3	
	RTCIC0、RTCIC1、RTCIC2 (VBATT 電源選択時)		V_{IH}	0.9	—	3.9	
			V_{IL}	—	—	0.3	
	EXCIN (VCC 電 源選択時)	1.62 V 以上	V_{IH}	0.9	—	VCC	
			V_{IL}	—	—	0.3	
	EXCIN (VBATT 電源選択時)		V_{IH}	0.9	—	VBATT	
			V_{IL}	—	—	0.3	

注 1. SPI0_B、SPI0_C、および SPI1_B

注 2. SPI0_A、SPI1_A

注 3. SD_A ch0、SD_B ch0、SD_C ch0、および SD_B ch1

注 4. SD_A ch1

注 5. MMC_A ch0、MMC_B ch0、MMC_C ch0、および MMC_B ch1

注 6. MMC_A ch1

注 7. IIC0_A、IIC0_B、IIC1_A、IIC2_A、および IIC2_B

注 8. IIC1_B

注 9. GPTP_CAPTUREn、ETn_LINKSTA、ETn_MDIO、および ETn_INT (n = 0, 1)

注 10. ETn_RX_CLK、ETn_RX_DV、ETn_RXD7～ETn_RXD0、ETn_RX_ER、および ETn_TX_CLK (n = 0, 1)

注 11. RMII_n_REF50CK、RMII_n_CRS_DV、RMII_n_RXD1～RMII_n_RXD0、および RMII_n_RX_ER (n = 0, 1)注 12. RGMII_n_RXC、RGMII_n_RX_CTL、および RGMII_n_RXD3～RGMII_n_RXD0 (n = 0, 1)

注 13. CATn_LINKSTA、CAT0_MDIO、CATI2CDATA、および CATLATCHn (n = 0, 1)

注 14. CATn_RX_CLK、CATn_RX_DV、CATn_ERXD3～CATn_ERXD0、CATn_RX_ER、および CATn_TX_CLK (n = 0, 1)

表 2.5 シュミットトリガ入力端子の I/O V_{IH} 、 V_{IL} (1/2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
周辺機能端子	IIC (SMBus を除く) (注7)	1.62 V 以上	V_{IH}	$VCC \times 0.7$	—	$VCC + 3.6$ (最大 5.8)	V
			V_{IL}	—	—	$VCC \times 0.3$	
			ΔV_T	$VCC \times 0.05$	—	—	
	IIC (SMBus を除く) (注8)	1.62 V 以上	V_{IH}	$VCC2 \times 0.7$	—	$VCC2 + 3.6$ (最大 5.8)	
			V_{IL}	—	—	$VCC2 \times 0.3$	
			ΔV_T	$VCC2 \times 0.05$	—	—	
	I3C (SMBus を除く)	1.65 V 以上	V_{IH}	$VCC \times 0.7$	—	$VCC + 0.3$	
			V_{IL}	—	—	$VCC \times 0.3$	
			ΔV_T	$VCC \times 0.1$	—	—	
	5 V トレラントポート (注1)(注6)	1.62 V 以上	V_{IH}	$VCC \times 0.8$	—	$VCC + 3.6$ (最大 5.8)	
			V_{IL}	—	—	$VCC \times 0.2$	
			ΔV_T	$VCC \times 0.05$	—	—	
	5 V トレラントポート (注2)(注6)	1.62 V 以上	V_{IH}	$VCC2 \times 0.8$	—	$VCC2 + 3.6$ (最大 5.8)	
			V_{IL}	—	—	$VCC2 \times 0.2$	
			ΔV_T	$VCC2 \times 0.05$	—	—	
	その他の VCC 入力端子 (注3)	1.62 V 以上	V_{IH}	$VCC \times 0.8$	—	—	
			V_{IL}	—	—	$VCC \times 0.2$	
			ΔV_T	$VCC \times 0.05$	—	—	
	その他の VCC2 入力端子 (注3)	1.62 V 以上	V_{IH}	$VCC2 \times 0.8$	—	—	
			V_{IL}	—	—	$VCC2 \times 0.2$	
			ΔV_T	$VCC2 \times 0.05$	—	—	
	その他の AVCC0 入力端子 (注3)	1.62 V 以上	V_{IH}	$AVCC0 \times 0.8$	—	—	
			V_{IL}	—	—	$AVCC0 \times 0.2$	
			ΔV_T	$AVCC0 \times 0.05$	—	—	
	その他の VCC_USB 入力端子 (注3)	1.62 V 以上	V_{IH}	$VCC_USB \times 0.8$	—	—	
			V_{IL}	—	—	$VCC_USB \times 0.2$	
			ΔV_T	$VCC_USB \times 0.05$	—	—	
	その他の VBATT_R 入力端子 (VCC 電源選択時) (注3)	1.62 V 以上	V_{IH}	$VCC \times 0.8$	—	VCC	
			V_{IL}	—	—	$VCC \times 0.2$	
			ΔV_T	$VCC \times 0.05$	—	—	

表 2.5 シュミットトリガ入力端子の I/O V_{IH} 、 V_{IL} (2/2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
ポート	5 V トレラント ポート(注4)(注6)	1.62 V 以上	V_{IH}	$VCC \times 0.8$	—	$VCC + 3.6$ (最大 5.8)	V
			V_{IL}	—	—	$VCC \times 0.2$	
	5 V トレラント ポート(注2)(注6)	1.62 V 以上	V_{IH}	$VCC2 \times 0.8$	—	$VCC2 + 3.6$ (最大 5.8)	
			V_{IL}	—	—	$VCC2 \times 0.2$	
	その他の VCC 入力端子(注5)	1.62 V 以上	V_{IH}	$VCC \times 0.8$	—	—	
			V_{IL}	—	—	$VCC \times 0.2$	
	その他の VCC2 入力端子(注5)	1.62 V 以上	V_{IH}	$VCC2 \times 0.8$	—	—	
			V_{IL}	—	—	$VCC2 \times 0.2$	
	その他の AVCC0 入力端 子(注5)	1.62 V 以上	V_{IH}	$AVCC0 \times 0.8$	—	—	
			V_{IL}	—	—	$AVCC0 \times 0.2$	
	その他の VCC_USB 入力 端子(注5)	1.62 V 以上	V_{IH}	$VCC_USB \times 0.8$	—	—	
			V_{IL}	—	—	$VCC_USB \times 0.2$	
	その他の VBATT_R 入力 端子 (VCC 電源 選択時) (注5)	1.62 V 以上	V_{IH}	$VCC \times 0.8$	—	VCC	
			V_{IL}	—	—	$VCC \times 0.2$	

注 1. P303、P407～P413、P511、P512、P514、P515、P708～P715 (合計 21 端子) に関連する RES および周辺機能端子

注 2. P204、P205 (合計 2 端子)

注 3. 表で説明した周辺機能端子を除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。

注 4. P303、P407～P413、P511、P512、P514、P515、P708～P715 (合計 20 端子)

注 5. 表で説明したポートを除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。

注 6. VCC または VCC2 が 1.62 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電氣的に制御されるためです。

2.2.3 I/O I_{OH} , I_{OL} 表 2.6 I/O I_{OH} , I_{OL} (1/5)

項目			VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	ポート P000～P015、P201	—	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
	ポート P204、P205、P303、P407～P413、P511、P512、P514、P515、P708～P715、PA15（合計 23 端子）	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-16	mA
				I_{OL}	—	—	20.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
	その他の出力端子(注5)	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-16	mA
				I_{OL}	—	—	16.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
許容出力電流（端子ごとの最大値）	ポート P000～P015、P201	—	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
	ポート P204、P205、P303、P407～P413、P511、P512、P514、P515、P708～P715、PA15（合計 23 端子）	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-32	mA
				I_{OL}	—	—	40.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-40	mA
				I_{OL}	—	—	40.0	mA
	その他の出力端子(注5)	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-32	mA
				I_{OL}	—	—	32.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-40	mA
				I_{OL}	—	—	40.0	mA

表 2.6 I/O I_{OH} , I_{OL} (2/5)

項目				VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC I/O	ポート P411～P415、P511～P515、P708～P715、P805～P807（合計 21 端子）	1.62 V 以上	$\Sigma I_{OH} (max)$	—	—	-40	mA
			ポート P212、P213、P400～P410、PB08～PB14（合計 20 端子）	1.62 V 以上		—	—	-40	
			ポート P700～P707、PB00～PB04（合計 13 端子）	1.62 V 以上		—	—	-40	
			ポート PB05～PB07、PD06、PD07（合計 5 端子）	1.62 V 以上		—	—	-40	
			ポート P207、PD01～PD05（合計 6 端子）	1.62 V 以上		—	—	-40	
			ポート P904、P910～P913（合計 5 端子）	1.62 V 以上		—	—	-40	
			ポート P206、P304～P312、P902、P903、P905～P909（合計 17 端子）	1.62 V 以上		—	—	-40	
			ポート P108～P115、P201、P208～P211、P300～P303、P609、P914、P915、PA11（合計 21 端子）	1.62 V 以上		—	—	-40	
			ポート P610～P615、P813、PA04～PA10、PA12～PA15（合計 18 端子）	1.62 V 以上		—	—	-40	
			ポート P503～P510、P608、PA00～PA03、PC11～PC15、PD00（合計 19 端子）	1.62 V 以上		—	—	-40	

表 2.6 I/O I_{OH} , I_{OL} (3/5)

項目				VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC2 I/O	ポート PC00～PC10（合計 11 端子）	1.62 V 以上	$\Sigma I_{OH} (max)$	—	—	-40	mA
			ポート P204、P205、P600～P607（合計 10 端子）	1.62 V 以上		—	—	-40	
			ポート P202、P203、P313～P315、P900、P901（合計 7 端子）	1.62 V 以上		—	—	-40	
			ポート P100～P107、P800、P801（合計 10 端子）	1.62 V 以上		—	—	-40	
			ポート P500～P502、P802～P804、P808～P812（合計 11 端子）	1.62 V 以上		—	—	-40	
		AVCC0 I/O		1.62 V 以上		—	—	-33	
		VCC_USB I/O		1.62 V 以上		—	—	-33	

表 2.6 I/O I_{OH} , I_{OL} (4/5)

項目				VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC および VCC2 I/O	ポート P411～ P415、P511～ P515、P708～ P715、P805～ P807（合計 21 端子）	1.62 V 以上	$\Sigma I_{OL} (max)$	—	—	40	mA
			ポート P212、 P213、P400～ P410、PB08～ PB14（合計 20 端子）	1.62 V 以上		—	—	40	
			ポート P700～ P707、PB00～ PB04（合計 13 端子）	1.62 V 以上		—	—	40	
			ポート PB05～ PB07、PD06、 PD07（合計 5 端 子）	1.62 V 以上		—	—	40	
			ポート P207、 PD01～PD05 （合計 6 端子）	1.62 V 以上		—	—	40	
			ポート P904、 P910～P913（合 計 5 端子）	1.62 V 以上		—	—	40	
			ポート P206、 P304～P312、 P902、P903、 P905～P909（合 計 17 端子）	1.62 V 以上		—	—	40	
			ポート P108～ P115、P201、 P208～P211、 P300～P303、 P609、P914、 P915、PA11（合 計 21 端子）	1.62 V 以上		—	—	40	
			ポート P610～ P615、P813、 PA04～PA10、 PA12～PA15 （合計 18 端子）	1.62 V 以上		—	—	40	
			ポート P503～ P510、P608、 PA00～PA03、 PC11～PC15、 PD00（合計 19 端子）	1.62 V 以上		—	—	40	
			ポート PC00～ PC10（合計 11 端子）	1.62 V 以上		—	—	40	
			ポート P204、 P205、P600～ P607（合計 10 端子）	1.62 V 以上		—	—	40	

表 2.6 I/O I_{OH} , I_{OL} (5/5)

項目				VCC/VCC2/ AVCC0/ VCC_USB	シンボル	Min	Typ	Max	単位
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC および VCC2 I/O	ポート P202、 P203、P313～ P315、P900、 P901（合計 7 端子）	1.62 V 以上	$\Sigma I_{OL} (max)$	—	—	40	mA
			ポート P100～ P107、P800、 P801（合計 10 端子）	1.62 V 以上		—	—	40	
			ポート P500～ P502、P802～ P804、P808～ P812（合計 11 端子）	1.62 V 以上		—	—	40	
		AVCC0 I/O		1.62 V 以上		—	—	33	
		VCC_USB I/O		1.62 V 以上		—	—	33	

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。

注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。

注 4. PmnPFS レジスタのポート駆動能力で高速高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

注 5. 入力ポートである P200、P214、および P215 を除きます。

【使用上の注意】 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μ s の間に計測した電流の平均値を意味します。

2.2.4 I/O V_{OH} 、 V_{OL} 、およびその他の特性表 2.7 I/O V_{OH} 、 V_{OL} 、およびその他の特性 (1/3)

項目		VCC/ VCC2/ AVCC0/ VCC_US B	シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC	2.70 V 以上	V_{OL}	—	—	0.4	V	$I_{OL} = 3.0 \text{ mA}$
			V_{OL}	—	—	0.6		$I_{OL} = 6.0 \text{ mA}$
		1.62 V ~ 1.95 V	V_{OL}	—	—	$VCC \times 0.2$		$I_{OL} = 2.0 \text{ mA}$
			V_{OL}	—	—	0.4		$I_{OL} = 3.0 \text{ mA}$
			V_{OL}	—	—	0.6(注4)		$I_{OL} = 6.0 \text{ mA}$
			V_{OL}	—	—	$VCC2 \times 0.2$		$I_{OL} = 2.0 \text{ mA}$
	IIC(注1)	2.70 V 以上	V_{OL}	—	—	0.4		$I_{OL} = 15.0 \text{ mA}$ (ICFER.FMPE = 1)
			V_{OL}	—	0.4	—		$I_{OL} = 20.0 \text{ mA}$ (ICFER.FMPE = 1)
		1.62 V ~ 1.95 V	V_{OL}	—	—	0.4		$I_{OL} = 15.0 \text{ mA}$ (ICFER.FMPE = 1)
			V_{OL}	—	0.4	—		$I_{OL} = 20.0 \text{ mA}$ (ICFER.FMPE = 1)
	I3C	2.70 V 以上	V_{OL}	—	—	0.4		$I_{OL} = 3.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.6		$I_{OL} = 6.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.4		$I_{OL} = 15.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
			V_{OL}	—	0.4	—		$I_{OL} = 20.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
		3.00 V 以上	V_{OL}	—	—	0.4		$I_{OL} = 3.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 1)
			V_{OH}	$VCC - 0.27$	—	—		$I_{OH} = 3.0 \text{ mA}$ (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.27		$I_{OL} = 3.0 \text{ mA}$ (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)
		1.65 V ~ 1.95 V	V_{OL}	—	—	$VCC \times 0.2$		$I_{OL} = 2.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.4		$I_{OL} = 3.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.6		$I_{OL} = 6.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	$VCC \times 0.2$		$I_{OL} = 2.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
			V_{OL}	—	—	0.4		$I_{OL} = 15.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
			V_{OL}	—	0.4	—		$I_{OL} = 20.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 1, BFCTL.HSME = 0)
			V_{OL}	—	—	$VCC \times 0.2$		$I_{OL} = 3.0 \text{ mA}$ (PRTS.PRTMD = 1, BFCTL.FMPE = 0, BFCTL.HSME = 1)
			V_{OH}	$VCC - 0.27$	—	—		$I_{OH} = 3.0 \text{ mA}$ (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)
			V_{OL}	—	—	0.27		$I_{OL} = 3.0 \text{ mA}$ (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)

表 2.7 I/O V_{OH} 、 V_{OL} 、およびその他の特性 (2/3)

項目		VCC/ VCC2/ AVCC0/ VCC_USB B	シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ESWM、 ESC	2.70 V～ 3.60 V	V_{OH}	$VCC - 0.5$	—	—	V	$I_{OH} = -1.0 \text{ mA}$
			V_{OL}	—	—	0.4		$I_{OL} = 1.0 \text{ mA}$
			V_{OH}	$VCC2 - 0.5$	—	—		$I_{OH} = -1.0 \text{ mA}$
		2.30 V～ 2.70 V	V_{OH}	2	—	—		$I_{OH} = -1.0 \text{ mA}$
			V_{OL}	—	—	0.4		$I_{OL} = 1.0 \text{ mA}$
			V_{OL}	—	—	0.4		$I_{OL} = 1.0 \text{ mA}$
	SD	2.70 V 以 上	V_{OH}	$VCC \times 0.75$	—	—	V	$I_{OH} = -2.0 \text{ mA}$
			V_{OL}	—	—	$VCC \times 0.125$		$I_{OL} = 3.0 \text{ mA}$
			V_{OH}	$VCC2 \times 0.75$	—	—		$I_{OH} = -2.0 \text{ mA}$
			V_{OL}	—	—	$VCC2 \times 0.125$		$I_{OL} = 3.0 \text{ mA}$
		1.70～ 1.95 V	V_{OH}	1.4	—	—		$I_{OH} = -2.0 \text{ mA}$
			V_{OL}	—	—	0.45		$I_{OL} = 2.0 \text{ mA}$
			V_{OH}	$VCC \times 0.75$	—	—		$I_{OH} = -0.1 \text{ mA (VCC = 2.7 V)}$
			V_{OL}	—	—	$VCC \times 0.125$		$I_{OL} = 0.1 \text{ mA (VCC = 2.7 V)}$
	MMC	2.70 V 以 上	V_{OH}	$VCC \times 0.75$	—	—	V	$I_{OH} = -0.1 \text{ mA (VCC2 = 2.7 V)}$
			V_{OL}	—	—	$VCC \times 0.125$		$I_{OL} = 0.1 \text{ mA (VCC2 = 2.7 V)}$
			V_{OH}	$VCC2 \times 0.75$	—	—		$I_{OH} = -0.1 \text{ mA (VCC2 = 2.7 V)}$
			V_{OL}	—	—	$VCC2 \times 0.125$		$I_{OL} = 0.1 \text{ mA (VCC2 = 2.7 V)}$
		1.70～ 1.95 V	V_{OH}	$VCC - 0.45$	—	—		$I_{OH} = -2.0 \text{ mA}$
			V_{OL}	—	—	0.45		$I_{OL} = 2.0 \text{ mA}$
			V_{OH}	$VCC2 - 0.45$	—	—		$I_{OH} = -2.0 \text{ mA}$
			V_{OL}	—	—	1		$I_{OL} = 20 \text{ mA (VCC2 = 3.3 V)}$
	ポート P204、 P205、 P303、 P407～ P413、 P511、 P512、 P514、 P515、 P708～ P715、 PA15 (合 計 23 端 子) (注2)	—	V_{OH}	$VCC - 1.0$	—	—	V	$I_{OH} = -16 \text{ mA (VCC = 3.3 V)}$
			V_{OL}	—	—	1		$I_{OL} = 20 \text{ mA (VCC = 3.3 V)}$
			V_{OH}	$VCC2 - 1.0$	—	—		$I_{OH} = -16 \text{ mA (VCC2 = 3.3 V)}$
			V_{OL}	—	—	1		$I_{OL} = 20 \text{ mA (VCC2 = 3.3 V)}$
		1.62 V 以 上	V_{OH}	$VCC - 0.5$	—	—		$I_{OH} = -1.0 \text{ mA}$
			V_{OL}	—	—	0.5		$I_{OL} = 1.0 \text{ mA}$
			V_{OH}	$VCC2 - 0.5$	—	—		$I_{OH} = -1.0 \text{ mA}$
			V_{OL}	—	—	0.5		$I_{OL} = 1.0 \text{ mA}$
	その他の 出力端子	1.62 V 以 上	V_{OH}	$AVCC0 - 0.5$	—	—	V	$I_{OH} = -1.0 \text{ mA}$
			V_{OL}	—	—	0.5		$I_{OL} = 1.0 \text{ mA}$
			V_{OH}	$VCC_USB - 0.5$	—	—		$I_{OH} = -1.0 \text{ mA}$
			V_{OL}	—	—	0.5		$I_{OL} = 1.0 \text{ mA}$
		1.62 V 以 上	V_{OH}	$VCC - 0.5$	—	—		$I_{OH} = -1.0 \text{ mA}$
			V_{OL}	—	—	0.5		$I_{OL} = 1.0 \text{ mA}$
			V_{OH}	$VCC2 - 0.5$	—	—		$I_{OH} = -1.0 \text{ mA}$
			V_{OL}	—	—	0.5		$I_{OL} = 1.0 \text{ mA}$

表 2.7 I/O V_{OH} 、 V_{OL} 、およびその他の特性 (3/3)

項目		VCC/ VCC2/ AVCC0/ VCC_USB B	シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES	1.62 V 以上	$ I_{in} $	—	—	5	μA	$V_{in} = 0 V$ $V_{in} = 5.5 V$
	ポート P200、 P214、 P215	1.62 V 以上		—	—	1		$V_{in} = 0 V$ $V_{in} = VCC$
スリーステートリーク電流 (オフ状態)	5 V トレラントポート	1.62 V 以上	$ I_{TSI} $	—	—	5	μA	$V_{in} = 0 V$ $V_{in} = 5.5 V$
	その他のポート (ポート P200、 P214、 P215 を除く)	1.62 V 以上		—	—	1		$V_{in} = 0 V$ $V_{in} = VCC, VCC2, AVCC0, VCC_USB$
入力プルアップ MOS 電流	ポート P0 ~PD	2.70 V 以上	I_p	-300	—	-10	μA	$VCC, VCC2, AVCC0, VCC_USB = 2.7 \sim 3.63 V$ $V_{in} = 0 V$
		1.62 V 以上		-300	—	-5		$VCC, VCC2, AVCC0, VCC_USB = 1.62 \sim 3.63 V$ $V_{in} = 0 V$
SCL 電流ソースとして機能するプルアップ電流	I3C(注3)	3.00 ~ 3.63 V	I_{cs}	3	—	12	mA	$VCC = 3.0 \sim 3.63 V$ $V_{in} = 0.3 \times VCC \sim 0.7 \times VCC$
		1.65 ~ 1.95 V						$VCC = 1.65 \sim 1.95 V$ $V_{in} = 0.3 \times VCC \sim 0.7 \times VCC$
入力容量	ポート P014、 P015	—	C_{in}	—	—	16	pF	$V_{bias} = 0 V$ $V_{amp} = 20 mV$ $f = 1 MHz$ $T_a = 25 ^\circ C$
	ポート P814/ USB_DP、 P815/ USB_DM	—		—	—	12		
	ポート P400、 P401、 P409、 P410、 P511、 P512、 P708、 P709	—		—	—	10		
	その他の 入力端子	—		—	—	8		

注 1. SCL0_A、SDA0_A、SCL1_A、SDA1_A、SCL2_A、SDA2_A (合計 6 端子)

注 2. これは PmnPFS レジスタのポート駆動能力ビットで高速高駆動能力が選択されている場合の値です。

選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

注 3. I3C_SCL0 (1 端子)。これは IIC High-speed モード選択時の値です。

注 4. これは、以下の端子に対して、PmnPFS レジスタのポート駆動能力ビットで高速高駆動能力が選択されている場合の値です。
SDA0_B、SCL0_B、SDA1_B、SCL1_B、SDA2_B、SCL2_B

2.2.5 動作電流とスタンバイ電流

SiP フラッシュメモリの電流値は本項では対象外です。IS25WX064 のデータシートを参照してください。

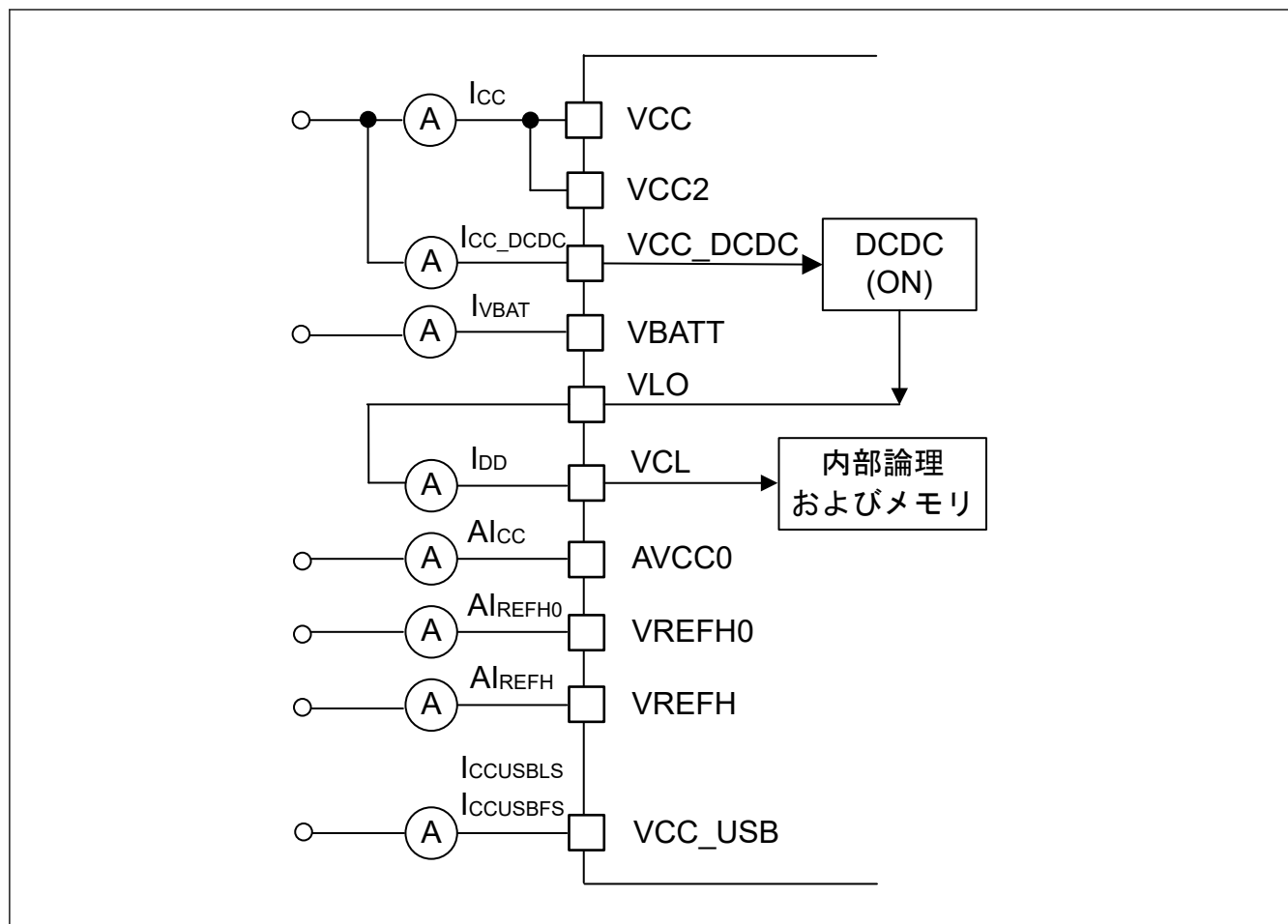


図 2.2 消費電流測定図 (DCDC モード)

表 2.8 High-speed モード、極大条件 (MVE および周辺機能動作) (DCDC モード) における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流 (注1) (注2) (注6)	—	I _{CC}	3.85	6.27	6.69	8.01	mA	—
	CPUC LK0 = 1 GHz CPUC LK1 = 250 M Hz VSCR_ 1	VCC_DCD C ≥ 2.5 V	I _{CC_DCDC} (注4)	176	340	—	mA	VCC_DCDC = 3.3 V MRICLK = 250 MHz, MRPCLK = 125 MHz, ICLK = 250 MHz, BCLK = 125 MHz, PCLKA = 125 MHz, PCLKB = 62.5 MHz, PCLKC = 125 MHz, PCLKD = 250 MHz, PCLKE = 250 MHz
			I _{DD} (注3)	452	873	—		
		VCC_DCD C < 2.5 V	I _{CC_DCDC} (注4)	343	664	—		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I _{DD}	452	873	—		
	CPUC LK0 = 800 M Hz CPUC LK1 = 200 M Hz VSCR_ 1	VCC_DCD C ≥ 2.5 V	I _{CC_DCDC} (注4)	148	—	356	mA	VCC_DCDC = 3.3 V MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz
			I _{DD} (注3)	380	—	915		
		VCC_DCD C < 2.5 V	I _{CC_DCDC} (注4)	289	—	696		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I _{DD}	380	—	915		
	CPUC LK0 = 600 M Hz CPUC LK1 = 200 M Hz VSCR_ 1	VCC_DCD C ≥ 2.5 V	I _{CC_DCDC} (注4)	129	—	—	mA	VCC_DCDC = 3.3 V MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz
			I _{DD} (注3)	330	—	1000 (注5)		
		VCC_DCD C < 2.5 V	I _{CC_DCDC} (注4)	251	—	760		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I _{DD}	330	—	1000 (注5)		
	CPUC LK0 = 600 M Hz CPUC LK1 = 150 M Hz VSCR_ 2	VCC_DCD C ≥ 2.5 V	I _{CC_DCDC} (注4)	115	282	309	mA	VCC_DCDC = 3.3 V MRICLK = 150 MHz, MRPCLK = 75 MHz, ICLK = 150 MHz, BCLK = 75 MHz, PCLKA = 75 MHz, PCLKB = 37.5 MHz, PCLKC = 75 MHz, PCLKD = 150 MHz, PCLKE = 150 MHz
			I _{DD} (注3)	301	738	810		
		VCC_DCD C < 2.5 V	I _{CC_DCDC} (注4)	224	550	604		VCC_DCDC = 1.8 V クロック設定は上記と同様
			I _{DD}	301	738	810		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f (CPUCLK0 および ICLK) に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。

I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.77 × fICLK + 21 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 95 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 477 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 105 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 553 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 125 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 709 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 95 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 464 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 105 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 537 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 125 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 691 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

注 5. 動作時の実消費電流はここに示す電流値を上回らないようにしてください。

注 6. 電力 = VCC × I_{CC} + VCC_DCDC × I_{CC_DCDC} として消費電力は計算されます。

表 2.9 High-speed モード、極大条件（MVE および周辺機能動作）（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)(注5)	—	I _{CC}	3.85	6.27	6.69	8.01	mA	—
	CPUCL K0 = 1 GHz CPUCL K1 = 250 MHz Z VCL = 電圧範囲 1	I _{DD} (注3)	452	873	—	—	mA	MRICKL = 250 MHz, MRPCLK = 125 MHz, ICLK = 250 MHz, BCLK = 125 MHz, PCLKA = 125 MHz, PCLKB = 62.5 MHz, PCLKC = 125 MHz, PCLKD = 250 MHz, PCLKE = 250 MHz
	CPUCL K0 = 800 MHz Z CPUCL K1 = 200 MHz Z VCL = 電圧範囲 1	I _{DD} (注3)	380	—	915	—	mA	MRICKL = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz
	CPUCL K0 = 600 MHz Z CPUCL K1 = 200 MHz Z VCL = 電圧範囲 1	I _{DD} (注3)	330	—	—	1000 (注4)	mA	MRICKL = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz
	CPUCL K0 = 600 MHz Z CPUCL K1 = 150 MHz Z VCL = 電圧範囲 2	I _{DD} (注3)	301	738	810	959	mA	MRICKL = 150 MHz, MRPCLK = 75 MHz, ICLK = 150 MHz, BCLK = 75 MHz, PCLKA = 75 MHz, PCLKB = 37.5 MHz, PCLKC = 75 MHz, PCLKD = 150 MHz, PCLKE = 150 MHz

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f (CPUCLK0 および ICLK) に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。

I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.77 × fICLK + 21 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 1、95 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 477 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 1、105 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 553 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 1、125 °C) = 0.22 × fCPUCLK0 + 0.80 × fICLK + 709 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 2、95 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 464 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 2、105 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 537 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 2、125 °C) = 0.22 × fCPUCLK0 + 0.93 × fICLK + 691 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

注 4. 動作時の実消費電流はここに示す電流値を上回らないようにしてください。

注 5. 電力 = VCC × I_{CC} + VCL × I_{DD} として消費電力は計算されます。

表 2.10 High-speed モード、極大条件 (MVE および周辺機能動作)、CPU0 有効、CPU1 ディープスリープ (DCDC モード) における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注5)	—	I _{CC}	3.85	6.27	6.69	8.01	mA	—
	CPUC LK0 = 1 GHz CPUC LK1 = 250 MHz VSCR_1	VCC_DCD C ≥ 2.5 V	I _{CC_DCDC} (注4)	168	329	—	mA	VCC_DCDC = 3.3 V MRICLK = 250 MHz, MRPCLK = 125 MHz, ICLK = 250 MHz, BCLK = 125 MHz, PCLKA = 125 MHz, PCLKB = 62.5 MHz, PCLKC = 125 MHz, PCLKD = 250 MHz, PCLKE = 250 MHz CPU1 = ディープスリープ
		I _{DD} (注3)	430	844	—	—		
		VCC_DCD C < 2.5 V	I _{CC_DCDC} (注4)	327	642	—		VCC_DCDC = 1.8 V クロック設定は上記と同様
		I _{DD}	430	844	—	—		
	CPUC LK0 = 800 MHz CPUC LK1 = 200 MHz VSCR_1	VCC_DCD C ≥ 2.5 V	I _{CC_DCDC} (注4)	141	—	347	mA	VCC_DCDC = 3.3 V MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz CPU1 = ディープスリープ
		I _{DD} (注3)	362	—	891	—		
		VCC_DCD C < 2.5 V	I _{CC_DCDC} (注4)	275	—	678		VCC_DCDC = 1.8 V クロック設定は上記と同様
		I _{DD}	362	—	891	—		
	CPUC LK0 = 600 MHz CPUC LK1 = 200 MHz VSCR_1	VCC_DCD C ≥ 2.5 V	I _{CC_DCDC} (注4)	122	—	—	mA	VCC_DCDC = 3.3 V MRICLK = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz CPU1 = ディープスリープ
		I _{DD} (注3)	312	—	—	976		
		VCC_DCD C < 2.5 V	I _{CC_DCDC} (注4)	237	—	—		VCC_DCDC = 1.8 V クロック設定は上記と同様
		I _{DD}	312	—	—	976		
	CPUC LK0 = 600 MHz CPUC LK1 = 150 MHz VSCR_2	VCC_DCD C ≥ 2.5 V	I _{CC_DCDC} (注4)	110	274	301	mA	VCC_DCDC = 3.3 V MRICLK = 150 MHz, MRPCLK = 75 MHz, ICLK = 150 MHz, BCLK = 75 MHz, PCLKA = 75 MHz, PCLKB = 37.5 MHz, PCLKC = 75 MHz, PCLKD = 150 MHz, PCLKE = 150 MHz CPU1 = ディープスリープ
		I _{DD} (注3)	289	718	788	940		
		VCC_DCD C < 2.5 V	I _{CC_DCDC} (注4)	216	536	588		VCC_DCDC = 1.8 V クロック設定は上記と同様
		I _{DD}	289	718	788	940		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f (CPUCLK0 および ICLK) に依存します。I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.71 × fICLK + 21 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)I_{DD} Max.(VSCR_1, 95 °C) = 0.22 × fCPUCLK0 + 0.70 × fICLK + 474 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)I_{DD} Max.(VSCR_1, 105 °C) = 0.22 × fCPUCLK0 + 0.70 × fICLK + 549 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)I_{DD} Max.(VSCR_1, 125 °C) = 0.22 × fCPUCLK0 + 0.70 × fICLK + 704 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)I_{DD} Max.(VSCR_2, 95 °C) = 0.22 × fCPUCLK0 + 0.83 × fICLK + 461 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)I_{DD} Max.(VSCR_2, 105 °C) = 0.22 × fCPUCLK0 + 0.83 × fICLK + 533 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)I_{DD} Max.(VSCR_2, 125 °C) = 0.22 × fCPUCLK0 + 0.83 × fICLK + 686 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

注 5. 電力 = $V_{CC} \times I_{CC} + V_{CC_DCDC} \times I_{CC_DCDC}$ として消費電力は計算されます。

表 2.11 High-speed モード、極大条件（MVE および周辺機能動作）、CPU0 有効、CPU1 ディープスリープ（外部 VDD モード）における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1) (注2)(注4)	—	I _{CC}	3.85	6.27	6.69	8.01	mA	—
	CPUCL K0 = 1 GHz CPUCL K1 = 250 MHz z VCL = 電圧範囲 1	I _{DD} (注3)	430	844	—	—	mA	MRICKL = 250 MHz, MRPCLK = 125 MHz, ICLK = 250 MHz, BCLK = 125 MHz, PCLKA = 125 MHz, PCLKB = 62.5 MHz, PCLKC = 125 MHz, PCLKD = 250 MHz, PCLKE = 250 MHz CPU1 = ディープスリープ
	CPUCL K0 = 800 MHz z CPUCL K1 = 200 MHz z VCL = 電圧範囲 1	I _{DD} (注3)	362	—	891	—	mA	MRICKL = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz CPU1 = ディープスリープ
	CPUCL K0 = 600 MHz z CPUCL K1 = 200 MHz z VCL = 電圧範囲 1	I _{DD} (注3)	312	—	—	976	mA	MRICKL = 200 MHz, MRPCLK = 100 MHz, ICLK = 200 MHz, BCLK = 100 MHz, PCLKA = 100 MHz, PCLKB = 50 MHz, PCLKC = 100 MHz, PCLKD = 200 MHz, PCLKE = 200 MHz CPU1 = ディープスリープ
	CPUCL K0 = 600 MHz z CPUCL K1 = 150 MHz z VCL = 電圧範囲 2	I _{DD} (注3)	289	718	788	940	mA	MRICKL = 150 MHz, MRPCLK = 75 MHz, ICLK = 150 MHz, BCLK = 75 MHz, PCLKA = 75 MHz, PCLKB = 37.5 MHz, PCLKC = 75 MHz, PCLKD = 150 MHz, PCLKE = 150 MHz CPU1 = ディープスリープ

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f (CPUCLK0 および ICLK) に依存します。

$I_{DD} \text{ Typ.} = 0.25 \times f_{\text{CPUCLK0}} + 0.71 \times f_{\text{ICLK}} + 21$ (単位: mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1、95 °C)} = 0.22 \times f_{\text{CPUCLK0}} + 0.70 \times f_{\text{ICLK}} + 474$ (単位: mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1、105 °C)} = 0.22 \times f_{\text{CPUCLK0}} + 0.70 \times f_{\text{ICLK}} + 549$ (単位: mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1、125 °C)} = 0.22 \times f_{\text{CPUCLK0}} + 0.70 \times f_{\text{ICLK}} + 704$ (単位: mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2、95 °C)} = 0.22 \times f_{\text{CPUCLK0}} + 0.83 \times f_{\text{ICLK}} + 461$ (単位: mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2、105 °C)} = 0.22 \times f_{\text{CPUCLK0}} + 0.83 \times f_{\text{ICLK}} + 533$ (単位: mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 125 } ^\circ\text{C)} = 0.22 \times f_{CPUCLK0} + 0.83 \times f_{ICLK} + 686$ (単位 : mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

注 4. 電力 = $VCC \times I_{CC} + VCL \times I_{DD}$ として消費電力は計算されます。

表 2.12 High-speed モード、最大データ処理 (MVE 動作)、周辺クロック ON (DCDC モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I_{CC_DCDC} (注4)	136	322	—	mA	VCC_DCDC = 3.3 V ^(注5)
		I_{DD} ^(注3)	350	827	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	113	—	340		
		I_{DD} ^(注3)	290	—	874		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I_{CC_DCDC} (注4)	94	—	—		
		I_{DD} ^(注3)	241	—	915		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I_{CC_DCDC} (注4)	86	264	305		
		I_{DD} ^(注3)	226	692	798		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f ($f_{CPUCLK0}$ および f_{ICLK}) に依存します。式の中の f_{ICLK} 項は、CPU1 電流を含んでいます。

$I_{DD} \text{ Typ.} = 0.24 \times f_{CPUCLK0} + 0.37 \times f_{ICLK} + 21$ (単位 : mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VSCR_1, 95 } ^\circ\text{C)} = 0.27 \times f_{CPUCLK0} + 0.20 \times f_{ICLK} + 477$ (単位 : mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VSCR_1, 105 } ^\circ\text{C)} = 0.27 \times f_{CPUCLK0} + 0.20 \times f_{ICLK} + 553$ (単位 : mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VSCR_1, 125 } ^\circ\text{C)} = 0.27 \times f_{CPUCLK0} + 0.20 \times f_{ICLK} + 709$ (単位 : mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VSCR_2, 95 } ^\circ\text{C)} = 0.27 \times f_{CPUCLK0} + 0.18 \times f_{ICLK} + 464$ (単位 : mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VSCR_2, 105 } ^\circ\text{C)} = 0.27 \times f_{CPUCLK0} + 0.18 \times f_{ICLK} + 537$ (単位 : mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VSCR_2, 125 } ^\circ\text{C)} = 0.27 \times f_{CPUCLK0} + 0.18 \times f_{ICLK} + 691$ (単位 : mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

注 5. 極大条件下と同じ周波数条件が適用されます。

表 2.13 High-speed モード、最大データ処理（MVE 動作）、周辺クロック ON（外部 VDD モード）における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	350	827	—	mA	(注4)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	290	—	874	—	
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	241	—	—	915	
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	$I_{DD}^{(注3)}$	226	692	798	879	

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f （CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。

$I_{DD} \text{ Typ.} = 0.24 \times f_{\text{CPUCLK0}} + 0.37 \times f_{\text{ICLK}} + 21$ （単位：mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 95 °C)} = 0.27 \times f_{\text{CPUCLK0}} + 0.20 \times f_{\text{ICLK}} + 477$ （単位：mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 105 °C)} = 0.27 \times f_{\text{CPUCLK0}} + 0.20 \times f_{\text{ICLK}} + 553$ （単位：mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 125 °C)} = 0.27 \times f_{\text{CPUCLK0}} + 0.20 \times f_{\text{ICLK}} + 709$ （単位：mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 95 °C)} = 0.27 \times f_{\text{CPUCLK0}} + 0.18 \times f_{\text{ICLK}} + 464$ （単位：mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 105 °C)} = 0.27 \times f_{\text{CPUCLK0}} + 0.18 \times f_{\text{ICLK}} + 537$ （単位：mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz）

$I_{DD} \text{ Max. (VSCR_2, 125 °C)} = 0.27 \times f_{\text{CPUCLK0}} + 0.18 \times f_{\text{ICLK}} + 691$ （単位：mA、ただし f_{CPUCLK0} および f_{ICLK} については MHz）

注 4. 極大条件下と同じ周波数条件が適用されます。

表 2.14 High-speed モード、最大データ処理 (MVE 動作)、CPU0 有効、CPU1 ディープスリープ、周辺クロック ON (DCDC モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I _{CC_DCDC} (注4)	131	313	—	mA	VCC_DCDC = 3.3 V CPU1 = ディープスリープ (注5)
		I _{DD} (注3)	335	804	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} (注4)	109	—	332		
		I _{DD} (注3)	279	—	853		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} (注4)	89	—	—		
		I _{DD} (注3)	229	—	879		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I _{CC_DCDC} (注4)	83	258	298		
		I _{DD} (注3)	216	676	780		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f (CPUCLK0 および ICLK) に依存します。

I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.30 × fICLK + 21 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 95 °C) = 0.27 × fCPUCLK0 + 0.05 × fICLK + 474 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 105 °C) = 0.27 × fCPUCLK0 + 0.05 × fICLK + 549 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 125 °C) = 0.27 × fCPUCLK0 + 0.05 × fICLK + 704 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 95 °C) = 0.27 × fCPUCLK0 + 0.07 × fICLK + 461 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 105 °C) = 0.27 × fCPUCLK0 + 0.07 × fICLK + 533 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 125 °C) = 0.27 × fCPUCLK0 + 0.07 × fICLK + 686 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

注 5. 極大条件下と同じ周波数条件が適用されます。

表 2.15 High-speed モード、最大データ処理 (MVE 動作)、CPU0 有効、CPU1 ディープスリープ、周辺クロック ON (外部 VDD モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	335	804	—	mA	CPU1 = ディープスリープ ^(注4)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	279	—	853		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	229	—	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	$I_{DD}^{(注3)}$	216	676	780		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f (CPUCLK0 および ICLK) に依存します。

$I_{DD} \text{ Typ.} = 0.25 \times f_{CPUCLK0} + 0.30 \times f_{ICLK} + 21$ (単位: mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1、95 °C)} = 0.27 \times f_{CPUCLK0} + 0.05 \times f_{ICLK} + 474$ (単位: mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1、105 °C)} = 0.27 \times f_{CPUCLK0} + 0.05 \times f_{ICLK} + 549$ (単位: mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1、125 °C)} = 0.27 \times f_{CPUCLK0} + 0.05 \times f_{ICLK} + 704$ (単位: mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2、95 °C)} = 0.27 \times f_{CPUCLK0} + 0.07 \times f_{ICLK} + 461$ (単位: mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2、105 °C)} = 0.27 \times f_{CPUCLK0} + 0.07 \times f_{ICLK} + 533$ (単位: mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2、125 °C)} = 0.27 \times f_{CPUCLK0} + 0.07 \times f_{ICLK} + 686$ (単位: mA、ただし $f_{CPUCLK0}$ および f_{ICLK} については MHz)

注 4. 極大条件下と同じ周波数条件が適用されます。

表 2.16 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック ON (DCDC モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I _{CC_DCDC} (注4)	44	175	—	mA	VCC_DCDC = 3.3 V CPU0 = ディープスリープ (注3)
		I _{DD}	112	450	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} (注4)	38	—	190		
		I _{DD}	99	—	488		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} (注4)	38	—	—		
		I _{DD}	96	—	545		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I _{CC_DCDC} (注4)	31	155	179		
		I _{DD}	82	406	470		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. 極大条件下と同じ周波数条件が適用されます。

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 2.17 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック ON (外部 VDD モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I _{DD}	112	450	—	mA	CPU0 = ディープスリープ (注3)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I _{DD}	99	—	488		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I _{DD}	96	—	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I _{DD}	82	406	470		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. 極大条件下と同じ周波数条件が適用されます。

表 2.18 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（DCDC モード）における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I _{CC_DCDC} ^(注4)	121	317	—	mA	VCC_DCDC = 3.3 V ^(注5)
		I _{DD} ^(注3)	310	814	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} ^(注4)	99	—	325		
		I _{DD} ^(注3)	255	—	833		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} ^(注4)	80	—	—		
		I _{DD} ^(注3)	207	—	919		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I _{CC_DCDC} ^(注4)	75	258	292		
		I _{DD} ^(注3)	197	675	764		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。

I_{DD} Typ. = $0.24 \times f_{CPUCLK0} + 0.20 \times f_{ICLK} + 21$ （単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_1, 95 °C) = $0.27 \times f_{CPUCLK0} + 0.23 \times f_{ICLK} + 477$ （単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_1, 105 °C) = $0.27 \times f_{CPUCLK0} + 0.23 \times f_{ICLK} + 553$ （単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_1, 125 °C) = $0.27 \times f_{CPUCLK0} + 0.23 \times f_{ICLK} + 709$ （単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_2, 95 °C) = $0.27 \times f_{CPUCLK0} + 0.25 \times f_{ICLK} + 464$ （単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_2, 105 °C) = $0.27 \times f_{CPUCLK0} + 0.25 \times f_{ICLK} + 537$ （単位：mA、ただし fCPUCLK0 および fICLK については MHz）

I_{DD} Max.(VSCR_2, 125 °C) = $0.27 \times f_{CPUCLK0} + 0.25 \times f_{ICLK} + 691$ （単位：mA、ただし fCPUCLK0 および fICLK については MHz）

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

注 5. 極大条件下と同じ周波数条件が適用されます。

表 2.19 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（外部 VDD モード）における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	310	814	—	mA	(注4)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	255	—	833	—	
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注3)}$	207	—	—	919	
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	$I_{DD}^{(注3)}$	197	675	764	889	

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f （CPUCLK0 および ICLK）に依存します。式の中の ICLK 項は、CPU1 電流を含んでいます。

$I_{DD} \text{ Typ.} = 0.24 \times f\text{CPUCLK0} + 0.20 \times f\text{ICLK} + 21$ （単位：mA、ただし $f\text{CPUCLK0}$ および $f\text{ICLK}$ については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 95 °C)} = 0.27 \times f\text{CPUCLK0} + 0.23 \times f\text{ICLK} + 477$ （単位：mA、ただし $f\text{CPUCLK0}$ および $f\text{ICLK}$ については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 105 °C)} = 0.27 \times f\text{CPUCLK0} + 0.23 \times f\text{ICLK} + 553$ （単位：mA、ただし $f\text{CPUCLK0}$ および $f\text{ICLK}$ については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 125 °C)} = 0.27 \times f\text{CPUCLK0} + 0.23 \times f\text{ICLK} + 709$ （単位：mA、ただし $f\text{CPUCLK0}$ および $f\text{ICLK}$ については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 95 °C)} = 0.27 \times f\text{CPUCLK0} + 0.25 \times f\text{ICLK} + 464$ （単位：mA、ただし $f\text{CPUCLK0}$ および $f\text{ICLK}$ については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 105 °C)} = 0.27 \times f\text{CPUCLK0} + 0.25 \times f\text{ICLK} + 537$ （単位：mA、ただし $f\text{CPUCLK0}$ および $f\text{ICLK}$ については MHz）

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 125 °C)} = 0.27 \times f\text{CPUCLK0} + 0.25 \times f\text{ICLK} + 691$ （単位：mA、ただし $f\text{CPUCLK0}$ および $f\text{ICLK}$ については MHz）

注 4. 極大条件下と同じ周波数条件が適用されます。

表 2.20 High-speed モード、最大データ処理（MVE 動作）、CPU0 有効、CPU1 ディープスリープ、周辺クロック OFF（DCDC モード）における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I _{CC_DCDC} ^(注4)	115	308	—	mA	VCC_DCDC = 3.3 V CPU1 = ディープスリープ ^(注5)
		I _{DD} ^(注3)	295	792	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} ^(注4)	95	—	317		
		I _{DD} ^(注3)	244	—	813		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} ^(注4)	76	—	—		
		I _{DD} ^(注3)	194	—	895		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I _{CC_DCDC} ^(注4)	71	251	285		
		I _{DD} ^(注3)	187	658	746		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f（CPUCLK0 および ICLK）に依存します。

I_{DD} Typ. = 0.25 × fCPUCLK0 + 0.13 × fCLK + 21（単位：mA、ただし fCPUCLK0 および fCLK については MHz）

I_{DD} Max.(VSCR_1, 95 °C) = 0.27 × fCPUCLK0 + 0.13 × fCLK + 474（単位：mA、ただし fCPUCLK0 および fCLK については MHz）

I_{DD} Max.(VSCR_1, 105 °C) = 0.27 × fCPUCLK0 + 0.13 × fCLK + 549（単位：mA、ただし fCPUCLK0 および fCLK については MHz）

I_{DD} Max.(VSCR_1, 125 °C) = 0.27 × fCPUCLK0 + 0.13 × fCLK + 704（単位：mA、ただし fCPUCLK0 および fCLK については MHz）

I_{DD} Max.(VSCR_2, 95 °C) = 0.27 × fCPUCLK0 + 0.14 × fCLK + 461（単位：mA、ただし fCPUCLK0 および fCLK については MHz）

I_{DD} Max.(VSCR_2, 105 °C) = 0.27 × fCPUCLK0 + 0.14 × fCLK + 533（単位：mA、ただし fCPUCLK0 および fCLK については MHz）

I_{DD} Max.(VSCR_2, 125 °C) = 0.27 × fCPUCLK0 + 0.14 × fCLK + 686（単位：mA、ただし fCPUCLK0 および fCLK については MHz）

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

注 5. 極大条件下と同じ周波数条件が適用されます。

表 2.21 High-speed モード、最大データ処理 (MVE 動作)、CPU0 有効、CPU1 ディープスリープ、周辺クロック OFF (外部 VDD モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I _{DD} ^(注3)	295	792	—	mA	CPU1 = ディープスリープ ^(注4)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I _{DD} ^(注3)	244	—	813		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I _{DD} ^(注3)	194	—	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I _{DD} ^(注3)	187	658	746		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 3. I_{DD} は、下記の式にしたがって f (CPUCLK0 および ICLK) に依存します。

I_{DD} Typ. = $0.25 \times f_{CPUCLK0} + 0.13 \times f_{ICLK} + 21$ (単位: mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 1、95 °C) = $0.27 \times f_{CPUCLK0} + 0.13 \times f_{ICLK} + 474$ (単位: mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 1、105 °C) = $0.27 \times f_{CPUCLK0} + 0.13 \times f_{ICLK} + 549$ (単位: mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 1、125 °C) = $0.27 \times f_{CPUCLK0} + 0.13 \times f_{ICLK} + 704$ (単位: mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 2、95 °C) = $0.27 \times f_{CPUCLK0} + 0.14 \times f_{ICLK} + 461$ (単位: mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 2、105 °C) = $0.27 \times f_{CPUCLK0} + 0.14 \times f_{ICLK} + 533$ (単位: mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max. (VCL = 電圧範囲 2、125 °C) = $0.27 \times f_{CPUCLK0} + 0.14 \times f_{ICLK} + 686$ (単位: mA、ただし fCPUCLK0 および fICLK については MHz)

注 4. 極大条件下と同じ周波数条件が適用されます。

表 2.22 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック OFF (DCDC モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I _{CC_DCDC} (注4)	28	157	—	mA	VCC_DCDC = 3.3 V CPU0 = ディープスリープ (注3)
		I _{DD}	72	404	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} (注4)	25	—	174		
		I _{DD}	64	—	447		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} (注4)	24	—	—		
		I _{DD}	61	—	533		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I _{CC_DCDC} (注4)	20	142	166		
		I _{DD}	53	372	435		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 3. 極大条件下と同じ周波数条件が適用されます。

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 2.23 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック OFF (外部 VDD モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	I _{DD}	72	404	—	mA	CPU0 = ディープスリープ (注3)
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I _{DD}	64	—	447		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	I _{DD}	61	—	533		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	I _{DD}	53	372	435		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 3. 極大条件下と同じ周波数条件が適用されます。

表 2.24 High-speed モード、CPU スリープモード (DCDC モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注3) (注4)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I _{CC_DCDC} ^(注5)	22	200	—	mA	VCC_DCDC = 3.3 V
		I _{DD} ^(注2)	56	513	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} ^(注5)	20	—	228		
		I _{DD} ^(注2)	50	—	586		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} ^(注5)	18	—	—		
		I _{DD} ^(注2)	46	—	716		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I _{CC_DCDC} ^(注5)	16	185	219		
		I _{DD} ^(注2)	42	484	573		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. I_{DD} は、下記の式にしたがって f (ICLK) に依存します。

I_{DD} Typ. = 0.02 × fCPUCLK0 + 0.06 × fICLK + 57 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 95 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 477 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 105 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 553 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 125 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 709 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 95 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 464 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 105 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 537 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 125 °C) = 0.02 × fCPUCLK0 + 0.01 × fICLK + 691 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 4. MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

注 5. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 2.25 High-speed モード、CPU スリープモード（外部 VDD モード）における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注3) (注4)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	$I_{DD}^{(注2)}$	56	513	—	mA	—
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注2)}$	50	—	586	—	
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注2)}$	46	—	—	716	
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	$I_{DD}^{(注2)}$	42	484	573	690	

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. I_{DD} は、下記の式にしたがって $f(I_{CLK})$ に依存します。

$I_{DD} \text{ Typ.} = 0.02 \times f_{CPUCLK0} + 0.06 \times f_{I_{CLK}} + 57$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 95 °C)} = 0.02 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 477$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 105 °C)} = 0.02 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 553$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 125 °C)} = 0.02 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 709$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 95 °C)} = 0.02 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 464$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 105 °C)} = 0.02 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 537$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 125 °C)} = 0.02 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 691$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 4. MRICKL、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

表 2.26 High-speed モード、CPU0 スリープ、CPU1 ディープスリープ (DCDC モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注3) (注4)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1	I _{CC_DCDC} (注5)	21	197	—	mA	VCC_DCDC = 3.3 V CPU1 = ディープスリープ
		I _{DD} (注2)	54	505	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} (注5)	19	—	229		
		I _{DD} (注2)	48	—	576		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1	I _{CC_DCDC} (注5)	17	—	—		
		I _{DD} (注2)	44	—	703		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2	I _{CC_DCDC} (注5)	15	182	216		
		I _{DD} (注2)	40	477	565		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. I_{DD} は、下記の式にしたがって f (ICLK) に依存します。

I_{DD} Typ. = 0.02 × fCPUCLK0 + 0.05 × fICLK + 55 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 95 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 474 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 105 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 549 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_1, 125 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 704 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 95 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 461 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 105 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 533 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

I_{DD} Max.(VSCR_2, 125 °C) = 0.004 × fCPUCLK0 + 0.01 × fICLK + 686 (単位 : mA、ただし fCPUCLK0 および fICLK については MHz)

注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 4. MRICLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

注 5. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 2.27 High-speed モード、CPU0 スリープ、CPU1 ディープスリープ（外部 VDD モード）における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流 ^(注1) (注3) (注4)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1	$I_{DD}^{(注2)}$	54	505	—	mA	CPU1 = ディープスリープ
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注2)}$	48	—	576		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1	$I_{DD}^{(注2)}$	44	—	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2	$I_{DD}^{(注2)}$	40	477	565		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. I_{DD} は、下記の式にしたがって $f(I_{CLK})$ に依存します。

$I_{DD} \text{ Typ.} = 0.02 \times f_{CPUCLK0} + 0.05 \times f_{I_{CLK}} + 55$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 95 °C)} = 0.004 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 474$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 105 °C)} = 0.004 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 549$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 1, 125 °C)} = 0.004 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 704$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 95 °C)} = 0.004 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 461$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 105 °C)} = 0.004 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 533$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

$I_{DD} \text{ Max. (VCL = 電圧範囲 2, 125 °C)} = 0.004 \times f_{CPUCLK0} + 0.01 \times f_{I_{CLK}} + 686$ (単位 : mA、ただし $f_{CPUCLK0}$ および $f_{I_{CLK}}$ については MHz)

注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 4. MRCLK、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

表 2.28 High-speed モード、CPU0 ディープスリープ、CPU1 スリープ (DCDC モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注3)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1 I_{CC_DCDC} (注4)	12	141	—	—	mA	VCC_DCDC = 3.3 V CPU0 = ディープスリープ
	I_{DD}	32	363	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1 I_{CC_DCDC} (注4)	12	—	161	—		
	I_{DD}	30	—	414	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1 I_{CC_DCDC} (注4)	11	—	—	196		
	I_{DD}	29	—	—	504		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2 I_{CC_DCDC} (注4)	10	132	157	184		
	I_{DD}	26	347	411	481		

- 注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
 注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
 注 3. MRICKL、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。
 注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 2.29 High-speed モード、CPU0 ディープスリープ、CPU1 スリープ (外部 VDD モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注3)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1 I_{DD}	32	363	—	—	mA	CPU0 = ディープスリープ
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1 I_{DD}	30	—	414	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1 I_{DD}	29	—	—	504		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2 I_{DD}	26	347	411	481		

- 注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
 注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
 注 3. MRICKL、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

表 2.30 High-speed モード、CPU ディープスリープモード (DCDC モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注3)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VSCR_1 I _{CC_DCDC} (注4)	13	138	—	—	mA	VCC_DCDC = 3.3 V
	I _{DD}	32	355	—	—		
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VSCR_1 I _{CC_DCDC} (注4)	12	—	158	—		
	I _{DD}	30	—	405	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1 I _{CC_DCDC} (注4)	11	—	—	192		
	I _{DD}	29	—	—	492		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VSCR_2 I _{CC_DCDC} (注4)	11	130	154	182		
	I _{DD}	28	340	402	476		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 3. MRICKL、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

注 4. 標準 DCDC 効率と測定条件の電圧が適用されます。

表 2.31 High-speed モード、CPU ディープスリープモード (外部 VDD モード) における電流

項目	シンボル	Typ	Max			単位	測定条件
			95 °C	105 °C	125 °C		
消費電流(注1) (注2) (注3)	CPUCLK0 = 1 GHz CPUCLK1 = 250 MHz VCL = 電圧範囲 1 I _{DD}	32	355	—	—	mA	—
	CPUCLK0 = 800 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1 I _{DD}	30	—	405	—		
	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VCL = 電圧範囲 1 I _{DD}	29	—	—	492		
	CPUCLK0 = 600 MHz CPUCLK1 = 150 MHz VCL = 電圧範囲 2 I _{DD}	28	340	402	476		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 3. MRICKL、MRPCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、および BCLK は、64 分周に設定されています。

表 2.32 BGO 動作時の増加分 (MRAM OTP のプログラミング) (DCDC モードおよび外部 VDD モード) における電流

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流(注1)	通常速度書き込みモード	I _{CC}	—	—	—	20	mA	VCC ≥ 1.62 V
		I _{DD}	—	—	—	0.50		
	高速書き込みモード 0	I _{CC}	—	—	—	25		VCC ≥ 2.5 V
		I _{DD}	—	—	—	0.5		
	高速書き込みモード 1	I _{CC}	—	—	—	80		VCC ≥ 3.0 V
		I _{DD}	—	—	—	0.5		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

表 2.33 スタンバイ電流 (DCDC モード) (1/4)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)	ソフトウェア アスタンバイ モード			I _{CC}	0.1 0	1.11	1.12	1.14	mA	—
	SS2LP_0	SVSCR_1	SRAM と TCM のデータは保持 されます。	I _{CC_DCDC}	2.6 7	54.24	62.23	78.41		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
			SRAM と TCM のデータは保持 されません。	I _{CC_DCDC}	2.4 4	52.53	59.86	74.47		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
		SVSCR_2	SRAM と TCM のデータは保持 されます。	I _{CC_DCDC}	2.5 2	51.58	59.19	74.81		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
			SRAM と TCM のデータは保持 されません。	I _{CC_DCDC}	2.3 3	50.03	57.09	71.10		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
		SVSCR_3	SRAM と TCM のデータは保持 されます。	I _{CC_DCDC}	1.6 8	37.85	43.60	56.69		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
			SRAM と TCM のデータは保持 されません。	I _{CC_DCDC}	1.6 0	36.87	42.22	54.07		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
		SVSCR_4	SRAM と TCM のデータは保持 されます。	I _{CC_DCDC}	1.4 7	32.41	38.22	49.79		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
			SRAM と TCM のデータは保持 されません。	I _{CC_DCDC}	1.4 2	31.61	37.07	47.62		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
		SVSCR_5	SRAM と TCM のデータは保持 されます。	I _{CC_DCDC}	1.2 8	29.69	34.28	44.67		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
			SRAM と TCM のデータは保持 されません。	I _{CC_DCDC}	1.2 4	29.03	33.32	42.82		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)

表 2.33 スタンバイ電流 (DCDC モード) (2/4)

項目					シンボル	Typ	Max			単位	測定条件
							95 °C	105 °C	125 °C		
消費電流 (注1)	ソフトウェア スタンバイ モード	SS2LP_1	SVSCR_2	SRAM と TCM のデータは保持 されます。	I_{CC_DCDC}	2.1 2	43.32	49.71	62.83	mA	VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持 されません。	I_{CC_DCDC}	1.9 5	42.01	47.94	59.71		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_3	SRAM と TCM のデータは保持 されます。	I_{CC_DCDC}	1.4 0	31.70	36.52	47.48		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持 されません。	I_{CC_DCDC}	1.3 4	30.88	35.36	45.29		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_4	SRAM と TCM のデータは保持 されます。	I_{CC_DCDC}	1.2 2	26.41	31.14	40.57		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持 されません。	I_{CC_DCDC}	1.1 8	25.76	30.20	38.80		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)
			SVSCR_5	SRAM と TCM のデータは保持 されます。	I_{CC_DCDC}	1.0 6	24.15	27.89	36.35		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0~12) PDRAMSCR1.RKEEPn = 1 (n = 0, 1)
				SRAM と TCM のデータは保持 されません。	I_{CC_DCDC}	1.0 3	23.62	27.11	34.84		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0~12) PDRAMSCR1.RKEEPn = 0 (n = 0, 1)

表 2.33 スタンバイ電流 (DCDC モード) (3/4)

項目			シンボル	Typ	Max			単位	測定条件	
					95 °C	105 °C	125 °C			
消費電流 (注1)	ディープソ フトウェア スタンバイ モード 1		I _{CC}	10.04	207	297	498	μA	—	
			I _{CC_DCDC}	0.16	0.85	1.24	2.45		—	
		機能起動時に増加	PVDn (n = 0～2, 4, 5) または バッテリー電源ス イッチ	I _{CC}	表 2.36 を参照してくださ い。				—	
			LOCO 使用時		2.46	—	—		—	—
			水晶振動子およ び RTC		表 2.37 を参照してくださ い。				—	
			IWDT および ULPT (すべての ユニット) が動 作中		1.58	—	—		—	—
消費電流 (注1)	ディープソ フトウェア スタンバイ モード 2		I _{CC}	3.04	98	122	175	μA	—	
			I _{CC_DCDC}	0.16	0.85	1.24	2.45		—	
		機能起動時に増加	PVDn (n = 0～2, 4, 5) または バッテリー電源ス イッチ	I _{CC}	表 2.36 を参照してくださ い。				—	
			水晶振動子およ び RTC		表 2.37 を参照してくださ い。				—	
	ディープソ フトウェア スタンバイ モード 3		I _{CC}	2.78	97	121	173		—	
			I _{CC_DCDC}	0.16	0.85	1.24	2.45		—	
		機能起動時に増加	水晶振動子およ び RTC	I _{CC}	表 2.37 を参照してくださ い。				—	

表 2.33 スタンバイ電流 (DCDC モード) (4/4)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)	VCC オフ時の RTC 動作（バッテリバックアップ機能により、RTC のみ動作）	水晶振動子を低消費電力モード 3 で使用時		I _{VBAT}	0.53	—	—	—	μA	VBATT = 1.8 V, VCC = 0 V
					0.82	—	—	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を低消費電力モード 2 で使用時			0.63	—	—	—		VBATT = 1.8 V, VCC = 0 V
					0.94	—	—	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を低消費電力モード 1 で使用時			0.73	—	—	—		VBATT = 1.8 V, VCC = 0 V
					1.03	—	—	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を標準モードで使用時			0.99	—	—	—		VBATT = 1.8 V, VCC = 0 V
					1.29	—	—	—		VBATT = 3.3 V, VCC = 0 V
EXCIN 使用時		0.30	—	—	—	VBATT = 1.8 V, VCC = 0 V				
		0.52	—	—	—	VBATT = 3.3 V, VCC = 0 V				
機能起動時に増加	RTCICn (n = 0 ~2) 入力をチャネルごとに使用中	0.01	—	—	—	VBATT = 1.8 V, VCC = 0 V				
		0.01	—	—	—	VBATT = 3.3 V, VCC = 0 V				

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

表 2.34 Coremark および通常モード電流、CPU0 有効、CPU1 ディープスリープ (DCDC モードおよび外部 VDD モード) (1/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)(注2)	CPUCLK0 = 1 GHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	I _{DD}	151	—	—	—	μA/ MHz	CPU1 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK1 = 250 MHz, MRICLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz
			キャッシュはオフ、ITCM から実行		143	—	—	—		
			キャッシュはオフ、SRAM から実行		92	—	—	—		
			キャッシュはオフ、MRAM から実行		104	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		118	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードはMRAM から実行		121	—	—	—		
	CPUCLK0 = 800 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	157	—	—	—	μA/ MHz	CPU1 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK1 = 200 MHz, MRICLK = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz	
			キャッシュはオフ、ITCM から実行	149	—	—	—			
			キャッシュはオフ、SRAM から実行	98	—	—	—			
			キャッシュはオフ、MRAM から実行	111	—	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行	124	—	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードはMRAM から実行	127	—	—	—			

表 2.34 Coremark および通常モード電流、CPU0 有効、CPU1 ディープスリープ (DCDC モードおよび外部 VDD モード) (2/2)

項目				シンボル	Typ	Max			単位	測定条件	
						95 °C	105 °C	125 °C			
消費電流 (注1)(注2)	CPUCLK0 = 600 MHz CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン	I _{DD}	172	—	—	—	μA/MHz	CPU1 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK1 = 200 MHz, MRICLK = 200 MHz, MRPCLK = 25 MHz, ICLK = 200 MHz, PCLKA = 25 MHz, PCLKB = 25 MHz, PCLKC = 25 MHz, PCLKD = 25 MHz, PCLKE = 25 MHz, BCLK = 25 MHz	
			キャッシュはオフ、ITCM から実行		164	—	—	—			
			キャッシュはオフ、SRAM から実行		118	—	—	—			
			キャッシュはオフ、MRAM から実行		133	—	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		139	—	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		142	—	—	—			
	CPUCLK0 = 600 MHz VSCR_2 VCL = 電圧範囲 2	Coremark	キャッシュはオン	I _{DD}	164	—	—	—	μA/MHz		CPU1 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK1 = 150 MHz, MRICLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz
			キャッシュはオフ、ITCM から実行		156	—	—	—			
			キャッシュはオフ、SRAM から実行		106	—	—	—			
			キャッシュはオフ、MRAM から実行		119	—	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		131	—	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		135	—	—	—			

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

表 2.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部 VDD モード) (1/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)(注2)	CPUCLK1 = 250 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	IDD	54	—	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 1 GHz, MRCLK = 250 MHz, MRPCLK = 15.6 MHz, ICLK = 250 MHz, PCLKA = 15.6 MHz, PCLKB = 15.6 MHz, PCLKC = 15.6 MHz, PCLKD = 15.6 MHz, PCLKE = 15.6 MHz, BCLK = 15.6 MHz
			キャッシュはオフ、ITCM から実行		49	—	—	—		
			キャッシュはオフ、SRAM から実行		49	—	—	—		
			キャッシュはオフ、MRAM から実行		67	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		50	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		66	—	—	—		
	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧 範囲 1	Coremark	キャッシュはオン	47	—	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 800 MHz, MRCLK = 200 MHz, MRPCLK = 12.5 MHz, ICLK = 200 MHz, PCLKA = 12.5 MHz, PCLKB = 12.5 MHz, PCLKC = 12.5 MHz, PCLKD = 12.5 MHz, PCLKE = 12.5 MHz, BCLK = 12.5 MHz	
			キャッシュはオフ、ITCM から実行	44	—	—	—			
			キャッシュはオフ、SRAM から実行	43	—	—	—			
			キャッシュはオフ、MRAM から実行	60	—	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行	44	—	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	59	—	—	—			

表 2.35 Coremark および通常モード電流、CPU0 ディープスリープ、CPU1 有効 (DCDC モードおよび外部 VDD モード) (2/2)

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)(注2)	CPUCLK1 = 200 MHz VSCR_1 VCL = 電圧範囲 1	Coremark	キャッシュはオン	IDD	45	—	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRICLK = 200 MHz, MRPCLK = 25 MHz, ICLK = 200 MHz, PCLKA = 25 MHz, PCLKB = 25 MHz, PCLKC = 25 MHz, PCLKD = 25 MHz, PCLKE = 25 MHz, BCLK = 25 MHz
			キャッシュはオフ、ITCM から実行		42	—	—	—		
			キャッシュはオフ、SRAM から実行		41	—	—	—		
			キャッシュはオフ、MRAM から実行		58	—	—	—		
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行		43	—	—	—		
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行		57	—	—	—		
	CPUCLK1 = 150 MHz VSCR_2 VCL = 電圧範囲 2	Coremark	キャッシュはオン	40	—	—	—	μA/ MHz	CPU0 = ディープスリープ ESWM 電源ドメインは OFF CPUCLK0 = 600 MHz, MRICLK = 150 MHz, MRPCLK = 9.4 MHz, ICLK = 150 MHz, PCLKA = 9.4 MHz, PCLKB = 9.4 MHz, PCLKC = 9.4 MHz, PCLKD = 9.4 MHz, PCLKE = 9.4 MHz, BCLK = 9.4 MHz	
			キャッシュはオフ、ITCM から実行	37	—	—	—			
			キャッシュはオフ、SRAM から実行	37	—	—	—			
			キャッシュはオフ、MRAM から実行	49	—	—	—			
		通常モード	すべての周辺機能が無効、キャッシュはオン、While (1) コードはフラッシュから実行	38	—	—	—			
			すべての周辺機器が無効、キャッシュはオフ、While (1) コードは MRAM から実行	49	—	—	—			

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

表 2.36 ディープソフトウェアスタンバイモード 1 と 2 で PVD1、PVD2、PVD4、PVD5、またはバッテリー電源スイッチ有効時の増加

項目		シンボル	Typ	Max			単位	測定条件
				95 °C	105 °C	125 °C		
消費電流	ディープソフトウェアスタンバイモード 1 で PVDn (n=1, 2, 4, 5) を有効化、またはバッテリー電源スイッチ制御用の PVD0 の低消費電力機能 (OFS1(_SEC).PVDLPSEL=1) を無効化するときの共通回路	I _{CC}	4.00	—	—	—	μA	—
	ディープソフトウェアスタンバイモード 2 で PVDn (n=1, 2, 4, 5) を有効化、またはバッテリー電源スイッチ制御用の PVD0 の低消費電力機能 (OFS1(_SEC).PVDLPSEL=1) を無効化するときの共通回路		4.00	—	—	—		—
	PVD1 有効		2.00	—	—	—		—
	PVD2 有効		2.00	—	—	—		—
	PVD4 有効		2.00	—	—	—		—
	PVD5 有効		2.00	—	—	—		—
	バッテリー電源スイッチが次の条件で有効：(注1) ● バッテリー電源スイッチは有効 (VBTBPCR1.BPWSWSTP = 0)、およびディープソフトウェアスタンバイモードでの PVD0 の低消費電力機能選択は無効 (OFS1(_SEC).PVDLPSEL=1)。		2.00	—	—	—		—

注 1. これ以外の条件で消費電力は増加しません。

表 2.37 ディープソフトウェアスタンバイモード 1/2/3 でサブクロック発振器および RTC が有効のときの増加

項目			シンボル	Typ	Max			単位	測定条件
					95 °C	105 °C	125 °C		
消費電流	水晶振動子を使用時	低消費電力モード 3	I _{CC}	0.31	—	—	—	μA	—
		低消費電力モード 2		0.43	—	—	—		—
		低消費電力モード 1		0.52	—	—	—		—
		標準モード		0.78	—	—	—		—
	RTC が動作中			0.30	—	—	—		—

表 2.38 インラッシュカレント

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流	コールドスタートでのインラッシュカレント		VCC_DCDC のインラッシュカレント(注1)	I _{RUSH}	—	1330	1330	1330	mA	—
	ディープソフトウェアスタンバイモードからの復帰時のインラッシュカレント	DPSBYCR.DC SSMODE=1			—	1270	1270	1270		—
		DPSBYCR.DC SSMODE=2			—	1170	1170	1170		—
		DPSBYCR.DC SSMODE=3			—	1160	1160	1160		—

注 1. 参考値

表 2.39 動作電流（アナログ）

項目				シンボル	Typ	Max			単位	測定条件
						95 °C	105 °C	125 °C		
消費電流 (注1)	発振器	メインクロック発振器		I _{CC}	0.65	—	—	—	mA	MOMCR.MODRV0[2:0] = 000b
					0.76	—	—	—	mA	MOMCR.MODRV0[2:0] = 011b
					0.88	—	—	—	mA	MOMCR.MODRV0[2:0] = 101b
	アナログ電源電流	16 ビット A/D 変換中	SAR モード、オーバーサンプリングモード、およびハイブリッドモード	Al _{CC}	2.4	3.2	3.2	3.2	mA	—
		S/H アンプによる 16 ビット A/D 変換中	SAR モードとハイブリッドモード		3.9	5.1	5.1	5.1	mA	—
		ACMPHS（1 ユニット）			99	192	192	192	μA	—
		温度センサ			0.1	0.2	0.2	0.2	mA	—
		D/A 変換中（1 ユニット当り）			1.2	1.6	1.6	1.6	mA	—
		A/D、D/A 変換待機時（全ユニット）			3.4	4.1	4.1	4.1	mA	—
		スタンバイモードの ADC16H、DAC12（全ユニット）（注2）			1	16.0	22.4	42	μA	—
		基準電源電流 (VREFH0)	16 ビット A/D 変換中（ユニット 0）		SAR モード	Al _{REFH0}	70	120	120	120
			オーバーサンプリングモードとハイブリッドモード	200	310		310	310	μA	—
	12 ビット A/D 変換待機時（ユニット 0）		14.00	14.00	14.00		14.00	μA	—	
	スタンバイモードの ADC16H（ユニット 0）		0.01	0.12	0.1		0.2	μA	—	
	リファレンス電源電流 (VREFH)		16 ビット A/D 変換中（ユニット 1）	SAR モード	Al _{REFH}		70	120	120	120
			オーバーサンプリングモードとハイブリッドモード	200		310	310	310	μA	—
		D/A 変換中（1 ユニット当り）		29		41.0	41.0	41.0	μA	—
		16 ビット A/D（ユニット 1）、D/A（全ユニット）変換待機時		14		14	14	14	μA	—
		スタンバイモードの ADC16H（ユニット 1）		0.1		0.1	0.2	0.3	μA	—
	USB 動作電流	ロースピード	USBFS	I _{CCUSBLs}	2.9	4.0	4.0	4.0	mA	VCC_USB
		フルスピード	USBFS	I _{CCUSBFS}	4.0	4.7	4.7	4.7	mA	VCC_USB

- 注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
- 注 2. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD21（16 ビット A/D コンバータモジュールストップビット）がモジュールストップ状態の場合

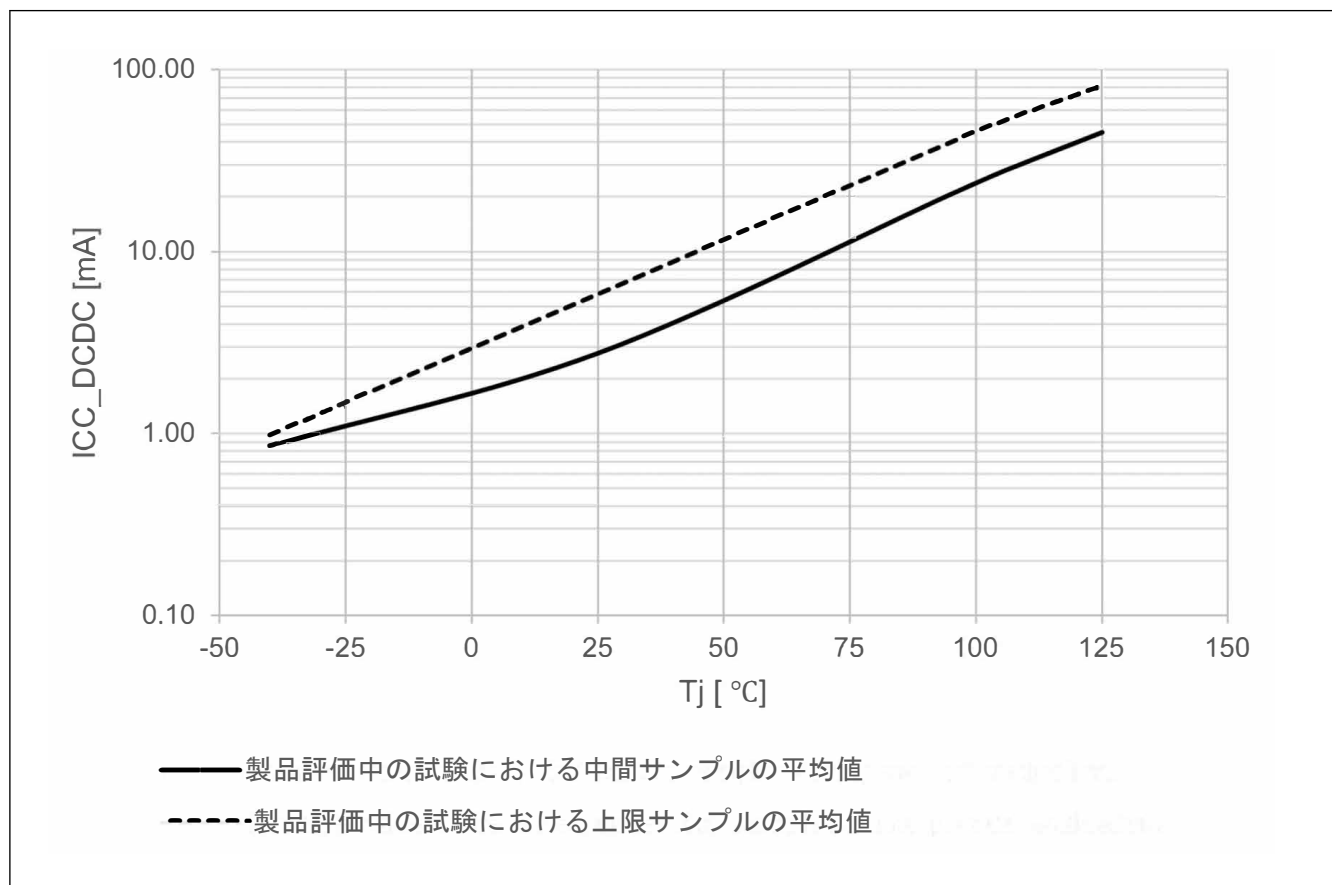
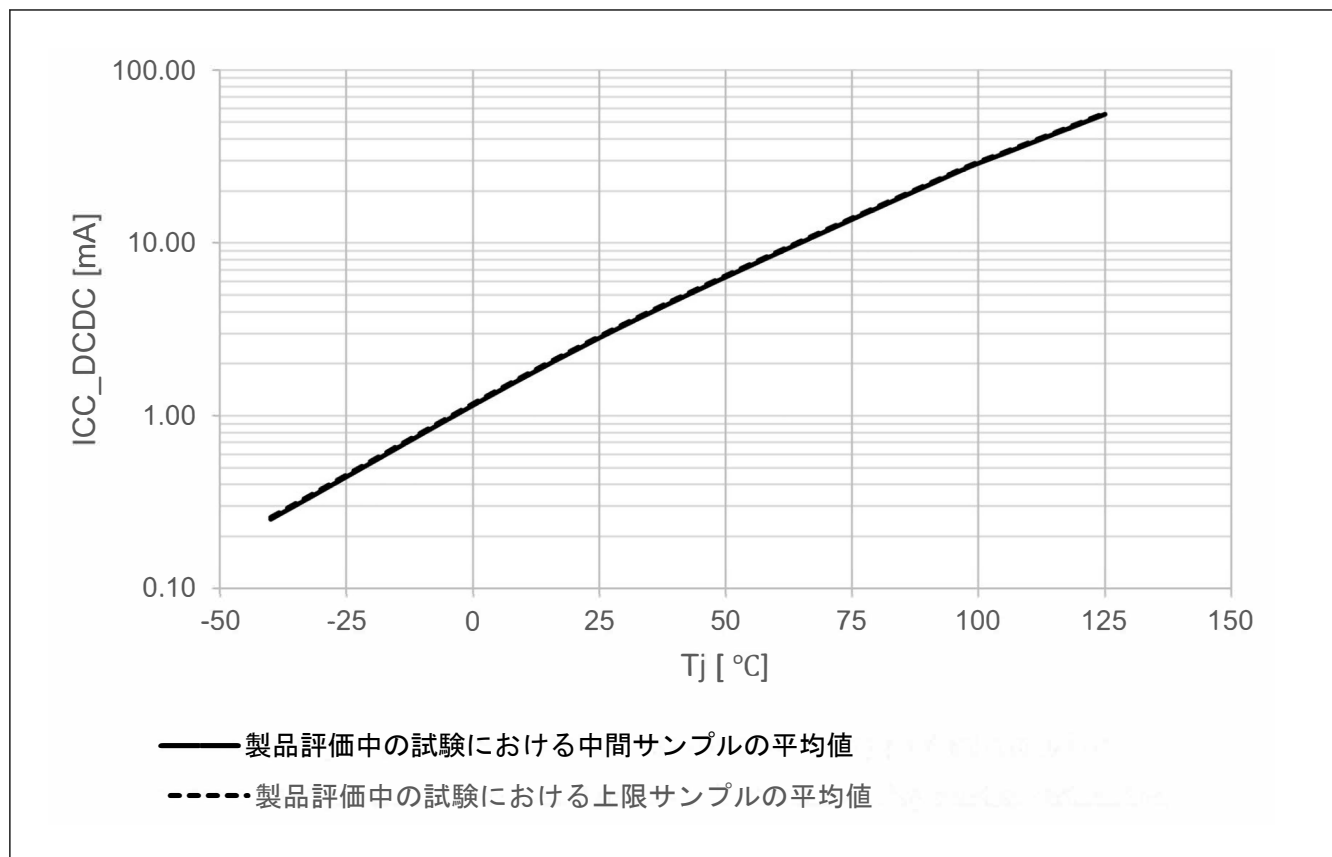
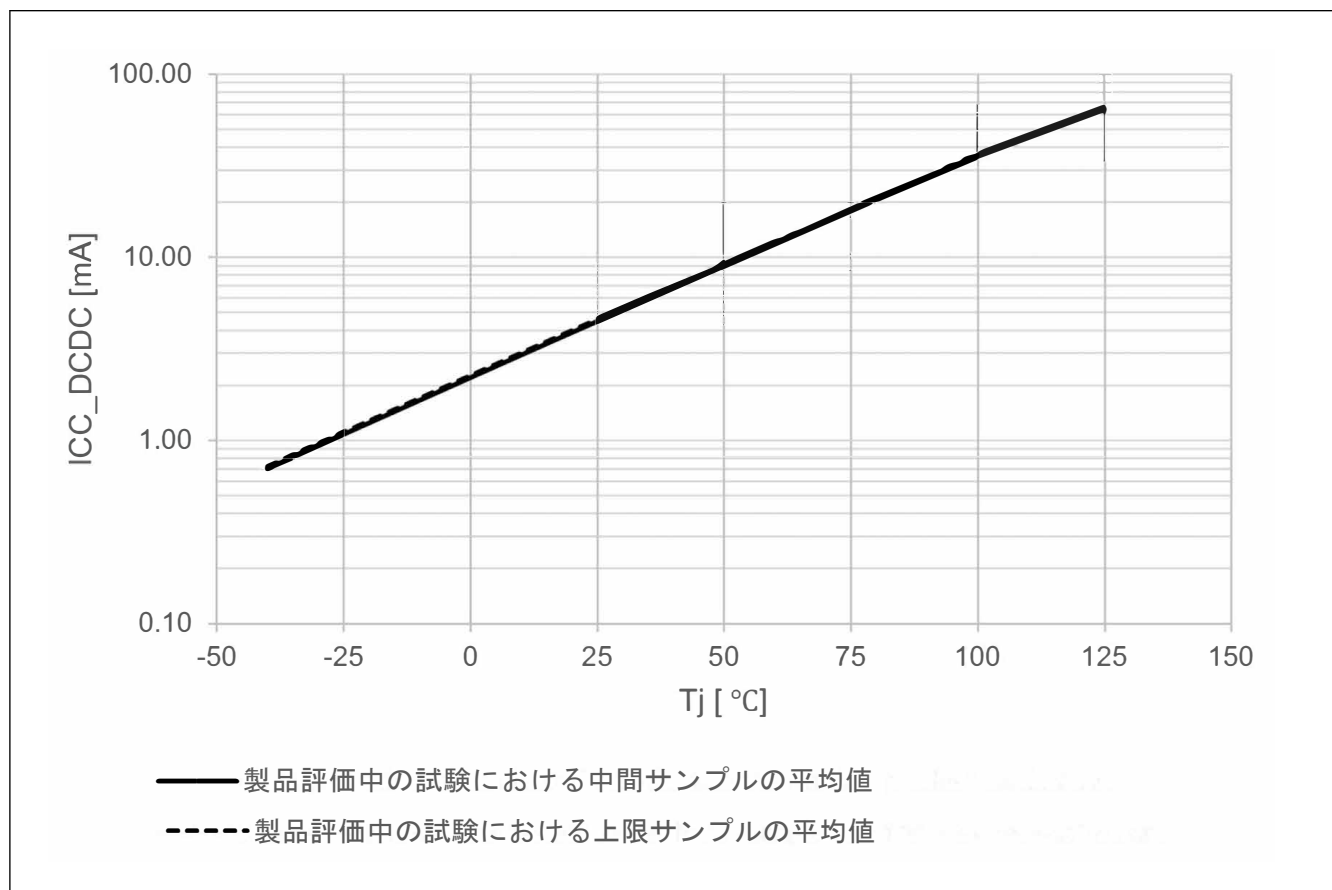


図 2.3 ソフトウェアスタンバイモードにおける温度依存性 (ICC_DCDC , $SS2LP_0$, $SVSCR_1$) (参考データ)

図 2.4 ソフトウェアスタンバイモードにおける温度依存性 (ICC_DCDC , SS2LP_0, SVSCR_5) (参考データ)図 2.5 ソフトウェアスタンバイモードにおける温度依存性 (ICC_DCDC , SS2LP_1, SVSCR_2) (参考データ)

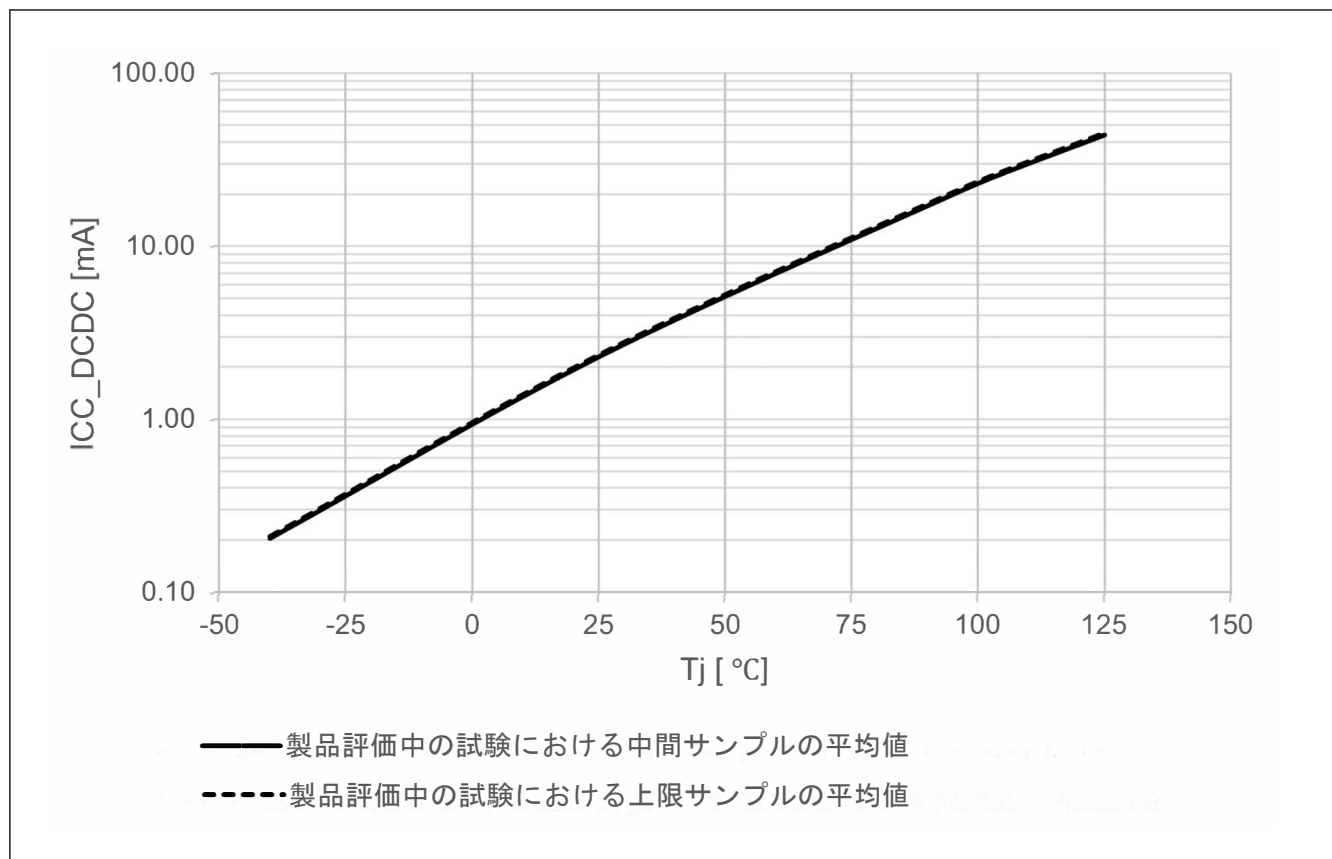
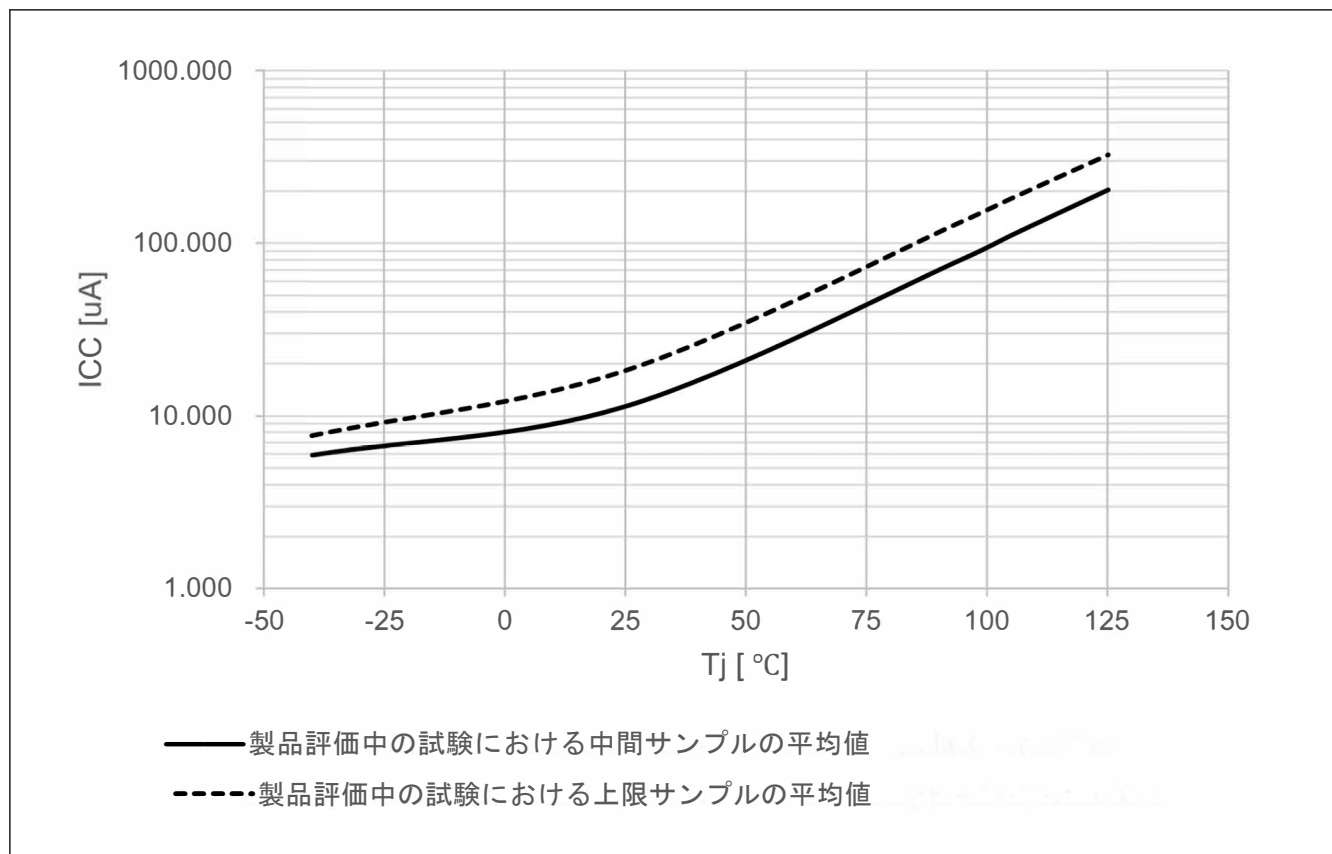
図 2.6 ソフトウェアスタンバイモードにおける温度依存性 (ICC_DCDC , SS2LP_1, SVSCR_5) (参考データ)

図 2.7 ディープソフトウェアスタンバイモード1における温度依存性 (参考データ)

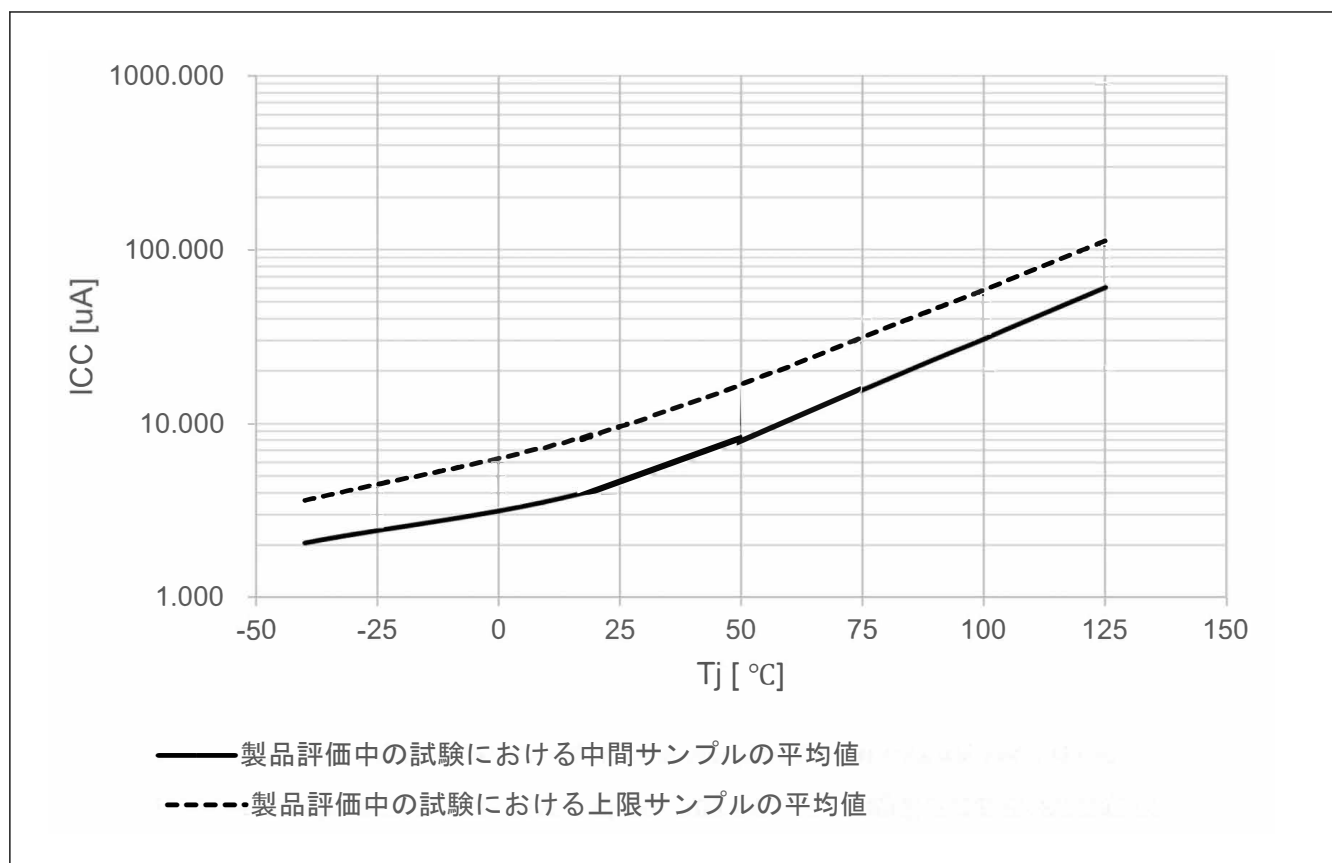


図 2.8 ディープソフトウェアスタンバイモード 2 における温度依存性 (参考データ)

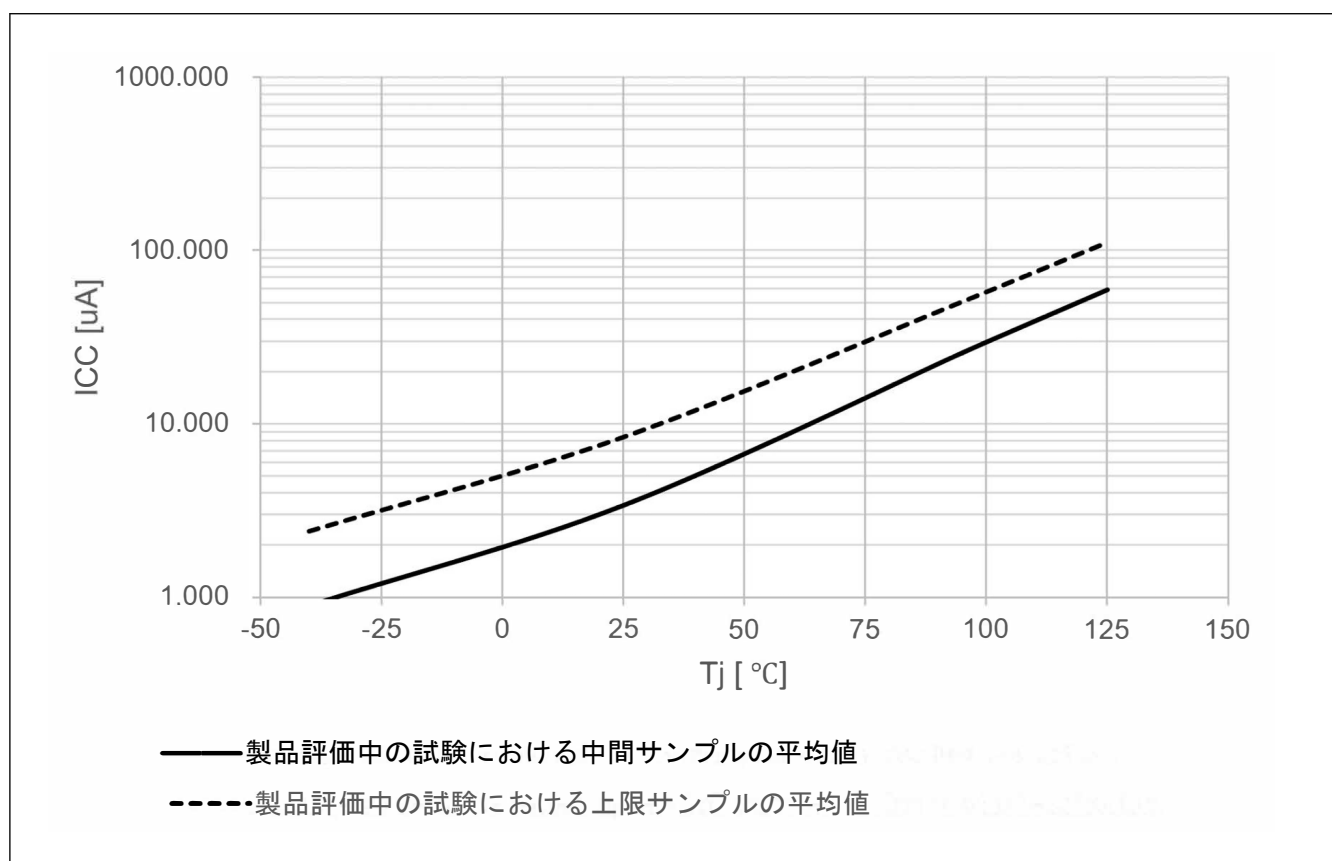


図 2.9 ディープソフトウェアスタンバイモード 3 における温度依存性 (参考データ)

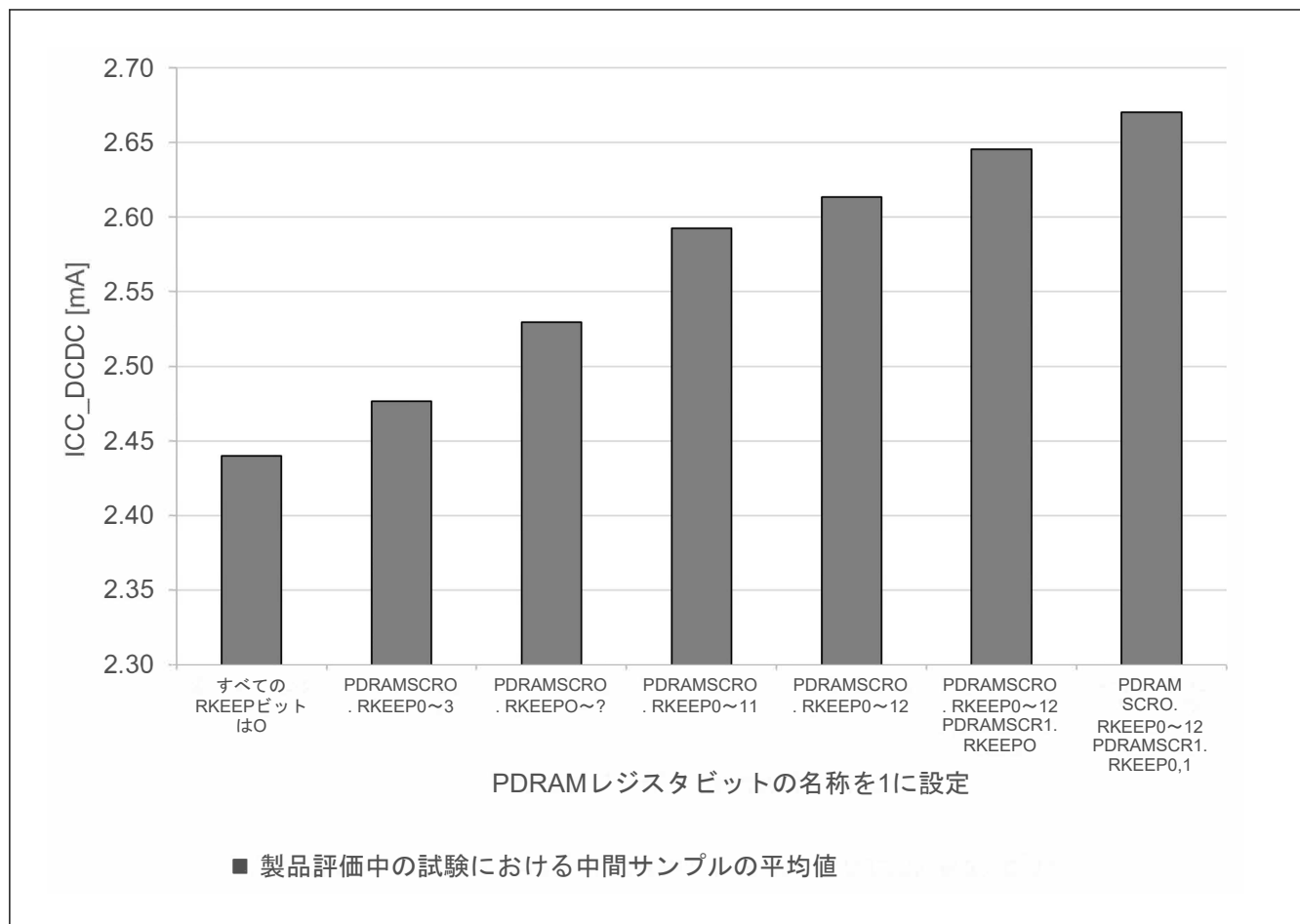


図 2.10 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_1) (参考データ)

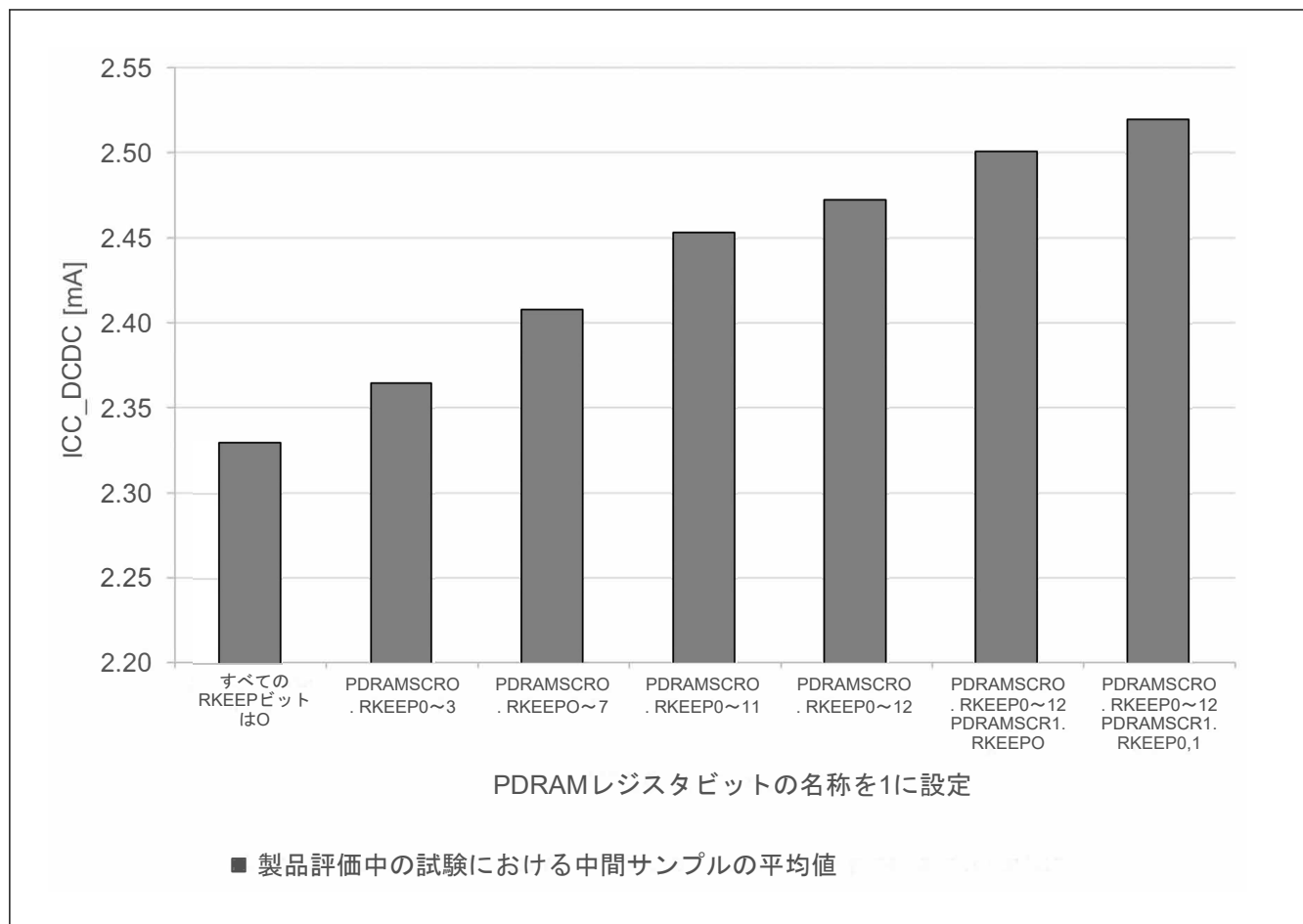


図 2.11 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_2)(参考データ)

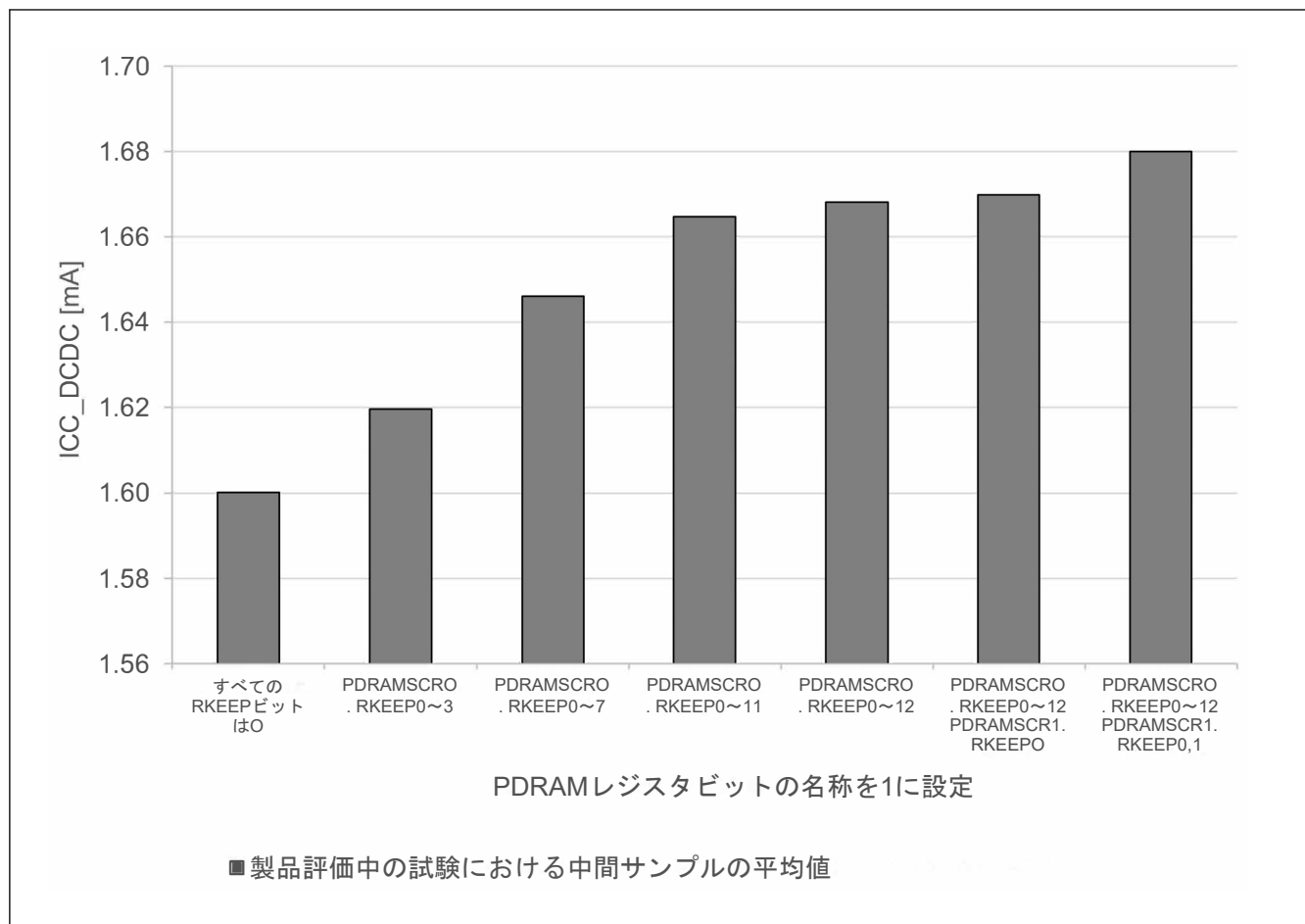


図 2.12 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_3) (参考データ)

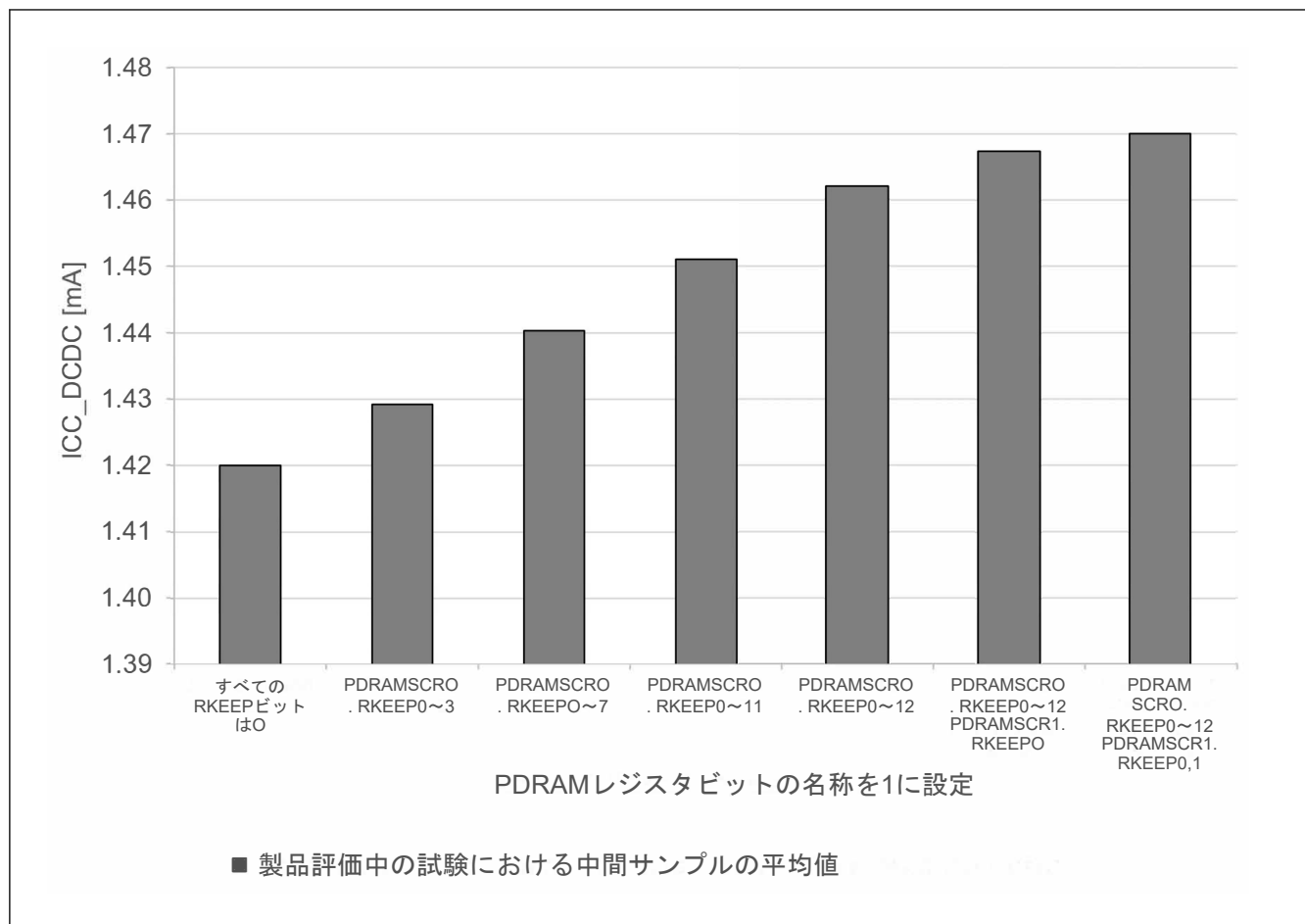


図 2.13 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_4) (参考データ)

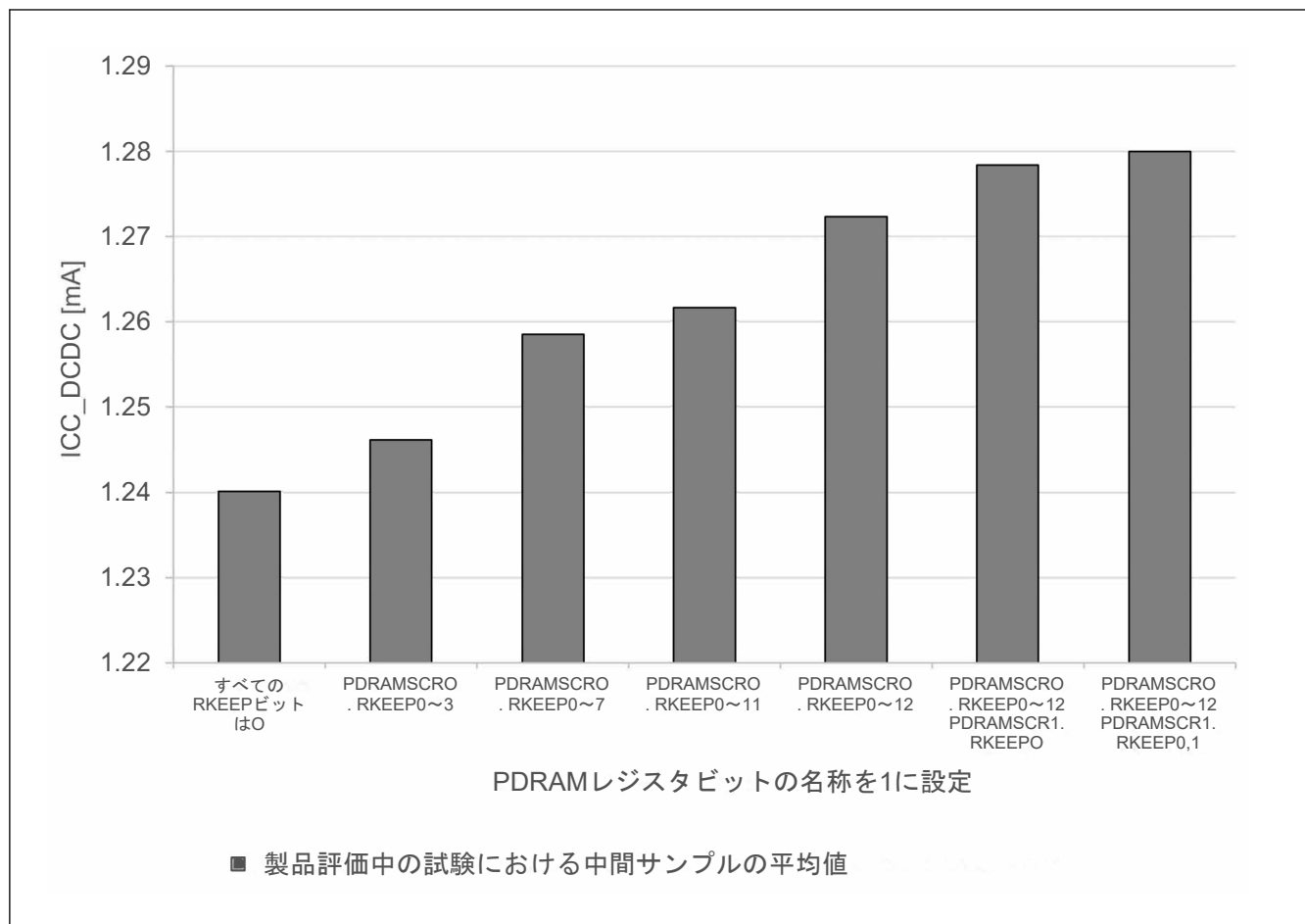


図 2.14 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_0, SVSCR_5) (参考データ)

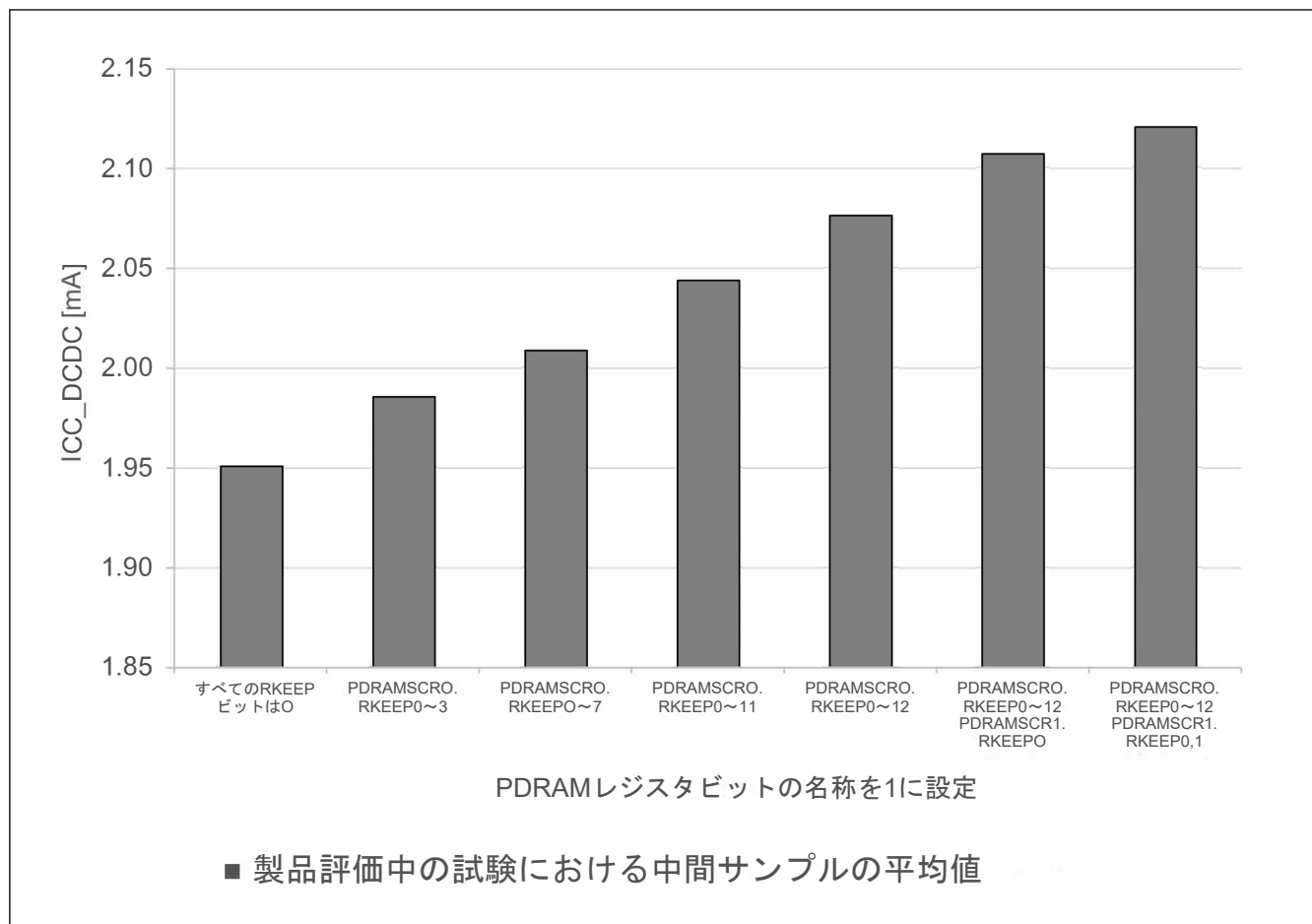


図 2.15 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_1, SVSCR_2) (参考データ)

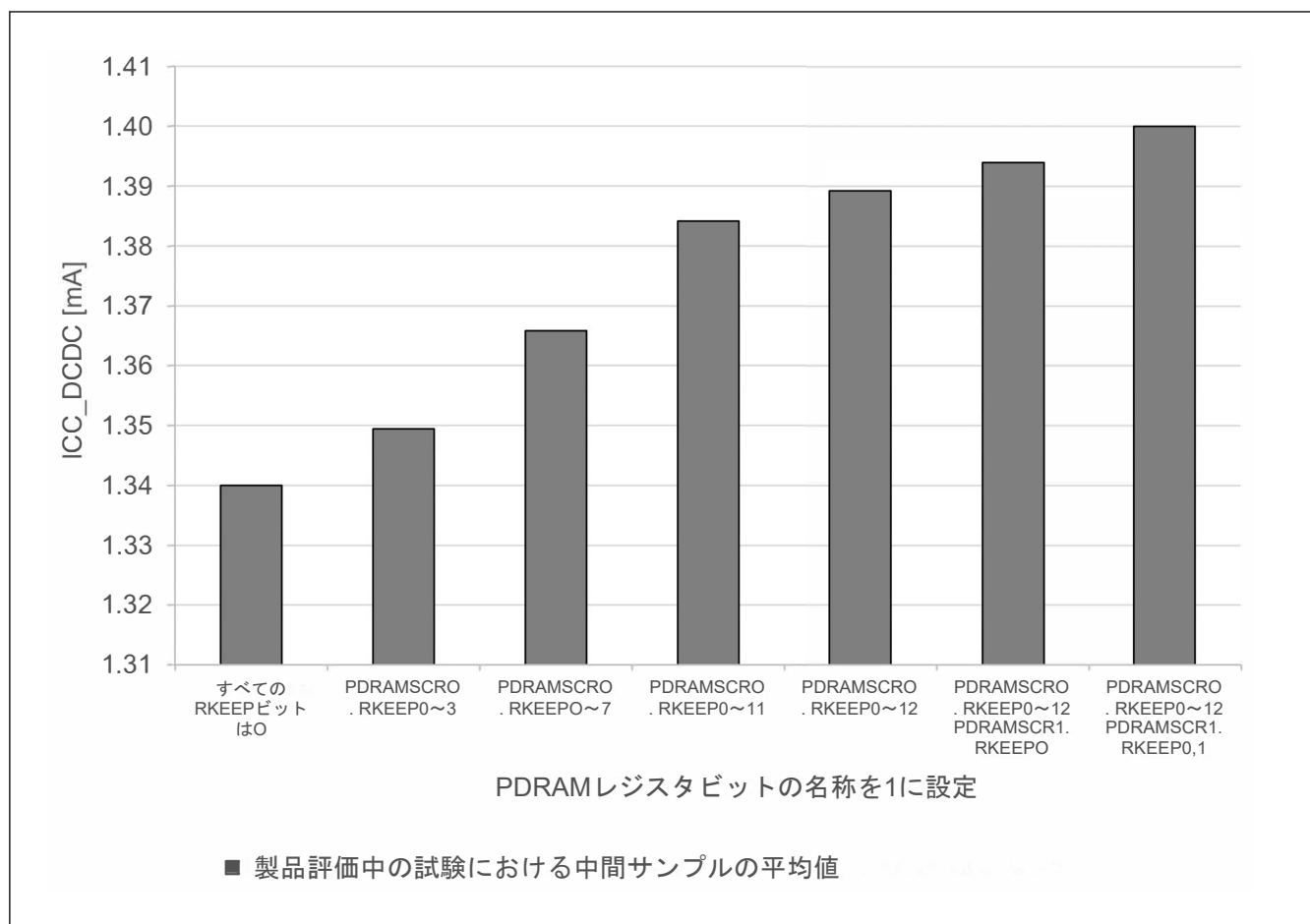


図 2.16 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_1, SVSCR_3) (参考データ)

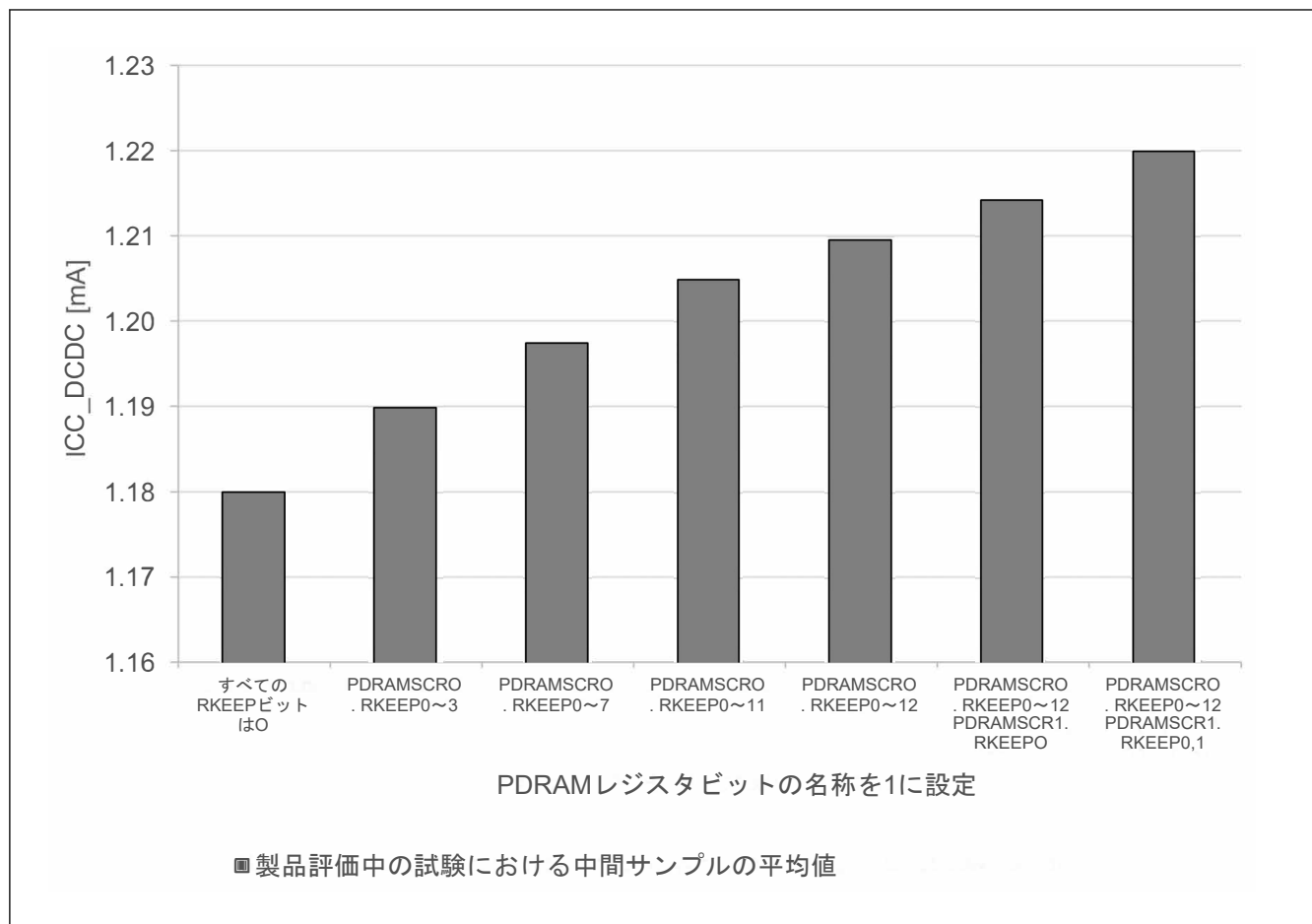


図 2.17 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_1, SVSCR_4) (参考データ)

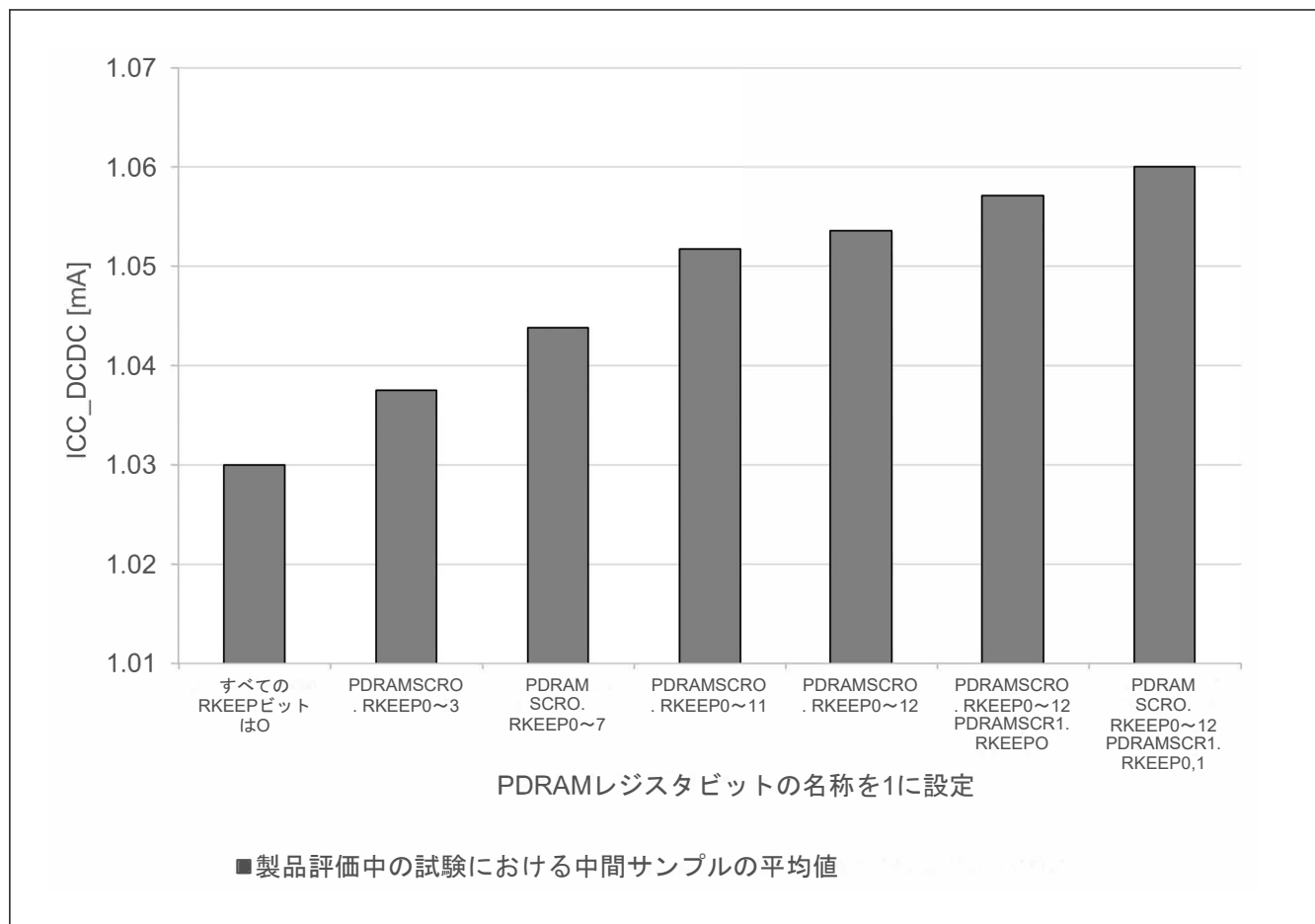


図 2.18 1 SRAM ステートあたりのソフトウェアスタンバイ電流 (ICC_DCDC, SS2LP_1, SVSCR_5) (参考データ)

より実際に近い I_{CC_DCDC} 値は以下の式で求められます。

$$I_{CC_DCDC} = (I_{DD} \times V_{CL}) / (V_{CC_DCDC} \times \text{効率})$$

ここで、 V_{CL} と V_{CC} はそれぞれ V_{CL} 端子と V_{CC} 端子の電圧であり、効率は以下の図に示されています。

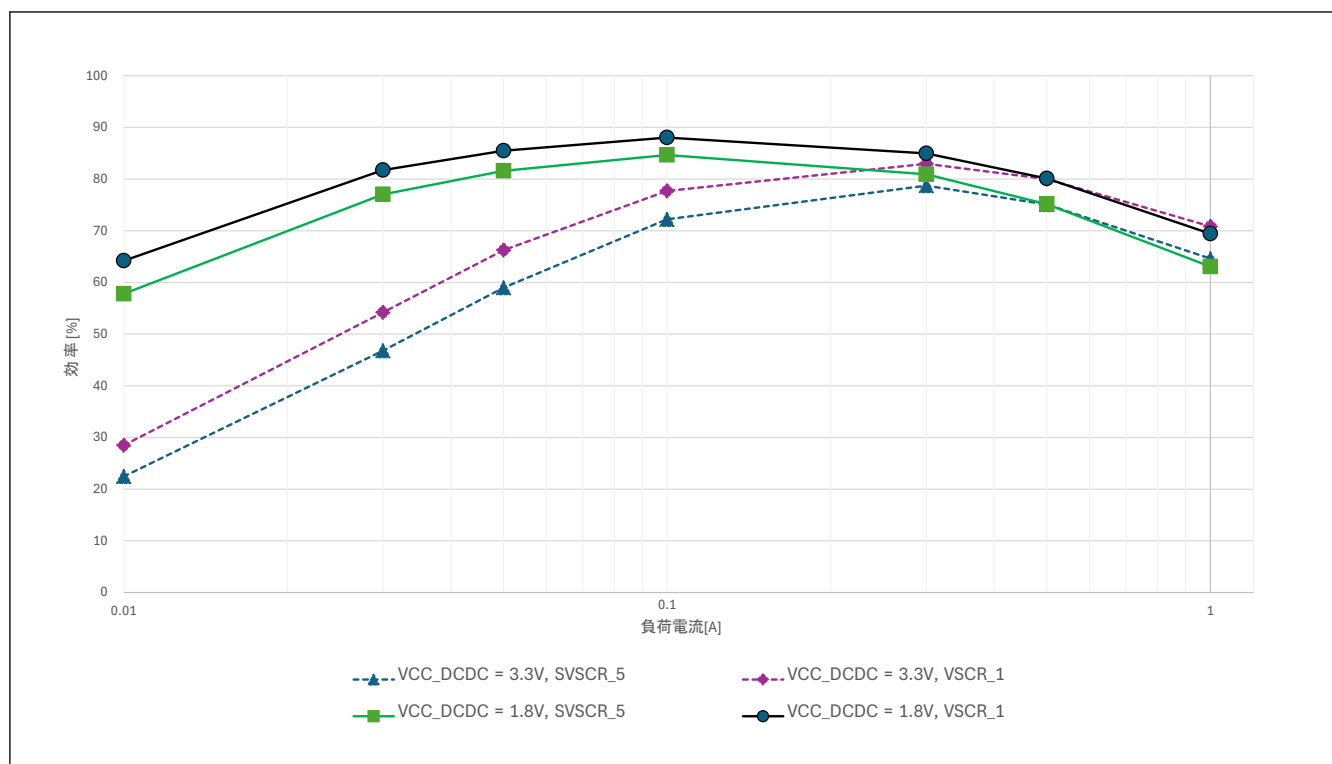


図 2.19 High-speed モードおよびソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_1)、Tj = 25 °C における標準 DCDC 効率 (%) と負荷電流 (A)

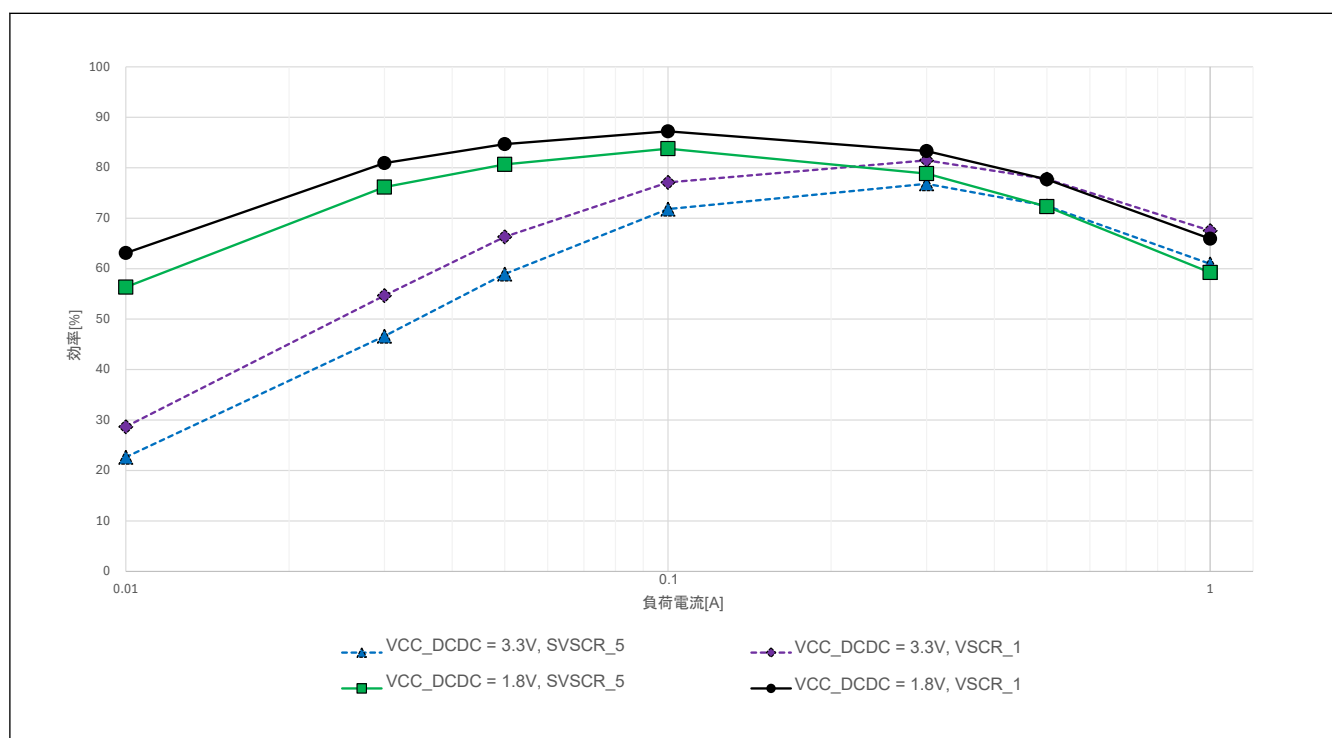


図 2.20 High-speed モードおよびソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_0)、Tj = 125 °C における標準 DCDC 効率 (%) と負荷電流 (A)

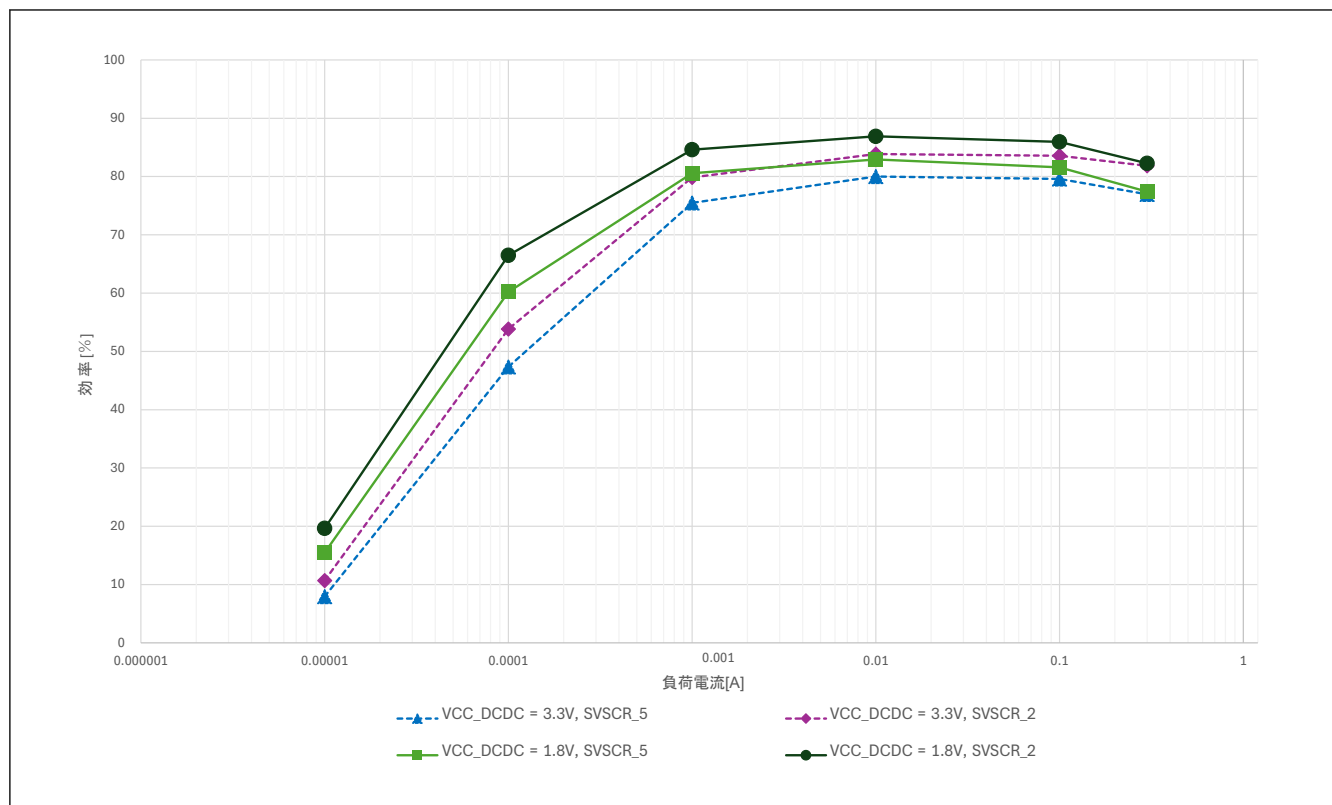


図 2.21 ソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_1)、Tj = 25 °C における標準 DCDC 効率 (%) と負荷電流 (A)

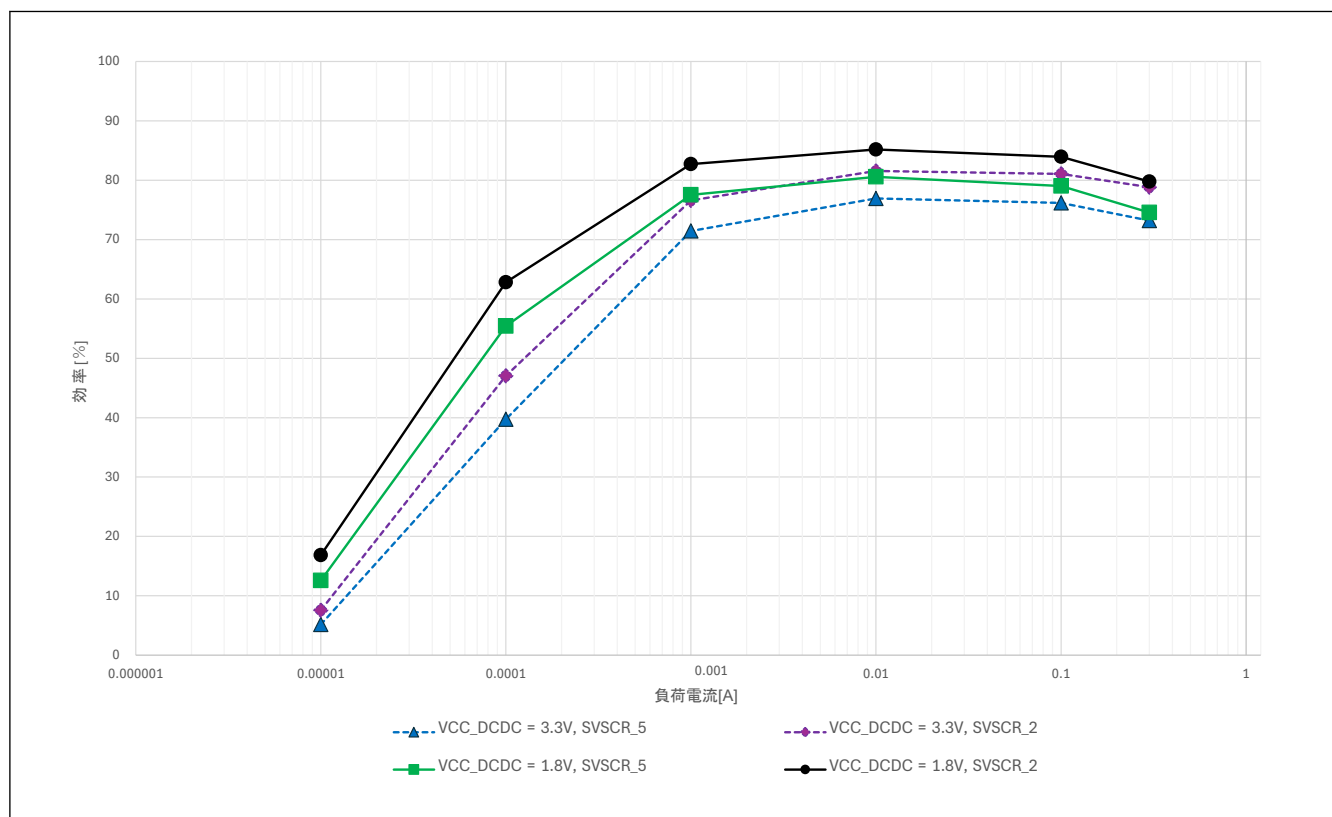


図 2.22 ソフトウェアスタンバイモード (SSCR1.SS2LP = SS2LP_1)、Tj = 125 °C、Tj = 125 °C における標準 DCDC 効率 (%) と負荷電流 (A)

2.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.40 パワーオン／オフ時の VCC 立ち上がり／立ち下がり勾配の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
パワーオン時の VCC 立ち上がり勾配(注1)	SrVCC	0.0084	—	20	ms/V	—
パワーオフ時の VCC 立ち下がり勾配	VBATT 機能は無効(注1)	SfVCC1	0.0084	—	ms/V	—
	VBATT 機能は有効	SfVCC2	1.0000	—		—

注 1. VCC 電圧が V_{POR1} を通過する場合

表 2.41 動作中の VCC リップル周波数特性と立ち上がり／立ち下がり勾配の特性

リップル電圧は、VCC 上限 (3.63 V) と下限 (1.62 V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。VCC 変動が $VCC \pm 10\%$ を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 2.23 $V_r(VCC) \leq VCC \times 0.2$
		—	—	1	MHz	図 2.23 $V_r(VCC) \leq VCC \times 0.08$
		—	—	10	MHz	図 2.23 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$ (注1)	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

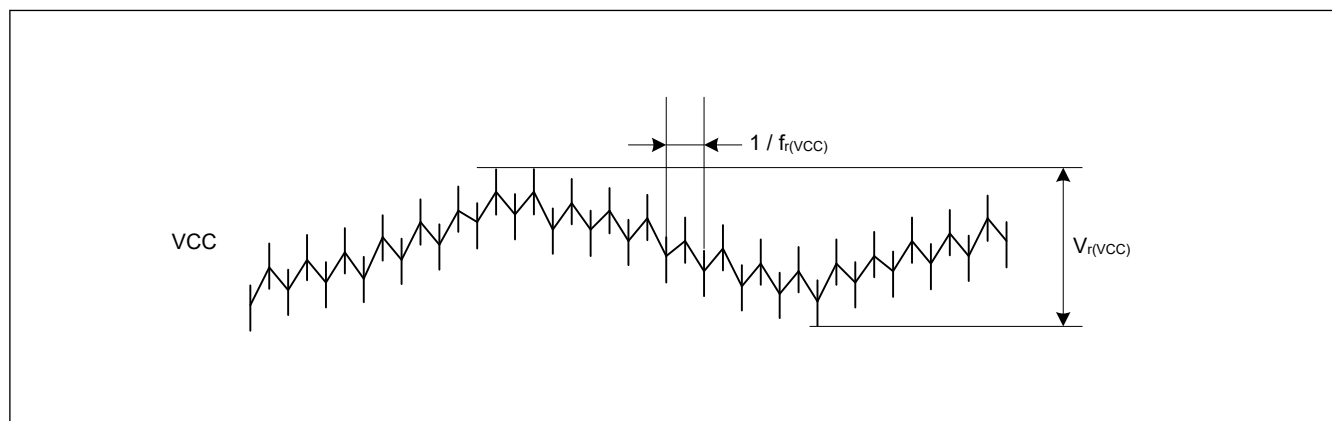
注 1. VCC 電圧が V_{POR1} を通過しない場合

図 2.23 リップル波形

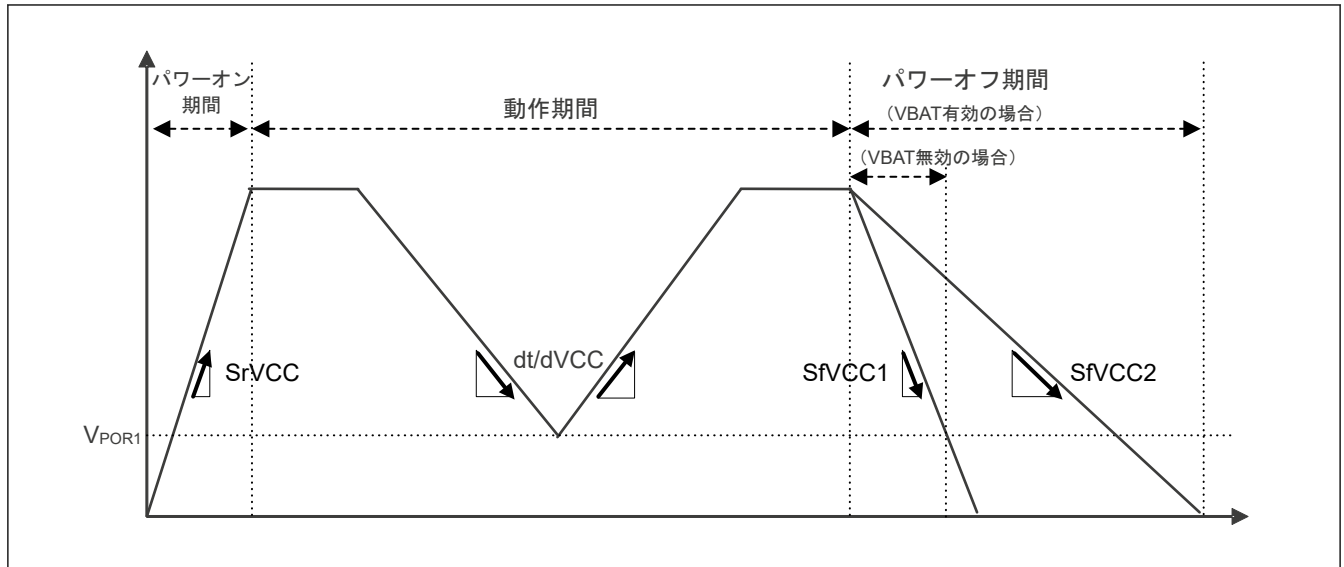


図 2.24 VCC 立ち上がり／立ち下がり波形

2.2.7 熱特性

ジャンクション温度 (T_j) の最大値は、「2.2.1. T_j/T_a の定義」の値を超えないようにしてください。

T_j は、以下のいずれかの式で計算されます。

- $T_j = T_a + \theta_{ja} \times \text{総消費電力}$
- $T_j = T_t + \Psi_{jt} \times \text{総消費電力}$
 - T_j : ジャンクション温度 (°C)
 - T_a : 周囲温度 (°C)
 - T_t : ケース上面中央部温度 (°C)
 - θ_{ja} : 「ジャンクション」 - 「周囲」間の熱抵抗 (°C/W)
 - Ψ_{jt} : 「ジャンクション」 - 「ケース上面中央部」間の熱抵抗 (°C/W)
- 総消費電力 = 電圧 $\times$ (リーク電流 + ダイナミック電流)
- IO のリーク電流 = $\Sigma (I_{OL} \times V_{OL}) / \text{電圧} + \Sigma (|I_{OH}| \times |V_{CC} - V_{OH}|) / \text{電圧}$
- IO のダイナミック電流 = $\Sigma IO (C_{in} + C_{load}) \times IO \text{ のスイッチング周波数} \times \text{電圧}$
 - C_{in} : 入力容量
 - C_{load} : 出力容量

θ_{ja} と Ψ_{jt} については、表 2.42 を参照してください。

表 2.42 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	176 ピン HLQFP (PLQP0176K?-A)	θ_{ja}	15	°C/W	JESD 51-2 および 51-7 準拠
	224 ピン BGA (PLBG0224J?-A)		21		JESD 51-2 および 51-9 準拠
	289 ピン BGA (PLBG0289J?-A)		20		
	176 ピン HLQFP (PLQP0176K?-A)	Ψ_{jt}	0.3	°C/W	JESD 51-2 および 51-7 準拠
	224 ピン BGA (PLBG0224J?-A)		0.3		JESD 51-2 および 51-9 準拠
	289 ピン BGA (PLBG0289J?-A)		0.3		

注 1. 値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

2.2.7.1 最大電流計算の手引き

表 2.43 各ユニットの消費電力 (DCDC モード) (1/3)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [μ A/MHz]	電流 [mA]	条件
リーク電流	アナログ	レギュレータおよびリーク (注1)	Tj = 95 °C	I_{CC}	—	—	2.51	—
			Tj = 105 °C		—	—	2.91	
			Tj = 115 °C		—	—	3.45	
			Tj = 125 °C		—	—	4.15	
			Tj = 95 °C	I_{CC_DCDC}	—	—	186	VCC_DCDC = 3.3 V、High-speed モード、PDCTRG2. PDDE = 0
			Tj = 105 °C		—	—	216	
			Tj = 115 °C		—	—	243	
			Tj = 125 °C		—	—	277	
			Tj = 95 °C		—	—	363	VCC_DCDC = 1.8 V、High-speed モード、PDCTRG2. PDDE = 0
			Tj = 105 °C		—	—	421	
			Tj = 115 °C		—	—	474	
			Tj = 125 °C		—	—	540	
			Tj = 95 °C	I_{DD}	—	—	477	VSCR_1 PDCTRG2. PDDE = 0
			Tj = 105 °C		—	—	553	
			Tj = 115 °C		—	—	622	
			Tj = 125 °C		—	—	709	

表 2.43 各ユニットの消費電力（DCDC モード）（2/3）

ダイナミック 電流/ リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [μA/MHz]	電流 [mA]	条件
ダイナミック 電流	CPU0	キャッシュあり動作	CoreMark	I _{DD}	1000	145	144	CPUCLK0 = 1000 MHz VSCR_1
	CPU1	キャッシュあり動作	CoreMark		250	166	41	CPUCLK1 = 250 MHz VSCR_1
	周辺ユニット	タイマ	RTC		62.5	1.229	0.077	VSCR_1
			GPT32 (14ch)(注2)		125	65.123	8.140	
			POEG (4 グループ) (注2)		62.5	1.539	0.096	
			PDG (4ch)(注2)		125	47.465	5.933	
			AGT (2ch)(注2)		62.5	1.518	0.095	
			ULPT (2ch)(注2)		62.5	2.373	0.148	
			WDT0		62.5	0.437	0.027	
			WDT1		62.5	0.446	0.028	
			IWDT		62.5	0.014	0.001	

表 2.43 各ユニットの消費電力 (DCDC モード) (3/3)

ダイナミック 電流/ リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [μA/MHz]	電流 [mA]	条件
ダイナミック 電流	周辺ユニット	通信インタフ ェース	ESWM	I _{DD}	125	294.026	36.753	VSCR_1
			ESC		125	14.095	1.762	
			USBFS		62.5	7.495	0.468	
			SCI (10ch) ^(注2)		125	32.336	4.042	
			IIC (3ch) ^(注2)		62.5	3.722	0.233	
			I3C		125	9.883	1.235	
			CANFD (2ch) ^(注2)		125	6.025	0.753	
			SPI (2ch) ^(注2)		125	11.36	1.420	
			OSPI (2ch) ^(注2)		62.5	100.8	6.300	
			SDHI (2ch) ^(注2)		62.5	9.858	0.616	
			DSMIF (2ch) ^(注2)		125	31.614	3.952	
		アナログ	ADC16H (2 ユニッ ト) ^(注2)		125	66.267	8.283	VSCR_1
			DAC12 (2ch) ^(注2)		62.5	0.325	0.020	
			TSN		62.5	0.115	0.007	
			ACMPHS (4ch) ^(注2)		62.5	0.173	0.011	
		イベントリン ク	ELC		62.5	5.075	0.317	VSCR_1
		セキュリティ	RSIP-E50D		125	302.444	37.806	VSCR_1
			DOTF (2ch) ^(注2)		62.5	131.817	8.239	
		データ処理	CRC		125	1.455	0.182	VSCR_1
			DOC		125	0.241	0.030	
		システム	CAC		62.5	0.946	0.059	VSCR_1
		DMA	DMAC0 (1ch あた り)		250	7.278	1.819	VSCR_1
			DMAC1 (1ch あた り)		250	6.858	1.715	VSCR_1
			DTC0		250	9.077	2.269	VSCR_1
			DTC1		250	8.716	2.179	
ダイナミック 電流	FSBL 動作			I _{DD}	250	—	81.1	FSBLCLK[2:0] = 111
					200	—	67.0	FSBLCLK[2:0] = 110
					150	—	51.7	FSBLCLK[2:0] = 101
					133	—	47.2	FSBLCLK[2:0] = 100

注 1. 「レギュレータ」、「リーク」はそれぞれ内部電圧レギュレータの電流と MCU のリーク電流を意味します。

T_J の温度に応じていずれかが選択されます。

注 2. チャンネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャンネル数、グループ数、またはユニット数で割ります。

表 2.44 各ユニットの消費電力（外部 VDD モード）(1/2)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [μ A/MHz]	電流 [mA]	条件
リーク電流	アナログ	レギュレータおよびリーク (注1)	T _J = 95 °C	I _{CC}	—	—	2.51	—
			T _J = 105 °C		—	—	2.91	
			T _J = 115 °C		—	—	3.45	
			T _J = 125 °C		—	—	4.15	
			T _J = 95 °C	I _{DD}	—	—	477	VCL = 電圧範囲 1、 PDCTRG2. PDDE = 0
			T _J = 105 °C		—	—	553	
			T _J = 115 °C		—	—	622	
			T _J = 125 °C		—	—	709	
ダイナミック電流	CPU0	キャッシュあり動作	CoreMark	I _{DD}	1000	145	144	CPUCLK0 = 1000 MHz、VCL = 電圧範囲 1
	CPU1	キャッシュあり動作	CoreMark		250	166	41	CPUCLK1 = 250 MHz、VCL = 電圧範囲 1
ダイナミック電流	周辺ユニット	タイマ	RTC	I _{DD}	62.5	1.229	0.077	VCL = 電圧範囲 1
			GPT32 (14ch)(注2)		125	65.123	8.140	
			POEG (4 グループ)(注2)		62.5	1.539	0.096	
			PDG (4ch)(注2)		125	47.465	5.933	
			AGT (2ch)(注2)		62.5	1.518	0.095	
			ULPT (2ch)(注2)		62.5	2.373	0.148	
			WDT0		62.5	0.437	0.027	
			WDT1		62.5	0.446	0.028	
			IWDT		62.5	0.014	0.001	
		通信インターフェース	ESWM	I _{DD}	125	294.026	36.753	VCL = 電圧範囲 1
			ESC		125	14.095	1.762	
			USBFS		62.5	7.495	0.468	
			SCI (10ch)(注2)		125	32.336	4.042	
			IIC (3ch)(注2)		62.5	3.722	0.233	
			I3C		125	9.883	1.235	
			CANFD (2ch)(注2)		125	6.025	0.753	
			SPI (2ch)(注2)		125	11.36	1.420	
			OSPI (2ch)(注2)		62.5	100.8	6.300	
			SDHI (2ch)(注2)		62.5	9.858	0.616	
			DSMIF (2ch)(注2)		125	31.614	3.952	

表 2.44 各ユニットの消費電力（外部 VDD モード）(2/2)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [μA/MHz]	電流 [mA]	条件
ダイナミック電流	周辺ユニット	アナログ	ADC16H (2 ユニット) (注2)	I _{DD}	125	66.267	8.283	VCL = 電圧範囲 1
			DAC12 (2ch) (注2)		62.5	0.325	0.020	
			TSN		62.5	0.115	0.007	
			ACMPHS (4ch) (注2)		62.5	0.173	0.011	
		イベントリンク	ELC	I _{DD}	62.5	5.075	0.317	VCL = 電圧範囲 1
		セキュリティ	RSIP-E50D	I _{DD}	125	302.444	37.806	VCL = 電圧範囲 1
			DOTF (2ch) (注2)		62.5	131.817	8.239	
		データ処理	CRC	I _{DD}	125	1.455	0.182	VCL = 電圧範囲 1
			DOC		125	0.241	0.030	
		システム	CAC	I _{DD}	62.5	0.946	0.059	VCL = 電圧範囲 1
		DMA	DMAC0 (1ch あたり)	I _{DD}	250	7.278	1.819	VCL = 電圧範囲 1
			DMAC1 (1ch あたり)		250	6.858	1.715	
			DTC0		250	9.077	2.269	
			DTC1		250	8.716	2.179	
ダイナミック電流	FSBL 動作			I _{DD}	250	—	79.9	FSBLCLK[2:0] = 111
					200	—	66.1	FSBLCLK[2:0] = 110
					150	—	51.0	FSBLCLK[2:0] = 101
					133	—	46.6	FSBLCLK[2:0] = 100

注 1. 「レギュレータ」、「リーク」はそれぞれ内部電圧レギュレータの電流と MCU のリーク電流を意味します。

T_J の温度に応じていずれかが選択されます。

注 2. チャンネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャンネル数、グループ数、またはユニット数で割ります。

表 2.45 各ユニットの動作の概要 (1/2)

周辺機能	動作の概要
RTC	RTC が LOCO で動作しています。
GPT	動作モードが、のこぎり波 PWM モードに設定されています。GPT が PCLKD で動作しています。
POEG	モジュールストップビットのクリアのみを行います。
PDG	PDG が GTCLK 周期の 1/128 倍の遅延を適用しています。
AGT	AGT が PCLKB で動作しています。
ULPT	ULPT が LOCO で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
ESWM	通信モードが 1 Gbps、MAC ループバックに設定されています。 gPTP タイマが有効です。 ESWM が 2 つのポートで連続送信と連続受信を同時に実行しています。
ESC	ESC が EtherCAT ネットワークから USERRAM にアクセスするために動作しています。
USBFS	転送タイプがバルク転送に設定されています。USBFS がフルスピード転送 (12 Mbps) を使用して動作しています。

表 2.45 各ユニットの動作の概要 (2/2)

周辺機能	動作の概要
SCI	SCI がクロック同期式モードでデータを送信しています。
IIC	通信フォーマットは I2C バスフォーマットになります。IIC がマスタモードでデータを送信しています。
I3C	通信フォーマットは I3C SDR フォーマットになります。I3C がマスタモードでデータを送信しています (12.5 MHz)。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作 (4 線式) に設定されています。 SPI マスタ/スレーブモードがマスタモードに設定されています。 SPI が 32 ビット幅のデータを送信しています。
OSPI	OSPI が HyperRAM にメモリ書き込みコマンドを発行しています。
SDHI	転送バスモードがワイドバスモード (8 ビット) に設定されています。SDHI が CMD24 (シングルブロックライト) を発行しています。
DSMIF	DSMIF がキャプチャトリガ A で 3 チャンネルの現在のデータをキャプチャしています。
ADC16H	分解能は 16 ビット精度に設定されます。 変換データ演算コントロール B レジスタは 16 倍の平均モードに設定されます。 ADC がアナログ入力を連続スキャンモードで変換しています。 ADC が ADCCLK で動作しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
TSN	TSN が動作しています。
ACMPHS	ACMPHS が動作しています。
ELC	モジュールストップビットのクリアのみを行います。
RSIP-E50D	RSIP はセルフテスト動作を実行しています。
DOTF	DOTF が AES を使用して復号処理を実行しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
DOC	DOC がデータ比較モードで動作しています。
CAC	測定対象クロックが PCLKB に設定されています。測定基準クロックが PCLKB に設定されています。 CAC がクロック周波数精度を測定しています。
DMAC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。 DMAC が SRAM0 から SRAM0 にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。 DTC が SRAM0 から SRAM0 にデータを転送しています。

2.2.7.2 Tj の計算例

前提事項：

- パッケージ 289 ピン BGA : $\theta_{ja} = 20\text{ }^{\circ}\text{C/W}$
- $T_a = 65\text{ }^{\circ}\text{C}$
- $I_{CC} + I_{CC_DCDC} = 320\text{ mA}$
- $V_{CC} = 3.5\text{ V}$ ($V_{CC} = V_{CC2} = AV_{CC0} = V_{CC_USB}$)
- $I_{OH} = 1\text{ mA}$ 、 $V_{OH} = V_{CC} - 0.5\text{ V}$ 、12 出力
- $I_{OL} = 20\text{ mA}$ 、 $V_{OL} = 1.0\text{ V}$ 、8 出力
- $I_{OL} = 1\text{ mA}$ 、 $V_{OL} = 0.5\text{ V}$ 、12 出力
- $C_{in} = 8\text{ pF}$ 、32 ピン、入力周波数 = 10 MHz
- $C_{load} = 30\text{ pF}$ 、32 ピン、出力周波数 = 10 MHz

IO のスタティック電流 = $\Sigma (V_{OL} \times I_{OL}) / \text{電圧} + \Sigma ((V_{CC} - V_{OH}) \times I_{OH}) / \text{電圧}$

$$= (20\text{ mA} \times 1\text{ V}) \times 8 / 3.5\text{ V} + (1\text{ mA} \times 0.5\text{ V}) \times 12 / 3.5\text{ V} + ((V_{CC} - (V_{CC} - 0.5\text{ V})) \times 1\text{ mA}) \times 12 / 3.5\text{ V}$$

$$= 45.7\text{ mA} + 1.71\text{ mA} + 1.71\text{ mA}$$

$$= 49.1 \text{ mA}$$

IO のダイナミック電流 = $\Sigma \text{ IO (Cin + Cload)} \times \text{IO のスイッチング周波数} \times \text{電圧}$

$$= ((8 \text{ pF} \times 32) \times 10 \text{ MHz} + (30 \text{ pF} \times 32) \times 10 \text{ MHz}) \times 3.5 \text{ V}$$

$$= 42.6 \text{ mA}$$

総消費電力 = 電圧 $\times$ (スタティック電流 + ダイナミック電流)

$$= (320 \text{ mA} \times 3.5 \text{ V}) + (49.1 \text{ mA} + 42.6 \text{ mA}) \times 3.5 \text{ V}$$

$$= 1441 \text{ mW (1.441 W)}$$

$T_j = T_a + \theta_{ja} \times \text{総消費電力}$

$$= 65 \text{ }^\circ\text{C} + 20 \text{ }^\circ\text{C/W} \times 1.441 \text{ W}$$

$$= 93.82 \text{ }^\circ\text{C}$$

2.3 AC 特性

2.3.1 周波数

表 2.46 High-speed モードにおける動作周波数の値 (1/8)

項目		シンボル	Min	Typ	Max	単位
動作周波数	PLL1 出力クロック P (PLL1P)	BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	f	—	1000	MHz
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	800	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	600	
		BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	600	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	600	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	600	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)	—	—	600	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)	—	—	600	
	その他の PLL 出力クロック (PLL1Q, PLL1R, PLL2P, PLL2Q, PLL2R)	BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	1200	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	1200	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	1200	
		BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	1200	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	1200	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	1200	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)	—	—	1200	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)	—	—	1200	

表 2.46 High-speed モードにおける動作周波数の値 (2/8)

項目		シンボル	Min	Typ	Max	単位
動作周波数	CPU0 クロック (CPUCLK0)	BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	f	—	1000	MHz
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	800	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	600	
		BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	600	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	600	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	600	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)	—	—	600	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)	—	—	600	
	CPU1 クロック (CPUCLK1)	BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	250	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	200	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	200	
		BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	150	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	150	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	150	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)	—	—	200	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)	—	—	150	

表 2.46 High-speed モードにおける動作周波数の値 (3/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)	BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	f	—	—	250	MHz
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	200	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	200	
		BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)		—	—	200	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)		—	—	150	

表 2.46 High-speed モードにおける動作周波数の値 (4/8)

項目		シンボル	Min	Typ	Max	単位
動作周波数	MRAM バスクロック (MRICLK)	BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	f	—	250	MHz
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	200	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	200	
		BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	150	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	150	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	150	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)	—	—	200	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)	—	—	150	
	MRAM クロック (MRPCLK)	BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	125	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	100	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	—	—	100	
		BGA パッケージ、 $0^{\circ}\text{C} \leq T_j \leq 95^{\circ}\text{C}$ (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	75	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$ (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	75	
		BGA パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)	—	—	75	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_1 (DCDC モード)	—	—	100	
		HLQFP パッケージ、 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ (製品グループ C)、VSCR_2 (DCDC モード)	—	—	75	

表 2.46 High-speed モードにおける動作周波数の値 (5/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	周辺モジュールクロック (PCLKA)	BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	f	—	—	125	MHz
		BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	100	
		BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	100	
		BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	75	
		BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	75	
		BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	75	
		HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)		—	—	100	
		HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)		—	—	75	
	周辺モジュールクロック (PCLKB)	BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	62.5	
		BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	50	
		BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	50	
		BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	37.5	
		BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	37.5	
		BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	37.5	
		HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)		—	—	50	
		HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)		—	—	37.5	

表 2.46 High-speed モードにおける動作周波数の値 (6/8)

項目			シンボル	Min	Typ	Max	単位
動作周波数	周辺モジュールクロック (PCLKD)	BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	f	—	—	250	MHz
		BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	200	
		BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	200	
		BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)		—	—	200	
		HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)		—	—	150	
	周辺モジュールクロック (PCLKE)	BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	250	
		BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	200	
		BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	200	
		BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	150	
		HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)		—	—	200	
		HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)		—	—	150	

表 2.46 High-speed モードにおける動作周波数の値 (7/8)

項目				シンボル	Min	Typ	Max	単位
動作周波数	外部バスクロック (BCLK)	VCC ≥ 2.7 V	BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)	f	—	—	125	MHz
			BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	100	
			BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)、電圧範囲 1 (外部 VDD モード)		—	—	100	
			BGA パッケージ、0 °C ≤ Tj ≤ 95 °C (製品グループ A)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	75	
			BGA パッケージ、−40 °C ≤ Tj ≤ 105 °C (製品グループ B)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	75	
			BGA パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)、電圧範囲 2 (外部 VDD モード)		—	—	75	
			HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_1 (DCDC モード)		—	—	100	
			HLQFP パッケージ、−40 °C ≤ Tj ≤ 125 °C (製品グループ C)、VSCR_2 (DCDC モード)		—	—	75	
		VCC ≥ 1.62 V			—	—	60	
	EBCLK 端子出力	VCC ≥ 2.7 V			—	—	60	
		VCC ≥ 1.62 V			—	—	30	
	SDCLK 端子出力	VCC ≥ 3.0 V			—	—	133	

表 2.46 High-speed モードにおける動作周波数の値 (8/8)

項目		シンボル	Min	Typ	Max	単位	
動作周波数	SCI クロック (SCICLK)		f	—	—	120	MHz
	SPI クロック (SPICLK)			—	—	333	
	Octal-SPI クロック (OCTACLK)			—	—	333	
	CANFD コアクロック (CANFDCLK)			—	—	80	
	ADC クロック (ADCCLK)			25	—	120	
	GPT クロック (GPTCLK)			—(注1)	—	300	
	USB クロック (USBCLK)			—	—	48	
	I3C クロック (I3CCLK)			—	—	200	
	非同期外部バスクロック (BCLKA)			—	—	133	
	EtherSW クロック (ESWCLK)	BGA パッケージ		—	—	250	
		HLQFP パッケージ		—	—	125	
	EtherSW-PHY クロック (ESWPHYCLK)			—	—	500	
	EtherCAT クロック (ESCCLK)			—	—	100	
	EtherCAT-PHY クロック (ESCPHYCLK)			—	—	50	
	DSMIF クロック (DSMIFCLK)			—	—	300	

注 1. A/D 変換クロックに GPTCLK を使用するときは、GPTCLK の周波数は 25 MHz 以上にしてください。

2.3.2 クロックタイミング

表 2.47 サブクロック発振器以外のクロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EBCLK 端子出力サイクル時間	t_{Bcyc}	VCC = 2.70 V 以上	16.6	—	—	図 2.25
		VCC = 1.62 V 以上	33.3	—	—	
EBCLK 端子出力 High レベルパルス幅	t_{CH}	VCC = 2.70 V 以上	3.3	—	—	
		VCC = 1.62 V 以上	9.6	—	—	
EBCLK 端子出力 Low レベルパルス幅	t_{CL}	VCC = 2.70 V 以上	3.3	—	—	
		VCC = 1.62 V 以上	9.6	—	—	
EBCLK 端子出力立ち上がり時間	t_{Cr}	VCC = 2.70 V 以上	—	—	5.0	
		VCC = 1.62 V 以上	—	—	7.0	
EBCLK 端子出力立ち下がり時間	t_{Cf}	VCC = 2.70 V 以上	—	—	5.0	
		VCC = 1.62 V 以上	—	—	7.0	
SDCLK 端子出力サイクル時間	t_{SDcyc}	7.52	—	—	ns	図 2.26
SDCLK 端子出力 High レベルパルス幅	t_{CH}	1.0	—	—	ns	
SDCLK 端子出力 Low レベルパルス幅	t_{CL}	1.0	—	—	ns	
SDCLK 端子出力立ち上がり時間	t_{Cr}	—	—	2.7	ns	
SDCLK 端子出力立ち下がり時間	t_{Cf}	—	—	2.7	ns	
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	20.80	—	—	ns	
EXTAL 外部クロック入力 High レベルパルス幅	t_{EXH}	5.30	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{EXL}	5.30	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	3.0	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	3.0	ns	
メインクロック発振器周波数	f_{MAIN}	8	—	48	MHz	—

表 2.47 サブクロック発振器以外のクロックタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
メインクロック発振安定待機時間（水晶）（注1）		t _{MAINOSCWT}	—	—	—（注1）	ms	図 2.27
LOCO クロック発振周波数		f _{LOCO}	29.4912	32.768	36.0448	kHz	—
LOCO クロック発振安定待機時間		t _{LOCOWT}	—	—	26.0	μs	図 2.28
MOCO クロック発振周波数		F _{MOCO}	7.2	8.0	8.8	MHz	—
MOCO クロック発振安定待機時間		t _{MOCOWT}	—	—	3.5	μs	—
HOCO クロック発振器発振周波数	FLL なし	f _{HOCO16}	15.776	16.000	16.224	MHz	-20 ≤ Tj ≤ 105 °C
		f _{HOCO18}	17.748	18.000	18.252		
		f _{HOCO20}	19.720	20.000	20.280		
		f _{HOCO32}	31.552	32.000	32.448		
		f _{HOCO48}	47.328	48.000	48.672		
		f _{HOCO16}	15.712	16.000	16.288		-40 ≤ Tj ≤ 125 °C
		f _{HOCO18}	17.676	18.000	18.324		
		f _{HOCO20}	19.640	20.000	20.360		
		f _{HOCO32}	31.424	32.000	32.576		
		f _{HOCO48}	47.136	48.000	48.864		
	FLL あり	f _{HOCO16}	15.960	16.000	16.040	-40 ≤ Tj ≤ 125 °C サブクロック周波数精度は、±50 ppm です。	
		f _{HOCO18}	17.955	18.000	18.045		
		f _{HOCO20}	19.950	20.000	20.050		
		f _{HOCO32}	31.920	32.000	32.080		
		f _{HOCO48}	47.880	48.000	48.120		
HOCO クロック発振安定待機時間（注2）		t _{HOCOWT}	—	—	15.0	μs	—
HOCO 停止幅時間		t _{HOCOSTP}	1	—	—	μs	図 2.31
HOCO ピリオドジッタ		—	-3	—	3	ps	—
FLL 安定待機時間		t _{FLLWT}	—	—	1.92	ms	—
PLL1/PLL2 クロック周波数		f _{PLL}	60	—	1200	MHz	—
PLL1/PLL2 クロック発振安定待機時間		t _{PLLWT}	—	—	50	μs	図 2.29
PLL1/PLL2 ピリオドジッタ		—	—	±52	—	ps	—
PLL1/PLL2 ロングタームジッタ		—	—	±300	—	ps	期間：1 μs、10 μs

注 1. メインクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。

注 2. リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

表 2.48 サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	—	32.768	—	kHz	—
サブクロック発振安定待機時間	t_{SUBOSCWT}	—	—	—(注1)	s	図 2.30

注 1. サブクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。サブクロック動作を開始するために SOSCCR.SOSTP ビット設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。示された時間の 2 倍を推奨します。

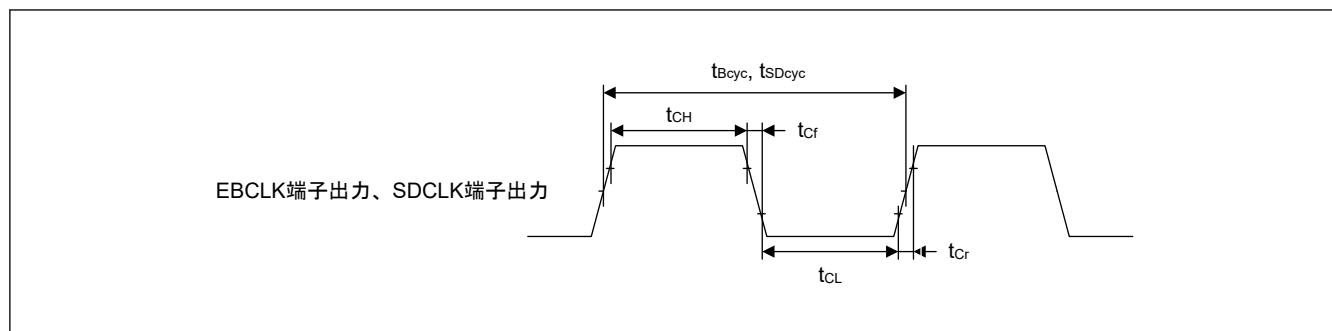


図 2.25 EBCLK および SDCLK の出力タイミング

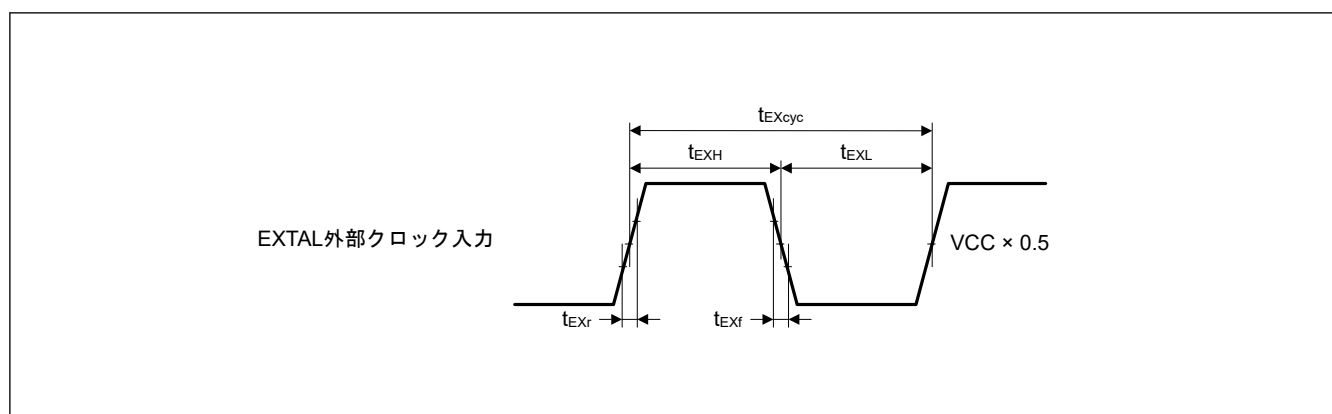


図 2.26 EXTAL 外部クロック入力タイミング

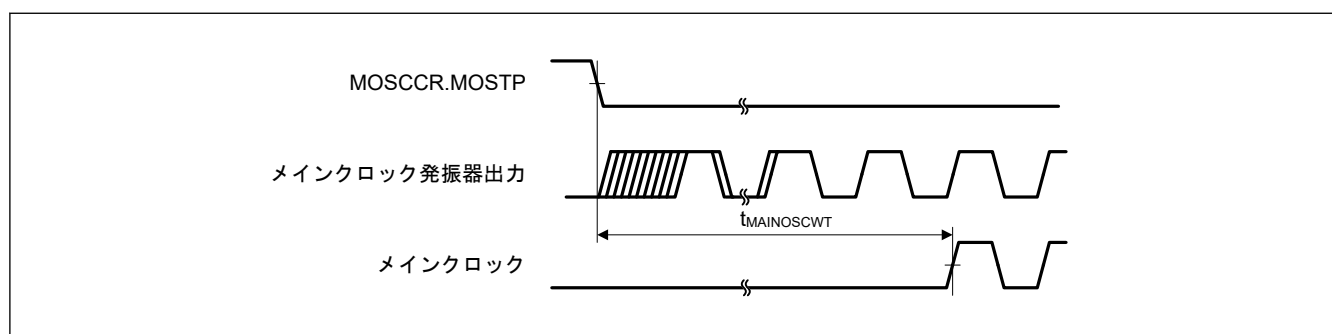


図 2.27 メインクロック発振開始タイミング

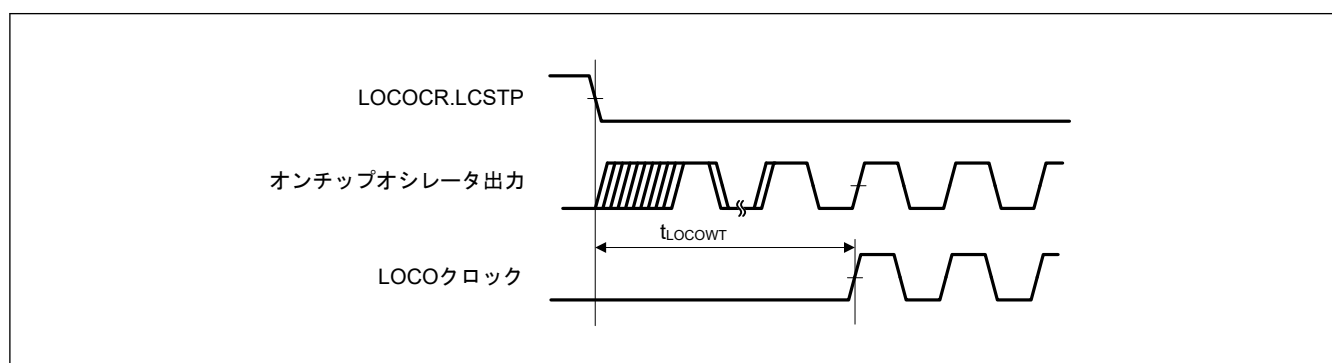


図 2.28 LOCO クロック発振開始タイミング

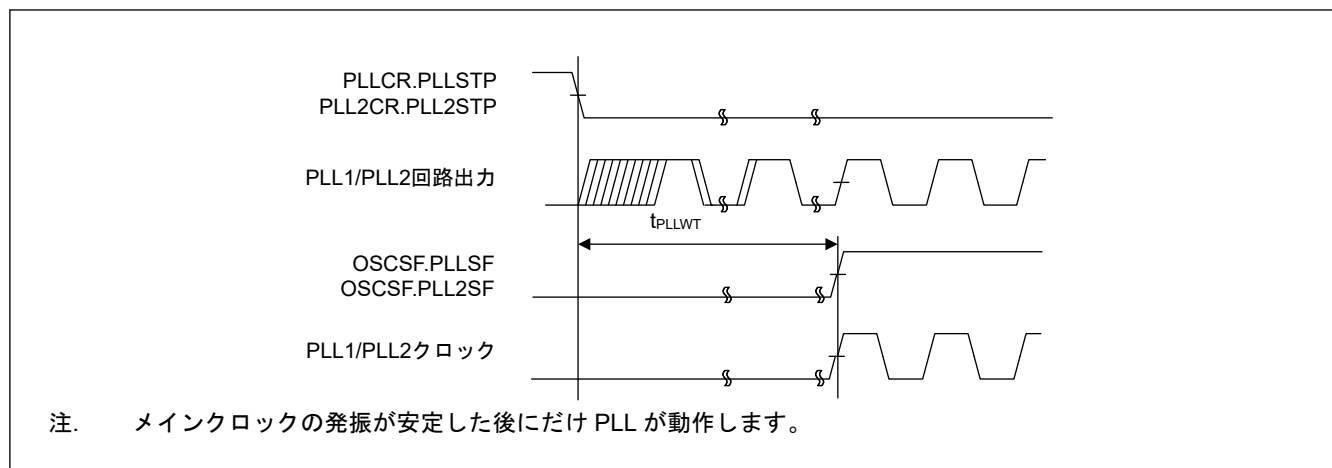


図 2.29 PLL1/PLL2 クロック発振開始タイミング

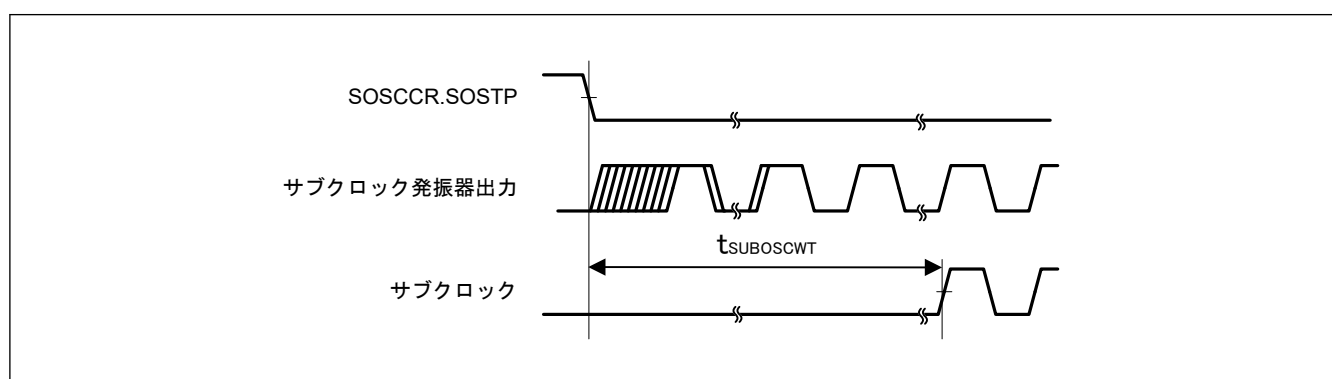


図 2.30 サブクロック発振開始タイミング

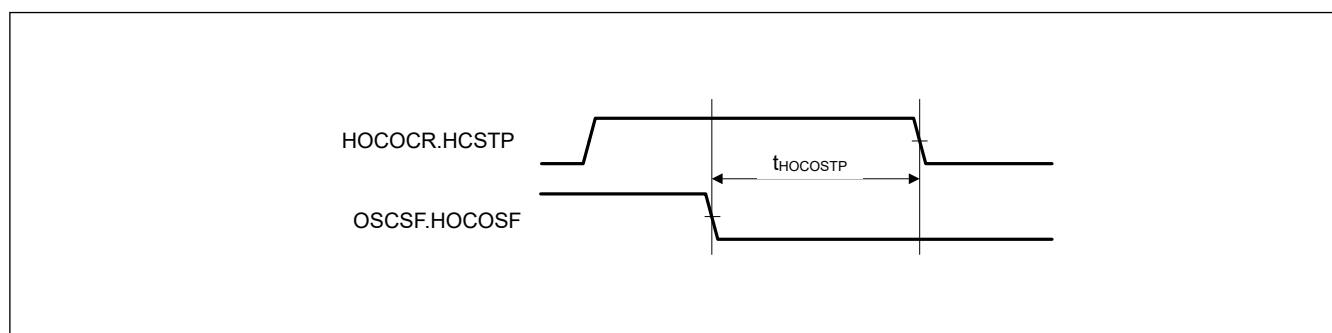


図 2.31 HOCO 停止幅時間

2.3.3 リセットタイミング

表 2.49 リセットタイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	パワーオン	—	t _{RESWP}	2.4	—	—	ms	図 2.32 図 2.33
	ディープソフトウェアスタンバイモード 1	DPSBYCR.DCSSMODE = 00	t _{RESWD}	0.43	—	—	ms	
		DPSBYCR.DCSSMODE = 01		0.51	—	—		
		DPSBYCR.DCSSMODE = 10		0.67	—	—		
		DPSBYCR.DCSSMODE = 11		1.00	—	—		
	ディープソフトウェアスタンバイモード 2	DPSBYCR.DCSSMODE = 00		0.43	—	—		
		DPSBYCR.DCSSMODE = 01		0.51	—	—		
		DPSBYCR.DCSSMODE = 10		0.67	—	—		
		DPSBYCR.DCSSMODE = 11		1.00	—	—		
	ディープソフトウェアスタンバイモード 3	DPSBYCR.DCSSMODE = 00		0.60	—	—		
		DPSBYCR.DCSSMODE = 01		0.68	—	—		
		DPSBYCR.DCSSMODE = 10		0.84	—	—		
		DPSBYCR.DCSSMODE = 11		1.20	—	—		
	ソフトウェアスタンバイモード		t _{RESWS}	0.55	—	—	ms	
	CPU ディープスリープモード (Subosc 動作)		t _{RESWSODS}	0.16	—	—	ms	
	CPU ディープスリープモード (SOSC 動作以外)		t _{RESWDS}	0.04	—	—	ms	
	SOSC 動作	PGSCR.PGS = 1	t _{RESWSO}	0.27	—	—	ms	
PGSCR.PGS = 0		0.30		—	—			
上記以外	PGSCR.PGS = 1	t _{RESW}	0.15	—	—	ms		
	PGSCR.PGS = 0		0.18	—	—			
RES 解除後の待機時間			t _{RESWT}	—	78.7	79.1	μs	図 2.32
内部リセット (IWDТ リセット、WDT0/1 リセット、CPU0/1 ロックアップリセット、バスエラーリセット、共通メモリエラーリセット、ソフトウェアリセット、ローカルメモリ 0/1 エラーリセット、温度監視リセット) 解除後の待機時間			t _{RESW2}	—	78.7	79.1	μs	—

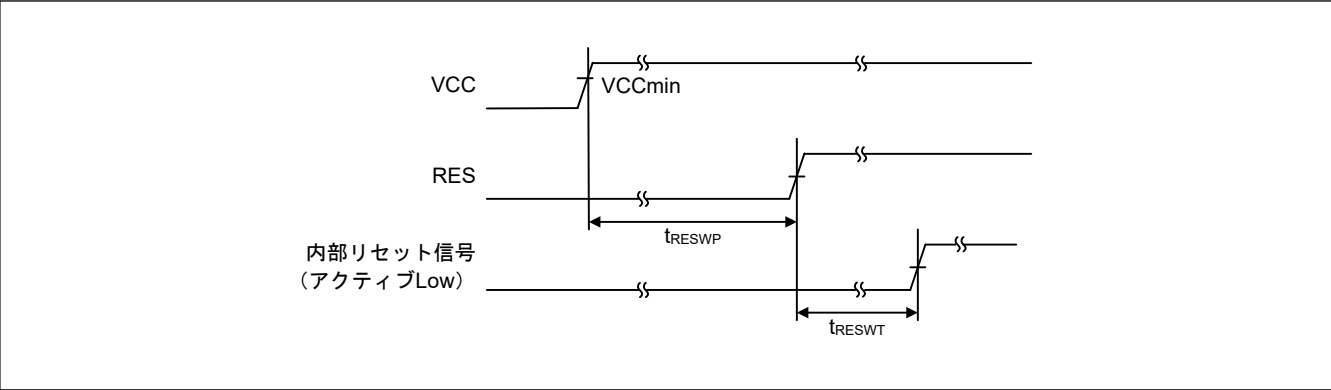


図 2.32 VCC が V_{POR} 電圧しきい値を超える条件下での RES 端子入力タイミング

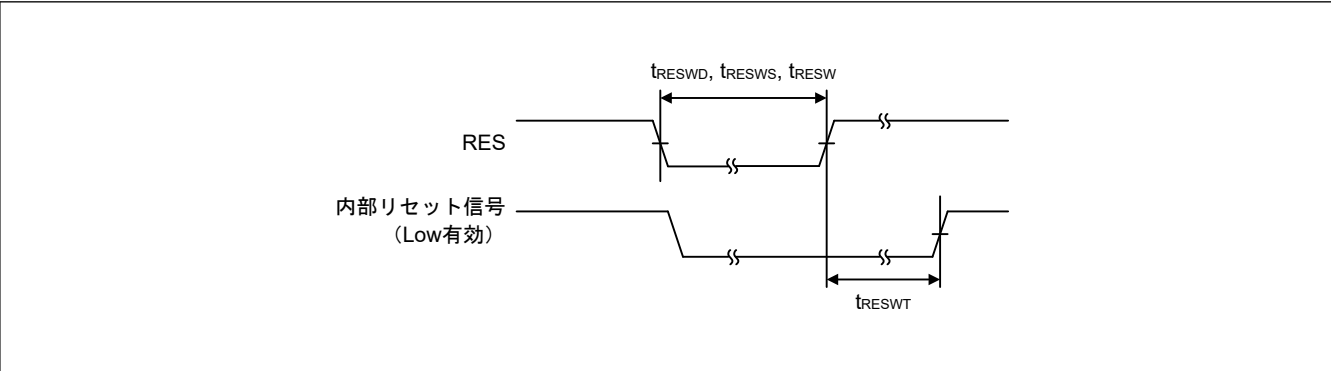


図 2.33 リセット入力タイミング

2.3.4 ウェイクアップタイミング

表 2.50 低消費電力モードからの復帰タイミング (1/3)

項目		高速復帰機能 (注9)	シンボル	Min	Typ	Max	単位	測定条件
CPU ディープ スリープモ ドからの復帰 時間	CPU0 ディープスリープモード	—	t_{DSLp} (注11)	—	6.14	9.45	μs	—
	CPU1 ディープスリープモード	—		—	7.71	15.66	μs	

表 2.50 低消費電力モードからの復帰タイミング (2/3)

項目			高速復帰機能 (注9)	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェア スタンバイモ ードからの復 帰時間(注12)	メインクロック 発振器に水晶振 動子を接続	システムクロッ クソースはメイ ンクロック発振 器(注1) MOSCSCR.MO SCSOKP = 0	有効	t_{SBYMC} (注10)	—	2.09	2.14	ms	図 2.34 全発振器の分 周比は 1 です。
		システムクロッ クソースはメイ ンクロック発振 器(注1) MOSCSCR.MO SCSOKP = 1	有効		—	44.9	94.6	μs	
		システムクロッ クソースはメイ ンクロック発振 器を使用した PLL1P(注2) MOSCSCR.MO SCSOKP = 0	有効	t_{SBYPC} (注10)	—	2.21	2.27	ms	
		システムクロッ クソースはメイ ンクロック発振 器を使用した PLL1P(注2) MOSCSCR.MO SCSOKP = 1	有効		—	135	197	μs	
	メインクロック 発振器に外部ク ロックを入力	システムクロッ クソースはメイ ンクロック発振 器(注3)	有効	t_{SBYEX} (注10)	—	44.9	94.6	μs	
		システムクロッ クソースはメイ ンクロック発振 器を使用した PLL1P(注4)	有効	t_{SBYPE} (注10)	—	135	197		
	システムクロックソースはサブク ロック発振器(注5)		有効	t_{SBYSC} (注10)	—	480	481	μs	
	システムクロックソースは HOCO クロック発振器(注6)		有効	t_{SBYHO} (注10)	—	46.3	96.0	μs	
	システムクロックソースは HOCO を使用した PLL1P(注7)		有効	t_{SBYPH} (注10)	—	146	208	μs	
	システムクロックソースは MOCO クロック発振器(注8)		有効	t_{SBYMO} (注10)	—	44.6	87.5	μs	

表 2.50 低消費電力モードからの復帰タイミング (3/3)

項目			高速復帰機能 (注9)	シンボル	Min	Typ	Max	単位	測定条件
ディープソフト ウェアスタン バイモード からの復帰時 間	ディープソフト ウェアスタンバ イモード 1	DPSBYCR.DC SSMODE[1:0] = 00	—	t_{DSBY}	—	216	266	μs	図 2.35
		DPSBYCR.DC SSMODE[1:0] = 01	—		—	296	346	μs	
		DPSBYCR.DC SSMODE[1:0] = 10	—		—	456	506	μs	
		DPSBYCR.DC SSMODE[1:0] = 11	—		—	776	826	μs	
	ディープソフト ウェアスタンバ イモード 2	DPSBYCR.DC SSMODE[1:0] = 00	—		—	216	266	μs	
		DPSBYCR.DC SSMODE[1:0] = 01	—		—	296	346	μs	
		DPSBYCR.DC SSMODE[1:0] = 10	—		—	456	506	μs	
		DPSBYCR.DC SSMODE[1:0] = 11	—		—	776	826	μs	
	ディープソフト ウェアスタンバ イモード 3	DPSBYCR.DC SSMODE[1:0] = 00	—		—	403	524	μs	
		DPSBYCR.DC SSMODE[1:0] = 01	—		—	483	604	μs	
		DPSBYCR.DC SSMODE[1:0] = 10	—		—	643	764	μs	
		DPSBYCR.DC SSMODE[1:0] = 11	—		—	963	1084	μs	
ディープソフトウェアスタンバイモード解除後待 機時間			—	t_{DSBYWT}	22.2	—	33.6	μs	

- 注 1. 水晶の周波数が 48 MHz (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05) で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
- 注 2. PLL1P の周波数が 1 GHz (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05) で、かつ内部クロックの分周設定のうち最も大きな値が 16 の場合
- 注 3. 外部クロックの周波数が 48 MHz (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00) で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
- 注 4. PLL1P の周波数が 1 GHz (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00) で、かつ内部クロックの分周設定のうち最も大きな値が 16 の場合
- 注 5. サブクロック発振器の周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
- 注 6. HOCO 周波数が 20 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
- 注 7. PLL 周波数が 1 GHz で、かつ内部クロックの分周設定のうち最も大きな値が 16 の場合
- 注 8. MOCO 周波数が 8 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
- 注 9. 詳細は、SSCR1.SS2FR ビットを参照してください。
- 注 10. 復帰時間は次の式により計算できます: $t_{Common} + \max(t_{OSCSTB}, t_{PG1}, t_{PGCK}) + \max(t_{PG2}, t_{LPW})$ 。式の各変数は下表の値および式により求めることができます。表中の変数 n については、内部クロック (CPUCLK0, CPUCLK1, NPUCLK, ICLK, MRCLK, MRPCLK, PCLKm, FCLK, BCLK, EBCLK) の分周設定 (m = A~E) のうち最も大きな値が選択されます。
下表の t_{OSCSTB} は、各発振器が有効になっている時間を意味します。複数の発振器が有効になっているときの t_{OSCSTB} は、有効になっている発振器のうちで最長の t_{OSCSTB} となります。
- 注 11. ICLK 周波数は 250 MHz です。この復帰時間は t_{PG2} に対応します。
- 注 12. Ccyc が 27 の場合。表 2.52 を参照してください。

表 2.51 復帰時間を構成する要素

モード	ウェイクアップ時間	発振保持	高速復帰機能	Typ						Max						単位
				tCommo n	tOSCSTB (注1)	tPG1	tPGCK	tPG2	tLPW	tCommo n	tOSCSTB (注1)	tPG1	tPGCK	tPG2	tLPW	
ソフトウェアスタンバイモード	tSBYMC	MOSC 無効	有効	Ccyc (注2)/ fMOCO + 2/fiCLK	tMAINOS CWT	tOSC STB/ fMOCO O + 208/ fMOCO O + 11.6	(10.5 + 2.5n)/ fMOCO + 2.5/ fSRCCL K + 2/ fiCLK	18/ fMOCO + 9/ fiCLK	2/fiCLK + 2n/ fMOSC + 2/ fiCLK	Ccyc (注2)/ fMOCO + 2/fiCLK	tMAINOS CWT + 11/0.23 6	tOSC STB/ fMOCO O + 208/ fMOCO O + 51.0	(10.5 + 2.5n)/ fMOCO + 2.5/ fSRCCL K + 2/ fiCLK	18/ fMOCO + 9/ fiCLK	2/fiCLK + 2n/ fMOSC + 2/ fiCLK	μs
		MOSC 有効	有効		3/0.262						14/0.23 6					μs
	tSBYPC	MOSC 無効	有効	tMAINOS CWT +31/0.2 62	34/0.26 2				2/fiCLK + 2n/ fPLL + 2/fiCLK	tMAINOS CWT + 42/0.23 6	(14 + 31)/ 0.236				2/fiCLK + 2n/ fPLL + 2/fiCLK	μs
		MOSC 有効	有効													μs
	tSBYEX	—	有効		3/0.262				2/fiCLK + 2n/ fMOSC + 2/ fiCLK	14/0.23 6					2/fiCLK + 2n/ fMOSC + 2/ fiCLK	μs
	tSBYPE	—	有効		34/0.26 2				2/fiCLK + 2n/ fPLL + 2/fiCLK	45/0.23 6					2/fiCLK + 2n/ fPLL + 2/fiCLK	μs
	tSBYSC	—	有効		0				2/fiCLK + 2n/ fSOSC + 2/ fiCLK	0					2/fiCLK + 2n/ fSOSC + 2/ fiCLK	μs
	tSBYHO	—	有効		20				2/fiCLK + 2n/ fHOCO + 2/ fiCLK	67					2/fiCLK + 2n/ fHOCO + 2/ fiCLK	μs
	tSBYPH	—	有効		140				2/fiCLK + 2n/ fPLL + 2/fiCLK	202					2/fiCLK + 2n/ fPLL + 2/fiCLK	μs
	tSBYMO	—	有効		0				2/fiCLK + 2n/ fMOCO + 2/ fiCLK	0					2/fiCLK + 2n/ fMOCO + 2/ fiCLK	μs

注. 周波数の単位は MHz

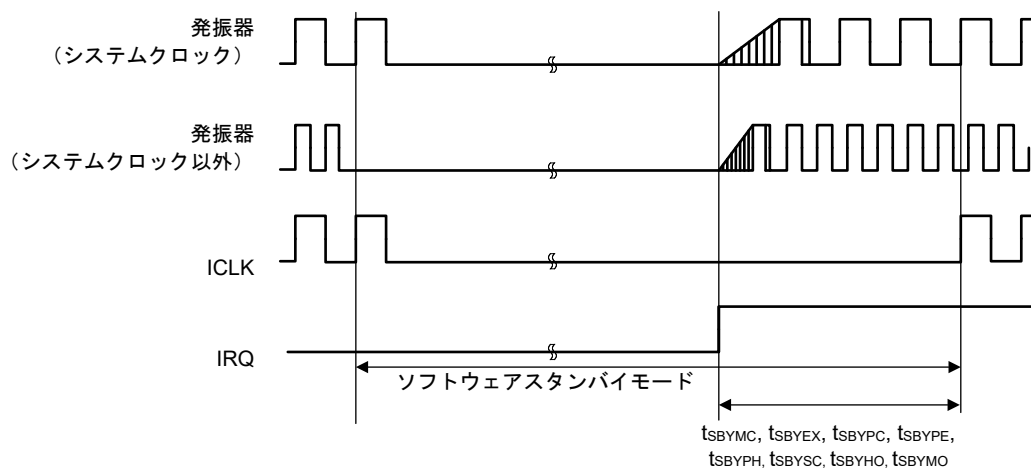
注 1. 複数の発振器が動作している場合、この列の動作発振器の最大値が適用されます。

注 2. Ccyc については、表 2.52 を参照してください。

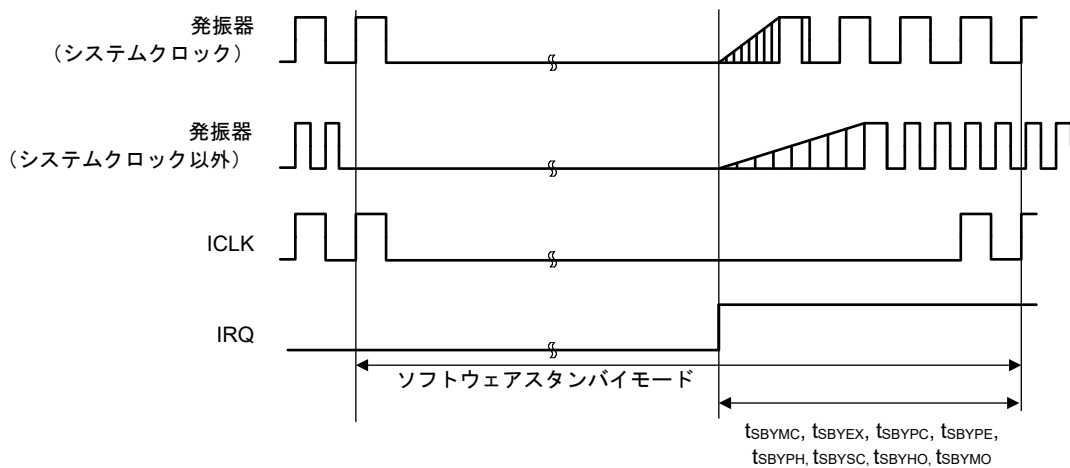
表 2.52 Ccyc 値

SSCR1.SS2LP[1:0]	VSCR.VSCM[2:0]	SVSCR.SVSCM[2:0]	{PLL1LDOCR.LD OSTP, PLL2LDOCR.LD OSTP, PLL1LDOCR.SK EEP, PLL2LDOCR.SK EEP}	{HOCOLDOCR.L DOSTP, HOCOLDOCR.S KEEP}	Ccyc	単位
00: SS2LP_0	001: VSCR_1	001: SVSCR_1	{1, 1, x, x}または {x, x, 1, 1} 上記以外	{0, 0}	56	サイクル
				上記以外	27	サイクル
				Don't care	237	サイクル
		010: SVSCR_2	Don't care	Don't care	379	サイクル
		011: SVSCR_3	Don't care	Don't care	591	サイクル
		100: SVSCR_4	Don't care	Don't care	696	サイクル
		101: SVSCR_5	Don't care	Don't care	802	サイクル
	010: VSCR_2	001: SVSCR_1	Don't care	Don't care	379	サイクル
		010: SVSCR_2	{1, 1, x, x}または {x, x, 1, 1} 上記以外	{0, 0}	56	サイクル
				上記以外	27	サイクル
				Don't care	237	サイクル
		011: SVSCR_3	Don't care	Don't care	538	サイクル
		100: SVSCR_4	Don't care	Don't care	643	サイクル
		101: SVSCR_5	Don't care	Don't care	749	サイクル
01: SS2LP_1	001: VSCR_1	010: SVSCR_2	Don't care	Don't care	514	サイクル
		011: SVSCR_3	Don't care	Don't care	726	サイクル
		100: SVSCR_4	Don't care	Don't care	831	サイクル
		101: SVSCR_5	Don't care	Don't care	937	サイクル
	010: VSCR_2	010: SVSCR_2	{1, 1, x, x}または {x, x, 1, 1} 上記以外	Don't care	162	サイクル
				Don't care	327	サイクル
		011: SVSCR_3	Don't care	Don't care	673	サイクル
		100: SVSCR_4	Don't care	Don't care	778	サイクル
		101: SVSCR_5	Don't care	Don't care	884	サイクル

注. x: Don't care



システムクロックの発振安定待機時間が長い場合



システムクロック以外の発振安定待機時間が長い場合

図 2.34 ソフトウェアスタンバイモード解除タイミング

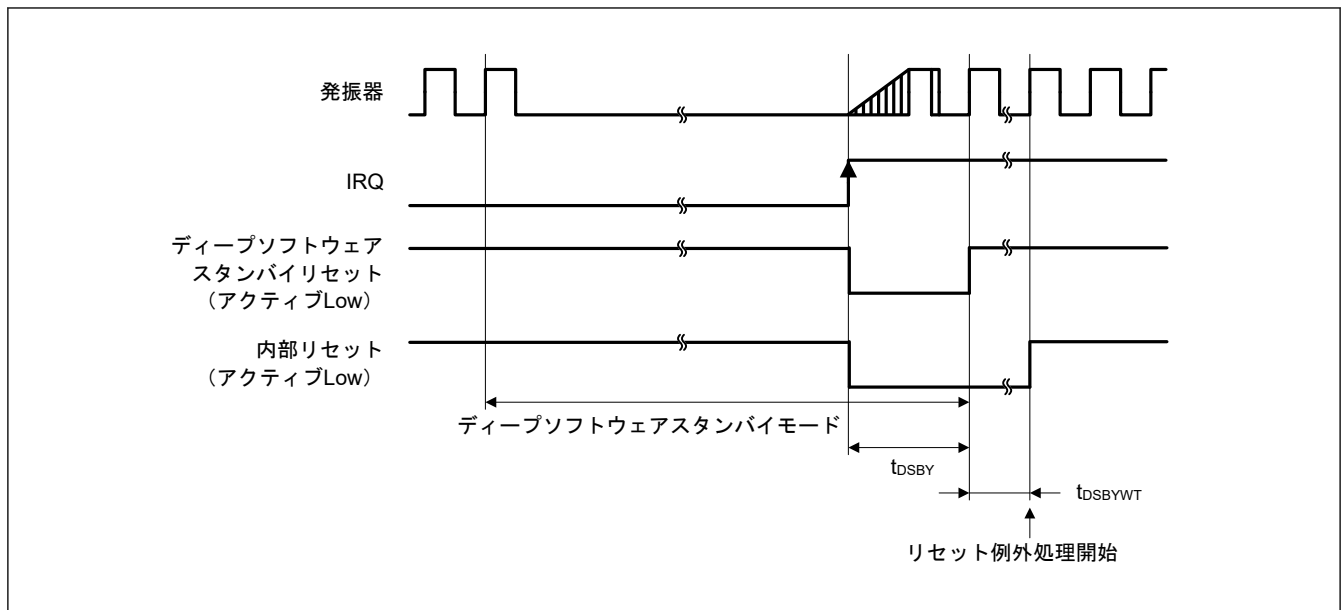


図 2.35 ディープソフトウェアスタンバイモード解除タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.53 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ 無効
		$t_{Pcyc} \times 2$ (注1)	—	—		$t_{Pcyc} \times 2 \leq 200 \text{ ns}$
		200	—	—		NMI デジタルフィルタ 有効
		$t_{NMICK} \times 3.5$ (注2)	—	—		$t_{NMICK} \times 3 \leq 200 \text{ ns}$
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ 無効
		$t_{Pcyc} \times 2$ (注1)	—	—		$t_{Pcyc} \times 2 \leq 200 \text{ ns}$
		200	—	—		IRQ デジタルフィルタ 有効
		$t_{IRQCK} \times 3.5$ (注3)	—	—		$t_{IRQCK} \times 3 \leq 200 \text{ ns}$

注. ソフトウェアスタンバイモード時は最小 200 ns です。

注. システムクロックソースを切り替える場合、切り替えるクロックソースの 4 クロックサイクルを足します。

注 1. t_{Pcyc} は PCLKB の周期を示します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を示します。

注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

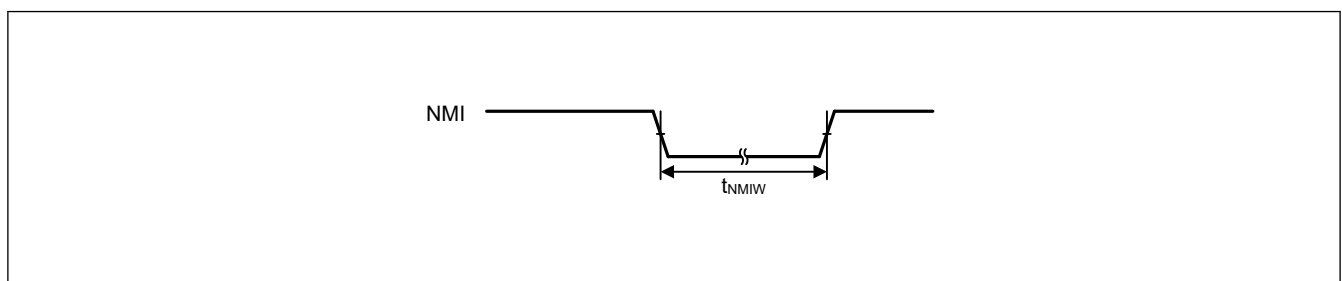


図 2.36 NMI 割り込み入力タイミング

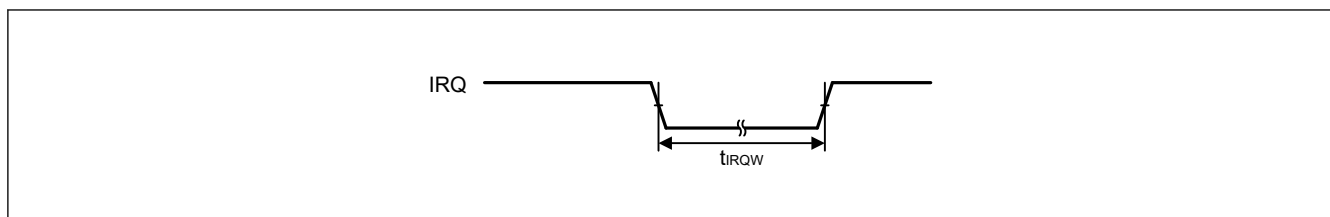


図 2.37 IRQ 割り込み入力タイミング

2.3.6 バスタイミング

表 2.54 バスタイミング (1/3)

条件 1 : CS 領域コントローラ (CSC) 使用時

VCC = VCC_DCDC = VBATT = 1.62 V ~ 3.6 V, VCC2 = 1.62 V ~ 3.63 V

BCLK = 8 ~ 120 MHz, BCLKA = 8 ~ 120 MHz, EBCLK = 8 ~ 60 MHz (VCC = VCC_USB = VBATT = 2.70 ~ 3.63 V の場合)

BCLK = BCLKA = 8 ~ 60 MHz, EBCLK = 8 ~ 30 MHz (VCC = VCC_USB = VBATT = 1.62 ~ 3.63 V の場合)

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 30 pF

EBCLK : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

条件 2 : SDRAM 領域コントローラ (SDRAMC) 使用時

BCLK = SDCLK = 8 ~ 125 MHz, BCLKA = SDCLK = 8 ~ 133 MHz

VCC = VCC_DCDC = VBATT = 3.0 ~ 3.63 V, VCC2 = 1.62 V ~ 3.63 V

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 15 pF

SDCLK : PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

条件 3 : SDRAM 領域コントローラ (SDRAMC) および CS 領域コントローラ (CSC) 同時使用時

BCLK = SDCLK = 8 ~ 66 MHz, BCLKA = SDCLK = 8 ~ 66 MHz

VCC = VCC_DCDC = VBATT = 3.0 ~ 3.63 V, VCC2 = 1.62 V ~ 3.63 V

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 15 pF

EBCLK/SDCLK : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	条件	VCC/VCC2	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	条件 1	2.70 V 以上	t_{AD}	1.0	12.5	ns	図 2.38 ~ 図 2.44
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
バイトコントロール遅延時間	条件 1	2.70 V 以上	t_{BCD}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
CS 遅延時間	条件 1	2.70 V 以上	t_{CSD}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
ALE 遅延時間	条件 1	2.70 V 以上	t_{ALED}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
RD 遅延時間	条件 1	2.70 V 以上	t_{RSD}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
リードデータセットアップ時間	条件 1	2.70 V 以上	t_{RDS}	12.5	—	ns	
		1.62 V 以上		20.5	—	ns	
	条件 3	3.0 V 以上		10.8	—	ns	
リードデータホールド時間	条件 1	2.70 V 以上	t_{RDH}	0	—	ns	
		1.62 V 以上		0	—	ns	
	条件 3	3.0 V 以上		0	—	ns	
WR/WRn 遅延時間	条件 1	2.70 V 以上	t_{WRD}	1.0	12.5	ns	
		1.62 V 以上		1.0	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
ライトデータ遅延時間	条件 1	2.70 V 以上	t_{WDD}	—	12.5	ns	
		1.62 V 以上		—	12.5	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	

表 2.54 バスタイミング (2/3)

条件 1 : CS 領域コントローラ (CSC) 使用時

VCC = VCC_DCDC = VBATT = 1.62 V ~ 3.6 V, VCC2 = 1.62 V ~ 3.63 V

BCLK = 8 ~ 120 MHz, BCLKA = 8 ~ 120 MHz, EBCLK = 8 ~ 60 MHz (VCC = VCC_USB = VBATT = 2.70 ~ 3.63 V の場合)

BCLK = BCLKA = 8 ~ 60 MHz, EBCLK = 8 ~ 30 MHz (VCC = VCC_USB = VBATT = 1.62 ~ 3.63 V の場合)

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 30 pF

EBCLK : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

条件 2 : SDRAM 領域コントローラ (SDRAMC) 使用時

BCLK = SDCLK = 8 ~ 125 MHz, BCLKA = SDCLK = 8 ~ 133 MHz

VCC = VCC_DCDC = VBATT = 3.0 ~ 3.63 V, VCC2 = 1.62 V ~ 3.63 V

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 15 pF

SDCLK : PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

条件 3 : SDRAM 領域コントローラ (SDRAMC) および CS 領域コントローラ (CSC) 同時使用時

BCLK = SDCLK = 8 ~ 66 MHz, BCLKA = SDCLK = 8 ~ 66 MHz

VCC = VCC_DCDC = VBATT = 3.0 ~ 3.63 V, VCC2 = 1.62 V ~ 3.63 V

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 15 pF

EBCLK/SDCLK : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	条件	VCC/VCC2	シンボル	Min	Max	単位	測定条件
ライトデータホールド時間	条件 1	2.70 V 以上	t_{WDH}	1.0	—	ns	図 2.38 ~ 図 2.44
		1.62 V 以上		1.0	—	ns	
	条件 3	3.0 V 以上		1.0	10.8	ns	
WAIT セットアップ時間	条件 1	2.70 V 以上	t_{WTS}	12.5	—	ns	
		1.62 V 以上		20.5	—	ns	
	条件 3	3.0 V 以上		10.8	—	ns	
WAIT ホールド時間	条件 1	2.70 V 以上	t_{WTH}	0	—	ns	
		1.62 V 以上		0	—	ns	
	条件 3	3.0 V 以上		0	—	ns	

表 2.54 バスタイミング (3/3)

条件 1 : CS 領域コントローラ (CSC) 使用時

VCC = VCC_DCDC = VBATT = 1.62 V ~ 3.6 V, VCC2 = 1.62 V ~ 3.63 V

BCLK = 8 ~ 120 MHz, BCLKA = 8 ~ 120 MHz, EBCLK = 8 ~ 60 MHz (VCC = VCC_USB = VBATT = 2.70 ~ 3.63 V の場合)

BCLK = BCLKA = 8 ~ 60 MHz, EBCLK = 8 ~ 30 MHz (VCC = VCC_USB = VBATT = 1.62 ~ 3.63 V の場合)

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 30 pF

EBCLK : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

条件 2 : SDRAM 領域コントローラ (SDRAMC) 使用時

BCLK = SDCLK = 8 ~ 125 MHz, BCLKA = SDCLK = 8 ~ 133 MHz

VCC = VCC_DCDC = VBATT = 3.0 ~ 3.63 V, VCC2 = 1.62 V ~ 3.63 V

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 15 pF

SDCLK : PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

条件 3 : SDRAM 領域コントローラ (SDRAMC) および CS 領域コントローラ (CSC) 同時使用時

BCLK = SDCLK = 8 ~ 66 MHz, BCLKA = SDCLK = 8 ~ 66 MHz

VCC = VCC_DCDC = VBATT = 3.0 ~ 3.63 V, VCC2 = 1.62 V ~ 3.63 V

出力負荷条件 : VOH = VCC × 0.5, VOL = VCC × 0.5, C = 15 pF

EBCLK/SDCLK : PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

その他 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	条件	VCC/VCC2	シンボル	Min	Max	単位	測定条件
アドレス遅延 2 (SDRAM)	条件 2	3.0 V 以上	t_{AD2}	0.8	6.0	ns	図 2.45～図 2.51
	条件 3	3.0 V 以上		0.8	10		
CS 遅延 2 (SDRAM)	条件 2	3.0 V 以上	t_{CSD2}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
DQM 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{DQMD}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
CKE 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{CKED}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
リードデータセットアップ時間 2 (SDRAM)	条件 2	3.0 V 以上	t_{RDS2}	2.1	—	ns	
	条件 3	3.0 V 以上		6.1	—		
リードデータホールド時間 2 (SDRAM)	条件 2	3.0 V 以上	t_{RDH2}	1.5	—	ns	
	条件 3	3.0 V 以上		1.5	—		
ライトデータ遅延 2 (SDRAM)	条件 2	3.0 V 以上	t_{WDD2}	—	6.0	ns	
	条件 3	3.0 V 以上		—	10		
ライトデータホールド時間 2 (SDRAM)	条件 2	3.0 V 以上	t_{WDH2}	0.8	—	ns	
	条件 3	3.0 V 以上		0.8	—		
WE 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{WED}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
RAS 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{RASD}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		
CAS 遅延 (SDRAM)	条件 2	3.0 V 以上	t_{CASD}	0.8	6.0	ns	
	条件 3	3.0 V 以上		0.8	10		

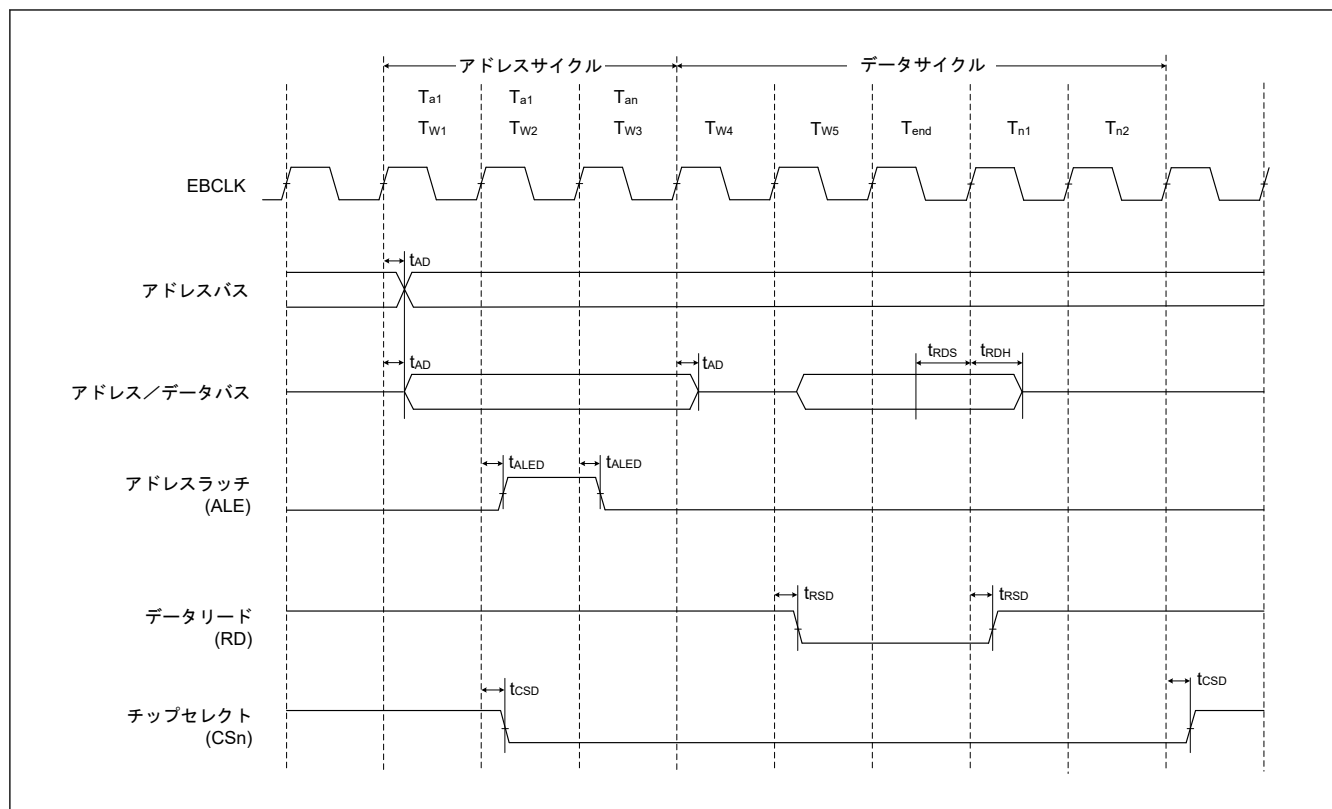


図 2.38 アドレス/データマルチプレクスバスのリードアクセスタイミング

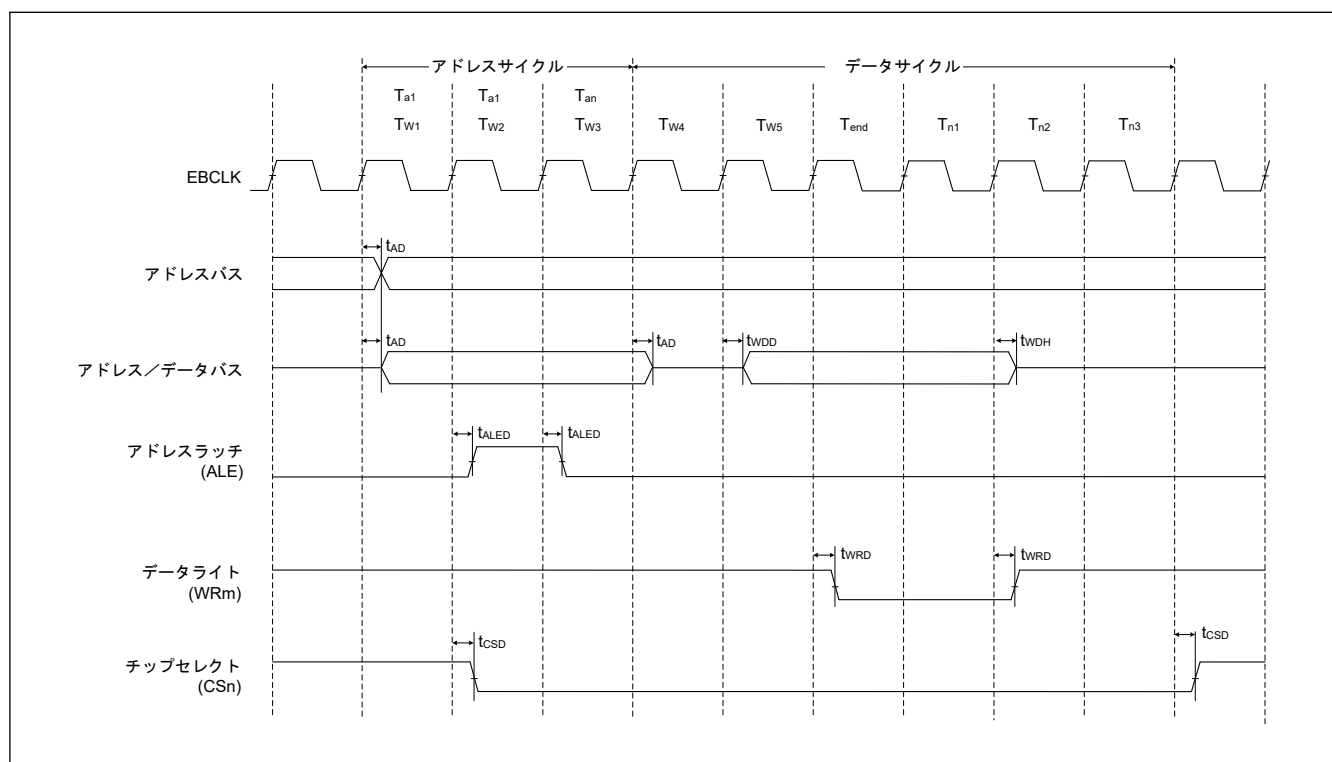


図 2.39 アドレス/データマルチプレクスバスのライトアクセスタイミング

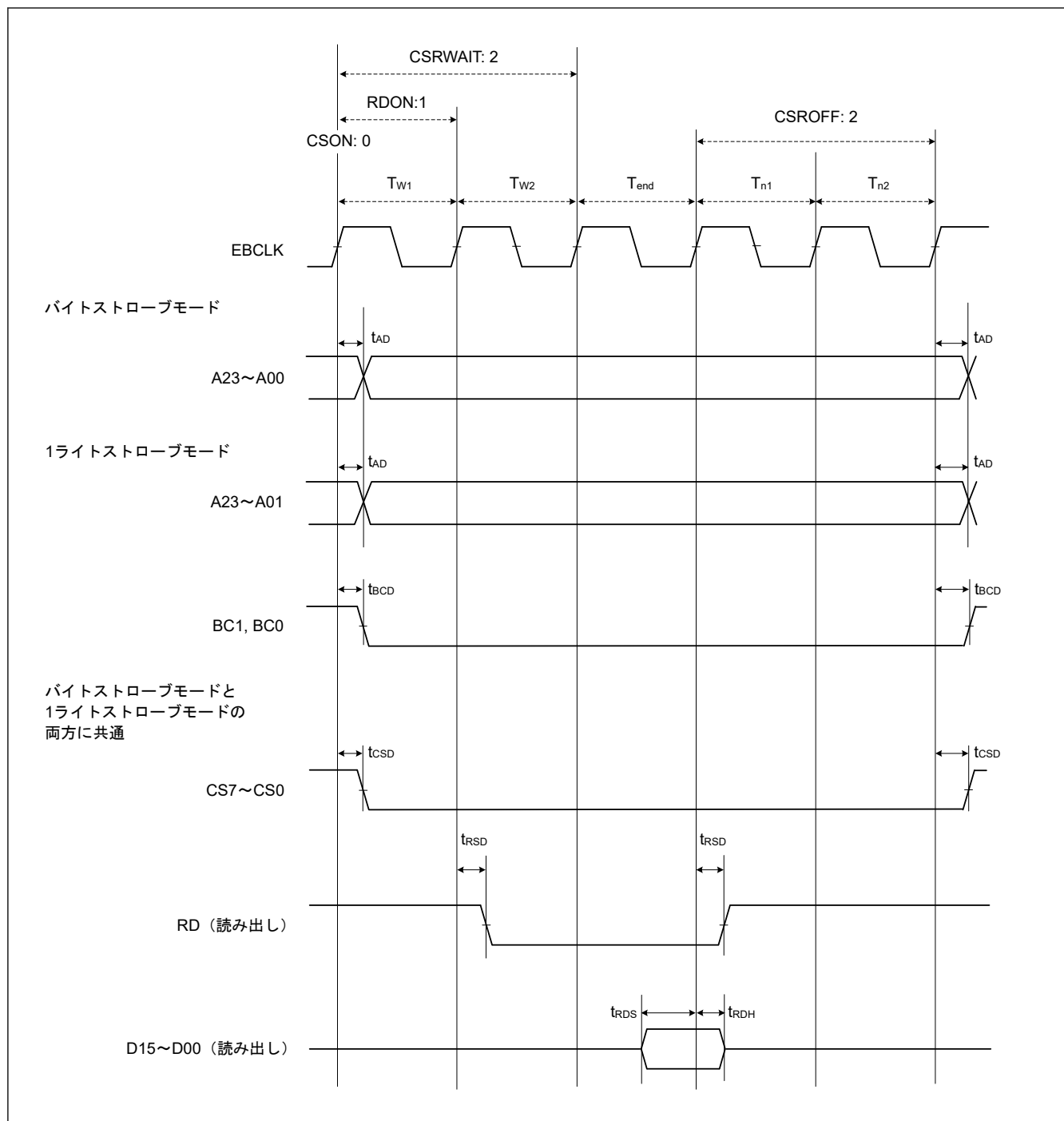
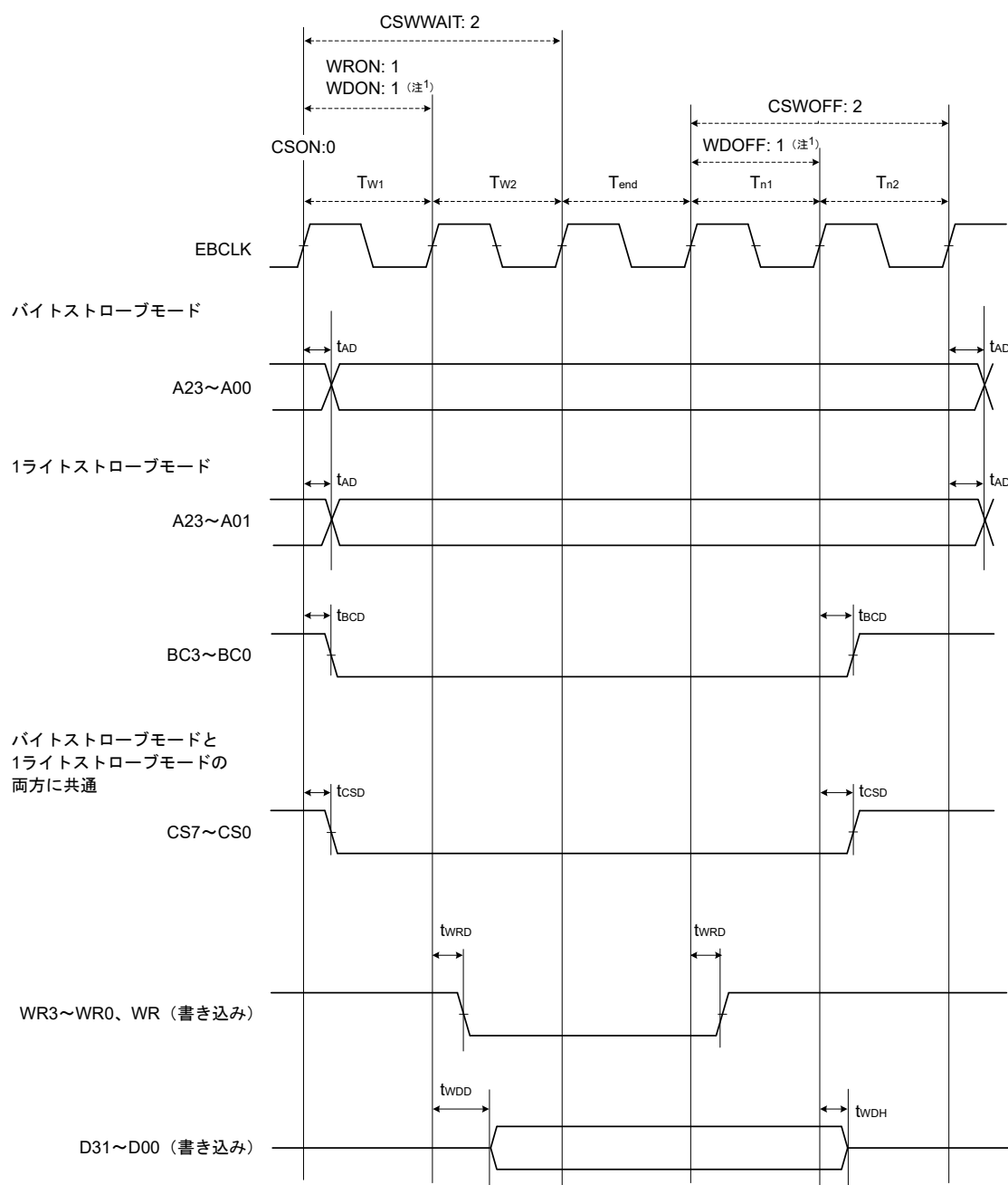


図 2.40 バスクロック同期を使用したノーマルリードサイクルの外部バスタイミング



注 1. $WDON$ と $WDOFF$ は、常に 1 EBCLK サイクル以上に指定してください。

図 2.41 バスクロック同期を使用したノーマルライトサイクルの外部バスタイミング

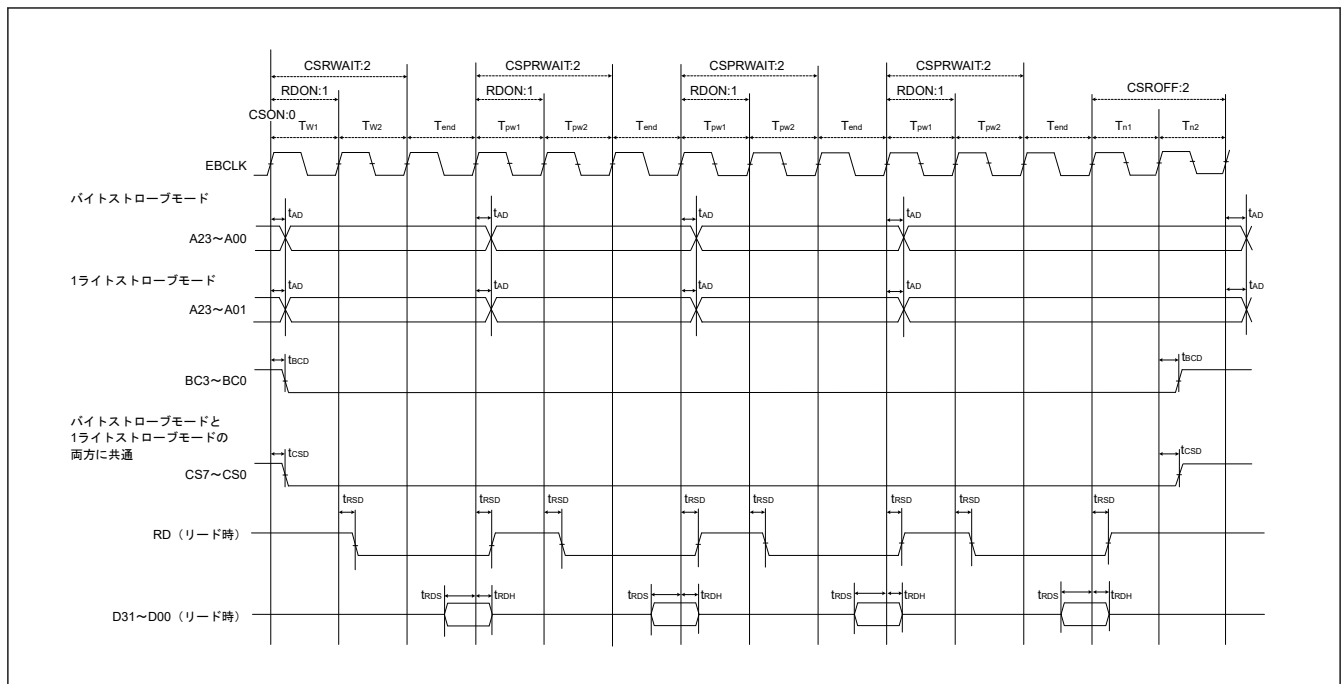
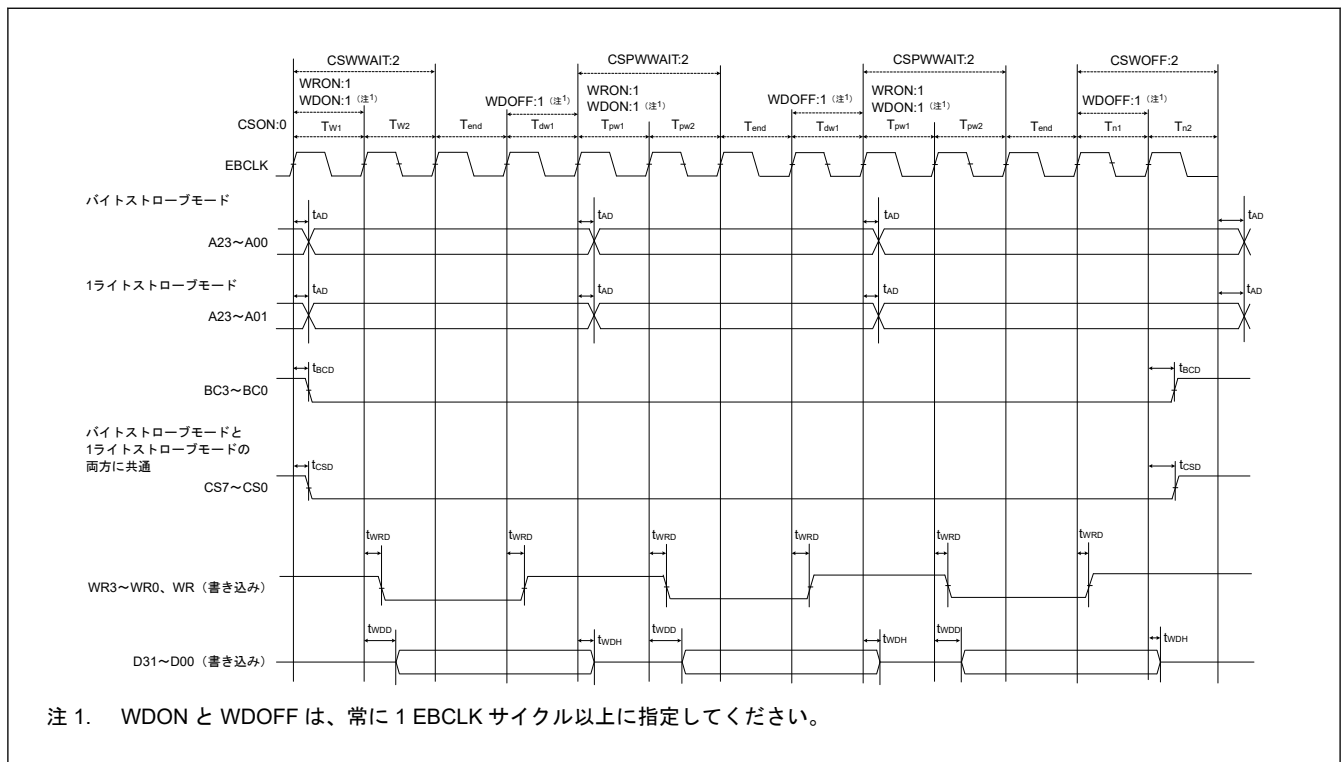


図 2.42 バスクロック同期を使用したページリードサイクルの外部バスタイミング



注 1. WDON と WDOFF は、常に 1 EBCLK サイクル以上に指定してください。

図 2.43 バスクロック同期を使用したページライトサイクルの外部バスタイミング

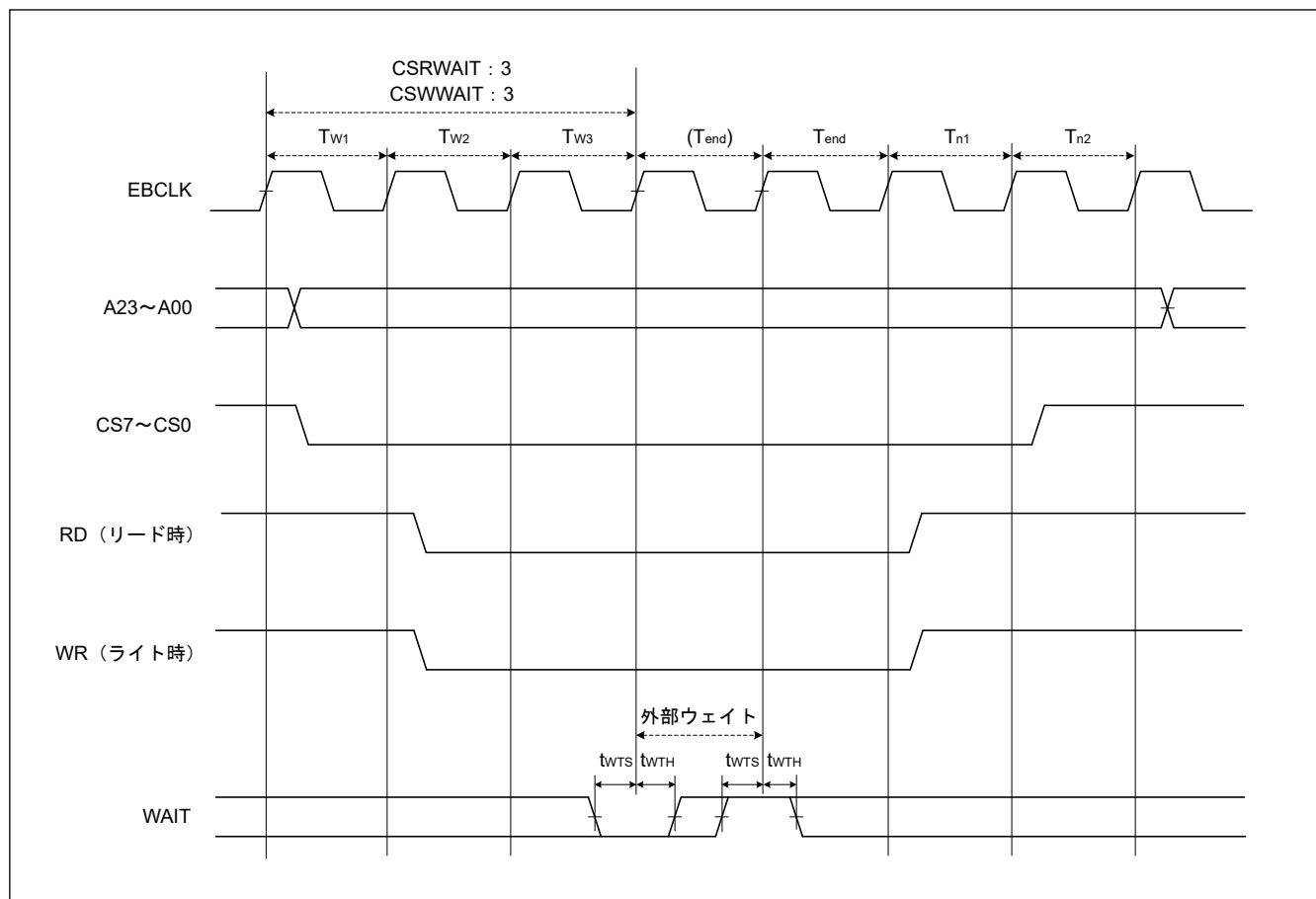


図 2.44 外部ウェイト制御の外部バスタイミング

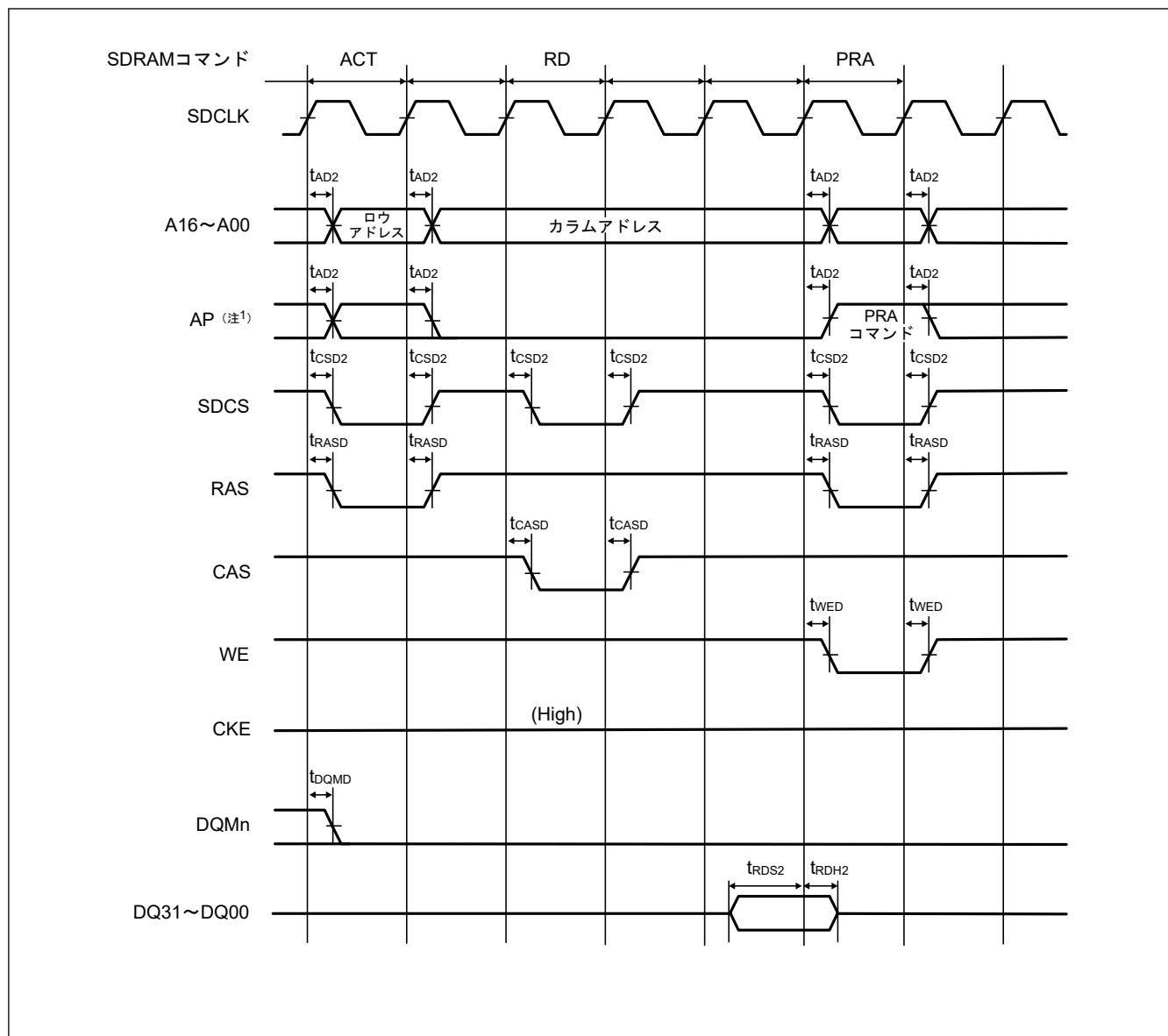


図 2.45 SDRAM シングルリードのタイミング

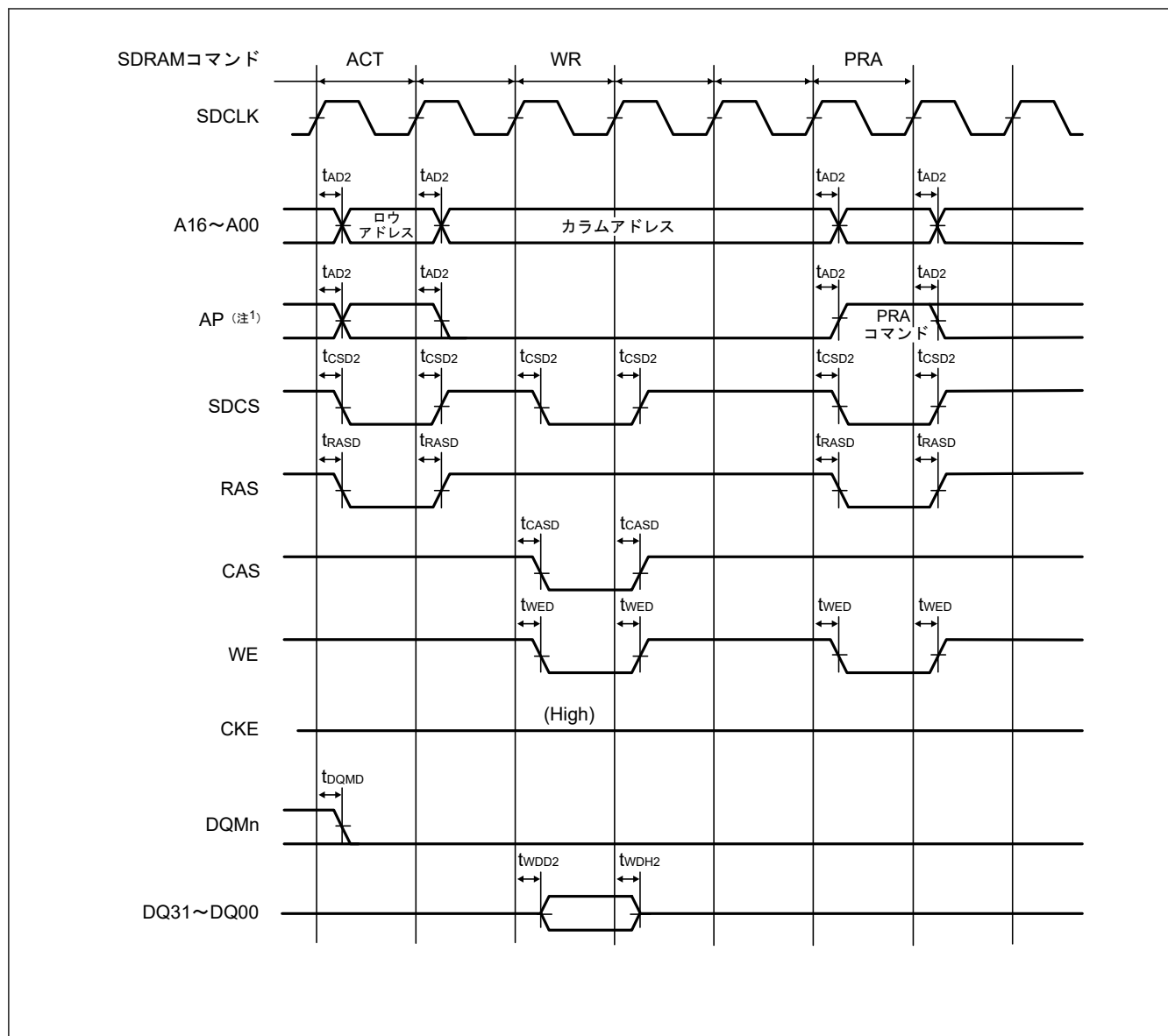


図 2.46 SDRAM シングルライトのタイミング

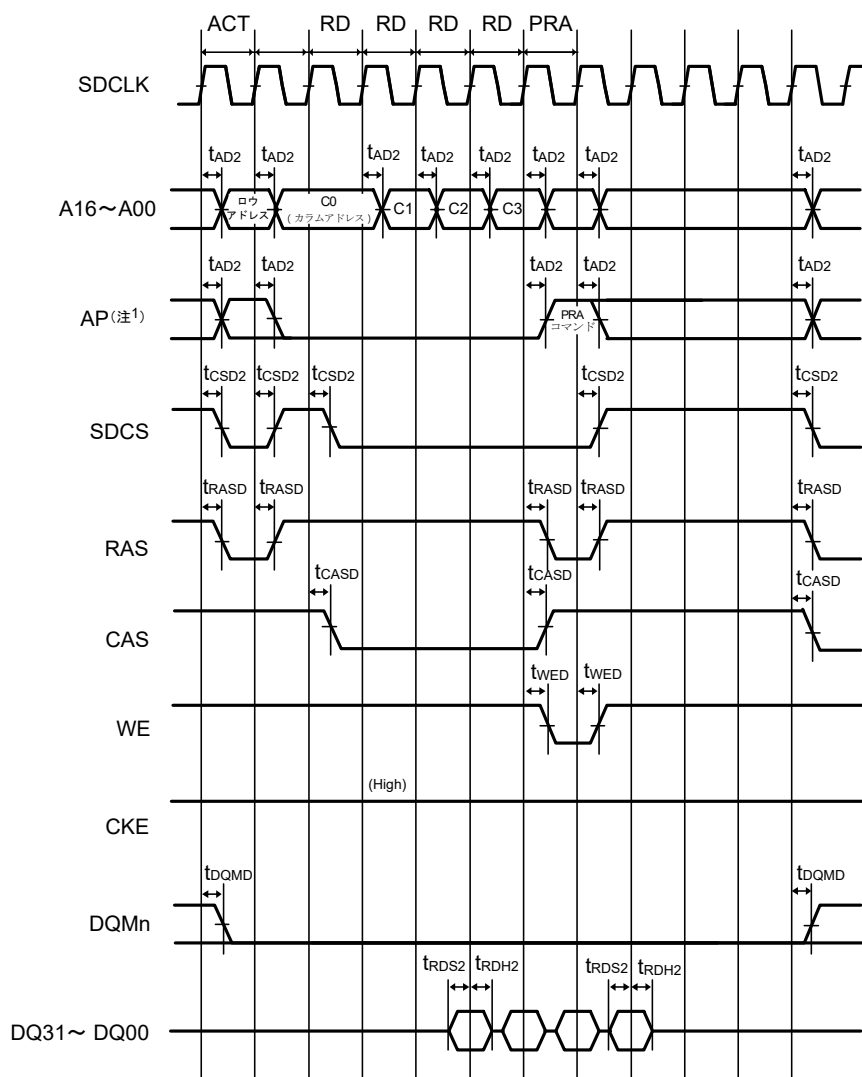


図 2.47 SDRAM マルチリードのタイミング

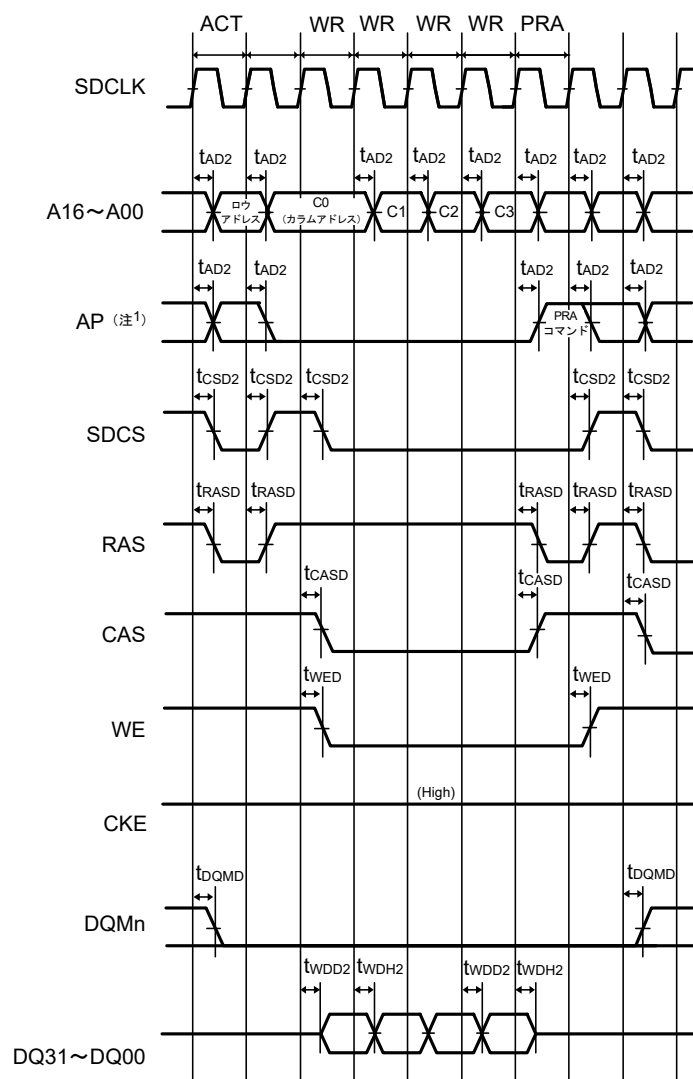


図 2.48 SDRAM マルチライトのタイミング

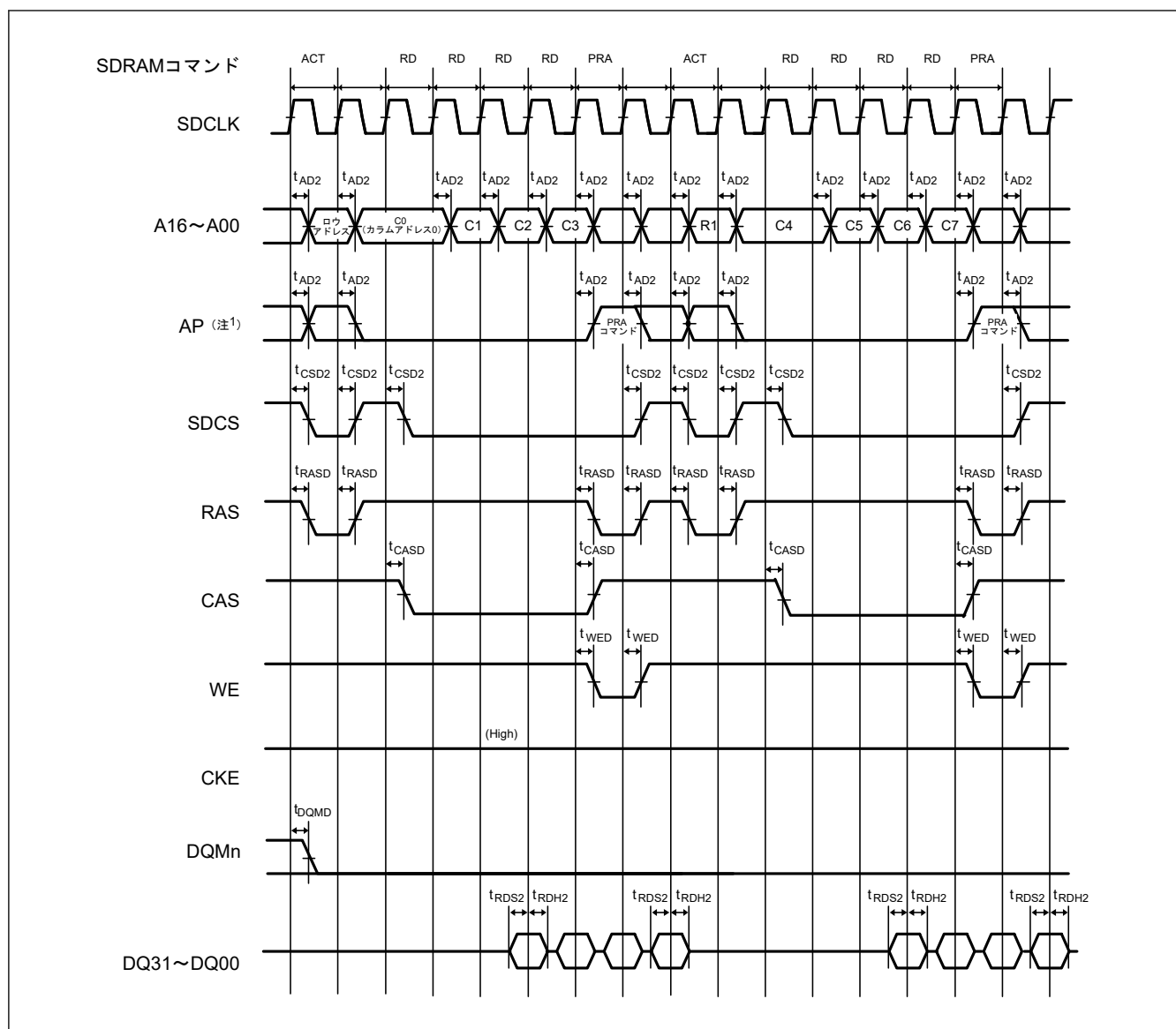


図 2.49 SDRAM マルチリードの行またぎのタイミング

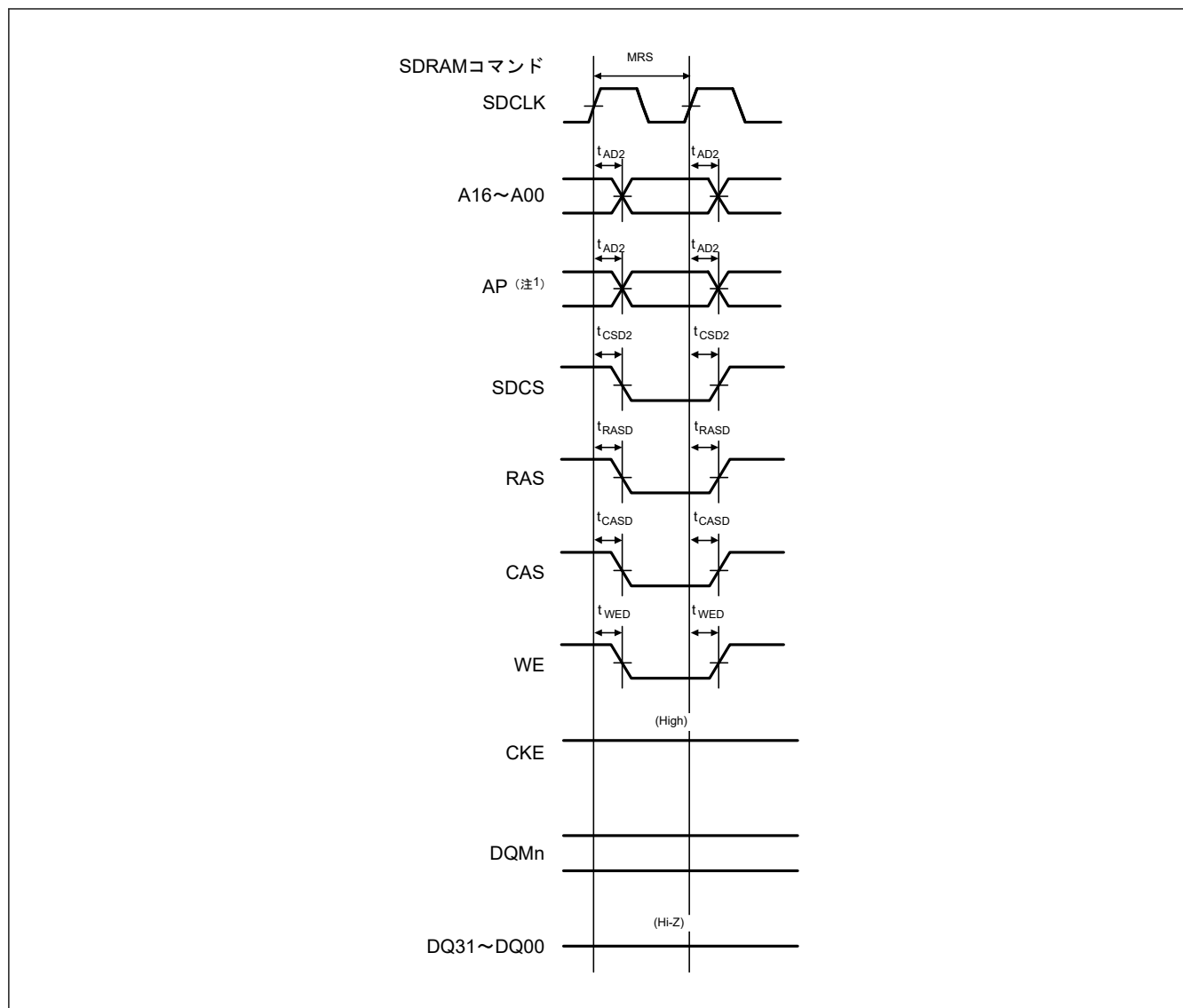


図 2.50 SDRAM モードレジスタの設定のタイミング

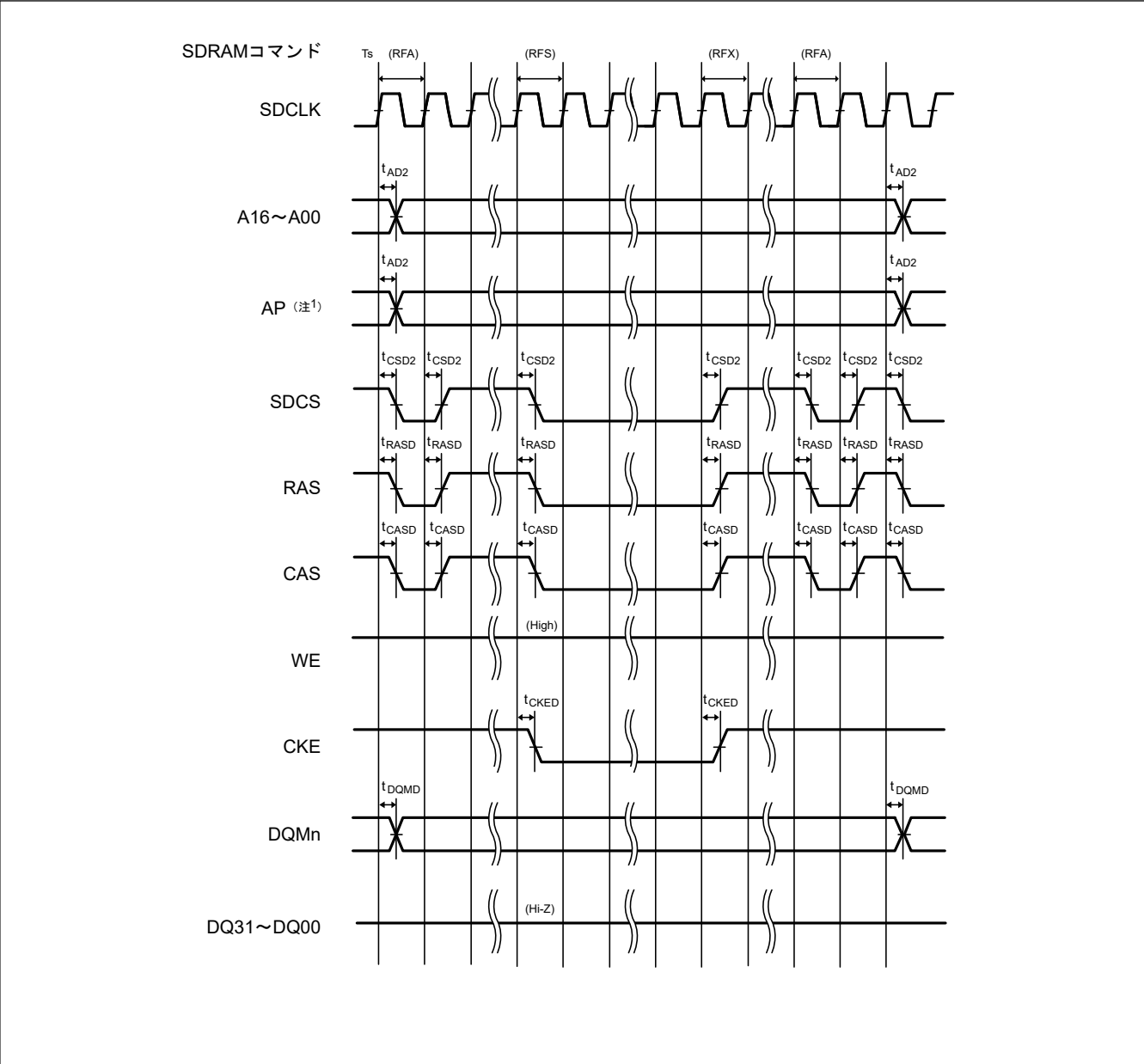


図 2.51 SDRAM セルフリフレッシュのタイミング

2.3.7 I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング

表 2.55 I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング (1/4)

GPT32 条件 :
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。
VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
AGT 条件 :
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

項目		シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅	t_{PRW}	5.5	—	t_{cyc}	図 2.52
	EXCIN 入力周波数	t_{EXCIN}	—	36	kHz	
	RTCICn (n = 0~2) 入力パルス幅	t_{RTCICW}	13.89	—	μs	図 2.53

表 2.55 I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング (2/4)

GPT32 条件：

PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

AGT 条件：

PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

項目		シンボル	Min	Max	単位	測定条件
POEG	POEG 入力トリガパルス幅	t_{POEW}	3	—	$t_{P_{cyc}}$	図 2.54
	出力禁止時間	GTETR _{Gn} 端子の入力レベル検出 (フラグ経由)	t_{POEGDI}	—	2 PCLK B + 0.34	μs 図 2.55 デジタルノイズフィルタを使用していない場合 ($POEG_{Gn}.NFEN = 0$ ($n = A \sim D$))
		GPT からの出力停止信号の検出 (デッドタイムエラー、同時 High 出力、または同時 Low 出力)	t_{POEGDE}	—	0.5	μs 図 2.56
		コンパレータからのエッジ検出信号	t_{POEGDC}	—	3 PCLK B + 0.5	μs 図 2.57 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS[1:0] = 00b)、ACMPHS による検出時間を除外する場合の時間。
		レジスタ設定	t_{POEGDS}	—	0.3	μs 図 2.58 レジスタへのアクセス時間を含まない。
		発振停止検出	$t_{POEGDOS}$	—	1.3	μs 図 2.59
		コンパレータからのレベル検出信号	$t_{POEGDDC}$	—	0.5	μs 図 2.60 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS[1:0] = 00b)、ACMPHS による検出時間を除外する場合の時間。
		DSMIF からの過電流検出ウィンドウ通知検出	$t_{POEGDER}$	—	0.5	μs 図 2.61 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS[1:0] = 00b)、ACMPHS による検出時間を除外する場合の時間。

表 2.55 I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング (3/4)

GPT32 条件：

PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

AGT 条件：

PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

項目				シンボル	Min	Max	単位	測定条件
GPT	インプットキャプチャパルス幅（サイクル）	単エッジ	t _{GTICW}	1.5	—	t _{pDcyc}	図 2.62	
		両エッジ	「2.3.7. I/Oポート、POEG、GPT、AGT、ULPT、ADCのトリガタイミング」	2.5	—			
	インプットキャプチャパルス幅（回数）	2.70 V 以上	t _{GTICW}	8.3	—	ns		
		1.62 V 以上	「2.3.7. I/Oポート、POEG、GPT、AGT、ULPT、ADCのトリガタイミング」	10.0	—			
	GTIOCxY 出力スキュー (x = 0~3、Y = A または B)	中駆動出力	2.70 V 以上	t _{GTISK}	—	4	ns	図 2.63
			1.62 V 以上	—	6			
		高駆動出力	2.70 V 以上	—	3.5			
			1.62 V 以上	—	4.5			
	GTIOCxY 出力スキュー (x = 4~13、Y = A または B)	中駆動出力	2.70 V 以上	—	4	ns		
			1.62 V 以上	—	6			
		高駆動出力	2.70 V 以上	—	3.5			
			1.62 V 以上	—	4.5			
	GTIOCxY 出力スキュー (x = 0~13、Y = A または B)	中駆動出力	2.70 V 以上	—	6	ns		
			1.62 V 以上	—	7			
		高駆動出力	2.70 V 以上	—	3.5			
			1.62 V 以上	—	5			
OPS 出力スキュー GTOUUP、GTOULO、GTOVUP、GTOVLO、GTOWUP、GTOWLO	中駆動出力	2.70 V 以上	t _{GTOSK}	—	5	ns	図 2.64	
		1.62 V 以上	—	6				
GPT（PWM 遅延生成回路）	GTIOCxY 出力スキュー (x = 0~3、Y = A または B)	中駆動出力	2.70 V 以上	t _{HRSK}	—	4	ns	図 2.65
			1.62 V 以上	—	6			
		高駆動出力	2.70 V 以上	—	3.5			
			1.62 V 以上	—	5			

表 2.55 I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング (4/4)

GPT32 条件：

PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

AGT 条件：

PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。

項目			シンボル	Min	Max	単位	測定条件
AGT	AGTIO、AGTEE 入力サイクル	2.70 V 以上	t_{ACYC}	100	—	ns	図 2.66
		1.62 V 以上	「2.3.7. I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング」	100	—		
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	2.70 V 以上	t_{ACKWH}	40	—	ns	
		1.62 V 以上	t_{ACKWL}	40	—		
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	2.70 V 以上	t_{ACYC2}	62.5	—	ns	
		1.62 V 以上		62.5	—		
ULPT	ULPTEE、ULPTEVI 入力サイクル	2.70 V 以上	t_{ULCYC}	32	—	μs	図 2.67
		1.62 V 以上	「2.3.7. I/O ポート、POEG、GPT、AGT、ULPT、ADC のトリガタイミング」	32	—		
	ULPTEE、ULPTVI 入力 High レベル幅、Low レベル幅	2.70 V 以上	t_{ULCKWH}	12	—	μs	
		1.62 V 以上	t_{ULCKWL}	12	—		
	ULPTO、ULPTOA、ULPTOB 出力サイクル	2.70 V 以上	t_{ULCYC2}	64	—	μs	
		1.62 V 以上		64	—		
ADC	ADC トリガ入力パルス幅	2.70 V 以上	t_{TRGW}	1.5	—	t_{ADcyc}	図 2.68
		1.62 V 以上		3.0	—		

注. t_{ICyc} : ICLK の周期、 t_{PCyc} : PCLKB の周期、 t_{PDcyc} : GTCLK の周期、 $t_{ULPTLCLK}$: ULPTLCLK の周期、 t_{ADcyc} : ADCLK の周期

注 1. 「周期」と「回数」については、時間が長い方の特性が適用されます。

注 2. 入力サイクルの制限：

ソースクロックを切り替え中でない場合： $t_{PCyc} \times 2 < t_{ACYC}$ を満たす必要があります。ソースクロックを切り替え中の場合： $t_{PCyc} \times 6 < t_{ACYC}$ を満たす必要があります。

注 3. 入力サイクルの制限：

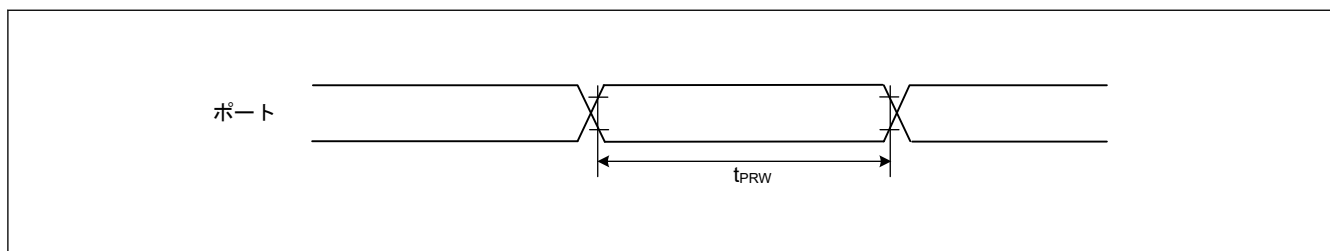
ULPTEVI: $t_{PCyc} \times 2 < t_{ULCYC}$ を満たす必要があります。ULPTEE: $t_{ULPTLCLK} \times 2 < t_{ULCYC}$ を満たす必要があります。

図 2.52 I/O ポート入力タイミング

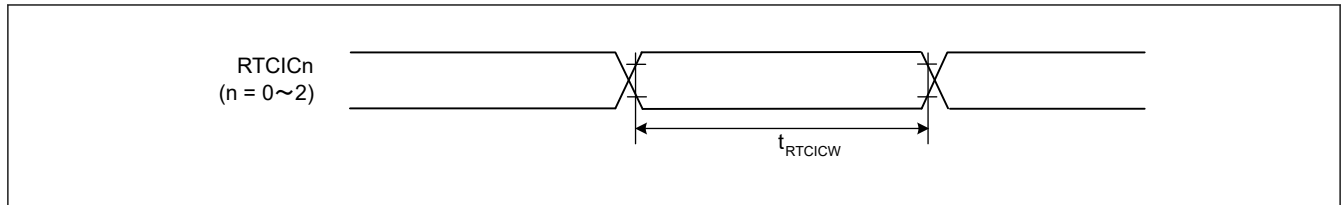


図 2.53 RTCICn 入力タイミング

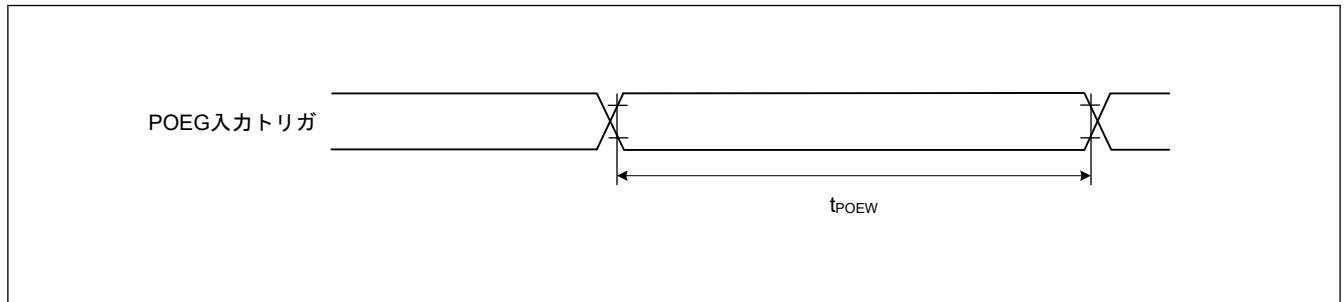


図 2.54 POEG 入力トリガタイミング

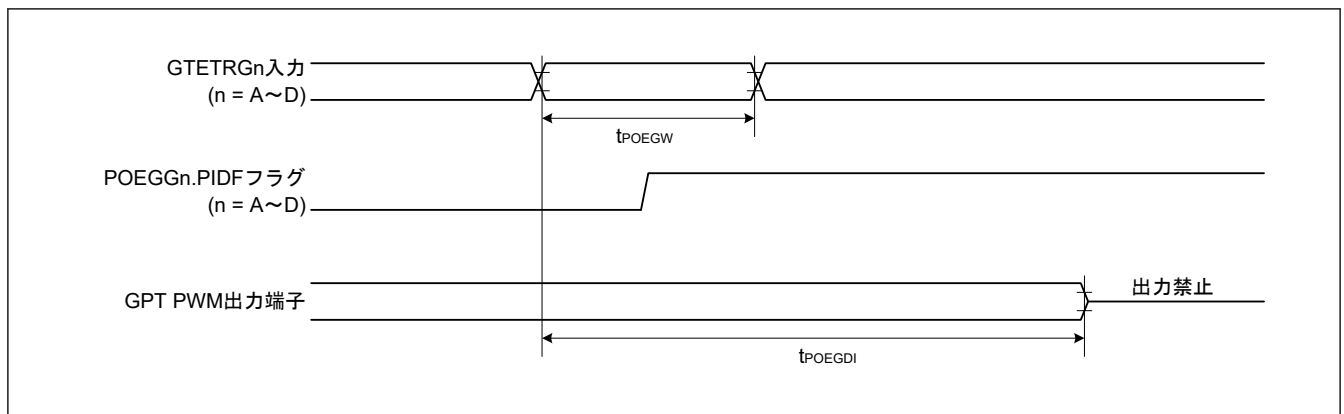


図 2.55 GTETRn 端子の入レベル検出に対応した検出フラグによる POEG の出力禁止時間

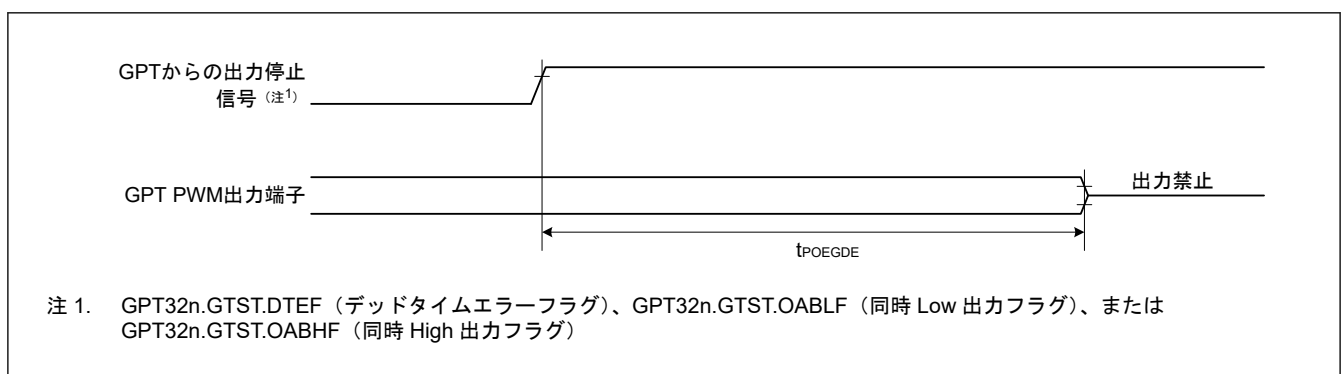


図 2.56 GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

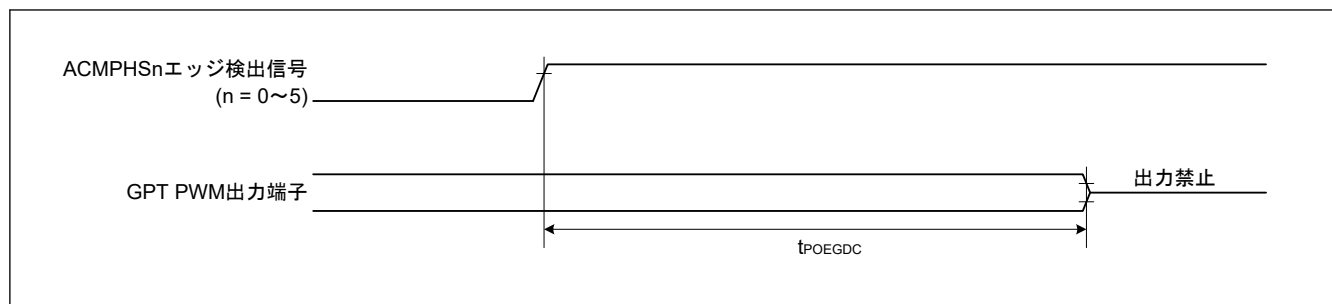


図 2.57 コンパレータからのエッジ検出信号に対応した POEG の出力禁止時間

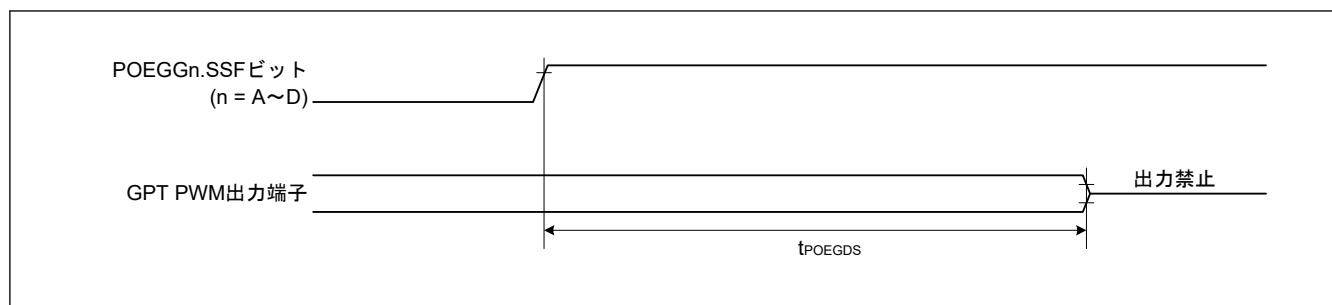


図 2.58 レジスタ設定に対応した POEG の出力禁止時間

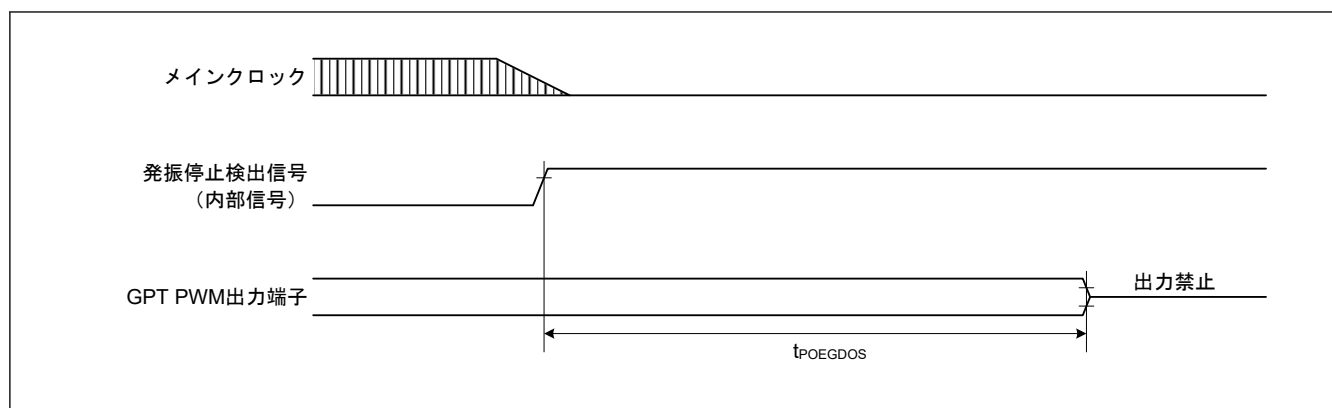


図 2.59 発振停止検出に対応した POEG の出力禁止時間

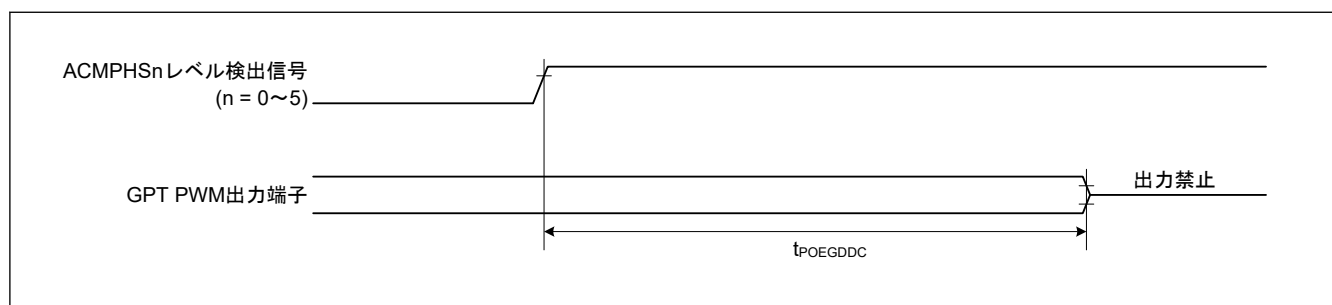


図 2.60 コンパレータからのレベル検出信号に対応した POEG の出力禁止時間

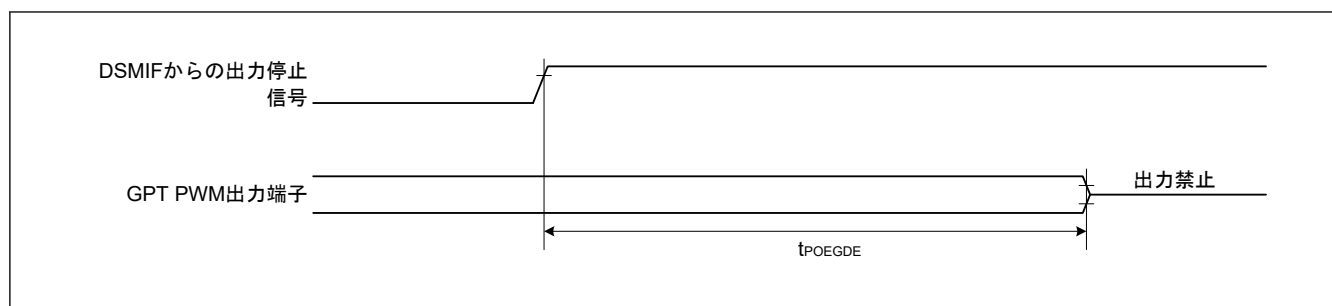


図 2.61 DSMIF からの出力停止信号の検出に対応した POEG の出力禁止時間

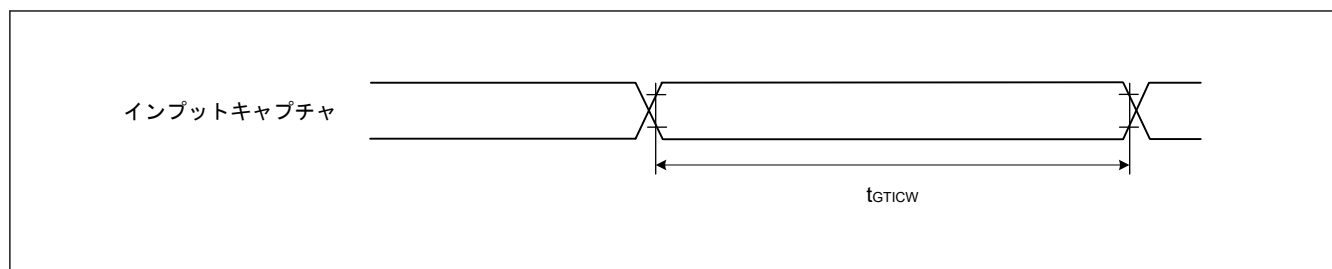


図 2.62 GPT インプットキャプチャタイミング

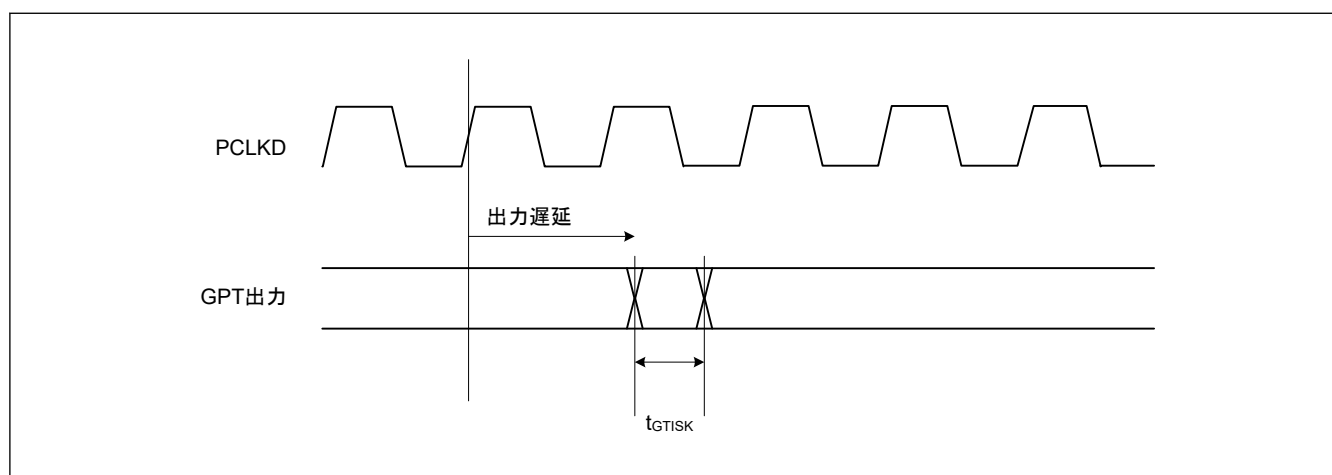


図 2.63 GPT 出力遅延スキュー

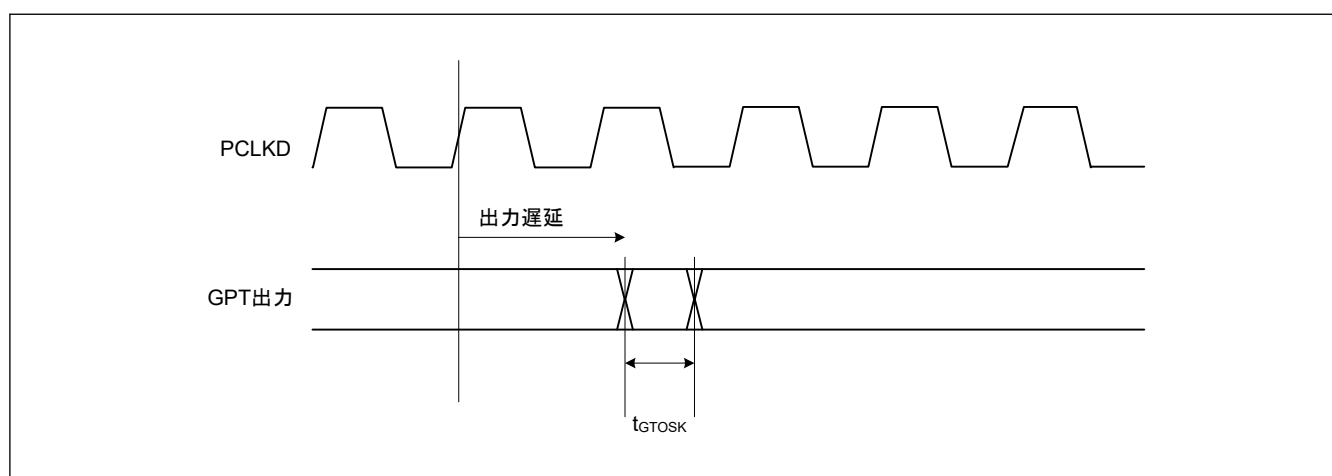


図 2.64 OPS の GPT 出力遅延スキュー

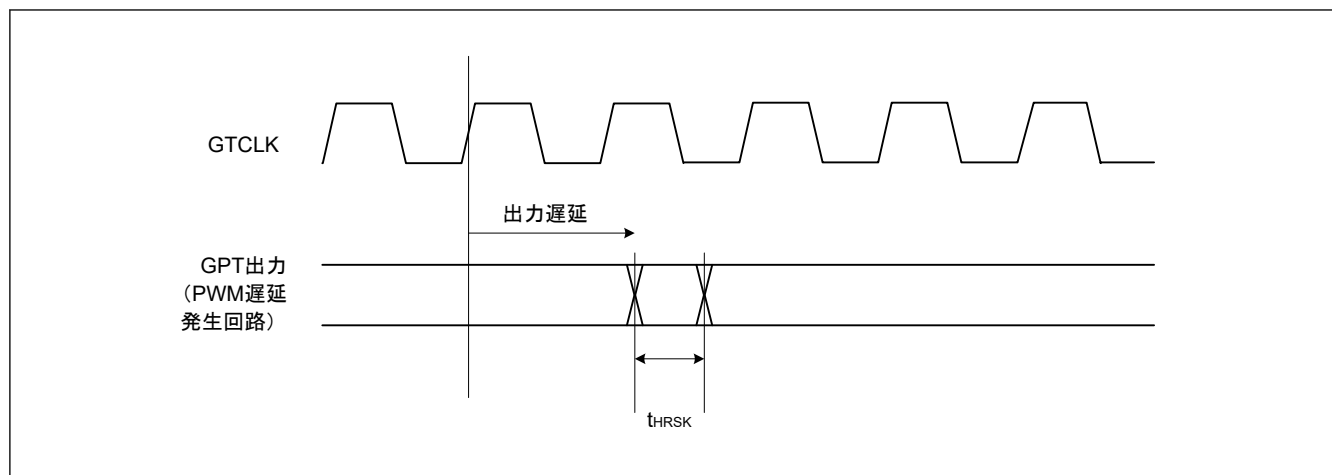


図 2.65 GPT (PDG) 出力遅延スキュー

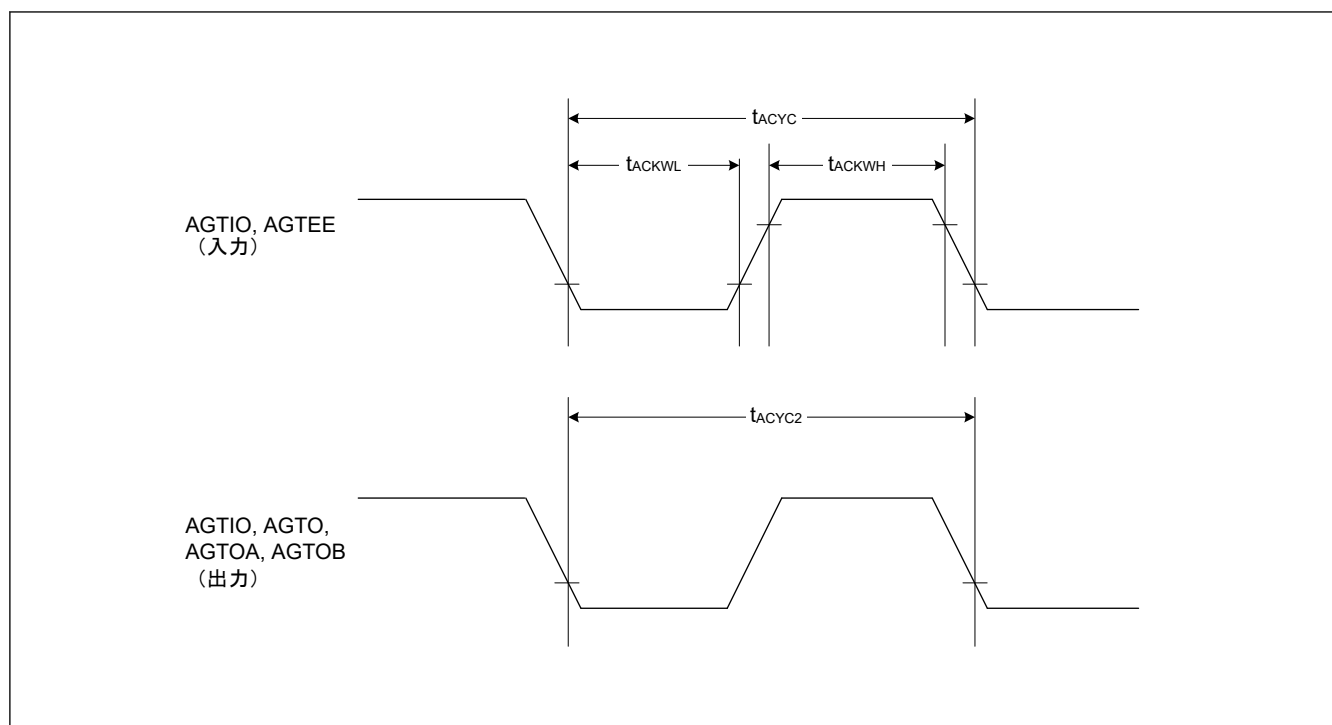


図 2.66 AGT 入出力タイミング

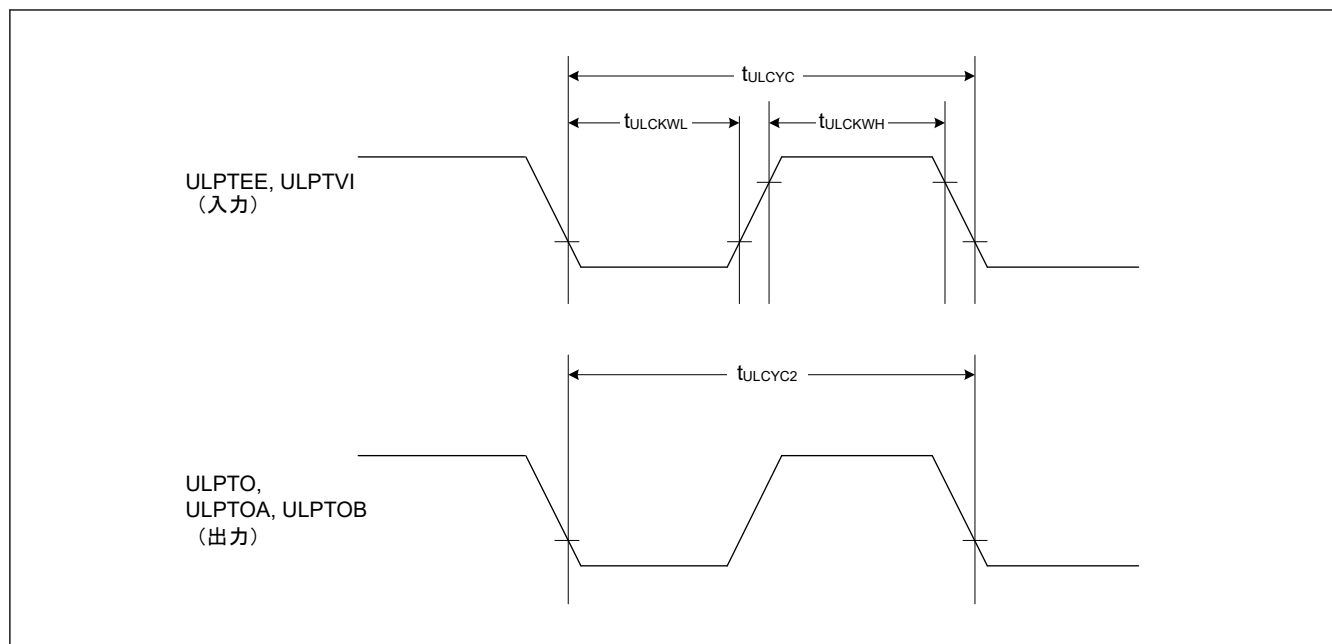


図 2.67 ULPT 入出力タイミング

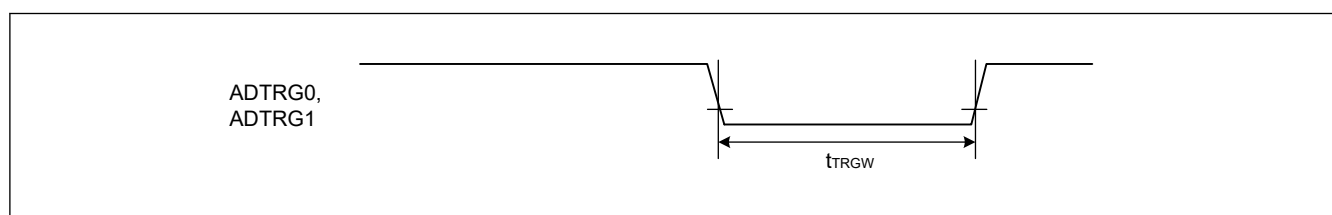


図 2.68 ADC トリガ入力タイミング

2.3.8 CAC タイミング

表 2.56 CAC タイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leq t_{cac}$ (注1)	t_{CACREF}	—	—	ns	—
		$t_{PBcyc} > t_{cac}$ (注1)	$5 \times t_{cac} + 6.5 \times t_{PBcyc}$	—	—	ns	

注. t_{PBcyc} : PCLKB の周期注 1. t_{cac} : CAC カウントクロックソースの周期

2.3.9 SCI タイミング

表 2.57 SCI タイミング (調歩同期式モード)

条件:

PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目	VCC/VCC2	シンボル	Min	Max	単位	備考
入力クロックサイクル	1.62 V 以上	t _{Scyc}	4.0	—	t _{Tcyc}	図 2.69
入力クロックパルス幅	1.62 V 以上	t _{SCKW}	0.4	0.6	t _{Scyc}	
入力クロック立ち上がり時間	1.62 V 以上	t _{SCKr}	—	0.1(注1)	t _{Scyc}	
入力クロック立ち下がり時間	1.62 V 以上	t _{SCKf}	—	0.1(注1)	t _{Scyc}	
出力クロックサイクル	1.62 V 以上	t _{Scyc}	6.0	—	t _{Tcyc}	
出力クロックパルス幅	1.62 V 以上	t _{SCKW}	0.4	0.6	t _{Scyc}	
出力クロック立ち上がり時間	2.70 V 以上	t _{SCKr}	—	3.3	ns	
	1.62 V 以上		—	6.6		
出力クロック立ち下がり時間	2.70 V 以上	t _{SCKf}	—	3.3	ns	
	1.62 V 以上		—	6.6		

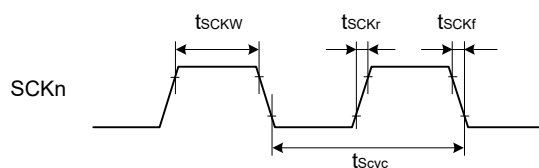
注. t_{Tcyc} : TCLK の周期。注 1. 最長 1 μ s注. $n = 0 \sim 4, 9$

図 2.69 SCK クロック入出力タイミング

表 2.58 SCI タイミング (簡易 SPI) (1/3)

条件 1: VCC/VCC2 = 2.70 V 以上

PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

条件 2: VCC/VCC2 = 1.62 V 以上

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています: SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B

その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ	—	2.70 V 以上	tSPcyc	2 (TCLK ≤ 120 MHz) 4 (TCLK > 120 MHz)	65536	tTcyc	図 2.70
			1.62 V 以上		2 (TCLK ≤ 60 MHz) 4 (TCLK ≤ 120 MHz) 8 (TCLK > 120 MHz)	65536		
SCK クロックサイクル入力	スレーブ	—	2.70 V 以上		2	—		
			1.62 V 以上		2 (TCLK ≤ 100 MHz) 4 (TCLK > 100 MHz)	—		
SCK クロック High レベルパルス幅	マスタ	—	1.62 V 以上	tSPCKWH	0.4	—	tSPcyc	
	スレーブ	—						
SCK クロック Low レベルパルス幅	マスタ	—	1.62 V 以上	tSPCKWL	0.4	—	tSPcyc	
	スレーブ	—						
SCK クロック立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	tSPCKr	—	3.3	ns	
			1.62 V 以上	tSPCKf	—	6.6		
	入力	—	2.70 V 以上	—	—	0.1 (注3)	tSPcyc	
			1.62 V 以上		—	0.1 (注3)		

表 2.58 SCI タイミング (簡易 SPI) (2/3)

条件 1: VCC/VCC2 = 2.70 V 以上

PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

条件 2: VCC/VCC2 = 1.62 V 以上

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています : SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B

その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフ ォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ入力セット アップ時間	マスタ	高速(注1)	2.70 V 以上	t _{SU}	-1.5	—	ns	図 2.71, 図 2.72
			1.62 V 以上		-1.5	—		
		デフォルト (注2)	2.70 V 以上		2.0	—		
			1.62 V 以上		2.0	—		
	スレーブ	デフォルト (注2)	2.70 V 以上		2.5	—		
			1.62 V 以上		4.5	—		
データ入力ホール ド時間	マスタ	高速(注1)	2.70 V 以上	t _H	7.5	—	ns	
			1.62 V 以上		9.5	—		
		デフォルト (注2)	2.70 V 以上		7.5	—		
			1.62 V 以上		9.5	—		
	スレーブ	デフォルト (注2)	2.70 V 以上		2.5	—		
			1.62 V 以上		4.5	—		
データ出力遅延時 間	マスタ	高速(注1)	2.70 V 以上	t _{OD}	—	3.0	ns	
			1.62 V 以上		—	4.5		
		デフォルト (注2)	2.70 V 以上		—	3.5		
			1.62 V 以上		—	5.5		
	スレーブ	高速(注1)	2.70 V 以上		—	12.5		
			1.62 V 以上		—	20.5		
		デフォルト (注2)	2.70 V 以上		—	18.5		
			1.62 V 以上		—	26.5		
データ出力ホール ド時間	マスタ	高速(注1)	2.70 V 以上	t _{OH}	-3.0	—	ns	
			1.62 V 以上		-4.5	—		
		デフォルト (注2)	2.70 V 以上		-3.5	—		
			1.62 V 以上		-5.5	—		
	スレーブ	デフォルト (注2)	2.70 V 以上		0.0	—		
			1.62 V 以上		0.0	—		
データ立ち上がり ／立ち下がり時間	出力	—	2.70 V 以上	t _{Dr} 、t _{Df}	—	3.3	ns	
			1.62 V 以上		—	6.6		
	入力	—	2.70 V 以上		—	1		
			1.62 V 以上		—	1		
SS 入力セットアップ時間		—	1.62 V 以上	t _{LEAD}	1.0	—	t _{SPcyc}	図 2.73, 図 2.74
SS 入力ホールド時間		—	1.62 V 以上	t _{LAG}	1.0	—	t _{SPcyc}	
SS 入力立ち上がり／立ち下がり時間		—	1.62 V 以上	t _{SSLr} 、t _{SSLf}	—	1	μs	—

表 2.58 SCI タイミング (簡易 SPI) (3/3)

条件 1: VCC/VCC2 = 2.70 V 以上

PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

条件 2: VCC/VCC2 = 1.62 V 以上

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B

その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目	高速/デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
スレーブアクセス時間	—	2.70 V 以上	t_{SA}	—	$3 \times t_{Tcyc} + 25$	ns	図 2.73, 図 2.74
		1.62 V 以上		—	$3 \times t_{Tcyc} + 32$		
スレーブ出力解放時間	—	2.70 V 以上	t_{REL}	—	$3 \times t_{Tcyc} + 25$	ns	
		1.62 V 以上		—	$3 \times t_{Tcyc} + 32$		

注. t_{Tcyc} : TCLK の周期。

注 1. 所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0、SCI1、SCI2、SCI3、および SCI9 は_A の例に該当し、SCI4 と SCI5 は_B の例に該当し、SCI6、SCI7、および SCI8 は_C の例に該当します。

注 2. 所属グループのすべての端子を使用できます。

注 3. 最長 1 μ s

表 2.59 SCI タイミング (クロック同期式モード) (1/2)

条件 1: VCC/VCC2 = 2.70 V 以上

PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

条件 2: VCC/VCC2 = 1.62 V 以上

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B

その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目	高速/デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ	2.70 V 以上	t_{Scyc}	2 (TCLK $\leq$ 120 MHz) 4 (TCLK > 120 MHz)	—	t_{Tcyc}	
		1.62 V 以上		2 (TCLK $\leq$ 60 MHz) 4 (TCLK $\leq$ 120 MHz) 8 (TCLK > 120 MHz)	—		
SCK クロックサイクル入力	スレーブ	2.70 V 以上	t_{Scyc}	2	—	t_{Tcyc}	
		1.62 V 以上		2 (TCLK $\leq$ 100 MHz) 4 (TCLK > 100 MHz)	—		
SCK クロック High レベルパルス幅	マスタ	1.62 V 以上	t_{SCKWH}	0.4	0.6	t_{Scyc}	
	スレーブ	1.62 V 以上					
SCK クロック Low レベルパルス幅	マスタ	1.62 V 以上	t_{SCKWL}	0.4	0.6	t_{Scyc}	
	スレーブ	1.62 V 以上					

表 2.59 SCI タイミング (クロック同期式モード) (2/2)

条件 1: VCC/VCC2 = 2.70 V 以上

PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

条件 2: VCC/VCC2 = 1.62 V 以上

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています: SCK1_A, SCK1_C, SCK3_A, SCK4_A, SCK4_B, SCK4_C, SCK6_B

その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速/デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロック立ち上がり/立ち下がり時間	出力	—	2.70 V 以上	$t_{\text{SCKr}}, t_{\text{SCKf}}$	—	3.3	ns	
			1.62 V 以上		—	6.6		
	入力	—	1.62 V 以上		—	0.1 (注3)	t_{Scyc}	
データ入力セットアップ時間	マスタ	高速(注1)	2.70 V 以上	t_{su}	2.6	—	ns	
			1.62 V 以上		2.6	—		
		デフォルト(注2)	2.70 V 以上		2.8	—		
			1.62 V 以上		2.8	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		3.3	—		
			1.62 V 以上		5.3	—		
データ入力ホールド時間	マスタ	高速(注1)	2.70 V 以上	t_{H}	7.5	—	ns	
			1.62 V 以上		9.5	—		
		デフォルト(注2)	2.70 V 以上		7.5	—		
			1.62 V 以上		9.5	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		3.0	—		
			1.62 V 以上		5.0	—		
データ出力遅延時間	マスタ	高速(注1)	2.70 V 以上	t_{OD}	—	5	ns	
			1.62 V 以上		—	5		
		デフォルト(注2)	2.70 V 以上		—	7.3		
			1.62 V 以上		—	7.3		
	スレーブ	高速(注1)	2.70 V 以上		—	12.5		
			1.62 V 以上		—	20.5		
		デフォルト(注2)	2.70 V 以上		—	18.5		
			1.62 V 以上		—	26.5		
データ立ち上がり/立ち下がり時間	出力	—	2.70 V 以上	$t_{\text{Dr}}, t_{\text{Df}}$	—	3.3	ns	
			1.62 V 以上		—	6.6		
	入力	—	1.62 V 以上		—	1	μs	

注. t_{Tyc} : TCLK の周期。

注 1. 所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0、SCI1、SCI2、SCI3、および SCI9 は_A の例に該当し、SCI4 と SCI5 は_B の例に該当し、SCI6、SCI7、および SCI8 は_C の例に該当します。

注 2. 所属グループのすべての端子を使用できます。

注 3. 最長 1 μs

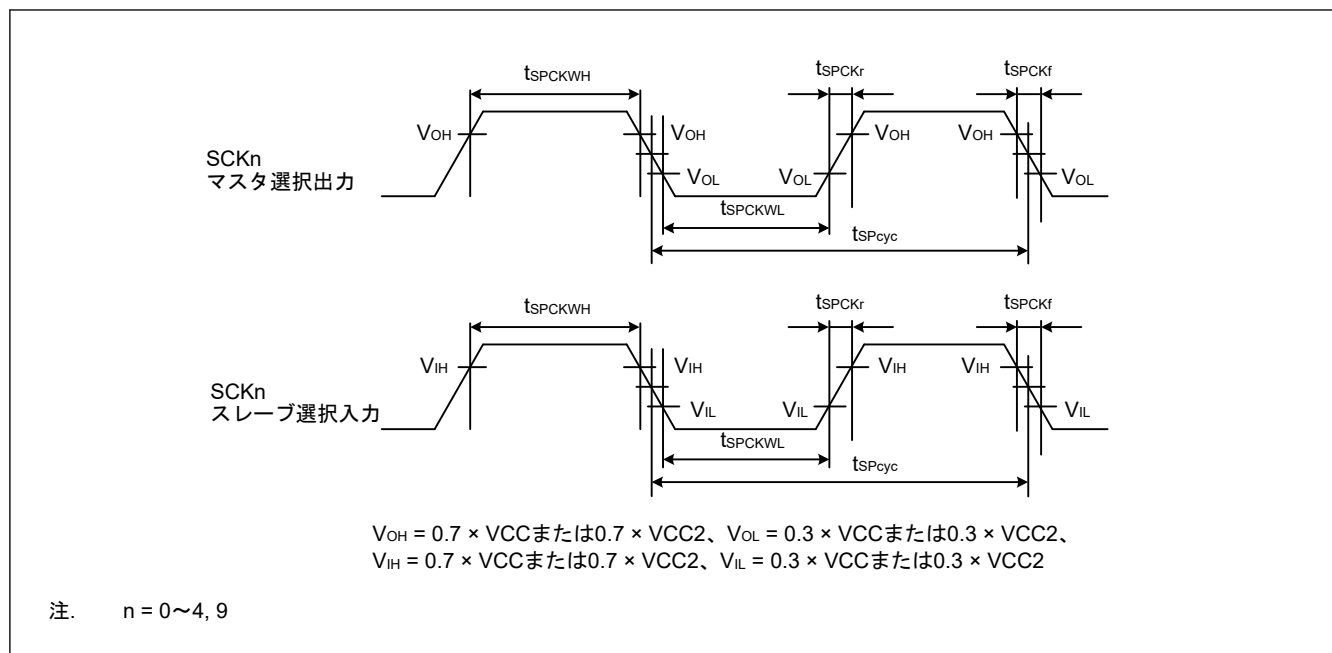


図 2.70 SCI 簡易 SPI モードクロックタイミング

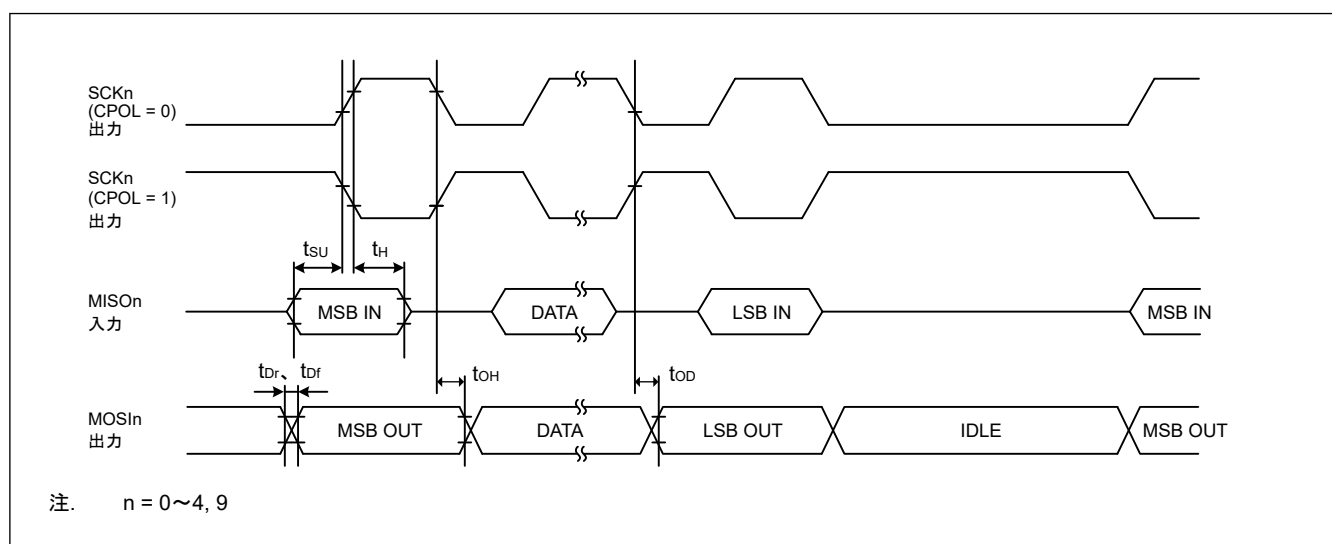


図 2.71 SCI 簡易 SPI モードタイミング (マスタ、CPHA = 0)

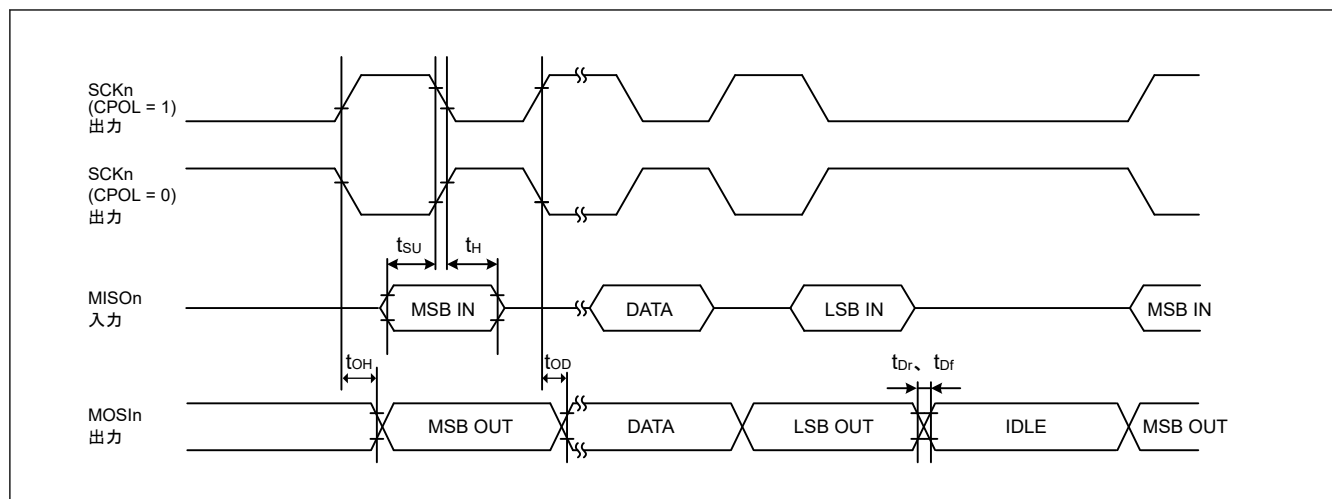


図 2.72 SCI 簡易 SPI モードタイミング (マスタ、CPHA = 1)

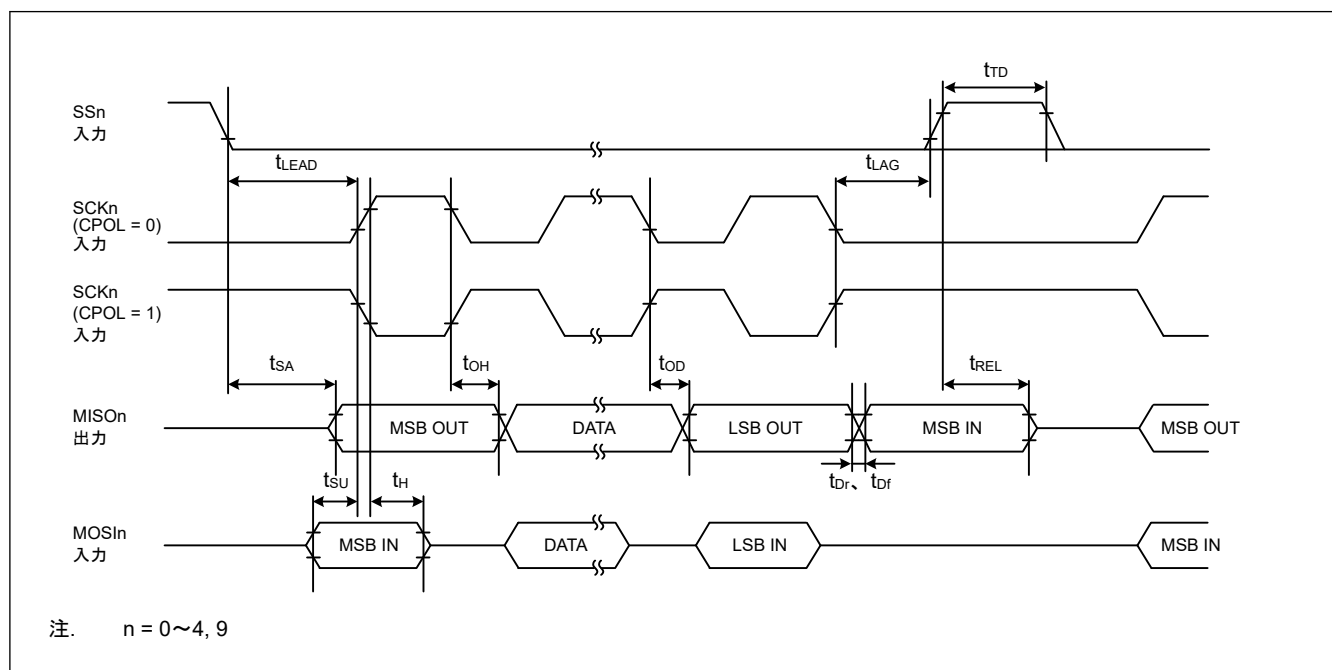


図 2.73 SCI 簡易 SPI モードタイミング (スレーブ、CPHA = 0)

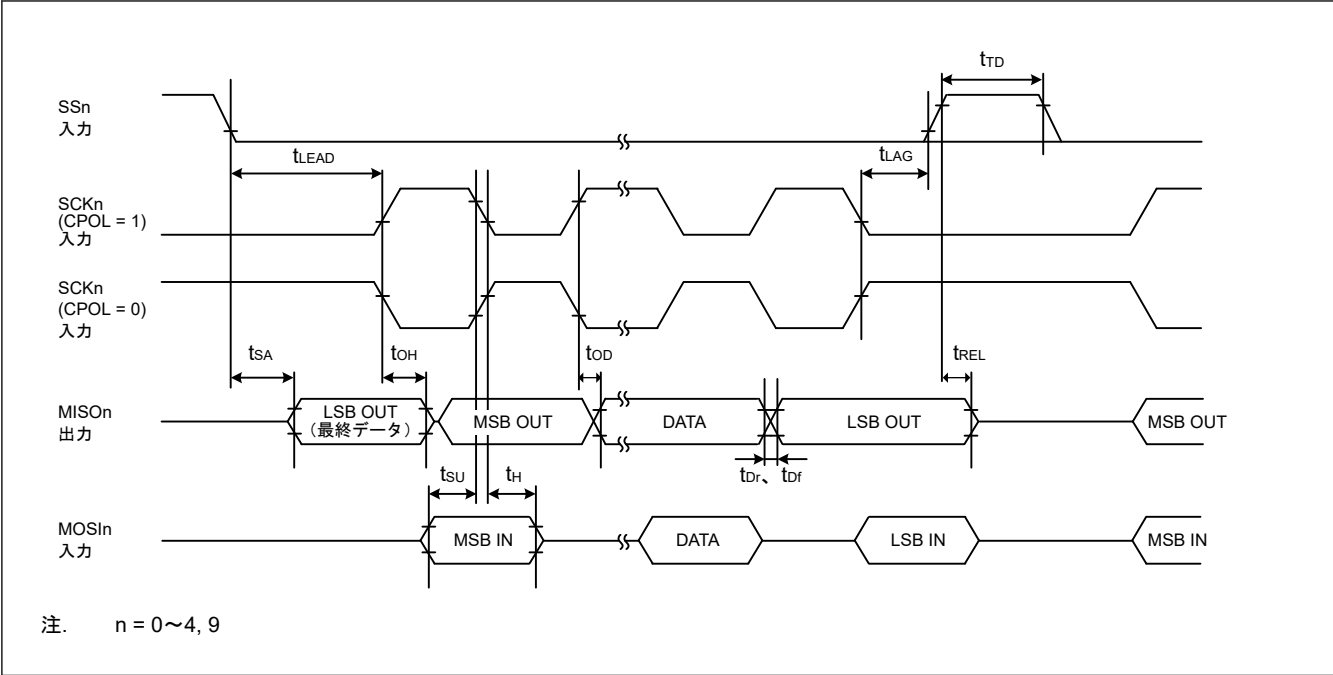


図 2.74 SCI 簡易 SPI モードタイミング (スレーブ、CPHA = 1)

表 2.60 SCI タイミング (簡易 IIC モード)

条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
VCC/VCC2: 1.62 V 以上
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目	シンボル	Min	Max	単位	備考
簡易 IIC (標準モード)	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Tcyc}$	ns
	データ入力セットアップ時間	t_{SDAS}	250	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b (注1)	—	400	pF
簡易 IIC (ファストモード)	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Tcyc}$	ns
	データ入力セットアップ時間	t_{SDAS}	100	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b (注1)	—	400	pF

注. t_{Tcyc} : TCLK の周期。
注 1. C_b はバスラインの容量総計を意味します。

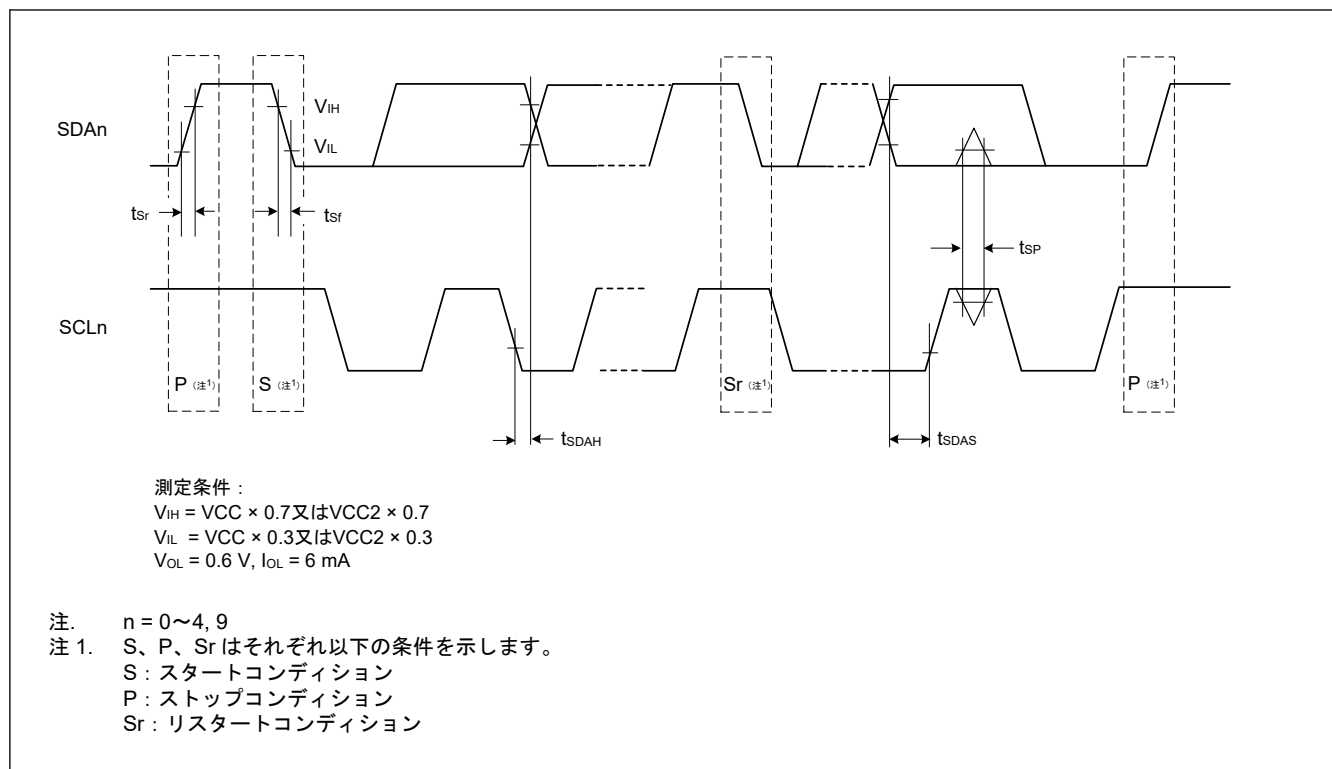


図 2.75 SCI 簡易 IIC モードタイミング

2.3.10 SPI タイミング

表 2.61 SPI タイミング (1/6)

条件：

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
RSPCLKA_B、RSPCLKB_B。
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
- 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
- VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速/デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
RSPCK クロックサイクル	マスタ	高速(注1)	3.00 V 以上	t_{SPCyc}	2	4096	t_{Tcyc}	図 2.76
		高速(注1)	2.70 V 以上		2 (TCLK $\leq$ 166.6 MHz) 4 (TCLK > 166.6 MHz)	4096		
		高速(注1)	1.62 V 以上		2 (TCLK $\leq$ 83.3 MHz) 4 (TCLK $\leq$ 166.6 MHz) 8 (TCLK > 166.6 MHz)	4096		
		デフォルト(注2)	3.00 V 以上		2 (TCLK $\leq$ 166.6 MHz) 4 (TCLK > 166.6 MHz)	4096		
		デフォルト(注2)	2.70 V 以上		2 (TCLK $\leq$ 120 MHz) 4 (TCLK $\leq$ 240 MHz) 8 (TCLK > 240 MHz)	4096		
		デフォルト(注2)	1.62 V 以上		2 (TCLK $\leq$ 60 MHz) 4 (TCLK $\leq$ 120 MHz) 8 (TCLK $\leq$ 240 MHz) 16 (TCLK > 240 MHz)	4096		
	スレーブ	高速(注1)	3.00 V 以上		2 (TCLK $\leq$ 266 MHz) 4 (TCLK > 266 MHz)	—		
		高速(注1)	2.70 V 以上		2 (TCLK $\leq$ 166.6 MHz) 4 (TCLK > 166.6 MHz)	—		
		高速(注1)	1.62 V 以上		2 (TCLK $\leq$ 83.3 MHz) 4 (TCLK $\leq$ 166.6 MHz) 8 (TCLK > 166.6 MHz)	—		
		デフォルト(注2)	3.00 V 以上		2 (TCLK $\leq$ 166.6 MHz) 4 (TCLK > 166.6 MHz)	—		
		デフォルト(注2)	2.70 V 以上		2 (TCLK $\leq$ 120 MHz) 4 (TCLK $\leq$ 240 MHz) 8 (TCLK > 240 MHz)	—		
		デフォルト(注2)	1.62 V 以上		2 (TCLK $\leq$ 60 MHz) 4 (TCLK $\leq$ 120 MHz) 8 (TCLK $\leq$ 240 MHz) 16 (TCLK > 240 MHz)	—		

表 2.61 SPI タイミング (2/6)

条件：

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
RSPCLKA_B、RSPCLKB_B。
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
- 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
- VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
RSPCK クロック High レベルパルス幅	マスタ	—	3.00 V 以上	tSPCKWH	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 1$	—	ns	図 2.76
		—	2.70 V 以上		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 2$	—		
		—	1.62 V 以上		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
	スレーブ	—	1.62 V 以上	0.4	—	tSPCyc		
RSPCK クロック Low レベルパルス幅	マスタ	—	3.00 V 以上	tSPCKWL	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 1$	—	ns	
		—	2.70 V 以上		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 2$	—		
		—	1.62 V 以上		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—		
	スレーブ	—	1.62 V 以上	0.4	—	tSPCyc		
RSPCK クロック立ち上がり／立ち下がり時間	出力	高速 ^(注1)	3.00 V 以上	tSPCKr, tSPCKf	—	0.80	ns	
		高速 ^(注1)	2.70 V 以上		—	1.40		
		高速 ^(注1)	1.62 V 以上		—	2.50		
		デフォルト ^(注2)	3.00 V 以上		—	1.66		
		デフォルト ^(注2)	2.70 V 以上		—	3.30		
		デフォルト ^(注2)	1.62 V 以上		—	6.60		
	入力	—	3.00 V 以上	—	0.1 ^(注3)	μs		
		—	2.70 V 以上	—	0.1 ^(注3)			
		—	1.62 V 以上	—	0.1 ^(注3)			

表 2.61 SPI タイミング (3/6)

条件：

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
RSPCLKA_B、RSPCLKB_B。
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
- 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
- VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速/デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ入力セットアップ時間	マスタ	—	3.00 V 以上	t_{SU}	-2.5	—	ns	図 2.77, 図 2.78
		—	2.70 V 以上		0.0	—		
		—	1.62 V 以上		0.0	—		
	スレーブ	高速(注1)	3.00 V 以上		1.5	—		
		高速(注1)	2.70 V 以上		1.5	—		
		高速(注1)	1.62 V 以上		1.5	—		
		デフォルト(注2)	3.00 V 以上		2.5	—		
		デフォルト(注2)	2.70 V 以上		2.5	—		
		デフォルト(注2)	1.62 V 以上		2.5	—		
データ入力ホールド時間	マスタ	—	3.00 V 以上	t_H	7.5	—	ns	
		—	2.70 V 以上		7.5	—		
		—	1.62 V 以上		9.5	—		
	スレーブ	高速(注1)	3.00 V 以上		1.5	—		
		高速(注1)	2.70 V 以上		1.5	—		
		高速(注1)	1.62 V 以上		1.5	—		
		デフォルト(注2)	3.00 V 以上		2.5	—		
		デフォルト(注2)	2.70 V 以上		2.5	—		
		デフォルト(注2)	1.62 V 以上		5.5	—		

表 2.61 SPI タイミング (4/6)

条件:

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています:
RSPCLKA_B、RSPCLKB_B。
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
- 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
- VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考	
SSL セットアップ時間	マスタ	—	3.00 V 以上	t _{LEAD}	1 × t _{SPcyc} − 10	8 × t _{SPcyc} + 10	ns	図 2.77, 図 2.78	
		—	2.70 V 以上		1 × t _{SPcyc} − 10	8 × t _{SPcyc} + 10			
		—	1.62 V 以上		1 × t _{SPcyc} − 10	8 × t _{SPcyc} + 10			
	スレーブ	—	3.00 V 以上		5.0	—	t _{Tcyc}		
		—	2.70 V 以上		5.0	—			
		—	1.62 V 以上		5.0	—			
SSL ホールド時間	マスタ	—	3.00 V 以上	t _{LAG}	1 × t _{SPcyc} − 10	8 × t _{SPcyc} + 10	ns		
		—	2.70 V 以上		1 × t _{SPcyc} − 10	8 × t _{SPcyc} + 10			
		—	1.62 V 以上		1 × t _{SPcyc} − 10	8 × t _{SPcyc} + 10			
	スレーブ	—	3.00 V 以上		5.0	—	t _{Tcyc}		
		—	2.70 V 以上		5.0	—			
		—	1.62 V 以上		5.0	—			
TI SSP SS 入力セットアップ時間	スレーブ	—	3.00 V 以上	t _{TISS}	2.5	—	ns	図 2.82	
		—	2.70 V 以上		2.5	—			
		—	1.62 V 以上		2.5	—			
TI SSP SS 入力ホールド時間	スレーブ	—	3.00 V 以上	t _{TISH}	2.5	—	ns		
		—	2.70 V 以上		2.5	—			
		—	1.62 V 以上		5.5	—			
TI SSP 次アクセス時間	スレーブ	—	3.00 V 以上	t _{TIND}	2 × t _{Tcyc} + SLNDL × t _{Tcyc}	—	ns		
		—	2.70 V 以上		2 × t _{Tcyc} + SLNDL × t _{Tcyc}	—			
		—	1.62 V 以上		2 × t _{Tcyc} + SLNDL × t _{Tcyc}	—			
TI SSP マスタ SS 出力遅延	マスタ	—	3.00 V 以上	t _{TISSOD}	—	4.0	ns		図 2.79
		—	2.70 V 以上		—	8.0			
		—	1.62 V 以上		—	8.0			

表 2.61 SPI タイミング (5/6)

条件:

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：
RSPCLKA_B、RSPCLKB_B。
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
- 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
- VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速/デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ出力遅延時間	マスタ	—	3.00 V 以上	t_{OD1}	—	2.0	ns	図 2.77, 図 2.78
		—	2.70 V 以上		—	3.0		
		—	1.62 V 以上		—	6.0		
		高速(注1)	3.00 V 以上	t_{OD2}	—	1.5		
		高速(注1)	2.70 V 以上		—	2.5		
		高速(注1)	1.62 V 以上		—	4.5		
		デフォルト(注2)	3.00 V 以上		—	2.5		
		デフォルト(注2)	2.70 V 以上		—	2.5		
		デフォルト(注2)	1.62 V 以上		—	4.5		
	スレーブ	—	3.00 V 以上	t_{OD}	—	10.0		
		—	2.70 V 以上		—	13.5		
		—	1.62 V 以上		—	21.5		
データ出力ホールド時間	マスタ	高速(注1)	3.00 V 以上	t_{OH}	-1.5	—	ns	
		高速(注1)	2.70 V 以上		-2.5	—		
		高速(注1)	1.62 V 以上		-4.5	—		
		デフォルト(注2)	3.00 V 以上		-2.5	—		
		デフォルト(注2)	2.70 V 以上		-2.5	—		
		デフォルト(注2)	1.62 V 以上		-4.5	—		
	スレーブ	—	3.00 V 以上		0.0	—		
		—	2.70 V 以上		0.0	—		
		—	1.62 V 以上		0.0	—		

表 2.61 SPI タイミング (6/6)

条件:

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています:
RSPCLKA_B、RSPCLKB_B。
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
- 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
- VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF が印加されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
連続送信遅延時間	マスタ	—	3.00 V 以上	t_{TD}	$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$	ns	図 2.77, 図 2.78
		—	2.70 V 以上		$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$		
		—	1.62 V 以上		$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$		
	スレーブ	—	3.00 V 以上		t_{Tcyc}	—	ns	
		—	2.70 V 以上		t_{Tcyc}	—		
		—	1.62 V 以上		t_{Tcyc}	—		
MOSI、MISO 立ち上がり／立ち下がり時間	出力	—	3.00 V 以上	t_{Dr} , t_{Df}	—	1.66	ns	
		—	2.70 V 以上		—	3.30		
		—	1.62 V 以上		—	6.60		
	入力	—	3.00 V 以上		—	1.0	μs	
		—	2.70 V 以上		—	1.0		
		—	1.62 V 以上		—	1.0		
SSL 立ち上がり／立ち下がり時間	出力	—	3.00 V 以上	t_{SSLr} , t_{SSLf}	—	1.66	ns	
		—	2.70 V 以上		—	3.30		
		—	1.62 V 以上		—	6.60		
	入力	—	3.00 V 以上		—	1.0	μs	
		—	2.70 V 以上		—	1.0		
		—	1.62 V 以上		—	1.0		
スレーブアクセス時間	スレーブ	—	3.00 V 以上	t_{SA}	—	20.0	ns	図 2.80, 図 2.81
		—	2.70 V 以上		—	20.0		
		—	1.62 V 以上		—	25.0		
スレーブ出力解放時間	スレーブ	—	3.00 V 以上	t_{REL}	—	20.0	ns	
		—	2.70 V 以上		—	20.0		
		—	1.62 V 以上		—	25.0		

注 1. 所属グループを示すため、_A や _B などのように端子名の後ろに文字を付加した端子を使用してください。SPI0 と SPI1 は _B の例です。

注 2. 所属グループのすべての端子を使用できます。

注 3. 最長 1 μs

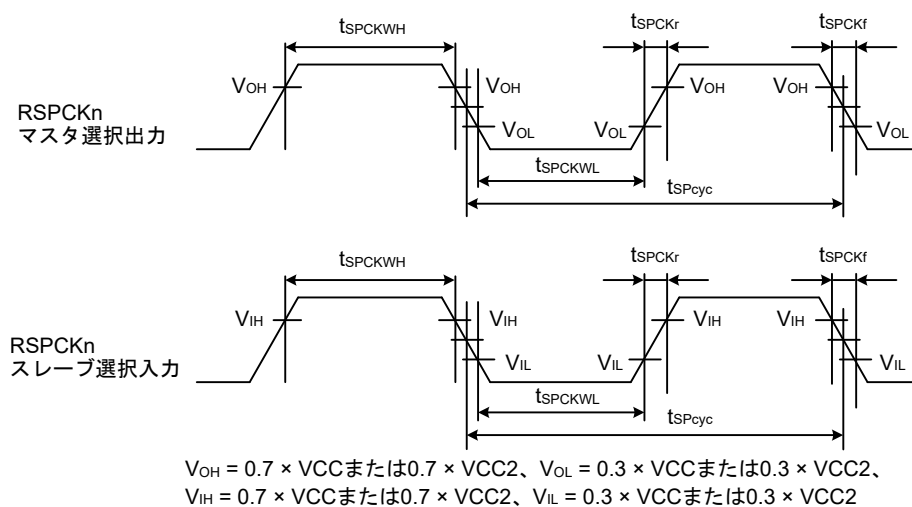


図 2.76 SPI クロックタイミング

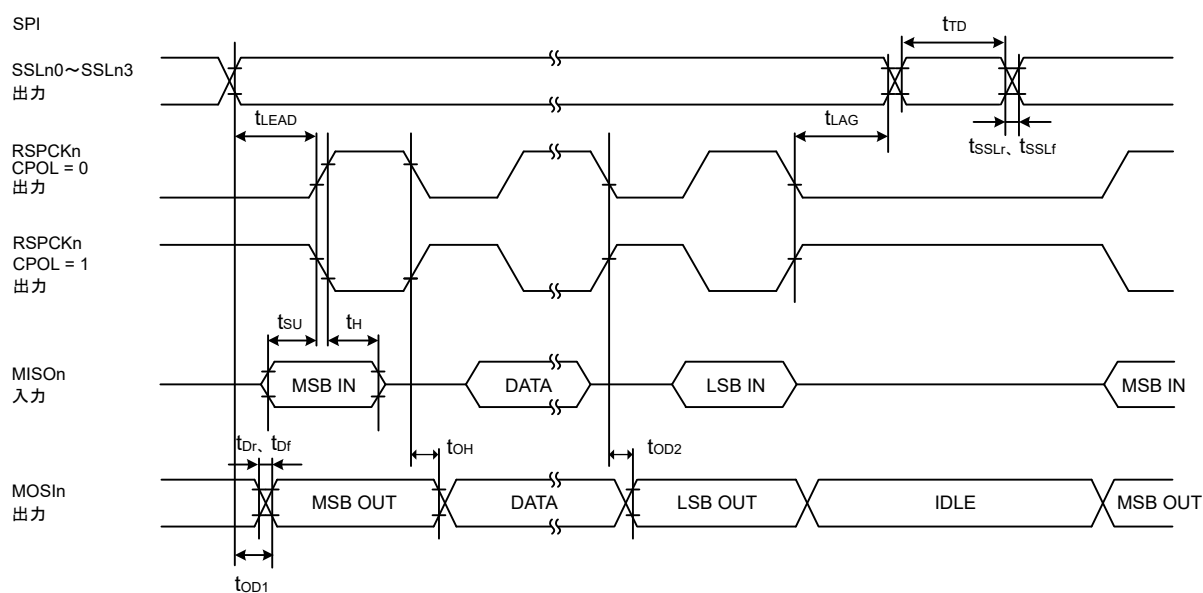


図 2.77 CPOL = 0 の場合におけるモトローラ SPI マスタの SPI タイミング

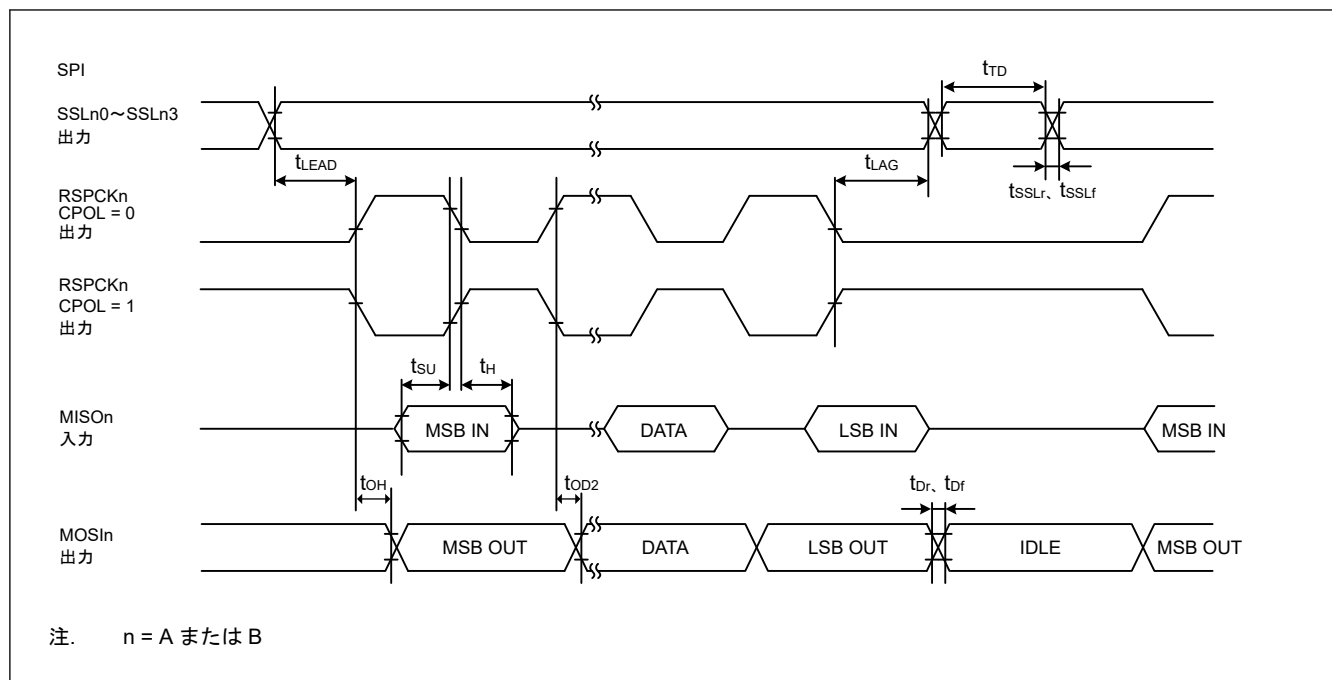


図 2.78 CPHA = 1 の場合におけるモトローラ SPI マスタの SPI タイミング

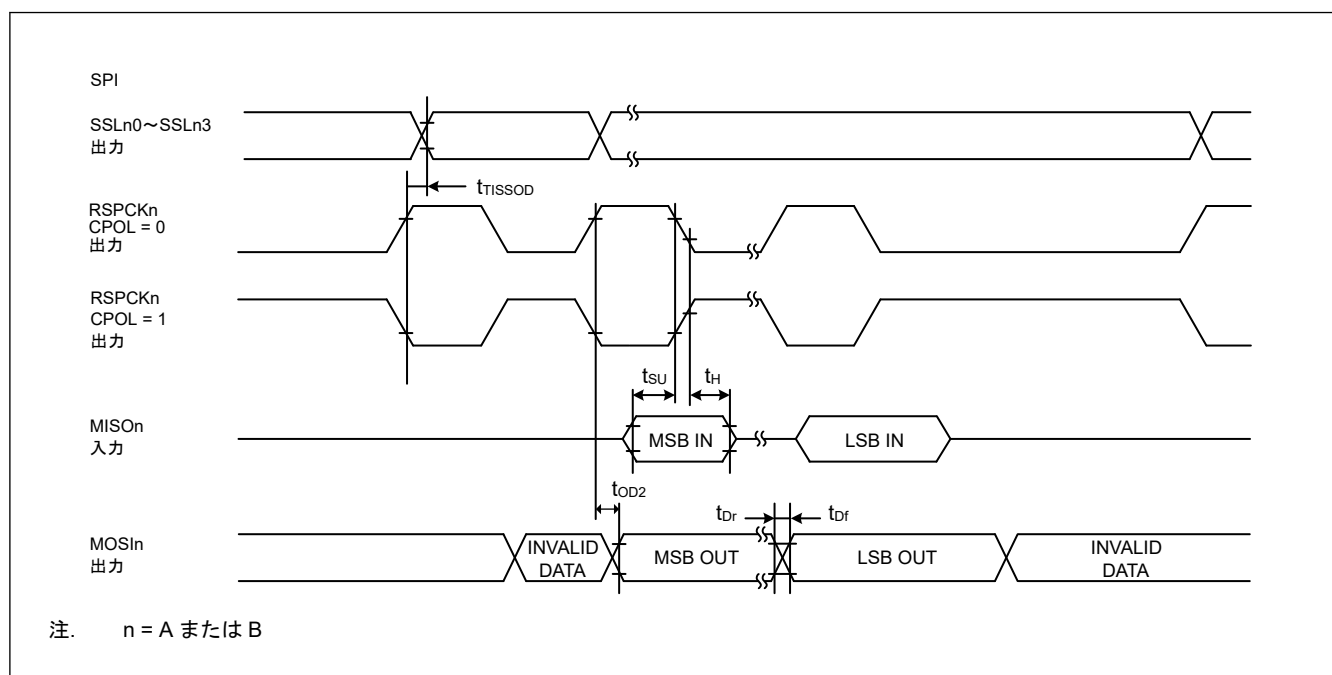


図 2.79 SPI タイミング (TI SSP マスタ)

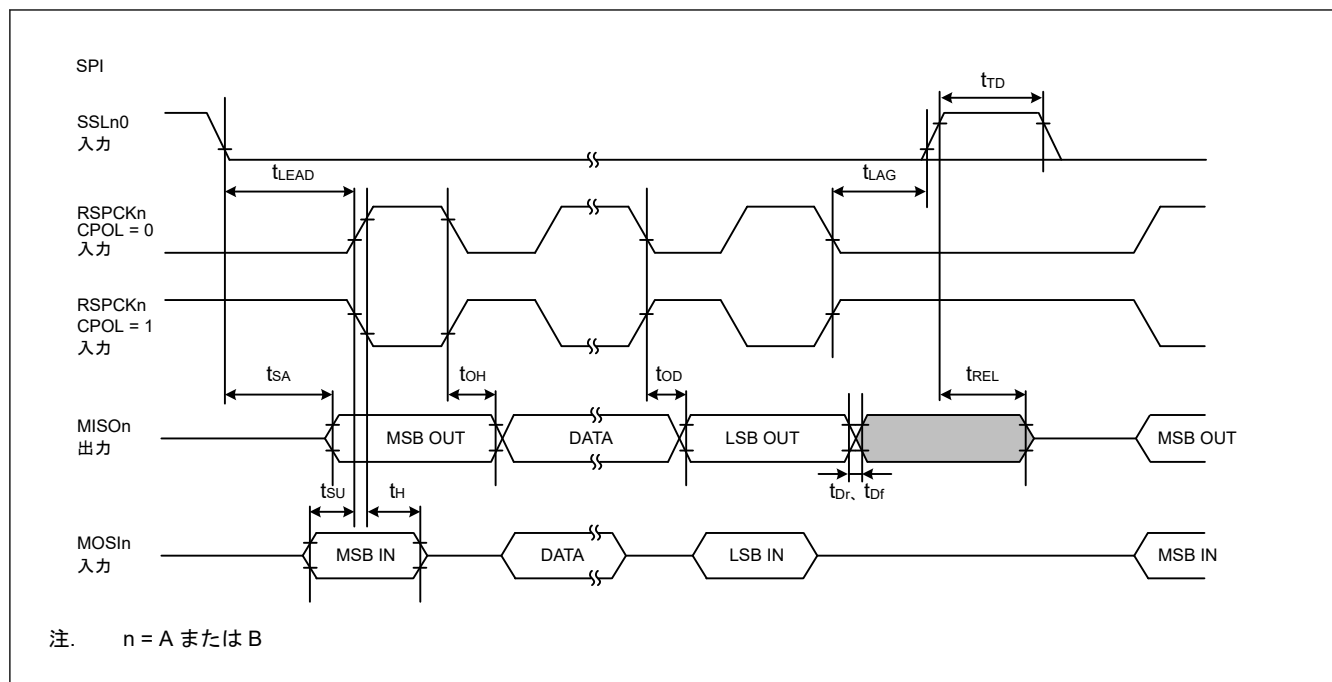


図 2.80 CPHA = 0 の場合におけるモトローラ SPI スレーブの SPI タイミング

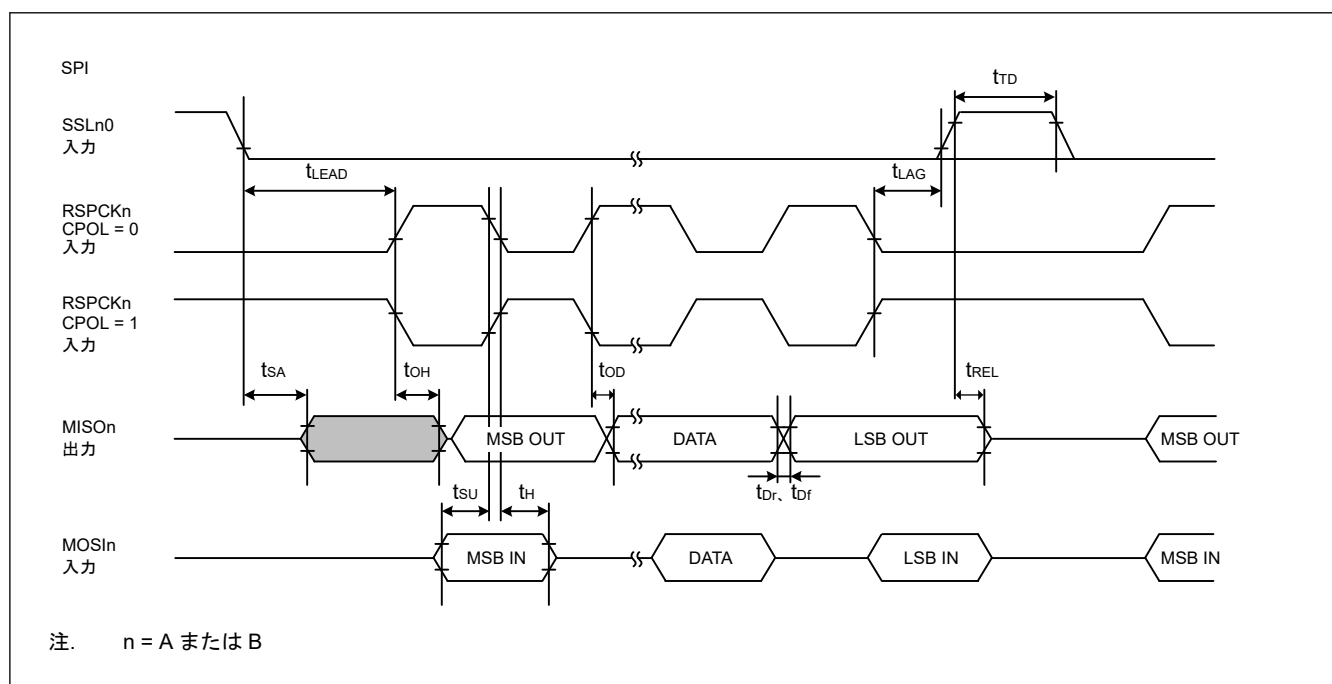


図 2.81 CPHA = 1 の場合におけるモトローラ SPI スレーブの SPI タイミング

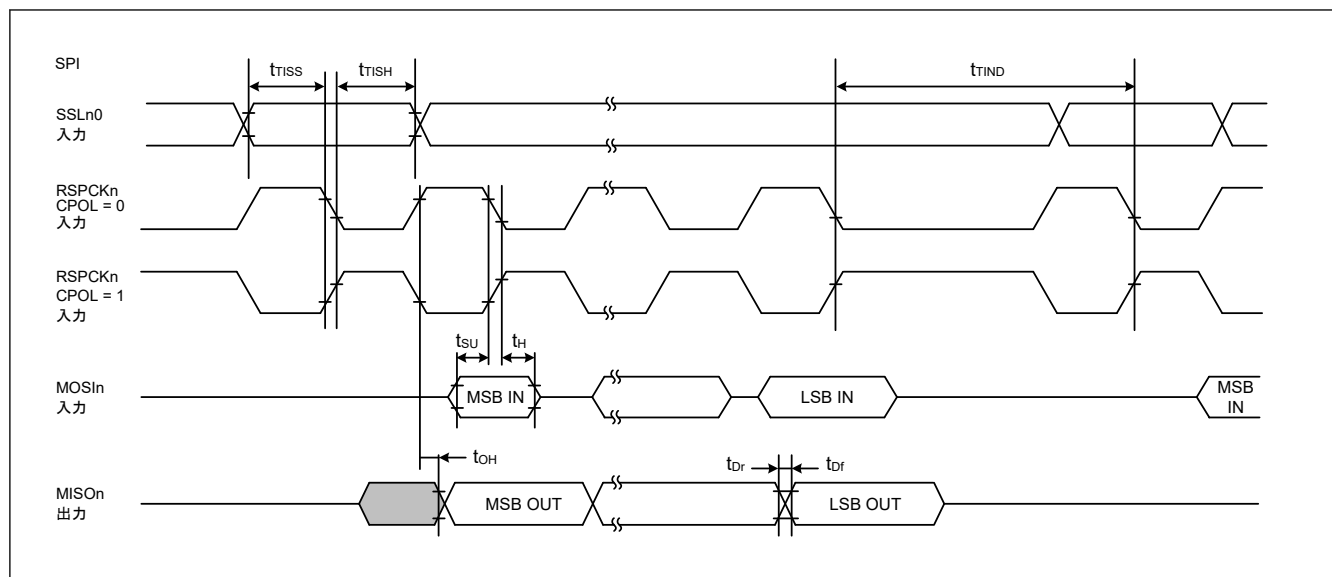


図 2.82 フレーム間の遅延がある送信における TI SSP スレーブの SPI タイミング

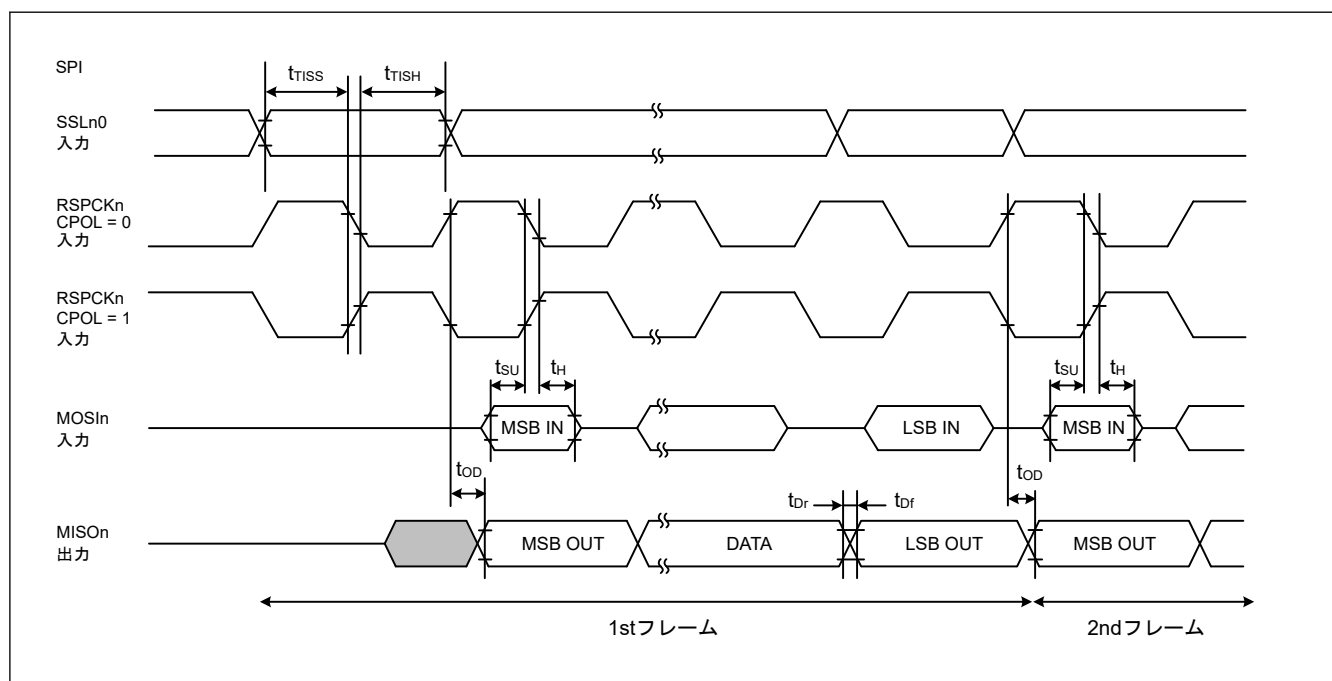


図 2.83 フレーム間の遅延がない送信における TI SSP スレーブの SPI タイミング

2.3.11 OSPI タイミング

表 2.62 OSPI タイミング (1/6)

条件:

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています: OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: OM_n_CS0、OM_n_CS1。

負荷容量 C = 15 pF

項目		シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
サイクルタイム	OM_DQS 端子なしの SDR	t _{PERIOD}	2.70 V 以上	VSCR_1、 電圧範囲 1	16.67	—	ns	図 2.84
				VSCR_2、 電圧範囲 2				
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1	20.00	—		
				VSCR_2、 電圧範囲 2				
	OM_DQS 端子ありの SDR/DDR	t _{PERIOD}	2.70 V 以上	VSCR_1、 電圧範囲 1	6.00	—	ns	
				VSCR_2、 電圧範囲 2	7.50	—		
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1				
				VSCR_2、 電圧範囲 2				
クロック出力スルーレート	t _{SRck}	2.70 V 以上	VSCR_1、 電圧範囲 1	0.94	—	V/ns	図 2.84	
			VSCR_2、 電圧範囲 2	0.75	—			
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1					
			VSCR_2、 電圧範囲 2					
クロックデューティーサイクル歪み	t _{CKDCD}	2.70 V 以上	VSCR_1、 電圧範囲 1	0	0.3	ns	図 2.84	
			VSCR_2、 電圧範囲 2	0	0.375			
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1					
			VSCR_2、 電圧範囲 2					
クロック最小パルス幅	t _{CKMPW}	2.70 V 以上	VSCR_1、 電圧範囲 1	2.7	—	ns	図 2.84	
			VSCR_2、 電圧範囲 2	3.375	—			
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1					
			VSCR_2、 電圧範囲 2					

表 2.62 OSPI タイミング (2/6)

条件:

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています: OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: OM_n_CS0、OM_n_CS1。

負荷容量 C = 15 pF

項目		シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
差動クロック交差電圧		V _{ox} (AC)	2.70 V 以上	VSCR_1、 電圧範囲 1	0.2 × VCC2	0.6 × VCC2	V	図 2.84
				VSCR_2、 電圧範囲 2				
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1				
				VSCR_2、 電圧範囲 2				
DS デューティーサイクル歪み		t _{DSDCD}	2.70 V 以上	VSCR_1、 電圧範囲 1	0	0.24	ns	図 2.84
				VSCR_2、 電圧範囲 2	0	0.3		
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1				
				VSCR_2、 電圧範囲 2				
DS 最小パルス幅		t _{DMPW}	2.70 V 以上	VSCR_1、 電圧範囲 1	2.46	—	ns	図 2.84
				VSCR_2、 電圧範囲 2	3.075	—		
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1				
				VSCR_2、 電圧範囲 2				
データ入出力スルーレート		t _{SR}	2.70 V 以上	VSCR_1、 電圧範囲 1	1.72	—	ns	図 2.84
				VSCR_2、 電圧範囲 2	1.37	—		
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1	0.75	—		
				VSCR_2、 電圧範囲 2				
データ入力セットアップ時間 (OM_SCLK/ OM_SCLKN に 対して)	OM_DQS なしの SDR	t _{SU}	2.70 V 以上	VSCR_1、 電圧範囲 1	8.17	—	ns	図 2.85
				VSCR_2、 電圧範囲 2				
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1	13.0	—		
				VSCR_2、 電圧範囲 2				
データ入力ホールド時間 (OM_SCLK/ OM_SCLKN に 対して)		t _H	2.70 V 以上	VSCR_1、 電圧範囲 1	0.5	—	ns	
				VSCR_2、 電圧範囲 2				
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1	0.5	—		
				VSCR_2、 電圧範囲 2				

表 2.62 OSPI タイミング (3/6)

条件:

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています: OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: OM_n_CS0、OM_n_CS1。

負荷容量 C = 15 pF

項目		シンボル	VCC/VCC2	VDD	Min	Max	単位	備考	
データ出力有効時間	OM_DQS なしの SDR	t_{OV} (注2)	2.70 V 以上	VSCR_1、 電圧範囲 1	—	5.4	ns	図 2.85	
				VSCR_2、 電圧範囲 2					
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1	—	6.9			
				VSCR_2、 電圧範囲 2					
データ出力ホール ド時間		t_{OH}	2.70 V 以上	VSCR_1、 電圧範囲 1	-5.4	—	ns		
				VSCR_2、 電圧範囲 2					
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1	-6.9	—			
				VSCR_2、 電圧範囲 2					
データ出力バッ ファオフ時間	t_{BOFF}	2.70 V 以上	VSCR_1、 電圧範囲 1	-5.4	—	ns			
			VSCR_2、 電圧範囲 2						
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1	-6.9	—				
			VSCR_2、 電圧範囲 2						
データ入力セッ トアップ時間 (OM_DQS に対 して)	OM_DQS/DDR 端子付き SDR	t_{SU}	2.70 V 以上	VSCR_1、 電圧範囲 1	-0.58	—	ns	図 2.86 , 図 2.87	
				VSCR_2、 電圧範囲 2	-0.7	—			
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1					
				VSCR_2、 電圧範囲 2					
データ入力ホール ド時間 (OM_DQS に対 して)		t_H	2.70 V 以上	VSCR_1、 電圧範囲 1	1.88	—	ns		
				VSCR_2、 電圧範囲 2	2.375	—			
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1					
				VSCR_2、 電圧範囲 2					

表 2.62 OSPI タイミング (4/6)

条件:

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています: OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: OM_n_CS0、OM_n_CS1。

負荷容量 C = 15 pF

項目		シンボル	VCC/VCC2	VDD	Min	Max	単位	備考		
データ出力有効時間	OM_DQS/DDR 端子付き SDR	t_{OV} (注2)	2.70 V 以上	VSCR_1、 電圧範囲 1	—	$t_{PERIOD}/4 + 0.5$	ns	図 2.86, 図 2.87		
				VSCR_2、 電圧範囲 2	—	$t_{PERIOD}/4 + 0.6$				
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1						
				VSCR_2、 電圧範囲 2						
データ出力ホールド時間		t_{OH}	2.70 V 以上	VSCR_1、 電圧範囲 1	0.7	—	ns			
				VSCR_2、 電圧範囲 2	0.9	—				
			1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1						
				VSCR_2、 電圧範囲 2						
データ出力バッファオフ時間	t_{BOFF}	2.70 V 以上	VSCR_1、 電圧範囲 1	0.7	—	ns				
			VSCR_2、 電圧範囲 2	0.9	—					
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1							
			VSCR_2、 電圧範囲 2							

表 2.62 OSPI タイミング (5/6)

条件:

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています: OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: OM_n_CS0、OM_n_CS1。

負荷容量 C = 15 pF

項目	シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
クロック Low~CS Low	t _{CKLCSL}	2.70 V 以上	VSCR_1、 電圧範囲 1	4.8	—	ns	図 2.85、図 2.86、図 2.87
			VSCR_2、 電圧範囲 2	6	—		
		1.65 V~ 2.00 V	VSCR_1、 電圧範囲 1				
			VSCR_2、 電圧範囲 2				
CS Low~クロック High	t _{CSLCKH} (注3)	2.70 V 以上	VSCR_1、 電圧範囲 1	4.8	—	ns	
			VSCR_2、 電圧範囲 2	6	—		
		1.62 V~ 2.00 V	VSCR_1、 電圧範囲 1				
			VSCR_2、 電圧範囲 2				
CS Low~CS High	t _{CKLCSH}	2.70 V 以上	VSCR_1、 電圧範囲 1	4.8	—	ns	
			VSCR_2、 電圧範囲 2	6	—		
		1.62 V~ 2.00 V	VSCR_1、 電圧範囲 1				
			VSCR_2、 電圧範囲 2				
CS High~クロック High	t _{CSHCKH}	2.70 V 以上	VSCR_1、 電圧範囲 1	4.8	—	ns	
			VSCR_2、 電圧範囲 2	6	—		
		1.62 V~ 2.00 V	VSCR_1、 電圧範囲 1				
			VSCR_2、 電圧範囲 2				

表 2.62 OSPI タイミング (6/6)

条件:

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています: OM_n_SCLK、OM_n_SCLKN、OM_n_SIO7-0、OM_n_DQS。

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: OM_n_CS0、OM_n_CS1。

負荷容量 C = 15 pF

項目	シンボル	VCC/VCC2	VDD	Min	Max	単位	備考
DS Low 出力～CS High	t _{CSCHKH}	2.70 V 以上	VSCR_1、 電圧範囲 1	0.8 × t _{PERIOD}	—	ns	図 2.88
			VSCR_2、 電圧範囲 2	0.8 × t _{PERIOD}	—		
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1				
			VSCR_2、 電圧範囲 2				
CS High～DS トライステート	t _{CSHDST}	2.70 V 以上	VSCR_1、 電圧範囲 1	—	t _{PERIOD}	ns	
			VSCR_2、 電圧範囲 2	—	t _{PERIOD}		
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1				
			VSCR_2、 電圧範囲 2				
CS Low～DS Low 入力(注1)(注3)	t _{CSLDL}	2.70 V 以上	VSCR_1、 電圧範囲 1	0	12.5	ns	
			VSCR_2、 電圧範囲 2	0	20		
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1	0	12.5		
			VSCR_2、 電圧範囲 2				
DS トライステート～CS Low	t _{DSTCSL}	2.70 V 以上	VSCR_1、 電圧範囲 1	0	—	ns	
			VSCR_2、 電圧範囲 2	0	—		
		1.62 V～ 2.00 V	VSCR_1、 電圧範囲 1				
			VSCR_2、 電圧範囲 2				

注. n = 0, 1

注 1. OM_DQS 端子に接続された外部プルダウンで JESD251 プロファイル 1.0 メモリを使用する場合はこの制限に従う必要はありません。

注 2. 条件: COMCFG.OEASTEX = 1

注 3. 条件: LIOCFGCSx.CSASTEX = 1

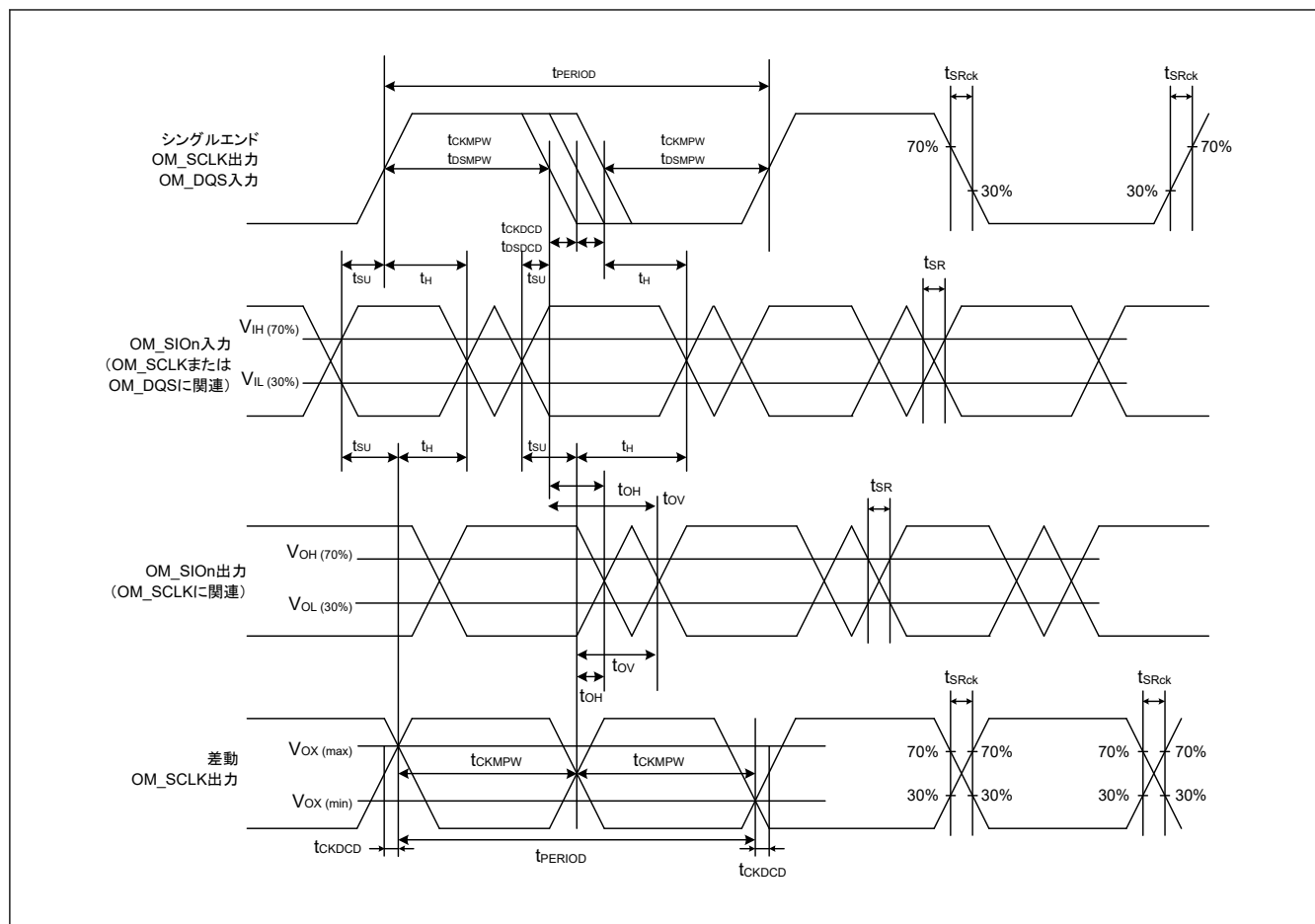


図 2.84 OSPI クロック/DS タイミング

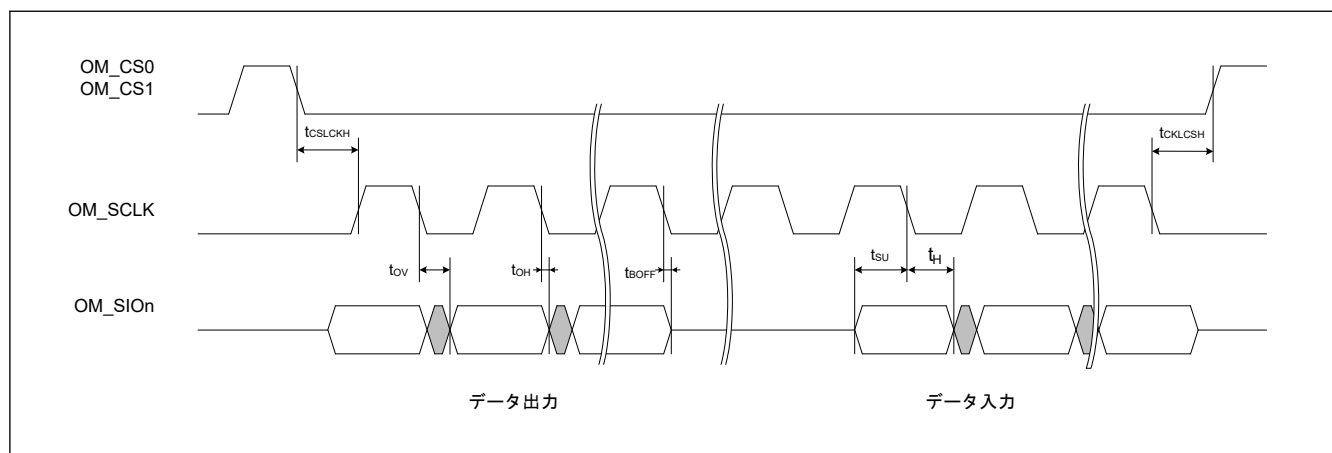


図 2.85 SDR 送受信タイミング (1S-1S-1S、1S-2S-2S、2S-2S-2S、1S-4S-4S、4S-4S-4S)

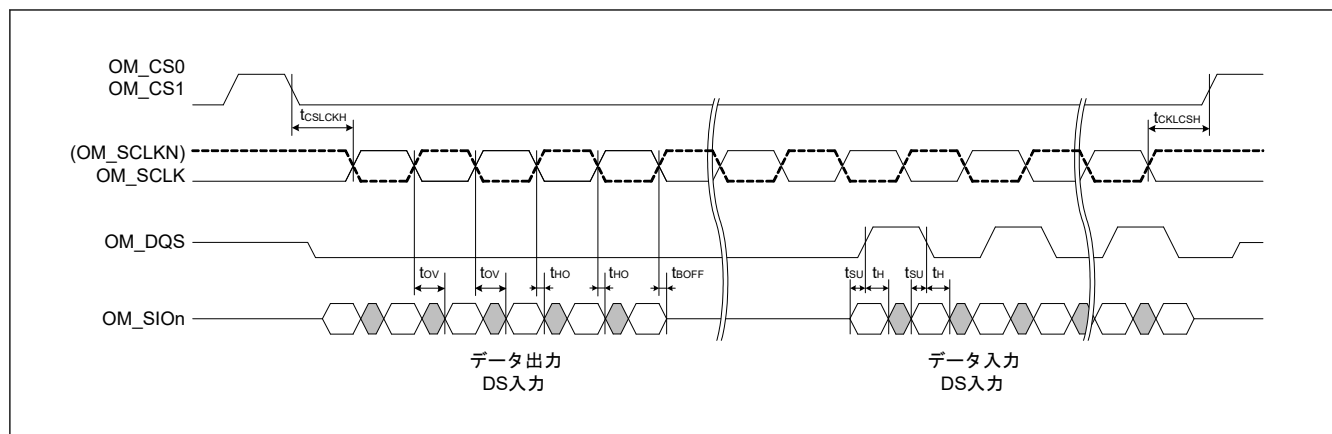


図 2.86 DDR 送受信タイミング (4S-4D-4D、8D-8D-8D)

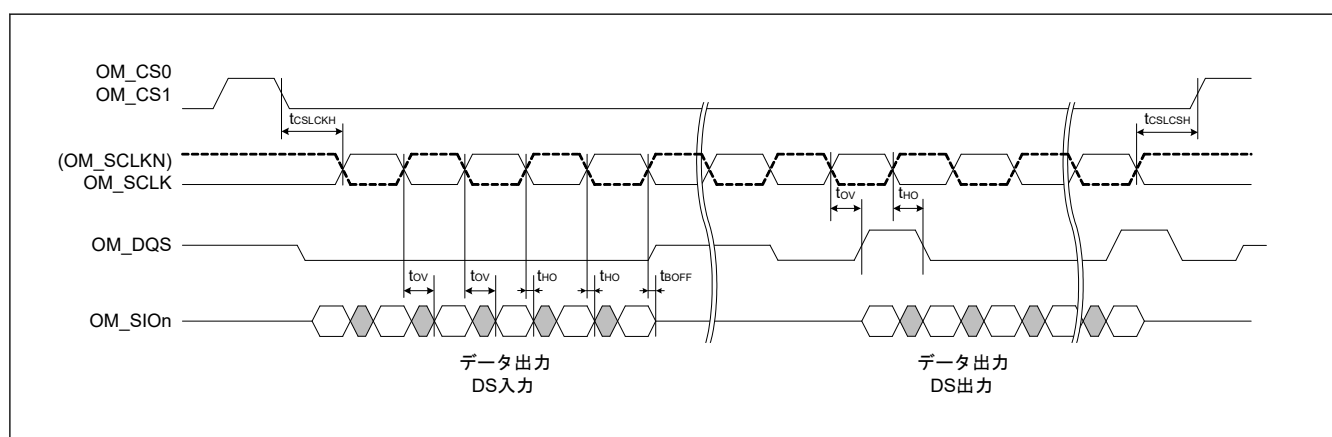


図 2.87 DDR 送受信タイミング (HyperRAM 書き込み)

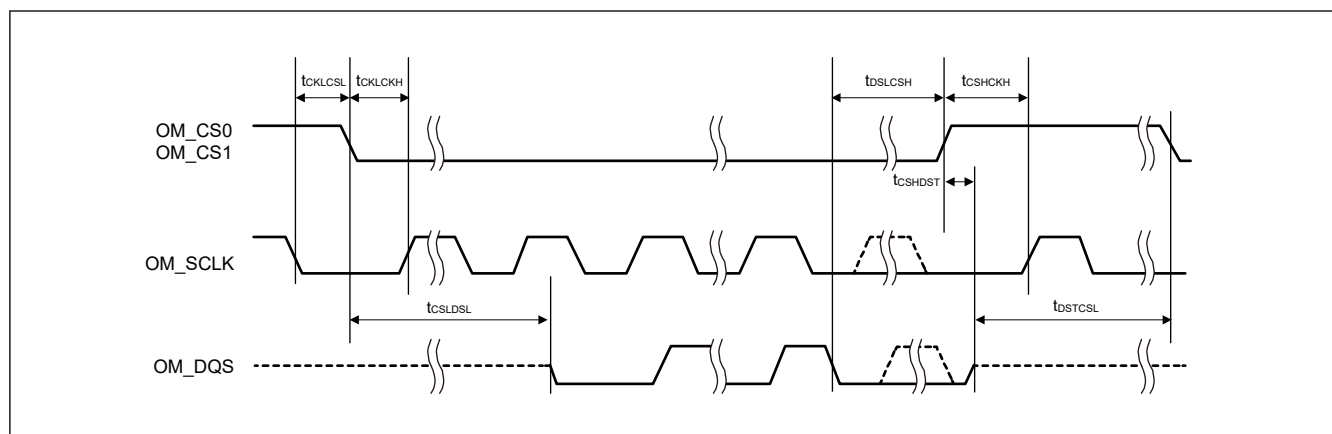


図 2.88 DS~CS 信号タイミング

2.3.12 IIC タイミング

表 2.63 IIC タイミング (1) (1/2)

条件:

- 以下の端子の PmnPFS レジスタのポート駆動能力ビットにおいて、VCC が 2.70 V 以上の時は中駆動出力が選択され、1.62~1.95 V の時は高駆動出力が選択されます。SDA0_B, SCL0_B, SDA1_B, SCL1_B, SDA2_B, SCL2_B
- 以下の端子の設定は必要ありません: SCL0_A, SDA0_A, SCL1_A, SDA1_A, SCL2_A, SDA2_A。
- 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。

IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC (標準モード、 SMBus) ICFER.FMPE = 0	SCL 入力サイクル時間	t _{SCL}	2.70 V 以上	6 (12) × t _{IICcyc} + 1300	—	ns	図 2.89
			1.62~1.95 V				
	SCL 入力 High レベルパルス幅	t _{SCLH}	2.70 V 以上	3 (6) × t _{IICcyc} + 300	—	ns	
			1.62~1.95 V				
	SCL 入力 Low レベルパルス幅	t _{SCLL}	2.70 V 以上	3 (6) × t _{IICcyc} + 300	—	ns	
			1.62~1.95 V				
	SCL、SDA 立ち上がり時間	t _{Sr}	2.70 V 以上	—	1000	ns	
			1.62~1.95 V				
	SCL、SDA 立ち下がり時間	t _{Sf}	2.70 V 以上	—	300	ns	
			1.62~1.95 V				
	SCL、SDA 入カスパイクパルス除去時間	t _{SP}	2.70 V 以上	0	1 (4) × t _{IICcyc}	ns	
			1.62~1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスターン時間	t _{BUF}	2.70 V 以上	3 (6) × t _{IICcyc} + 300	—	ns	
			1.62~1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスターン時間	t _{BUF}	2.70 V 以上	3 (6) × t _{IICcyc} + 4 × t _{Pcyc} + 300	—	ns	
			1.62~1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t _{STAH}	2.70 V 以上	t _{IICcyc} + 300	—	ns	
			1.62~1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t _{STAH}	2.70 V 以上	1 (5) × t _{IICcyc} + t _{Pcyc} + 300	—	ns	
			1.62~1.95 V				
	リスタートコンディション入力セットアップ時間	t _{STAS}	2.70 V 以上	1000	—	ns	
			1.62~1.95 V				
	ストップコンディション入力セットアップ時間	t _{STOS}	2.70 V 以上	1000	—	ns	
			1.62~1.95 V				
	データ入力セットアップ時間	t _{SDAS}	2.70 V 以上	t _{IICcyc} + 50	—	ns	
			1.62~1.95 V				
	データ入力ホールド時間	t _{SDAH}	2.70 V 以上	0	—	ns	
			1.62~1.95 V				
SCL、SDA の負荷容量	C _b	2.70 V 以上	—	400	pF		
		1.62~1.95 V					

表 2.63 IIC タイミング (1) (2/2)

条件:

- 以下の端子の PmnPFS レジスタのポート駆動能力ビットにおいて、VCC が 2.70 V 以上の時は中駆動出力が選択され、1.62~1.95 V の時は高駆動出力が選択されます。SDA0_B, SCL0_B, SDA1_B, SCL1_B, SDA2_B, SCL2_B
- 以下の端子の設定は必要ありません: SCL0_A, SDA0_A, SCL1_A, SDA1_A, SCL2_A, SDA2_A。
- 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。

IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC (ファストモード) ICFER.FMPE = 0	SCL 入力サイクル時間	tSCL	2.70 V 以上	6 (12) × t _{IIcCyc} + 600	—	ns	図 2.89
			1.62~1.95 V				
	SCL 入力 High レベルパルス幅	tSCLH	2.70 V 以上	3 (6) × t _{IIcCyc} + 300	—	ns	
			1.62~1.95 V				
	SCL 入力 Low レベルパルス幅	tSCLL	2.70 V 以上	3 (6) × t _{IIcCyc} + 300	—	ns	
			1.62~1.95 V				
	SCL、SDA 立ち上がり時間	tSr	2.70 V 以上	20	300	ns	
			1.62~1.95 V				
	SCL、SDA 立ち下がり時間	tSf	2.70 V 以上	20 × (外付けブルアップ電圧／5.5 V) (注1)	300	ns	
			1.62~1.95 V				
	SCL、SDA 入カスパイクパルス除去時間	tSP	2.70 V 以上	0	1 (4) × t _{IIcCyc}	ns	
			1.62~1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスターン時間	tBUF	2.70 V 以上	3 (6) × t _{IIcCyc} + 300	—	ns	
			1.62~1.95 V				
	ウェイクアップ機能が有効な場合の SDA 入力バスターン時間	tBUF	2.70 V 以上	3 (6) × t _{IIcCyc} + 4 × t _{Pcyc} + 300	—	ns	
			1.62~1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	tSTAH	2.70 V 以上	t _{IIcCyc} + 300	—	ns	
			1.62~1.95 V				
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	tSTAH	2.70 V 以上	1 (5) × t _{IIcCyc} + t _{Pcyc} + 300	—	ns	
			1.62~1.95 V				
	リスタートコンディション入力セットアップ時間	tSTAS	2.70 V 以上	300	—	ns	
			1.62~1.95 V				
	ストップコンディション入力セットアップ時間	tSTOS	2.70 V 以上	300	—	ns	
			1.62~1.95 V				
	データ入力セットアップ時間	tSDAS	2.70 V 以上	t _{IIcCyc} + 50	—	ns	
			1.62~1.95 V				
	データ入力ホールド時間	tSDAH	2.70 V 以上	0	—	ns	
			1.62~1.95 V				
SCL、SDA の負荷容量	C _b	2.70 V 以上	—	400	pF		
		1.62~1.95 V					

注. t_{IICcyc} : IIC 内部基準クロック (IIC ϕ) サイクル、 t_{Pcyc} : PCLKB サイクル

注. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると () 内の値が適用されます。

注. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 1. SCL0_A、SDA0_A、SCL1_A、SDA1_A、SCL2_A、および SDA2_A に限りサポートされています。

表 2.64 IIC タイミング (2)

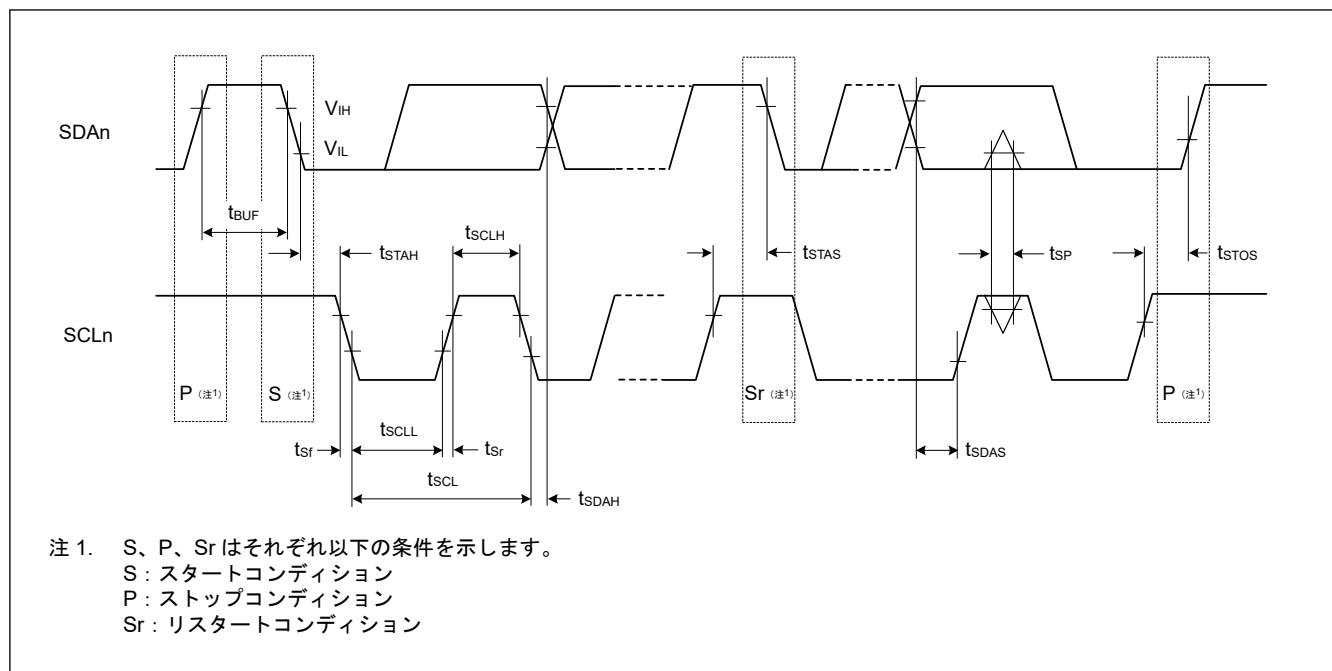
SCL0_A、SDA0_A、SCL1_A、SDA1_A の設定。PmnPFS レジスタのポート駆動能力ビットでは、SCL2_A 端子、SDA2_A 端子は必要ありません。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC (ファストモード+) ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上 1.62~1.95 V	$6(12) \times t_{IICcyc} + 240$	—	ns	図 2.89
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上 1.62~1.95 V	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上 1.62~1.95 V	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	2.70 V 以上 1.62~1.95 V	—	120	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	2.70 V 以上 1.62~1.95 V	$20 \times (\text{外付けプルアップ電圧} / 5.5 \text{ V})$	120	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	2.70 V 以上 1.62~1.95 V	0	$1(4) \times t_{IICcyc}$	ns	
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上 1.62~1.95 V	$3(6) \times t_{IICcyc} + 120$	—	ns	
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上 1.62~1.95 V	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 120$	—	ns	
	ウェイクアップ機能が無効な場合のスタートコンディショニング入力ホールド時間	t_{STAH}	2.70 V 以上 1.62~1.95 V	$t_{IICcyc} + 120$	—	ns	
	ウェイクアップ機能が有効な場合のスタートコンディショニング入力ホールド時間	t_{STAH}	2.70 V 以上 1.62~1.95 V	$1(5) \times t_{IICcyc} + t_{Pcyc} + 120$	—	ns	
	リスタートコンディショニング入力セットアップ時間	t_{STAS}	2.70 V 以上 1.62~1.95 V	120	—	ns	
	ストップコンディショニング入力セットアップ時間	t_{STOS}	2.70 V 以上 1.62~1.95 V	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上 1.62~1.95 V	$t_{IICcyc} + 30$	—	ns	
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上 1.62~1.95 V	0	—	ns	
	SCL、SDA の負荷容量	C_b (注1)	2.70 V 以上 1.62~1.95 V	—	550	pF	

注. t_{IICcyc} : IIC 内部基準クロック (IIC ϕ) サイクル、 t_{Pcyc} : PCLKB サイクル

注. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると () 内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。

図 2.89 I²C バスインタフェース入出力タイミング

2.3.13 I3C タイミング

表 2.65 IIC タイミング (1)-1

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ		シンボル	VCC	Min	Max	単位
IIC（標準モード、SMBus） BFCTL.FMPE = 0	SCL 入力サイクル時間	t _{SCL}	2.70 V 以上、 1.65～1.95 V	10 (18) × t _{I3C_{Cyc}} + 1300	—	ns
	SCL 入力 High レベルパルス幅	t _{SCLH}	2.70 V 以上、 1.65～1.95 V	5 (9) × t _{I3C_{Cyc}} + 300	—	ns
	SCL 入力 Low レベルパルス幅	t _{SCLL}	2.70 V 以上、 1.65～1.95 V	5 (9) × t _{I3C_{Cyc}} + 300	—	ns
	SCL、SDA 立ち上がり時間	t _{Sr}	2.70 V 以上、 1.65～1.95 V	—	1000	ns
	SCL、SDA 立ち下がり時間	t _{Sf}	2.70 V 以上、 1.65～1.95 V	—	300	ns
	SCL、SDA 入カスパイクパルス除去時間	t _{SP}	2.70 V 以上、 1.65～1.95 V	0	1 (4) × t _{I3C_{Cyc}}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t _{BUF}	2.70 V 以上、 1.65～1.95 V	5(9) × t _{I3C_{Cyc}} + 300	—	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t _{BUF}	2.70 V 以上、 1.65～1.95 V	5(9) × t _{I3C_{Cyc}} + 4 × t _{T_{Cyc}} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t _{STAH}	2.70 V 以上、 1.65～1.95 V	t _{I3C_{Cyc}} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t _{STAH}	2.70 V 以上、 1.65～1.95 V	1(5) × t _{I3C_{Cyc}} + t _{T_{Cyc}} + 300	—	ns
	リスタートコンディション入力セットアップ時間	t _{STAS}	2.70 V 以上、 1.65～1.95 V	1000	—	ns
	ストップコンディション入力セットアップ時間	t _{STOS}	2.70 V 以上、 1.65～1.95 V	1000	—	ns
	データ入力セットアップ時間	t _{SDAS}	2.70 V 以上、 1.65～1.95 V	t _{I3C_{Cyc}} + 50	—	ns
	データ入力ホールド時間	t _{SDAH}	2.70 V 以上、 1.65～1.95 V	0	—	ns
	SCL、SDA の負荷容量	C _b (注1)	2.70 V 以上、 1.65～1.95 V	—	400	pF

注. $t_{I3C_{Cyc}}$: I3C 内部基準クロック (I3Cφ) サイクル、 t_{TCyc} : TCLK の周期。

注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0] が 0011b であると括弧内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。

表 2.66 IIC タイミング (1)-2

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ		シンボル	VCC	Min	Max	単位
IIC (ファストモード)	SCL 入力サイクル時間	t _{SCL}	2.70 V 以上、 1.65~1.95 V	10 (18) × t _{I3C_{Cyc}} + 600	—	ns
	SCL 入力 High レベルパルス幅	t _{SCLH}	2.70 V 以上、 1.65~1.95 V	5 (9) × t _{I3C_{Cyc}} + 300	—	ns
	SCL 入力 Low レベルパルス幅	t _{SCLL}	2.70 V 以上、 1.65~1.95 V	5 (9) × t _{I3C_{Cyc}} + 300	—	ns
	SCL、SDA 立ち上がり時間	t _{Sr}	2.70 V 以上、 1.65~1.95 V	20	300	ns
	SCL、SDA 立ち下がり時間	t _{Sf}	2.70 V 以上、 1.65~1.95 V	20 × (外付けプルアップ電圧/3.6 V)	300	ns
	SCL、SDA 入カスパイクパルス除去時間	t _{SP}	2.70 V 以上、 1.65~1.95 V	0	1 (4) × t _{I3C_{Cyc}}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t _{BUF}	2.70 V 以上、 1.65~1.95 V	5 (9) × t _{I3C_{Cyc}} + 300	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間		2.70 V 以上、 1.65~1.95 V	5(9) × t _{I3C_{Cyc}} + 4 × t _{T_{Cyc}} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t _{STAH}	2.70 V 以上、 1.65~1.95 V	t _{I3C_{Cyc}} + 300	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間		2.70 V 以上、 1.65~1.95 V	1(5) × t _{I3C_{Cyc}} + t _{T_{Cyc}} + 300	—	ns
	リスタートコンディション入力セットアップ時間	t _{STAS}	2.70 V 以上、 1.65~1.95 V	300	—	ns
	ストップコンディション入力セットアップ時間	t _{STOS}	2.70 V 以上、 1.65~1.95 V	300	—	ns
	データ入力セットアップ時間	t _{SDAS}	2.70 V 以上、 1.65~1.95 V	t _{I3C_{Cyc}} + 50	—	ns
	データ入力ホールド時間	t _{SDAH}	2.70 V 以上、 1.65~1.95 V	0	—	ns
	SCL、SDA の負荷容量	C _b ^(注1)	2.70 V 以上、 1.65~1.95 V	—	400	pF

注. $t_{I3C_{Cyc}}$: I3C 内部基準クロック (I3Cφ) サイクル、 t_{TCyc} : TCLK の周期。

注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0] が 0011b であると括弧内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。

表 2.67 IIC タイミング (1)-3

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

項目		シンボル	VCC	Min	Max	単位
IIC (ファストモード+) BFCTL.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上、 1.65~1.95 V	$10(18) \times t_{I3C_{Cyc}} + 240$	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上、 1.65~1.95 V	$5(9) \times t_{I3C_{Cyc}} + 120$	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上、 1.65~1.95 V	$5(9) \times t_{I3C_{Cyc}} + 120$	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	2.70 V 以上、 1.65~1.95 V	—	120	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	2.70 V 以上、 1.65~1.95 V	$20 \times (\text{外付けプルアップ電圧}/3.3 \text{ V})$	120	ns
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	2.70 V 以上、 1.65~1.95 V	0	$1(4) \times t_{I3C_{Cyc}}$	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上、 1.65~1.95 V	$5(9) \times t_{I3C_{Cyc}} + 120$	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間			$5(9) \times t_{I3C_{Cyc}} + 4 \times t_{TCyc} + 120$	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上、 1.65~1.95 V	$t_{I3C_{Cyc}} + 120$	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間			$1(5) \times t_{I3C_{Cyc}} + t_{TCyc} + 120$	—	ns
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上、 1.65~1.95 V	120	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上、 1.65~1.95 V	120	—	ns
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上、 1.65~1.95 V	$t_{I3C_{Cyc}} + 30$	—	ns
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上、 1.65~1.95 V	0	—	ns
	SCL、SDA の負荷容量	$C_b^{(注1)}$	2.70 V 以上、 1.65~1.95 V	—	550	pF

注. $t_{I3C_{Cyc}}$: I3C 内部基準クロック (I3Cφ) サイクル、 t_{TCyc} : TCLK の周期。

注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0] が 0011b であると括弧内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。

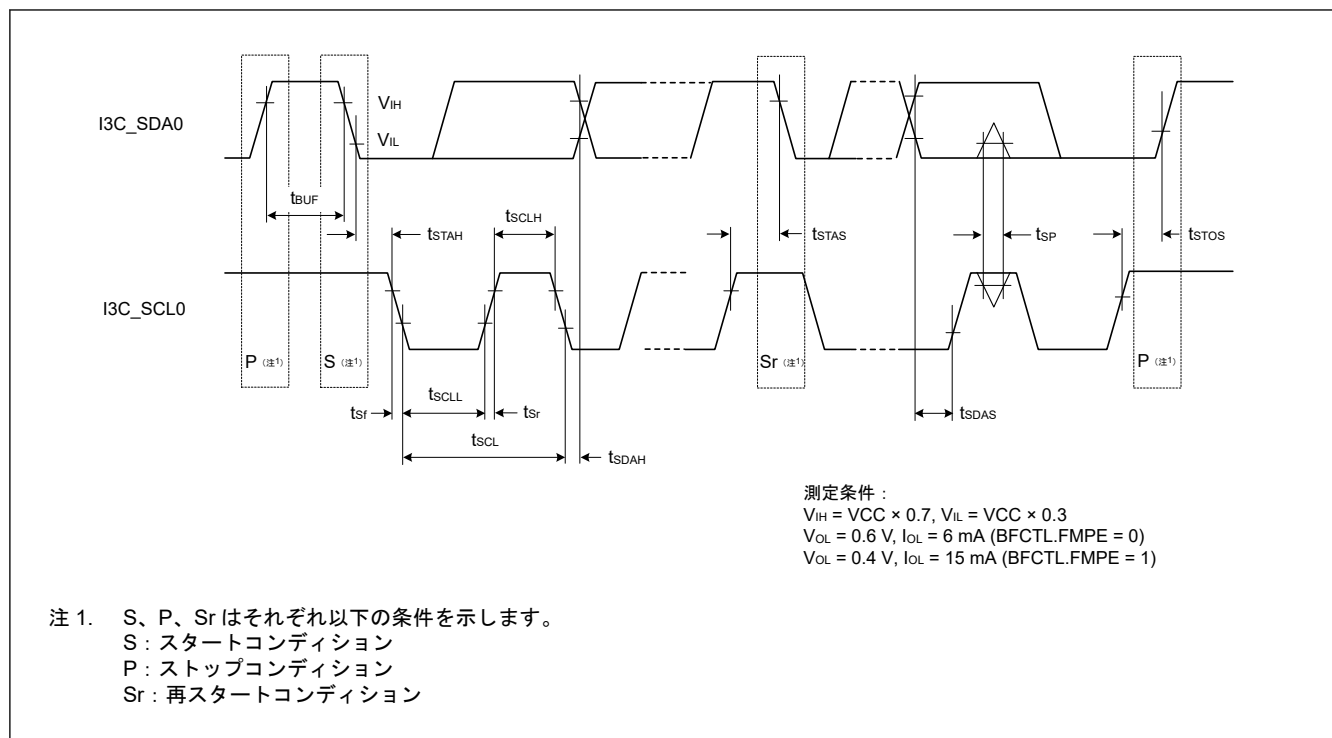
図 2.90 I²C バスインタフェース入出力タイミング

表 2.68 IIC タイミング (2)

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ			シンボル	VCC	Min	Max	単位
IIC (Hs モード) BFCTL.HS ME = 1	SCL 入力サイクル時間		t _{SCL}	3.00 V 以上	46 (48) × t _{I3C_{Cyc}}	—	ns
				1.65～1.95 V	46 (48) × t _{I3C_{Cyc}}	—	
	SCL 入力 High レベルパルス幅	Cb = 400 pF	t _{SCLH}	3.00 V 以上	29 (30) × t _{I3C_{Cyc}}	—	ns
				1.65～1.95 V	29 (30) × t _{I3C_{Cyc}}	—	
		Cb = 100 pF		3.00 V 以上	13 (14) × t _{I3C_{Cyc}}	—	
				1.65～1.95 V	13 (14) × t _{I3C_{Cyc}}	—	
	SCL 入力 Low レベルパルス幅	Cb = 400 pF	t _{SCLL}	3.00 V 以上	69 (70) × t _{I3C_{Cyc}}	—	ns
				1.65～1.95 V	69 (70) × t _{I3C_{Cyc}}	—	
		Cb = 100 pF		3.00 V 以上	33 (34) × t _{I3C_{Cyc}}	—	
				1.65～1.95 V	33 (34) × t _{I3C_{Cyc}}	—	
	SCL 立ち上がり時間	Cb = 400 pF	t _{SrCL}	3.00 V 以上	—	80	ns
				1.65～1.95 V	—	80	
		Cb = 100 pF		3.00 V 以上	—	40	
				1.65～1.95 V	—	40	
	SDA 立ち上がり時間	Cb = 400 pF	t _{SrDA}	3.00 V 以上	—	160	ns
				1.65～1.95 V	—	160	
		Cb = 100 pF		3.00 V 以上	—	80	
				1.65～1.95 V	—	80	
	SCL 立ち下がり時間	Cb = 400 pF	t _{SfCL}	3.00 V 以上	—	80	ns
				1.65～1.95 V	—	80	
		Cb = 100 pF		3.00 V 以上	—	40	
				1.65～1.95 V	—	40	
	SDA 立ち下がり時間	Cb = 400 pF	t _{SfDA}	3.00 V 以上	—	160	ns
				1.65～1.95 V	—	160	
		Cb = 100 pF		3.00 V 以上	—	80	
				1.65～1.95 V	—	80	
	SCL、SDA 入カスパイクパルス除去時間		t _{SP}	3.00 V 以上	0	1 (1) × t _{I3C_{Cyc}}	ns
				1.65～1.95 V	0	1 (1) × t _{I3C_{Cyc}}	
	リスタートコンディション入力セットアップ時間		t _{STAS}	3.00 V 以上	40	—	ns
				1.65～1.95 V	40	—	
ストップコンディション入力セットアップ時間		t _{STOS}	3.00 V 以上	40	—	ns	
			1.65～1.95 V	40	—		
データ入力セットアップ時間		t _{SDAS}	3.00 V 以上	10	—	ns	
			1.65～1.95 V	10	—		
データ入力ホールド時間	Cb = 400 pF	t _{SDAH}	3.00 V 以上	0	150	ns	
			1.65～1.95 V	0	150		
	Cb = 100 pF		3.00 V 以上	0	70		
			1.65～1.95 V	0	70		
SCL、SDA の負荷容量		C _b (注1)	3.00 V 以上	—	400	pF	
			1.65～1.95 V	—	400		

注. $t_{I3C_{CVC}}$: I3C 内部基準クロック (I3C ϕ) サイクル。

注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。

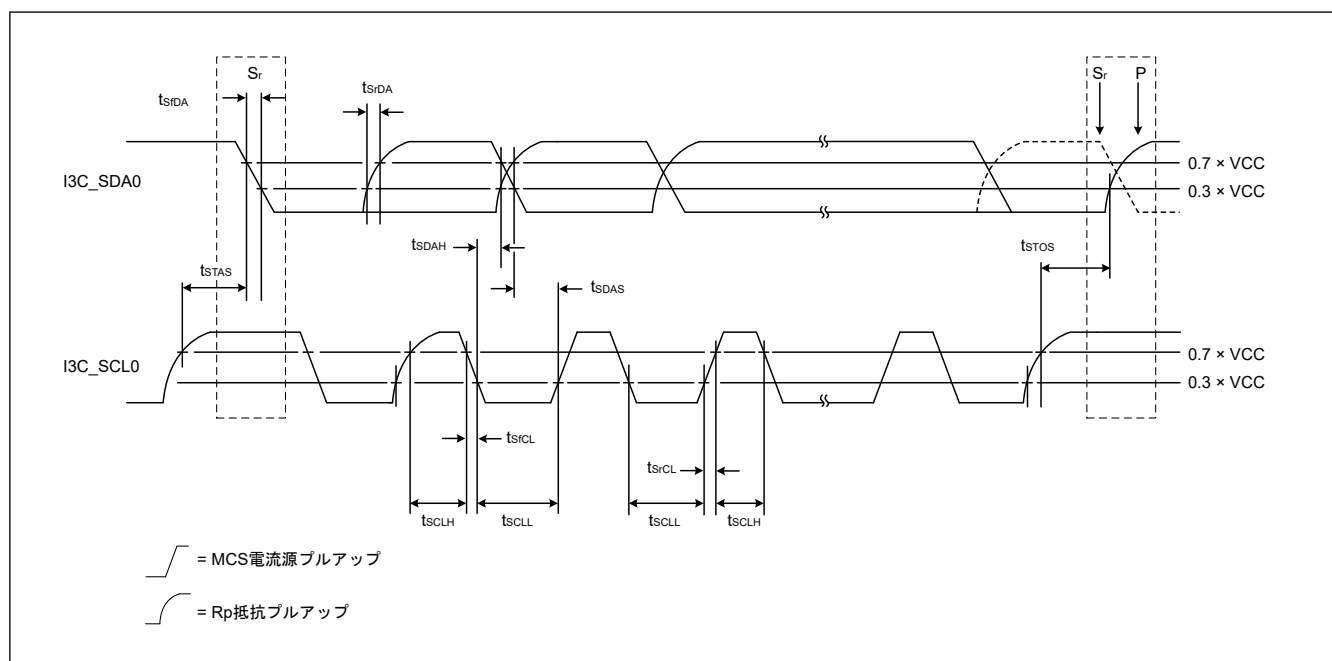


図 2.91 I²C バスインタフェース入出力タイミング (Hs モード)

表 2.69 I3C タイミング (オープンドレインタイミングパラメータ)

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

パラメータ		シンボル	VCC	Min	Max	単位	測定条件
I3C オープンド レインタイ ミングパラ メータ	SCL クロ ック Low 期間	t _{LOW_OD} ^(注1) (注2)	3.00 V 以上	200	—	ns	図 2.94
			1.65～1.95 V	200	—		
		t _{DIG_OD_L}	3.00 V 以上	t _{LOW_ODmin} + t _{fDA_ODmin}	—	ns	図 2.94
			1.65～1.95 V	t _{LOW_ODmin} + t _{fDA_ODmin}	—		
	SCL クロ ック High 期間	t _{HIGH} ^(注3) (注4)	3.00 V 以上	—	41	ns	図 2.92
			1.65～1.95 V	—	41		
		t _{DIG_H}	3.00 V 以上	—	t _{HIGH} + t _{CF}	ns	図 2.92
			1.65～1.95 V	—	t _{HIGH} + t _{CF}		
	SDA 信号立 ち下がり時 間	t _{fDA_OD}	3.00 V 以上	t _{CF}	12	ns	図 2.94
			1.65～1.95 V	t _{CF}	12		
	SDA データ セットアッ プ時間オー プンドレイ ンモード	t _{SU_OD} ^(注1)	3.00 V 以上	12	—	ns	図 2.93
			1.65～1.95 V	18	—		
	スタート (S) コンディシ ョン後クロ ック	t _{CAS} ^(注5) (注6)	3.00 V 以上	38.4 ナノ	ENAS0: 1 μ	秒	図 2.94
					ENAS1: 100 μ		
					ENAS2: 2 ミリ		
					ENAS3: 50 ミリ		
			1.65～1.95 V	38.4 ナノ	ENAS0: 1 μ		
					ENAS1: 100 μ		
					ENAS2: 2 ミリ		
					ENAS3: 50 ミリ		
ストップ (P) コンディシ ョン前クロ ック	t _{CBP}	3.00 V 以上	t _{CASmin} / 2	—	秒	図 2.95	
		1.65～1.95 V	t _{CASmin} / 2	—			
ハンドオフ 中のカレン トマスタか らせカンダ リマスタま でのオーバ ーラップ時 間	t _{MMOverlap}	3.00 V 以上	t _{DIG_OD_Lmin}	—	ns	図 2.101	
		1.65～1.95 V	t _{DIG_OD_Lmin}	—			
バス使用可 能条件	t _{AVAL} ^(注7)	3.00 V 以上	1	—	μs	—	
		1.65～1.95 V	1	—			
バスアイド ル条件	t _{IDLE}	3.00 V 以上	1	—	ms	—	
		1.65～1.95 V	1	—			
SDA Low 駆 動していな い新マスタ の内部時間	t _{MMLock}	3.00 V 以上	t _{AVALmin}	—	μs	図 2.101	
		1.65～1.95 V	t _{AVALmin}	—			

注 1. $t_{LOWmin} + t_{DS_ODmin} + t_{fDA_ODtyp} + t_{SU_ODmin}$ と近似的に同じです。

注 2. 安全な場合、すなわち SDA がすでに VIH を上回っている場合、マスタは短い Low 期間を使用する可能性があります。

注 3. t_{SPIKE} 、立ち上がり／立ち下がり時間、インターコネクットに基づきます。注 4. この最大 High 期間は、レガシー I2C デバイスで信号を安全に確認できる場合や、インターコネクットを考慮した上で（バスが短い場合など）、超過する場合があります。
製品仕様上、この最大値を保証できない場合、この最大値を変更し、ミックスバスで使用できないように指定してください。

注 5. I2C デバイスがスタートを確認する必要があるレガシーバス上

注 6. オプションの ENTASx CCC をサポートしていないスレーブは、ENTAS3 に示されている t_{CAS} 最大値を使用します。

注 7. Fm レガシー I²C デバイスのミックスバス上で、 t_{AVL} は Fm バスフリー条件時間 (t_{BUF}) より 300 ns 短いです。

表 2.70 I3C タイミング (SDR モードおよび HDR-DDR モード用プッシュプルタイミングパラメータ)

PmnPFS レジスタのポート駆動能力ビットでは、I3C SCL0 端子、I3C SDA0 端子の設定は必要ありません。

パラメータ		シンボル	VCC	Min	Max	単位	測定条件
SDR モードと HDR-DDR モードの I3C プッシュプルタイミングパラメータ	SCL クロック周波数	f_{SCL} (注1)	3.00 V 以上	0.01	12.5	MHz	—
			1.65~1.95 V	0.01	12.5		
	SCL クロック Low 期間	t_{LOW}	3.00 V 以上	27	—	ns	図 2.92
			1.65~1.95 V	32	—		
		t_{DIG_L} (注2) (注4)	3.00 V 以上	35	—	ns	図 2.92
			1.65~1.95 V	40	—		
	ミックスバスにおける SCL クロックの High 期間	t_{HIGH_MIXED}	3.00 V 以上	24	—	ns	図 2.92
			1.65~1.95 V	27	—		
		$t_{DIG_H_MIXED}$ (注2) (注3)	3.00 V 以上	32	45	ns	図 2.92
			1.65~1.95 V	35	45		
	SCL クロック High 期間	t_{HIGH}	3.00 V 以上	24	—	ns	図 2.92
			1.65~1.95 V	27	—		
		t_{DIG_H} (注2)	3.00 V 以上	32	—	ns	図 2.92
			1.65~1.95 V	35	—		
	スレーブ用データ出カクロック	t_{SCO}	3.00 V 以上	—	12	ns	図 2.97
			1.65~1.95 V	—	12		
	SCL クロック立ち上がり時間	t_{CR}	3.00 V 以上	—	$150 \times 1 / f_{SCL}$ (上限 60)	ns	図 2.92
			1.65~1.95 V	—	$150 \times 1 / f_{SCL}$ (上限 60)		
	SCL クロック立ち下がり時間	t_{CF}	3.00 V 以上	—	$150 \times 1 / f_{SCL}$ (上限 60)	ns	図 2.92
			1.65~1.95 V	—	$150 \times 1 / f_{SCL}$ (上限 60)		
	プッシュプルモードの SDA 信号データホールド	t_{HD_PP} (注4) (注5)	3.00 V 以上	$t_{CR} + 3, t_{CF} + 3$	—	—	図 2.96
			1.65~1.95 V	$t_{CR} + 3, t_{CF} + 3$	—		
		t_{HD_PP} (注5)	3.00 V 以上	0	—	—	図 2.96
			1.65~1.95 V	0	—		
	プッシュプルモードの SDA 信号データセットアップ	t_{SU_PP}	3.00 V 以上	12	N/A	ns	図 2.98
			1.65~1.95 V	18	N/A		
	繰り返しのスタート (Sr) 後クロック	t_{CASr}	3.00 V 以上	t_{CASmin}	N/A	ns	図 2.100
			1.65~1.95 V	t_{CASmin}	N/A		
	繰り返しのスタート (Sr) 前クロック	t_{CBSr}	3.00 V 以上	$t_{CASmin} / 2$	N/A	ns	図 2.100
			1.65~1.95 V	$t_{CASmin} / 2$	N/A		
	バスライン (SDA/SCL) ごとの負荷容量	C_b	3.00 V 以上	—	50	pF	—
			1.65~1.95 V	—	50		

注 1. $f_{SCL} = 1 / (t_{DIG_L} + t_{DIG_H})$

注 2. t_{DIG_L} および t_{DIG_H} は、 V_{IL} 、 V_{IH} を使用した I3C バスのレシーバー終了時の Low および High 期間クロックです。

注 3. ミックスバス上で I3C デバイスと通信する際は、I²C デバイスが I3C シグナリングを有効な I²C シグナリングと解釈しないようにするため、 $t_{DIG_H_MIXED}$ 期間に制約を設ける必要があります。

注 4. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。すなわち、立ち下がりエッジクロックに対して $t_{CF} + 3$ 、立ち上がりエッジクロックに対して $t_{CR} + 3$ です。

注 5. ホールド時間パラメータは、SDR モードでは「 t_{HD_SDR} 」と表され、DDR モードでは「 t_{HD_DDR} 」と表されます。

表 2.71 I3C タイミング (HDR-TSP モードおよび HDR-TSL モード用プッシュプルタイミングパラメータ)

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SCL0 端子、I3C_SDA0 端子の設定は必要ありません。

項目	シンボル	VCC	Min	Max	単位	測定条件
HDR-TSP モードおよび HDR-TSL モード用 I3C プッシュプルタイミングパラメータ	エッジ間期間	$t_{EDGE}^{(注1)(注2)}$	3.00 V 以上	t_{DIG_H}	—	図 2.102
			1.65~1.95 V	t_{DIG_H}	—	
	"同時"変更信号の間で許容される差異	t_{SKEW}	3.00 V 以上	—	11	
			1.65~1.95 V	—	11	
	シンボル間の安定した状態	t_{EYE}	3.00 V 以上	12	—	
			1.65~1.95 V	12	—	
	連続するシンボル間の時間	t_{SYMBOL}	3.00 V 以上	$t_{EDGE \text{ Min}}$	—	
			1.65~1.95 V	$t_{EDGE \text{ Min}}$	—	
	シンボルクロック	t_{CLOCK}	3.00 V 以上	$1 / f_{SCL} \text{ (Max)}$	—	
			1.65~1.95 V	$1 / f_{SCL} \text{ (Max)}$	—	

注 1. $1 / (t_{EDGE} \times 2)$ の割合でエッジ発生

注 2. ミックスバスでは、HDR-TSL は図 2.95 に示す最大 $t_{DIG_H_MIXED}$ に従うこととします。

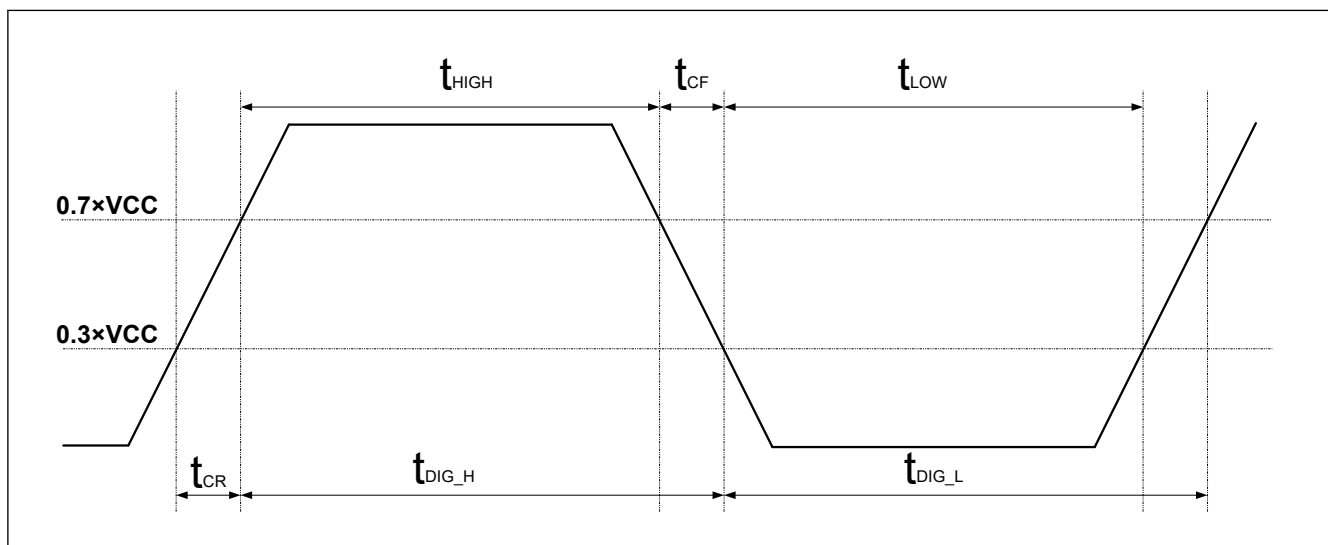


図 2.92 t_{DIG_H} 、 t_{DIG_L}

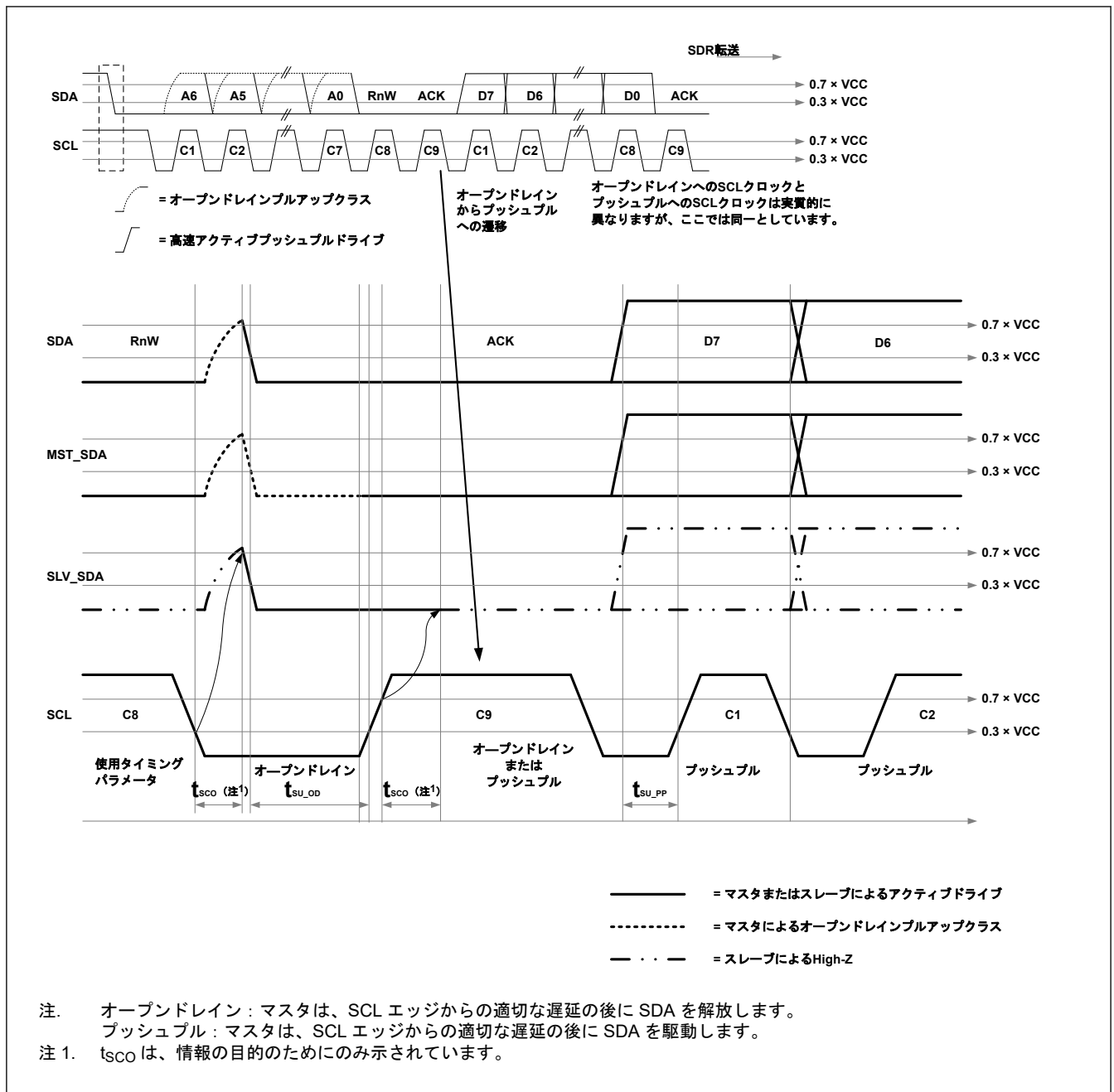


図 2.93 I3C データ転送 – スレーブによる ACK

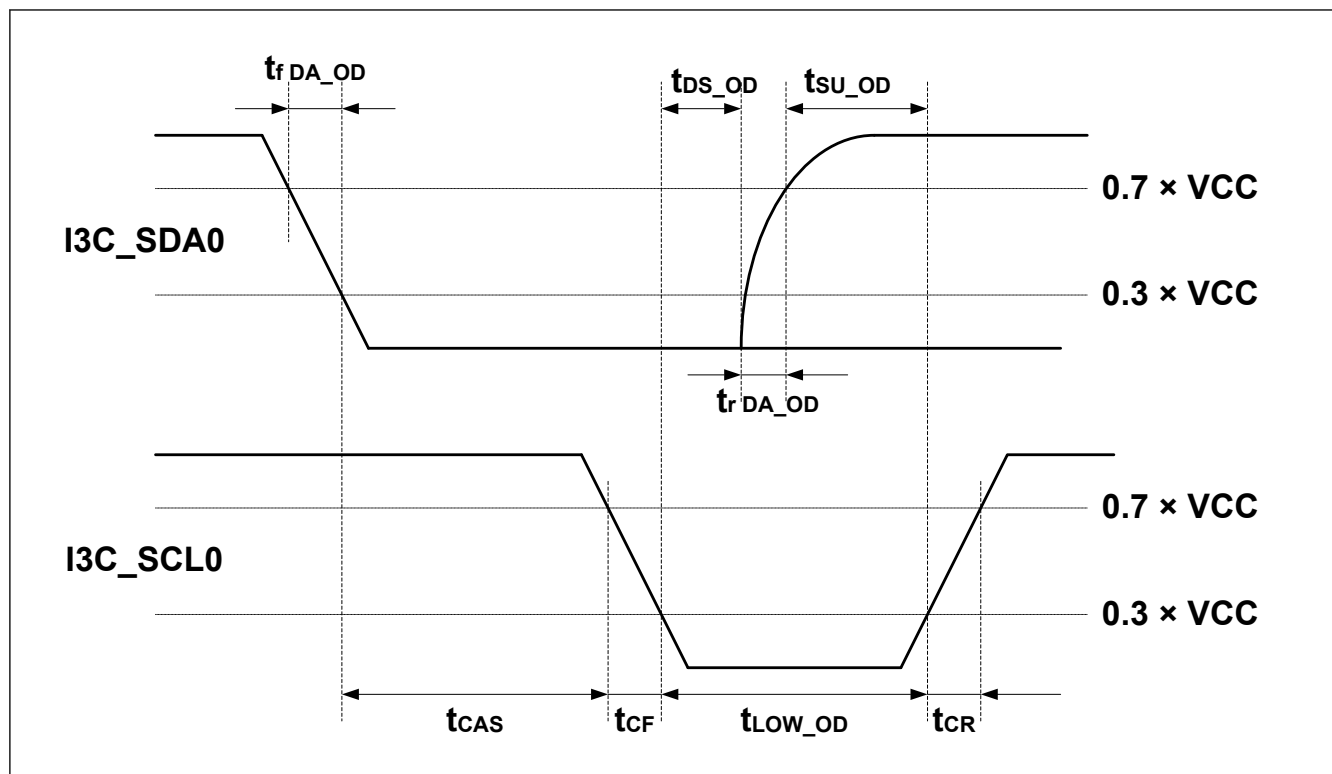


図 2.94 I3C スタートコンディションタイミング

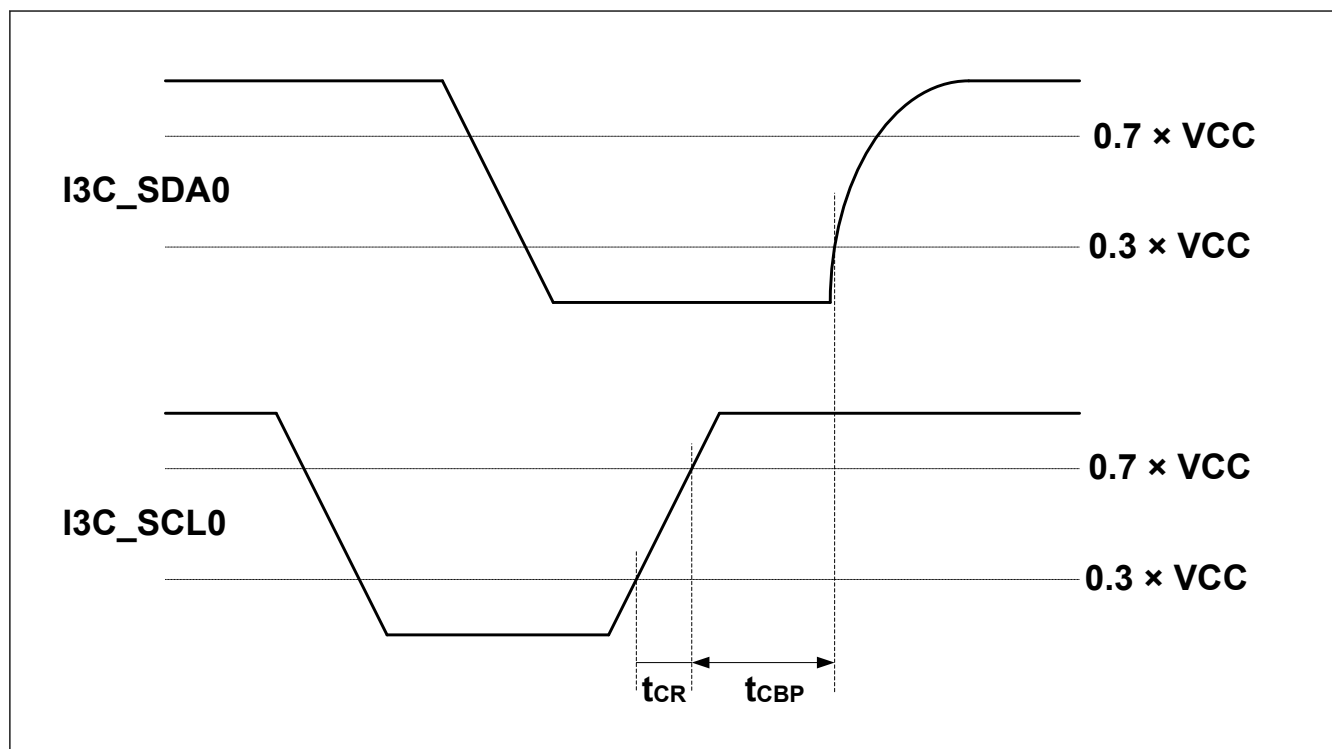


図 2.95 I3C ストップコンディションタイミング

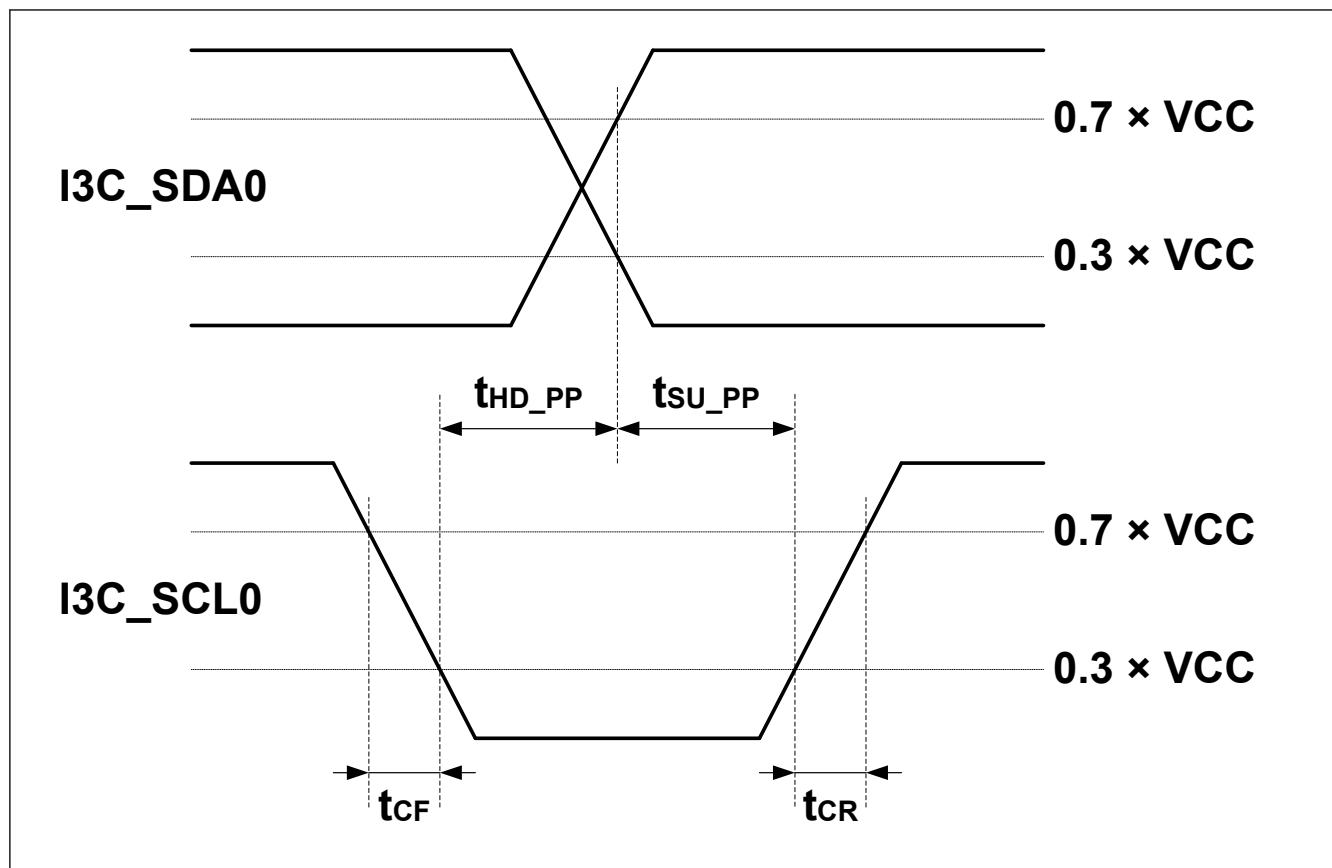


図 2.96 I3C マスタ出力タイミング

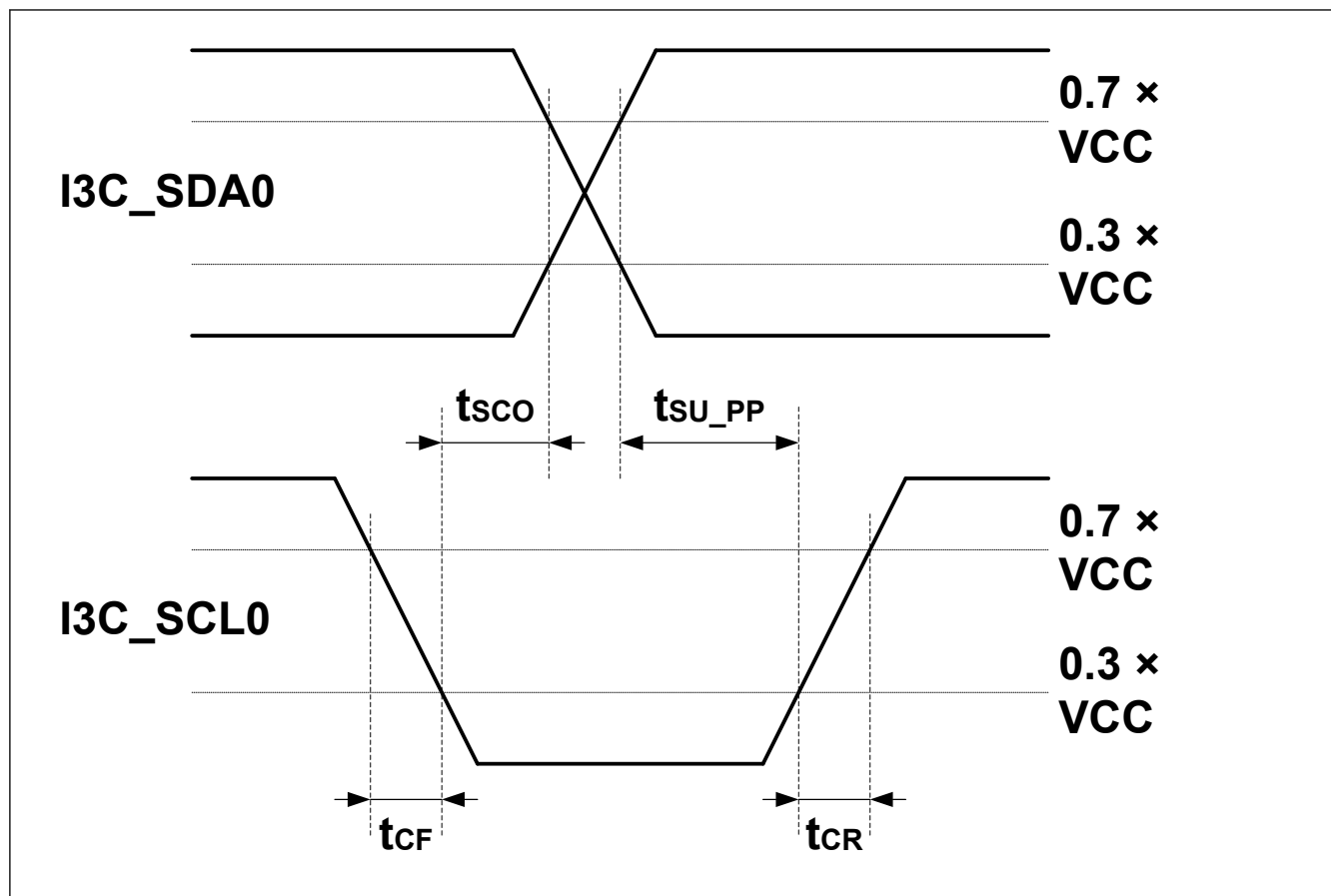


図 2.97 I3C スレーブ出力タイミング

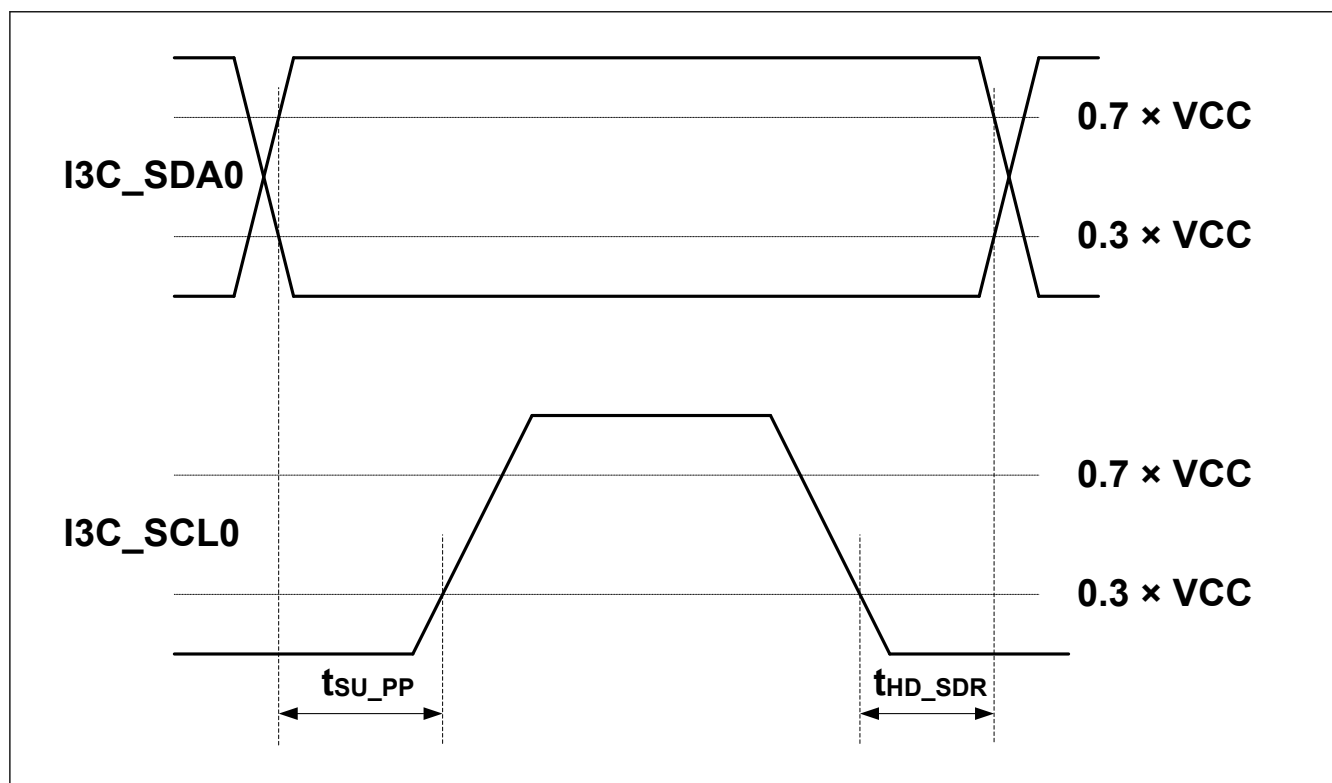


図 2.98 マスタ SDR タイミング

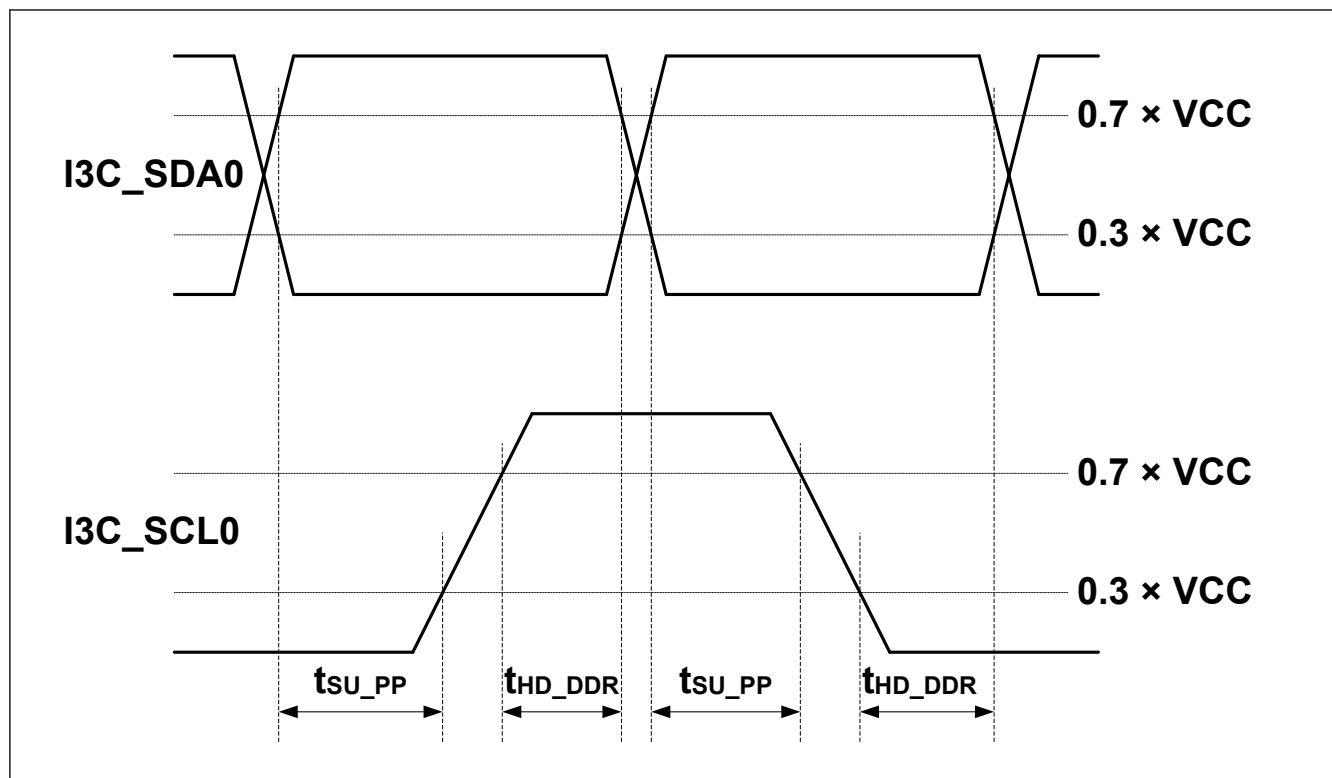


図 2.99 マスタ DDR タイミング

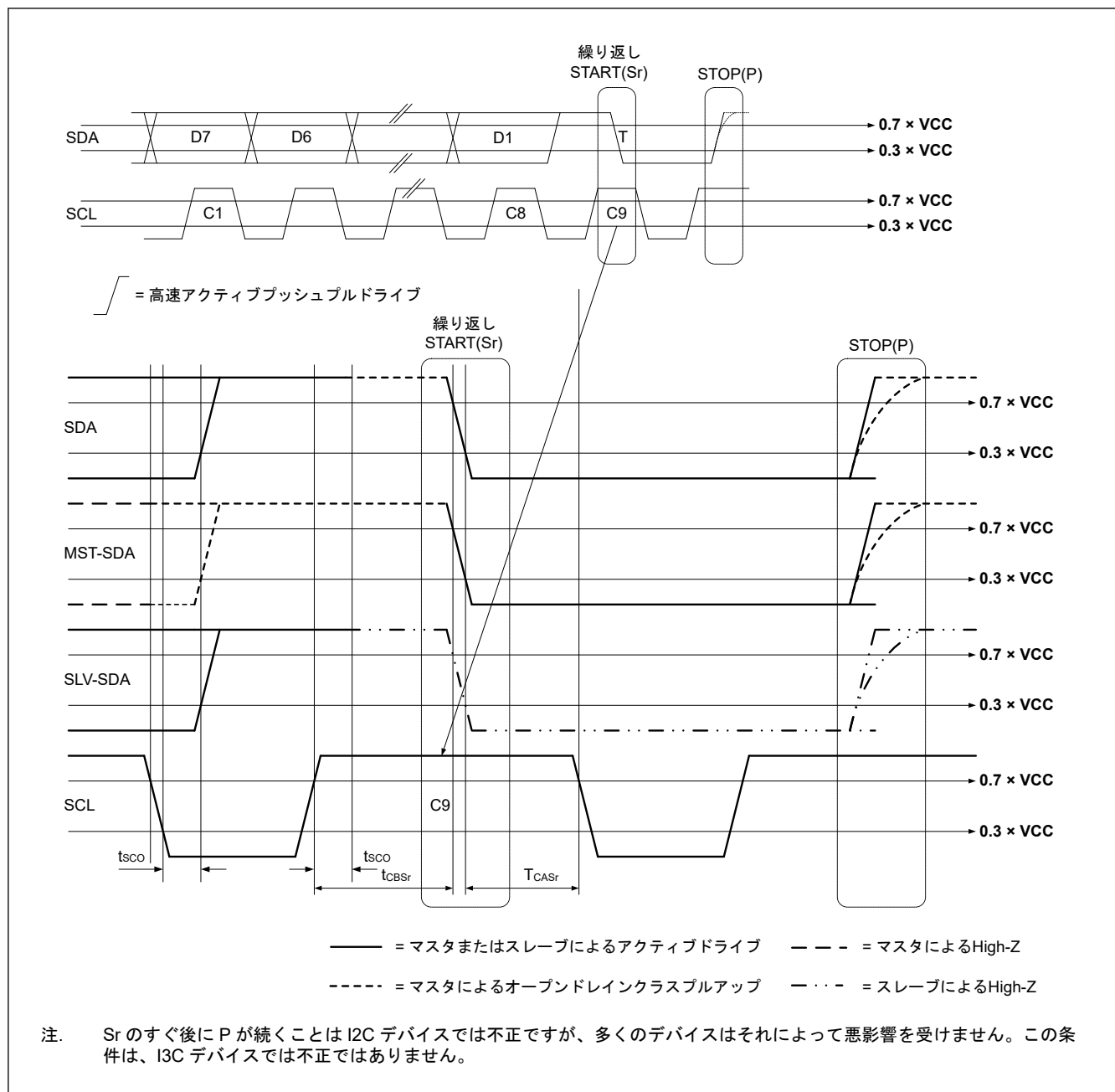


図 2.100 繰り返しのスタートコンディションおよびストップコンディションでのマスタ終了時の T ビット読み出し

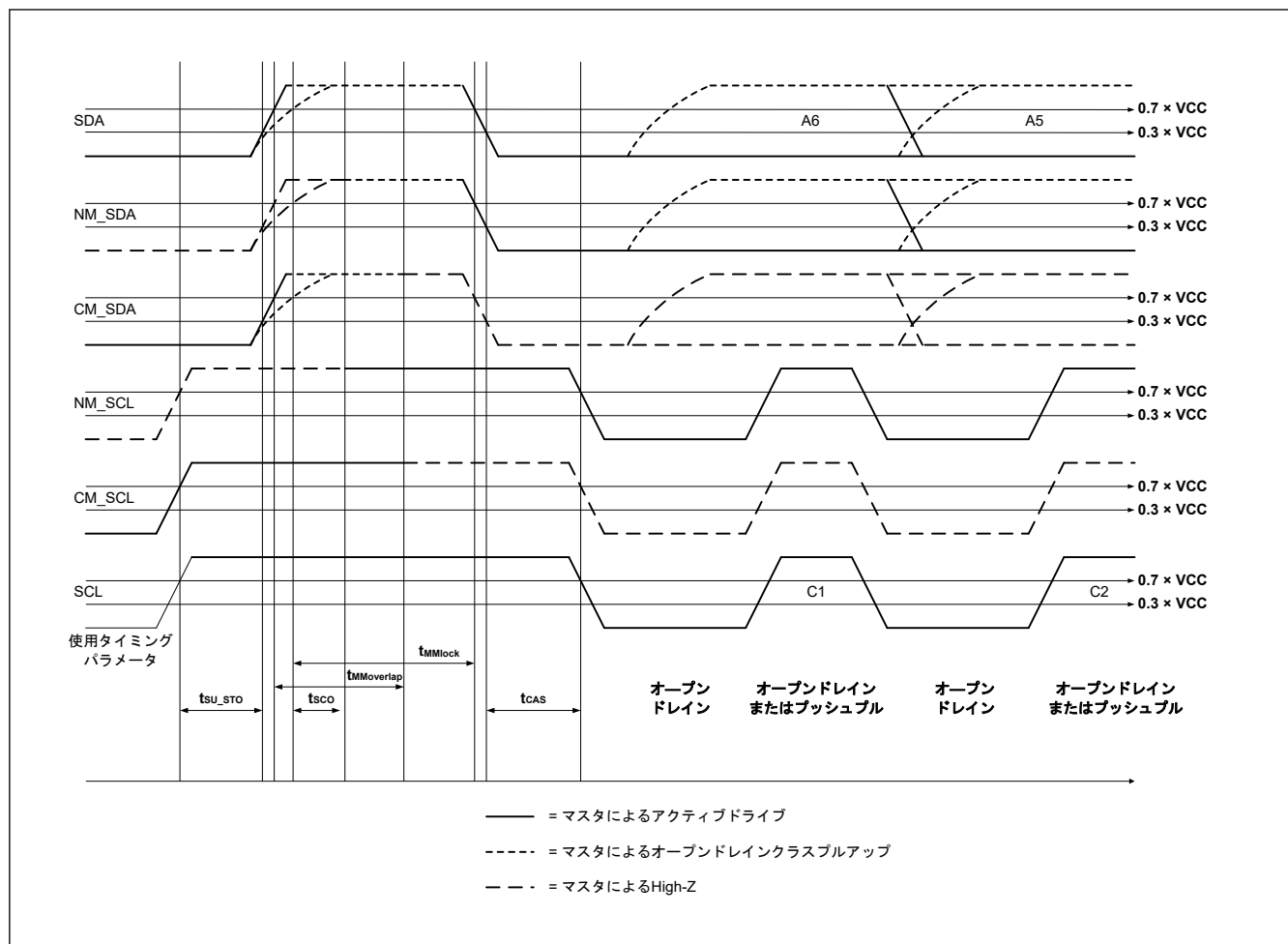
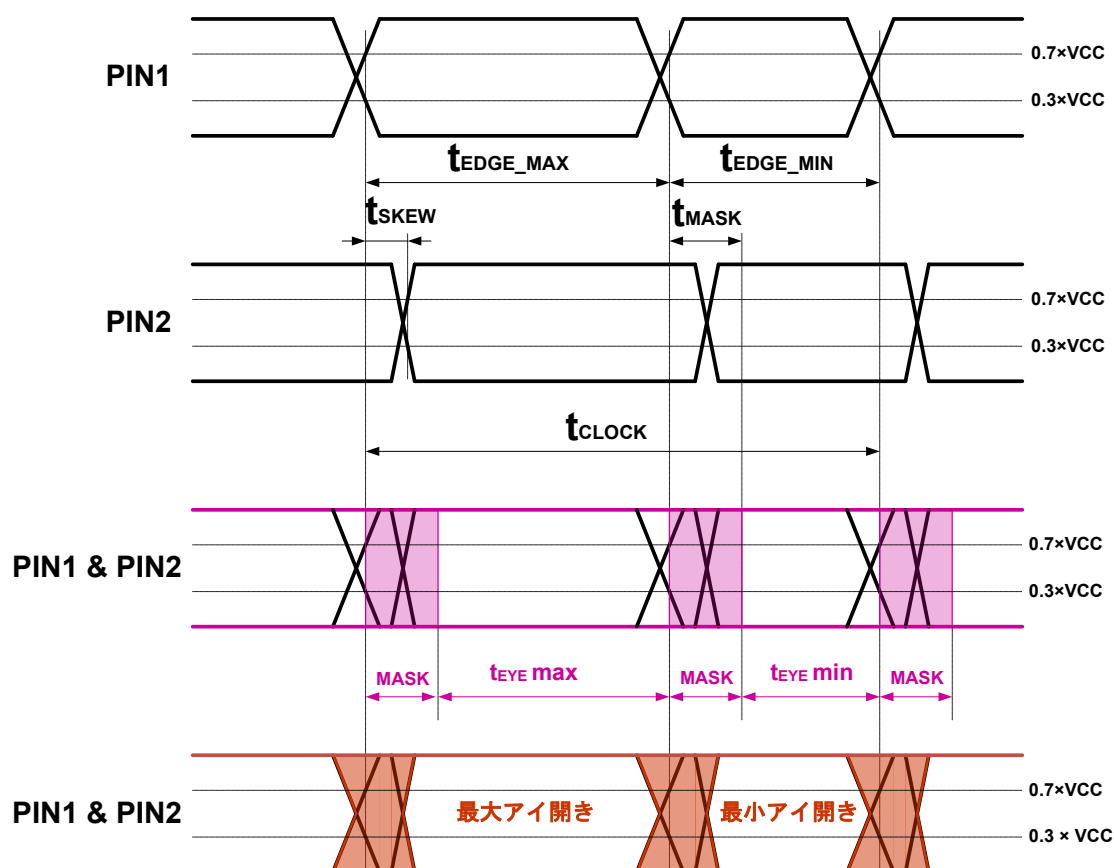


図 2.101 マスタ間のバス移管



設計条件

- 図のようにSDAラインとSCLラインの間の負荷の大きさと駆動力の差異によって異なるスロープとなる。
- $0.3 \times V_{DD}$ と $0.7 \times V_{DD}$ の間では、それぞれマスク期間 ($\geq$ 最大 t_{SKEW} + 最大立ち上がり時間/立ち下がり時間) はヒステリシスウィンドウを横断する時間だけ短縮する。

前提の単純化

- t_{SKEW} は両エッジともに同一。
- ベースクロック (例: 12.5 MHz) は非対称。
- 立ち下がりエッジは立ち上がりエッジに等しい。
- マスクは可能な最後の瞬間からの開始として示される。ただし、ヒステリシスウィンドウ分の遅延により実際には左へ (開始点方向へ) ずれる可能性がある。

図 2.102 Ternary プロトコルタイミング

2.3.14 SD/MMC ホストインタフェースタイミング

表 2.72 SD/MMC ホストインタフェース信号タイミング

条件:

以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています:

SD0CLK_A, SD0CLK_B, SD0CLK_C, SD1CLK_A, SD1CLK_B

その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

クロックデューティ比は 50%です。

項目	シンボル	VCC/VCC2	Min	Max	単位	測定条件
SDCLK クロックサイクル	tSDCYC	2.70 V 以上	20	—	ns	図 2.103
		1.70~1.95 V(注1)	20	—		
		1.70~1.95 V	40	—		
SDCLK クロック High レベルパルス幅	tSDWH	2.70 V 以上	6.5	—	ns	
		1.70~1.95 V(注1)	6.5	—		
		1.70~1.95 V	13.0	—		
SDCLK クロック Low レベルパルス幅	tSDWL	2.70 V 以上	6.5	—	ns	
		1.70~1.95 V(注1)	6.5	—		
		1.70~1.95 V	13.0	—		
SDCLK クロック立ち上がり時間	tSDLH	2.70 V 以上	—	3	ns	
		1.70~1.95 V(注1)	—	4		
		1.70~1.95 V	—	8		
SDCLK クロック立ち下がり時間	tSDHL	2.70 V 以上	—	3	ns	
		1.70~1.95 V(注1)	—	4		
		1.70~1.95 V	—	8		
SDCMD/SDDAT 出力データ遅延	tSDODLY	2.70 V 以上	-7.0	4.0	ns	
		1.70~1.95 V(注1)	-7.0	7.0		
		1.70~1.95 V	-15.0	15.0		
SDCMD/SDDAT 入力データセットアップ	tSDIS	2.70 V 以上	4.5	—	ns	
		1.70~1.95 V(注1)	4.5	—		
		1.70~1.95 V	20.0	—		
SDCMD/SDDAT 入力データホールド	tSDIH	2.70 V 以上	1.5	—	ns	
		1.70~1.95 V	1.5	—		

注. 属するグループを示すため、例えば_A、_B といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。SD/MMC ホストインタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注. SD1DAT4_A~SD1DAT7_A 使用時、VCC = VCC2 のときに限って上記の特性が保証されます。

注 1. Ch0 グループ B ("SD0*_B") および Ch1 グループ A ("SD1*_A") にのみ対応

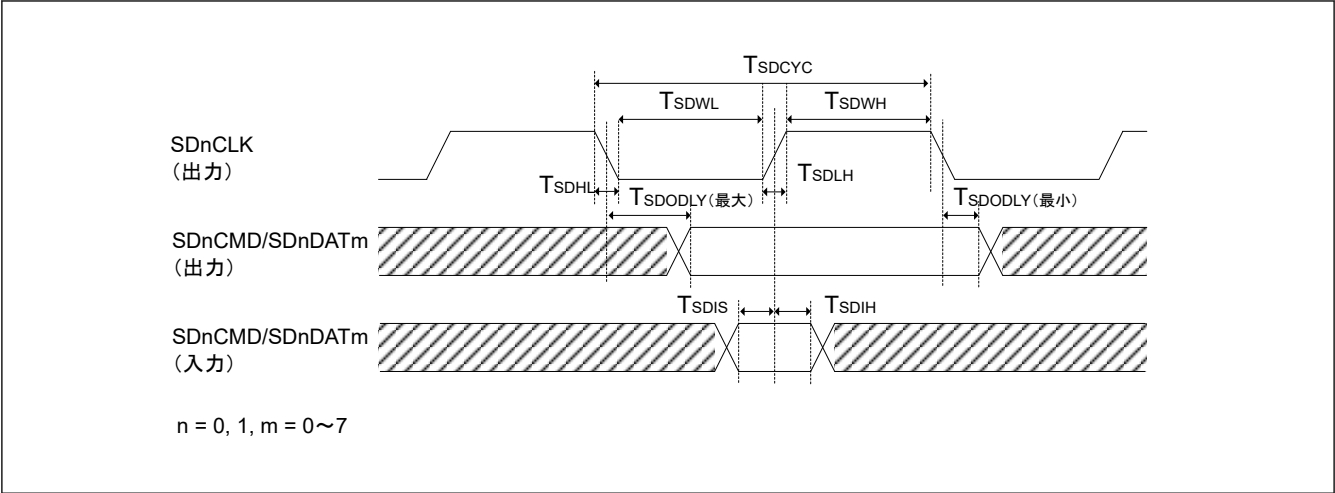


図 2.103 SD/MMC ホストインタフェース信号タイミング

2.3.15 CANFD タイミング

表 2.73 CANFD インタフェースタイミング

条件：VCC が 2.70 V 以上の場合、低駆動出力が選択されます。VCC が 1.62 V 以上の場合、中駆動出力が選択されます。

項目	シンボル	VCC/VCC2	Min	Max	単位	測定条件
内部遅延時間	t _{node}	2.70 V 以上	—	50	ns	図 2.104
		1.62 V 以上	—	50		
通信速度		2.70 V 以上	—	8	Mbps	
		1.62 V 以上	—	8		

注. 内部遅延時間 (t_{node}) = 内部転送遅延時間 (t_{output}) + 内部受信遅延時間 (t_{input})

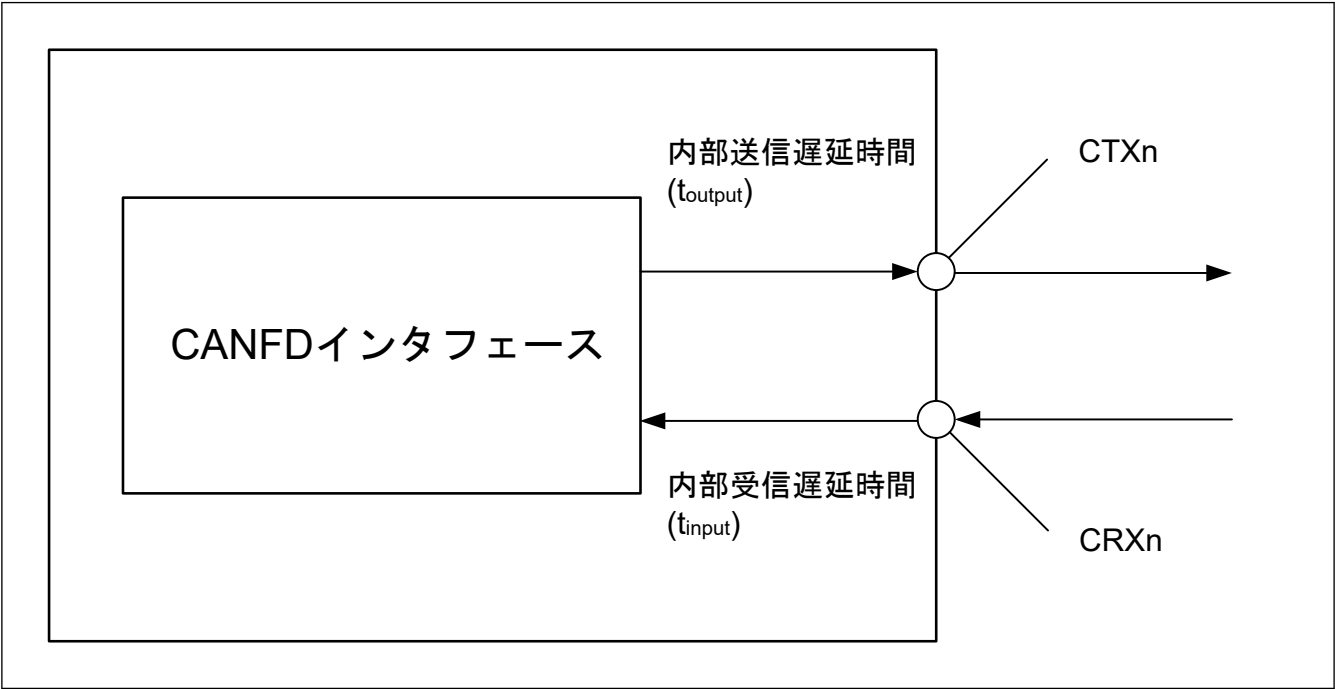


図 2.104 CANFD インタフェース条件

2.3.16 PDG タイミング

表 2.74 PDG タイミング

項目	Min	Typ	Max	単位	測定条件
動作周波数	80	—	300	MHz	—
分解能	—	48.8	—	ps	GTDLYCR.FRANGE[1:0] = 00 および GPTCLK = 300 MHz
	—	52.1	—	ps	GTDLYCR.FRANGE[1:0] = 01 および GPTCLK = 300 MHz
DNL(注1)	—	±2.0	—	LSB	—

注 1. この値は、1-LSB 分解能の行間の差異を正規化します。

2.3.17 ESWM タイミング

表 2.75 ESWM タイミング (RMII)

条件：

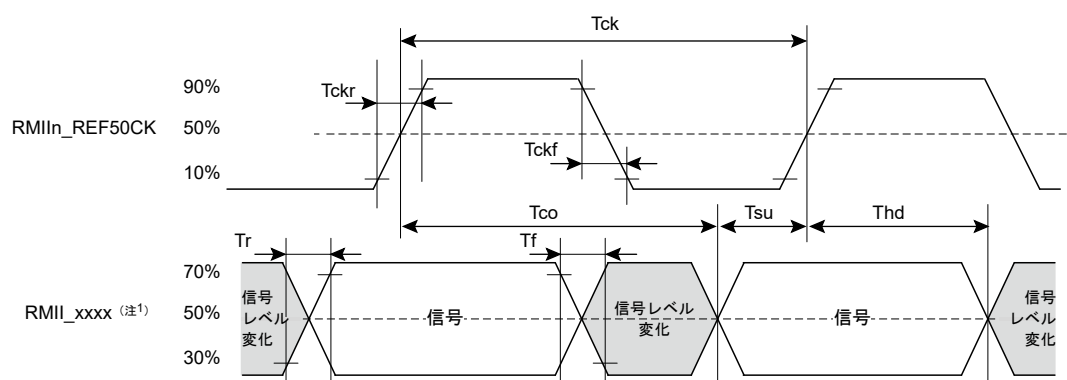
- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：ETn_MDC、ETn_MDIO。
- ETn_MDC、ETn_MDIO 以外の端子の駆動能力の選択と電圧範囲。

- RMII の使用：高駆動の選択、VCC = 2.7～3.6

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (RMII)	RMIIIn_REF50CK サイクル時間	Tck	2.70 V 以上	20	—	ns	図 2.106
	RMIIIn_REF50CK 周波数、Typ. 50 MHz	—		—	50 + 100 ppm	MHz	
	RMIIIn_REF50CK デューティー	—		35	65	%	
	RMIIIn_REF50CK 立ち上がり／立ち下がり時間	Tckr/ckf		0.5	3.5	ns	
	RMIIIn_xxxx(注1)出力遅延時間	Tco		2.5	12	ns	
	RMIIIn_xxxx(注2)セットアップ時間	Tsu		3	—	ns	
	RMIIIn_xxxx(注2)ホールド時間	Thd		1	—	ns	
	RMIIIn_xxxx(注1)(注2)立ち上がり／立ち下がり時間	Tr/Tf		0.5	4	ns	

注 1. RMIIIn_TX_EN、RMIIIn_TXD1、RMIIIn_TXD0。

注 2. RMIIIn_CRS_DV、RMIIIn_RXD1、RMIIIn_RXD0、RMIIIn_RX_ER。



注 1. RMII_TX_EN, RMII_TXD1, RMII_TXD0, RMII_CRS_DV, RMII_RXD1, RMII_RXD0, RMII_RX_ER

図 2.106 RMII_REF50CK、RMII の信号タイミング

表 2.76 ESWM タイミング (MII)

条件:

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: ETn_MDC、ETn_MDIO。
- ETn_MDC、ETn_MDIO 以外の端子の駆動能力の選択と電圧範囲。

- MII の使用のみ: 中駆動の選択、VCC = 2.7~3.6
- GMII と MII の使用: RGMII 2.50 V 駆動の選択、VCC = 2.3~2.7
- GMII と MII の使用: RGMII 3.30 V 駆動の選択、VCC = 3.0~3.6

項目	シンボル	VCC	Min	Max	単位	測定条件
ESWM (MII)	ETn_TX_CLK サイクル時間	t_{Tcyc}	2.30 V 以上	40	—	—
	ETn_TX_EN 出力遅延時間	t_{TEND}	1	20	ns	図 2.107
	ETn_ETXD0~ETn_ETXD3 出力遅延時間	t_{MTDd}	1	20	ns	
	ETn_RX_CLK サイクル時間	t_{TRcyc}	40	—	ns	—
	ETn_RX_DV セットアップ時間	t_{RDVs}	10	—	ns	図 2.108
	ETn_RX_DV ホールド時間	t_{RDVh}	10	—	ns	
	ETn_ERXD0~ETn_ERXD3 セットアップ時間	t_{MRDs}	10	—	ns	
	ETn_ERXD0~ETn_ERXD3 ホールド時間	t_{MRDh}	10	—	ns	
	ETn_RX_ER セットアップ時間	t_{RERs}	10	—	ns	
	ETn_RX_ER ホールド時間	t_{RESh}	10	—	ns	

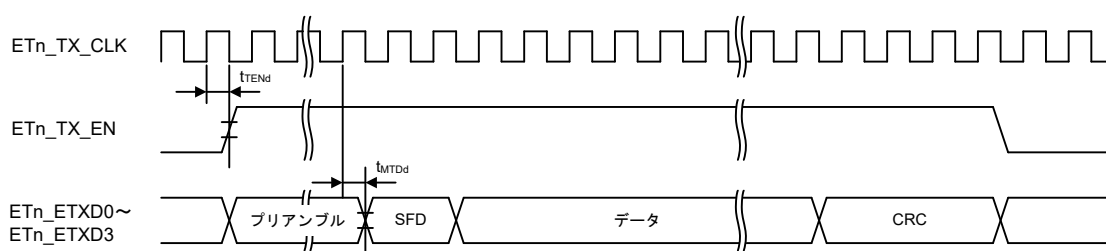


図 2.107 通常動作時の MII 送信タイミング

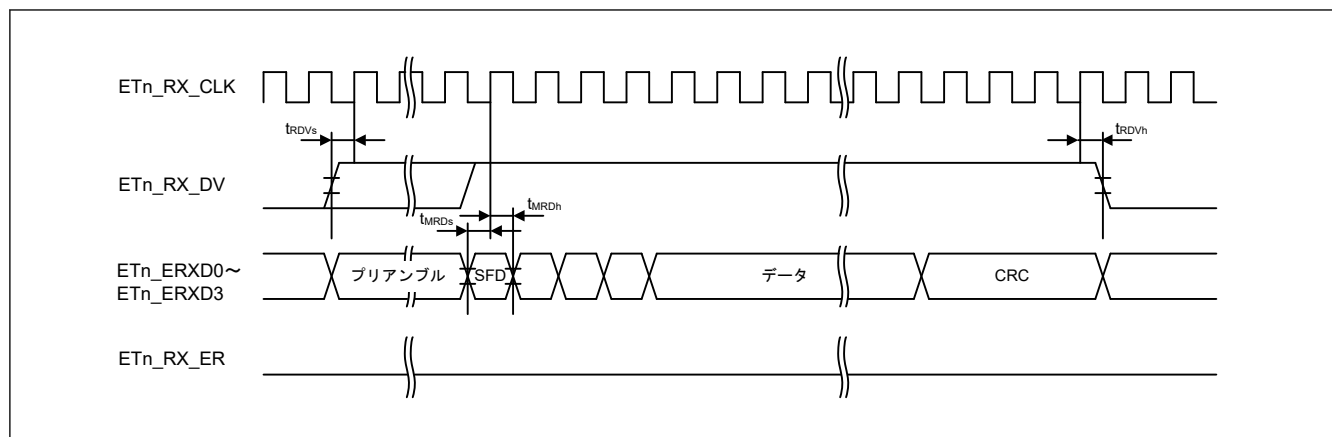


図 2.108 通常動作時の MII 受信タイミング

表 2.77 ESWM タイミング (GMII)

条件:

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: ETn_MDC、ETn_MDIO。
- ETn_MDC、ETn_MDIO 以外の端子の駆動能力の選択と電圧範囲。

- 2.5 V での GMII の使用: RGMII 2.50 V 駆動の選択、VCC = 2.3~2.7
- 3.3 V での GMII の使用: RGMII 3.30 V 駆動の選択、VCC = 3.0~3.6

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (GMII)	ETn_GTX_CLK 周波数	t _{FREQ}	2.30 V~ 3.60 V	125 - 100 ppm	125 + 100 ppm	MHz	図 2.109 図 2.110
	ETn_GTX_CLK 周期	t _{PERIOD}		7.5	8.5	ns	
	ETn_RX_CLK 周期	t _{PERIOD}		7.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK 時間 High	t _{HIGH}		2.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK 時間 Low	t _{LOW}		2.5	—	ns	
	ETn_GTX_CLK、ETn_RX_CLK 立ち上がり時間	t _R		—	1	ns	
	ETn_GTX_CLK、ETn_RX_CLK 立ち下がり時間	t _F		—	1	ns	
	ETn_GTX_CLK、ETn_RX_CLK スルーレートの大きさ (立ち上 がり) (注1)	—		0.6	—	V/ns	
	ETn_GTX_CLK、ETn_RX_CLK スルーレートの大きさ (立ち下 がり) (注1)	—		0.6	—	V/ns	
	↑ETn_GTX_CLK への ETn_TXD、ETn_TX_EN、 ETn_TX_ER セットアップと↑ ETn_RX_CLK への ETn_RXD、 ETn_RX_DV、ETn_RX_ER セ ットアップ	t _{SETUP}		2.5	—	ns	
	↑ETn_GTX_CLK からの ETn_TXD、ETn_TX_EN、 ETn_TX_ER ホールドと↑ ETn_RX_CLK からの ETn_RXD、ETn_RX_DV、 ETn_RX_ER ホールド	t _{HOLD}		0.5	—	ns	
	↑ETn_GTX_CLK への ETn_TXD、ETn_TX_EN、 ETn_TX_ER セットアップと↑ ETn_RX_CLK への ETn_RXD、 ETn_RX_DV、ETn_RX_ER セ ットアップ	t _{SETUP(RCVR)}		2	—	ns	
	↑GTX_CLK からの TXD、 TX_EN、TX_ER、ETn_TX_ER ホールドと↑RX_CLK からの RXD、RX_DV、RX_ER ホール ド	t _{HOLD(RCVR)}		0	—	ns	

注 1. クロックスキューレートは、立ち上がり/立ち下がり時間間隔全体の平均値ではなく、時間に関するクロック電位の変更の瞬時のレート (dV/dt) です。この仕様に従うと、クロック信号は、切り替え領域を経由して単調に立ち上がるか、または立ち下がるのが保証されます。

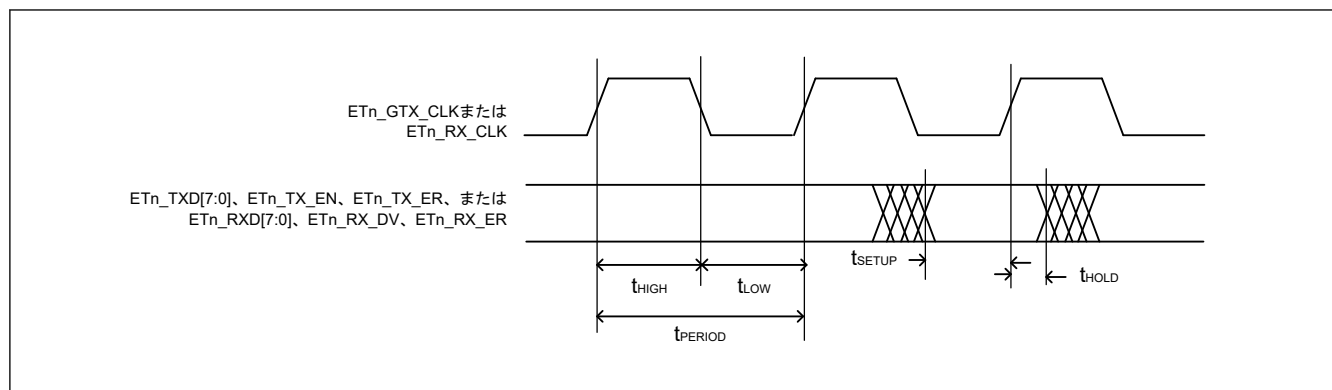


図 2.109 GMII タイミング

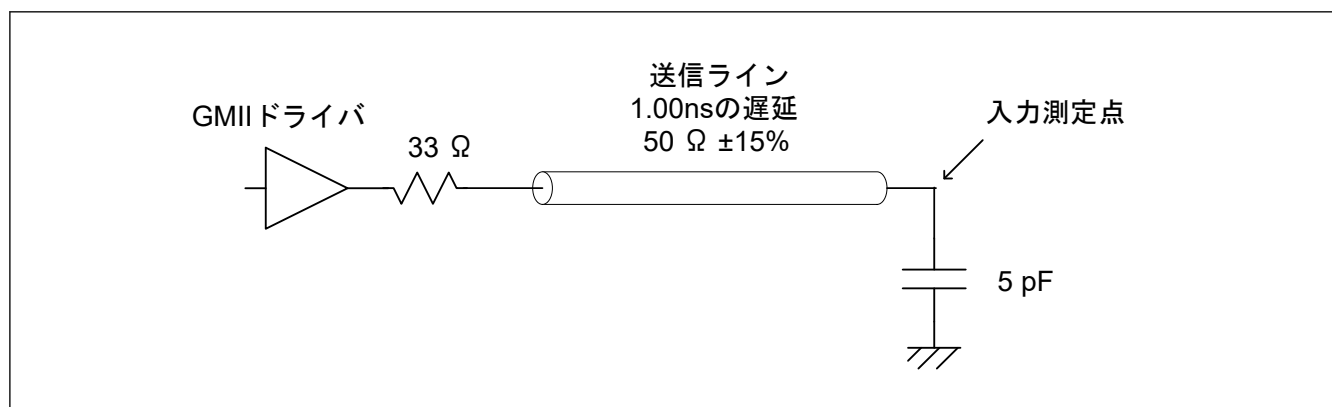


図 2.110 GMII 出力タイミング計測条件

表 2.78 ESWM タイミング (RGMII)

条件:

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています: ETn_MDC、ETn_MDIO。
- ETn_MDC、ETn_MDIO 以外の端子の駆動能力の選択と電圧範囲。

- 2.5 V での RGMII の使用: RGMII 2.50 V 駆動の選択、VCC = 2.3~2.7
- 3.3 V での RGMII の使用: RGMII 3.30 V 駆動の選択、VCC = 3.0~3.6

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (RGMII)	クロック出力スキューへのデータ (送信部で) (注1)	T_{skewT}	2.30 V ~ 3.60 V	-500	500	ps	図 2.111 図 2.112 図 2.113
	クロック入力スキューへのデータ (受信部で) (注1)	T_{skewR}		1	2.6	ns	
	クロック出力セットアップへのデータ (送信部統合遅延で)	T_{setupT}		1.2	—	ns	
	データ出力ホールドへのクロック (送信部統合遅延で)	T_{holdT}		1.2	—	ns	
	クロック入力セットアップへのデータ (受信部統合遅延で)	T_{setupR}		1	—	ns	
	クロック入力ホールドへのデータ (受信部統合遅延で)	T_{holdR}		1	—	ns	
	クロックサイクル期間(注2)	T_{cyc}		7.2	8.8	ns	
	ギガビットのデューティーサイクル(注3)	Duty_G		45	55	%	
	10/100T のデューティーサイクル(注3)	Duty_T		40	60	%	
	立ち上がり/立ち下がり時間 (20~80%)	T_r / T_f		—	0.75	ns	

- 注 1. これは、PC ボードの設計では、対応するクロック信号に 1.5 ns より長く、2.0 ns より短い追加のトレース遅延が追加されるようにクロックをルーティングする必要があることを意味します。
- 注 2. 10 Mbps と 100 Mbps の場合、T_{cyc} はそれぞれ 400 ns + 40 ns と 40 ns + 4 ns に拡張されます。
- 注 3. デューティサイクルは、最小デューティサイクルが侵害されず、かつストレッチが最小遷移速度の 3 T_{cyc} 以下で発生しているかぎり、速度変更中または受信したパケットのクロックドメインへの遷移中にストレッチまたは縮小できます。

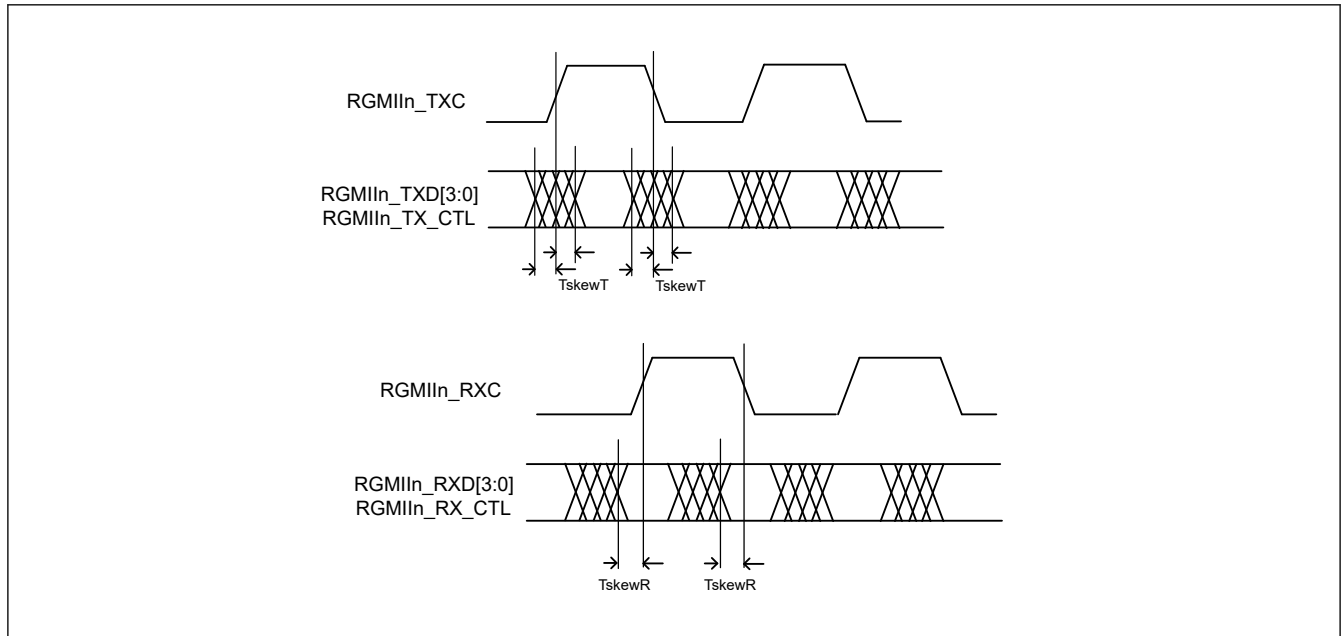


図 2.111 RGMII タイミング

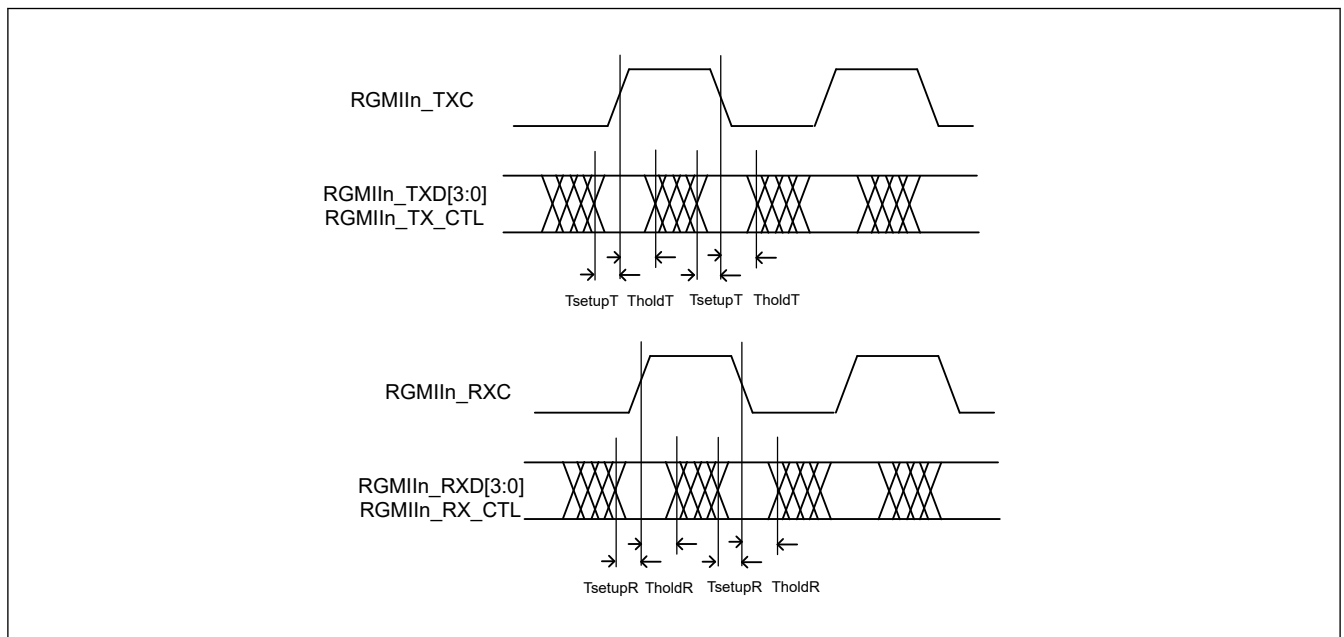


図 2.112 RGMII タイミング (RGMII-ID)

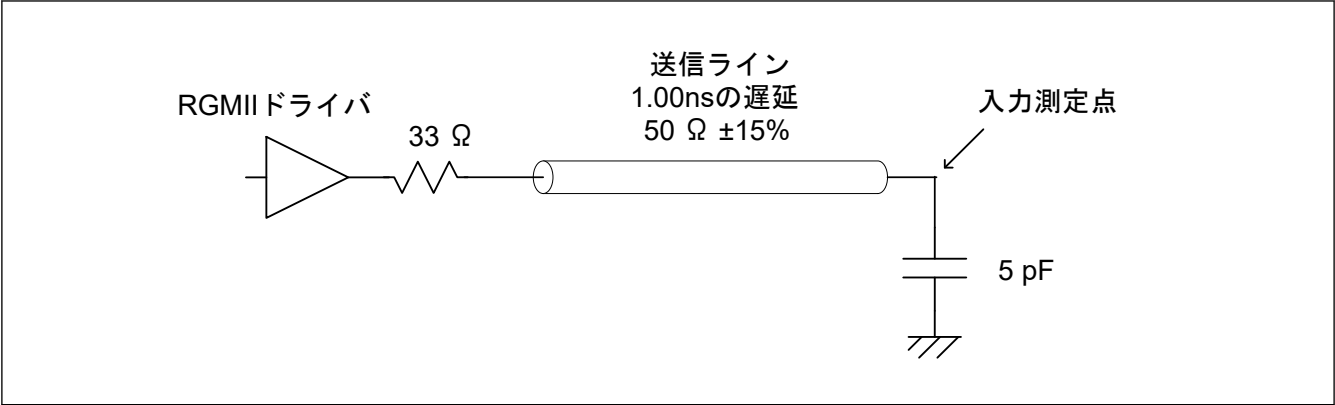


図 2.113 RGMII 出力タイミング計測条件

表 2.79 ESWM タイミング (ETn_MDIO, ETn_MDC)

条件 :

1. PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	VCC	Min	Max	単位	測定条件
ESWM (ETn_MDIO, ETn_MDC)	ETHn_MDC 出力サイクル	t_{MDC}	2.70 V 以上	80	—	ns	図 2.114
			2.30 V 以上	160	—	ns	
	ETHn_MDIO セットアップ時間 (ETHn_MDC↑に関連)	t_{SMDIO}	2.70 V 以上	20	—	ns	
			2.30 V 以上	40	—	ns	
	ETHn_MDIO ホールド時間 (ETHn_MDC↑に関連)	t_{HMDIO}	2.70 V 以上	0	—	ns	
			2.30 V 以上	0	—	ns	
	ETHn_MDIO 出力遅延時間 (ETHn_MDC↑に関連)	t_{DMDIO}	2.70 V 以上	0	20	ns	
			2.30 V 以上	0	40	ns	

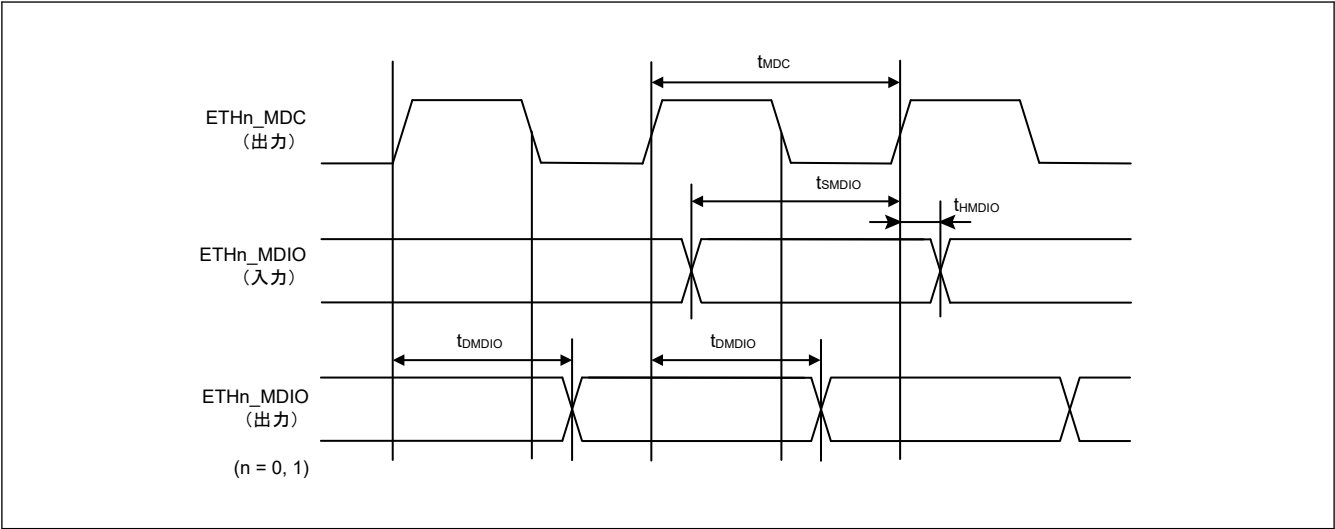


図 2.114 ETn_MDIO、ETn_MDC タイミング

2.3.18 ESC タイミング

表 2.80 ESC タイミング

条件：

- 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：CAT0_MDC、CAT0_MDIO
- CAT0_MDC、CAT0_MDIO 以外の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	VCC	Min	Max	単位	測定条件
ESC (MII)	CATn_TX_CLK サイクル時間	2.70 V 以上	40	—	ns	図 2.114
	CATn_TX_EN 出力遅延時間		1	25	ns	
	CATn_ETXD0~CATn_ETXD3 出力遅延時間		1	25	ns	
	CATn_RX_CLK サイクル時間		40	—	ns	図 2.115
	CATn_RX_DV セットアップ時間		10	—	ns	
	CATn_RX_DV ホールド時間		10	—	ns	
	CATn_ERXD0~CATn_ERXD3 セットアップ時間		10	—	ns	
	CATn_ERXD0~CATn_ERXD3 ホールド時間		10	—	ns	図 2.116
	CATn_RX_ER セットアップ時間		10	—	ns	
	CATn_RX_ER ホールド時間		10	—	ns	
ESC (MDIO)	CAT0_MDIO セットアップ時間 (CAT0_MDC↑)		60	—	ns	図 2.117
	CAT0_MDIO ホールド時間 (CAT0_MDC↑)		0	—	ns	
	CAT0_MDIO 出力遅延時間 (CAT0_MDC↓)		0	30	ns	

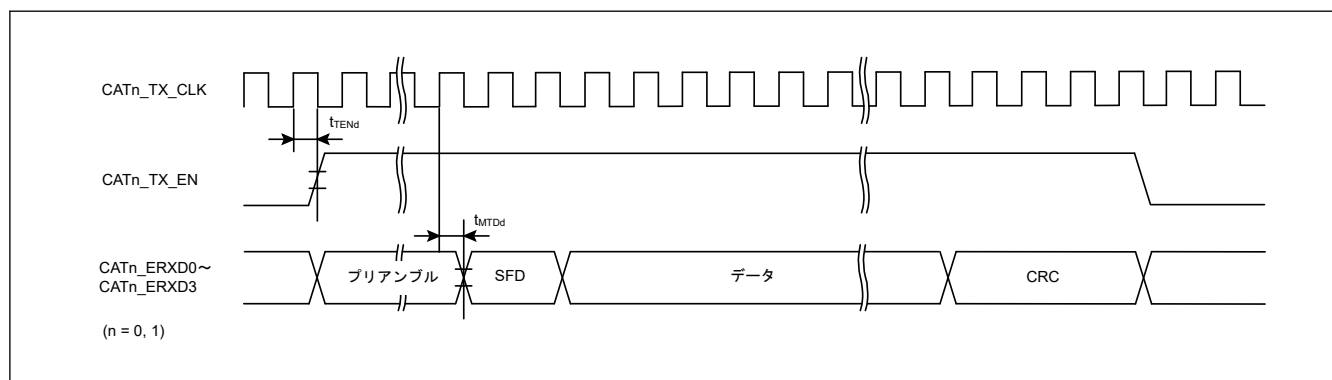


図 2.114 MII 送信タイミング (通常動作)

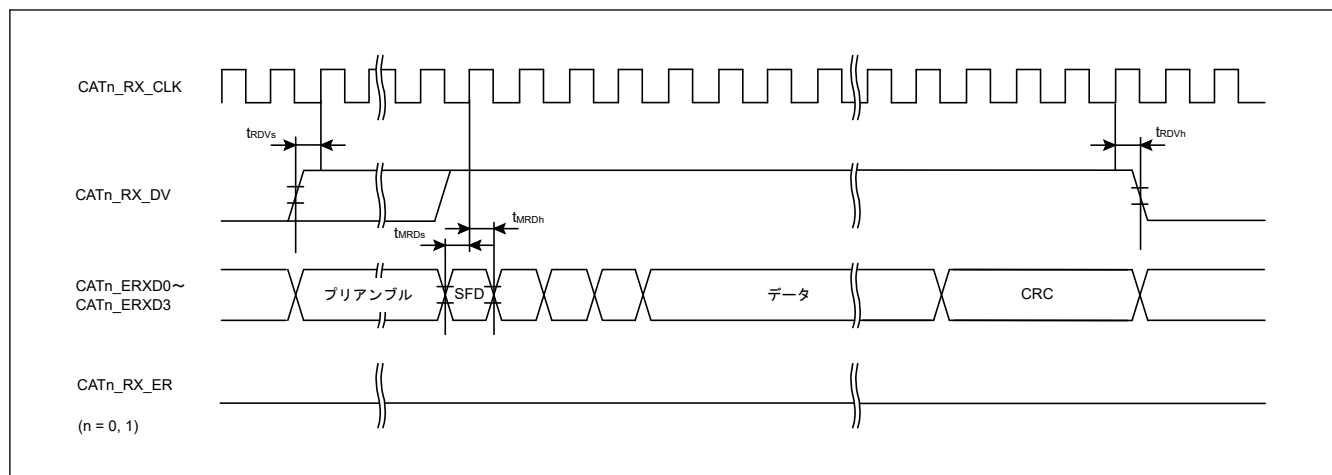


図 2.115 MII 受信タイミング (通常動作)

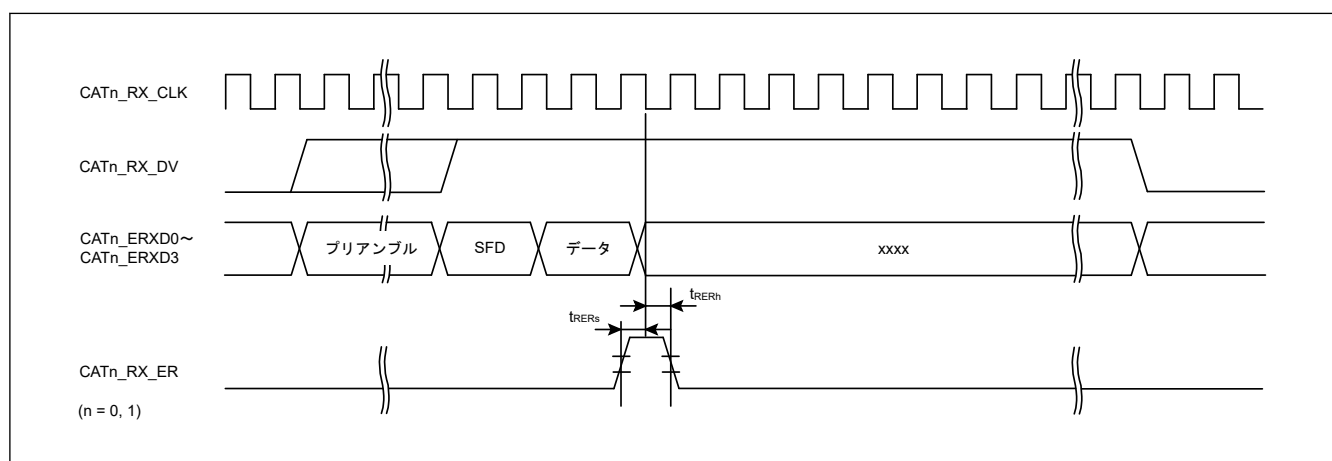


図 2.116 MII 受信タイミング (エラー発生)

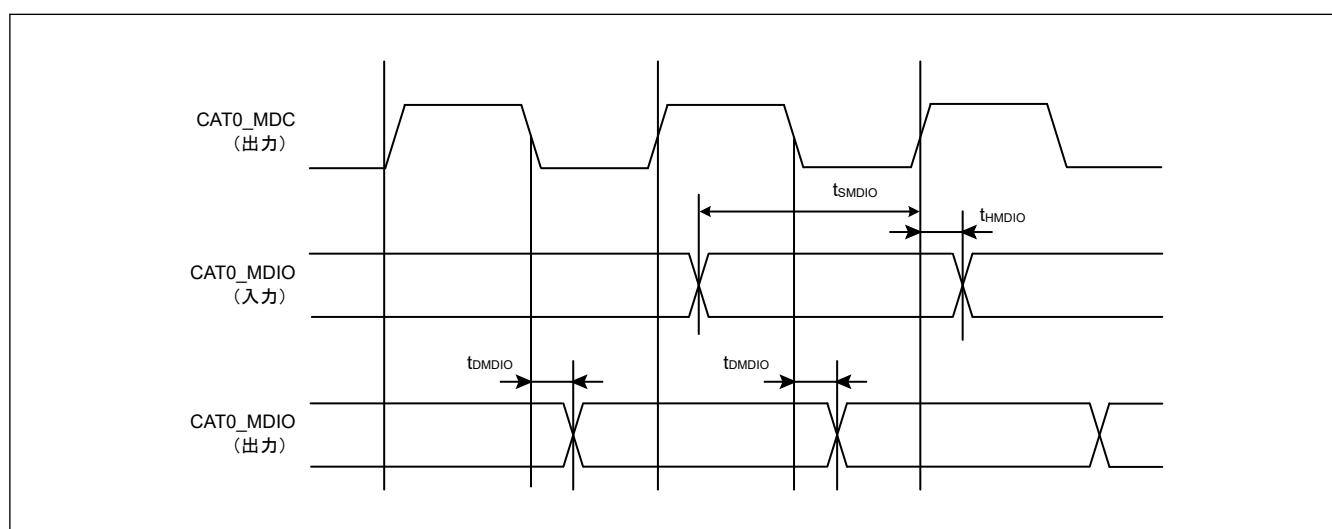


図 2.117 シリアルマネジメントアクセスのタイミング

2.3.19 DSMIF タイミング

表 2.81 DSMIF タイミング

条件 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	VCC	Min	Max	単位	測定条件
クロック周期	マスタ	t_{DScyc}	2.70 V 以上	40	200	ns	図 2.118
			1.62 V 以上	80	200		
	スレーブ		2.70 V 以上	40	200		
			1.62 V 以上	40	200		
クロック High レベルパルス幅	マスタ	t_{DSCKWH}	2.70 V 以上	16	—	ns	
			1.62 V 以上	32	—		
	スレーブ		2.70 V 以上	16	—		
			1.62 V 以上	16	—		
クロック Low レベルパルス幅	マスタ	t_{DSCKWL}	2.70 V 以上	16	—	ns	
			1.62 V 以上	32	—		
	スレーブ		2.70 V 以上	16	—		
			1.62 V 以上	16	—		
セットアップ時間	マスタ	t_{SU}	2.70 V 以上	15	—	ns	図 2.119 図 2.120
			1.62 V 以上	30	—		
	スレーブ		2.70 V 以上	10	—		
			1.62 V 以上	10	—		
ホールド時間	マスタ	t_H	2.70 V 以上	0	—	ns	
			1.62 V 以上	0	—		
	スレーブ		2.70 V 以上	10	—		
			1.62 V 以上	10	—		

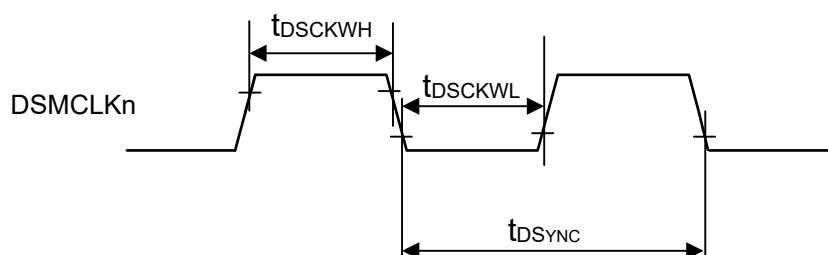


図 2.118 クロック入出力のタイミング

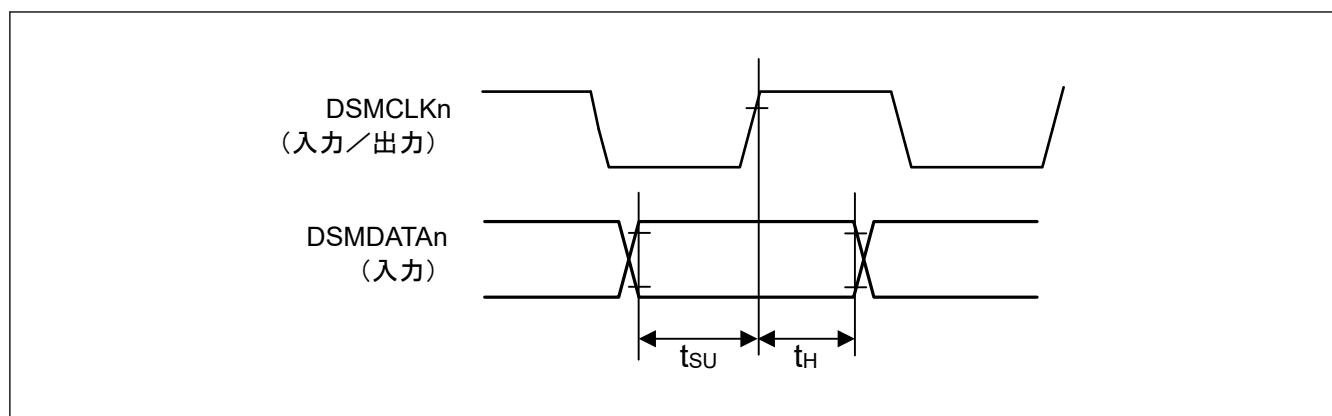


図 2.119 受信タイミング (DSMCLKn の立ち上がり同期)

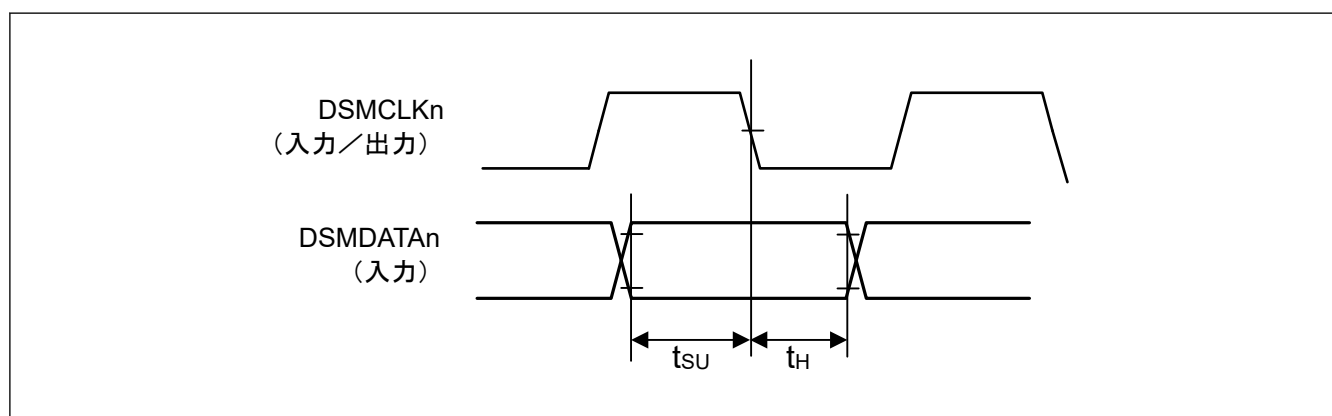


図 2.120 受信タイミング (DSMCLKn の立ち下がり同期)

2.4 USB 特性

2.4.1 USBFS タイミング

表 2.82 ホストに限定した USBFS 低速特性 (USB_DP 端子および USB_DM 端子特性)

条件 : VCC = VCC_USB = 3.0~3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	USB_DP - USB_DM
	差動共通モードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	$I_{OH} = -200 \mu A$
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	$I_{OL} = 2 \text{ mA}$
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.121
	立ち上がり時間	t_{LR}	75	—	300	ns	
	立ち下がり時間	t_{LF}	75	—	300	ns	
	立ち上がり/立ち下がり時間比	t_{LR} / t_{LF}	80	—	125	%	t_{LR} / t_{LF}
プルアップ/ プルダウン特性	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	k Ω	—

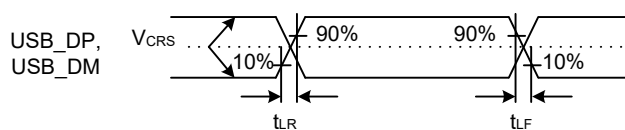


図 2.121 Low-speed モードにおける USB_DP、USB_DM の出力タイミング

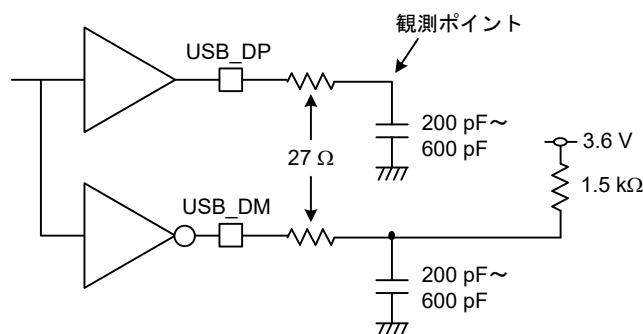


図 2.122 Low-speed モードにおける測定回路

表 2.83 USBFS フルスピード特性 (USB_DP 端子および USB_DM 端子特性)

条件 : $V_{CC} = V_{CC_USB} = 3.0 \sim 3.6$ V、 $USBCLK = 48$ MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	$ USB_DP - USB_DM $
	差動共通モードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	$I_{OH} = -200 \mu A$
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	$I_{OL} = 2$ mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.123
	立ち上がり時間	t_{LR}	4	—	20	ns	t_{FR}/t_{FF}
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり/立ち下がり時間比	t_{LR}/t_{LF}	90	—	111.11	%	
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBFS: $R_s = 27 \Omega$ 含む
プルアップ/ プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	k Ω	アイドル状態の間
			1.425	—	3.090	k Ω	送受信中
	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	k Ω	—

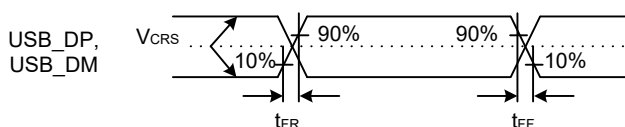


図 2.123 フルスピードモードにおける USB_DP、USB_DM の出力タイミング

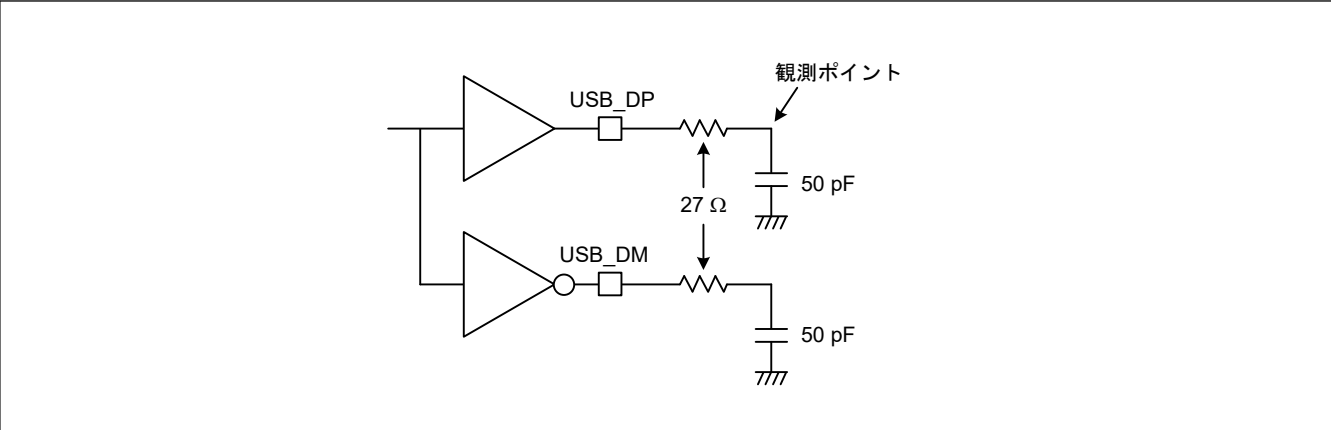


図 2.124 フルスピードモードにおける測定回路

2.5 ADC 特性

表 2.84 A/D 変換特性（共通）（1/3）

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目	Min	Typ	Max	単位	測定条件
A/D 変換クロック周波数 (ADCLK)	25	50	60	MHz	AVCC: 2.7~3.63 V VCC: 2.7~3.63 V VREFH0/VREFH: 2.7 V~AVCC
逐次比較時間	100	—	200	ns	

表 2.84 A/D 変換特性 (共通) (2/3)

条件: AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目					Min	Typ	Max	単位	測定条件	
A/D サンプル ング時間 (通常 モード)	自己校正				SAR モード	$1 \times t_{ADcyc} + 40$	—	—	ns	AVCC: 2.7~3.63 V VCC: 2.7~3.63 V VREFH0/VREFH: 2.7 V~AVCC tCmp = 100 ns
					オーバーサン プリングモー ド	$1 \times t_{ADcyc} + 40$	—	—	ns	
	自己診断				SAR モード	$1 \times t_{ADcyc} + 40$	—	—	ns	
					オーバーサン プリングモー ド	$1 \times t_{ADcyc} + 40$	—	—	ns	
	A/D 変換	高速チャネル	チャネル専用 サンプル&ホ ールド回路不 使用時	(AN000~ AN005) (AN006~ AN011)	SAR モード	$1 \times t_{ADcyc} + 40$	—	—	ns	
					オーバーサン プリングモー ド (1チャネル連 続スキャンモ ード)	40	—	—	ns	
					オーバーサン プリングモー ド (シングル/連 続スキャンモ ード)	$1 \times t_{ADcyc} + 40$	—	—	ns	
			チャネル専用 サンプル&ホ ールド回路使 用時	(AN000~ AN005) (AN006~ AN011)	SAR モード	$1 \times t_{ADcyc} + 160$	—	—	ns	
					ハイブリッド モード	$1 \times t_{ADcyc} + 160$	—	—	ns	
					中速チャネル		(AN012~ AN015)	SAR モード	180	
		オーバーサン プリングモー ド	200	—				—	ns	
		低速チャネル		(AN016~ AN022)	SAR モード	400	—	—	ns	
					オーバーサン プリングモー ド	400	—	—	ns	
		A/D サンプル ング時間 (高精度モー ド)	自己校正				SAR モード	$1 \times t_{ADcyc} + 140$ (注1)	—	
ハイブリッド モード	$1 \times t_{ADcyc} + 140$ (注1)						—	—	ns	
自己診断				SAR モード	$1 \times t_{ADcyc} + 140$ (注1)	—	—	ns		
				ハイブリッド モード	$1 \times t_{ADcyc} + 140$ (注1)	—	—	ns		
A/D 変換	高速チャネル		チャネル専用 サンプル&ホ ールド回路不 使用時	(AN000~ AN005) (AN006~ AN011)	SAR モード	$1 \times t_{ADcyc} + 140$ (注1)	—	—	ns	
					ハイブリッド モード	$1 \times t_{ADcyc} + 140$ (注1)	—	—	ns	
			チャネル専用 サンプル&ホ ールド回路使 用時	(AN000~ AN005) (AN006~ AN011)	SAR モード	$1 \times t_{ADcyc} + 320$	—	—	ns	
					ハイブリッド モード	$1 \times t_{ADcyc} + 320$	—	—	ns	
	中速チャネル		(AN012~ AN015)	SAR モード	400	—	—	ns		
				ハイブリッド モード	440	—	—	ns		
	低速チャネル		(AN016~ AN022)	SAR モード	840	—	—	ns		
				ハイブリッド モード	840	—	—	ns		

表 2.84 A/D 変換特性 (共通) (3/3)

条件: AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目				Min	Typ	Max	単位	測定条件
チャンネル専用 サンプル&ホールド回路	サンプリング 時間	自己校正		400	—	—	ns	AVCC: 2.7~3.63 V VCC: 2.7~3.63 V VREFH0/VREFH: 2.7 V~AVCC
		A/D 変換		400	—	—	ns	
	ホールドモード切り替え時間			40	—	—	ns	
	ホールド時間			—	—	5	μs	
動作安定時間	A/D 起動時間			2	—	—	μs	
	チャンネル専用サンプル&ホールド回路起動時間			2	—	—	μs	
	A/D 遮断時間			1	—	—	μs	
アナログ入力 電圧範囲	シングルエンド入力電圧	ユニット 0	AN000~ AN005, AN012, AN014	VREFL0	—	VREFH0	V	—
			AN016~ AN018	VREFL0	—	VREFH0	V	VCC ≥ VREFH0
				VREFL0	—	VCC	V	VCC < VREFH0
			AN019~ AN022	VREFL0	—	VREFH0	V	VCC2 ≥ VREFH0
				VREFL0	—	VCC2	V	VCC2 < VREFH0
		ユニット 1	AN006~ AN011, AN013, AN015	VREFL	—	VREFH	V	—
			AN016~ AN018	VREFL	—	VREFH	V	VCC ≥ VREFH
				VREFL	—	VCC	V	VCC < VREFH
			AN019~ AN022	VREFL	—	VREFH	V	VCC2 ≥ VREFH
				VREFL	—	VCC2	V	VCC2 < VREFH
	差動入力電圧(注2)	ユニット 0	AN000~ AN005	-VREFH0	—	+VREFH0	V	—
		ユニット 1	AN006~ AN011	-VREFH	—	+VREFH	V	—

注. t_{ADcyc} : ADCLK サイクル注. t_{Cmp} : 逐次比較時間注 1. t_{Cmp} が 100 ns よりも大きい場合、A/D サンプリング時間は以下の式よりも長くする必要があります。

$$1 \times t_{ADcyc} + 1.6 \times t_{Cmp}$$

注 2. 差動入力電圧は ($A_{INP} - A_{INN}$) です。

A/D コンバータユニット 0:

- A_{INP} は A_{Nx} の入力電圧であり、 $VREFL0 \leq A_{INP} \leq VREFH0$ です。
- A_{INN} は A_{Ny} の入力電圧であり、 $VREFL0 \leq A_{INN} \leq VREFH0$ です。

A/D コンバータユニット 1:

- A_{INP} は A_{Nx} の入力電圧であり、 $VREFL \leq A_{INP} \leq VREFH$ です。
- A_{INN} は A_{Ny} の入力電圧であり、 $VREFL \leq A_{INN} \leq VREFH$ です。

(x = 2i, y = 2i + 1, i = 0, 1, 2... (任意の整数))

表 2.85 A/D 変換特性 (共通) (1/2)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目					Min	Typ	Max	単位	測定条件				
A/D 変換クロック周波数 (ADCLK)					25	50	60	MHz	AVCC: 1.62~2.7 V VCC: 1.62~2.7 V VREFH0/VREFH: 1.62 V~AVCC				
逐次比較時間					200	—	200	ns					
A/D サンプリ ング時間(通常 モード)	自己校正				SAR モード	$1 \times t_{ADcyc} + 420$	—	—	ns	AVCC: 1.62~2.7 V VCC: 1.62~2.7 V VREFH0/VREFH: 1.62 V~AVCC tCmp = 200 ns			
					オーバーサン プリングモー ド	$1 \times t_{ADcyc} + 420$	—	—	ns				
	自己診断				SAR モード	$1 \times t_{ADcyc} + 420$	—	—	ns				
					オーバーサン プリングモー ド	$1 \times t_{ADcyc} + 420$	—	—	ns				
	A/D 変換	高速チャネル	チャンネル専用 サンプル&ホ ールド回路不 使用時	(AN000~ AN005) (AN006~ AN011)	SAR モード	$1 \times t_{ADcyc} + 420$	—	—	ns				
					オーバーサン プリングモー ド (1 チャンネル 連続スキャン モード)	440	—	—	ns				
					オーバーサン プリングモー ド (シングル/ 連続スキャン モード)	$1 \times t_{ADcyc} + 420$	—	—	ns				
		中速チャネル		(AN012~ AN015)	SAR モード	560	—	—	ns				
					オーバーサン プリングモー ド	560	—	—	ns				
		低速チャネル		(AN016~ AN022)	SAR モード	800	—	—	ns				
					オーバーサン プリングモー ド	800	—	—	ns				
		A/D サンプリ ング時間 (高精度モー ド)					SAR モード	$1 \times t_{ADcyc} + 780$	—	—	ns		
ハイブリッド モード	$1 \times t_{ADcyc} + 780$						—	—	ns				
自己診断							SAR モード	$1 \times t_{ADcyc} + 780$	—	—	ns		
							ハイブリッド モード	$1 \times t_{ADcyc} + 780$	—	—	ns		
A/D 変換	高速チャネル	チャンネル専用 サンプル&ホ ールド回路不 使用時	(AN000~ AN005) (AN006~ AN011)	SAR モード	$1 \times t_{ADcyc} + 780$	—	—	ns					
				ハイブリッド モード	$1 \times t_{ADcyc} + 780$	—	—	ns					
	中速チャネル		(AN012~ AN015)	SAR モード	1200	—	—	ns					
				ハイブリッド モード	1200	—	—	ns					
	低速チャネル		(AN016~ AN022)	SAR モード	1680	—	—	ns					
				ハイブリッド モード	1680	—	—	ns					
動作	A/D 起動時間				2	—	—	ns	AVCC: 1.62~2.7 V VCC: 1.62~2.7 V VREFH0/VREFH: 1.62 V~AVCC				
	A/D 遮断時間				1	—	—	ns					

表 2.85 A/D 変換特性 (共通) (2/2)

条件: AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目				Min	Typ	Max	単位	測定条件
アナログ入力 電圧範囲	シングルエンド入力電圧	ユニット 0	AN000~ AN005, AN012, AN014	VREFL0	—	VREFH0	V	—
			AN016~ AN018	VREFL0	—	VREFH0	V	$VCC \geq VREFH0$
				VREFL0	—	VCC	V	$VCC < VREFH0$
			AN019~ AN022	VREFL0	—	VREFH0	V	$VCC2 \geq VREFH0$
				VREFL0	—	VCC2	V	$VCC2 < VREFH0$
		ユニット 1	AN006~ AN011, AN013, AN015	VREFL	—	VREFH	V	—
			AN016~ AN018	VREFL	—	VREFH	V	$VCC \geq VREFH$
				VREFL	—	VCC	V	$VCC < VREFH$
			AN019~ AN022	VREFL	—	VREFH	V	$VCC2 \geq VREFH$
				VREFL	—	VCC2	V	$VCC2 < VREFH$
	差動入力電圧(注1)	ユニット 0	AN000~ AN005	-VREFH0	—	+VREFH0	V	—
		ユニット 1	AN006~ AN011	-VREFH	—	+VREFH	V	—

注. t_{ADcyc} : ADCLK サイクル注. t_{Cmp} : 逐次比較時間注 1. 差動入力電圧は ($A_{INP} - A_{INN}$) です。

A/D コンバータユニット 0:

- A_{INP} は A_{Nx} の入力電圧であり、 $VREFL0 \leq A_{INP} \leq VREFH0$ です。
- A_{INN} は A_{Ny} の入力電圧であり、 $VREFL0 \leq A_{INN} \leq VREFH0$ です。

A/D コンバータユニット 1:

- A_{INP} は A_{Nx} の入力電圧であり、 $VREFL \leq A_{INP} \leq VREFH$ です。
- A_{INN} は A_{Ny} の入力電圧であり、 $VREFL \leq A_{INN} \leq VREFH$ です。

(x = 2i, y = 2i + 1, i = 0, 1, 2... (任意の整数))

表 2.86 A/D 変換特性 (SAR モード : DCDC モード) (1/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	分解能					—	—	12	ビット	—
SAR モード	シングルエン ド入力	通常モード	高精度チャネ ル (AN000~ AN005) (AN006~ AN011)	チャネル専用 サンプル&ホ ールド回路不 使用時	変換時間(注1)	0.16	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 3 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤 差	—	±3	±6.5	LSB	BGA パッケージ
						—	±3	±7.5	LSB	LQFP パッケージ
					フルスケール 誤差	—	±3	±6.5	LSB	BGA パッケージ
						—	±3	±7.5	LSB	LQFP パッケージ
					絶対精度	—	±4	±11	LSB	BGA パッケージ
						—	±4	±14	LSB	LQFP パッケージ
					DNL 微分非 直線性誤差 (注3)	—	±1	-1~ +1.5	LSB	BGA パッケージ
						—	±1	-1~ +2.0	LSB	LQFP パッケージ
					INL 積分非直 線性誤差	—	±2	±3	LSB	BGA パッケージ
						—	±2	±5	LSB	LQFP パッケージ
			高精度チャネ ル (AN000~ AN005) (AN006~ AN011)	チャネル専用 サンプル&ホ ールド回路使 用時	変換時間(注2)	1.00	—	—	μs	- ADCLK: 50 MHz - チャネル専用サンプル&ホールド回路のサンプリング時間 : 35 ADCLK - チャネル専用サンプル&ホールド回路のホールドモード遷移時間 : 2 ADCLK - サンプリング時間 : 8 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤 差	—	±1.5	±6.75	LSB	BGA パッケージ
						—	±1.5	±7.5	LSB	LQFP パッケージ
					フルスケール 誤差	—	±1.5	±6.75	LSB	BGA パッケージ
						—	±1.5	±7.5	LSB	LQFP パッケージ
					絶対精度	—	±5	±10.5	LSB	BGA パッケージ
						—	±5	±11.5	LSB	LQFP パッケージ
					DNL 微分非 直線性誤差 (注3)	—	±1	-1~ +1.5	LSB	BGA パッケージ
						—	±1	-1~ +2.0	LSB	LQFP パッケージ
					INL 積分非直 線性誤差	—	±2.5	±3.5	LSB	BGA パッケージ
						—	±2.5	±5.5	LSB	LQFP パッケージ

表 2.86 A/D 変換特性 (SAR モード : DCDC モード) (2/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目						Min	Typ	Max	単位	測定条件		
SAR モード	シングルエン ド入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホ ールド回路不 使用時	変換時間 ^(注1)	0.26	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間：8 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下		
					オフセット誤 差	—	±1.5	±4.5	LSB	BGA パッケージ		
						—	±1.5	±5.5	LSB	LQFP パッケージ		
					フルスケール 誤差	—	±1.5	±4.5	LSB	BGA パッケージ		
						—	±1.5	±5.5	LSB	LQFP パッケージ		
					絶対精度	—	±4	±7	LSB	BGA パッケージ		
						—	±4	±10	LSB	LQFP パッケージ		
					DNL 微分非 直線性誤差 (注3)	—	±1	-1～ +1.5	LSB	BGA パッケージ		
						—	±1	-1～ +2.0	LSB	LQFP パッケージ		
					INL 積分非直 線性誤差	—	±2	±3	LSB	BGA パッケージ		
						—	±2	±5	LSB	LQFP パッケージ		
					高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホ ールド回路使 用時	変換時間 ^(注2)	1.72	—	—	μs	● ADCLK: 50 MHz ● チャネル専用サンプル&ホールド回路のサンプリング時間：63 ADCLK ● チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK ● サンプリング時間：16 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
							オフセット誤 差	—	±1.5	±6.75	LSB	BGA パッケージ
								—	±1.5	±7.5	LSB	LQFP パッケージ
		フルスケール 誤差	—	±1.5			±6.75	LSB	BGA パッケージ			
			—	±1.5			±7.5	LSB	LQFP パッケージ			
		絶対精度	—	±4.5			±9	LSB	BGA パッケージ			
			—	±4.5			±9.5	LSB	LQFP パッケージ			
		DNL 微分非 直線性誤差 (注3)	—	±1			-1～ +1.5	LSB	BGA パッケージ			
			—	±1	-1～ +2.0	LSB	LQFP パッケージ					
		INL 積分非直 線性誤差	—	±2.5	±3.5	LSB	BGA パッケージ					
			—	±2.5	±4.5	LSB	LQFP パッケージ					

表 2.86 A/D 変換特性 (SAR モード : DCDC モード) (3/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	通常モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.28	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間 : 9 ADCLK ● 逐次比較時間 : 5 ADCLK ● 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	BGA パッケージ
					—	±1.5	±6.5	LSB	LQFP パッケージ
				フルスケール誤差	—	±1.5	±6.5	LSB	BGA パッケージ
					—	±1.5	±6.5	LSB	LQFP パッケージ
				絶対精度	—	±4	±11	LSB	BGA パッケージ
					—	±4	±15	LSB	LQFP パッケージ
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	BGA パッケージ
					—	±1	-1～+2.0	LSB	LQFP パッケージ
			INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ	
				—	±2	±3	LSB	LQFP パッケージ	
			低速チャネル (AN016～AN022)	変換時間(注1)	0.5	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間 : 20 ADCLK ● 逐次比較時間 : 5 ADCLK ● 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±5.5	±11	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 2.86 A/D 変換特性 (SAR モード : DCDC モード) (4/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	高精度モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.5	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間 : 20 ADCLK ● 逐次比較時間 : 5 ADCLK ● 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	BGA パッケージ
					—	±1.5	±4.5	LSB	LQFP パッケージ
				フルスケール誤差	—	±1.5	±4.5	LSB	BGA パッケージ
					—	±1.5	±4.5	LSB	LQFP パッケージ
				絶対精度	—	±4	±7	LSB	BGA パッケージ
					—	±4	±11	LSB	LQFP パッケージ
				DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	BGA パッケージ
					—	±1	-1～+2.0	LSB	LQFP パッケージ
			INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ	
				—	±2	±4.5	LSB	LQFP パッケージ	
			低速チャネル (AN016～AN022)	変換時間(注1)	0.94	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間 : 42 ADCLK ● 逐次比較時間 : 5 ADCLK ● 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	—
				フルスケール誤差	—	±1.5	±4.5	LSB	—
				絶対精度	—	±5.5	±8	LSB	—
DNL 微分非直線性誤差 (注3)	—	±1		-1～+1.5	LSB	—			
INL 積分非直線性誤差	—	±2		±4	LSB	—			

表 2.86 A/D 変換特性 (SAR モード : DCDC モード) (5/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目					Min	Typ	Max	単位	測定条件	
SAR モード	差動入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホールド回路不 使用時	変換時間 ^(注1)	0.16	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間：3 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±2	±3.5	LSB	—
					フルスケール誤差	—	±2	±3.5	LSB	—
					絶対精度	—	±3	±6	LSB	—
					DNL 微分非直線性誤差 ^(注3)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホールド回路使用時	変換時間 ^(注2)	1.00	—	—	μs	● ADCLK: 50 MHz ● チャネル専用サンプル&ホールド回路のサンプリング時間：35 ADCLK ● チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK ● サンプリング時間：8 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±3.5	±10.5	LSB	—
					DNL 微分非直線性誤差 ^(注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

表 2.86 A/D 変換特性 (SAR モード : DCDC モード) (6/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目					Min	Typ	Max	単位	測定条件	
SAR モード	差動入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間 ^(注1)	0.26	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間：8 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1	±2.5	LSB	—
					フルスケール誤差	—	±1	±2.5	LSB	—
					絶対精度	—	±2	±4	LSB	—
					DNL 微分非直線性誤差 ^(注3)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間 ^(注2)	1.72	—	—	μs	● ADCLK: 50 MHz ● チャネル専用サンプル&ホールド回路のサンプリング時間：63 ADCLK ● チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK ● サンプリング時間：16 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±3.5	±9	LSB	—
					DNL 微分非直線性誤差 ^(注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

注. これらの仕様値は、1つのADC16Hだけが動作中で、DAC12とACMPHSが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。
 他のADCユニット、DAC12、またはACMPHSが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
 ADC16H使用時は、ポート0をデジタル出力として使用しないでください。
 上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、およびADC16Hの入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路不使用時: 変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 2. チャネル専用サンプル&ホールド回路使用時: 変換時間は、チャネル専用サンプル&ホールド回路のサンプリング時間、ホールドモード切り替え時間、サンプリング時間、逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 3. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

表 2.87 A/D 変換特性 (SAR モード : 外部 VDD モード) (1/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	分解能					—	—	12	ビット	—
SAR モード	シングルエン ド入力	通常モード	高精度チャネ ル (AN000~ AN005) (AN006~ AN011)	チャネル専用 サンプル&ホ ールド回路不 使用時	変換時間(注1)	0.16	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 3 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤差	—	±3	±6.5	LSB	—
					フルスケール誤差	—	±3	±6.5	LSB	—
					絶対精度	—	±4	±11	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1~+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—
			高精度チャネ ル (AN000~ AN005) (AN006~ AN011)	チャネル専用 サンプル&ホ ールド回路使 用時	変換時間(注2)	1.00	—	—	μs	- ADCLK: 50 MHz - チャネル専用サンプル&ホールド回路のサンプリング時間 : 35 ADCLK - チャネル専用サンプル&ホールド回路のホールドモード遷移時間 : 2 ADCLK - サンプリング時間 : 8 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±5	±10.5	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1~+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

表 2.87 A/D 変換特性 (SAR モード : 外部 VDD モード) (2/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路不使用時	変換時間(注1)	0.26	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 8 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	—
					フルスケール誤差	—	±1.5	±4.5	LSB	—
					絶対精度	—	±4	±7	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	1.72	—	—	μs	- ADCLK: 50 MHz - チャネル専用サンプル&ホールド回路のサンプリング時間 : 63 ADCLK - チャネル専用サンプル&ホールド回路のホールドモード遷移時間 : 2 ADCLK - サンプリング時間 : 16 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±4.5	±9	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

表 2.87 A/D 変換特性 (SAR モード : 外部 VDD モード) (3/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

条件 : AVCC: 2.7 ~ 5.5 V, VCC: 2.7 ~ 5.5 V, VREF0/VREF1: 2.7 V ~ AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	通常モード	中速チャネル (AN012～AN015)	変換時間 ^(注1)	0.28	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 9 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±4	±11	LSB	—
				DNL 微分非直線性誤差 ^(注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±3	LSB	—
			低速チャネル (AN016～AN022)	変換時間 ^(注1)	0.5	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 20 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±5.5	±11	LSB	—
				DNL 微分非直線性誤差 ^(注3)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 2.87 A/D 変換特性 (SAR モード : 外部 VDD モード) (4/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエン ド入力	高精度モード	中速チャンネル (AN012~ AN015)	変換時間(注1)	0.5	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 20 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	—
				フルスケール誤差	—	±1.5	±4.5	LSB	—
				絶対精度	—	±4	±7	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1~+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±3	LSB	—
			低速チャンネル (AN016~ AN022)	変換時間(注1)	0.94	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 42 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	—
				フルスケール誤差	—	±1.5	±4.5	LSB	—
				絶対精度	—	±5.5	±8	LSB	—
				DNL 微分非直線性誤差 (注3)	—	±1	-1~+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 2.87 A/D 変換特性 (SAR モード : 外部 VDD モード) (5/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホールド回路不 使用時	変換時間(注1)	0.16	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間：3 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±2	±3.5	LSB	—
					フルスケール誤差	—	±2	±3.5	LSB	—
					絶対精度	—	±3	±6	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホールド回路使用時	変換時間(注2)	1.00	—	—	μs	● ADCLK: 50 MHz ● チャネル専用サンプル&ホールド回路のサンプリング時間：35 ADCLK ● チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK ● サンプリング時間：8 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±3.5	±10.5	LSB	—
					DNL 微分非直線性誤差 (注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

表 2.87 A/D 変換特性 (SAR モード : 外部 VDD モード) (6/6)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目					Min	Typ	Max	単位	測定条件	
SAR モード	差動入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホールド回路不 使用時	変換時間 ^(注1)	0.26	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間：8 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1	±2.5	LSB	—
					フルスケール誤差	—	±1	±2.5	LSB	—
					絶対精度	—	±2	±4	LSB	—
					DNL 微分非直線性誤差 ^(注3)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—
			高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホールド回路使用時	変換時間 ^(注2)	1.72	—	—	μs	● ADCLK: 50 MHz ● チャネル専用サンプル&ホールド回路のサンプリング時間：63 ADCLK ● チャネル専用サンプル&ホールド回路のホールドモード遷移時間：2 ADCLK ● サンプリング時間：16 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±6.75	LSB	—
					フルスケール誤差	—	±1.5	±6.75	LSB	—
					絶対精度	—	±3.5	±9	LSB	—
					DNL 微分非直線性誤差 ^(注3)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2.5	±3.5	LSB	—

注. これらの仕様値は、1つのADC16Hだけが動作中で、DAC12とACMPHSが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。
 他のADCユニット、DAC12、またはACMPHSが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
 ADC16H使用時は、ポート0をデジタル出力として使用しないでください。
 上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、およびADC16Hの入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路不使用時: 変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 2. チャネル専用サンプル&ホールド回路使用時: 変換時間は、チャネル専用サンプル&ホールド回路のサンプリング時間、ホールドモード切り替え時間、サンプリング時間、逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 3. DNL はヒストグラム法を使用して計測されるため、下限値は-1になります。

表 2.88 A/D 変換特性 (SAR モード : DCDC モード) (1/4)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	分解能					—	—	12	ビット	—
SAR モード	シングルエン ド入力	通常モード	高精度チャネ ル (AN000~ AN005) (AN006~ AN011)	チャネル専用 サンプル&ホ ールド回路不 使用時	変換時間(注1)	0.64	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 22 ADCLK - 逐次比較時間 : 10 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤 差	—	±3	±6.5	LSB	BGA パッケージ
						—	±3	±8	LSB	LQFP パッケージ
					フルスケール 誤差	—	±3	±6.5	LSB	BGA パッケージ
						—	±3	±8	LSB	LQFP パッケージ
					絶対精度	—	±5.5	±11	LSB	BGA パッケージ
						—	±5.5	±15	LSB	LQFP パッケージ
					DNL 微分非 直線性誤差 (注2)	—	±1	-1~ +1.5	LSB	BGA パッケージ
						—	±1	-1~ +2.0	LSB	LQFP パッケージ
					INL 積分非直 線性誤差	—	±2	±3	LSB	BGA パッケージ
						—	±2	±3.5	LSB	LQFP パッケージ
SAR モード	シングルエン ド入力	高精度モード	高精度チャネ ル (AN000~ AN005) (AN006~ AN011)	チャネル専用 サンプル&ホ ールド回路不 使用時	変換時間(注1)	1	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 40 ADCLK - 逐次比較時間 : 10 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤 差	—	±1.5	±4.5	LSB	BGA パッケージ
						—	±1.5	±5	LSB	LQFP パッケージ
					フルスケール 誤差	—	±1.5	±4.5	LSB	BGA パッケージ
						—	±1.5	±5	LSB	LQFP パッケージ
					絶対精度	—	±5.0	±8	LSB	BGA パッケージ
						—	±5.0	±11	LSB	LQFP パッケージ
					DNL 微分非 直線性誤差 (注2)	—	±1	-1~ +1.5	LSB	BGA パッケージ
						—	±1	-1~ +1.5	LSB	LQFP パッケージ
					INL 積分非直 線性誤差	—	±2	±3	LSB	BGA パッケージ
						—	±2	±3.5	LSB	LQFP パッケージ

表 2.88 A/D 変換特性 (SAR モード : DCDC モード) (2/4)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	通常モード	中速チャネル (AN012～AN015)	変換時間(注1)	0.76	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間 : 28 ADCLK ● 逐次比較時間 : 10 ADCLK ● 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	—	±6.5	LSB	BGA パッケージ
					—	±1.5	±7	LSB	LQFP パッケージ
				フルスケール誤差	—	±1.5	±6.5	LSB	BGA パッケージ
					—	±1.5	±7	LSB	LQFP パッケージ
				絶対精度	—	±4	±11	LSB	BGA パッケージ
					—	±4	±15	LSB	LQFP パッケージ
			DNL 微分非直線性誤差 (注2)	—	±1	-1～+1.5	LSB	BGA パッケージ	
				—	±1	-1～+2.0	LSB	LQFP パッケージ	
			INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ	
				—	±2	±4	LSB	LQFP パッケージ	
			低速チャネル (AN016～AN022)	変換時間(注1)	1	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間 : 40 ADCLK ● 逐次比較時間 : 10 ADCLK ● 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
		絶対精度		—	±5.5	±11	LSB	—	
		DNL 微分非直線性誤差 (注2)		—	±1	-1～+1.5	LSB	—	
		INL 積分非直線性誤差		—	±2	±4	LSB	—	

表 2.88 A/D 変換特性 (SAR モード : DCDC モード) (3/4)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエン ド入力	高精度モード	中速チャネル (AN012~ AN015)	変換時間(注1)	1.4	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 60 ADCLK - 逐次比較時間 : 10 ADCLK - 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	BGA パッケージ
					—	±1.5	±5	LSB	LQFP パッケージ
				フルスケール誤差	—	±1.5	±4.5	LSB	BGA パッケージ
					—	±1.5	±5	LSB	LQFP パッケージ
				絶対精度	—	±4	±8	LSB	BGA パッケージ
					—	±4	±13	LSB	LQFP パッケージ
				DNL 微分非直線性誤差 (注2)	—	±1	-1~+1.5	LSB	BGA パッケージ
					—	±1	-1~+2.0	LSB	LQFP パッケージ
				INL 積分非直線性誤差	—	±2	±3	LSB	BGA パッケージ
					—	±2	±4	LSB	LQFP パッケージ
			低速チャネル (AN016~ AN022)	変換時間(注1)	1.88	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 84 ADCLK - 逐次比較時間 : 10 ADCLK - 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±1.5	±4.5	LSB	—
				フルスケール誤差	—	±1.5	±4.5	LSB	—
				絶対精度	—	±5.5	±8	LSB	—
				DNL 微分非直線性誤差 (注2)	—	±1	-1~+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—
SAR モード	差動入力	通常モード	高精度チャネル (AN000~ AN005) (AN006~AN011)	変換時間(注1)	0.64	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 22 ADCLK - 逐次比較時間 : 10 ADCLK - 信号源インピーダンス : 50 Ω 以下
				オフセット誤差	—	±2	±3.5	LSB	—
				フルスケール誤差	—	±2	±3.5	LSB	—
				絶対精度	—	±4.5	±6	LSB	—
				DNL 微分非直線性誤差 (注2)	—	±0.75	±1	LSB	—
				INL 積分非直線性誤差	—	±1.5	±2	LSB	—

表 2.88 A/D 変換特性 (SAR モード : DCDC モード) (4/4)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホールド回路不 使用時	変換時間(注1)	1	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間: 40 ADCLK ● 逐次比較時間: 10 ADCLK ● 信号源インピーダンス: 50 Ω 以下
					オフセット誤差	—	±1	±2.5	LSB	—
					フルスケール誤差	—	±1	±2.5	LSB	—
					絶対精度	—	±3.5	±4.5	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—

注. これらの仕様値は、1つのADC16Hだけが動作中で、DAC12とACMPHSが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。

他のADCユニット、DAC12、またはACMPHSが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

ADC16H使用時は、ポート0をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、およびADC16Hの入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路不使用時：変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 2. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

表 2.89 A/D 変換特性 (SAR モード : 外部 VDD モード) (1/4)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	分解能					—	—	12	ビット	—
SAR モード	シングルエン ド入力	通常モード	高精度チャネ ル (AN000~ AN005) (AN006~ AN011)	チャンネル専用 サンプル&ホ ールド回路不 使用時	変換時間(注1)	0.64	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 22 ADCLK - 逐次比較時間 : 10 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤差	—	±3	±6.5	LSB	—
					フルスケール誤差	—	±3	±6.5	LSB	—
					絶対精度	—	±5.5	±11	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±1	-1~+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—
SAR モード	シングルエン ド入力	高精度モード	高精度チャネ ル (AN000~ AN005) (AN006~ AN011)	チャンネル専用 サンプル&ホ ールド回路不 使用時	変換時間(注1)	1	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 40 ADCLK - 逐次比較時間 : 10 ADCLK - 信号源インピーダンス : 50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	—
					フルスケール誤差	—	±1.5	±4.5	LSB	—
					絶対精度	—	±5.0	±8	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±1	-1~+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—

表 2.89 A/D 変換特性 (SAR モード : 外部 VDD モード) (2/4)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目					Min	Typ	Max	単位	測定条件
SAR モード	シングルエンド入力	通常モード	中速チャネル (AN012～AN015)	変換時間 ^(注1)	0.76	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間: 28 ADCLK ● 逐次比較時間: 10 ADCLK ● 信号源インピーダンス: 50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±4	±11	LSB	—
				DNL 微分非直線性誤差 ^(注2)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±3	LSB	—
			低速チャネル (AN016～AN022)	変換時間 ^(注1)	1	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間: 40 ADCLK ● 逐次比較時間: 10 ADCLK ● 信号源インピーダンス: 50 Ω 以下
				オフセット誤差	—	±1.5	±6.5	LSB	—
				フルスケール誤差	—	±1.5	±6.5	LSB	—
				絶対精度	—	±5.5	±11	LSB	—
				DNL 微分非直線性誤差 ^(注2)	—	±1	-1～+1.5	LSB	—
				INL 積分非直線性誤差	—	±2	±4	LSB	—

表 2.89 A/D 変換特性 (SAR モード : 外部 VDD モード) (3/4)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目					Min	Typ	Max	単位	測定条件	
SAR モード	シングルエンド入力	高精度モード	中速チャネル (AN012～AN015)		変換時間(注1)	1.4	—	—	μs	- ADCLK: 50 MHz - サンプリング時間：60 ADCLK - 逐次比較時間：10 ADCLK - 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	—
					フルスケール誤差	—	±1.5	±4.5	LSB	—
					絶対精度	—	±4	±8	LSB	—
					DNL 微分非直線性誤差(注2)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±3	LSB	—
			低速チャネル (AN016～AN022)		変換時間(注1)	1.88	—	—	μs	- ADCLK: 50 MHz - サンプリング時間：84 ADCLK - 逐次比較時間：10 ADCLK - 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±1.5	±4.5	LSB	—
					フルスケール誤差	—	±1.5	±4.5	LSB	—
					絶対精度	—	±5.5	±8	LSB	—
					DNL 微分非直線性誤差(注2)	—	±1	-1～+1.5	LSB	—
					INL 積分非直線性誤差	—	±2	±4	LSB	—
SAR モード	差動入力	通常モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャンネル専用サンプル＆ホールド回路不使用時	変換時間(注1)	0.64	—	—	μs	- ADCLK: 50 MHz - サンプリング時間：22 ADCLK - 逐次比較時間：10 ADCLK - 信号源インピーダンス：50 Ω 以下
					オフセット誤差	—	±2	±3.5	LSB	—
					フルスケール誤差	—	±2	±3.5	LSB	—
					絶対精度	—	±4.5	±6	LSB	—
					DNL 微分非直線性誤差(注2)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—

表 2.89 A/D 変換特性 (SAR モード : 外部 VDD モード) (4/4)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目						Min	Typ	Max	単位	測定条件
SAR モード	差動入力	高精度モード	高精度チャネル (AN000～AN005) (AN006～AN011)	チャネル専用 サンプル&ホールド回路不 使用時	変換時間(注1)	1	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間: 40 ADCLK ● 逐次比較時間: 10 ADCLK ● 信号源インピーダンス: 50 Ω 以下
					オフセット誤差	—	±1	±2.5	LSB	—
					フルスケール誤差	—	±1	±2.5	LSB	—
					絶対精度	—	±3.5	±4.5	LSB	—
					DNL 微分非直線性誤差 (注2)	—	±0.75	±1	LSB	—
					INL 積分非直線性誤差	—	±1.5	±2	LSB	—

注. これらの仕様値は、1つのADC16Hだけが動作中で、DAC12とACMPHSが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。
 他のADCユニット、DAC12、またはACMPHSが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
 ADC16H使用時は、ポート0をデジタル出力として使用しないでください。
 上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、およびADC16Hの入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路不使用時：変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。

注 2. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

表 2.90 A/D 変換特性 (オーバーサンプリングモードとハイブリッドモード) (1)

項目					Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード	分解能				—	—	16	ビット	—
	オーバーサンプリング周期	オーバーサンプリングモード			0.16	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 3 ADCLK - 逐次比較時間 : 5 ADCLK - 断線検出アシスト機能不使用時 - 信号源インピーダンス : 50 Ω 以下
		ハイブリッドモード(注2)			0.18	—	—	μs	- ADCLK: 50 MHz - サンプリング時間 : 8 ADCLK - 逐次比較時間 : 5 ADCLK - 断線検出アシスト機能不使用時 - 信号源インピーダンス : 50 Ω 以下
	デジタルフィルタ特性(注1)	Sinc フィルタ	初期遅延		—	22	—	/Fos	—
			グループ遅延		—	11	—		—
			正規化遮断周波数		—	0.033	—	Fin/Fos	—

注. Fosはオーバーサンプリング周波数です。
 ハイブリッドモードでは、Fosは1/(スキャングループに割り当てられた各アナログチャネルのオーバーサンプリング期間の合計)です。

注 1. 図 2.125 を参照してください。

注 2. チャネルごとの値です。

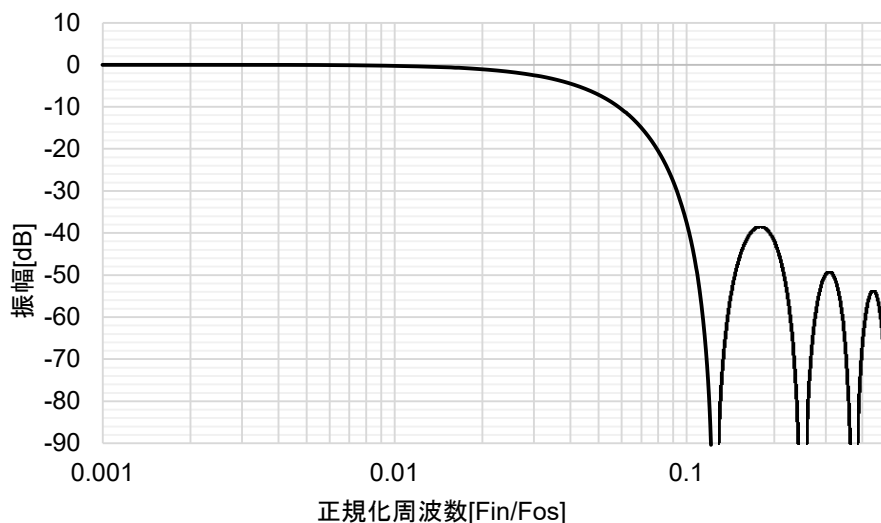


図 2.125 デジタルフィルタ特性 (Sinc フィルタ)

表 2.91 A/D 変換特性 (オーバーサンプリングモードとハイブリッドモード) (2)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード	Sinc フィルタ	シングルエンド入力 (AN000~AN005) (AN006~AN011) (AN012~AN015)	SNDR 信号対ノイズの歪み比	—	80	—	dB	- ADCLK: 50 MHz - サンプリング時間 : - 高速チャネル (オーバーサンプリングモード) : 3 ADCLK - 高速チャネル (ハイブリッドモード) : 8 ADCLK - 中速チャネル (オーバーサンプリングモード) : 10 ADCLK - 中速チャネル (ハイブリッドモード) : 22 ADCLK - 逐次比較時間 : 5 ADCLK - 信号源インピーダンス : 50 Ω 以下 - 入力周波数 : - オーバーサンプリングモード : 5 kHz - ハイブリッドモード : 5 kHz - チャネル専用サンプル&ホールド回路不使用時
			ENOB : 有効ビット数	—	13	—	ビット	
		差動入力 (AN000~AN005) (AN006~AN011)	SNDR 信号対ノイズの歪み比	—	86	—	dB	
			ENOB : 有効ビット数	—	14	—	ビット	

表 2.92 A/D 変換特性 (オーバーサンプリングモードとハイブリッドモード) (3)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード	Sinc フィルタ	シングルエンド入力 (AN000~AN005) (AN006~AN011) (AN012~AN015)	SNDR 信号対ノイズの歪み比	—	74	—	dB	- ADCLK: 50 MHz - サンプリング時間 : - 高速チャネル (オーバーサンプリングモード) : 22 ADCLK - 高速チャネル (ハイブリッドモード) : 40 ADCLK - 中速チャネル (オーバーサンプリングモード) : 28 ADCLK - 中速チャネル (ハイブリッドモード) : 60 ADCLK - 逐次比較時間 : 10 ADCLK - 信号源インピーダンス : 50 Ω 以下 - 入力周波数 : - オーバーサンプリングモード : 5 kHz - ハイブリッドモード : 5 kHz - チャネル専用サンプル&ホールド回路不使用時
			ENOB : 有効ビット数	—	12	—	ビット	
		差動入力 (AN000~AN005) (AN006~AN011)	SNDR 信号対ノイズの歪み比	—	80	—	dB	
			ENOB : 有効ビット数	—	13	—	ビット	

表 2.93 A/D 変換特性 (オーバーサンプリングモード)

条件: AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモード	シングルエンド入力	高精度チャンネル (AN000~AN005) (AN006~AN011)	オフセット誤差 (注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 3 ADCLK - 逐次比較時間: 5 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
			ゲイン誤差 (シングル/連続モード) (注3)	—	±1	±4	LSB	
			ゲイン誤差 (1チャンネル連続モード) (注3)	—	±1	±5	LSB	
			DNL 微分非直線性誤差 (注1) (注2)	—	-1~+1.5	-1~+2.5	LSB	
			INL 積分非直線性誤差 (注1)	—	±4	±8	LSB	
		中速チャンネル (AN012~AN015)	オフセット誤差 (注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 10 ADCLK - 逐次比較時間: 5 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
			ゲイン誤差 (注3)	—	±1	±4	LSB	
			DNL 微分非直線性誤差 (注1) (注2)	—	-1~+2	-1~+4	LSB	
			INL 積分非直線性誤差 (注1)	—	±4	±8	LSB	
		低速チャンネル (AN016~AN022)	オフセット誤差 (注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 20 ADCLK - 逐次比較時間: 5 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
			ゲイン誤差 (注3)	—	±1	±4	LSB	
			DNL 微分非直線性誤差 (注1) (注2)	—	-1~+2	-1~+4	LSB	
			INL 積分非直線性誤差 (注1)	—	±4	±12	LSB	
	差動入力	高精度チャンネル (AN000~AN005) (AN006~AN011)	オフセット誤差 (注3)	—	±0.25	±2	LSB	- ADCLK: 50 MHz - サンプリング時間: 3 ADCLK - 逐次比較時間: 5 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
			ゲイン誤差 (シングル/連続モード) (注3)	—	±0.5	±2	LSB	
			ゲイン誤差 (1チャンネル連続モード) (注3)	—	±0.5	±2.5	LSB	
			DNL 微分非直線性誤差 (注1) (注2)	—	-1~+1.5	-1~+2.0	LSB	
			INL 積分非直線性誤差 (注1)	—	±3	±6	LSB	

注. これらの仕様値は、1つのADC16Hだけが動作中で、DAC12とACMPHSが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。
 他のADCユニット、DAC12、またはACMPHSが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
 ADC16H使用時は、ポート0をデジタル出力として使用しないでください。
 上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、およびADC16Hの入力電圧が安定しているときの特性です。

注1. 測定条件: アナログ入力電圧範囲の0.2%~99.8%

注2. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

注3. この値は12ビット分解能に基づきます。

表 2.94 A/D 変換特性 (オーバーサンプリングモード)

条件 : AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモード	シングルエンド入力	高精度チャネル (AN000~AN005) (AN006~AN011)	オフセット誤差 (注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 22 ADCLK - 逐次比較時間: 10 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
			ゲイン誤差 (シングル/連続モード) (注3)	—	±1	±4	LSB	
			ゲイン誤差 (1チャネル連続モード) (注3)	—	±1	±5	LSB	
			DNL 微分非直線性誤差 (注1) (注2)	—	-1~+2	-1~+2.5	LSB	
			INL 積分非直線性誤差 (注1)	—	±4	±8	LSB	
		中速チャネル (AN012~AN015)	オフセット誤差 (注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 28 ADCLK - 逐次比較時間: 10 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
			ゲイン誤差 (注3)	—	±1	±4	LSB	
			DNL 微分非直線性誤差 (注1) (注2)	—	-1~+2	-1~+4	LSB	
			INL 積分非直線性誤差 (注1)	—	±4	±8	LSB	
		低速チャネル (AN016~AN022)	オフセット誤差 (注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 40 ADCLK - 逐次比較時間: 10 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
			ゲイン誤差 (注3)	—	±1	±4	LSB	
			DNL 微分非直線性誤差 (注1) (注2)	—	-1~+2	-1~+4	LSB	
			INL 積分非直線性誤差 (注1)	—	±4	±12	LSB	
	差動入力	高精度チャネル (AN000~AN005) (AN006~AN011)	オフセット誤差 (注3)	—	±0.25	±2	LSB	- ADCLK: 50 MHz - サンプリング時間: 22 ADCLK - 逐次比較時間: 10 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
			ゲイン誤差 (シングル/連続モード) (注3)	—	±0.5	±2	LSB	
			ゲイン誤差 (1チャネル連続モード) (注3)	—	±0.5	±2.5	LSB	
			DNL 微分非直線性誤差 (注1) (注2)	—	-1~+2	-1~+2.5	LSB	
			INL 積分非直線性誤差 (注1)	—	±3	±6	LSB	

注. これらの仕様値は、1つのADC16Hだけが動作中で、DAC12とACMPHSが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。
 他のADCユニット、DAC12、またはACMPHSが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
 ADC16H使用時は、ポート0をデジタル出力として使用しないでください。
 上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、およびADC16Hの入力電圧が安定しているときの特性です。

注1. 測定条件: アナログ入力電圧範囲の0.2%~99.8%

注2. DNLはヒストグラム法を使用して計測されるため、下限値は-1になります。

注3. この値は12ビット分解能に基づきます。

表 2.95 A/D 変換特性 (ハイブリッドモード)

条件 : AVCC: 2.7~3.63 V, VCC: 2.7~3.63 V, VREFH0/VREFH: 2.7 V~AVCC

項目					Min	Typ	Max	単位	測定条件
ハイブリッドモード	チャンネル専用サンプル&ホールド回路不使用時	シングルエンド入力	高精度チャンネル (AN000~AN005) (AN006~AN011)	オフセット誤差 (注4)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 8 ADCLK - 逐次比較時間: 5 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差 (注4)	—	±1	±5	LSB	
				DNL 微分非直線性誤差 (注2) (注3)	—	-1~+1.5	-1~+2.5	LSB	
				INL 積分非直線性誤差 (注2)	—	±4	±8	LSB	
		中速チャンネル (AN012~AN015) (注1)		オフセット誤差 (注4)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 22 ADCLK - 逐次比較時間: 5 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差 (注4)	—	±1	±5	LSB	
				DNL 微分非直線性誤差 (注2) (注3)	—	-1~+2	-1~+4	LSB	
				INL 積分非直線性誤差 (注2)	—	±4	±8	LSB	
		低速チャンネル (AN016~AN022) (注1)		オフセット誤差 (注4)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 42 ADCLK - 逐次比較時間: 5 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差 (注4)	—	±1	±5	LSB	
				DNL 微分非直線性誤差 (注2) (注3)	—	-1~+2	-1~+4	LSB	
				INL 積分非直線性誤差 (注2)	—	±4	±12	LSB	
	チャンネル専用サンプル&ホールド回路使用時	差動入力	高精度チャンネル (AN000~AN005) (AN006~AN011)	オフセット誤差 (注4)	—	±0.25	±2	LSB	- ADCLK: 50 MHz - サンプリング時間: 8 ADCLK - 逐次比較時間: 5 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差 (注4)	—	±0.5	±2.5	LSB	
				DNL 微分非直線性誤差 (注2) (注3)	—	-1~+1.5	-1~+2	LSB	
				INL 積分非直線性誤差 (注2)	—	±3	±6	LSB	
		シングルエンド入力	高精度チャンネル (AN000~AN005) (AN006~AN011)	オフセット誤差 (注4)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - チャンネル専用サンプル&ホールド回路のサンプリング時間: * ADCLK - チャンネル専用サンプル&ホールド回路のホールドモード遷移時間: * ADCLK - サンプリング時間: * ADCLK - 逐次比較時間: * ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差 (注4)	—	±0.5	±4	LSB	
				DNL 微分非直線性誤差 (注2) (注3)	—	±1	-1~+2	LSB	
				INL 積分非直線性誤差 (注2)	—	±12	±16	LSB	
		差動入力	高精度チャンネル (AN000~AN005) (AN006~AN011)	オフセット誤差 (注4)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - チャンネル専用サンプル&ホールド回路のサンプリング時間: * ADCLK - チャンネル専用サンプル&ホールド回路のホールドモード遷移時間: * ADCLK - サンプリング時間: * ADCLK - 逐次比較時間: * ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差 (注4)	—	±0.5	±4	LSB	
				DNL 微分非直線性誤差 (注2) (注3)	—	±1	-1~+2	LSB	
				INL 積分非直線性誤差 (注2)	—	±4	±16	LSB	

注. これらの仕様値は、1つのADC16Hだけが動作中で、DAC12とACMPHSが動作しておらず、かつA/D変換中に外部バスへのアクセスがない場合に適用されます。

他のADCユニット、DAC12、またはACMPHSが動作中である、またはA/D変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

ADC16H使用時は、ポート0をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。

注 1. チャネル専用サンプル&ホールド回路は、これらのチャネルでは使用できません。

注 2. 測定条件：アナログ入力電圧範囲の 0.2%~99.8%

注 3. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。

注 4. この値は 12 ビット分解能に基づきます。

表 2.96 A/D 変換特性 (ハイブリッドモード)

条件：AVCC: 1.62~2.7 V, VCC: 1.62~2.7 V, VREFH0/VREFH: 1.62 V~AVCC

項目					Min	Typ	Max	単位	測定条件
ハイブリッドモード	チャネル専用サンプル&ホールド回路不使用時	シングルエンド入力	高精度チャネル (AN000~AN005) (AN006~AN011)	オフセット誤差(注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 40 ADCLK - 逐次比較時間: 10 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差(注3)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注1)(注2)	—	-1~+2	-1~+2.5	LSB	
				INL 積分非直線性誤差(注1)	—	±4	±8	LSB	
			中速チャネル (AN012~AN015)	オフセット誤差(注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 60 ADCLK - 逐次比較時間: 10 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差(注3)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注1)(注2)	—	-1~+2	-1~+4	LSB	
				INL 積分非直線性誤差(注1)	—	±4	±8	LSB	
			低速チャネル (AN016~AN022)	オフセット誤差(注3)	—	±0.5	±4	LSB	- ADCLK: 50 MHz - サンプリング時間: 84 ADCLK - 逐次比較時間: 10 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差(注3)	—	±1	±5	LSB	
				DNL 微分非直線性誤差(注1)(注2)	—	-1~+2	-1~+4	LSB	
				INL 積分非直線性誤差(注1)	—	±4	±12	LSB	
		差動入力	高精度チャネル (AN000~AN005) (AN006~AN011)	オフセット誤差(注3)	—	±0.25	±2	LSB	- ADCLK: 50 MHz - サンプリング時間: 40 ADCLK - 逐次比較時間: 10 ADCLK - 信号源インピーダンス: 50 Ω 以下 - デジタルフィルタ: Sinc フィルタ
				ゲイン誤差(注3)	—	±0.5	±2.5	LSB	
				DNL 微分非直線性誤差(注1)(注2)	—	-1~+2	-1~+2.5	LSB	
				INL 積分非直線性誤差(注1)	—	±3	±6	LSB	

注. これらの仕様値は、1 つの ADC16H だけが動作中で、DAC12 と ACMPHS が動作しておらず、かつ A/D 変換中に外部バスへのアクセスがない場合に適用されます。

他の ADC ユニット、DAC12、または ACMPHS が動作中である、または A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

ADC16H 使用時は、ポート 0 をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL、および ADC16H の入力電圧が安定しているときの特性です。

注 1. 測定条件：アナログ入力電圧範囲の 0.2%~99.8%

注 2. DNL はヒストグラム法を使用して計測されるため、下限値は-1 になります。

注 3. この値は 12 ビット分解能に基づきます。

表 2.97 A/D 内部基準電圧特性 (1/2)

項目	Min	Typ	Max	単位	測定条件
A/D 内部基準電圧	0.77	0.8	0.84	V	—

表 2.97 A/D 内部基準電圧特性 (2/2)

項目	Min	Typ	Max	単位	測定条件
サンプリング時間	4.15	—	—	μs	—

表 2.98 D/A 出力の A/D 変換特性

項目	Min	Typ	Max	単位	測定条件
サンプリング時間	1	—	—	μs	—

2.6 DAC12 特性

表 2.99 D/A 変換特性

項目		シンボル	Min	Typ	Max	単位	測定条件
分解能		—	—	—	12	ビット	—
INL	VREFH $\geq$ 2.7 V	—	—	± 2.0	± 4.0	LSB	—
	VREFH < 2.7 V	—	—	± 4.0	± 8.0		
DNL	VREFH $\geq$ 2.7 V	—	—	± 0.5	± 1.0	LSB	—
	VREFH < 2.7 V	—	—	± 1.0	± 2.0		
変換時間	VREFH $\geq$ 2.7 V	t_{DCONV1} 、 t_{DCONV2}	—	—	3.5	μs	—
	VREFH < 2.7 V	—	—	—	6		
出力先切り替え時間	VREFH $\geq$ 2.7 V	t_{DSLPU1} 、 t_{DSLPU2}	—	—	3.5	μs	—
	VREFH < 2.7 V	—	—	—	6		
バッファ準備時間	VREFH $\geq$ 2.7 V	t_{DISOUT}	—	—	3.5	μs	—
	VREFH < 2.7 V	—	—	—	6		
セットアップ時間		t_{SU}	—	—	4	ns	—
負荷抵抗		—	5	—	—	kΩ	—
負荷容量		—	—	—	50	pF	—
出力電圧範囲	VREFH $\geq$ 2.7 V	—	0.20	—	VREFH – 0.20	V	—
	VREFH < 2.7 V	—	0.34	—	VREFH – 0.34		

2.7 TSN 特性

表 2.100 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	-1.0	—	1.0	°C	A/D コンバータエラーは含まれません。
温度傾斜	—	—	2.7	—	mV/°C	—
出力電圧 (25 °C 時)	—	—	1.24	—	V	—
温度センサ発振安定時間	t_{TSTBL}	—	—	30	μs	—
コンパレータ安定時間	t_{RSTBL}	—	—	30	μs	—
サンプリング時間	—	4.15	—	—	μs	—

2.8 OSC 停止検出特性

表 2.101 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.126

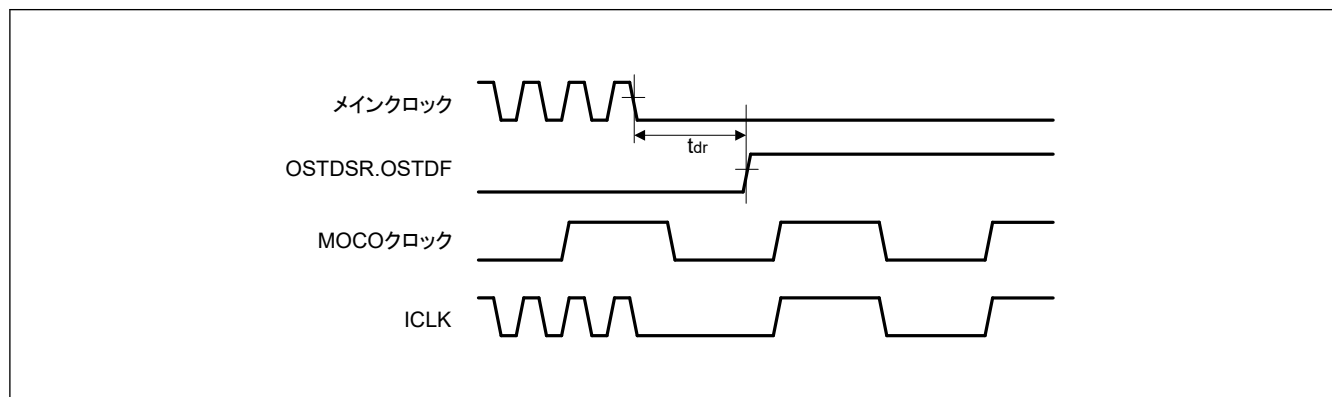


図 2.126 発振停止検出タイミング

表 2.102 サブクロック発振器停止検出回路の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	2	ms	図 2.127

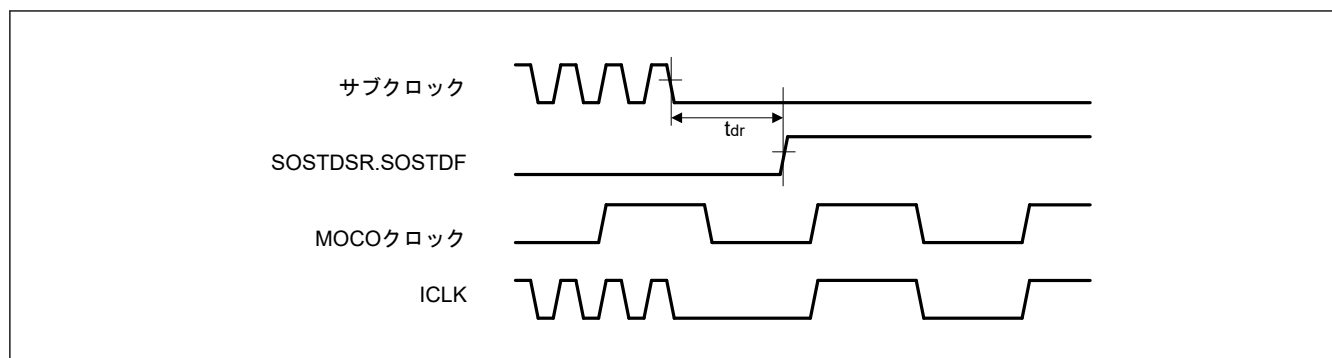


図 2.127 サブクロック発振器停止検出タイミング

2.9 POR と PVD の特性

表 2.103 パワーオンリセット回路と電圧検出回路の特性 (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V _{POR1}	1.52	1.56	1.61	V	図 2.128
		V _{POR2}	—	—	1.73		
	電圧検出回路 (PVD0)	V _{det0_0}	2.76	2.85	2.94		図 2.129
		V _{det0_1}	2.50	2.58	2.66		
		V _{det0_2}	2.08	2.15	2.22		
		V _{det0_3}	1.93	2.00	2.07		
		V _{det0_4}	1.84	1.90	1.96		
		V _{det0_5}	1.74	1.80	1.86		
		V _{det0_6}	1.62	1.67	1.73		
		V _{det0_7}	1.51	1.56	1.61		
	電圧検出回路 (PVDn) (n = 1, 2, 4, 5)	V _{detn_0_rise}	4.23	4.39	4.54		図 2.130
		V _{detn_0_fall}	4.13	4.29	4.44		
		V _{detn_1_rise}	4.10	4.26	4.41		
		V _{detn_1_fall}	4.00	4.16	4.31		
		V _{detn_2_rise}	3.98	4.13	4.27		
		V _{detn_2_fall}	3.88	4.03	4.17		
		V _{detn_3_rise}	3.78	3.92	4.05		
		V _{detn_3_fall}	3.72	3.86	3.99		
		V _{detn_4_rise}	3.09	3.20	3.30		
		V _{detn_4_fall}	3.03	3.14	3.24		
		V _{detn_5_rise}	3.05	3.16	3.26		
		V _{detn_5_fall}	2.99	3.10	3.20		
		V _{detn_6_rise}	3.03	3.14	3.24		
		V _{detn_6_fall}	2.97	3.08	3.18		
		V _{detn_7_rise}	2.81	2.91	3.00		
		V _{detn_7_fall}	2.75	2.85	2.94		
		V _{detn_8_rise}	2.79	2.89	2.98		
		V _{detn_8_fall}	2.73	2.83	2.92		
		V _{detn_9_rise}	2.76	2.86	2.95		
		V _{detn_9_fall}	2.70	2.80	2.89		
		V _{detn_10_rise}	2.58	2.67	2.75		
		V _{detn_10_fall}	2.53	2.62	2.70		
		V _{detn_11_rise}	2.30	2.38	2.46		
		V _{detn_11_fall}	2.25	2.33	2.41		

表 2.103 パワーオンリセット回路と電圧検出回路の特性 (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	電圧検出回路 (PVDn) (n = 1, 2)	$V_{\text{detn_12_rise}}$	1.88	1.94	2.00	V	図 2.130
		$V_{\text{detn_12_fall}}$	1.84	1.90	1.96		
		$V_{\text{detn_13_rise}}$	1.84	1.90	1.96		
		$V_{\text{detn_13_fall}}$	1.80	1.86	1.92		
		$V_{\text{detn_14_rise}}$	1.72	1.78	1.84		
		$V_{\text{detn_14_fall}}$	1.68	1.74	1.80		
		$V_{\text{detn_15_rise}}$	1.66	1.72	1.77		
		$V_{\text{detn_15_fall}}$	1.62	1.68	1.73		
内部リセット時間 (注1)	パワーオンリセット時間	t_{POR1}	—	—	6.7	ms	図 2.128
		t_{POR2}	—	—	1.6		
	PVD0 リセット時間	t_{PVD0}	—	—	(注1)		図 2.128
	PVD1 リセット時間	t_{PVD1}	—	—	(注1)		図 2.129
	PVD2 リセット時間	t_{PVD2}	—	—	(注1)		
	PVD4 リセット時間	t_{PVD4}	—	—	(注1)		
	PVD5 リセット時間	t_{PVD5}	—	—	(注1)		
最小 VCC 低下時間 (POR) (注2)	$50 \text{ mV} < V_D$	t_{VOFFP}	900	—	—	μs	図 2.128
	$V_D \leq 50 \text{ mV}$		2000	—	—		
最小 VCC 低下時間 (PVD) (注2)	PVD0	t_{VOFF}	25	—	—	μs	図 2.129
	PVD1, PVD2, PVD4, PVD5		25	—	—		
応答遅延時間 (POR)	$50 \text{ mV} < V_D$	t_{detp}	—	—	900	μs	図 2.128
	$V_D \leq 50 \text{ mV}$		—	—	2000		
応答遅延時間 (PVD)	PVD0	t_{det}	—	—	25	μs	図 2.129, 図 2.130
	PVD1, PVD2, PVD4, PVD5		—	—	25		
PVDn 動作安定時間 (PVD 有効切り替え後) (n = 1, 2, 4, 5)		$T_d (\text{E-A})$	—	—	20	μs	図 2.130

注 1. ディープソフトウェアスタンバイモードからの復帰時に内部リセット時間が最大になるため、 t_{PVD0} 、 t_{PVD1} 、 t_{PVD2} 、 t_{PVD4} 、および t_{PVD5} の最大値は、 t_{DSBY} の値と等しくなります。

注 2. 最小 VCC 低下時間は、VCC が POR/PVD の電圧検出レベル V_{POR1} 、 V_{det0} 、 V_{det1} 、 V_{det2} 、 V_{det4} 、および V_{det5} の最小値を下回っている時間を示します。

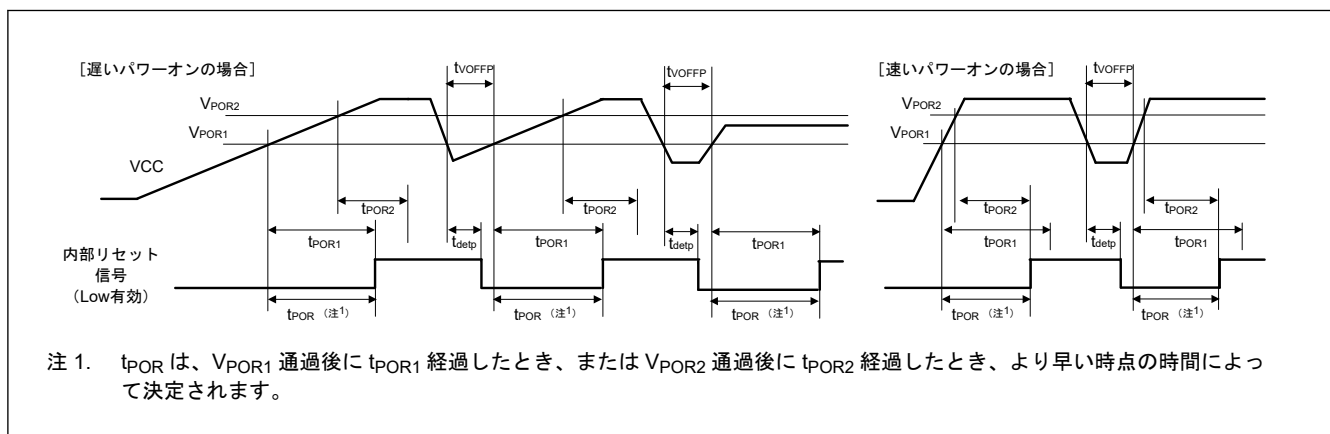
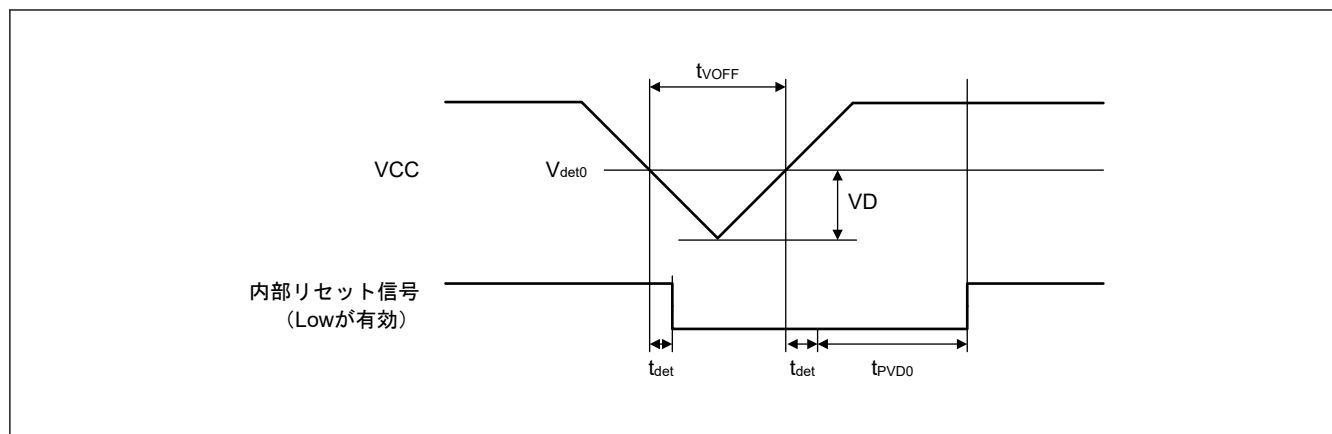
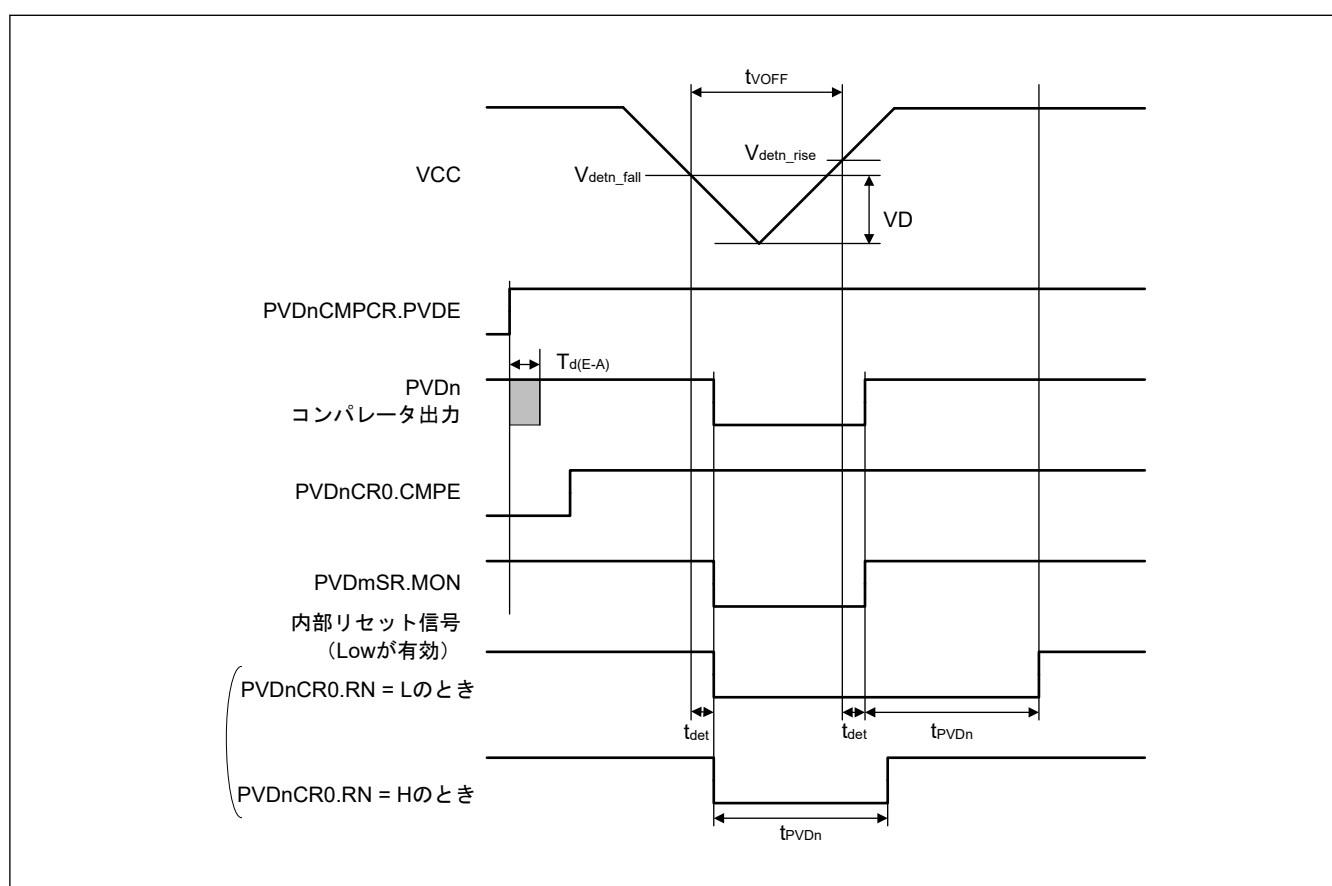


図 2.128 パワーオンリセットタイミング

図 2.129 電圧検出回路タイミング (V_{det0})図 2.130 電圧検出回路タイミング (V_{detn}) ($n = 1, 2, 4, 5$)

2.10 外部 VDD タイミング特性

表 2.104 外部 VDD タイミング特性

項目	シンボル	Min	Typ	Max	単位	測定条件
外部 VDD の電源起動時におけるリセットホールド時間 (RES 端子を使用する場合)	t_{EXTVRH}	600.00	—	—	μs	図 2.131 図 2.132
外部 VDD の電源起動時における VDD 立ち上がり時間 (RES 端子を使用しない場合)	t_{EXTVDD}	—	—	550	μs	

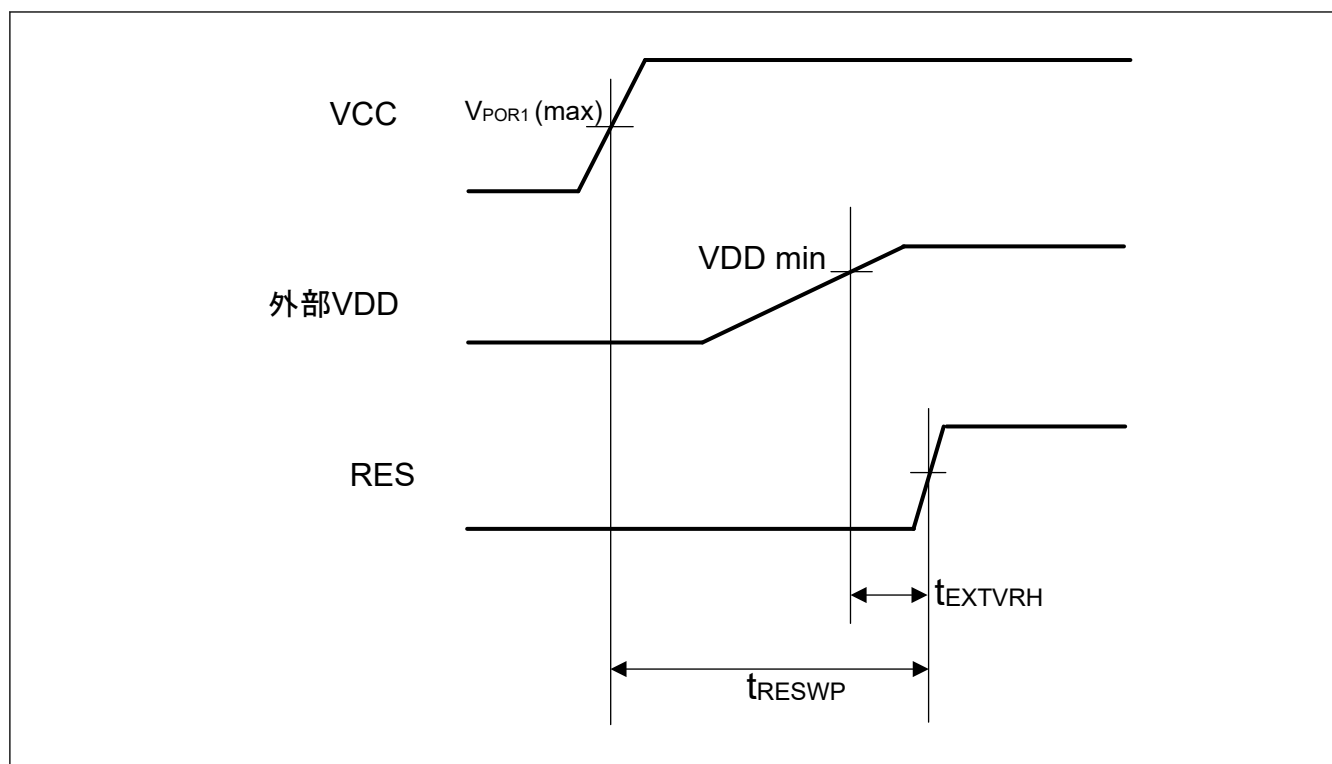


図 2.131 外部 VDD モードの電源起動シーケンス (RES 端子を使用する場合)

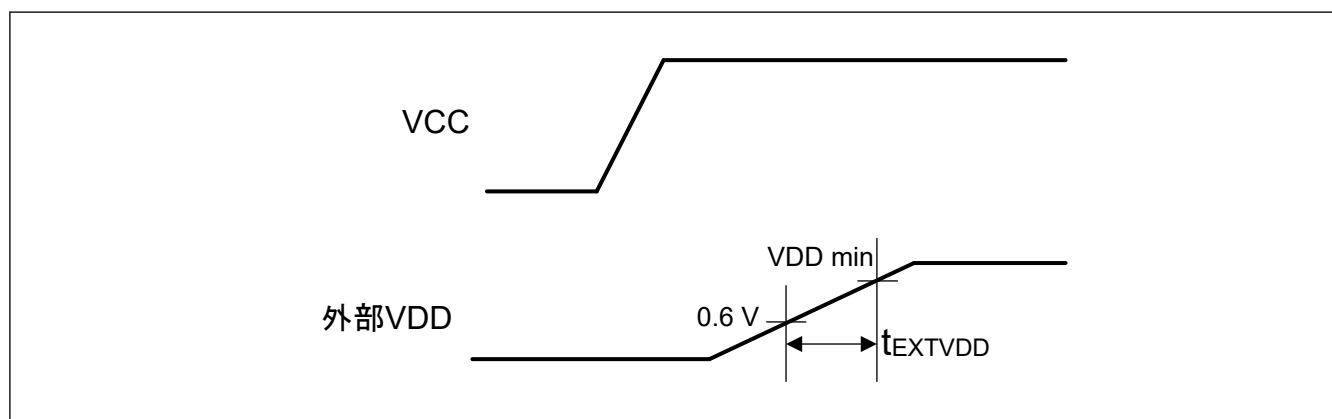


図 2.132 外部 VDD モードの電源起動シーケンス (RES 端子を使用しない場合)

2.11 コア電圧監視リセット特性

表 2.105 コア電圧監視リセット特性

項目			シンボル	Min	Typ	Max	単位	測定条件 <
----	--	--	------	-----	-----	-----	----	---

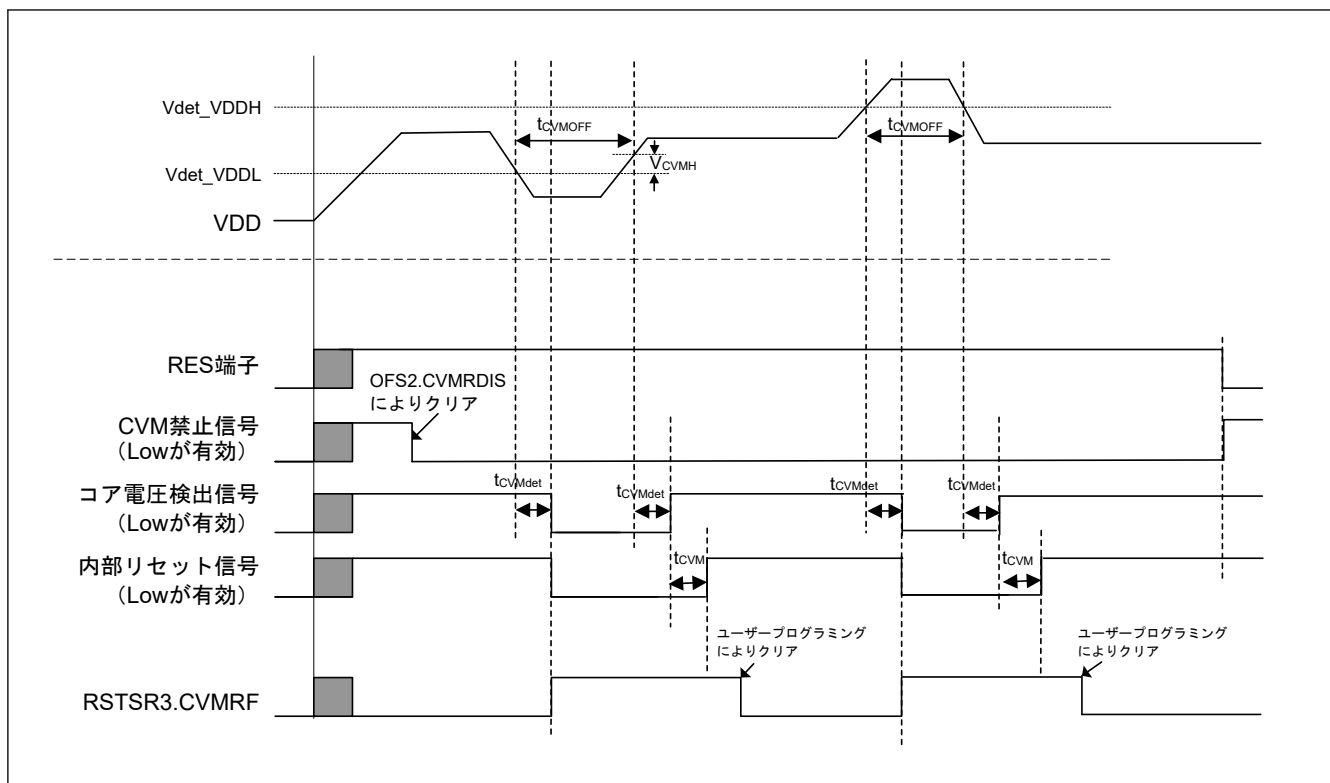


図 2.133 コア電圧監視リセット時間

2.12 温度監視リセット特性

表 2.106 温度監視リセット特性

項目	シンボル	Min	Typ	Max	単位	測定条件
高しきい値温度	$T_{j_detect_H}$	105	—	125	°C	図 2.134
低しきい値温度	$T_{j_detect_L}$	-40	—	-20	°C	図 2.135

注. 温度監視リセットは、0~95 °C の製品（製品グループ A）ではサポートされません。

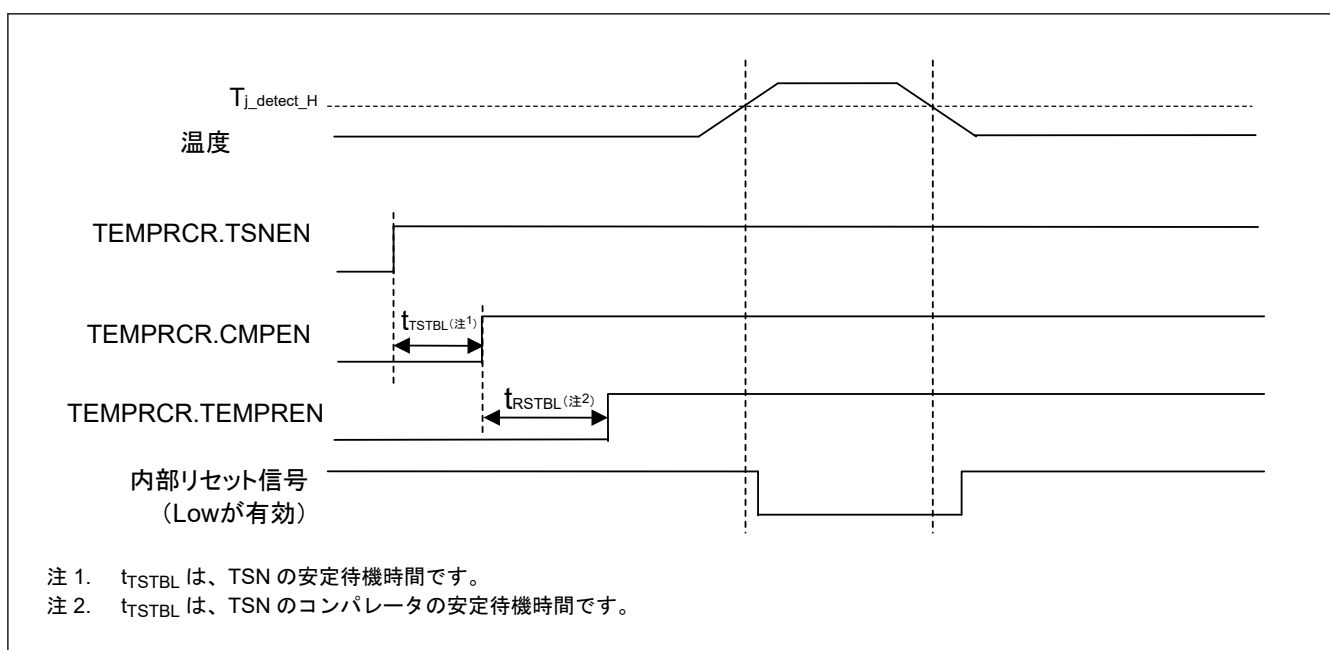


図 2.134 温度監視リセットのタイミング（高温検出）

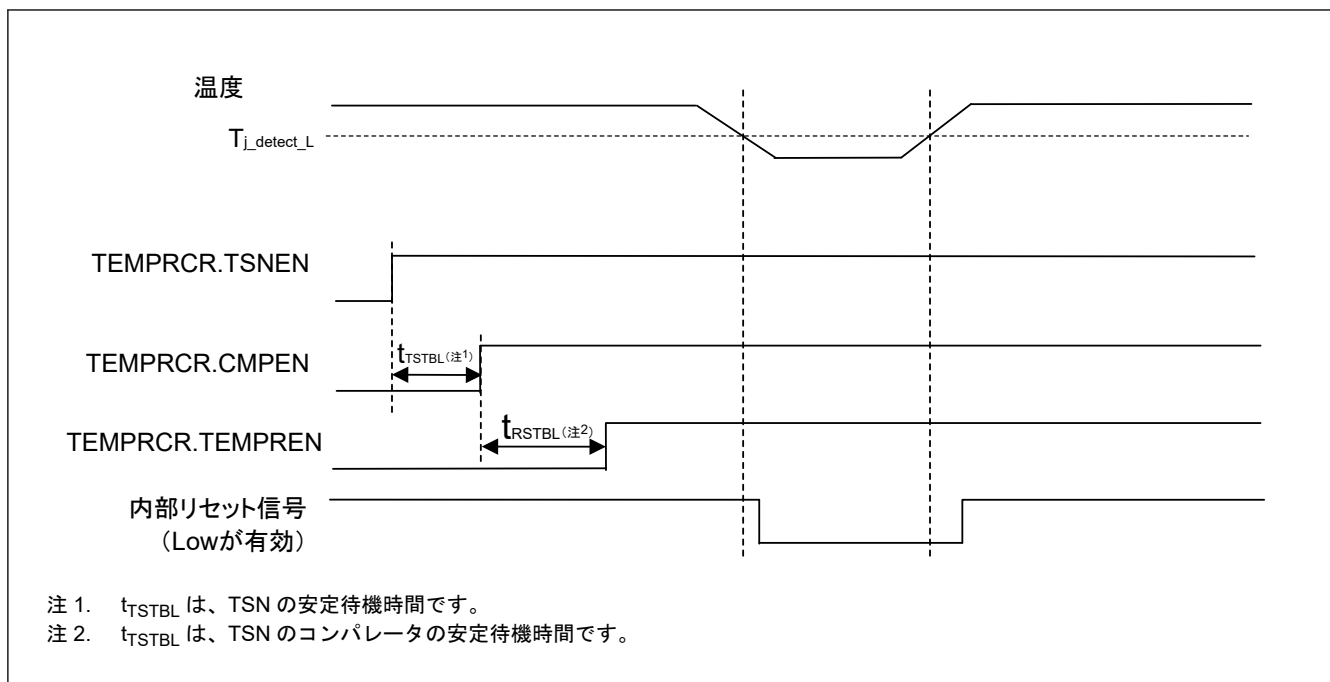


図 2.135 温度監視リセットのタイミング（低温検出）

2.13 VBATT 特性

表 2.107 バッテリバックアップ機能特性 (1/2)

条件：VCC = VCC_DCDC = VCC_USB = 1.62~3.63 V, VBATT = 1.62~3.63 V

項目	シンボル	Min	Typ	Max	単位	測定条件
バッテリバックアップ切り替え電圧レベル ディープソフトウェアスタンバイモード 1/2 では OFS1.PVDAS と PVDLPSEL は 0 (PVD0 では VDETVATT_n は VDSEL[2:0]の設定に従う)	V _{DETBATT_0}	2.760	2.850	2.940	V	図 2.136
	V _{DETBATT_1}	2.500	2.580	2.660		
	V _{DETBATT_2}	2.080	2.150	2.220		
	V _{DETBATT_3}	1.935	2.000	2.065		
	V _{DETBATT_4}	1.840	1.900	1.960		
	V _{DETBATT_5}	1.740	1.800	1.860		
	V _{DETBATT_6}	1.620	1.670	1.730		
バッテリバックアップ切り替え電圧レベル（上 記以外）	V _{DETBATT_0}	2.710	2.800	2.890	V	図 2.136
	V _{DETBATT_1}	2.450	2.530	2.610		
	V _{DETBATT_2}	2.030	2.100	2.170		
	V _{DETBATT_3}	1.885	1.950	2.015		
	V _{DETBATT_4}	1.790	1.850	1.910		
	V _{DETBATT_5}	1.690	1.750	1.810		
VCC 降下検出安定待機時間 ^(注2)	t _{DETW}	—	—	20	μs	—
VCC 電圧低下による電源切り替え時の VBATT 下限電圧	V _{BATTSW}	1.8	—	—	V	図 2.136
電源切り替え開始時 VCC オフ期間 ^(注1) (ディープソフトウェアスタンバイモード 1/2 で OFS1.PVDAS と PVDLPSEL が 0)	t _{VOFFBATT}	25	—	—	μs	図 2.136
電源切り替え開始時 VCC オフ期間 ^(注1) (上記以外)		25	—	—		

表 2.107 バッテリバックアップ機能特性 (2/2)

条件 : $V_{CC} = V_{CC_DCDC} = V_{CC_USB} = 1.62 \sim 3.63 \text{ V}$, $V_{BATT} = 1.62 \sim 3.63 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
バックアップドメインパワーダウン検出レベル	$V_{PDR(BATR)}$	1.43	1.47	1.52	V	図 2.137
バックアップドメインのリセット信号アサート時間遅延(注3)	$t_p(PDRL)$	—	—	2000	μs	
バックアップドメインのリセット信号ネゲート時間遅延	$t_p(PDRH)$	—	—	3000	μs	
VBATT 監視動作安定時間 (VBATTMNSCLR.VBTMNSSEL を 1 に変更後)	t_{MONWT}	—	—	4.2	μs	—
VBATT 電圧監視レベル	$V_{MONBATT}$	—	$V_{BATT} / 6$	—	V	—
VBATT 電流増加 (VBATTMNSCLR.VBTMNSSEL = 1 の場合と VBATTMNSCLR.VBTMNSSEL = 0 の場合の比較)	$I_{VBATTSELB}$	—	1.35	2.00	μA	—
VCC 電流増加 (VBATTMNSCLR.VBTMNSSEL = 1 の場合と VBATTMNSCLR.VBTMNSSEL = 0 の場合の比較)	$I_{VBATTSELC}$	—	15	25	μA	—

注 1. 電源切り替え開始時 VCC オフ期間は、VCC がバッテリバックアップ切り替え電圧レベル ($V_{DETBATT}$) の最小値を下回っている時間です。

さらに、この期間は VCC が電圧検出レベル V_{POR1} の最小値を下回っている時間 t_{VOFFP} です。

注 2. VBTBPCR2.VDETLVL が変更されるか、VBTBPCR1.BPWSWSTP が 1 から 0 に変更される安定時間。

注 3. VBATT_R がこの期間内に復帰すると、バックアップドメインリセット信号が発生しない可能性があります。

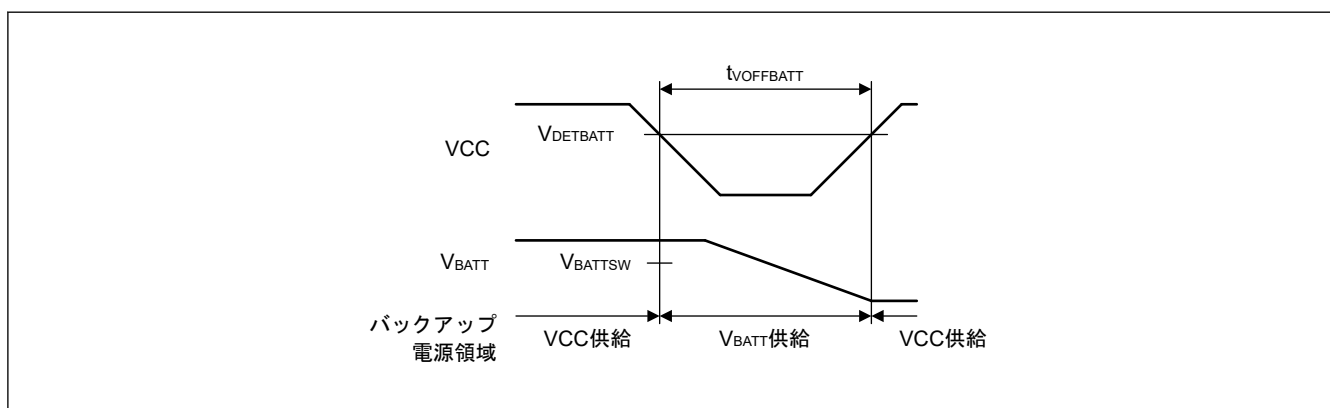


図 2.136 バッテリバックアップ機能特性

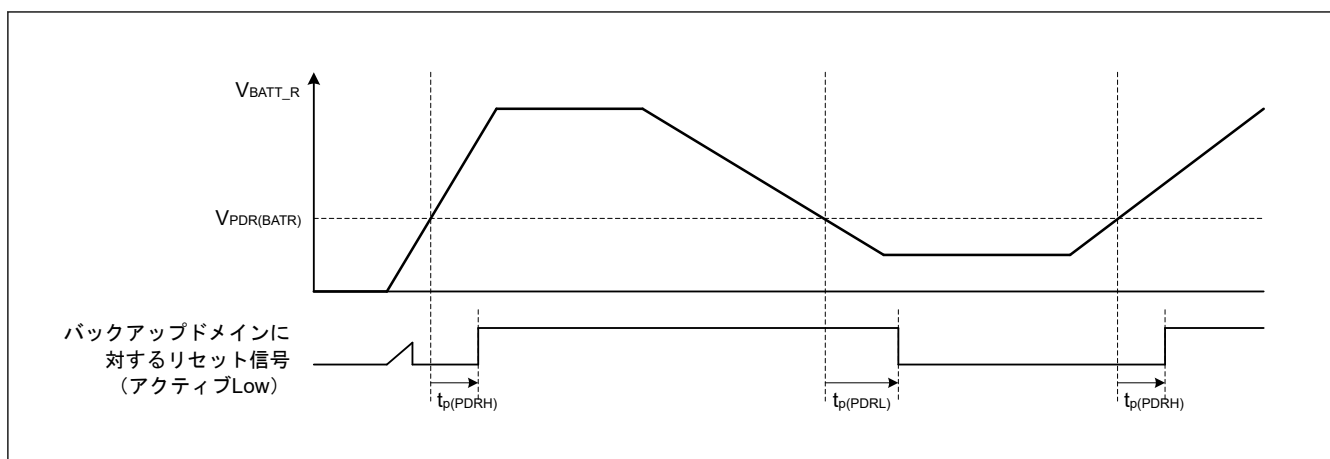


図 2.137 バックアップドメインリセット特性

2.14 ACMPHS 特性

表 2.108 ACMPHS

項目			シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲			VREF	0	—	AVCC0	V	—
入力電圧範囲	ACMPHS0 , 1	IVCMP1~ IVCMP3	VI	0	—	AVCC0	V	—
		IVCMP0		0	—	AVCC0		VCC ≥ AVCC0
				0	—	VCC		VCC < AVCC0
	ACMPHS2, 3			0	—	AVCC0		—
出力遅延(注1)			Td	—	50	100	ns	VI = VREF ± 100 mV
内部基準電圧			Vref	0.77	0.8	0.84	V	—

注 1. 内部伝搬遅延の値です。

2.15 MRAM 特性

2.15.1 コード MRAM 特性

表 2.109 コード MRAM 特性

項目		シンボル	MRICLK = 250 MHz			MRICLK = 200 MHz			MRICLK = 150 MHz			MRICLK = 133 MHz			単位	仕様
			Min	Typ (注4)	Max	Min	Typ (注4)	Max	Min	Typ (注4)	Max	Min	Typ (注4)	Max		
32 バイトのプログラム時間 (注7) (注8)	通常プログラムモード (MRPSC. MHSPEN = 0)	t _{PM C}	—	6.7 (注5) (注6)	83.3 (注6)	—	6.74 (注5) (注6)	83.6 (注6)	—	6.92 (注5) (注6)	85.6 (注6)	—	7.09 (注5) (注6)	87.3 (注6)	μs	—
	高速プログラムモード (MRPSC. MHSPEN = 1)	t _{PM C}	—	4.7 (注5) (注6)	81.3 (注6)	—	4.74 (注5) (注6)	81.6 (注6)	—	4.92 (注5) (注6)	83.6 (注6)	—	5.09 (注5) (注6)	85.3 (注6)	μs	—
再プログラムサイクル		N _{PC}	100000 (注1)	—	—	100000 (注1)	—	—	100000 (注1)	—	—	100000 (注1)	—	—	回	—
データ保持時間(注2)		t _{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	T _j = +125 °C

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1~最小値です。

注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。

注 3. この結果は信頼性試験から得られたものです。

注 4. VCC = 3.3 V および室温における基準値

注 5. Typ 条件で 50% のビットの書き換えを実行します。

注 6. MRPCLK < 125 MHz の場合は、プログラム時間に MRPCLK 1 サイクルの時間を追加します。

注 7. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。

MRPCLK < 125 MHz の場合は、この式に 1/FMRPCLK [μs] を追加します。(F_{MRICLK}: MRICLK の周波数[MHz]、F_{MRPCLK}: MRPCLK の周波数[MHz])

t_{PMC} (Typ) = 137.8/F_{MRICLK} + 6.452 [μs], t_{PMC} (Max) = 1879/F_{MRICLK} + 78.75 [μs] (通常プログラムモードの場合)

t_{PMC} (Typ) = 137.8/F_{MRICLK} + 4.452 [μs], t_{PMC} (Max) = 1879/F_{MRICLK} + 76.75 [μs] (高速プログラムモードの場合)

注 8. コード MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトラージのない独立したプログラム動作のためのものです。

2.15.2 オプション設定メモリ（MRAM 領域）特性

表 2.110 エクストラ MRAM（MRAM 領域）特性

項目		シンボル	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	仕様
			Min	Typ (注4)	Max	Min	Typ (注4)	Max	Min	Typ (注4)	Max	Min	Typ (注4)	Max		
16 バイトのプログラム時間 (注7) (注8)	通常プログラムモード (MRPSC.MHSPEN = 0)	t _{PM E}	—	6.82 (注5)	75.8 (注6)	—	7.06 (注5)	76.6 (注6)	—	7.53 (注5)	80.7 (注6)	—	8.08 (注5)	85.2 (注6)	μs	—
	高速プログラムモード (MRPSC.MHSPEN = 1)	t _{PM E}	—	4.82 (注5)	73.8 (注6)	—	5.06 (注5)	74.6 (注6)	—	5.53 (注5)	78.7 (注6)	—	6.08 (注5)	83.2 (注6)	μs	—
再プログラムサイクル		N _{PC}	100000 (注1)	—	—	100000 (注1)	—	—	100000 (注1)	—	—	100000 (注1)	—	—	回	—
データ保持時間(注2)		t _{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	T _J = +125 °C

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。

注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。

注 3. この結果は信頼性試験から得られたものです。

注 4. VCC = 3.3 V および室温における基準値

注 5. Typ 条件で 50% のビットの書き換えを実行します。

注 6. 図 x.x のタイムアウト値は、最大値の約 1.1 倍です。(t_{PME} + t_{PMC} + 読み出し時間 (MRPCLK の 40 サイクル))

注 7. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])

t_{PMC} (Typ) = 179.2/F_{MRPCLK} + 5.725 [μs], t_{PMC} (Max) = 1988/F_{MRPCLK} + 61.9 [μs] (通常プログラムモードの場合)

t_{PMC} (Typ) = 179.2/F_{MRPCLK} + 3.725 [μs], t_{PMC} (Max) = 1988/F_{MRPCLK} + 59.9 [μs] (高速プログラムモードの場合)

注 8. エクストラ MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトレーションのない独立したプログラム動作のためのものです。

2.15.3 オプション設定メモリ（ECC ありの OTP 領域）特性

表 2.111 オプション設定メモリ（ECC ありの OTP 領域）特性

項目		単位	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	仕様
			Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max		
16 バイトのプログラム時間 (注4) (注5)	Normal-speed 書き込みモード (MWMCR.MWM[1:0] = 00)	t _{OTPE}	—	8.05 (注2)	113 (注3)	—	8.05 (注2)	113 (注3)	—	8.05 (注2)	113 (注3)	—	8.05 (注2)	113 (注3)	ms	—
	High-speed 書き込みモード 0 (MWMCR.MWM[1:0] = 01)		—	4.03 (注2)	56.7 (注3)	—	4.03 (注2)	56.7 (注3)	—	4.03 (注2)	56.7 (注3)	—	4.03 (注2)	56.7 (注3)	ms	—
	High-speed 書き込みモード 1 (MWMCR.MWM[1:0] = 10)		—	0.229 (注2)	3.14 (注3)	—	0.229 (注2)	3.14 (注3)	—	0.229 (注2)	3.14 (注3)	—	0.229 (注2)	3.14 (注3)	ms	—

注 1. VCC = 3.3 V および室温における基準値

注 2. Typ 条件で 50% のビットの書き換えを実行します。

注 3. 図 x.x のタイムアウト値は、最大値の約 1.1 倍です。(t_{OTPE} + t_{PMC} + 読み出し時間 (MRPCLK の 40 サイクル))注 4. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])t_{OTPE} (Typ) = 0.5065/F_{MRPCLK} + 8.123 [ms], t_{OTPE} (Max) = 4.433/F_{MRPCLK} + 114.1 [ms] (Normal-speed モードの場合)t_{OTPE} (Typ) = 0.3389/F_{MRPCLK} + 4.067 [ms], t_{OTPE} (Max) = 2.428/F_{MRPCLK} + 57.08 [ms] (High-speed モード 0 の場合)t_{OTPE} (Typ) = 0.1458/F_{MRPCLK} + 0.2312 [ms], t_{OTPE} (Max) = 0.3904/F_{MRPCLK} + 3.166 [ms] (High-speed モード 1 の場合)

注 5. エクストラ MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトレーションのない独立したプログラム動作のためのものです。

2.15.4 オプション設定メモリ（ECC なしの OTP 領域）特性

表 2.112 オプション設定メモリ（ECC なしの OTP 領域）特性

項目		単位	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			注	仕様
			Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max		
16 バイトのプログラム時間 (注4) (注5)	Normal-speed 書き込みモード (MWMCR.MWM[1:0] = 00)	t _{OTPE}	—	14.1 (注2)	200 (注3)	—	14.1 (注2)	200 (注3)	—	14.1 (注2)	200 (注3)	—	14.1 (注2)	200 (注3)	ms	—
	High-speed 書き込みモード 0 (MWMCR.MWM[1:0] = 01)		—	7.07 (注2)	100 (注3)	—	7.07 (注2)	100 (注3)	—	7.07 (注2)	100 (注3)	—	7.07 (注2)	100 (注3)	ms	—
	High-speed 書き込みモード 1 (MWMCR.MWM[1:0] = 10)		—	0.458 (注2)	6.28 (注3)	—	0.458 (注2)	6.28 (注3)	—	0.458 (注2)	6.28 (注3)	—	0.458 (注2)	6.28 (注3)	ms	—

注 1. VCC = 3.3 V および室温における基準値

注 2. Typ 条件で 50% のビットの書き換えを実行します。

注 3. 図 x.x のタイムアウト値は、最大値の約 1.1 倍です。(t_{OTPE} + t_{PMC} + 読み出し時間 (MRPCLK の 40 サイクル))注 4. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])t_{OTPE} (Typ) = 0.8486/F_{MRPCLK} + 14.25 [ms], t_{OTPE} (Max) = 7.711/F_{MRPCLK} + 201.5 [ms] (Normal-speed モードの場合)t_{OTPE} (Typ) = 0.5479/F_{MRPCLK} + 7.133 [ms], t_{OTPE} (Max) = 4.148/F_{MRPCLK} + 100.8 [ms] (High-speed モード 0 の場合)t_{OTPE} (Typ) = 0.2571/F_{MRPCLK} + 0.4627 [ms], t_{OTPE} (Max) = 0.7401/F_{MRPCLK} + 6.333 [ms] (High-speed モード 1 の場合)

注 5. エクストラ MRAM の読み出しおよびプログラム動作を同時に実行することはできません。この値は、読み出しとプログラムの間のアービトレーションのない独立したプログラム動作のためのものです。

2.15.5 MACI コマンド特性

表 2.113 MACI コマンド特性 (1/2)

項目		単位	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			注	仕様
			Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max		
強制停止コマンドの命令時間 (注2)		t _{FS}	—	—	3.35 (注3)	—	—	3.38 (注3)	—	—	3.47 (注3)	—	—	3.7 (注3)	μs	—
コンフィグレーション設定の命令時間 (注2)	通常プログラムモード (MRPSC.MHSPEN = 0)	t _{PCFG}	—	0.35	8.19 (注4)	—	0.356	8.3 (注4)	—	0.372	8.83 (注4)	—	0.399	9.42 (注4)	ms	—
	高速プログラムモード (MRPSC.MHSPEN = 1)		—	0.0665	7.85 (注4)	—	0.0725	7.96 (注4)	—	0.0882	8.5 (注4)	—	0.0978	9.06 (注4)	ms	—
インクリメントカウンタの命令時間 (注2)		t _{INC}	—	0.252	1.61 (注5)	—	0.252	1.61 (注5)	—	0.252	1.61 (注5)	—	0.252	1.61 (注5)	ms	—

表 2.113 MACI コマンド特性 (2/2)

項目	シンボル	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	仕様値
		Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max	Min	Typ (注1)	Max		
読み出しカウンタの命令時間(注2)	t_{RD} C	—	—	0.156 (注6)	—	—	0.182 (注6)	—	—	0.243 (注6)	—	—	0.276 (注6)	μ s	—

注 1. VCC = 3.3 V および室温における基準値

注 2. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])

$$t_{FS}(\text{Max}) = 38.62/F_{MRPCLK} + 3.155 [\mu\text{s}]$$

$$t_{PCFG}(\text{Typ}) = 6.146/F_{MRPCLK} + 0.3133 [\text{msec}], t_{PCFG}(\text{Max}) = 266.5/F_{MRPCLK} + 6.331 [\text{msec}] \quad (\text{通常プログラムモードの場合})$$

$$t_{PCFG}(\text{Typ}) = 5.184/F_{MRPCLK} + 0.02754 [\text{msec}], t_{PCFG}(\text{Max}) = 267.5/F_{MRPCLK} + 6.025 [\text{msec}] \quad (\text{高速プログラムモードの場合})$$

$$t_{INCC}(\text{Typ}) = 0.3348/F_{MRPCLK} + 0.2533 [\text{msec}], t_{INCC}(\text{Max}) = 0.8698/F_{MRPCLK} + 1.62 [\text{msec}]$$

$$t_{RDC}(\text{Max}) = 19.13/F_{MRPCLK} + 0.004099 [\text{usec}]$$

注 3. 図 x.x のタイムアウト値は、最大値の約 1.1 倍です。(t_{FS} + 読み出し時間 (MRPCLK の 40 サイクル))注 4. この表の値は、5 回プログラミング (16 バイト) の時間に基づいて計算されています。図 x.x のタイムアウト値は、最大値の約 1.1 倍です (t_{PCFG} + t_{PMC} + 読み出し時間 (MRPCLK の 40 サイクル))。注 5. この表の値は、2 回プログラミング (32 バイト) の時間に基づいて計算されています。図 x.x のタイムアウト値は、最大値の約 1.1 倍です (t_{INCC} + t_{PMC} + 読み出し時間 (MRPCLK の 40 サイクル))。注 6. カウンタの読み出し時間は、MRPCLK での 100 サイクル分です。図 x.x のタイムアウト値は、最大値の約 1.1 倍です (t_{RDC} + 読み出し時間 (MRPCLK の 40 サイクル))。

2.15.6 W-HUK のゼロ化

表 2.114 W-HUK のゼロ化の特性

項目	シンボル	MRPCLK = 125 MHz			MRPCLK = 100 MHz			MRPCLK = 75 MHz			MRPCLK = 66 MHz			単位	仕様値
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
W-HUK のゼロ化のアクション時間(注1)	t_{ZW} H	—	—	793	—	—	793	—	—	793	—	—	793	ms	—

注 1. 他の周波数での更新時間を計算するには、以下に示す近似式を使用します。(F_{MRPCLK}: MRPCLK の周波数[MHz])

$$t_{ZWH}(\text{Max}) = 34.52/F_{MRPCLK} + 799 [\mu\text{s}]$$

2.15.7 MRAM 磁場耐性特性

表 2.115 MRAM 磁場耐性特性

項目		シンボル	Min	Typ	Max	単位	測定条件
動作	書き込み状態	G _{max_wr}	—	—	200	ガウス	—
	読み出し状態	G _{max_rd}	—	—	200	ガウス	—
	非アクセス時の状態	G _{max_noac}	—	—	500	ガウス	—
保管		G _{max_stg}	—	—	500	ガウス	適用温度は T _{stg} です。

2.16 バウンダリスキャン

表 2.116 バウンダリスキャン特性

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	1.62 V 以上	t_{TCKcyc}	100	—	—	ns	図 2.138
TCK クロック High レベルパルス幅	1.62 V 以上	t_{TCKH}	0.45	—	—	t_{TCKcyc}	
TCK クロック Low レベルパルス幅	1.62 V 以上	t_{TCKL}	0.45	—	—	t_{TCKcyc}	
TCK クロック立ち上がり時間	1.62 V 以上	t_{TCKr}	—	—	0.05(注2)	t_{TCKcyc}	
TCK クロック立ち下がり時間	1.62 V 以上	t_{TCKf}	—	—	0.05(注2)	t_{TCKcyc}	
TMS セットアップ時間	1.62 V 以上	t_{TMSS}	20	—	—	ns	図 2.139
TMS ホールド時間	1.62 V 以上	t_{TMSH}	20	—	—	ns	
TDI セットアップ時間	1.62 V 以上	t_{TDIS}	20	—	—	ns	
TDI ホールド時間	1.62 V 以上	t_{TDIH}	20	—	—	ns	
TDO データ遅延時間	1.62 V 以上	t_{TDOD}	—	—	40	ns	
キャプチャレジスタセットアップ時間	1.62 V 以上	t_{CAPTS}	20	—	—	ns	図 2.140
キャプチャレジスタホールド時間	1.62 V 以上	t_{CAPTH}	20	—	—	ns	
更新レジスタ遅延時間	1.62 V 以上	$t_{UPDATED}$	—	—	40	ns	
バウンダリスキャン回路起動時間(注1)	1.62 V 以上	T_{BSSTUP}	t_{RESWP}	—	—	—	図 2.141

注 1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

注 2. 最長 1 μ s

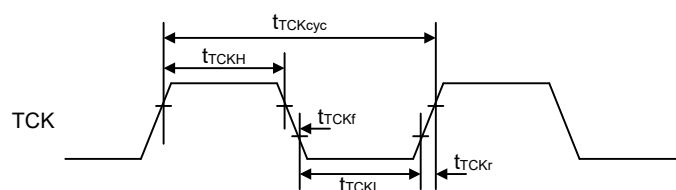


図 2.138 バウンダリスキャン TCK タイミング

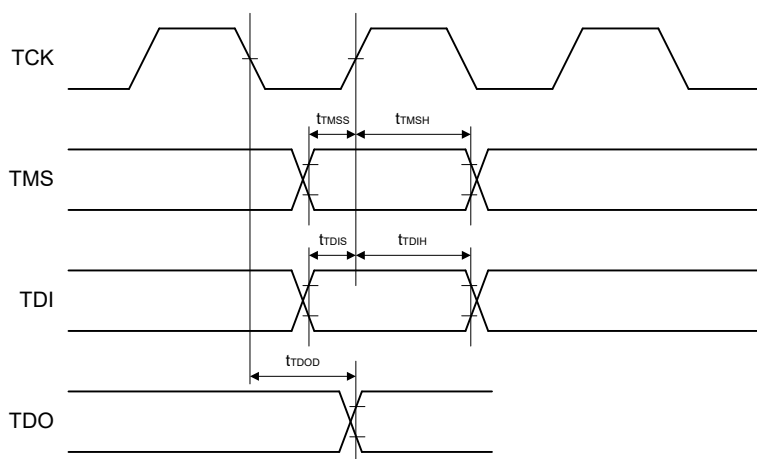


図 2.139 バウンダリスキャン入出力タイミング (1)

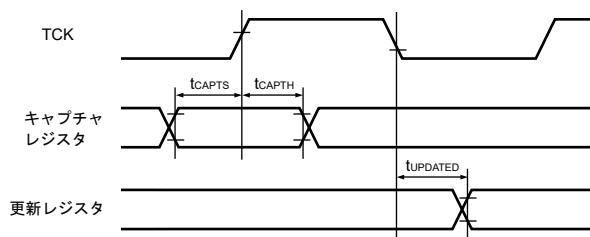


図 2.140 バウンダリスキャン入出力タイミング (2)

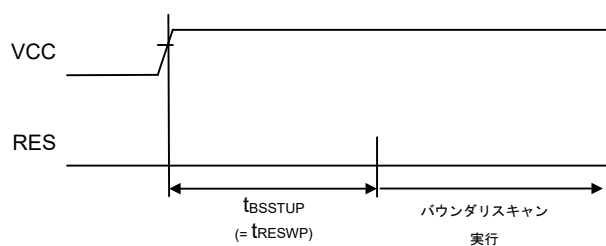


図 2.141 バウンダリスキャン回路起動タイミング

2.17 JTAG (Joint Test Action Group)

表 2.117 JTAG

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	2.7 V 以上	t_{TCKcyc}	40.0	—	—	ns	図 2.142
	1.62 V 以上		40.0	—	—	ns	
TCK クロック High レベルパルス幅	2.7 V 以上	t_{TCKH}	0.375	—	—	t_{TCKcyc}	
	1.62 V 以上		0.375	—	—	t_{TCKcyc}	
TCK クロック Low レベルパルス幅	2.7 V 以上	t_{TCKL}	0.375	—	—	t_{TCKcyc}	
	1.62 V 以上		0.375	—	—	t_{TCKcyc}	
TCK クロック立ち上がり時間	2.7 V 以上	t_{TCKr}	—	—	0.125(注1)	t_{TCKcyc}	
	1.62 V 以上		—	—	0.125(注1)	t_{TCKcyc}	
TCK クロック立ち下がり時間	2.7 V 以上	t_{TCKf}	—	—	0.125(注1)	t_{TCKcyc}	
	1.62 V 以上		—	—	0.125(注1)	t_{TCKcyc}	
TMS セットアップ時間	2.7 V 以上	t_{TMSS}	8.0	—	—	ns	図 2.143
	1.62 V 以上		8.0	—	—	ns	
TMS ホールド時間	2.7 V 以上	t_{TMSH}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
TDI セットアップ時間	2.7 V 以上	t_{TDIS}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
TDI ホールド時間	2.7 V 以上	t_{TDIH}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
TDO データ遅延時間	2.7 V 以上	t_{TDOD}	—	—	20.0	ns	
	1.62 V 以上		—	—	28.0	ns	

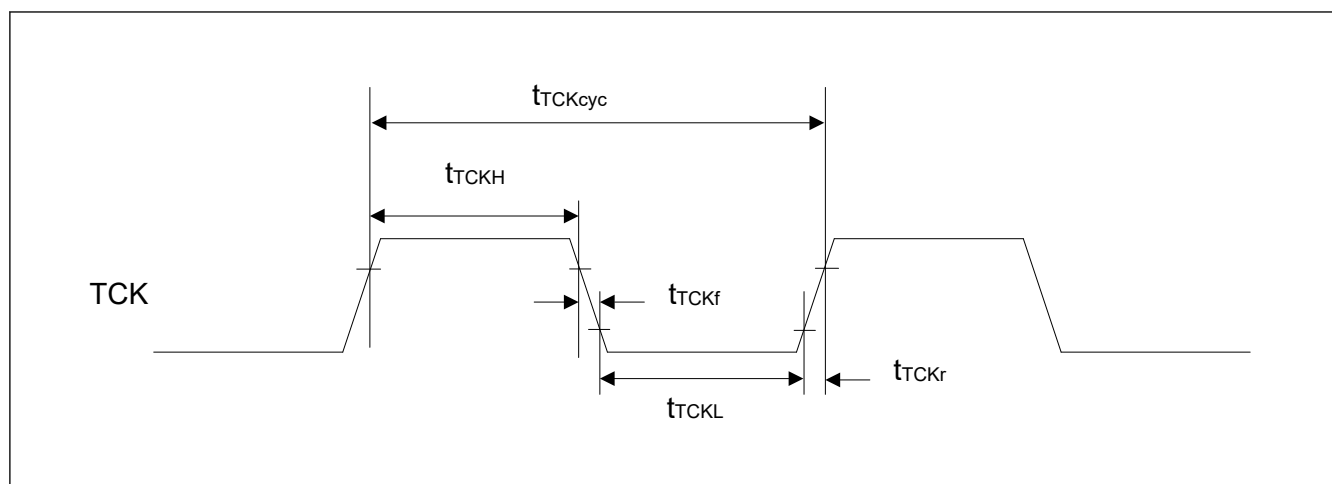
注 1. 最長 1 μ s

図 2.142 JTAG TCK タイミング

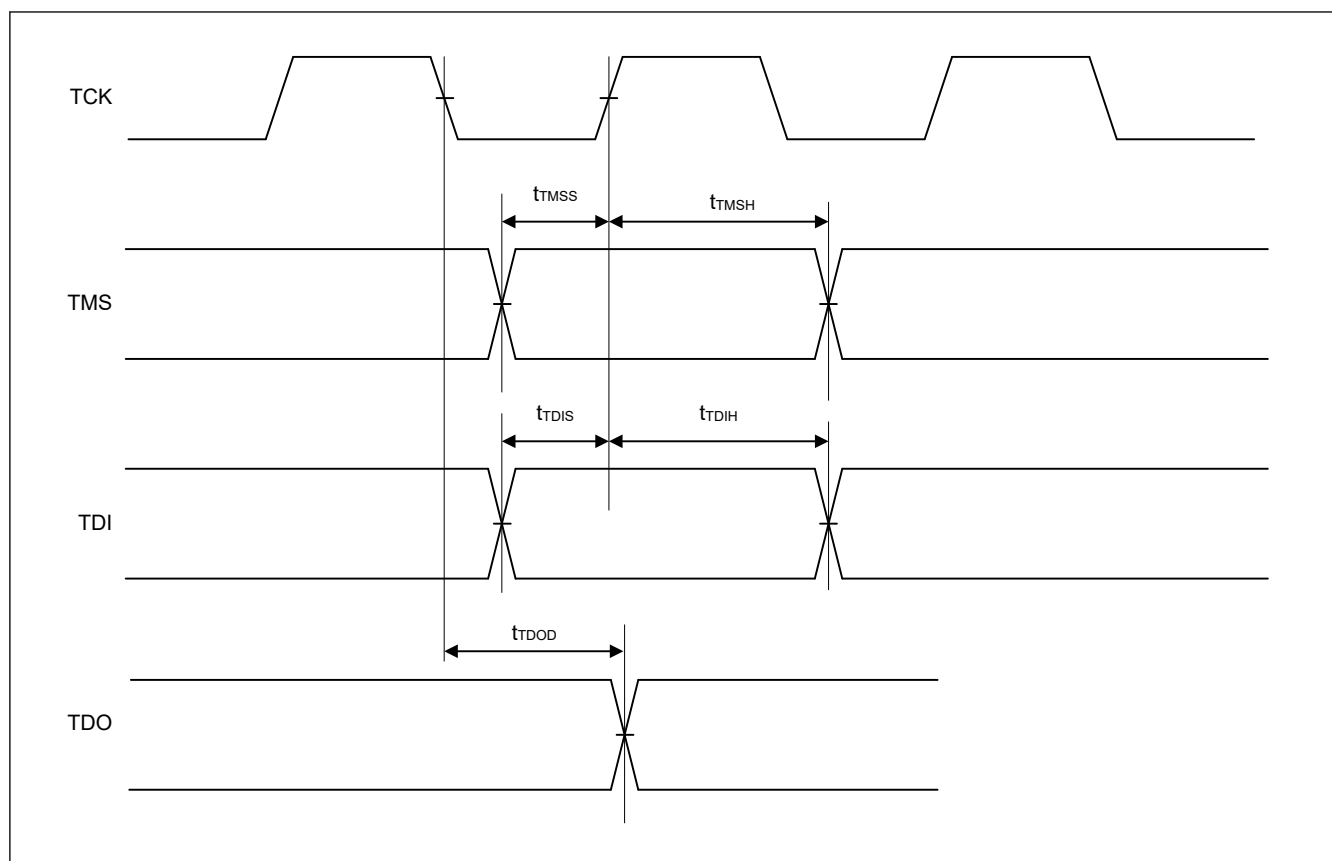


図 2.143 JTAG 入出力タイミング

2.18 シリアルワイヤデバッグ (SWD)

表 2.118 SWD

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	2.7 V 以上	t_{SWCKcyc}	40.0	—	—	ns	図 2.144
	1.62 V 以上		40.0	—	—	ns	
SWCLK クロック High レベルパルス幅	2.7 V 以上	t_{SWCKH}	0.375	—	—	t_{SWCKcyc}	
	1.62 V 以上		0.375	—	—	t_{SWCKcyc}	
SWCLK クロック Low レベルパルス幅	2.7 V 以上	t_{SWCKL}	0.375	—	—	t_{SWCKcyc}	
	1.62 V 以上		0.375	—	—	t_{SWCKcyc}	
SWCLK クロック立ち上がり時間	2.7 V 以上	t_{SWCKr}	—	—	0.125(注1)	t_{SWCKcyc}	図 2.145
	1.62 V 以上		—	—	0.125(注1)	t_{SWCKcyc}	
SWCLK クロック立ち下がり時間	2.7 V 以上	t_{SWCKf}	—	—	0.125(注1)	t_{SWCKcyc}	
	1.62 V 以上		—	—	0.125(注1)	t_{SWCKcyc}	
SWDIO セットアップ時間	2.7 V 以上	t_{SWDS}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
SWDIO ホールド時間	2.7 V 以上	t_{SWDH}	8.0	—	—	ns	
	1.62 V 以上		8.0	—	—	ns	
SWDIO データ遅延時間	2.7 V 以上	t_{SWDD}	2.0	—	28.0	ns	
	1.62 V 以上		2.0	—	32.0	ns	

注 1. 最長 1 μs

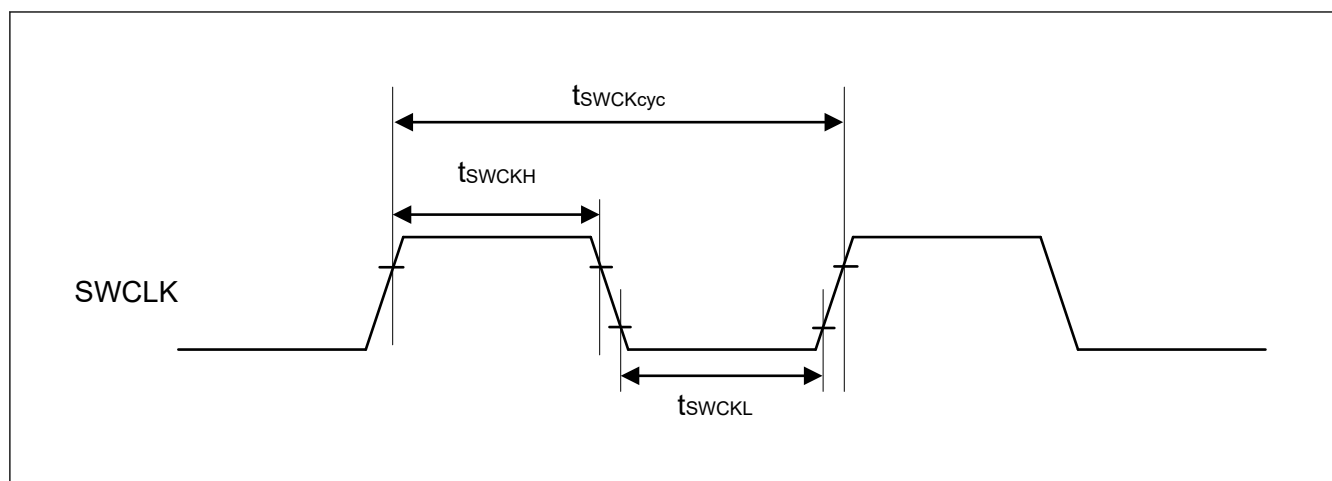


図 2.144 SWD SWCLK タイミング

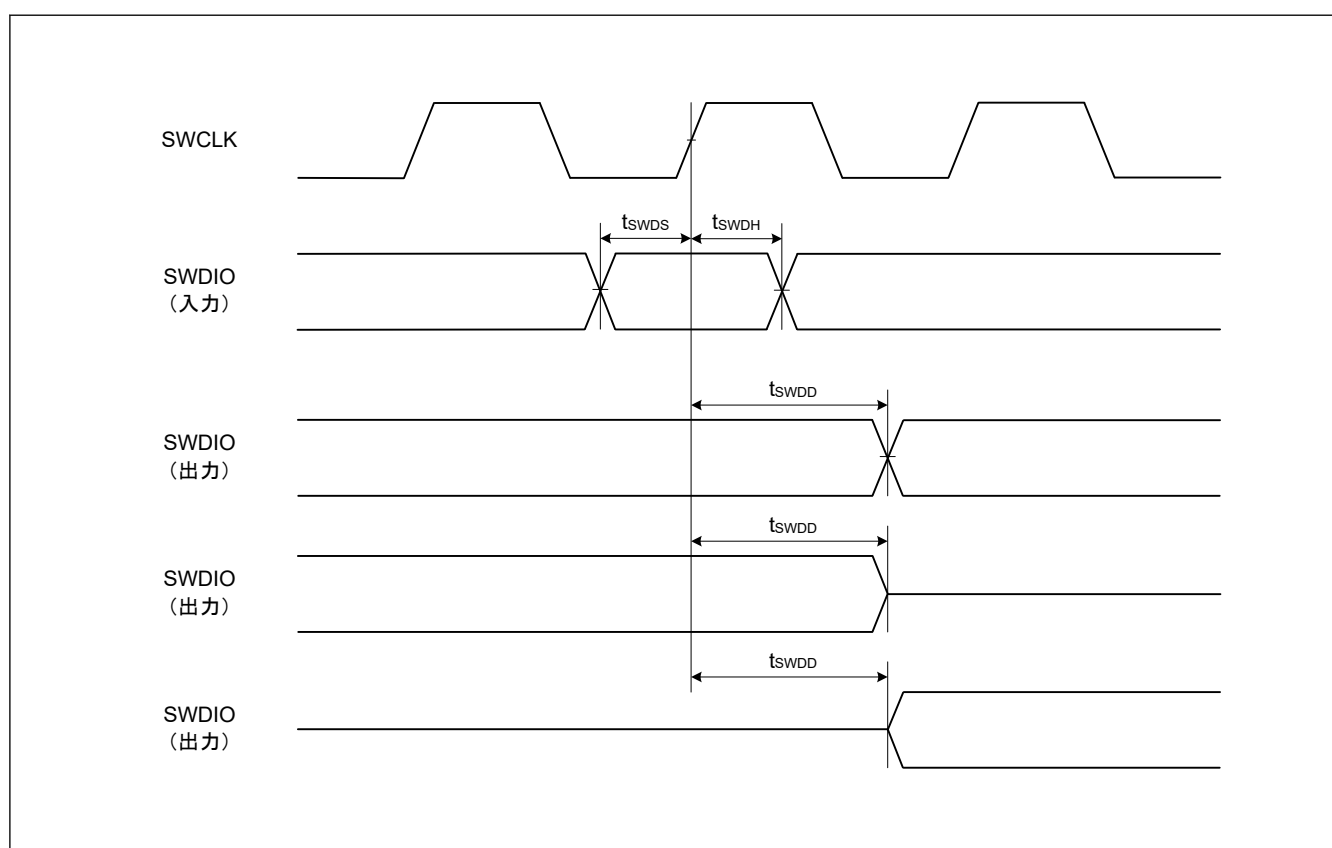


図 2.145 SWD 入出力タイミング

2.19 エンベデッドトレスマクロインタフェース (ETM)

表 2.119 ETM

条件 : PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCLK クロックサイクル時間	2.7 V 以上	$t_{TCLKcyc}$	16	—	—	ns	図 2.146
	1.62 V 以上		16	—	—	ns	
TCLK クロック High レベルパルス幅	2.7 V 以上	t_{TCLKH}	7	—	—	ns	
	1.62 V 以上		6	—	—	ns	
TCLK クロック Low レベルパルス幅	2.7 V 以上	t_{TCLKL}	7	—	—	ns	
	1.62 V 以上		6	—	—	ns	
TCLK クロック立ち上がり時間	2.7 V 以上	t_{TCLKr}	—	—	1.0	ns	図 2.147
	1.62 V 以上		—	—	2.0	ns	
TCLK クロック立ち下がり時間	2.7 V 以上	t_{TCLKf}	—	—	1.0	ns	
	1.62 V 以上		—	—	2.0	ns	
TDATA[3:0]出力有効時間	2.7 V 以上	t_{TRDV}	—	—	$t_{TCLKcyc}/4 + 1.5$	ns	
	1.62 V 以上		—	—	$t_{TCLKcyc}/4 + 1.5$	ns	
TDATA[3:0]出力ホールド時間	2.7 V 以上	t_{TRDH}	1.5	—	—	ns	
	1.62 V 以上		1.5	—	—	ns	

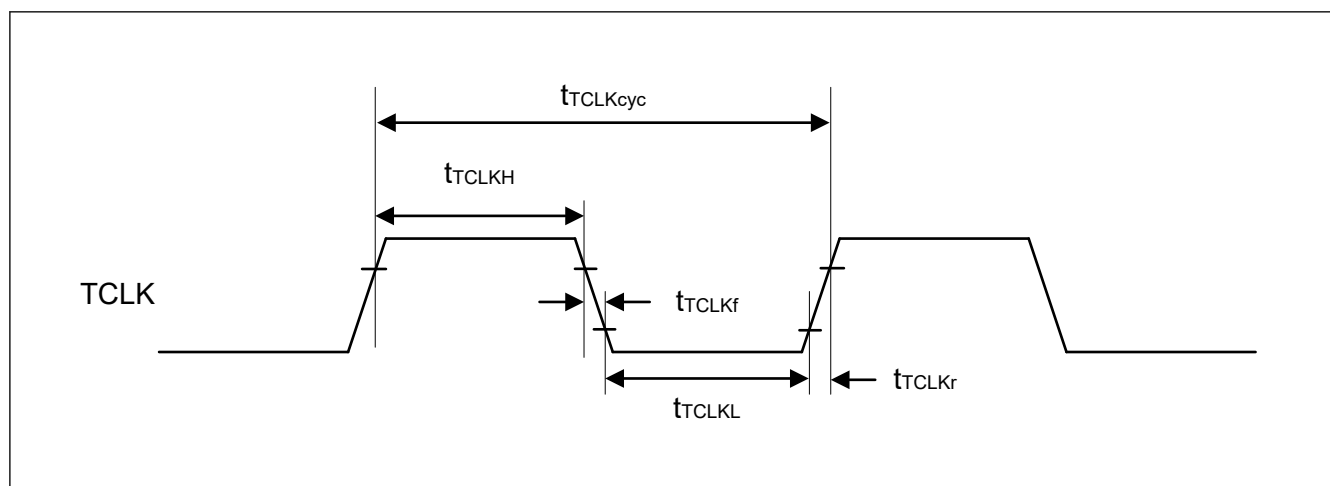


図 2.146 ETM TCLK タイミング

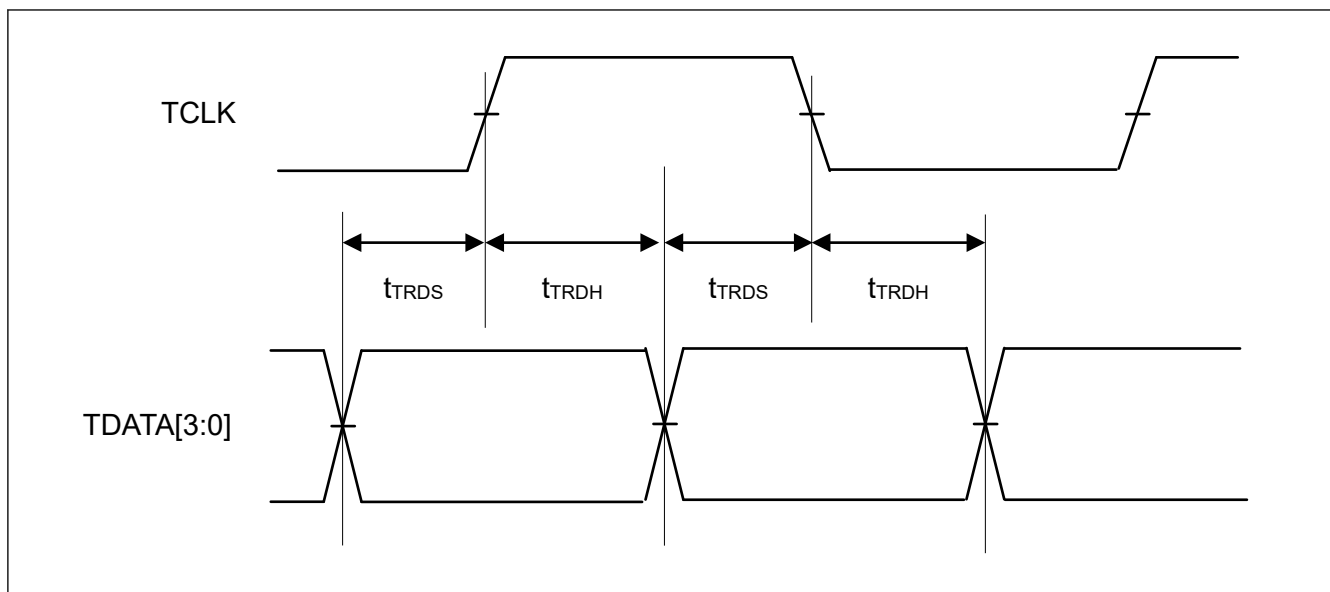


図 2.147 ETM 出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード (SSTBY)		ディープソフトウェアスタンバイモード 1、2、3 (DSTBY1, 2, 3)		ディープソフトウェアスタンバイモード解除後 (スタートアップモードに復帰)	
			OPE = 0	OPE = 1	DSTBY1	DSTBY2/ DSTBY3	IOKEEP = 0	IOKEEP = 1(注1)
モード	MD	ブルアップ	Keep-I		Keep		ブルアップ	Keep
JTAG/SWD	TCK/TMS/TDI/SWCLK	ブルアップ	TCK/TDI/TMS/SWCLK 入力		TCK/TDI/TMS/SWCLK 入力		TCK/TDI/TMS/SWCLK 入力	
	TDO	出力	TDO 出力		TDO 出力		TDO 出力	
	SWDIO	ブルアップ	SWDIO 入力		SWDIO 入力		SWDIO 入力	
トレース	TCLK/TDATAx/SWO	TCLK/TDATAx/SWO 出力	TCLK/TDATAx/SWO 出力		TCLK/TDATAx/SWO 出力		TCLK/TDATAx/SWO 出力	
IRQ	IRQx	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	IRQx-DS (x: 5 以外)	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	Keep
	IRQ5-DS	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	
AGT	AGTIO _n	Hi-Z	AGTIO _n 入力		Keep		Hi-Z	Keep
	AGTO _n /AGTOA _n /AGTOB _n	Hi-Z	AGTO _n /AGTOA _n /AGTOB _n 出力		Keep		Hi-Z	Keep
ULPT	ULPTEEn/ULPTEVIn	Hi-Z	ULPTEEn/ULPTEVIn 入力		Keep		Hi-Z	Keep
	ULPTEEn-DS/ ULPTEVIn-DS	Hi-Z	ULPTEEn-DS/ULPTEVIn-DS 入力		ULPTEEn-DS/ ULPTEVIn-DS 入力	Hi-Z	Hi-Z	Keep
	ULPTOn/ULPTOA _n / ULPTOB _n	Hi-Z	ULPTOn/ULPTOA _n /ULPTOB _n 出力		Keep		Hi-Z	Keep
	ULPTOn-DS/ULPTOA _n - DS/ULPTOB _n -DS	Hi-Z	ULPTOn/ULPTOA _n -DS/ ULPTOB _n -DS 出力		ULPTOn/ULPTOA _n - DS/ULPTOB _n -DS 出力	Keep	Hi-Z	DSTBY1: ULPTOn/ ULPTOA _n -DS/ ULPTOB _n -DS 出力 DSTBY1、2 から : Keep
IIC	SCL _n /SDA _n	Hi-Z	Keep-O(注2)		Keep		Hi-Z	Keep
I3C	I3C_SCL0/I3C_SDA0	Hi-Z	Keep-O(注2)		Hi-Z		Hi-Z	
USBFS	USB_OVRCUR _x	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	USB_OVRCUR _x -DS/ USB_VBUS	Hi-Z	Hi-Z(注2)		Keep(注3)	Keep	Hi-Z	Keep
	USB_DP/USB_DM	Hi-Z	Keep-O(注4)		Keep(注3)	Keep	Hi-Z	Keep
RTC	RTCIC _x	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	Keep
	RTCCOUT	Hi-Z	RTCCOUT 出力		Keep		Hi-Z	Keep
ACMPHS	VCOUT	Hi-Z	VCOUT 出力		Keep		Hi-Z	Keep
CLKOUT	CLKOUT	Hi-Z	CLKOUT 出力		Keep		Hi-Z	Keep
DAC	DAn	Hi-Z	D/A 出力保持		Keep		Hi-Z	Keep
外部バス (CS、SDRAM 領域)	EBCLK/SDCLK	Hi-Z	High レベル出力		Keep		Hi-Z	Keep
	Dxx/DQxx	Hi-Z	Hi-Z		Hi-Z		Hi-Z	
	Axx/DQM _x	Hi-Z	Hi-Z	Keep-O	Keep		Hi-Z	Keep
	BCx/CSx/RD/WRx/WE	Hi-Z	Hi-Z	High レベル出力	Keep		Hi-Z	Keep
	ALE	Hi-Z	Hi-Z	Low レベル出力	Keep		Hi-Z	Keep
	CKE/SDCS/RAS/CAS	Hi-Z	Hi-Z	SDSELF.SFEN = 0: High レベル出力 SDSELF.SFEN = 1: Low レベル出力	Keep		Hi-Z	Keep
P400/P401	IRQ5-DS 機能以外	Hi-Z	Keep-O(注2)		Hi-Z		Hi-Z	
その他	—	Hi-Z	Keep-O		Keep		Hi-Z	Keep

注. Hi-Z : ハイインピーダンス
 Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
 Keep-I : 通常モード期間中と同様に、端子状態は保持されます。
 Keep : ソフトウェアスタンバイモード期間中と同様に、端子状態は保持されます。

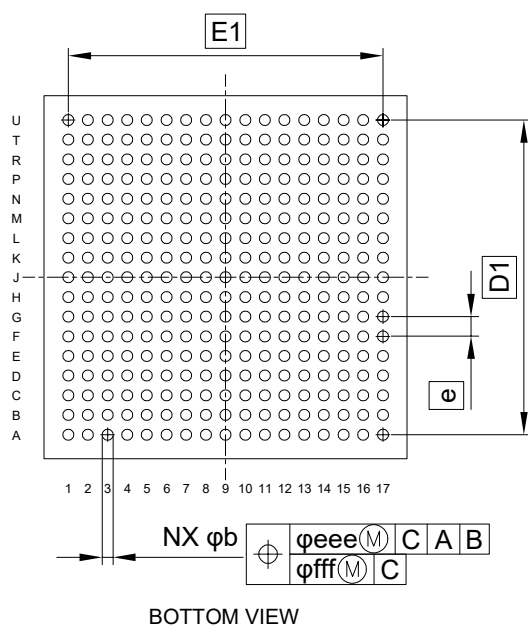
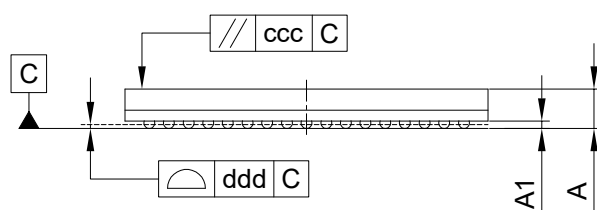
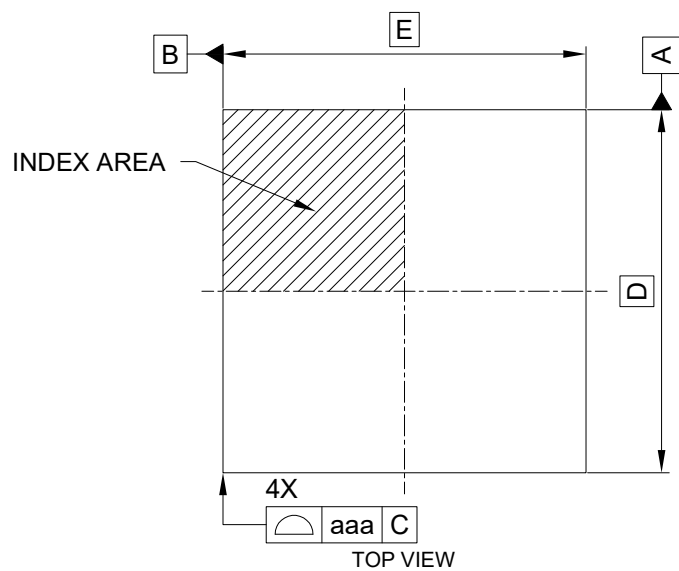
注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。

- 注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。
- 注 3. 端子がディープソフトウェアスタンバイのキャンセル要因に指定された場合、入力が許可されます。
- 注 4. 入力端子として使用されている端子への入力は許可されています。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

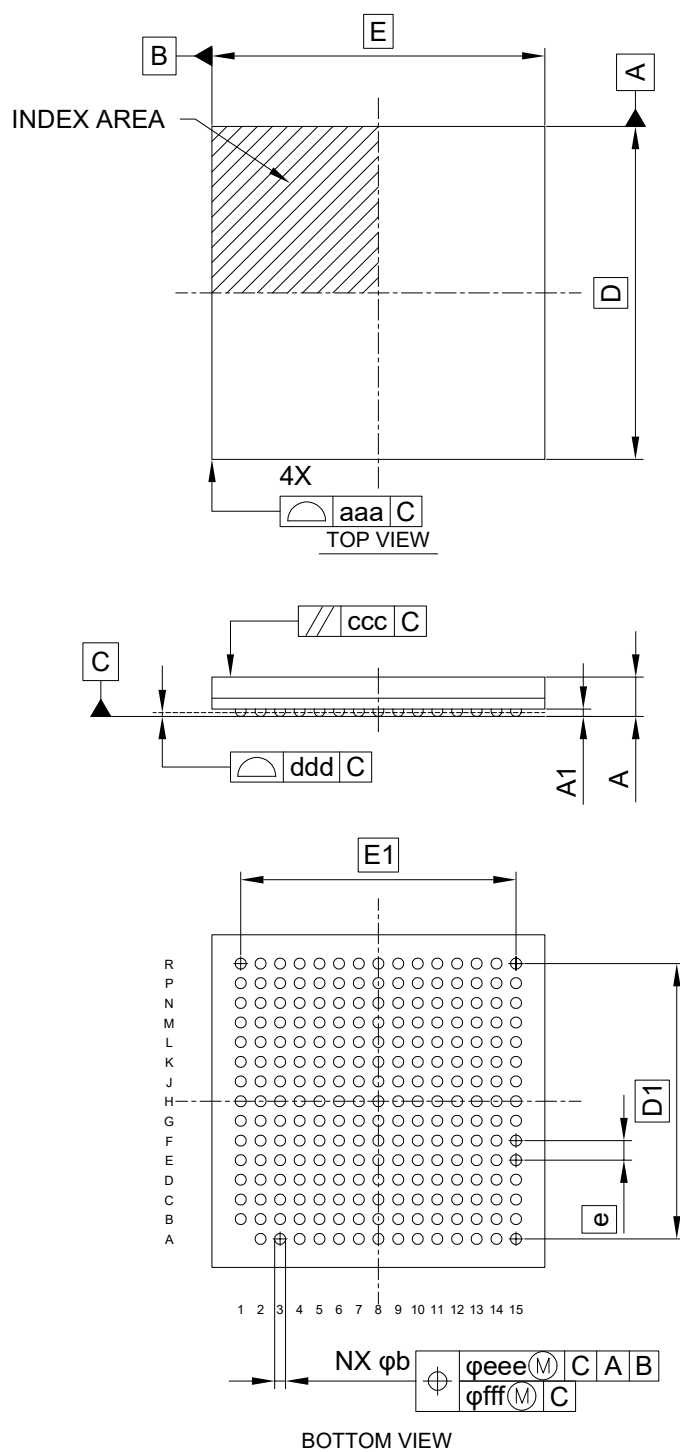
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA289-12x12-0.65	PLBG0289JA-A	0.38



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	12.00	—
E	—	12.00	—
D1	—	10.40	—
E1	—	10.40	—
A	—	—	1.38
A1	0.20	—	—
b	0.31	0.36	0.41
e	—	0.65	—
aaa	—	—	0.15
ccc	—	—	0.20
ddd	—	—	0.10
eee	—	—	0.15
fff	—	—	0.08
N	—	289	—

図 A2.1 BGA 289 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA224-11x11-0.65	PLBG0224JA-A	0.32



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	11.00	—
E	—	11.00	—
D1	—	9.10	—
E1	—	9.10	—
A	—	—	1.38
A1	0.20	—	—
b	0.31	0.36	0.41
e	—	0.65	—
aaa	—	—	0.15
ccc	—	—	0.20
ddd	—	—	0.10
eee	—	—	0.15
fff	—	—	0.08
N	—	224	—

図 A2.2 BGA 224 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HLQFP176-24x24-0.50	PLQP0176KK-A	1.90

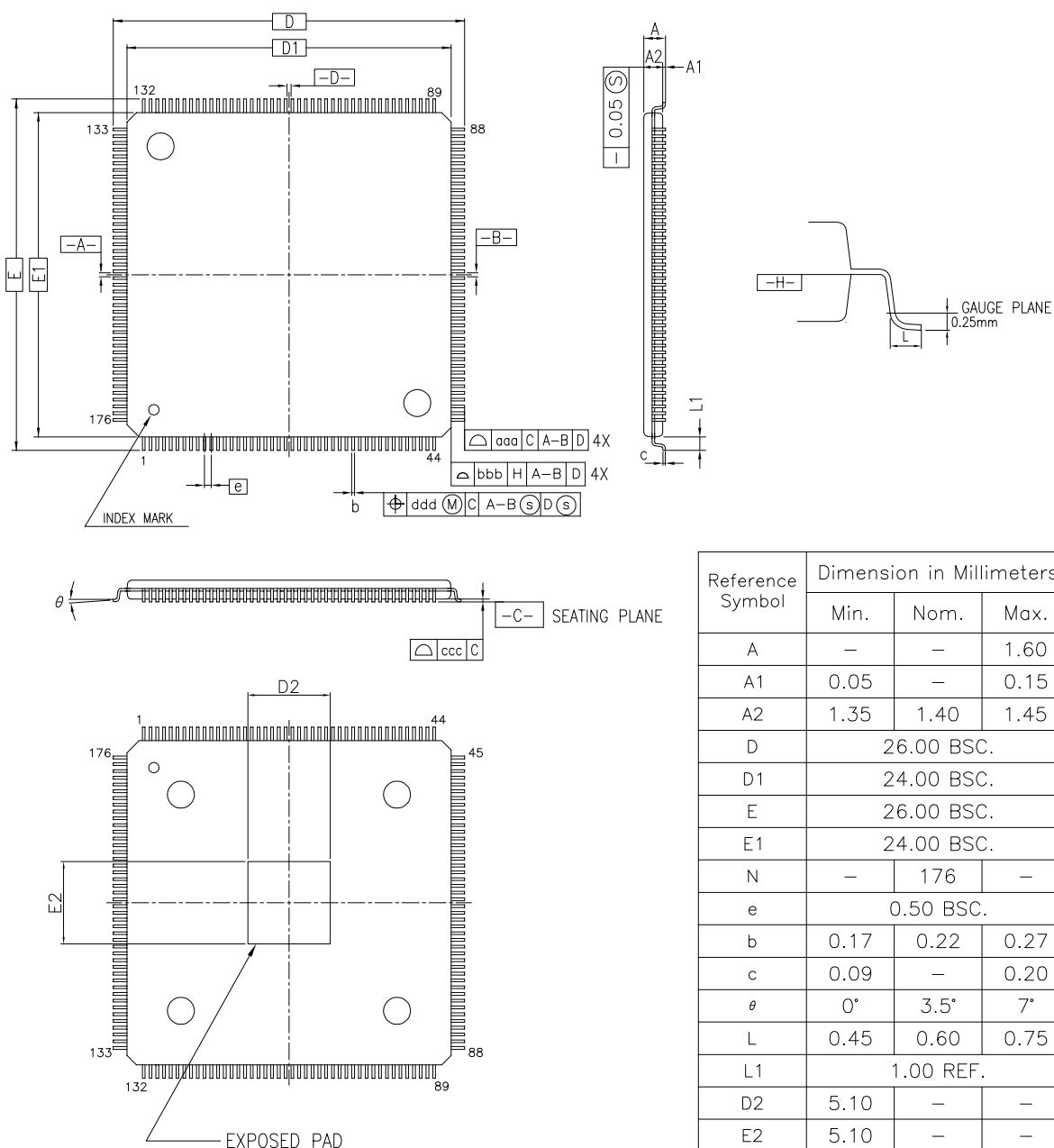


図 A2.3 HLQFP 176 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/4)

機能	セキュアレジスタ名	セキュアエリア 領域内のセキュ アレジスタのベ ースアドレス	非セキュアレジスタ名	非セキュアエイ リア領域内の非セ キュアレジスタの ベースアドレス
Renesas メモリプロテクションユニ ット	RMPU	0x4000_0000	RMPU_NS	0x5000_0000
SRAM コントロール	SRAM	0x4000_2000	SRAM_NS	0x5000_2000
バス制御	BUS	0x4000_3000	BUS_NS	0x5000_3000
共通割り込みコントローラ	ICU_COMMON	0x4000_6000	ICU_COMMON_NS	0x5000_6000
CPU システムセキュリティコントロ ールユニット	CPSCU	0x4000_8000	CPSCU_NS	0x5000_8000
ダイレクトメモリアクセスコントロー ラ 00	DMAC00	0x4000_A000	DMAC00_NS	0x5000_A000
ダイレクトメモリアクセスコントロー ラ 01	DMAC01	0x4000_A040	DMAC01_NS	0x5000_A040
ダイレクトメモリアクセスコントロー ラ 02	DMAC02	0x4000_A080	DMAC02_NS	0x5000_A080
ダイレクトメモリアクセスコントロー ラ 03	DMAC03	0x4000_A0C0	DMAC03_NS	0x5000_A0C0
ダイレクトメモリアクセスコントロー ラ 04	DMAC04	0x4000_A100	DMAC04_NS	0x5000_A100
ダイレクトメモリアクセスコントロー ラ 05	DMAC05	0x4000_A140	DMAC05_NS	0x5000_A140
ダイレクトメモリアクセスコントロー ラ 06	DMAC06	0x4000_A180	DMAC06_NS	0x5000_A180
ダイレクトメモリアクセスコントロー ラ 07	DMAC07	0x4000_A1C0	DMAC07_NS	0x5000_A1C0
DMAC モジュール起動 0	DMA0	0x4000_A800	DMA0_NS	0x5000_A800
データ転送ファコントローラ 0	DTC0	0x4000_AC00	DTC0_NS	0x5000_AC00
割り込みコントローラ	ICU	0x4000_C000	ICU_NS	0x5000_C000
CPU コントロールレジスタ	CPU_CTRL	0x4000_F000	CPU_CTRL_NS	0x5000_F000
オンチップデバッグ	CPU_OCD	0x4001_1000	CPU_OCD_NS	0x5001_1000
デバッグ機能	CPU_DBG	0x4001_B000	CPU_DBG_NS	0x5001_B000
キャッシュ	キャッシュ	0x4001_C000	CACHE_NS	0x5001_C000
TCM	TCM	0x4001_C800	TCM_NS	0x5001_C800
システム制御	SYSC	0x4001_E000	SYSC_NS	0x5001_E000
プロセッサ間通信	IPC	0x4002_0000	IPC_NS	0x5002_0000
温度センサデータ	TSD	0x02C1_EDA0	TSD_NS	0x12C1_EDA0
MRAM システムレジスタ領域	MRAM	0x4013_C000	MRAM_NS	0x5013_C000
イベントリンクコントローラ	ELC	0x4020_1000	ELC_NS	0x5020_1000
リアルタイムクロック	RTC	0x4020_2000	RTC_NS	0x5020_2000
独立ウォッチドッグタイマ	IWDT	0x4020_2200	IWDT_NS	0x5020_2200

表 A3.1 周辺機能のベースアドレス (2/4)

機能	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
クロック周波数精度測定回路	CAC	0x4020_2400	CAC_NS	0x5020_2400
ウォッチドッグタイマ 0	WDT0	0x4020_2600	WDT0_NS	0x5020_2600
ウォッチドッグタイマ 1	WDT1	0x4020_2700	WDT1_NS	0x5020_2700
モジュールストップコントロール A、B、C、D、E	MSTP	0x4020_3000	MSTP_NS	0x5020_3000
ペリフェラルセキュリティ制御ユニット	PSCU	0x4020_4000	PSCU_NS	0x5020_4000
GPT 用ポート出力イネーブルモジュール	POEG	0x4021_2000	POEG_NS	0x5021_2000
超低消費電力タイマ 0	ULPT0	0x4022_0000	ULPT0_NS	0x5022_0000
超低消費電力タイマ 1	ULPT1	0x4022_0100	ULPT1_NS	0x5022_0100
低消費電力非同期汎用タイマ 0	AGT0	0x4022_1000	AGT0_NS	0x5022_1000
低消費電力非同期汎用タイマ 1	AGT1	0x4022_1100	AGT1_NS	0x5022_1100
12 ビット D/A コンバータ 0	DAC120	0x4023_3000	DAC120_NS	0x5023_3000
12 ビット D/A コンバータ 1	DAC121	0x4023_3100	DAC121_NS	0x5023_3100
温度センサ	TSN	0x4023_5000	TSN_NS	0x5023_5000
高速アナログコンパレータ 0	ACMPHS0	0x4023_6000	ACMPHS0_NS	0x5023_6000
高速アナログコンパレータ 1	ACMPHS1	0x4023_6100	ACMPHS1_NS	0x5023_6100
高速アナログコンパレータ 2	ACMPHS2	0x4023_6200	ACMPHS2_NS	0x5023_6200
高速アナログコンパレータ 3	ACMPHS3	0x4023_6300	ACMPHS3_NS	0x5023_6300
USB 2.0 FS モジュール	USBFS	0x4025_0000	USBFS_NS	0x5025_0000
SD ホストインタフェース 0	SDHI0	0x4025_2000	SDHI0_NS	0x5025_2000
SD ホストインタフェース 1	SDHI1	0x4025_2400	SDHI1_NS	0x5025_2400
Inter-Integrated Circuit 0	IIC0	0x4025_E000	IIC0_NS	0x5025_E000
Inter-Integrated Circuit 0 ウェイクアップユニット	IIC0WU	0x4025_E014	IIC0WU_NS	0x5025_E014
Inter-Integrated Circuit 1	IIC1	0x4025_E100	IIC1_NS	0x5025_E100
Inter-Integrated Circuit 2	IIC2	0x4025_E200	IIC2_NS	0x5025_E200
オクタシリアルペリフェラルインタフェース 0	OSPI0_B	0x4026_8000	OSPI0_B_NS	0x5026_8000
オクタシリアルペリフェラルインタフェース 1	OSPI1_B	0x4026_8400	OSPI1_B_NS	0x5026_8400
オンザフライ復号 0	DOTF0	0x4026_8800	DOTF0_NS	0x5026_8800
オンザフライ復号 1	DOTF1	0x4026_8900	DOTF1_NS	0x5026_8900
CRC 演算器	CRC	0x4031_0000	CRC_NS	0x5031_0000
データ演算回路	DOC_B	0x4031_1000	DOC_B_NS	0x5031_1000
32 ビット汎用 PWM タイマ 0	GPT320	0x4032_2000	GPT320_NS	0x5032_2000
32 ビット汎用 PWM タイマ 1	GPT321	0x4032_2100	GPT321_NS	0x5032_2100
32 ビット汎用 PWM タイマ 2	GPT322	0x4032_2200	GPT322_NS	0x5032_2200
32 ビット汎用 PWM タイマ 3	GPT323	0x4032_2300	GPT323_NS	0x5032_2300
32 ビット汎用 PWM タイマ 4	GPT324	0x4032_2400	GPT324_NS	0x5032_2400
32 ビット汎用 PWM タイマ 5	GPT325	0x4032_2500	GPT325_NS	0x5032_2500

表 A3.1 周辺機能のベースアドレス (3/4)

機能	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
32 ビット汎用 PWM タイマ 6	GPT326	0x4032_2600	GPT326_NS	0x5032_2600
32 ビット汎用 PWM タイマ 7	GPT327	0x4032_2700	GPT327_NS	0x5032_2700
32 ビット汎用 PWM タイマ 8	GPT328	0x4032_2800	GPT328_NS	0x5032_2800
32 ビット汎用 PWM タイマ 9	GPT329	0x4032_2900	GPT329_NS	0x5032_2900
32 ビット汎用 PWM タイマ 10	GPT3210	0x4032_2A00	GPT3210_NS	0x5032_2A00
32 ビット汎用 PWM タイマ 11	GPT3211	0x4032_2B00	GPT3211_NS	0x5032_2B00
32 ビット汎用 PWM タイマ 12	GPT3212	0x4032_2C00	GPT3212_NS	0x5032_2C00
32 ビット汎用 PWM タイマ 13	GPT3213	0x4032_2D00	GPT3213_NS	0x5032_2D00
出力相切り替えコントローラ	GPT_OPS	0x4032_3F00	GPT_OPS_NS	0x5032_3F00
汎用 PWM タイマクロックコントローラ	GPT_GTCLK	0x4032_3F10	GPT_GTCLK_NS	0x5032_3F10
PWM 遅延生成回路	PDG	0x4032_4000	PDG_NS	0x5032_4000
デルタシグマモジュレータ 0	DSMIF0	0x4032_A000	DSMIF0_NS	0x5032_A000
デルタシグマモジュレータ 1	DSMIF1	0x4032_A800	DSMIF1_NS	0x5032_A800
16 ビット A/D コンバータ	ADC_B	0x4033_8000	ADC_B_NS	0x5033_8000
シリアルコミュニケーションインタフェース 0	SCI0_B	0x4035_8000	SCI0_B_NS	0x5035_8000
シリアルコミュニケーションインタフェース 1	SCI1_B	0x4035_8100	SCI1_B_NS	0x5035_8100
シリアルコミュニケーションインタフェース 2	SCI2_B	0x4035_8200	SCI2_B_NS	0x5035_8200
シリアルコミュニケーションインタフェース 3	SCI3_B	0x4035_8300	SCI3_B_NS	0x5035_8300
シリアルコミュニケーションインタフェース 4	SCI4_B	0x4035_8400	SCI4_B_NS	0x5035_8400
シリアルコミュニケーションインタフェース 5	SCI5_B	0x4035_8500	SCI5_B_NS	0x5035_8500
シリアルコミュニケーションインタフェース 6	SCI6_B	0x4035_8600	SCI6_B_NS	0x5035_8600
シリアルコミュニケーションインタフェース 7	SCI7_B	0x4035_8700	SCI7_B_NS	0x5035_8700
シリアルコミュニケーションインタフェース 8	SCI8_B	0x4035_8800	SCI8_B_NS	0x5035_8800
シリアルコミュニケーションインタフェース 9	SCI9_B	0x4035_8900	SCI9_B_NS	0x5035_8900
シリアルペリフェラルインタフェース 0	SPI0_B	0x4035_C000	SPI0_B_NS	0x5035_C000
シリアルペリフェラルインタフェース 1	SPI1_B	0x4035_C100	SPI1_B_NS	0x5035_C100
I3C バスインタフェース	I3C	0x4035_F000	I3C_NS	0x5035_F000
MBRAM0 用エラー補正回路	ECCMB0	0x4036_F200	ECCMB0_NS	0x5036_F200
MBRAM1 用エラー補正回路	ECCMB1	0x4036_F300	ECCMB1_NS	0x5036_F300
CANFD モジュール 0	CANFD0	0x4038_0000	CANFD0_NS	0x5038_0000
CANFD モジュール 1	CANFD1	0x4038_2000	CANFD1_NS	0x5038_2000
EtherCAT スレーブコントローラ	ESC	0x403A_0000	ESC_NS	0x503A_0000

表 A3.1 周辺機能のベースアドレス (4/4)

機能	セキュアレジスタ名	セキュアエリア ス領域内のセキュ アレジスタのベー スアドレス	非セキュアレジスタ名	非セキュアエリア ス領域内の非セ キュアレジスタの ベースアドレス
EtherCAT スレーブコントローラの初期設定 1	ESC_INI	0x403A_4000	ESC_INI_NS	0x503A_4000
イーサネットメッセージ転送エンジン	MFWD	0x403C_0000	MFWD_NS	0x503C_0000
レイヤ 3 イーサネットスイッチモジュール	ESWM	0x403C_8000	ESWM_NS	0x503C_8000
イーサネット共通エージェント	COMA	0x403C_9000	COMA_NS	0x503C_9000
イーサネットエージェント 0	ETHA0	0x403C_A000	ETHA0_NS	0x503C_A000
イーサネット MAC 0	RMAC0	0x403C_B000	RMAC0_NS	0x503C_B000
イーサネットエージェント 1	ETHA1	0x403C_C000	ETHA1_NS	0x503C_C000
イーサネット MAC 1	RMAC1	0x403C_D000	RMAC1_NS	0x503C_D000
イーサネット CPU エージェント	GWCA0	0x403C_E000	GWCA0_NS	0x503C_E000
イーサネット汎用 PTP タイマ	GPTP	0x403E_0000	GPTP_NS	0x503E_0000
ポート 0 コントロールレジスタ	PORT0	0x4040_0000	PORT0_NS	0x5040_0000
ポート 1 コントロールレジスタ	PORT1	0x4040_0020	PORT1_NS	0x5040_0020
ポート 2 コントロールレジスタ	PORT2	0x4040_0040	PORT2_NS	0x5040_0040
ポート 3 コントロールレジスタ	PORT3	0x4040_0060	PORT3_NS	0x5040_0060
ポート 4 コントロールレジスタ	PORT4	0x4040_0080	PORT4_NS	0x5040_0080
ポート 5 コントロールレジスタ	PORT5	0x4040_00A0	PORT5_NS	0x5040_00A0
ポート 6 コントロールレジスタ	PORT6	0x4040_00C0	PORT6_NS	0x5040_00C0
ポート 7 コントロールレジスタ	PORT7	0x4040_00E0	PORT7_NS	0x5040_00E0
ポート 8 コントロールレジスタ	PORT8	0x4040_0100	PORT8_NS	0x5040_0100
ポート 9 コントロールレジスタ	PORT9	0x4040_0120	PORT9_NS	0x5040_0120
ポート A コントロールレジスタ	PORTA	0x4040_0140	PORTA_NS	0x5040_0140
ポート B コントロールレジスタ	PORTB	0x4040_0160	PORTB_NS	0x5040_0160
ポート C コントロールレジスタ	PORTC	0x4040_0180	PORTC_NS	0x5040_0180
ポート D コントロールレジスタ	PORTD	0x4040_01A0	PORTD_NS	0x5040_01A0
ポート E コントロールレジスタ	PORTE	0x4040_01C0	PORTE_NS	0x5040_01C0
ポート F コントロールレジスタ	PORTF	0x4040_01E0	PORTF_NS	0x5040_01E0
ポート G コントロールレジスタ	PORTG	0x4040_0200	PORTG_NS	0x5040_0200
Pmn 端子機能コントロールレジスタ	PFS	0x4040_0800	PFS_NS	0x5040_0800

注: 名称 = 周辺機能の名称
 内容 = 周辺機能
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。

- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 アクセスサイクル (1/3)

周辺機能のベース アドレスシンボル	アドレス(注1)		アクセスサイクル数				サイクル 単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注2)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU, SRAM, BUS, ICU_COMMON, CPSCU, DMAC0n, DMA0, DTC0, ICU, CPU_CTRL, CPU_OCD, CPU_DBG	0x4000_0000	0x4001_BFFF	3	2	3	2	ICLK	Renesas メモリプロテ クションユニット、 SRAM コントロール、 BUS コントロール、共 通割り込みコントロー ーラ、CPU システムセキ ュリティコントロール ユニット、ダイレクト メモリアクセスコント ローラ 0n、DMAC モジ ュール起動 0、デー タトランスファコント ローラ 0、割り込みコ ントローラ、CPU コ ントロールレジスタ、 オンチップデバッグ、 デバッグ機能
CACHE, TCM	0x4001_C000	0x4001_CFFF	5	4	5	4	ICLK	CM33 キャッシュ、 CM33 密接合メモリ
SYSC	0x4001_E000	0x4001_E9FF	4	3	2~4	1~3	PCLKB	システム制御
SYSC	0x4001_EA00	0x4001_ED7F	7	6	5~7	4~6	PCLKB	システム制御
IPC	0x4002_0000	0x4002_FFFF	3	2	3	2	ICLK	プロセッサ間通信
ELC, RTC	0x4020_1000	0x4020_21FF	4	3	2~4	1~3	PCLKB	イベントリンクコント ローラ、リアルタイム クロック
IWDT	0x4020_2200	0x4020_22FF	4	65	2~4	63~65	PCLKB	独立ウォッチドッグタ イマ
CAC, WDTn, MSTP, PSCU, POEG	0x4020_2400	0x4021_2FFF	4	3	2~4	1~3	PCLKB	クロック周波数精度測 定回路、ウォッチドッ グタイマ n、モジュー ルストップコントロール 、ペリフェラルセキ ュリティコントロール ユニット、GPT 用ポー トアウトプットイネー ブルモジュール
ULPTn	0x4022_0000	0x4022_01FF	6	65	4~6	63~65	PCLKB	超低消費電力タイマ n
AGTn	0x4022_1000	0x4022_11FF	6	3	4~6	1~3	PCLKB	低消費電力非同期汎用 タイマ n
DAC12n, TSN	0x4023_3000	0x4023_5FFF	4	3	2~4	1~3	PCLKB	12 ビット D/A コンバ ータ n、温度センサ

表 A3.2 アクセスサイクル (2/3)

周辺機能のベース アドレスシンボル	アドレス(注1)		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK(注2)		サイクル 単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
ACMPHSn	0x4023_6000	0x4023_63FF	3	3	1~3	1~3	PCLKB	高速アナログコンパレータ n
USBFS	0x4025_0000	0x4025_03FF	5	4	3~5	2~4	PCLKB	USB 2.0 FS モジュール
USBFS	0x4025_0400	0x4025_04FF	4	65	2~4	63~65	PCLKB	USB 2.0 FS モジュール
SDHIn, IICn, OSPIIn, DOTFn	0x4025_2000	0x4026_89FF	4	3	2~4	1~3	PCLKB	SD ホストインタフェース n、Inter-Integrated Circuit n、オクタシリアルペリフェラルインタフェース n、オンザフライ復号 n
CRC, DOC	0x4031_0000	0x4031_1FFF	4	3	2~4	1~3	PCLKA	CRC 演算器、データ演算回路
GPT32n, GPT_OPS	0x4032_2000	0x4032_3F0F	9	6	7~9	4~6	PCLKA	32 ビット汎用 PWM タイマ n、出力相切り替えコントローラ
GPT_GTCLK	0x4032_3F10	0x4032_3F1F	4	3	2~4	1~3	PCLKA	汎用 PWM タイマクロック制御
PDG	0x4032_4000	0x4032_4FFF	3	2	1~3	0~2	PCLKA	PWM 遅延生成回路
DSMIFn	0x4032_A000	0x4032_AFFF	3	3	1~3	1~3	PCLKA	デルタシグマモジュレータ n
ADC_B	0x4033_8000	0x4034_7FFF	4	3	2~4	1~3	PCLKA	A/D コンバータ
SCIn, SPIn, I3C	0x4035_8000	0x4035_FFFF	4	3	2~4	1~3	PCLKA	シリアルコミュニケーションインタフェース n、シリアルペリフェラルインタフェース n、I3C バスインタフェース
ECCMBn	0x4036_F200	0x4036_F3FF	5	4	3~5	2~4	PCLKA	MBRAMn 用エラー補正回路
CANFDn	0x4038_0000	0x4038_3FFF	4	3	2~4	1~3	PCLKA	CANFD モジュール n
ESWM	0x403C_0000	0x403E_FFFF	14~16	4	7~12	2~4	PCLKA	レイヤ 3 イーサネットスイッチモジュール
ESC	0x403A_0000	0x403A_3FFF	66	60	66~67	59~60	PCLKA	EtherCAT スレーブコントローラ 32 ビットアクセス
ESC	0x403A_0000	0x403A_3FFF	52	37	51~52	36~37	PCLKA	EtherCAT スレーブコントローラ 16 ビットアクセス
ESC	0x403A_0000	0x403A_3FFF	41	30	40~41	29~30	PCLKA	EtherCAT スレーブコントローラ 8 ビットアクセス
ESC_INI	0x403A_4000	0x403A_4FFF	4	3	3~4	2~3	PCLKA	EtherCAT スレーブコントローラの初期設定 1
PORTn	0x4040_0000	0x4040_01FF	4	2	4	2	ICLK	ポート n コントロールレジスタ
PFS	0x4040_0800	0x4040_0FFF	8	2	8	2	ICLK	Pmn 端子機能コントロールレジスタ
RSIP-E50D	-	-	3~5	2	1~6	0~2	PCLKA	Renesas セキュア IP

表 A3.2 アクセスサイクル (3/3)

周辺機能のベース アドレスシンボル	アドレス(注1)		アクセスサイクル数					
			ICLK = MRPCLK		ICLK > MRPCLK(注2)		サイクル 単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
MRAM	0x4013_0000	0x4013_FFFF	4	3	2~4	1~3	MRPCLK	MRAM 制御

注 1. 本表ではセキュアアドレスのみを示しています。非セキュアアドレスのアクセスサイクルは、セキュアアドレスのアクセスサイクルと同じです。

注 2. PCLK または MRPCLK のサイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5~2.5 は、1~3 となります。

付録 4. レジスタ R/W に関する注意事項

- セキュアバスマスタは、IDAU/SAU または MSAU によってセキュアに指定されているアドレスを使用してセキュアアクセスを発行します。
- セキュアバスマスタは、IDAU/SAU または MSAU によって非セキュアに指定されているアドレスを使用して非セキュアアクセスを発行します。
- 非セキュアバスマスタは、IDAU/SAU または MSAU によって非セキュアに指定されているアドレスを使用して非セキュアアクセスを発行します。

表 A4.1 レジスタタイプに関する注意事項 (S-TYPE)

TYPE	UM 内での説明
S-TYPE-1	セキュアアクセスのみ本レジスタへ書き込み可能です。リードアクセスは常に許可されます。非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
S-TYPE-2	リードアクセスは常に許可されます。 セキュリティ属性がセキュアに設定されている場合： - セキュアライトアクセスが許可されます - 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
	セキュリティ属性が非セキュアに設定されている場合： - セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。 - 非セキュアアクセスが許可されます。
S-TYPE-3	セキュリティ属性がセキュアに設定されている場合： - セキュアアクセスが許可されます。 - 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
	セキュリティ属性が非セキュアに設定されている場合： - セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。 - 非セキュアアクセスが許可されます。
S-TYPE-4	セキュリティ属性がセキュアに設定されている場合： - セキュアアクセスが許可されます。 - 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。
	セキュリティ属性が非セキュアに設定されている場合： - セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。 - 非セキュアアクセスが許可されます。
S-TYPE-5	アクセスは常に許可されます。
S-TYPE-6	セキュアアクセスが許可されます。 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
S-TYPE-7	セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。 非セキュアアクセスが許可されます。

注. 非セキュアバスマスタは、IDAU/SAU または MSAU によりセキュアにマークされたアドレスを使用して、いかなるアクセスも発行しません。

表 A4.2 レジスタタイプに関する注意事項 (P-TYPE) (1/2)

TYPE	UM 内での説明
P-TYPE-1	プリビレッジライトアクセスが許可されます。リードアクセスは常に許可されます。 アンプリビレッジライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
P-TYPE-2	プリビレッジアクセスが許可されます。 アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
P-TYPE-3	プリビレッジ属性がプリビレッジに設定されている場合： - プリビレッジアクセスが許可されます。 - アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
	プリビレッジ属性がアンプリビレッジに設定されている場合： プリビレッジアクセスとアンプリビレッジアクセスが許可されます。

表 A4.2 レジスタタイプに関する注意事項 (P-TYPE) (2/2)

TYPE	UM 内での説明
P-TYPE-4	プリビレッジ属性がプリビレッジに設定されている場合、 • プリビレッジアクセスが許可されます。 • アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。
	プリビレッジ属性がアンプリビレッジに設定されている場合： • プリビレッジアクセスとアンプリビレッジアクセスが許可されます。
P-TYPE-5	アクセスは常に許可されます。

付録 5. ペリフェラル変数

表 A5.1 に本マニュアルで使用されるモジュール名とペリフェラル変数の対応関係を示します。

表 A5.1 モジュール名とペリフェラル変数の対応関係

モジュール名	ペリフェラル変数
SCI	SCI_B
SPI	SPI_B
OSPI	OSPI_B
ADC16H	ADC_B
DAC12	DAC_B
DOC	DOC_B

改訂履歴

Revision 1.00 — 2025 年 02 月 14 日

初版発行

Revision 1.10 — 2025 年 6 月 3 日

1. 概要：

- 図 1.2 型名の読み方を更新
- 表 1.15 標準製品の端子一覧
- 表 1.16 SiP 製品の端子一覧

2. 電気的特性：

- 2. 電気的特性を更新
- 2.1 絶対最大定格を更新
- 2.2.5 動作電流とスタンバイ電流を更新
- 2.3.10 SPI タイミングを更新
- 2.3.11 OSPI タイミングを更新
- 2.6. ADC 特性を更新
- 2.11 外部 VDD タイミング特性を追加

付録：

- 付録 2.の図 A2.3 HLQFP 176 ピンを更新
- 付録 5 の表 A5.1 モジュール名とペリフェラル変数の対応関係を更新

Revision 1.20 — 2025 年 8 月 27 日

1. 概要：

- 表 1.8 通信インタフェースを更新
- 図 1.2 型名の読み方を更新
- 表 1.12 製品一覧を更新
- 表 1.14 端子機能を更新
- 表 1.15 標準製品の端子一覧を更新
- 表 1.16 SiP 製品の端子一覧を更新

2. 電気的特性：

- 表 2.16 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック ON (DCDC モード) における電流を更新
- 表 2.18 High-speed モード、最大データ処理 (MVE 動作)、周辺クロック OFF (DCDC モード) における電流を更新
- 表 2.19 High-speed モード、最大データ処理 (MVE 動作)、周辺クロック OFF (外部 VDD モード) における電流を更新
- 表 2.20 High-speed モード、最大データ処理 (MVE 動作)、CPU0 有効、CPU1 ディープスリープ、周辺クロック OFF (DCDC モード) における電流を更新
- 表 2.21 High-speed モード、最大データ処理 (MVE 動作)、CPU0 有効、CPU1 ディープスリープ、周辺クロック OFF (外部 VDD モード) における電流を更新
- 表 2.22 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック OFF (DCDC モード) における電流を更新
- 表 2.23 High-speed モード、最大データ処理、CPU0 ディープスリープ、CPU1 有効、周辺クロック OFF (外部 VDD モード) における電流を更新
- 表 2.24 High-speed モード、CPU スリープモード (DCDC モード) における電流を更新
- 表 2.26 High-speed モード、CPU0 スリープ、CPU1 ディープスリープ (DCDC モード) における電流を更新
- 表 2.28 High-speed モード、CPU0 ディープスリープ、CPU1 スリープ (DCDC モード) における電流を更新
- 表 2.30 High-speed モード、CPU ディープスリープモード (DCDC モード) における電流を更新

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットしてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。