RA8E1 グループ
ルネサスマイクロコントローラ

R01DS0455JJ0100
Rev.1.00
Oct 23, 2024

高性能の 360 MHz Arm® Cortex®-M85 コア (Helium™)、デュアルバンク、バックグラウンドおよび SWAP 動作に対応する 1 MB のコードフラッシュメモリ、12 KB のデータフラッシュメモリ、パリティありの 544 KB の SRAM。高集積度のイーサネット MAC コントローラ、USB 2.0 フルスピード、CANFD、Octal SPI、高度なアナログ機能。

特長

■ Arm® Cortex®-M85 コア (Helium™)

- Armv8.1-M アーキテクチャプロファイル
- Armv8-M セキュリティ拡張
- 最高動作周波数： 360 MHz
- メモリプロテクションユニット (Arm MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S)：8 領域
  - 非セキュア MPU (MPU_NS)：8 領域
- SysTick タイマ
  - 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス
  - CPUCLK または MOCO 駆動（8 分周）
- CoreSight™ ETM-M85

■ メモリ

- 1 MB のコードフラッシュメモリ
- 12 KB のデータフラッシュメモリ（100,000 回のプログラム／イレース (P/E) サイクル）
- 544 KB の SRAM（32 KB の TCM を含む）

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 6、最大 60 Mbps
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - スマートカードインタフェース
  - 簡易 IIC
  - 簡易 SPI
  - マンチェスタコーディング (SCI0)
  - 簡易 LIN (SCI0, SCI1)
- I^2C バスインタフェース (IIC) × 2
- シリアルペリフェラルインタフェース (SPI) × 2、最大 60 Mbps
- オクタシリアルペリフェラルインタフェース (OSPI)
- USB 2.0 フルスピードモジュール (USBFS)
- CAN フレキシブルデータレート (CANFD) × 2
- イーサネット MAC/DMA コントローラ (ETHERC/EDMAC)
- 拡張シリアルサウンドインタフェース (SSIE) x 2

■ アナログ

- 12 ビット A/D コンバータ (ADC12) × 2
- 12 ビット D/A コンバータ (DAC12)
- 高速アナログコンパレータ (ACMPHS) x 2
- 温度センサ (TSN)

■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32) × 6
- 16 ビット汎用 PWM タイマ (GPT16) × 4
- 低消費電力非同期汎用タイマ (AGT) × 2
- 超低消費電力タイマ (ULPT) × 2

■ セキュリティおよび暗号化

- Renesas セキュア IP (RSIP-E51A)
  - 128 ビットのユニーク ID
- Arm® TrustZone®
  - コードフラッシュ用領域：最大 2 または 4 領域（バンクモードによる）
  - データフラッシュ用領域：最大 2 領域
  - SRAM 用領域：最大 2 領域
  - 各周辺モジュール用個別セキュア／非セキュアセキュリティ属性
- プリビレッジ制御
- デバイスライフサイクルの管理
- 端子機能
  - 最大 3 つの耐タンパー端子
  - セキュア端子マルチプレキシング

■ システムおよび電源管理

- 低消費電力モード
- バッテリバックアップ機能 (VBATT)
- リアルタイムクロック (RTC)（カレンダー、VBATT サポート）
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- DMA コントローラ (DMAC) × 8
- パワーオンリセット
- プログラマブル電圧検出機能 (PVD) の設定可能
- ウォッチドッグタイマ (WDT)
- 独立ウォッチドッグタイマ (IWDT)

■ ヒューマンマシーンインタフェース (HMI)

- キャプチャエンジンユニット (CEU)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (8～48 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (16/18/20/32/48 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL1/PLL2
- クロックアウトのサポート

■ 汎用入出力ポート

- 5 V トレランス、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧

- VCC: 1.68～3.6 V
- VCC2: 1.65～3.6 V

■ 動作ジャンクション温度およびパッケージ

- Tj = -40℃～+105℃
  - 100 ピン LQFP（14 mm × 14 mm、0.5 mm ピッチ）
  - 144 ピン LQFP（20 mm × 20 mm、0.5 mm ピッチ）

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアと互換性のある Arm®ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は最高 360 MHz で動作する高性能な Arm® Cortex®-M85 コア (Helium™) を内蔵しており、以下の特長があります。

- 1 MB のコードフラッシュメモリ
- 544 KB の SRAM（32 KB の TCM RAM、512 KB のユーザー SRAM）
- オクタシリアルペリフェラルインタフェース (OSPI)
- イーサネット MAC コントローラ (ETHERC)、USBFS
- アナログ周辺機能
- セキュリティ＆セーフティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm® Cortex®-M85 コア	● 最高動作周波数：360 MHz ● Arm® Cortex®-M85 コア – リビジョン：(r0p2-00rel0) – ARMv8.1-M アーキテクチャプロファイル – Armv8-M セキュリティ拡張 – ANSI/IEEE 規格 754-2008 準拠浮動小数点ユニット (FPU) スカラーのハーフ、シングル、ダブル精度浮動小数点動作 – M プロファイルベクタ拡張 (MVE) 整数、半精度、および単精度浮動小数点 MVE (MVE-F) – Helium™ 技術は M プロファイルベクタ拡張 (MVE) ● Arm®メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S)：8 領域 – 非セキュア MPU (MPU_NS)：8 領域 ● SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアインスタンス (SysTick_S) と非セキュアインスタンス (SysTick_NS) – CPUCLK または MOCO 駆動（8 分周） ● CoreSight™ ETM-M85

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	1 MB のコードフラッシュメモリ。
データフラッシュメモリ	12 KB のデータフラッシュメモリ。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットありの内蔵高速 SRAM です。
スタンバイ SRAM	ディープソフトウェアスタンバイモード 1 でデータを保持できる内蔵 SRAM です。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	3 種類の動作モード： ● シングルチップモード ● JTAG ブートモード ● SCI/USB ブートモード
リセット	本 MCU は 13 種類のリセットをサポートしています。

表 1.3 システム (2/2)

機能	機能の説明
プログラマブル電圧検出 (PVD)	プログラマブル電圧検出 (PVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。PVD モジュールは、3 つの独立した電圧監視回路 (PVD0, PVD1, PVD2) から構成されています。PVD0、PVD1、および PVD2 は VCC 端子への入力電圧レベルを測定します。PVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。
クロック	● メインクロック発振器 (MOSC) ● サブクロック発振器 (SOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● PLL1/PLL2 ● クロックアウトのサポート
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求が発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。
低消費電力モード	消費電力は、以下に示す複数の方法で低減できます。その方法には、クロック分周器の設定、モジュール停止、パワーゲート制御、通常動作時の動作電力制御モードの選択、低消費電力モードやプロセッサ低消費電力モードへの遷移があります。
バッテリバックアップ機能	バッテリバックアップ機能により、バッテリによる部分電力供給が可能です。バッテリ電源領域に含まれるものには、RTC、SOSC、バックアップレジスタ、改ざん検出、VBATT_R 電圧降下検出、および VCC/VBATT 切り替えがあります。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護対象のレジスタは、プロテクトレジスタ（PRCR_S と PRCR_NS）で設定します。
メモリプロテクションユニット (MPU)	すべてのバスマスタには、メモリプロテクションユニット (MPU) があります。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。
DMA コントローラ (DMAC)	8 チャネルのダイレクトメモリアクセスコントローラ (DMAC) は CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 1.6 外部バスインタフェース

機能	機能の説明
外部バス	● OSPI 領域 (EOBI): OSPI（外部デバイスインタフェース）を接続

表 1.7 タイマ (1/2)

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 × 6 チャネルの 32 ビットタイマおよび GPT16 × 4 チャネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。GPT は、汎用タイマとしても使用できます。

表 1.7 タイマ (2/2)

機能	機能の説明
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることができます。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。
超低消費電力タイマ (ULPT)	超低消費電力タイマ (ULPT) は、パルス出力または外部イベントのカウントに使用可能な 32 ビットタイマです。この 32 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、ULPTCNT レジスタでアクセス可能です。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタの設定を切り替えることにより使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) には、14 ビットのダウンカウンタがあり、ダウンカウンタのアンダーフロー時のリセット出力によって、MCU をリセットします。代替的には、カウンタのアンダーフロー時の割り込み要求の発生を選択できます。これにより、リフレッシュインターバルを考慮して、プログラムの暴走を検出できます。IWDT には、次の 2 種類のスタートモードがあります。オートスタートモードでは、リセット状態の解除後にカウントを自動的に開始します。また、レジスタスタートモードでは、リフレッシュ（特定のレジスタへの書き込み）により、カウントを開始します。

表 1.8 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 6 チャネルには、調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● スマートカードインタフェース ● マンチェスタインタフェース ● 簡易 LIN インタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。すべてのチャネルは FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 本 MCU では、最大レートがサポートされています。実際のレートについては、電気的特性を参照してください。
I^2C バスインタフェース (IIC)	I^2C バスインタフェース (IIC) には 2 チャネルあります。IIC モジュールは、NXP 社の I^2C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。 本 MCU では、最大レートがサポートされています。実際のレートについては、電気的特性を参照してください。
Control Area Network with Flexible Data-Rate モジュール (CANFD)	CAN with Flexible Data-Rate (CANFD) モジュールは、クラシカル CAN フレームと ISO 11898-1 規格に準拠する CANFD フレームの両方を取り扱うことができます。 本モジュールはチャネルごとに 4 個の送信バッファと 16 個の受信バッファをサポートしています。

表 1.8 通信インタフェース (2/2)

機能	機能の説明
USB2.0 フルスピードモジュール (USBFS)	ホストコントローラまたはデバイスコントローラとして動作可能な USB2.0 フルスピードモジュール (USBFS) です。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよびロースピード転送（ホストコントローラのみ）をサポートしています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。USB はデータ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。パイプ 1～9 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせた任意のエンドポイント番号の割り付けが可能です。
オクタシリアルペリフェラルインタフェース (OSPI)	オクタシリアルペリフェラルインタフェース (OSPI) は、拡張シリアルペリフェラルインタフェース (xSPI) (JEDEC Standard JESD251, JESD251-1, JESD252) をサポートするメモリコントローラです。OSPI は 1 ビット、2 ビット、4 ビット、8 ビットのプロトコルをサポートします。JESD251 は、2 つのインタフェースプロファイルを規定します。プロファイル 1.0 は Octal SPI であり、プロファイル 2.0 は HyperBus™（HyperRAM™ および HyperFlash™）です。OSPI は QSPI プロトコルをサポートします。
拡張シリアルサウンドインタフェース (SSIE)	拡張シリアルサウンドインタフェース (SSIE) 周辺機能は、I²S/モノラル/TDM オーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で接続する機能を提供しています。SSIE は最高 50MHz のオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ／トランスミッタ／トランシーバとして動作します。SSIE はレシーバとトランスミッタに 32 段 FIFO バッファを内蔵し、割り込みおよび DMA 駆動によるデータ送受信をサポートしています。
イーサネットコントローラ (ETHERC)	イーサネット/IEEE802.3 の Media Access Control (MAC) 層規格に準拠した 1 チャネルのイーサネットコントローラ (ETHERC) です。ETHERC は MAC 層のインタフェースを 1 チャネル内蔵しており、物理層の LSI (PHY-LSI) と接続することにより、イーサネット／IEEE802.3 規格に準拠したフレームの送受信が可能です。ETHERC はイーサネット DMA コントローラ (EDMAC) に接続されているため、CPU を介することなくデータを転送できます。

表 1.9 アナログ機能

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	12 ビットの逐次比較方式の A/D コンバータを内蔵しています。最大 13 チャネルのアナログ入力を選択可能です。変換には温度センサ出力、内部基準電圧、および VBATT 1/3 電圧監視を選択可能です。
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC12 で変換されてから、末端の応用機器で使用できます。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、アナログ入力電圧と基準電圧の比較、および変換結果に基づいたデジタル出力に使用できます。アナログ入力電圧と基準電圧は、どちらも内部ソース（D/A コンバータ出力または内部基準電圧）および外部ソースから ACMPHS に供給できます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。

表 1.10 ヒューマンマシンインタフェース

機能	機能の説明
キャプチャエンジンユニット (CEU)	キャプチャエンジンユニット (CEU) は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールです。

表 1.11 データ処理

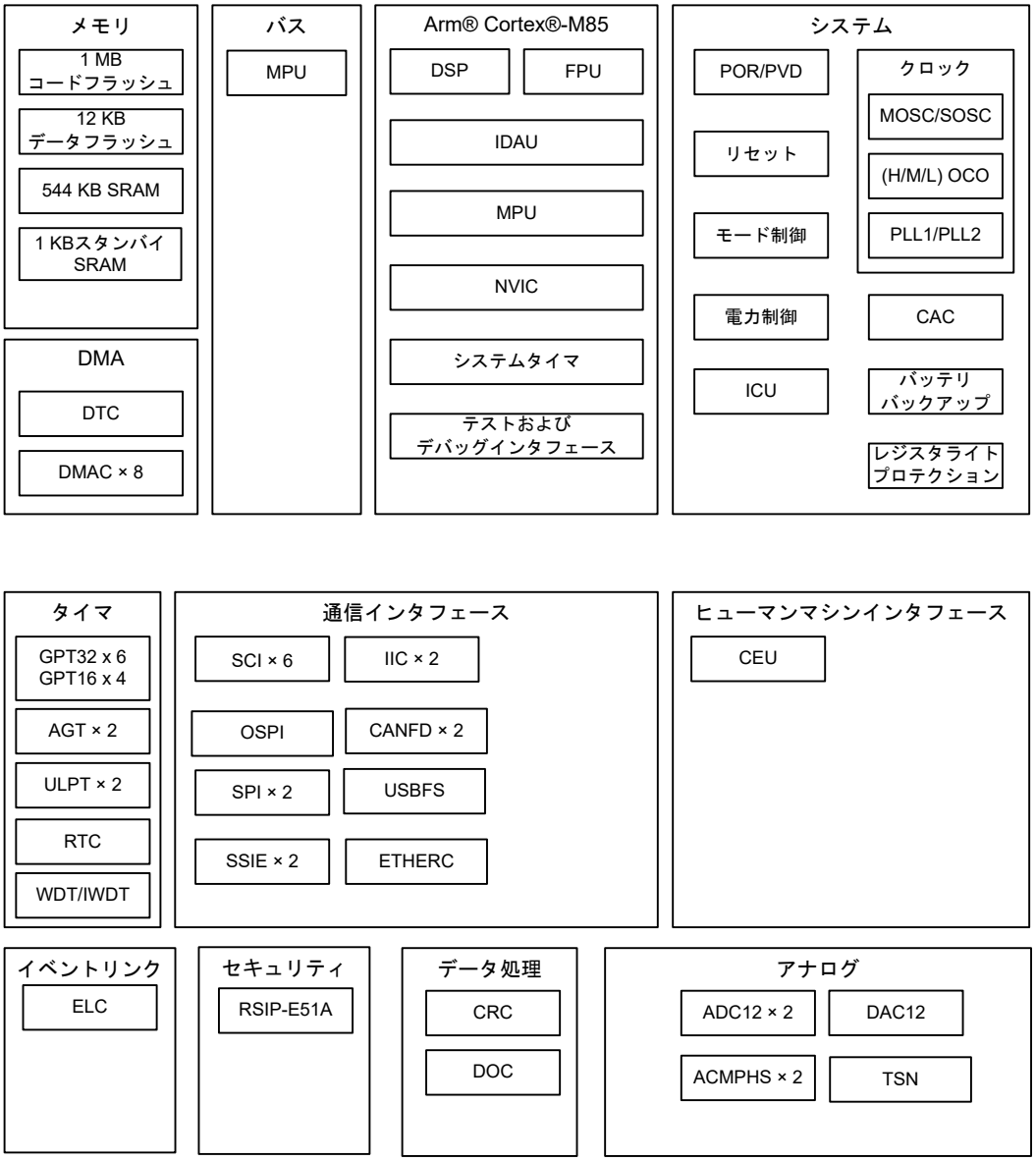
機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能は、特定のアドレスに対する読み出しと書き込みをモニタするのを許可します。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、32 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、32 ビットのデータが比較され、割り込みを生成可能です。

表 1.12 セキュリティ

機能	機能の説明
セキュリティ機能	● ARMv8-M TrustZone セキュリティ ● プリビレッジ制御 ● デバイスライフサイクル管理 ● 認証レベル (AL) ● キーインジェクション ● セキュア兼用端子 ● VBATT バックアップレジスタのゼロ化 ● セキュアブート ● セキュアファクトリプログラミング
Renesas セキュア IP (RSIP-E51A)	● 128 ビット真性乱数生成回路 ● 256 ビットハードウェアユニークキー (HUK) ● 128 ビットのユニーク ID

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。



注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.13 に、製品一覧表を示します。

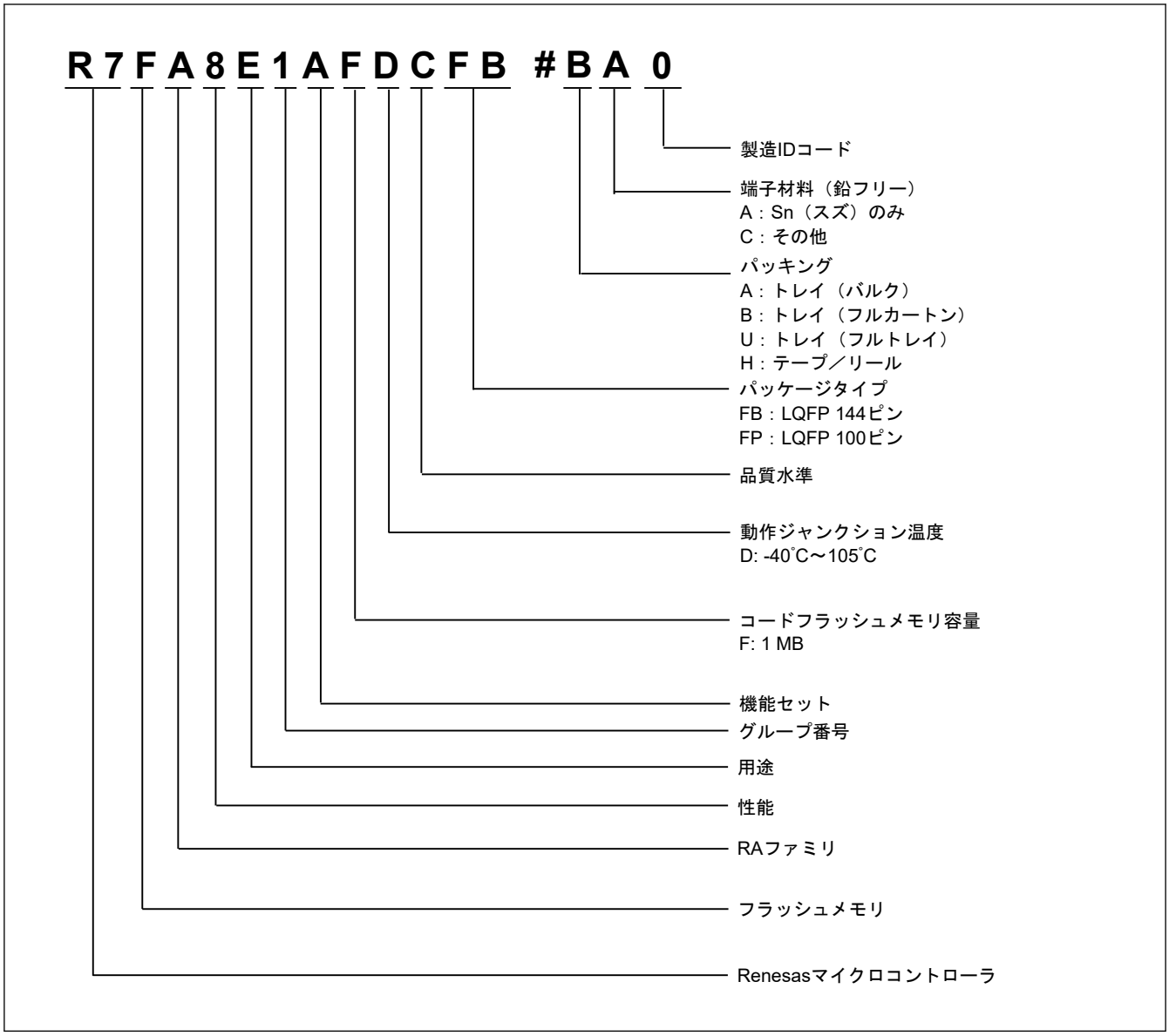


図 1.2 型名の読み方

表 1.13 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作ジャンクション温度
R7FA8E1AFDCFB	PLQP0144KA-B	1 MB	12 KB	544 KB	-40～+105℃
R7FA8E1AFDCFP	PLQP0100KP-A				

1.4 機能の比較

表 1.14 機能の比較

型名		R7FA8E1AFDCFB	R7FA8E1AFDCFP
端子総数		144	100
パッケージ		LQFP	
I/O ポート		106	70
コードフラッシュメモリ		1 MB	
データフラッシュメモリ		12 KB	
TCM		32 KB	
I/D キャッシュ		32 KB	
SRAM	パリティ	512 KB	
スタンバイ SRAM		1 KB	
DMA	DTC	あり	
	DMAC	8	
システム	CPU クロック	最高 360 MHz	
	CPU クロックソース	MOSC、SOSC、HOCO、MOCO、PLL1P	
	CAC	あり	
	WDT/IWDT	あり	
	バックアップレジスタ	128 B	
通信	SCI	6	
	IIC	2	
	SPI	2	
	CANFD	2	
	USBFS	あり	
	OSPI	あり	
	SSIE	2	1
	ETHERC	あり	
タイマ	GPT32(注1)	6	
	GPT16(注1)	4	
	AGT(注1)	2	
	ULPT(注1)	2	
	RTC	あり	
アナログ	ADC12	ユニット 0：8 ユニット 1：5	ユニット 0：6 ユニット 1：5
	DAC12	1	
	ACMPHS	2	
	TSN	あり	
HMI	CEU	あり	なし
データ処理	CRC	あり	
	DOC	あり	
イベント制御	ELC	あり	
セキュリティ		RSIP-E51A、セキュアデバッグ、TrustZone、ライフサイクル管理	

注 1. 使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。

1.5 端子機能

表 1.15 端子機能一覧 (1/5)

機能	信号	入出力	説明
電源	VCC、VCC2	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCC_DCDC	入力	スイッチングレギュレータ電源端子
	VLO	入出力	スイッチングレギュレータ端子
	VCL	入力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VBATT	入力	バッテリバックアップ電源端子
	VSS、VSS_DCDC	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	EXCIN	入力	外部サブクロック入力
	CLKOUT	出力	クロック出力端子
動作モード制御	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	TMS	入力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。
	TDATA0～TDATA3	出力	トレースデータ出力
	SWO	出力	シリアルワイヤトレース出力端子
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQn	入力	マスカブル割り込み要求端子
	IRQn-DS	入力	マスカブル割り込み要求端子は、ディープソフトウェアスタンバイモード時も使用できます。
GPT	GTETRGA、GTETRGB、GTETRGC、GTETRGD	入力	外部トリガ入力端子
	GTIOCnA、GTIOCnB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTADSM0、GTADSM1	出力	A/D 変換開始要求モニタリング出力端子

表 1.15 端子機能一覧 (2/5)

機能	信号	入出力	説明
AGT	AGTEEn	入力	外部イベント入力イネーブル信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOn	出力	パルス出力端子
	AGTOAn	出力	アウトプットコンペアマッチ A 出力端子
	AGTOBn	出力	アウトプットコンペアマッチ B 出力端子
ULPT	ULPTEEn	入力	外部カウント制御入力
	ULPTEVIn	入力	外部イベント入力
	ULPTOn	出力	パルス出力
	ULPTOAn	出力	アウトプットコンペアマッチ A 出力
	ULPTOBn	出力	アウトプットコンペアマッチ B 出力
	ULPTEEn-DS	入力	外部カウント制御入力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTEVIn-DS	入力	外部イベント入力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOn-DS	出力	パルス出力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOAn-DS	出力	アウトプットコンペアマッチ A 出力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOBn-DS	出力	アウトプットコンペアマッチ B 出力はディープソフトウェアスタンバイモード 1 時も使用できます。
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子
	RTCICn	入力	時間キャプチャイベント入力端子です。
SCI	SCKn	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	CTSn	入力	送信の開始用の入力端子
	DEn	出力	RS-485 用のドライバイネーブル信号
	SCLn	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
IIC	SCLn	入出力	クロック用の入出力端子
	SDAn	入出力	データ用の入出力端子
SPI	RSPCKA、RSPCKB	入出力	クロック入出力端子
	MOSIA、MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA、MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0、SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3、SSLB1～SSLB3	出力	スレーブ選択用の出力端子

表 1.15 端子機能一覧 (3/5)

機能	信号	入出力	説明
CANFD	CRXn	入力	受信データ
	CTXn	出力	送信データ
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB 内蔵トランシーバ D+端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出できます。
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへの VBUS (5 V) 供給許可信号
	USB_OVRCURA、USB_OVRCURB	入力	これらの端子には外部過電流検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください
	USB_OVRCURA-DS、USB_OVRCURB-DS	入力	USBFS 用のオーバーカレント端子はディープソフトウェアスタンバイモード 1 時も使用できます。 これらの端子には外部過電流検出信号を接続してください。 OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください
	USB_ID	入力	OTG 動作時に MicroAB コネクタの ID 入力信号を接続してください。
OSPI	OM_SCLK	出力	クロック出力（OCTACLK の 2 分周）
	OM_SCLKN	出力	反転クロック出力（OCTACLK の 2 分周）
	OM_CSn	出力	OctaFlash デバイス用チップセレクト信号、アクティブ Low
	OM_DQS	入出力	リードデータストローブ／ライトデータマスク信号
	OM_SIOn	入出力	データ入出力
	OM_RESET	出力	両スレーブデバイス用のリセット信号、アクティブ Low
	OM_ECSINT1	入力	スレーブ 1 のエラー訂正状態と割り込み
	OM_RSTO1	入力	スレーブ 1 のスレーブリセット状態
	OM_WP1	出力	スレーブ 1 の書き込み保護、アクティブ Low
SSIE	SSIBCK0、SSIBCK1	入出力	SSIE シリアルビットクロック端子
	SSILRCK0/SSIFS0、SSILRCK1/SSIFS1	入出力	LR クロック／フレーム同期端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA1	入出力	シリアルデータ入出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子（入力オーバーサンプリングクロック）

表 1.15 端子機能一覧 (4/5)

機能	信号	入出力	説明
ETHERC	REF50CK0	入力	50 MHz 基準クロック。この端子は、RMII モード時に送受信タイミング用の基準信号を入力します。
	RMII0_CRS_DV	入力	RMII モード時のキャリア検出信号。有効な受信データが RMII0_RXD1 と RMII0_RXD0 上にあることを示します。
	RMII0_TXDn	出力	RMII モード時、2 ビットの送信データ
	RMII0_RXDn	入力	RMII モード時、2 ビットの受信データ
	RMII0_TXD_EN	出力	RMII モード時のデータ送信イネーブル信号
	RMII0_RX_ER	入力	RMII モード時にデータ受信中にエラーが発生したことを示す信号
	ET0_CRS	入力	キャリア検出／データ受信イネーブル信号
	ET0_RX_DV	入力	有効な受信データが ET0_ERXD3～ET0_ERXD0 上にあることを示す信号
	ET0_EXOUT	出力	汎用外部出力端子
	ET0_LINKSTA	入力	PHY-LSI からのリンク状態を入力
	ET0_ETXDn	出力	MII の 4 ビット送信データ
	ET0_ERXDn	入力	MII の 4 ビット受信データ
	ET0_TX_EN	出力	送信イネーブル信号。ET0_ETXD3～ET0_ETXD0 上に送信データが準備できたことを示す信号として機能します。
	ET0_TX_ER	出力	送信エラー端子。送信中のエラーを PHY_LSI に通知する信号として機能します。
	ET0_RX_ER	出力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号として機能します。
	ET0_TX_CLK	入力	送信クロック端子。これらの端子は、ET0_TX_EN、ET0_ETXD3～ET0_ETXD0、および ET0_TX_ER からの出力タイミング用の基準信号を入力します。
	ET0_RX_CLK	入力	受信クロック端子。これらの端子は、ET0_RX_DV、ET0_ERXD3～ET0_ERXD0、および ET0_RX_ER への入力タイミング用の基準信号を入力します。
	ET0_COL	入力	衝突検出信号
	ET0_WOL	出力	Magic Packet 受信を示す信号
	ET0_MDC	出力	ET0_MDIO による情報転送用の基準クロック出力信号
	ET0_MDIO	入出力	PHY-LSI と管理情報を交換するための双方向入出力信号
アナログ電源	AVCC0	入力	アナログ電圧端子。それぞれのモジュールのアナログ電源端子として使用されます。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH	入力	ADC12（ユニット 1）と D/A コンバータ用のアナログ基準電圧端子。ADC12（ユニット 1）および D/A コンバータを使用しない場合は AVCC0 に接続してください。
	VREFL	入力	ADC12 および D/A コンバータのアナログ基準グランド端子。ADC12（ユニット 1）および D/A コンバータを使用しない場合は AVSS0 に接続してください。
	VREFH0	入力	ADC12（ユニット 0）用のアナログ基準電圧端子。ADC12（ユニット 0）を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12（ユニット 0）を使用しない場合は AVSS0 に接続してください。
ADC12	ANmn	入力	A/D コンバータで処理されるアナログ信号用の入力端子。（m：ADC ユニット番号、n：ピン番号）
	ADTRGm	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low

表 1.15 端子機能一覧 (5/5)

機能	信号	入出力	説明
DAC12	DA0	出力	D/A コンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOUT	出力	コンパレータ出力端子
	IVREFn	入力	コンパレータ用基準電圧入力端子
	IVCMPn	入力	コンパレータ用アナログ電圧入力端子
I/O ポート	Pmn	入出力	汎用入出力端子 （m：ポート番号、n：ピン番号）
	P200	入力	汎用入力端子
CEU	VIO_D7～VIO_D0	入力	CEU データバス端子
	VIO_CLK	入力	CEU クロック端子
	VIO_VD	入力	CEU 垂直同期端子
	VIO_HD	入力	CEU 水平同期端子

1.6 ピン配置図

以下にピン配置図（上面図）を示します。

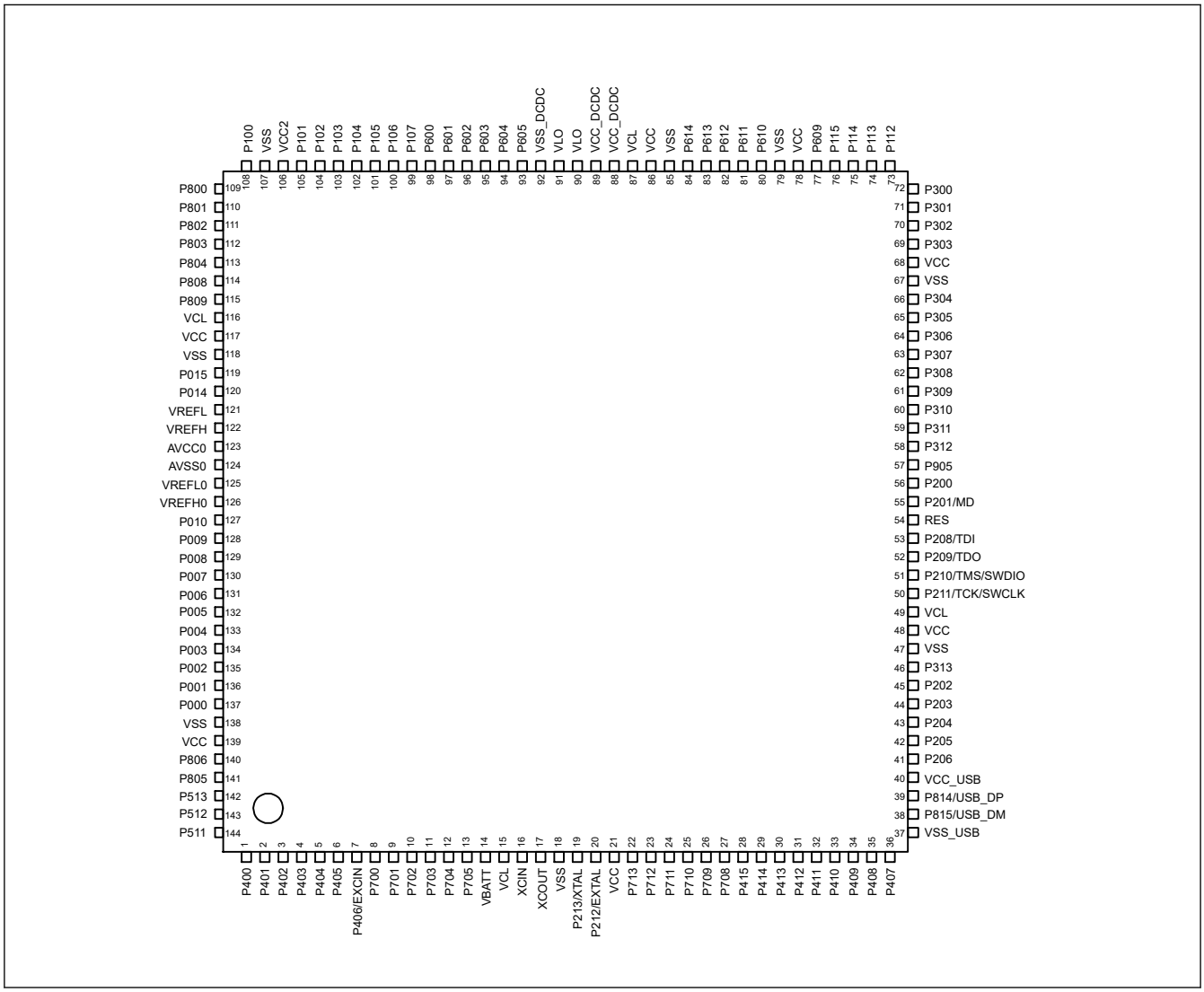


図 1.3 144 ピン LQFP のピン配置

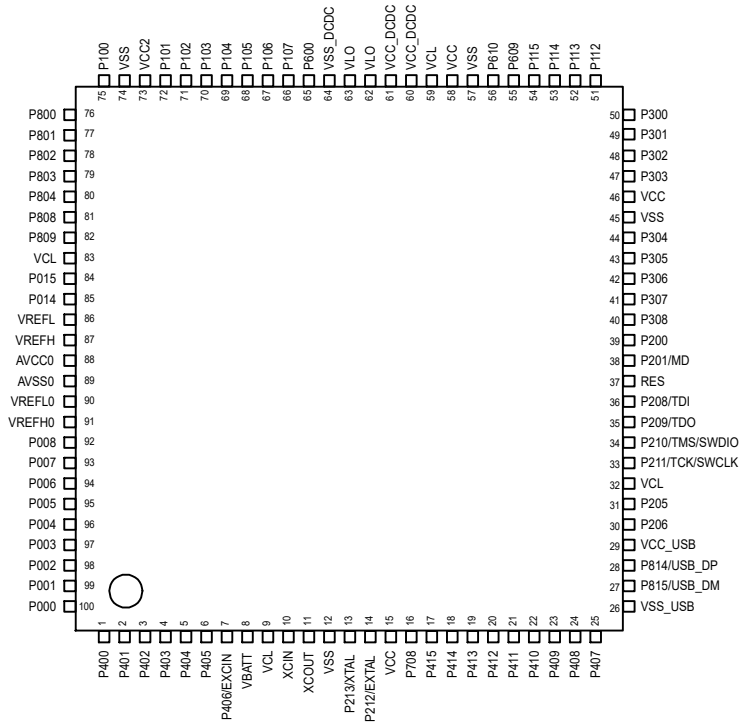


図 1.4 100 ピン LQFP のピン配置

1.7 端子一覧

表 1.16 端子一覧 (1/4)

LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/SPI/CANFD/USBFS/OSPI/SSIE/EHTERC (MII, RMII)	GPT/AGT/ULPT/RTC	ADC12/DAC12/ACMPHS	CEU
1	1	-	P400	IRQ0	TXD1_A/MOSI1_A/SDA1_A/AUDIO_CLK/ET0_WOL/ET0_WOL	AGTIO1	ADTRG1	VIO_D0
2	2	-	P401	IRQ5-DS	RXD1_A/MISO1_A/SCL1_A/CTX0/ET0_MDC/ET0_MDC	GTETRGA	-	VIO_D1
3	3	CACREF	P402	IRQ4-DS	SCK1_A/DE1/CRX0/AUDIO_CLK/ET0_MDIO/ET0_MDIO	RTCIC0	-	-
4	4	-	P403	IRQ14-DS	CTS_RTS4_A/SS4_A/DE1/SSIBCK0_A/ET0_LINKSTA/ET0_LINKSTA	GTIOC3A/RTCIC1	-	-
5	5	-	P404	IRQ15-DS	CTS1_A/SSILRCK0/SSIFS0_A/ET0_EXOUT/ET0_EXOUT	GTIOC3B/RTCIC2	-	VIO_D3
6	6	-	P405	-	SCK2_B/DE2/SSITXD0_A/ET0_TX_EN/RMII0_TXD_EN_B	GTIOC1A/AGTIO1	-	VIO_D2
7	7	EXCIN	P406	-	TXD2_B/MOSI2_B/SDA2_B/SSLA3_C/SSIRXD0_A/ET0_RX_ER/RMII0_TXD1_B	GTIOC1B	-	VIO_D3
8	-	-	P700	-	RXD2_B/MISO2_B/SCL2_B/MISOA_C/SSIDATA1_B/ET0_ETXD1/RMII0_TXD0_B	GTIOC5A	-	VIO_D4
9	-	-	P701	-	CTS_RTS2_B/SS2_B/DE2/MOSIA_C/SSILRCK1/SSIFS1_B/ET0_ETXD0/REF50CK0_B	GTIOC5B/ULPTO1	-	VIO_D5
10	-	-	P702	-	CTS2_B/RSPCKA_C/SSIBCK1_B/ET0_ERXD1/RMII0_RXD0_B	ULPTO0	-	VIO_D6
11	-	-	P703	-	SSLA0_C/ET0_ERXD0/RMII0_RXD1_B	AGTO1	VCOUT	VIO_D7
12	-	-	P704	-	SSLA1_C/CTX0/ET0_RX_CLK/RMII0_RX_ER_B	GTADSM0/AGTO0	-	-
13	-	-	P705	-	CTS1_B/SSLA2_C/CRX0/ET0_CRS/RMII0_CRS_DV_B	GTADSM1/AGTIO0	-	-
14	8	VBATT	-	-	-	-	-	-
15	9	VCL	-	-	-	-	-	-
16	10	XCIN	-	-	-	-	-	-
17	11	XCOUT	-	-	-	-	-	-
18	12	VSS	-	-	-	-	-	-
19	13	XTAL	P213	IRQ2	TXD1_C/MOSI1_C/SDA1_C	GTETRGC/GTIOC0A/ULPTEE0	ADTRG1	-
20	14	EXTAL	P212	IRQ3	RXD1_C/MISO1_C/SCL1_C	GTETRGD/GTIOC0B/AGTEE1	-	-
21	15	VCC	-	-	-	-	-	-
22	-	-	P713	-	-	GTIOC2A/AGTOA0	-	-
23	-	-	P712	-	-	GTIOC2B/AGTOB0	-	-
24	-	-	P711	-	-	AGTEE0	-	-
25	-	-	P710	-	CTS4_B	-	-	VIO_VD
26	-	-	P709	IRQ10	CTS_RTS4_B/SS4_B/DE4	-	-	VIO_HD
27	16	CACREF	P708	IRQ11	SCK4_B/DE4/SSLB3_B/AUDIO_CLK	-	-	VIO_CLK
28	17	-	P415	IRQ8	TXD4_B/MOSI4_B/SDA4_B/SSLB2_B/CTX1	GTADSM0/GTIOC0A	-	-
29	18	-	P414	IRQ9	RXD4_B/MISO4_B/SCL4_B/SSLB1_B/CRX1	GTADSM1/GTIOC0B	-	-
30	19	-	P413	-	SSLB0_B	ULPTEE1	-	-
31	20	-	P412	-	CTS3_A/RSPCKB_B/USB_EXICEN	AGTEE1	-	-
32	21	-	P411	IRQ4	CTS_RTS3_A/SS3_A/DE3/MOSIB_B/USB_ID	AGTOA1	-	-
33	22	-	P410	IRQ5	SCK3_A/DE3/SCL0_A/MISOB_B/USB_OVRCURB-DS	AGTOB1	-	-
34	23	-	P409	IRQ6	TXD3_A/MOSI3_A/SDA3_A/SDA0_A/USB_OVRCURA-DS	ULPTOA0	-	-
35	24	-	P408	IRQ7	CTS4_A/RXD3_A/MISO3_A/SCL3_A/SCL0_B/USB_VBUSEN	GTIOC10A/ULPTOB0	-	-
36	25	-	P407	-	CTS_RTS4_A/SS4_A/DE4/SDA0_B/SSLA3_A/USB_VBUS	GTIOC10B/AGTIO0/RTCOUT	ADTRG0	-
37	26	VSS_USB	-	-	-	-	-	-
38	27	-	P815	-	CTX0/USB_DM	-	-	-
39	28	-	P814	-	CRX0/USB_DP	-	-	-
40	29	VCC_USB	-	-	-	-	-	-
41	30	-	P206	IRQ0-DS	RXD4_A/MISO4_A/SCL4_A/SDA1_B/SSLA2_A/USB_VBUSEN/SSIDATA1_A	-	-	-

表 1.16 端子一覧 (2/4)

LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/SPI/CANFD/USBFS/OSPI/SSIE/EHTERC (MII, RMII)	GPT/AGT/ULPT/RTC	ADC12/DAC12/ ACMPHS	CEU
42	31	CLKOUT	P205	IRQ1-DS	TXD4_A/MOSI4_A/SDA4_A/SCL1_B/SSLA1_A/ USB_OVRCURA/SSILRCK1/SSIFS1_A	GTIOC4A/AGTO1	-	-
43	-	CACREF	P204	-	SCK4_A/DE4/SSLA0_A/USB_OVRCURB/SSIBCK1_A	GTIOC4B/AGTIO1	-	-
44	-	-	P203	IRQ2-DS	RSPCKA_A/CTX0	GTIOC5A/ULPTOA1	-	-
45	-	-	P202	IRQ3-DS	MOSIA_A/CRX0	GTIOC5B/ULPTOB1	-	-
46	-	-	P313	-	CTS3_C/MISOA_A	-	-	-
47	-	VSS	-	-	-	-	-	-
48	-	VCC	-	-	-	-	-	-
49	32	VCL	-	-	-	-	-	-
50	33	TCK/SWCLK	P211	-	SCK9_B/DE9	GTIOC0A	-	-
51	34	TMS/SWDIO	P210	-	CTS_RTS9_B/SS9_B/DE9	GTIOC0B	-	-
52	35	TDO/SWO/CLKOUT	P209	-	TXD9_B/MOSI9_B/SDA9_B/CTX1	GTIOC1A	-	-
53	36	TDI	P208	IRQ3	RXD9_B/MISO9_B/SCL9_B/CRX1	GTIOC1B	VCOUT	-
54	37	RES	-	-	-	-	-	-
55	38	MD	P201	-	-	-	-	-
56	39	-	P200	NMI	-	-	-	-
57	-	-	P905	IRQ8	CTS3_B	-	-	-
58	-	-	P312	-	CTS_RTS3_B/SS3_B/DE3/CTX0/ET0_TX_CLK	GTADSM0/AGTOA1	-	-
59	-	-	P311	-	SCK3_B/DE3/CRX0/ET0_TX_ER	GTADSM1/AGTOB1	-	-
60	-	-	P310	-	TXD3_B/MOSI3_B/SDA3_B/ET0_ETXD2	AGTEE1	-	-
61	-	-	P309	-	RXD3_B/MISO3_B/SCL3_B/ET0_ETXD3	-	-	-
62	40	TCLK	P308	-	CTS9_B/ET0_MDC/ET0_MDC	ULPTOB1	-	-
63	41	TDATA0	P307	-	ET0_MDIO/ET0_MDIO	ULPTOA1	-	-
64	42	TDATA1	P306	-	ET0_TX_EN/RMII0_TXD_EN_A	ULPTEVI1	-	-
65	43	TDATA2	P305	IRQ8	ET0_RX_ER/RMII0_TXD1_A	ULPTEE1	-	-
66	44	TDATA3	P304	IRQ9	ET0_ETXD1/RMII0_TXD0_A	ULPTO1	-	-
67	45	VSS	-	-	-	-	-	-
68	46	VCC	-	-	-	-	-	-
69	47	-	P303	-	ET0_ETXD0/REF50CK0_A	-	-	-
70	48	-	P302	IRQ5	ET0_ERXD1/RMII0_RXD0_A	GTIOC4A/ULPTO0-DS	-	-
71	49	-	P301	IRQ6	ET0_ERXD0/RMII0_RXD1_A	GTIOC4B/AGTIO0/ ULPTEE0-DS	-	-
72	50	-	P300	IRQ4	SCK0_A/DE0/SSLA3_B/ET0_RX_CLK/RMII0_RX_ER_A	GTIOC3A/ULPTEVI0-DS	-	-
73	51	-	P112	-	TXD0_A/MOSI0_A/SDA0_A/SSLA2_B/SSIBCK0_B/ ET0_CRS/RMII0_CRS_DV_A	GTIOC3B/ULPTOB0-DS	-	-
74	52	-	P113	-	RXD0_A/MISO0_A/SCL0_A/SSLA1_B/SSILRCK0/ SSIFS0_B/ET0_EXOUT/ET0_EXOUT	GTIOC2A/ULPTOA0-DS	-	-
75	53	-	P114	-	CTS0_RTS0_A/SS0_A/DE0/SSLA0_B/SSIRXD0_B/ ET0_LINKSTA/ET0_LINKSTA	GTIOC2B	-	-
76	54	-	P115	-	CTS0_A/MOSIA_B/SSITXD0_B/ET0_WOL/ET0_WOL	GTIOC5A	-	-
77	55	-	P609	-	TXD0_C/MOSI0_C/SDA0_C/MISOA_B/CTX1/ET0_RX_DV	GTIOC5B/ULPTOA1-DS	-	-
78	-	VCC	-	-	-	-	-	-
79	-	VSS	-	-	-	-	-	-
80	56	-	P610	-	RXD0_C/MISO0_C/SCL0_C/RSPCKA_B/CRX1/ET0_COL	GTIOC4A/ULPTOB1-DS	-	-
81	-	CLKOUT/CACREF	P611	-	SCK0_C/DE0/MOSIA_B/ET0_ERXD2	GTIOC4B	-	-
82	-	-	P612	-	CTS_RTS0_C/SS0_C/DE0/SSLA0_B/ET0_ERXD3	-	-	-
83	-	-	P613	-	CTS0_C	GTETRGA/AGTO1	-	-
84	-	-	P614	-	-	GTETRGB/AGTO0	-	-
85	57	VSS	-	-	-	-	-	-
86	58	VCC	-	-	-	-	-	-
87	59	VCL	-	-	-	-	-	-

表 1.16 端子一覧 (3/4)

LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/SPI/CANFD/USBFS/OSPI/SSIE/EHTERC (MII, RMII)	GPT/AGT/ULPT/RTC	ADC12/DAC12/ ACMPHS	CEU
88	60	VCC_DCDC	-	-	-	-	-	-
89	61	VCC_DCDC	-	-	-	-	-	-
90	62	VLO	-	-	-	-	-	-
91	63	VLO	-	-	-	-	-	-
92	64	VSS_DCDC	-	-	-	-	-	-
93	-	-	P605	-	CTS0_B	-	-	-
94	-	-	P604	-	CTS_RTS0_B/SS0_B/DE0	-	-	-
95	-	-	P603	-	TXD0_B/MOSI0_B/SDA0_B	ULPTO0	-	-
96	-	-	P602	-	RXD0_B/MISO0_B/SCL0_B	ULPTEE0	-	-
97	-	-	P601	-	SCK0_B/DE0/OM_WP1	ULPTEVI0/RTCOUT	-	-
98	65	CACREF	P600	-	OM_RSTO1	ULPTEVI1-DS	-	-
99	66	-	P107	-	OM_CS0	AGTOA0	-	-
100	67	-	P106	-	SSLB3_A/OM_RESET	AGTOB0/ULPTEE1-DS	-	-
101	68	-	P105	IRQ0	SSLB2_A/OM_ECSINT1	GTIOC1A/ULPTO1-DS	-	-
102	69	-	P104	IRQ1	CTS9_A/SSLB1_A/OM_CS1	GTETRGB/GTIOC1B	-	-
103	70	-	P103	-	CTS9_RTS9_A/SS9_A/DE9/SSLB0_A/CTX0/OM_SIO2	GTIOC2A	-	-
104	71	-	P102	-	TXD9_A/MOSI9_A/SDA9_A/RSPCKB_A/CRX0/OM_SIO4	GTIOC2B/AGTO0	ADTRG0	-
105	72	-	P101	IRQ1	RXD9_A/MISO9_A/SCL9_A/MOSIB_A/OM_SIO3	GTETRGB/AGTEE0	-	-
106	73	VCC2	-	-	-	-	-	-
107	74	VSS	-	-	-	-	-	-
108	75	-	P100	IRQ2	SCK9_A/DE9/MISOB_A/OM_SIO0	GTETRGA/AGTIO0	-	-
109	76	-	P800	IRQ11	CTS2_A/OM_SIO5	GTIOC11A/AGTOA0	-	-
110	77	-	P801	IRQ12	TXD2_A/MOSI2_A/SDA2_A/OM_DQS	GTIOC11B/AGTOB0	-	-
111	78	-	P802	-	RXD2_A/MISO2_A/SCL2_A/OM_SIO6	GTIOC12A	-	-
112	79	-	P803	-	SCK2_A/DE2/OM_SIO1	GTETRGC/GTIOC12B	-	-
113	80	-	P804	IRQ14	CTS_RTS2_A/SS2_A/DE2/OM_SIO7	GTETRGD/GTIOC13A	-	-
114	81	-	P808	IRQ15	OM_SCLK	GTIOC13B	-	-
115	82	-	P809	-	OM_SCLKN	-	-	-
116	83	VCL	-	-	-	-	-	-
117	-	VCC	-	-	-	-	-	-
118	-	VSS	-	-	-	-	-	-
119	84	-	P015	IRQ13	-	-	AN105	-
120	85	-	P014	-	-	-	AN007/DA0	-
121	86	VREFL	-	-	-	-	-	-
122	87	VREFH	-	-	-	-	-	-
123	88	AVCC0	-	-	-	-	-	-
124	89	AVSS0	-	-	-	-	-	-
125	90	VREFL0	-	-	-	-	-	-
126	91	VREFH0	-	-	-	-	-	-
127	-	-	P010	IRQ14	-	-	AN005/IVCMP0	-
128	-	-	P009	IRQ13-DS	-	-	AN006	-
129	92	-	P008	IRQ12-DS	-	-	AN008	-
130	93	-	P007	-	-	-	AN004	-
131	94	-	P006	IRQ11-DS	-	-	AN002/IVCMP3	-
132	95	-	P005	IRQ10-DS	-	-	AN001	-
133	96	-	P004	IRQ9-DS	-	-	AN000/IVCMP2	-
134	97	-	P003	-	-	-	AN104/IVREF1	-
135	98	-	P002	IRQ8-DS	-	-	AN102/IVCMP3	-
136	99	-	P001	IRQ7-DS	-	-	AN101/IVREF0	-

表 1.16 端子一覧 (4/4)

LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/SPI/CANFD/USBFS/OSPI/SSIE/EHTERC (MII, RMII)	GPT/AGT/ULPT/RTC	ADC12/DAC12/ACMPHS	CEU
137	100	-	P000	IRQ6-DS	-	-	AN100/IVCMP2	-
138	-	VSS	-	-	-	-	-	-
139	-	VCC	-	-	-	-	-	-
140	-	-	P806	IRQ0	-	-	-	-
141	-	-	P805	-	-	-	-	-
142	-	-	P513	-	-	-	IVCMP0	VIO_FLD
143	-	-	P512	IRQ14	SCL1_A/CTX1	GTIOC0A	-	-
144	-	-	P511	IRQ15	SDA1_A/CRX1	GTIOC0B	-	-

注. いくつかの端子名には、_A、_B、および_C という接尾語が付加されています。これらの接尾語には、電気的特性に対しては特別な条件があります。

2. 電気的特性

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

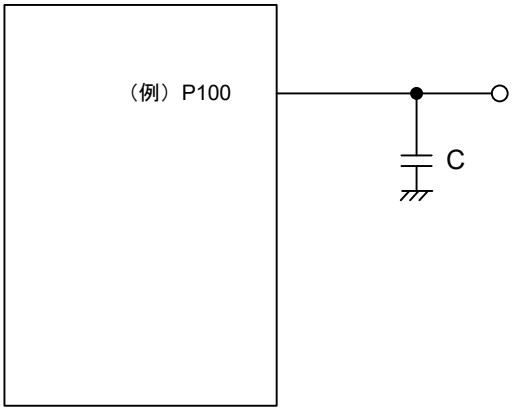
サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC = VCC_DCDC = VCC_USB = VBATT = 1.68～3.6 V
- VCC2 = 1.65～3.6 V
- AVCC0 = 1.65～3.6 V
- VREFH0 = 2.7 V～AVCC0
- VREFH = 1.65 V～AVCC0
- VSS = VSS_DCDC = AVSS0 = VREFL0/VREFL = VSS_USB = 0 V
- VCC 電圧が 2.7 V 未満のとき、LVOCR.LVO0E = 1。それ以外のとき、LVOCR.LVO0E = 0。
- VCC2 電圧が 2.7 V 未満のとき、LVOCR.LVO1E = 1。それ以外のとき、LVOCR.LVO1E = 0。
- $T_j = T_{opj}$

特に記載のない限り、標準値は室温 25°C、VCC = VCC_DCDC = VCC_USB = VBATT = AVCC0 = VREFH0 = VREFH = 3.3 V で測定しています。

図 2.1 にタイミング条件を示します。



V_{OH} = VCC/VCC2 × 0.7, V_{OL} = VCC/VCC2 × 0.3
V_{IH} = VCC/VCC2 × 0.7, V_{IL} = VCC/VCC2 × 0.3
負荷容量C = 30 pF

図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

2.1 絶対最大定格

表 2.1 絶対最大定格 (1/2)

項目	シンボル	値	単位
電源電圧	VCC, VCC2, VCC_DCDC, VCC_USB(注2)	-0.3～+4.0	V
外部電源電圧	VCL	-0.3～+1.6	V
VBATT 電源電圧	VBATT	-0.3～+4.0	V

表 2.1 絶対最大定格 (2/2)

項目	シンボル	値	単位
入力電圧（5 V トレラントポートを除く(注1)）	V_{in}	-0.3～VCC + 0.3 または-0.3～VCC2 + 0.3	V
入力電圧（5 V トレラントポート(注1)）	V_{in}	-0.3～+ VCC + 4.0（最大 5.8）	V
リファレンス電源電圧	VREFH/VREFH0	-0.3～AVCC0 + 0.3	V
アナログ電源電圧	AVCC0	-0.3～+4.0	V
アナログ入力電圧	V_{AN}	-0.3～AVCC0 + 0.3	V
動作ジャンクション温度(注3)	T_{opj}	-40～+105	℃
保存温度	T_{stg}	-55～+125	℃

注 1. ポート P205、P206、P402～P404、P406～P415、P511、P512、P709～P715、PB01 は、5 V トレラント対応ポートです。
注 2. VCC_DCDC および VCC_USB を VCC に接続してください。
注 3. 「2.2.1. Tj/Ta の定義」を参照してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 2.2 推奨動作条件

項目	シンボル		Min	Typ	Max	単位
電源電圧	VCC, VCC_DCDC	下記以外	1.68	—	3.60	V
		ETHERC/IIC ファストモード+使用時	2.70	—	3.60	V
		USB 使用時	3.00	—	3.60	V
	VCC2		1.65	—	3.60	V
	VCL	外部 VDD 使用時(注2)	1.20	—	1.25	V
		DCDC 使用時（High-speed モード）	—	1.21	—	V
		DCDC 使用時（Low-speed モードまたはソフトウェアスタンバイモード）	—	1.18	—	V
	VSS, VSS_DCDC		—	0	—	V
USB 電源電圧	VCC_USB		—	VCC	—	V
	VSS_USB		—	0	—	V
VBATT 電源電圧	VBATT		1.62	—	3.60	V
アナログ電源電圧	AVCC0(注1)	ADC 未使用時	1.65	—	3.60	V
		ADC 使用時	2.70	—	3.60	V
	AVSS0		—	0	—	V

注 1. A/D コンバータ、D/A コンバータ、および高速アナログコンパレータを使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子、および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS にそれぞれ接続してください。
注 2. VCL 電圧が VCC 電圧を超えることのないようにしてください。

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

項目	シンボル	Typ	Max	単位	測定条件
許容動作ジャンクション温度	T_j	—	105	℃	High-speed モード Low-speed モード

注. $T_j = T_a + \theta_{ja} \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + (I_{CC}max + I_{CC_DCDC}max) \times VCC$ です。

注. 最低周囲温度 (Ta) は -40℃です。

2.2.2 I/O V_{IH}, V_{IL}

表 2.4 シュミットトリガ入力端子以外の I/O V_{IH}、V_{IL}

項目		VCC/VCC2/AVCC0	シンボル	Min	Typ	Max	単位
周辺機能端子	EXTAL（外部クロック入力）、WAIT、SPI(注1)（RSPCK を除く）	1.68 V 以上	V_{IH}	VCC × 0.8	—	—	V
			V_{IL}	—	—	VCC × 0.2	
	SPI(注2)（RSPCKB_A を除く）	1.65 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
	OSPI（OM_RSTO1 および OM_ECSINT1 を除く）	2.70 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
		1.65 V 以上	V_{IH}	VCC2 × 0.7	—	VCC2 + 0.3	
			V_{IL}	VSS - 0.3	—	VCC2 × 0.3	
	TMS、TDI、TCK、SWDIO、SWCLK	1.68 V 以上	V_{IH}	VCC × 0.7	—	—	
			V_{IL}	—	—	VCC × 0.3	
	ETHERC	2.70 V 以上	V_{IH}	2.3	—	—	
			V_{IL}	—	—	VCC × 0.2	
	IIC (SMBus)	2.70 V 以上	V_{IH}	2.1	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	0.8	
	RTCIC0, RTCIC1, RTCIC2, EXCIN（VCC 電源選択時）	1.68 V 以上	V_{IH}	0.9	—	3.9	
			V_{IL}	—	—	0.3	
	RTCIC0, RTCIC1, RTCIC2, EXCIN（VBATT 電源選択時）		V_{IH}	0.9	—	3.9	
			V_{IL}	—	—	0.3	

注 1. SPI0_A、SPI0_B、SPI0_C、および SPI1_B
注 2. SPI1_A
注 3. P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）に関連する RES および周辺機能端子。
注 4. 表で説明した周辺機能端子を除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。
注 5. P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）。
注 6. 表で説明したポートを除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。
注 7. VCC が 1.68 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

表 2.5 シュミットトリガ入力端子の I/O V_{IH}、V_{IL}

項目		VCC/VCC2/AVCC0	シンボル	Min	Typ	Max	単位
周辺機能端子	IIC（SMBus を除く）	1.68 V 以上	V_{IH}	VCC × 0.7	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
	5 V トレラントポート(注3)(注7)	1.68 V 以上	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	その他の VCC 入力端子(注4)	1.68 V 以上	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	その他の VCC2 入力端子(注4)	1.65 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
			ΔV_T	VCC2 × 0.05	—	—	
	その他の AVCC0 入力端子(注4)	1.65 V 以上	V_{IH}	AVCC0 × 0.8	—	—	
			V_{IL}	—	—	AVCC0 × 0.2	
			ΔV_T	AVCC0 × 0.05	—	—	
ポート	5 V トレラントポート(注5)(注7)	1.68 V 以上	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.2	
	その他の VCC 入力端子(注6)	1.68 V 以上	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
	その他の VCC2 入力端子(注6)	1.65 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
	その他の AVCC0 入力端子(注6)	1.65 V 以上	V_{IH}	AVCC0 × 0.8	—	—	
			V_{IL}	—	—	AVCC0 × 0.2	

注 1. SPI0_A、SPI0_B、SPI0_C、および SPI1_B
注 2. SPI1_A
注 3. P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）に関連する RES および周辺機能端子。
注 4. 表で説明した周辺機能端子を除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。
注 5. P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）。
注 6. 表で説明したポートを除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。
注 7. VCC が 1.68 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

2.2.3 I/O I_{OH}, I_{OL}

表 2.6 I/O I_{OH}, I_{OL} (1/2)

項目			VCC/ VCC2/ AVCC0	シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	ポート P000～P010、P014、P015、P201	—	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
	ポート P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
	ポート P100～P103、P304～P308、P800～P804、P808～P809（合計 16 端子）	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-16	mA
				I_{OL}	—	—	16.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
	その他の出力端子(注5)	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-16	mA
				I_{OL}	—	—	16.0	mA

表 2.6 I/O I_{OH}, I_{OL} (2/2)

項目			VCC/ VCC2/ AVCC0	シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの最大値）	ポート P000～P010、P014、P015、P201	—	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
	ポート P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-40	mA
				I_{OL}	—	—	40.0	mA
	ポート P100～P103、P304～P308、P800～P804、P808～P809（合計 16 端子）	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-32	mA
				I_{OL}	—	—	32.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-40	mA
				I_{OL}	—	—	40.0	mA
	その他の出力端子(注5)	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-32	mA
				I_{OL}	—	—	32.0	mA
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC I/O	1.68 V 以上	ΣI_{OH} (max)	—	—	-80	mA
		VCC2 I/O	1.65 V 以上		—	—	-80	
		AVCC0 I/O	1.65 V 以上		—	—	-33	
		VCC および VCC2 I/O	1.65 V 以上	ΣI_{OL} (max)	—	—	80	mA
		AVCC0 I/O	1.65 V 以上		—	—	33	

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 4. PmnPFS レジスタのポート駆動能力で高速高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 5. 入力ポートである P200 を除きます。

【使用上の注意】MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μs の間に計測した電流の平均値を意味します。

2.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 2.7 I/O V_{OH}、V_{OL}、その他の特性 (1/2)

項目		VCC/VCC2/AVCC0	シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC	2.70 V 以上	V_{OL}	—	—	0.4	V	I_{OL} = 3.0 mA
			V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
		1.68 V 以上	V_{OL}	—	—	VCC × 0.2		I_{OL} = 3.0 mA
			V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
	IIC(注1)	2.70 V 以上	V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (ICFER.FMPE = 1)
			V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (ICFER.FMPE = 1)
	ETHERC	2.70 V 以上	V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.4		I_{OL} = 1.0 mA
	ポート P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）(注2)	—	V_{OH}	VCC - 1.0	—	—		I_{OH} = -20 mA VCC = 3.3 V
		—	V_{OL}	—	—	1		I_{OL} = 20 mA VCC = 3.3 V
	その他の出力端子	1.68 V 以上	V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
		1.65 V 以上	V_{OH}	VCC2 − 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
			V_{OH}	AVCC0 − 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
入力リーク電流	RES	1.68 V 以上	$\|I_{in}\|$	—	—	5.0	μA	V_{in} = 0 V V_{in} = 5.5 V
	ポート P200	1.68 V 以上		—	—	1.0		V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラントポート	1.68 V 以上	$\|I_{TSI}\|$	—	—	5.0	μA	V_{in} = 0 V V_{in} = 5.5 V
	その他のポート（P200 を除く）	1.68 V 以上		—	—	1.0		V_{in} = 0 V V_{in} = VCC
		1.65 V 以上		—	—	1.0		V_{in} = 0 V V_{in} = VCC2, AVCC0
入力プルアップ MOS 電流	ポート P0～P9	2.70 V 以上	I_p	-300	—	-10	μA	VCC, VCC2, AVCC0 = 2.7～3.6 V V_{in} = 0 V
		1.68 V 以上		-300	—	-5	μA	VCC = 1.68～3.6 V V_{in} = 0 V
		1.65 V 以上		-300	—	-5	μA	VCC2, AVCC0 = 1.65～3.6 V V_{in} = 0 V

表 2.7 I/O V_{OH}、V_{OL}、その他の特性 (2/2)

項目		VCC/VCC2/AVCC0	シンボル	Min	Typ	Max	単位	測定条件
入力容量	ポート P014、P015	—	C_{in}	—	—	16	pF	Vbias = 0 V Vamp = 20 mV f = 1 MHz Ta = 25℃
	ポート P814/USB_DP、P815/USB_DM	—		—	—	12		
	ポート P400、P401、P409、P410、P511、P512	—		—	—	10		
	その他の入力端子	—		—	—	8		

注 1. SCL0_A、SDA0_A、SCL1_A、SDA1_A（合計 4 端子）。
注 2. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。
選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

2.2.5 動作電流とスタンバイ電流

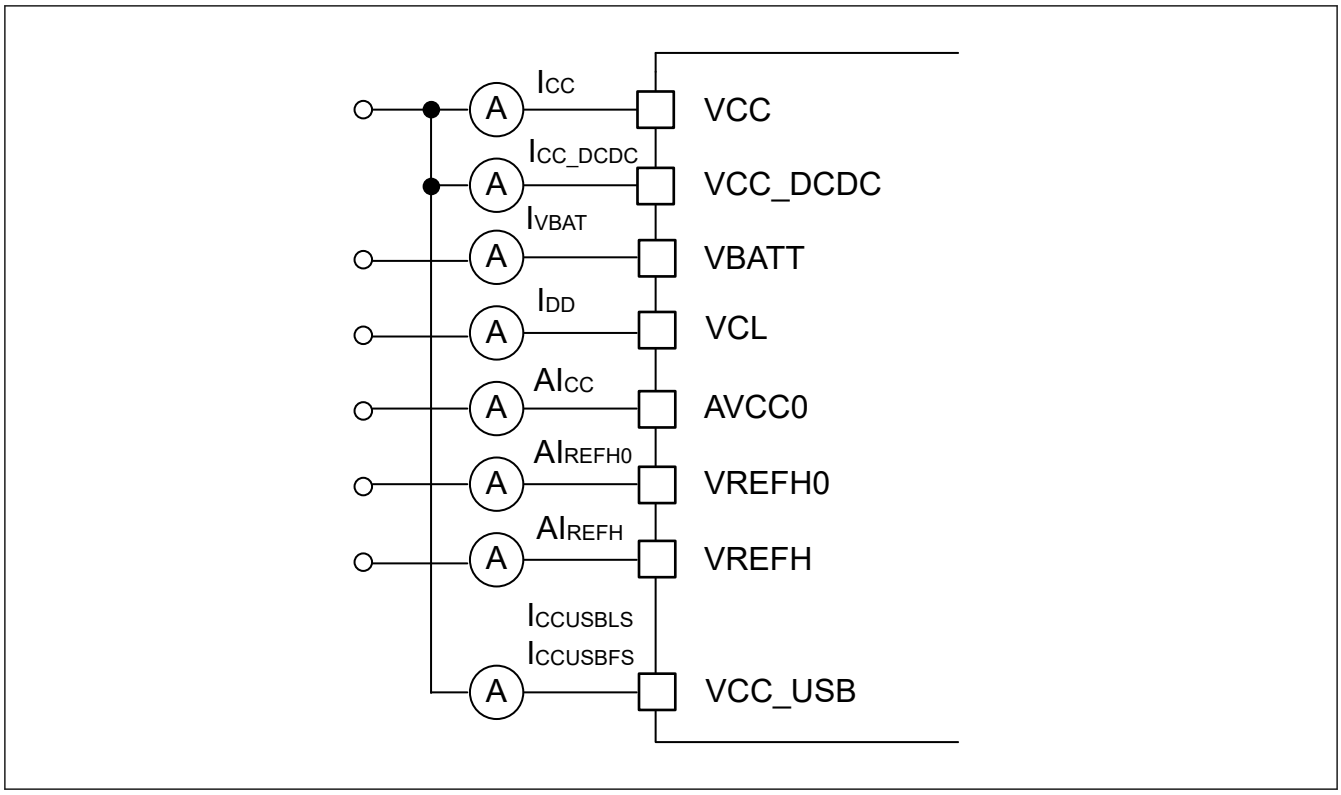


図 2.2 消費電流測定図

表 2.8 High-speed モード、極大条件（MVE および周辺機能動作）（DCDC モード）における電流

項目			シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	—		I_{CC}	2.8	7.05	mA	
	CPUCLK = 360 MHz	VCC_DCDC ≧2.5 V	I_{CC_DCDC} (注5)	122	243	mA	VCC_DCDC = 3.3 V CPUCLK = 360 MHz、ICLK = 120 MHz、 PCLKA = 120 MHz、PCLKB = 60 MHz、 PCLKC = 60 MHz、PCLKD = 120 MHz、 PCLKE = 120 MHz、FCLK = 60 MHz
			I_{DD}(注3)	287	501		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注5)	224	320		VCC_DCDC = 1.8 V
			I_{DD}	287	400(注4)		
	CPUCLK = 240 MHz	VCC_DCDC ≧2.5 V	I_{CC_DCDC} (注5)	95	210	mA	VCC_DCDC = 3.3 V CPUCLK = 240 MHz、ICLK = 240 MHz、 PCLKA = 120 MHz、PCLKB = 60 MHz、 PCLKC = 60 MHz、PCLKD = 120 MHz、 PCLKE = 120 MHz、FCLK = 60 MHz
			I_{DD}(注3)	224	432		
		VCC_DCDC < 2.5 V	I_{CC_DCDC} (注5)	175	320		VCC_DCDC = 1.8 V
			I_{DD}	224	400(注4)		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式に従って f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.68 × f CPUCLK + 0.41 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. VCC_DCDC < 2.5 V において、動作時の実消費電流はここに示す電流値を上回らないこと。
注 5. 標準 DCDC 効率が適用されます。

表 2.9 High-speed モード、極大条件（MVE および周辺機能動作）（外部 VDD モード）における電流

項目	CPUCLK 周波数	シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	—	I_{CC}	2.8	7.05	mA	
	CPUCLK = 360 MHz	I_{DD}(注3)	287	501	mA	CPUCLK = 360 MHz、ICLK = 120 MHz、 PCLKA = 120 MHz、PCLKB = 60 MHz、 PCLKC = 60 MHz、PCLKD = 120 MHz、 PCLKE = 120 MHz、FCLK = 60 MHz
	CPUCLK = 240 MHz	I_{DD}(注3)	224	432	mA	CPUCLK = 240 MHz、ICLK = 240 MHz、 PCLKA = 120 MHz、PCLKB = 60 MHz、 PCLKC = 60 MHz、PCLKD = 120 MHz、 PCLKE = 120 MHz、FCLK = 60 MHz

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式に従って f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.68 × f CPUCLK + 0.41 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）

表 2.10 High-speed モード、最大データ処理（MVE 動作）、周辺クロック ON（DCDC モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	CPUCLK = 360 MHz	I_{CC_DCDC}(注4)	119	228	mA	VCC_DCDC = 3.3 V (注5)
		I_{DD}(注3)	279	469		
	CPUCLK = 240 MHz	I_{CC_DCDC}(注4)	92	194		
		I_{DD}(注3)	215	399		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式に従って f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.67 × f CPUCLK + 0.29 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. 標準 DCDC 効率が適用されます。
注 5. 極大条件下と同じ周波数条件が適用されます。

表 2.11 High-speed モード、最大データ処理（MVE 動作）、周辺クロック ON（外部 VDD モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	CPUCLK = 360 MHz	I_{DD}(注3)	279	469	mA	(注4)
	CPUCLK = 240 MHz	I_{DD}(注3)	215	399		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式に従って f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.67 × f CPUCLK + 0.29 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. 極大条件下と同じ周波数条件が適用されます。

表 2.12 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（DCDC モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	CPUCLK = 360 MHz	I_{CC_DCDC}(注4)	111	216	mA	VCC_DCDC = 3.3 V (注5)
		I_{DD}(注3)	261	445		
	CPUCLK = 240 MHz	I_{CC_DCDC}(注4)	83	181		
		I_{DD}(注3)	194	373		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式に従って f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.68 × f CPUCLK + 0.17 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. 標準 DCDC 効率が適用されます。
注 5. 極大条件下と同じ周波数条件が適用されます。

表 2.13 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（外部 VDD モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	CPUCLK = 360 MHz	I_{DD}(注3)	261	445	mA	(注4)
	CPUCLK = 240 MHz	I_{DD}(注3)	194	373		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式に従って f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.68 × f CPUCLK + 0.17 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. 極大条件下と同じ周波数条件が適用されます。

表 2.14 High-speed モード、CPU スリープモード（DCDC モードおよび外部 VDD モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注3)(注4)	CPUCLK = 240 MHz	I_{DD}(注2)	29	216	mA	—

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. I_{DD} は、下記の式に従って f（CPUCLK および ICLK）に依存します。
I_{DD} Typ. = 0.063 × f CPUCLK + 0.13 × fICLK + 17.6（単位：mA、ただし fCPUCLK および fICLK については MHz）
I_{DD} Max. = 0.063 × f CPUCLK + 0.13 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 4. ICLK、FCLK、PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE は、64 分周に設定されています。

表 2.15 High-speed モード、CPU ディープスリープモード（DCDC モードおよび外部 VDD モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注3)(注4)	CPUCLK = 240 MHz	I_{DD}(注2)	12	85	mA	—

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. I_{DD} は、下記の式に従って f (ICLK) に依存します。
I_{DD} Typ. = 0.13 × fICLK + 5（単位：mA、ただし fCPUCLK および fICLK については MHz）
I_{DD} Max. = 0.13 × fICLK + 69（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 4. ICLK、FCLK、PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE は、64 分周に設定されています。

表 2.16 BGO 動作時の増加分（DCDC モードおよび外部 VDD モード）

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)	データフラッシュ P/E	I_{CC}	6	—	mA	—
	コードフラッシュ P/E		8	—		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

表 2.17 Low-speed モード（DCDC モード）における電流

項目	シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)(注3)	I_{DD}	14.5	—	mA	CPUCLK = ICLK = 1 MHz

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. FCLK、PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE は、64 分周 (15.6 kHz) に設定されています。

表 2.18 スタンバイ電流（DCDC モード）

項目				シンボル	Typ	Max	単位	測定条件
消費電流 (注1)		ソフトウェアスタンバイモード(注2)		I_{CC}	0.02	0.94	mA	—
		SRAM と TCM のデータは保持されます。		I_{CC_DCDC}	0.88	28.29		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0～6) PDRAMSCR1.RKEEP0 = 1
		SRAM と TCM のデータは保持されません。		I_{CC_DCDC}	0.83	26.64		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0～6) PDRAMSCR1.RKEEP0 = 0
		ディープソフトウェアスタンバイモード 1		I_{CC}	5.21	148	μA	—
				I_{CC_DCDC}	0.57	5.50		—
		機能起動時に増加	スタンバイ SRAM のデータは保持されます。	I_{CC}	0.12	2.60		—
			PVD0、PVD1、PVD2、またはバッテリ電源スイッチ		表 2.20 を参照			—
			LOCO 使用時		3.10	—		—
			水晶振動子および RTC		表 2.21 を参照			—
			IWDT および ULPT（すべてのユニット）が動作中		0.07	—		—
		ディープソフトウェアスタンバイモード 2		I_{CC}	1.68	43.99		—
				I_{CC_DCDC}	0.57	5.50		—
		機能起動時に増加	PVD0、PVD1、PVD2、またはバッテリ電源スイッチ	I_{CC}	表 2.20 を参照してください。			—
			水晶振動子および RTC		表 2.21 を参照			—
		ディープソフトウェアスタンバイモード 3		I_{CC}	0.99	42.90		—
				I_{CC_DCDC}	0.57	5.50		—
		機能起動時に増加	水晶振動子および RTC		表 2.21 を参照			—
	VCC オフ時の RTC 動作（バッテリバックアップ機能により、RTC のみ動作）	水晶振動子を低消費電力モード 3 で使用時		I_{VBAT}	0.52	—		VBATT = 1.8 V、VCC = 0 V
					1.05	—		VBATT = 3.3 V、VCC = 0 V
		水晶振動子を低消費電力モード 2 で使用時			0.56	—		VBATT = 1.8 V、VCC = 0 V
					1.10	—		VBATT = 3.3 V、VCC = 0 V
		水晶振動子を低消費電力モード 1 で使用時			0.62	—		VBATT = 1.8 V、VCC = 0 V
					1.17	—		VBATT = 3.3 V、VCC = 0 V
		水晶振動子を標準モードで使用時			0.93	—		VBATT = 1.8 V、VCC = 0 V
					1.50	—		VBATT = 3.3 V、VCC = 0 V
		EXCIN 使用時			0.37	—		VBATT = 1.8 V、VCC = 0 V
					0.86	—		VBATT = 3.3 V、VCC = 0 V
		機能起動時に増加	RTCICn (n = 0～2) 入力または EXCIN 使用時の共通回路		0.04	—		VBATT = 1.8 V、VCC = 0 V
					0.04	—		VBATT = 3.3 V、VCC = 0 V
			RTCICn (n = 0～2) 入力をチャネルごとに使用中		0.02	—		VBATT = 1.8 V、VCC = 0 V
					0.02	—		VBATT = 3.3 V、VCC = 0 V

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 外部クロックを使用する場合、EXTAL 端子はプルアップまたはプルダウンです。クロックがトグルされる場合、ソフトウェアスタンバイモードの電流消費は、通常の条件下では 48 MHz で 130 μA 増加します。

表 2.19 Coremark およびノーマルモード電流（DCDC および外部電源モード）

項目			シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	Coremark	キャッシュはオフ、フラッシュから実行	I_{DD}	165	—	μA/MHz	CPUCLK = 360 MHz ICLK = 120 MHz PCLKA = 30 MHz PCLKB = 30 MHz PCLKC = 30 MHz PCLKD = 30 MHz PCLKE = 30 MHz FCLK = 30 MHz
	通常モード	すべての周辺機器が無効、キャッシュはオフ、(1) コードはフラッシュから実行		137	—		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

表 2.20 ディープソフトウェアスタンバイモード 1 と 2 で PVD0、PVD1、PVD2、またはバッテリ電源スイッチ有効時の増加

項目		シンボル	Typ	Max	単位	測定条件
消費電流	ディープソフトウェアスタンバイモード 1 で PVDn (n = 0～2) またはバッテリ電源スイッチを有効化する時の共通回路	I_{CC}	4.51	—	μA	—
	ディープソフトウェアスタンバイモード 2 で PVDn (n = 0～2) またはバッテリ電源スイッチを有効化する時の共通回路		4.97	—		—
	OFS1(_SEC).PVDLPSEL = 1 で有効化された PVD0		2.16	—		—
	PVD1 有効		2.16	—		—
	PVD2 有効		2.16	—		—
	バッテリ電源スイッチが次の条件で有効：(注1) ● バッテリ電源スイッチは有効 (VBTBPCR1.BPWSWSTP = 0)、電圧監視 0 リセットは有効 (OFS1(_SEC).PVDAS = 0)、PVD0 の低消費電力機能は無効 (OFS1(_SEC).PVDLPSEL = 1) ● バッテリ電源スイッチは有効 (VBTBPCR1.BPWSWSTP = 0)、電圧監視 0 リセットは無効 (OFS1(_SEC).PVDAS = 1)		2.16	—		—

注 1. これ以外の条件で消費電力は増加しません。

表 2.21 ディープソフトウェアスタンバイモード 1/2/3 でサブクロック発振器および RTC が有効の時の増加

項目			シンボル	Typ	Max	単位	測定条件
消費電流	水晶振動子を使用時	低消費電力モード 3	I_{CC}	0.22	—	μA	—
		低消費電力モード 2		0.27	—		—
		低消費電力モード 1		0.34	—		—
		標準モード		0.67	—		—
	RTC が動作中			0.33	—		—

表 2.22 インラッシュカレント

項目				シンボル	Typ	Max	単位	測定条件
消費電流	ディープソフトウェアスタンバイからの復帰時のインラッシュカレント	VCC_DCDC のインラッシュカレント(注1)	DPSBYCR.DCSSMODE = 0	I_{RUSH}	—	630	mA	—
			DPSBYCR.DCSSMODE = 1		—	1020		—

注 1. 参考値

表 2.23 動作電流（アナログ）

項目				シンボル	Typ	Max	単位	測定条件
消費電流(注1)	発振器	メインクロック発振器		I_{CC}	0.48	—	mA	MOMCR.MODRV0[2:0] = 000b
					0.58	—	mA	MOMCR.MODRV0[2:0] = 011b
					0.90	—	mA	MOMCR.MODRV0[2:0] = 101b
	アナログ電源電流	12 ビット A/D 変換中		AI_{CC}	0.8	1.1	mA	—
		S/H アンプによる 12 ビット A/D 変換中			2.3	3.3	mA	—
		ACMPHS（1 ユニット）			100	150	μA	—
		温度センサ			0.1	0.2	mA	—
		D/A 変換中	AMP 出力なし		0.1	0.2	mA	—
			AMP 出力あり		0.8	1.6	mA	—
		A/D、D/A 変換待機時（全ユニット）			0.9	1.6	mA	—
		スタンバイモードの ADC12、DAC12（全ユニット）(注2)			2	8	μA	—
	基準電源電流 (VREFH0)	12 ビット A/D 変換中（ユニット 0）		AI_{REFH0}	70	120	μA	—
		12 ビット A/D 変換待機時（ユニット 0）			0.07	0.5	μA	—
		スタンバイモードの ADC12（ユニット 0）			0.07	0.5	μA	—
	リファレンス電源電流 (VREFH)	12 ビット A/D 変換中（ユニット 1）		AI_{REFH}	70	120	μA	—
		D/A 変換中	AMP 出力なし		0.1	0.4	mA	—
			AMP 出力あり		0.1	0.4	mA	—
		12 ビット A/D（ユニット 1）、D/A（全ユニット）変換待機時			0.07	0.8	μA	—
		スタンバイモードの ADC12（ユニット 1）			0.07	0.8	μA	—
	USB 動作電流	ロースピード	USBFS	$I_{CCUSBLS}$	3.5	6.5	μA	VCC_USB
		フルスピード	USBFS	$I_{CCUSBFS}$	4.00	10.00	mA	VCC_USB

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD16（12 ビット A/D コンバータ 0 モジュールストップビット）および MSTPCRD.MSTPD15（12 ビット A/D コンバータ 1 モジュールストップビット）がモジュールストップ状態の場合

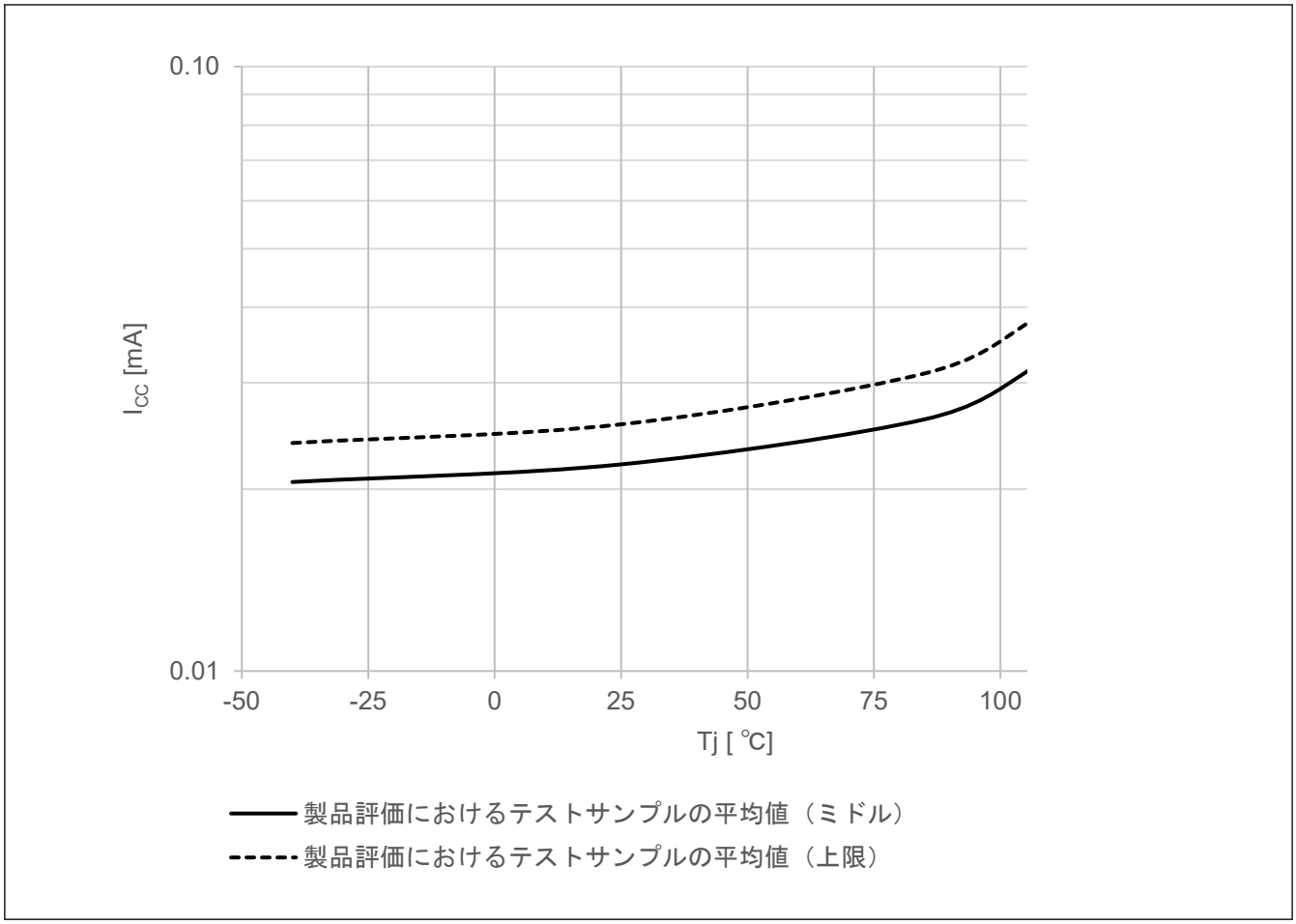


図 2.3 ソフトウェアスタンバイモードにおける温度依存性 (I_{CC})（参考データ）

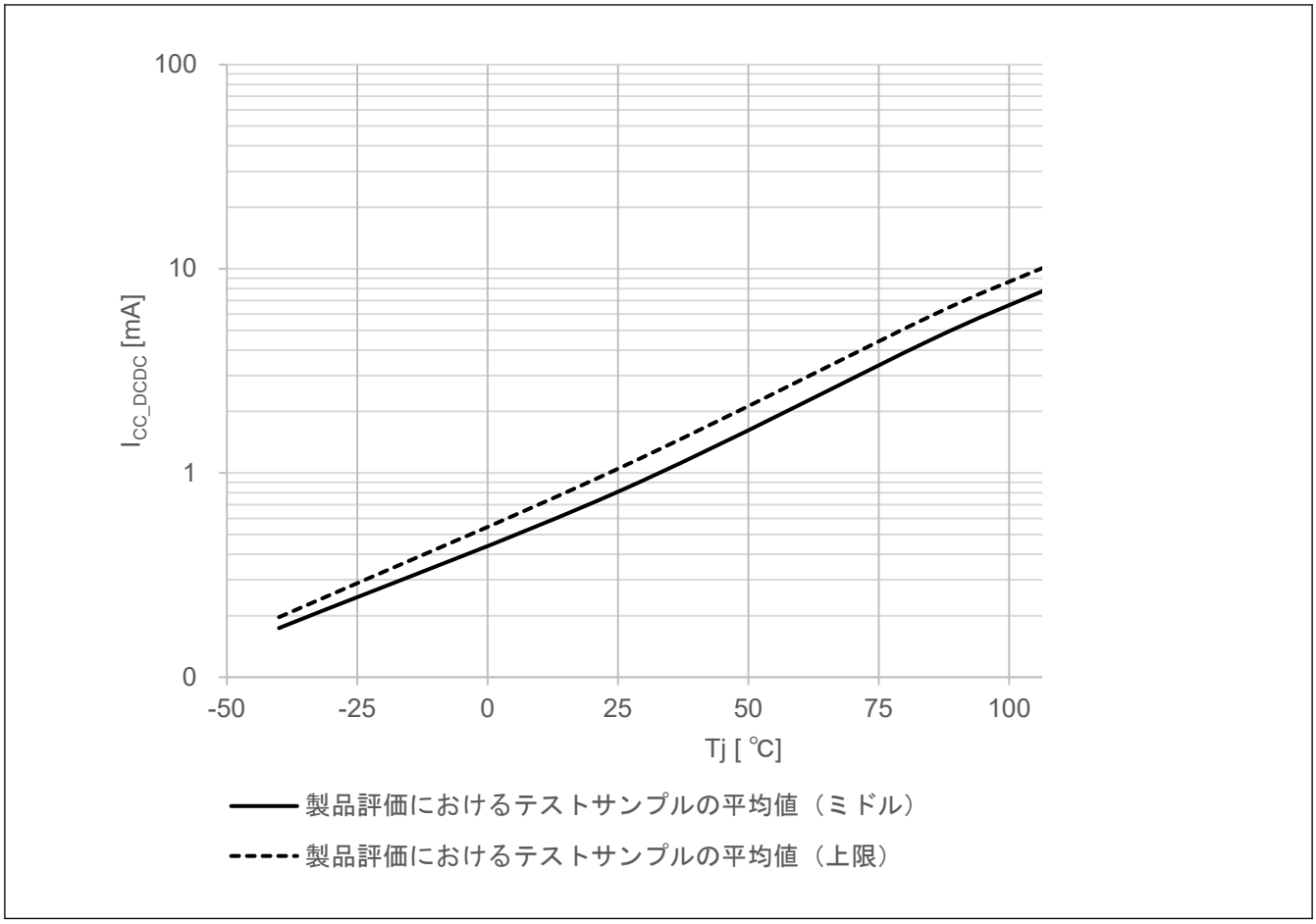


図 2.4 ソフトウェアスタンバイモードにおける温度依存性 (I_{CC_DCDC})（参考データ）

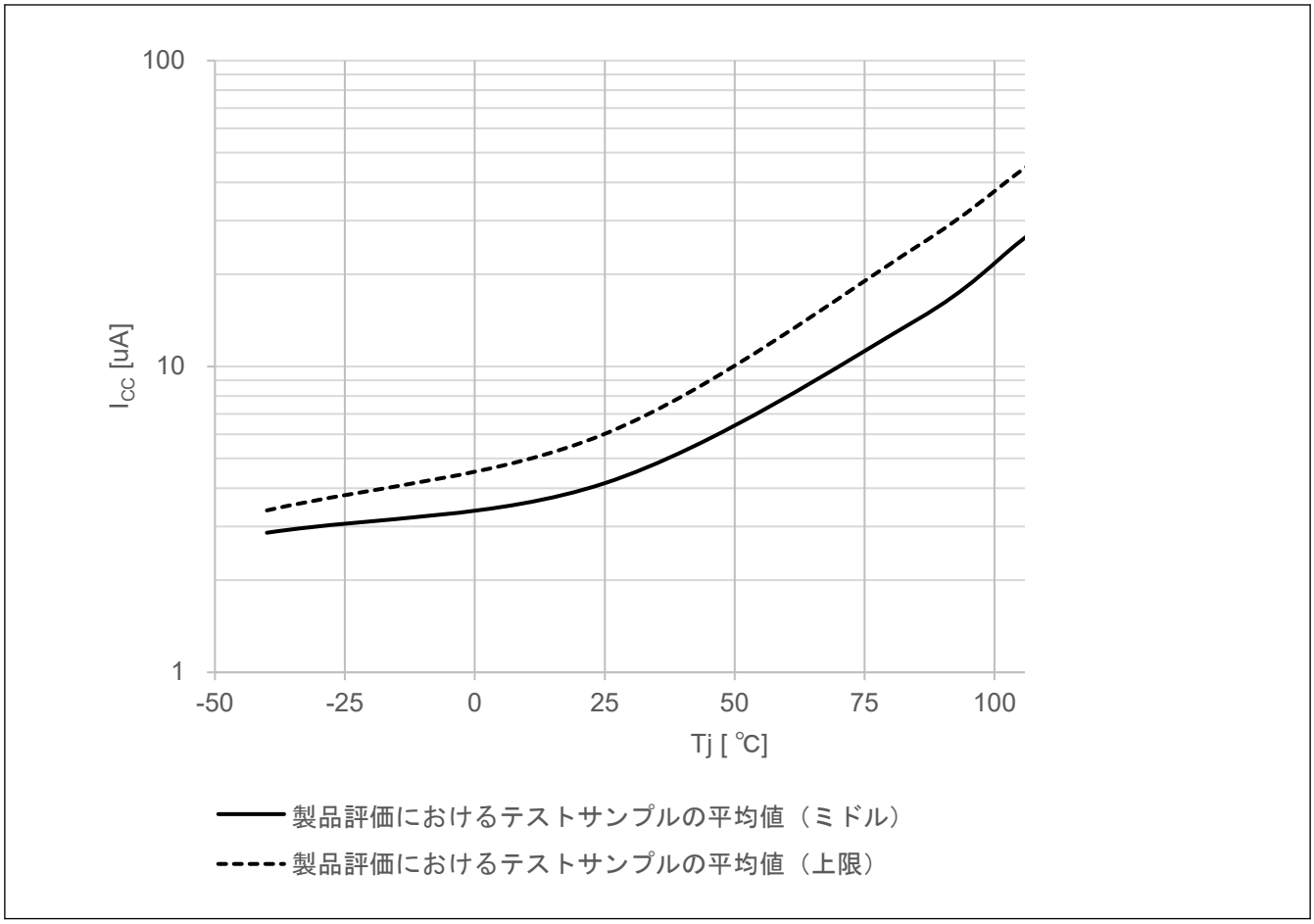


図 2.5 ディープソフトウェアスタンバイモード 1 における温度依存性（参考データ）

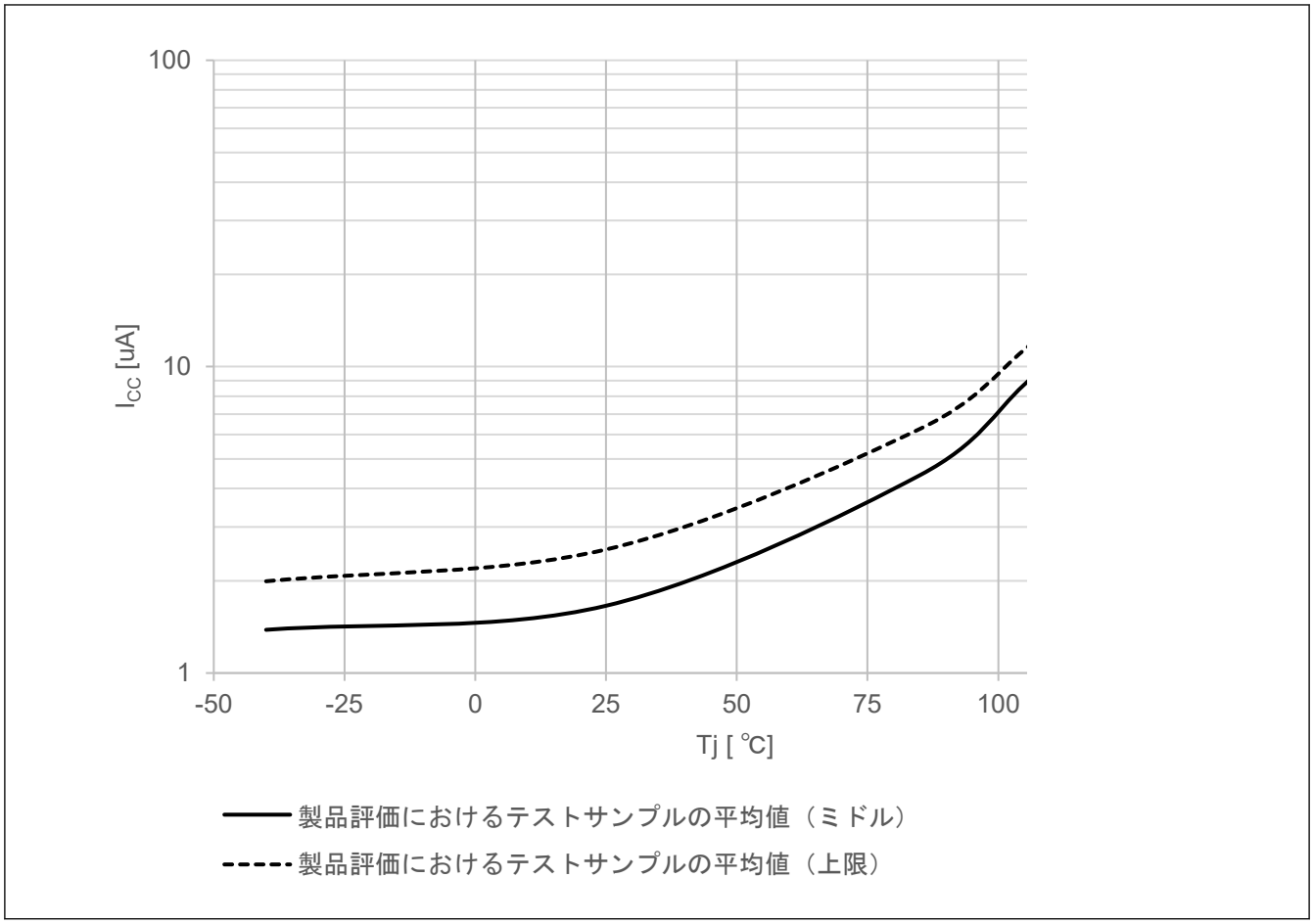


図 2.6 ディープソフトウェアスタンバイモード 2 における温度依存性（参考データ）

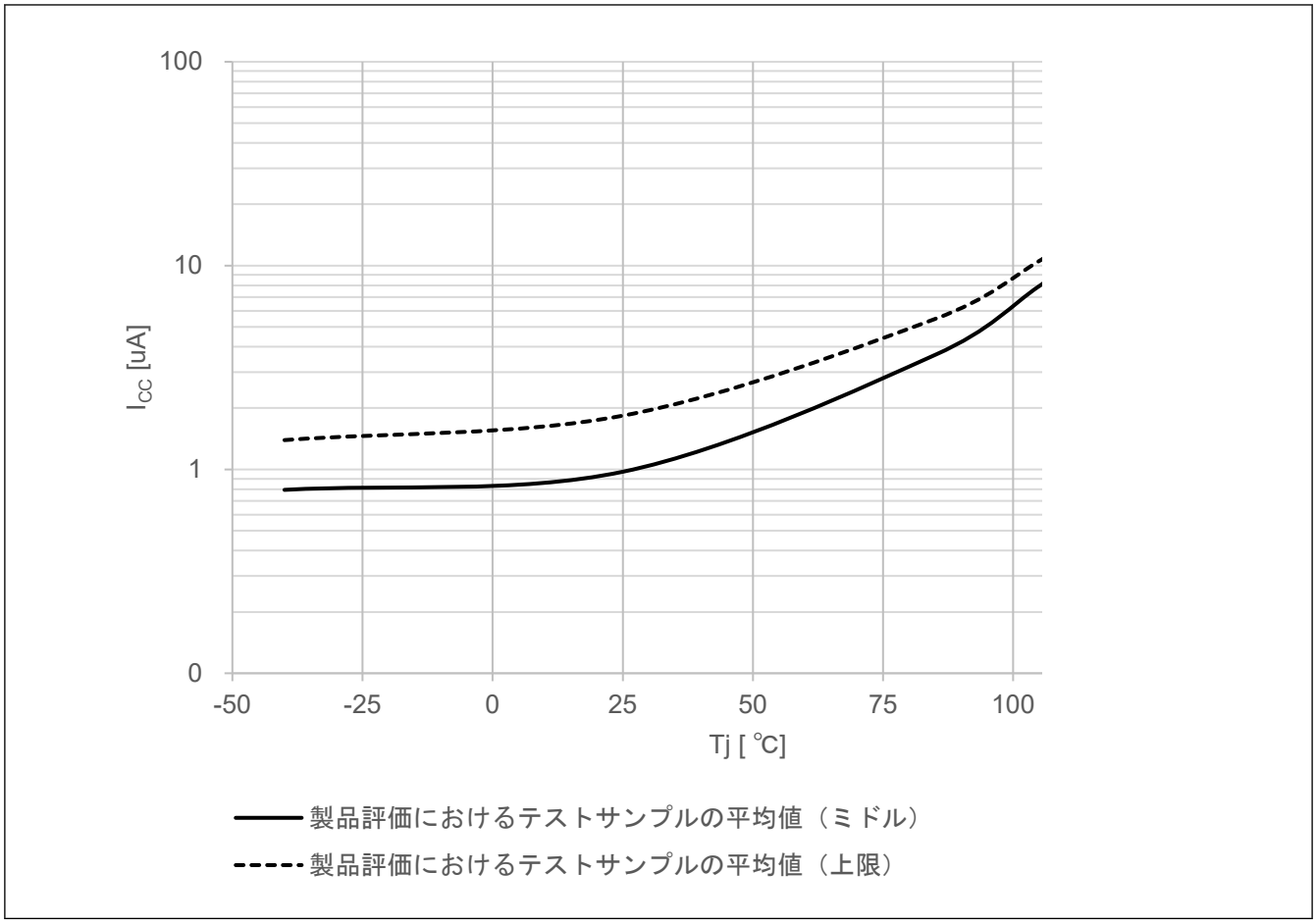


図 2.7 ディープソフトウェアスタンバイモード 3 における温度依存性（参考データ）

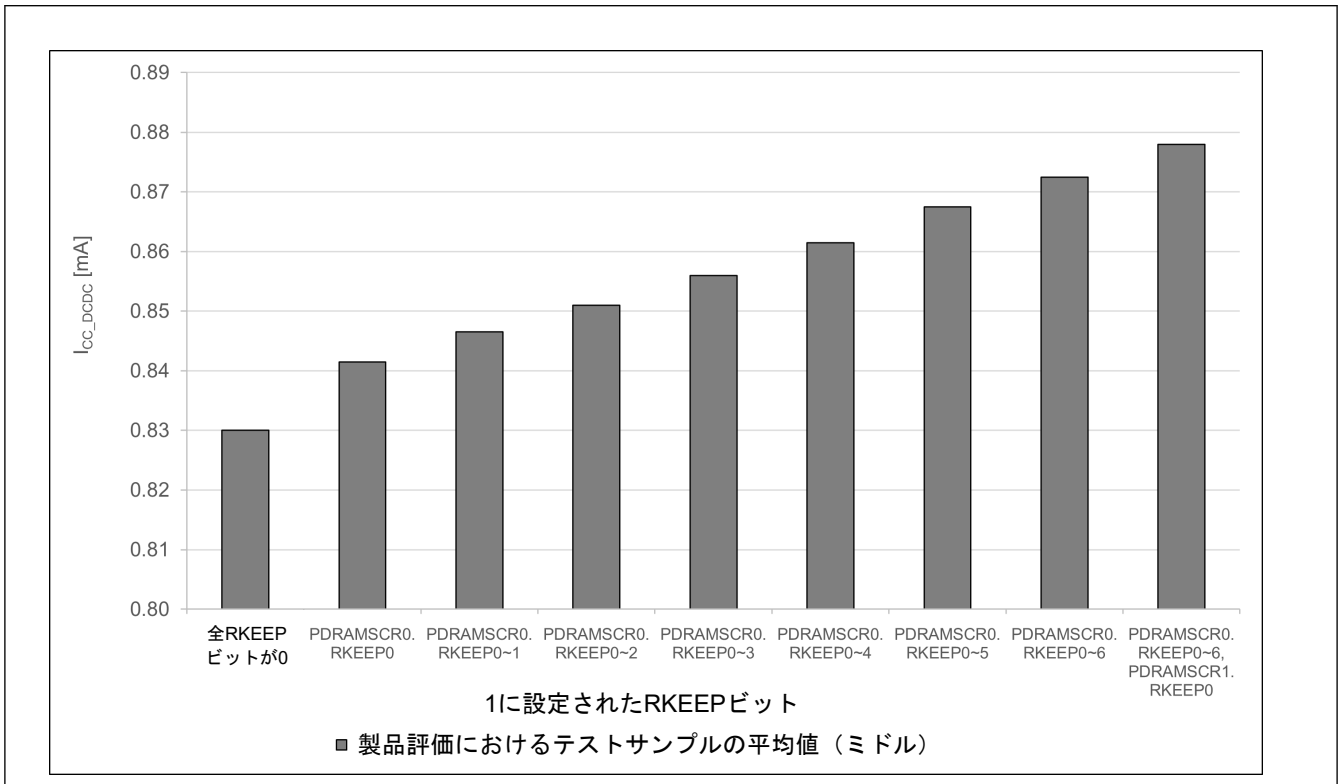


図 2.8 1 SRAM ステートあたりのソフトウェアスタンバイ電流（参考データ）

より実際に近い I_{CC_DCDC} 値は以下の式で求められます。

$I_{CC_DCDC} = I_{DD} \times (VCL \div VCC) \div$ 効率

ここで、VCL と VCC はそれぞれ VCL 端子と VCC 端子の電圧であり、効率は以下の図に示されています。

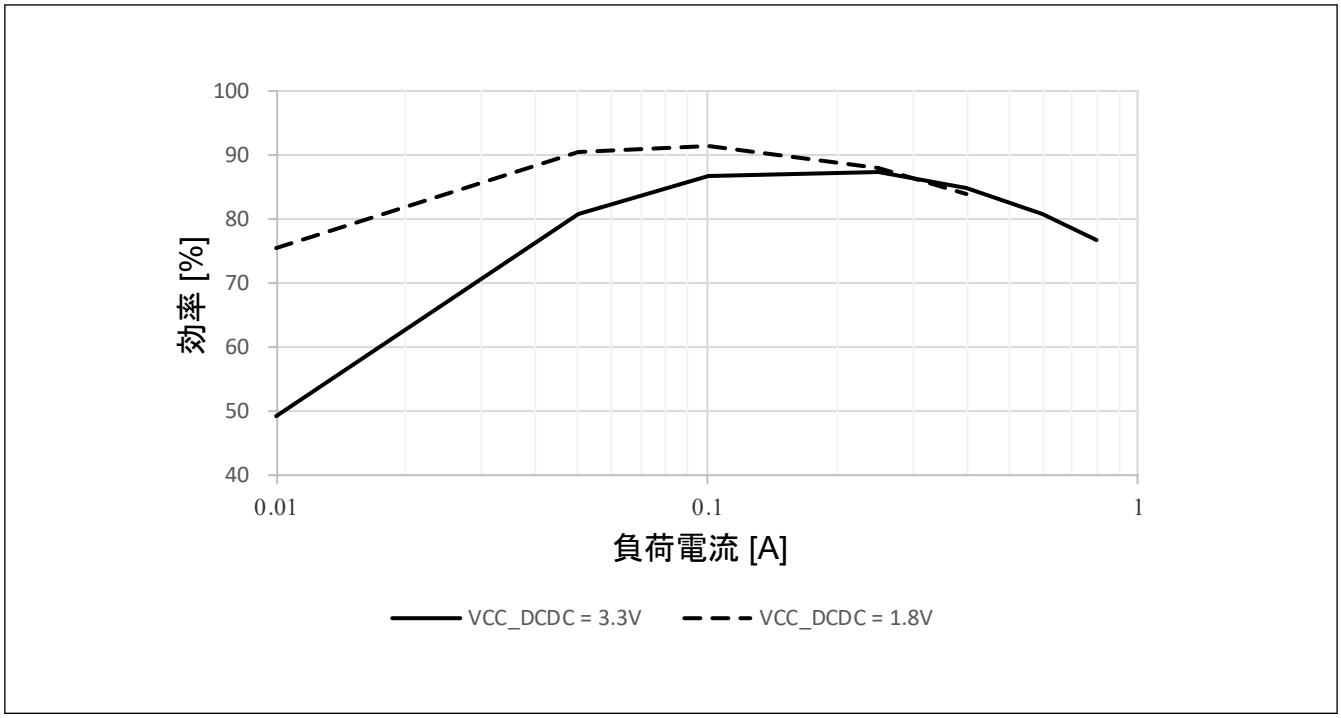


図 2.9 High-speed モード、Tj = 25℃における標準 DCDC 効率 (%) と負荷電流 (A)

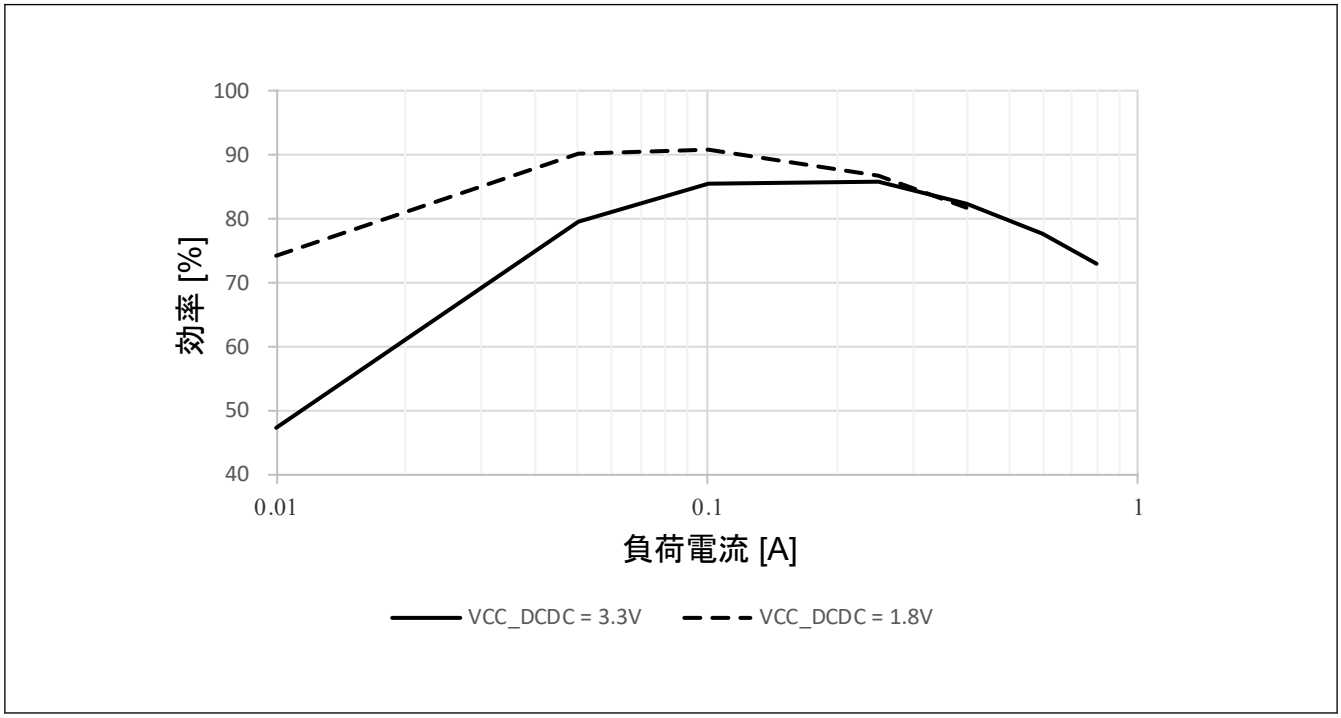


図 2.10 High-speed モード、Tj = 105℃における標準 DCDC 効率 (%) と負荷電流 (A)

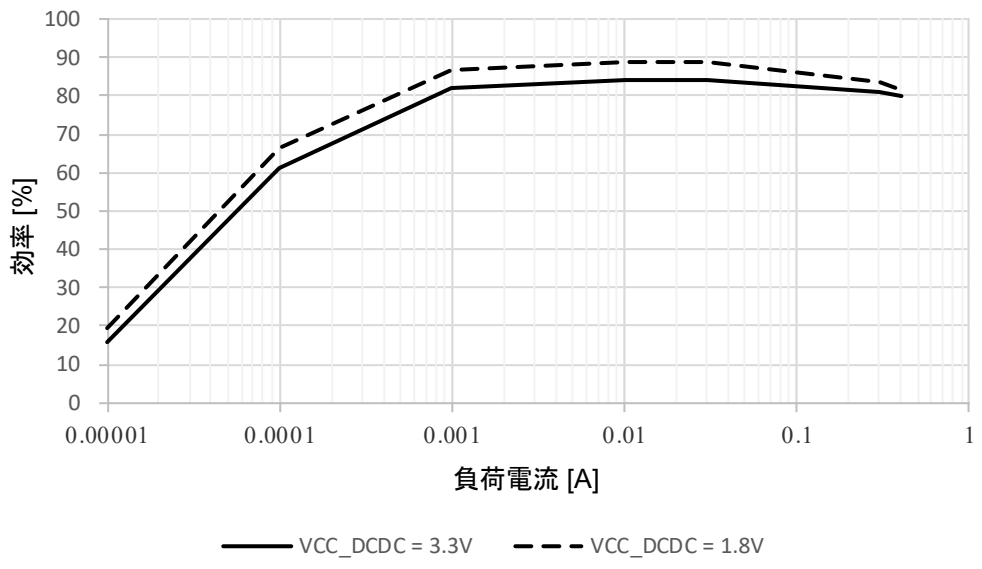


図 2.11 Low-speed モードおよびソフトウェアスタンバイモード、Tj = 25℃における標準 DCDC 効率 (%) と負荷電流 (A)

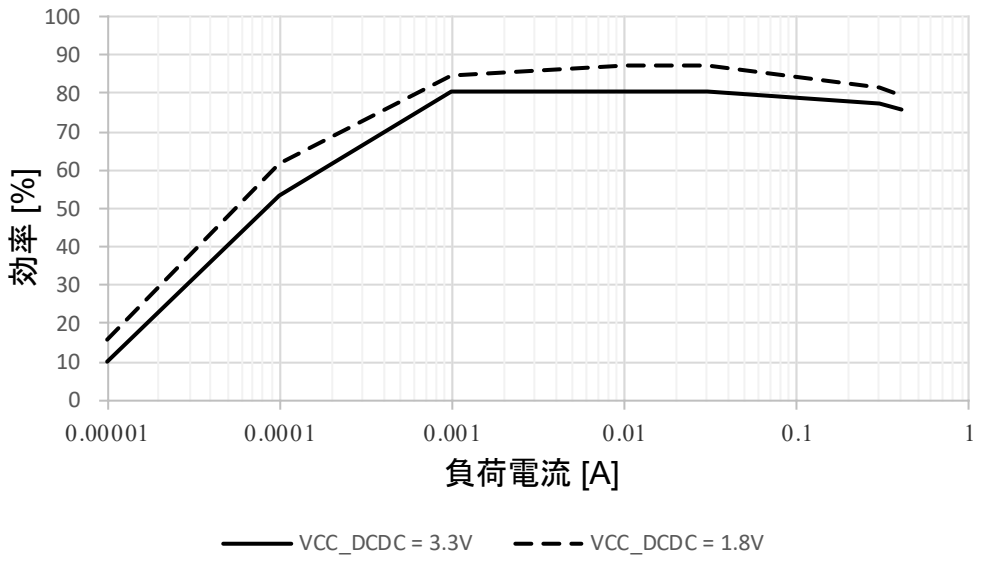


図 2.12 Low-speed モードおよびソフトウェアスタンバイモード、Tj = 105℃における標準 DCDC 効率 (%) と負荷電流 (A)

注. DCDC 効率は VCC_DCDC 電流にもとづいて得られます。

2.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.24 パワーオン／オフ時の VCC 立ち上がり／立ち下がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオン時の VCC 立ち上がり勾配(注1)		SrVCC	0.0084	—	20	ms/V	—
パワーオフ時の VCC 立ち下がり勾配	VBATT 機能は無効(注1)	SfVCC1	0.0084	—	—	ms/V	—
	VBATT 機能は有効	SfVCC2	1.0000	—	—		—

注 1. VCC 電圧が V_{POR1} を通過する場合。

表 2.25 動作中の VCC リップル周波数特性と立ち上がり／立ち下がり勾配の特性

リップル電圧は、VCC 上限 (3.6 V) と下限 (1.68 V) の範囲内で、許容リップル周波数 $f_{r(VCC)}$を満たす必要があります。VCC 変動が VCC ± 10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\ (VCC)}$	—	—	10.0	kHz	図 2.13 $V_{r\ (VCC)}$≦VCC × 0.2
		—	—	1.0	MHz	図 2.13 $V_{r\ (VCC)}$≦VCC × 0.08
		—	—	10.0	MHz	図 2.13 $V_{r\ (VCC)}$≦VCC × 0.06
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC(注1)	1.0	—	—	ms/V	VCC 変動が VCC ± 10%を超える場合

注 1. VCC 電圧が V_{POR1} を通過しない場合。

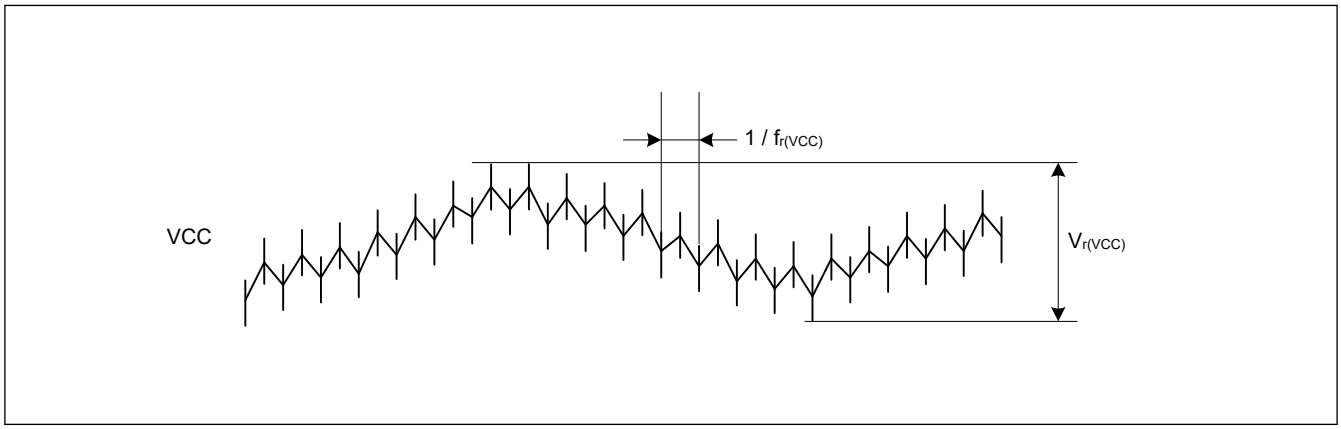


図 2.13 リップル波形

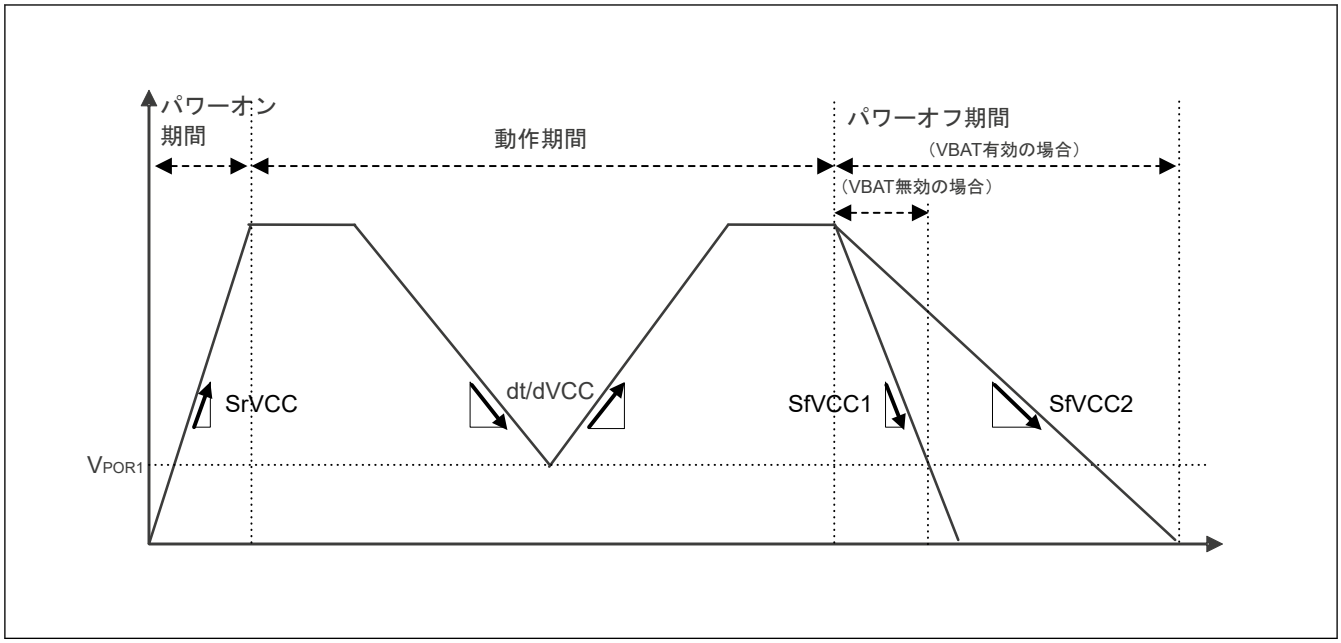


図 2.14　VCC 立ち上がり／立ち下がり波形

2.2.7　熱特性

ジャンクション温度 (Tj) の最大値は、「2.2.1. Tj/Ta の定義」の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力
  - Tj：ジャンクション温度（℃）
  - Ta：周囲温度（℃）
  - Tt：ケース上面中央部温度（℃）
  - θja：「ジャンクション」-「周囲」間の熱抵抗（℃/W）
  - Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗（℃/W）
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (I_{OL} × V_{OL}) / 電圧 + Σ (|I_{OH}| × |VCC – V_{OH}|) / 電圧
- IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
  - C_{in}：入力容量
  - C_{load}：出力容量

θja と Ψjt については、表 2.26 を参照してください。

表 2.26　熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	100 ピン LQFP (PLQP0100KP-A)	θja	32.9	℃/W	JESD 51-2 および 51-7 準拠
	144 ピン LQFP (PLQP0144KA-B)		31.7		
	100 ピン LQFP (PLQP0100KP-A)	Ψjt	0.42	℃/W	JESD 51-2 および 51-7 準拠
	144 ピン LQFP (PLQP0144KA-B)		0.40		

注 1.　値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

2.2.7.1 最大電流計算の手引き

表 2.27 各ユニットの消費電力 (1/2)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]	条件
リーク電流	アナログ	レギュレータおよびリーク (注1)	Tj = 95℃	I_{CC}	—	—	0.54	—
			Tj = 105℃		—	—	0.64	
			Tj = 95℃	I_{CC_DCDC}	—	—	62	VCC_DCDC = 3.3 V、High-speed モード
			Tj = 105℃		—	—	75	
			Tj = 95℃		—	—	112	VCC_DCDC = 1.8 V、High-speed モード
			Tj = 105℃		—	—	134	
			Tj = 95℃	I_{DD}	—	—	146	—
			Tj = 105℃		—	—	175	
ダイナミック電流	CPU	キャッシュあり動作	CoreMark	I_{DD}	360	307	111	CPUCLK = 360 MHz
	周辺ユニット	タイマ	RTC		60	1.299	0.078	—
			GPT16 (4ch)(注2)		120	11.325	1.359	
			GPT32 (6ch)(注2)		120	15.209	1.825	
			POEG（4 グループ）(注2)		60	1.363	0.082	
			AGT (2ch)(注2)		60	2.233	0.134	
			ULPT (2ch)(注2)		60	0.350	0.021	
			WDT		60	0.775	0.047	
			IWDT		60	0.100	0.006	

表 2.27 各ユニットの消費電力 (2/2)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]	条件
ダイナミック電流	周辺ユニット	通信インタフェース	ETHERC	I_{DD}	120	8.149	0.978	—
			USBFS		60	8.713	0.523	
			SCI (6ch)(注2)		120	22.717	2.726	
			IIC (2ch)(注2)		60	2.867	0.172	
			CANFD (2ch)(注2)		120	9.050	1.086	
			SPI (2ch)(注2)		120	7.950	0.954	
			OSPI		60	40.796	2.448	
			SSIE (2ch)(注2)		60	6.818	0.409	
		アナログ	ADC（2 ユニット）(注2)		120	3.961	0.475	—
			DAC12		120	0.540	0.647	
			TSN		60	0.092	0.005	
			ACMPHS (2ch)(注2)		60	0.083	0.005	
		ヒューマンマシーンインタフェース	CEU		120	24.143	2.897	—
		イベントリンク	ELC		60	1.670	0.100	—
		セキュリティ	RSIP-E51A		120	311.301	37.4	—
		データ処理	CRC		120	4.372	0.525	—
			DOC		120	0.427	0.051	
		システム	CAC		60	0.738	0.044	—
		DMA	DMAC（1ch あたり）		240	9.012	2.163	—
			DTC		240	11.175	2.682	
	FSBL 動作				240	—	93.4	—
					120	—	72.9	—

注 1. 「レギュレータ」、「リーク」はそれぞれ内部電圧レギュレータの電流と MCU のリーク電流を意味します。
Tj の温度に応じていずれかが選択されます。
注 2. チャネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャネル数、グループ数、またはユニット数で割ります。

表 2.28 各ユニットの動作の概要 (1/2)

周辺機能	動作の概要
RTC	RTC が LOCO で動作しています。
GPT	動作モードが、のこぎり波 PWM モードに設定されています。
POEG	モジュールストップビットのクリアのみを行います。
AGT	AGT が PCLKB で動作しています。
ULPT	ULPT が LOCO で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
ETHERC	動作モードが全二重モードに設定されています。 ETHERC が RMII (Reduced Media Independent Interface) を使用して動作しています。
USBFS	転送タイプがバルク転送に設定されています。USBFS がフルスピード転送 (12 Mbps) を使用して動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。

表 2.28 各ユニットの動作の概要 (2/2)

周辺機能	動作の概要
IIC	通信フォーマットは I2C バスフォーマットになります。IIC がマスタモードでデータを送信しています。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作（4 線式）に設定されています。 SPI マスタ／スレーブモードがマスタモードに設定されています。 SPI が 32 ビット幅のデータを送信しています。
OSPI	OSPI が HyperRAM にメモリ書き込みコマンドを発行しています。
SSIE	通信モードがマスタに設定されています。システムワード長が 32 ビットに設定されています。 データワード長が 20 ビットに設定されています。SSIE が I2S フォーマットを使用してデータを送信しています。
ADC	分解能は 12 ビット精度に設定されます。データレジスタが A/D 変換値加算モードに設定されています。 ADC12 がアナログ入力を連続スキャンモードで変換しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
TSN	TSN が動作しています。
ACMPHS	ACMPHS が動作しています。
CEU	CEU がデータをキャプチャし SRAM へ転送しています。
ELC	モジュールストップビットのクリアのみを行います。
RSIP-E51A	RSIP はセルフテスト動作を実行しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
DOC	DOC がデータ比較モードで動作しています。
CAC	測定対象クロックが PCLKB に設定されています。測定基準クロックが PCLKB に設定されています。 CAC がクロック周波数精度を測定しています。
DMAC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。 DMAC が SRAM から SRAM にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。 DTC が SRAM から SRAM にデータを転送しています。

2.2.7.2 Tj の計算例

前提事項：

- パッケージ 144 ピン LQFP : θja = 31.7°C/W
- Ta = 60°C
- $I_{CC} + I_{CC_DCDC}$ = 240 mA
- VCC = 3.5 V (VCC = VCC2 = AVCC0 = VCC_USB)
- I_{OH} = 1 mA、V_{OH} = VCC – 0.5 V、12 出力
- I_{OL} = 20 mA、V_{OL} = 1.0 V、8 出力
- I_{OL} = 1 mA、V_{OL} = 0.5 V、12 出力
- C_{in} = 8 pF、32 ピン、入力周波数 = 10 MHz
- C_{load} = 30 pF、32 ピン、出力周波数 = 10 MHz

IO のスタティック電流 = Σ (VOL × IOL) / 電圧 + Σ ((VCC - VOH) × IOH) / 電圧

= (20 mA × 1 V) × 8 / 3.5 V + (1 mA × 0.5 V) × 12 / 3.5 V + ((VCC - (VCC - 0.5 V)) × 1 mA) × 12 / 3.5 V

= 45.7 mA + 1.71 mA + 1.71 mA

= 49.1 mA

IO のダイナミック電流 = Σ IO (Cin + Cload) × IO のスイッチング周波数 × 電圧

= ((8 pF × 32) × 10 MHz + (30 pF × 32) × 10 MHz) × 3.5 V

= 42.6 mA

総消費電力 = 電圧 × (スタティック電流 + ダイナミック電流)

= (240 mA × 3.5 V) + (49.1 mA + 42.6 mA) × 3.5 V

= 1161 mW (1.161 W)

Tj = Ta + θja × 総消費電力

= 60℃ + 31.7℃/W × 1.161 W

= 96.8℃

2.3 AC 特性

2.3.1 周波数

表 2.29 High-speed モードにおける動作周波数の値

項目			シンボル	Min	Typ	Max	単位
動作周波数	CPU クロック (CPUCLK)	DCDC、144 ピン LQFP ／100 ピン LQFP パッケージ、Tj≦105℃(注3)	f	—	—	360	MHz
		外部 VDD、144 ピン LQFP／100 ピン LQFP パッケージ、Tj≦105℃		—	—	360	
	システムクロック (ICLK)			—	—	240	
	周辺モジュールクロック (PCLKA)			—	—	120	
	周辺モジュールクロック (PCLKB)			—	—	60	
	周辺モジュールクロック (PCLKC)			—(注2)	—	60	
	周辺モジュールクロック (PCLKD)			—	—	120	
	周辺モジュールクロック (PCLKE)			—	—	240	
	フラッシュインタフェースクロック (FCLK)			—(注1)	—	60	
	SCI クロック (SCICLK)			—	—	120	
	SPI クロック (SPICLK)			—	—	120	
	Octal-SPI クロック (OCTACLK)			—	—	200	
	CANFD コアクロック (CANFDCLK)			—	—	80	
	USB クロック (USBCLK)			—	—	48	

注 1. フラッシュメモリのプログラミング／イレース中、FCLK は 4 MHz 以上の周波数で実行する必要があります。
注 2. ADC12 使用時、PCLKC の周波数は 1 MHz 以上にしてください。
注 3. VCC_DCDC < 2.5 V にて DCDC 使用時、電流 I_{DD} は動作電流の指定値未満にしてください。
表 2.8 を参照してください。

表 2.30 Low-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	CPU クロック (CPUCLK)	f	—	—	1	MHz
	システムクロック (ICLK)		—	—	1	
	周辺モジュールクロック (PCLKA)		—	—	1	
	周辺モジュールクロック (PCLKB)		—	—	1	
	周辺モジュールクロック (PCLKC)		—(注2)	—	1	
	周辺モジュールクロック (PCLKD)		—	—	1	
	周辺モジュールクロック (PCLKE)		—	—	1	
	フラッシュインタフェースクロック (FCLK)		—(注1)	—	1	
	SCI クロック (SCICLK)		—	—	1	
	SPI クロック (SPICLK)		—	—	1	
	Octal-SPI クロック (OCTACLK)		—	—	1	
	CANFD コアクロック (CANFDCLK)		—	—	1	
	USB クロック (USBCLK)		—	—	1	

注 1. フラッシュメモリのプログラム／イレースは、Low-speed モードでは許可されていません。
注 2. ADC12 使用時、PCLKC の周波数は 1 MHz 以上にしてください。

2.3.2 クロックタイミング

表 2.31 サブクロック発振器以外のクロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	20.80	—	—	ns	図 2.15
EXTAL 外部クロック入力 High レベルパルス幅	t_{EXH}	5.30	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{EXL}	5.30	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	3.0	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	3.0	ns	
メインクロック発振器周波数	f_{MAIN}	8	—	48	MHz	—
メインクロック発振安定待機時間（水晶）(注1)	$t_{MAINOSCWT}$	—	—	—(注1)	ms	図 2.16
LOCO クロック発振周波数	f_{LOCO}	29.4912	32.768	36.0448	kHz	—
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	60.4	μs	図 2.17
MOCO クロック発振周波数	f_{MOCO}	6.8	8.0	9.2	MHz	—
MOCO クロック発振安定待機時間	t_{MOCOWT}	—	—	15.0	μs	—

表 2.31 サブクロック発振器以外のクロックタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
HOCO クロック発振器発振周波数	FLL なし	f_{HOCO16}	15.78	16.00	16.22	MHz	–20≦Tj≦105℃
		f_{HOCO18}	17.75	18.00	18.25		
		f_{HOCO20}	19.72	20.00	20.28		
		f_{HOCO32}	31.55	32.00	32.45		
		f_{HOCO48}	47.33	48.00	48.67		
		f_{HOCO16}	15.71	16.00	16.29		–40≦Tj≦-20℃
		f_{HOCO18}	17.68	18.00	18.32		
		f_{HOCO20}	19.64	20.00	20.36		
		f_{HOCO32}	31.42	32.00	32.58		
		f_{HOCO48}	47.14	48.00	48.86		
	FLL あり	f_{HOCO16}	15.960	16.000	16.040		–40≦Tj≦105℃ サブクロック周波数精度は、±50 ppm です。
		f_{HOCO18}	17.955	18.000	18.045		
		f_{HOCO20}	19.950	20.000	20.050		
		f_{HOCO32}	31.920	32.000	32.080		
		f_{HOCO48}	47.880	48.000	48.120		
HOCO クロック発振安定待機時間(注2)		t_{HOCOWT}	—	—	64.7	μs	—
HOCO 停止幅時間		$t_{HOCOSTP}$	1	—	—	μs	図 2.20
HOCO ピリオドジッタ		ジッタ	-3	—	3	%	—
FLL 安定待機時間		t_{FLLWT}	—	—	1.8	ms	—
PLL1/PLL2 VCO 周波数		f_{VCO}	640	—	1440.0	MHz	—
出力クロック P に対する PLL1/PLL2 出力周波数		t_{PLL}	40	—	480	MHz	—
出力クロック Q, R に対する PLL1/PLL2 出力周波数		t_{PLL}	71	—	480	MHz	—
PLL1/PLL2 クロック発振安定待機時間		t_{PLLWT}	—	—	40	μs	図 2.18
PLL1/PLL2 ピリオドジッタ		—	—	±70	—	ps	—
PLL1/PLL2 ロングタームジッタ		—	—	±300	—	ps	期間：1 μs、10 μs

注 1. メインクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。

注 2. リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

表 2.32 サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	—	32.768	—	kHz	—
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	— (注1)	s	図 2.19

注 1. サブクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。サブクロック動作を開始するために SOSCCR.SOSTP ビット設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。示された時間の 2 倍を推奨します。

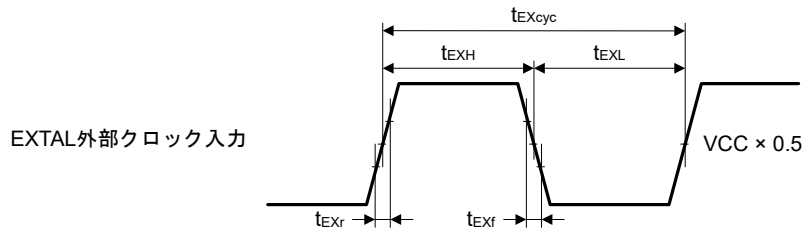


図 2.15 EXTAL 外部クロック入力タイミング

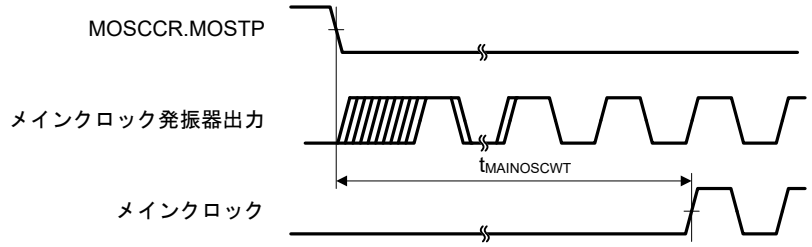


図 2.16 メインクロック発振開始タイミング

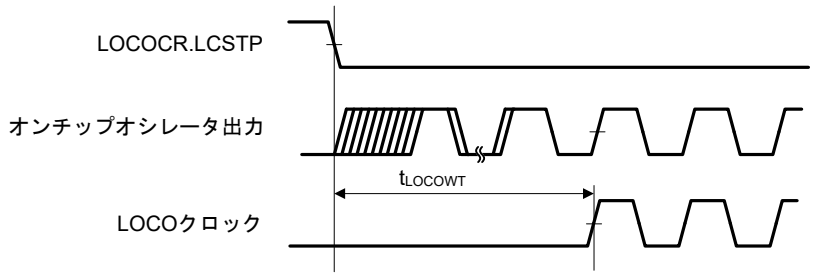
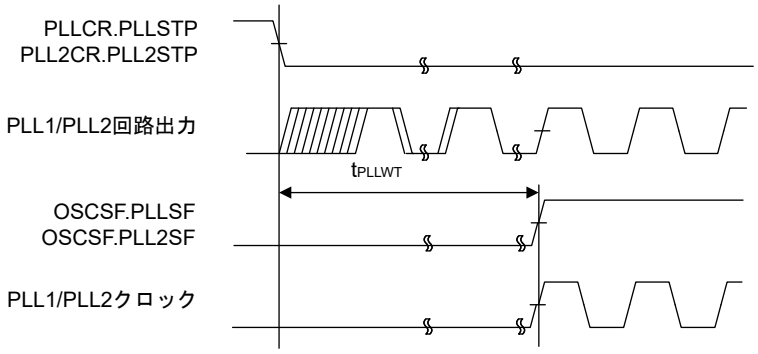


図 2.17 LOCO クロック発振開始タイミング



注. PLL1/PLL2 はメインクロック発振が安定した後のみ動作します。

図 2.18 PLL1/PLL2 クロック発振開始タイミング

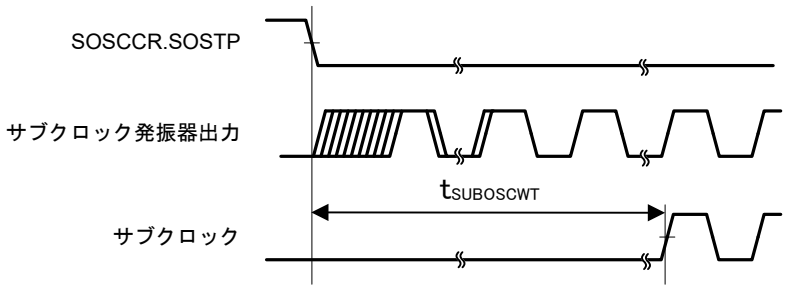


図 2.19 サブクロック発振開始タイミング

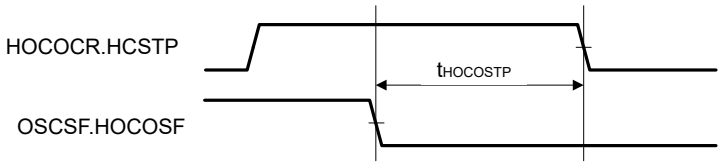


図 2.20 HOCO 停止幅時間

2.3.3 リセットタイミング

表 2.33 リセットタイミング (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	パワーオン		t_{RESWP}	4.2	—	—	ms	図 2.21
	ディープソフトウェアスタンバイモード 1	DPSBYCR.DCSSMODE = 0	t_{RESWD}	1.30	—	—	ms	図 2.22
		DPSBYCR.DCSSMODE = 1		0.71	—	—		
	ディープソフトウェアスタンバイモード 2	DPSBYCR.DCSSMODE = 0		2.00	—	—		
		DPSBYCR.DCSSMODE = 1		1.50	—	—		
	ディープソフトウェアスタンバイモード 3	DPSBYCR.DCSSMODE = 0		3.50	—	—		
		DPSBYCR.DCSSMODE = 1		2.90	—	—		
	ソフトウェアスタンバイモード		t_{RESWS}	0.66	—	—	ms	
	Low-speed モード		t_{RESWLS}	0.46	—	—	ms	
	CPU ディープスリープモード（SOSC 動作）		$t_{RESWSODS}$	0.36	—	—	ms	
	CPU ディープスリープモード（SOSC 動作以外）		t_{RESWDS}	0.24	—	—	ms	
	SOSC 動作		t_{RESWSO}	0.19	—	—	ms	
	上記以外		t_{RESW}	62.0	—	—	μs	
RES 解除後の待機時間			t_{RESWT}	—	54.9	64.6	μs	図 2.21

表 2.33 リセットタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
内部リセット（IWDT リセット、WDT リセット、CPU ロックアップリセット、バスエラーリセット、共通メモリエラーリセット、ソフトウェアリセット）解除後の待機時間	t_{RESW2}	—	54.9	64.6	μs	—

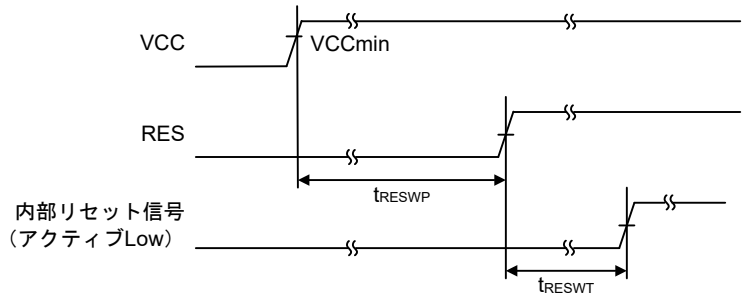


図 2.21 VCC が V_{POR} 電圧しきい値を超える条件下での RES 端子入力タイミング

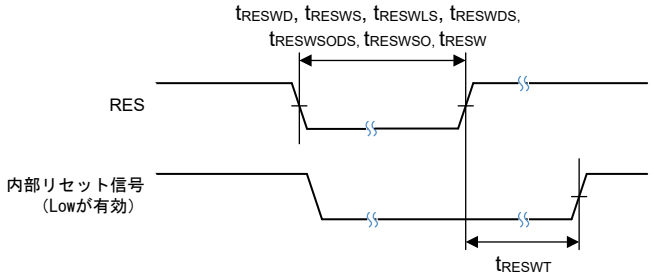


図 2.22 リセット入力タイミング

2.3.4 ウェイクアップタイミング

表 2.34 低消費電力モードからの復帰タイミング (1/2)

項目	高速復帰機能	シンボル	Min	Typ	Max	単位	測定条件
CPU ディープスリープモードからの復帰時間	—	t_{DSLP}(注10)	—	182	214	μs	—

表 2.34 低消費電力モードからの復帰タイミング (2/2)

項目			高速復帰機能	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器(注1) MOSCSCR.MOSCSOKP = 0	有効	t_{SBYMC}(注9)	—	2.33	2.43	ms	図 2.23 全発振器の分周比は 1 です。
		システムクロックソースはメインクロック発振器(注1) MOSCSCR.MOSCSOKP = 1	有効		—	310	385	μs	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注2) MOSCSCR.MOSCSOKP = 0	有効	t_{SBYPC}(注9)	—	2.47	2.59	ms	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注2) MOSCSCR.MOSCSOKP = 1	有効		—	388	511	μs	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器(注3)	有効	t_{SBYEX}(注9)	—	310	385	μs	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注4)	有効	t_{SBYPE}(注9)	—	388	511		
	システムクロックソースはサブクロック発振器(注5)		有効	t_{SBYSC}(注9)	—	0.81	0.87	ms	
	システムクロックソースは HOCO クロック発振器(注6)		有効	t_{SBYHO}(注9)	—	310	385	μs	
	システムクロックソースは HOCO を使用した PLL1P(注7)		有効	t_{SBYPH}(注9)	—	398	522	μs	
	システムクロックソースは MOCO クロック発振器(注8)		有効	t_{SBYMO}(注9)	—	312	387	μs	
ディープソフトウェアスタンバイモードからの復帰時間	ディープソフトウェアスタンバイモード 1	任意の PVD0 (OFS1(_SEC).PVDLPSEL=1)、PVD1、PVD2、またはバッテリ電源スイッチが有効	標準	t_{DSBY}	—	0.68	1.20	ms	図 2.24
			高速		—	0.29	0.62	ms	
		任意の PVD0 (OFS1(_SEC).PVDLPSEL=1)、PVD1、PVD2、およびバッテリ電源スイッチが無効	標準			0.73	1.30		
			高速			0.33	0.71		
	ディープソフトウェアスタンバイモード 2	DPSWCR.WSTS = 0x0B	標準		—	0.73	1.10	ms	
			高速		—	0.33	0.50	ms	
		DPSWCR.WSTS = 0x9A	標準		—	1.60	2.00	ms	
			高速		—	1.20	1.50	ms	
	ディープソフトウェアスタンバイモード 3		標準		—	2.10	3.50	ms	
			高速		—	1.70	2.90	ms	
ディープソフトウェアスタンバイモード解除後待機時間			—	t_{DSBYWT}	47.7	—	64.6	μs	

注 1. 水晶の周波数が 48 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合

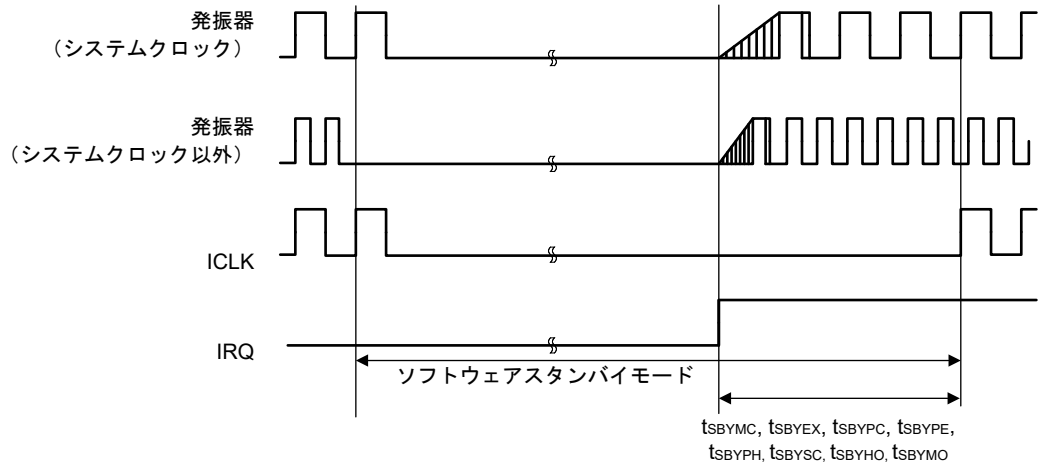
注 2. PLL1P の周波数が 480 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最も大きな値が 8 の場合
注 3. 外部クロックの周波数が 48 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 4. PLL1P の周波数が 480 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最も大きな値が 8 の場合
注 5. サブクロック発振器の周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 6. HOCO 周波数が 20 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 7. PLL 周波数が 480 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 8 の場合
注 8. MOCO 周波数が 8 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 9. 復帰時間は次の式により計算できます： $t_{Common} + \max(t_{OSCSTB}, t_{PG1}, t_{PGCK}) + \max(t_{PG2}, t_{LPW})$。式の各変数は下表の値および式により求めることができます。表中の変数 n については、内部クロック（CPUCLK、ICLK、PCLKm、FCLK）の分周設定 (m = A～E) のうち最も大きな値が選択されます。
下表の t_{OSCSTB} は、各発振器が有効になっている時間を意味します。複数の発振器が有効になっている時の t_{OSCSTB} は、有効になっている発振器のうちで最長の t_{OSCSTB} となります。
注 10. ICLK 周波数は 240 MHz です。この復帰時間は t_{PG2} に対応します。

表 2.35 復帰時間を構成する要素

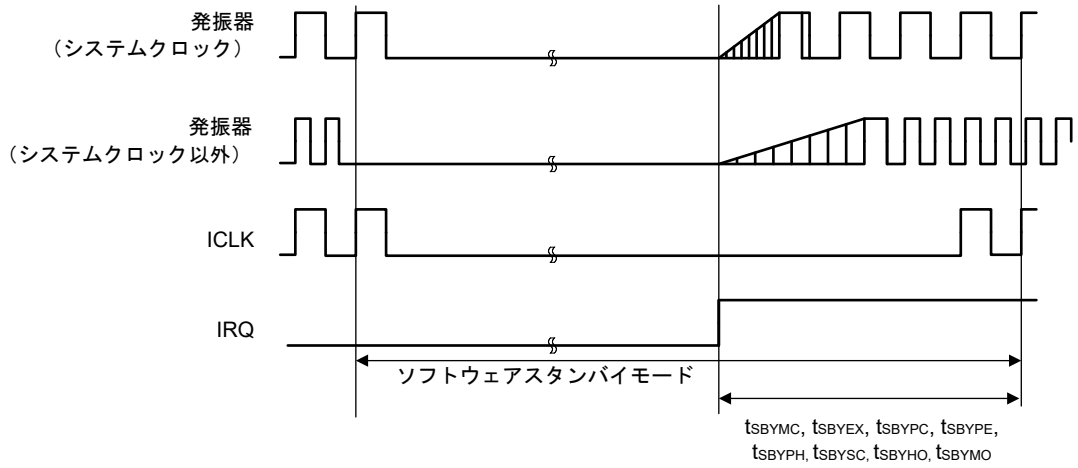
ウェイクアップ時間	発振保持	高速復帰機能	Typ						Max						単位
			t_{Common}	t_{OSCSTB} (注1)	t_{PG1}	t_{PGCK}	t_{PG2}	t_{LPW}	t_{Common}	t_{OSCSTB} (注1)	t_{PG1}	t_{PGCK}	t_{PG2}	t_{LPW}	
t_{SBYMC}	MOSC 無効	有効	52.667 + 4/ fICLK	$t_{MAINOSCWT}$	75.5	2.1 + 10.5/ fMOCO + 2.5n/ fMOCO + 2.5/ fSRCCLK + 2/ fICLK	1449/ fMOCO + 10/ fICLK	10 + 2/ fICLK + 2n/ fMAIN	82.369 + 4/ fICLK	$t_{MAINOSCWT}$ + 11/0.236	88.8	2.5 + 10.5/ fMOCO + 2.5n/ fMOCO + 2.5/ fSRCCLK + 2/ fICLK	1449/ fMOCO+ 10/ fICLK	10 + 2/ fICLK + 2n/ fMAIN	μs
	MOSC 有効	有効	52.667 + 4/ fICLK	3/0.262				10 + 2/ fICLK + 2n/ fMAIN	82.369 + 4/ fICLK	14/0.236				10 + 2/ fICLK + 2n/ fMAIN	μs
t_{SBYPC}	MOSC 無効	有効	52.667 + 4/ fICLK	24.125 +$t_{MAINOSCWT}$ + 31/0.262 (注2)				10 + 2/ fICLK + 2n/ fPLL	82.369 + 4/ fICLK	24.05 + $t_{MAINOSCWT}$ + 42/0.236 (注3)				10 + 2/ fICLK + 2n/ fPLL	μs
	MOSC 有効	有効	52.667 + 4/ fICLK	24.125 + 34/0.262 (注2)				10 + 2/ fICLK + 2n/ fPLL	82.369 + 4/ fICLK	24.05 + 45/0.236 (注3)				10 + 2/ fICLK + 2n/ fPLL	μs
t_{SBYEX}	—	有効	52.667 + 4/ fICLK	3/0.262				10 + 2/ fICLK + 2n/ fEXMAIN	82.369 + 4/ fICLK	14/0.236				10 + 2/ fICLK + 2n/ fEXMAIN	μs
t_{SBYPE}	—	有効	52.667 + 4/ fICLK	24.125 + 34/0.262 (注2)				10 + 2/ fICLK + 2n/ fPLL	82.369 + 4/ fICLK	24.05 +45/0.236(注3)				10 + 2/ fICLK + 2n/ fPLL	μs
t_{SBYSC}	—	有効	52.667 + 4/ fICLK	0				10 + 2/ fICLK + 2n/ fSOSC	82.369 + 4/ fICLK	0				10 + 2/ fICLK + 2n/ fSOSC	μs
t_{SBYHO}	—	有効	52.667 + 4/ fICLK	23.375				10 + 2/ fICLK + 2n/ fHOCO	82.369 + 4/ fICLK	70.234				10 + 2/ fICLK + 2n/ fHOCO	μs
t_{SBYPH}	—	有効	52.667 + 4/ fICLK	24.125 + 140(注2)				10 + 2/ fICLK + 2n/ fPLL	82.369 + 4/ fICLK	24.05 + 202(注3)				10 + 2/ fICLK + 2n/ fPLL	μs
t_{SBYMO}	—	有効	52.667 + 4/ fICLK	0				10 + 2/ fICLK + 2n/ fMOCO	82.369 + 4/ fICLK	0				10 + 2/ fICLK + 2n/ fMOCO	μs

注. 周波数の単位は MHz
注 1. 複数の発振器が動作している場合、この列の動作発振器の最大値が適用されます。
注 2. PLL1LDOCR.SKEEP と PLL2LDOCR.SKEEP が両方とも 1 の場合、"24.125"は低減できます。

注 3. PLL1LDOCR.SKEEP と PLL2LDOCR.SKEEP が両方とも 1 の場合、"24.05"は低減できます。



システムクロックの発振安定待機時間が長い場合



システムクロック以外の発振安定待機時間が長い場合

図 2.23 ソフトウェアスタンバイモード解除タイミング

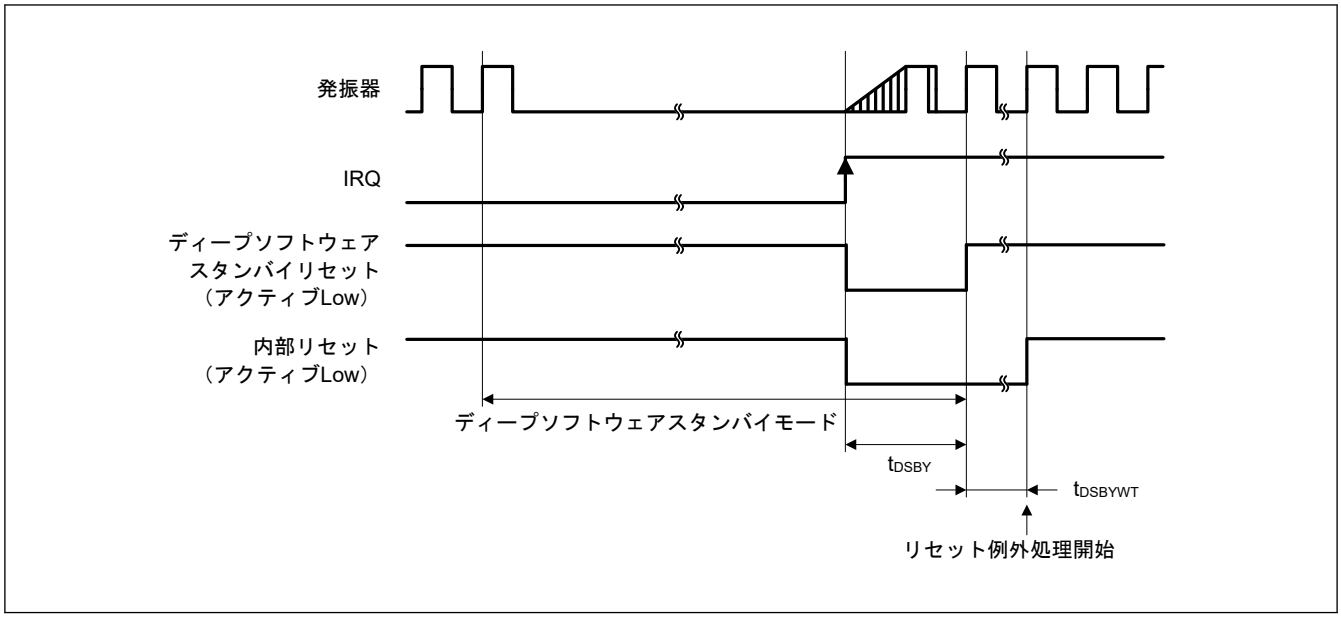


図 2.24 ディープソフトウェアスタンバイモード解除タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.36 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	t_{Pcyc} × 2 ≦ 200 ns
		t_{Pcyc} × 2(注1)	—	—			t_{Pcyc} × 2 > 200 ns
		200	—	—		NMI デジタルフィルタ有効	t_{NMICK} × 3 ≦ 200 ns
		t_{NMICK} × 3.5(注2)	—	—			t_{NMICK} × 3 > 200 ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	t_{Pcyc} × 2 ≦ 200 ns
		t_{Pcyc} × 2(注1)	—	—			t_{Pcyc} × 2 > 200 ns
		200	—	—		IRQ デジタルフィルタ有効	t_{IRQCK} × 3 ≦ 200 ns
		t_{IRQCK} × 3.5(注3)	—	—			t_{IRQCK} × 3 > 200 ns

注. ソフトウェアスタンバイモード時は最小 200 ns です。
注. システムクロックソースを切り替える場合、切り替えるクロックソースの 4 クロックサイクルを足します。
注 1. t_{Pcyc} は PCLKB の周期を示します。
注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を示します。
注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

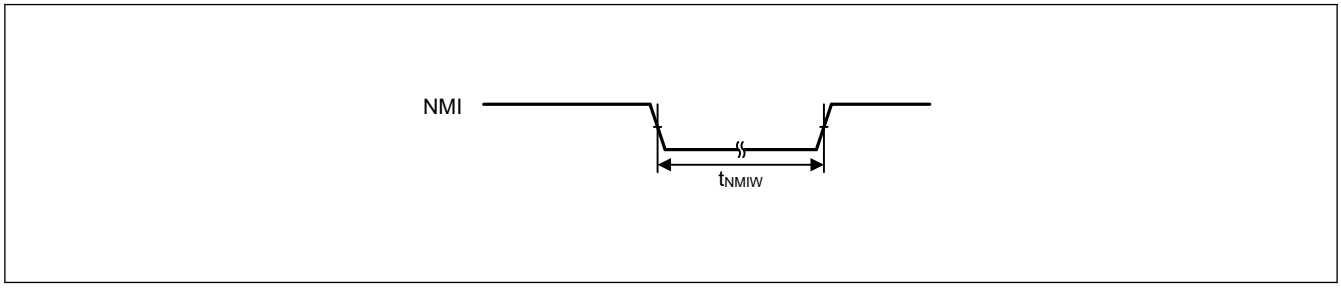


図 2.25 NMI 割り込み入力タイミング

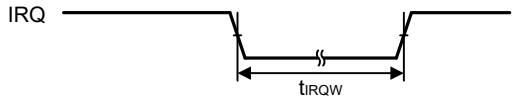


図 2.26 IRQ 割り込み入力タイミング

2.3.6 I/O ポート、POEG、GPT、AGT、ULPT、ADC12 のトリガタイミング

表 2.37 I/O ポート、POEG、GPT、AGT、ULPT、ADC12 のトリガタイミング (1/2)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅		t_{PRW}	5.5	—	t_{Icyc}	図 2.27
	EXCIN 入力周波数		t_{EXCIN}	—	36	kHz	
	RTCICn (n = 0～2) 入力パルス幅		t_{RTCICW}	13.89	—	μs	図 2.28
POEG	POEG 入力トリガパルス幅		t_{POEW}	3	—	t_{Pcyc}	図 2.29
GPT	インプットキャプチャパルス幅（サイクル）	単エッジ	t_{GTICW}(注1)	1.5	—	t_{PDcyc}	図 2.30
		両エッジ		2.5	—		
	インプットキャプチャパルス幅（回数）	2.70 V 以上	t_{GTICW}(注1)	12.5	—	ns	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		25.0	—		
	GTIOCxY 出力スキュー（x = 0～5、Y = A または B）	2.70 V 以上	t_{GTISK}	—	4	ns	図 2.31
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	5		
	GTIOCxY 出力スキュー（x = 10～13、Y = A または B）	2.70 V 以上		—	4		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	5		
	GTIOCxY 出力スキュー（x = 0、5、10～13、Y = A または B）	2.70 V 以上		—	6		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	7		
AGT	AGTIO、AGTEE 入力サイクル	2.70 V 以上	t_{ACYC}(注2)	100	—	ns	図 2.32
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		100	—		
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	2.70 V 以上	t_{ACKWH}, t_{ACKWL}	40	—	ns	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		40	—		
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	2.70 V 以上	t_{ACYC2}	62.5	—	ns	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		62.5	—		

表 2.37 I/O ポート、POEG、GPT、AGT、ULPT、ADC12 のトリガタイミング (2/2)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
ULPT	ULPTEE、ULPTEVI 入力サイクル	2.70 V 以上	t_{ULCYC}(注3)	32	-	μs	図 2.33
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		32	-		
	ULPTEE、ULPTVI 入力 High レベル幅、Low レベル幅	2.70 V 以上	t_{ULCKWH}, t_{ULCKWL}	12	-	μs	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		12	-		
	ULPTO、ULPTOA、ULPTOB 出力サイクル	2.70 V 以上	t_{ULCYC2}	64	-	μs	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		64	-		
ADC12	ADC12 トリガ入力パルス幅	2.70 V 以上	t_{TRGW}	1.5	—	t_{Pcyc}	図 2.34
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		3.0	—		

注. t_{Icyc}：ICLK の周期、t_{Pcyc}：PCLKB の周期、t_{PDcyc}：PCLKD の周期、$t_{ULPTLCLK}$：ULPTLCLK の周期
注 1. 「周期」と「回数」については、時間が長い方の特性が適用されます。
注 2. 入力サイクルの制限：
ソースクロックを切り替え中でない場合：$t_{Pcyc} \times 2 < t_{ACYC}$ を満たす必要があります。
ソースクロックを切り替え中の場合：$t_{Pcyc} \times 6 < t_{ACYC}$ を満たす必要があります。
注 3. 入力サイクルの制限：
ULPTEVI: $t_{Pcyc} \times 2 < t_{ULCYC}$ を満たす必要があります。
ULPTEE: $t_{ULPTLCLK} \times 2 < t_{ULCYC}$ を満たす必要があります。

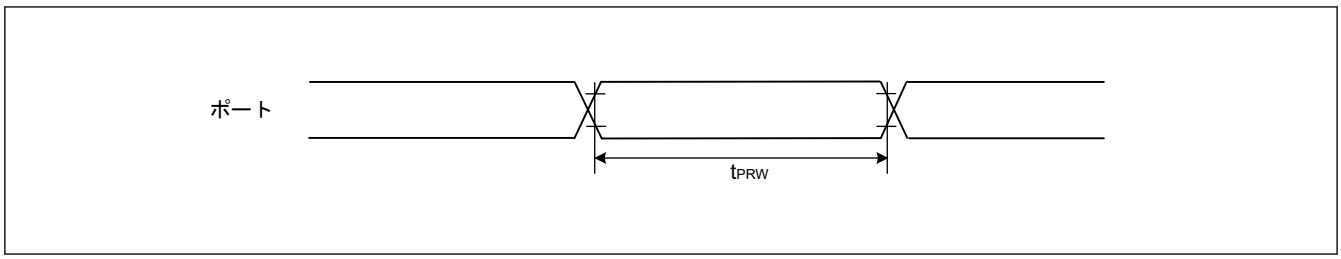


図 2.27 I/O ポート入力タイミング

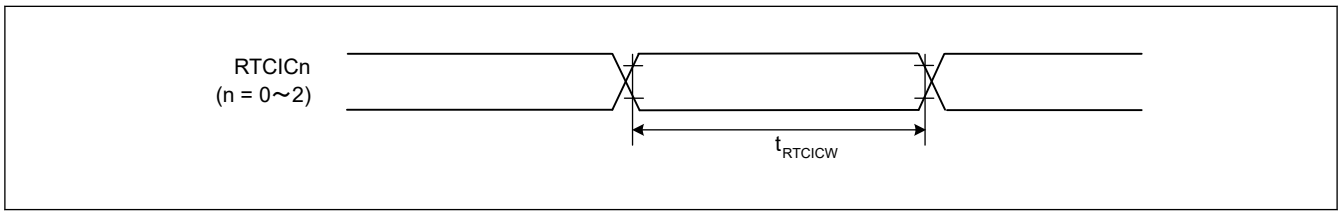


図 2.28 RTCICn 入力タイミング

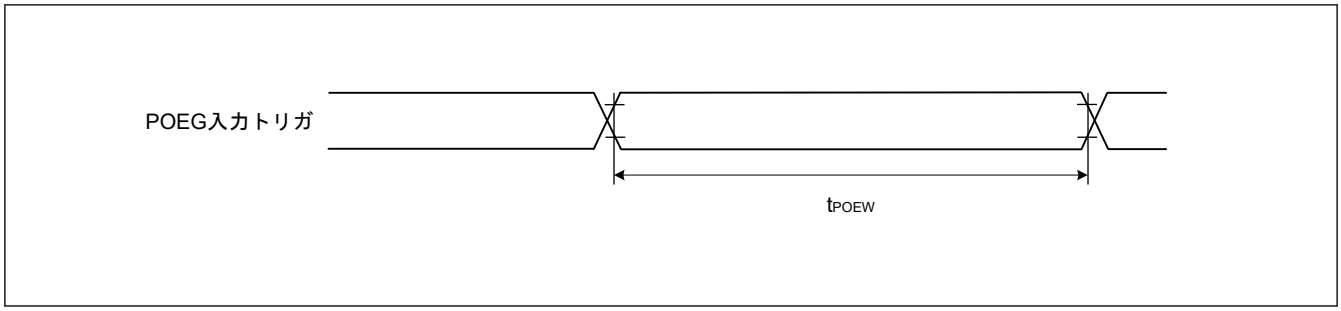


図 2.29 POEG 入力トリガタイミング

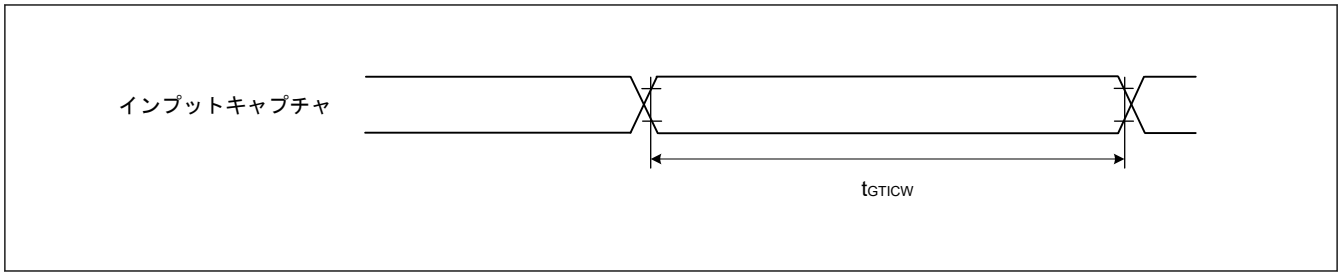


図 2.30 GPT インプットキャプチャタイミング

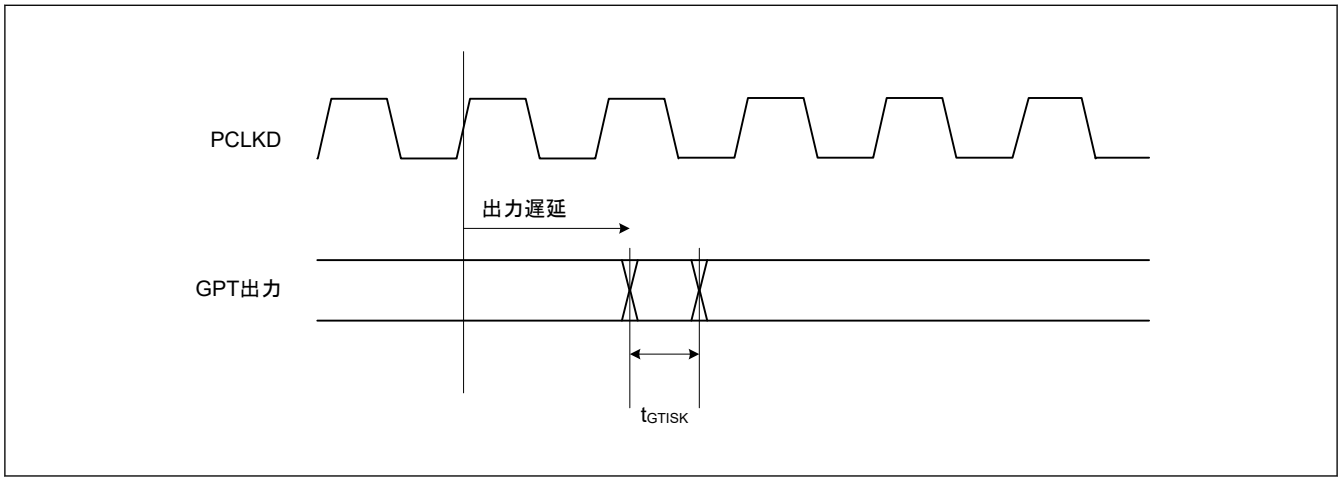


図 2.31 GPT 出力遅延スキュー

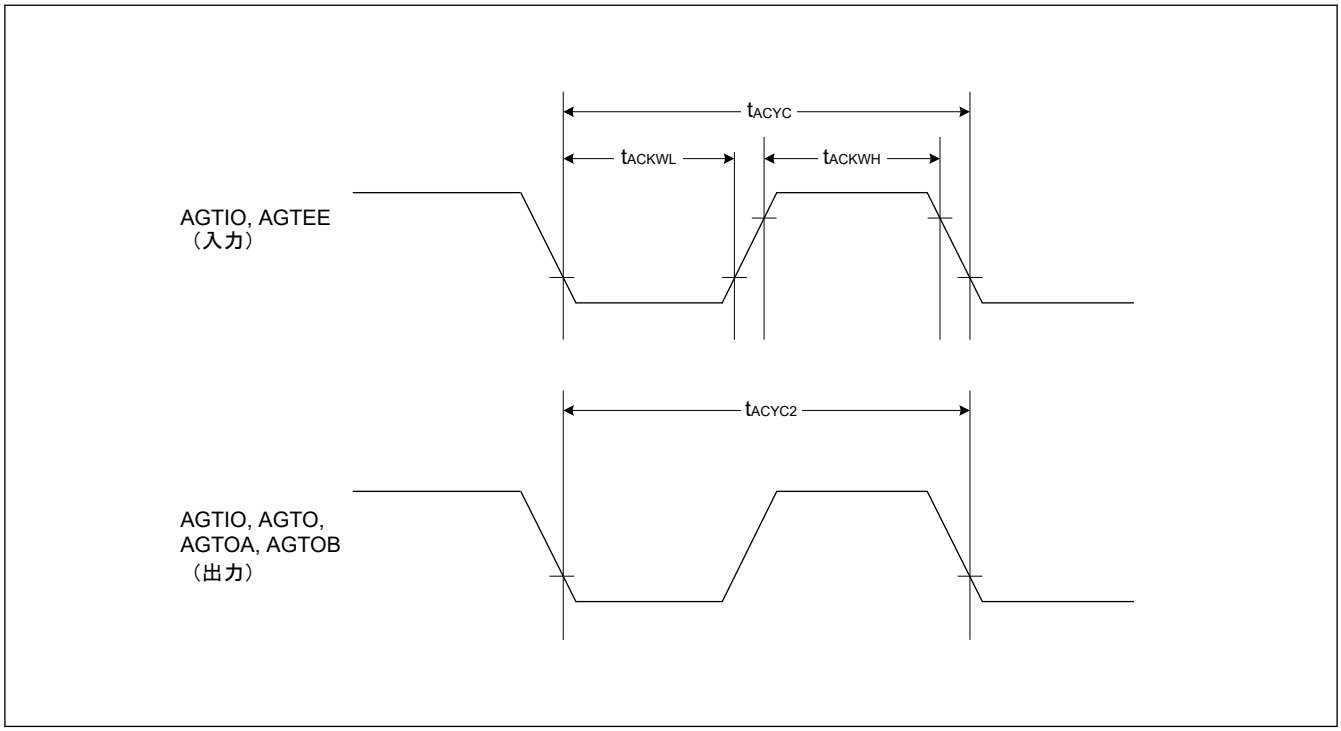


図 2.32 AGT 入出力タイミング

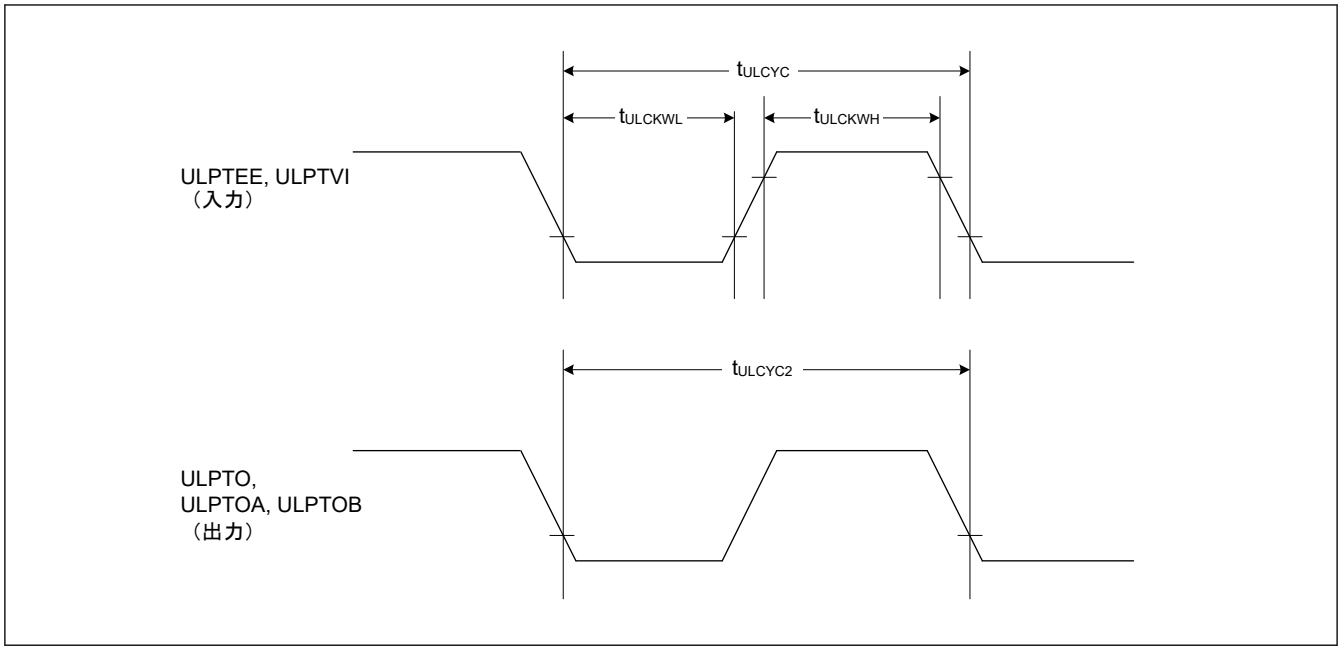


図 2.33　ULPT 入出力タイミング

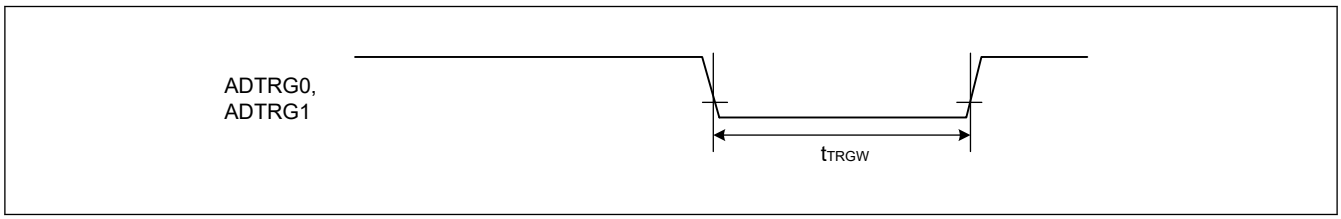


図 2.34　ADC12 トリガ入力タイミング

2.3.7　CAC タイミング

表 2.38　CAC タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leqq t_{cac}$(注1)	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	—	—	ns	—
		$t_{PBcyc} > t_{cac}$(注1)		$5 \times t_{cac} + 6.5 \times t_{PBcyc}$	—	—	ns	

注.　t_{PBcyc}：PCLKB の周期
注 1.　t_{cac}：CAC カウントクロックソースの周期

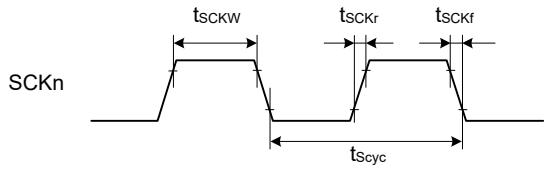
2.3.8 SCI タイミング

表 2.39 SCI タイミング（調歩同期式モード）

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目	VCC/VCC2	シンボル	Min	Max	単位	備考
入力クロックサイクル	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{Scyc}	4.0	—	t_{Tcyc}	図 2.35
入力クロックパルス幅	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SCKW}	0.4	—	t_{Scyc}	
入力クロック立ち上がり時間	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SCKr}	—	0.1(注1)	t_{Scyc}	
入力クロック立ち下がり時間	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SCKf}	—	0.1(注1)	t_{Scyc}	
出力クロックサイクル	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{Scyc}	6.0	—	t_{Tcyc}	
出力クロックパルス幅	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SCKW}	0.4	—	t_{Scyc}	
出力クロック立ち上がり時間	2.70 V 以上	t_{SCKr}	—	3.3	ns	
	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
出力クロック立ち下がり時間	2.70 V 以上	t_{SCKf}	—	3.3	ns	
	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		

注. tT_{cyc}：TCLK の周期
注 1. 最長 1 μs



注. n = 0～4, 9

図 2.35 SCK クロック入出力タイミング

表 2.40 SCI タイミング（簡易 SPI） (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ	—	2.70 V 以上	t_{SPcyc}	2.0	65536	t_{Tcyc}	図 2.36
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	65536		
SCK クロックサイクル入力	スレーブ	—	2.70 V 以上		2.0	65536		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	65536		
SCK クロック High レベルパルス幅	マスタ	—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SPCKWH}	0.4	—	t_{SPcyc}	
	スレーブ	—						
SCK クロック Low レベルパルス幅	マスタ	—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SPCKWL}	0.4	—	t_{SPcyc}	
	スレーブ	—						
SCK クロック立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{SPCKr}, SPCKf	—	3.3	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
	入力	—	2.70 V 以上		—	0.1(注3)	t_{SPcyc}	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	0.1(注3)		
データ入力セットアップ時間	マスタ	High-speed (注1)	2.70 V 以上	t_{SU}	14.9 - （AST[2:0] 設定値）	—	ns	図 2.37、図 2.38
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		23.1 - （AST[2:0] 設定値）	—		
		デフォルト(注2)	2.70 V 以上		16.2 - （AST[2:0] 設定値）	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		23.8 - （AST[2:0] 設定値）	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		2.5	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.5	—		
データ入力ホールド時間	マスタ	High-speed (注1)	2.70 V 以上	t_H	-3.2 + （AST[2:0] 設定値）	—	ns	図 2.37、図 2.38
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-3.2 + （AST[2:0] 設定値）	—		
		デフォルト(注2)	2.70 V 以上		-3.2 + （AST[2:0] 設定値）	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-3.2 + （AST[2:0] 設定値）	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		2.5	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.5	—		

表 2.40 SCI タイミング（簡易 SPI） (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ出力遅延時間	マスタ	High-speed (注1)	2.70 V 以上	t_{OD}	—	3.0	ns	図 2.37、図 2.38
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	4.5		
		デフォルト (注2)	2.70 V 以上		—	3.5		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	5.5		
	スレーブ	High-speed (注1)	2.70 V 以上		—	15.0		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	23.0		
		デフォルト (注2)	2.70 V 以上		—	21.0		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	29.0		
データ出力ホールド時間	マスタ	High-speed (注1)	2.70 V 以上	t_{OH}	-3.0	—	ns	図 2.37、図 2.38
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-4.5	—		
		デフォルト (注2)	2.70 V 以上		-3.5	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-5.5	—		
	スレーブ	デフォルト (注2)	2.70 V 以上		0.0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.0	—		
データ立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{Dr}, t_{Df}	—	3.3	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
	入力	—	2.70 V 以上		—	1.0	μs	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	1.0		
SS 入力セットアップ時間		—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{LEAD}	1.0	—	t_{SPcyc}	図 2.39、図 2.40
SS 入力ホールド時間		—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{LAG}	1.0	—	t_{SPcyc}	
SS 入力立ち上がり／立ち下がり時間		—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SSLr}, t_{SSLf}	—	1.0	μs	—
スレーブアクセス時間		—	2.70 V 以上	t_{SA}	—	$3 \times t_{Tcyc} + 25$	ns	図 2.39、図 2.40
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	$3 \times t_{Tcyc} + 32$		
スレーブ出力開放時間		—	2.70 V 以上	t_{REL}	—	$3 \times t_{Tcyc} + 25$	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	$3 \times t_{Tcyc} + 32$		

注. t_{Tcyc}：TCLK の周期
注 1. 所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0、SCI1、SCI2、SCI3、および SCI9 は_A の例に該当し、SCI4 は_B の例に該当します。
注 2. 所属グループのすべての端子を使用できます。
注 3. 最長 1 μs

表 2.41 SCI タイミング（クロック同期式モード） (1/3)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ	—	2.70 V 以上	t_{Scyc}	2.0	—	t_{Tcyc}	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		
SCK クロックサイクル入力	スレーブ	—	2.70 V 以上		2.0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		
SCK クロック High レベルパルス幅	マスタ	—	2.70 V 以上	t_{SCKWH}	0.4	—	t_{Scyc}	
	スレーブ		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)					
SCK クロック Low レベルパルス幅	マスタ	—	2.70 V 以上	t_{SCKWL}	0.4	—	t_{Scyc}	
	スレーブ		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)					
SCK クロック立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	$t_{SCKr, SCKf}$	—	3.3	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
	入力	—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	0.1(注3)	t_{Scyc}	
データ入力セットアップ時間	マスタ	High-speed (注1)	2.70 V 以上	t_{SU}	15.1 - （AST[2:0] 設定値）	—	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		23.2 - （AST[2:0] 設定値）	—		
		デフォルト(注2)	2.70 V 以上		16.5 - （AST[2:0] 設定値）	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		24.2 - （AST[2:0] 設定値）	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		3.3	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		5.3	—		

表 2.41 SCI タイミング（クロック同期式モード） (2/3)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

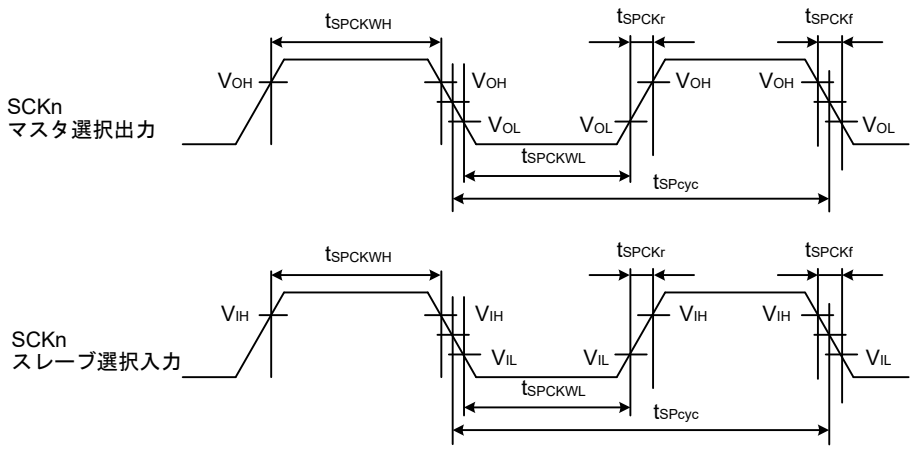
項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ入力ホールド時間	マスタ	High-speed (注1)	2.70 V 以上	t_H	-3.3 +（AST[2:0] 設定値）	—	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-3.3 +（AST[2:0] 設定値）	—		
		デフォルト (注2)	2.70 V 以上		-3.2 +（AST[2:0] 設定値）	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-3.2 +（AST[2:0] 設定値）	—		
	スレーブ	デフォルト (注2)	2.70 V 以上		3.0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		5.0	—		
データ出力遅延時間	マスタ	High-speed (注1)	2.70 V 以上	t_{OD}	—	5.0	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	5.0		
		デフォルト (注2)	2.70 V 以上		—	7.3		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	7.3		
	スレーブ	High-speed (注1)	2.70 V 以上		—	15.0		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	23.0		
		デフォルト (注2)	2.70 V 以上		—	21.0		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	29.0		

表 2.41 SCI タイミング（クロック同期式モード） (3/3)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ出力ホールド時間	マスタ	High-speed (注1)	2.70 V 以上	t_{OH}	-5.0	—	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-5.0	—		
		デフォルト(注2)	2.70 V 以上		-7.3	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-7.3	—		
	スレーブ	High-speed (注1)	2.70 V 以上		0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0	—		
		デフォルト(注2)	2.70 V 以上		0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0	—		
データ立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{Dr}, t_{Df}	—	3.3	ns	
		—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
	入力	—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	1.0	μs	

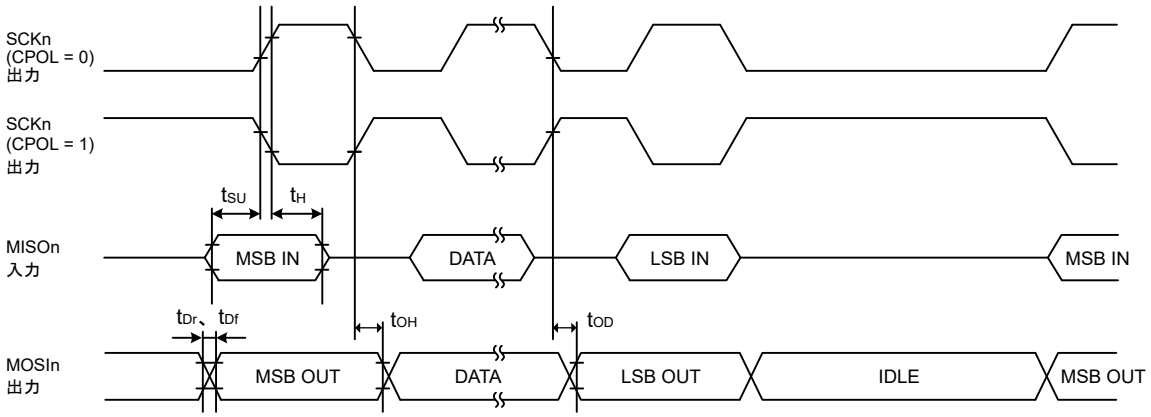
注. t_{Tcyc}：TCLK の周期
注 1. 所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0、SCI1、SCI2、SCI3、および SCI9 は_A の例に該当し、SCI4 は_B の例に該当します。
注 2. 所属グループのすべての端子を使用できます。
注 3. 最長 1 μs



V_{OH} = 0.7 × VCCまたは0.7 × VCC2、V_{OL} = 0.3 × VCCまたは0.3 × VCC2、
V_{IH} = 0.7 × VCCまたは0.7 × VCC2、V_{IL} = 0.3 × VCCまたは0.3 × VCC2

注. n = 0～4, 9

図 2.36 SCI 簡易 SPI モードクロックタイミング



注. n = 0～4, 9

図 2.37 SCI 簡易 SPI モードタイミング（マスタ、CPHA = 0）

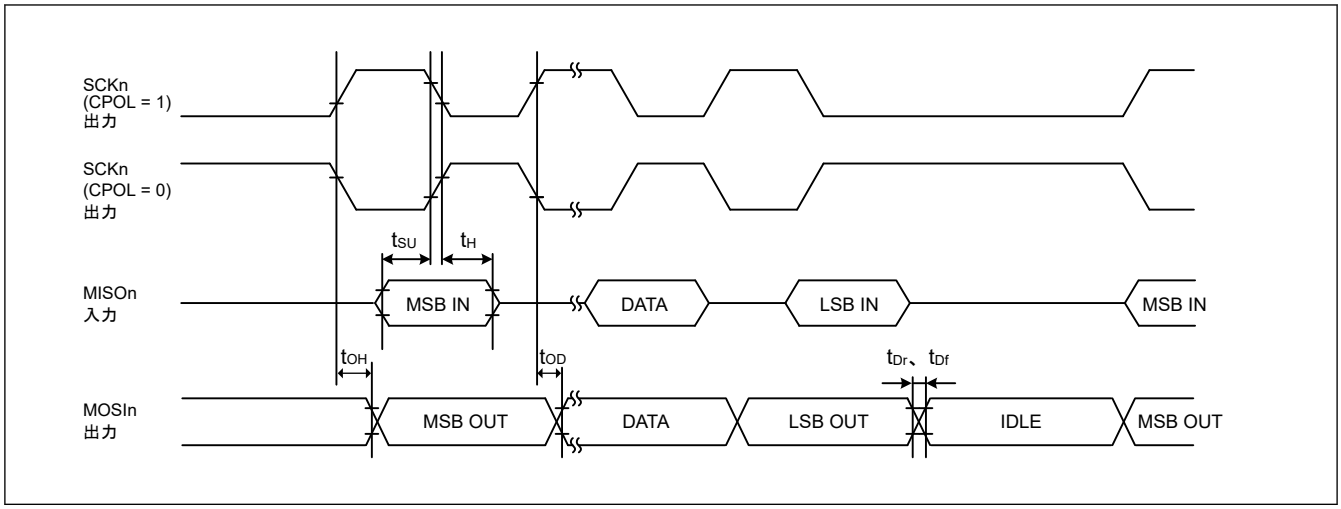
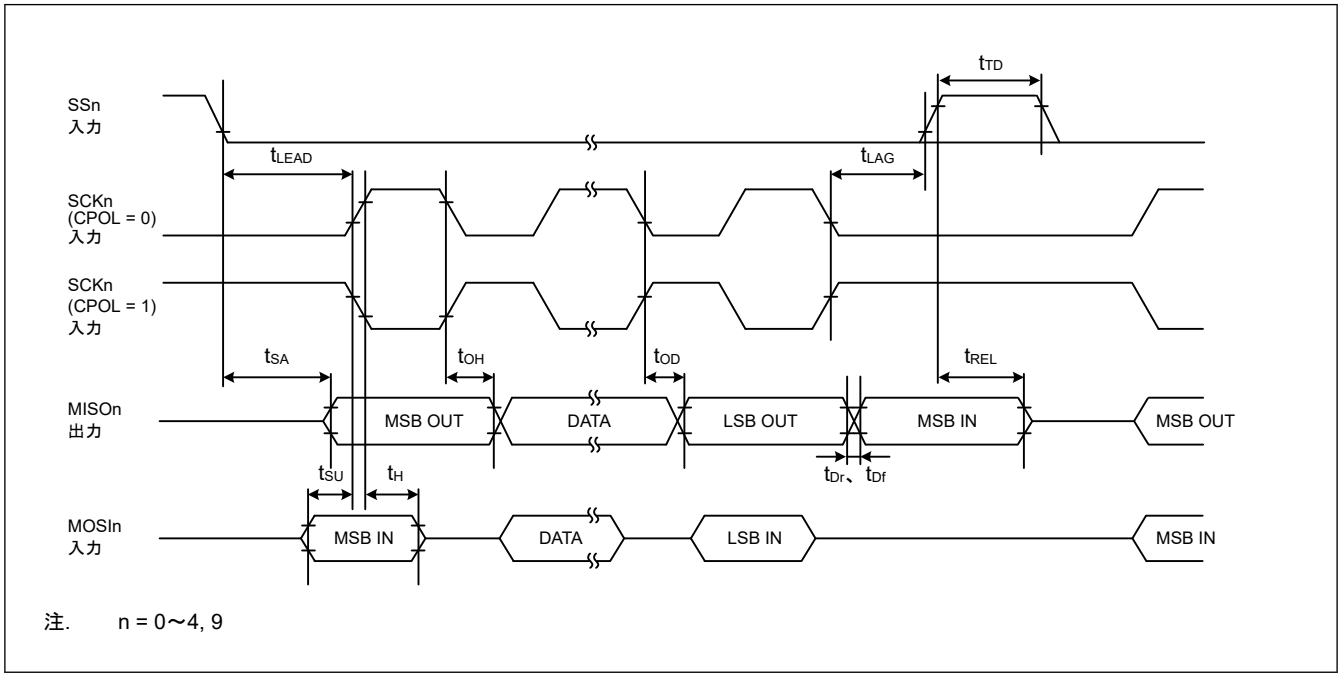
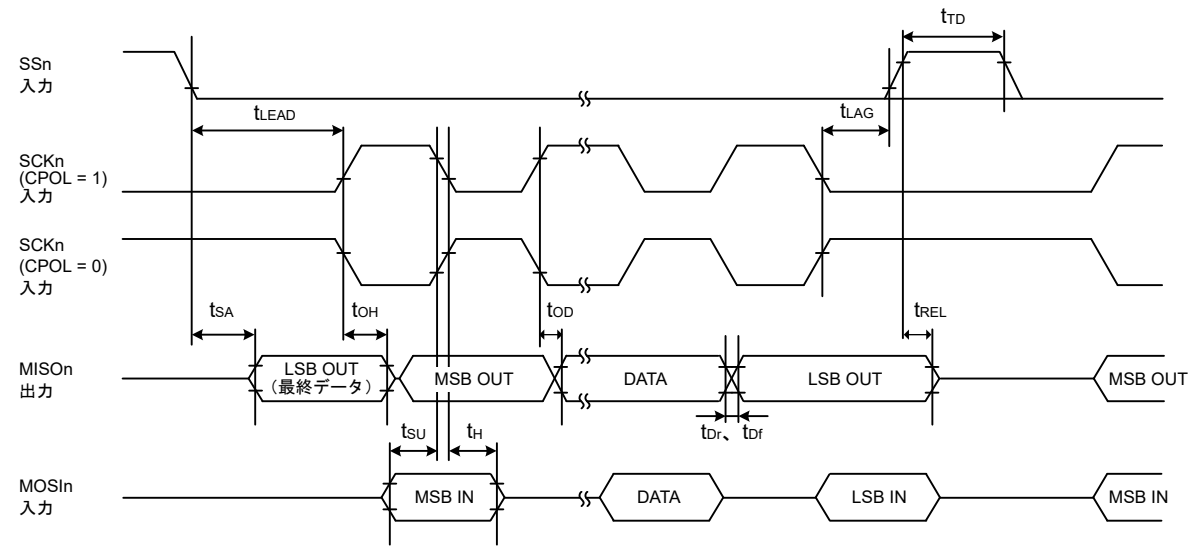


図 2.38 SCI 簡易 SPI モードタイミング（マスタ、CPHA = 1）



注. n = 0～4, 9

図 2.39 SCI 簡易 SPI モードタイミング（スレーブ、CPHA = 0）



注. n = 0～4, 9

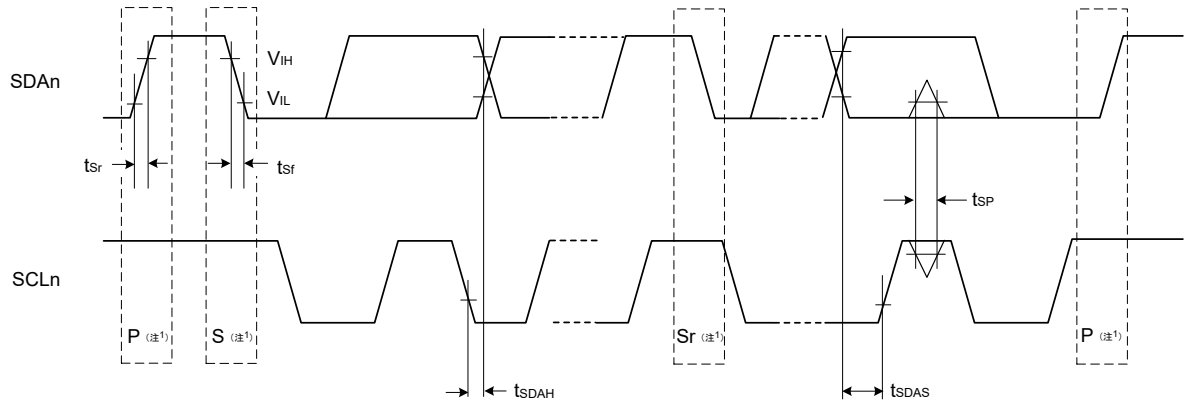
図 2.40 SCI 簡易 SPI モードタイミング（スレーブ、CPHA = 1）

表 2.42 SCI タイミング（簡易 IIC モード）

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
VCC: 1.68 V 以上、VCC2: 1.65 V 以上
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		シンボル	Min	Max	単位	備考
簡易 IIC（標準モード）	SCL, SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL, SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL, SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Tcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の負荷容量	C_b(注1)	—	400	pF	
簡易 IIC（ファストモード）	SCL, SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL, SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL, SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Tcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL, SDA の負荷容量	C_b(注1)	—	400	pF	

注. t_{Tcyc}：TCLK の周期
注 1. C_b はバスラインの容量総計を意味します。



測定条件：
V_{IH} = VCC × 0.7又はVCC2 × 0.7
V_{IL} = VCC × 0.3又はVCC2 × 0.3
V_{OL} = 0.6 V, I_{OL} = 6 mA

注. n = 0～4, 9
注 1. S, P, Sr はそれぞれ以下のコンディションを示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 2.41 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.43 SPI タイミング (1/4)

条件：

1. PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 属するグループを示すため、例えば_A、_B といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF の条件が適用されます。

項目		VCC/VCC2	シンボル	Min	Max	単位	備考
RSPCK クロックサイクル	マスタ	3.00 V 以上	t_{SPcyc}	2.0	4096	t_{Tcyc}	図 2.42
		2.70 V 以上		2.0	4096		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	4096		
	スレーブ	3.00 V 以上		2.0	—		
		2.70 V 以上		2.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		
RSPCK クロック High レベルパルス幅	マスタ	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
	スレーブ	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.4	—	t_{SPcyc}	
RSPCK クロック Low レベルパルス幅	マスタ	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
	スレーブ	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.4	—	t_{SPcyc}	
RSPCK クロック立ち上がり／立ち下がり時間	出力	3.00 V 以上	t_{SPCKr}, t_{SPCKf}	—	1.66	ns	
		2.70 V 以上		—	3.30		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.60		
	入力	3.00 V 以上		—	0.1(注1)	t_{SPcyc}	
		2.70 V 以上		—	0.1(注1)		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	0.1(注1)		

表 2.43 SPI タイミング (2/4)

条件：

1. PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 属するグループを示すため、例えば_A、_B といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF の条件が適用されます。

項目		VCC/VCC2	シンボル	Min	Max	単位	備考
データ入力セットアップ時間	マスタ	3.00 V 以上	t_{SU}	-2.5	—	ns	図 2.43、図 2.44
		2.70 V 以上		0.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.0	—		
	スレーブ	3.00 V 以上		2.5	—		
		2.70 V 以上		2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		2.5	—		
データ入力ホールド時間	マスタ	3.00 V 以上	t_H	7.5	—	ns	
		2.70 V 以上		7.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		9.5	—		
	スレーブ	3.00 V 以上		2.5	—		
		2.70 V 以上		2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		5.5	—		
SSL セットアップ時間	マスタ	3.00 V 以上	t_{LEAD}	$1 \times t_{SPcyc} - 10$	$8 \times t_{SPcyc} + 10$	ns	
		2.70 V 以上		$1 \times t_{SPcyc} - 10$	$8 \times t_{SPcyc} + 10$		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		$1 \times t_{SPcyc} - 10$	$8 \times t_{SPcyc} + 10$		
	スレーブ	3.00 V 以上		4.0	—	t_{Tcyc}	
		2.70 V 以上		4.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		
SSL ホールド時間	マスタ	3.00 V 以上	t_{LAG}	$1 \times t_{SPcyc} - 10$	$8 \times t_{SPcyc} + 10$	ns	
		2.70 V 以上		$1 \times t_{SPcyc} - 10$	$8 \times t_{SPcyc} + 10$		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		$1 \times t_{SPcyc} - 10$	$8 \times t_{SPcyc} + 10$		
	スレーブ	3.00 V 以上		4.0	—	t_{Tcyc}	
		2.70 V 以上		4.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		

表 2.43 SPI タイミング (3/4)

条件：

1. PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 属するグループを示すため、例えば_A、_B といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF の条件が適用されます。

項目		VCC/VCC2	シンボル	Min	Max	単位	備考
TI SSP SS 入力セットアップ時間	スレーブ	3.00 V 以上	t_{TISS}	2.5	—	ns	図 2.48
		2.70 V 以上		2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		2.5	—		
TI SSP SS 入力ホールド時間	スレーブ	3.00 V 以上	t_{TISH}	2.5	—	ns	
		2.70 V 以上		2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		5.5	—		
TI SSP 次アクセス時間	スレーブ	3.00 V 以上	t_{TIND}	2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—	ns	
		2.70 V 以上		2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—		
TI SSP マスタ SS 出力遅延	マスタ	3.00 V 以上	t_{TISSOD}	—	4.0	ns	図 2.45
		2.70 V 以上		—	8.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	8.0		
データ出力遅延時間	マスタ	3.00 V 以上	t_{OD1}	—	2.0	ns	図 2.43、図 2.44
		2.70 V 以上		—	3.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.0		
		3.00 V 以上	t_{OD2}	—	2.5		
		2.70 V 以上		—	2.5		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	4.5		
	スレーブ	3.00 V 以上	t_{OD}	—	12.5		
		2.70 V 以上		—	16.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	24.0		
データ出力ホールド時間	マスタ	3.00 V 以上	t_{OH}	-2.5	—	ns	図 2.43、図 2.44
		2.70 V 以上		-2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-4.5	—		
	スレーブ	3.00 V 以上		0.0	—		
		2.70 V 以上		0.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.0	—		

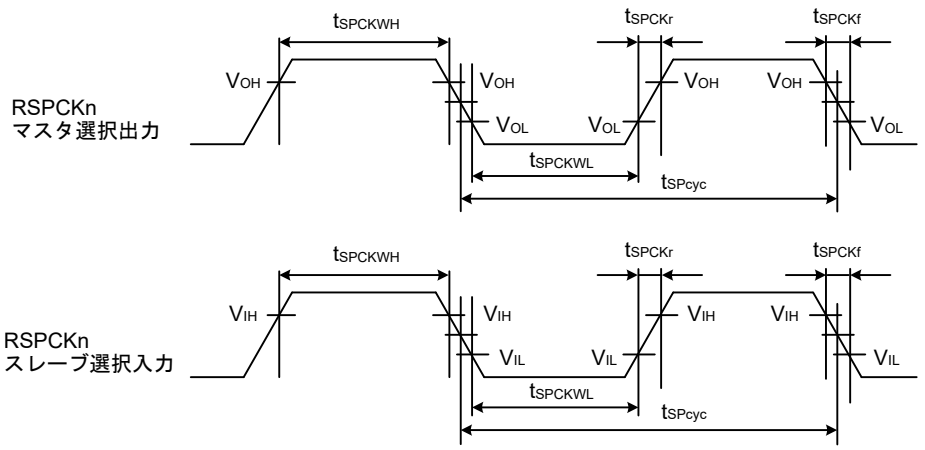
表 2.43 SPI タイミング (4/4)

条件：

1. PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
2. 属するグループを示すため、例えば_A、_B といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF の条件が適用されます。

項目		VCC/VCC2	シンボル	Min	Max	単位	備考
連続送信遅延時間	マスタ	3.00 V 以上	t_{TD}	$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$	ns	図 2.43、図 2.44
		2.70 V 以上		$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$		
	スレーブ	3.00 V 以上		t_{Tcyc}	—	ns	
		2.70 V 以上		t_{Tcyc}	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		t_{Tcyc}	—		
MOSI、MISO 立ち上がり／立ち下がり時間	出力	3.00 V 以上	t_{Dr}, t_{Df}	—	1.66	ns	図 2.43、図 2.44
		2.70 V 以上		—	3.30		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.60		
	入力	3.00 V 以上		—	1.0	μs	
		2.70 V 以上		—	1.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	1.0		
SSL 立ち上がり／立ち下がり時間	出力	3.00 V 以上	t_{SSLr}、t_{SSLf}	—	1.66	ns	図 2.43、図 2.44
		2.70 V 以上		—	3.30		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.60		
	入力	3.00 V 以上		—	1.0	μs	
		2.70 V 以上		—	1.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	1.0		
スレーブアクセス時間	スレーブ	3.00 V 以上	t_{SA}	—	20.0	ns	図 2.46、図 2.47
		2.70 V 以上		—	20.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	25.0		
スレーブ出力解放時間	スレーブ	3.00 V 以上	t_{REL}	—	20.0	ns	
		2.70 V 以上		—	20.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	25.0		

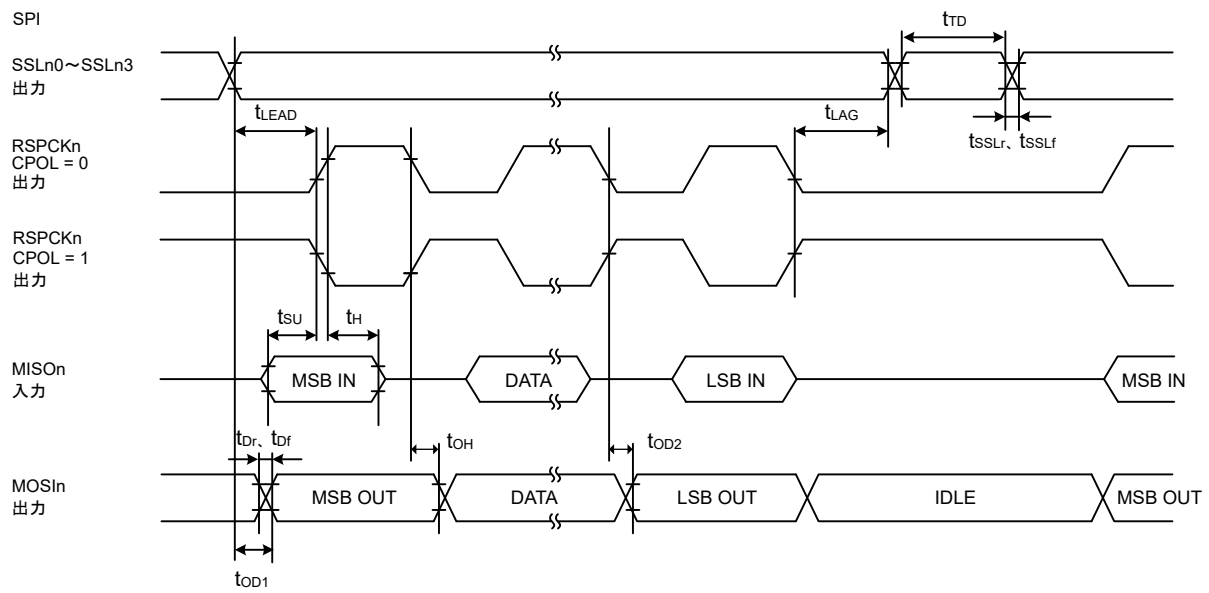
注 1. 最長 1 μs



V_{OH} = 0.7 × VCCまたは0.7 × VCC2、V_{OL} = 0.3 × VCCまたは0.3 × VCC2、
V_{IH} = 0.7 × VCCまたは0.7 × VCC2、V_{IL} = 0.3 × VCCまたは0.3 × VCC2

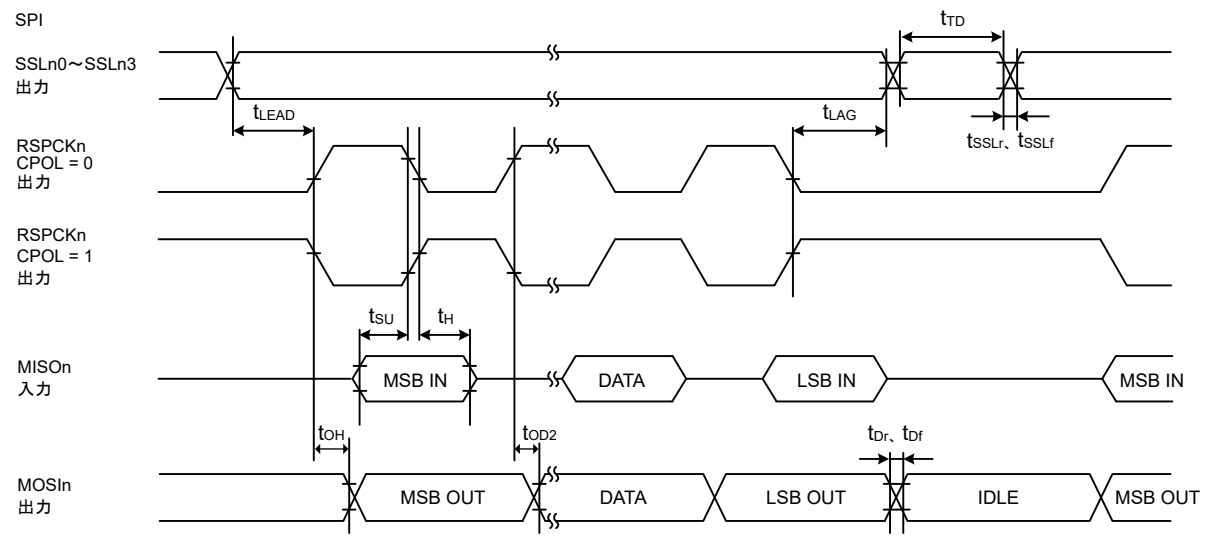
注. n = A または B

図 2.42 SPI クロックタイミング



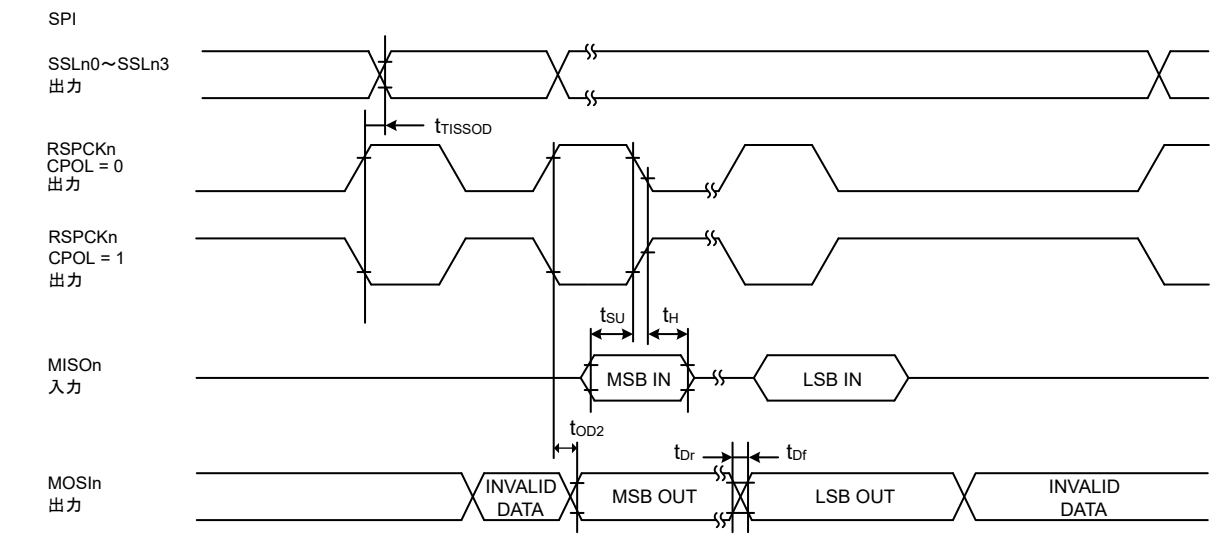
注. n = A または B

図 2.43 CPHA = 0 の場合におけるモトローラ SPI マスタの SPI タイミング



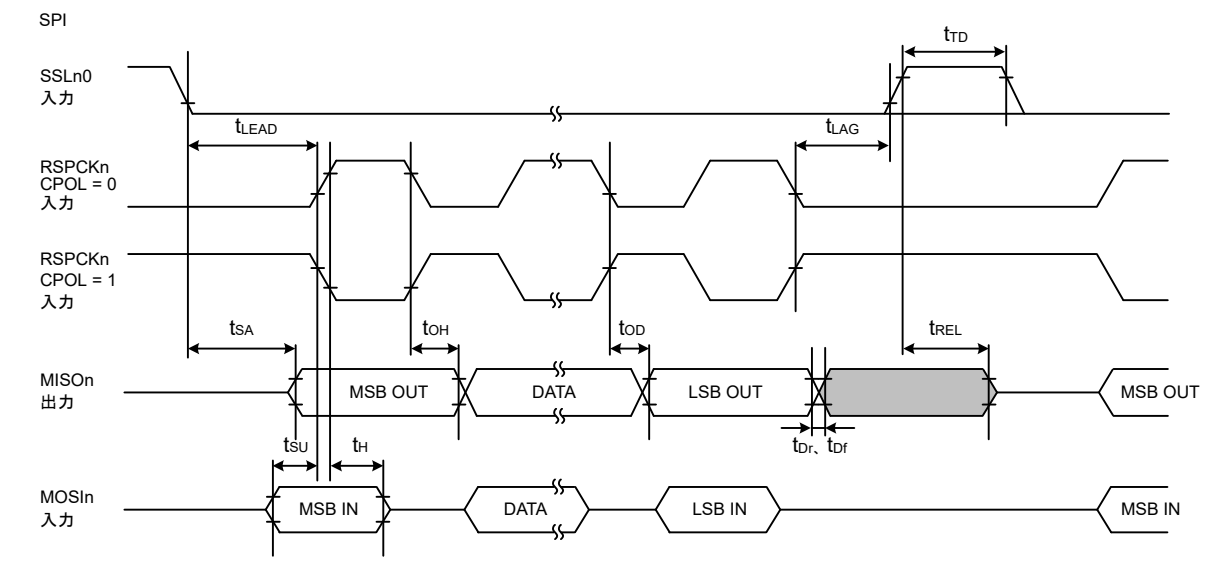
注. n = A または B

図 2.44 CPHA = 1 の場合におけるモトローラ SPI マスタの SPI タイミング



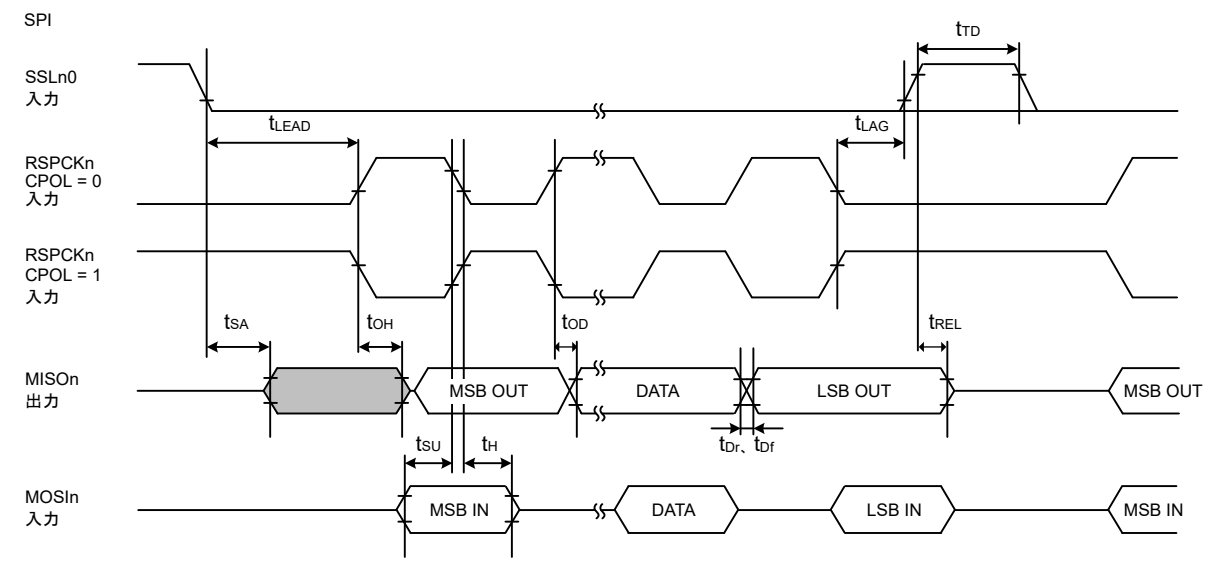
注. n = A または B

図 2.45 SPI タイミング（TI SSP マスタ）



注. n = A または B

図 2.46 CPHA = 0 の場合におけるモトローラ SPI スレーブの SPI タイミング



注. n = A または B

図 2.47 CPHA = 1 の場合におけるモトローラ SPI スレーブの SPI タイミング

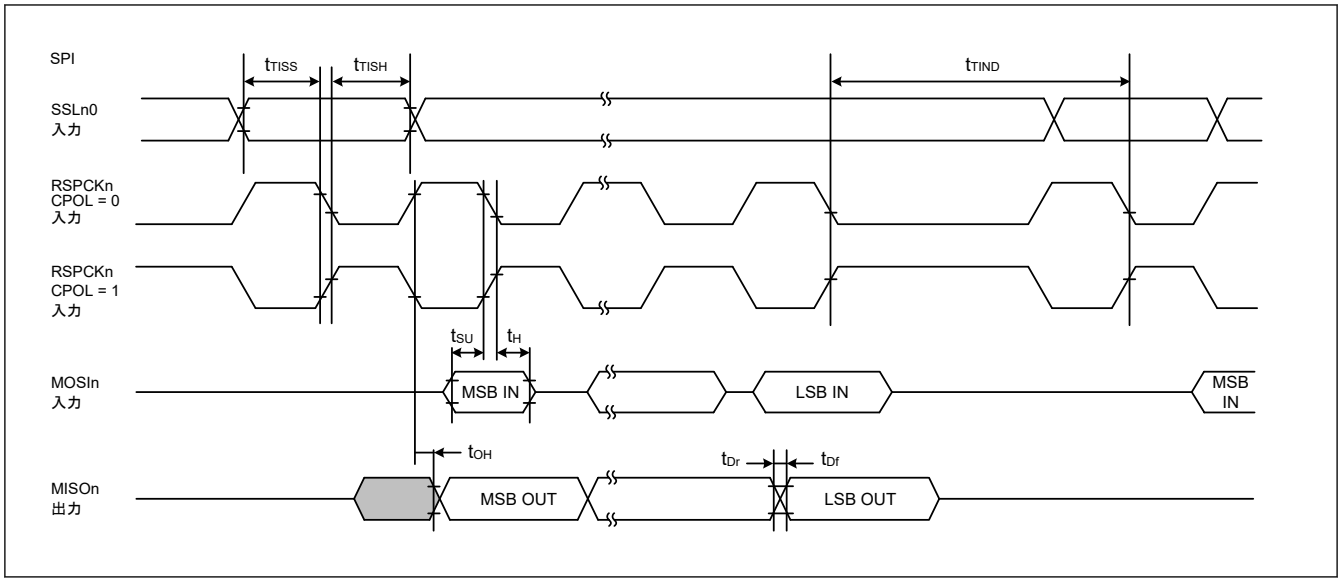


図 2.48　フレーム間の遅延がある送信における TI SSP スレーブの SPI タイミング

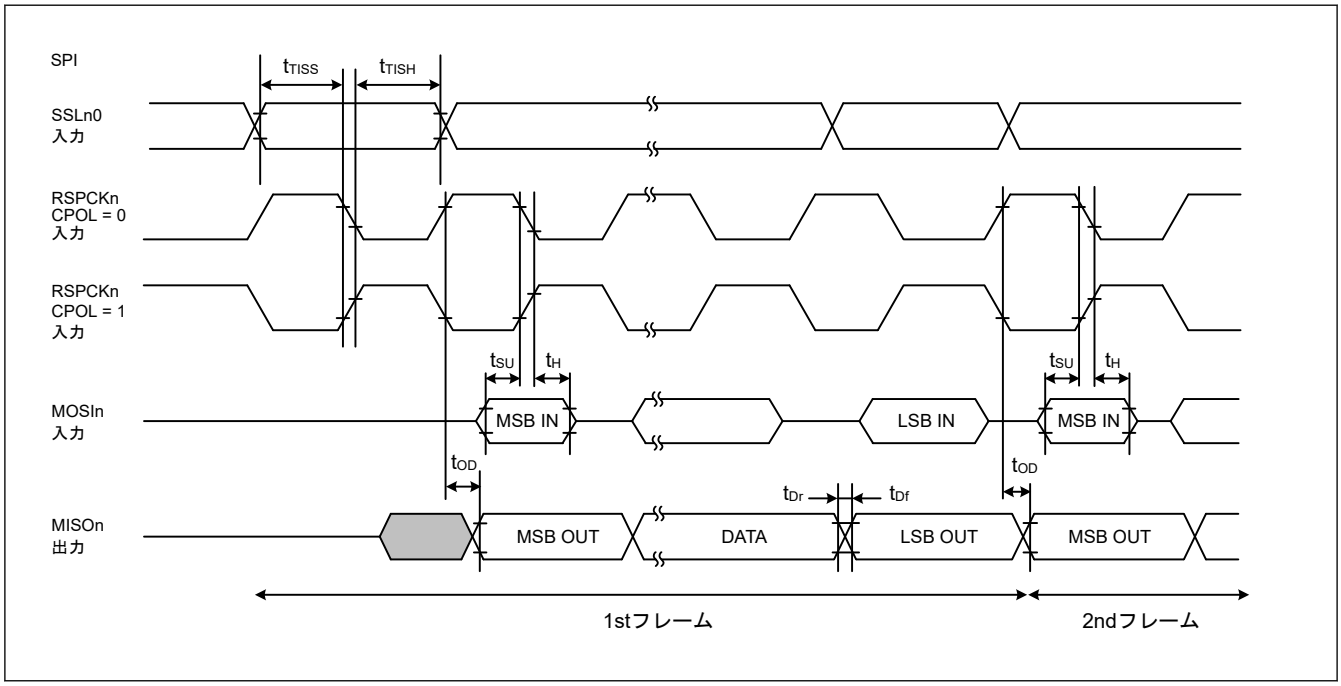


図 2.49　フレーム間の遅延がない送信における TI SSP スレーブの SPI タイミング

2.3.10 OSPI タイミング

表 2.44 OSPI タイミング (1/2)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_SCLK, OM_SCLKN, OM_SIO7-0, OM_DQS.
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています：OM_CS0、OM_CS1
負荷容量 C = 20 pF

項目		シンボル	VCC/VCC2	Min	Max	単位	備考
サイクルタイム	OM_DQS 端子なしの SDR	t_{PERIOD}	2.70 V 以上	20	—	ns	図 2.50
			1.65 V～2.00 V	20	—		
	OM_DQS 端子ありの SDR/DDR	t_{PERIOD}	2.70 V 以上	10	—	ns	
			1.65 V～2.00 V	10	—		
クロック出力スルーレート		t_{SRck}	2.70 V 以上	0.56	—	V/ns	
			1.65 V～2.00 V	0.56	—		
クロックデューティーサイクル歪み		t_{CKDCD}	2.70 V 以上	0	0.5	ns	
			1.65 V～2.00 V	0	0.5		
クロック最小パルス幅		t_{CKMPW}	2.70 V 以上	4.5	—	ns	
			1.65 V～2.00 V	4.5	—		
差動クロック交差電圧		V_{ox}(AC)	2.70 V 以上	0.4 × VCC2	0.6 × VCC2	V	
			1.65 V～2.00 V	0.4 × VCC2	0.6 × VCC2		
DS デューティーサイクル歪み		t_{DSDCD}	2.70 V 以上	0	0.4	ns	
			1.65 V～2.00 V	0	0.4		
DS 最小パルス幅		t_{DSMPW}	2.70 V 以上	4.1	—	ns	
			1.65 V～2.00 V	4.1	—		
データ入出力スルーレート		t_{SR}	2.70 V 以上	1.03	—	ns	
			1.65 V～2.00 V	0.56	—		
データ入力セットアップ時間（OM_SCLK/OM_SCLKN に対して）	OM_DQS 端子なしの SDR	t_{SU}	2.70 V 以上	8.0	—	ns	図 2.51
			1.65 V～2.00 V	12.5	—		
データ入力ホールド時間（OM_SCLK/OM_SCLKN に対して）		t_H	2.70 V 以上	0.5	—	ns	
			1.65 V～2.00 V	0.5	—		
データ出力有効時間		t_{OV}(注2)	2.70 V 以上	—	4.0	ns	
			1.65 V～2.00 V	—	4.0		
データ出力ホールド時間		t_{OH}	2.70 V 以上	-2.0	—	ns	
			1.65 V～2.00 V	-2.0	—		
データ出力バッファオフ時間		t_{BOFF}	2.70 V 以上	-2.0	—	ns	
			1.65 V～2.00 V	-2.0	—		

表 2.44 OSPI タイミング (2/2)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_SCLK, OM_SCLKN, OM_SIO7-0, OM_DQS.
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています：OM_CS0、OM_CS1
負荷容量 C = 20 pF

項目		シンボル	VCC/VCC2	Min	Max	単位	備考
データ入力セットアップ時間（OM_DQS に対して）	OM_DQS 端子ありの SDR/DDR	t_{SU}	2.70 V 以上	-0.9	—	ns	図 2.52、図 2.53
			1.65 V～2.00 V	-0.9	—		
データ入力ホールド時間（OM_DQS に対して）		t_H	2.70 V 以上	3.2	—	ns	
			1.65 V～2.00 V	3.2	—		
データ出力有効時間		t_{OV}(注2)	2.70 V 以上	—	$t_{PERIOD}/4$ + 0.9	ns	
			1.65 V～2.00 V	—	$t_{PERIOD}/4$ + 0.9		
データ出力ホールド時間		t_{HO}	2.70 V 以上	1.1	—	ns	
			1.65 V～2.00 V	1.1	—		
データ出力バッファオフ時間		t_{BOFF}	2.70 V 以上	1.1	—	ns	
			1.65 V～2.00 V	1.1	—		
クロック Low～CS Low		t_{CKLCSL}	2.70 V 以上	8	—	ns	図 2.51、図 2.52、図 2.53
			1.65 V～2.00 V	8	—		
CS Low～クロック High		t_{CSLCKH}(注3)	2.70 V 以上	8	—	ns	
			1.65 V～2.00 V	8	—		
クロック Low～CS High		t_{CKLCSH}	2.70 V 以上	8	—	ns	
			1.65 V～2.00 V	8	—		
CS High～クロック High		t_{CSHCKH}	2.70 V 以上	8	—	ns	
			1.65 V～2.00 V	8	—		
DS Low 出力～CS High		t_{DSLCSH}	2.70 V 以上	0.8 × t_{PERIOD}	—	ns	図 2.54
			1.65 V～2.00 V	0.8 × t_{PERIOD}	—		
CS High～DS トライステート		t_{CSHDST}	2.70 V 以上	—	t_{PERIOD}	ns	
			1.65 V～2.00 V	—	t_{PERIOD}		
CS Low～DS Low 入力(注1)		t_{CSLDSL}	2.70 V 以上	0	18.5	ns	
			1.65 V～2.00 V	0	12.5		
DS トライステート～CS Low		t_{DSTCSL}	2.70 V 以上	0	—	ns	
			1.65 V～2.00 V	0	—		

注 1. OM_DQS 端子に接続された外部プルダウンで JESD251 プロファイル 1.0 メモリを使用する場合はこの制限に従う必要はありません。
注 2. 条件： COMCFG.OEASTEX = 1
注 3. 条件： LIOCFGCSx.CSASTEX = 1

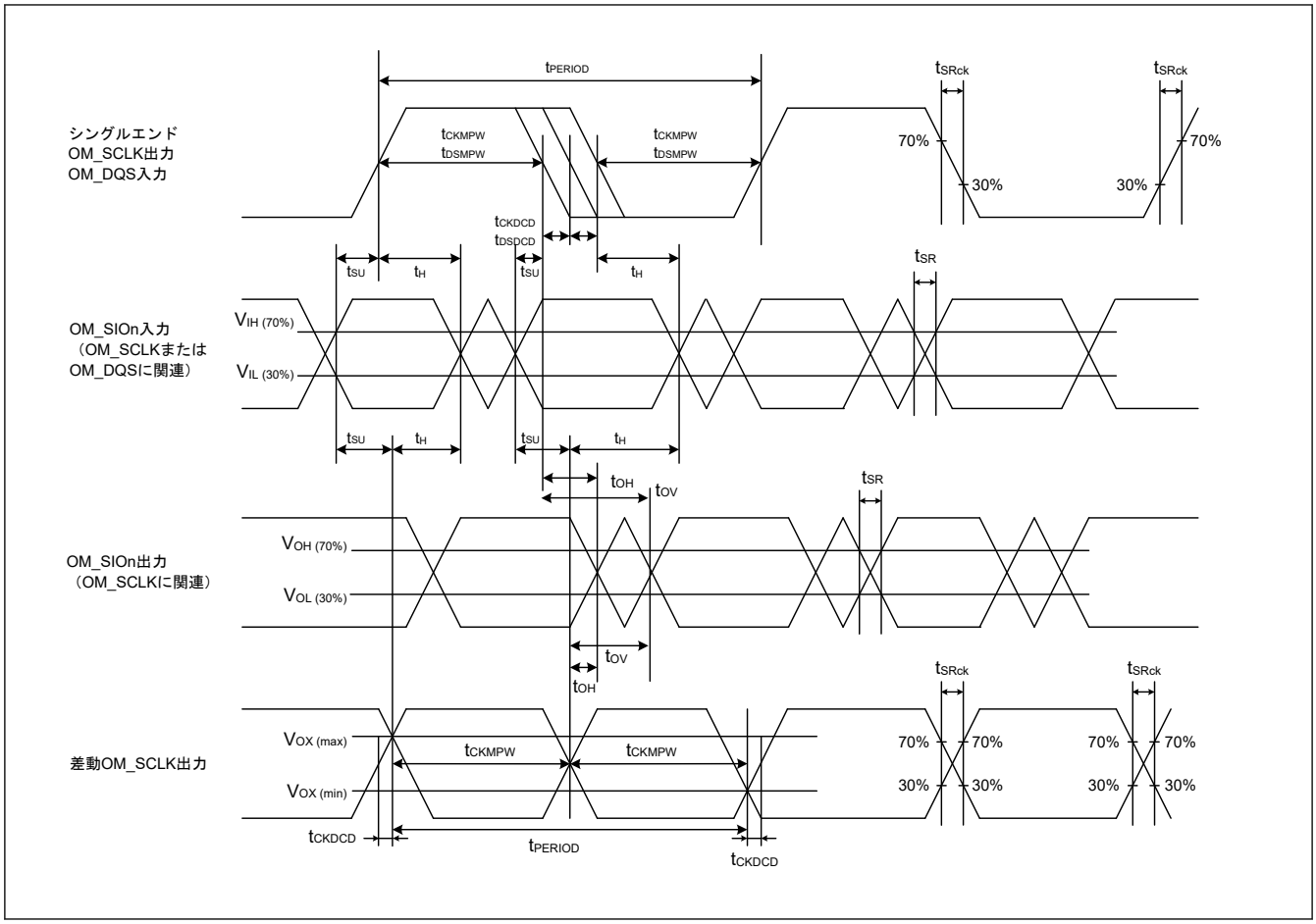


図 2.50　OSPI クロック／DS タイミング

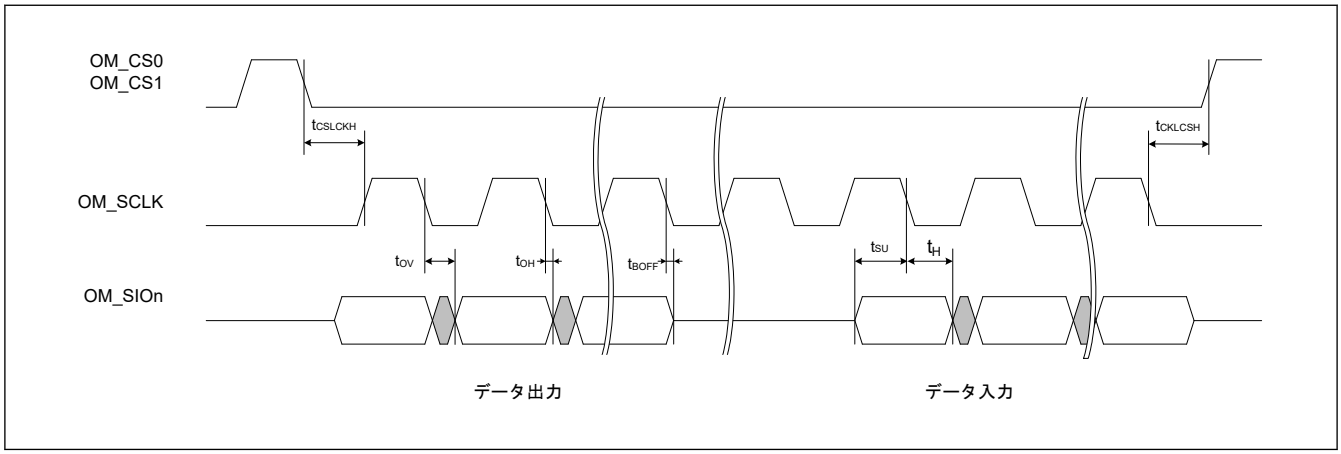


図 2.51　SDR 送受信タイミング（1S-1S-1S、1S-2S-2S、2S-2S-2S、1S-4S-4S、4S-4S-4S）

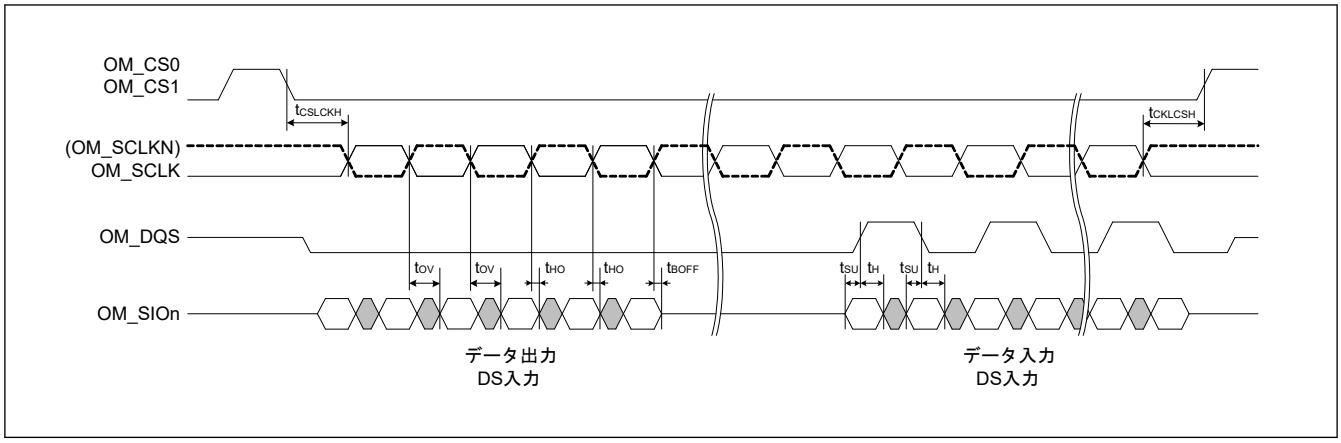


図 2.52 DDR 送受信タイミング（4S-4D-4D、8D-8D-8D）

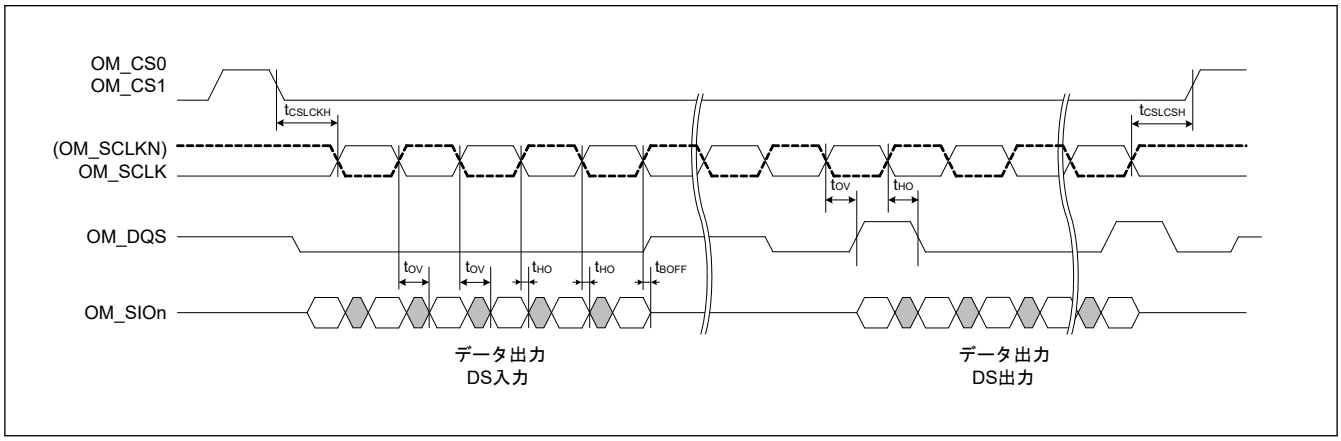


図 2.53 DDR 送受信タイミング（HyperRAM 書き込み）

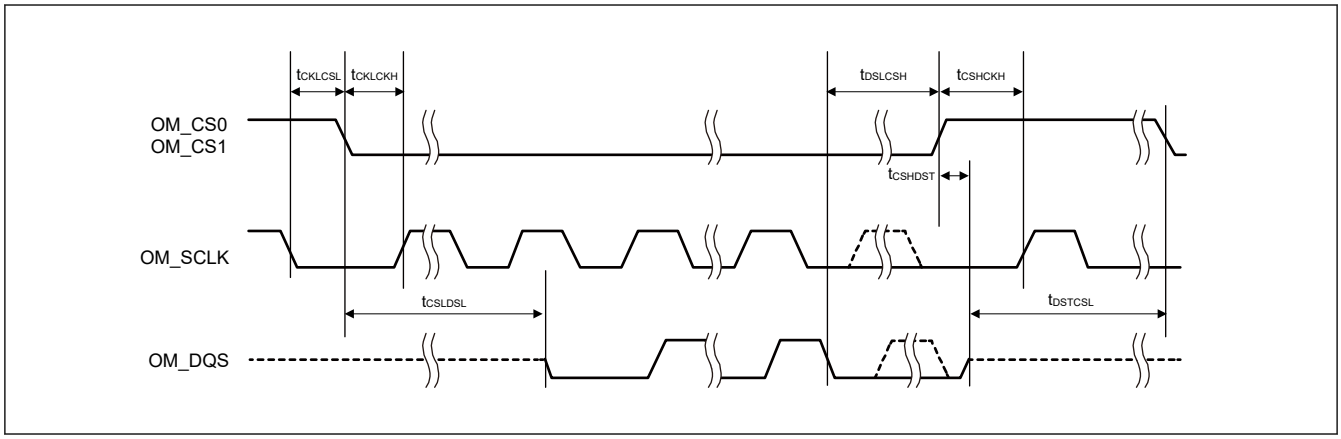


図 2.54 DS～CS 信号タイミング

2.3.11 IIC タイミング

表 2.45 IIC タイミング (1) (1/2)

(1) 条件：以下の端子の PmnPFS レジスタのポート駆動能力ビットにおいて、VCC が 2.70 V 以上のときは中駆動出力が選択され、1.68～1.95 V のときは高駆動出力が選択されます。
SDA0_B, SCL0_B, SDA1_B, SCL1_B
(2) 以下の端子の設定は必要ありません：SCL0_A, SDA0_A。SCL1_A, SDA1_A
(3) 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（標準モード、SMBus）VCC が 2.70 V 以上のとき、ICFER.FMPE = 0、VCC が 1.68～1.95 V のとき、ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 1300	—	ns	図 2.55
			1.68～1.95 V				
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	SCL, SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	—	1000	ns	
			1.68～1.95 V				
	SCL, SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	—	300	ns	
			1.68～1.95 V				
	SCL, SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
			1.68～1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
			1.68～1.95 V				
	繰り返しのスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	1000	—	ns	
			1.68～1.95 V				
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	1000	—	ns	
			1.68～1.95 V				
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 50	—	ns	
			1.68～1.95 V				
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
			1.68～1.95 V				
	SCL, SDA の負荷容量	C_b	2.70 V 以上	—	400	pF	
			1.68～1.95 V				

表 2.45 IIC タイミング (1) (2/2)

(1) 条件：以下の端子の PmnPFS レジスタのポート駆動能力ビットにおいて、VCC が 2.70 V 以上のときは中駆動出力が選択され、1.68～1.95 V のときは高駆動出力が選択されます。
SDA0_B, SCL0_B, SDA1_B, SCL1_B
(2) 以下の端子の設定は必要ありません：SCL0_A, SDA0_A。SCL1_A, SDA1_A
(3) 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（ファストモード）VCC が 2.70 V 以上のとき、ICFER.FMPE = 0、 VCC が 1.68～1.95 V のとき、ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 600	—	ns	図 2.55
			1.68～1.95 V				
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	SCL, SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	20	300	ns	
			1.68～1.95 V				
	SCL, SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	20 ×（外付けプルアップ電圧／5.5 V）(注1)	300	ns	
			1.68～1.95 V				
	SCL, SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
			1.68～1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
			1.68～1.95 V				
	繰り返しのスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	300	—	ns	
			1.68～1.95 V				
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	300	—	ns	
			1.68～1.95 V				
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 50	—	ns	
			1.68～1.95 V				
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
			1.68～1.95 V				
	SCL, SDA の負荷容量	C_b	2.70 V 以上	—	400	pF	
			1.68～1.95 V				

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル、t_{Pcyc}：PCLKB の周期
注. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると（ ）内の値が適用されます。
注. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 1. SCL0_A, SDA0_A, SCL1_A, SDA1_A に限りサポートされています。

表 2.46 IIC タイミング (2)

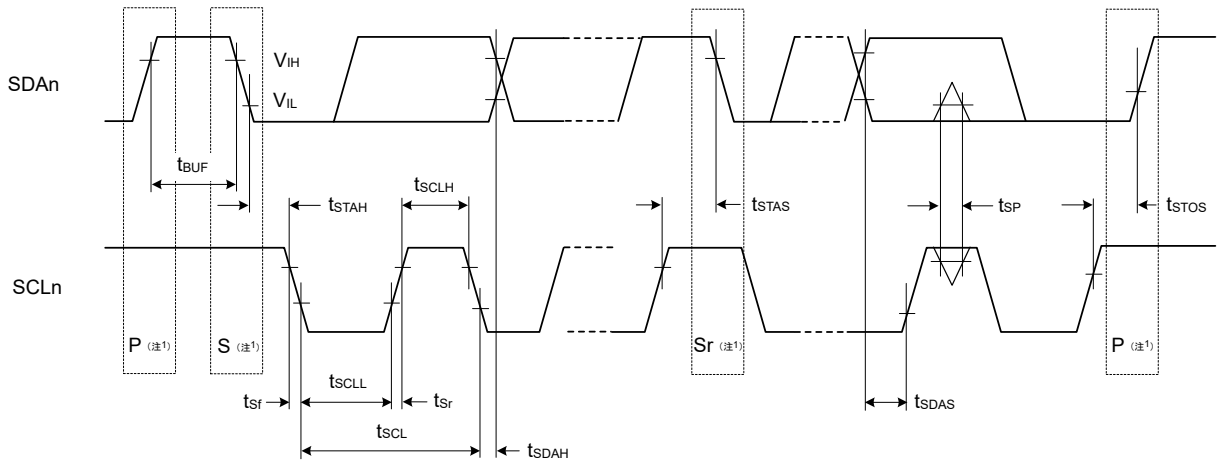
PmnPFS レジスタのポート駆動能力ビットがあれば、SCL0_A、SDA0_A、SCL1_A、および SDA1_A 端子の設定は必要ありません。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（ファストモード+）ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 240	—	ns	図 2.55
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
	SCL, SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	—	120	ns	
	SCL, SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	20 ×（外付けプルアップ電圧／5.5 V）	120	ns	
	SCL, SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 120	—	ns	
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 120	—	ns	
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 120	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	120	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 30	—	ns	
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
	SCL, SDA の負荷容量	C_b(注1)	2.70 V 以上	—	550	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) の周期、tPcyc：PCLKB の周期

注. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると（ ）内の値が適用されます。

注 1. Cb はバスラインの容量総計を意味します。



注 1. S, P, Sr はそれぞれ以下のコンディションを示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 2.55 I²C バスインタフェース入出力タイミング

2.3.12 SSIE タイミング

表 2.47 SSIE タイミング (1/2)

(1) PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
(2) 属するグループを示すため、例えば_A、_B、_C といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	VCC	Min	Max	単位	注記
SSIBCK	サイクル	マスタ	t_O	2.70 V 以上	80	—	ns	図 2.56
				1.68 V 以上	80	—		
		スレーブ	t_I	2.70 V 以上	80	—	ns	
				1.68 V 以上	80	—		
	High レベル／Low レベル	マスタ	t_{HC}/t_{LC}	2.70 V 以上	0.35	—	t_O	
				1.68 V 以上	0.35	—		
		スレーブ		2.70 V 以上	0.35	—	t_I	
				1.68 V 以上	0.35	—		
	立ち上がり/立ち下がり時間	マスタ	t_{RC}/t_{FC}	2.70 V 以上	—	0.15	t_O / t_I	
				1.68 V 以上	—	0.15		
		スレーブ		2.70 V 以上	—	0.15	t_O / t_I	
				1.68 V 以上	—	0.15		

表 2.47 SSIE タイミング (2/2)

(1) PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
(2) 属するグループを示すため、例えば_A、_B、_C といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	VCC	Min	Max	単位	注記
SSILRCK0/ SSIFS0, SSITXD0, SSIRXD0	入力セットアップ時間	マスタ	t_{SR}	2.70 V 以上	12	—	ns	図 2.58 図 2.59
				1.68 V 以上	20	—		
		スレーブ		2.70 V 以上	12	—	ns	
				1.68 V 以上	12	—		
	入力ホールド時間	マスタ	t_{HR}	2.70 V 以上	8	—	ns	
				1.68 V 以上	8	—		
		スレーブ		2.70 V 以上	15	—	ns	
				1.68 V 以上	15	—		
	出力遅延時間	マスタ	t_{DTR}	2.70 V 以上	-10	5	ns	
				1.68 V 以上	-10	7		
		スレーブ		2.70 V 以上	0	20	ns	
				1.68 V 以上	0	25		
	SSILRCK/ SSIFS 変化時からの出力遅延時間	スレーブ	t_{DTRW}	2.70 V 以上	—	20	ns	図 2.60
				1.68 V 以上	—	25		
GTIOC2A, AUDIO_CLK	サイクル		t_{EXcyc}	2.70 V 以上	20	—	ns	図 2.57(注1)
				1.68 V 以上	40	—		
	High レベル／Low レベル		t_{EXL}/t_{EXH}	2.70 V 以上	0.4	—	t_{EXcyc}	
				1.68 V 以上	0.4	—		
	立ち上がり時間／立ち下がり時間		t_{EXr}/t_{EXr}	2.70V 以上	—	0.1(注2)	t_{EXcyc}	
				1.68 V 以上	—	0.1(注2)		

注 1. SSIE はスレーブモード送信用に 1 本の経路を備え、その経路により SSILRCK/SSIFS 端子からの信号入力が送信データの生成に使用され、送信データが SSITXD0 端子または SSIDATA1 端子へ論理出力されます。
注 2. 最長 1 μs

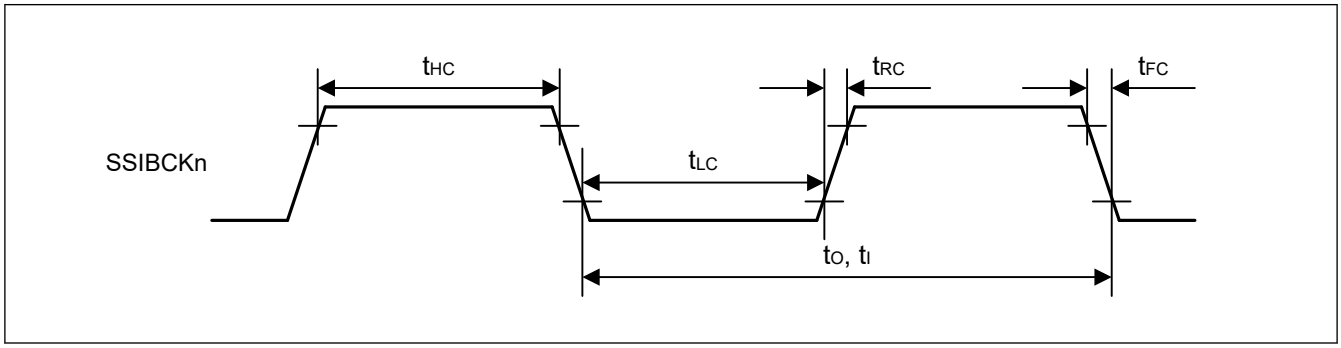


図 2.56 SSIE クロック入出力タイミング

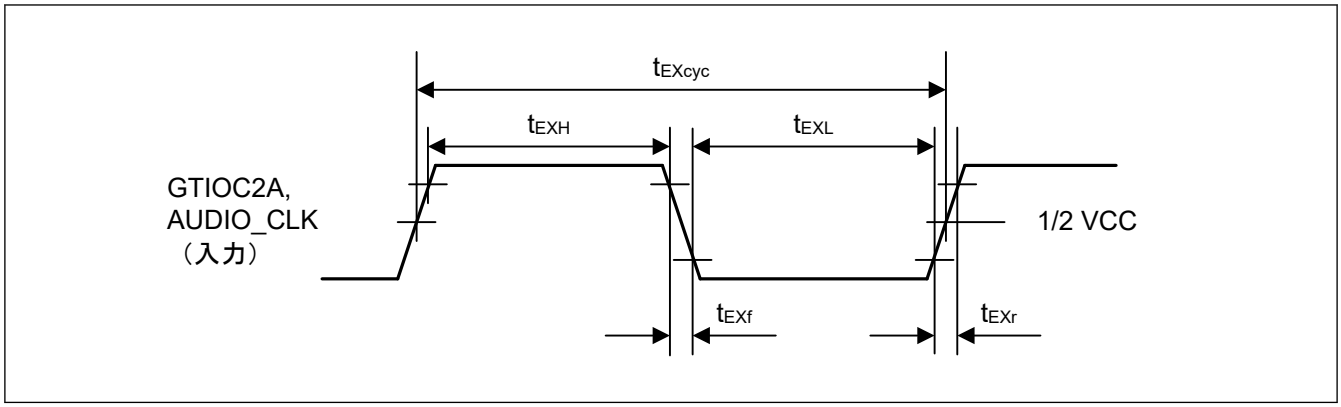


図 2.57　クロック入力タイミング

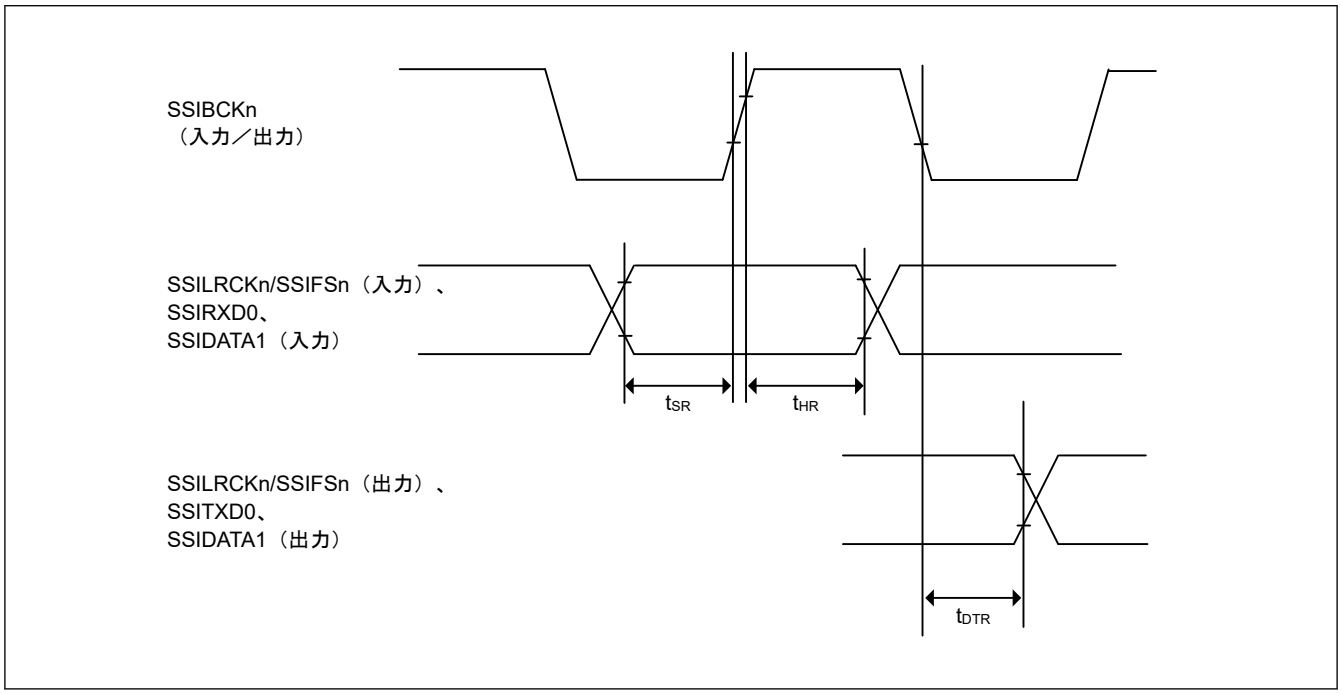


図 2.58　SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

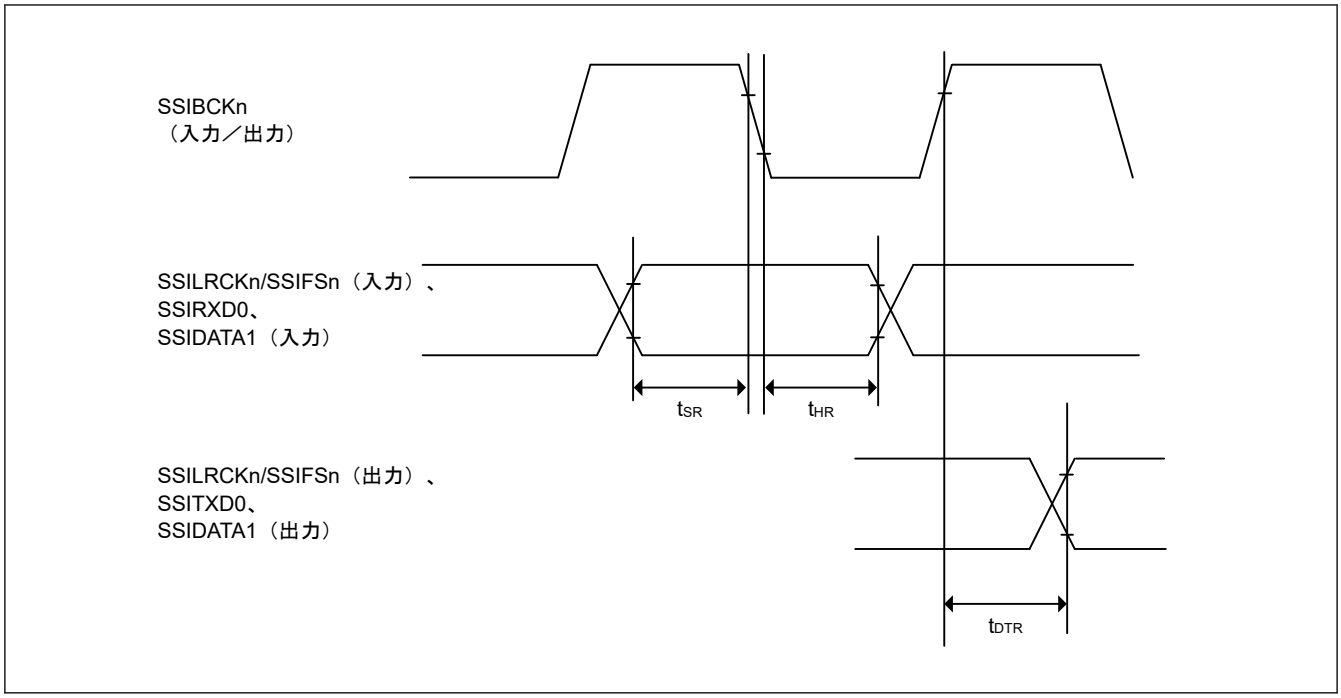


図 2.59 SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング

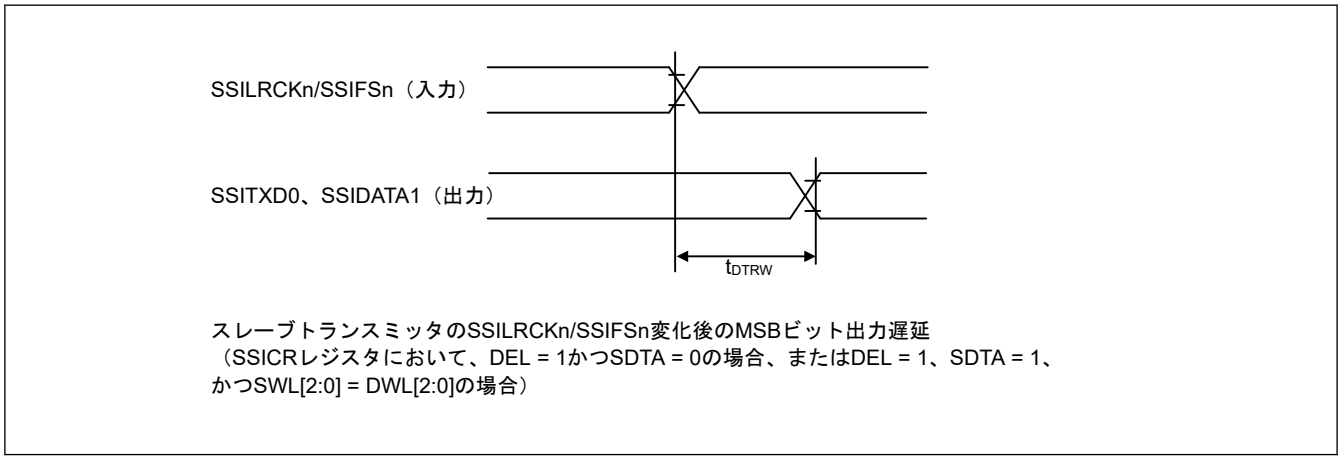


図 2.60 SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

2.3.13 ETHERC タイミング

表 2.48 ETHERC タイミング

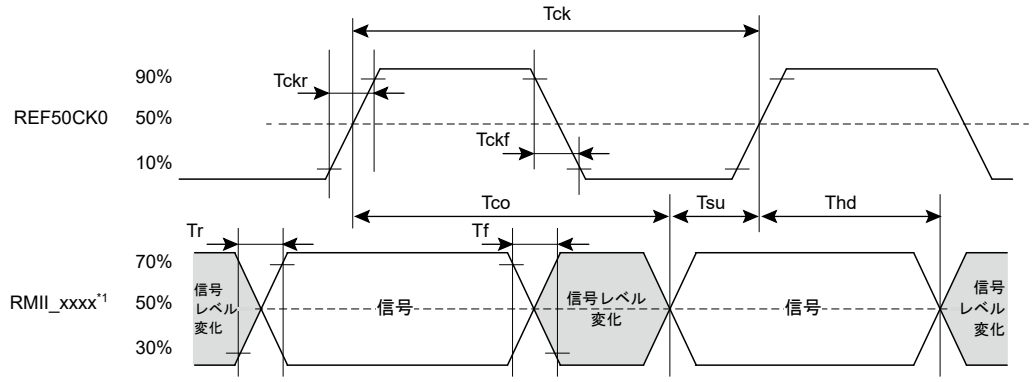
条件 : ETHERC (RMII) : 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています : ET0_MDC、ET0_MDIO その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
ETHERC (MII): PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	VCC	Min	Max	単位	測定条件
ETHERC (RMII)	REF50CK0 サイクル時間	T_{ck}	2.70 V 以上	20	—	ns	図 2.61～図 2.64
	REF50CK0 周波数、Typ. 50 MHz	—		—	50 + 100 ppm	MHz	
	REF50CK0 デューティー	—		35	65	%	
	REF50CK0 立ち上がり／立ち下がり時間	$T_{ckr/ckf}$		0.5	3.5	ns	
	RMII_xxxx(注1)出力遅延時間	T_{co}		2.5	12.0	ns	
	RMII_xxxx(注2)セットアップ時間	T_{su}		3	—	ns	
	RMII_xxxx(注2)ホールド時間	T_{hd}		1	—	ns	
	RMII_xxxx(注1) (注2)立ち上がり／立ち下がり時間	T_r/T_f		0.5	5.0	ns	
	ET0_WOL 出力遅延時間	t_{WOLd}		1	23.5	ns	図 2.65
ETHERC (MII)	ET0_TX_CLK サイクル時間	t_{Tcyc}		40	—	ns	—
	ET0_TX_EN 出力遅延時間	t_{TENd}		1	20	ns	図 2.66
	ET0_ETXD0～ET_ETXD3 出力遅延時間	t_{MTDd}		1	20	ns	
	ET0_CRS セットアップ時間	t_{CRSs}		10	—	ns	
	ET0_CRS ホールド時間	t_{CRSh}		10	—	ns	
	ET0_COL セットアップ時間	t_{COLs}		10	—	ns	図 2.67
	ET0_COL ホールド時間	t_{COLh}		10	—	ns	
	ET0_RX_CLK サイクル時間	t_{TRcyc}		40	—	ns	—
	ET0_RX_DV セットアップ時間	t_{RDVs}		10	—	ns	図 2.68
	ET0_RX_DV ホールド時間	t_{RDVh}		10	—	ns	
	ET0_ERXD0～ET_ERXD3 セットアップ時間	t_{MRDs}		10	—	ns	
	ET0_ERXD0～ET_ERXD3 ホールド時間	t_{MRDh}		10	—	ns	
	ET0_RX_ER セットアップ時間	t_{RERs}		10	—	ns	図 2.69
	ET0_RX_ER ホールド時間	t_{RESh}		10	—	ns	
	ET0_WOL 出力遅延時間	t_{WOLd}		1	23.5	ns	図 2.70

注. 以下の端子は、属するグループを示すため、例えば_A、_B といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。 ETHERC (RMII) ホストインタフェースについては、電気的特性の AC タイミングを各グループで測定しています。REF50CK0_A、REF50CK0_B、RMII0_xxxx_A、RMII0_xxxx_B

注 1. RMII_TXD_EN、RMII_TXD1、RMII_TXD0

注 2. RMII_CRS_DV、RMII_RXD1、RMII_RXD0、RMII_RX_ER



注 1. RMII_TXD_EN、RMII_TXD1、RMII_TXD0、RMII_CRS_DV、RMII_RXD1、RMII_RXD0、RMII_RX_ER

図 2.61 REF50CK0、RMII の信号タイミング

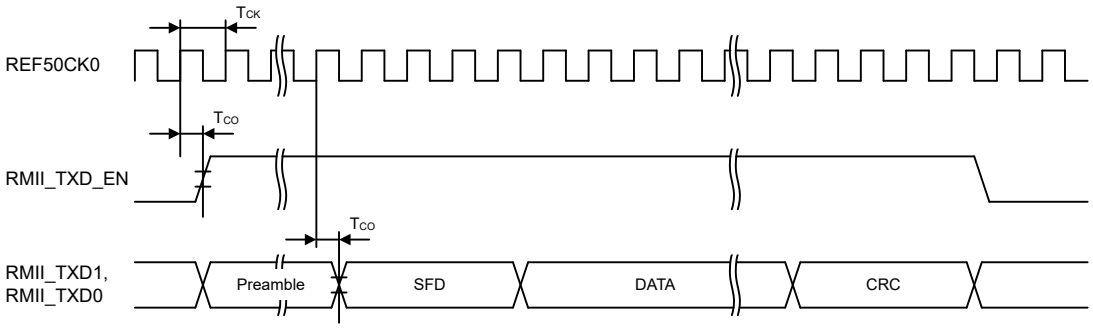


図 2.62 RMII 送信タイミング

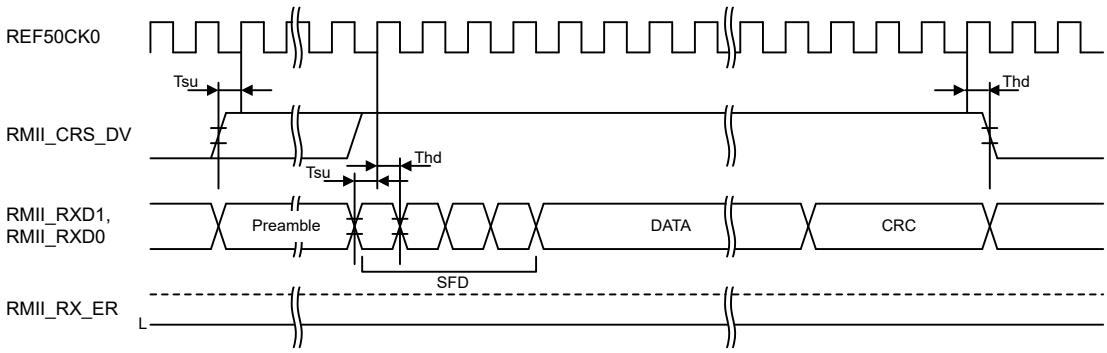


図 2.63 正常動作時の RMII 受信タイミング

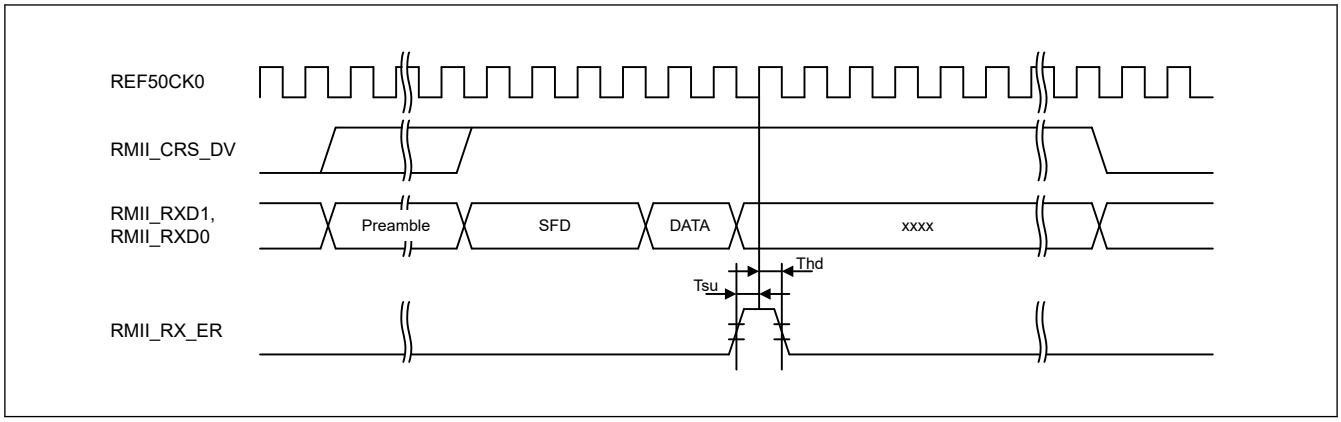


図 2.64 エラー発生時の RMII 受信タイミング

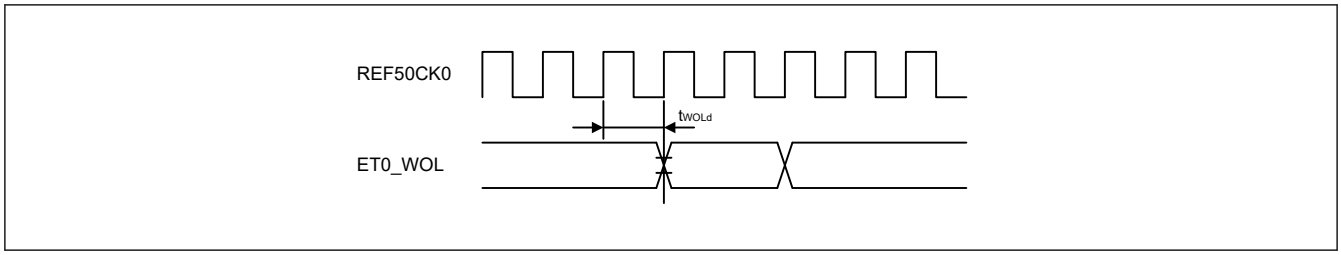


図 2.65 RMII に対する WOL 出力タイミング

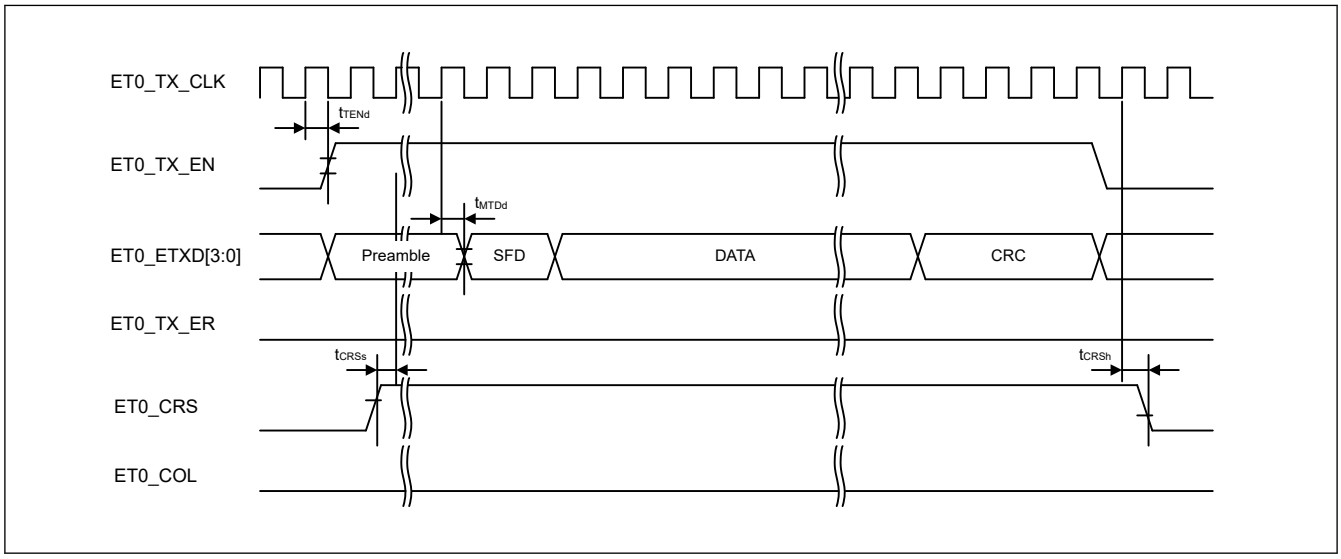


図 2.66 正常動作時の MII 送信タイミング

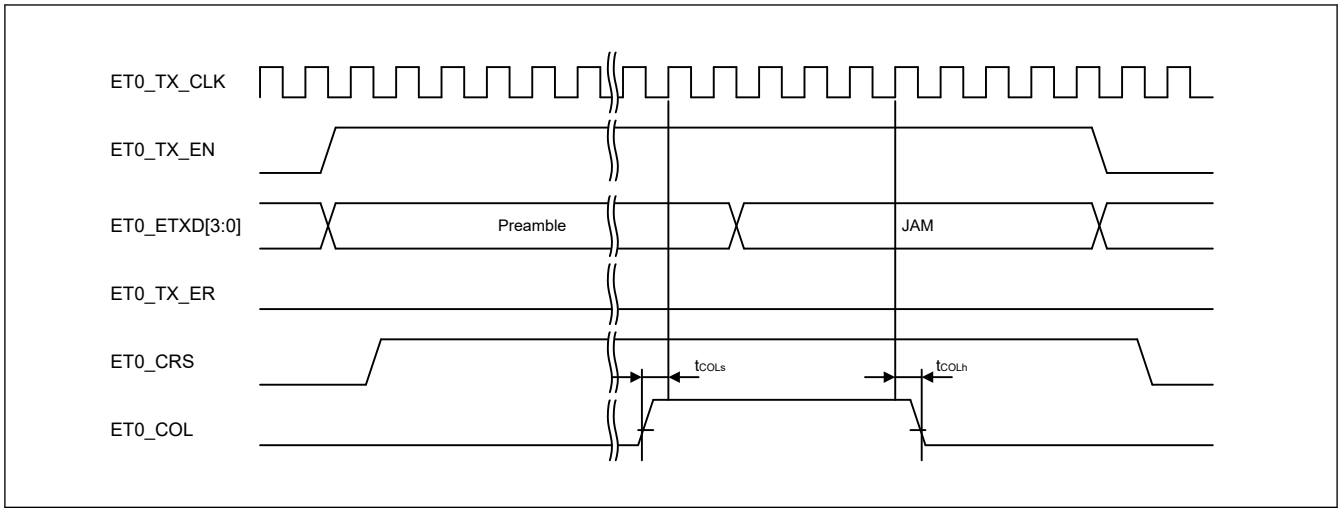


図 2.67 競合発生時の MII 送信タイミング

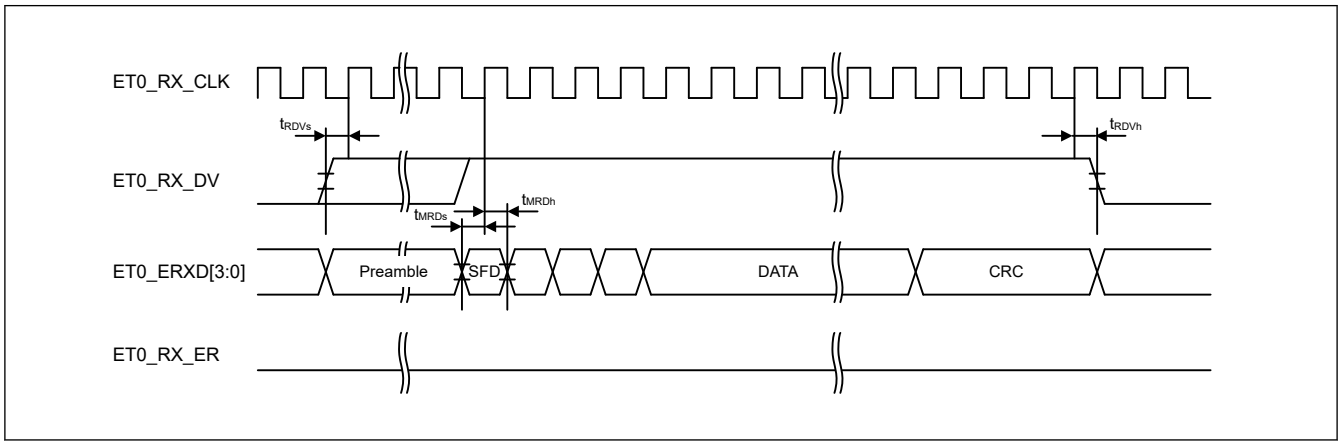


図 2.68 正常動作時の MII 受信タイミング

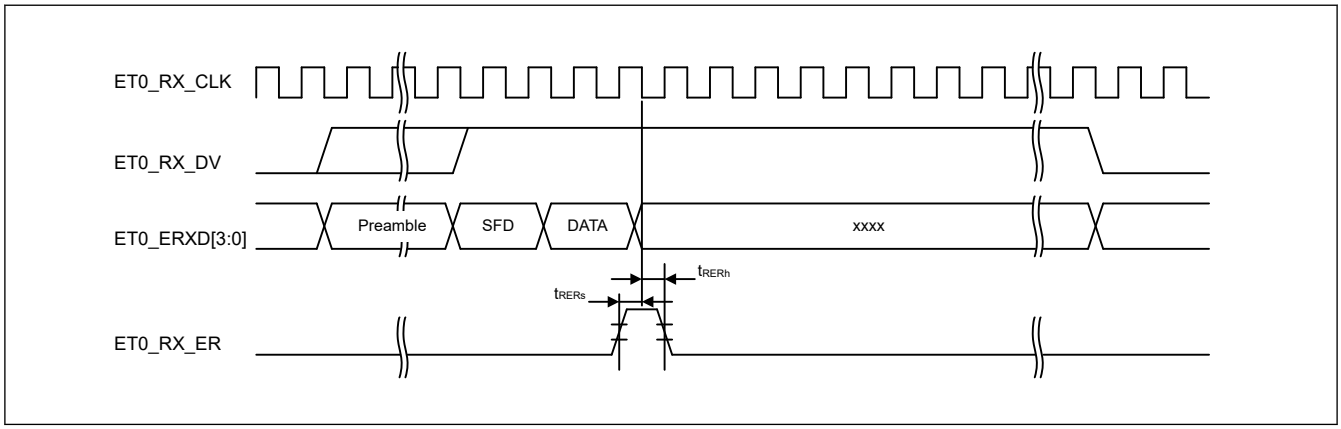


図 2.69 エラー発生時の MII 受信タイミング

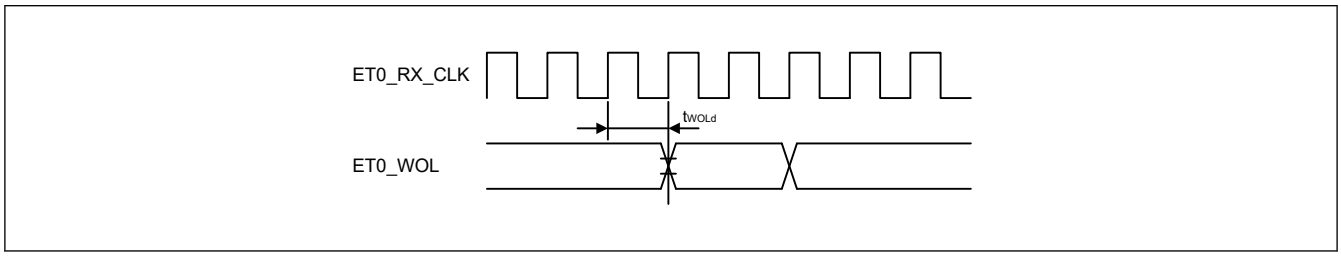


図 2.70 MII に対する WOL 出力タイミング

2.3.14 CEU タイミング

表 2.49 キャプチャエンジンユニット信号タイミング

項目	シンボル	VCC	Min	Max	単位	測定条件
垂直同期 (VIO_VD) セットアップ時間（カメラクロック立ち上がり）	t_{VVDS}	2.70 V 以上	2.0	—	ns	図 2.71 図 2.72
		1.68 V 以上	4.5	—		
垂直同期 (VIO_VD) セットアップ時間（カメラクロック立ち下がり）	t_{VVDS}	2.70 V 以上	2.5	—	ns	
		1.68 V 以上	4.5	—		
垂直同期 (VIO_VD) ホールド時間	t_{VVDH}	2.70 V 以上	3.5	—	ns	
		1.68 V 以上	5.5	—		
水平同期 (VIO_HD) セットアップ時間（カメラクロック立ち上がり）	t_{VHDS}	2.70 V 以上	2.0	—	ns	
		1.68 V 以上	4.5	—		
水平同期 (VIO_HD) セットアップ時間（カメラクロック立ち下がり）	t_{VHDS}	2.70 V 以上	2.5	—	ns	
		1.68 V 以上	4.5	—		
水平同期 (VIO_HD) ホールド時間	t_{VHDH}	2.70 V 以上	3.5	—	ns	
		1.68 V 以上	5.5	—		
キャプチャ画像データ (VIO_D) セットアップ時間（カメラクロック立ち上がり）	t_{VDTS}	2.70 V 以上	2.0	—	ns	
		1.68 V 以上	4.5	—		
キャプチャ画像データ (VIO_D) セットアップ時間（カメラクロック立ち下がり）	t_{VDTS}	2.70 V 以上	2.5	—	ns	
		1.68 V 以上	4.5	—		
キャプチャ画像データ (VIO_D) ホールド時間	t_{VDTH}	2.70 V 以上	3.5	—	ns	
		1.68 V 以上	5.5	—		
カメラクロックサイクル	t_{VCYC}	2.70 V 以上	11.5	—	ns	
		1.68 V 以上	23.0	—		
カメラクロック High レベル幅	t_{VHW}	2.70 V 以上	0.4 × t_{VCYC}	—	ns	
		1.68 V 以上	0.4 × t_{VCYC}	—		
カメラクロック Low レベル幅	t_{VLW}	2.70 V 以上	0.4 × t_{VCYC}	—	ns	
		1.68 V 以上	0.4 × t_{VCYC}	—		
フィールド識別信号 (VIO_FLD) セットアップ時間（カメラクロック立ち上がり）	t_{VFDS}	2.70 V 以上	2.0	—	ns	
		1.68 V 以上	4.5	—		
フィールド識別信号 (VIO_FLD) セットアップ時間（カメラクロック立ち下がり）	t_{VFDS}	2.70 V 以上	2.5	—	ns	
		1.68 V 以上	4.5	—		
フィールド識別信号 (VIO_FLD) ホールド時間	t_{VFDH}	2.70 V 以上	3.5	—	ns	
		1.68 V 以上	5.5	—		

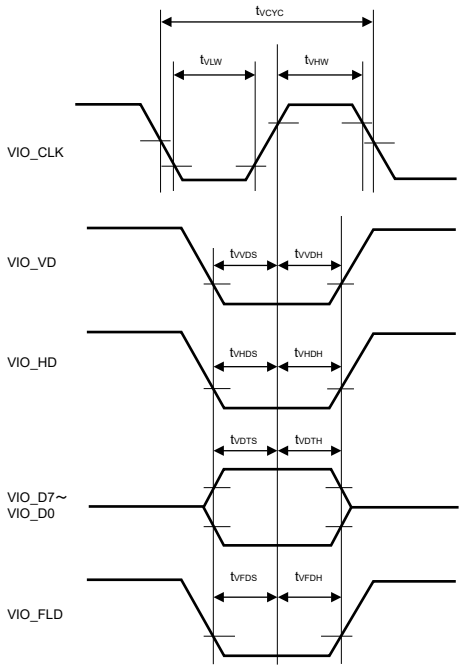


図 2.71 VIO_CLK の立ち上がりエッジによるデータキャプチャのキャプチャエンジンユニットモジュール信号タイミング

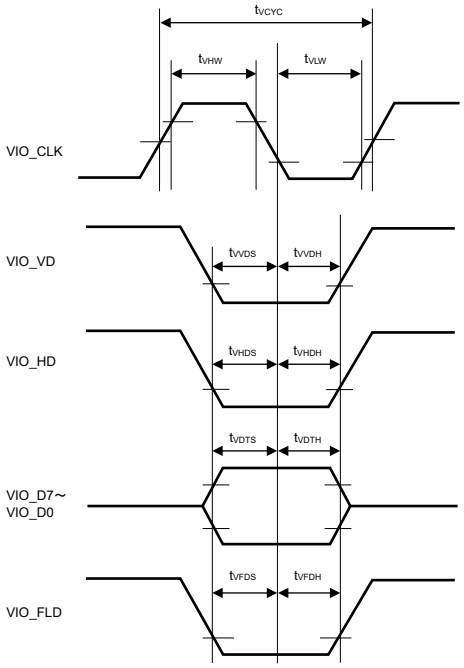


図 2.72 VIO_CLK の立ち下がりエッジによるデータキャプチャのキャプチャエンジンユニットモジュール信号タイミング

2.3.15 CANFD タイミング

表 2.50 CANFD インタフェースタイミング

項目	シンボル	VCC/VCC2	Min	Max	単位	測定条件
内部遅延時間	t_{node}	2.70 V 以上	—	50	ns	図 2.73
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	—	50		

注. 内部遅延時間 (t_{node}) = 内部転送遅延時間 (t_{output}) + 内部受信遅延時間 (t_{input})

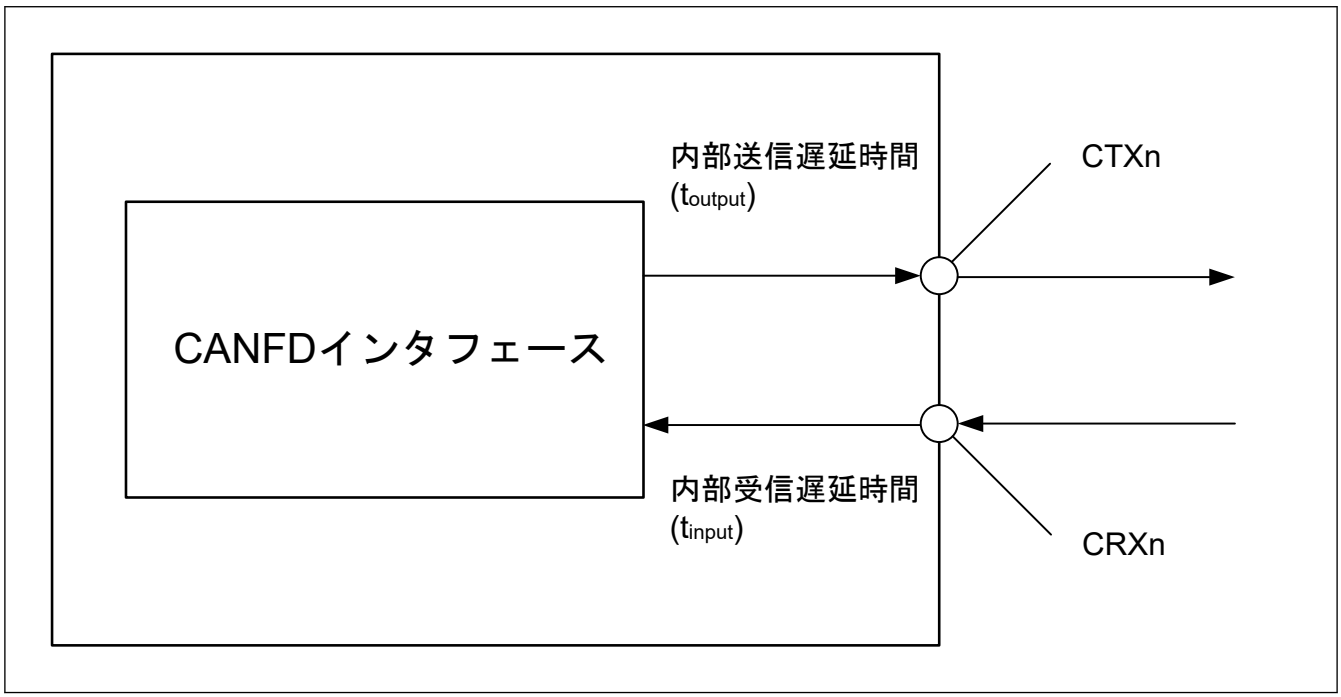


図 2.73 CANFD インタフェース条件

2.4 USB 特性

2.4.1 USBFS タイミング

表 2.51 ホストに限定した USBFS 低速特性（USB_DP 端子および USB_DM 端子特性） (1/2)

条件：VCC = VCC_USB = 3.0～3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = -200 μA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.74
	立ち上がり時間	t_{LR}	75	—	300	ns	
	立ち下がり時間	t_{LF}	75	—	300	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	80	—	125	%	t_{LR}/ t_{LF}

表 2.51 ホストに限定した USBFS 低速特性（USB_DP 端子および USB_DM 端子特性） (2/2)

条件：VCC = VCC_USB = 3.0～3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
プルアップ／プルダウン特性	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	kΩ	—

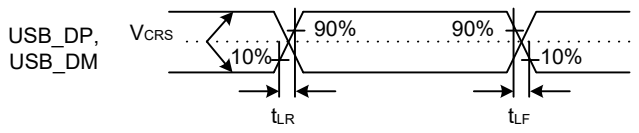


図 2.74 Low-speed モードにおける USB_DP、USB_DM の出力タイミング

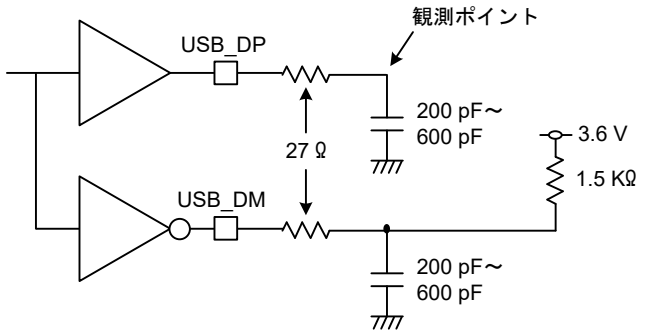


図 2.75 Low-speed モードにおける測定回路

表 2.52 USBFS フルスピード特性（USB_DP 端子および USB_DM 端子特性）

条件：VCC = VCC_USB = 3.0～3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = -200 μA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.76
	立ち上がり時間	t_{LR}	4	—	20	ns	
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	90	—	111.11	%	t_{FR}/ t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBFS：Rs = 27 Ω 含む
プルアップ／プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	kΩ	アイドル状態の間
			1.425	—	3.090	kΩ	送受信中
	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	kΩ	—

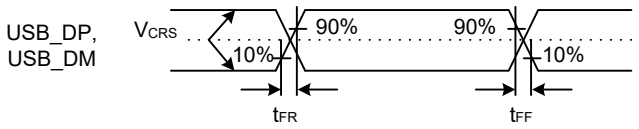


図 2.76 フルスピードモードにおける USB_DP、USB_DM の出力タイミング

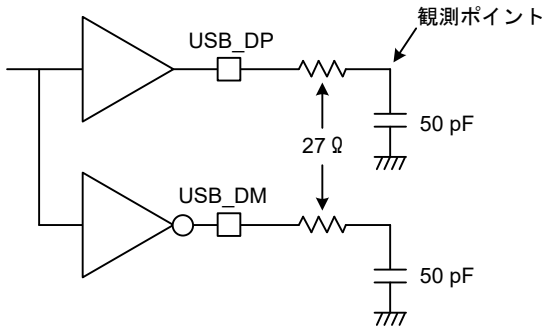


図 2.77 フルスピードモードにおける測定回路

2.5 ADC12 特性

表 2.53 ユニット 0 の A/D 変換特性（DCDC モード） (1/2)

条件：PCLKC = 1～60 MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	—	60	MHz	—
アナログ入力容量			—	—	30	pF	—
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
使用中のチャネル専用サンプル&ホールド回路 (AN000, AN001)	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	1.06 (0.4 + 0.25)(注2)	—	—	μs	● チャネル専用サンプル&ホールド回路 24 ステートのサンプリング ● サンプリング 15 ステート
	オフセット誤差		—	±1.5	±3.5	LSB	AN000～AN002 = 0.25 V
	フルスケール誤差		—	±1.5	±3.5	LSB	AN000～AN002 = VREFH0 - 0.25 V
	絶対精度		—	±2.5	±10.5	LSB	LQFP パッケージ AVCC0 = 2.7～3.6 V VREFH0 = 2.7 V～AVCC0
			—	±2.5	±7.5		LQFP パッケージ AVCC0 = VREFH0 = 2.7～3.6 V
	DNL 微分非直線性誤差		—	±1.0	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.5	±4.0	LSB	—
	サンプル&ホールド回路のホールド特性		—	—	20	μs	—
	ダイナミックレンジ		0.25	—	VREFH 0 - 0.25	V	—

表 2.53 ユニット 0 の A/D 変換特性（DCDC モード） (2/2)

条件：PCLKC = 1～60 MHz

項目			Min	Typ	Max	単位	測定条件
高精度チャネル、未使用のチャネル専用サンプル&ホールド回路（AN000～AN002、AN004～AN008）	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.48 (0.267)(注2)	—	—	μs	サンプリング 16 ステート
		Max = 400 Ω	0.40 (0.183)(注2)	—	—	μs	サンプリング 11 ステート AVCC0 = VREFH0 = 3.0～3.6 V
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±3.5	LSB	—
	絶対精度		—	±2.0	±7.5	LSB	LQFP パッケージ AVCC0 = 2.7～3.6 V VREFH0 = 2.7 V～AVCC0
			—	±2.0	±6.0		LQFP パッケージ AVCC0 = VREFH0 = 2.7～3.6 V
	DNL 微分非直線性誤差		—	±0.5	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—

注. これらの規格値は、1 つだけ A/D コンバータが動作中で、D/A コンバータと ACMPHS が動作しておらず、A/D 変換中に場合に適用されます。
他の A/D コンバータ、D/A コンバータ、または ACMPHS が動作中か、あるいは A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
12 ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。

注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。

注 2. （ ）内の値は、サンプリング時間を意味します。

表 2.54 ユニット 1 の A/D 変換特性（DCDC モード）

条件：PCLKC = 1～60 MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	—	60	MHz	—
アナログ入力容量			—	—	30	pF	—
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
高精度チャネル (AN100～AN102, AN104, AN105)	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.48 (0.267)(注2)	—	—	μs	サンプリング 16 ステート
		Max = 400 Ω	0.40 (0.183)(注2)	—	—	μs	サンプリング 11 ステート AVCC0 = VREFH = 3.0～3.6 V
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±3.5	LSB	—
	絶対精度		—	±2.0	±7.5	LSB	LQFP パッケージ AVCC0 = 2.7～3.6 V VREFH = 2.7 V～AVCC0
			—	±2.0	±6.0		LQFP パッケージ AVCC0 = VREFH = 2.7～3.6 V
	DNL 微分非直線性誤差		—	±0.5	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—

注. これらの規格値は、1 つだけ A/D コンバータが動作中で、D/A コンバータと ACMPHS が動作しておらず、A/D 変換中に場合に適用されます。
他の A/D コンバータ、D/A コンバータ、または ACMPHS が動作中か、あるいは A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

12 ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。
注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。
注 2. （ ）内の値は、サンプリング時間を意味します。

表 2.55 ユニット 0 の A/D 変換特性（外部 VDD モード）

条件：PCLKC = 1～60 MHz
AVCC0 = 2.7～3.6 V, VREFH0 = 2.7～3.6 V

項目			Min	Typ	Max	単位	測定条件
周波数			1	—	60	MHz	—
アナログ入力容量			—	—	30	pF	—
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
使用中のチャネル専用サンプル&ホールド回路 (AN000, AN001)	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	1.06 (0.4 + 0.25)(注2)	—	—	μs	● チャネル専用サンプル&ホールド回路 24 ステートのサンプリング ● サンプリング 15 ステート
	オフセット誤差		—	±1.5	±3.5	LSB	AN000～AN002 = 0.25 V
	フルスケール誤差		—	±1.5	±3.5	LSB	AN000～AN002 = VREFH0 - 0.25 V
	絶対精度		—	±2.5	±5.5	LSB	—
	DNL 微分非直線性誤差		—	±1.0	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—
	サンプル&ホールド回路のホールド特性		—	—	20	μs	—
	ダイナミックレンジ		0.25	—	VREFH 0 - 0.25	V	—
高精度チャネル、未使用のチャネル専用サンプル&ホールド回路（AN000～AN002、AN004～AN008）	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.48 (0.267)(注2)	—	—	μs	サンプリング 16 ステート
		Max = 400 Ω	0.40 (0.183)(注2)	—	—	μs	サンプリング 11 ステート AVCC0 = 3.0～3.6 V 3.0 V ≦ VREFH0 ≦ AVCC0
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±3.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—

注. これらの規格値は、1 つだけ A/D コンバータが動作中で、D/A コンバータと ACMPHS が動作しておらず、A/D 変換中に場合に適用されます。
他の A/D コンバータ、D/A コンバータ、または ACMPHS が動作中か、あるいは A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
12 ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。
注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。
注 2. （ ）内の値は、サンプリング時間を意味します。

表 2.56 ユニット 1 の A/D 変換特性（外部 VDD モード） (1/2)

条件：PCLKC = 1～60 MHz
AVCC0 = 2.7～3.6 V, VREFH = 2.7～3.6 V

項目	Min	Typ	Max	単位	測定条件
周波数	1	—	60	MHz	—
アナログ入力容量	—	—	30	pF	—

表 2.56 ユニット 1 の A/D 変換特性（外部 VDD モード） (2/2)

条件：PCLKC = 1～60 MHz
AVCC0 = 2.7～3.6 V, VREFH = 2.7～3.6 V

項目			Min	Typ	Max	単位	測定条件
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
高精度チャネル (AN100～AN102, AN104, AN105)	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.48 (0.267) (注2)	—	—	μs	サンプリング 16 ステート
		Max = 400 Ω	0.40 (0.183) (注2)	—	—	μs	サンプリング 11 ステート AVCC0 = 3.0～3.6 V 3.0 V ≦ VREFH ≦ AVCC0
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±3.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—

注. これらの規格値は、1 つだけ A/D コンバータが動作中で、D/A コンバータと ACMPHS が動作しておらず、A/D 変換中に場合に適用されます。
他の A/D コンバータ、D/A コンバータ、または ACMPHS が動作中か、あるいは A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
12 ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。

注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。

注 2. （ ）内の値は、サンプリング時間を意味します。

表 2.57 A/D 内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D 内部基準電圧	1.13	1.18	1.28	V	—
サンプリング時間	4.15	—	—	μs	—

VBATT 1/3 電圧監視の特性については、「2.10. VBATT 特性」を参照してください。

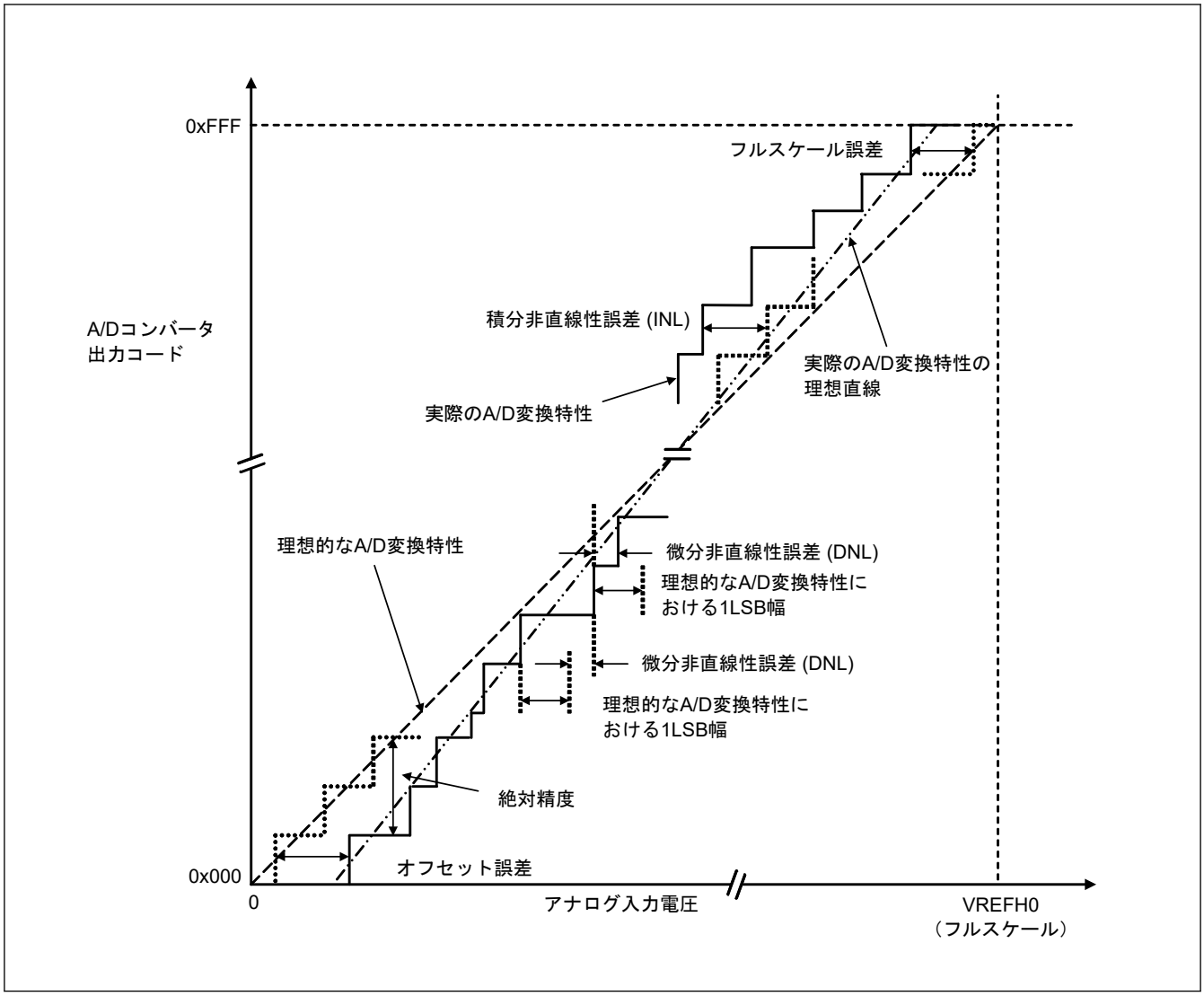


図 2.78 ADC12 特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072 V の場合、1-LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003～0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1-LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.6 DAC12 特性

表 2.58 D/A 変換特性

項目		Min	Typ	Max	単位	測定条件
分解能		—	—	12	ビット	—
出力アンプなし（端子出力用、AVCC0 ≧ 1.65V）						
絶対精度	VREFH ≧ 2.7V	—	—	±24	LSB	負荷抵抗 2 MΩ
	VREFH < 2.7 V	—	—	±36		
INL	VREFH ≧ 2.7V	—	±2.0	±8.0	LSB	負荷抵抗 2 MΩ
	VREFH < 2.7 V	—	±2.0	±8.0		
DNL	VREFH ≧ 2.7V	—	±1.0	±2.0	LSB	—
	VREFH < 2.7 V		±1.0	±3.0		
出力インピーダンス		—	8.5	—	kΩ	—
変換時間	VREFH ≧ 2.7V	—	—	3.0	μs	負荷抵抗 2 MΩ、負荷容量 20 pF
	VREFH < 2.7 V	—	—	6.0		
出力電圧範囲		0	—	VREFH	V	—
出力アンプなし（内部出力用、AVCC0 ≧ 1.65V）						
絶対精度	VREFH ≧ 2.7 V	—	—	±4.0	LSB	—
	VREFH < 2.7 V	—	—	±6.0		
変換時間	VREFH ≧ 2.7V	—	—	3.0	μs	—
	VREFH < 2.7 V	—	—	6.0		
出力電圧範囲		0	—	VREFH	V	—
出力アンプあり (AVCC0 ≧ 2.70 V)						
INL		—	±2.0	±4.0	LSB	—
DNL		—	±1.0	±2.0	LSB	—
変換時間		—	—	3.5	μs	—
負荷抵抗		5	—	—	kΩ	—
負荷容量		—	—	50	pF	—
出力電圧範囲	VREFH ≧ 2.7V	0.20	—	VREFH – 0.20	V	—
	VREFH < 2.7 V	0.22	—	VREFH – 0.22		—

2.7 TSN 特性

表 2.59 TSN 特性 (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.0	—	℃	—

表 2.59 TSN 特性 (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
温度傾斜	—	—	4.0	—	mV/℃	—
出力電圧（25℃時）	—	—	1.24	—	V	—
温度センサ起動時間	t_{START}	—	—	30	μs	—
サンプリング時間	—	4.15	—	—	μs	—

2.8 OSC 停止検出特性

表 2.60 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.79

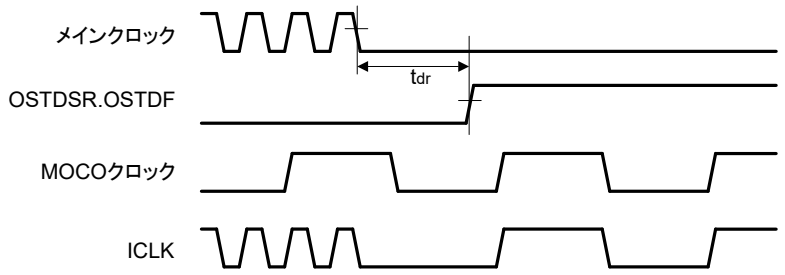


図 2.79 発振停止検出タイミング

2.9 POR と PVD の特性

表 2.61 パワーオンリセット回路と電圧検出回路の特性 (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	Tj = 25℃	V_{POR1}	1.55	1.60	1.68	V	図 2.80
		Tj = 105℃		1.55	1.60	1.70		
		Tj = 25℃	V_{POR2}	1.65	1.70	1.79		
		Tj = 105℃		1.65	1.70	1.81		
	電圧検出回路 (PVD0)		V_{det0_0}	2.76	2.85	2.99		図 2.81
			V_{det0_1}	2.50	2.58	2.71		
			V_{det0_2}	2.08	2.15	2.27		
			V_{det0_3}	1.94	2.00	2.12		
			V_{det0_4}	1.84	1.90	2.01		
			V_{det0_5}	1.74	1.80	1.91		
			V_{det0_6}	1.65	1.70	1.81		
			V_{det0_7}	1.55	1.60	1.70		
	電圧検出回路 (PVDn) (n = 1, 2)		$V_{detn_3_rise}$	3.78	3.92	4.10		図 2.82
			$V_{detn_3_fall}$	3.72	3.86	4.04		
			$V_{detn_4_rise}$	3.09	3.20	3.35		
			$V_{detn_4_fall}$	3.03	3.14	3.29		
			$V_{detn_5_rise}$	3.05	3.16	3.31		
			$V_{detn_5_fall}$	2.99	3.10	3.25		
			$V_{detn_6_rise}$	3.03	3.14	3.29		
			$V_{detn_6_fall}$	2.97	3.08	3.23		
			$V_{detn_7_rise}$	2.81	2.91	3.05		
			$V_{detn_7_fall}$	2.75	2.85	2.99		
			$V_{detn_8_rise}$	2.79	2.89	3.03		
			$V_{detn_8_fall}$	2.73	2.83	2.97		
			$V_{detn_9_rise}$	2.76	2.86	3.00		
			$V_{detn_9_fall}$	2.70	2.80	2.94		
			$V_{detn_10_rise}$	2.58	2.67	2.80		
			$V_{detn_10_fall}$	2.53	2.62	2.75		
			$V_{detn_11_rise}$	2.30	2.38	2.51		
			$V_{detn_11_fall}$	2.25	2.33	2.46		
電圧検出レベル	電圧検出回路 (PVDn) (n = 1, 2)		$V_{detn_12_rise}$	1.88	1.94	2.05	V	図 2.82
			$V_{detn_12_fall}$	1.84	1.90	2.01		
			$V_{detn_13_rise}$	1.84	1.90	2.01		
			$V_{detn_13_fall}$	1.80	1.86	1.97		
			$V_{detn_14_rise}$	1.72	1.78	1.89		
			$V_{detn_14_fall}$	1.68	1.74	1.85		
			$V_{detn_15_rise}$	1.69	1.75	1.85		
			$V_{detn_15_fall}$	1.65	1.71	1.81		

表 2.61 パワーオンリセット回路と電圧検出回路の特性 (2/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
内部リセット時間 (注1)	パワーオンリセット時間		t_{POR1}	—	—	8.2	ms	図 2.80
			t_{POR2}	—	—	4.5		図 2.80
	PVD0 リセット時間		t_{PVD0}	—	—	(注1)		図 2.80
	PVD1 リセット時間		t_{PVD1}	—	—	(注1)		図 2.81
	PVD2 リセット時間		t_{PVD2}	—	—	(注1)		
最小 VCC 低下時間 (POR) (注2)	100 mV < VD		t_{VOFFP}	500	—	—	μs	図 2.80
	50mV<VD≦100mV			900	—	—		
	VD≦50 mV			2000	—	—		
最小 VCC 低下時間 (PVD) (注2)	PVD0（ディープソフトウェアスタンバイモード 1/2 で OFS1(_SEC).PVDLPSEL = 0）		t_{VOFF}	400	—	—	μs	図 2.81
	PVD0（上記以外）、PVD1、PVD2			200	—	—	μs	図 2.81
応答遅延時間 (POR)	100mV<VD		t_{detp}	—	—	500	μs	図 2.80
	50mV<VD≦100mV			—	—	900		
	VD≦50 mV			—	—	2000		
応答遅延時間 (PVD)	PVD0（ディープソフトウェアスタンバイモード 1/2 で OFS1(_SEC).PVDLPSEL = 0）	50 mV < VD	t_{det}	—	—	200	μs	図 2.81、図 2.82
		50 mV ≧ VD		—	—	400		
	PVD0（上記以外）、PVD1、PVD2	100 mV < VD		—	—	10		
		100 mV ≧ VD		—	—	200		
PVD 動作安定時間（PVD 有効切り替え後）			$T_{d\ (E-A)}$	—	—	20	μs	図 2.82

注 1. t_{DSBY} の値が t_{PVD0} の最大値となります。それは、ディープソフトウェアスタンバイモードから復帰した時に内部リセット時間が最大となるからです。
t_{DSTBY} の値が t_{PVD1} と t_{PVD2} の最大値となります。それは、ディープソフトウェアスタンバイモードから復帰した時に内部リセット時間が最大となるからです。

注 2. 最小 VCC 低下時間は、POR/PVD の電圧検出レベル V_{POR1}、V_{det1}、V_{det2} の最小値を VCC が下回っている時間です。

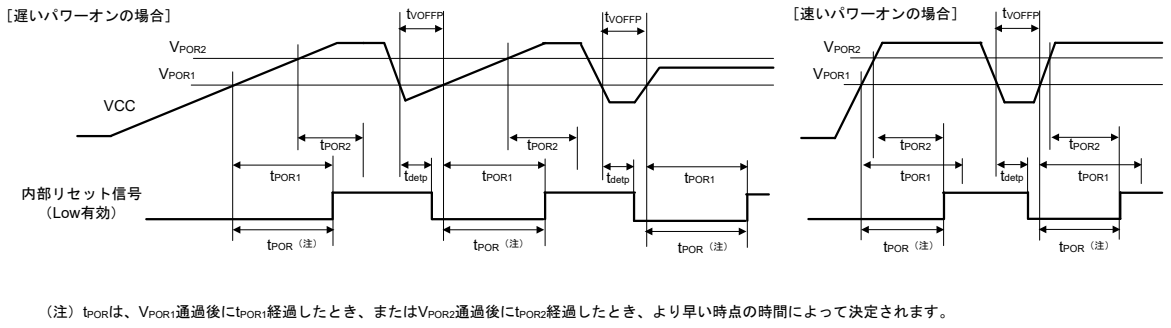


図 2.80 パワーオンリセットタイミング

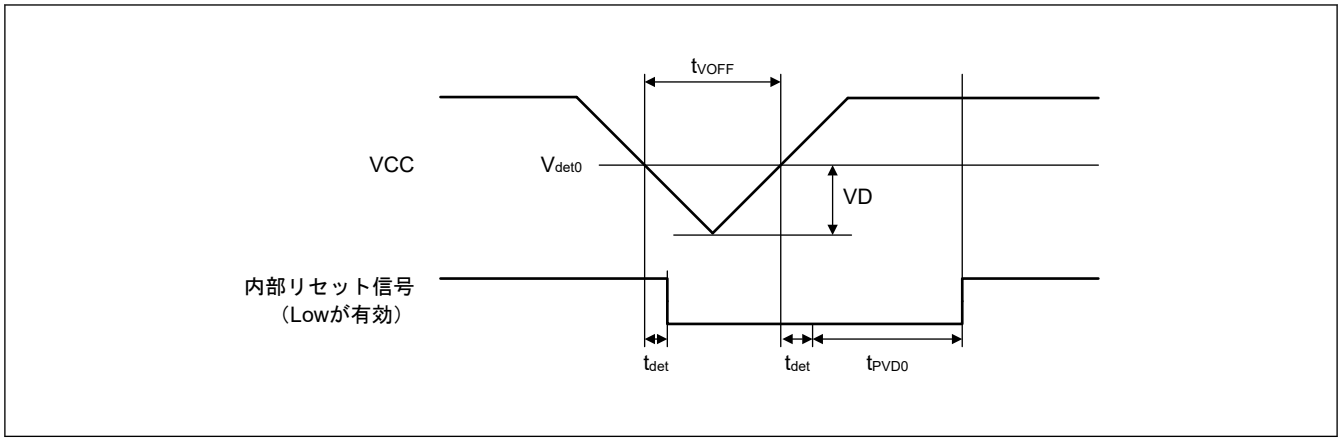


図 2.81 電圧検出回路タイミング (V_{det0})

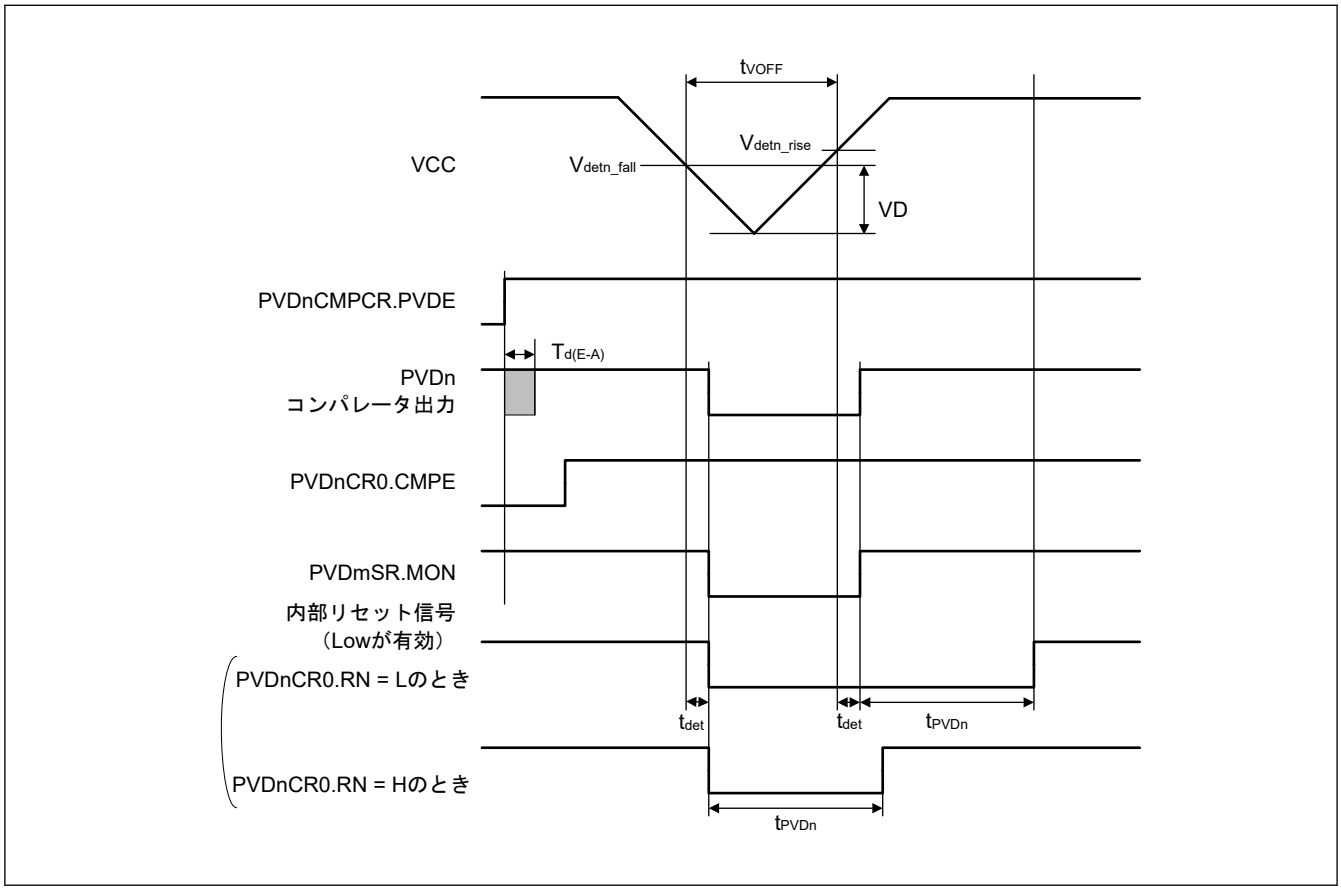


図 2.82 電圧検出回路タイミング (V_{detn}) (n = 1, 2)

2.10 VBATT 特性

表 2.62 バッテリバックアップ機能特性

条件：VCC = VCC_DCDC = VCC_USB = 1.68～3.6 V, VBATT = 1.62～3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件
バッテリバックアップ切り替え電圧レベル ディープソフトウェアスタンバイモード 1, 2 では OFS1(_SEC).PVDAS と PVDLPSEL は 0 の場合（VDETVATT_n は PVD0 向けの VDSEL[2:0]の設定に従う）	$V_{DETBATT_0}$	2.760	2.850	2.990	V	図 2.83
	$V_{DETBATT_1}$	2.500	2.580	2.710		
	$V_{DETBATT_2}$	2.080	2.150	2.270		
	$V_{DETBATT_3}$	1.940	2.000	2.120		
	$V_{DETBATT_4}$	1.840	1.900	2.010		
	$V_{DETBATT_5}$	1.740	1.800	1.910		
	$V_{DETBATT_6}$	1.650	1.700	1.810		
バッテリバックアップ切り替え電圧レベル（上記以外の場合）	$V_{DETBATT_0}$	2.710	2.800	2.940	V	
	$V_{DETBATT_1}$	2.450	2.530	2.660		
	$V_{DETBATT_2}$	2.030	2.100	2.220		
	$V_{DETBATT_3}$	1.855	1.950	2.065		
	$V_{DETBATT_4}$	1.790	1.850	1.960		
	$V_{DETBATT_5}$	1.690	1.750	1.860		
VCC 降下検出安定待機時間(注2)	t_{DETWT}	—	—	20	μs	
VCC 電圧低下による電源切り替え時の VBATT 下限電圧	V_{BATTSW}	2.0	—	—	V	図 2.83
電源切り替え開始時の VCC オフ期間(注1)（ディープソフトウェアスタンバイモード 1, 2 で OFS1(_SEC).PVDAS と PVDLPSEL が 0 の場合）	$t_{VOFFBATT}$	400	—	—	μs	
電源切り替え開始時 VCC オフ期間(注1)（上記以外の場合）		200	—	—		
バックアップドメインパワーダウン検出レベル	$V_{PDR\ (BATR)}$	1.45	1.50	1.60	V	図 2.84
バックアップドメインのリセット信号アサート時間遅延(注3)	$t_{p\ (PDRL)}$	—	—	2000	μs	
バックアップドメインのリセット信号ネゲート時間遅延	$t_{p\ (PDRH)}$	—	—	3000		
VBATT 監視動作安定化時間（VBATTMNSELR.VBTMNSEL を 1 に変更後）	t_{MONWT}	—	—	4.2	μs	—
VBATT 電圧監視レベル	$V_{MONBATT}$	—	VBATT / 3	—	V	—
VBATT 電流増加（VBATTMNSELR.VBTMNSEL = 1 の場合と VBATTMNSELR.VBTMNSEL = 0 の場合の比較）	$I_{VBATTSELB}$	—	1.50	2.35	μA	—
VCC 電流増加（VBATTMNSELR.VBTMNSEL = 1 の場合と VBATTMNSELR.VBTMNSEL = 0 の場合の比較）	$I_{VBATTSELC}$	—	330	577	μA	—

注 1. 電源切り替え開始時 VCC オフ期間は、VCC がバッテリバックアップ切り替え電圧レベル ($V_{DETBATT}$) の最小値を下回っている時間です。
さらに、この期間は VCC が電圧検出レベル V_{POR1} の最小値を下回っている時間 tVOFFP です。

注 2. VBTBPCR2.VDETLVL または VBTBPCR2.VDETLVL が 0 から 1 に変更される安定時間

注 3. VBATT_R がこの期間内に復帰すると、バックアップドメインリセット信号が発生しない可能性があります。

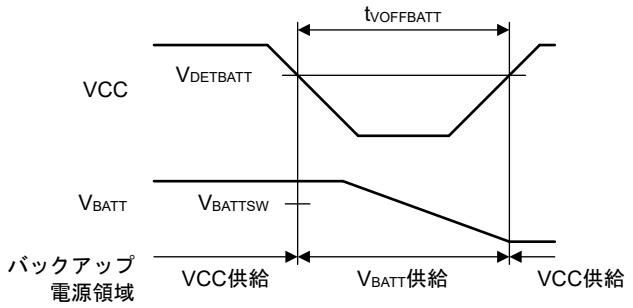


図 2.83 バッテリバックアップ機能特性

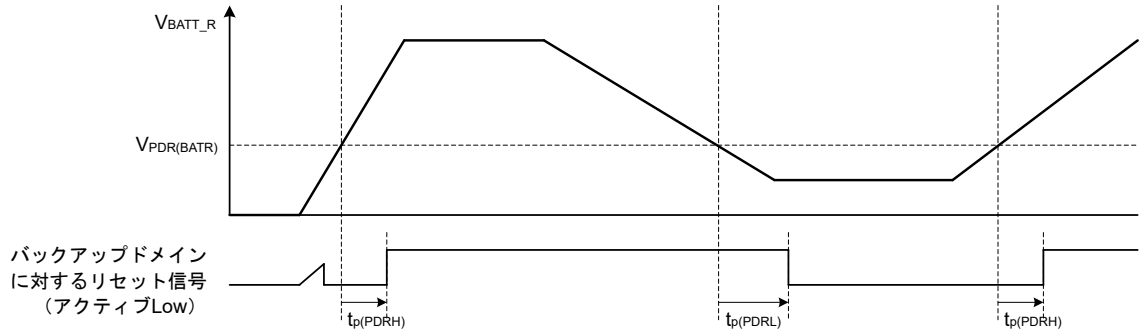


図 2.84 バックアップドメインリセット特性

2.11 ACMPHS 特性

表 2.63 ACMPHS

項目			シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲			VREF	0	—	AVCC0	V	—
入力電圧範囲	ACMPHS0		VI	0	—	AVCC0	V	—
	ACMPHS1	IVCMP1～IVCMP3		0	—	AVCC0		—
		IVCMP0		0	—	AVCC0		VCC >= AVCC0
				0	—	VCC		VCC < AVCC0
出力遅延(注1)			Td	—	50	100	ns	VI = VREF ± 100 mV
内部基準電圧			Vref	1.13	1.18	1.28	V	—

注 1. 内部伝搬遅延の値です。

2.12 フラッシュメモリ特性

2.12.1 コードフラッシュメモリ特性

表 2.64 コードフラッシュメモリ特性

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間 N_{PEC} ≦ 100 回	128 バイト	t_{P128}	—	0.75	13.2	—	0.34	6.0	ms	
	8 KB	t_{P8K}	—	49	176	—	22	80	ms	
	32 KB	t_{P32K}	—	194	704	—	88	320	ms	
プログラム時間 N_{PEC} > 100 回	128 バイト	t_{P128}	—	0.91	15.8	—	0.41	7.2	ms	
	8 KB	t_{P8K}	—	60	212	—	27	96	ms	
	32 KB	t_{P32K}	—	234	848	—	106	384	ms	
イレース時間 N_{PEC} ≦ 100 回	8 KB	t_{E8K}	—	78	216	—	43	120	ms	
	32 KB	t_{E32K}	—	283	864	—	157	480	ms	
イレース時間 N_{PEC} > 100 回	8 KB	t_{E8K}	—	94	260	—	52	144	ms	
	32 KB	t_{E32K}	—	341	1040	—	189	576	ms	
再プログラム／イレースサイクル(注4)		N_{PEC}	10000(注1)	—	—	10000(注1)	—	—	回	
プログラム中のサスペンド遅延時間		t_{SPD}	—	—	264	—	—	120	μs	
プログラムレジューム時間		t_{PRT}	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間		t_{SESD1}	—	—	216	—	—	120	μs	
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間		t_{SESD2}	—	—	1.7	—	—	1.7	ms	
イレース優先モードにおけるイレース中のサスペンド遅延時間		t_{SEED}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{REST1}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間		t_{REST2}	—	—	144	—	—	80	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{REET}	—	—	144	—	—	80	μs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注2)		t_{DRP}	20(注2) (注3)	—	—	20(注2) (注3)	—	—	年	Tj = +105℃
			30(注2) (注3)	—	—	30(注2) (注3)	—	—		Tj = +85℃

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8 KB のブロックについて、それぞれ異なるアドレスに 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 5. レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6. VCC = 3.3 V および室温における基準値。

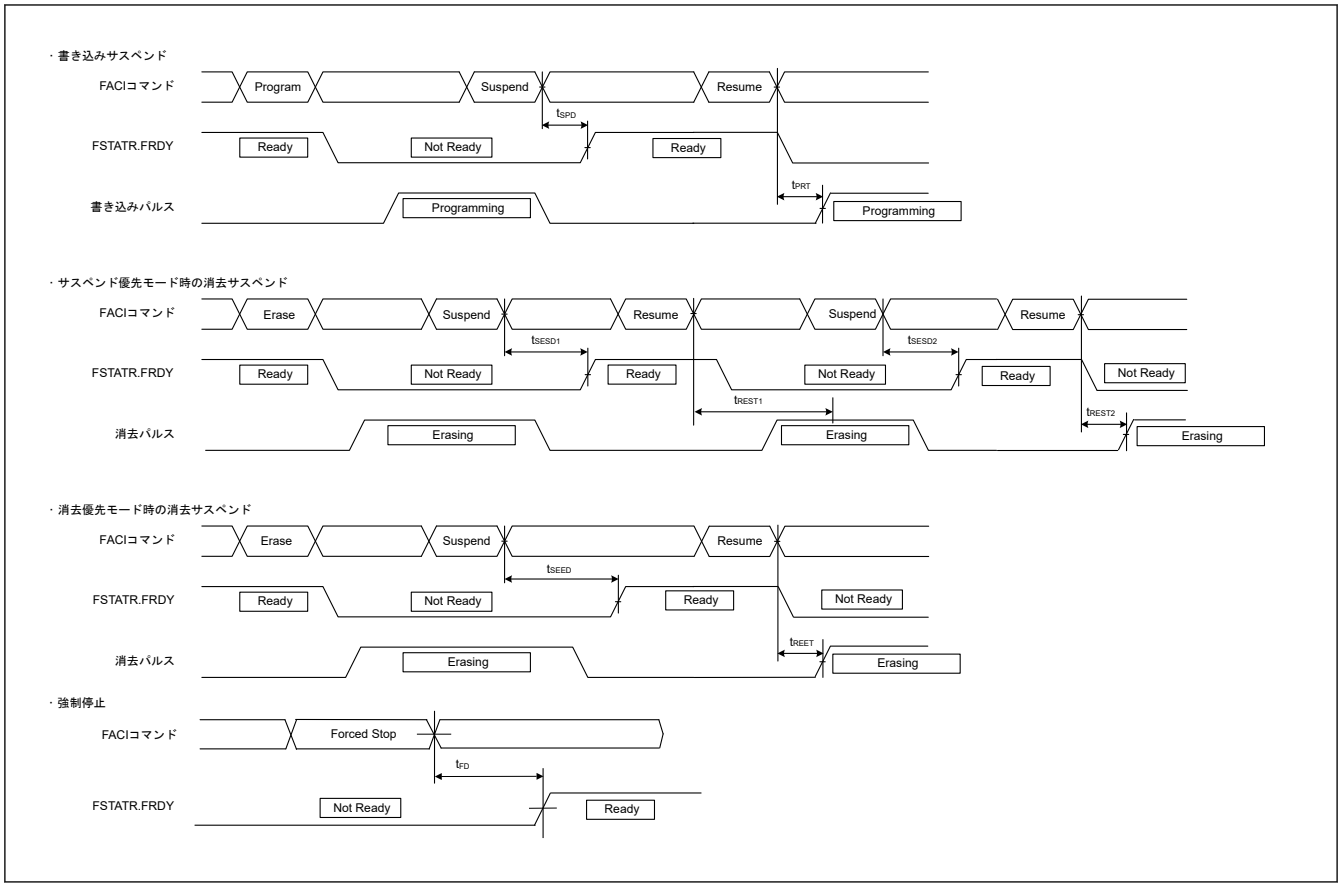


図 2.85　フラッシュメモリのプログラム／イレースのサスペンドタイミングと強制停止タイミング

2.12.2　データフラッシュメモリ特性

表 2.65　データフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間	4 バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
	8 バイト	t_{DP8}	—	0.38	4.0	—	0.17	1.8		
	16 バイト	t_{DP16}	—	0.42	4.5	—	0.19	2.0		
イレース時間	64 バイト	t_{DE64}	—	3.1	18	—	1.7	10	ms	
	128 バイト	t_{DE128}	—	4.7	27	—	2.6	15		
	256 バイト	t_{DE256}	—	8.9	50	—	4.9	28		
ブランクチェック時間	4 バイト	t_{DBC4}	—	—	84	—	—	30	μs	
再プログラム／イレースサイクル(注1)		N_{DPEC}	125000 (注2)	—	—	125000 (注2)	—	—	—	
プログラム中のサスペンド遅延時間	4 バイト	t_{DSPD}	—	—	264	—	—	120	μs	
	8 バイト		—	—	264	—	—	120		
	16 バイト		—	—	264	—	—	120		
プログラムレジューム時間		t_{DPRT}	—	—	110	—	—	50	μs	

表 2.65 データフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	64 バイト	t_{DSESD1}	—	—	216	—	—	120	μs	
	128 バイト		—	—	216	—	—	120		
	256 バイト		—	—	216	—	—	120		
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	64 バイト	t_{DSESD2}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
イレース優先モードにおけるイレース中のサスペンド遅延時間	64 バイト	t_{DSEED}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{DREST1}	—	—	300	—	—	300	μs	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間		t_{DREST2}	—	—	126	—	—	70	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{DREET}	—	—	126	—	—	70	μs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注3)		t_{DRP}	20(注3)(注4)	—	—	20(注3)(注4)	—	—	年	Tj = +105℃
			30(注3)(注4)	—	—	30(注3)(注4)	—	—		Tj = +85℃

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 125,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 バイトのブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 2. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 3. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 4. この結果は信頼性試験から得られたものです。
注 5. レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6. VCC = 3.3 V および室温における基準値

2.12.3 オプション設定メモリ（コードフラッシュメモリ）特性

表 2.66 オプション設定メモリ（コードフラッシュメモリ）特性

条件：プログラム：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
プログラム時間 N_{OPC} ≦ 200 回	t_{OP}	—	83	309	—	45	162	ms	
プログラム時間 N_{OPC} > 200 回	t_{OP}	—	100	371	—	55	195	ms	
再プログラムサイクル	N_{OPC}	20000 (注1)	—	—	20000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	20(注2) (注3)	—	—	20(注2) (注3)	—	—	年	Tj = +105℃
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Tj = +85℃

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. VCC = 3.3 V および室温における基準値

2.12.4 オプション設定メモリ（データフラッシュメモリ）特性

表 2.67 オプション設定メモリ（データフラッシュメモリ）特性

条件：プログラム：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
コンフィグレーション設定コマンド（4 バイト／16 バイト）の命令時間	t_{DCCT}	—	68	515	—	35	255	ms	
コンフィグレーション領域の更新サイクル	N_{cupc}	125000 (注1)	—	—	125000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	20(注2) (注3)	—	—	20(注2) (注3)	—	—	年	Tj = +105℃
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Tj = +85℃

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. VCC = 3.3 V および室温における基準値

2.12.5 アンチロールバックカウンタ特性

表 2.68 アンチロールバックカウンタ特性 (1/2)

条件：プログラム：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
インクリメントカウンタおよびリフレッシュカウンタの命令時間	t_{IRCT}	—	11.9	81	—	6.3	42	ms	
読み出しカウンタの命令時間	t_{RCT}	—	—	25	—	—	5	μs	

表 2.68 アンチロールバックカウンタ特性 (2/2)

条件：プログラム：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
更新周期（インクリメントとリフレッシュの合計）	N_{cupc}	125000 (注1)	—	—	125000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	20(注2) (注3)	—	—	20(注2) (注3)	—	—	年	Tj = +105℃
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Tj = +85℃

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. VCC = 3.3 V および室温における基準値

2.13 バウンダリスキャン

表 2.69 バウンダリスキャン特性

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	1.68 V 以上	t_{TCKcyc}	100	—	—	ns	図 2.86
TCK クロック High レベルパルス幅	1.68 V 以上	t_{TCKH}	0.45	—	—	t_{TCKcyc}	
TCK クロック Low レベルパルス幅	1.68 V 以上	t_{TCKL}	0.45	—	—	t_{TCKcyc}	
TCK クロック立ち上がり時間	1.68 V 以上	t_{TCKr}	—	—	0.05(注2)	t_{TCKcyc}	
TCK クロック立ち下がり時間	1.68 V 以上	t_{TCKf}	—	—	0.05(注2)	t_{TCKcyc}	
TMS セットアップ時間	1.68 V 以上	t_{TMSS}	20	—	—	ns	図 2.87
TMS ホールド時間	1.68 V 以上	t_{TMSH}	20	—	—	ns	
TDI セットアップ時間	1.68 V 以上	t_{TDIS}	20	—	—	ns	
TDI ホールド時間	1.68 V 以上	t_{TDIH}	20	—	—	ns	
TDO データ遅延時間	1.68 V 以上	t_{TDOD}	—	—	40	ns	
キャプチャレジスタセットアップ時間	1.68 V 以上	t_{CAPTS}	20	—	—	ns	図 2.88
キャプチャレジスタホールド時間	1.68 V 以上	t_{CAPTH}	20	—	—	ns	
更新レジスタ遅延時間	1.68 V 以上	$t_{UPDATED}$	—	—	40	ns	
バウンダリスキャン回路起動時間 (注1)	1.68 V 以上	T_{BSSTUP}	t_{RESWP}	—	—	—	図 2.89

注 1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。
注 2. 最長 1 μs

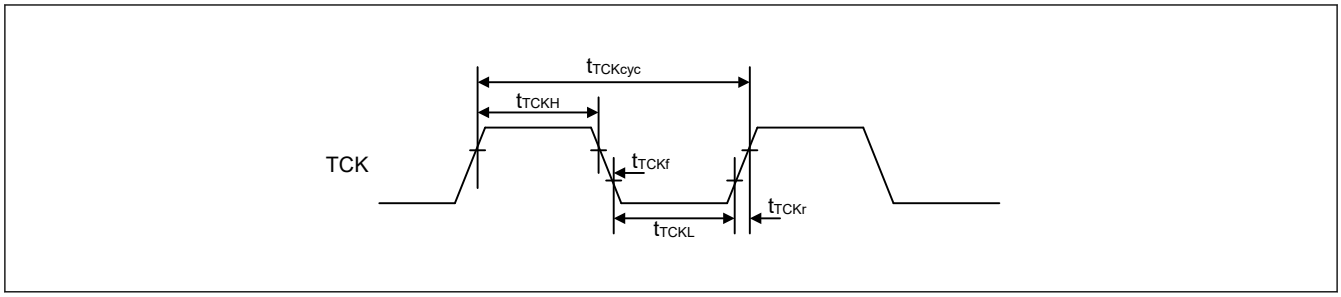


図 2.86 バウンダリスキャン TCK タイミング

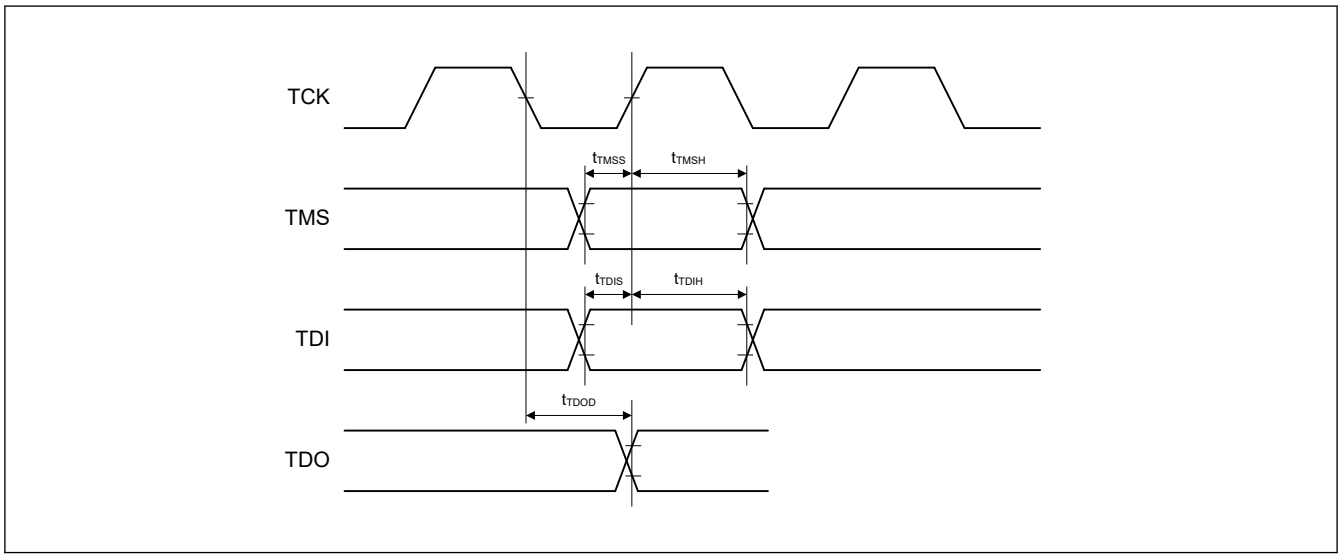


図 2.87 バウンダリスキャン入出力タイミング (1)

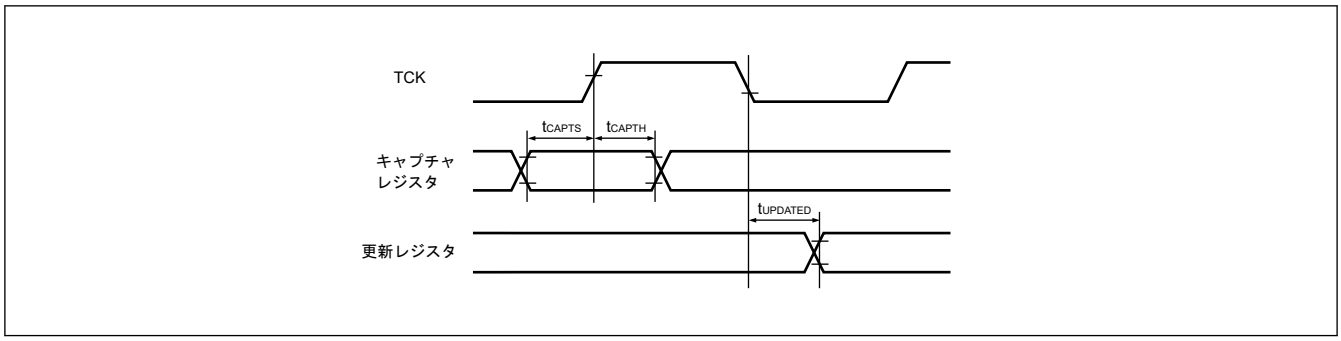


図 2.88 バウンダリスキャン入出力タイミング (2)

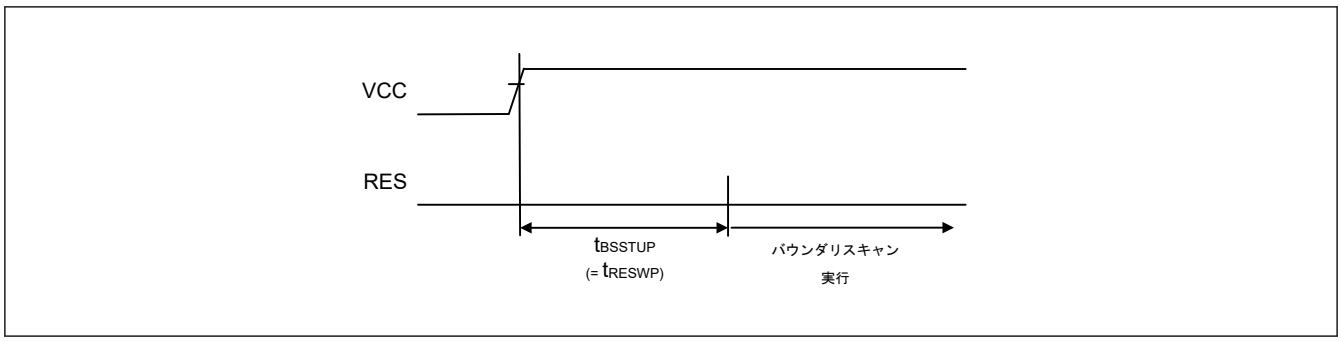


図 2.89 バウンダリスキャン回路起動タイミング

2.14 JTAG (Joint Test Action Group)

表 2.70 JTAG

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	2.7 V 以上	t_{TCKcyc}	40.0	—	—	ns	図 2.90
	1.68 V 以上		40.0	—	—	ns	
TCK クロック High レベルパルス幅	2.7 V 以上	t_{TCKH}	0.375	—	—	t_{TCKcyc}	
	1.68 V 以上		0.375	—	—	t_{TCKcyc}	
TCK クロック Low レベルパルス幅	2.7 V 以上	t_{TCKL}	0.375	—	—	t_{TCKcyc}	
	1.68 V 以上		0.375	—	—	t_{TCKcyc}	
TCK クロック立ち上がり時間	2.7 V 以上	t_{TCKr}	—	—	0.125(注1)	t_{TCKcyc}	
	1.68 V 以上		—	—	0.125(注1)	t_{TCKcyc}	
TCK クロック立ち下がり時間	2.7 V 以上	t_{TCKf}	—	—	0.125(注1)	t_{TCKcyc}	
	1.68 V 以上		—	—	0.125(注1)	t_{TCKcyc}	
TMS セットアップ時間	2.7 V 以上	t_{TMSS}	8.0	—	—	ns	図 2.91
	1.68 V 以上		8.0	—	—	ns	
TMS ホールド時間	2.7 V 以上	t_{TMSH}	8.0	—	—	ns	
	1.68 V 以上		8.0	—	—	ns	
TDI セットアップ時間	2.7 V 以上	t_{TDIS}	8.0	—	—	ns	
	1.68 V 以上		8.0	—	—	ns	
TDI ホールド時間	2.7 V 以上	t_{TDIH}	8.0	—	—	ns	
	1.68 V 以上		8.0	—	—	ns	
TDO データ遅延時間	2.7 V 以上	t_{TDOD}	—	—	20.0	ns	
	1.68 V 以上		—	—	28.0	ns	

注 1. 最長 1 μs

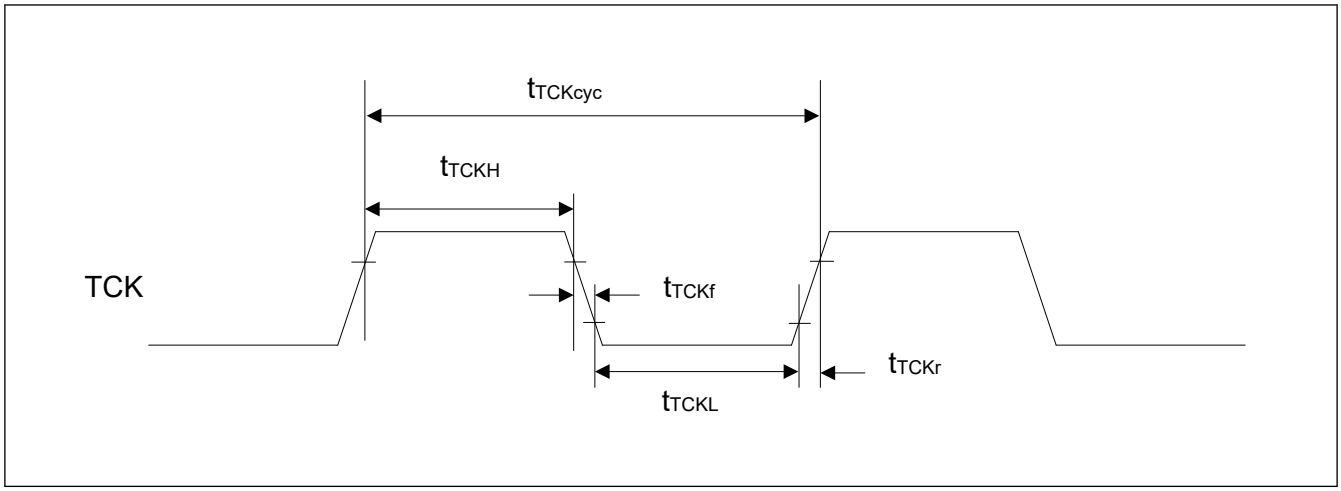


図 2.90 JTAG TCK タイミング

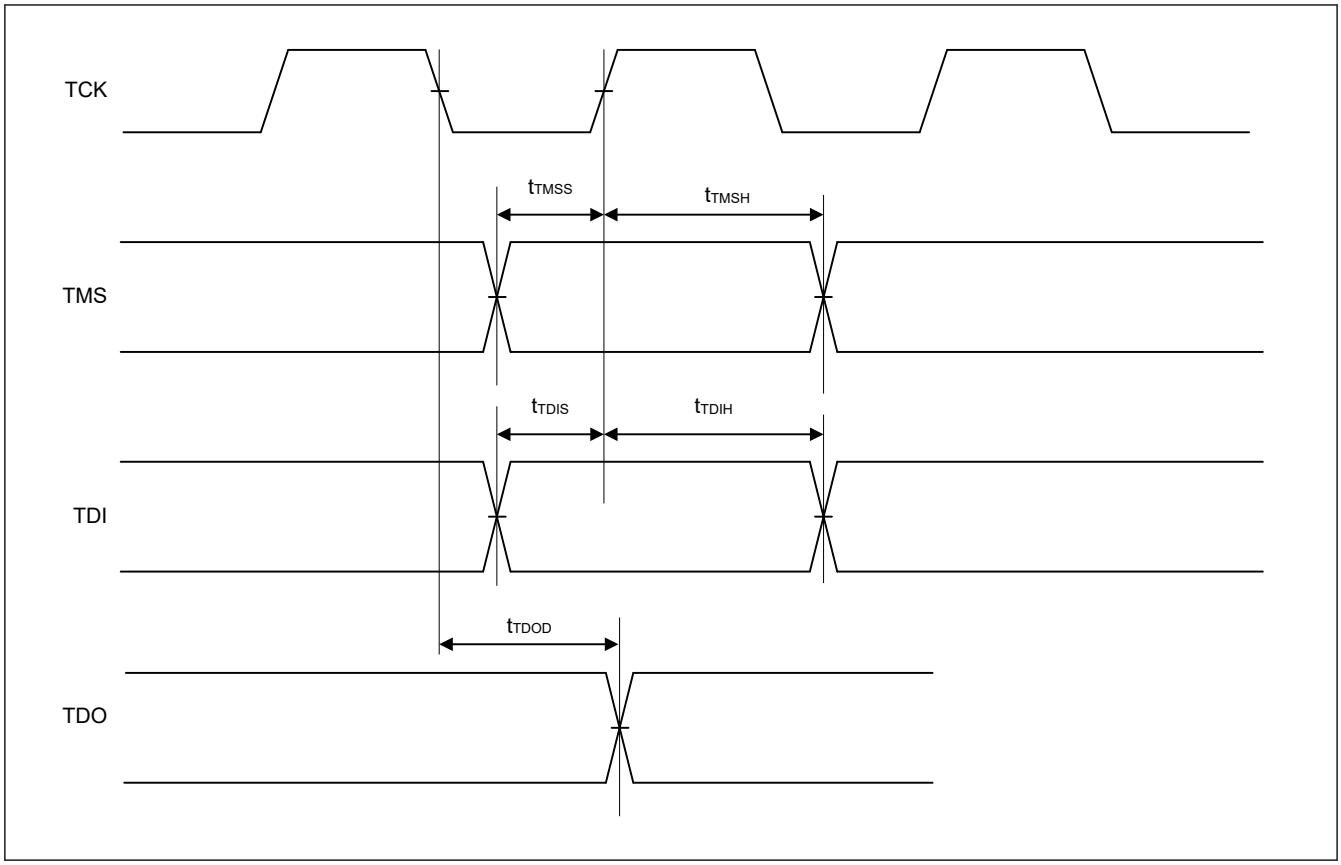


図 2.91 JTAG 入出力タイミング

2.15 シリアルワイヤデバッグ (SWD)

表 2.71 SWD

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	2.7 V 以上	$t_{SWCKcyc}$	40.0	—	—	ns	図 2.92
	1.68 V 以上		40.0	—	—	ns	
SWCLK クロック High レベルパルス幅	2.7 V 以上	t_{SWCKH}	0.375	—	—	$t_{SWCKcyc}$	
	1.68 V 以上		0.375	—	—	$t_{SWCKcyc}$	
SWCLK クロック Low レベルパルス幅	2.7 V 以上	t_{SWCKL}	0.375	—	—	$t_{SWCKcyc}$	
	1.68 V 以上		0.375	—	—	$t_{SWCKcyc}$	
SWCLK クロック立ち上がり時間	2.7 V 以上	t_{SWCKr}	—	—	0.125(注1)	$t_{SWCKcyc}$	
	1.68 V 以上		—	—	0.125(注1)	$t_{SWCKcyc}$	
SWCLK クロック立ち下がり時間	2.7 V 以上	t_{SWCKf}	—	—	0.125(注1)	$t_{SWCKcyc}$	
	1.68 V 以上		—	—	0.125(注1)	$t_{SWCKcyc}$	
SWDIO セットアップ時間	2.7 V 以上	t_{SWDS}	8.0	—	—	ns	図 2.93
	1.68 V 以上		8.0	—	—	ns	
SWDIO ホールド時間	2.7 V 以上	t_{SWDH}	8.0	—	—	ns	
	1.68 V 以上		8.0	—	—	ns	
SWDIO データ遅延時間	2.7 V 以上	t_{SWDD}	2.0	—	28.0	ns	
	1.68 V 以上		2.0	—	32.0	ns	

注 1. 最長 1 μs

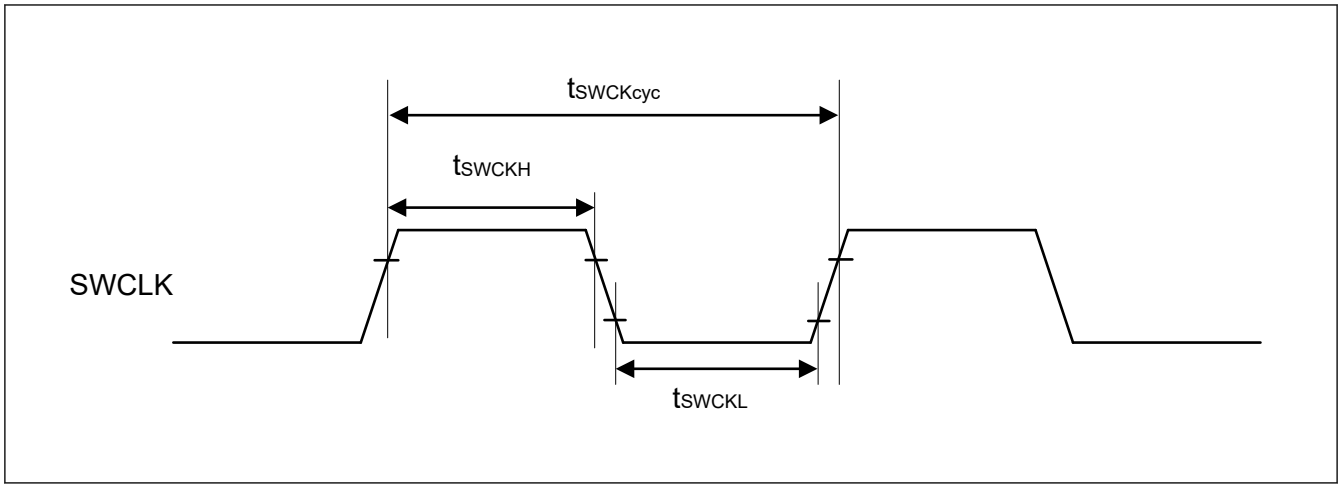


図 2.92 SWD SWCLK タイミング

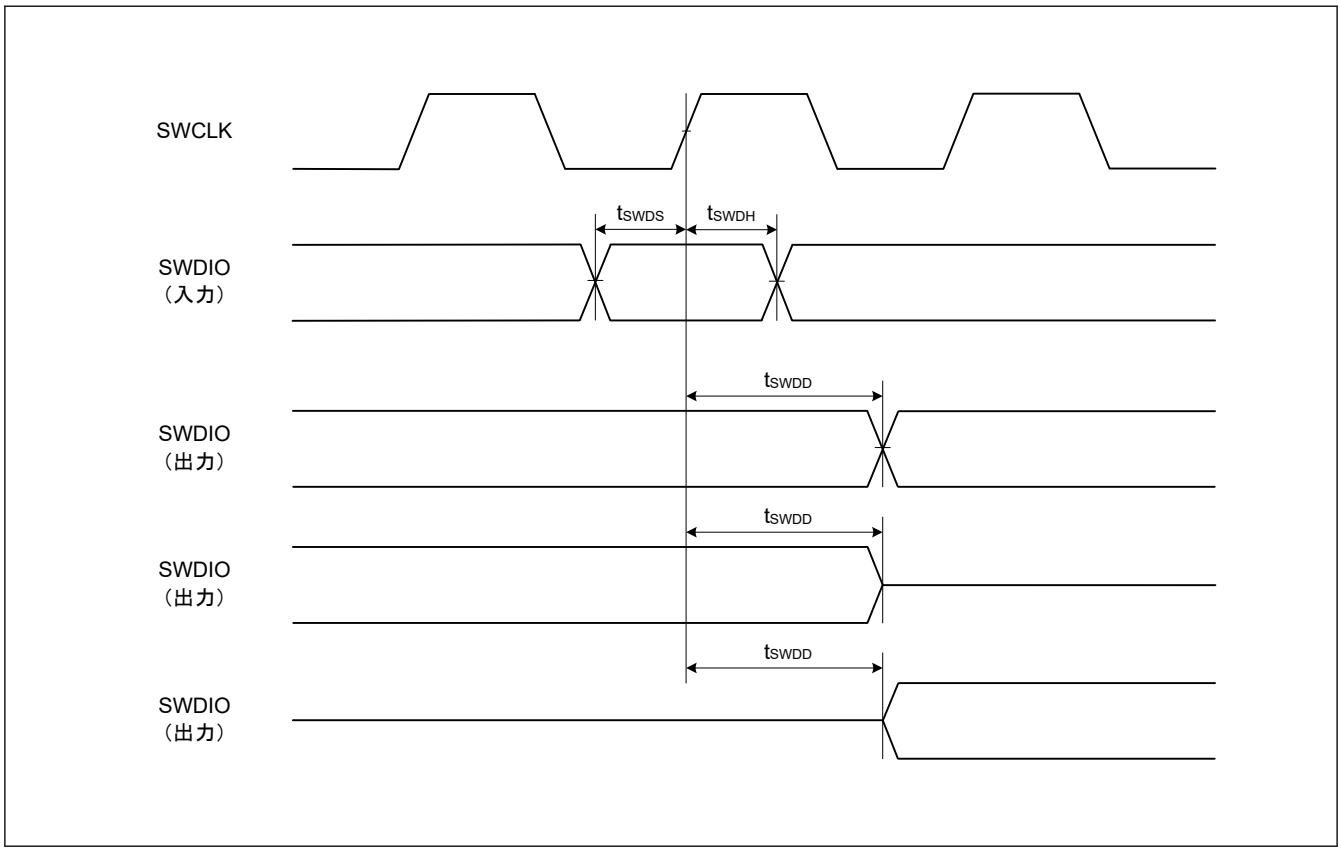


図 2.93 SWD 入出力タイミング

2.16 エンベデッドトレースマクロインタフェース (ETM)

表 2.72 ETM

条件：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCLK クロックサイクル時間	2.7 V 以上	$t_{TCLKcyc}$	16.6	—	—	ns	図 2.94
	1.68 V 以上		16.6	—	—	ns	
TCLK クロック High レベルパルス幅	2.7 V 以上	t_{TCLKH}	7.3	—	—	ns	
	1.68 V 以上		6.3	—	—	ns	
TCLK クロック Low レベルパルス幅	2.7 V 以上	t_{TCLKL}	7.3	—	—	ns	
	1.68 V 以上		6.3	—	—	ns	
TCLK クロック立ち上がり時間	2.7 V 以上	t_{TCLKr}	—	—	1.0	ns	
	1.68 V 以上		—	—	2.0	ns	
TCLK クロック立ち下がり時間	2.7 V 以上	t_{TCLKf}	—	—	1.0	ns	
	1.68 V 以上		—	—	2.0	ns	
TDATA[3:0]出力有効時間	2.7 V 以上	t_{TRDV}	—	—	$t_{TCLKcyc}/4 + 1.6$	ns	図 2.95
	1.68 V 以上		—	—	$t_{TCLKcyc}/4 + 1.6$	ns	
TDATA[3:0]出力ホールド時間	2.7 V 以上	t_{TRDH}	1.5	—	—	ns	
	1.68 V 以上		1.5	—	—	ns	

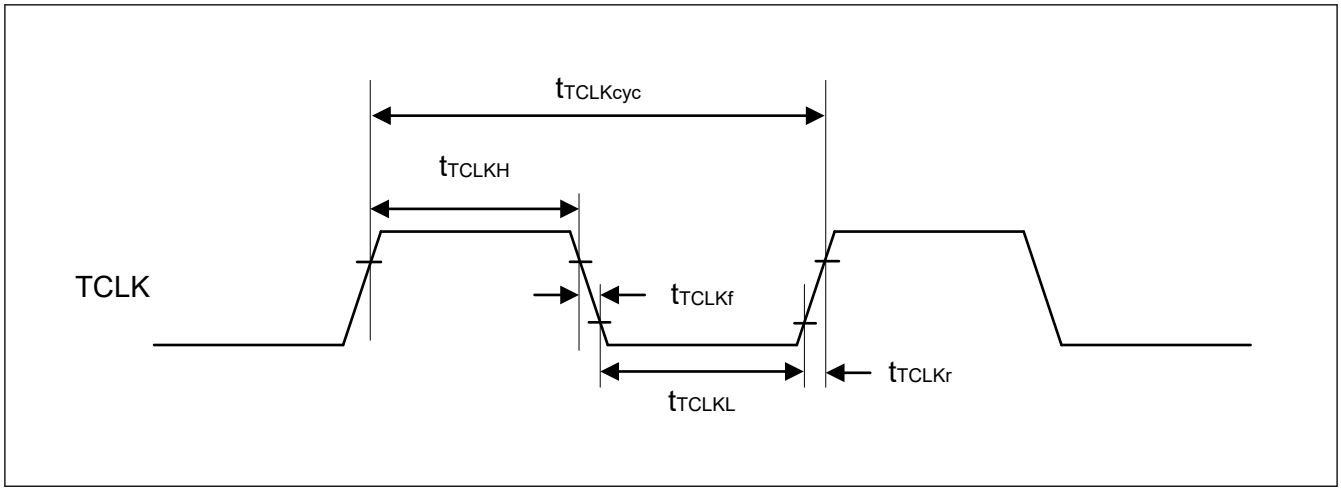


図 2.94 ETM TCLK タイミング

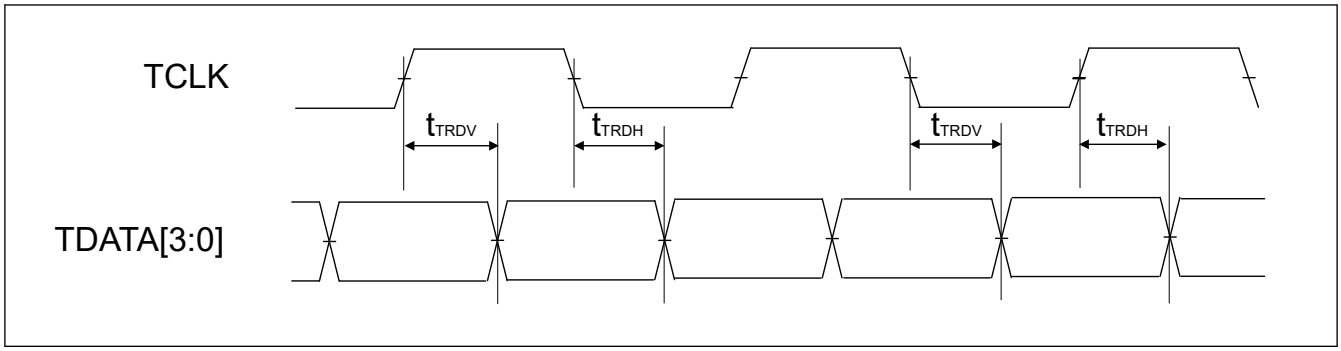


図 2.95 ETM 出力タイミング

付録 1.　各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード (SSTBY)		ディープソフトウェアスタンバイモード 1, 2, 3 (DSTBY1, 2, 3)		ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
			OPE = 0	OPE = 1	DSTBY1	DSTBY2/ DSTBY3	IOKEEP = 0	IOKEEP = 1(注1)
モード	MD	プルアップ	Keep-I		Keep		プルアップ	Keep
JTAG/SWD	TCK/TMS/TDI/SWCLK	プルアップ	TCK/TDI/TMS/SWCLK 入力		TCK/TDI/TMS/SWCLK 入力		TCK/TDI/TMS/SWCLK 入力	
	TDO	出力	TDO 出力		TDO 出力		TDO 出力	
	SWDIO	プルアップ	SWDIO 入力		SWDIO 入力		SWDIO 入力	
トレース	TCLK/TDATAx/SWO	TCLK/ TDATAx/SWO 出力	TCLK/TDATAx/SWO 出力		TCLK/TDATAx/SWO 出力		TCLK/TDATAx/SWO 出力	
IRQ	IRQx	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	IRQx-DS（x: 5 以外）	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	Keep
	IRQ5-DS	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	
AGT	AGTIOn	Hi-Z	AGTIOn 入力		Keep		Hi-Z	Keep
	AGTOn/AGTOAn/ AGTOBn	Hi-Z	AGTOn/AGTOAn/AGTOBn 出力		Keep		Hi-Z	Keep
ULPT	ULPTEEn/ULPTEVIn	Hi-Z	ULPTEEn/ULPTEVIn 入力		Keep		Hi-Z	Keep
	ULPTEEn-DS/ ULPTEVIn-DS	Hi-Z	ULPTEEn-DS/ULPTEVIn-DS 入力		ULPTEEn-DS/ ULPTEVIn-DS 入力	Hi-Z	Hi-Z	Keep
	ULPTOn/ ULPTOAn/ ULPTOBn	Hi-Z	ULPTOn/ULPTOAn/ULPTOBn 出力		Keep		Hi-Z	Keep
	ULPTOn-DS/ ULPTOAn-DS/ ULPTOBn-DS	Hi-Z	ULPTOn/ULPTOAn-DS/ ULPTOBn-DS 出力		ULPTOn/ ULPTOAn-DS/ ULPTOBn-DS 出力	Keep	Hi-Z	DSTBY1: ULPTOn/ ULPTOAn-DS/ ULPTOBn-DS 出力 DSTBY2, 3: Keep
IIC	SCLn/SDAn	Hi-Z	Keep-O(注2)		Keep		Hi-Z	Keep
USBFS	USB_OVRCURx	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	USB_OVRCURx-DS/ USB_VBUS	Hi-Z	Hi-Z(注2)		Keep(注3)	Keep	Hi-Z	Keep
	USB_DP/USB_DM	Hi-Z	Keep-O(注4)		Keep(注3)	Keep	Hi-Z	Keep
RTC	RTCICx	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	Keep
	RTCOUT	Hi-Z	RTCOUT 出力		Keep		Hi-Z	Keep
ACMPHS	VCOUT	Hi-Z	VCOUT 出力		Keep		Hi-Z	Keep
CLKOUT	CLKOUT	Hi-Z	CLKOUT 出力		Keep		Hi-Z	Keep
DAC	DA0	Hi-Z	D/A 出力保持		Hi-Z		Hi-Z	
P400/P401	IRQ5-DS 機能以外	Hi-Z	Keep-O(注2)		Hi-Z		Hi-Z	
その他	—	Hi-Z	Keep-O		Keep		Hi-Z	Keep

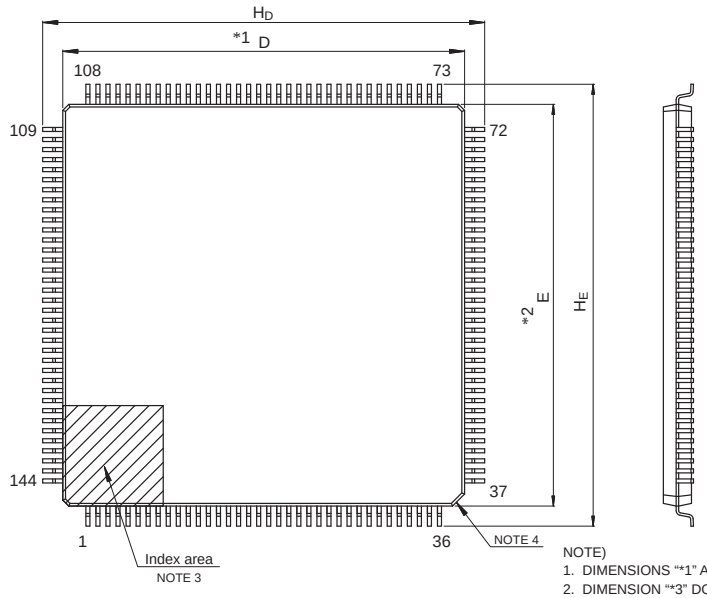
注.　Hi-Z：ハイインピーダンス
　　Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
　　Keep-I：通常モード期間中、端子状態は保持されます。
　　Keep：ソフトウェアスタンバイモード期間中、端子状態は保持されます。
注 1.　DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。
注 2.　端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。
注 3.　端子がディープソフトウェアスタンバイのキャンセル要因に指定された場合、入力が許可されます。
注 4.　入力端子として使用されている端子への入力は許可されています。

付録 2. 外形寸法図

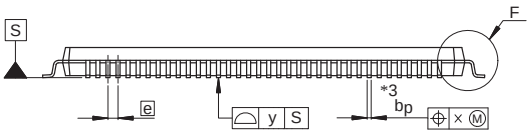
外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

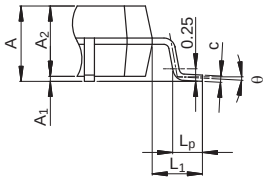
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP144-20x20-0.50	PLQP0144KA-B	—	1.2

Unit: mm



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.





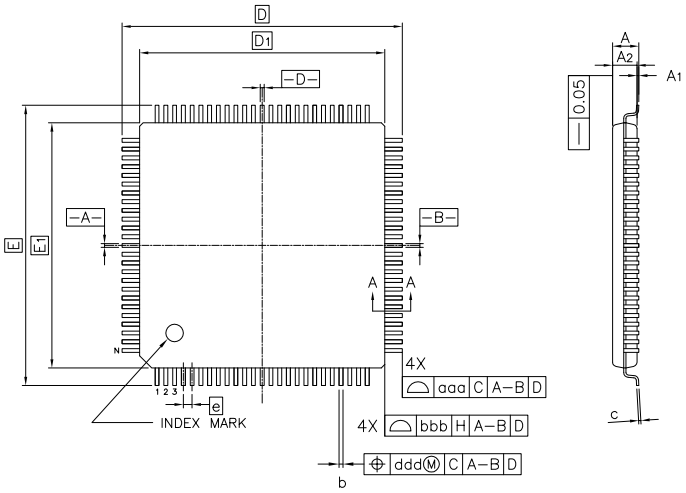
Detail F

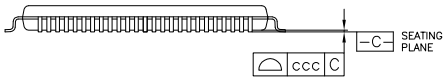
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

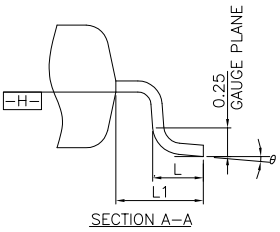
© 2016 Renesas Electronics Corporation. All rights reserved.

図 2.1 LQFP 144 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP100-14x14-0.50	PLQP0100KP-A	0.67







Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	16.00	–
D_1	–	14.00	–
E	–	16.00	–
E_1	–	14.00	–
N	–	100	–
e	–	0.50	–
b	0.17	0.22	0.27
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.08
ddd	–	–	0.08

図 2.2 LQFP 100 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/3)

説明	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
Renesas メモリプロテクションユニット	RMPU	0x4000_0000	RMPU_NS	0x5000_0000
SRAM コントロール	SRAM	0x4000_2000	SRAM_NS	0x5000_2000
BUS コントロール	BUS	0x4000_3000	BUS_NS	0x5000_3000
共通割り込みコントローラ	ICU_COMMON	0x4000_6000	ICU_COMMON_NS	0x5000_6000
CPU システムセキュリティコントロールユニット	CPSCU	0x4000_8000	CPSCU_NS	0x5000_8000
ダイレクトメモリアクセスコントローラ 00	DMAC00	0x4000_A000	DMAC00_NS	0x5000_A000
ダイレクトメモリアクセスコントローラ 01	DMAC01	0x4000_A040	DMAC01_NS	0x5000_A040
ダイレクトメモリアクセスコントローラ 02	DMAC02	0x4000_A080	DMAC02_NS	0x5000_A080
ダイレクトメモリアクセスコントローラ 03	DMAC03	0x4000_A0C0	DMAC03_NS	0x5000_A0C0
ダイレクトメモリアクセスコントローラ 04	DMAC04	0x4000_A100	DMAC04_NS	0x5000_A100
ダイレクトメモリアクセスコントローラ 05	DMAC05	0x4000_A140	DMAC05_NS	0x5000_A140
ダイレクトメモリアクセスコントローラ 06	DMAC06	0x4000_A180	DMAC06_NS	0x5000_A180
ダイレクトメモリアクセスコントローラ 07	DMAC07	0x4000_A1C0	DMAC07_NS	0x5000_A1C0
DMAC モジュール起動 0	DMA0	0x4000_A800	DMA0_NS	0x5000_A800
データトランスファコントローラ 0	DTC0	0x4000_AC00	DTC0_NS	0x5000_AC00
割り込みコントローラ	ICU	0x4000_C000	ICU_NS	0x5000_C000
CPU コントロールレジスタ	CPU_CTRL	0x4000_F000	CPU_CTRL_NS	0x5000_F000
オンチップデバッグ	OCD_CPU	0x4001_1000	OCD_CPU_NS	0x5001_1000
DAP ファンクション	DAP_CPU	0x8001_1000		
デバッグ機能	CPU_DBG	0x4001_B000	CPU_DBG_NS	0x5001_B000
システムコントロール	SYSC	0x4001_E000	SYSC_NS	0x5001_E000
温度センサデータ	TSD	0x4011_B000	TSD_NS	0x5011_B000
イベントリンクコントローラ	ELC	0x4020_1000	ELC_NS	0x5020_1000
リアルタイムクロック	RTC	0x4020_2000	RTC_NS	0x5020_2000
独立ウォッチドッグタイマ	IWDT	0x4020_2200	IWDT_NS	0x5020_2200
クロック周波数精度測定回路	CAC	0x4020_2400	CAC_NS	0x5020_2400
ウォッチドッグタイマ 0	WDT0	0x4020_2600	WDT0_NS	0x5020_2600

表 3.1 周辺機能のベースアドレス (2/3)

説明	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
モジュールストップコントロール A, B, C, D, E	MSTP	0x4020_3000	MSTP_NS	0x5020_3000
ペリフェラルセキュリティコントロールユニット	PSCU	0x4020_4000	PSCU_NS	0x5020_4000
GPT 用ポートアウトプットイネーブルモジュール	POEG	0x4021_2000	POEG_NS	0x5021_2000
超低消費電力タイマ 0	ULPT0	0x4022_0000	ULPT0_NS	0x5022_0000
超低消費電力タイマ 1	ULPT1	0x4022_0100	ULPT1_NS	0x5022_0100
低消費電力非同期汎用タイマ 0	AGT0	0x4022_1000	AGT0_NS	0x5022_1000
低消費電力非同期汎用タイマ 1	AGT1	0x4022_1100	AGT1_NS	0x5022_1100
温度センサ	TSN	0x4023_5000	TSN_NS	0x5023_5000
高速アナログコンパレータ 0	ACMPHS0	0x4023_6000	ACMPHS0_NS	0x5023_6000
高速アナログコンパレータ 1	ACMPHS1	0x4023_6100	ACMPHS1_NS	0x5023_6100
USB 2.0 FS モジュール	USBFS	0x4025_0000	USBFS_NS	0x5025_0000
拡張シリアルサウンドインタフェース (SSIE) 0	SSIE0	0x4025_D000	SSIE0_NS	0x5025_D000
拡張シリアルサウンドインタフェース (SSIE) 1	SSIE1	0x4025_D100	SSIE1_NS	0x5025_D100
Inter-Integrated Circuit 0	IIC0	0x4025_E000	IIC0_NS	0x5025_E000
Inter-Integrated Circuit 0 ウェイクアップユニット	IIC0WU	0x4025_E014	IIC0WU_NS	0x5025_E014
Inter-Integrated Circuit 1	IIC1	0x4025_E100	IIC1_NS	0x5025_E100
オクタシリアルペリフェラルインタフェース 0	OSPI0_B	0x4026_8000	OSPI0_B_NS	0x5026_8000
CRC 演算器	CRC	0x4031_0000	CRC_NS	0x5031_0000
データ演算回路	DOC_B	0x4031_1000	DOC_B_NS	0x5031_1000
32 ビット汎用 PWM タイマ 0	GPT320	0x4032_2000	GPT320_NS	0x5032_2000
32 ビット汎用 PWM タイマ 1	GPT321	0x4032_2100	GPT321_NS	0x5032_2100
32 ビット汎用 PWM タイマ 2	GPT322	0x4032_2200	GPT322_NS	0x5032_2200
32 ビット汎用 PWM タイマ 3	GPT323	0x4032_2300	GPT323_NS	0x5032_2300
32 ビット汎用 PWM タイマ 4	GPT324	0x4032_2400	GPT324_NS	0x5032_2400
32 ビット汎用 PWM タイマ 5	GPT325	0x4032_2500	GPT325_NS	0x5032_2500
16 ビット汎用 PWM タイマ 10	GPT1610	0x4032_2A00	GPT1610_NS	0x5032_2A00
16 ビット汎用 PWM タイマ 11	GPT1611	0x4032_2B00	GPT1611_NS	0x5032_2B00
16 ビット汎用 PWM タイマ 12	GPT1612	0x4032_2C00	GPT1612_NS	0x5032_2C00
16 ビット汎用 PWM タイマ 13	GPT1613	0x4032_2D00	GPT1613_NS	0x5032_2D00
12 ビット A/D コンバータ 0	ADC120	0x4033_2000	ADC120_NS	0x5033_2000
12 ビット A/D コンバータ 1	ADC121	0x4033_2200	ADC121_NS	0x5033_2200
12 ビット D/A コンバータ	DAC12	0x4033_3000	DAC12_NS	0x5033_3000
キャプチャエンジンユニット	CEU	0x4034_8000	CEU_NS	0x5034_8000
イーサネットコントローラチャネル 0 用 DMA コントローラ	EDMAC0	0x4035_4000	EDMAC0_NS	0x5035_4000
イーサネットコントローラチャネル 0	ETHERC0	0x4035_4100	ETHERC0_NS	0x5035_4100

表 3.1 周辺機能のベースアドレス (3/3)

説明	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
シリアルコミュニケーションインタフェース 0	SCI0_B	0x4035_8000	SCI0_B_NS	0x5035_8000
シリアルコミュニケーションインタフェース 1	SCI1_B	0x4035_8100	SCI1_B_NS	0x5035_8100
シリアルコミュニケーションインタフェース 2	SCI2_B	0x4035_8200	SCI2_B_NS	0x5035_8200
シリアルコミュニケーションインタフェース 3	SCI3_B	0x4035_8300	SCI3_B_NS	0x5035_8300
シリアルコミュニケーションインタフェース 4	SCI4_B	0x4035_8400	SCI4_B_NS	0x5035_8400
シリアルコミュニケーションインタフェース 9	SCI9_B	0x4035_8900	SCI9_B_NS	0x5035_8900
シリアルペリフェラルインタフェース 0	SPI0	0x4035_C000	SPI0_NS	0x5035_C000
シリアルペリフェラルインタフェース 1	SPI1	0x4035_C100	SPI1_NS	0x5035_C100
MBRAM0 用エラー補正回路	ECCMB0	0x4036_F200	ECCMB0_NS	0x5036_F200
MBRAM1 用エラー補正回路	ECCMB1	0x4036_F300	ECCMB1_NS	0x5036_F300
CANFD モジュール 0	CANFD0	0x4038_0000	CANFD0_NS	0x5038_0000
CANFD モジュール 1	CANFD1	0x4038_2000	CANFD1_NS	0x5038_2000
ポート 0 コントロールレジスタ	PORT0	0x4040_0000	PORT0_NS	0x5040_0000
ポート 1 コントロールレジスタ	PORT1	0x4040_0020	PORT1_NS	0x5040_0020
ポート 2 コントロールレジスタ	PORT2	0x4040_0040	PORT2_NS	0x5040_0040
ポート 3 コントロールレジスタ	PORT3	0x4040_0060	PORT3_NS	0x5040_0060
ポート 4 コントロールレジスタ	PORT4	0x4040_0080	PORT4_NS	0x5040_0080
ポート 5 コントロールレジスタ	PORT5	0x4040_00A0	PORT5_NS	0x5040_00A0
ポート 6 コントロールレジスタ	PORT6	0x4040_00C0	PORT6_NS	0x5040_00C0
ポート 7 コントロールレジスタ	PORT7	0x4040_00E0	PORT7_NS	0x5040_00E0
ポート 8 コントロールレジスタ	PORT8	0x4040_0100	PORT8_NS	0x5040_0100
ポート 9 コントロールレジスタ	PORT9	0x4040_0120	PORT9_NS	0x5040_0120
Pmn 端子機能コントロールレジスタ	PFS	0x4040_0800	PFS_NS	0x5040_0800
フラッシュキャッシュ	FCACHE	0x4001_C100	FCACHE_NS	0x5001_C100
データフラッシュ	FLAD	0x4011_C000	FLAD_NS	0x5011_C000
フラッシュアプリケーションコマンドインタフェース	FACI	0x4011_E000	FACI_NS	0x5011_E000
データフラッシュセキュリティ設定	FDFS	0x2703_0000		

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。

- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より高いとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注.　CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2　アクセスサイクル (1/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注2)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU, SRAM, BUS, ICU_COMMON, CPSCU, DMAC0n, DMA0, DTC0, ICU, CPU_CTRL	0x4000_0000	0x4001_CFFF	3	2	3	2	ICLK	Renesas メモリプロテクションユニット、SRAM コントロール、BUS コントロール、共通割り込みコントローラ、CPU システムセキュリティコントロールユニット、ダイレクトメモリアクセスコントローラ 0n、DMAC モジュール起動 0、データトランスファコントローラ 0、割り込みコントローラ、CPU コントロールレジスタ
CPU_OCD	0x4001_1004	0x4001_1FFF	7	2	7	2	ICLK	オンチップデバッグ
CPU_DBG, FCACHE	0x4000_B000	0x4001_CFFF	3	2	3	2	ICLK	デバッグ機能、フラッシュキャッシュ
SYSC	0x4001_E000	0x4001_E9FF	4	3	2～4	1～3	PCLKB	システムコントロール
SYSC	0x4001_EA00	0x4001_ED7F	7	6	5～7	4～6	PCLKB	システムコントロール
TSD	0x4011_B17C	0x4011_B17C	4	3	4	3	ICLK	温度センサデータ
ELC, RTC	0x4020_1000	0x4020_21FF	4	3	2～4	1～3	PCLKB	イベントリンクコントローラ、リアルタイムクロック
IWDT	0x4020_2200	0x4020_22FF	4	65	2～4	63～65	PCLKB	独立ウォッチドッグタイマ
CAC, WDT0, MSTP, PSCU, POEG	0x4020_2400	0x4021_2FFF	4	3	2～4	1～3	PCLKB	クロック周波数精度測定回路、ウォッチドッグタイマ 0、モジュールストップコントロール、ペリフェラルセキュリティコントロールユニット、GPT 用ポートアウトプットイネーブルモジュール
ULPTn	0x4022_0000	0x4022_01FF	6	65	4～6	63～65	PCLKB	超低消費電力タイマ n
AGTn	0x4022_1000	0x4022_11FF	6	3	4～6	1～3	PCLKB	低消費電力非同期汎用タイマ n
TSN	0x4023_5000	0x4023_5FFF	4	3	2～4	1～3	PCLKB	温度センサ
ACMPHSn	0x4023_6000	0x4023_61FF	3	3	1～3	1～3	PCLKB	高速アナログコンパレータ n
USBFS	0x4025_0000	0x4025_03FF	5	4	3～5	2～4	PCLKB	USB 2.0 FS モジュール
USBFS	0x4025_0400	0x4025_04FF	4	65	2～4	63～65	PCLKB	USB 2.0 FS モジュール

表 3.2 アクセスサイクル (2/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK(注2)		サイクルの単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
SSIEn, IICn, OSPI0	0x4025_2000	0x4026_88FF	4	3	2～4	1～3	PCLKB	拡張シリアルサウンドインタフェース n、Inter-Integretad Circuit n、オクタシリアルペリフェラルインタフェース 0
CRC, DOC	0x4031_0000	0x4031_1FFF	4	3	2～4	1～3	PCLKA	CRC 演算器、データ演算回路
GPT32n, GPT16n	0x4032_2000	0x4032_3FFF	7	4	5～7	2～4	PCLKA	32 ビット汎用 PWM タイマ n、16 ビット汎用 PWM タイマ n
ADC12n, DAC12n	0x4033_2000	0x4034_6FFF	4	3	2～4	1～3	PCLKA	12 ビット A/D コンバータ n、12 ビット D/A コンバータ n
CEU	0x4034_8000	0x4034_FFFF	7	5	5～7	3～5	PCLKA	キャプチャエンジンユニット
EDMAC0	0x4035_4000	0x4035_40FF	5	4	3～5	2～4	PCLKA	イーサネットコントローラチャネル 0 用 DMA コントローラ
ETHERC0	0x4035_4100	0x4035_43FF	14	13	12～14	11～13	PCLKA	イーサネットコントローラチャネル 0
SCIn, SPIn	0x4035_8000	0x4035_FFFF	4	3	2～4	1～3	PCLKA	シリアルコミュニケーションインタフェース n、シリアルペリフェラルインタフェース n
ECCMBn	0x4036_F200	0x4036_F3FF	5	4	3～5	2～4	PCLKA	MBRAMn 用エラー補正回路
CANFDn	0x4038_0000	0x4038_3FFF	4	3	2～4	1～3	PCLKA	CANFD モジュール n
PORTn	0x4040_0000	0x4040_01FF	4	2	4	2	ICLK	ポート n コントロールレジスタ
PFS	0x4040_0800	0x4040_0FFF	8	2	8	2	ICLK	Pmn 端子機能コントロールレジスタ
RSIP-E51A	—	—	1～3	2	1～3	1～2	PCLKA	ルネサスセキュリティ IP

表 3.2 アクセスサイクル (3/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数					
			ICLK = FCLK		ICLK > FCLK(注2)		サイクルの単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
FLAD, FACI	0x4011_C040	0x4011_EFFF	4	3	4	3	FCLK	データフラッシュ、フラッシュアプリケーションコマンドインタフェース

注 1. 本表ではセキュアアドレスのみを示しています。非セキュアアドレスのアクセスサイクルは、セキュアアドレスのアクセスサイクルと同じです。

注 2. PCLK または FCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は 1～3 となります。

付録 4.　レジスタ R/W に関する注意事項

- セキュアバスマスタは、IDAU/SAU または MSAU によりセキュアにマークされたアドレスを使用して、「セキュアアクセス」を発行します。
- セキュアバスマスタは、IDAU/SAU または MSAU により非セキュアにマークされたアドレスを使用して、「非セキュアアクセス」を発行します。
- 非セキュアバスマスタは、IDAU/SAU または MSAU により非セキュアにマークされたアドレスを使用して、「非セキュアアクセス」を発行します。

表 4.1　レジスタタイプに関する注意文 (S-TYPE)

TYPE	UM 内での説明
S-TYPE-1	セキュアアクセスのみ本レジスタへ書き込み可能です。リードアクセスは常に許可されます。 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
S-TYPE-2	リードアクセスは常に許可されます。 セキュリティ属性がセキュアに設定されている場合、 ● セキュアライトアクセスが許可されます。 ● 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
	セキュリティ属性が非セキュアに設定されている場合、 ● セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。 ● 非セキュアアクセスが許可されます。
S-TYPE-3	セキュリティ属性がセキュアに設定されている場合、 ● セキュアアクセスが許可されます。 ● 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
	セキュリティ属性が非セキュアに設定されている場合、 ● セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。 ● 非セキュアアクセスが許可されます。
S-TYPE-4	セキュリティ属性がセキュアに設定されている場合、 ● セキュアアクセスが許可されます。 ● 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。
	セキュリティ属性が非セキュアに設定されている場合、 ● セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。 ● 非セキュアアクセスが許可されます。
S-TYPE-5	注意文不要
S-TYPE-6	セキュアアクセスが許可されます。 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
S-TYPE-7	セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。 非セキュアアクセスが許可されます。

注.　非セキュアバスマスタは、IDAU/SAU または MSAU によりセキュアにマークされたアドレスを使用して、いかなるアクセスも発行しません。

表 4.2　レジスタタイプに関する注意文 (P-TYPE) (1/2)

TYPE	UM 内での説明
P-TYPE-1	プリビレッジライトアクセスが許可されます。リードアクセスは常に許可されます。 アンプリビレッジライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
P-TYPE-2	プリビレッジアクセスが許可されます。 アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
P-TYPE-3	プリビレッジ属性がプリビレッジに設定されている場合、 ● プリビレッジアクセスが許可されます。 ● アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
	プリビレッジ属性がアンプリビレッジに設定されている場合、 ● プリビレッジアクセスとアンプリビレッジアクセスが許可されます。

表 4.2　レジスタタイプに関する注意文 (P-TYPE) (2/2)

TYPE	UM 内での説明
P-TYPE-4	プリビレッジ属性がプリビレッジに設定されている場合、 ● プリビレッジアクセスが許可されます。 ● アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。
	プリビレッジ属性がアンプリビレッジに設定されている場合、 ● プリビレッジアクセスとアンプリビレッジアクセスが許可されます。
P-TYPE-5	注意文不要

改訂履歴

Revision 1.00 — 2024 年 10 月 23 日

初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2024 Renesas Electronics Corporation. All rights reserved.