RA6T3 グループ
ルネサスマイクロコントローラ

R01DS0414JJ0130
Rev.1.30
Oct 24, 2025

最高 200 MHz の Arm® Cortex®-M33 コア、256 KB のコードフラッシュメモリ、4 KB のデータフラッシュメモリ、40 KB の SRAM。USB フルスピード、CANFD、I3C、ADC を含むペリフェラル。

特長

■ Arm® Cortex®-M33 コア

- Armv8-M アーキテクチャ（メイン拡張）
- 最高動作周波数：200 MHz
- Arm メモリプロテクションユニット (Arm MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S)：8 領域
  - 非セキュア MPU (MPU_NS)：8 領域
- SysTick タイマ
  - 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス
  - LOCO 駆動またはシステムクロック
- CoreSight™ ETM-M33

■ メモリ

- 最大 256 KB のコードフラッシュメモリ
- 4 KB のデータフラッシュメモリ（100,000 回のプログラム／イレース (P/E) サイクル）
- 40 KB の SRAM

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 2
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - スマートカードインタフェース
  - 簡易 IIC
  - 簡易 SPI
  - マンチェスタコーディング
- I3C バスインタフェース (I3C)
- シリアルペリフェラルインタフェース (SPI) × 2
- USB 2.0 フルスピードモジュール (USBFS)
- CAN フレキシブルデータレート (CANFD)

■ アナログ

- 12 ビット A/D コンバータ (ADC12)
  - サンプル&ホールド回路 × 3
  - プログラマブルゲインアンプ × 3
- 高速アナログコンパレータ (ACMPHS) × 3
- 12 ビット D/A コンバータ (DAC12) × 2
- 温度センサ回路 (TSN)

■ タイマ

- 16 ビット汎用 PWM タイマ (GPT16E) × 6
- 低消費電力非同期汎用タイマ (AGT) × 2

■ セキュリティ

- Arm® TrustZone®
  - コードフラッシュ用領域：最大 3 領域
  - データフラッシュ用領域：最大 2 領域
  - SRAM 用領域：最大 3 領域
  - 各ペリフェラルに対して個別のセキュアまたは非セキュアのセキュリティ属性
- 128 ビットユニーク ID
- 真性乱数生成器 (TRNG)
- 端子機能
  - セキュア端子マルチプレキシング

■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データ転送コントローラ (DTC)
- DMA コントローラ (DMAC) × 8
- パワーオンリセット
- 低電圧検出 (LVD) （電圧設定）
- ウォッチドッグタイマ (WDT)
- 独立ウォッチドッグタイマ (IWDT)

■ データ処理アクセラレータ

- 三角関数ユニット (TFU)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (8～24 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (16/18/20 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- IWDT 専用オンチップオシレータ (15 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL
- クロックアウトのサポート

■ 汎用入出力ポート

- 5 V トレラント、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧

- VCC: 2.7～3.6 V

■ 動作温度およびパッケージ

- Ta = -40℃～+105℃
  - 64 ピン LQFP（10 mm × 10 mm、0.5 mm ピッチ）
  - 48 ピン LQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン QFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン QFN（5 mm × 5 mm、0.5 mm ピッチ）

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は最高 200 MHz で動作する高性能な Arm Cortex®-M33 コアを内蔵しており、以下の特長があります。

- 最大 256 KB のコードフラッシュメモリ
- 40 KB SRAM
- USBFS
- アナログ周辺機能
- セキュリティ＆セーフティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M33 コア	● 最高動作周波数：200 MHz ● Arm Cortex-M33 コア： – Armv8-M アーキテクチャ（セキュリティ拡張機能付き） – リビジョン：r0p4-00rel0 ● Arm メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S): 8 領域 – 非セキュア MPU (MPU_NS): 8 領域 ● SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス – SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動 ● CoreSight™ ETM-M33

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 256 KB のコードフラッシュメモリ。
データフラッシュメモリ	4 KB のデータフラッシュメモリ。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード： ● シングルチップモード ● SCI/USB/SWD ブートモード
リセット	本 MCU は、14 種類のリセットをサポートしています。
低電圧検出回路 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路（LVD0、LVD1、LVD2）で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。

表 1.3 システム (2/2)

機能	機能の説明
クロック	● メインクロック発振器 (MOSC) ● サブクロック発振器 (SOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● IWDT 専用オンチップオシレータ ● PLL ● クロックアウトのサポート
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は 1 つのメモリプロテクションユニット (MPU) を備えています。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。
DMA コントローラ (DMAC)	本 MCU は、8 チャネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 1.6 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT16E を 6 チャネルもつ 16 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットすることができます。さらに、ノンマスカブル割り込みやアンダーフロー割り込み、を発生させるためにも使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み／ノンマスカブル割り込みを発生させることが可能です。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 2 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● スマートカードインタフェース ● マンチェスタインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0, 9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
I3C バスインタフェース (I3C)	I3C バスインタフェース (I3C) には 1 つのチャネルがあります。I3C は、NXP 社の I2C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。
Control Area Network with Flexible Data-Rate モジュール (CANFD)	CAN with Flexible Data-Rate (CANFD) モジュールは、クラシカル CAN フレームと ISO 11898-1 規格に準拠する CANFD フレームの両方を取り扱うことができます。 このモジュールは 4 個の送信バッファと 32 個の受信バッファをサポートしています。
USB 2.0 フルスピードモジュール (USBFS)	デバイスコントローラとして動作可能な USB2.0 フルスピードモジュール (USBFS) です。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピード転送をサポートしています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。USB はデータ転送用にバッファメモリを内蔵し、最大 5 本のパイプを使用できます。パイプ 0 およびパイプ 4～7 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表 1.8 アナログ

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	サンプル＆ホールド回路とプログラマブルゲインアンプ (PGA) を備えた逐次比較方式の 12 ビット A/D コンバータ (ADC12) です。最大 12 チャネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は試験電圧と基準電圧を比較し、変換結果に基づいてデジタル出力を生成します。試験電圧と基準電圧は、どちらも DAC12 出力や内部基準電圧などの内部ソース、および外部ソース（内部 PGA 有りまたは無し）からコンパレータに供給できます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。 section x, High-Speed Analog Comparator を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に一致する場合、割り込み要求が発生します。

表 1.10 データ処理アクセラレータ

機能	機能の説明
三角関数ユニット (TFU)	正弦、余弦、逆正接、および平方根 (x2 + y2) ● 正弦と余弦は同時に計算できます。 ● 逆正接と平方根 (x2 + y2) は同時に計算できます。

表 1.11 I/O ポート

機能	機能の説明
プログラマブル I/O ポート	● 64 ピン LQFP 用 I/O ポート – 入出力端子：45 – 入力端子：5 – プルアップ抵抗：46 – N チャネルオープンドレイン出力：45 – 5 V トレランス：11 ● 48 ピン LQFP 用の I/O ポート – 入出力端子：29 – 入力端子：5 – プルアップ抵抗：30 – N チャネルオープンドレイン出力：29 – 5 V トレランス：6 ● 32 ピン LQFP 用の I/O ポート – 入出力端子：16 – 入力端子：5 – プルアップ抵抗：17 – N チャネルオープンドレイン出力：16 – 5 V トレランス：4 ● 48 ピン QFN 用の I/O ポート – 入出力端子：29 – 入力端子：5 – プルアップ抵抗：30 – N チャネルオープンドレイン出力：29 – 5 V トレランス：6 ● 32 ピン QFN 用の I/O ポート – 入出力端子：16 – 入力端子：5 – プルアップ抵抗：17 – N チャネルオープンドレイン出力：16 – 5 V トレランス：4

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.12 に、製品一覧表を示します。

注. #に続く有効な記号については、ルネサス Web サイト上の各製品の注文画面でご確認ください。

図 1.2 型名の読み方

表 1.12 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA6T3BB3CFM	PLQP0064KB-C	256 KB	4 KB	40 KB	-40～+105℃
R7FA6T3BB3CFL	PLQP0048KB-B				
R7FA6T3BB3CFJ	PLQP0032GB-A				
R7FA6T3BB3CNE	PWQN0048KC-A				
R7FA6T3BB3CNH	PWQN0032KE-A				

1.4 機能の比較

表 1.13 機能の比較

型名		R7FA6T3BB3CFM	R7FA6T3BB3CFL R7FA6T3BB3CNE	R7FA6T3BB3CFJ R7FA6T3BB3CNH
端子総数		64	48	32
パッケージ		LQFP	LQFP/QFN	LQFP/QFN
コードフラッシュメモリ		256 KB		
データフラッシュメモリ		4 KB		
SRAM		40 KB		
	パリティ	32 KB		
	ECC	8 KB		
DMA	DTC	あり		
	DMAC	8		
システム	CPU クロック	最高 200 MHz		
	CPU クロックソース	MOSC、SOSC、HOCO、MOCO、LOCO、PLL		
	CAC	あり		
	WDT/IWDT	あり		
通信	SCI	2		
	I3C	1		
	SPI	2		
	CANFD	1		
	USBFS	あり		なし
タイマ	GPT16E(注1)	6		4
	AGT(注1)	2		
アナログ	ADC12	12	8	5
	DAC12	2		1
	ACMPHS	3		
	PGA	3		
	TSN	あり		
データ処理	CRC	あり		
	DOC	あり		
イベントコントロール	ELC	あり		
アクセラレータ	TFU	あり		
セキュリティ		TrustZone		
I/O ポート	入出力端子	45	29	16
	入力端子	5	5	5
	プルアップ抵抗	46	30	17
	N チャネルオープンドレイン出力	45	29	16
	5 V トレランス	11	6	4

注 1. 使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。

1.5 端子機能

表 1.14 端子機能一覧 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQn	入力	マスカブル割り込み要求端子
	IRQn-DS	入力	マスカブル割り込み要求端子は、ディープソフトウェアスタンバイモード時も使用できます。
GPT	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOCnA, GTIOCnB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTADSM0, GTADSM1	出力	A/D 変換開始要求モニタリング出力端子
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）
AGT	AGTEEn	入力	外部イベント入力イネーブル信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOn	出力	パルス出力端子
	AGTOAn	出力	出力コンペアマッチ A 出力端子
	AGTOBn	出力	出力コンペアマッチ B 出力端子

表 1.14 端子機能一覧 (2/3)

機能	端子名	入出力	説明
SCI	SCKn	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	CTSn	入力	送信の開始用の入力端子
	SCLn	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
I3C	I3C_SCL	入出力	I3C クロック入出力端子
	I3C_SDA	入出力	I3C データ用の入出力端子
	SCL0	入出力	I2C クロック入出力端子
	SDA0	入出力	I2C データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3、SSLB1～SSLB3	出力	スレーブ選択用の出力端子
CANFD	CRX0	入力	受信データ
	CTX0	出力	送信データ
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB 内蔵トランシーバ D+端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出できます。
アナログ電源	AVCC0	入力	アナログ電源端子。それぞれのモジュールのアナログ電源端子として使用されます。この端子には VCC 端子と同じ電圧を供給してください。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH	入力	D/A コンバータ用のアナログ基準電圧源端子
	VREFL	入力	D/A コンバータ用のアナログ基準グランド端子
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS0 に接続してください。

表 1.14 端子機能一覧 (3/3)

機能	端子名	入出力	説明
ADC12	AN0n	入力	A/D コンバータで処理されるアナログ信号用の入力端子（n：ピン番号）
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
	PGAVSS000	入力	疑似差動入力端子
DAC12	DAn	出力	D/A コンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOUT	出力	コンパレータ出力端子
	IVREFn	入力	コンパレータ用基準電圧入力端子
	IVCMPn	入力	コンパレータ用アナログ電圧入力端子
I/O ポート	Pmn	入出力	汎用入出力端子（m：ポート番号、n：ピン番号）
	P200	入力	汎用入力端子

1.6 ピン配置図

以下にピン配置図（上面図）を示します。

図 1.3 64 ピン LQFP のピン配置

図 1.4 48 ピン LQFP のピン配置

注. Exposed die pad は、VSS に接続することを推奨します。

図 1.5 48 ピン QFN のピン配置

注. XCIN は LQFP32 では使用できません。XCIN は抵抗を介して VSS に接続する必要があります（プルダウン）。

図 1.6 32 ピン LQFP のピン配置

注. XCIN は QFN32 では使用できません。XCIN は抵抗を介して VSS に接続する必要があります（プルダウン）。
注. Exposed die pad は、VSS に接続することを推奨します。

図 1.7 32 ピン QFN のピン配置

1.7 端子一覧

表 1.15 端子一覧 (1/2)

LQFP64	LQFP48 QFN48	LQFP32 QFN32	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/I3C/SPI/CANFD/USBFS	GPT/AGT	ADC12/DAC12/ACMPHS
1	—	—	—	P400	IRQ0	SCL0_A	AGTIO1	—
2	—	—	—	P401	IRQ5-DS	SDA0_A/CTX0	GTETRGA	—
3	1	—	CACREF	P402	IRQ4-DS	CRX0	AGTIO0/AGTIO1/GTADSM1	—
4	2	—	—	P403	IRQ14-DS	—	GTIOC3A/AGTIO0/AGTIO1	—
5	3	2	VCL	—	—	—	—	—
6	4	3	XCIN(注1)	—	—	—	—	—
7	5	—	XCOUT	—	—	—	—	—
8	6	4	VSS	—	—	—	—	—
9	7	5	XTAL	P213	IRQ2	TXD0/MOSI0/SDA0	GTIOC0A/GTETRGC	—
10	8	6	EXTAL	P212	IRQ3	RXD0/MISO0/SCL0	GTIOC0B/GTETRGD/AGTEE1	—
11	9	7	VCC	—	—	—	—	—
12	—	—	—	P411	IRQ4	TXD0/MOSI0/SDA0	GTOVUP	—
13	—	—	—	P410	IRQ5	RXD0/MISO0/SCL0	GTOVLO	—
14	10	—	—	P409	IRQ6	—	GTIOC1A/GTOWUP/AGTOA1	—
15	11	—	—	P408	IRQ7	SCL0_B	GTIOC1B/GTIW/AGTOB1	—
16	12	8	—	P407	—	SDA0_B/USB_VBUS	GTIV/AGTIO0/GTADSM0	ADTRG0
17	13	—	VSS_USB	—	—	—	—	—
18	14	—	USB_DM	P815	—	—	GTIOC0A/GTETRGC	—
19	15	—	USB_DP	P814	—	—	GTIOC0B/GTETRGB	—
20	16	—	VCC_USB	—	—	—	—	—
21	17	9	CACREF	P207	—	SCK9/MOSIA_A	GTIOC5A/GTIW/AGTIO1	—
22	18	10	—	P206	IRQ0-DS	CTS9/SDA0_C/MISOA_A	GTIOC5B/GTIU	—
23	—	—	CLKOUT	P205	IRQ1-DS	CTS_RTS9/SS9/SCL0_C/SSLA3_A	GTIOC4A/GTIV/AGTO1	—
24	—	—	—	P208	—	—	GTOVLO	ADTRG0
25	19	11	RES	—	—	—	—	—
26	20	12	MD	P201	—	—	—	—
27	21	13	—	P200	NMI	—	—	—
28	—	—	—	P304	IRQ9	—	GTOWLO	—
29	—	—	—	P303	—	CTS9	—	—
30	22	14	—	P302	IRQ5	CTS0/SCK9/RSPCKA_A	GTIOC4A/GTOUUP	—
31	23	15	—	P301	IRQ6	CTS_RTS9/SS9/SSLA0_A	GTIOC4B/GTOULO/AGTIO0	—
32	24	16	SWCLK	P300	—	SSLA1_B	GTIOC0A/GTOUUP	—
33	25	17	SWDIO	P108	—	CTS_RTS9/SS9/SSLA0_B	GTIOC0B/GTOULO	—
34	26	18	CLKOUT	P109	—	TXD9/MOSI9/SDA9/MOSIA_B/CTX0	GTIOC1A/GTOVUP/AGTOA0	—
35	27	19	—	P110	IRQ3	RXD9/MISO9/SCL9/MISOA_B/CRX0	GTIOC1B/GTOVLO/AGTOB0	VCOUT
36	28	—	—	P111	IRQ4	SCK9/RSPCKA_B	GTIOC3A	—
37	29	—	—	P112	—	SSLA0_B	GTIOC3B/GTETRGD/AGTO1	—
38	—	—	—	P113	—	—	GTIOC2A	—
39	30	20	VCC	—	—	—	—	—

表 1.15 端子一覧 (2/2)

LQFP64	LQFP48 QFN48	LQFP32 QFN32	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/I3C/SPI/CANFD/USBFS	GPT/AGT	ADC12/DAC12/ACMPHS
40	31	21	VSS	—	—	—	—	—
41	—	—	—	P107	—	SSLA2_B	AGTOA0	—
42	—	—	—	P106	—	SSLB3	AGTOB0	—
43	—	—	—	P105	IRQ0	SSLB2	GTIOC1A/GTETRGA	—
44	32	—	—	P104	IRQ1	SSLB1	GTIOC1B/GTETRGB/AGTIO1	—
45	33	—	—	P103	—	CTS_RTS0/SS0/SSLB0/CTX0	GTIOC2A/GTOWUP	—
46	34	22	—	P102	—	SCK0/RSPCKB/CRX0	GTIOC2B/GTOWLO/AGTO0	ADTRG0
47	35	23	—	P101	IRQ1	TXD0/MOSI0/SDA0/I3C_SDA/SDA0_D/MOSIB	GTIOC5A/GTETRGB/AGTEE0	—
48	36	24	—	P100	IRQ2	RXD0/MISO0/SCL0/I3C_SCL/SCL0_D/MISOB	GTIOC5B/GTETRGA/AGTIO0	—
49	37	—	CACREF	P500	—	—	GTIU/AGTOA0	AN016/IVREF0
50	—	—	—	P008	IRQ12-DS	—	—	AN008
51	—	—	—	P006	IRQ11-DS	—	—	AN006
52	38	—	—	P015	IRQ13	—	—	AN013/DA1/IVCMP0
53	39	25	—	P014	—	—	—	AN012/DA0/IVREF1
54	40	—	—	P013	—	—	—	AN011
55	41	26	—	P003	—	—	—	AN007/PGAVSS000
56	42	27	VREFH/AVCC0	—	—	—	—	—
57	43	28	VREFL/AVSS0	—	—	—	—	—
58	44	29	VREFL0	—	—	—	—	—
59	45	30	VREFH0	—	—	—	—	—
60	—	—	—	P005	IRQ10-DS	—	—	AN005
61	—	—	—	P004	IRQ9-DS	—	—	AN004
62	46	31	—	P002	IRQ8-DS	—	—	AN002/IVCMP2
63	47	32	—	P001	IRQ7-DS	—	—	AN001/IVCMP2
64	48	1	—	P000	IRQ6-DS	—	—	AN000/IVCMP2

注. いくつかの端子名には、_A、_B、_C、および_D という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

注 1. XCIN は、QFN32 および LQFP32 では使用できません。XCIN は抵抗を介して VSS に接続（プルダウン）する必要があります。

2. 電気的特性

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC = AVCC0 = VCC_USB = 2.7～3.6
- 2.7 ≦ VREFH0/VREFH ≦ AVCC0
- VSS = AVSS0 = VREFL0/VREFL = VSS_USB = 0 V
- $T_a = T_{opr}$

図 2.1 は、タイミング条件を示しています。

V_{OH} = VCC × 0.7、V_{OL} = VCC × 0.3
V_{IH} = VCC × 0.7、V_{IL} = VCC × 0.3
負荷容量C = 30 pF

図 2.1 入出力タイミング計測条件

提供される各周辺モジュールのタイミング仕様の推奨計測条件は、最適な周辺動作に対するものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	VCC, VCC_USB(注2)	-0.3～+4.0	V
入力電圧（5 V トレラントポートを除く(注1)）	V_{in}	-0.3～VCC + 0.3	V
入力電圧（5 V トレラントポート(注1)）	V_{in}	–0.3～+ VCC + 4.0（最大 5.8）	V
リファレンス電源電圧	VREFH/VREFH0	-0.3～VCC + 0.3	V
アナログ電源電圧	AVCC0(注2)	-0.3～+4.0	V
アナログ入力電圧（P000～P003 を除く）	V_{AN}	–0.3～AVCC0 + 0.3	V
PGA 疑似差動入力無効時のアナログ入力電圧（P000～P003）	VAN	–0.3～AVCC0 + 0.3	V
PGA 疑似差動入力有効時のアナログ入力電圧（P000～P002）	VAN	–1.3～AVCC0 + 0.3	V
PGA 疑似差動入力有効時のアナログ入力電圧 (P003)	VAN	–0.8～AVCC0 + 0.3	V
動作温度(注3) (注4)	T_{opr}	-40～+105	°C
保存温度	T_{stg}	-55～+125	°C

注 1. ポート P100、P101、P205、P206、P400、P401、P407～P411 は 5 V トレラント対応ポートです。
注 2. AVCC0 および VCC_USB を VCC に接続してください。
注 3. 「2.2.1. Tj/Ta の定義」を参照してください。
注 4. Ta = +85 °C～+105 °C の場合のディレーティング動作については、弊社営業窓口までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 2.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC	USB 未使用時	2.7	—	3.6	V
		USB 使用時	3.0	—	3.6	V
	VSS		—	0	—	V
USB 電源電圧	VCC_USB		—	VCC	—	V
	VSS_USB		—	0	—	V
アナログ電源電圧	AVCC0(注1)		—	VCC	—	V
	AVSS0		—	0	—	V

注 1. AVCC0 を VCC に接続してください。A/D コンバータ、D/A コンバータ、およびコンパレータを使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS にそれぞれ接続してください。

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T_j	—	125	℃	High-speed モード Low-speed モード Subosc-speed モード

注. $T_j = T_a + \theta ja \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CC}max \times VCC$ です。

2.2.2 I/O V_{IH}, V_{IL}

表 2.4 I/O V_{IH}, V_{IL} (1/2)

項目			シンボル	Min	Typ	Max	単位
入力電圧（シュミットトリガ入力端子を除く）	周辺機能端子	EXTAL（外部クロック入力）、SPI（RSPCK を除く）	V_{IH}	VCC × 0.8	—	—	V
			V_{IL}	—	—	VCC × 0.2	
		I3C (SMBus)	V_{IH}	2.1	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	0.8	

表 2.4 I/O V_{IH}, V_{IL} (2/2)

項目			シンボル	Min	Typ	Max	単位
シュミットトリガ入力電圧	周辺機能端子	I3C（SMBus を除く）	V_{IH}	VCC × 0.7	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
		5 V トレラントポート(注1)(注5)	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
		その他の入力端子(注2)	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	ポート	5 V トレラントポート(注3)(注5)	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.2	
		その他の入力端子(注4)	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	

注 1. P100、P101、P205、P206、P400、P401、P407～P411（合計 12 端子）に関連する RES および周辺機能端子
注 2. 表で説明した周辺機能端子を除くすべての入力端子
注 3. P100、P101、P205、P206、P400、P401、P407～P411（合計 11 端子）
注 4. 表で説明したポートを除くすべての入力端子
注 5. VCC が 2.7 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

2.2.3 I/O I_{OH}, I_{OL}

表 2.5 I/O I_{OH}, I_{OL} (1/2)

項目			シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	I3C 端子	IIC 標準モード(注4)	I_{OL}	—	—	3.0	mA
		IIC ファストモード(注4)	I_{OL}	—	—	6.0	mA
		IIC ファストモードプラス(注4)	I_{OL}	—	—	20	mA
		IIC High-speed モード(注4)	I_{OL}	—	—	3.0	mA
	ポート P004～P006、P008、P013～P015、P201	—	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
	ポート P205、P206、P407～P411（合計 7 端子）	低駆動(注1)	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
		中駆動(注2)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		高駆動(注3)	I_{OH}	—	—	-20	mA
			I_{OL}	—	—	20	mA
	その他の出力端子(注5)	低駆動(注1)	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
		中駆動(注2)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		高駆動(注3)	I_{OH}	—	—	-16	mA
			I_{OL}	—	—	16	mA

表 2.5 I/O I_{OH}, I_{OL} (2/2)

項目			シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの最大値）	I3C 端子	IIC 標準モード(注4)	I_{OL}	—	—	3.0	mA
		IIC ファストモード(注4)	I_{OL}	—	—	6.0	mA
		IIC ファストモードプラス(注4)	I_{OL}	—	—	20	mA
		IIC High-speed モード(注4)	I_{OL}	—	—	3.0	mA
	ポート P004～P006、P008、P013～P015、P201	—	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
	ポート P205、P206、P407～P411（合計 7 端子）	低駆動(注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動(注2)	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		高駆動(注3)	I_{OH}	—	—	-40	mA
			I_{OL}	—	—	40	mA
	その他の出力端子(注5)	低駆動(注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動(注2)	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		高駆動(注3)	I_{OH}	—	—	-32	mA
			I_{OL}	—	—	32	mA
許容出力電流（全端子合計の最大値）	全出力端子の最大値		ΣI_{OH} (max)	—	—	-80	mA
			ΣI_{OL} (max)	—	—	80	mA

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 4. SCL0_D、SDA0_D（合計 2 端子）。これは IIC 機能選択時の値です。
注 5. 入力ポートである P000～P003、P200 を除きます。

【使用上の注意】MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μs の間に計測した電流の平均値を意味します。

2.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 2.6 I/O V_{OH}、V_{OL}、その他の特性

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧	I3C(注1)		V_{OL}	—	—	0.4	V	I_{OL} = 3.0 mA
			V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
	I3C(注2)		V_{OH}	VCC - 0.27	—	—		I_{OH} = 3.0 mA (PRTS.PRTMD = 0)
			V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1)
			V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1)
			V_{OL}	—	—	0.4		I_{OL} = 3.0 mA (PRTS.PRTMD = 1, BFCTL.HSME = 1)
			V_{OL}	—	—	0.27		I_{OL} = 3.0 mA (PRTS.PRTMD = 0)
	ポート P205、P206、P407～P411（合計 7 端子）(注3)		V_{OH}	VCC - 1.0	—	—		I_{OH} = -20 mA VCC = 3.3 V
			V_{OL}	—	—	1.0		I_{OL} = 20 mA VCC = 3.3 V
	その他の出力端子		V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
入力リーク電流	RES		$\|I_{in}\|$	—	—	5.0	μA	V_{in} = 0 V V_{in} = 5.5 V
	ポート P000～P002、P200			—	—	1.0		V_{in} = 0 V V_{in} = VCC
	ポート P003	初期化前(注5)		—	—	45.0		V_{in} = 0 V V_{in} = VCC
		初期化後(注6)		—	—	1.0		V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラント対応ポート（ポート P100、P101 を除く）		$\|I_{TSI}\|$	—	—	5.0	μA	V_{in} = 0 V V_{in} = 5.5 V
	5 V トレラント対応ポート (P100, P101)			—	—	10.0		V_{in} = 0 V V_{in} = 5.5 V
	その他のポート（ポート P000～P003、P200 を除く）			—	—	1.0		V_{in} = 0 V V_{in} = VCC
入力プルアップ MOS 電流	ポート P0～P5、P8（ポート P000～P003 を除く）		I_p	-300	—	-10	μA	VCC = 2.7～3.6 V V_{in} = 0 V
SCL 電流ソースとして機能するプルアップ電流	I3C(注4)		I_{CS}	3	—	12	mA	VCC = 3.0～3.6 V Vin = 0.3 × VCC～0.7 × VCC
入力容量	ポート P003、P014、P015、P814、P815		C_{in}	—	—	16	pF	Vbias = 0 V Vamp = 20 mV f = 1 MHz Ta = 25℃
	その他の入力端子			—	—	8		

注 1. SCL0_A、SCL0_B、SCL0_C、SDA0_A、SDA0_B、SDA0_C（合計 6 端子）
注 2. I3C_SCL/SCL0_D、I3C_SDA/SDA0_D（合計 2 端子）
注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
中駆動または低駆動が選択されている場合、その他の出力端子の値を参照してください。
注 4. I3C_SCL/SCL0_D（1 端子）。これは IIC High-speed モード選択時の値です。
注 5. P0nPFS.ASEL (n = 3) = 1
注 6. P0nPFS.ASEL (n = 3) = 0

2.2.5 動作電流とスタンバイ電流

表 2.7 動作電流とスタンバイ電流

パラメータ				シンボル	最小値	Typ	最大値	単位	測定条件
消費電流(注1)	High-speed モード	最大動作(注2)		I_{CC}(注3)	—	—	65	mA	ICLK = 200 MHz PCLKA = 100 MHz PCLKB = 50 MHz PCLKC = 50 MHz PCLKD = 100 MHz FCLK = 50 MHz
		CoreMark®(注5) (注6)			—	16	—		
		通常モード	すべての周辺クロックが有効、(1) コードはフラッシュから実行(注4)		—	18.6	—		
			すべての周辺クロックが無効、(1) コードはフラッシュから実行(注5) (注6)		—	14.7	—		
		スリープモード(注5) (注6)			—	7.5	43		
		BGO 動作時の増加分	データフラッシュ P/E		—	6	—		
			コードフラッシュ P/E		—	8	—		
	Low-speed モード(注5) (注9)				—	1.8	—		ICLK = 1 MHz
	Subosc-speed モード(注5) (注10)				—	1.6	—		ICLK = 32.768 kHz
	ソフトウェアスタンバイモード		SNZCR.RXDREQEN = 1		—	—	35		—
			SNZCR.RXDREQEN = 0		—	1.4	—		—
	ディープソフトウェアスタンバイモード	DPSBYCR.DEEPCUT[1:0] = 00b(注11)			—	16	96	μA	—
		DPSBYCR.DEEPCUT[1:0] = 01b(注11)			—	11	25.6		—
		DPSBYCR.DEEPCUT[1:0] = 11b(注11)			—	4.2	20.4		—
		AGT 動作中に増加	低速オンチップ発振器 (LOCO) 使用時		—	4.2	—		—
			低 CL 水晶発振子使用時		—	0.9	—		—
			標準 CL 水晶発振子使用時		—	1.3	—		—
	ディープソフトウェアスタンバイからの復帰時のインラッシュカレント		インラッシュカレント(注7)	I_{RUSH}	—	160	—	mA	—
			インラッシュカレントのエネルギー(注7)	E_{RUSH}	—	1.0	—	μC	—
アナログ電源電流	12 ビット A/D 変換中			AI_{CC}, AI_{REFH}	—	0.8	1.2	mA	—
	S/H アンプによる 12 ビット A/D 変換中				—	2.3	3.3	mA	—
	PGA (1ch)				—	1	3	mA	—
	ACMPHS（1 ユニット）				—	100	150	μA	—
	温度センサ				—	0.1	0.2	mA	—
	D/A 変換中（1 ユニット当り）		AMP 出力なし		—	0.2	0.6	mA	—
			AMP 出力あり		—	0.7	1.5	mA	—
	A/D、D/A 変換待機時（全ユニット）				—	0.5	1.0	mA	—
	スタンバイモードの ADC12、DAC12（全ユニット）(注8)				—	0.4	6	μA	—
リファレンス電源電流 (VREFH0)	12 ビット A/D 変換中（ユニット 0）			AI_{REFH0}	—	70	120	μA	—
	12 ビット A/D 変換待機時（ユニット 0）				—	0.07	0.5	μA	—
	スタンバイモードの ADC12（ユニット 0）				—	0.07	0.5	μA	—
USB 動作電流	フルスピード		USB	$I_{CCUSBFS}$	—	4.0	10.0	mA	VCC_USB

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
注 2. 周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{CC} は、下記の式にしたがって f (ICLK) に依存します。

I_{CC} Max. = 0.14 × f + 37（High-speed モードでの最大動作時）
I_{CC} Typ. = 0.06 × f + 2.75（High-speed モードでの通常動作時、すべての周辺クロックが無効）
I_{CC} Typ. = 0.1 × f + 1.71（Low-speed モード）
I_{CC} Max. = 0.03 × f + 37（スリープモード）

注 4. BGO 動作は含まれません。
注 5. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 6. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (3.125 MHz) に設定されています。
注 7. 基準値
注 8. 本 MCU がソフトウェアスタンドバイモードの場合または MSTPCRD.MSTPD16（12 ビット A/D コンバータ 0 モジュールストップビット）がモジュールストップ状態の場合
注 9. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (15.6 kHz) に設定されています。
注 10. PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (512 Hz) に設定されています。FCLK は、ICLK と同じ周波数です。
注 11. DBSBYCR ジスタの詳細は、section xx.x.xx, Deep Software Standby Control Register (DPSBYCR)を参照してください。

表 2.8 Coremark およびノーマルモード電流

項目			シンボル	Typ	単位	測定条件
消費電流(注1)	Coremark(注2)		I_{CC}	80	μA/MHz	ICLK = 200 MHz PCLKA = PCLKB = PCLKC = PCLKD = FCLK = 3.125 MHz
	通常モード	すべての周辺クロックが無効、キャッシュはオン、(1) コードはフラッシュから実行(注2)		74		
		すべての周辺クロックが無効、キャッシュはオフ、(1) コードはフラッシュから実行(注2)		66		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

図 2.2 ソフトウェアスタンバイモード時の温度依存性（参考データ）

図 2.3　ディープソフトウェアスタンバイモード時の温度依存性、DPSBYCR.DEEPCUT[1:0] = 00b（参考データ）

図 2.4　ディープソフトウェアスタンバイモード時の温度依存性、DPSBYCR.DEEPCUT[1:0] = 01b（参考データ）

図 2.5　ディープソフトウェアスタンバイモード時の温度依存性、DPSBYCR.DEEPCUT[1:0] = 11b（参考データ）

2.2.6　VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.9　立ち上がり／立ち下がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
VCC 立ち上がり勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.0084	—	20	ms/V	—
	起動時電圧モニタ 0 リセット有効		0.0084	—	—		—
	SCI/USB ブートモード(注1)		0.0084	—	20		—
VCC 立ち下がり勾配		SfVCC	0.0084	—	—	ms/V	—

注 1.　ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

表 2.10　立ち上がり／立ち下がり勾配とリップル周波数特性

リップル電圧は、VCC 上限 (3.6 V) と下限 (2.7 V) の範囲内で、許容リップル周波数 $f_{r\ (VCC)}$を満たす必要があります。VCC 変動が VCC±10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\ (VCC)}$	—	—	10	kHz	図 2.6 $V_{r\ (VCC)}$ ≦ VCC × 0.2
		—	—	1	MHz	図 2.6 $V_{r\ (VCC)}$ ≦ VCC × 0.08
		—	—	10	MHz	図 2.6 $V_{r\ (VCC)}$ ≦ VCC × 0.06
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が VCC±10%を超える場合

図 2.6 リップル波形

2.2.7 熱特性

ジャンクション温度 (Tj) の最大値は、「2.2.1. Tj/Ta の定義」の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力
  - Tj：ジャンクション温度（℃）
  - Ta：周囲温度（℃）
  - Tt：ケース上面中央部温度（℃）
  - θja：「ジャンクション」-「周囲」間の熱抵抗（℃/W）
  - Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗（℃/W）
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (I_{OL} × V_{OL}) / 電圧 + Σ (|I_{OH}| × |VCC – V_{OH}|) / 電圧
- IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
  - C_{in}：入力容量
  - C_{load}：出力容量

θja と Ψjt については、表 2.11 を参照してください。

表 2.11 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	32 ピン QFN (PWQN0032KE-A)	θja	36.8	℃/W	JESD 51-2 および 51-7 準拠
	32 ピン LQFP (PLQP0032GB-A)		61.5		
	48 ピン QFN (PWQN0048KC-A)		29.7		
	48 ピン LQFP (PLQP0048KB-B)		62.1		
	64 ピン LQFP (PLQP0064KB-C)		41.3		
	32 ピン QFN (PWQN0032KE-A)	Ψjt	0.36	℃/W	JESD 51-2 および 51-7 準拠
	32 ピン LQFP (PLQP0032GB-A)		2.72		
	48 ピン QFN (PWQN0048KC-A)		0.27		
	48 ピン LQFP (PLQP0048KB-B)		2.72		
	64 ピン LQFP (PLQP0064KB-C)		1.39		

注 1. 値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

2.2.7.1 I_{CC}max の計算ガイド

各ユニットの消費電力を表 2.12 に示します。

表 2.12 各ユニットの消費電力

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]
リーク電流	アナログ	LDO およびリーク (注2)	Ta = 75 °C(注3)	—	—	25.10
			Ta = 85 °C(注3)	—	—	30.64
			Ta = 95 °C(注3)	—	—	35.90
			Ta = 105 °C(注3)	—	—	41.60
ダイナミック電流	CPU	フラッシュおよび SRAM との動作	Coremark 動作	200	56.885	11.38
	周辺ユニット	タイマ	GPT16 (6ch)(注4)	100	8.480	0.85
			POEG (4 グループ) (注4)	50	1.171	0.06
			AGT (2ch)(注4)	50	3.967	0.20
			WDT	50	0.635	0.03
			IWDT	50	0.261	0.01
		通信インタフェース	USBFS	50	4.969	0.25
			SCI (2 ch)(注4)	100	5.607	0.56
			I3C	100	8.483	0.85
			CANFD	50	2.680	0.27
			SPI (2ch)(注4)	100	5.739	0.57
		アナログ	ADC12	100	2.229	0.22
			DAC12 (2ch)(注4)	100	0.602	0.06
			ACMPHS (3ch)(注4)	50	0.135	0.01
			TSN	50	0.277	0.01
		イベントリンク	ELC	50	0.562	0.06
		セキュリティ	TRNG	100	0.013	1.27
		データ処理アクセラレータ	TFU	200	0.330	0.07
		データ処理	CRC	100	0.363	0.04
			DOC	100	0.133	0.01
		システム	CAC	50	0.777	0.04
		DMA	DMAC	200	4.450	0.89
			DTC	200	4.382	0.88

注 1. 値は設計によって保証されています。
注 2. LDO およびリークは、内部電圧レギュレータの電流と、MCU のリーク電流です。
これは、Ta の温度に従って選択されます。
注 3. 電流測定は、Δ (Tj-Ta) = 20 °C で行われます。
注 4. チャネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャネル数、グループ数、またはユニット数で割ります。

各ユニットの動作の概要を表 2.13 に示します。

表 2.13 各ユニットの動作の概要 (1/2)

周辺機能	動作の概要
GPT	動作モードが、のこぎり波 PWM モードに設定されています。 GPT が PCLKD で動作しています。

表 2.13 各ユニットの動作の概要 (2/2)

周辺機能	動作の概要
POEG	モジュールストップビットのクリアのみを行います。
AGT	AGT が PCLKB で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
USBFS	転送タイプがバルク転送に設定されています。 USBFS がフルスピード転送 (12 Mbps) を使用して動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。
I3C	通信フォーマットが I3C バスフォーマットに設定されています。 I3C がマスタモードでデータを送信しています。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作（4 線式）に設定されています。 SPI マスタ／スレーブモードがマスタモードに設定されています。 SPI が 8 ビット幅のデータを送信しています。
ADC12	分解能は 12 ビット精度に設定されます。 データレジスタが A/D 変換値加算モードに設定されています。 ADC12 がアナログ入力を連続スキャンモードで変換しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
ACMPHS	IVCMP2 と IVREF0 を比較し、コンペア出力を有効にします。
TSN	TSN が動作しています。
ELC	モジュールストップビットのクリアのみを行います。
TRNG	TRNG がビルトインセルフテストを実行しています。
TFU	正弦と余弦の演算を実行します。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
DOC	DOC がデータ加算モードで動作しています。
CAC	測定対象クロックが PCLKB に設定されています。 測定基準クロックが PCLKB に設定されています。 CAC がクロック周波数精度を測定しています。
DMAC	転送データのビット長が 32 ビットに設定されています。 転送モードがブロック転送モードに設定されています。 DMAC が SRAM0 から SRAM0 にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。 転送モードがブロック転送モードに設定されています。 DTC が SRAM0 から SRAM0 にデータを転送しています。

2.2.7.2 T_j の計算例

前提事項：

- パッケージ 64 ピン LQFP：θja = 41.3 °C/W
- Ta = 100°C
- I_{CC}max = 40 mA
- VCC = 3.5 V (VCC = AVCC0 = VCC_USB)
- I_{OH} = 1 mA、V_{OH} = VCC – 0.5 V、8 出力
- I_{OL} = 20 mA、V_{OL} = 1.0 V、6 出力
- I_{OL} = 1 mA、V_{OL} = 0.5 V、8 出力
- C_{in} = 8 pF、8 ピン、入力周波数 = 10 MHz
- C_{load} = 30 pF、8 ピン、出力周波数 = 10 MHz

IO のリーク電流 = Σ (V_{OL} × I_{OL}) / 電圧 + Σ ((VCC - V_{OH}) × I_{OH}) / 電圧

= (20 mA × 1 V) × 6 / 3.5 V + (1 mA × 0.5 V) × 8 / 3.5 V + ((VCC - (VCC - 0.5 V)) × 1 mA) × 8 / 3.5 V

= 34.29 mA + 1.14 mA + 1.14 mA

= 36.6 mA

IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧

= ((8 pF × 8) × 10 MHz + (30 pF × 8) × 10 MHz) × 3.5 V

= 10.6 mA

総消費電力 = 電圧 ×（リーク電流 + ダイナミック電流）

= (40 mA × 3.5 V) + (36.6 mA + 10.6 mA) × 3.5 V

= 305 mW (0.305 W)

Tj = Ta + θja × 総消費電力

= 100℃ + 41.3℃/W × 0.305 W

= 112.6℃

2.3 AC 特性

2.3.1 周波数

表 2.14 High-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)	f	—	—	200	MHz
	周辺モジュールクロック (PCLKA)		—	—	100	
	周辺モジュールクロック (PCLKB)		—	—	50	
	周辺モジュールクロック (PCLKC)		—(注2)	—	50	
	周辺モジュールクロック (PCLKD)		—	—	100	
	フラッシュインタフェースクロック (FCLK)		—(注1)	—	50	

注 1. フラッシュメモリのプログラミング／イレース中、FCLK は 4 MHz 以上の周波数で実行する必要があります。
注 2. ADC12 使用時、PCLKC 周波数は 1 MHz 以上でなければなりません。

表 2.15 Low-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)	f	—	—	1	MHz
	周辺モジュールクロック (PCLKA)		—	—	1	
	周辺モジュールクロック (PCLKB)		—	—	1	
	周辺モジュールクロック (PCLKC)(注2)		—(注2)	—	1	
	周辺モジュールクロック (PCLKD)		—	—	1	
	フラッシュインタフェースクロック (FCLK)(注1)		—	—	1	

注 1. フラッシュメモリのプログラム／イレースは、Low-speed モードでは許可されていません。
注 2. ADC12 使用時、PCLKC 周波数は 1 MHz 以上でなければなりません。

表 2.16 Subosc-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)	f	29.4	—	36.1	kHz
	周辺モジュールクロック (PCLKA)		—	—	36.1	
	周辺モジュールクロック (PCLKB)		—	—	36.1	
	周辺モジュールクロック (PCLKC)(注2)		—	—	36.1	
	周辺モジュールクロック (PCLKD)		—	—	36.1	
	フラッシュインタフェースクロック (FCLK)(注1)		29.4	—	36.1	

注 1. フラッシュメモリのプログラム／イレースは、Subosc-speed モードでは許可されていません。
注 2. ADC12 は使用できません。

2.3.2 クロックタイミング

表 2.17 サブクロック発振器以外のクロックタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間		t_{EXcyc}	41.66	—	—	ns	図 2.7
EXTAL 外部クロック入力 High レベルパルス幅		t_{EXH}	15.83	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅		t_{EXL}	15.83	—	—	ns	
EXTAL 外部クロック立ち上がり時間		t_{EXr}	—	—	5.0	ns	
EXTAL 外部クロック立ち下がり時間		t_{EXf}	—	—	5.0	ns	
メインクロック発振器周波数		f_{MAIN}	8	—	24	MHz	—
メインクロック発振安定待機時間（水晶）(注1)		$t_{MAINOSCWT}$	—	—	—(注1)	ms	図 2.8
LOCO クロック発振周波数		f_{LOCO}	29.4912	32.768	36.0448	kHz	—
LOCO クロック発振安定待機時間		t_{LOCOWT}	—	—	60.4	μs	図 2.9
ILOCO クロック発振周波数		f_{ILOCO}	13.5	15	16.5	kHz	—
MOCO クロック発振周波数		F_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定待機時間		t_{MOCOWT}	—	—	15.0	μs	—
HOCO クロック発振器発振周波数	FLL なし	f_{HOCO16}	15.78	16	16.22	MHz	–20 ≦ Ta ≦ 105℃
		f_{HOCO18}	17.75	18	18.25		
		f_{HOCO20}	19.72	20	20.28		
		f_{HOCO16}	15.71	16	16.29		-40 ≦ Ta ≦ -20℃
		f_{HOCO18}	17.68	18	18.32		
		f_{HOCO20}	19.64	20	20.36		
	FLL あり	f_{HOCO16}	15.960	16	16.040		-40 ≦ Ta ≦ 105℃ サブクロック周波数精度は、±50 ppm です。
		f_{HOCO18}	17.955	18	18.045		
		f_{HOCO20}	19.950	20	20.050		
HOCO クロック発振安定待機時間(注2)		t_{HOCOWT}	—	—	64.7	μs	—
HOCO ピリオドジッタ		—	—	±85	—	ps	—
FLL 安定待機時間		t_{FLLWT}	—	—	1.8	ms	—
PLL クロック周波数		f_{PLL}	120	—	240	MHz	—
PLL クロック発振安定待機時間		t_{PLLWT}	—	—	174.9	μs	図 2.10
PLL ピリオドジッタ	f_{PLL}	—	—	±100	—	ps	—
PLL ロングタームジッタ		—	—	±300	—	ps	期間：1 μs, 10 μs

注 1. メインクロック発振器を設定する場合、発振器メーカに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。
注 2. リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

表 2.18 サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	—	32.768	—	kHz	—
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	— (注1)	s	図 2.11

注 1. サブクロック発振器を設定する場合、発振器メーカに発振評価を確認し、その結果を推奨発振安定時間として使用してください。サブクロック動作を開始するために SOSCCR.SOSTP ビット設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。示された時間の 2 倍を推奨します。

図 2.7 EXTAL 外部クロック入力タイミング

図 2.8 メインクロック発振開始タイミング

図 2.9 LOCO クロック発振開始タイミング

図 2.10 PLL クロック発振開始タイミング

図 2.11 サブクロック発振開始タイミング

2.3.3 リセットタイミング

表 2.19 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	パワーオン	t_{RESWP}	0.7	—	—	ms	図 2.12
	ディープソフトウェアスタンバイモード	t_{RESWD}	0.6	—	—	ms	図 2.13
	ソフトウェアスタンバイモード、Subosc-speed モード	t_{RESWS}	0.3	—	—	ms	
	上記以外	t_{RESW}	200	—	—	μs	
RES 解除後の待機時間		t_{RESWT}	—	37.3	41.2	μs	図 2.12
内部リセット解除後の待機時間 （IWDT リセット、WDT リセット、ソフトウェアリセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、TrustZone エラーリセット、キャッシュパリティエラーリセット）		t_{RESW2}	—	324	397.7	μs	—

図 2.12　VCC が V_{POR} 電圧しきい値を超える条件下での RES 端子入力タイミング

図 2.13　リセット入力タイミング

2.3.4　ウェイクアップタイミング

表 2.20　低消費電力モードからの復帰タイミング (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器(注2)	t_{SBYMC}(注13)	—	2.1	2.4	ms	図 2.14 全発振器の分周比は 1 です。
		システムクロックソースはメインクロック発振器を使用した PLL(注3)	t_{SBYPC}(注13)	—	2.2	2.6	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器(注4)	t_{SBYEX}(注13)	—	45	125	μs	
		システムクロックソースはメインクロック発振器を使用した PLL(注5)	t_{SBYPE}(注13)	—	170	255	μs	
	システムクロックソースはサブクロック発振器(注6) (注11)		t_{SBYSC}(注13)	—	0.7	0.8	ms	
	システムクロックソースは LOCO(注7) (注11)		t_{SBYLO}(注13)	—	0.7	0.9	ms	
	システムクロックソースは HOCO クロック発振器(注8)		t_{SBYHO}(注13)	—	55	130	μs	
	システムクロックソースは HOCO を使用した PLL(注9)		t_{SBYPH}(注13)	—	175	265	μs	
	システムクロックソースは MOCO クロック発振器 (注10)		t_{SBYMO}(注13)	—	35	65	μs	
ディープソフトウェアスタンバイモードからの復帰時間	DPSBYCR.DEEPCUT[1] = 0 および DPSWCR.WTSTS [5:0] = 0x0E		t_{DSBY}	—	0.38	0.54	ms	図 2.15
	DPSBYCR.DEEPCUT[1] = 1 および DPSWCR.WTSTS [5:0] = 0x19		t_{DSBY}	—	0.55	0.73	ms	
ディープソフトウェアスタンバイモード解除後待機時間			t_{DSBYWT}	56	—	57	t_{cyc}	

表 2.20 低消費電力モードからの復帰タイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	システムクロックソースが HOCO (20 MHz) の場合は High-speed モード	t_{SNZ}	—	35(注12)	70(注12)	μs	図 2.16
	システムクロックソースが MOCO (8 MHz) の場合は High-speed モード	t_{SNZ}	—	11(注12)	14(注12)	μs	

注 1. 復帰時間は、システムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定します。
総復帰時間 = システムクロックソースとしての発振器の復帰時間 + アクティブな発振器の最長 tSBYOSCWT - システムクロックの tSBYOSCWT + 2 LOCO サイクル（LOCO が動作している場合） + （Subosc が発振中かつ MSTPC0 = 0（CAC モジュール停止）の場合）
注 2. 水晶の周波数が 24 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 3. PLL の周波数が 200 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 4. 外部クロックの周波数が 24 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 5. PLL の周波数が 200 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 6. サブクロック発振器の周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 7. LOCO 周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 8. HOCO 周波数が 20 MHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 9. PLL 周波数が 200 MHz で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 10. MOCO 周波数が 8 MHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 11. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードで発振を継続します。
注 12. SNZCR.RXDREQEN ビットが 0 のとき、以下の時間が電源復帰時間として追加されます。16 μs (Typ.)、48 μs (Max)
注 13. 復帰時間は、tSBYOSCWT + tSBYSEQ の式で計算できます。これらは、次の値と式で決定できます。n は内部クロックの分周設定のうち、最大値が選択されます。

ウェイクアップ時間	Typ		Max		単位
	tSBYOSCWT	tSBYSEQ	tSBYOSCWT	tSBYSEQ	
tSBYMC	(MSTS[7:0]*32 + 3) / 0.262	35 + 18 / fICLK + 4n / fMAIN	(MSTS[7:0]*32 + 14) / 0.236	62 + 18 / fICLK + 4n / fMAIN	μs
tSBYPC	(MSTS[7:0]*32 + 34) / 0.262	35 + 18 / fICLK + 4n / fPLL	(MSTS[7:0]*32 + 45) / 0.236	62 + 18 / fICLK + 4n / fPLL	μs
tSBYEX	10	35 + 18 / fICLK + 4n / fEXMAIN	62	62 + 18 / fICLK + 4n / fEXMAIN	μs
tSBYPE	135	35 + 18 / fICLK + 4n / fPLL	192	62 + 18 / fICLK + 4n / fPLL	μs
tSBYSC	0	35 + 18 / fICLK + 4n / fSUB	0	62 + 18 / fICLK + 4n / fSUB	μs
tSBYLO	0	35 + 18 / fICLK + 4n / fLOCO	0	62 + 18 / fICLK + 4n / fLOCO	μs
tSBYHO	20	35 + 18 / fICLK + 4n / fHOCO	67	62 + 18 / fICLK + 4n / fHOCO	μs
tSBYPH	140	35 + 18 / fICLK + 4n / fPLL	202	62 + 18 / fICLK + 4n / fPLL	μs
tSBYMO	0	35 + 18 / fICLK + 4n / fMOCO	0	62 + 18 / fICLK + 4n / fMOCO	μs

図 2.14　ソフトウェアスタンバイモード解除タイミング

図 2.15　ディープソフトウェアスタンバイモード解除タイミング

注 1.　SNZCR.SNZDTCEN ビットが 1 の時、ICLK が DTC と SRAM に供給されます。

図 2.16　ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

2.3.5　NMI/IRQ ノイズフィルタ

表 2.21　NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leqq 200$ ns
		$t_{NMICK} \times 3.5$(注2)	—	—			$t_{NMICK} \times 3 > 200$ ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leqq 200$ ns
		$t_{IRQCK} \times 3.5$(注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

注.　ソフトウェアスタンバイモード時は最小 200 ns です。

注. クロックソースを切り替える場合、切り替えるソースの 4 クロックサイクルを足します。
注 1. t_{Pcyc} は PCLKB の周期を示します。
注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を示します。
注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

図 2.17 NMI 割り込み入力タイミング

図 2.18 IRQ 割り込み入力タイミング

2.3.6 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング

表 2.22 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング

GPT16E 条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅		t_{PRW}	1.5	—	t_{Pcyc}	図 2.19
POEG	POEG 入力トリガパルス幅		t_{POEW}	3	—	t_{Pcyc}	図 2.20
GPT	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	—	t_{PDcyc}	図 2.21
		両エッジ		2.5	—		
	GTIOCxY 出力スキュー（x = 0～3、Y = A または B）	中駆動バッファ	t_{GTISK}(注1)	—	4	ns	図 2.22
		高駆動バッファ		—	4		
	GTIOCxY 出力スキュー（x = 4、5、Y = A または B）	中駆動バッファ		—	4		
		高駆動バッファ		—	4		
	GTIOCxY 出力スキュー (x = 0～5、Y = A または B)	中駆動バッファ		—	6		
		高駆動バッファ		—	6		
	OPS 出力スキュー GTOUUP、GTOULO、GTOVUP、GTOVLO、GTOWUP、GTOWLO		t_{GTOSK}	—	5	ns	図 2.23
AGT	AGTIO、AGTEE 入力サイクル		t_{ACYC}(注2)	100	—	ns	図 2.24
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅		t_{ACKWH}, t_{ACKWL}	40	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル		t_{ACYC2}	62.5	—	ns	
ADC12	ADC12 トリガ入力パルス幅		t_{TRGW}	1.5	—	t_{Pcyc}	図 2.25

注. t_{Pcyc}：PCLKB サイクル、t_{PDcyc}：PCLKD サイクル
注 1. このスキューは、同じドライバ I/O が使用されている場合に適用されます。中駆動ドライバと高駆動ドライバの I/O が混在する場合、動作は保証されません。
注 2. 入力サイクルの制限：

ソースクロックを切り替えない場合：$t_{Pcyc} \times 2 < t_{ACYC}$ を満たす必要があります。
ソースクロックを切り替える場合：$t_{Pcyc} \times 6 < t_{ACYC}$ を満たす必要があります。

図 2.19　I/O ポート入力タイミング

図 2.20　POEG 入力トリガタイミング

図 2.21　GPT インプットキャプチャタイミング

図 2.22　GPT 出力遅延スキュー

図 2.23 OPS の GPT 出力遅延スキュー

図 2.24 AGT 入出力タイミング

図 2.25 ADC12 トリガ入力タイミング

2.3.7 CAC タイミング

表 2.23 CAC タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leqq t_{cac}$(注1)	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	—	—	ns	—
		$t_{PBcyc} > t_{cac}$(注1)		$5 \times t_{cac} + 6.5 \times t_{PBcyc}$	—	—	ns	

注. t_{PBcyc}: PCLKB の周期
注 1. t_{cac}：CAC カウントクロックソースの周期

2.3.8 SCI タイミング

表 2.24 SCI タイミング (1)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
SCI	入力クロックサイクル	調歩同期式	t_{Scyc}	4	—	t_{Pcyc}	図 2.26
		クロック同期式		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期式	t_{Scyc}	6	—	t_{Pcyc}	
		クロック同期式		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	送信データ遅延時間	クロック同期式マスタモード（内部クロック）	t_{TXD}	—	5	ns	図 2.27
		クロック同期式スレーブモード（外部クロック）	t_{TXD}	—	25	ns	
	受信データセットアップ時間	クロック同期式マスタモード（内部クロック）	t_{RXS}	15	—	ns	
		クロック同期式スレーブモード（外部クロック）	t_{RXS}	5	—	ns	
	受信データホールド時間	クロック同期式	t_{RXH}	5	—	ns	

注. t_{Pcyc}：PCLKA の周期

注. n = 0, 9

図 2.26 SCK クロック入出力タイミング

注. n = 0, 9

図 2.27 クロック同期式モードにおける SCI 入出力タイミング

表 2.25 SCI タイミング (2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
簡易 SPI	SCK クロックサイクル出力（マスタ）		t_{SPcyc}	4	65536	t_{Pcyc}	図 2.28
	SCK クロックサイクル入力（スレーブ）			6	65536		
	SCK クロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり／立ち下がり時間		t_{SPCKr}, t_{SPCKf}	—	5	ns	
	データ入力セットアップ時間	マスタ	t_{SU}	15	—	ns	図 2.29～図 2.32
		スレーブ		5	—	ns	
	データ入力ホールド時間		t_H	5	—	ns	
	SS 入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	マスタ	t_{OD}	—	5	ns	
		スレーブ		—	25	ns	
	データ出力ホールド時間		t_{OH}	-5	—	ns	
	データ立ち上がり／立ち下がり時間		t_{Dr}, t_{Df}	—	5	ns	
	SS 入力立ち上がり／立ち下がり時間		t_{SSLr}, t_{SSLf}	—	5	ns	
	スレーブアクセス時間		t_{SA}	—	$3 \times t_{Pcyc} + 25$	ns	図 2.32
	スレーブ出力開放時間		t_{REL}	—	$3 \times t_{Pcyc} + 25$	ns	

注. t_{Pcyc}：PCLKA の周期

V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

注. n = 0, 9

図 2.28 SCI 簡易 SPI モードクロックタイミング

注. n = 0, 9

図 2.29 CKPH = 1 の場合におけるマスタの SCI 簡易 SPI モードタイミング

注. n = 0, 9

図 2.30 CKPH = 0 の場合におけるマスタの SCI 簡易 SPI モードタイミング

注. n = 0, 9

図 2.31 CKPH = 1 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

注. n = 0, 9

図 2.32 CKPH = 0 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

表 2.26 SCI タイミング (3)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC（標準モード）	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.33
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	
簡易 IIC（ファストモード）	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.33
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル

注 1. C_b はバスラインの容量総計を意味します。

測定条件：
V_{IH} = VCC × 0.7, V_{IL} = VCC × 0.3
V_{OL} = 0.6 V, I_{OL} = 6 mA

注. n = 0, 9
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 2.33 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.27 SPI タイミング

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
SPI	RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}	図 2.34
		スレーブ		4	4096		
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ		0.4	0.6	t_{SPcyc}	
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ		0.4	0.6	t_{SPcyc}	
	RSPCK クロック立ち上がり／立ち下がり時間	マスタ	t_{SPCKr}, t_{SPCKf}	—	5	ns	
		スレーブ		—	1	μs	
	データ入力セットアップ時間	マスタ	t_{SU}	4	—	ns	図 2.35～図 2.40
		スレーブ		5	—		
	データ入力ホールド時間	マスタ（PCLKA を 2 分周に設定）	t_{HF}	0	—	ns	
		マスタ（PCLKA を 2 分周以外に設定）	t_H	t_{Pcyc}	—		
		スレーブ	t_H	20	—		
	SSL セットアップ時間	マスタ	t_{LEAD}	$N \times t_{SPcyc} - 10$(注1)	$N \times t_{SPcyc} + 100$(注1)	ns	
		スレーブ		$4 \times t_{Pcyc}$	—	ns	
	SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SPcyc} - 10$(注2)	$N \times t_{SPcyc} + 100$(注2)	ns	
		スレーブ		$4 \times t_{Pcyc}$	—	ns	
	データ出力遅延時間	マスタ	t_{OD1}	—	6.3	ns	
			t_{OD2}		6.3		
		スレーブ	t_{OD}	—	20		
	データ出力ホールド時間	マスタ	t_{OH}	0	—	ns	
		スレーブ		0	—		
	連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ		$4 \times t_{Pcyc}$			
	MOSI、MISO 立ち上がり／立ち下がり時間	出力	t_{Dr}, t_{Df}	—	5	ns	
		入力		—	1	μs	
	SSL 立ち上がり／立ち下がり時間	出力	t_{SSLr}, t_{SSLf}	—	5	ns	
		入力		—	1	μs	
	スレーブアクセス時間		t_{SA}	—	25	ns	図 2.39 と図 2.40
	スレーブ出力解放時間		t_{REL}	—	25		

注. t_{Pcyc}: PCLKA の周期

注. 所属グループを示すため、_A や_B などのように端子名の後ろに文字を付加した端子を使用してください。SPI インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 1. N は、SPCKD レジスタで設定可能な 1～8 の整数です。
注 2. N は、SSLND レジスタで設定可能な 1～8 の整数です。

V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

注. n = A または B

図 2.34 SPI クロックタイミング

注. n = A または B

図 2.35 CPHA = 0 の場合におけるマスタの SPI タイミング

注. n = A または B

図 2.36 CPHA = 0 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング

注. n = A または B

図 2.37 CPHA = 1 の場合におけるマスタの SPI タイミング

注. n = A または B

図 2.38 CPHA = 1 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング

注. n = A または B

図 2.39 CPHA = 0 の場合におけるスレーブの SPI タイミング

注. n = A または B

図 2.40 CPHA = 1 の場合におけるスレーブの SPI タイミング

2.3.10 I3C タイミング

表 2.28 IIC タイミング (1)-1

1. 条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_A、SCL0_A、SDA0_B、SCL0_B、SDA0_C、SCL0_C
2. 以下の端子の設定は必要ありません：SDA0_D、SCL0_D
3. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	Min	Max	単位
IIC（標準モード、SMBus） BFCTL.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	10(18) × t_{I3Ccyc} + 1300	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	5(9) × t_{I3Ccyc} + 300	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5(9) × t_{I3Ccyc} + 300	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	1(5) × t_{I3Ccyc} + t_{Tcyc} + 300	—	ns
	リスタートコンディション入力セットアップ時間	t_{STAS}	1000	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	1000	—	ns
	データ入力セットアップ時間	t_{SDAS}	t_{I3Ccyc} + 50	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF

注. t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}: I3CCLK サイクル。
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0x3 であると括弧内の値が適用されます。
注. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 1. C_b はバスラインの容量総計を意味します。

表 2.29 IIC タイミング (1)-2

1. 条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_A、SCL0_A、SDA0_B、SCL0_B、SDA0_C、SCL0_C
2. 以下の端子の設定は必要ありません：SDA0_D、SCL0_D
3. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	Min	Max	単位
IIC （ファストモード）	SCL 入力サイクル時間	t_{SCL}	10(18) × t_{I3Ccyc} + 600	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	5(9) × t_{I3Ccyc} + 300	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5(9) × t_{I3Ccyc} + 300	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	20 ×（外付けプルアップ電圧／5.5 V）(注1)	300	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	20 ×（外付けプルアップ電圧／5.5 V）(注1)	300	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	1(5) × t_{I3Ccyc} + t_{Tcyc} + 300	—	ns
	リスタートコンディション入力セットアップ時間	t_{STAS}	300	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	300	—	ns
	データ入力セットアップ時間	t_{SDAS}	t_{I3Ccyc} + 50	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b(注2)	—	400	pF

注. t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}: I3CCLK サイクル。
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0x3 であると括弧内の値が適用されます。
注. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 1. SDA0_D、SCL0_D に限りサポートされています。
注 2. C_b はバスラインの容量総計を意味します。

表 2.30 IIC タイミング (1)-3

PmnPFS レジスタのポート駆動能力ビットでは、SDA0_D 端子、SCL0_D 端子の設定は必要ありません。

項目		シンボル	Min	Max	単位
IIC （ファストモード+） BFCTL.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	10(18) × t_{I3Ccyc} + 240	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	5(9) × t_{I3Ccyc} + 120	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5(9) × t_{I3Ccyc} + 120	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	—	120	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	20 ×（外付けプルアップ電圧／5.5 V）	120	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 120	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 120	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	t_{I3Ccyc} + 120	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	1(5) × t_{I3Ccyc} + t_{Tcyc} + 120	—	ns
	リスタートコンディション入力セットアップ時間	t_{STAS}	120	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	120	—	ns
	データ入力セットアップ時間	t_{SDAS}	t_{I3Ccyc} + 30	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b(注1)	—	550	pF

注. t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}: I3CCLK サイクル。

注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0x3 であると括弧内の値が適用されます。

注 1. C_b はバスラインの容量総計を意味します。

注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 2.41 I²C バスインタフェース入出力タイミング

表 2.31 IIC タイミング (2)

条件：VCC = 3.00～3.60 V
PmnPFS レジスタのポート駆動能力ビットでは、SDA0_D 端子、SCL0_D 端子の設定は必要ありません。

項目			シンボル	Min	Max	単位
IIC （Hs モード） BFCTL.HSME = 1	SCL 入力サイクル時間		t_{SCL}	55(57) × t_{I3Ccyc}	—	ns
	SCL 入力 High レベルパルス幅	Cb = 400 pF	t_{SCLH}	43(44) × t_{I3Ccyc}	—	ns
		Cb = 100 pF		23(24) × t_{I3Ccyc}	—	
	SCL 入力 Low レベルパルス幅	Cb = 400 pF	t_{SCLL}	64(65) × t_{I3Ccyc}	—	ns
		Cb = 100 pF		32(33) × t_{I3Ccyc}	—	
	SCL 立ち上がり時間	Cb = 400 pF	t_{SrCL}	—	80	ns
		Cb = 100 pF		—	40	
	SDA 立ち上がり時間	Cb = 400 pF	t_{SrDA}	—	160	ns
		Cb = 100 pF		—	80	
	SCL 立ち下がり時間	Cb = 400 pF	t_{SfCL}	—	80	ns
		Cb = 100 pF		—	40	
	SDA 立ち下がり時間	Cb = 400 pF	t_{SfDA}	—	160	ns
		Cb = 100 pF		—	80	
	SCL、SDA 入力スパイクパルス除去時間		t_{SP}	0	1(1) × t_{I3Ccyc}	ns
	リスタートコンディション入力セットアップ時間		t_{STAS}	40	—	ns
	ストップコンディション入力セットアップ時間		t_{STOS}	40	—	ns
	データ入力セットアップ時間		t_{SDAS}	10	—	ns
	データ入力ホールド時間	Cb = 400 pF	t_{SDAH}	0	150	ns
		Cb = 100 pF		0	70	
	SCL、SDA の負荷容量		C_b(注1)	—	400	pF

注. t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0x3 であると括弧内の値が適用されます。
注 1. C_b はバスラインの容量総計を意味します。

図 2.42　I²C バスインタフェース入出力タイミング（Hs モード）

表 2.32　I3C タイミング（オープンドレインタイミングパラメータ）

条件：VCC = 3.00～3.60 V
PmnPFS レジスタのポート駆動能力ビットでは、I3C_SDA 端子、I3C_SCL 端子の設定は必要ありません。

項目		シンボル	Min	Max	単位	測定条件
I3C オープンドレインタイミングパラメータ	SCL クロック Low 期間	t_{LOW_OD} (注1) (注2)	200	—	ns	図 2.45
		$t_{DIG_OD_L}$	$t_{LOW_ODmin} + t_{fDA_ODmin}$	—	ns	図 2.45
	SCL クロック High 期間	t_{HIGH} (注3) (注4)	—	41	ns	図 2.43
		t_{DIG_H}	—	$t_{HIGH} + t_{CF}$	ns	図 2.43
	SDA 信号立ち下がり時間	t_{fDA_OD}	t_{CF}	12	ns	図 2.45
	SDA データセットアップ時間オープンドレインモード	t_{SU_OD} (注1)	17	—	ns	図 2.44
	スタート (S) コンディション後クロック	t_{CAS} (注5) (注6)	38.4 ナノ	ENAS0: 1 μ	秒	図 2.45
				ENAS1: 100 μ		
				ENAS2: 2 ミリ		
				ENAS3: 50 ミリ		
	ストップ (P) コンディション前クロック	t_{CBP}	t_{CASmin} / 2	—	秒	図 2.46
	ハンドオフ中のカレントマスタからセカンダリマスタまでのオーバーラップ時間	$t_{MMOverlap}$	$t_{DIG_OD_Lmin}$	—	ns	図 2.51
	バス使用可能条件	t_{AVAL} (注7)	1	—	μs	—
	バスアイドル条件	t_{IDLE}	1	—	ms	—
	SDA Low 駆動していない新マスタの内部時間	t_{MMLock}	$t_{AVALmin}$	—	μs	図 2.51

注 1.　$t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_Odmin}$ と近似的に同じです。
注 2.　安全な場合、すなわち SDA がすでに VIH を上回っている場合、マスタは短い Low 期間を使用する可能性があります。
注 3.　t_{SPIKE}、立ち上がり／立ち下がり時間、インターコネクトに基づきます。
注 4.　この最大 High 期間は、レガシー I²C デバイスで信号を安全に確認できる場合や、インターコネクトを考慮した上で（バスが短い場合など）、超過する場合があります。

製品仕様上、この最大値を保証できない場合、この最大値を変更し、ミックスバスで使用できないように指定してください。

注 5. I^2C デバイスがスタートを確認する必要があるレガシーバス上

注 6. オプションの ENTASx CCC をサポートしていないスレーブは、ENTAS3 に示されている t_{CAS} 最大値を使用します。

注 7. Fm レガシー I^2C デバイスのミックスバス上で、t_{AVAL} は Fm バスフリー条件時間 (t_{BUF}) より 300 ns 短いです。

表 2.33 I3C タイミング（SDR モード用プッシュプルタイミングパラメータ）

条件：VCC = 3.00～3.60 V

PmnPFS レジスタのポート駆動能力ビットでは、I3C_SDA 端子、I3C_SCL 端子の設定は必要ありません。

項目			シンボル	Min	Max	単位	測定条件
SDR モード用 I3C プッシュプルタイミングパラメータ	SCL クロック周波数		f_{SCL} (注1)	0.01	12.5	MHz	—
	SCL クロック Low 期間		t_{LOW}	24	—	ns	図 2.43
			t_{DIG_L} (注2) (注4)	40	—	ns	図 2.43
	ミックスバスにおける SCL クロックの High 期間		t_{HIGH_MIXED}	24	—	ns	図 2.43
			$t_{DIG_H_MIXED}$ (注2) (注3)	40	45	ns	図 2.43
	SCL クロック High 期間		t_{HIGH}	24	—	ns	図 2.43
			t_{DIG_H} (注2)	40	—	ns	図 2.43
	スレーブ用データ出力クロック		t_{SCO}	—	12	ns	図 2.48
	SCL クロック立ち上がり時間		t_{CR}	—	150 × 1 /f_{SCL}（上限 60）	ns	図 2.43
	SCL クロック立ち下がり時間		t_{CF}	—	150 × 1 /f_{SCL}（上限 60）	μs	図 2.43
	プッシュプルモードの SDA 信号データホールド	マスタ	t_{HD_PP} (注4)	t_{CR} + 3, t_{CF} + 3	—	—	図 2.47
		スレーブ	t_{HD_PP}	0	—	—	図 2.47
	プッシュプルモードの SDA 信号データセットアップ		t_{SU_PP}	17	N/A	ns	図 2.49
	繰り返しのスタート (Sr) 後クロック		t_{CASr}	t_{CASmin}	N/A	ns	図 2.50
	繰り返しのスタート (Sr) 前クロック		t_{CBSr}	t_{CASmin} / 2	N/A	ns	図 2.50
	バスライン (SDA/SCL) ごとの負荷容量		C_b	—	50	pF	—

注 1. $f_{SCL} = 1 / (t_{DIG_L} + t_{DIG_H})$

注 2. t_{DIG_L} および t_{DIG_H} は、V_{IL}、V_{IH} を使用した I3C バスのレシーバー終了時の Low および High 期間クロックです。

注 3. ミックスバス上で I3C デバイスと通信する際は、I^2C デバイスが I3C シグナリングを有効な I^2C シグナリングと解釈しないようにするため、$t_{DIG_H_MIXED}$ 期間に制約を設ける必要があります。

注 4. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。すなわち、立ち下がりエッジクロックに対して t_{CF} + 3、立ち上がりエッジクロックに対して t_{CR} + 3 です。

図 2.43 t_{DIG_H}、t_{DIG_L}

図 2.44 I3C データ転送 – スレーブによる ACK

図 2.45　I3C スタートコンディションタイミング

図 2.46　I3C ストップコンディションタイミング

図 2.47　I3C マスタ出力タイミング

図 2.48　I3C スレーブ出力タイミング

図 2.49　マスタ SDR タイミング

図 2.50 繰り返しのスタートコンディションおよびストップコンディションでのマスタ終了時の T ビット読み出し

図 2.51　I3C タイミング（オープンドレインタイミングパラメータ）

2.3.11　CANFD タイミング

表 2.34　CANFD インタフェースタイミング

項目	シンボル	CAN-FD		単位	測定条件
		Min	Max		
内部遅延時間	t_{node}	—	75	ns	図 2.52

注.　$t_{node} = t_{d(CTX)} + t_{d(CRX)}$

図 2.52 CANFD インタフェース条件

2.4 USB 特性

2.4.1 USBFS タイミング

表 2.35 USBFS フルスピード特性（USB_DP 端子および USB_DM 端子特性）

条件：VCC = AVCC0 = VCC_USB = 3.0～3.6 V、2.7 ≦ VREFH0/VREFH ≦ AVCC0、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = -200 μA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.53
	立ち上がり時間	t_{LR}	4	—	20	ns	
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	90	—	111.11	%	t_{FR}/ t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBFS：Rs = 27 Ω 含む
プルアップ／プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	kΩ	アイドル状態の間
			1.425	—	3.090	kΩ	送受信中

図 2.53　フルスピードモードにおける USB_DP、USB_DM の出力タイミング

図 2.54　フルスピードモードにおける測定回路

2.5　ADC12 特性

表 2.36　ユニット 0 の A/D 変換特性 (1/2)

条件：PCLKC = 1～50 MHz

パラメータ			Min	Typ	Max	単位	測定条件
周波数			1	—	50	MHz	—
アナログ入力容量			—	—	30	pF	—
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
チャネル専用サンプル&ホールド回路使用時（AN000～AN002）	変換時間(注1)（PCLKC = 50 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	1.24 (0.48 + 0.26) (注2)	—	—	μs	● チャネル専用サンプル&ホールド回路 24 ステートのサンプリング ● サンプリング 13 ステート
	オフセット誤差		—	±1.5	±3.5	LSB	AN000～AN002 = 0.25 V
	フルスケール誤差		—	±1.5	±3.5	LSB	AN000～AN002 = VREFH0 - 0.25 V
	絶対精度		—	±2.5	±5.5	LSB	—
	DNL 微分非直線性誤差		—	±1.0	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—
	サンプル&ホールド回路のホールド特性		—	—	20	μs	—
	ダイナミックレンジ		0.25	—	VREFH0 – 0.25	V	—

表 2.36 ユニット 0 の A/D 変換特性 (2/2)

条件：PCLKC = 1～50 MHz

パラメータ			Min	Typ	Max	単位	測定条件
チャネル専用サンプル&ホールド回路不使用時（AN000～AN002）	変換時間(注1)（PCLKC = 50 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.52 (0.26) (注2)	—	—	μs	サンプリング 13 ステート
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±2.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—
高精度高速チャネル (AN007)	変換時間(注1)（PCLKC = 50 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.80 (0.54) (注2)	—	—	μs	サンプリング 27 ステート
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±2.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—
高精度通常速度チャネル（AN004～AN006、AN008、AN011～AN013）	変換時間(注1)（PCLKC = 50 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.92 (0.66) (注2)	—	—	μs	サンプリング 33 ステート
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±2.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—
通常精度通常速度チャネル (AN016)	変換時間(注1)（PCLKC = 50 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.92 (0.66) (注2)	—	—	μs	サンプリング 33 ステート
	オフセット誤差		—	±1.0	±5.5	LSB	—
	フルスケール誤差		—	±1.0	±5.5	LSB	—
	絶対精度		—	±2.0	±7.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±4.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±5.5	LSB	—

注. これらの規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中にアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
12 ビット A/D コンバータ使用時は、PORT0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFL0 および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。

注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。

注 2. （ ）内の値は、サンプリング時間を意味します。

表 2.37 A/D 内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D 内部基準電圧	1.13	1.18	1.23	V	—
サンプリング時間	4.15	—	—	μs	—

図 2.55　ADC12 特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072 V の場合、1-LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003～0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1-LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と、実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

2.6 DAC12 特性

表 2.38 D/A 変換特性

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
出力アンプなし					
絶対精度	—	—	±24	LSB	負荷抵抗 2 MΩ
INL	—	±2.0	±8.0	LSB	負荷抵抗 2 MΩ
DNL	—	±1.0	±2.0	LSB	—
出力インピーダンス	—	8.5	—	kΩ	—
変換時間	—	—	3	μs	負荷抵抗 2 MΩ、負荷容量 20 pF
出力電圧範囲	0	—	VREFH	V	—
出力アンプあり					
INL	—	±2.0	±4.0	LSB	—
DNL	—	±1.0	±2.0	LSB	—
変換時間	—	—	4.0	μs	—
負荷抵抗	5	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.2	—	VREFH – 0.2	V	—

2.7 TSN 特性

表 2.39 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.0	—	℃	—
温度傾斜	—	—	4.0	—	mV/℃	—
出力電圧（25℃時）	—	—	1.24	—	V	—
温度センサ起動時間	t_{START}	—	—	30	μs	—
サンプリング時間	—	4.15	—	—	μs	—

2.8 OSC 停止検出特性

表 2.40 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.56

図 2.56 発振停止検出タイミング

2.9 POR/LVD 特性

表 2.41 パワーオンリセット回路、電圧検出回路の特性 (1)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	DPSBYCR.DEEPCUT[1:0] = 00b または 01b	V_{POR}	2.5	2.6	2.7	V	図 2.57
		DPSBYCR.DEEPCUT[1:0] = 11b		1.8	2.25	2.7		
	電圧検出回路 (LVD0)		V_{det0_1}	2.84	2.94	3.04		図 2.58
			V_{det0_2}	2.77	2.87	2.97		
			V_{det0_3}	2.70	2.80	2.90		
	電圧検出回路 (LVD1)		V_{det1_1}	2.89	2.99	3.09		図 2.59
			V_{det1_2}	2.82	2.92	3.02		
			V_{det1_3}	2.75	2.85	2.95		
	電圧検出回路 (LVD2)		V_{det2_1}	2.89	2.99	3.09		図 2.60
			V_{det2_2}	2.82	2.92	3.02		
			V_{det2_3}	2.75	2.85	2.95		
内部リセット時間	パワーオンリセット時間		t_{POR}	—	4.5	—	ms	図 2.57
	LVD0 リセット時間		t_{LVD0}	—	0.51	—		図 2.58
	LVD1 リセット時間		t_{LVD1}	—	0.38	—		図 2.59
	LVD2 リセット時間		t_{LVD2}	—	0.38	—		図 2.60
最小 VCC 低下時間(注1)			t_{VOFF}	200	—	—	μs	図 2.57、図 2.58
応答遅延時間			t_{det}	—	—	200	μs	図 2.58～図 2.60
LVD 動作安定時間（LVD 有効切り替え後）			$t_{d(E-A)}$	—	—	10	μs	図 2.59、図 2.60
ヒステリシス幅（LVD1、LVD2）			V_{LVH}	—	70	—	mV	

注 1. 最小 VCC 低下時間は、VCC が POR および LVD の電圧検出レベル V_{POR}、V_{det0}、V_{det1} および V_{det2} の最小値を下回っている時間です。

図 2.57　パワーオンリセットタイミング

図 2.58　電圧検出回路タイミング (V_{det0})

図 2.59　電圧検出回路タイミング (V_{det1})

図 2.60　電圧検出回路タイミング (V_{det2})

2.10　ACMPHS 特性

表 2.42　ACMPHS 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲	V_{REF}	0	—	AVCC0	V	
入力電圧範囲	V_I	0	—	AVCC0	V	
出力遅延(注1)	t_d	—	50	100	ns	$V_I = V_{REF} \pm 100$ mV
内部基準電圧	V_{ref}	1.13	1.18	1.23	V	

注 1.　内部伝搬遅延の値です。

2.11 PGA 特性

表 2.43 PGA 特性（シングルモード）

項目	シンボル	Min	Typ	Max	単位
PGAVSS 入力電圧範囲	PGAVSS	0	—	0	V
	AIN0 (G = 2.000)	0.05 × AVCC0	—	0.45 × AVCC0	V
	AIN1 (G = 2.500)	0.047 × AVCC0	—	0.360 × AVCC0	V
	AIN2 (G = 2.667)	0.046 × AVCC0	—	0.337 × AVCC0	V
	AIN3 (G = 2.857)	0.046 × AVCC0	—	0.32 × AVCC0	V
	AIN4 (G = 3.077)	0.045 × AVCC0	—	0.292 × AVCC0	V
	AIN5 (G = 3.333)	0.044 × AVCC0	—	0.265 × AVCC0	V
	AIN6 (G = 3.636)	0.042 × AVCC0	—	0.247 × AVCC0	V
	AIN7 (G = 4.000)	0.04 × AVCC0	—	0.212 × AVCC0	V
	AIN8 (G = 4.444)	0.036 × AVCC0	—	0.191 × AVCC0	V
	AIN9 (G = 5.000)	0.033 × AVCC0	—	0.17 × AVCC0	V
	AIN10 (G = 5.714)	0.031 × AVCC0	—	0.148 × AVCC0	V
	AIN11 (G = 6.667)	0.029 × AVCC0	—	0.127 × AVCC0	V
	AIN12 (G = 8.000)	0.027 × AVCC0	—	0.09 × AVCC0	V
	AIN13 (G = 10.000)	0.025 × AVCC0	—	0.08 × AVCC0	V
	AIN14 (G = 13.333)	0.023 × AVCC0	—	0.06 × AVCC0	V
ゲイン誤差	AIN0 (G = 2.000)	-1.0	—	1.0	%
	AIN1 (G = 2.500)	-1.0	—	1.0	%
	AIN2 (G = 2.667)	-1.0	—	1.0	%
	AIN3 (G = 2.857)	-1.0	—	1.0	%
	AIN4 (G = 3.077)	-1.0	—	1.0	%
	AIN5 (G = 3.333)	-1.5	—	1.5	%
	AIN6 (G = 3.636)	-1.5	—	1.5	%
	AIN7 (G = 4.000)	-1.5	—	1.5	%
	AIN8 (G = 4.444)	-2.0	—	2.0	%
	AIN9 (G = 5.000)	-2.0	—	2.0	%
	AIN10 (G = 5.714)	-2.0	—	2.0	%
	AIN11 (G = 6.667)	-2.0	—	2.0	%
	AIN12 (G = 8.000)	-2.0	—	2.0	%
	AIN13 (G = 10.000)	-2.0	—	2.0	%
	AIN14 (G = 13.333)	-2.0	—	2.0	%
オフセット誤差	Voff	-8	—	8	mV

表 2.44 PGA 特性（疑似差動入力モード） (1/2)

項目		シンボル	Min	Typ	Max	単位
PGAVSS 入力電圧範囲		PGAVSS	-0.5	—	0.3	V
疑似差動入力電圧範囲	G = 1.500	AIN-PGAVSS	-0.5	—	0.5	V
	G = 2.333		-0.4	—	0.4	V
	G = 4.000		-0.2	—	0.2	V
	G = 5.667		-0.15	—	0.15	V

表 2.44 PGA 特性（疑似差動入力モード） (2/2)

項目		シンボル	Min	Typ	Max	単位
ゲイン誤差	G = 1.500	Gerr	-1.0	—	1.0	%
	G = 2.333		-1.0	—	1.0	%
	G = 4.000		-1.0	—	1.0	%
	G = 5.667		-1.0	—	1.0	%

2.12 フラッシュメモリ特性

2.12.1 コードフラッシュメモリ特性

表 2.45 コードフラッシュメモリ特性

条件：プログラム／イレース：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間 N_{PEC} ≦ 100 回	128 バイト	t_{P128}	—	0.75	13.2	—	0.34	6.0	ms	
	8 KB	t_{P8K}	—	49	176	—	22	80	ms	
	32 KB	t_{P32K}	—	194	704	—	88	320	ms	
プログラム時間 N_{PEC} ＞ 100 回	128 バイト	t_{P128}	—	0.91	15.8	—	0.41	7.2	ms	
	8 KB	t_{P8K}	—	60	212	—	27	96	ms	
	32 KB	t_{P32K}	—	234	848	—	106	384	ms	
イレース時間 N_{PEC} ≦ 100 回	8 KB	t_{E8K}	—	78	216	—	43	120	ms	
	32 KB	t_{E32K}	—	283	864	—	157	480	ms	
イレース時間 N_{PEC} ＞ 100 回	8 KB	t_{E8K}	—	94	260	—	52	144	ms	
	32 KB	t_{E32K}	—	341	1040	—	189	576	ms	
再プログラム／イレースサイクル(注4)		N_{PEC}	10000(注1)	—	—	10000(注1)	—	—	回	
プログラム中のサスペンド遅延時間		t_{SPD}	—	—	264	—	—	120	μs	
プログラムレジューム時間		t_{PRT}	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間		t_{SESD1}	—	—	216	—	—	120	μs	
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間		t_{SESD2}	—	—	1.7	—	—	1.7	ms	
イレース優先モードにおけるイレース中のサスペンド遅延時間		t_{SEED}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{REST1}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間		t_{REST2}	—	—	144	—	—	80	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{REET}	—	—	144	—	—	80	μs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注2)		t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	
			30(注2) (注3)	—	—	30(注2) (注3)	—	—		Ta = +85℃

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の min 値です。
注 3. 信頼性試験から得られた結果です。

注 4. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8 KB のブロックについて、それぞれ異なる番地に 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 5. レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6. VCC = 3.3 V および室温における基準値

図 2.61 フラッシュメモリのプログラム／イレースのサスペンドタイミングと強制停止タイミング

2.12.2 データフラッシュメモリ特性

表 2.46 データフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間	4 バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
	8 バイト	t_{DP8}	—	0.38	4.0	—	0.17	1.8		
	16 バイト	t_{DP16}	—	0.42	4.5	—	0.19	2.0		
イレース時間	64 バイト	t_{DE64}	—	3.1	18	—	1.7	10	ms	
	128 バイト	t_{DE128}	—	4.7	27	—	2.6	15		
	256 バイト	t_{DE256}	—	8.9	50	—	4.9	28		
ブランクチェック時間	4 バイト	t_{DBC4}	—	—	84	—	—	30	μs	
再プログラム／イレースサイクル(注1)		N_{DPEC}	125000(注2)	—	—	125000(注2)	—	—	—	

表 2.46 データフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム中のサスペンド遅延時間	4 バイト	t_{DSPD}	—	—	264	—	—	120	μs	
	8 バイト		—	—	264	—	—	120		
	16 バイト		—	—	264	—	—	120		
プログラムレジューム時間		t_{DPRT}	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	64 バイト	t_{DSESD1}	—	—	216	—	—	120	μs	
	128 バイト		—	—	216	—	—	120		
	256 バイト		—	—	216	—	—	120		
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	64 バイト	t_{DSESD2}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
イレース優先モードにおけるイレース中のサスペンド遅延時間	64 バイト	t_{DSEED}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{DREST1}	—	—	300	—	—	300	μs	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間		t_{DREST2}	—	—	126	—	—	70	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{DREET}	—	—	126	—	—	70	μs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注3)		t_{DRP}	10(注3) (注4)	—	—	10(注3) (注4)	—	—	年	
			30(注3) (注4)	—	—	30(注3) (注4)	—	—		Ta = +85 °C

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 125,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 バイトのブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 2. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 3. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 4. この結果は信頼性試験から得られたものです。
注 5. レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6. VCC = 3.3 V および室温における基準値

2.12.3 オプション設定メモリ特性

表 2.47 オプション設定メモリ特性 (1/2)

条件：プログラム：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
プログラム時間 N_{OPC} ≦ 100 回	t_{OP}	—	83	309	—	45	162	ms	
プログラム時間 N_{OPC} ＞ 100 回	t_{OP}	—	100	371	—	55	195	ms	
再プログラムサイクル	N_{OPC}	20000 (注1)	—	—	20000 (注1)	—	—	回	

表 2.47 オプション設定メモリ特性 (2/2)

条件：プログラム：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
データ保持時間(注2)	t_{DRP}	10(注2)(注3)	—	—	10(注2)(注3)	—	—	年	
		30(注2)(注3)	—	—	30(注2)(注3)	—	—		Ta = +85 °C

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の min 値です。
注 3. 信頼性試験から得られた結果です。
注 4. VCC = 3.3 V および室温における基準値

2.13 シリアルワイヤデバッグ (SWD)

表 2.48 SWD

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	40	—	—	ns	図 2.62
SWCLK クロック High レベルパルス幅	t_{SWCKH}	15	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	15	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	8	—	—	ns	図 2.63
SWDIO ホールド時間	t_{SWDH}	8	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	28	ns	

図 2.62 SWD SWCLK タイミング

図 2.63　SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
					IOKEEP = 0	IOKEEP = 1(注1)
モード	MD	Pull-up	Keep-O	Keep	Hi-Z	Keep
IRQ	IRQx	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
	IRQx-DS	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
AGT	AGTIOn	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
	AGTIOn (n = 1)	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
SCI	RXD0	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
I3C	I3C_SCL/I3C_SDA SCLn/SDAn	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
USBFS	USB_VBUS	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
	USB_DP/USB_DM	Hi-Z	Keep-O(注4)	Keep(注3)	Hi-Z	Keep
CLKOUT	CLKOUT	Hi-Z	[CLKOUT 選択] CLKOUT 出力	Keep	Hi-Z	Keep
DAC	DAn	Hi-Z	[DAn 出力 (DAOE = 1)] D/A 出力保持	Keep	Hi-Z	Keep
ACMPHS	VCOUT	Hi-Z	VCOUT 出力	Keep	Hi-Z	Keep
その他	—	Hi-Z	Keep-O	Keep	Hi-Z	Keep

注. H：High レベル
L: Low レベル
Hi-Z：ハイインピーダンス
Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
Keep：ソフトウェアスタンバイモード期間中、端子状態は保持されます。
注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。
注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。
注 3. 端子がディープソフトウェアスタンバイのキャンセル要因に指定された場合、入力が許可されます
注 4. 入力端子として使用されている端子への入力は許可されています。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.1 LQFP 64 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.2 LQFP 48 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g

Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.3 QFN 48 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2

(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

NOTE

1.Dimensions “※1” and “※2” do not include mold flash.

2.Dimension “※3” does not include trim offset.

図 A2.4 LQFP 32 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06

Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.5 QFN 32 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/2)

名称	説明	ベースアドレス
RMPU	ルネサスメモリプロテクションユニット	0x4000_0000
TZF	TrustZone フィルタ	0x4000_0E00
SRAM	SRAM 制御	0x4000_2000
BUS	バス制御	0x4000_3000
DMAC0	ダイレクトメモリアクセスコントローラ 0	0x4000_5000
DMAC1	ダイレクトメモリアクセスコントローラ 1	0x4000_5040
DMAC2	ダイレクトメモリアクセスコントローラ 2	0x4000_5080
DMAC3	ダイレクトメモリアクセスコントローラ 3	0x4000_50C0
DMAC4	ダイレクトメモリアクセスコントローラ 4	0x4000_5100
DMAC5	ダイレクトメモリアクセスコントローラ 5	0x4000_5140
DMAC6	ダイレクトメモリアクセスコントローラ 6	0x4000_5180
DMAC7	ダイレクトメモリアクセスコントローラ 7	0x4000_51C0
DMA	DMAC モジュール起動	0x4000_5200
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CACHE	キャッシュ	0x4000_7000
CPSCU	CPU システムセキュリティコントロールユニット	0x4000_8000
DBG	デバッグ機能	0x400_1B000
FCACHE	フラッシュキャッシュ	0x400_1C100
SYSC	システム制御	0x4001_E000
TFU	三角関数ユニット	0x4002_1000
PORT0	ポート 0 コントロールレジスタ	0x4008_0000
PORT1	ポート 1 コントロールレジスタ	0x4008_0020
PORT2	ポート 2 コントロールレジスタ	0x4008_0040
PORT3	ポート 3 コントロールレジスタ	0x4008_0060
PORT4	ポート 4 コントロールレジスタ	0x4008_0080
PORT5	ポート 5 コントロールレジスタ	0x4008_00A0
PORT8	ポート 8 コントロールレジスタ	0x4008_0100
PFS	Pmn 端子機能コントロールレジスタ	0x4008_0800
ELC	イベントリンクコントローラ	0x4008_2000
IWDT	独立ウォッチドッグタイマ	0x4008_3200
WDT	ウォッチドッグタイマ	0x4008_3400
CAC	クロック周波数精度測定回路	0x4008_3600
MSTP	モジュールストップコントロール A、B、C、D	0x4008_4000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4008_A000

表 A3.1 周辺機能のベースアドレス (2/2)

名称	説明	ベースアドレス
USBFS	USB 2.0 FS モジュール	0x4009_0000
CANFD	CANFD モジュール制御	0x400B_0000
PSCU	ペリフェラルセキュリティ制御ユニット	0x400E_0000
AGT0	低消費電力非同期汎用タイマ 0	0x400E_8000
AGT1	低消費電力非同期汎用タイマ 1	0x400E_8100
TSN	温度センサ	0x400F_3000
ACMPHS0	高速アナログコンパレータ 0	0x400F_4000
ACMPHS1	高速アナログコンパレータ 1	0x400F_4100
ACMPHS2	高速アナログコンパレータ 2	0x400F_4200
CRC	CRC 演算器	0x4010_8000
DOC	データ演算回路	0x4010_9000
SCI0	シリアルコミュニケーションインタフェース 0	0x4011_8000
SCI9	シリアルコミュニケーションインタフェース 9	0x4011_8900
SPI0	シリアルペリフェラルインタフェース 0	0x4011_A000
SPI1	シリアルペリフェラルインタフェース 1	0x4011_A100
I3C	I3C バスインタフェース	0x4011_F000
CANFD ECC	CANFD ECC	0x4012_F000
GPT16E0	16 ビット汎用 PWM タイマ 0（16 ビット拡張高分解能）	0x4016_9000
GPT16E1	16 ビット汎用 PWM タイマ 1（16 ビット拡張高分解能）	0x4016_9100
GPT16E2	16 ビット汎用 PWM タイマ 2（16 ビット拡張高分解能）	0x4016_9200
GPT16E3	16 ビット汎用 PWM タイマ 3（16 ビット拡張高分解能）	0x4016_9300
GPT16E4	16 ビット汎用 PWM タイマ 4（16 ビット拡張高分解能）	0x4016_9400
GPT16E5	16 ビット汎用 PWM タイマ 5（16 ビット拡張高分解能）	0x4016_9500
GPT_OPS	出力相切り替えコントローラ	0x4016_9A00
ADC120	12 ビット A/D コンバータ 0	0x4017_0000
DAC12	12 ビット D/A コンバータ	0x4017_1000
FLAD	データフラッシュ	0x407F_C000
FACI	フラッシュアプリケーションコマンドインタフェース	0x407F_E000

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 アクセスサイクル (1/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU, TZF, SRAM, BUS, DMACn, DMA, DTC, ICU	0x4000_0000	0x4000_6FFF	4	3	4	3	ICLK	ルネサスメモリプロテクションユニット、TrustZone フィルタ、SRAM コントロール、バスコントロール、ダイレクトメモリアクセスコントローラ n、DMAC モジュール起動、DTC コントロールレジスタ、割り込みコントローラ
キャッシュ	0x4000_7000	0x4000_7FFF	3	5	3	5	ICLK	キャッシュ
CPSCU, DBG, FCACHE	0x4000_8000	0x4001_CFFF	4	3	4	3	ICLK	CPU システムセキュリティコントロールユニット、デバッグ機能、フラッシュキャッシュ
SYSC	0x4001_E000	0x4001_E3FF	5	4	5	4	ICLK	システム制御
SYSC	0x4001_E400	0x4001_E5FF	9	8	5～8	5～8	PCLKB	システム制御
TFU	0x4002_1000	0x4002_1FFF	4	3	4	3	ICLK	三角関数ユニット
PORTn, PFS	0x4008_0000	0x4008_0FFF	5	4	2～5	2～4	PCLKB	ポート n コントロールレジスタ、Pmn 端子機能コントロールレジスタ
ELC, IWDT, WDT, CAC	0x4008_2000	0x4008_3FFF	5	4	3～5	2～4	PCLKB	イベントリンクコントローラ、リアルタイムクロック、独立ウォッチドッグタイマ、ウォッチドッグタイマ、クロック周波数精度測定回路
MSTP	0x4008_4000	0x4008_4FFF	5	4	2～5	2～4	PCLKB	モジュールストップ制御
POEG	0x4008_A000	0x4008_AFFF	5	4	3～5	2～4	PCLKB	GPT 用ポートアウトプットイネーブルモジュール
USBFS	0x4009_0000	0x4009_03FF	6	5	3～6	3～5	PCLKB	USB 2.0 FS モジュール
USBFS	0x4009_0400	0x4009_04FF	4	3	1～4	1～3	PCLKB	USB 2.0 FS モジュール
CANFD	0x400B_0000	0x400C_FFFF	5	4	2～5	2～4	PCLKB	CANFD モジュール
PSCU	0x400E_0000	0x400E_0FFF	5	4	2～5	2～4	PCLKB	ペリフェラルセキュリティ制御ユニット
AGTn	0x400E_8000	0x400E_8FFF	7	4	5～7	2～4	PCLKB	低消費電力非同期汎用タイマ n
TSN	0x400F_3000	0x400F_3FFF	5	4	2～5	2～4	PCLKB	温度センサ
ACMPHSn	0x400F_4000	0x400F_4FFF	4	3	1～3	1～3	PCLKB	高速アナログコンパレータ
CRC, DOC	0x4010_8000	0x4010_9FFF	5	4	2～5	2～4	PCLKA	CRC 演算器、データ演算回路
SCIn	0x4011_8000	0x4011_8FFF	5(注2)	4(注2)	2～5(注2)	2～4(注2)	PCLKA	シリアルコミュニケーションインタフェース n

表 A3.2 アクセスサイクル (2/3)

周辺モジュール	アドレス		アクセスサイクル数					
			ICLK = PCLK		ICLK ＞ PCLK(注1)		サイクルの単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
SPIn	0x4011_A000	0x4011_AFFF	5(注3)	4(注3)	2～5(注3)	2～4(注3)	PCLKA	シリアルペリフェラルインタフェース n
I3C	0x4011_F000	0x4011_FFFF	5	4	2～4	2～4	PCLKA	I3C バスインタフェース
CANFD ECC	0x4012_F000	0x4012_FFFF	5	4	2～4	2～4	PCLKA	CANFD ECC モジュール
GPT16En, GPT_OPS	0x4016_9000	0x4016_9FFF	7	4	4～7	2～4	PCLKA	16 ビット汎用 PWM タイマ n、出力相切り替えコントローラ
ADC12n, DAC12	0x4017_0000	0x4017_2FFF	5	4	2～5	2～4	PCLKA	12 ビット A/D コンバータ n、12 ビット D/A コンバータ

表 A3.2 アクセスサイクル (3/3)

周辺モジュール	アドレス		アクセスサイクル数					
			ICLK = FCLK		ICLK ＞ FCLK(注1)		サイクルの単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
FLAD, FACI	0x407F_C000	0x407F_EFFF	5	4	2～5	2～4	FCLK	データフラッシュ、フラッシュアプリケーションコマンドインタフェース

注 1. PCLK または FCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は 1～3 となります。

注 2. 16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

注 3. 32 ビットレジスタ (SPDR) にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ (SPDR_HA) にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

改訂履歴

Revision 1.10 — 2023 年 5 月 23 日

初版発行

Revision 1.20 — 2024 年 9 月 30 日

1. 概要：
- 表 1.12 製品一覧を更新
- 図 1.2 型名の読み方を更新
- 図 1.5 48 ピン QFN のピン配置を更新
- 図 1.7 32 ピン QFN のピン配置を更新し、注記を追加

Revision 1.30 — 2025 年 10 月 24 日

42. 電気的特性：
- 表 2.34 CANFD インタフェースタイミングを更新
- 図 2.52 CANFD インタフェース条件を更新

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

© 2025 Renesas Electronics Corporation. All rights reserved.