

Renesas RA6M2 グループ

データシート

32-bit MCU

Renesas Advanced (RA) Family

Renesas RA6 Series

トップ性能の120MHz Arm® Cortex®-M4コア、最大1MBのコードフラッシュメモリ、384KB SRAM、静電容量式タッチセンシングユニット、イーサネットMACコントローラ、USB2.0フルスピード、SDHI、クワッドシリアルペリフェラルインタフェース、セキュリティ&セーフティ機能、および高度なアナログ機能

特長

■ 浮動小数点ユニット(FPU)内蔵 Arm Cortex-M4 コア

- Armv7E-M アーキテクチャ (DSP 命令セット搭載)
- 最高動作周波数: 120MHz
- 4GB アドレス空間をサポート
- オンチップデバッグシステム: JTAG、SWD、および ETM
- バウンダリスキャンおよび Arm メモリプロテクションユニット (MPU)

■ メモリ

- 最大 1MB のコードフラッシュメモリ (40MHz ゼロウェイトステート)
- 32KB データフラッシュメモリ (最大 125000 回のイレース/ライトサイクル)
- 最大 384KB の SRAM
- フラッシュキャッシュ (FCACHE)
- メモリプロテクションユニット (MPU)
- メモリミラー機能 (MMF)
- 128 ビットの固有の ID

■ 接続性

- イーサネット MAC コントローラ (ETHERC)
- イーサネット DMA コントローラ (EDMAC)
- USB2.0 フルスピードモジュール (USBFS)
 - オンチップトランシーバ
- FIFO 内蔵シリアルコミュニケーションインタフェース (SCI) × 10
- シリアルペリフェラルインタフェース (SPI) × 2
- I²C バスインタフェース (IIC) × 3
- コントローラエリアネットワーク (CAN) × 2
- 拡張シリアルサウンドインタフェース (SSIE)
- SD/MMC ホストインタフェース (SDHI) × 2
- クワッドシリアルペリフェラルインタフェース (QSPI)
- IrDA インタフェース
- サンプリングレートコンバータ (SRC)
- 外部メモリ空間
 - 8 ビットまたは 16 ビットバス空間を領域ごとに選択可能
 - SDRAM 対応

■ アナログ

- 12 ビット A/D コンバータ (ADC12) × 2、それぞれに 3 つの サンプル&ホールド回路を搭載
- 12 ビット D/A コンバータ (DAC12) × 2
- 高速アナログコンパレータ (ACMPHS) × 6
- 温度センサ (TSN)

■ タイマ

- 32 ビット拡張高分解能汎用 PWM タイマ (GPT32EH) × 4
- 32 ビット拡張汎用 PWM タイマ (GPT32E) × 4
- 32 ビット汎用 PWM タイマ (GPT32) × 6
- 低消費電力非同期汎用タイマ (AGT) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- エラーコレクションコード (ECC) 搭載の SRAM
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出

- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス

■ システムおよびパワーマネジメント

- 各種の低消費電力モード
- カレンダーおよび VBATT 対応のリアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- DMA コントローラ (DMAC) × 8
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出機能 (LVD) の設定可能

■ セキュリティおよび暗号化

- AES128/192/256
- 3DES/ARC4
- SHA1/SHA224/SHA256/MD5
- GHASH
- RSA/DSA/ECC
- 真性乱数生成器 (TRNG)

■ ヒューマンマシーンインタフェース (HMI)

- 静電容量式タッチセンシングユニット (CTSU)
- パラレルデータキャプチャユニット (PDC)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (8 ~ 24MHz)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO) (16/18/20MHz)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- IWDT 専用オンチップオシレータ (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

■ 汎用入出力ポート

- 最大 110 本の入出力端子
 - 最大 1 本の CMOS 入力
 - 最大 109 本の CMOS 入出力
 - 最大 21 本の 5V トレラント入出力
 - 最大 18 本の大電流端子 (20mA)

■ 動作電圧

- VCC : 2.7 ~ 3.6V

■ 動作温度およびパッケージ

- Ta = -40 °C ~ +105 °C
 - 145 ピン LGA (7mm × 7mm、0.5mm ピッチ)
 - 144 ピン LQFP (20mm × 20mm、0.5mm ピッチ)
 - 100 ピン LQFP (14mm × 14mm、0.5mm ピッチ)

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm® ベースの 32 ビットコアを内蔵しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本 MCU シリーズは最大 120MHz で動作する高性能な Arm Cortex®-M4 コアを内蔵しており、以下の特長があります。

- 最大 1MB のコードフラッシュメモリ
- 384KB の SRAM
- 静電容量式タッチセンシングユニット (CTSU)
- イーサネット MAC コントローラ (ETHERC)、USBFS、SD/MMC ホストインタフェース
- クラウドシリアルペリフェラルインタフェース (QSPI)
- セキュリティ&セーフティ機能
- 12 ビット A/D コンバータ (ADC12)
- 12 ビット D/A コンバータ (DAC12)
- アナログ周辺機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M4 コア	<ul style="list-style-type: none"> • 最高動作周波数：120MHz • Arm Cortex-M4 コア： <ul style="list-style-type: none"> - リビジョン：r0p1-01rel0 - Armv7E-M アーキテクチャプロファイル - 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠) • Arm メモリプロテクションユニット (Arm MPU)： <ul style="list-style-type: none"> - Armv7 保護メモリシステムアーキテクチャ - 8つのメモリ保護領域 • SysTick タイマ： <ul style="list-style-type: none"> - SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 1MB のコードフラッシュメモリ。ユーザーズマニュアルの「53. フラッシュメモリ」を参照してください。
データフラッシュメモリ	32KB のデータフラッシュメモリ。ユーザーズマニュアルの「53. フラッシュメモリ」を参照してください。
メモリミラー機能 (MMF)	メモリミラー機能 (MMF) を構成することで、コードフラッシュメモリ内の対象となるアプリケーションイメージのロードアドレスを、未使用の 23 ビットメモリミラー空間アドレスにおけるアプリケーションイメージのリンクアドレス (メモリミラー空間アドレス) へミラーすることが可能です。ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクします。アプリケーションコードでは、コードフラッシュメモリ内に格納されるときにロードアドレスを認識する必要がありません。ユーザーズマニュアルの「5. メモリミラー機能 (MMF)」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。ユーザーズマニュアルの「7. オプション設定メモリ」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) が可能な高速 SRAM を内蔵しています。SRAM0 の最初の 32KB で、ECC を使った誤り訂正が可能です。パリティチェックはその他の領域で行われます。ユーザーズマニュアルの「51. SRAM」を参照してください。
スタンバイ SRAM	ディープソフトウェアスタンバイモード時にデータを保持できる SRAM を内蔵しています。ユーザーズマニュアルの「52. スタンバイ SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： <ul style="list-style-type: none"> • シングルチップモード • SCI/USB ブートモード ユーザーズマニュアルの「3. 動作モード」を参照してください。
リセット	以下の14種類のリセットをサポートしています。 <ul style="list-style-type: none"> • RES端子リセット • パワーオンリセット • 電圧監視0リセット • 電圧監視1リセット • 電圧監視2リセット • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • ディープソフトウェアスタンバイリセット • SRAMパリティエラーリセット • SRAM ECCエラーリセット • バスマスタMPUエラーリセット • バススレーブMPUエラーリセット • スタックポインタエラーリセット • ソフトウェアリセット ユーザーズマニュアルの「6. リセット」を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) 機能は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムを使用して選択できます。ユーザーズマニュアルの「8. 低電圧検出 (LVD)」を参照してください。
クロック	<ul style="list-style-type: none"> • メインクロック発振器 (MOSC) • サブクロック発振器 (SOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • PLL周波数シンセサイザ • IWDT専用オンチップオシレータ • クロックアウトのサポート ユーザーズマニュアルの「9. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。ユーザーズマニュアルの「10. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールとDMACモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。ユーザーズマニュアルの「14. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子に立ち上がりエッジ/立ち下がりエッジを入力することで発生させることができます。ユーザーズマニュアルの「21. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、EBCLK出力制御、SDCLK出力制御、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。ユーザーズマニュアルの「11. 低消費電力モード」を参照してください。
バッテリーバックアップ機能	バッテリーバックアップ機能によってバッテリーによる部分電力供給が可能です。バッテリー電源領域に含まれるものには、RTC、SOSC、バックアップメモリ、およびVCC/VBATT切り替えがあります。ユーザーズマニュアルの「12. バッテリーバックアップ機能」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。ユーザーズマニュアルの「13. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	メモリ保護のために4つのメモリプロテクションユニット (MPU) とCPUスタックポインタモニタ機能が備えられています。ユーザーズマニュアルの「16. メモリプロテクションユニット (MPU)」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、MCUをリセットするために使用できます。また、アンダーフローにより、ノンмасカブル割り込みまたは割り込みを発生させることもできます。 カウンタのリフレッシュには、リフレッシュ許可期間の設定が可能であり、この許可期間を暴走検知の条件として使用できます。ユーザーズマニュアルの「27. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットダウンカウンタで構成されます。このカウンタはアンダーフロー防止のため定期的に動作させる必要があります。IWDTには、MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み/ノンмасカブル割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCUをフェールセーフ機構と呼ばれる状態に戻すことに特に役立ちます。IWDTは、リセット、アンダーフロー、またはリフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。ユーザーズマニュアルの「28. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPUを介さずにモジュール間の直接的な相互作用を可能にします。ユーザーズマニュアルの「19. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは割り込み要求による起動時に、データ転送を行います。ユーザーズマニュアルの「18. データトランスファコントローラ (DTC)」を参照してください。
DMAコントローラ (DMAC)	8チャンネルのDMACモジュールを内蔵しており、CPUを介さずにデータ転送が可能です。DMA転送要求が発生すると、DMACは転送元アドレスに格納されているデータを転送先アドレスへ転送します。ユーザーズマニュアルの「17. DMAコントローラ (DMAC)」を参照してください。

表 1.6 外部バスインタフェース

機能	機能の説明
外部バス	<ul style="list-style-type: none"> CS領域 (EXBIU) : 外部デバイス (外部メモリインタフェース) を接続 SDRAM領域 (EXBIU) : SDRAM (外部メモリインタフェース) を接続 QSPI領域 (EXBIUT2) : QSPI (外部デバイスインタフェース) を接続

表 1.7 タイマ (1/2)

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) 14チャンネルの32ビットタイマです。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。ユーザーズマニュアルの「23. 汎用PWMタイマ (GPT)」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用のポートアウトプットイネーブル (POEG) 機能を使用します。ユーザーズマニュアルの「22. GPT用ポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅/周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。 この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。ユーザーズマニュアルの「25. 低消費電力非同期汎用タイマ (AGT)」を参照してください。

表 1.7 タイマ (2/2)

機能	機能の説明
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードを持ちます。これらはレジスタ設定で制御されます。 カレンダーカウントモードは、2000年から2099年の100年間を、うるう年を自動で判定してカウントするモードです。 バイナリカウントモードは、秒をカウントし、その情報をシリアル値として保持するモードです。バイナリカウントモードは、西暦以外のカレンダーに使用できます。ユーザーズマニュアルの「26. リアルタイムクロック (RTC)」を参照してください。

表 1.8 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインタフェースとして設定可能です。 <ul style="list-style-type: none"> 調歩同期式インタフェース (UARTおよび調歩同期式通信アダプタ (ACIA)) 8ビットクロック同期式インタフェース 簡易IIC (マスタのみ) 簡易SPI スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関してISO/IEC 7816-3規格に準拠しています。 各SCIはFIFOバッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。ユーザーズマニュアルの「32. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
IrDAインタフェース (IrDA)	IrDAインタフェースは、SCI1と連携してIrDA (Infrared Data Association) 規格バージョン1.0に基づくIrDA通信波形の送受信を行います。ユーザーズマニュアルの「33. IrDAインタフェース」を参照してください。
I ² Cバスインタフェース (IIC)	3チャンネルのI ² Cバスインタフェースは、NXP社が提唱するI ² C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を提供しています。ユーザーズマニュアルの「34. I ² Cバスインタフェース (IIC)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	2つの独立したシリアルペリフェラルインタフェース (SPI) チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。ユーザーズマニュアルの「36. シリアルペリフェラルインタフェース (SPI)」を参照してください。
拡張シリアルサウンドインタフェース (SSIE)	拡張シリアルサウンドインタフェース (SSIE) の周辺機器は、I ² S (Inter-Integrated Sound) 2ch、4ch、6ch、8ch、Word Select (WS) Continue/モノラル/TDMオーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由でMCUに接続する機能を提供しています。SSIEは最大50MHzのオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ/トランスミッタ/トランシーバとして動作します。SSIはレシーバとトランスミッタに32段FIFOバッファを内蔵し、割り込みおよびDMA駆動によるデータ送受信をサポートしています。ユーザーズマニュアルの「39. 拡張シリアルサウンドインタフェース (SSIE)」を参照してください。
クワッドシリアルペリフェラルインタフェース (QSPI)	クワッドシリアルペリフェラルインタフェース (QSPI) は、SPI互換インタフェースを持つシリアルROM (シリアルフラッシュメモリ、シリアルEEPROM、シリアルFeRAMなどの不揮発性メモリ) に接続するためのメモリコントローラです。ユーザーズマニュアルの「37. クワッドシリアルペリフェラルインタフェース (QSPI)」を参照してください。
コントローラエリアネットワーク (CAN) モジュール	コントローラエリアネットワーク (CAN) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供しています。 CANモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよびFIFOモードを送信用に設定可能な最大32個のメールボックスをサポートしています。標準 (11ビット) と拡張 (29ビット) の両方のメッセージフォーマットに対応しています。ユーザーズマニュアルの「35. CAN (Controller Area Network) モジュール」を参照してください。

表 1.8 通信インタフェース (2/2)

機能	機能の説明
USB2.0 フルスピード (USBFS) モジュール	このUSB2.0 フルスピード (USBFS) モジュールは、ホストコントローラまたはデバイスコントローラとして動作します。このモジュールは、ユニバーサルシリアルバス規格2.0のフルスピードおよびロースピード転送 (ホストコントローラのみ) をサポートしています。またUSB トランシーバを内蔵しており、ユニバーサルシリアルバス規格2.0で定義されている全転送タイプに対応しています。 データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。パイプ1~9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。ユーザーズマニュアルの「31. USB2.0 フルスピードモジュール (USBFS)」を参照してください。
イーサネット MAC (ETHERC)	イーサネット/IEEE802.3のMedia Access Control (MAC) 層規格に準拠した1チャンネルのイーサネット MAC コントローラ (ETHERC) です。ETHERCはMAC層のインタフェースを1チャンネル内蔵しており、物理層のLSI (PHY-LSI) と接続することにより、イーサネット/IEEE802.3規格に準拠したフレームの送受信が可能です。また、ETHERCはMCUの内部でイーサネットDMAコントローラ (EDMAC) に接続されており、CPUを介することなくデータ転送を行うことができます。 ユーザーズマニュアルの「29. イーサネット MAC コントローラ (ETHERC)」を参照してください。
SD/MMC ホストインタフェース (SDHI)	SDHI およびマルチメディアカード (MMC) インタフェースモジュールは、各種外部メモリカードをMCUと接続するために必要な機能を提供します。SDHIは、SD、SDHC、およびSDXC フォーマットに対応するメモリカードを接続するために1ビットと4ビットのバスをサポートしています。SD規格に対応したホスト機器を開発する際は、SD Host/Ancillary Product License Agreement (SD HALA) に従う必要があります。 MMCインタフェースは、eMMC 4.51 (JEDEC Standard JESD 84-B451) デバイスアクセスを可能にする1ビット、4ビット、および8ビットのMMCバスをサポートしています。このインタフェースには下位互換性があり、高速SDR転送モードもサポートしています。 ユーザーズマニュアルの「41. SD/MMCホストインタフェース (SDHI)」を参照してください。

表 1.9 アナログ

機能	機能の説明
12ビットA/Dコンバータ (ADC12)	逐次比較方式の12ビットA/Dコンバータ (ADC12) を2ユニット内蔵しています。ユニット0では、最大13チャンネル、ユニット1では最大9チャンネルのアナログ入力を選択可能です。ただしユニット0およびユニット1の各2つのアナログ入力は共通のポートに割り当てられており (AN005/AN105, AN006/AN106)、同時に使用可能なアナログ入力は、最大20端子です。また内蔵の温度センサ出力および内部基準電圧を各ユニットのアナログ入力として選択できます。A/D変換精度として、12ビット、10ビット、および8ビットの各変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。ユーザーズマニュアルの「45. 12ビットA/Dコンバータ (ADC12)」を参照してください。
12ビットD/Aコンバータ (DAC12)	DAC12は出力アンプ付きの12ビットD/Aコンバータです。ユーザーズマニュアルの「46. 12ビットD/Aコンバータ (DAC12)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサでダイの温度を決定し、監視することが可能です。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。 出力された電圧はADC12で変換されてから、末端の応用機器で使用できます。ユーザーズマニュアルの「47. 温度センサ (TSN)」を参照してください。
高速アナログコンパレータ (ACMPHS)	アナログコンパレータを使用することで、テスト電圧と基準電圧の比較や、変換結果に基づいたデジタル出力が可能です。 テスト電圧と基準電圧は、どちらも内部電源 (DAC12出力や内部基準電圧) と外部電源 (内部PGAありまたはなし) からコンパレータに供給できます。 こうした柔軟性は、必ずしもA/D変換を必要とせずに、アナログ信号に対して実行/中止の比較を行わなければならないアプリケーションに有効です。ユーザーズマニュアルの「48. 高速アナログコンパレータ (ACMPHS)」を参照してください。

表 1.10 ヒューマンマシンインタフェース

機能	機能の説明
静電容量式タッチセンシングユニット (CTSUS)	静電容量式タッチセンシングユニット (CTSUS) はタッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。ユーザーズマニュアルの「49. 静電容量式タッチセンシングユニット (CTSUS)」を参照してください。

表 1.11 グラフィック

機能	機能の説明
パラレルデータキャプチャ (PDC) ユニット	画像センサなど外部 I/O デバイスとの通信用にパラレルデータキャプチャ (PDC) ユニットが1つあり、外部 I/O デバイスから出力される画像などのパラレルデータを、DTC または DMAC を介して内蔵 SRAM や外部アドレス空間 (CS 領域、SDRAM 領域) へ転送します。ユーザーズマニュアルの「42. パラレルデータキャプチャユニット (PDC)」を参照してください。

表 1.12 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	CRC 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対する読み出しと書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。ユーザーズマニュアルの「38. 巡回冗長検査 (CRC) 演算器」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。ユーザーズマニュアルの「50. データ演算回路 (DOC)」を参照してください。
サンプリングレートコンバータ (SRC)	サンプリングレートコンバータ (SRC) は、WMA/MP3/AAC などの各種オーディオデコーダで生成されたデータのサンプリングレートを変換します。16 ビットのステレオデータとモノラルデータの両方に対応しています。ユーザーズマニュアルの「40. サンプリングレートコンバータ (SRC)」を参照してください。

表 1.13 セキュリティ

機能	機能の説明
セキュアクリプトエンジン7 (SCE7)	<ul style="list-style-type: none"> • セキュリティアルゴリズム： <ul style="list-style-type: none"> - 対称暗号方式：AES、3DES、ARC4 - 非対称暗号方式：RSA、DSA、ECC • その他のサポート機能： <ul style="list-style-type: none"> - TRNG (真性乱数生成器) - ハッシュ値生成：SHA1、SHA224、SHA256、GHASH、MD5 - 128 ビットの固有の ID ユーザーズマニュアルの「44. セキュア暗号エンジン (SCE7)」を参照してください。

表 1.14 I/Oポート

機能	機能の説明
I/Oポート	<ul style="list-style-type: none">• 145ピンLGA、144ピンLQFP<ul style="list-style-type: none">- 入出力 : 109- 入力 : 1- プルアップ抵抗 : 110- Nチャンネルオープンドレイン出力 : 109- 5Vトレラント : 21• 100ピンLQFP<ul style="list-style-type: none">- 入出力 : 75- 入力 : 1- プルアップ抵抗 : 76- Nチャンネルオープンドレイン出力 : 75- 5Vトレラント : 14

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスによっては、その機能のサブセットを持つ場合があります。

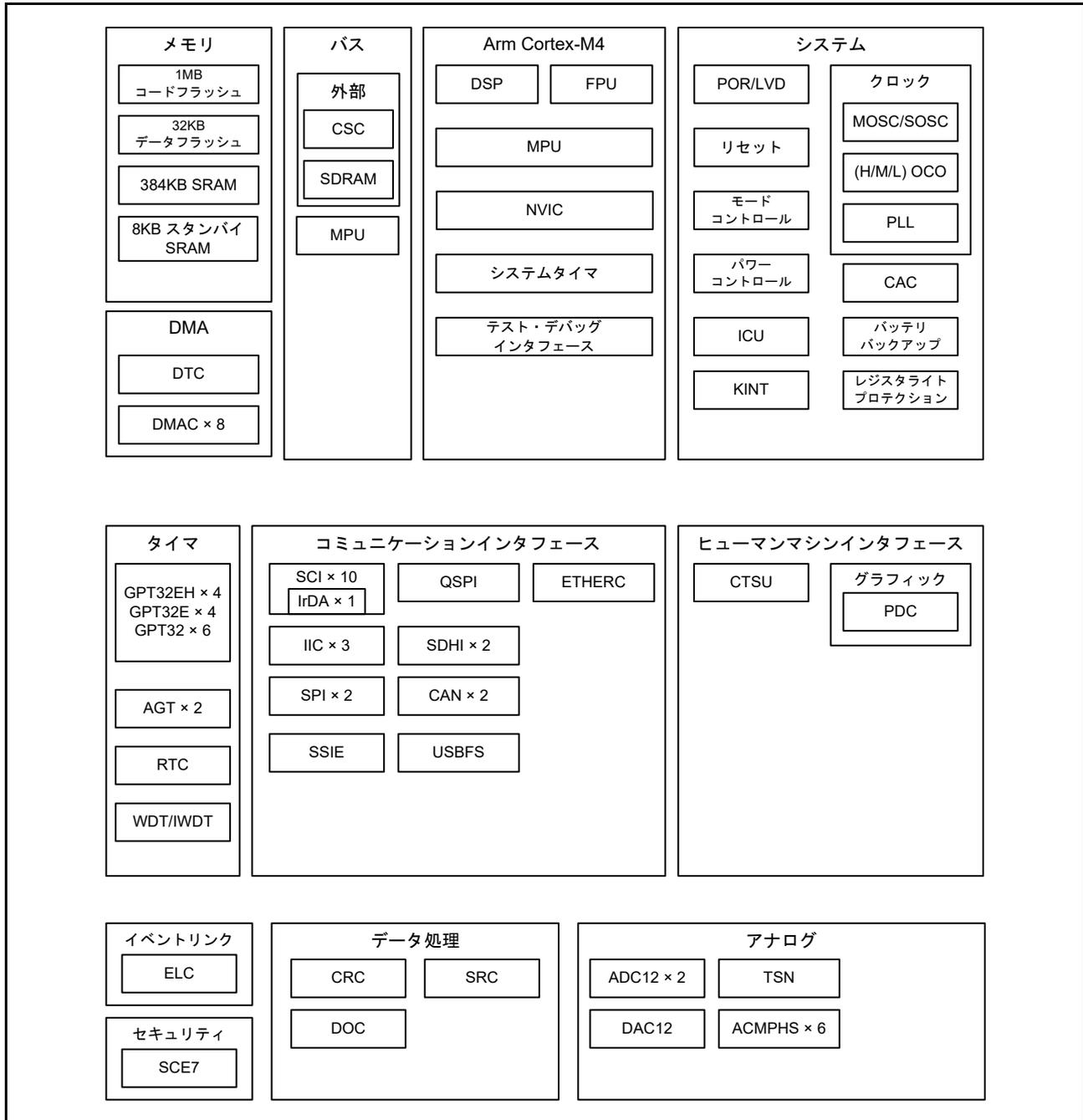


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量やパッケージタイプなどを含む製品型名情報の読み方について示します。また、表 1.15 に製品一覧を示します。

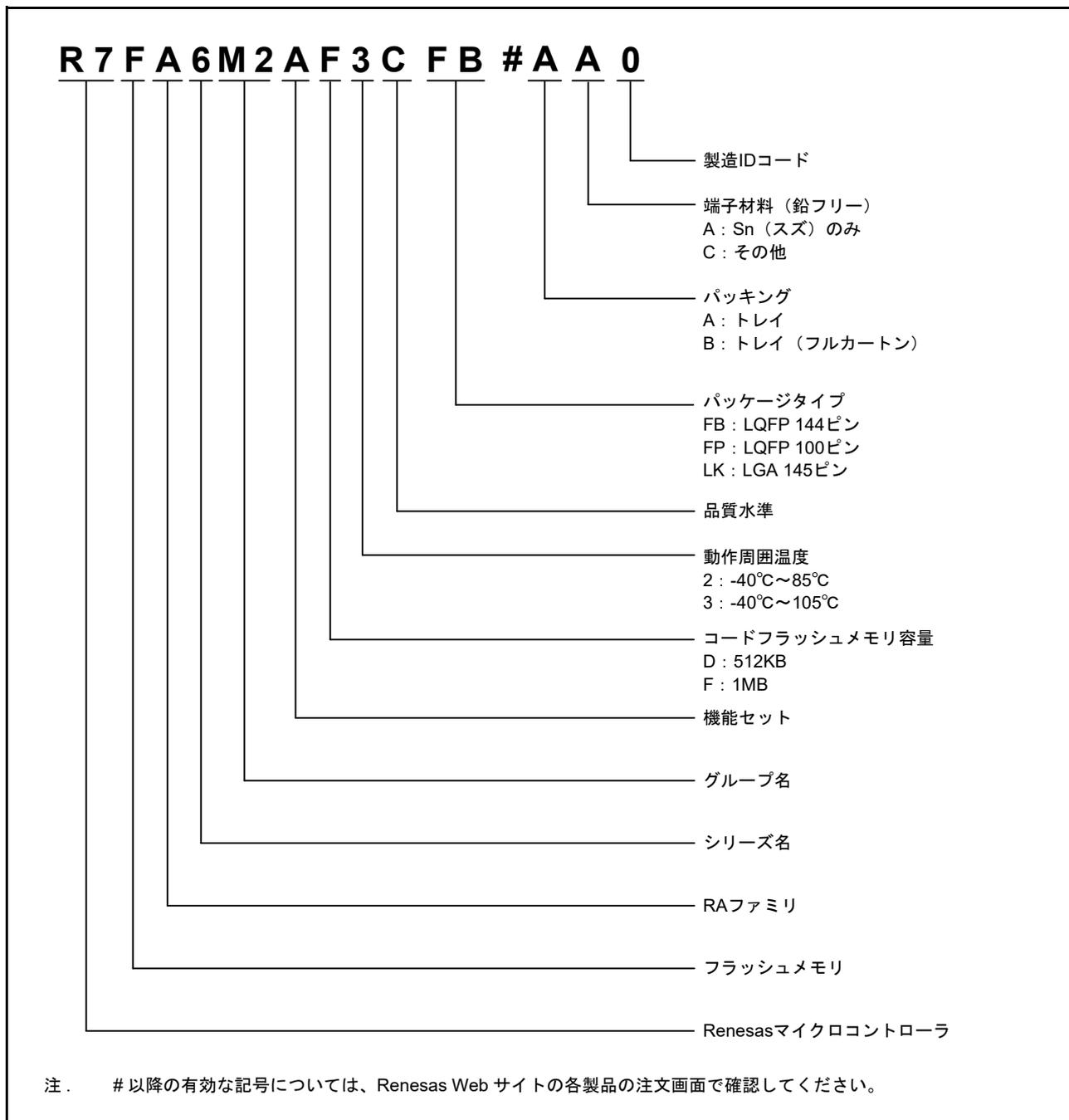


図 1.2 型名の読み方

表 1.15 製品一覧

型名	パッケージ	コード フラッシュ	データ フラッシュ	SRAM	動作温度
R7FA6M2AF2CLK	PTLG0145KA-A	1MB	32KB	384KB	-40 ~ +85°C
R7FA6M2AF3CLK					-40 ~ +105°C
R7FA6M2AF3CFB	PLQP0144KA-B				-40 ~ +105°C
R7FA6M2AF3CFP	PLQP0100KB-B				-40 ~ +105°C
R7FA6M2AD2CLK	PTLG0145KA-A	512KB			-40 ~ +85°C
R7FA6M2AD3CLK					-40 ~ +105°C
R7FA6M2AD3CFB	PLQP0144KA-B				-40 ~ +105°C
R7FA6M2AD3CFP	PLQP0100KB-B				-40 ~ +105°C

1.4 機能の比較

表 1.16 機能の比較 (1/2)

機能	型名			
	R7FA6M2AF2CLK/ R7FA6M2AD2CLK R7FA6M2AF3CLK/ R7FA6M2AD3CLK	R7FA6M2AF3CFB/ R7FA6M2AD3CFB	R7FA6M2AF3CFP/ R7FA6M2AD3CFP	
端子総数	145	144	100	
パッケージ	LGA	LQFP	LQFP	
コードフラッシュメモリ	1MB/512KB			
データフラッシュメモリ	32KB			
SRAM	384KB			
	パリティ	352KB		
	ECC	32KB		
スタンバイSRAM	8KB			
システム	CPUクロック	120MHz		
	バックアップレジスタ	512B		
	ICU	あり		
	KINT	8		
イベントリンク	ELC	あり		
DMA	DTC	あり		
	DMAC	8		
BUS	外部バス	16ビットバス	8ビットバス	
	SDRAM	あり	なし	
タイマ	GPT32EH	4	4	4
	GPT32E	4	4	4
	GPT32	6	6	5
	AGT	2	2	2
	RTC	あり		
	WDT/IWDT	あり		
通信	SCI	10		
	IIC	3	2	
	SPI	2		
	SSIE	1		
	QSPI	1		
	SDHI	2		
	CAN	2		
	USBFS	あり		
	ETHERC	1		
アナログ	ADC12	ユニット0: 13 ユニット1: 9 端子共有: 2 (注1)		ユニット0: 11 ユニット1: 8 端子共有: 2 (注1)
	3ch-S/H	ユニット0: 1 (3ch) ユニット1: 1 (3ch)		
	DAC12	2		
	ACMPHS	6		
	TSN	あり		
HMI	CTSU	18	12	
	グラフィック	PDC	あり	
データ処理	CRC	あり		
	DOC	あり		
	SRC	あり		
セキュリティ	SCE7			

表 1.16 機能の比較 (2/2)

機能		型名		
		R7FA6M2AF2CLK/ R7FA6M2AD2CLK R7FA6M2AF3CLK/ R7FA6M2AD3CLK	R7FA6M2AF3CFB/ R7FA6M2AD3CFB	R7FA6M2AF3CFP/ R7FA6M2AD3CFP
I/Oポート	入出力	109		75
	入力	1		1
	ブルアップ抵抗	110		76
	Nチャンネルオープン ドレイン出力	109		75
	5Vトレラント	21		14

注 1. 各 ADC ユニットの入力チャンネルが、同一ポートにアサインされています。

1.5 端子機能

表 1.17 端子機能 (1/5)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。本端子は、各モジュールおよび内部電圧レギュレータのデジタル電源端子として使用されます。また、POR/LVDの電圧監視にも使用されます。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL0	-	各VCL端子の近くにある0.1μF平滑コンデンサを介してVSSに接続してください。内部電源を安定させます。
	VCL	-	
	VSS	入力	グラウンド端子。システムの電源（0V）に接続してください。
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOUT	出力	
	EBCLK	出力	外部デバイス用の外部バスクロック出力端子
	SDCLK	出力	SDRAM専用のクロック出力端子
	CLKOUT	出力	クロック出力端子
動作モード コントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子がLowになると、MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ15	入力	マスクブル割り込み要求端子
KINT	KR00～KR07	入力	キー割り込みは、キー割り込み入力端子に立ち下がりエッジを入力することで発生させることができます。
オンチップ エミュレータ	TMS	入出力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。
	TDATA0～TDATA3	出力	トレースデータ出力
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
	SWO	出力	シリアルワイヤトレース出力端子
外部バス インタフェース	RD	出力	外部バスインタフェース空間から読み出し中であることを示すストロープ信号、アクティブLow
	WR	出力	1ライトストロープモード時、外部バスインタフェース空間に書き込み中であることを示すストロープ信号、アクティブLow
	WR0, WR1	出力	バイトストロープモード時、外部バスインタフェース空間に書き込み中で、データバス端子（D07～D00またはD15～D08）のいずれかが有効であることを示すストロープ信号、アクティブLow
	BC0, BC1	出力	1ライトストロープモード時、外部バスインタフェース空間にアクセス中で、データバス（D07～D00またはD15～D08）のいずれかが有効であることを示すストロープ信号、アクティブLow
	ALE	出力	アドレス/データマルチプレクスバス選択時のアドレスラッチ信号
	WAIT	入力	外部空間をアクセスするときのウェイト要求信号用の入力端子。アクティブLow
	CS0～CS7	出力	CS領域選択信号、アクティブLow
	A00～A20	出力	アドレスバス
	D00～D15	入出力	データバス
	A00/D00～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.17 端子機能 (2/5)

機能	端子名	入出力	説明
SDRAM インタフェース	CKE	出力	SDRAMクロックイネーブル信号
	SDCS	出力	SDRAMチップセレクト信号、アクティブLow
	RAS	出力	SDRAMロウアドレスストロブ信号、アクティブLow
	CAS	出力	SDRAMコラムアドレスストロブ信号、アクティブLow
	WE	出力	SDRAMライトイネーブル信号、アクティブLow
	DQM0	出力	SDRAM入出力データマスクイネーブル信号 (DQ07～DQ00を制御)
	DQM1	出力	SDRAM入出力データマスクイネーブル信号 (DQ15～DQ08を制御)
	A00～A15	出力	アドレスバス
	DQ00～DQ15	入出力	データバス
GPT	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A～ GTIOC13A, GTIOC0B～ GTIOC13B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDCモータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDCモータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDCモータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDCモータ制御用3相PWM出力 (正相W相)
	GTOWLO	出力	BLDCモータ制御用3相PWM出力 (逆相W相)
AGT	AGTEE0, AGTEE1	入力	外部イベント入力イネーブル信号
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
	AGTO0, AGTO1	出力	パルス出力端子
	AGTOA0, AGTOA1	出力	出力コンペアマッチA出力端子
	AGTOB0, AGTOB1	出力	出力コンペアマッチB出力端子
RTC	RTCOUT	出力	1Hzまたは64Hzのクロック出力端子
	RTCIC0～RTCIC2	入力	時間キャプチャイベント入力端子
SCI	SCK0～SCK9	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0～RXD9	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0～TXD9	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0_RTS0～ CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブLow
	SCL0～SCL9	入出力	IICクロック用の入出力端子 (簡易IICモード)
	SDA0～SDA9	入出力	IICデータ用の入出力端子 (簡易IICモード)
	SCK0～SCK9	入出力	クロック用の入出力端子 (簡易SPIモード)
	MISO0～MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPIモード)
	MOSI0～MOSI9	入出力	データのマスター送信用の入出力端子 (簡易SPIモード)
	SS0～SS9	入力	チップセレクト入力端子 (簡易SPIモード)、アクティブLow
IIC	SCL0～SCL2	入出力	クロック用の入出力端子
	SDA0～SDA2	入出力	データ用の入出力端子
SSIE	SSIBCK0	入出力	SSIEシリアルビットクロック端子
	SSILRCK0/SSIFS0	入出力	LRクロック/フレーム同期端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA0	入出力	シリアルデータ入出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子 (入力オーバーサンプリングクロック)

表 1.17 端子機能 (3/5)

機能	端子名	入出力	説明
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3	出力	スレーブ選択用の出力端子
QSPI	QSPCLK	出力	QSPIクロック出力端子
	QSSL	出力	QSPIスレーブ出力端子
	QIO0~QIO3	入出力	Data0~Data3
CAN	CRX0, CRX1	入力	受信データ
	CTX0, CTX1	出力	送信データ
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。デバイスコントローラ機能選択時のVBUSの接続/切断を検出することが可能です。
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへのVBUS (5V) の供給許可信号
	USB_OVRCURA, USB_OVRCURB	入力	これらの端子には外部過電流検出信号を接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号を接続してください。
	USB_ID	入力	OTG動作時にMicroABコネクタのID入力信号を接続してください。
ETHERC	REF50CK0	入力	50MHz基準クロック。この端子は、RMIIモード時に送受信タイミング用の基準信号を入力します。
	RMII0_CRS_DV	入力	RMIIモード時のキャリア検出信号。有効な受信データがRMII0_RXD1とRMII0_RXD0上にあることを示します。
	RMII0_TXD0, RMII0_TXD1	出力	RMIIモード時の2ビット送信データ
	RMII0_RXD0, RMII0_RXD1	入力	RMIIモード時の2ビット受信データ
	RMII0_TXD_EN	出力	RMIIモード時のデータ送信イネーブル信号
	RMII0_RX_ER	入力	RMIIモード時、データ受信中にエラーが発生したことを示す信号
	ET0_CRS	入力	キャリア検出/データ受信イネーブル信号
	ET0_RX_DV	入力	有効な受信データがET0_ERXD3~ET0_ERXD0上にあることを示す信号
	ET0_EXOUT	出力	汎用外部出力端子
	ET0_LINKSTA	入力	PHY-LSIからのリンク状態を入力
	ET0_ETXD0~ET0_ETXD3	出力	MIIの4ビット送信データ
	ET0_ERXD0~ET0_ERXD3	入力	MIIの4ビット受信データ
	ET0_TX_EN	出力	送信イネーブル信号。ET0_ETXD3~ET0_ETXD0上に送信データが準備できたことを示す信号として機能します。
	ET0_TX_ER	出力	送信エラー端子。送信中のエラーをPHY_LSIに通知する信号として機能します。
	ET0_RX_ER	入力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号として機能します。
	ET0_TX_CLK	入力	送信クロック端子。この端子は、ET0_TX_EN、ET0_ETXD3~ET0_ETXD0、およびET_TX_ERからの出力タイミング用の基準信号を入力します。
	ET0_RX_CLK	入力	受信クロック端子。この端子は、ET0_RX_DV、ET0_ERXD3~ET0_ERXD0、およびET_RX_ERへの入力タイミング用の基準信号を入力します。
ET0_COL	入力	衝突検出信号	
ET0_WOL	出力	Magic Packet受信を示す信号	

表 1.17 端子機能 (4/5)

機能	端子名	入出力	説明
ETHERC	ET0_MDC	出力	ET0_MDIOによる情報転送用の基準クロック出力信号
	ET0_MDIO	入出力	PHY-LSIと管理情報を交換するための双方向入出力信号
SDHI	SD0CLK, SD1CLK	出力	SDクロック出力端子
	SD0CMD, SD1CMD	入出力	コマンド出力端子、レスポンス入力信号端子
	SD0DAT0～SD0DAT7, SD1DAT0～SD1DAT7	入出力	SD/MMC データバス端子
	SD0CD, SD1CD	入力	SDカード検出端子
	SD0WP	入力	SDライトプロテクト信号
アナログ電源	AVCC0	入力	アナログ電圧供給端子。それぞれのモジュールのアナログ電源供給として使用されます。この端子にはVCC端子と同じ電圧を供給してください。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子にはVSS端子と同じ電圧を供給してください。
	VREFH0	入力	ADC12 (ユニット0) 用のアナログ基準電圧端子。ADC12 (ユニット0) およびAN000～AN002にサンプル&ホールド回路を使用しない場合はVCCに接続してください。
	VREFL0	入力	ADC12用のアナログ基準グランド端子。ADC12 (ユニット0) およびAN000～AN002にサンプル&ホールド回路を使用しない場合は、この端子をVSSに接続してください。
	VREFH	入力	ADC12 (ユニット1) とD/Aコンバータ用のアナログ基準電圧端子。ADC12 (ユニット1)、AN100～AN102にサンプル&ホールド回路およびD/Aコンバータを使用しない場合は、この端子をVCCに接続してください。
	VREFL	入力	ADC12とD/Aコンバータ用のアナログ基準グランド端子。ADC12 (ユニット1)、AN100～AN102にサンプル&ホールド回路およびD/Aコンバータを使用しない場合は、この端子をVSSに接続してください。
ADC12	AN000～AN007, AN016～AN020	入力	ADC12で処理されるアナログ信号用の入力端子 AN005とAN105、およびAN006とAN106はそれぞれ同じポートに割り当てられています。
	AN100～AN102, AN105～AN107, AN116～AN118	入力	
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子
	ADTRG1	入力	
DAC12	DA0, DA1	出力	D/Aコンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOOUT	出力	コンパレータ出力端子
	IVREF0～IVREF3	入力	コンパレータ用の基準電圧入力端子
	IVCMP0～IVCMP2	入力	コンパレータ用のアナログ電圧入力端子
CTSU	TS00～TS17	入力	静電容量式タッチ検出端子 (タッチ端子)
	TSCAP	-	タッチドライバ用の二次電源端子
I/Oポート	P000～P009, P014, P015	入出力	汎用入出力端子
	P100～P115	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201～P214	入出力	汎用入出力端子
	P300～P313	入出力	汎用入出力端子
	P400～P415	入出力	汎用入出力端子
	P500～P506, P508, P511, P512	入出力	汎用入出力端子
	P600～P605, P608～P614	入出力	汎用入出力端子
	P700～P705, P708～P713	入出力	汎用入出力端子
P800, P801	入出力	汎用入出力端子	

表 1.17 端子機能 (5/5)

機能	端子名	入出力	説明
PDC	PIXCLK	入力	画像転送用クロック端子
	VSYNC	入力	垂直同期信号端子
	HSYNC	入力	水平同期信号端子
	PIXD0～PIXD7	入力	8ビット画像データ端子
	PCKO	出力	ドットクロック用の出力端子

1.6 ピン配置図

図 1.3 ~ 図 1.5 にピン配置図を示します。

R7FA6M2AX2CLK

	A	B	C	D	E	F	G	H	J	K	L	M	N		
13	P407	P409	P412	P708	P711	VCC	P212 /EXTAL	XCIN	VCL0	P702	P405	P402	P400	13	
12	USB_DM	USB_DP	P410	P414	P710	VSS	P213 /XTAL	XCOUT	VBATT	P701	P404	P511	VCC	12	
11	VCC_USB	VSS_USB	P207	P411	P415	P712	P705	P704	P703	P403	P401	P512	VSS	11	
10	P205	P206	P204	P408	P413	P709	P713	P700	P406	P003	P000	P002	P001	10	
9	P203	P313	P202	VSS						P004	P006	P009	P008	9	
8	P214	P211	P200	VCC						P005	AVSS0	VREFL0	VREFH0	8	
7	P210	P209	RES	P310						P007	AVCC0	VREFL	VREFH	7	
6	P208	P201/MD	P312	P305						P505	P506	P015	P014	6	
5	P309	P311	P308	P303	NC						P503	P504	VSS	VCC	5
4	P307	P306	P304	P109/TDO	P114	P608	P604	P600	P105	P500	P502	P501	P508	4	
3	VSS	VCC	P301	P112	P115	P610	P614	P603	P107	P106	P104	VSS	VCC	3	
2	P302	P300/TCK /SWCLK	P111	VCC	P609	P612	VSS	P605	P601	VCC	P800	P101	P801	2	
1	P108/TMS /SWDIO	P110/TDI	P113	VSS	P611	P613	VCC	VCL	P602	VSS	P103	P102	P100	1	
	A	B	C	D	E	F	G	H	J	K	L	M	N		

図 1.3 145-pin LGA のピン配置図 (上面図)

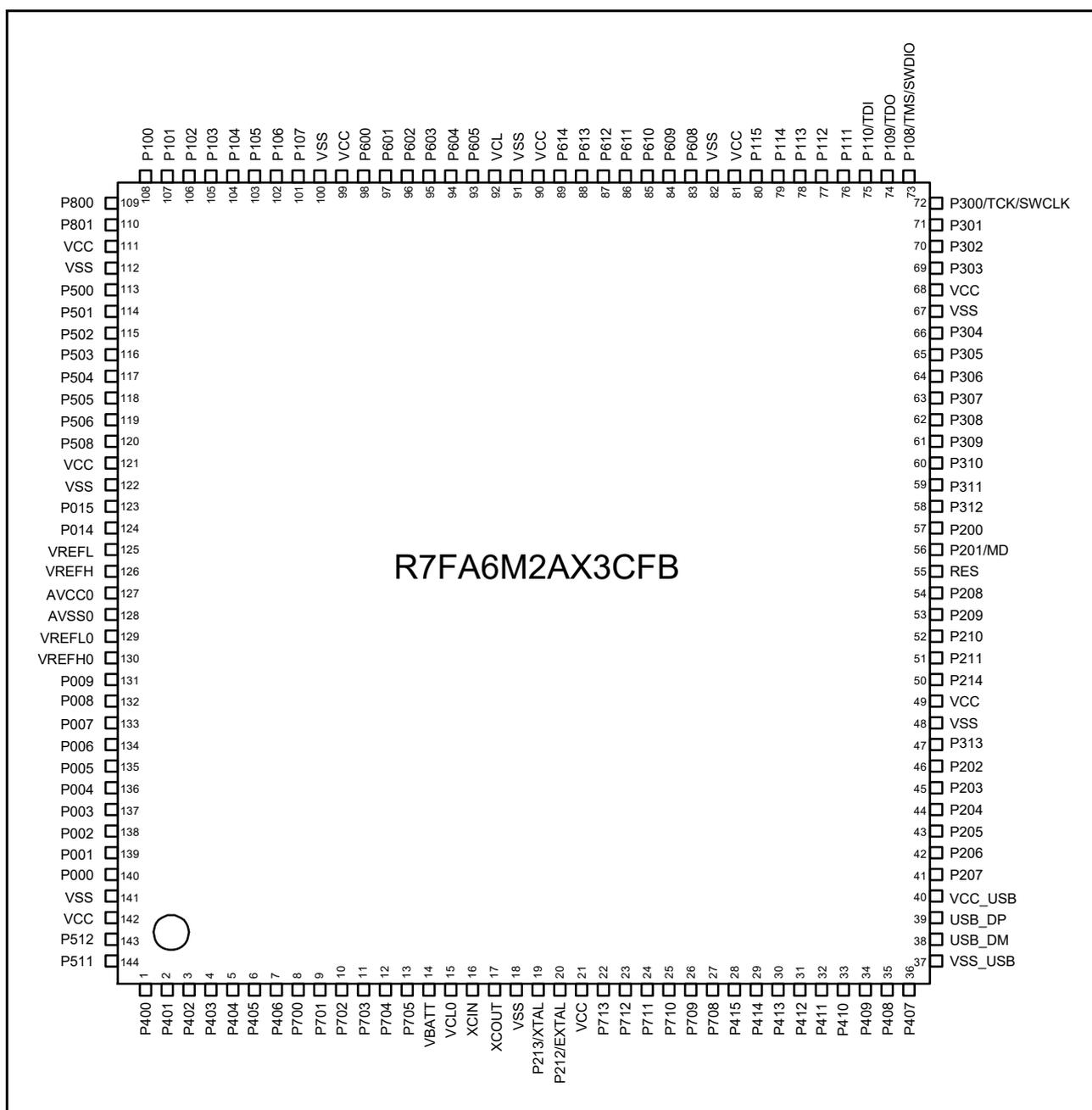


図 1.4 144-pin LQFP のピン配置図 (上面図)

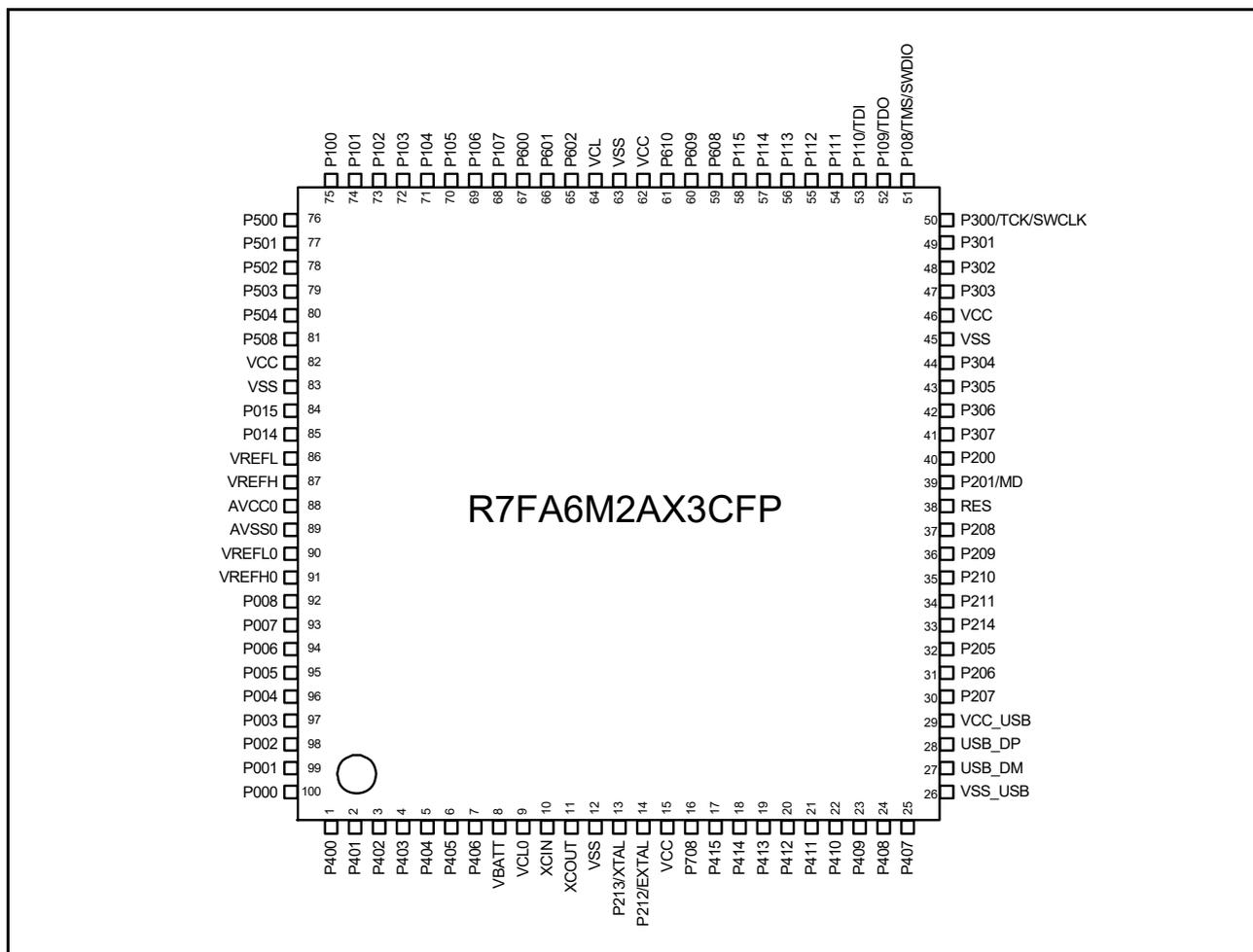


図 1.5 100-pin LQFP のピン配置図 (上面図)

2. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- $VCC = AVCC0 = VCC_USB = VBATT = 2.7 \sim 3.6V$
- $2.7 \leq VREFH0/VREFH \leq AVCC0$
- $VSS = AVSS0 = VREFL0/VREFL = VSS_USB = 0V$
- $T_a = T_{opr}$

図 2.1 は、タイミング条件を示しています。

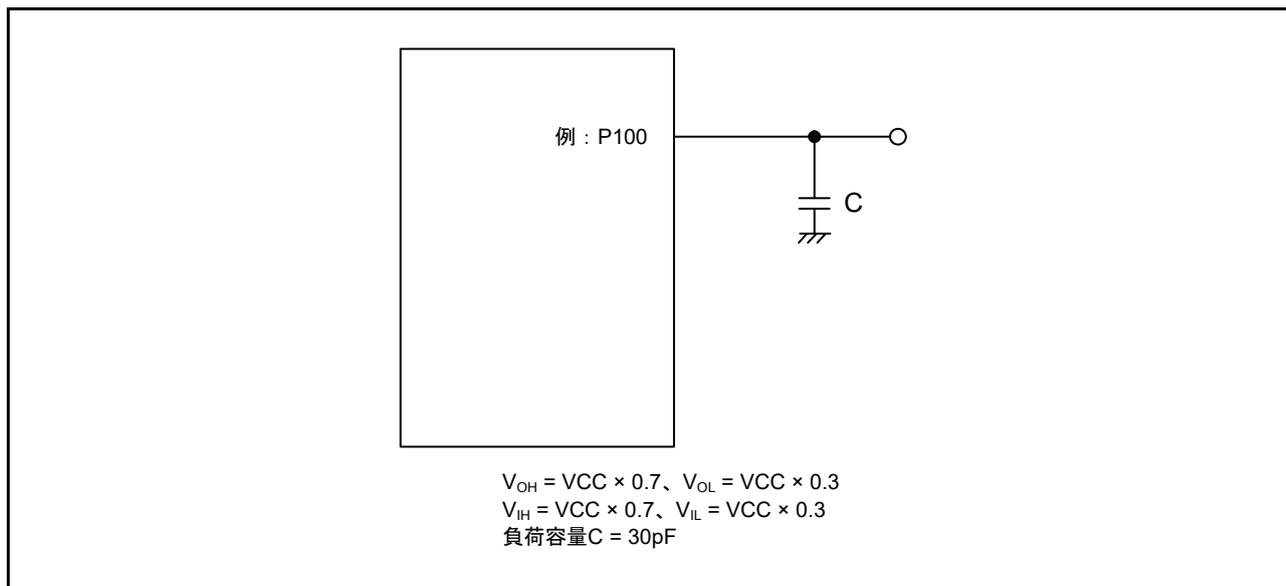


図 2.1 入出力タイミング計測条件

装備されている各周辺モジュールのタイミング仕様の推奨計測条件は、最良な周辺モジュール動作におけるものです。ただし、ユーザ条件に合うように、各端子の駆動能力を調整してください。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	VCC、VCC_USB (注2)	-0.3~+4.0	V
VBATT 電源電圧	VBATT	-0.3~+4.0	V
入力電圧 (5Vトレラントポートを除く (注1))	V _{in}	-0.3~VCC + 0.3	V
入力電圧 (5Vトレラントポート (注1))	V _{in}	-0.3~VCC + 4.0 (max 5.8)	V
リファレンス電源電圧	VREFH/VREFH0	-0.3~AVCC0 + 0.3	V
アナログ電源電圧	AVCC0 (注2)	-0.3~+4.0	V
アナログ入力電圧	V _{AN}	-0.3~AVCC0 + 0.3	V
動作温度 (注3) (注4) (注5)	T _{opr}	-40~+85 -40~+105	°C
保存温度	T _{stg}	-55~+125	°C

【使用上の注意】 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

- 注 1. P205、P206、P400、P401、P407 ~ P415、P511、P512、P708 ~ P713 は 5V トレラントポートです。
- 注 2. AVCC0 および VCC_USB を VCC に接続してください。
- 注 3. [2.2.1 Tj/Ta の定義](#) を参照してください。
- 注 4. T_a = +85 ~ +105 °C の場合のディレーティング動作について、詳しくは弊社の営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。
- 注 5. 動作温度の上限は 85 °C または 105 °C であり、製品によって異なります。詳細は、[1.3 型名](#) を参照してください。

表 2.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC	USB/SDRAM 未使用時	2.7	-	3.6	V
		USB/SDRAM 使用時	3.0	-	3.6	V
	VSS	-	0	-	V	
USB 電源電圧	VCC_USB	-	VCC	-	V	
	VSS_USB	-	0	-	V	
VBATT 電源電圧	VBATT	1.65 (注2)	-	3.6	V	
アナログ電源電圧	AVCC0 (注1)	-	VCC	-	V	
	AVSS0	-	0	-	V	

- 注 1. AVCC0 を VCC に接続してください。A/D コンバータ、D/A コンバータおよびコンパレータのいずれも使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS に接続してください。
- 注 2. VBATT = 1.8V 未満は、低 CL 水晶振動子は使用できません。

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

条件：動作温度（T_a）が¹-40～+105℃の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	-	125	°C	High-speedモード Low-speedモード Subosc-speedモード
			105 (注1)		

注． Tj = T_a + θ_{ja} × 総消費電力 (W) となるようにしてください。

このとき、総消費電力 = (VCC - V_{OH}) × ΣI_{OH} + V_{OL} × ΣI_{OL} + I_{CCmax} × VCC です。

注 1. 動作温度の上限は、85℃または105℃です（製品による）。詳細は、[1.3 型名](#)を参照してください。型名が動作温度85℃を示している場合は、Tj max は105℃になります。それ以外の場合125℃になります。

2.2.2 I/O V_{IH} , V_{IL} 表 2.4 I/O V_{IH} , V_{IL}

項目			シンボル	Min	Typ	Max	単位		
入力電圧 (シュミット トリガ入力端子 を除く)	周辺機能 端子	EXTAL (外部クロック入力)、WAIT, SPI (RSPCK を 除く)	V_{IH}	$VCC \times 0.8$	-	-	V		
			V_{IL}	-	-	$VCC \times 0.2$			
		D00 ~ D15、DQ00 ~ DQ15	V_{IH}	$VCC \times 0.7$	-	-			
			V_{IL}	-	-	$VCC \times 0.3$			
		ETHERC	V_{IH}	2.3	-	-			
			V_{IL}	-	-	$VCC \times 0.2$			
		IIC (SMBus) (注1)	V_{IH}	2.1	-	-			
			V_{IL}	-	-	0.8			
IIC (SMBus) (注2)	V_{IH}	2.1	-	$VCC + 3.6$ (max 5.8)					
	V_{IL}	-	-	0.8					
シュミット トリガ入力電圧	周辺機能 端子	IIC (SMBus を除く) (注1)	V_{IH}	$VCC \times 0.7$	-	-	V		
			V_{IL}	-	-	$VCC \times 0.3$			
			ΔV_T	$VCC \times 0.05$	-	-			
		IIC (SMBus を除く) (注2)	V_{IH}	$VCC \times 0.7$	-	$VCC + 3.6$ (max 5.8)			
			V_{IL}	-	-	$VCC \times 0.3$			
			ΔV_T	$VCC \times 0.05$	-	-			
		5Vトレラントポート (注3) (注7)	V_{IH}	$VCC \times 0.8$	-	$VCC + 3.6$ (max 5.8)			
			V_{IL}	-	-	$VCC \times 0.2$			
			ΔV_T	$VCC \times 0.05$	-	-			
		RTCIC0, RTCIC1, RTCIC2	バッテリーバック アップ機能使用時	V_{BATT} 電源選択時	V_{IH}	$V_{BATT} \times 0.8$		-	$V_{BATT} + 0.3$
					V_{IL}	-		-	$V_{BATT} \times 0.2$
					ΔV_T	$V_{BATT} \times 0.05$		-	-
				V_{BATT} パワー供給 選択時	V_{IH}	$VCC \times 0.8$		-	$VCC + 0.3V$ または $V_{BATT} + 0.3V$ の うち高電位の側
					V_{IL}	-		-	$VCC \times 0.2$
					ΔV_T	$VCC \times 0.05$		-	-
		バッテリーバックアップ機能未使用時	V_{IH}	$VCC \times 0.8$	-	$VCC + 0.3$			
			V_{IL}	-	-	$VCC \times 0.2$			
			ΔV_T	$VCC \times 0.05$	-	-			
		その他の入力端子 (注4)	V_{IH}	$VCC \times 0.8$	-	-			
			V_{IL}	-	-	$VCC \times 0.2$			
			ΔV_T	$VCC \times 0.05$	-	-			
		ポート	5Vトレラントポート (注5) (注7)	V_{IH}	$VCC \times 0.8$	-		$VCC + 3.6$ (max 5.8)	V
				V_{IL}	-	-		$VCC \times 0.2$	
				V_{IH}	$VCC \times 0.8$	-		-	
V_{IL}	-			-	$VCC \times 0.2$				

注 1. SCL0_B (P204)、SCL1_B、SDA1_B (合計 3 端子)

注 2. SCL0_A、SDA0_A、SCL0_B (P408)、SDA0_B、SCL1_A、SDA1_A、SCL2、SDA2 (合計 8 端子)

注 3. P205、P206、P400、P401、P407 ~ P415、P511、P512、P708 ~ P713 (合計 22 端子) に関連する RES および周辺機能端子

注 4. 表で説明した周辺機能端子を除くすべての入力端子

注 5. P205、P206、P400、P401、P407 ~ P415、P511、P512、P708 ~ P713 (合計 21 端子)

注 6. 表で説明したポートを除くすべての入力端子

注 7. 5Vトレラントポートは耐圧違反防止用に電气的制御されているため、故障しないよう VCC が 2.7V 以下の場合には入力電圧を 3.6V 以下として
ください。

2.2.3 I/O I_{OH} , I_{OL} 表 2.5 I/O I_{OH} , I_{OL}

	項目		シンボル	Min	Typ	Max	単位	
許容出力電流 (端子ごとの平均値)	ポート P000 ~ P009、P201	-	I_{OH}	-	-	-2.0	mA	
			I_{OL}	-	-	2.0	mA	
	ポート P014、P015	-	I_{OH}	-	-	-4.0	mA	
			I_{OL}	-	-	4.0	mA	
	ポート P205、P206、P407 ~ P415、P602、P708 ~ P713 (合計 18 端子)	低駆動 (注1)		I_{OH}	-	-	-2.0	mA
				I_{OL}	-	-	2.0	mA
		中駆動 (注2)		I_{OH}	-	-	-4.0	mA
				I_{OL}	-	-	4.0	mA
		高駆動 (注3)		I_{OH}	-	-	-20	mA
				I_{OL}	-	-	20	mA
	その他の出力端子 (注4)	低駆動 (注1)		I_{OH}	-	-	-2.0	mA
				I_{OL}	-	-	2.0	mA
		中駆動 (注2)		I_{OH}	-	-	-4.0	mA
				I_{OL}	-	-	4.0	mA
		高駆動 (注3)		I_{OH}	-	-	-16	mA
				I_{OL}	-	-	16	mA
許容出力電流 (端子ごとの最大値)	ポート P000 ~ P009、P201	-	I_{OH}	-	-	-4.0	mA	
			I_{OL}	-	-	4.0	mA	
	ポート P014、P015	-	I_{OH}	-	-	-8.0	mA	
			I_{OL}	-	-	8.0	mA	
	ポート P205、P206、P407 ~ P415、P602、P708 ~ P713 (合計 18 端子)	低駆動 (注1)		I_{OH}	-	-	-4.0	mA
				I_{OL}	-	-	4.0	mA
		中駆動 (注2)		I_{OH}	-	-	-8.0	mA
				I_{OL}	-	-	8.0	mA
		高駆動 (注3)		I_{OH}	-	-	-40	mA
				I_{OL}	-	-	40	mA
	その他の出力端子 (注4)	低駆動 (注1)		I_{OH}	-	-	-4.0	mA
				I_{OL}	-	-	4.0	mA
		中駆動 (注2)		I_{OH}	-	-	-8.0	mA
				I_{OL}	-	-	8.0	mA
		高駆動 (注3)		I_{OH}	-	-	-32	mA
				I_{OL}	-	-	32	mA
許容出力電流 (全端子の最大値)	全出力端子の最大値		$\Sigma I_{OH} (max)$	-	-	-80	mA	
			$\Sigma I_{OL} (max)$	-	-	80	mA	

【使用上の注意】 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μ s の間に計測した電流の平均値を意味します。

- 注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
- 注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
- 注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
- 注 4. 入力ポートである P200 を除きます。

2.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性表 2.6 I/O V_{OH} 、 V_{OL} 、その他の特性

項目	シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC	V_{OL}	-	-	0.4	V	$I_{OL} = 3.0\text{mA}$
		V_{OL}	-	-	0.6		$I_{OL} = 6.0\text{mA}$
	IIC (注1)	V_{OL}	-	-	0.4		$I_{OL} = 15.0\text{mA}$ (ICFER.FMPE = 1)
		V_{OL}	-	0.4	-		$I_{OL} = 20.0\text{mA}$ (ICFER.FMPE = 1)
	ETHERC	V_{OH}	VCC - 0.5	-	-		$I_{OH} = -1.0\text{mA}$
		V_{OL}	-	-	0.4		$I_{OL} = 1.0\text{mA}$
	ポート P205、P206、P407～ P415、P602、P708～P713 (合計 18 端子) (注2)	V_{OH}	VCC - 1.0	-	-		$I_{OH} = -20\text{mA}$ VCC = 3.3V
		V_{OL}	-	-	1.0		$I_{OL} = 20\text{mA}$ VCC = 3.3V
	その他の出力端子	V_{OH}	VCC - 0.5	-	-		$I_{OH} = -1.0\text{mA}$
		V_{OL}	-	-	0.5		$I_{OL} = 1.0\text{mA}$
入力リーク電流	RES	$ I_{in} $	-	-	5.0	μA	$V_{in} = 0\text{V}$ $V_{in} = 5.5\text{V}$
	ポート P200		-	-	1.0		$V_{in} = 0\text{V}$ $V_{in} = \text{VCC}$
スリーステートリーク電流 (オフ状態)	5Vトレラントポート	$ I_{TSI} $	-	-	5.0	μA	$V_{in} = 0\text{V}$ $V_{in} = 5.5\text{V}$
	その他のポート (P200を除く)		-	-	1.0		$V_{in} = 0\text{V}$ $V_{in} = \text{VCC}$
入力プルアップMOS電流	ポート P0～PB	I_p	-300	-	-10	μA	VCC = 2.7～3.6V $V_{in} = 0\text{V}$
入力容量	USB_DP、USB_DM、および ポート P014、P015、P400、 P401、P511、P512	C_{in}	-	-	16	pF	$V_{bias} = 0\text{V}$ $V_{amp} = 20\text{mV}$ $f = 1\text{MHz}$ $T_a = 25^\circ\text{C}$
	その他の入力端子		-	-	8		

注 1. SCL0_A、SDA0_A (合計 2 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

2.2.5 動作電流とスタンバイ電流

表 2.7 動作電流とスタンバイ電流 (1/2)

項目		シンボル	Min	Typ	Max	Unit	測定条件		
消費電流 (注1)	High-speed モード	最大動作 (注2)	I _{CC} (注3)	-	-	102 (注2)	mA	ICLK = 120MHz PCLKA = 120MHz (注7) PCLKB = 60MHz PCLKC = 60MHz PCLKD = 120MHz FCLK = 60MHz BCLK = 120MHz	
		CoreMark® (注5)		-	19	-			
		通常モード		すべての周辺クロックが有効、その間 (1) コードがフラッシュから実行 (注4)	-	26			-
				すべての周辺クロックが無効、その間 (1) コードはフラッシュから実行 (注5) (注6)	-	12			-
		スリープモード (注5) (注6)		-	10	40			
		BGO動作中に増加		データフラッシュ P/E	-	6			-
				コードフラッシュ P/E	-	8			-
		Low-speed モード (注5)		-	1.3	-			ICLK = 1MHz
		Subosc-speed モード (注5)		-	1.2	-			ICLK = 32.768kHz
		ソフトウェアスタンバイモード		-	1.3	15			Ta ≤ 85°C
		-	1.3	24	Ta ≤ 105°C				
	Low-power モード	スタンバイSRAM、USBレジューム検出部への電源供給あり	-	29	67	μA	Ta ≤ 85°C		
			-	29	96	Ta ≤ 105°C			
		SRAM、USBレジューム検出部への電源供給なし	パワーオンリセット回路、低消費電力機能無効	-	11.6	32.4	Ta ≤ 85°C		
			パワーオンリセット回路、低消費電力機能有効	-	11.6	40	Ta ≤ 105°C		
RTC、AGT動作中に増加		低速オンチップ発振器 (LOCO) 使用時	-	4.9	23.5	Ta ≤ 85°C			
		低CL水晶発振子使用時	-	4.9	31	Ta ≤ 105°C			
標準CL水晶発振子使用時		-	4.4	-	-				
		-	1.0	-	-				
VCCオフ時のRTC動作 (バッテリーバックアップ機能により、RTC、サブクロック発振器のみ動作)		低CL水晶発振子使用時	-	1.4	-	-			
		標準CL水晶発振子使用時	-	0.9	-	V _{BATT} = 1.8V, V _{CC} = 0V			
	-	1.1	-	V _{BATT} = 3.3V, V _{CC} = 0V					
	-	1.0	-	V _{BATT} = 1.8V, V _{CC} = 0V					
	-	1.6	-	V _{BATT} = 3.3V, V _{CC} = 0V					
アナログ電源電流	12ビットA/D変換中	Al _{CC}	-	0.8	1.1	mA	-		
	サンプル&ホールドAMPを使用した12ビットA/D変換時		-	2.3	3.3				
	ACMPHS (1ユニット)		-	100	150			μA	
	温度センサ		-	0.1	0.2			mA	
	D/A変換中 (1ユニット当り)		AMP出力なし	-	0.1			0.2	mA
			AMP出力あり	-	0.6			1.1	mA
	A/D、D/A変換待機時 (全ユニット)		-	0.9	1.6			mA	
	スタンバイモードのADC12、DAC12 (全ユニット) (注8)		-	2	8			μA	
リファレンス電源電流 (VREFH0)	12ビットA/D変換中 (ユニット0)	Al _{REFH0}	-	70	120	μA	-		
	12ビットA/D変換待機時 (ユニット0)		-	0.07	0.5				
	スタンバイモードのADC12 (ユニット0)		-	0.07	0.5				
リファレンス電源電流 (VREFH)	12ビットA/D変換中 (ユニット1)	Al _{REFH}	-	70	120	μA	-		
	D/A変換中 (1ユニット当り)		AMP出力なし	-	0.1			0.4	mA
			AMP出力あり	-	0.1			0.4	mA
	12ビットA/D (ユニット1)、D/A (全ユニット) 変換待機時		-	0.07	0.8			μA	
	スタンバイモードのADC12ユニット1		-	0.07	0.8			μA	

表 2.7 動作電流とスタンバイ電流 (2/2)

項目			シンボル	Min	Typ	Max	Unit	測定条件
USB 動作電流	ロースピード	USB	I _{CCUSBLS}	-	3.5	6.5	mA	VCC_USB
	フルスピード	USB	I _{CCUSBFS}	-	4.0	10.0	mA	VCC_USB

- 注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS トランジスタをオフ状態にした場合の値です。
注 2. 周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{CC} は、下記の式に従って f (ICLK) に依存します。(ICLK:PCLKA:PCLKB:PCLKC:PCLKD:BCK:EBCLK = 2:2:1:1:2:1:1)
I_{CC} Max. = 0.61 × f + 29 (High-speed モードでの最大動作時)
I_{CC} Typ. = 0.08 × f + 2.6 (High-speed モードでの通常動作時)
I_{CC} Typ. = 0.1 × f + 1.2 (Low-speed モード 1)
I_{CC} Max. = 0.09 × f + 29 (スリープモード)
注 4. BGO 動作は含まれません。
注 5. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 6. FCLK、BCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (3.75MHz) に設定されています。
注 7. ETHERC を使用した場合の PCLKA 周波数は PCLKA = ICLK です。
注 8. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD16 (12 ビット A/D コンバータ 0 モジュールストップビット) および MSTPCRD.MSTPD15 (12 ビット A/D コンバータ 1 モジュールストップビット) がモジュールストップ状態の場合

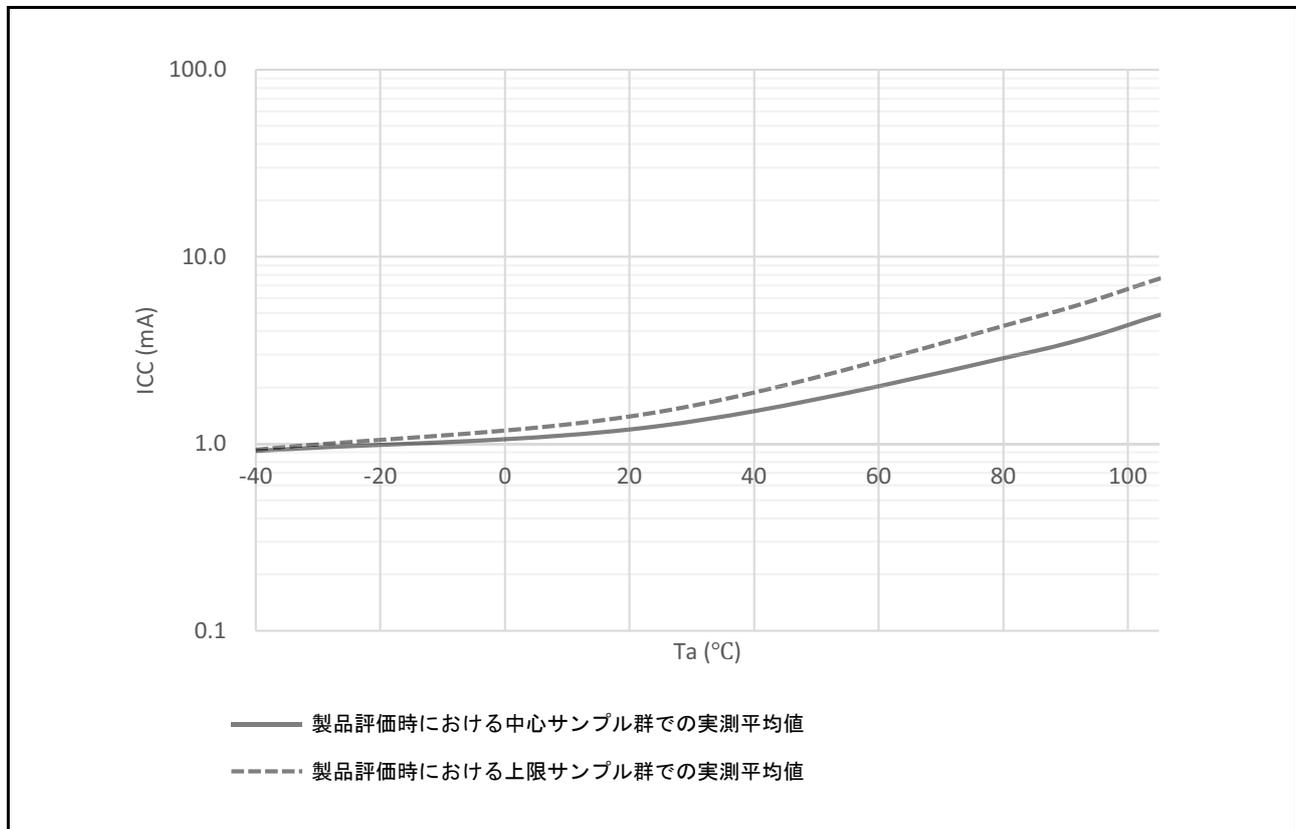


図 2.2 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

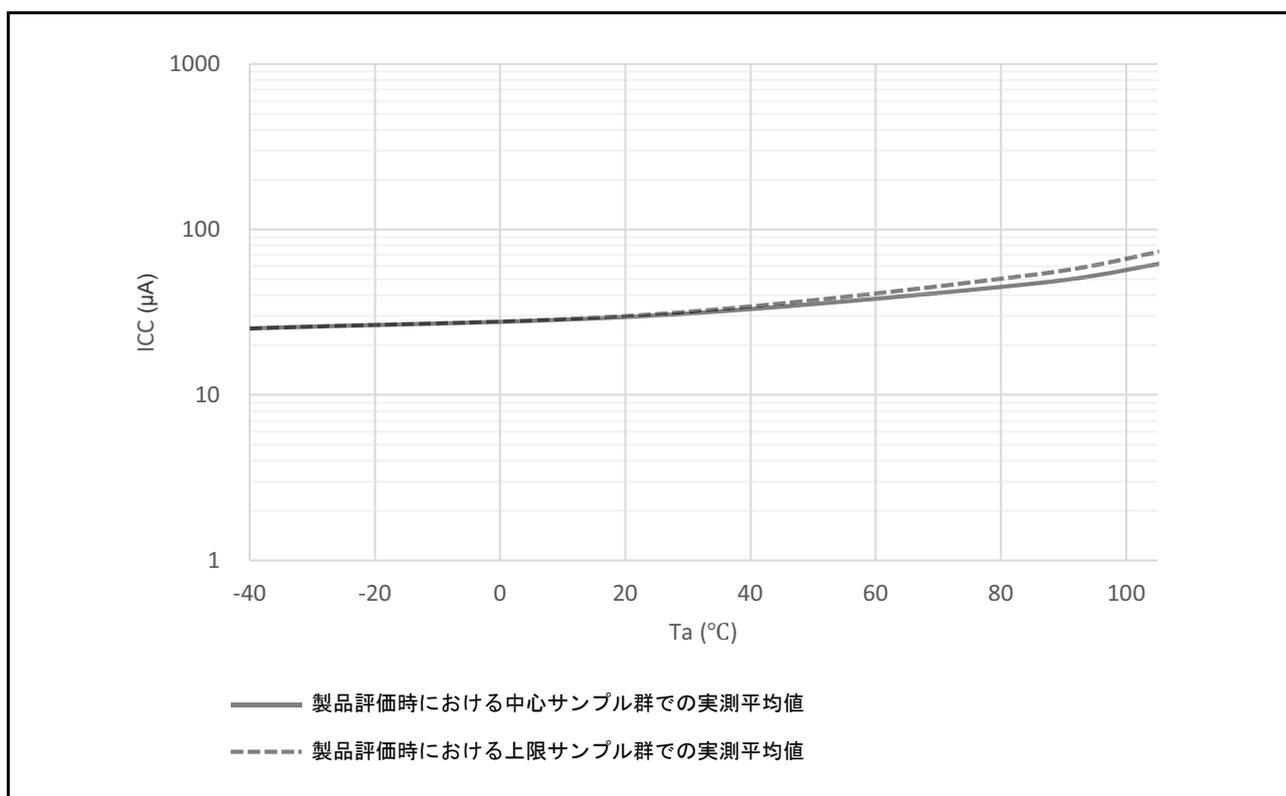


図 2.3 ディープソフトウェアスタンバイモード時の温度依存性：スタンバイ SRAM および USB レジューム検出部への電源供給あり（参考データ）

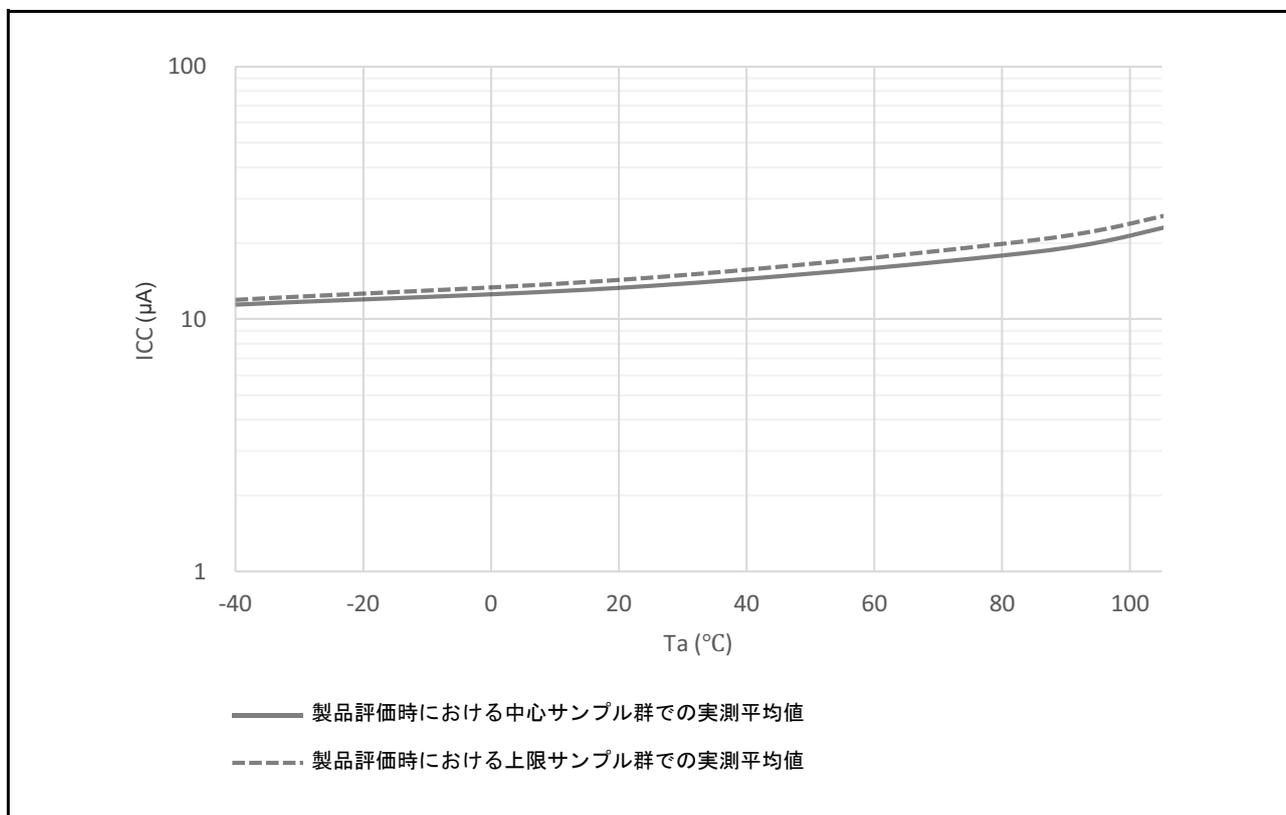


図 2.4 ディープソフトウェアスタンバイモード時の温度依存性：SRAM および USB レジューム検出部への電源供給なし、パワーオンリセット回路の低消費電力機能無効（参考データ）

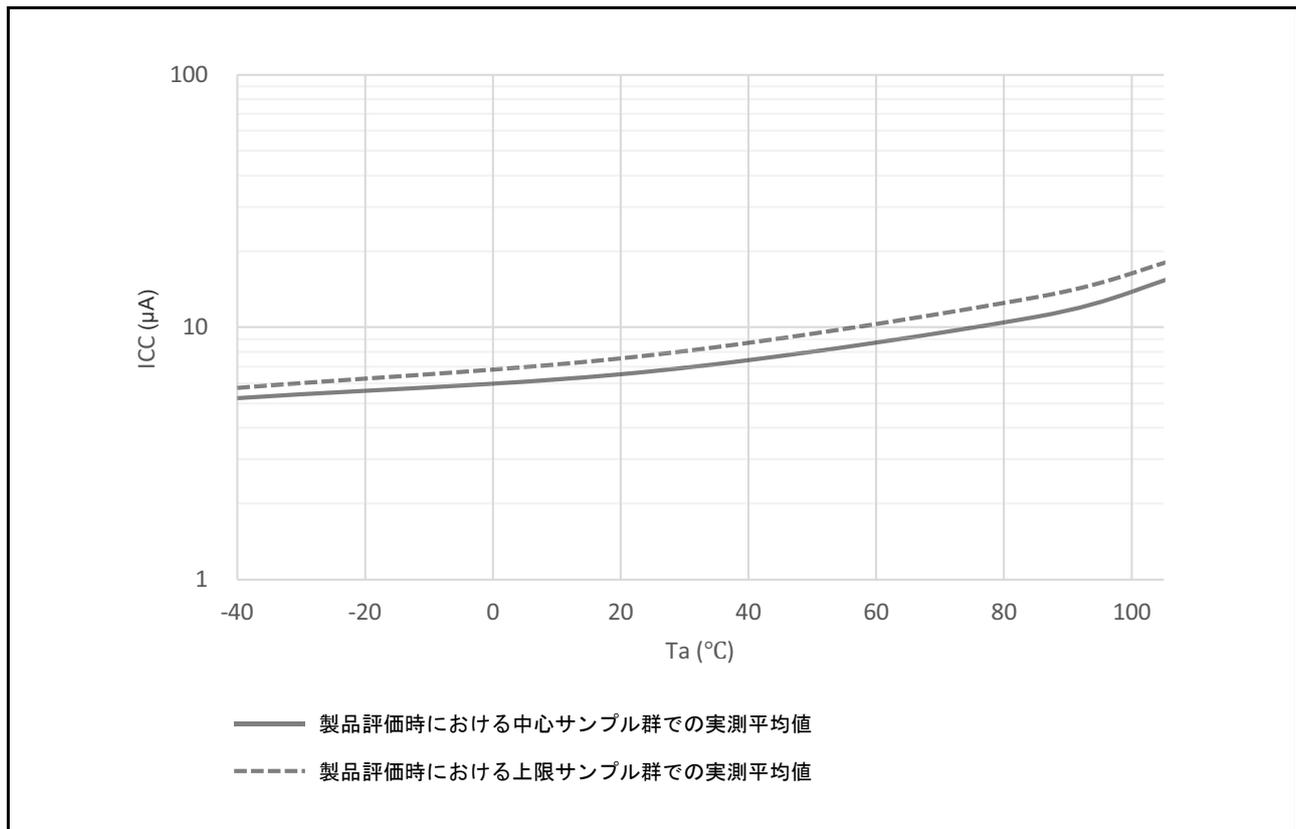


図 2.5 ディープソフトウェアスタンバイモード時の温度依存性：SRAM および USB レジューム検出部への電源供給なし、パワーオンリセット回路の低消費電力機能有効（参考データ）

2.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.8 立ち上がり／立ち下がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
VCC立ち上がり勾配	スタートアップ時の電圧監視0リセット禁止	SrVCC	0.0084	-	20	ms/V	-
	スタートアップ時の電圧監視0リセット許可		0.0084	-	-		-
	SCI/USB ブートモード (注1)		0.0084	-	20		-
VCC立ち下がり勾配 (注2)		SfVCC	0.0084	-	-	ms/V	-

注 1. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 リセットは無効です。

注 2. VBATT を使用する場合に適用します。

表 2.9 立ち上がり／立ち下がり勾配とリップル周波数特性

リップル電圧は、VCC 上限 (3.6V) と下限 (2.7V) の範囲内で、許容リップル周波数 $f_{r(VCC)}$ を満たす必要があります。VCC 変動が $VCC \pm 10\%$ を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r(VCC)}$	-	-	10	kHz	図 2.6 $V_{r(VCC)} \leq VCC \times 0.2$
		-	-	1	MHz	図 2.6 $V_{r(VCC)} \leq VCC \times 0.08$
		-	-	10	MHz	図 2.6 $V_{r(VCC)} \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	-	-	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

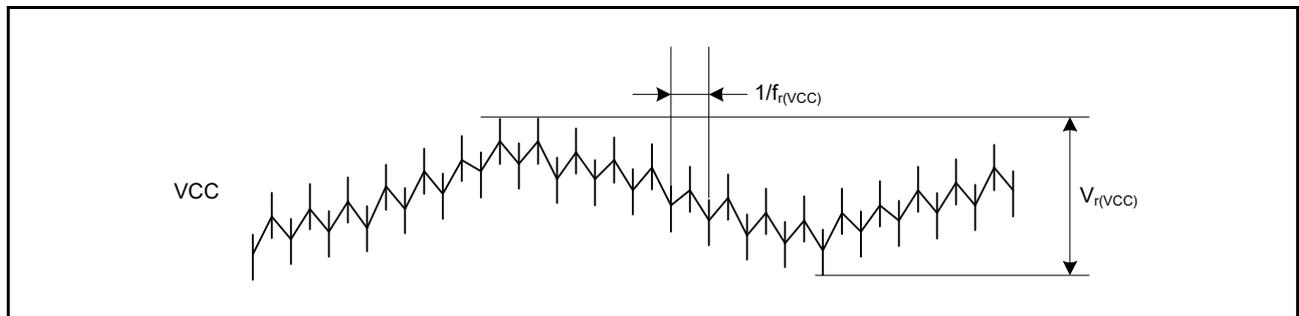


図 2.6 リップル波形

2.3 AC 特性

2.3.1 周波数

表 2.10 Hig-speedモードにおける動作周波数

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注2)	f	-	-	120	MHz
	周辺モジュールクロック (PCLKA) (注2)		-	-	120	
	周辺モジュールクロック (PCLKB) (注2)		-	-	60	
	周辺モジュールクロック (PCLKC) (注2)		- (注3)	-	60	
	周辺モジュールクロック (PCLKD) (注2)		-	-	120	
	フラッシュインタフェースクロック (FCLK) (注2)		- (注1)	-	60	
	外部バスクロック (BCLK) (注2)		-	-	120	
	EBCLK端子出力		-	-	60	
	SDCLK端子出力		VCC ≥ 3.0V	-	-	

- 注 1. フラッシュメモリのプログラミング/イレース中、FCLK は 4MHz 以上の周波数で実行する必要があります。
 注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、および BCLK 相互間の周波数関係についてはユーザーズマニュアルの「9. クロック発生回路」を参照してください。
 注 3. ADC12 使用時、PCLKC 周波数は 1MHz 以上でなければなりません。

表 2.11 Low-speedモードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注2)	f	-	-	1	MHz
	周辺モジュールクロック (PCLKA) (注2)		-	-	1	
	周辺モジュールクロック (PCLKB) (注2)		-	-	1	
	周辺モジュールクロック (PCLKC) (注2) (注3)		- (注3)	-	1	
	周辺モジュールクロック (PCLKD) (注2)		-	-	1	
	フラッシュインタフェースクロック (FCLK) (注1) (注2)		-	-	1	
	外部バスクロック (BCLK)		-	-	1	
	EBCLK端子出力		-	-	1	

- 注 1. フラッシュメモリのプログラム/イレースは、Low-speed モードでは許可されていません。
 注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、および BCLK 相互間の周波数関係についてはユーザーズマニュアルの「9. クロック発生回路」を参照してください。
 注 3. ADC12 使用時、PCLKC 周波数は 1MHz 以上でなければなりません。

表 2.12 Subosc-speedモードにおける動作周波数

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注2)	f	29.4	-	36.1	kHz
	周辺モジュールクロック (PCLKA) (注2)		-	-	36.1	
	周辺モジュールクロック (PCLKB) (注2)		-	-	36.1	
	周辺モジュールクロック (PCLKC) (注2) (注3)		-	-	36.1	
	周辺モジュールクロック (PCLKD) (注2)		-	-	36.1	
	フラッシュインタフェースクロック (FCLK) (注1) (注2)		29.4	-	36.1	
	外部バスクロック (BCLK) (注2)		-	-	36.1	
	EBCLK端子出力		-	-	36.1	

- 注 1. フラッシュメモリのプログラム/イレースは、Subosc-speed モードでは許可されていません。
 注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、および BCLK 相互間の周波数関係についてはユーザーズマニュアルの「9. クロック発生回路」を参照してください。
 注 3. ADC12 は使用できません。

2.3.2 クロックタイミング

表 2.13 サブクロック発振器以外のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件	
EBCLK 端子出力サイクル時間	t_{Bcyc}	16.6	-	-	ns	図 2.7	
EBCLK 端子出力 High レベルパルス幅	t_{CH}	3.3	-	-	ns		
EBCLK 端子出力 Low レベルパルス幅	t_{CL}	3.3	-	-	ns		
EBCLK 端子出力立ち上がり時間	t_{Cr}	-	-	5.0	ns		
EBCLK 端子出力立ち下がり時間	t_{Cf}	-	-	5.0	ns		
SDCLK 端子出力サイクル時間	t_{SDcyc}	8.33	-	-	ns		
SDCLK 端子出力 High レベルパルス幅	t_{CH}	1.0	-	-	ns		
SDCLK 端子出力 Low レベルパルス幅	t_{CL}	1.0	-	-	ns		
SDCLK 端子出力立ち上がり時間	t_{Cr}	-	-	3.0	ns		
SDCLK 端子出力立ち下がり時間	t_{Cf}	-	-	3.0	ns		
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	41.66	-	-	ns	図 2.8	
EXTAL 外部クロック入力 High レベルパルス幅	t_{EXH}	15.83	-	-	ns		
EXTAL 外部クロック入力 Low レベルパルス幅	t_{EXL}	15.83	-	-	ns		
EXTAL 外部クロック立ち上がり時間	t_{EXr}	-	-	5.0	ns		
EXTAL 外部クロック立ち下がり時間	t_{EXf}	-	-	5.0	ns		
メインクロック発振器周波数	f_{MAIN}	8	-	24	MHz	-	
メインクロック発振安定待機時間 (水晶) (注1)	$t_{MAINOSCWT}$	-	-	- (注1)	ms	図 2.9	
LOCO クロック発振周波数	f_{LOCO}	29.4912	32.768	36.0448	kHz	-	
LOCO クロック発振安定待機時間	t_{LOCOWT}	-	-	60.4	μ s	図 2.10	
ILOCO クロック発振周波数	f_{ILOCO}	13.5	15	16.5	kHz	-	
MOCO クロック発振周波数	F_{MOCO}	6.8	8	9.2	MHz	-	
MOCO クロック発振安定待機時間	t_{MOCOWT}	-	-	15.0	μ s	-	
HOCO クロック発振器発振周波数	FLL なし	f_{HOCO16}	15.78	16	16.22	MHz	$-20 \leq Ta \leq 105^\circ\text{C}$
		f_{HOCO18}	17.75	18	18.25		
		f_{HOCO20}	19.72	20	20.28		
		f_{HOCO16}	15.71	16	16.29		$-40 \leq Ta \leq -20^\circ\text{C}$
		f_{HOCO18}	17.68	18	18.32		
		f_{HOCO20}	19.64	20	20.36		
	FLL あり	f_{HOCO16}	15.960	16	16.040	MHz	$-40 \leq Ta \leq 105^\circ\text{C}$ サブクロック周波数精度は、 $\pm 50\text{ppm}$ です。
		f_{HOCO18}	17.955	18	18.045		
		f_{HOCO20}	19.950	20	20.050		
HOCO クロック発振安定待機時間 (注2)	t_{HOCOWT}	-	-	64.7	μ s	-	
FLL 安定待機時間	t_{FLLWT}	-	-	1.8	ms	-	
PLL クロック周波数	f_{PLL}	120	-	240	MHz	-	
PLL クロック発振安定待機時間	t_{PLLWT}	-	-	174.9	μ s	図 2.11	

注 1. メインクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。

注 2. リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

表 2.14 サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	-	32.768	-	kHz	-
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	-	-	- (注1)	s	図 2.12

注 1. サブクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。
 サブクロック動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。示された時間の2倍を推奨します。

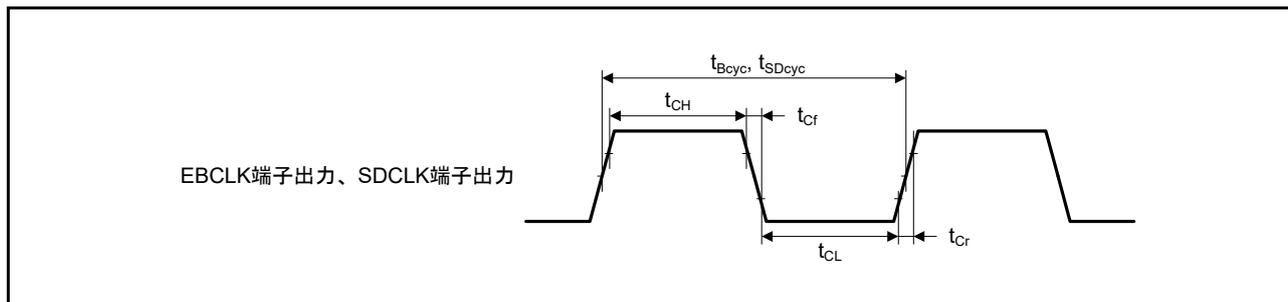


図 2.7 EBCLK および SDCLK の出力タイミング

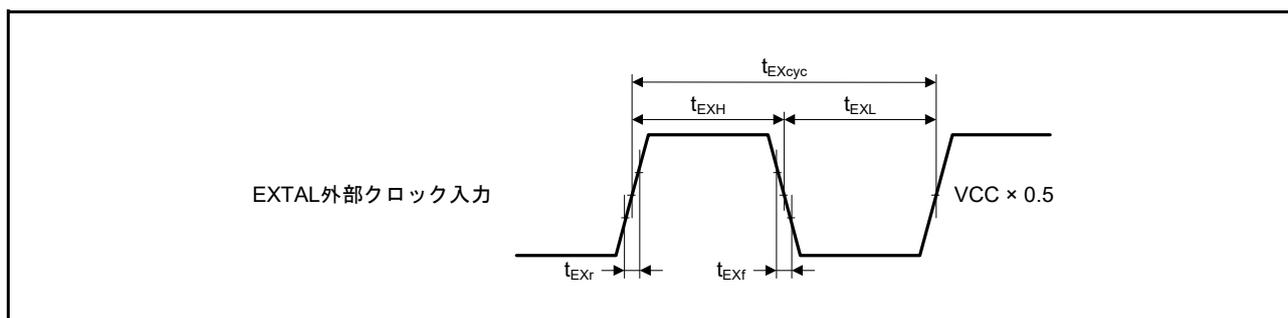


図 2.8 EXTAL 外部クロック入力タイミング

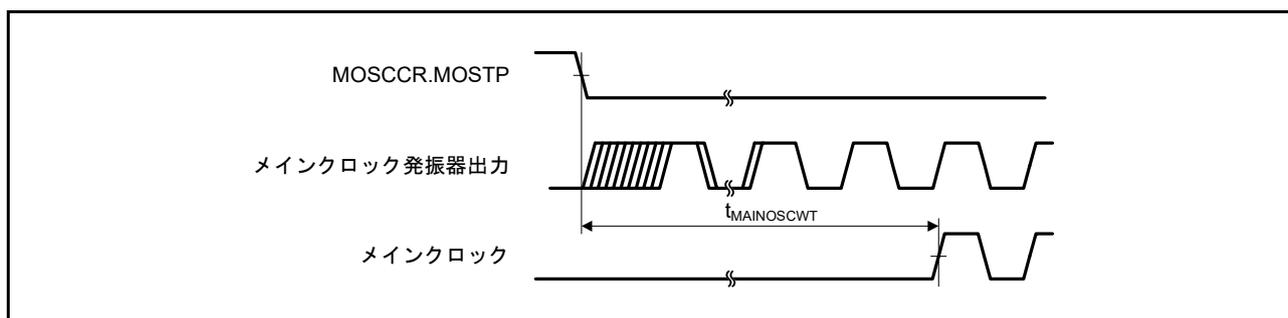


図 2.9 メインクロック発振開始タイミング

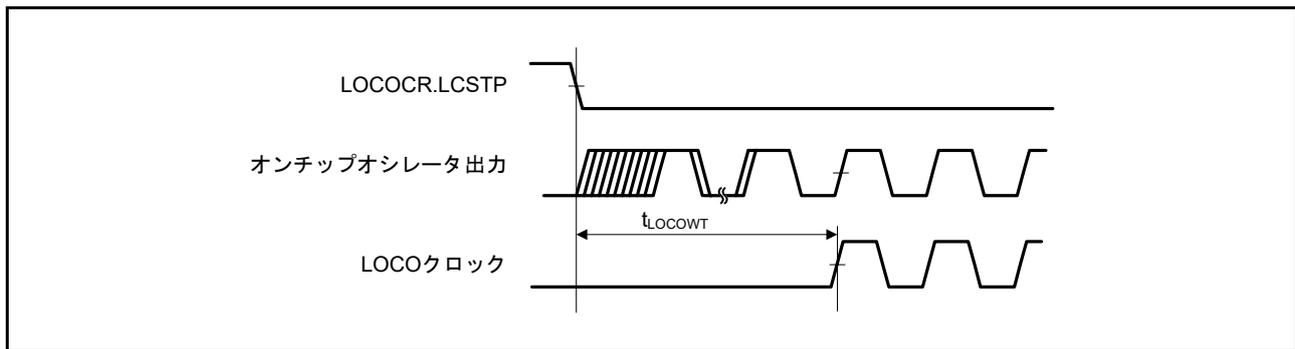


図 2.10 LOCO クロック発振開始タイミング

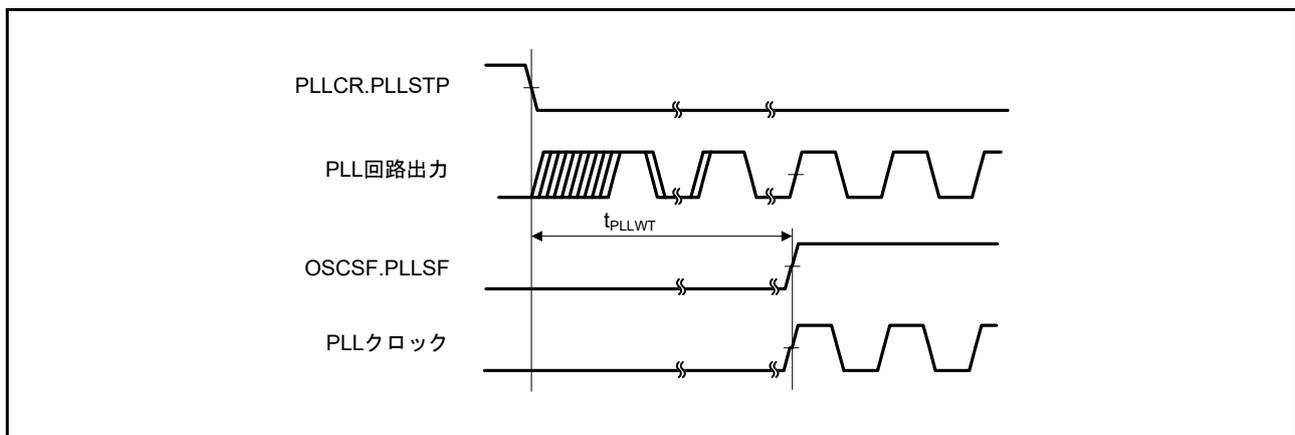


図 2.11 PLL クロック発振開始タイミング

注. メインクロックの発振が安定した後に PLL を動作させてください。

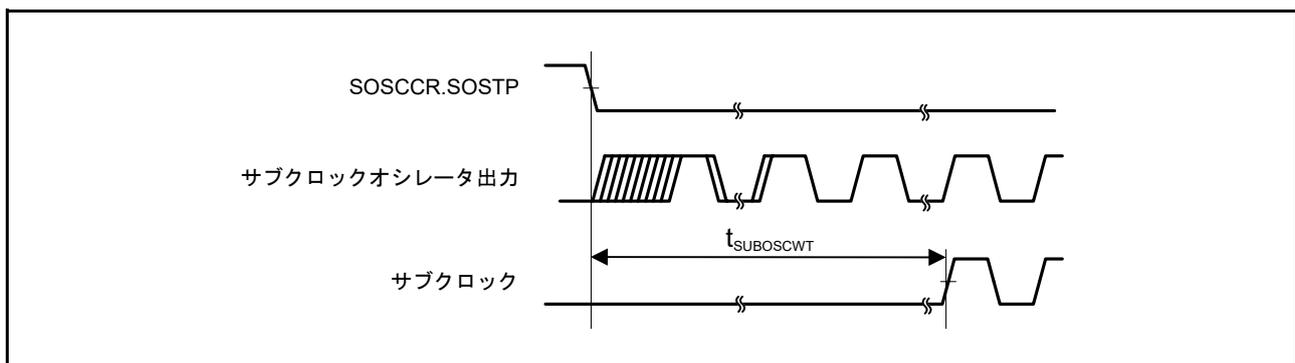


図 2.12 サブクロック発振開始タイミング

2.3.3 リセットタイミグ

表 2.15 リセットタイミグ

項目		シンボル	Min	Typ	Max	単位	測定条件
RESパルス幅	パワーオン	t_{RESWP}	1	-	-	ms	図 2.13
	ディープソフトウェアスタンバイモード	t_{RESWD}	0.6	-	-	ms	図 2.14
	ソフトウェアスタンバイモード、Subosc-speedモード	t_{RESWS}	0.3	-	-	ms	
	上記以外	t_{RESW}	200	-	-	μ s	
RES解除後の待機時間		t_{RESWT}	-	29	32	μ s	図 2.13
内部リセット解除後の待機時間 (IWDTリセット、WDTリセット、ソフトウェアリセット、 SRAMパリティエラーリセット、SRAM ECCエラーリセット、 バスマスタMPUエラーリセット、バスマスタMPUエラーリ セット、スタックポインタエラーリセット)		t_{RESW2}	-	320	390	μ s	-

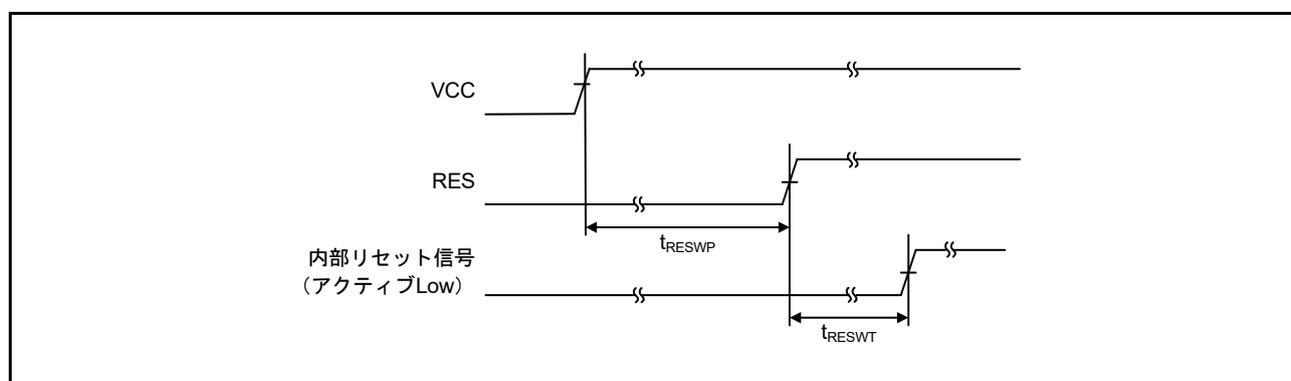


図 2.13 パワーオンリセットタイミグ

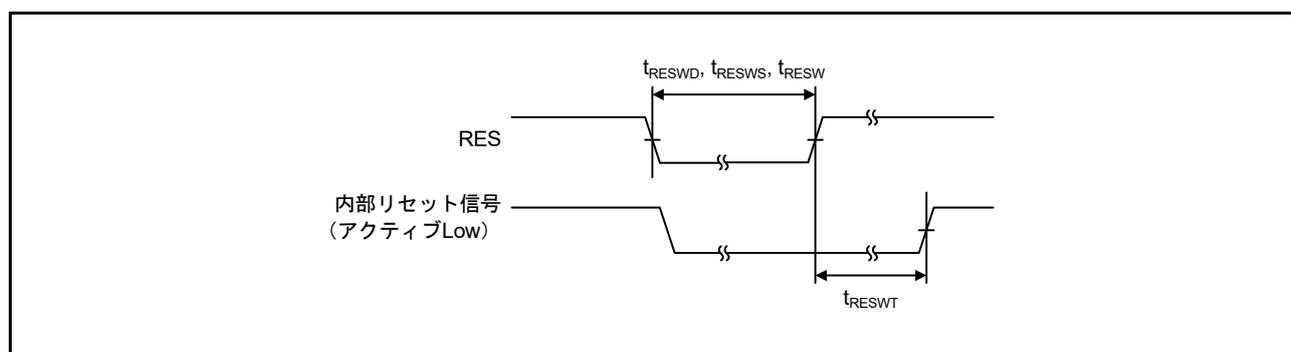


図 2.14 リセット入力タイミグ

2.3.4 ウェイクアップタイミング

表 2.16 低消費電力モードからの復帰のタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからの復帰時間 (注1)	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (注2)	t_{SBYMC}	-	2.4 (注9)	2.8 (注9)	ms	図 2.15 全発振器の分周比は1です。
		システムクロックソースはメインクロック発振器を使用したPLL (注3)	t_{SBYPC}	-	2.7 (注9)	3.2 (注9)	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (注4)	t_{SBYEX}	-	230 (注9)	280 (注9)	μ s	
		システムクロックソースはメインクロック発振器を使用したPLL (注5)	t_{SBYPE}	-	570 (注9)	700 (注9)	μ s	
	システムクロックソースはサブクロック発振器 (注8)		t_{SBYSC}	-	1.2 (注9)	1.3 (注9)	ms	
	システムクロックソースはLOCO (注8)		t_{SBYLO}	-	1.2 (注9)	1.4 (注9)	ms	
	システムクロックソースはHOCOクロック発振器 (注6)		t_{SBYHO}	-	240 (注9) (注10)	300 (注9) (注10)	μ s	
	システムクロックソースはMOCOクロック発振器 (注7)		t_{SBYMO}	-	220 (注9)	300 (注9)	μ s	
ディープソフトウェアスタンバイモードからの復帰時間		t_{DSBY}	-	0.65	1.0	ms	図 2.16	
ディープソフトウェアスタンバイモード解除後待機時間		t_{DSBYWT}	34	-	35	t_{cyc}		
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	システムクロックソースがHOCO (20MHz) の場合はHigh-speedモード	t_{SNZ}	-	35 (注9) (注10)	70 (注9) (注10)	μ s	図 2.17	
	システムクロックソースがMOCO (8MHz) の場合はHigh-speedモード	t_{SNZ}	-	11 (注9)	14 (注9)	μ s		

- 注 1. 復帰時間はシステムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定できます。
総復帰時間 = システムクロックソースとしての発振器の復帰時間 + システムクロックソースより長い安定時間を要する発振器の最長発振安定時間 + 2LOCO サイクル (LOCO が動作している場合) + 3SOSC サイクル (Subosc が発振中かつ MSTPC0 = 0 (CAC モジュール停止) の場合)。
- 注 2. 水晶の周波数が 24MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 05h のとき)。その他の設定 (MOSCWTCR が Xh) の場合、復帰時間は以下の計算式で決定できます。
 $t_{SBYMC} (\text{MOSCWTCR} = Xh) = t_{SBYMC} (\text{MOSCWTCR} = 05h) + (t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = Xh) - t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = 05h))$
- 注 3. PLL の周波数が 240MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 05h のとき)。その他の設定 (MOSCWTCR が Xh) の場合、復帰時間は以下の計算式で決定できます。
 $t_{SBYMC} (\text{MOSCWTCR} = Xh) = t_{SBYMC} (\text{MOSCWTCR} = 05h) + (t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = Xh) - t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = 05h))$
- 注 4. 外部クロックの周波数が 24MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 01h のとき)。その他の設定 (MOSCWTCR が Xh) の場合、復帰時間は以下の計算式で決定できます。
 $t_{SBYMC} (\text{MOSCWTCR} = Xh) = t_{SBYMC} (\text{MOSCWTCR} = 01h) + (t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = Xh) - t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = 01h))$
- 注 5. PLL の周波数が 240MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 01h のとき)。その他の設定 (MOSCWTCR が Xh) の場合、復帰時間は以下の計算式で決定できます。
 $t_{SBYMC} (\text{MOSCWTCR} = Xh) = t_{SBYMC} (\text{MOSCWTCR} = 01h) + (t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = Xh) - t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = 01h))$
- 注 6. HOCO 周波数は 20MHz です。
- 注 7. MOCO 周波数は 8MHz です。
- 注 8. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードで発振を継続します。
- 注 9. SNZCR.RXDREQEN ビットが 0 のとき、下記の時間が電源復帰時間として追加されます：
STCONR.STCON[1:0] = 00b : 16 μ s (標準)、34 μ s (最大)
STCONR.STCON[1:0] = 11b : 16 μ s (標準)、104 μ s (最大)
- 注 10. SNZCR.RXDREQEN ビットが 0 のとき、16 μ s (標準) または 18 μ s (最大) が HOCO 待機時間として追加されます。

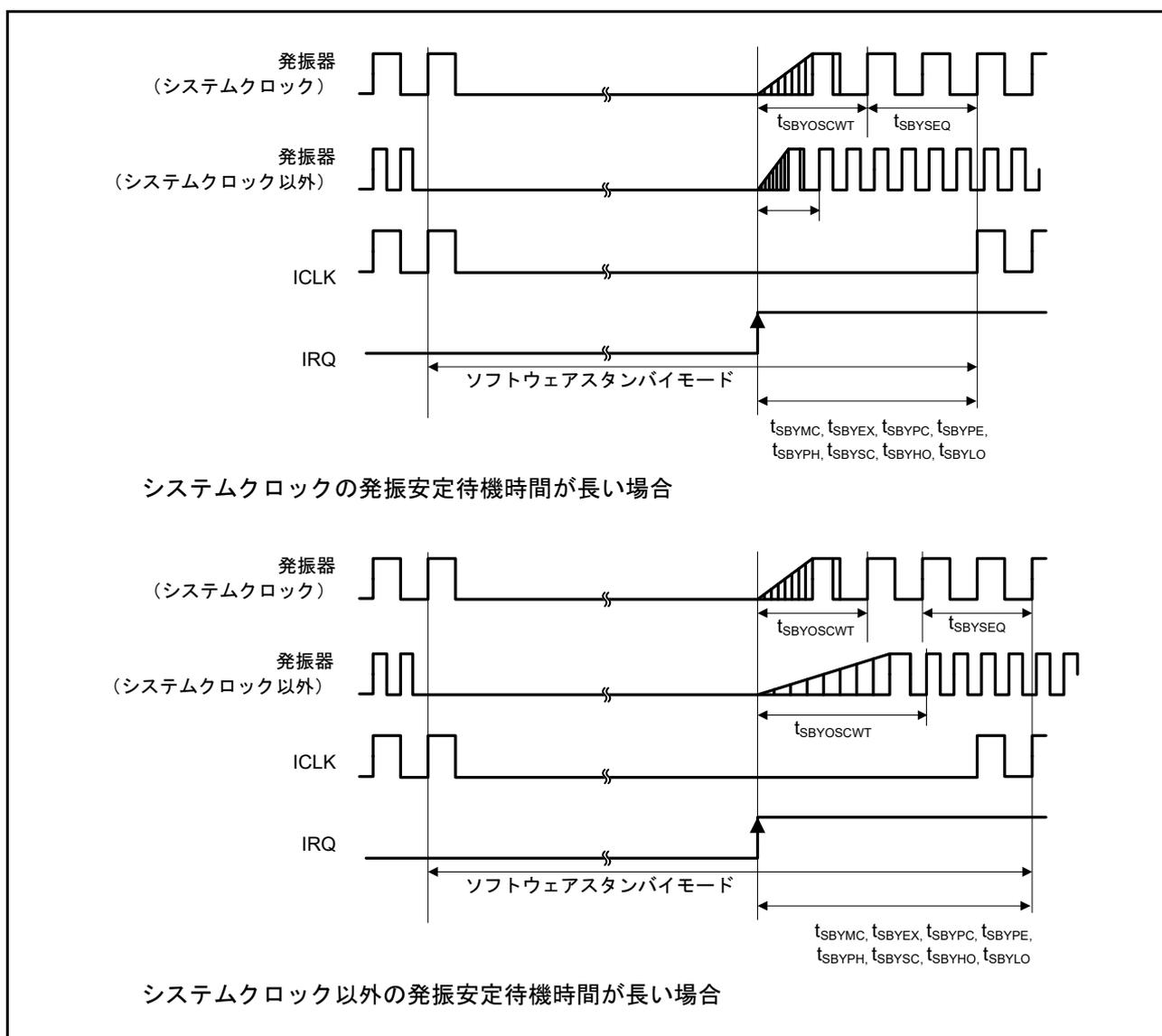


図 2.15 ソフトウェアスタンバイモード解除タイミング

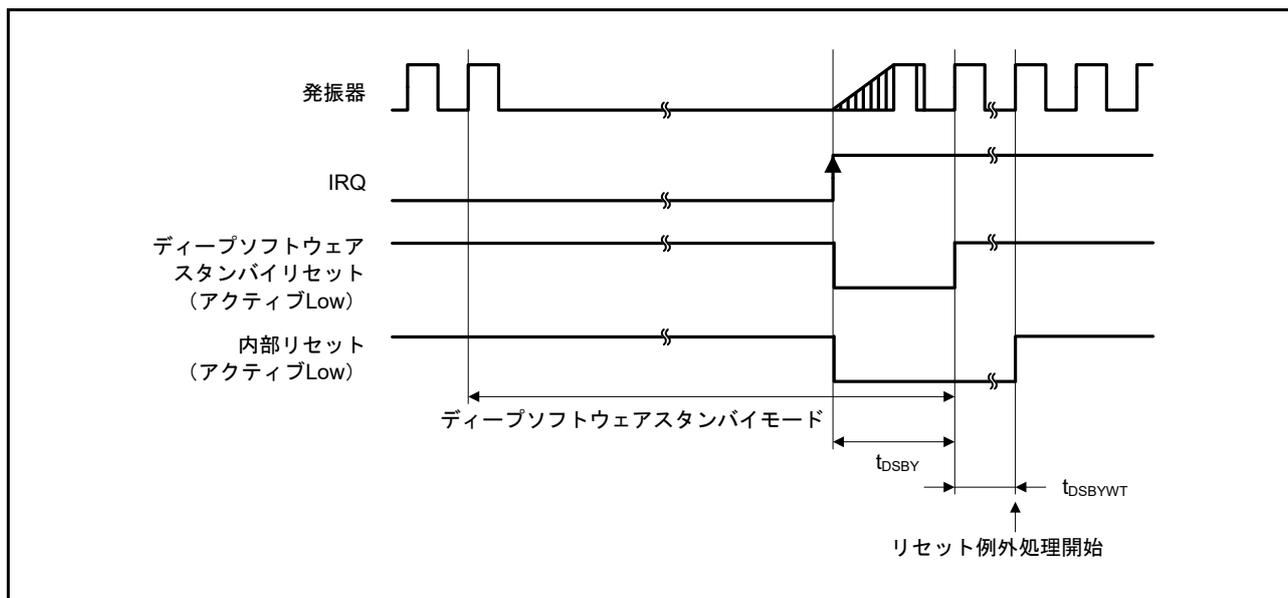
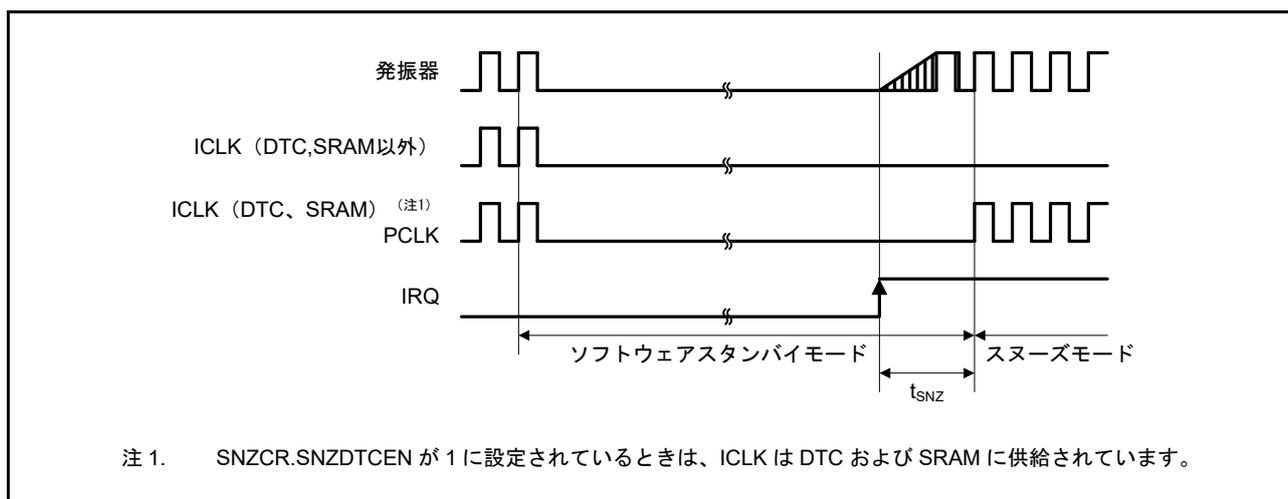


図 2.16 ディープソフトウェアスタンバイモード解除タイミング



注 1. SNZCR.SNZDTCEN が 1 に設定されているときは、ICLK は DTC および SRAM に供給されています。

図 2.17 ソフトウェアスタンバイモードからスリープモードへのリカバリタイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.17 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	-	-	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	-	-			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	-	-	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	-	-			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小 200ns です。

注. クロックソースを切り替えたときは、切り替え後のクロックソースの 4 クロックサイクル分を加えてください。

注 1. t_{Pcyc} は PCLKB の周期を意味します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を意味します。

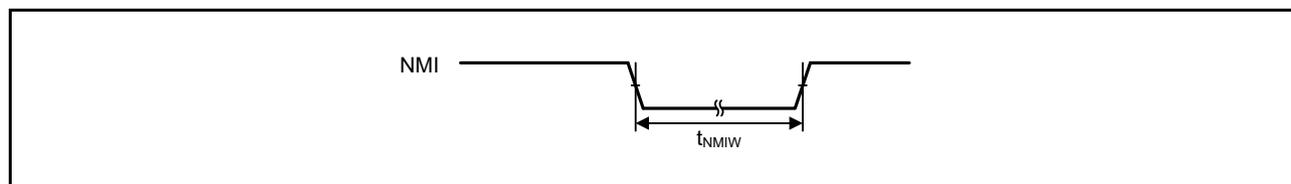


図 2.18 NMI 割り込み入カタイミング

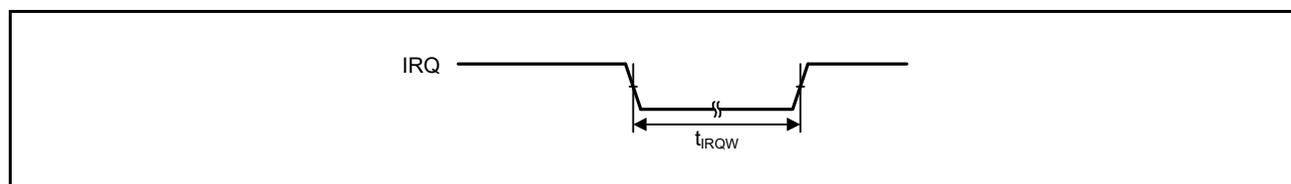


図 2.19 IRQ 割り込み入カタイミング

2.3.6 バスタイミング

表 2.18 バスタイミング

条件1：CS領域コントローラ（CSC）を使用する場合

BCLK = 8～120MHz、EBCLK = 8～60MHz

VCC = AVCC0 = VCC_USB = VBATT = 2.7～3.6V、VREFH/VREFH0 = 2.7V～AVCC0

出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 30pF

EBCLK：PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

その他：PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

条件2：SDRAM領域コントローラ（SDRAMC）を使用する場合

BCLK = SDCLK = 8～120MHz

VCC = AVCC0 = VCC_USB = VBATT = 3.0～3.6V、VREFH/VREFH0 = 3.0V～AVCC0

出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15pF

PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

条件3：SDRAM領域コントローラ（SDRAMC）とCS領域コントローラ（CSC）を同時に使用する場合

BCLK = SDCLK = 8～60MHz

VCC = AVCC0 = VCC_USB = VBATT = 3.0～3.6V、VREFH/VREFH0 = 3.0V～AVCC0

出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15pF

PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	t_{AD}	-	12.5	ns	図 2.20～ 図 2.25
バイトコントロール遅延時間	t_{BCD}	-	12.5	ns	
CS遅延時間	t_{CSD}	-	12.5	ns	
ALE遅延時間	t_{ALEd}	-	12.5	ns	
RD遅延時間	t_{RSD}	-	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	-	ns	
リードデータホールド時間	t_{RDH}	0	-	ns	
WR/WRn遅延時間	t_{WRD}	-	12.5	ns	
ライトデータ遅延時間	t_{WDD}	-	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	-	ns	
WAITセットアップ時間	t_{WTS}	12.5	-	ns	
WAITホールド時間	t_{WTH}	0	-	ns	
アドレス遅延時間2（SDRAM）	t_{AD2}	0.8	6.8	ns	図 2.27～ 図 2.30
CS遅延時間2（SDRAM）	t_{CSD2}	0.8	6.8	ns	
DQM遅延時間（SDRAM）	t_{DQMD}	0.8	6.8	ns	
CKE遅延時間（SDRAM）	t_{CKED}	0.8	6.8	ns	
リードデータセットアップ時間2（SDRAM）	t_{RDS2}	2.9	-	ns	
リードデータホールド時間2（SDRAM）	t_{RDH2}	1.5	-	ns	
ライトデータ遅延時間2（SDRAM）	t_{WDD2}	-	6.8	ns	
ライトデータホールド時間2（SDRAM）	t_{WDH2}	0.8	-	ns	
WE遅延時間（SDRAM）	t_{WED}	0.8	6.8	ns	
RAS遅延時間（SDRAM）	t_{RASD}	0.8	6.8	ns	
CAS遅延時間（SDRAM）	t_{CASD}	0.8	6.8	ns	

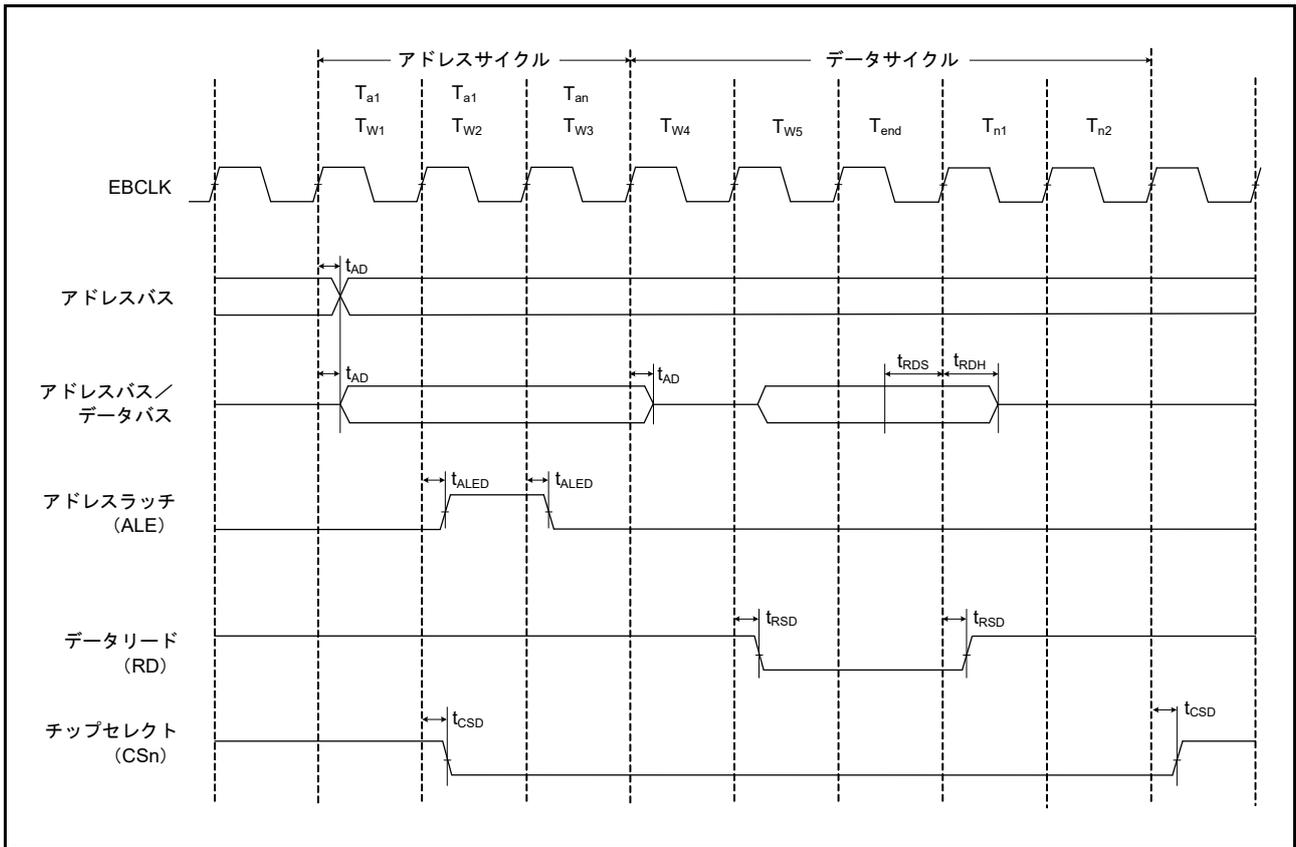


図 2.20 アドレス/データマルチプレクスバスのリードアクセスタイミング

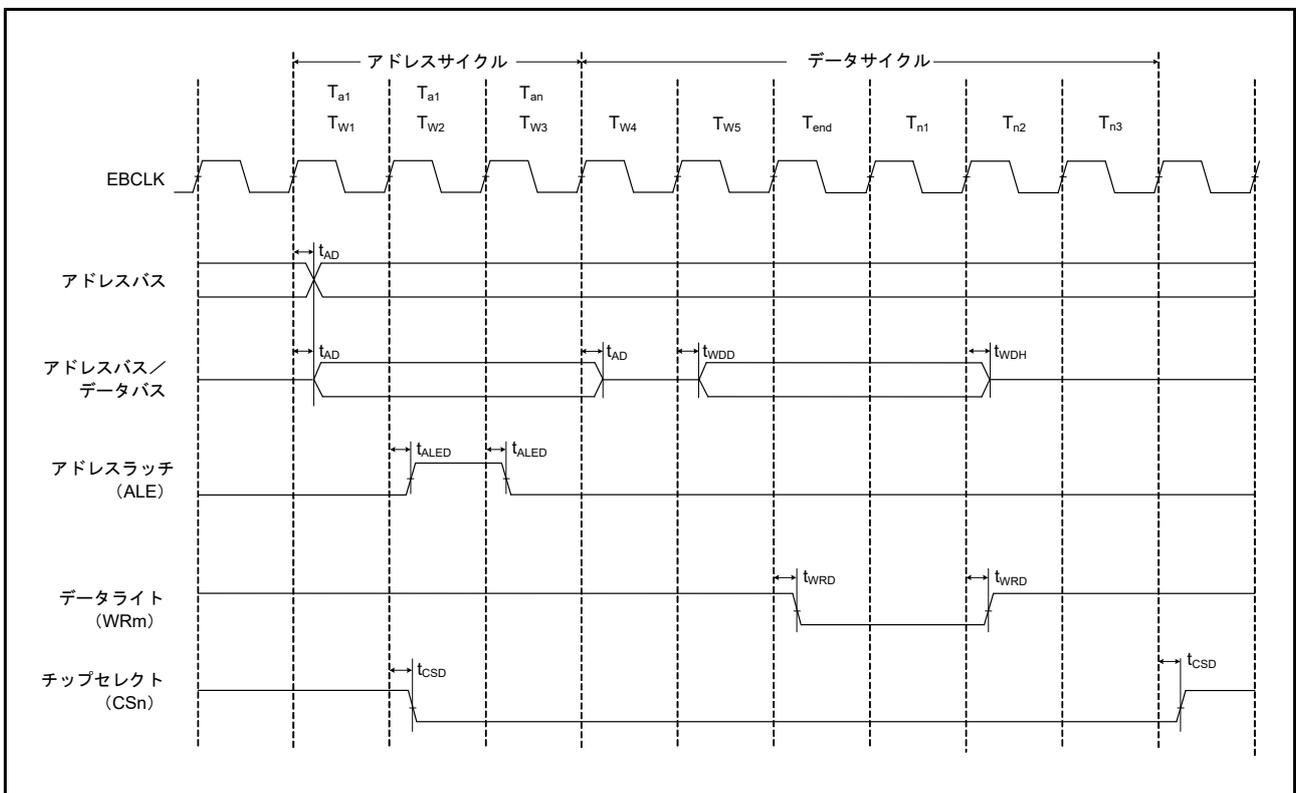


図 2.21 アドレス/データマルチプレクスバスのライトアクセスタイミング

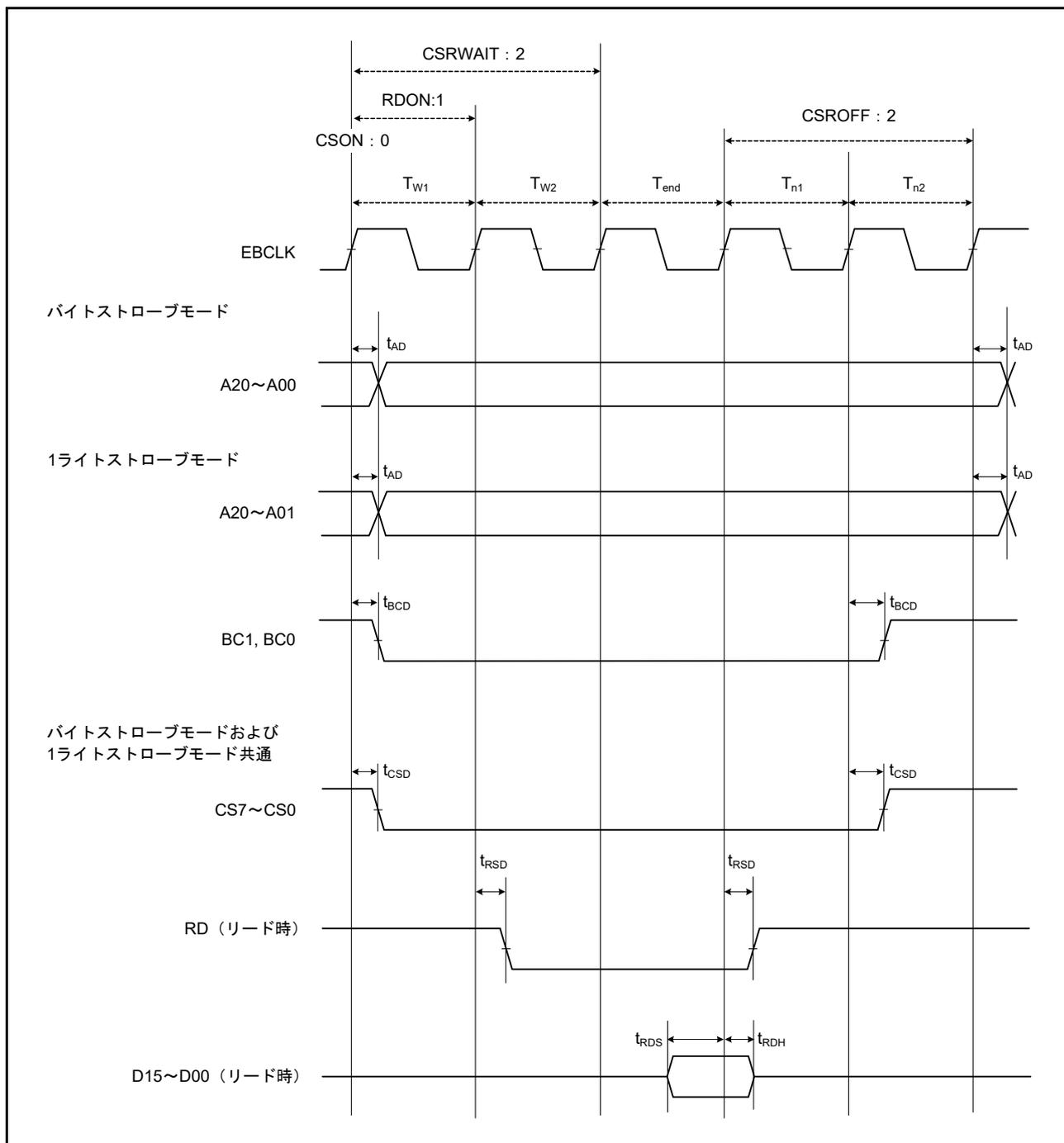


図 2.22 バスクロック同期を使用したノーマルリードサイクルの外部バスタイミング

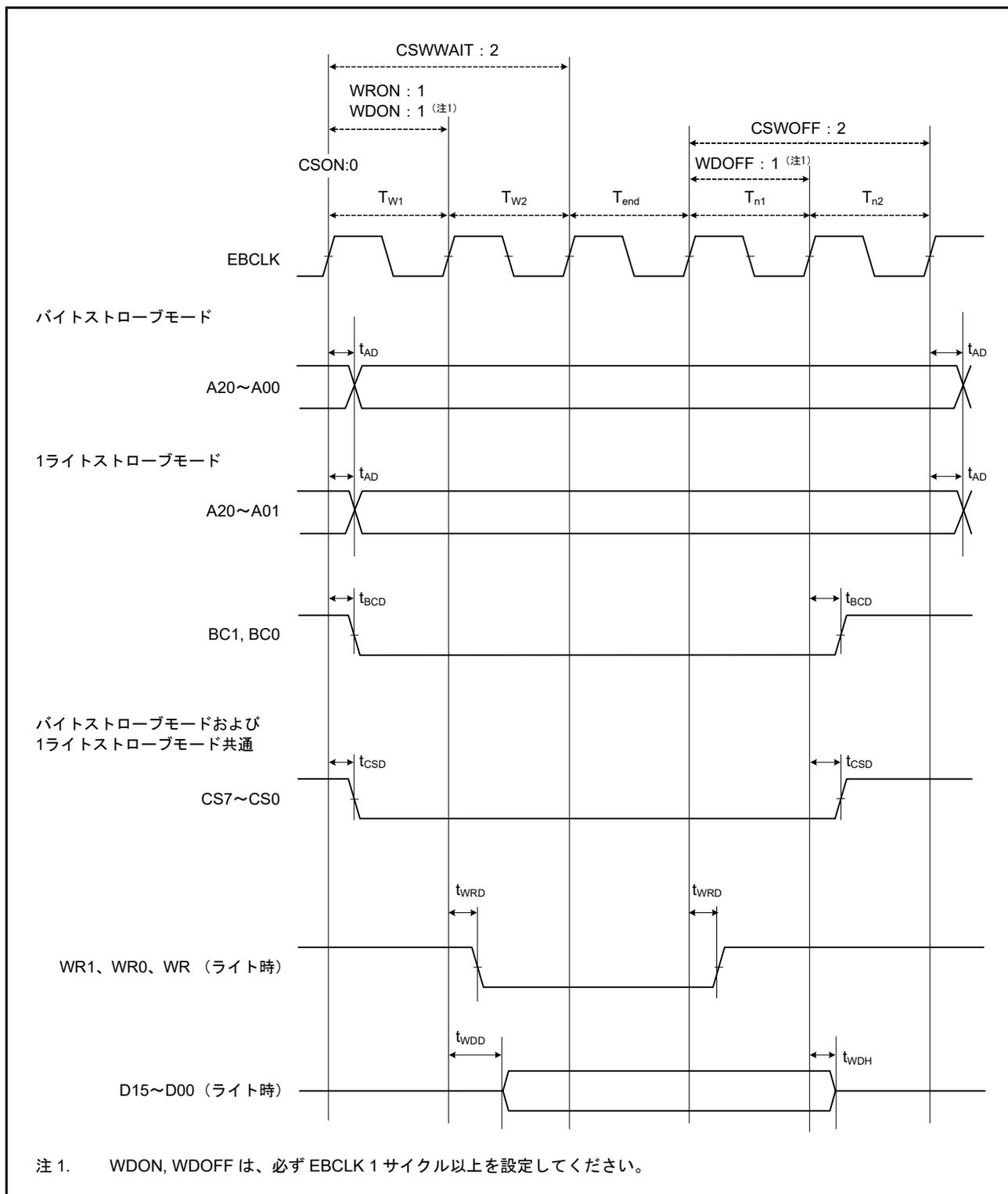


図 2.23 バスクロック同期を使用したノーマルライトサイクルの外部バスタイミング

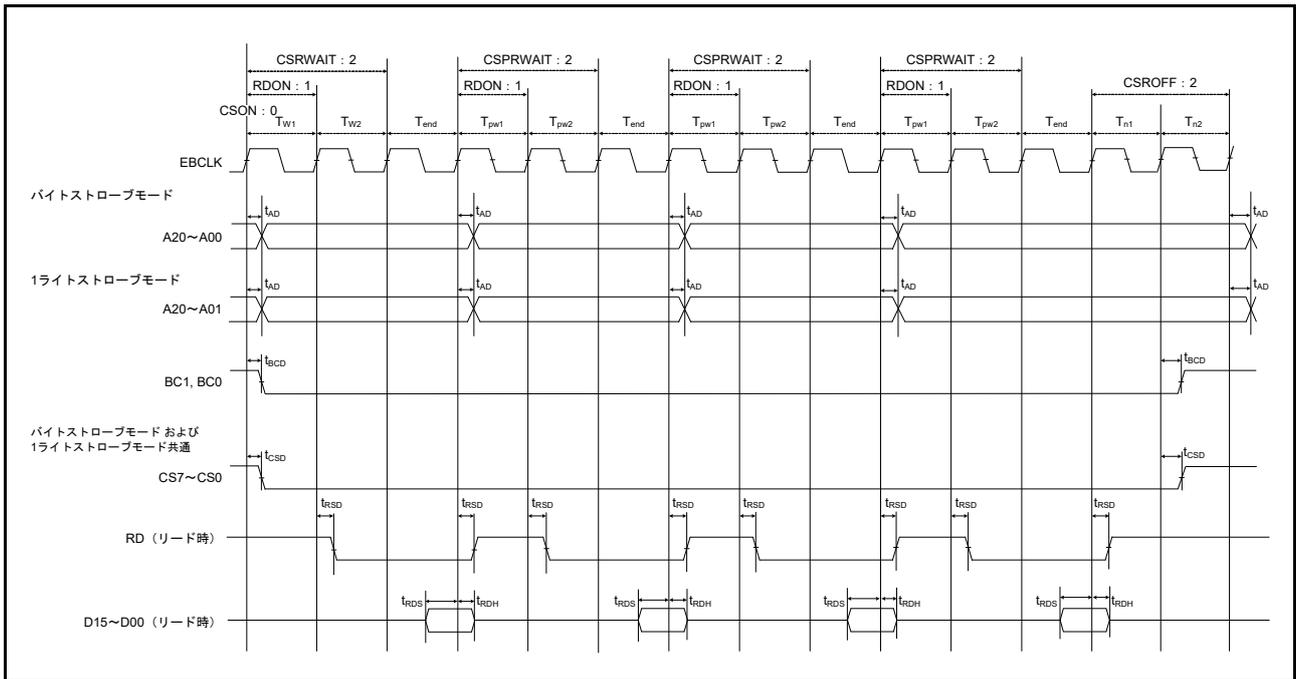


図 2.24 バスクロック同期を使用したページリードサイクルの外部バスタイミング

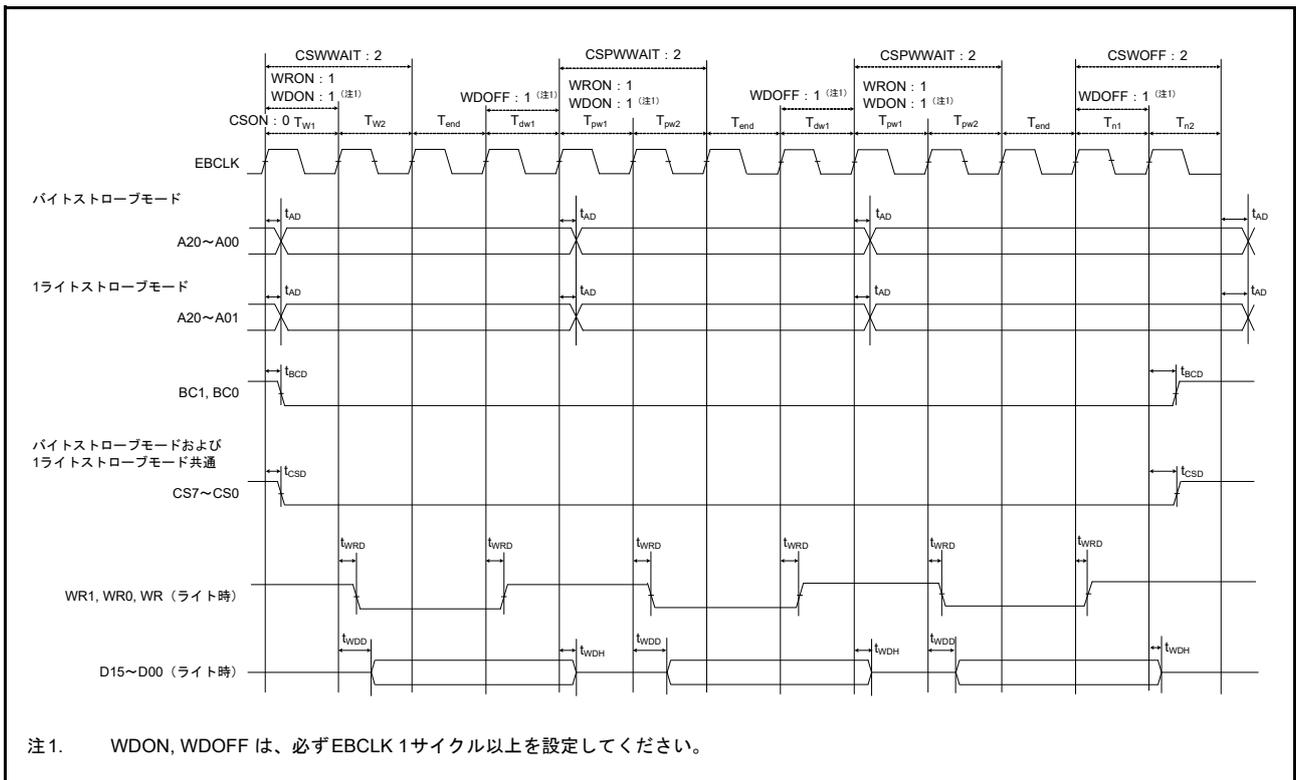


図 2.25 バスクロック同期を使用したページライトサイクルの外部バスタイミング

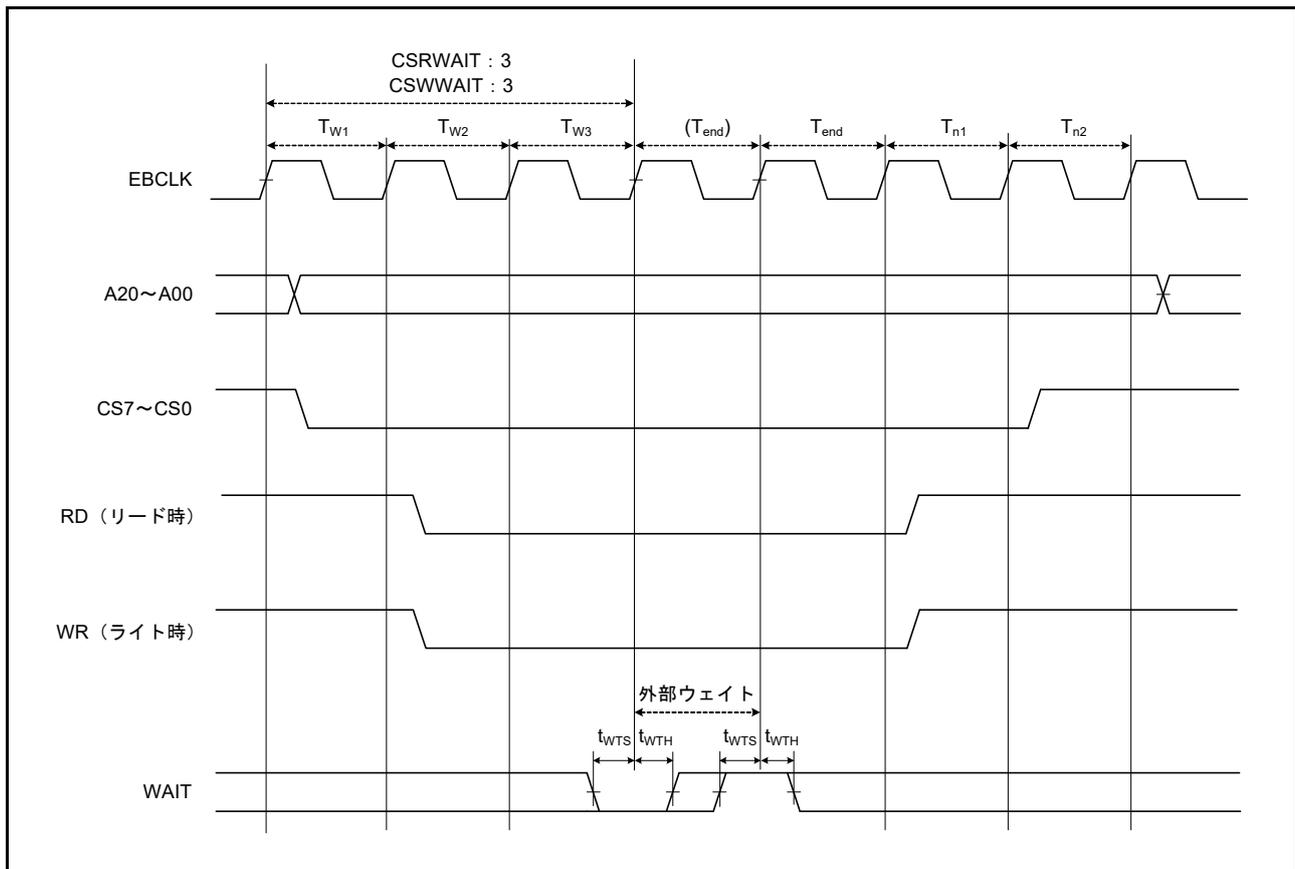


図 2.26 外部ウェイト制御の外部バスタイミング

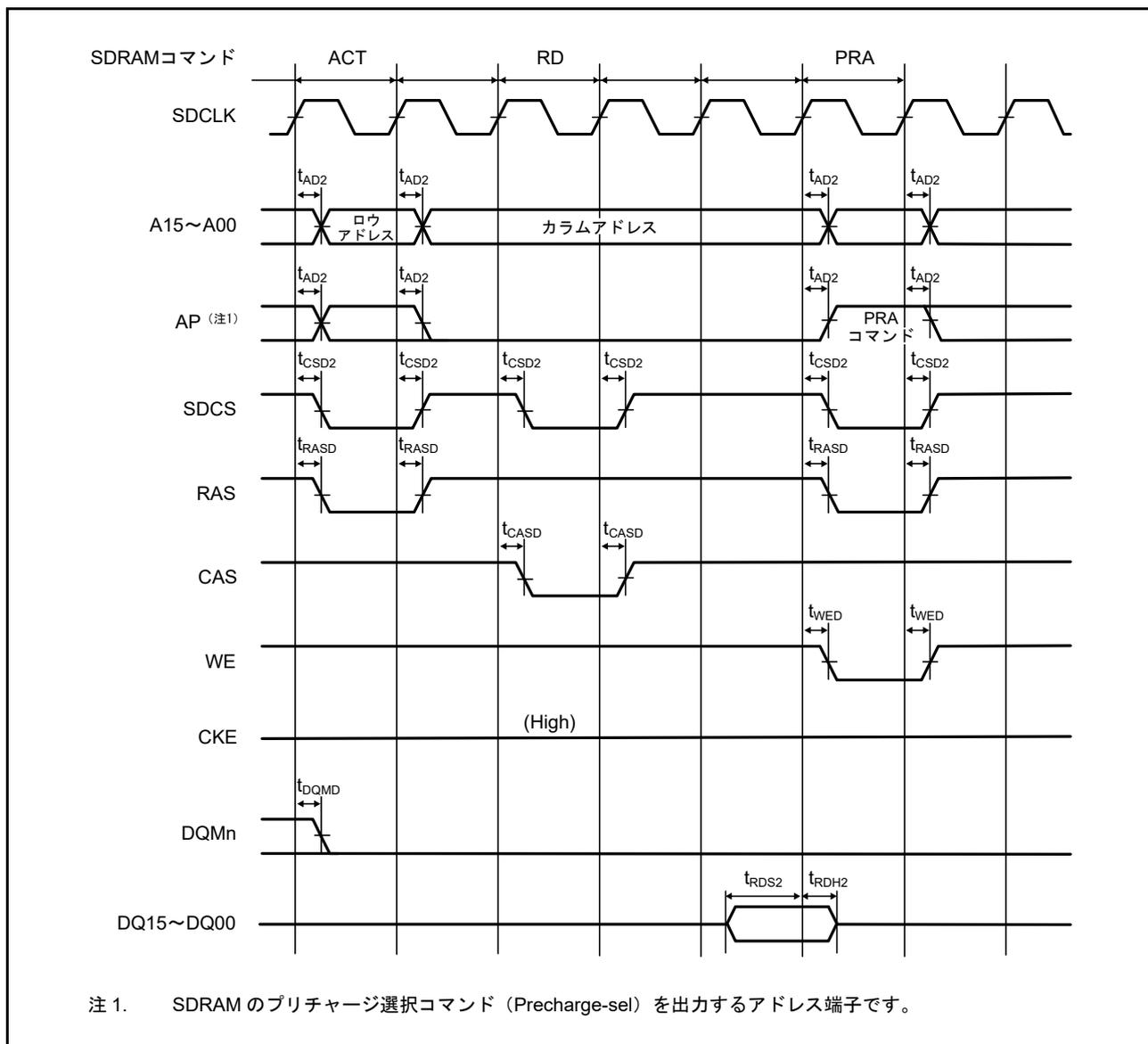


図 2.27 SDRAM シングルリードタイミング

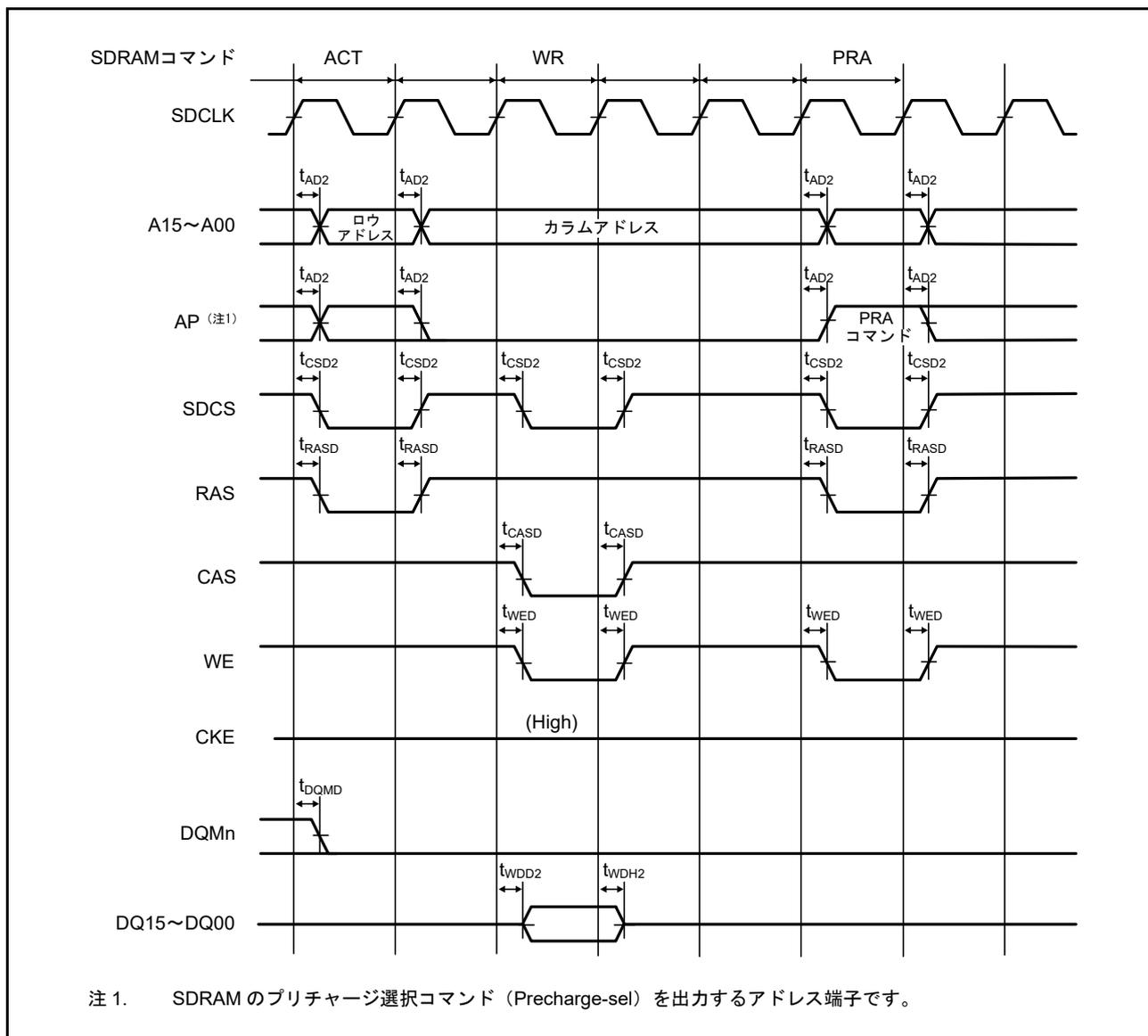


図 2.28 SDRAM シングルライトタイミング

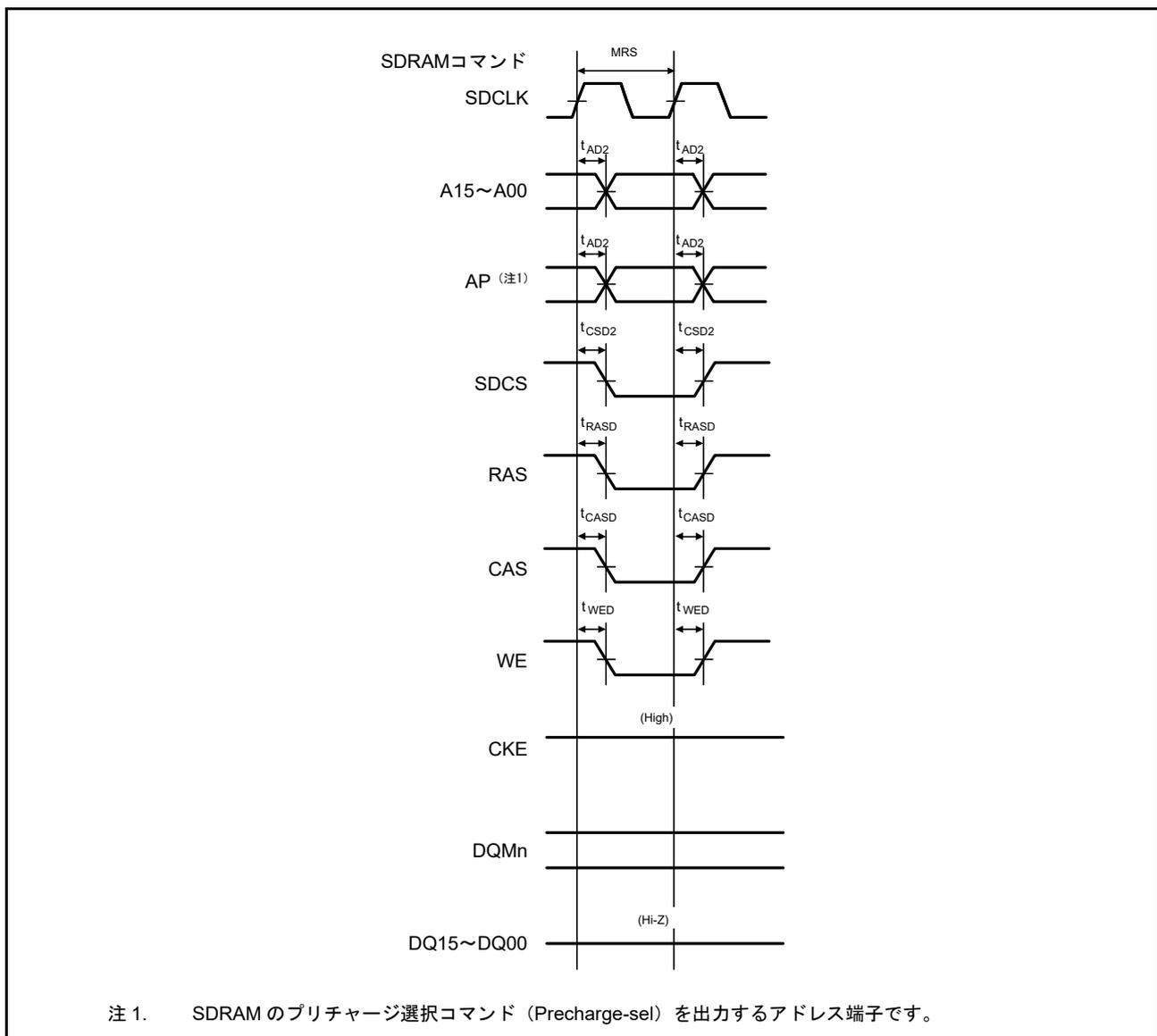


図 2.29 SDRAM モードレジスタセットタイミング

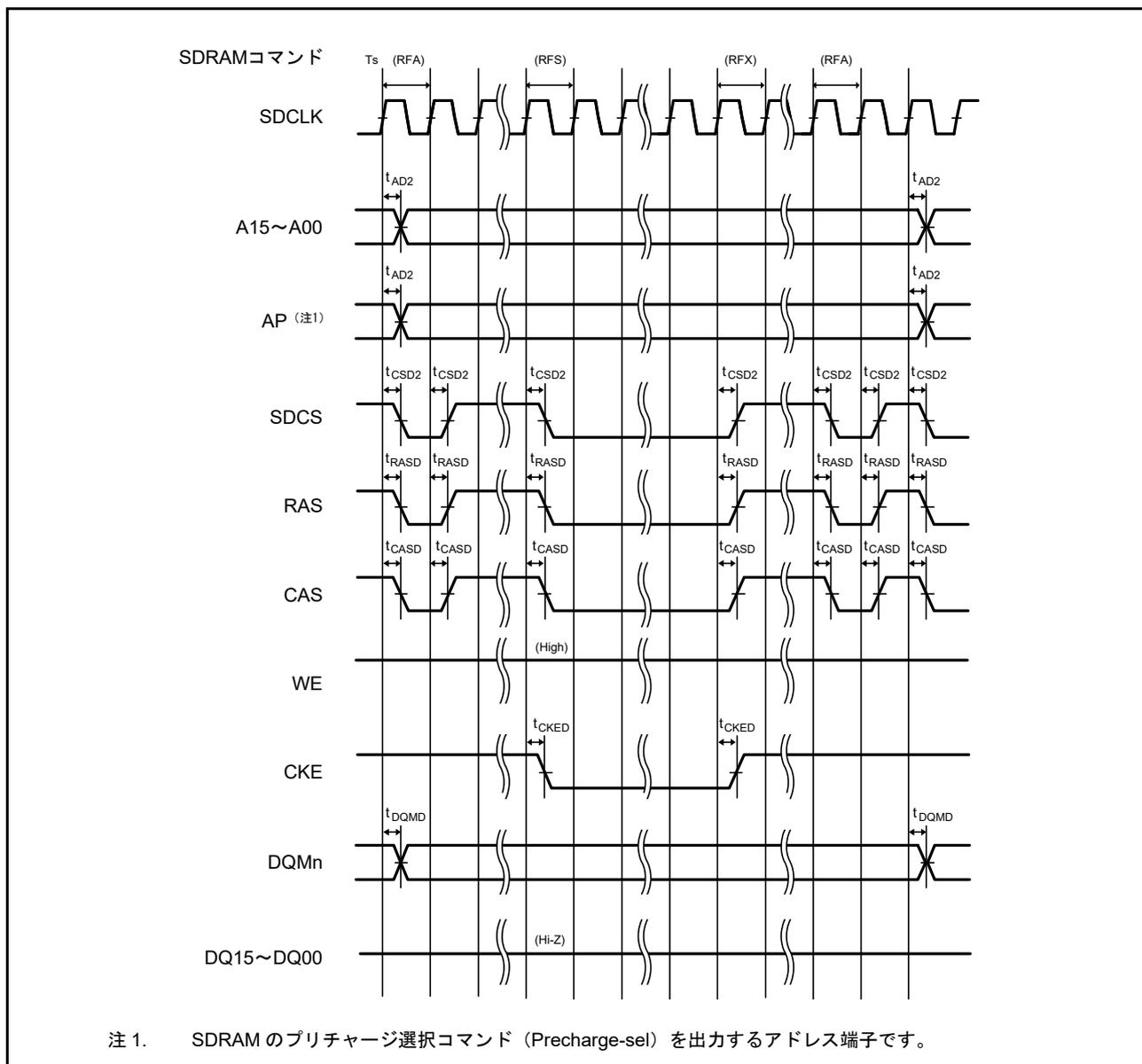


図 2.30 SDRAM セルフリフレッシュタイミング

2.3.7 I/O ポート、POEG、GPT、AGT、KINT、ADC12 トリガタイミング

表 2.19 I/Oポート、POEG、GPT、AGT、KINT、ADC12トリガタイミング

GPT条件：

PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

AGT条件：

PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	-	t_{Pcyc}	図 2.31	
POEG	POEG入力トリガパルス幅	t_{POEW}	3	-	t_{Pcyc}	図 2.32	
GPT32	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	-	t_{PDcyc}	図 2.33
		両エッジ		2.5	-		
	GTIOCxY 出カスケュー (x = 0~7, Y = AまたはB)	中駆動バッファ	t_{GTISK} (注1)	-	4	ns	図 2.34
		高駆動バッファ		-	4		
	GTIOCxY 出カスケュー (x = 8~13, Y = AまたはB)	中駆動バッファ		-	4		
		高駆動バッファ		-	4		
GTIOCxY 出カスケュー (x = 0~13, Y = AまたはB)	中駆動バッファ	-		6			
	高駆動バッファ	-		6			
OPS 出カスケュー GTOUUP、GTOULO、GTOVUP、 GTOVLO、GTOWUP、GTOWLO		t_{GTOSK}	-	5	ns	図 2.35	
GPT (PWM 遅延 生成回路)	GTIOCxY_Z 出カスケュー (x = 0~3, Y = AまたはB, Z = A)	t_{HRSK} (注2)	-	2.0	ns	図 2.36	
AGT	AGTIO、AGTEE 入力サイクル	t_{ACYC} (注3)	100	-	ns	図 2.37	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	t_{ACKWH} 、 t_{ACKWL}	40	-	ns		
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	t_{ACYC2}	62.5	-	ns		
ADC12	ADC12 トリガ入力パルス幅	t_{TRGW}	1.5	-	t_{Pcyc}	図 2.38	
KINT	KRn パルス幅 (n = 00~07)	t_{KR}	250	-	ns	図 2.39	

注. t_{Pcyc} : PCLKB サイクル、 t_{PDcyc} : PCLKD サイクル

注 1. このスケューは、同じドライバ I/O が使用されている場合に適用されます。中駆動ドライバと高駆動ドライバの I/O が混在する場合、動作は保証されません。

注 2. 負荷は 30pF です。

注 3. 入力サイクルの制約：

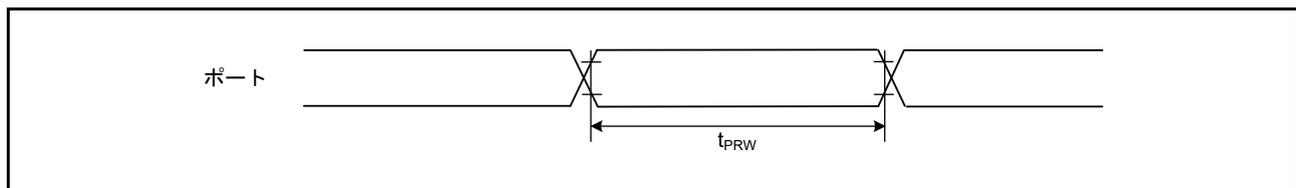
クロックソースを切り替えないときは、 $t_{Pcyc} \times 2 < t_{ACYC}$ としてください。クロックソースを切り替えたときは、 $t_{Pcyc} \times 6 < t_{ACYC}$ としてください。

図 2.31 I/Oポート入力タイミング

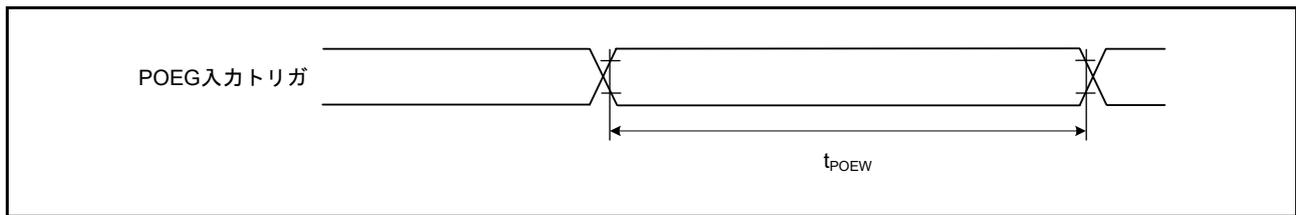


図 2.32 POEG 入力トリガタイミング

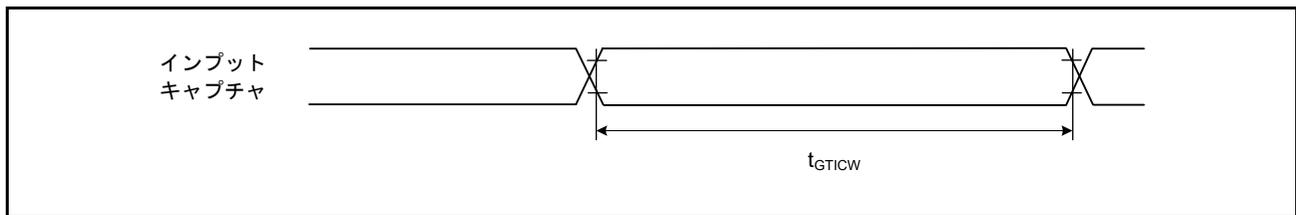


図 2.33 GPT インพุットキャプチャタイミング

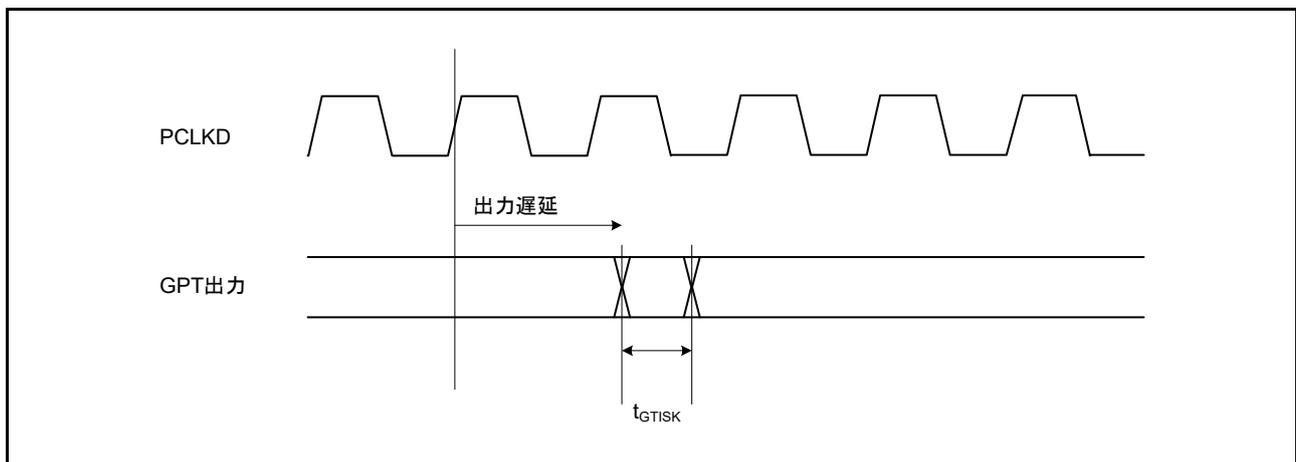


図 2.34 GPT 出力遅延スキュー

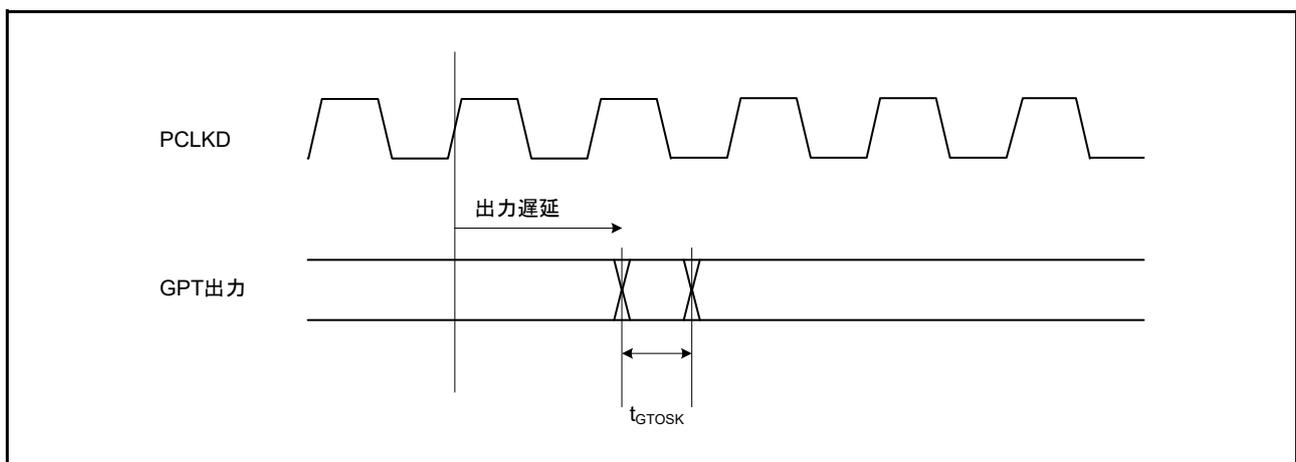


図 2.35 OPS の GPT 出力遅延スキュー

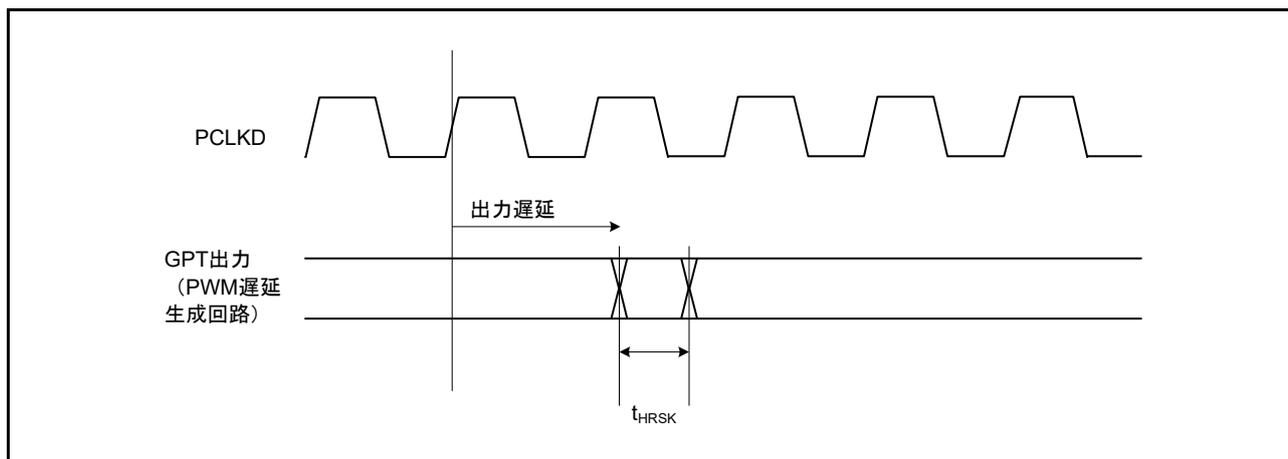


図 2.36 GPT (PWM 遅延生成回路) 出力遅延スキュー

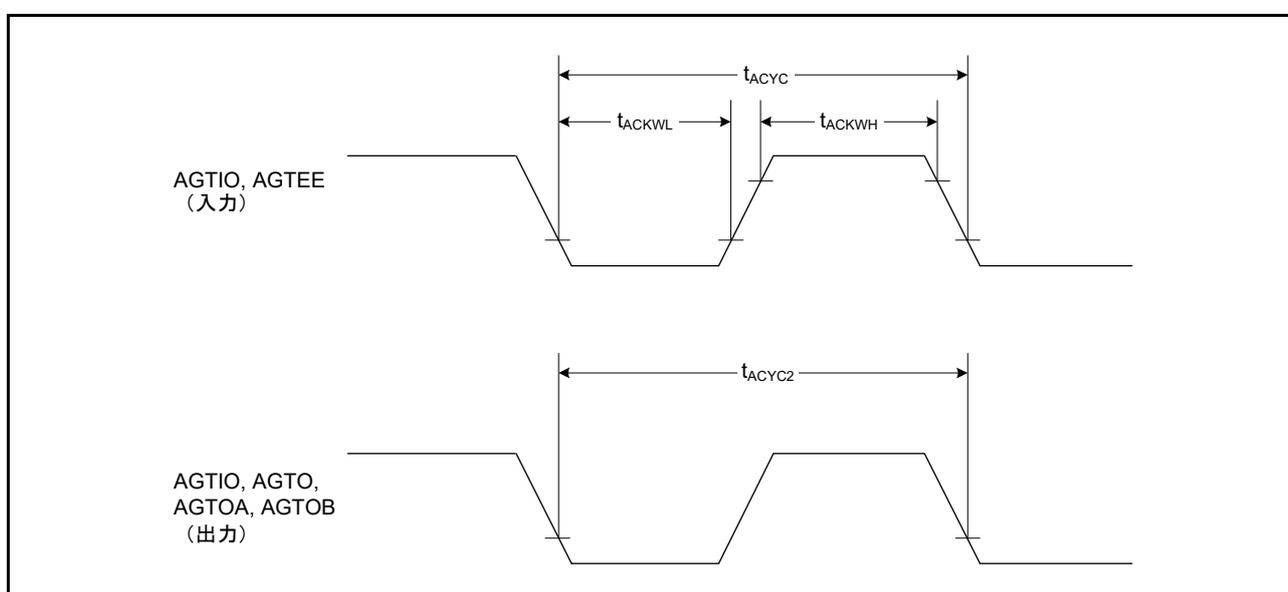


図 2.37 AGT 入出力タイミング

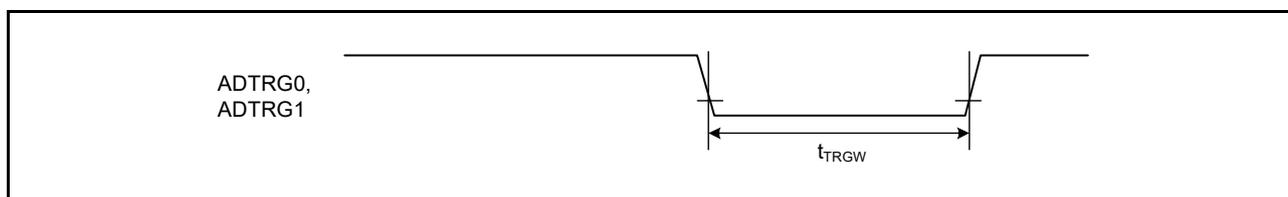


図 2.38 ADC12 トリガ入力タイミング

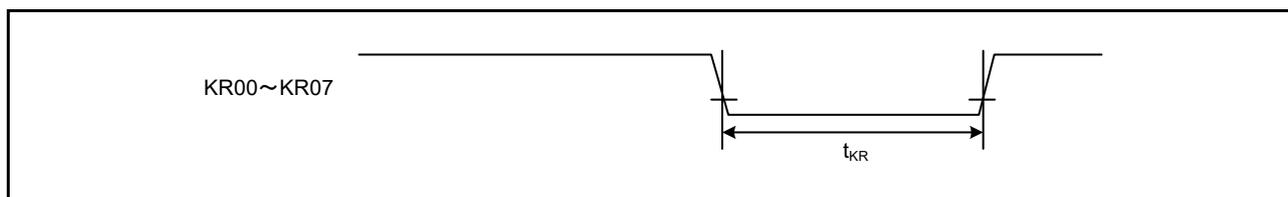


図 2.39 キー割り込み入力タイミング

2.3.8 PWM 遅延生成回路タイミング

表 2.20 PWM 遅延生成回路タイミング

項目	Min	Typ	Max	単位	測定条件
動作周波数	80	-	120	MHz	-
分解能	-	260	-	ps	PCLKD = 120MHz
DNL (注1)	-	± 2.0	-	LSB	-

注 1. この値は、1LSB 分解能の行間の差異を正規化します。

2.3.9 CAC タイミング

表 2.21 CAC タイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	t_{CACREF}	$t_{\text{PBcyc}} \text{ (注1)} \leq t_{\text{cac}} \text{ (注2)}$	-	-	ns	-
			$t_{\text{PBcyc}} \text{ (注1)} > t_{\text{cac}} \text{ (注2)}$	$4.5 \times t_{\text{cac}} + 3 \times t_{\text{PBcyc}}$	-	-	

注 1. t_{PBcyc} : PCLKB の周期

注 2. t_{cac} : CAC カウントクロックソースの周期

2.3.10 SCI タイミング

表 2.22 SCI タイミング (1)

条件：以下の端子は、PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています：SCK0～SCK9
 その他の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件	
SCI	入カロックサイクル	調歩同期式	t_{Scyc}	4	-	t_{Pcyc}	図 2.40
		クロック同期式		6	-		
	入カロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カロック立ち上がり時間		t_{SCKr}	-	5	ns	
	入カロック立ち下がり時間		t_{SCKf}	-	5	ns	
	出カロックサイクル	調歩同期式	t_{Scyc}	6	-	t_{Pcyc}	
		クロック同期式		4	-		
	出カロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カロック立ち上がり時間		t_{SCKr}	-	5	ns	
	出カロック立ち下がり時間		t_{SCKf}	-	5	ns	
送信データ遅延時間	クロック同期式	t_{TXD}	-	25	ns	図 2.41	
受信データセットアップ時間	クロック同期式	t_{RXS}	15	-	ns		
受信データホールド時間	クロック同期式	t_{RXH}	5	-	ns		

注 1. t_{pcyc} : PCLKA の周期

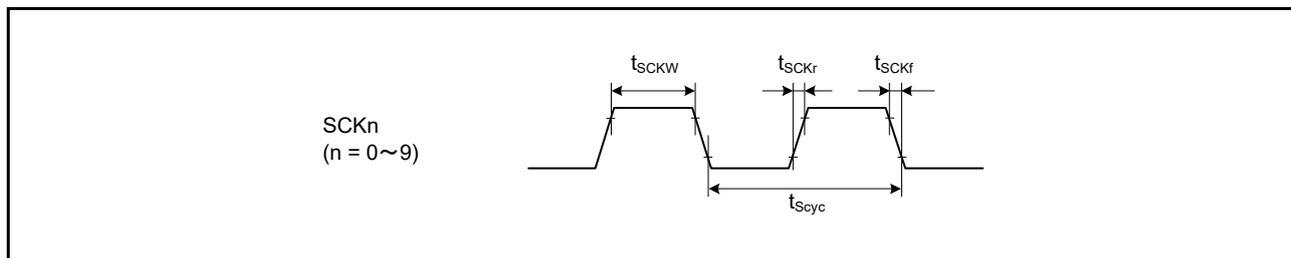


図 2.40 SCK クロック入出力タイミング

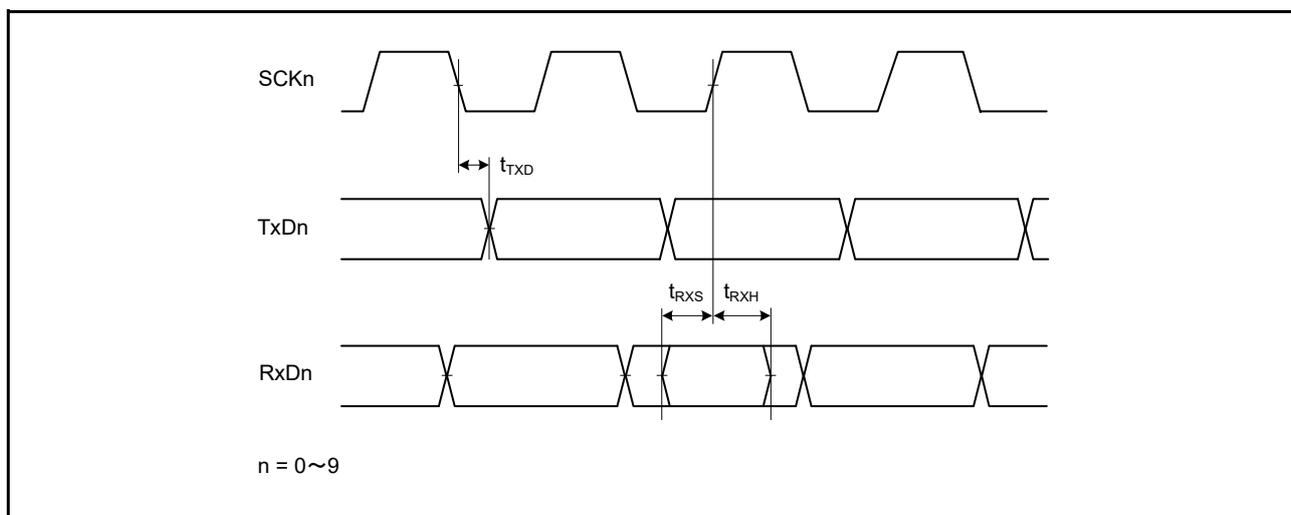


図 2.41 クロック同期式モードにおける SCI 入出力タイミング

表 2.23 SCI タイミング (2)

条件：以下の端子は、PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています：SCK0～SCK9
 その他の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件	
簡易 SPI	SCK クロックサイクル出力 (マスタ)	t_{SPCyc}	4 (PCLKA ≤ 60MHz) 8 (PCLKA > 60MHz)	65536	t_{Pcyc}	図 2.42
	SCK クロックサイクル入力 (スレーブ)	-	6 (PCLKA ≤ 60MHz) 12 (PCLKA > 60MHz)	65536		
	SCK クロック High レベル パルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCK クロック Low レベル パルス幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}	
	SCK クロック立ち上がり／立ち下がり時間	t_{SPCKr}, t_{SPCKf}	-	20	ns	
データ入力セットアップ時間	t_{SU}	33.3	-	ns	図 2.43 ~ 図 2.46	
データ入力ホールド時間	t_{H}	33.3	-	ns		
SS 入力セットアップ時間	t_{LEAD}	1	-	t_{SPCyc}		
SS 入力ホールド時間	t_{LAG}	1	-	t_{SPCyc}		
データ出力遅延時間	t_{OD}	-	33.3	ns		
データ出力ホールド時間	t_{OH}	-10	-	ns		
データ立ち上がり／立ち下がり時間	t_{Dr}, t_{Df}	-	16.6	ns		
SS 入力立ち上がり／立ち下がり時間	t_{SSLr}, t_{SSLf}	-	16.6	ns		
スレーブアクセス時間	t_{SA}	-	4 (PCLKA ≤ 60MHz) 8 (PCLKA > 60MHz)	t_{Pcyc}	図 2.46	
スレーブ出力解放時間	t_{REL}	-	5 (PCLKA ≤ 60MHz) 10 (PCLKA > 60MHz)	t_{Pcyc}		

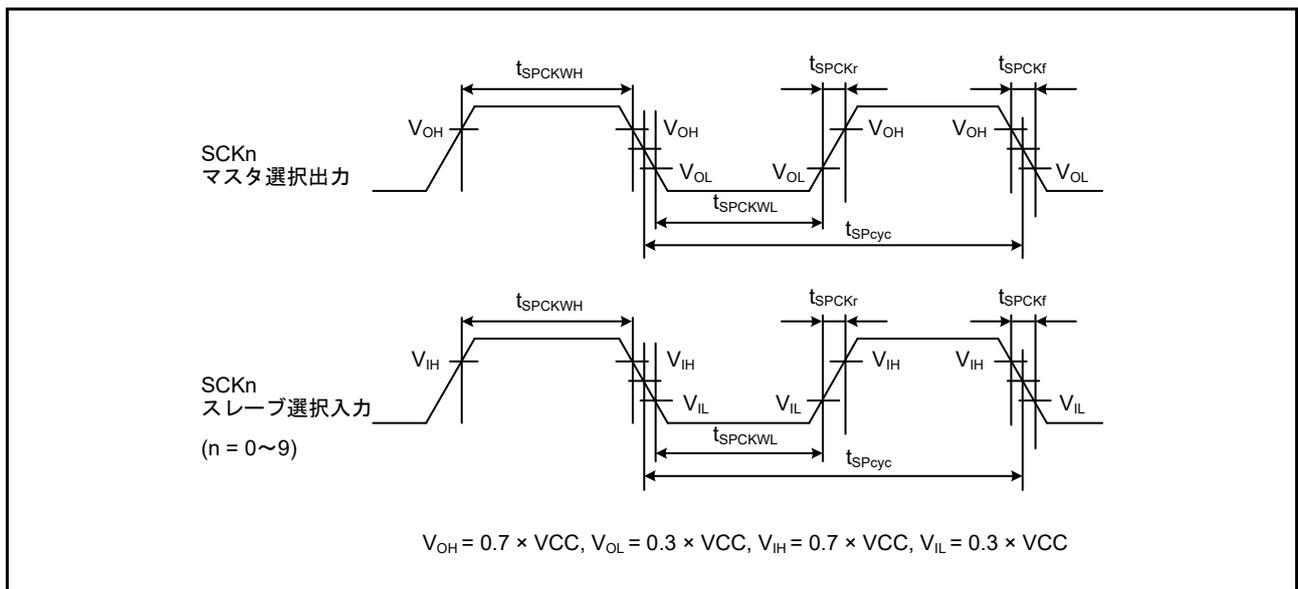


図 2.42 SCI 簡易 SPI モードクロックタイミング

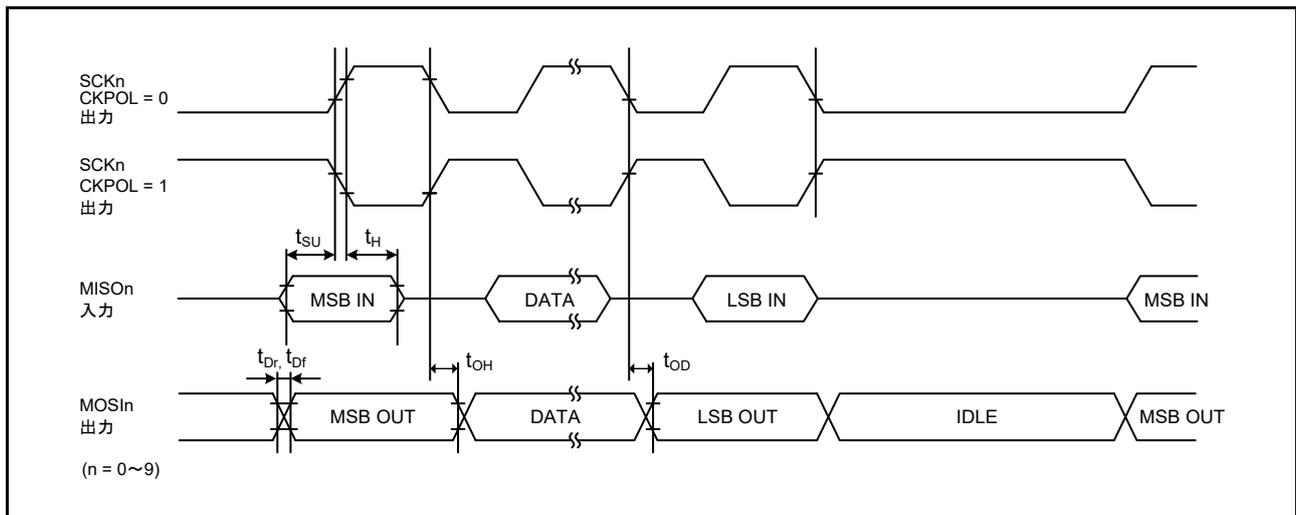


図 2.43 CKPH = 1 の場合におけるマスタの SCI 簡易 SPI モードタイミング

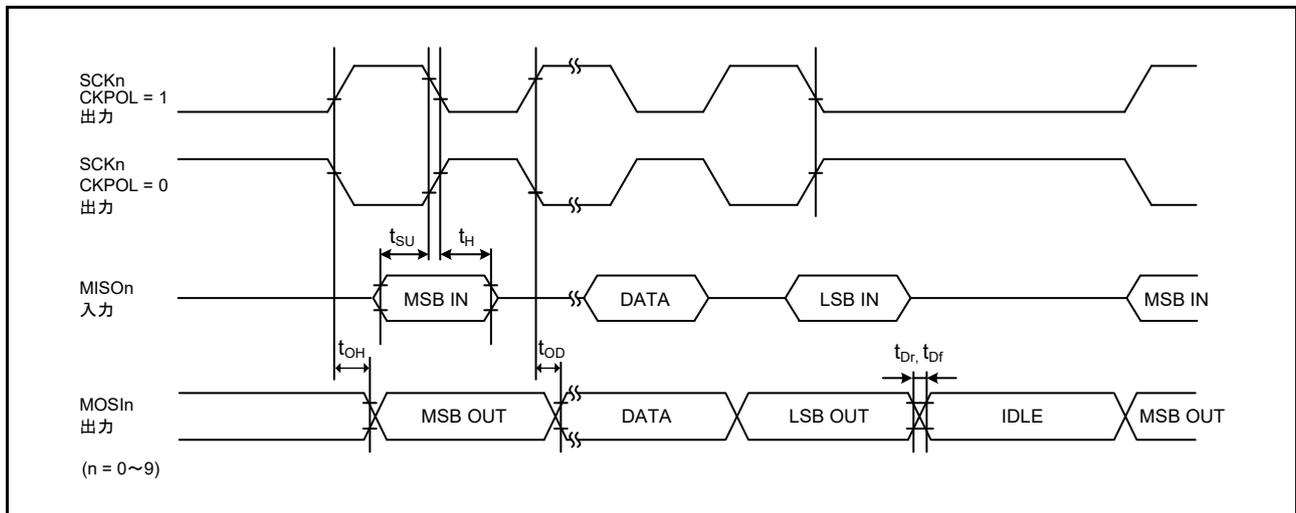


図 2.44 CKPH = 0 の場合におけるマスタの SCI 簡易 SPI モードタイミング

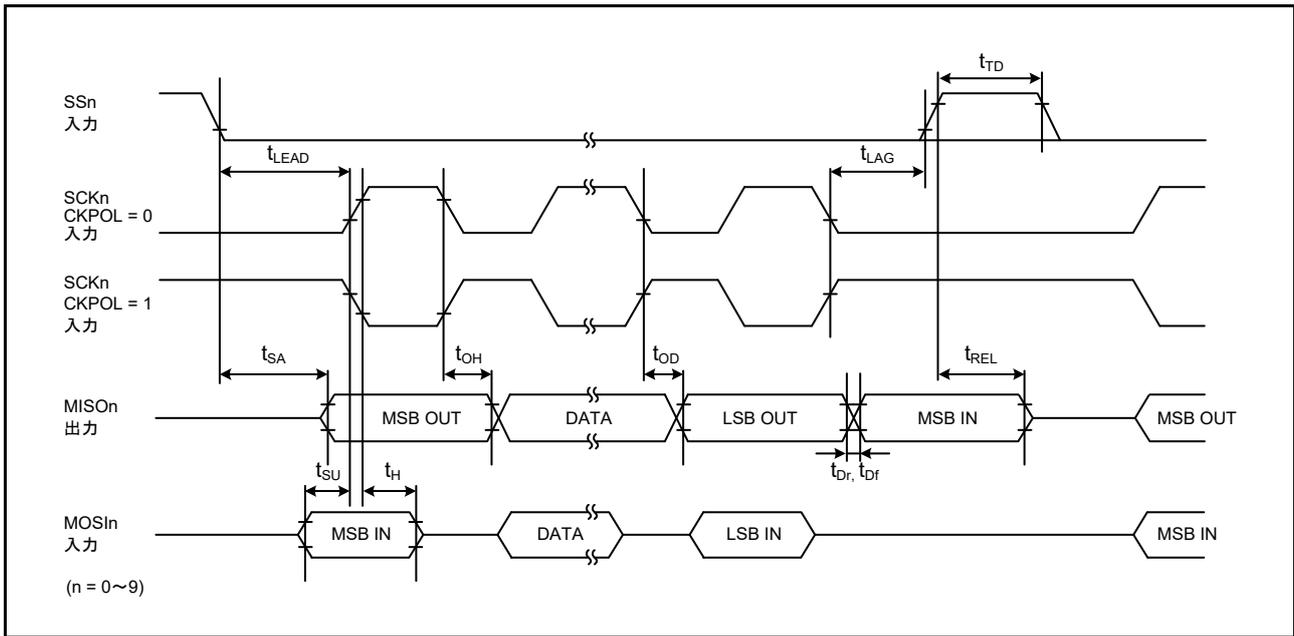


図 2.45 CKPH = 1 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

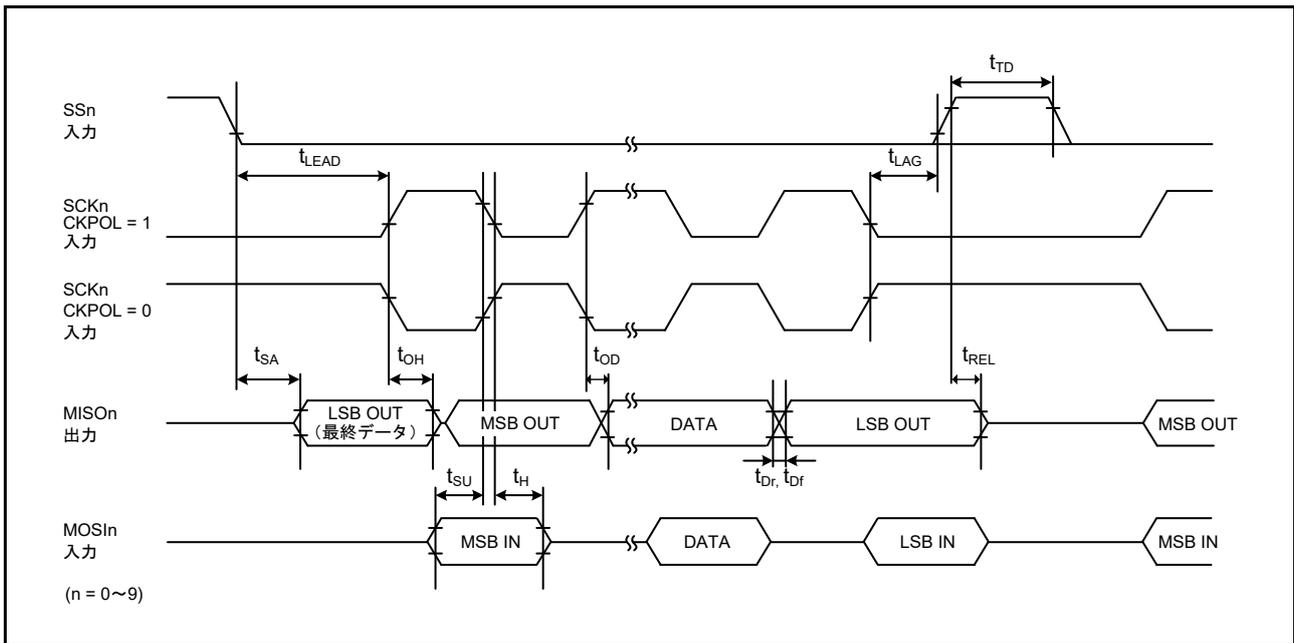


図 2.46 CKPH = 0 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

表 2.24 SCI タイミング (3)

条件 : PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件	
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	t_{Sr}	-	1000	ns	図 2.47
	SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$	ns	
	データ入カセットアップ時間	t_{SDAS}	250	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の負荷容量	C_b (注1)	-	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	-	300	ns	図 2.47
	SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$	ns	
	データ入カセットアップ時間	t_{SDAS}	100	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の負荷容量	C_b (注1)	-	400	pF	

注 . t_{IICcyc} : IIC 内部基準クロック (IICφ) の周期

注 1. C_b はバスラインの容量総計を意味します。

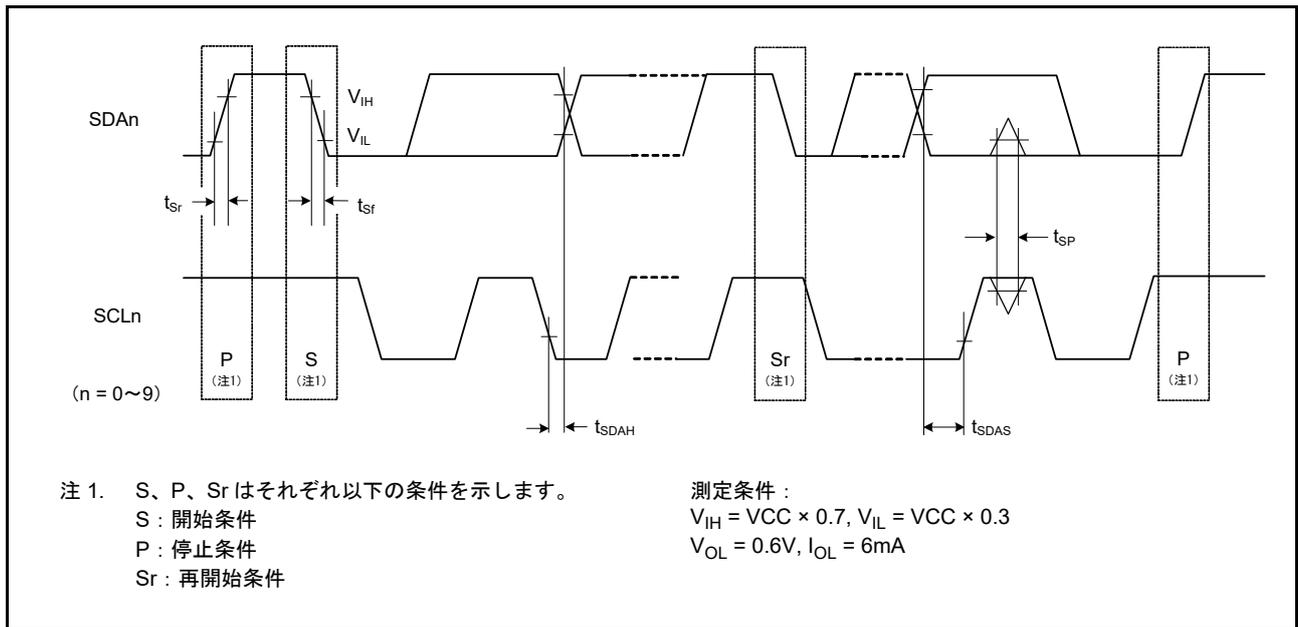


図 2.47 SCI 簡易 IIC モードタイミング

2.3.11 SPI タイミング

表 2.25 SPI タイミング

条件：RSPCKA端子およびRSPCKB端子は、PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。
その他の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件 (注2)	
SPI	RSPCKクロックサイクル	マスタ	t_{SPCyc}	2 (PCLKA \leq 60MHz) 4 (PCLKA $>$ 60MHz)	4096	t_{Pcyc}	図 2.48 C = 30pF
		スレーブ		4	4096		
	RSPCKクロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$	-	ns	
		スレーブ		$2 \times t_{Pcyc}$	-		
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$	-	ns	
		スレーブ		$2 \times t_{Pcyc}$	-		
	RSPCKクロック立ち上がり／立ち下がり時間	マスタ	t_{SPCKr}	-	5	ns	
		スレーブ	t_{SPCKf}	-	1	μ s	
	データ入力セットアップ時間	マスタ	t_{SU}	4	-	ns	図 2.49～ 図 2.54 C = 30pF
		スレーブ		5	-		
	データ入力ホールド時間	マスタ (PCLKA分周比が1/2の場合)	t_{HF}	0	-	ns	
		マスタ (PCLKA分周比が1/2以外の場合)	t_H	t_{Pcyc}	-		
		スレーブ	t_H	20	-		
	SSLセットアップ時間	マスタ	t_{LEAD}	$N \times t_{SPCyc} - 10$ (注3)	$N \times t_{SPCyc} + 100$ (注3)	ns	
		スレーブ		$6 \times t_{Pcyc}$	-	ns	
	SSLホールド時間	マスタ	t_{LAG}	$N \times t_{SPCyc} - 10$ (注4)	$N \times t_{SPCyc} + 100$ (注4)	ns	
		スレーブ		$6 \times t_{Pcyc}$	-	ns	
	データ出力遅延時間	マスタ	t_{OD}	-	6.3	ns	
		スレーブ		-	20		
	データ出力ホールド時間	マスタ	t_{OH}	0	-	ns	
		スレーブ		0	-		
	連続転送遅延時間	マスタ	t_{TD}	$t_{SPCyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPCyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ		$6 \times t_{Pcyc}$			
	MOSI、MISOの立ち上がり／立ち下がり時間	出力	t_{Dr}, t_{Df}	-	5	ns	
		入力		-	1	μ s	
	SSL立ち上がり／立ち下がり時間	出力	t_{SSLr}, t_{SSLf}	-	5	ns	
		入力		-	1	μ s	
	スレーブアクセス時間		t_{SA}	-	$2 \times t_{Pcyc} + 28$	ns	図 2.53と 図 2.54 C = 30pF
	スレーブ出力開放時間		t_{REL}	-	$2 \times t_{Pcyc} + 28$		

注 1. t_{Pcyc} : PCLKA の周期

注 2. 所属グループを示すため、“_A”や“_B”のように端子名の後ろに文字を付加した端子を使用してください。SPI インタフェースについては、電氣的特性の AC タイミングを各グループで測定しています。

注 3. N は、SPCKD レジスタで設定可能な 1～8 の整数です。

注 4. N は、SSLND レジスタで設定可能な 1～8 の整数です。

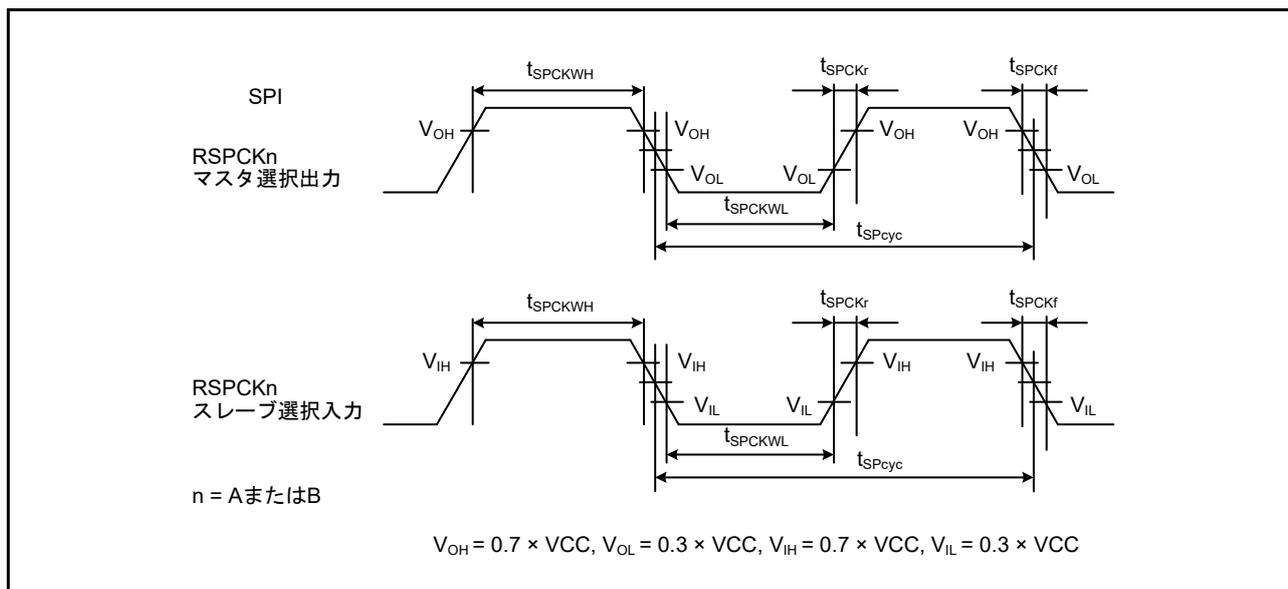


図 2.48 SPI クロックタイミング

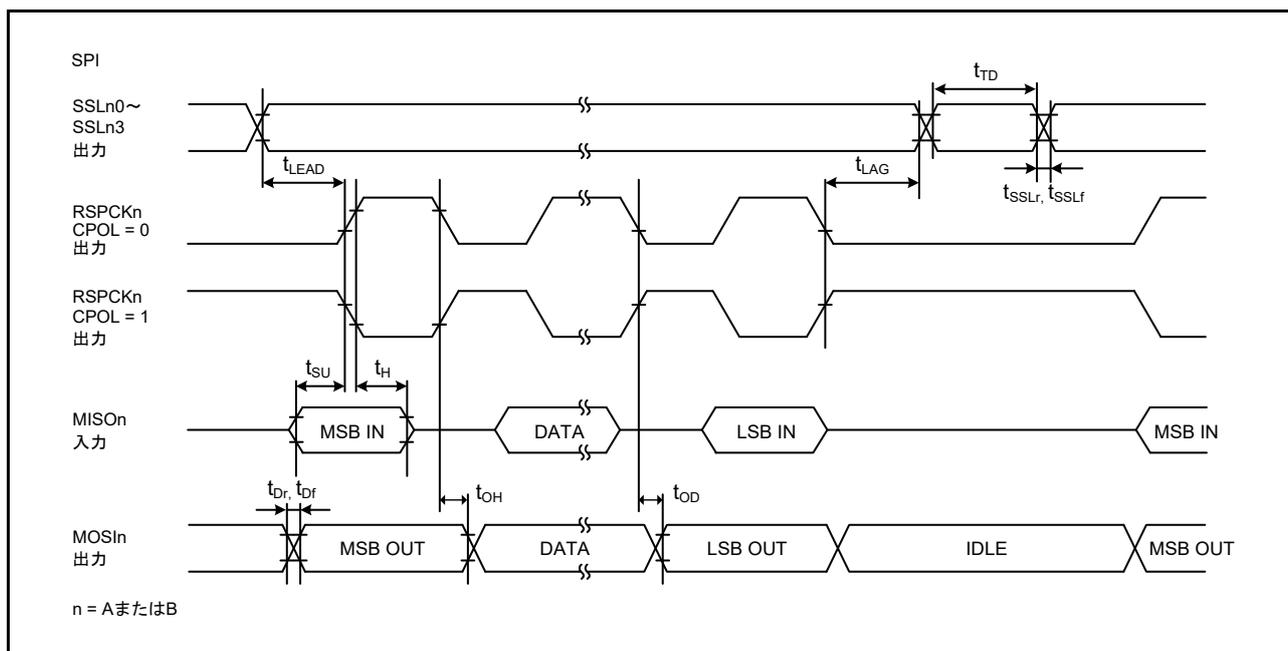


図 2.49 CPHA = 0 の場合におけるマスタの SPI タイミング

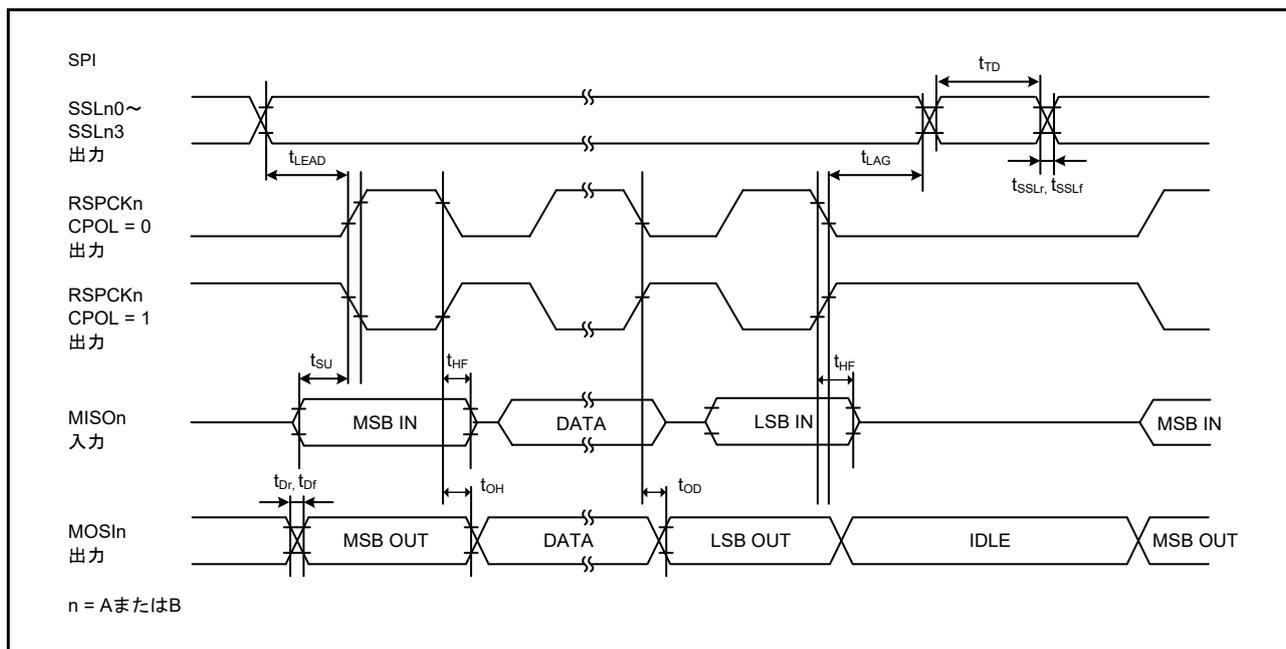


図 2.50 CPHA = 0 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング

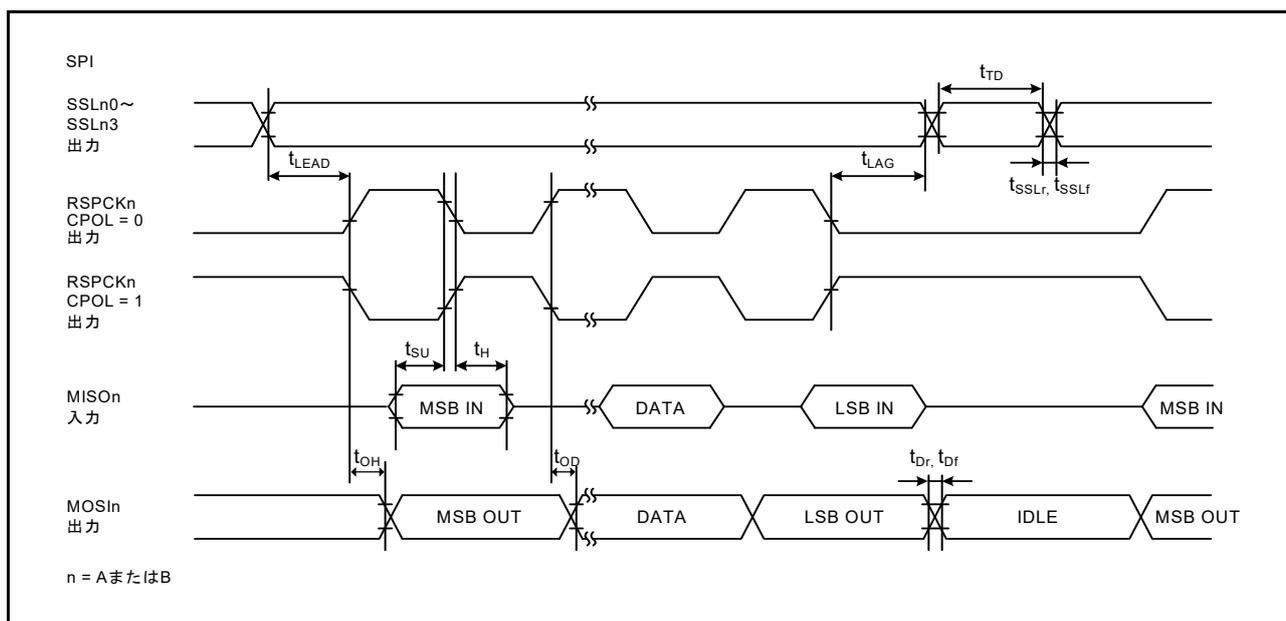


図 2.51 CPHA = 1 の場合におけるマスタの SPI タイミング

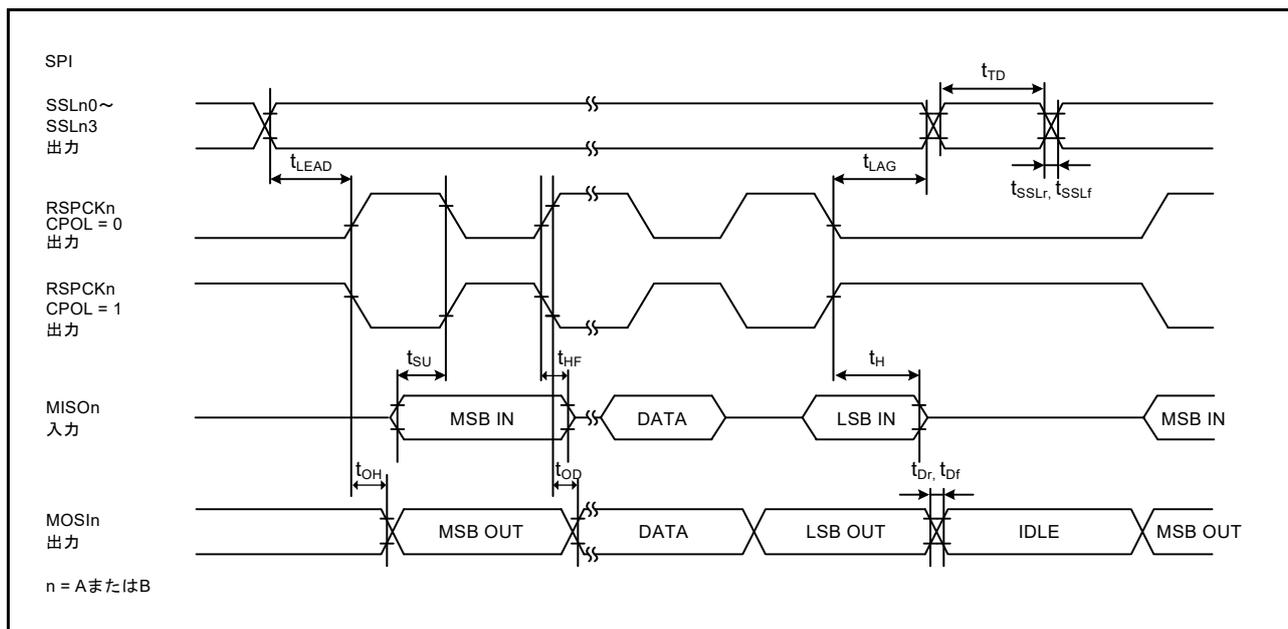


図 2.52 CPHA = 1 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング

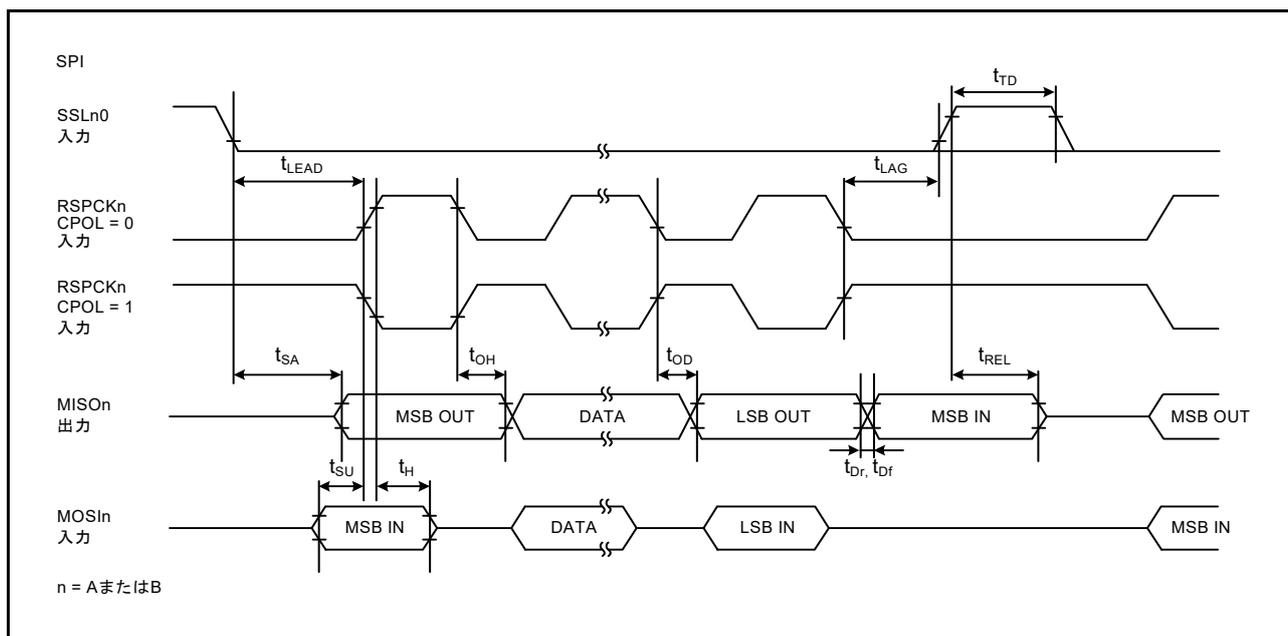


図 2.53 CPHA = 0 の場合におけるスレーブの SPI タイミング

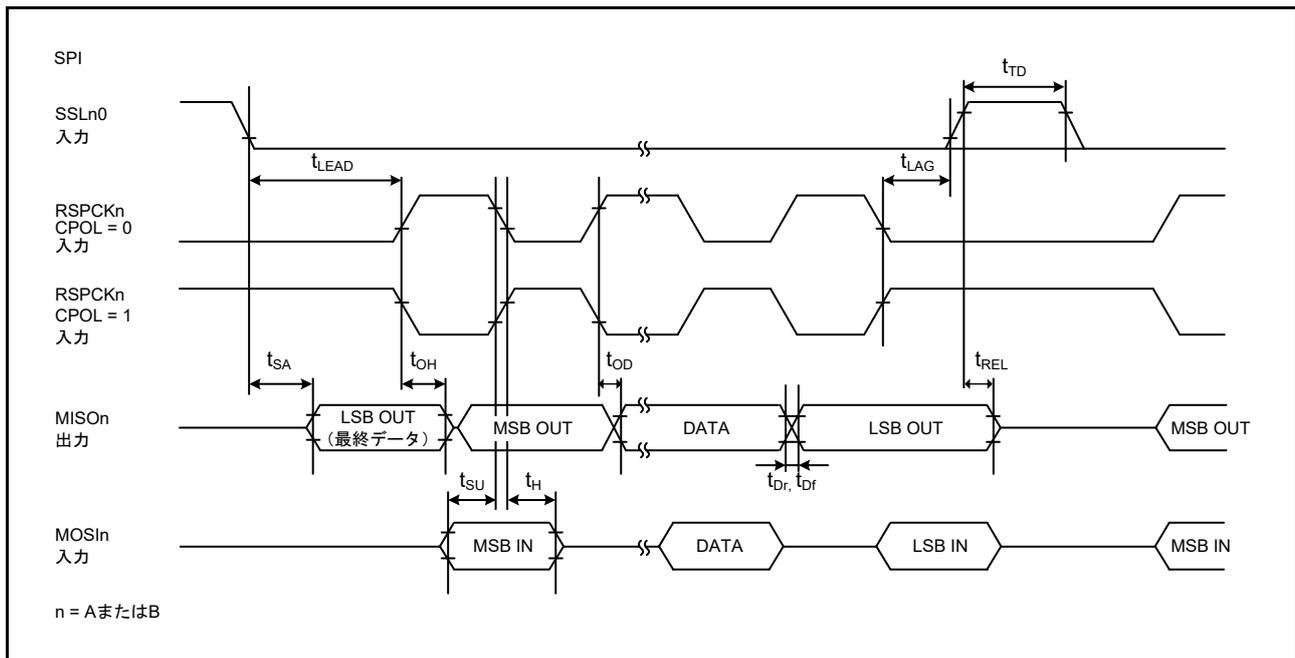


図 2.54 CPHA = 1 の場合におけるスレーブの SPI タイミング

2.3.12 QSPI タイミング

表 2.26 QSPI タイミング

条件：PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件
QSPI	QSPCKクロックサイクル	t_{QScyc}	2	48	t_{Pcyc}	図 2.55
	QSPCKクロックHighレベルパルス幅	t_{QSWH}	$t_{QScyc} \times 0.4$	-	ns	
	QSPCKクロックLowレベルパルス幅	t_{QSWL}	$t_{QScyc} \times 0.4$	-	ns	
	データ入力セットアップ時間	t_{Su}	8	-	ns	図 2.56
	データ入力ホールド時間	t_{H}	0	-	ns	
	QSSLセットアップ時間	t_{LEAD}	$(N + 0.5) \times t_{QScyc} - 5$ (注2)	$(N + 0.5) \times t_{QScyc} + 100$ (注2)	ns	
	QSSLホールド時間	t_{LAG}	$(N + 0.5) \times t_{QScyc} - 5$ (注3)	$(N + 0.5) \times t_{QScyc} + 100$ (注3)	ns	
	データ出力遅延時間	t_{OD}	-	4	ns	
	データ出力ホールド時間	t_{OH}	-3.3	-	ns	
	連続転送遅延時間	t_{TD}	1	16	t_{QScyc}	

- 注 1. t_{pcyc} : PCLKA の周期
- 注 2. SFMSLD で N は 0 または 1 になっています。
- 注 3. SFMSHD で N は 0 または 1 になっています。

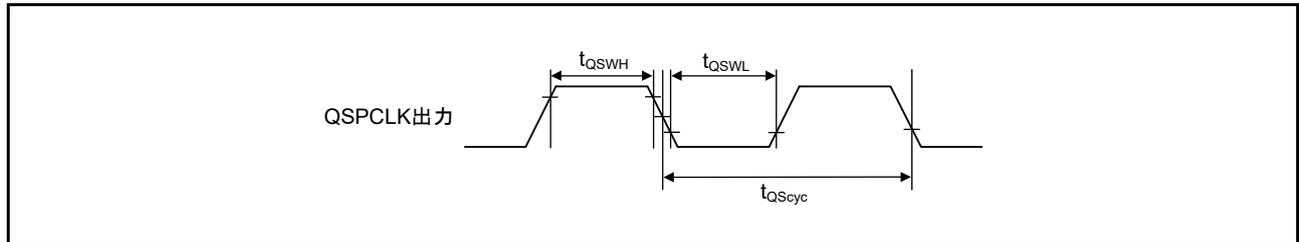


図 2.55 QSPI クロックタイミング

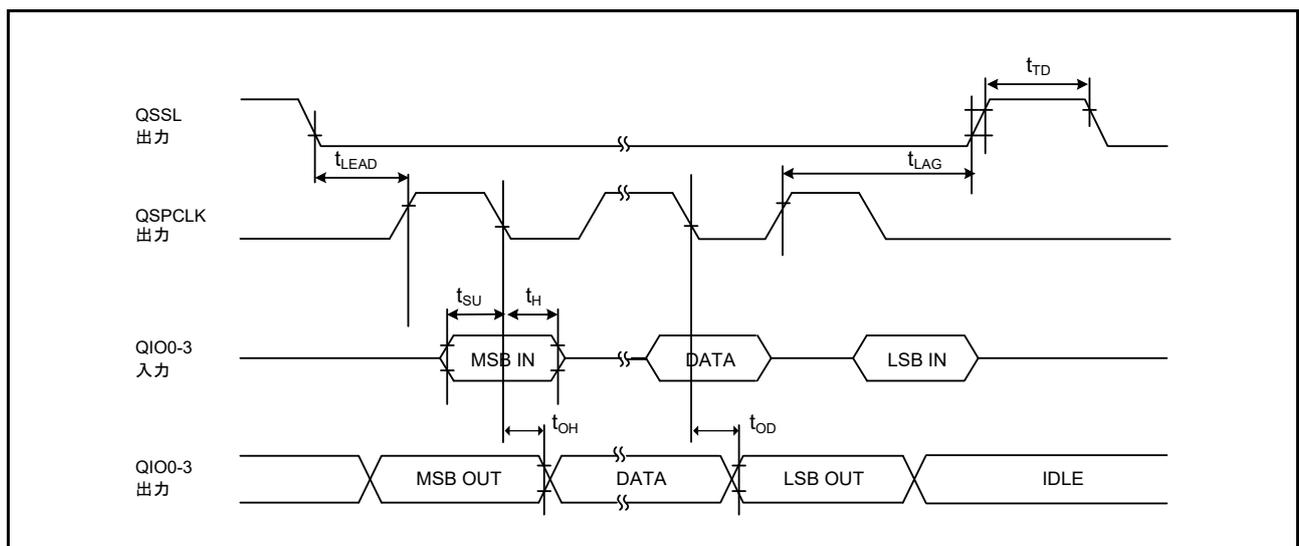


図 2.56 送受信タイミング

2.3.13 IIC タイミング

表 2.27 IIC タイミング (1)

- (1) 条件：以下の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_B、SCL0_B、SDA1_A、SCL1_A、SDA1_B、SCL1_B
- (2) 以下の端子の設定は必要ありません：SCL0_A、SDA0_A、SCL2、SDA2
- (3) 所属グループを示すため、“_A”や“_B”のように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電氣的特性のACタイミングを各グループで測定しています。

項目	シンボル	Min (注1)	Max	単位	測定条件 (注3)	
IIC (標準モード、 SMBus) ICFER.FMPE = 0	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	-	ns	図 2.57
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	-	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	ウェイクアップ機能が無効な場合のSDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	ウェイクアップ機能が有効な場合のSDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	ウェイクアップ機能が無効な場合のSTART条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	-	ns	
	ウェイクアップ機能が有効な場合のSTART条件入力ホールド時間	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	t_{STAS}	1000	-	ns	
	STOP条件入力セットアップ時間	t_{STOS}	1000	-	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの負荷容量	C_b	-	400	pF	
IIC (ファストモード)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	-	ns	図 2.57
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 \times$ (外付けブルアップ電圧/5.5V) (注2)	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 \times$ (外付けブルアップ電圧/5.5V) (注2)	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	ウェイクアップ機能が無効な場合のSDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	ウェイクアップ機能が有効な場合のSDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	ウェイクアップ機能が無効な場合のSTART条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	-	ns	
	ウェイクアップ機能が有効な場合のSTART条件入力ホールド時間	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	t_{STAS}	300	-	ns	
	STOP条件入力セットアップ時間	t_{STOS}	300	-	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの負荷容量	C_b	-	400	pF	

注. t_{IICcyc} : IIC 内部基準クロック (IICφ) の周期、 t_{Pcyc} : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると () 内の値が適用されます。

注 2. SCL0_A、SDA0_A、SCL2、SDA2 に限りサポートされています。

注 3. 所属グループを示すため、“_A”や“_B”のように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電氣的特性の AC タイミングを各グループで測定しています。

表 2.28 IIC タイミング (2)

PmnPFS レジスタのポート駆動能力ビットでは、SCL0_A 端子、SDA0_A 端子の設定は必要ありません。

項目	シンボル	Min (注1) (注2)	Max	単位	測定条件	
IIC (ファストモード+) ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 240$	-	ns	図 2.57
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 120$	-	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 120$	-	ns	
	SCL、SDA 入力立ち上がり時間	t_{Sr}	-	120	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	-	120	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	ウェイクアップ機能が無効な場合の SDA 入カバスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 120$	-	ns	
	ウェイクアップ機能が有効な場合の SDA 入カバスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 120$	-	ns	
	ウェイクアップ機能が無効な場合の START 条件入カホールド時間	t_{STAH}	$t_{IICcyc} + 120$	-	ns	
	ウェイクアップ機能が有効な場合の START 条件入カホールド時間	t_{STAH}	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 120$	-	ns	
	リスタート条件入カセットアップ時間	t_{STAS}	120	-	ns	
	停止条件入カセットアップ時間	t_{STOS}	120	-	ns	
	データ入カセットアップ時間	t_{SDAS}	$t_{IICcyc} + 30$	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の負荷容量	C_b	-	550	pF	

注 . t_{IICcyc} : IIC 内部基準クロック (IICφ) の周期、 t_{Pcyc} : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると () 内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

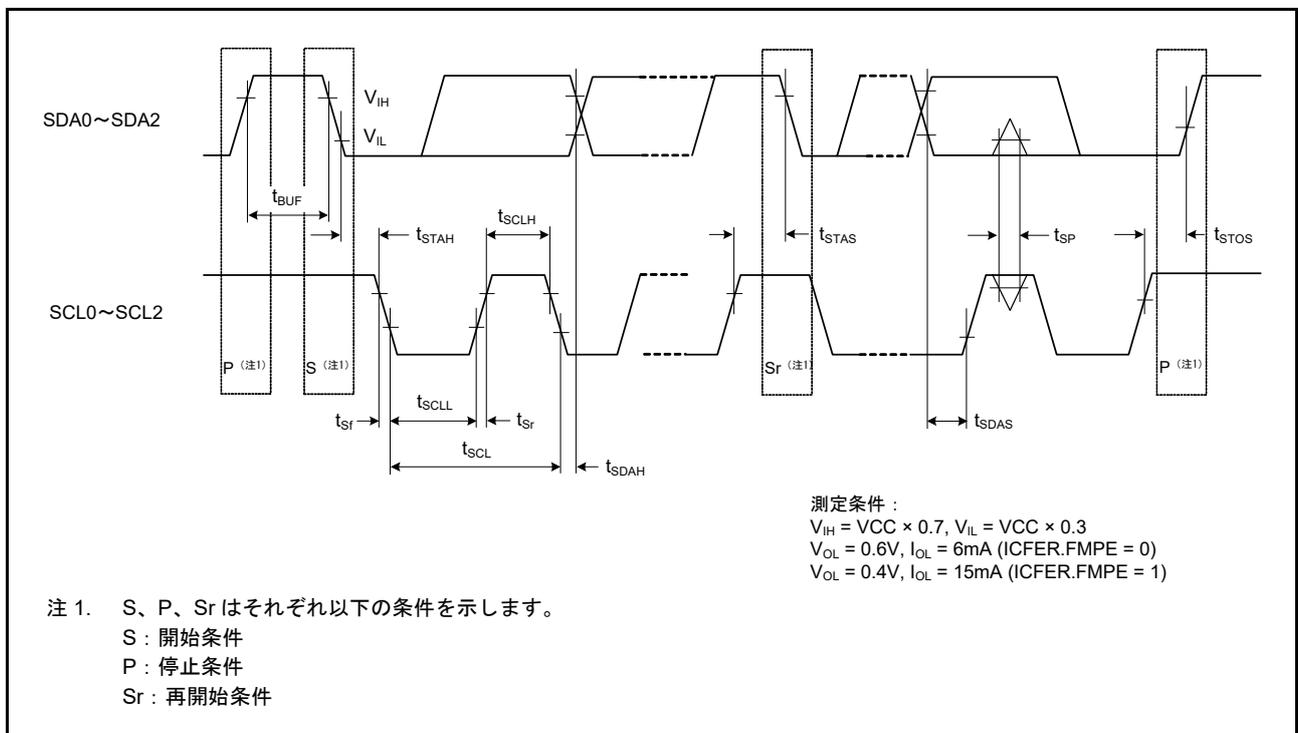


図 2.57 I2C バスインタフェース入出カタイミング

2.3.14 SSIE タイミング

表 2.29 SSIE タイミング

- (1) PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。
 (2) 所属グループを示すため、“_A”や“_B”などのように端子名の後ろに文字を付加した端子を使用してください。SSIEインターフェースについては、電気的特性のACタイミングを各グループで測定しています。

項目		シンボル	Min	Max	単位	測定条件	
SSIBCK0	サイクル	マスタ	t_O	80	-	ns	図 2.58
		スレーブ	t_I	80	-	ns	
	Highレベル/Lowレベル	マスタ	t_{HC}/t_{LC}	0.35	-	t_O	
		スレーブ		0.35	-	t_I	
	立ち上がり時間/立ち下がり時間	マスタ	t_{RC}/t_{FC}	-	0.15	t_O/t_I	
		スレーブ		-	0.15	t_O/t_I	
SSILRCK0/SSIFS0, SSITXD0, SSIRXD0, SSIDATA0	入力セットアップ時間	マスタ	t_{SR}	12	-	ns	図 2.60、 図 2.61
		スレーブ		12	-	ns	
	入力ホールド時間	マスタ	t_{HR}	8	-	ns	
		スレーブ		15	-	ns	
	出力遅延時間	マスタ	t_{DTR}	-10	5	ns	図 2.60、 図 2.61
		スレーブ		0	20	ns	
	SSILRCK0/SSIFS0変化時からの出力遅延時間	スレーブ	t_{DTRW}	-	20	ns	図 2.62 (注1)
	GTIOC1A, AUDIO_CLK	サイクル	t_{EXcyc}	20	-	ns	図 2.59
Highレベル/Lowレベル		t_{EXL}/t_{EXH}	0.4	0.6	t_{EXcyc}		

注 1. SSIEはスレーブモード送信用に1本の経路を備え、その経路によりSSILRCK0/SSIFS0端子からの信号入力が入信データの生成に使用され、送信データがSSITXD0端子またはSSIDATA0端子へ論理出力されます。

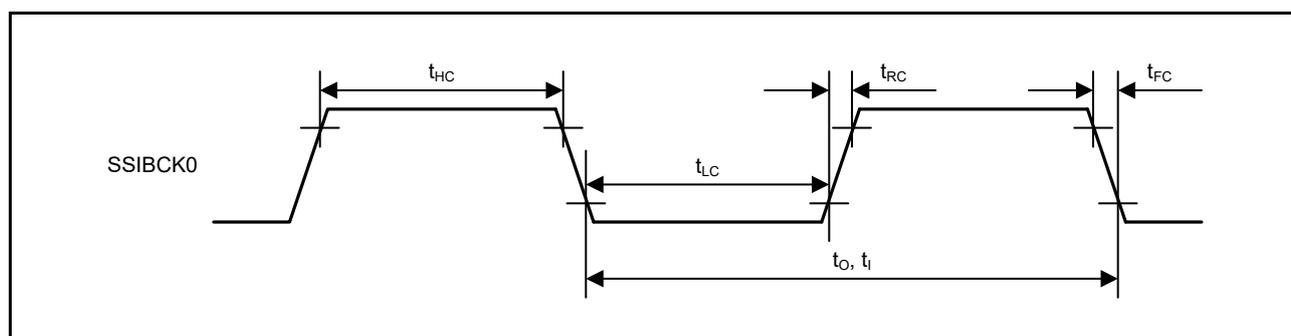


図 2.58 SSIE クロック入出力タイミング

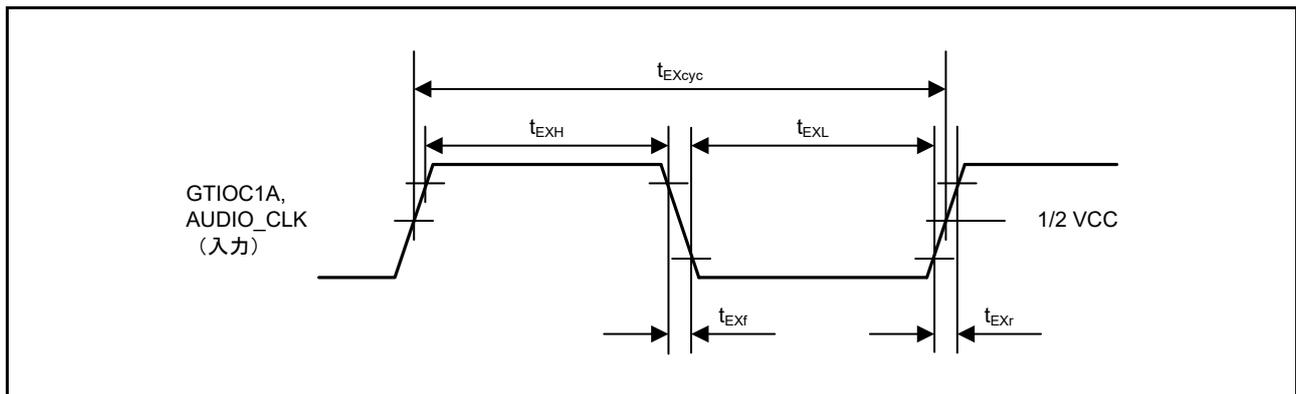


図 2.59 クロック入力タイミング

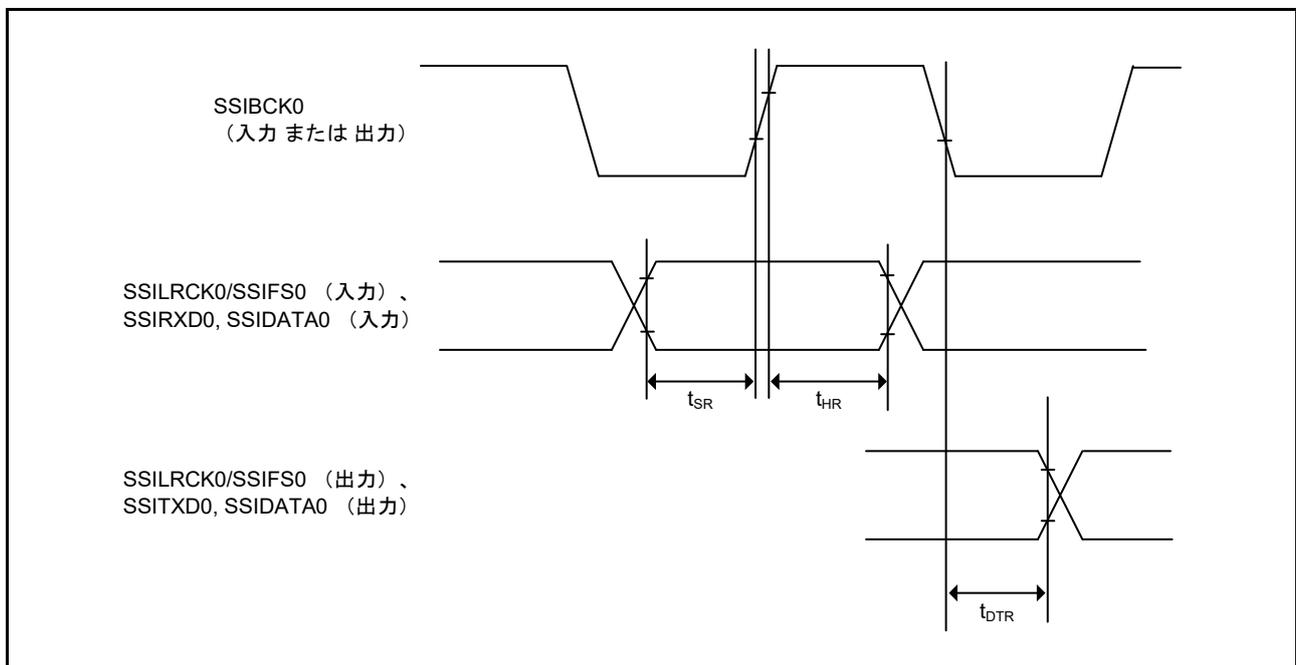


図 2.60 SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

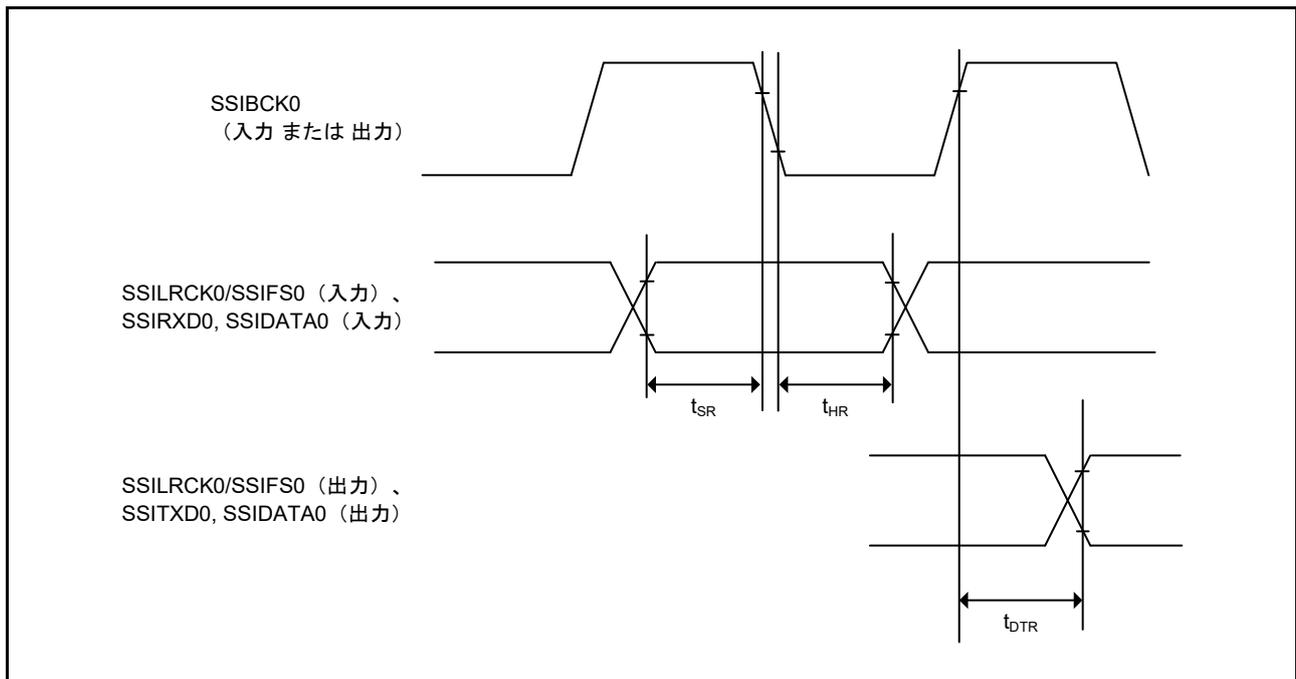


図 2.61 SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング

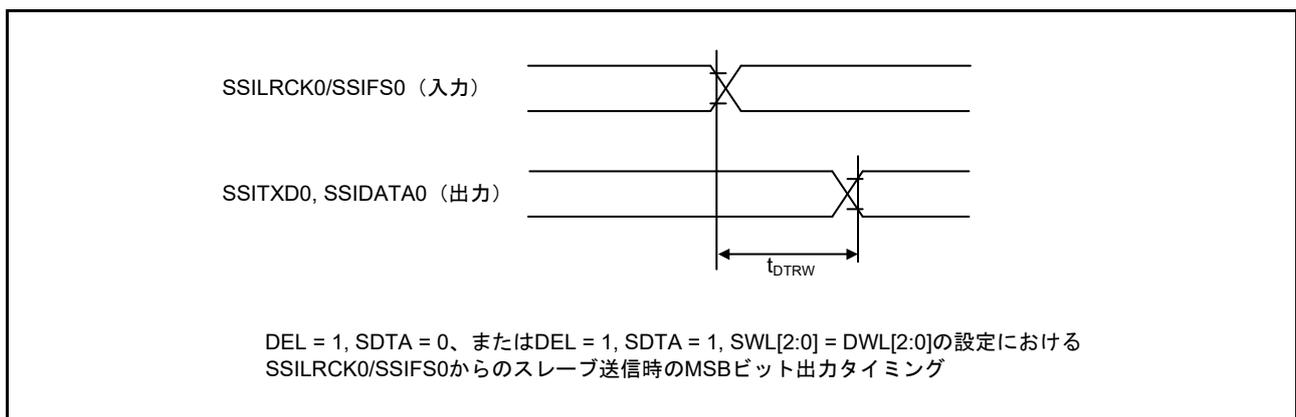


図 2.62 SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

2.3.15 SD/MMC ホストインタフェースタイミング

表 2.30 SD/MMCホストインタフェース信号タイミング

条件 : PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。
 クロックデューティ比は50%です。

項目	シンボル	Min	Max	単位	測定条件 (注1)
SDnCLKクロックサイクル	T_{SDCYC}	20	-	ns	図 2.63
SDnCLKクロック High レベルパルス幅	T_{SDWH}	6.5	-	ns	
SDnCLKクロック Low レベルパルス幅	T_{SDWL}	6.5	-	ns	
SDnCLKクロック立ち上がり時間	T_{SDLH}	-	3	ns	
SDnCLKクロック立ち下がり時間	T_{SDHL}	-	3	ns	
SDnCMD/SDnDATm出力データ遅延	T_{SDODLY}	-6	5	ns	
SDnCMD/SDnDATm入力データセットアップ	T_{SDIS}	4	-	ns	
SDnCMD/SDnDATm入力データホールド	T_{SDIH}	2	-	ns	

注 1. 所属グループを示すため、“_A”や“_B”などのように端子名の後ろに文字を付加した端子を使用してください。SD/MMC ホストインタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

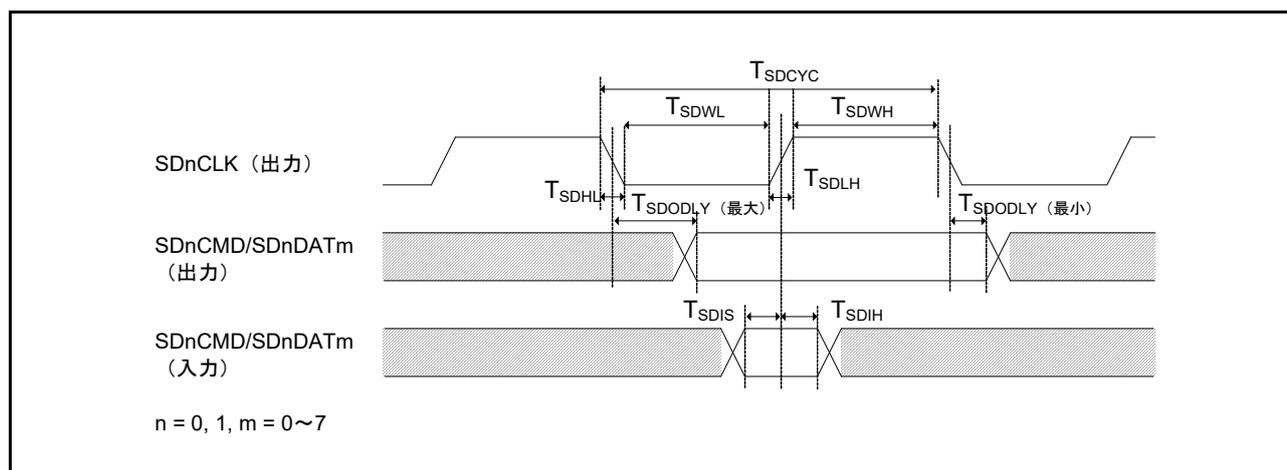


図 2.63 SD/MMC ホストインタフェース信号タイミング

2.3.16 ETHERC タイミング

表 2.31 ETHERC タイミング

条件：ETHERC (RMII)：以下の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています：ET0_MDC、ET0_MDIO

その他の端子は、PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

ETHERC (MII)：PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	測定条件 (注3)
ETHERC (RMII)	REF50CK0サイクル時間	T_{ck}	20	-	ns	図 2.64 ~ 図 2.67
	REF50CK0周波数、Typ. 50MHz	-	-	50 + 100ppm	MHz	
	REF50CK0 デューティ	-	35	65	%	
	REF50CK0立ち上がり/立ち下がり時間	$T_{ckr/ckf}$	0.5	3.5	ns	
	RMII_xxxx (注1) 出力遅延時間	T_{co}	2.5	12.0	ns	
	RMII_xxxx (注2) セットアップ時間	T_{su}	3	-	ns	
	RMII_xxxx (注2) ホールド時間	T_{hd}	1	-	ns	
	RMII_xxxx (注1) (注2) 立ち上がり/立ち下がり時間	T_r/T_f	0.5	4	ns	
ET0_WOL出力遅延時間	t_{WOLd}	1	23.5	ns	図 2.68	
ETHERC (MII)	ET0_TX_CLKサイクル時間	t_{Tcyc}	40	-	ns	-
	ET0_TX_EN出力遅延時間	t_{TENd}	1	20	ns	図 2.69
	ET0_ETXD0~ET0_ETXD3出力遅延時間	t_{MTDd}	1	20	ns	
	ET0_CRSセットアップ時間	t_{CRSs}	10	-	ns	
	ET0_CRSホールド時間	t_{CRSh}	10	-	ns	
	ET0_COLセットアップ時間	t_{COLs}	10	-	ns	図 2.70
	ET0_COLホールド時間	t_{COLh}	10	-	ns	
	ET0_RX_CLKサイクル時間	t_{TRcyc}	40	-	ns	-
	ET0_RX_DVセットアップ時間	t_{RDVs}	10	-	ns	図 2.71
	ET0_RX_DVホールド時間	t_{RDVh}	10	-	ns	
	ET0_ERXD0~ET0_ERXD3セットアップ時間	t_{MRDs}	10	-	ns	
	ET0_ERXD0~ET0_ERXD3ホールド時間	t_{MRDh}	10	-	ns	
	ET0_RX_ERセットアップ時間	t_{RERs}	10	-	ns	図 2.72
	ET0_RX_ERホールド時間	t_{RESh}	10	-	ns	
	ET0_WOL出力遅延時間	t_{WOLd}	1	23.5	ns	図 2.73

注 1. RMII_TXD_EN, RMII_TXD1, RMII_TXD0

注 2. RMII_CRS_DV, RMII_RXD1, RMII_RXD0, RMII_RX_ER

注 3. 下記の端子については、所属グループを示すため、“_A”や“_B”などのように端子名の後ろに文字を付加した端子を使用する必要があります。ETHERC (RMII) ホストインタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

REF50CK0_A, REF50CK0_B, RMII0_xxxx_A, RMII0_xxxx_B

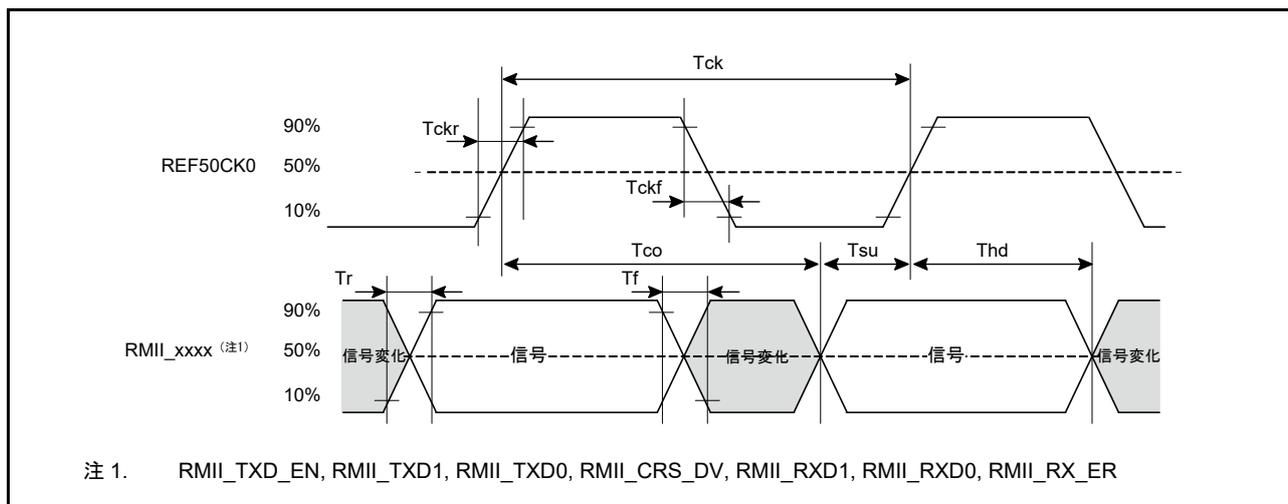


図 2.64 REF50CK0、RMII の信号タイミング

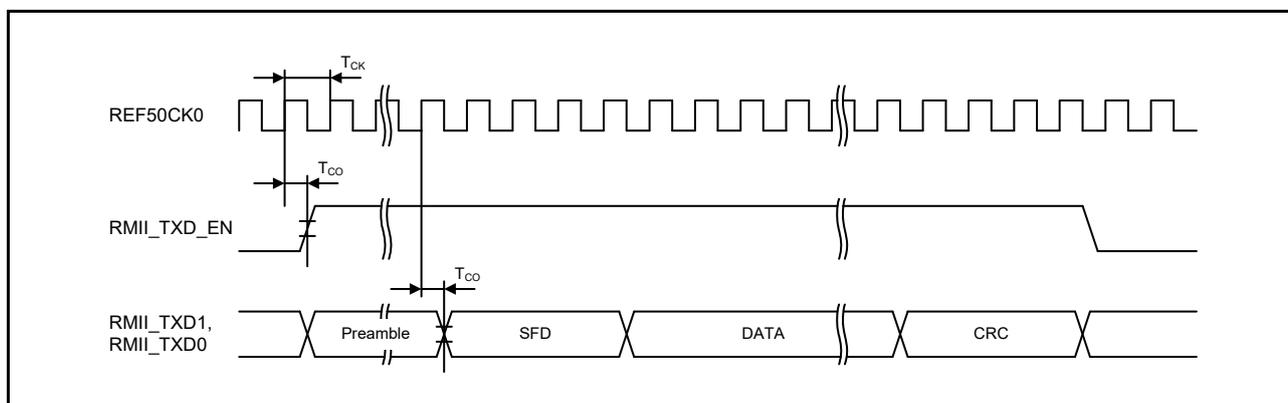


図 2.65 RMII 送信タイミング

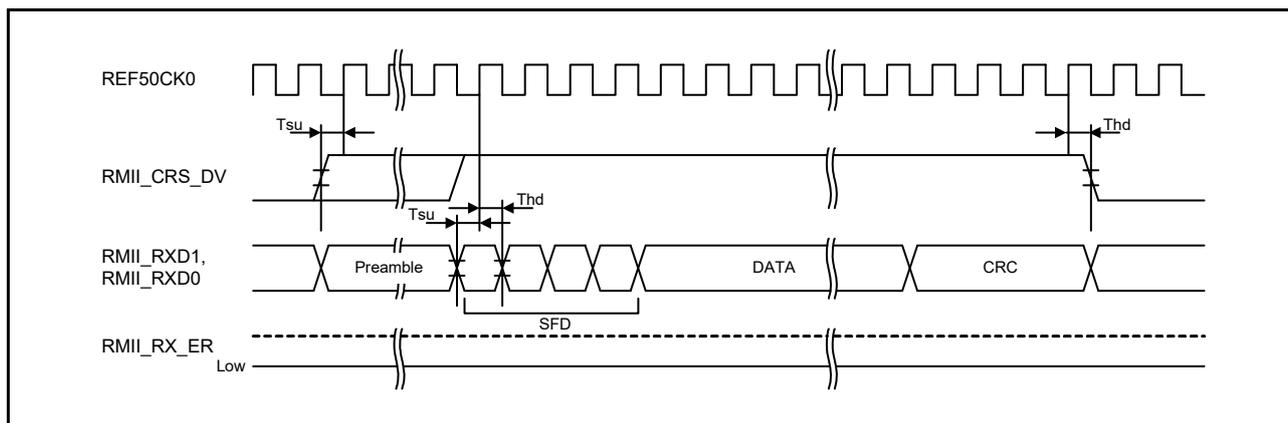


図 2.66 正常動作時の RMII 受信タイミング

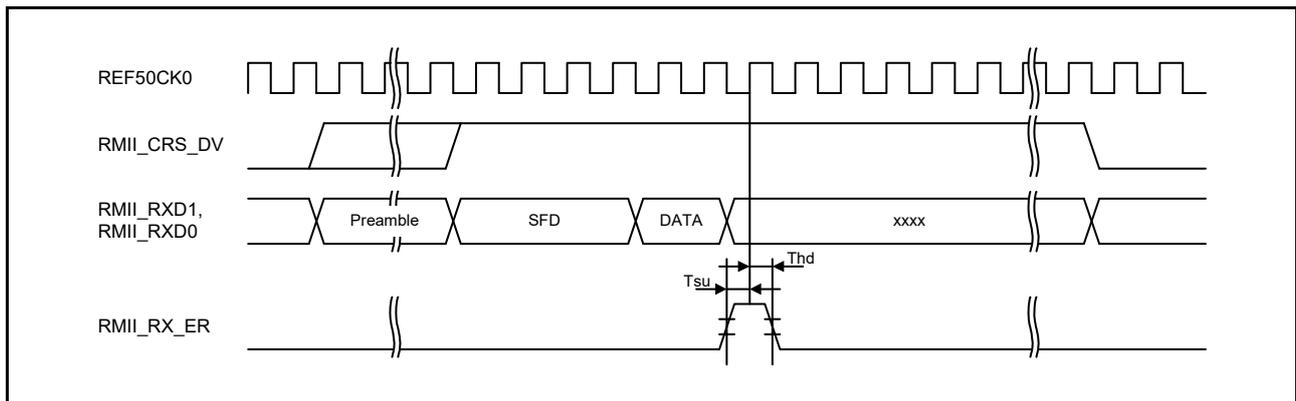


図 2.67 エラー発生時の RMIi 受信タイミング

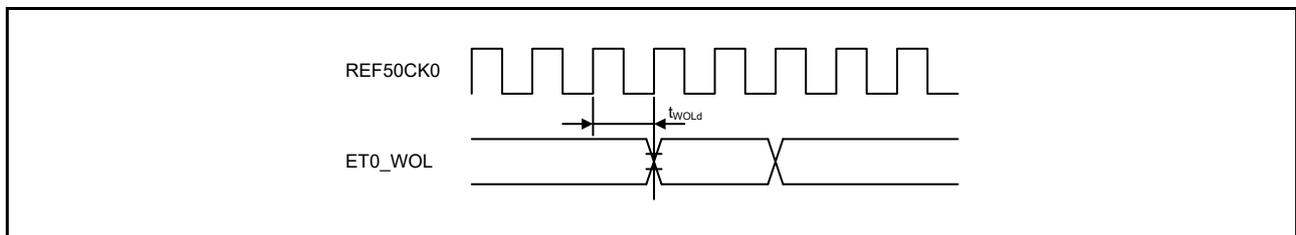


図 2.68 RMIi に対する WOL 出力タイミング

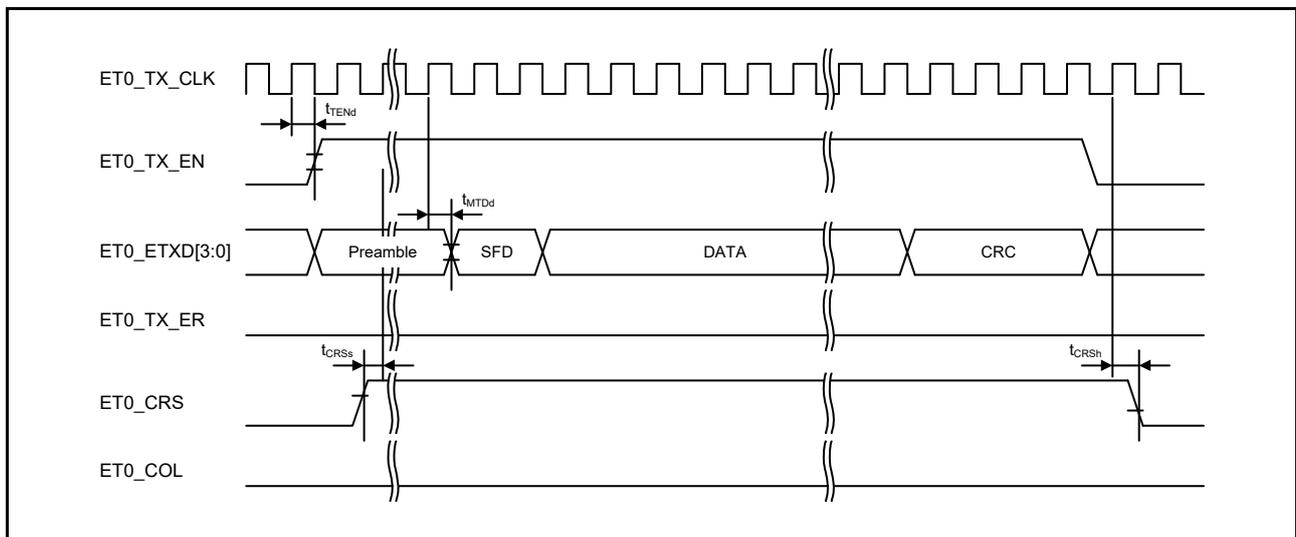


図 2.69 正常動作時の MII 送信タイミング

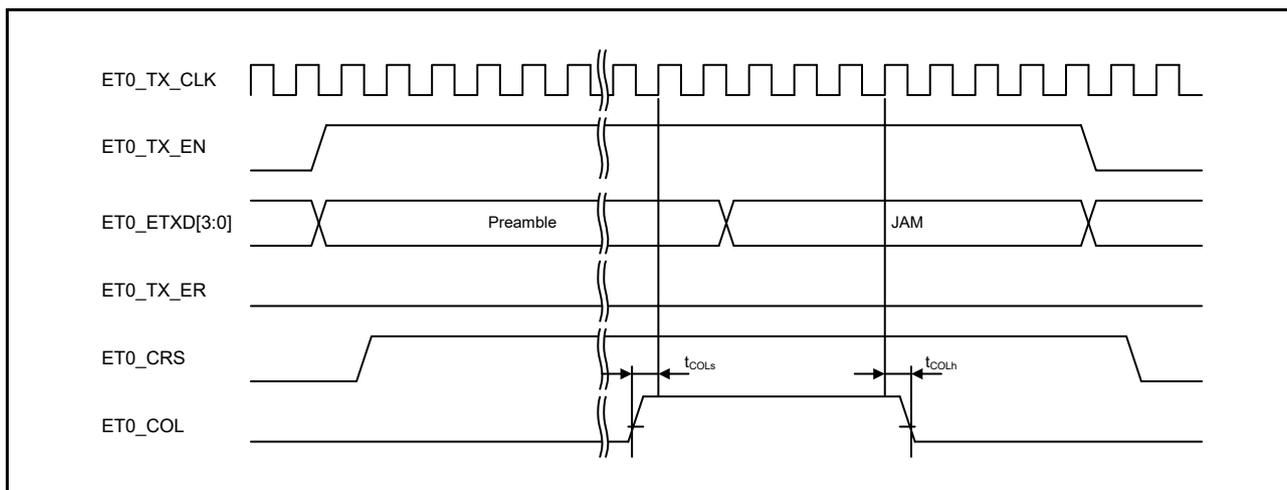


図 2.70 競合発生時の MII 送信タイミング

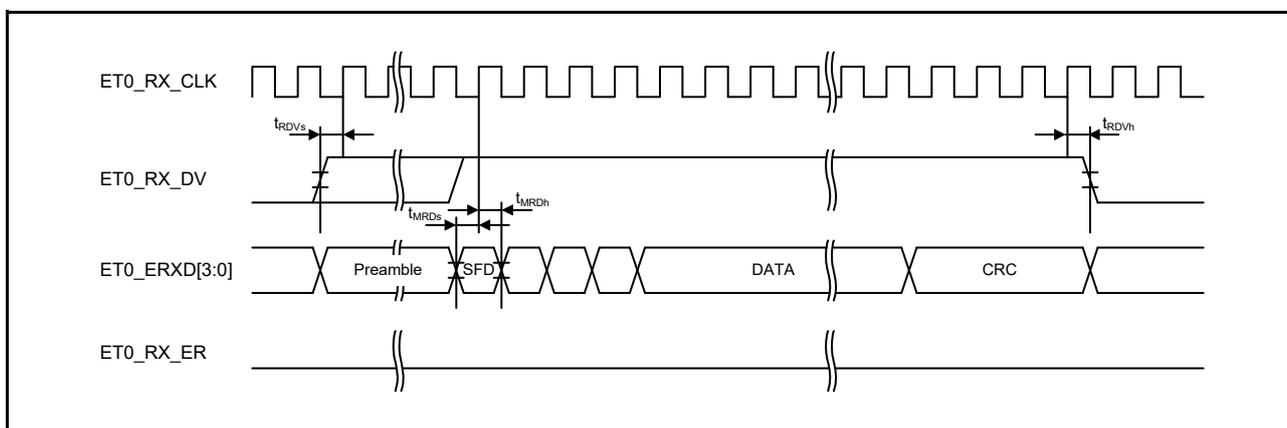


図 2.71 正常動作時の MII 受信タイミング

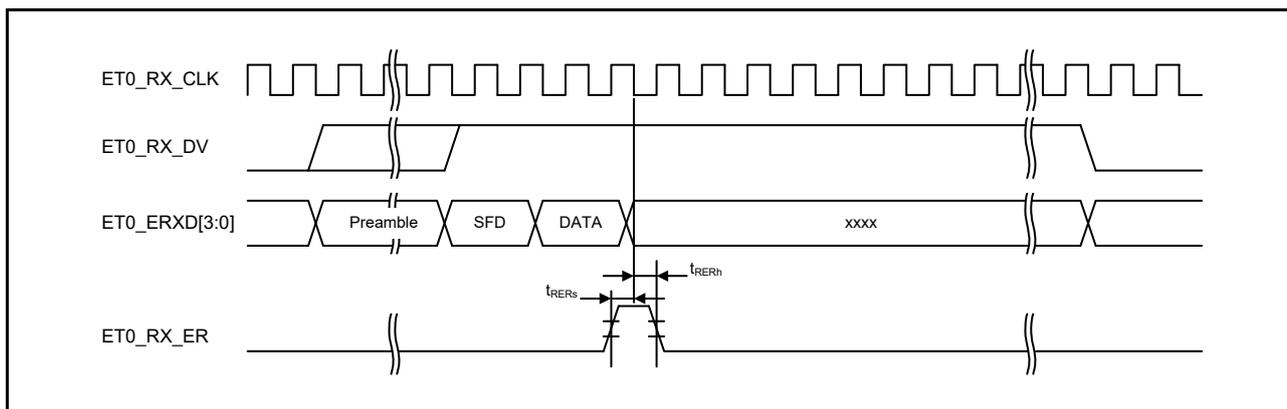


図 2.72 エラー発生時の MII 受信タイミング

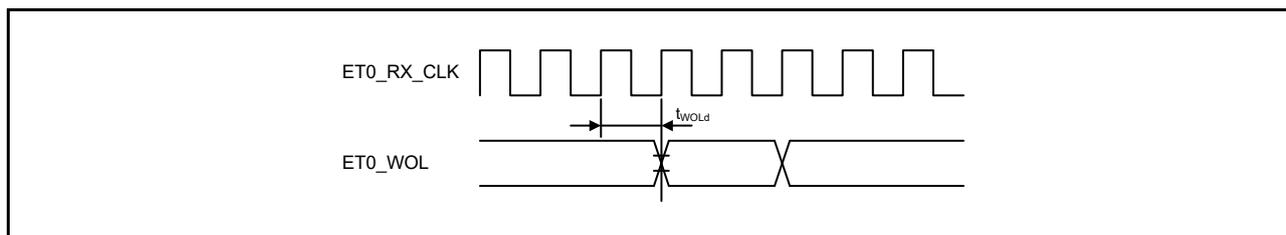


図 2.73 MII に対する WOL 出力タイミング

2.3.17 PDC タイミング

表 2.32 PDC タイミング

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

出力負荷条件： $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、 $C = 30\text{pF}$

項目		シンボル	Min	Max	単位	測定条件
PDC	PIXCLK入力サイクル時間	t_{PIXcyc}	37	-	ns	図 2.74
	PIXCLK入力Highレベルパルス幅	t_{PIXH}	10	-	ns	
	PIXCLK入力Lowレベルパルス幅	t_{PIXL}	10	-	ns	
	PIXCLK立ち上がり時間	t_{PIXr}	-	5	ns	
	PIXCLK立ち下がり時間	t_{PIXf}	-	5	ns	
PDC	PCKO出力サイクル時間	t_{PCKcyc}	$2 \times t_{PBcyc}$ (注1)	-	ns	図 2.75
	PCKO出力Highレベルパルス幅	t_{PCKH}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	-	ns	
	PCKO出力Lowレベルパルス幅	t_{PCKL}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	-	ns	
	PCKO立ち上がり時間	t_{PCKr}	-	5	ns	
	PCKO立ち下がり時間	t_{PCKf}	-	5	ns	
PDC	VSYNV/HSYNC入力セットアップ時間	t_{SYNCS}	10	-	ns	図 2.76
	VSYNV/HSYNC入力ホールド時間	t_{SYNCH}	5	-	ns	
	PIXD入力セットアップ時間	t_{PIXDS}	10	-	ns	
	PIXD入力ホールド時間	t_{PIXDH}	5	-	ns	

注 1. t_{PBcyc} : PCLKB の周期

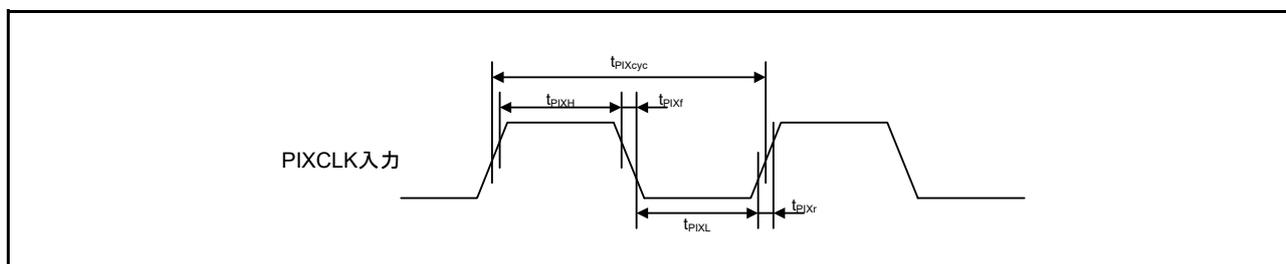


図 2.74 PDC 入力クロックタイミング

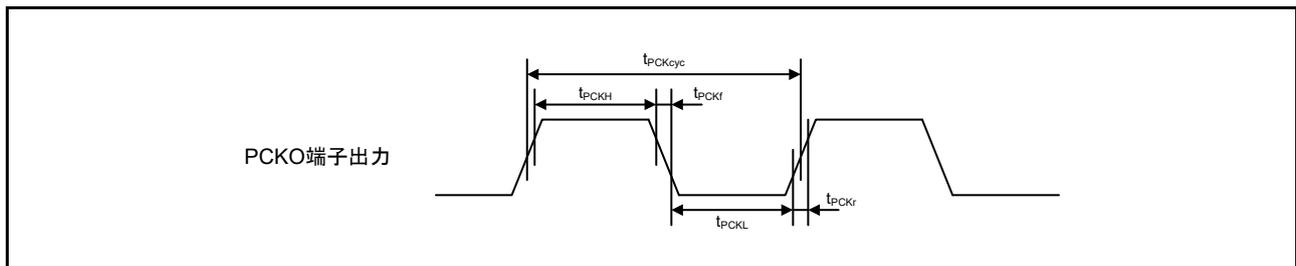


図 2.75 PDC 出力クロックタイミング

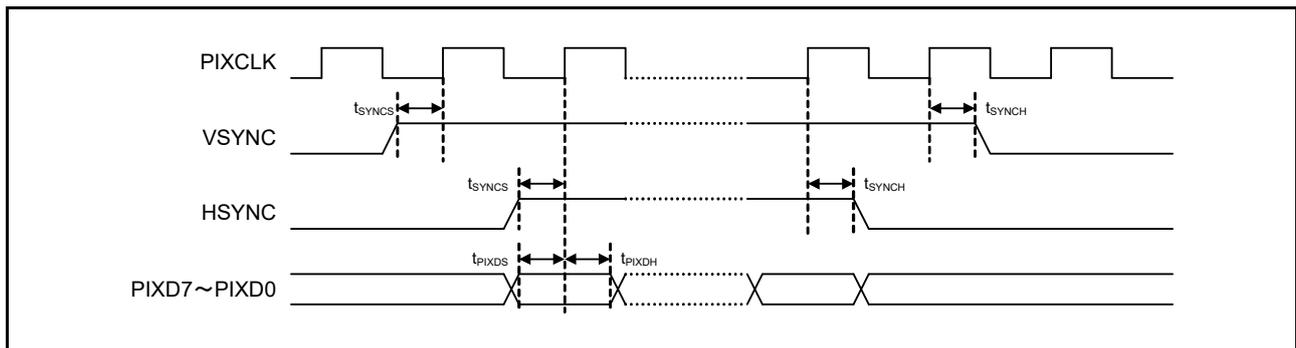


図 2.76 PDC AC タイミング

2.4 USB 特性

2.4.1 USBFS タイミング

表 2.33 ホストに限定した USBFS ロースピード特性 (USB_DP 端子および USB_DM 端子の特性)

条件 : $V_{CC} = AV_{CC0} = V_{CC_USB} = V_{BATT} = 3.0 \sim 3.6V$, $2.7 \leq V_{REFH0}/V_{REFH} \leq AV_{CC0}$, $U_{CLK} = 48MHz$

項目	シンボル	Min	Typ	Max	単位	測定条件	
入力特性	入力 High レベル電圧	V_{IH}	2.0	-	-	V	-
	入力 Low レベル電圧	V_{IL}	-	-	0.8	V	-
	差動入力感度	V_{DI}	0.2	-	-	V	USB_DP - USB_DM
	差動コモンモードレンジ	V_{CM}	0.8	-	2.5	V	-
出力特性	出力 High レベル電圧	V_{OH}	2.8	-	3.6	V	$I_{OH} = -200\mu A$
	出力 Low レベル電圧	V_{OL}	0.0	-	0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	図 2.77
	立ち上がり時間	t_{LR}	75	-	300	ns	
	立ち下がり時間	t_{LF}	75	-	300	ns	
	立ち上がり/立ち下がり時間比	t_{LR}/t_{LF}	80	-	125	%	t_{LR}/t_{LF}
プルアップ/プルダウン特性	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	-	24.80	k Ω	-

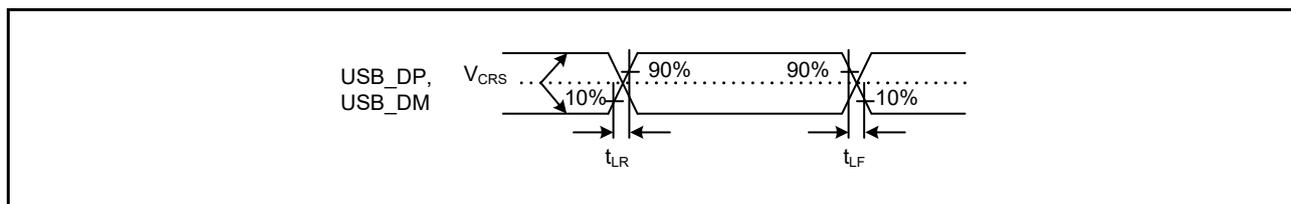


図 2.77 Low-speed モードにおける USB_DP、USB_DM の出力タイミング

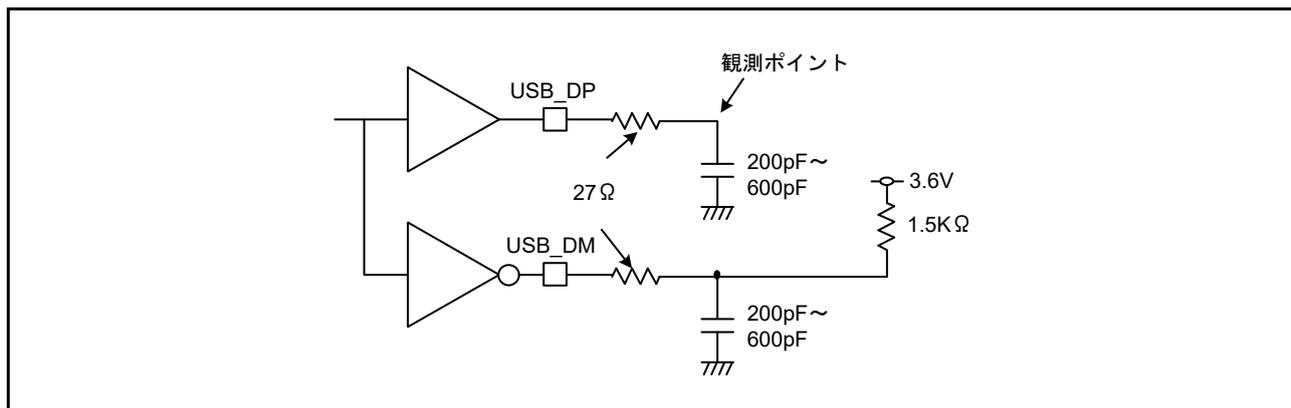


図 2.78 Low-speed モードにおける測定回路

表 2.34 USBFS フルスピード特性 (USB_DP 端子、USB_DM 端子の特性)

条件 : VCC = AVCC0 = VCC_USB = VBATT = 3.0 ~ 3.6V, $2.7 \leq VREFH0/VREFH \leq AVCC0$, UCLK = 48MHz

項目	シンボル	Min	Typ	Max	単位	測定条件	
入力特性	入力 High レベル電圧	V_{IH}	2.0	-	-	V	-
	入力 Low レベル電圧	V_{IL}	-	-	0.8	V	-
	差動入力感度	V_{DI}	0.2	-	-	V	USB_DP - USB_DM
	差動コモンモードレンジ	V_{CM}	0.8	-	2.5	V	-
出力特性	出力 High レベル電圧	V_{OH}	2.8	-	3.6	V	$I_{OH} = -200\mu A$
	出力 Low レベル電圧	V_{OL}	0.0	-	0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	図 2.79
	立ち上がり時間	t_{FR}	4	-	20	ns	
	立ち下がり時間	t_{FF}	4	-	20	ns	
	立ち上がり/立ち下がり時間比	t_{FR}/t_{FF}	90	-	111.11	%	t_{FR}/t_{FF}
	出力抵抗	Z_{DRV}	28	-	44	Ω	USBFS : $R_s = 27\Omega$ 含む
プルアップ/プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	-	1.575	k Ω	アイドル状態の間
			1.425	-	3.090	k Ω	送受信中
	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	-	24.80	k Ω	-

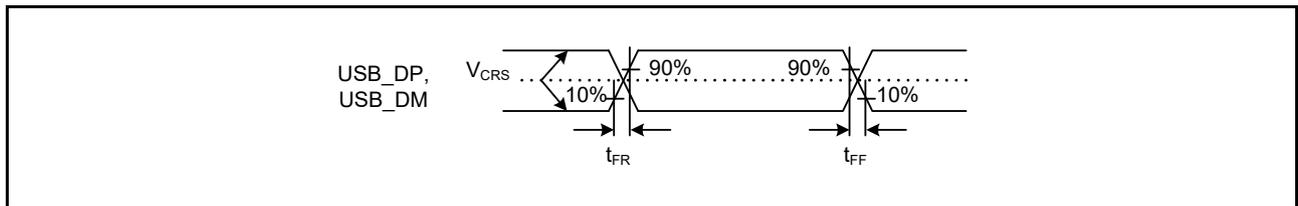


図 2.79 フルスピードモードにおける USB_DP、USB_DM の出力タイミング

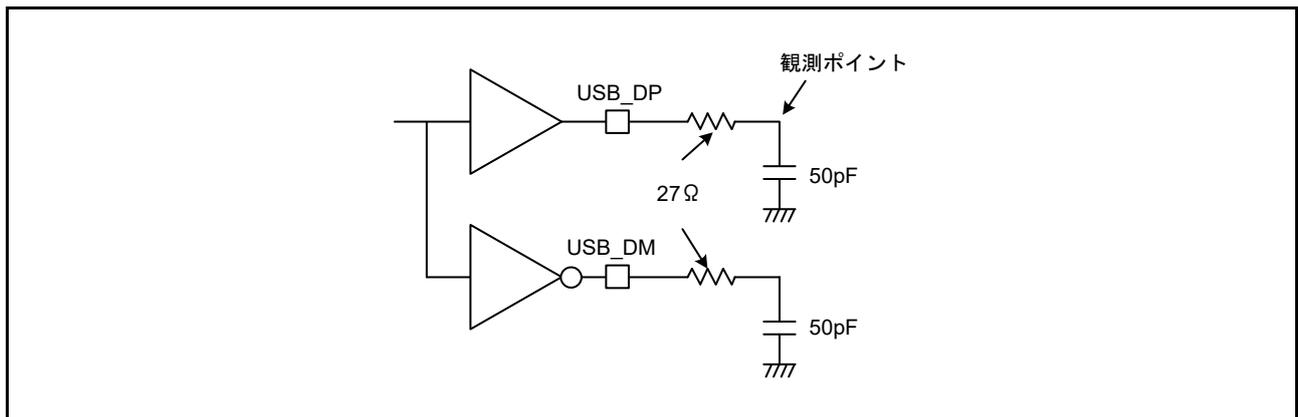


図 2.80 フルスピードモードにおける測定回路

2.5 ADC12 特性

表 2.35 ユニット0のA/D変換特性

条件: PCLKC = 1~60MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	-	60	MHz	-
アナログ入力容量			-	-	30	pF	-
量子化誤差			-	± 0.5	-	LSB	-
分解能			-	-	12	ビット	-
チャンネル専用サンプル ホールド回路使用時 (注3) (AN000~AN002)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	1.06 (0.4 + 0.25) (注2)	-	-	μs	<ul style="list-style-type: none"> チャンネル専用サンプル& ホールド回路のサンプリング24ステート サンプリング15ステート
	オフセット誤差		-	± 1.5	± 3.5	LSB	AN000~AN002 = 0.25V
	フルスケール誤差		-	± 1.5	± 3.5	LSB	AN000~AN002 = VREFH0 - 0.25V
	絶対精度		-	± 2.5	± 5.5	LSB	-
	DNL 微分非直線性誤差		-	± 1.0	± 2.0	LSB	-
	INL 積分非直線性誤差		-	± 1.5	± 3.0	LSB	-
	サンプル&ホールド回路のホールド特性		-	-	20	μs	-
ダイナミックレンジ			0.25	-	VREFH0 - 0.25	V	-
チャンネル専用サンプル &ホールド回路未使用 時 (AN000~AN002)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.48 (0.267) (注2)	-	-	μs	サンプリング16ステート
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-	
高精度チャンネル (AN003~AN007)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.48 (0.267) (注2)	-	-	μs	サンプリング16ステート
		max = 400Ω	0.40 (0.183) (注2)	-	-	μs	サンプリング11ステート VCC = AVCC0 = 3.0~3.6V 3.0V ≤ VREFH0 ≤ AVCC0
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-	
通常精度チャンネル (AN016~AN020)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.88 (0.667) (注2)	-	-	μs	サンプリング40ステート
	オフセット誤差		-	± 1.0	± 5.5	LSB	-
	フルスケール誤差		-	± 1.0	± 5.5	LSB	-
	絶対精度		-	± 2.0	± 7.5	LSB	-
	DNL 微分非直線性誤差		-	± 0.5	± 4.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 5.5	LSB	-	

注. これらの規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中にアクセスが発生した場合は、提示した範囲に数値が収まらない可能性があります。

12ビットA/Dコンバータ使用時は、ポート0をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFLおよび12ビットA/Dコンバータの入力電圧が安定しているときの特性です。

注1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。

注2. ()内の値は、サンプリング時間を意味します。

注3. ユニット0とユニット1それぞれのチャンネル専用サンプル&ホールド回路を同時に使用する場合、表2.37を参照してください。

表 2.36 ユニット1のA/D変換特性

条件 : PCLKC = 1 ~ 60MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	-	60	MHz	-
アナログ入力容量			-	-	30	pF	-
量子化誤差			-	± 0.5	-	LSB	-
分解能			-	-	12	ビット	-
チャンネル専用サンプル & ホールド回路使用時 (注3) (AN100 ~ AN102)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	1.06 (0.4 + 0.25) (注2)	-	-	μs	<ul style="list-style-type: none"> チャンネル専用サンプル& ホールド回路のサンプリング 24ステート サンプリング15ステート
	オフセット誤差		-	± 1.5	± 3.5	LSB	AN100 ~ AN102 = 0.25V
	フルスケール誤差		-	± 1.5	± 3.5	LSB	AN100 ~ AN102 = VREFH - 0.25V
	絶対精度		-	± 2.5	± 5.5	LSB	-
	DNL 微分非直線性誤差		-	± 1.0	± 2.0	LSB	-
	INL 積分非直線性誤差		-	± 1.5	± 3.0	LSB	-
	サンプル&ホールド回路のホールド特性		-	-	20	μs	-
ダイナミックレンジ		0.25	-	VREFH - 0.25	V	-	
チャンネル専用サンプル & ホールド回路未使用 時 (AN100 ~ AN102)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.48 (0.267) (注2)	-	-	μs	サンプリング16ステート
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
	INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-
高精度チャンネル (AN105 ~ AN107)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.48 (0.267) (注2)	-	-	μs	サンプリング16ステート
		max = 400Ω	0.40 (0.183) (注2)	-	-	μs	サンプリング11ステート VCC = AVCC0 = 3.0 ~ 3.6V 3.0V ≤ VREFH ≤ AVCC0
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
	INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-
通常精度チャンネル (AN116 ~ AN118)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.88 (0.667) (注2)	-	-	μs	サンプリング40ステート
	オフセット誤差		-	± 1.0	± 5.5	LSB	-
	フルスケール誤差		-	± 1.0	± 5.5	LSB	-
	絶対精度		-	± 2.0	± 7.5	LSB	-
	DNL 微分非直線性誤差		-	± 0.5	± 4.5	LSB	-
	INL 積分非直線性誤差		-	± 1.0	± 5.5	LSB	-

注. これらの規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中にアクセスが発生した場合は、提示した範囲に数値が収まらない可能性があります。

12ビットA/Dコンバータ使用時は、ポート0をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12ビットA/Dコンバータの入力電圧が安定しているときの特性です。

注1. 変換時間にはサンプリング時間と比較時間が含まれています。測定条件には、サンプリングステート数が示されています。

注2. () 内の値は、サンプリング時間を意味します。

注3. ユニット0とユニット1それぞれのチャンネル専用サンプル&ホールド回路を同時に使用する場合、表2.37を参照してください。

表 2.37 ユニット0およびユニット1のチャンネル専用サンプル&ホールド回路の同時使用時のA/D変換特性

条件 : PCLKC = 30/60MHz

項目		Min	Typ	Max	単位	測定条件
連続サンプリング機能許可でチャンネル専用サンプル &ホールド回路使用時 (AN000~AN002)	オフセット誤差	-	± 1.5	± 5.0	LSB	<ul style="list-style-type: none"> • PCLKC = 60MHz • サンプリング15ステート
	フルスケール誤差	-	± 2.5	± 5.0	LSB	
	絶対精度	-	± 4.0	± 8.0	LSB	
連続サンプリング機能許可でチャンネル専用サンプル &ホールド回路使用時 (AN100~AN102)	オフセット誤差	-	± 1.5	± 5.0	LSB	
	フルスケール誤差	-	± 2.5	± 5.0	LSB	
	絶対精度	-	± 4.0	± 8.0	LSB	
連続サンプリング機能許可でチャンネル専用サンプル &ホールド回路使用時 (AN000~AN002)	オフセット誤差	-	± 1.5	± 3.5	LSB	<ul style="list-style-type: none"> • PCLKC = 30MHz • サンプリング7ステート
	フルスケール誤差	-	± 1.5	± 3.5	LSB	
	絶対精度	-	± 3.0	± 5.5	LSB	
連続サンプリング機能許可でチャンネル専用サンプル &ホールド回路使用時 (AN100~AN102)	オフセット誤差	-	± 1.5	± 3.5	LSB	
	フルスケール誤差	-	± 1.5	± 3.5	LSB	
	絶対精度	-	± 3.0	± 5.5	LSB	

注. ユニット0およびユニット1でチャンネル専用のサンプル&ホールド回路を同時に使う場合、ADSHMSR.SHMD ビットを1に設定することを推奨します。

表 2.38 A/D内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D内部基準電圧	1.13	1.18	1.23	V	-
サンプリング時間	4.15	-	-	μs	-

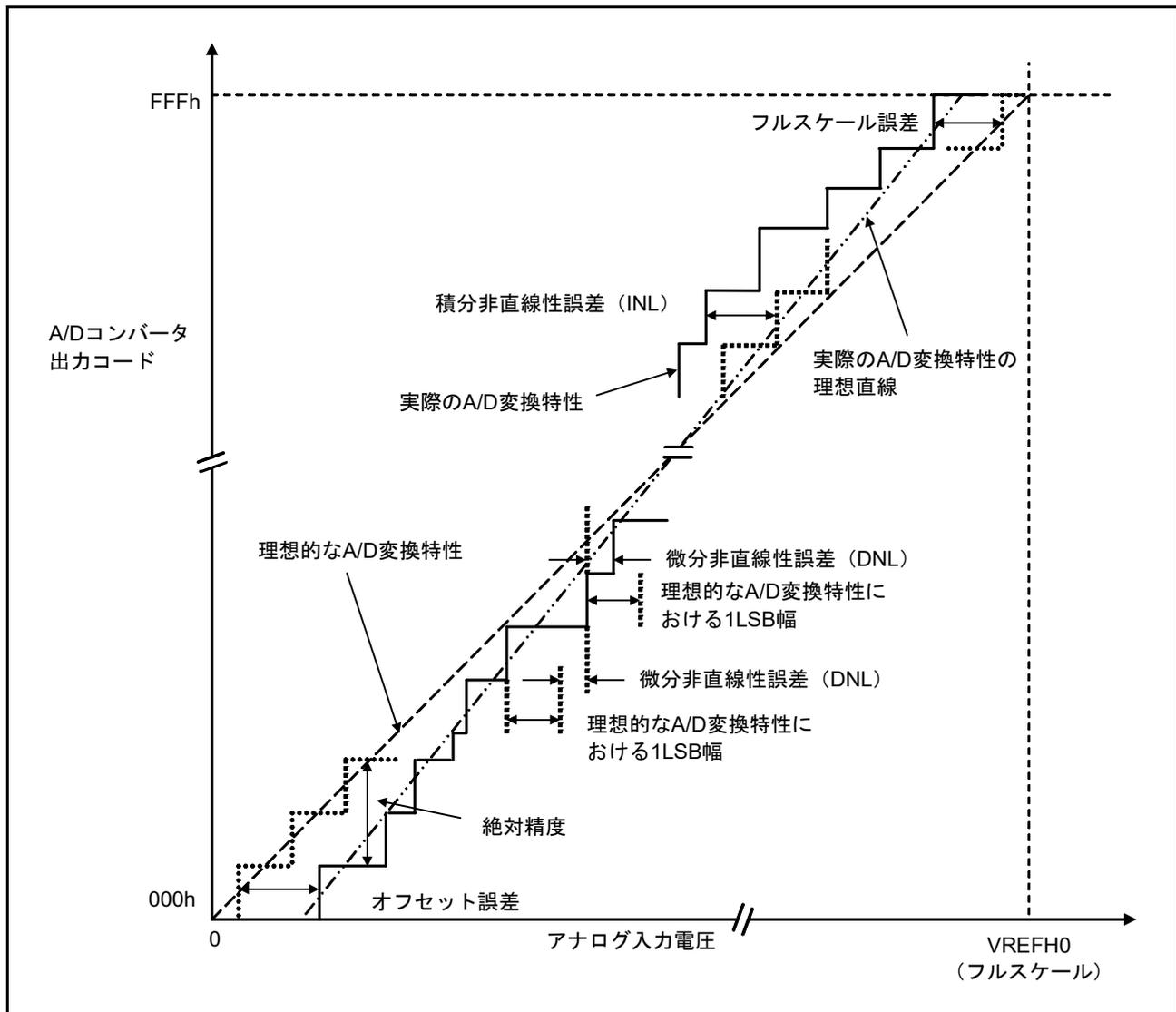


図 2.81 ADC12 特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 $V_{REFH0} = 3.072V$ の場合、1LSB 幅は $0.75mV$ になり、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$ が使用されます。 $\pm 5LSB$ の絶対精度とは、アナログ入力電圧が $6mV$ の場合、理論的 A/D 変換特性から期待される出力コードが $008h$ であっても、実際の A/D 変換結果は $003h \sim 00Dh$ の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1LSB 幅と、実際出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初出力コードの変化点と、実際の最初出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

2.6 DAC12 特性

表 2.39 D/A 変換特性

項目	Min	Typ	Max	単位	測定条件
分解能	-	-	12	ビット	-
出力アンプなし					
絶対精度	-	-	± 24	LSB	負荷抵抗 2MΩ
INL	-	± 2.0	± 8.0	LSB	負荷抵抗 2MΩ
DNL	-	± 1.0	± 2.0	LSB	-
出力インピーダンス	-	8.5	-	kΩ	-
変換時間	-	-	3.0	μs	負荷抵抗 2MΩ 負荷容量 20pF
出力電圧範囲	0	-	VREFH	V	-
出力アンプあり					
INL	-	± 2.0	± 4.0	LSB	-
DNL	-	± 1.0	± 2.0	LSB	-
変換時間	-	-	4.0	μs	-
負荷抵抗	5	-	-	kΩ	-
負荷容量	-	-	50	pF	-
出力電圧範囲	0.2	-	VREFH - 0.2	V	-

2.7 TSN 特性

表 2.40 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	-	-	± 1.0	-	°C	-
温度傾斜	-	-	4.0	-	mV/°C	-
出力電圧 (25°C)	-	-	1.24	-	V	-
温度センサ起動時間	t _{START}	-	-	30	μs	-
サンプリング時間	-	4.15	-	-	μs	-

2.8 OSC 停止検出特性

表 2.41 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	-	-	1	ms	図 2.82

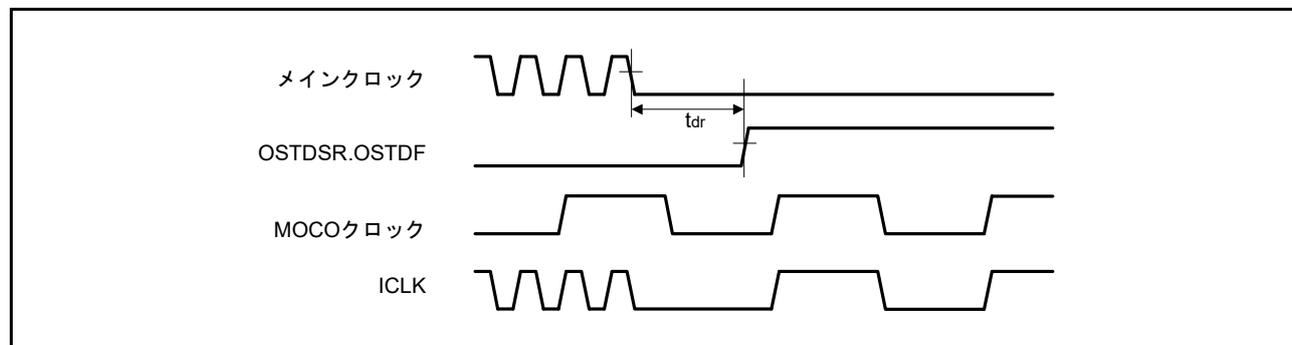


図 2.82 発振停止検出タイミング

2.9 POR/LVD 特性

表 2.42 パワーオンリセット回路、電圧検出回路の特性

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	DPSBYCR.DEEPCUT[1:0] = 00b または 01b	V_{POR}	2.5	2.6	2.7	V	図 2.83
		DPSBYCR.DEEPCUT[1:0] = 11b		1.8	2.25	2.7		
	電圧検出回路 (LVD0)		V_{det0_1}	2.84	2.94	3.04		図 2.84
			V_{det0_2}	2.77	2.87	2.97		
			V_{det0_3}	2.70	2.80	2.90		
	電圧検出回路 (LVD1)		V_{det1_1}	2.89	2.99	3.09		図 2.85
			V_{det1_2}	2.82	2.92	3.02		
			V_{det1_3}	2.75	2.85	2.95		
	電圧検出回路 (LVD2)		V_{det2_1}	2.89	2.99	3.09		図 2.86
			V_{det2_2}	2.82	2.92	3.02		
			V_{det2_3}	2.75	2.85	2.95		
	内部リセット時間	パワーオンリセット時間	t_{POR}	-	4.5	-		ms
LVD0 リセット時間		t_{LVD0}	-	0.51	-	図 2.84		
LVD1 リセット時間		t_{LVD1}	-	0.38	-	図 2.85		
LVD2 リセット時間		t_{LVD2}	-	0.38	-	図 2.86		
最小VCC低下時間 (注1)		t_{VOFF}	200	-	-	μ s	図 2.83、 図 2.84	
応答遅延時間		t_{det}	-	-	200	μ s	図 2.83 ~ 図 2.86	
LVD動作安定時間 (LVD有効切り替え後)		$t_{d(E-A)}$	-	-	10	μ s	図 2.85、 図 2.86	
ヒステリシス幅 (LVD1、LVD2)		V_{LVH}	-	70	-	mV		

注 1. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det1} 、 V_{det2} の min 値を下回っている時間です。

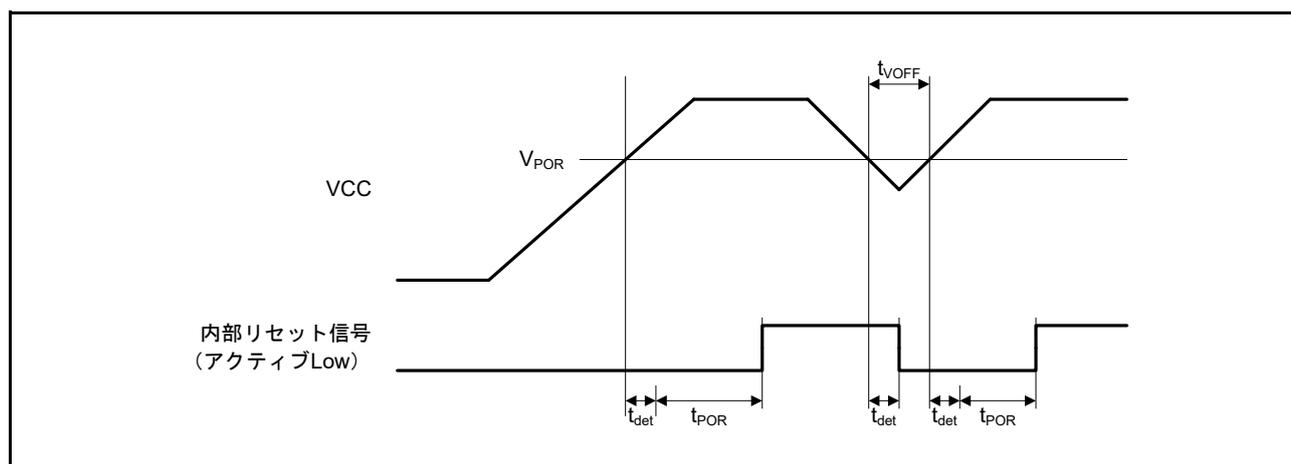


図 2.83 パワーオンリセットタイミング

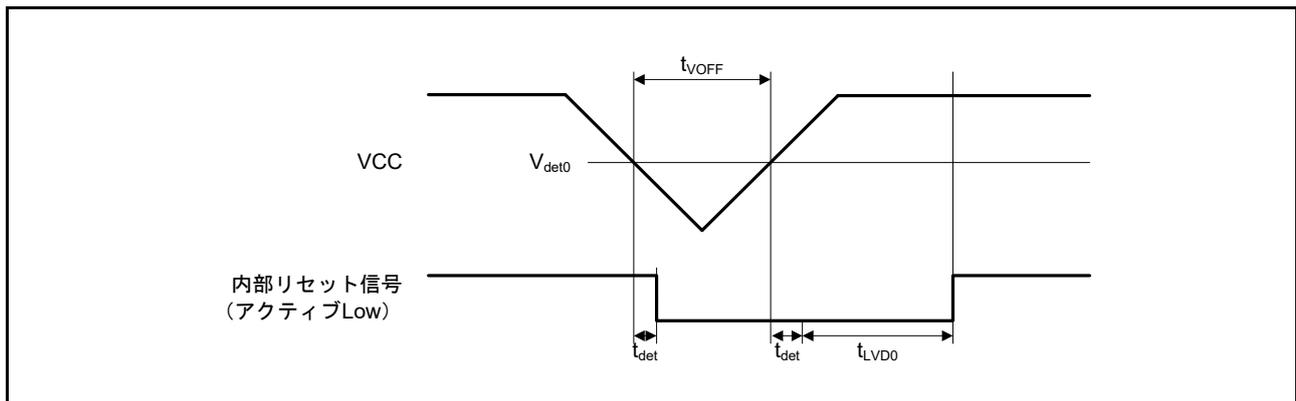


図 2.84 電圧検出回路タイミング (V_{det0})

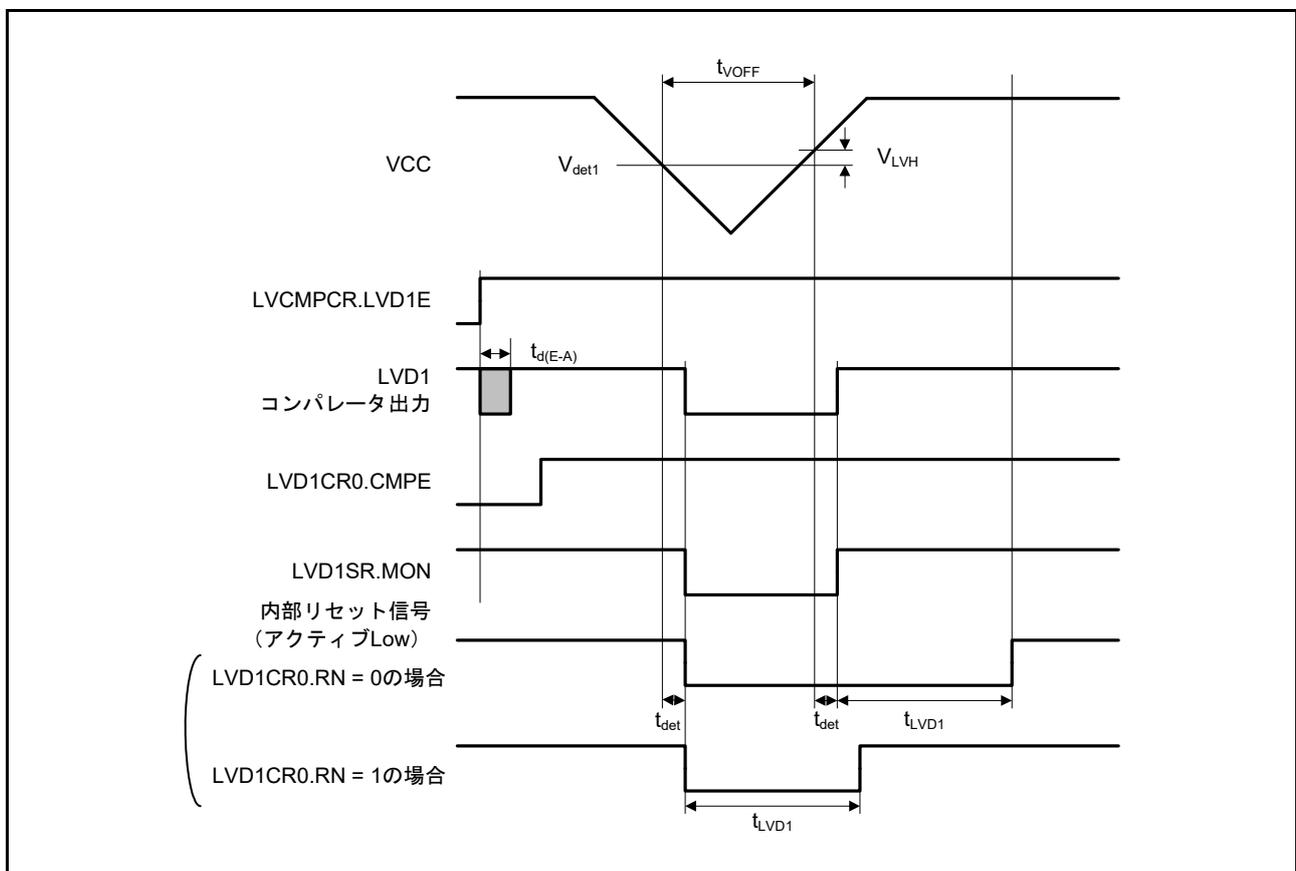


図 2.85 電圧検出回路タイミング (V_{det1})

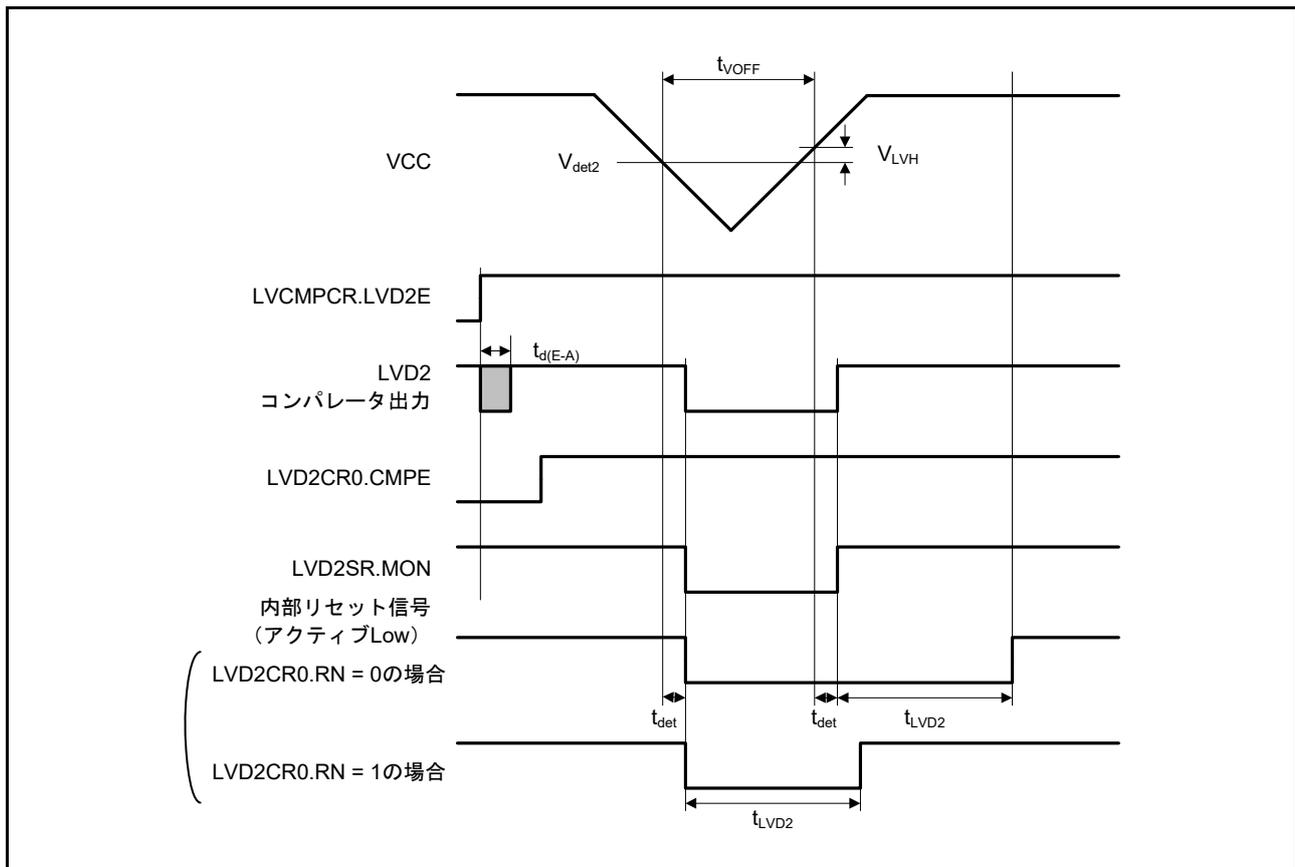


図 2.86 電圧検出回路タイミング (V_{det2})

2.10 VBATT 特性

表 2.43 バッテリバックアップ機能の特性

条件 : VCC = AVCC0 = VCC_USB = 2.7 ~ 3.6V、 $2.7V \leq VREFH0/VRFEH \leq AVCC0$ 、VBATT = 1.65 ~ 3.6V (注1)

項目	シンボル	Min	Typ	Max	単位	測定条件
バッテリバックアップ切り替え電圧レベル	V_{DET_BATT}	2.50	2.60	2.70	V	図 2.87
VCC電圧低下による電源切り替え時のVBATT下限電圧	V_{BATT_SW}	2.70	-	-	V	
電源切り替え開始時VCCオフ期間	$t_{V_OFF_BATT}$	200	-	-	μs	

注 . 電源切り替え開始時 VCC オフ期間は、VCC がバッテリバックアップ切り替え電圧レベル V_{DET_BATT} の min 値を下回っている時間です。

注 1. VBATT = 1.8V 未満は、低 CL 水晶振動子は使用できません。

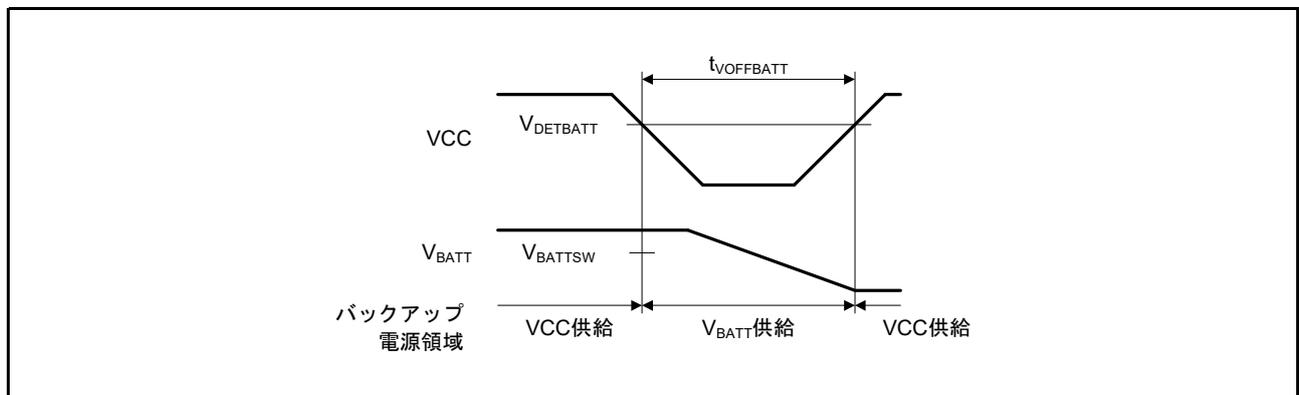


図 2.87 バッテリバックアップ機能特性

2.11 CTSU 特性

表 2.44 CTSU 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP端子に接続された外付け容量	C_{TSCAP}	9	10	11	nF	-
TS端子の負荷容量	C_{base}	-	-	50	pF	-
許容大電流出力	ΣI_{oH}	-	-	-40	mA	相互容量方式適用時

2.12 ACPHPS 特性

表 2.45 ACPHPS 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲	VREF	0	-	AVCC0	V	-
入力電圧範囲	VI	0	-	AVCC0	V	-
出力遅延時間 (注1)	Td	-	50	100	ns	VI = VREF ± 100mV
内部基準電圧	Vref	1.13	1.18	1.23	V	-

注 1. 内部伝搬遅延の値です。

2.13 フラッシュメモリ特性

2.13.1 コードフラッシュメモリ特性

表 2.46 コードフラッシュメモリ特性

条件：プログラム/イレース：FCLK = 4~60MHz

読み出し：FCLK ≤ 60MHz

項目		シンボル	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件
			Min	Typ	Max	Min	Typ	Max		
プログラム時間 N _{PEC} ≤ 100回	128バイト	t _{P128}	-	0.75	13.2	-	0.34	6.0	ms	
	8KB	t _{P8K}	-	49	176	-	22	80	ms	
	32KB	t _{P32K}	-	194	704	-	88	320	ms	
プログラム時間 N _{PEC} > 100回	128バイト	t _{P128}	-	0.91	15.8	-	0.41	7.2	ms	
	8KB	t _{P8K}	-	60	212	-	27	96	ms	
	32KB	t _{P32K}	-	234	848	-	106	384	ms	
イレース時間 N _{PEC} ≤ 100回	8KB	t _{E8K}	-	78	216	-	43	120	ms	
	32KB	t _{E32K}	-	283	864	-	157	480	ms	
イレース時間 N _{PEC} > 100回	8KB	t _{E8K}	-	94	260	-	52	144	ms	
	32KB	t _{E32K}	-	341	1040	-	189	576	ms	
再プログラム/イレースサイクル (注4)	N _{PEC}	10000 (注1)	-	-	-	10000 (注1)	-	-	回	
プログラム中のサスペンド遅延時間	t _{SPD}	-	-	264	-	-	120	μs		
サスペンド優先モードにおける イレース中の1回目のサスペンド 遅延時間	t _{SESD1}	-	-	216	-	-	120	μs		
サスペンド優先モードにおける イレース中の2回目のサスペンド 遅延時間	t _{SESD2}	-	-	1.7	-	-	1.7	ms		
イレース優先モードにおける イレース中のサスペンド遅延時間	t _{SEED}	-	-	1.7	-	-	1.7	ms		
強制終了コマンド	t _{FD}	-	-	32	-	-	20	μs		
データ保持時間 (注2)	t _{DRP}	10 (注2) (注3)	-	-	10 (注2) (注3)	-	-	年	Ta = +85°C	
		30 (注2) (注3)	-	-	30 (注2) (注3)	-	-			

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1 ~ 最小値です。

注 2. 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

注 3. 信頼性試験から取得された結果です。

注 4. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 10000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、8KB のブロックについて、それぞれ異なる番地に 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。

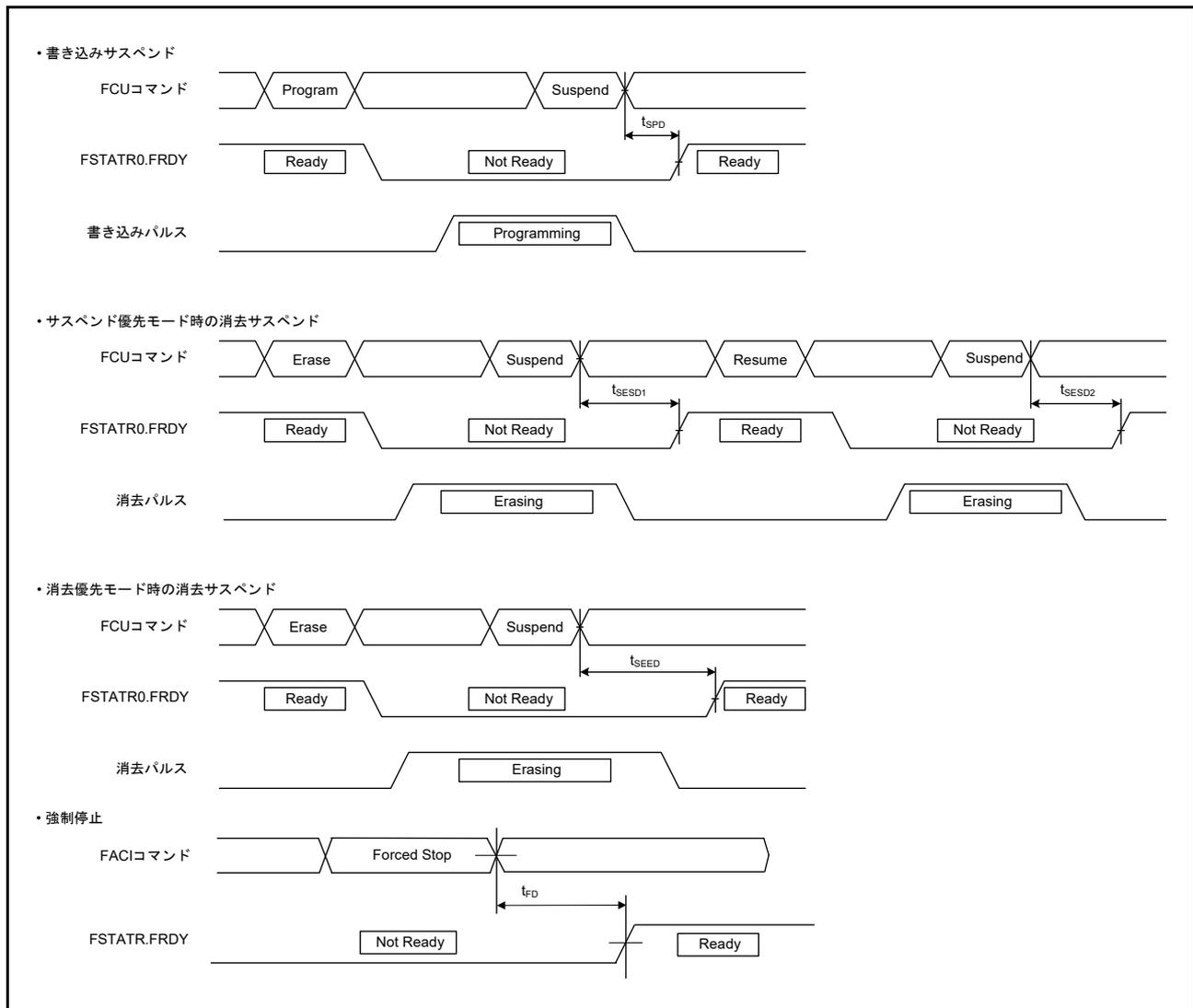


図 2.88 フラッシュメモリのプログラム/イレースのサスペンドタイミングと強制停止タイミング

2.13.2 データフラッシュメモリ特性

表 2.47 データフラッシュメモリ特性

条件：プログラム/イレース：FCLK = 4~60MHz

読み出し：FCLK ≤ 60MHz

項目	シンボル	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4バイト	t _{DP4}	-	0.36	3.8	-	0.16	1.7	ms
	8バイト	t _{DP8}	-	0.38	4.0	-	0.17	1.8	
	16バイト	t _{DP16}	-	0.42	4.5	-	0.19	2.0	
イレース時間	64バイト	t _{DE64}	-	3.1	18	-	1.7	10	ms
	128バイト	t _{DE128}	-	4.7	27	-	2.6	15	
	256バイト	t _{DE256}	-	8.9	50	-	4.9	28	
ブランクチェック時間	4バイト	t _{DBC4}	-	-	84	-	-	30	μs
再プログラム/イレースサイクル (注1)	N _{DPEC}	125000 (注2)	-	-	-	125000 (注2)	-	-	-
プログラム中のサスペンド 遅延時間	4バイト	t _{DSPD}	-	-	264	-	-	120	μs
	8バイト		-	-	264	-	-	120	
	16バイト		-	-	264	-	-	120	
サスペンド優先モードに おけるイレース中の1回目 のサスペンド遅延時間	64バイト	t _{DSESD1}	-	-	216	-	-	120	μs
	128バイト		-	-	216	-	-	120	
	256バイト		-	-	216	-	-	120	
サスペンド優先モードに おけるイレース中の2回目 のサスペンド遅延時間	64バイト	t _{DSESD2}	-	-	300	-	-	300	μs
	128バイト		-	-	390	-	-	390	
	256バイト		-	-	570	-	-	570	
イレース優先モードに おけるイレース中の サスペンド遅延時間	64バイト	t _{DSEED}	-	-	300	-	-	300	μs
	128バイト		-	-	390	-	-	390	
	256バイト		-	-	570	-	-	570	
強制終了コマンド	t _{FD}	-	-	32	-	-	20	μs	
データ保持時間 (注3)	t _{DRP}	10 (注3) (注4)	-	-	-	10 (注3) (注4)	-	-	年
		30 (注3) (注4)	-	-	-	30 (注3) (注4)	-	-	

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 125000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、64 バイトのブロックについて、それぞれ異なる番地に 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。

注 2. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1 ~ 最小値です。

注 3. 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

注 4. 信頼性試験から取得された結果です。

2.14 バウンダリスキャン

表 2.48 バウンダリスキャン特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	-	-	ns	図 2.89
TCKクロックHighレベルパルス幅	t_{TCKH}	45	-	-	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	45	-	-	ns	
TCKクロック立ち上がり時間	t_{TCKr}	-	-	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	-	-	5	ns	
TMSセットアップ時間	t_{TMSS}	20	-	-	ns	図 2.90
TMSホールド時間	t_{TMSh}	20	-	-	ns	
TDIセットアップ時間	t_{TDis}	20	-	-	ns	
TDIホールド時間	t_{TDIH}	20	-	-	ns	
TDOデータ遅延時間	t_{TDOD}	-	-	40	ns	図 2.91
バウンダリスキャン回路起動時間 (注1)	T_{BSSTUP}	t_{RESWP}	-	-	-	

注1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

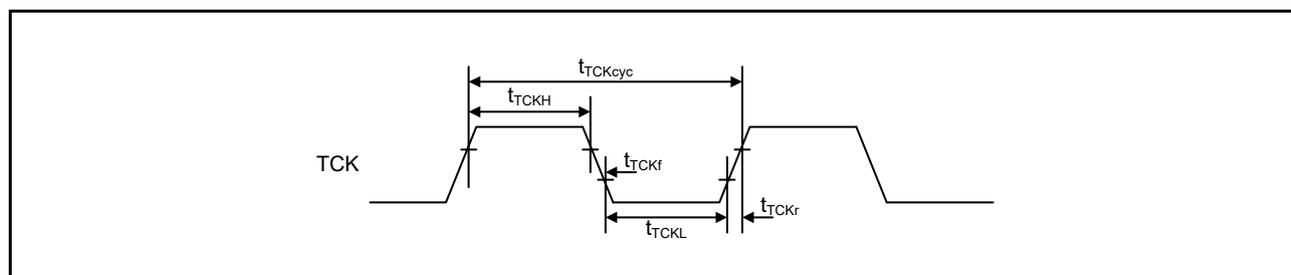


図 2.89 バウンダリスキャン TCK タイミング

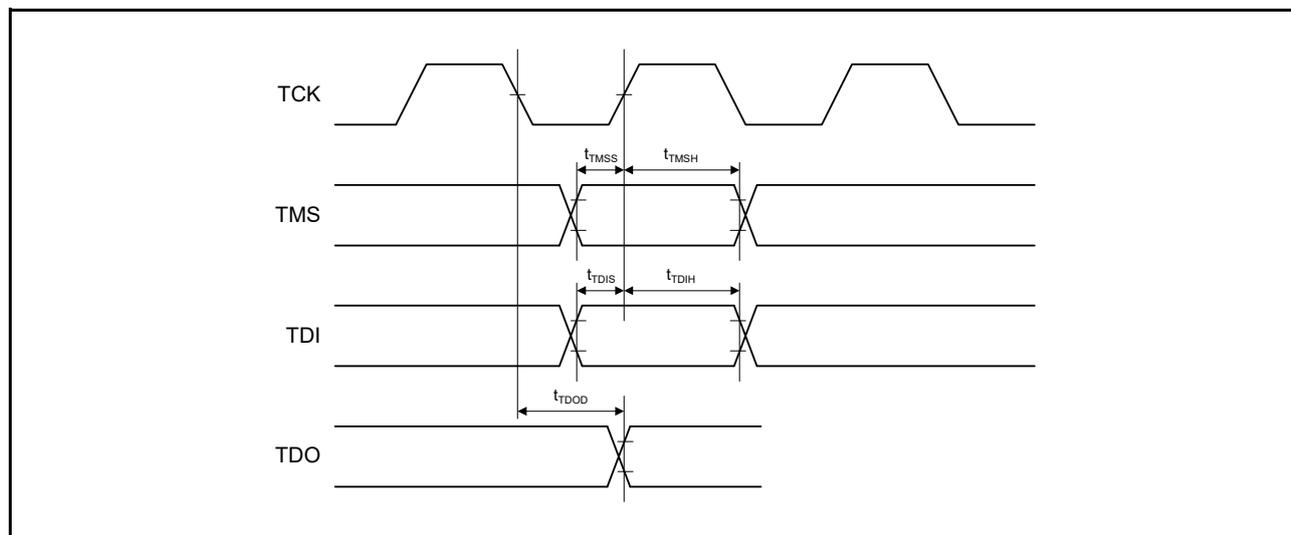


図 2.90 バウンダリスキャン入出力タイミング

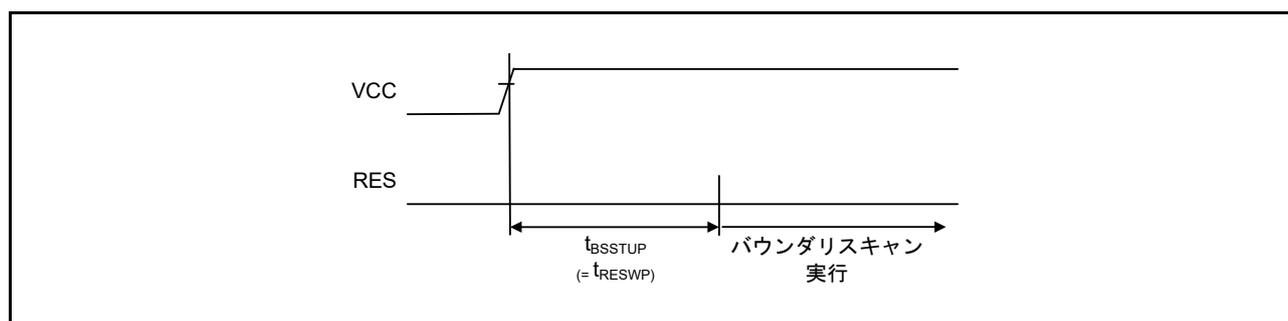


図 2.91 バウンダリスキャン回路起動タイミング

2.15 ジョイントテストアクショングループ (JTAG)

表 2.49 JTAG 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	40	-	-	ns	図 2.92
TCKクロック High レベルパルス幅	t_{TCKH}	15	-	-	ns	
TCKクロック Low レベルパルス幅	t_{TCKL}	15	-	-	ns	
TCKクロック立ち上がり時間	t_{TCKr}	-	-	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	-	-	5	ns	
TMSセットアップ時間	t_{TMSS}	8	-	-	ns	図 2.93
TMSホールド時間	t_{TMSH}	8	-	-	ns	
TDIセットアップ時間	t_{TDIS}	8	-	-	ns	
TDIホールド時間	t_{TDIH}	8	-	-	ns	
TDOデータ遅延時間	t_{TDOD}	-	-	20	ns	

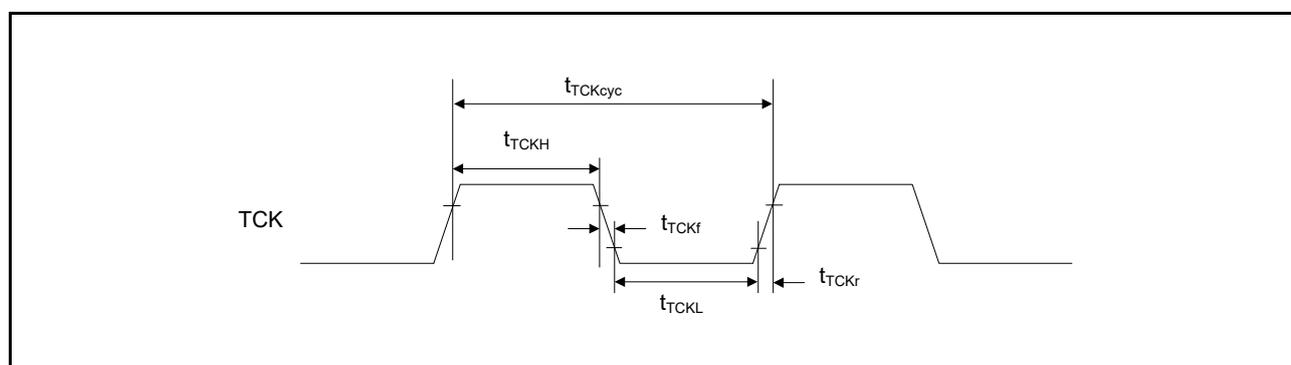


図 2.92 JTAG TCK タイミング

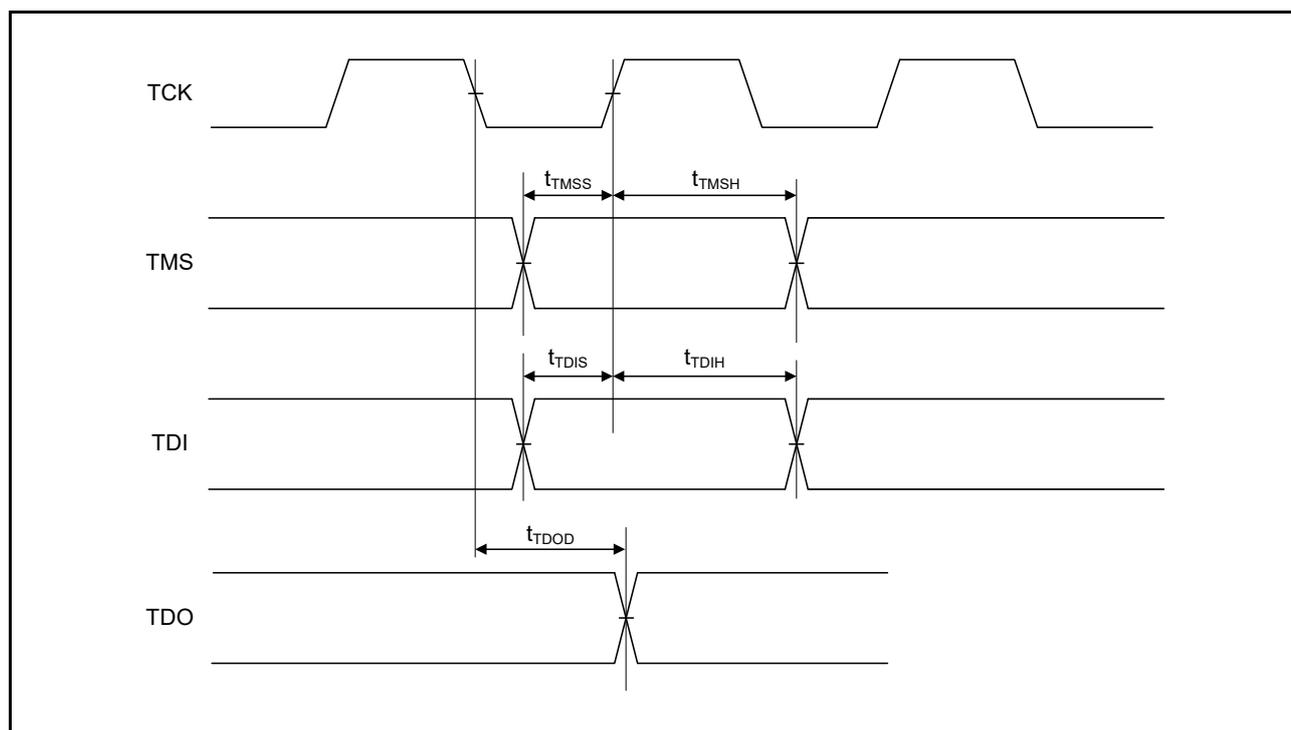


図 2.93 JTAG 入出力タイミング

2.16 シリアルワイヤデバッグ (SWD)

表 2.50 SWD 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{SWCKcyc}$	40	-	-	ns	図 2.94
SWCLKクロック High レベルパルス幅	t_{SWCKH}	15	-	-	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	15	-	-	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	-	-	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	-	-	5	ns	
SWDIOセットアップ時間	t_{SWDS}	8	-	-	ns	図 2.95
SWDIOホールド時間	t_{SWDH}	8	-	-	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	-	28	ns	

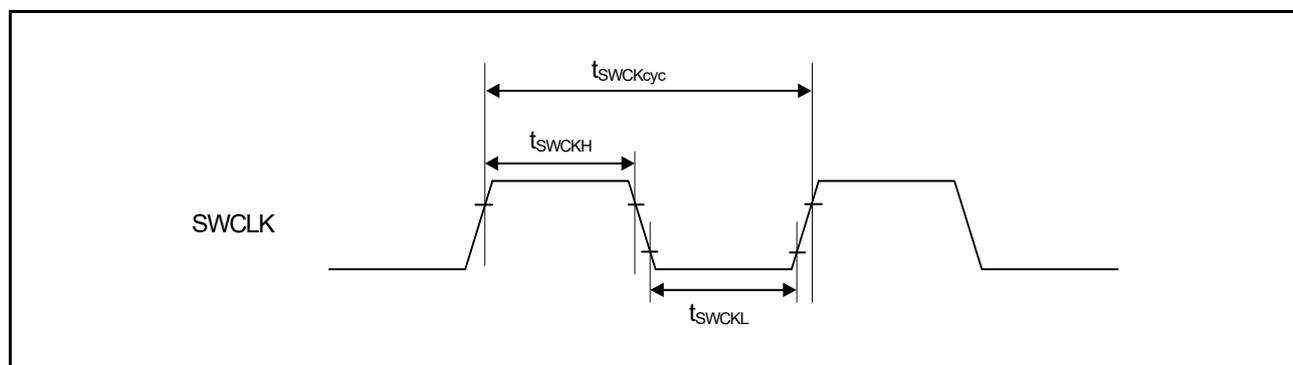


図 2.94 SWD SWCLK タイミング

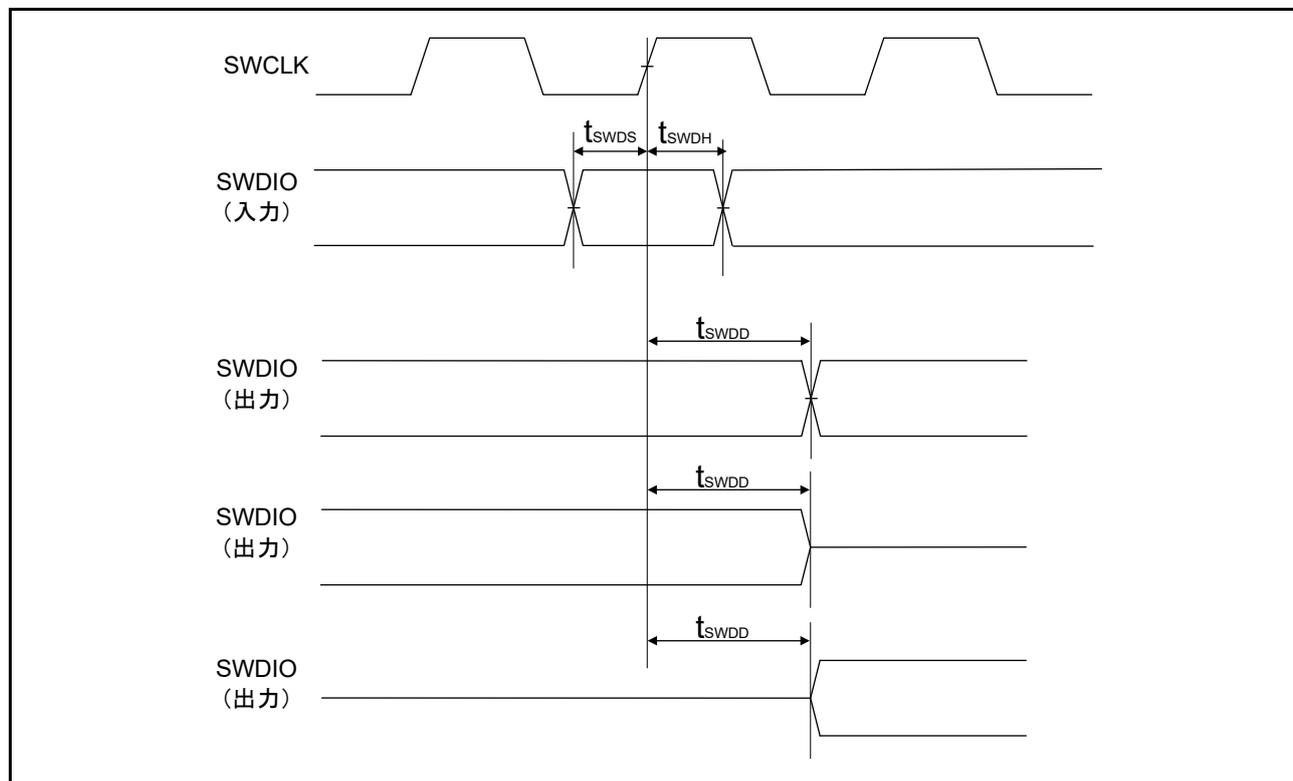


図 2.95 SWD 入出力タイミング

2.17 エンベデッドトレースマクロインタフェース (ETM)

表 2.51 ETM特性

条件：PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Typ	Max	単位	測定条件
TCLKクロックサイクル時間	$t_{TCLKcyc}$	33.3	-	-	ns	図 2.96
TCLKクロックHighレベルパルス幅	t_{TCLKH}	13.6	-	-	ns	
TCLKクロックLowレベルパルス幅	t_{TCLKL}	13.6	-	-	ns	
TCLKクロック立ち上がり時間	t_{TCLKr}	-	-	3	ns	
TCLKクロック立ち下がり時間	t_{TCLKf}	-	-	3	ns	
TDATA[3:0]出力セットアップ時間	t_{TRDS}	3.5	-	-	ns	図 2.97
TDATA[3:0]出力ホールド時間	t_{TRDH}	2.5	-	-	ns	

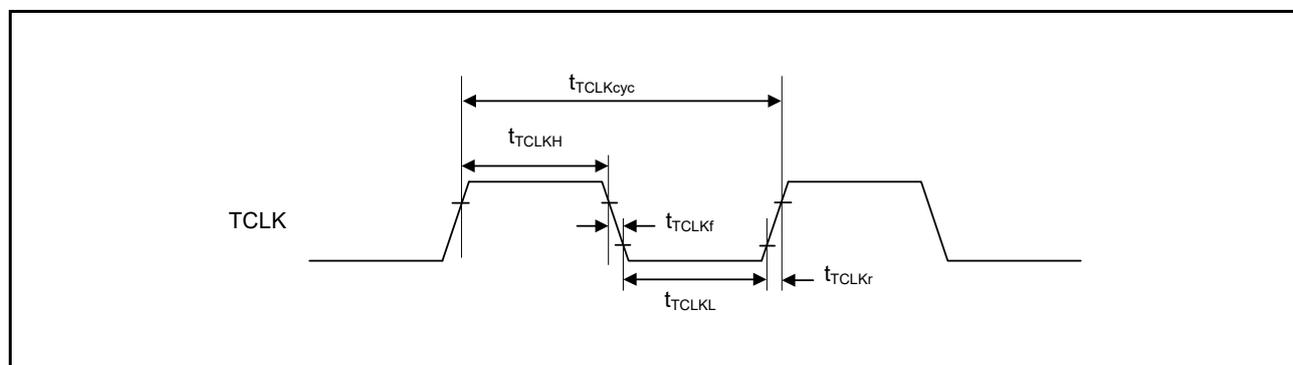


図 2.96 ETM TCLK タイミング

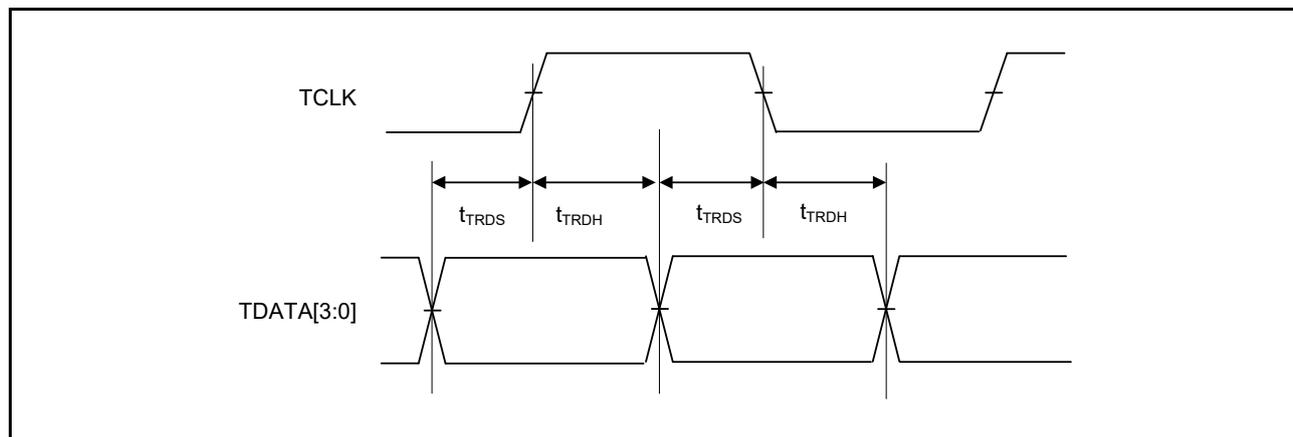


図 2.97 ETM 出力タイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスウェブサイトの「パッケージ」を参照してください。

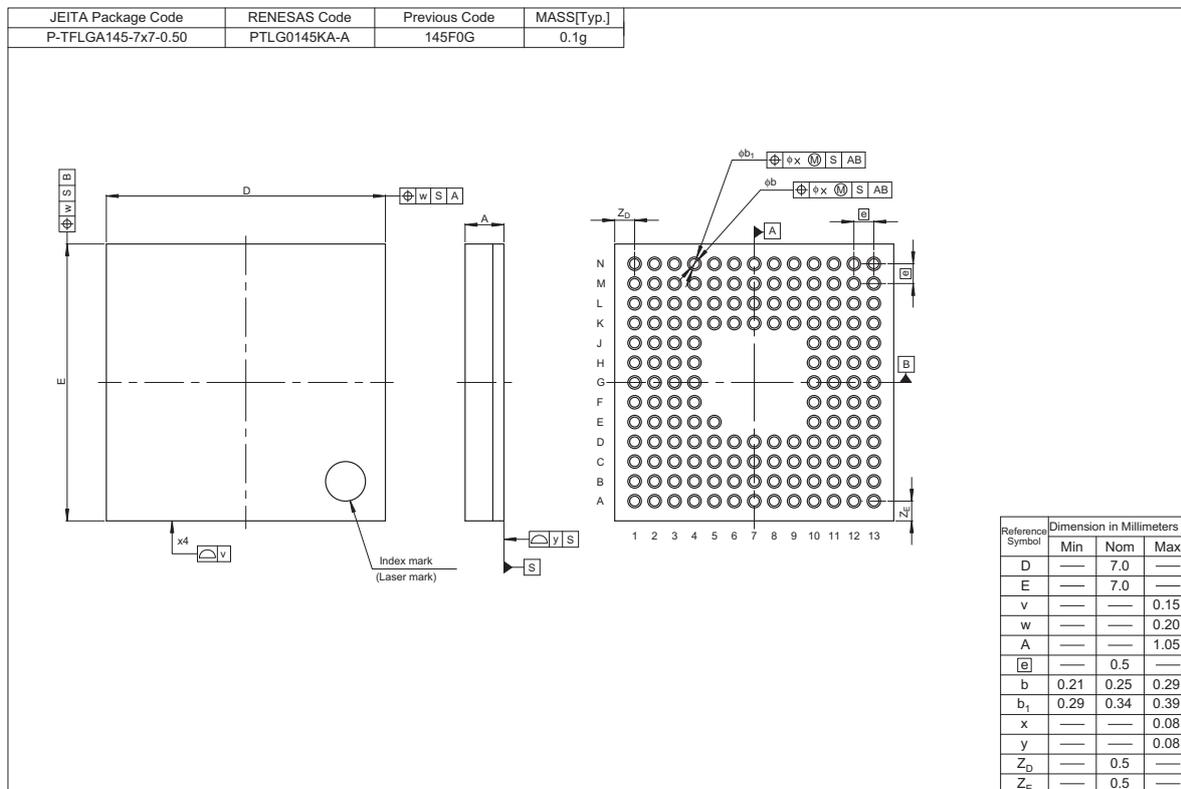


図 1.1 145 ピン LGA

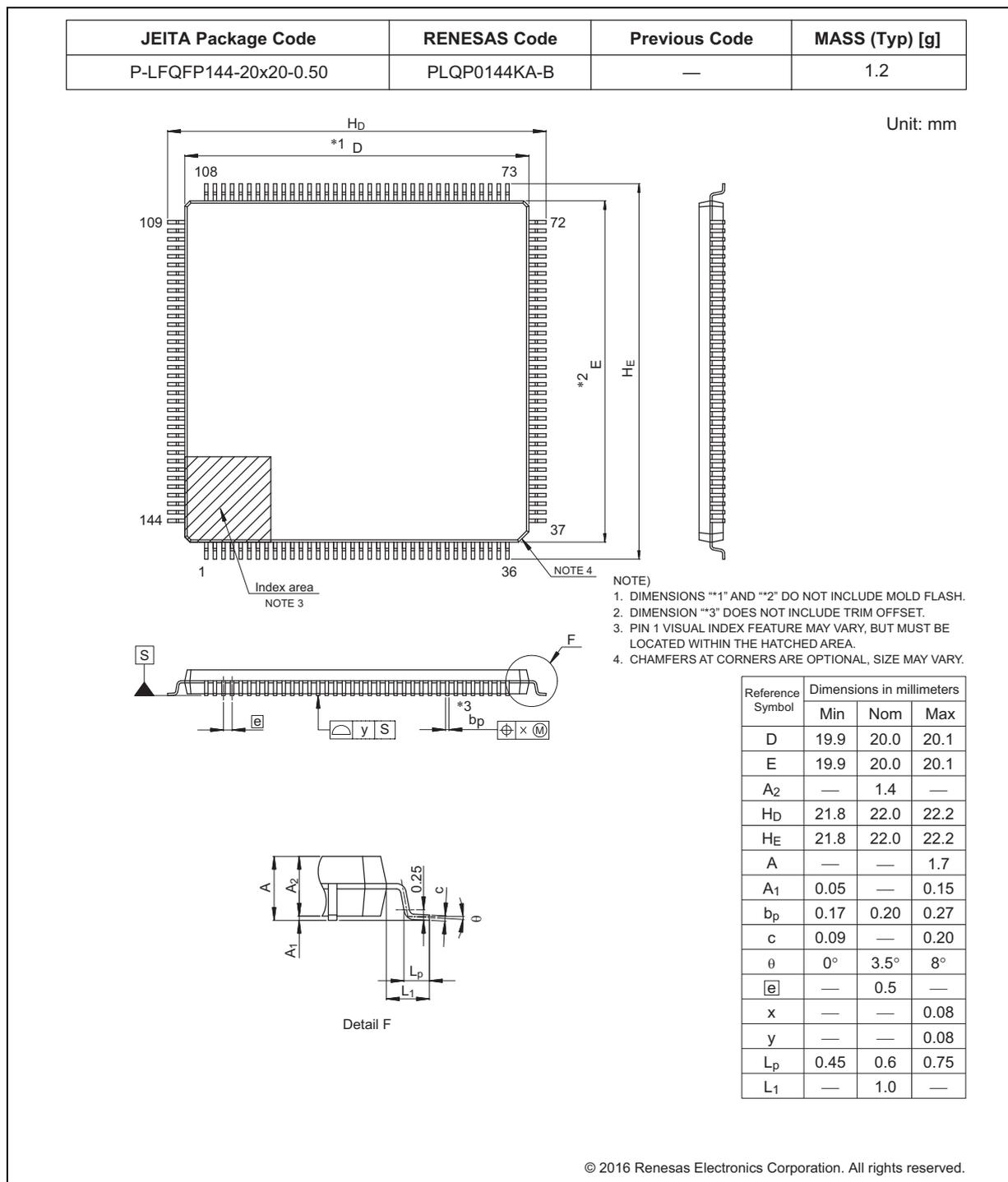
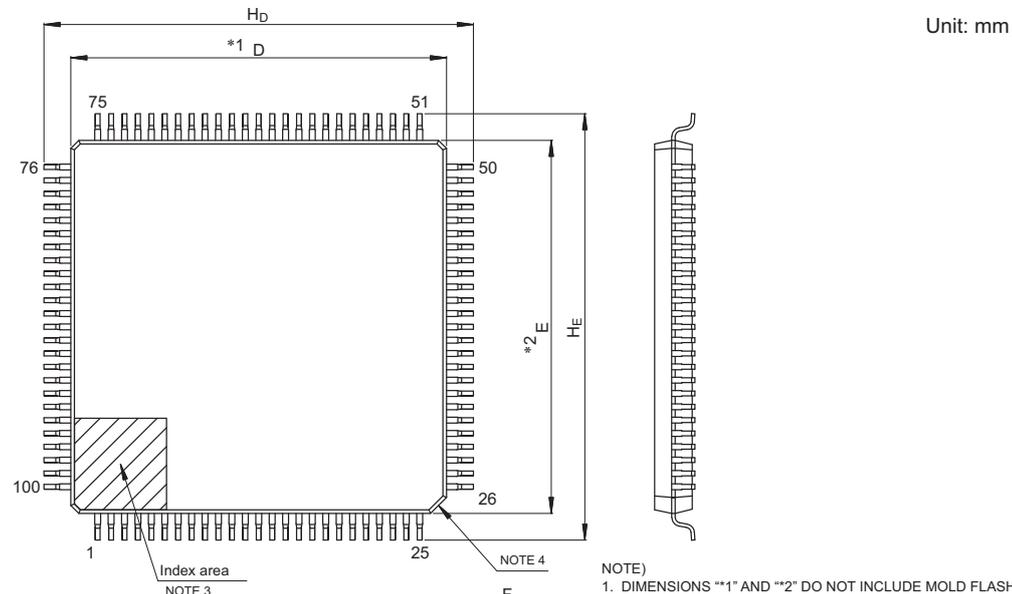


図 1.2 144 ピン LQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
ⓔ	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 1.3 100ピン LQFP

改訂記録	RA6M2 グループデータシート
------	------------------

Rev.	発行日	章	改訂内容
1.00	2020.03.24	—	初版発行
1.10	2022.09.30	—	第2版発行

RA6M2グループ データシート

発行年月日 2022年9月30日 Rev.1.10

発行 ルネサスエレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な変更、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

RA6M2 グループ