

超低消費電力 64 MHz Arm® Cortex®-M23 コア、最大 64 KB のコードフラッシュメモリ、8 KB の SRAM、12 ビット A/D コンバータ、高速アナログコンパレータ、およびセーフティ機能

## 特長

### ■ Arm Cortex-M23 コア

- Armv8-M アーキテクチャ
- 最高動作周波数：64 MHz
- Arm メモリプロテクションユニット (Arm MPU) (8 領域)
- デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

### ■ メモリ

- 最大 64 KB のコードフラッシュメモリ
- 2 KB のデータフラッシュメモリ (100,000 書き込み/消去 (P/E) サイクル)
- 8 KB の SRAM
- メモリプロテクションユニット (MPU)
- 128 ビットのユニーク ID

### ■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 4
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - 簡易 IIC
  - 簡易 SPI
  - スマートカードインタフェース
- シリアルペリフェラルインタフェース (SPI) × 1
- I<sup>2</sup>C バスインタフェース (IIC) × 1

### ■ アナログ

- 12 ビット A/D コンバータ (ADC12) (サンプル&ホールドホールド回路 × 3 を搭載)
- 温度センサ回路 (TSN)
- 高速アナログコンパレータ (ACMPHS) × 2

### ■ タイマ

- 16 ビット汎用 PWM タイマ (GPT16) × 4
- 32 ビット低消費電力非同期汎用タイマ (AGTW) × 2
- ウォッチドッグタイマ (WDT)

### ■ セーフティ

- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス検出

### ■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出回路 (LVD) (電圧設定)

### ■ マルチクロックソース

- メインクロック発振器 (MOSC) (1~20 MHz)
- 高速オンチップオシレータ (HOCO) (24/32/48/64 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- クロックアウトのサポート

### ■ 最大 40 本の汎用入出力ポート内蔵

- 5 V トレランス、オープンドレイン、入力プルアップ、切り替え可能駆動能力

### ■ 動作電圧

- VCC: 1.6~5.5 V

### ■ 動作温度およびパッケージ

- Ta = -40 °C~+105 °C
  - 48 ピン LQFP (7 mm × 7 mm, 0.5 mm ピッチ)
  - 48 ピン HWQFN (7 mm × 7 mm, 0.5 mm ピッチ)
  - 32 ピン LQFP (7 mm × 7 mm, 0.8 mm ピッチ)
  - 32 ピン HWQFN (5 mm × 5 mm, 0.5 mm ピッチ)
  - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
- Ta = -40 °C~+125 °C
  - 48 ピン LQFP (7 mm × 7 mm, 0.5 mm ピッチ)
  - 48 ピン HWQFN (7 mm × 7 mm, 0.5 mm ピッチ)
  - 32 ピン LQFP (7 mm × 7 mm, 0.8 mm ピッチ)
  - 32 ピン HWQFN (5 mm × 5 mm, 0.5 mm ピッチ)
  - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)

## 1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な Arm Cortex®-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 最大 64 KB のコードフラッシュメモリ
- 8 KB の SRAM
- 12 ビット A/D コンバータ (ADC12)

### 1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	<ul style="list-style-type: none"> <li>● 最高動作周波数 : 64 MHz</li> <li>● Arm Cortex-M23 コア : <ul style="list-style-type: none"> <li>– リビジョン : r1p0-00rel0</li> <li>– Armv8-M アーキテクチャプロファイル</li> <li>– シングルサイクル整数乗算器</li> <li>– 19 サイクル整数除算器</li> </ul> </li> <li>● Arm メモリプロテクションユニット (Arm MPU) : <ul style="list-style-type: none"> <li>– Armv8 保護メモリシステムアーキテクチャ</li> <li>– 8 つの保護領域</li> </ul> </li> <li>● SysTick タイマ : <ul style="list-style-type: none"> <li>– SYSTICCLK (LOCO) または ICLK による駆動</li> </ul> </li> </ul>

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 64 KB のコードフラッシュメモリ
データフラッシュメモリ	2 KB のデータフラッシュメモリ
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットを備えた高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード : <ul style="list-style-type: none"> <li>● シングルチップモード</li> <li>● SCI ブートモード</li> </ul>
リセット	本 MCU は、12 種類のリセット (RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視 0/1/2 リセット、SRAM パリティエラーリセット、バスマスタ/スレーブ MPU エラーリセット、CPU スタックポインタエラーリセット、ソフトウェアリセット) をサポートしています。
低電圧検出回路 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、3 つの独立した電圧レベル監視回路 (LVD0, LVD1, LVD2) から構成されています。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを測定します。LVD のレジスタにより、さまざまな電圧しきい値での VCC 端子への入力電圧の変動をアプリケーションで検出できます。
クロック	<ul style="list-style-type: none"> <li>● メインクロック発振器 (MOSC)</li> <li>● 高速オンチップオシレータ (HOCO)</li> <li>● 中速オンチップオシレータ (MOCO)</li> <li>● 低速オンチップオシレータ (LOCO)</li> <li>● IWDG 専用オンチップオシレータ</li> <li>● クロックアウトのサポート</li> </ul>

表 1.3 システム (2/2)

機能	機能の説明
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内がないとき、割り込み要求が発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は、4 つのメモリプロテクションユニット (MPU) と CPU スタックポインタモニタ機能を備えています。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込み、アンダーフロー割り込み、またはウォッチドッグタイマリセットを発生させるためにも使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイルセーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは、割り込み要求によって起動するとデータ転送を行います。

表 1.6 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT16 × 4 チャンルの 16 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。
GPT 用のポートアウトプットイネーブル (POEG)	POEG は、汎用 PWM タイマ (GPT) の出力端子からの出力を停止する要求を発行します。
低消費電力非同期汎用タイマ (AGTW)	低消費電力非同期汎用タイマ (AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTW レジスタでアクセス可能です。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 4 チャンルには調歩同期式および同期式のシリアルインタフェースがあります。 <ul style="list-style-type: none"> <li>● 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA))</li> <li>● 8 ビットクロック同期式インタフェース</li> <li>● 簡易 IIC (マスタのみ)</li> <li>● 簡易 SPI</li> <li>● スマートカードインタフェース</li> </ul> スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI <sub>n</sub> (n = 0) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
I <sup>2</sup> C バスインタフェース (IIC)	I <sup>2</sup> C バスインタフェース (IIC) には 1 チャンルがあります。IIC モジュールは、NXP 社の I <sup>2</sup> C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) にはチャンネルが 1 つあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。

表 1.8 アナログ機能

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 13 チャンルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどニアの関係にあります。出力電圧は ADC12 で変換されてから、末端の応用機器で使用できます。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、基準入力電圧とアナログ入力電圧を比較します。コンパレータチャンネルの ACMPHS0 と ACMPHS1 は、それぞれ独立しています。基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREF <sub>i</sub> (i = 0, 1) 端子への入力、CMPIN <sub>0j</sub> (j = 0, 1, 2) 端子への入力、または MCU の内部に生成された内部基準電圧 (V <sub>ref</sub> ) から選択できます。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスを監視できます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、16 ビットのデータが比較され、割り込みを生成可能です。

表 1.10 I/O ポート

機能	機能の説明
I/O ポート	<ul style="list-style-type: none"><li>● 48 ピン LQFP/HWQFN 用 I/O ポート<ul style="list-style-type: none"><li>– 入出力端子 : 39</li><li>– 入力端子 : 1</li><li>– プルアップ抵抗 : 39</li><li>– N チャンネルオープンドレイン出力 : 28</li><li>– 5V トレランス : 2</li></ul></li><li>● 32 ピン LQFP/HWQFN 用 I/O ポート<ul style="list-style-type: none"><li>– 入出力端子 : 25</li><li>– 入力端子 : 1</li><li>– プルアップ抵抗 : 25</li><li>– N チャンネルオープンドレイン出力 : 17</li></ul></li><li>● 24 ピン HWQFN 用 I/O ポート<ul style="list-style-type: none"><li>– 入出力端子 : 17</li><li>– 入力端子 : 1</li><li>– プルアップ抵抗 : 17</li><li>– N チャンネルオープンドレイン出力 : 10</li></ul></li></ul>

## 1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

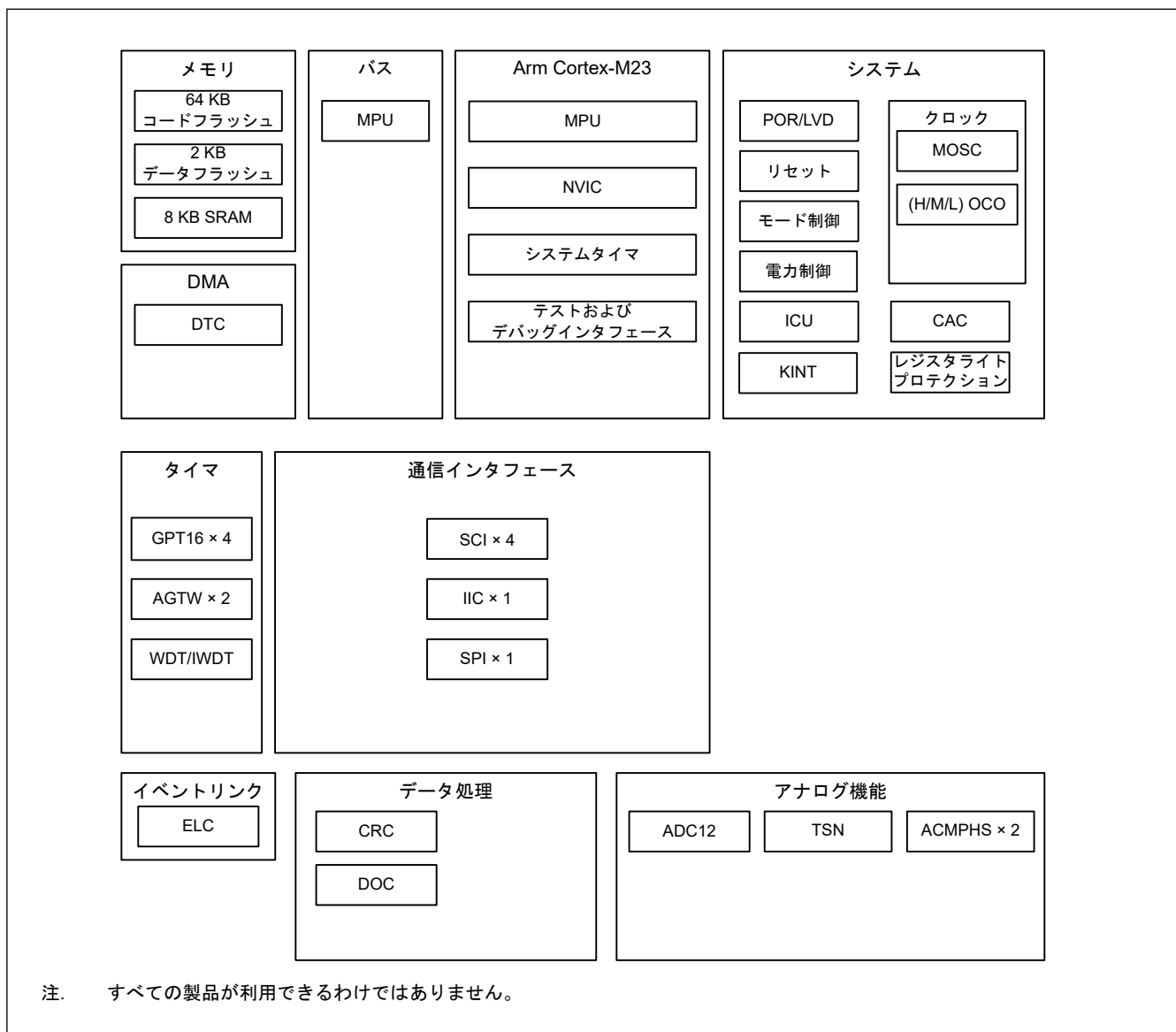


図 1.1 ブロック図

## 1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.11 に、製品一覧表を示します。

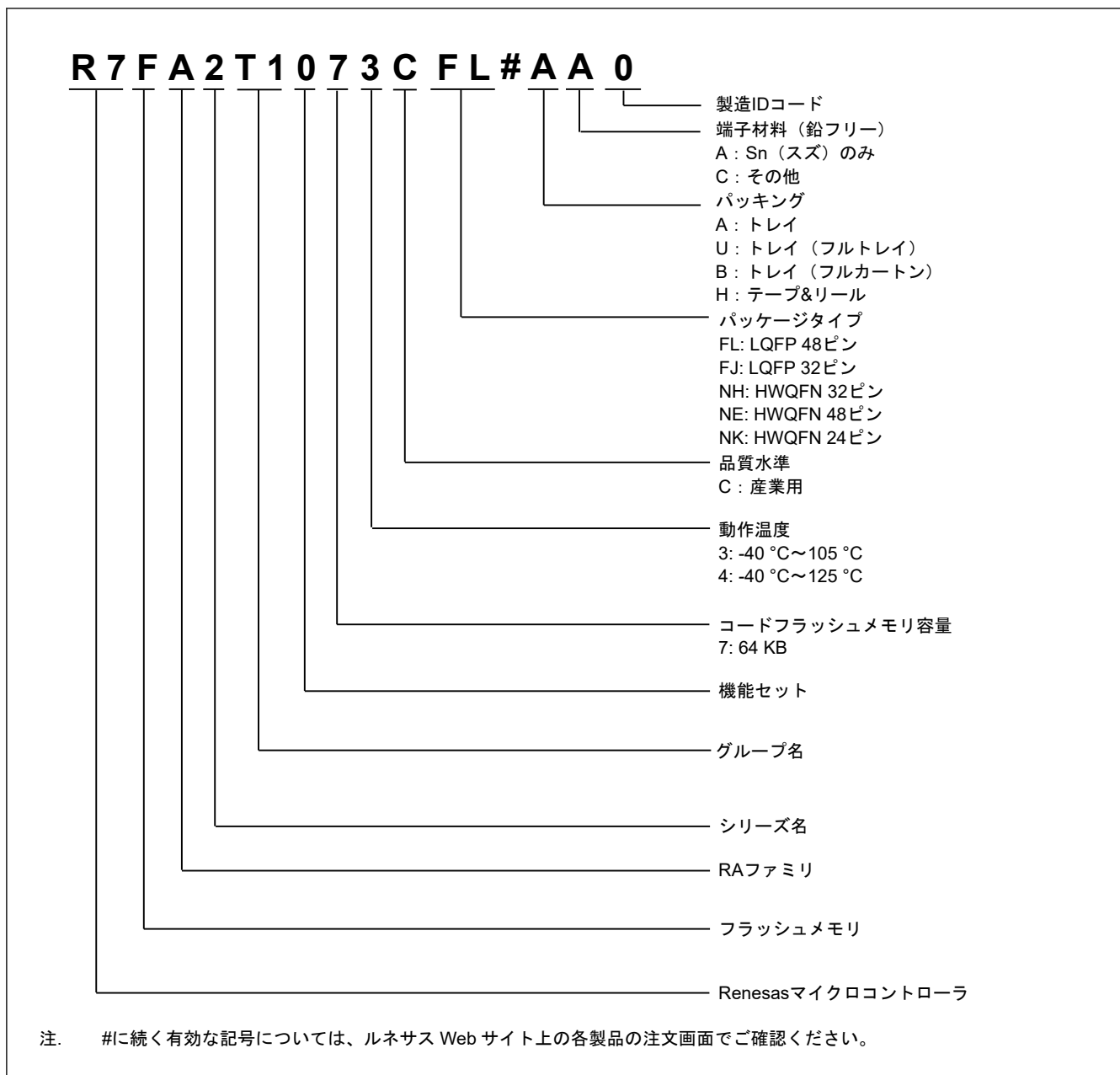


図 1.2 型名の読み方

表 1.11 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA2T1073CFL	PLQP0048KB-B	64	2	8	-40~+105°C
R7FA2T1073CFJ	PLQP0032GB-A				
R7FA2T1073CNH	PWQN0032KE-A				
R7FA2T1073CNE	PWQN0048KC-A				
R7FA2T1073CNK	PWQN0024KG-A				
R7FA2T1074CFL	PLQP0048KB-B				-40~+125°C
R7FA2T1074CFJ	PLQP0032GB-A				
R7FA2T1074CNH	PWQN0032KE-A				
R7FA2T1074CNE	PWQN0048KC-A				
R7FA2T1074CNK	PWQN0024KG-A				

## 1.4 機能の比較

表 1.12 機能の比較

型名		R7FA2T107xxFL	R7FA2T107xxNE	R7FA2T107xxFJ	R7FA2T107xxNH	R7FA2T107xxCNK
端子総数		48		32		24
パッケージ		LQFP	WQFN	LQFP	WQFN	WQFN
コードフラッシュメモリ		64 KB				
データフラッシュメモリ		2 KB				
SRAM		8 KB				
システム	CPU クロック	64 MHz				
	ICU	あり				
	KINT	5		4		
イベントコントロール	ELC	あり				
DMA	DTC	あり				
タイマ	GPT (POEG)	2				
	GPT16	4				
	AGTW	2				
	WDT/IWDT	あり				
通信	SCI	4				
	IIC	1				
	SPI	1				
アナログ	ADC12	13		10		9
	ACMPHS	2				
	TSN	あり				
データ処理	CRC	あり				
	DOC	あり				
I/O ポート	入出力端子	39		25		17
	入力端子	1				
	プルアップ抵抗	39		25		17
	N チャネルオープン ドレイン出力	28		17		10
	5 V トレランス	2		0		0

## 1.5 端子機能

表 1.13 端子機能 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 $\mu$ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	CLKOUT	出力	クロック出力端子
起動モード制御	MD	入力	起動モード設定用の端子。本端子の信号レベルは、リセット解除時の起動モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ7	入力	マスクابل割り込み要求端子
GPT16	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTADSM0	出力	A/D 変換開始要求監視 0 出力端子
	GTADSM1	出力	A/D 変換開始要求監視 1 出力端子
	GTIOcNA, GTIOcNB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTCPPOk	出力	PWM 同期トグル出力
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 V 相)
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 W 相)
	GTOUWLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 W 相)
AGTW	AGTEE0, AGTEE1	入力	外部イベント入力カインェーブル信号
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
	AGTO0	出力	パルス出力端子
	AGTOA0, AGTOA1	出力	アウトプットコンペアマッチ A 出力端子
	AGTOB0	出力	アウトプットコンペアマッチ B 出力端子

表 1.13 端子機能 (2/3)

機能	端子名	入出力	説明
SCI	SCKn (n = 0~2, 9)	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXDn (n = 0~2, 9)	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXDn (n = 0~2, 9)	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS <sub>n</sub> _RTS <sub>n</sub> (n = 0~2, 9)	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	SCLn (n = 0~2, 9)	入出力	IIC クロック用の入出力端子 (簡易 IIC モード)
	SDAn (n = 0~2, 9)	入出力	IIC データ用の入出力端子 (簡易 IIC モード)
	SCKn (n = 0~2, 9)	入出力	クロック用の入出力端子 (簡易 SPI モード)
	MISO <sub>n</sub> (n = 0~2, 9)	入出力	データのスレーブ送信用の入出力端子 (簡易 SPI モード)
	MOSI <sub>n</sub> (n = 0~2, 9)	入出力	データのマスタ送信用の入出力端子 (簡易 SPI モード)
	SS <sub>n</sub> (n = 0~2, 9)	入力	チップセレクト入力端子 (簡易 SPI モード)、アクティブ Low
IIC	SCLn (n = 0)	入出力	クロック用の入出力端子
	SDAn (n = 0)	入出力	データ用の入出力端子
SPI	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択用の入出力端子
	SSLA1	出力	スレーブ選択用の出力端子
	MOSIA	入出力	マスタからの出力データ用の入出力端子
	MISOA	入出力	スレーブからの出力データ用の入出力端子
アナログ電源	AVCC0	入力	ADC12 用のアナログ電源端子
	AVSS0	入力	ADC12 用のアナロググランド端子
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS0 に接続してください。
ADC12	AN000~AN002 (3 チャネル S/H)、AN005~AN010、AN019~AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0_A, ADTRG0_B	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
KINT	KR00~KR04	入力	キー割り込み入力端子
I/O ポート	P000~P002, P010~P015	入出力	汎用入出力端子
	P100~P104, P108~P112	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P206~P208, P212, P213	入出力	汎用入出力端子
	P300~P302	入出力	汎用入出力端子
	P400~P403, P407~P409	入出力	汎用入出力端子
	P500	入出力	汎用入出力端子
	P913~P915	入出力	汎用入出力端子

表 1.13 端子機能 (3/3)

機能	端子名	入出力	説明
ACMPHS	CMPIN0n (n = 1, 2, 3), CMPIN1	入力	基準電圧およびアナログ電圧入力端子
	CMPREFn (n = 0, 1)	入力	基準電圧およびアナログ電圧入力端子
	VCOUT	出力	ACMPHS0 と ACMPHS1 の比較出力は VCOUT 端子にまとめられています。

### 1.6 ピン配置図

図 1.3～図 1.5 にピン配置図（上面図）を示します。

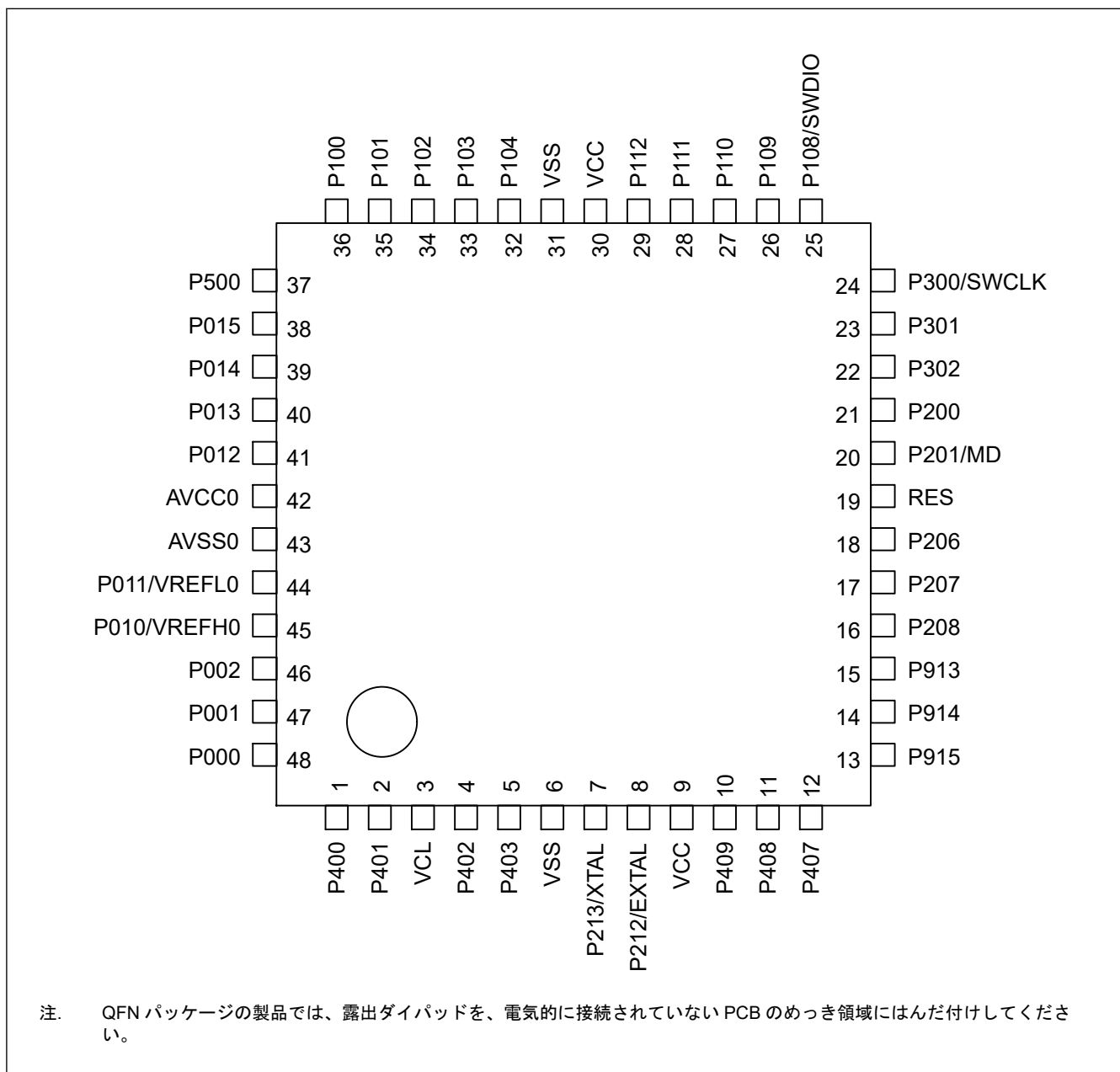


図 1.3 48 ピン LQFP/QFN のピン配置図（上面図）

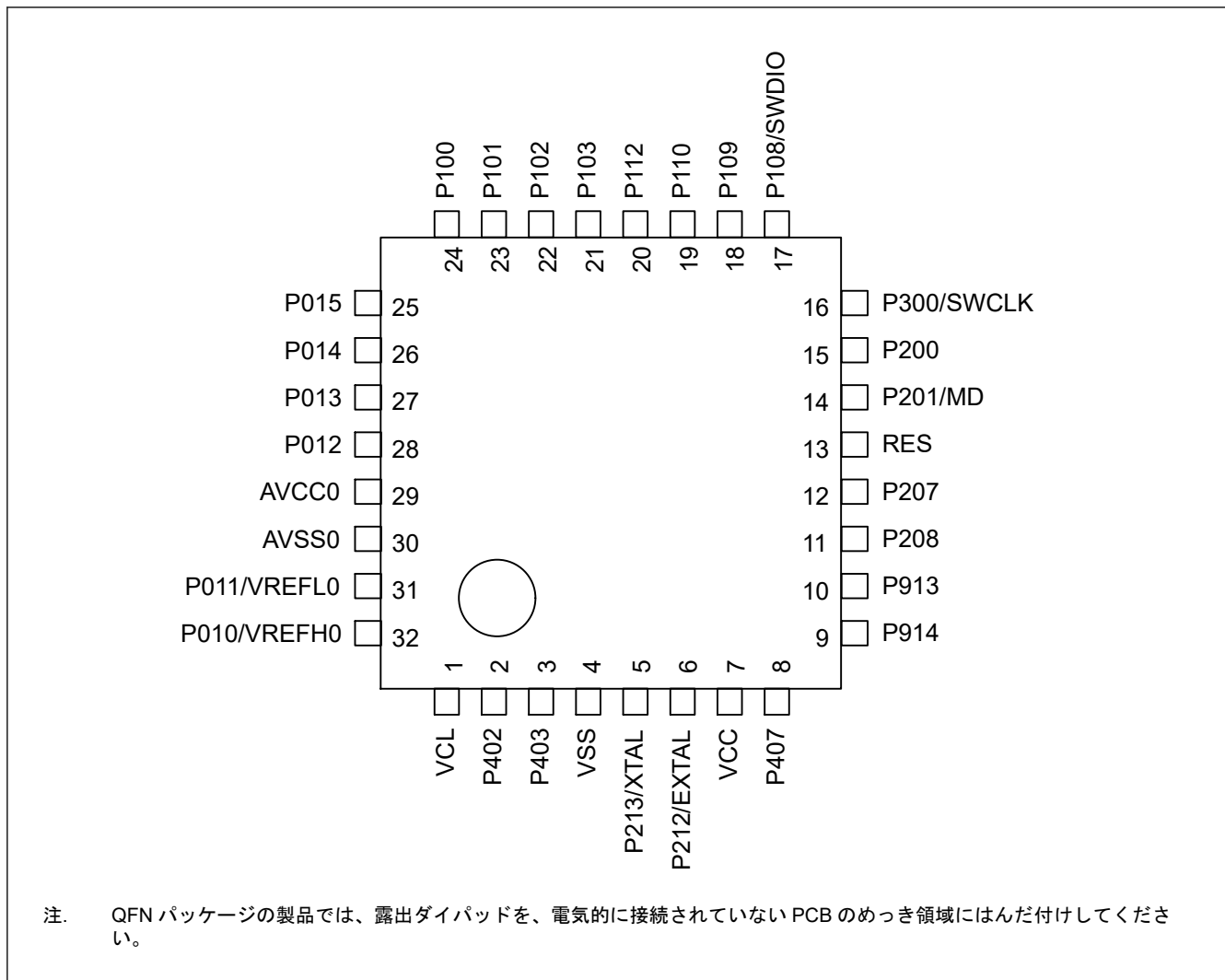
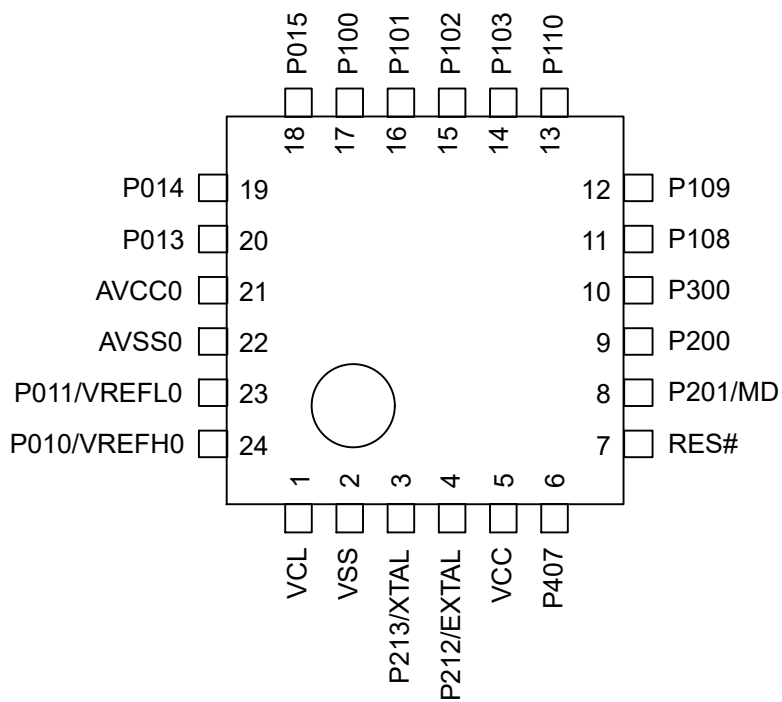


図 1.4 32 ピン LQFP/QFN のピン配置図 (上面図)



注. QFN パッケージの製品では、露出ダイパッドを、電氣的に接続されていない PCB のめっき領域にはんだ付けしてください。

図 1.5 24 ピン QFN のピン配置図 (上面図)

1.7 端子一覧

表 1.14 端子一覧 (1/2)

端子番号			電源、システム、 クロック、デバ ッグ、 CAC	I/O ポート	タイマ			通信インターフェース			アナログ		HMI
LQFP/QFN 48 ピン	LQFP/QFN 32 ピン	LQFP/QFN 24 ピン			AGTW	GPT OPS, POEG	GPT	SCI	IIC	SPI	ADC	ACMPHS	割り込み
1	—	—	CACREF_C	P400	AGTIO1_C	—	GTIOC3A_B	SCK0_B/ SCK1_B	SCL0_A	—	—	—	IRQ0_A
2	—	—		P401	—	GTETRG_A_B	GTIOC3B_B	CTS0_RTS0_B/ SS0_B	SDA0_A	—	—	—	IRQ5_C
3	1	1	VCL		—	—	—	—	—	—	—	—	—
4	2	—		P402	—	—	GTADSM0	—	—	—	—	—	—
5	3	—		P403	—	—	GTADSM1	—	—	—	—	—	—
6	4	2	VSS		—	—	—	—	—	—	—	—	—
7	5	3	XTAL	P213	—	GTOUUP_A	GTIOC0A_A	—	—	—	—	—	IRQ2_B
8	6	4	EXTAL	P212	AGTEE1_A	GTOULO_A	GTIOC0B_A	—	—	—	—	—	IRQ7_C
9	7	5	VCC		—	—	—	—	—	—	—	—	—
10	—	—		P409	—	GTIV_B	—	—	—	—	—	—	IRQ6_B
11	—	—		P408	—	GTIW_B	—	CTS1_RTS1_D/ SS1_D	SCL0_C	—	—	—	IRQ7_B
12	8	6		P407	AGTIO0_C	GTOULO_B/ GTCPP00	GTIOC0B_B	CTS0_RTS0_D/ SS0_D	SDA0_B	—	ADTRG0_B	CMPREF1	—
13	—	—		P915	—	—	—	—	—	—	—	—	—
14	9	—		P914	AGTOA1_A	GTOVUP_A	GTIOC1A_A	—	—	—	—	—	—
15	10	—		P913	AGTIO1_F	GTOVLO_A	GTIOC1B_A	—	—	—	—	—	—
16	11	—		P208	AGTOB0_A	GTOUUP_B	GTIOC0A_B	—	—	—	—	—	—
17	12	—		P207	—	—	—	—	—	—	—	—	—
18	—	—		P206	—	GTIU_B	—	TXD0_C/ MOSI0_C/ SDA0_C	—	—	—	—	IRQ0_B
19	13	7	RES		—	—	—	—	—	—	—	—	—
20	14	8	MD	P201	—	—	—	—	—	—	—	—	—
21	15	9		P200	—	—	—	—	—	—	—	—	NMI
22	—	—		P302	—	GTETRG_A_D	—	TXD2_A/ MOSI2_A/ SDA2_A	—	—	—	—	IRQ5_A
23	—	—		P301	AGTIO0_D	GTETRGA_A	—	RXD2_A/ MISO2_A/ SCL2_A/ CTS9_RTS9_D/ SS9_D	—	—	—	—	IRQ6_A
24	16	10	SWCLK	P300	—	GTETRG_C/ GTCPP01	GTIOC3A_A	TXD1/MOSI1/ SDA1	—	—	—	—	IRQ5_B
25	17	11	SWDIO	P108	AGTEE1_B	GTETRGA_C/ GTCPP02	GTIOC3B_A	RXD1/MISO1/ SCL1/ CTS9_RTS9_B/ SS9_B	—	—	—	—	IRQ6_C
26	18	12	CLKOUT_B	P109	AGTOA1_B	GTOWUP_A	GTIOC2A_B	SCK1_E/ TXD9_B/ MOSI9_B/ SDA9_B	—	—	—	—	—
27	19	13	VCOUT	P110	AGTIO1_A	GTOWLO_A	GTIOC2B_B	CTS2_RTS2_B/ SS2_B/ RXD9_B/ MISO9_B/ SCL9_B	—	—	—	—	IRQ3_A
28	—	—		P111	AGTOA0	—	GTIOC1A_C	SCK2_B/ SCK9_B	—	—	—	—	IRQ4_A
29	20	—		P112	AGTOB0	—	GTIOC1B_C	SCK1_D	—	—	—	—	—
30	—	—	VCC		—	—	—	—	—	—	—	—	—
31	—	—	VSS		—	—	—	—	—	—	—	—	—
32	—	—		P104	—	GTETRGA_B	—	RXD0_C/ MISO0_C/ SCL0_C	—	SSLA1_A	—	—	KRM04/IRQ1_B
33	21	14		P103	—	GTOWUP_B/ GTCPP03	GTIOC2A_A	CTS0_RTS0_A/ SS0_A/ RXD2_D/ MISO2_D/ SCL2_D	—	SSLA0_A	AN019	CMPIN1	KRM03/IRQ4_B

表 1.14 端子一覧 (2/2)

端子番号			電源、システム、 クロック、デバ ッグ、 CAC	I/O ポー ト	タイマ			通信インターフェース			アナログ		HMI	
LQFP/QFN 48ピン	LQFP/QFN 32ピン	LQFP/QFN 24ピン			AGTW	GPT_OPS, POEG	GPT	SCI	IIC	SPI	ADC	ACMPHS	割り込み	
34	22	15		P102	AGT00	GTOWLO_B	GTIOC2B_A	SCK0_A/ TXD2_D/ MOSI2_D/ SDA2_D	—	RSPCKA_A	ADTRG0_A/ AN020	CMPREF0	KRM02/IRQ1_A	
35	23	16		P101	AGTEE0	GTOVUP_B	GTIOC1A_B	TXD0_A/ MOSI0_A/ SDA0_A/ CTS1_RTS1_A/ SS1_A	—	SDA0_C	MOSIA_A	AN021	—	KRM01/IRQ2_A
36	24	17		P100	AGTIO0_A	GTOVLO_B	GTIOC1B_B	RXD0_A/ MISO0_A/ SCL0_A/ SCK1_A	—	SCL0_D	MISOA_A	AN022	—	KRM00/IRQ0_C
37	—	—		P500	—	GTETRG_A	GTIOC2A_C	—	—	—	—	—	—	
38	25	18		P015	—	GTIU_A	—	—	—	—	—	AN002 (3チャ ネルS/H)	CMPIN01	IRQ2_C
39	26	19		P014	—	GTIV_A	—	—	—	—	—	AN001 (3チャ ネルS/H)	CMPIN02	IRQ3_B
40	27	20		P013	—	GTIW_A	—	—	—	—	—	AN000 (3チャ ネルS/H)	CMPIN03	IRQ1_C
41	28	—		P012	—	—	—	—	—	—	—	AN007	—	—
42	29	21	AVCC0	AVCC0	—	—	—	—	—	—	—	—	—	—
43	30	22	AVSS0	AVSS0	—	—	—	—	—	—	—	—	—	—
44	31	23	VREFL0	P011	—	—	—	—	—	—	—	AN006	—	—
45	32	24	VREFH0	P010	—	—	—	—	—	—	—	AN005	—	—
46	—	—		P002	—	—	—	—	—	—	—	AN010	—	—
47	—	—		P001	—	—	—	—	—	—	—	AN009	—	IRQ7_A
48	—	—		P000	—	—	—	—	—	—	—	AN008	—	—

注. いくつかの端子名には、\_A、\_B、\_C、\_D、\_E、および\_F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

## 2. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

$V_{CC}$ (注1) =  $AV_{CC0}$  = 1.6~5.5 V、 $V_{REFH0}$  = 1.6 V~ $AV_{CC0}$

$V_{SS}$  =  $AV_{SS0}$  =  $V_{REFL0}$  = 0 V、 $T_a$  =  $T_{opr}$

注 1. 通常は  $V_{CC}$  = 3.3 V に設定されています。

図 2.1 にタイミング条件を示します。

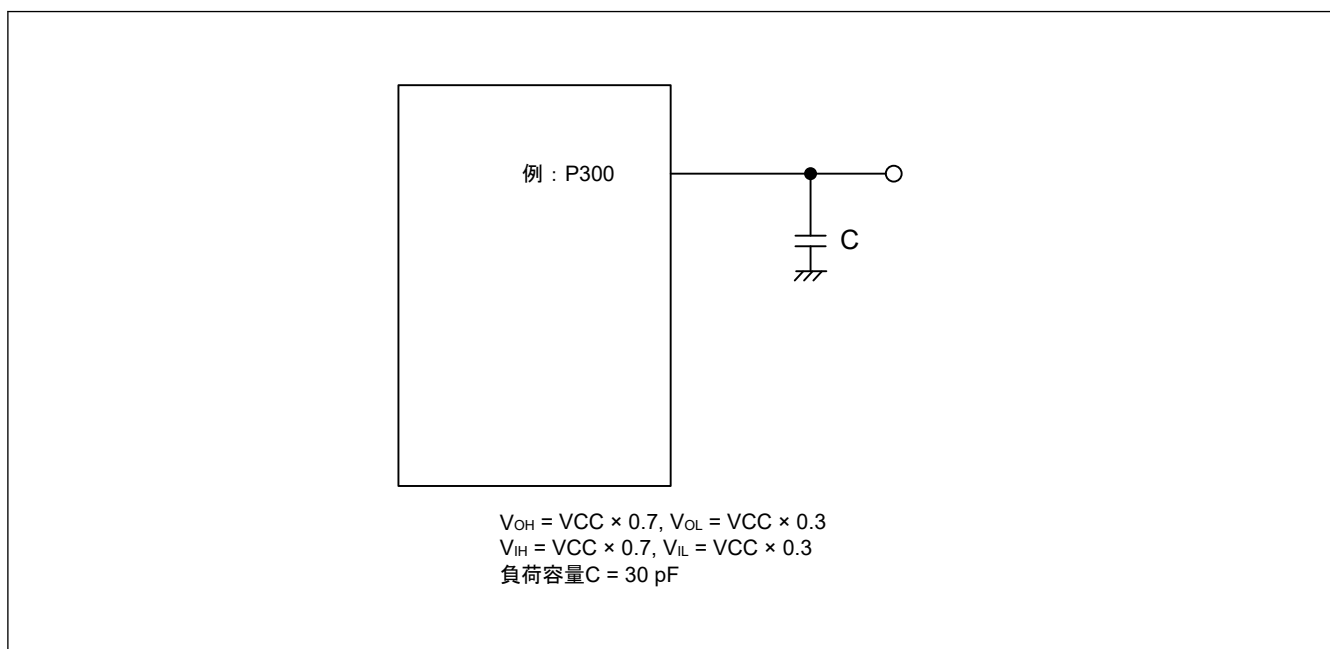


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

### 2.1 絶対最大定格

表 2.1 絶対最大定格

項目	シンボル	値	単位	
電源電圧	$V_{CC}$	-0.5~+6.5	V	
入力電圧	5V トレラントポート(注1)	$V_{in}$	-0.3~+6.5	V
	P000~P002、P010~P015	$V_{in}$	-0.3~ $AV_{CC0} + 0.3$	V
	その他	$V_{in}$	-0.3~ $V_{CC} + 0.3$	V
リファレンス電源電圧	$V_{REFH0}$	-0.3~+6.5	V	
アナログ電源電圧	$AV_{CC0}$	-0.5~+6.5	V	
アナログ入力電圧	AN000~AN002、AN005~AN010 使用時	$V_{AN}$	-0.3~ $AV_{CC0} + 0.3$	V
	AN019~AN022 使用時		-0.3~ $V_{CC} + 0.3$	V
動作温度(注2) (注3) (注4)	$T_{opr}$	-40~+105 -40~+125	°C	
保存温度	$T_{stg}$	-55~+140	°C	

注 1. P400、P401 は 5V トレラント対応ポートです。

デバイスの電源が切れている状態で信号や I/O プルアップ電源を入力しないでください。信号または I/O プルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部素子を劣化させる恐れがあります。

注 2. 「2.2.1. Tj/Ta の定義」を参照してください。

注 3. Ta = +105°C~+125°Cでのディレーティング動作については、弊社営業窓口にお問い合わせください。ディレーティングとは、信頼性を改善するために負荷を系統的に軽減することです。

注 4. 動作温度の上限は、105°Cまたは 125°Cです（製品による）。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VREFH0 端子と VREFL0 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- VCC と VSS : 約 0.1 μF
- AVCC0 と AVSS0 : 約 0.1 μF
- VREFH0 と VREFL0 : 約 0.1 μF

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7 μF のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 2.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位	
電源電圧	VCC(注1)(注2)	1.6	—	5.5	V	
	VSS	—	0	—	V	
アナログ電源電圧	AVCC0(注1)(注2)	1.6	—	5.5	V	
	AVSS0	—	0	—	V	
	VREFH0	ADC12 基準として使用時	1.6	—	AVCC0	V
	VREFL0		—	0	—	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：  
AVCC0 = VCC

注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。  
VCC 端子および AVCC0 端子の電源供給を停止する場合、両方同時に電源供給を停止するか、最初に AVCC0 端子、次に VCC 端子の順番で電源供給を停止してください。

## 2.2 DC 特性

### 2.2.1 Tj/Ta の定義

表 2.3 DC 特性

条件：動作温度 (Ta) が -40~+125°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	140	°C	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード
			125(注1)		

注.  $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$  となるようにしてください。このとき、総消費電力 =  $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$  です。

注 1. 動作温度の上限は、105°Cまたは 125°Cです（製品による）。型名が動作温度の上限 105°Cを示している場合、Tj の最大値は 125°Cになります。それ以外の場合 140°Cになります。

2.2.2 I/O  $V_{IH}$ 、 $V_{IL}$

表 2.4 I/O  $V_{IH}$ 、 $V_{IL}$

条件：VCC = AVCC0 = 1.6~5.5 V

項目	ポート&機能	シンボル	Min	Max	単位	測定条件		
入力電圧	入力ポート端子 P000~P002、P010~P015	$V_{IH}$	$AVCC0 \times 0.8$	—	V	—		
		$V_{IL}$	—	$AVCC0 \times 0.2$				
	以下を除く入力ポート端子： P000~P002、P010~P015	$V_{IH}$	$VCC \times 0.8$	—				
		$V_{IL}$	—	$VCC \times 0.2$				
	EXTAL	$V_{IH}$	$VCC \times 0.8$	—				
		$V_{IL}$	—	$VCC \times 0.2$				
	5 V トレラントポート(注3)	$V_{IH}$	$VCC \times 0.8$	5.8				
		$V_{IL}$	—	$VCC \times 0.2$				
	RES、NMI、IRQ(注4)	$V_{IH}$	$VCC \times 0.8$	—				
		$V_{IL}$	—	$VCC \times 0.2$				
		$\Delta V_T$ (注6)	$VCC \times 0.10$	—			VCC = 2.7~5.5 V	
			$VCC \times 0.05$	—			VCC = 1.6~2.7 V	
	周辺機能(注5)	IIC (SMBus を 除く) (注1)	$V_{IH}$	$VCC \times 0.7$			5.8(注7)	—
			$V_{IL}$	—			$VCC \times 0.3$	—
			$\Delta V_T$ (注6)	$VCC \times 0.10$			—	VCC = 2.7~5.5 V
				$VCC \times 0.05$			—	VCC = 1.6~2.7 V
		IIC (SMBus) (注2)	$V_{IH}$	2.2			—	VCC = 3.6~5.5 V
			$V_{IL}$	2.0			—	VCC = 2.7~3.6 V
			$V_{IL}$	—			0.8	VCC = 3.6~5.5 V
			$V_{IL}$	—			0.5	VCC = 2.7~3.6 V
その他の周辺 機能		$V_{IH}$	$VCC \times 0.8$	—	—			
		$V_{IL}$	—	$VCC \times 0.2$	—			
		$\Delta V_T$ (注6)	$VCC \times 0.10$	—	VCC = 2.7~5.5 V			
			$VCC \times 0.05$	—	VCC = 1.6~2.7 V			

- 注 1. SCL0\_A、SDA0\_A、SDA0\_B (合計 3 端子)
- 注 2. SCL0\_A、SCL0\_C、SDA0\_A、SDA0\_B、SCL0\_D、SDA0\_C (合計 6 端子)
- 注 3. P400、P401 (合計 2 端子)
- 注 4. PmnPFS.ISEL = 1
- 注 5. PmnPFS.PMR = 1
- 注 6. これはシュミットトリガ回路のヒステリシス特性です。
- 注 7. SDA0\_B の Max 値は VCC です。

2.2.3 I/O  $I_{OH}$ 、 $I_{OL}$

表 2.5 I/O  $I_{OH}$ 、 $I_{OL}$  (1/4)

条件：VCC = AVCC0 = 1.6~5.5 V

項目	ポート	シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (端子ごとの最大値)	ポート P000~P002、P010~P015、 P212、P213、P400、P401、P407	$I_{OH}$	—	—	-4.0	mA	
		$I_{OL}$	—	—	8.0	mA	
	その他の出力端子(注1)	$I_{OH}$	—	—	-4.0	mA	
		$I_{OL}$	—	—	20.0	mA	

表 2.5 I/O I<sub>OH</sub>、I<sub>OL</sub> (2/4)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件	
許容出力電流 (全端子の最大値) (注2)	48 ピン製品	ポート P000~P002、P010~P015 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	AVCC0 = 2.7~5.5 V
				—	—	-8		AVCC0 = 1.8~2.7 V
				—	—	-4		AVCC0 = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	50		AVCC0 = 2.7~5.5 V
				—	—	4		AVCC0 = 1.8~2.7 V
				—	—	2		AVCC0 = 1.6~1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH} (max)$	—	—	-8	mA	VCC = 2.7~5.5 V
				—	—	-2		VCC = 1.8~2.7 V
				—	—	-1		VCC = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	16.0		VCC = 2.7~5.5 V
				—	—	1.2		VCC = 1.8~2.7 V
				—	—	0.6		VCC = 1.6~1.8 V
	ポート P206~P208、P400~P403、P407~P409、P913~P915 の合計	ポート P206~P208、P400~P403、P407~P409、P913~P915 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~5.5 V
				—	—	-8		VCC = 1.8~2.7 V
				—	—	-4		VCC = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	50		VCC = 2.7~5.5 V
				—	—	4		VCC = 1.8~2.7 V
				—	—	2		VCC = 1.6~1.8 V
		ポート P100~P104、P108~P112、P201、P300~P302、P500 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 2.7~5.5 V
				—	—	-8		VCC = 1.8~2.7 V
				—	—	-4		VCC = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	50		VCC = 2.7~5.5 V
				—	—	4		VCC = 1.8~2.7 V
				—	—	2		VCC = 1.6~1.8 V
全出力端子の総和	$\Sigma I_{OH} (max)$	—	—	-60	mA	—		
	$\Sigma I_{OL} (max)$	—	—	100		—		

表 2.5 I/O I<sub>OH</sub>、I<sub>OL</sub> (3/4)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件	
許容出力電流 (全端子の最大値) (注2)	32 ピン製品	ポート P010~P015 の合計	$\Sigma I_{OH} (max)$	—	—	-24	mA	AVCC0 = 2.7~5.5 V
				—	—	-6		AVCC0 = 1.8~2.7 V
				—	—	-3		AVCC0 = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	48		AVCC0 = 2.7~5.5 V
				—	—	3.6		AVCC0 = 1.8~2.7 V
				—	—	1.8		AVCC0 = 1.6~1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH} (max)$	—	—	-8	mA	VCC = 2.7~5.5 V
				—	—	-2		VCC = 1.8~2.7 V
				—	—	-1		VCC = 1.6~1.8 V
			$\Sigma I_{OL} (max)$	—	—	16.0		VCC = 2.7~5.5 V
				—	—	1.2		VCC = 1.8~2.7 V
				—	—	0.6		VCC = 1.6~1.8 V
	他の出力ポートの合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	VCC = 4.0~5.5 V	
			—	—	-20		VCC = 2.7~4.0 V	
			—	—	-12		VCC = 1.8~2.7 V	
			—	—	-6		VCC = 1.6~1.8 V	
		$\Sigma I_{OL} (max)$	—	—	50		VCC = 4.0~5.5 V	
			—	—	20		VCC = 2.7~4.0 V	
			—	—	8		VCC = 1.8~2.7 V	
			—	—	4		VCC = 1.6~1.8 V	
			$\Sigma I_{OH} (max)$	—	—		-54	mA
$\Sigma I_{OL} (max)$				—	—		98	

表 2.5 I/O I<sub>OH</sub>、I<sub>OL</sub> (4/4)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
許容出力電流 (全端子の最大値) (注2)	ポート P010、P011、P013、P014、P015 の合計	ΣI <sub>OH</sub> (max)	—	—	-20	mA	AVCC0 = 2.7~5.5 V
			—	—	-5		AVCC0 = 1.8~2.7 V
			—	—	-2.5		AVCC0 = 1.6~1.8 V
		ΣI <sub>OL</sub> (max)	—	—	40		AVCC0 = 2.7~5.5 V
			—	—	3		AVCC0 = 1.8~2.7 V
			—	—	1.5		AVCC0 = 1.6~1.8 V
	ポート P212、P213 の合計	ΣI <sub>OH</sub> (max)	—	—	-8	mA	VCC = 2.7~5.5 V
			—	—	-2		VCC = 1.8~2.7 V
			—	—	-1		VCC = 1.6~1.8 V
		ΣI <sub>OL</sub> (max)	—	—	16.0		VCC = 2.7~5.5 V
			—	—	1.2		VCC = 1.8~2.7 V
			—	—	0.6		VCC = 1.6~1.8 V
	他の出力ポートの合計	ΣI <sub>OH</sub> (max)	—	—	-30	mA	VCC = 4.0~5.5 V
			—	—	-20		VCC = 2.7~4.0 V
			—	—	-12		VCC = 1.8~2.7 V
			—	—	-6		VCC = 1.6~1.8 V
		ΣI <sub>OL</sub> (max)	—	—	50	mA	VCC = 4.0~5.5 V
			—	—	20		VCC = 2.7~4.0 V
—			—	8	VCC = 1.8~2.7 V		
—			—	4	VCC = 1.6~1.8 V		
全出力端子の総和	ΣI <sub>OH</sub> (max)	—	—	-50	mA	—	
	ΣI <sub>OL</sub> (max)	—	—	90		—	

注 1. P200 以外のポートは入力です。

注 2. デューティ比 ≤ 70%の条件下での仕様です。

デューティ比 > 70%の場合、出力電流値は次式で計算できます (デューティ比を 70%から n%に変更するとき)。

$$\text{端子の合計出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<例> n = 80%で、I<sub>OH</sub> = -30.0 mA のとき

$$\text{端子の合計出力電流} = (-30.0 \times 0.7) / (80 \times 0.01) \approx -26.2 \text{ mA}$$

ただし、1つの端子に入力可能な電流はデューティ比によって変化しません。

【使用上の注意】MCUの信頼性を確保するため、出力電流値は表 2.5 の値を超えないようにしてください。

### 2.2.4 I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性

表 2.6 I/O V<sub>OH</sub>、V<sub>OL</sub> (1)

条件 : VCC = AVCC0 = 4.0~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	ポート P000~P002、P010~P015	V <sub>OH</sub>	AVCC0 - 0.8	—	V	I <sub>OH</sub> = -4.0 mA	
	P000~P002 および P010~P015 以外の出力端子(注1)	V <sub>OH</sub>	VCC - 0.8	—		I <sub>OH</sub> = -4.0 mA	
	ポート P000~P002、P010~P015	V <sub>OL</sub>	—	—		0.8	I <sub>OL</sub> = 8.0 mA
	ポート P212、P213、P400、P401、P407	V <sub>OL</sub>	—	—		0.8	I <sub>OL</sub> = 8.0 mA
	P000~P002、P010~P015、P212、P213、P400、P401、および P407 以外の出力端子(注1)	V <sub>OL</sub>	—	—		1.2	I <sub>OL</sub> = 20.0 mA

注 1. P200 以外のポートは入力です。

表 2.7 I/O  $V_{OH}$ 、 $V_{OL}$  (2)

条件：VCC = AVCC0 = 2.7~4.0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000~P002、P010~P015	$V_{OH}$	AVCC0 - 0.8	—	—	V	$I_{OH} = -4.0 \text{ mA}$
	P000~P002 および P010~P015 以外の出力端子(注1)	$V_{OH}$	VCC - 0.8	—	—		$I_{OH} = -4.0 \text{ mA}$
	ポート P000~P002、P010~P015	$V_{OL}$	—	—	0.8		$I_{OL} = 8.0 \text{ mA}$
	P000~P002 および P010~P015 以外の出力端子(注1)	$V_{OL}$	—	—	0.8		$I_{OL} = 8.0 \text{ mA}$

注 1. P200 以外のポートは入力です。

表 2.8 I/O  $V_{OH}$ 、 $V_{OL}$  (3)

条件：VCC = AVCC0 = 1.6~2.7 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000~P002、P010~P015	$V_{OH}$	AVCC0 - 0.5	—	—	V	$I_{OH} = -1.0 \text{ mA}$ AVCC0 = 1.8~2.7 V
			AVCC0 - 0.5	—	—		$I_{OH} = -0.5 \text{ mA}$ AVCC0 = 1.6~1.8 V
	P000~P002 および P010~P015 以外の出力端子(注1)	$V_{OH}$	VCC - 0.5	—	—		$I_{OH} = -1.0 \text{ mA}$ VCC = 1.8~2.7 V
			VCC - 0.5	—	—		$I_{OH} = -0.5 \text{ mA}$ VCC = 1.6~1.8 V
	ポート P000~P002、P010~P015	$V_{OL}$	—	—	0.4		$I_{OL} = 0.6 \text{ mA}$ AVCC0 = 1.8~2.7 V
			—	—	0.4		$I_{OL} = 0.3 \text{ mA}$ AVCC0 = 1.6~1.8 V
	P000~P002 および P010~P015 以外の出力端子(注1)	$V_{OL}$	—	—	0.4		$I_{OL} = 0.6 \text{ mA}$ VCC = 1.8~2.7 V
			—	—	0.4		$I_{OL} = 0.3 \text{ mA}$ VCC = 1.6~1.8 V

注 1. P200 以外のポートは入力です。

表 2.9 I/O その他の特性

条件：VCC = AVCC0 = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200	$ I_{in} $	—	—	1.0	$\mu\text{A}$	$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5V トレラントポート(注1)	$ I_{TSI} $	—	—	1.0	$\mu\text{A}$	$V_{in} = 0 \text{ V}$ $V_{in} = 5.8 \text{ V}$
	その他のポート (P200 および 5V トレラント対応ポートを除く)		—	—	1.0		$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
入力プルアップ抵抗	全ポート (P200 を除く)	$R_U$	10	20	100	k $\Omega$	$V_{in} = 0 \text{ V}$
入力容量	P200	$C_{in}$	—	—	30	pF	$V_{in} = 0 \text{ V}$ $f = 1 \text{ MHz}$ $T_a = 25^\circ\text{C}$
	その他の入力端子		—	—	15		

注 1. P400、P401 (合計 2 端子)

## 2.2.5 動作電流とスタンバイ電流

表 2.10 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	High-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 64 MHz	I <sub>CC</sub>	6.80	—	mA	(注7) (注11)
				ICLK = 48 MHz		5.20	—		(注7) (注11)
				ICLK = 32 MHz		3.60	—		(注7)
				ICLK = 16 MHz		2.15	—		
				ICLK = 8 MHz		1.40	—		
			ICLK = 64 MHz	—		13.9	(注9) (注11)		
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 64 MHz		1.50	—		(注7)
				ICLK = 48 MHz		1.20	—		(注7)
				ICLK = 32 MHz		0.95	—		(注7)
				ICLK = 16 MHz		0.70	—		
	ICLK = 8 MHz			0.60	—				
	すべての周辺クロックが有効(注5)		ICLK = 64 MHz	5.65	—	(注9)			
			ICLK = 48 MHz	4.30	—	(注9)			
		ICLK = 32 MHz	3.65	—	(注8)				
		ICLK = 16 MHz	2.10	—					
		ICLK = 8 MHz	1.30	—					
	BGO 動作時の増加分(注6)					2.1	—		—

表 2.10 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	Middle-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 24 MHz	I <sub>CC</sub>	2.75	—	mA	(注7)
				ICLK = 4 MHz		0.90	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 24 MHz		—	6.6	(注8)	
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 24 MHz		0.75	—	(注7)	
				ICLK = 4 MHz		0.55	—		
			すべての周辺クロックが有効(注5)	ICLK = 24 MHz		2.80	—	(注8)	
	BGO 動作時の増加分(注6)					1.80	—	—	
	Low-speed モード(注3)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 2 MHz	I <sub>CC</sub>	0.35	—	mA	(注7)
				ICLK = 2 MHz		—	1.7		(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 2 MHz		0.13	—	(注7)	
			すべての周辺クロックが有効(注5)	ICLK = 2 MHz		0.30	—	(注8)	
	Subosc-speed モード(注4)	通常モード	すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 32.768 kHz	I <sub>CC</sub>	—	341	μA	(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 32.768 kHz		1.60	—		(注8)
すべての周辺クロックが有効(注5)			ICLK = 32.768 kHz	4.15		—	(注8)		

- 注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
- 注 2. クロックソースは HOCO です。
- 注 3. クロックソースは MOCO です。
- 注 4. クロックソースは LOCO です。
- 注 5. BGO 動作は含まれません。
- 注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。
- 注 7. PCLKB と PCLKD は、64 分周に設定されています。
- 注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。
- 注 9. PCLKB は 2 分周に設定されています。PCLKD は ICLK と同じ周波数です。
- 注 10. VCC = 3.3 V
- 注 11. プリフェッチバッファは動作しています。

表 2.11 動作電流とスタンバイ電流 (2)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目				シンボル	Typ (注3)	Max	単位	測定条件	
消費電流(注1)	ソフトウェアスタンバイモード(注2)	周辺モジュール停止	すべての SRAM (0x2000_4000~0x2000_5FFF) がオン	T <sub>a</sub> = 25°C	I <sub>CC</sub>	0.40	4.4	μA	—
				T <sub>a</sub> = 55°C		1.10	11		
				T <sub>a</sub> = 85°C		3.85	33		
				T <sub>a</sub> = 105°C		8.80	71		
				T <sub>a</sub> = 125°C		19.1	159		

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。

注 2. IWDTC と LVD は動作していません。

注 3. VCC = 3.3 V

表 2.12 動作電流とスタンバイ電流 (3)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	12 ビット A/D 変換中 (高速 A/D 変換モード時)	I <sub>AVCC0</sub>	—	—	1.44	mA	—
	S/H による 12 ビット A/D 変換中 (高速 A/D 変換モード時) (2.7 V~5.5 V)		—	—	5.00	mA	—
	12 ビット A/D 変換中 (低消費電力 A/D 変換モード時)		—	—	0.78	mA	—
	12 ビット A/D 変換待機中 (全ユニット) (注1)		—	—	1.0	μA	—
基準電源電流	12 ビット A/D 変換中	I <sub>REFH0</sub>	—	—	120	μA	—
	12 ビット A/D 変換待機中		—	—	60	nA	—
温度センサ (TSN) 動作電流		I <sub>TNS</sub>	—	95	—	μA	—
チャンネルごとの高速アナログコンパレータ (ACMPHS) 動作電流		I <sub>CMPS</sub>	—	100	—	μA	—

注 1. MCU がソフトウェアスタンバイモードまたは MSTPCR.MSTPD16 (ADC120 モジュールストップビット) がモジュールストップ状態の場合

## 2.2.6 VCC 立ち上がり/立ち下がり勾配とリップル周波数

表 2.13 立ち上がり/立ち下がり勾配の特性

条件 : VCC = AVCC0 = 0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり勾配	起動時電圧監視 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧監視 0 リセット有効(注1)(注2)				—		
	SCI ブートモード(注2)				2		

注 1. OFS1.LVDAS = 0 のとき

注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 からのリセットは無効です。

表 2.14 立ち上がり／立ち下がり勾配とリップル周波数特性

条件 :  $V_{CC} = AV_{CC0} = 1.6 \sim 5.5 \text{ V}$ リップル電圧は、 $V_{CC}$  上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数  $f_r(V_{CC})$  を満たす必要があります。 $V_{CC}$  変動が  $V_{CC} \pm 10\%$  を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配  $dt/dV_{CC}$  を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(V_{CC})$	—	—	10	kHz	図 2.2 $V_r(V_{CC}) \leq V_{CC} \times 0.2$
		—	—	1	MHz	図 2.2 $V_r(V_{CC}) \leq V_{CC} \times 0.08$
		—	—	10	MHz	図 2.2 $V_r(V_{CC}) \leq V_{CC} \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dV_{CC}$	1.0	—	—	ms/V	$V_{CC}$ 変動が $V_{CC} \pm 10\%$ を超える場合

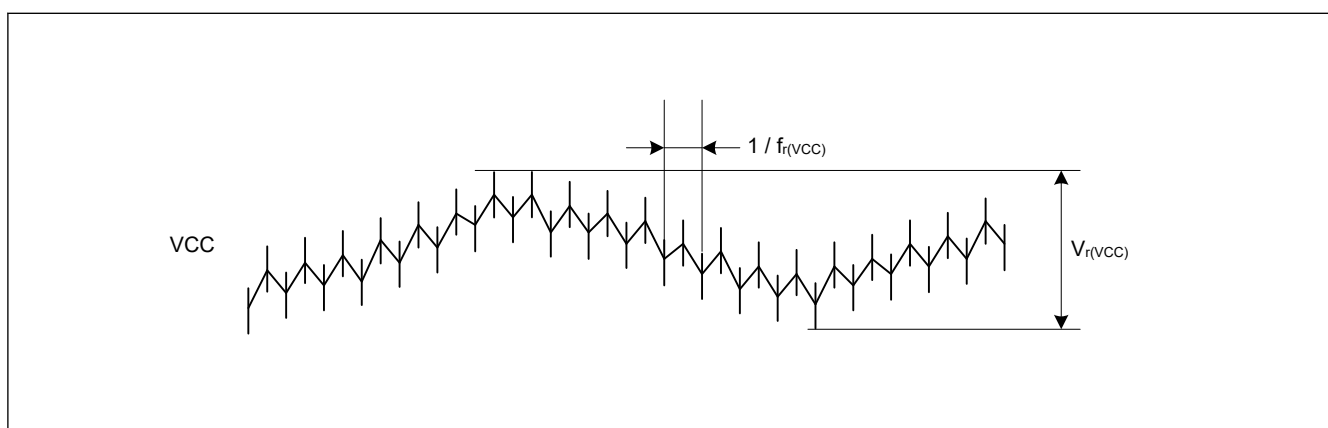


図 2.2 リップル波形

## 2.3 AC 特性

### 2.3.1 周波数

表 2.15 High-speed 動作モードの動作周波数

条件 :  $V_{CC} = AV_{CC0} = 1.8 \sim 5.5 \text{ V}$ 

項目		シンボル	Min	Typ	Max(注4)	単位	
動作周波数	システムクロック (ICLK)(注1)(注2)	f	1.8~5.5 V	0.032768	—	64	MHz
	周辺モジュールクロック (PCLKB)		1.8~5.5 V	—	—	32	
	周辺モジュールクロック (PCLKD)(注3)		1.8~5.5 V	—	—	64	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は  $\pm 1.0\%$  とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.16 Middle-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~5.5 V

項目		シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8~5.5 V	0.032768	—	24	MHz
		1.6~1.8 V	0.032768	—	4	
	周辺モジュールクロック (PCLKB)	1.8~5.5 V	—	—	24	
		1.6~1.8 V	—	—	4	
	周辺モジュールクロック (PCLKD)(注3)	1.8~5.5 V	—	—	24	
		1.6~1.8 V	—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.17 Low-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~5.5 V

項目		シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.6~5.5 V	0.032768	—	2	MHz
	周辺モジュールクロック (PCLKB)	1.6~5.5 V	—	—	2	
	周辺モジュールクロック (PCLKD)(注3)	1.6~5.5 V	—	—	2	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.19 を参照してください。

表 2.18 Subosc-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注1)	1.6~5.5 V	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB)	1.6~5.5 V	—	—	37.6832	
	周辺モジュールクロック (PCLKD)(注2)	1.6~5.5 V	—	—	37.6832	

注 1. フラッシュメモリのプログラムおよびイレースはできません。

注 2. ADC12 は使用できません。

## 2.3.2 クロックタイミング

表 2.19 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t <sub>Xcyc</sub>	50	—	—	ns	図 2.3
EXTAL 外部クロック入力 High レベルパルス幅	t <sub>XH</sub>	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t <sub>XL</sub>	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t <sub>Xr</sub>	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t <sub>Xf</sub>	—	—	5	ns	
EXTAL 外部クロック入力待機時間(注1)	t <sub>EXWT</sub>	0.3	—	—	μs	—
EXTAL 外部クロック入力周波数	f <sub>EXTAL</sub>	—	—	20	MHz	1.8 ≤ VCC ≤ 5.5
		—	—	4		1.6 ≤ VCC < 1.8
メインクロック発振器発振周波数	f <sub>MAIN</sub>	1	—	20	MHz	1.8 ≤ VCC ≤ 5.5

表 2.19 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
		1	—	4		1.6 ≤ VCC < 1.8
LOCO クロック発振周波数	f <sub>LOCO</sub>	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t <sub>LOCO</sub>	—	—	100	μs	図 2.4
IWDT 専用クロック発振周波数	f <sub>ILOCO</sub>	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f <sub>MOCO</sub>	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t <sub>MOCO</sub>	—	—	1	μs	—
HOCO クロック発振周波数(注4)	f <sub>HOCO24</sub>	23.76	24	24.24	MHz	Ta = -40~105°C 1.6 ≤ VCC ≤ 5.5
	f <sub>HOCO32</sub>	31.68	32	32.32		Ta = -40~105°C 1.6 ≤ VCC ≤ 5.5
	f <sub>HOCO48</sub>	47.52	48	48.48		Ta = -40~105°C 1.6 ≤ VCC ≤ 5.5
	f <sub>HOCO64</sub>	63.36	64	64.64		Ta = -40~105°C 1.6 ≤ VCC ≤ 5.5
HOCO クロック発振安定待機時間(注2) (注3)	t <sub>HOCO24</sub> t <sub>HOCO32</sub> t <sub>HOCO48</sub> t <sub>HOCO64</sub>	—	6.7	7.7	μs	図 2.5

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. MOCO 停止状態で HOCO.CR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振中に HOCO.CR.HCSTP ビットを 0 (動作) にすると、この仕様は 1 μs 短くなります。
- 注 3. OSCSF.HOCOSF を確認して、安定時間が経過したかを確認してください。
- 注 4. 出荷テスト時の精度

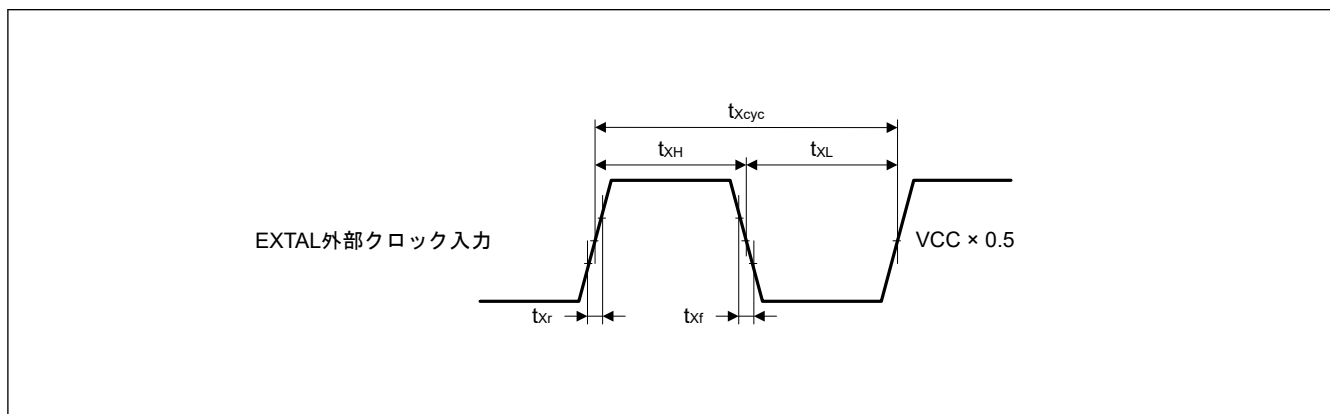


図 2.3 EXTAL 外部クロック入力タイミング

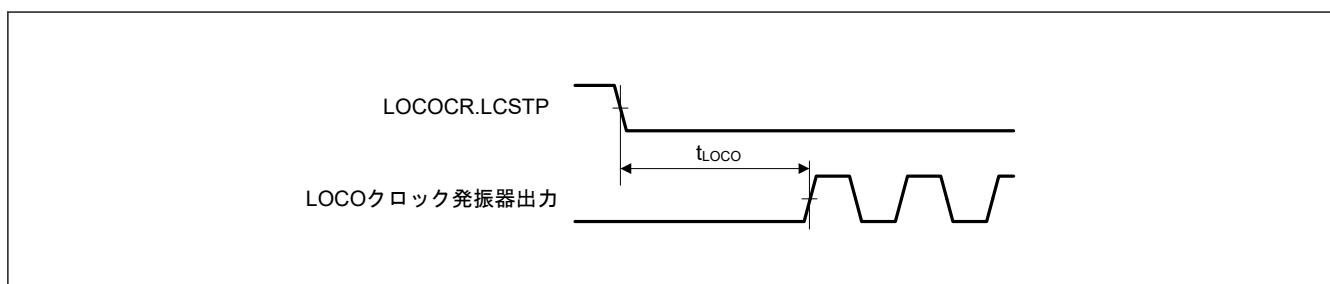


図 2.4 LOCO クロック発振開始タイミング

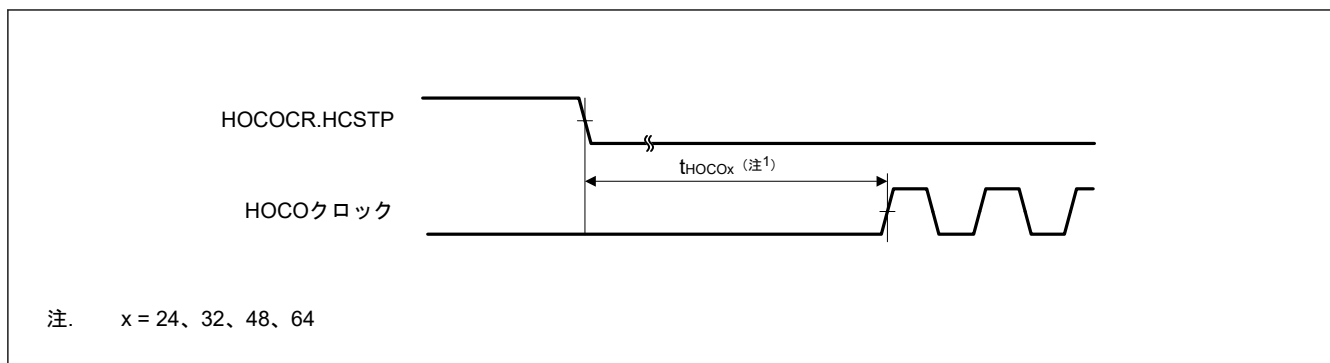


図 2.5 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

### 2.3.3 リセットタイミング

表 2.20 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	$t_{RESWP}$	10	—	—	ms	<a href="#">図 2.6</a>
	電源投入時以外	$t_{RESW}$	30	—	—	$\mu$ s	<a href="#">図 2.7</a>
RES 解除後の待機時間 (電源投入時)	LVD0 有効(注1)	$t_{RESWT}$	—	0.9	—	ms	<a href="#">図 2.6</a>
	LVD0 無効(注2)		—	0.2	—		
RES 解除後の待機時間 (電源投入中)	LVD0 有効(注1)	$t_{RESWT2}$	—	0.9	—	ms	<a href="#">図 2.7</a>
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間 (ウォッチドッグタイマリセット、SRAM パリティエラーリセット、バスマスタ MPU エラーリセット、バスマスレーブ MPU エラーリセット、スタックポインタエラーリセット、ソフトウェアリセット)	LVD0 有効(注1)	$t_{RESWT3}$	—	0.9	—	ms	<a href="#">図 2.8</a>
	LVD0 無効(注2)		—	0.15	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

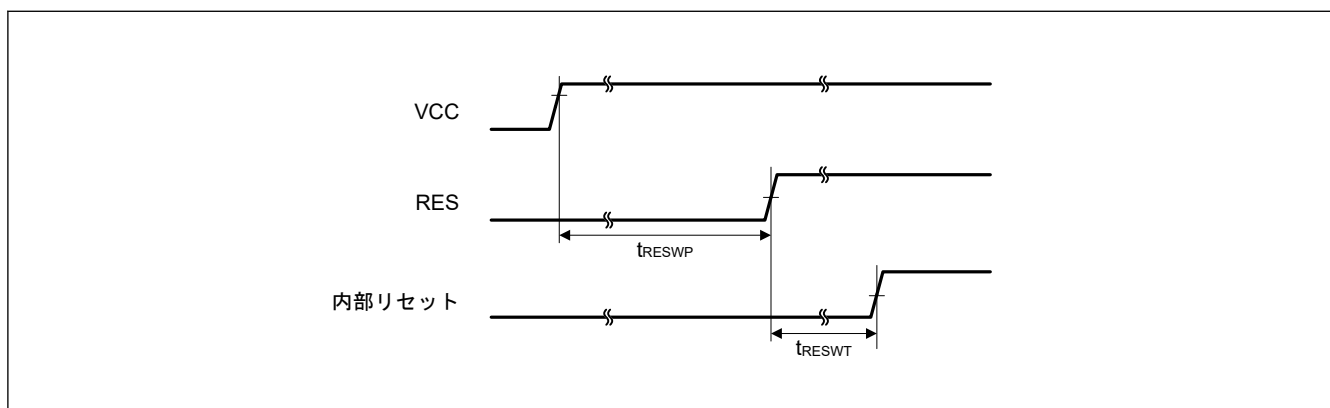


図 2.6 電源投入時リセット入力タイミング

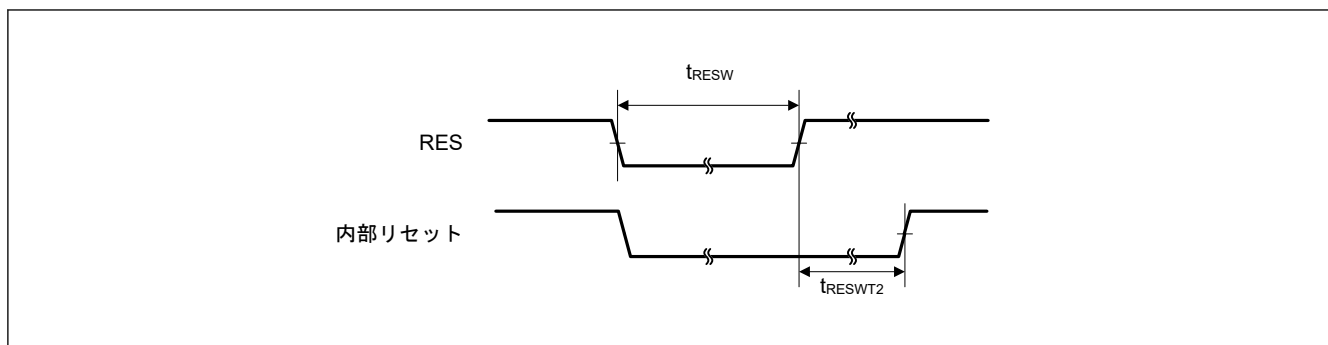


図 2.7 リセット入力タイミング (1)

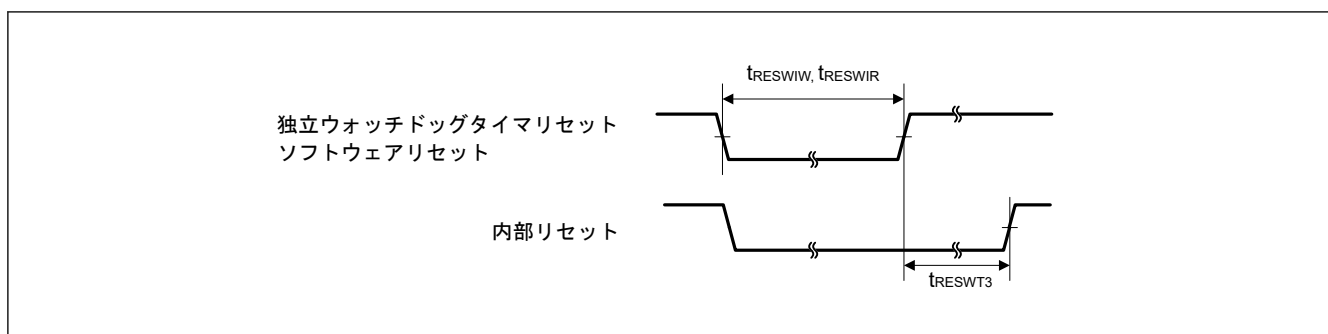


図 2.8 リセット入力タイミング (2)

### 2.3.4 ウェイクアップ時間

表 2.21 低消費電力モードからの復帰タイミング (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからの復帰時間 <sup>(注1)</sup>	High-speed モード メインクロック発振器に水晶振動子を接続 システムクロックソースはメインクロック発振器 (20 MHz) <sup>(注2)</sup>	$t_{SBYMC}$	—	2	3	ms	図 2.9
	メインクロック発振器に外部クロックを入力 システムクロックソースはメインクロック発振器 (20 MHz) <sup>(注3)</sup>	$t_{SBYEX}$	—	2.4	3.1	$\mu$ s	
	システムクロックソースは HOCO (HOCO クロックは 32 MHz) <sup>(注4)</sup>	$t_{SBYHO}$	—	7.4	9.1	$\mu$ s	
	システムクロックソースは HOCO (HOCO クロックは 48 MHz) <sup>(注5)</sup>	$t_{SBYHO}$	—	7.3	8.9	$\mu$ s	
	システムクロックソースは HOCO (HOCO クロックは 64 MHz) <sup>(注6)</sup>	$t_{SBYHO}$	—	7.3	8.8	$\mu$ s	
	システムクロックソースは MOCO (8 MHz)	$t_{SBYMO}$	—	4	5	$\mu$ s	

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。  
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。  
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。  
 注 4. システムクロックは 32 MHz です。  
 注 5. システムクロックは 48 MHz です。  
 注 6. システムクロックは 64 MHz です。

表 2.22 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2)	$t_{SBYMC}$	—	2	3	ms	図 2.9
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3) VCC = 1.8 V ~ 5.5 V	$t_{SBYEX}$	—	2.4	3.1	$\mu$ s	
			システムクロックソースはメインクロック発振器 (4 MHz)(注3) VCC = 1.6 V ~ 1.8 V						
	システムクロックソースは HOCO(注4)	VCC = 1.8 V ~ 5.5 V(注4)	$t_{SBYHO}$	—	7.7	9.4	$\mu$ s		
		VCC = 1.6 V ~ 1.8 V							
	システムクロックソースは MOCO (8 MHz)	VCC = 1.8 V ~ 5.5 V	$t_{SBYMO}$	—	4	5	$\mu$ s		
VCC = 1.6 V ~ 1.8 V									

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

注 4. システムクロックは 24 MHz です。

表 2.23 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (2 MHz)(注2)	$t_{SBYMC}$	—	2	3	ms	図 2.9
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (2 MHz)(注3)	$t_{SBYEX}$	—	14.5	16	$\mu$ s	
			システムクロックソースは MOCO (8 MHz)						

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

表 2.24 低消費電力モードからの復帰タイミング (4)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Subosc-speed モード	システムクロックソースは LOCO (32.768 kHz)	$t_{SBYLO}$	—	0.85	1.2	ms	図 2.9

注 1. Subosc-speed モードでは、LOCO はソフトウェアスタンバイモードで発振を継続します。

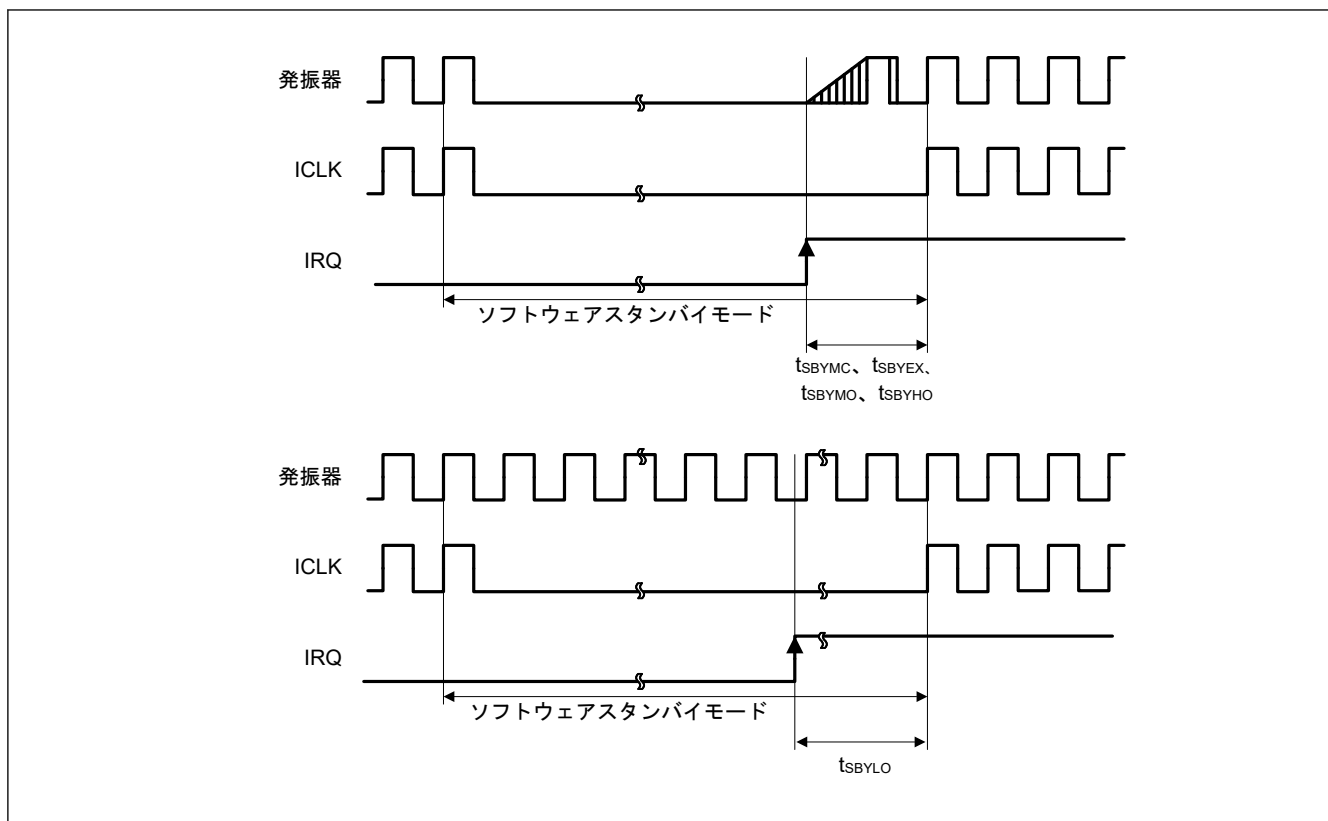


図 2.9 ソフトウェアスタンバイモード解除タイミング

表 2.25 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	$t_{SNZ}$	—	6.6	8.1	$\mu s$	図 2.10
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V~5.5 V	$t_{SNZ}$	—	6.7	8.2	$\mu s$	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V~1.8 V	$t_{SNZ}$	—	10.8	12.9	$\mu s$	
	Low-speed モード システムクロックソースは MOCO (2 MHz)	$t_{SNZ}$	—	6.7	8.0	$\mu s$	

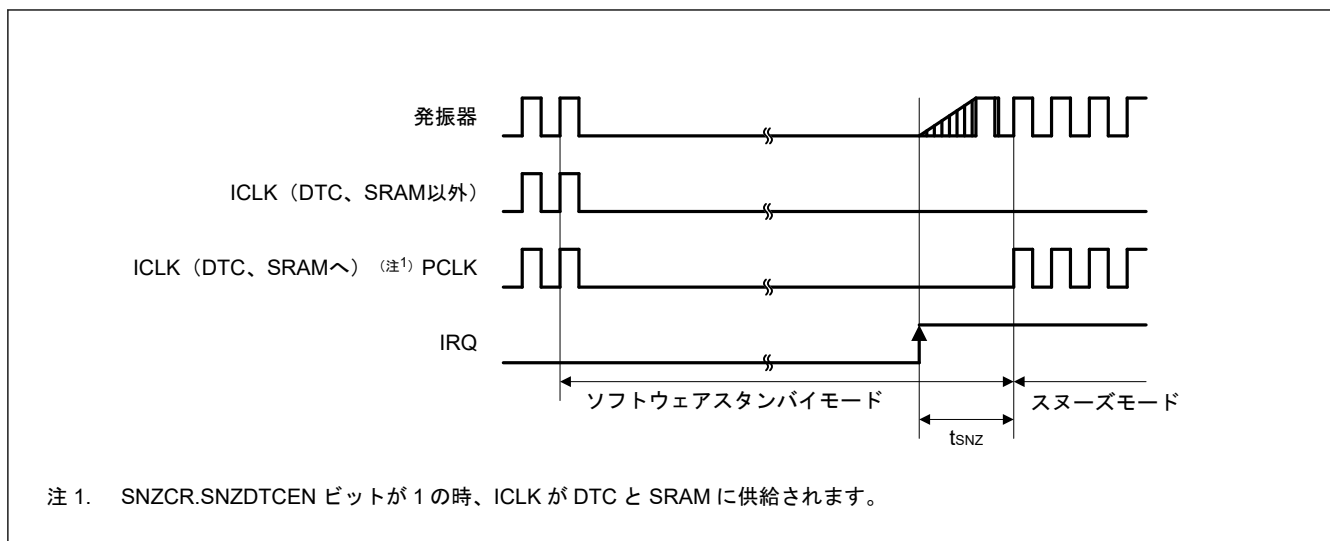


図 2.10 ソフトウェアスタンバイモードからスリープモードへの復帰タイミング

### 2.3.5 NMI/IRQ ノイズフィルタ

表 2.26 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	$t_{NMIW}$	200	—	—	ns	NMI デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200$ ns
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200$ ns
IRQ パルス幅	$t_{IRQW}$	200	—	—	ns	IRQ デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200$ ns
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

- 注. ソフトウェアスタンバイモード時は最小 200 ns です。
- 注. クロックソースを切り替える場合、切り替えられるクロックソースの 4 クロックサイクルを足す必要があります。
- 注 1.  $t_{Pcyc}$  は PCLKB の周期を意味します。
- 注 2.  $t_{NMICK}$  は、NMI デジタルフィルタサンプリングクロックの周期を意味します。
- 注 3.  $t_{IRQCK}$  は、IRQ<sub>i</sub> デジタルフィルタサンプリングクロックの周期を示します (i = 0~7)。

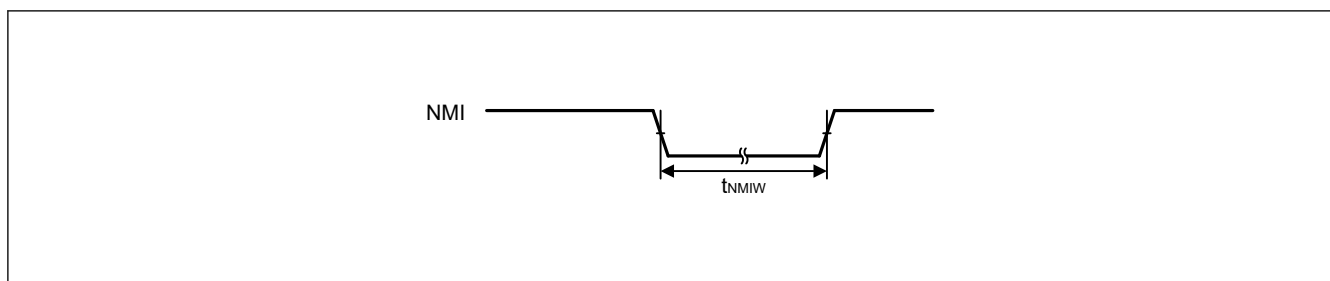


図 2.11 NMI 割り込み入力タイミング

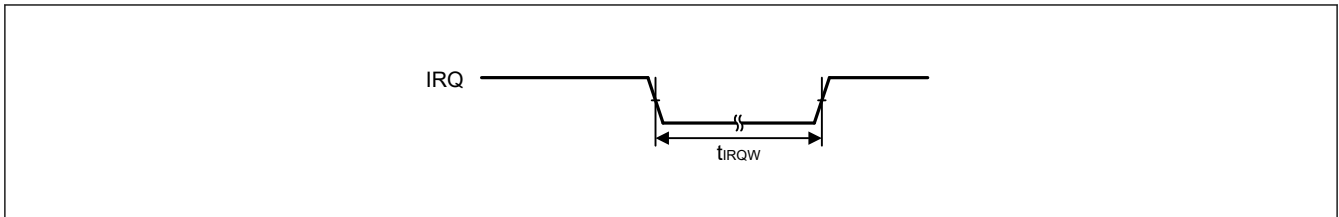


図 2.12 IRQ 割り込み入力タイミング

## 2.3.6 I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 のトリガタイミング

表 2.27 I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 のトリガタイミング (1/3)

項目		シンボル	Min	Typ	Max	単位	測定条件	
I/O ポート	入カデータパルス幅	$t_{PRW}$	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	3	—	—	$t_{P_{cyc}}$	<a href="#">図 2.13</a>
			$2.4\text{ V} \leq V_{CC} < 2.7\text{ V}$	4	—	—		
			$1.6\text{ V} \leq V_{CC} < 2.4\text{ V}$	5	—	—		

表 2.27 I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 のトリガタイミング (2/3)

項目		シンボル	Min	Typ	Max	単位	測定条件	
POEG	GTETRn 入力パルス幅	t <sub>POEW</sub>	1.5	—	—	t <sub>pcyc</sub>	<a href="#">図 2.14</a>	
	出力禁止時間	GTETRn 端子の入力レベル検出 (フラグ経由)	t <sub>POEGDI</sub>	—	—	3PCLK B + 0.34	μs	<a href="#">図 2.15</a> デジタルノイズフィルタを使用していない場合 (POEGn.NFEN = 0 (n = A ~ D))
		GPT からの出力停止信号の検出 (デッドタイムエラー、同時 High 出力、または同時 Low 出力)	t <sub>POEGDE</sub>	—	—	0.5	μs	<a href="#">図 2.16</a>
		コンパレータからのエッジ検出信号	t <sub>POEGDC</sub>	—	—	3PCLK B + 0.5	μs	<a href="#">図 2.17</a> ACMPHS 用ノイズフィルタを使用しておらず (COMPFIRO.CiFCK[1:0] = 00)、ACMPHS による検出時間を除外する場合の時間
		レジスタ設定	t <sub>POEGDS</sub>	—	—	1PCLK B + 0.3	μs	<a href="#">図 2.18</a> レジスタへのアクセス時間を含まない。
		発振停止検出(注2)	t <sub>POEGDOS</sub>	—	≤ 1	—	μs	<a href="#">図 2.19</a>
		GTETRn 端子の入力レベル検出 (ダイレクトパス)	t <sub>POEGDDI</sub>	—	—	2PCLK B + 1 PCLKD + 0.34	μs	<a href="#">図 2.20</a>
	コンパレータからのレベル検出信号	t <sub>POEGDDC</sub>	—	—	1PCLK D + 0.3	μs	<a href="#">図 2.21</a> ACMPHS 用ノイズフィルタを使用しておらず (COMPFIRO.CiFCK[1:0] = 00)、ACMPHS による検出時間を除外する場合の時間	

表 2.27 I/O ポート、POEG、GPT、AGTW、KINT、および ADC12 のトリガタイミング (3/3)

項目			シンボル	Min	Typ	Max	単位	測定条件
GPT	インプットキャプチャパルス幅	単エッジ	$t_{GTICW}$	1.5	—	—	$t_{pDcyc}$	図 2.22
		両エッジ		2.5	—	—		
	GTIOCxY 出カスケュー (x = 0~3, Y = A または B)		$t_{GTISK}$	—	—	4	ns	図 2.23
	GTIOCxY 出カスケュー (x = 0~3, Y = A または B)			—	—	6		
	OPS 出カスケュー GTOUUP、GTOULO、GTOVUP、 GTOVLO、GTOWUP、GTOWLO		$t_{GTOSK}$	—	—	5	ns	図 2.24
	外部トリガ入力パルス幅	同期クロック	単エッジ指定	$t_{GTEW}$	1.5	—	—	$t_{pcyc}$
両エッジ指定			2.5		—	—		
タイマクロックパルス幅	同期クロック	単エッジ指定	$t_{GTCKWH}$ 、 $t_{GTCKWL}$	1.5	—	—	$t_{pcyc}$	図 2.26
		両エッジ指定		2.5	—	—		
GPT (PWM 遅延生成回路)	GTIOCxY_Z スケュー (x = 0~3, Y = A または B、Z = A~D)		$t_{HRSK}^{(注1)}$	—	—	4.0	ns	図 2.27
AGTW	AGTIO、AGTEE 入力サイクル	$1.8\text{ V} \leq VCC \leq 5.5\text{ V}$	$t_{ACYC}^{(注1)}$	250	—	—	ns	図 2.28
		$1.6\text{ V} \leq VCC < 1.8\text{ V}$		2000	—	—	ns	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	$1.8\text{ V} \leq VCC \leq 5.5\text{ V}$	$t_{ACKWH}$ 、 $t_{ACKWL}$	100	—	—	ns	ns
		$1.6\text{ V} \leq VCC < 1.8\text{ V}$		800	—	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	$t_{ACYC2}$	62.5	—	—	ns	図 2.28
		$2.4\text{ V} \leq VCC < 2.7\text{ V}$		125	—	—	ns	
		$1.8\text{ V} \leq VCC < 2.4\text{ V}$		250	—	—	ns	
		$1.6\text{ V} \leq VCC < 1.8\text{ V}$		500	—	—	ns	
ADC12	12 ビット A/D コンバータトリガ入力パルス幅		$t_{TRGW}$	1.5	—	—	$t_{pcyc}$	図 2.29
KINT	KRn (n = 00~04) パルス幅		$t_{KR}$	250	—	—	ns	図 2.30

注 1. 入力サイクルの制約:  $t_{pcyc} \times 2$  ( $t_{pcyc}$ : PCLKB サイクル) <  $t_{ACYC}$

注 2. 参考値

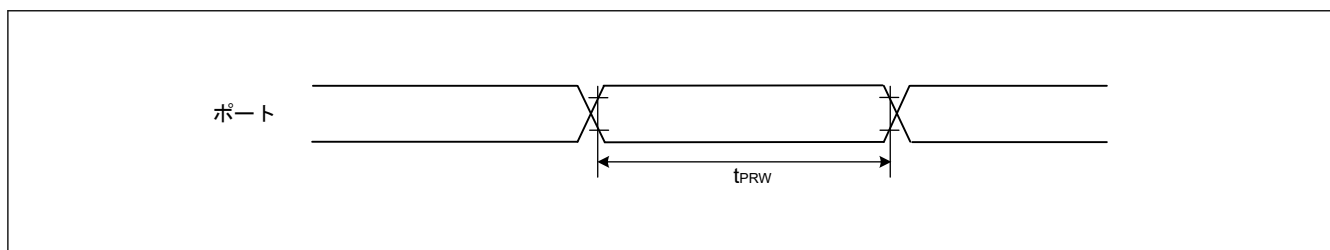


図 2.13 I/O ポート入力タイミング

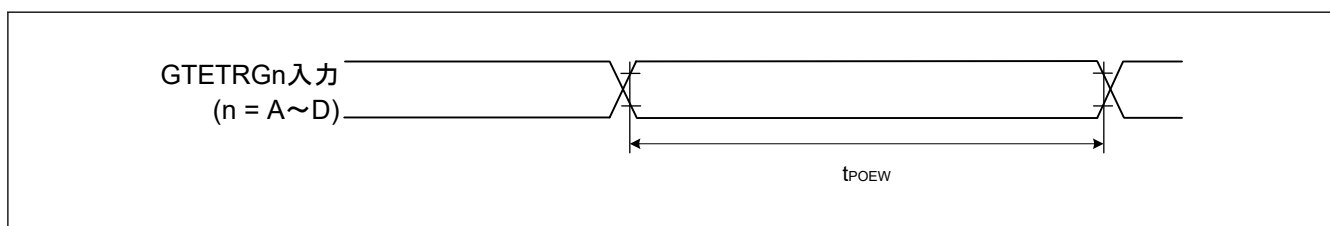


図 2.14 POEG 入力トリガタイミング

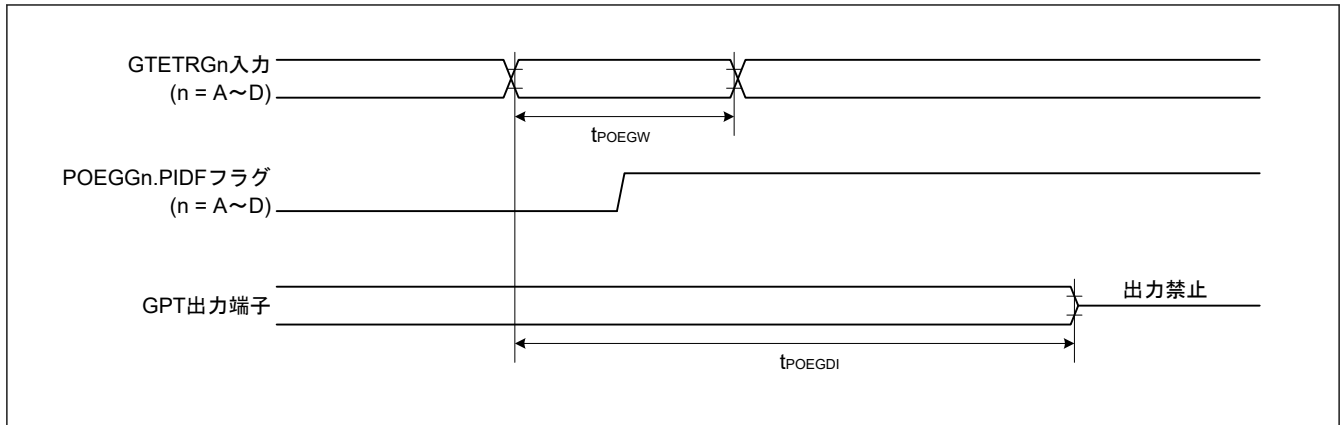


図 2.15 GTETR Gn 端子の入レベル検出に対応した検出フラグによる POEG の出力禁止時間

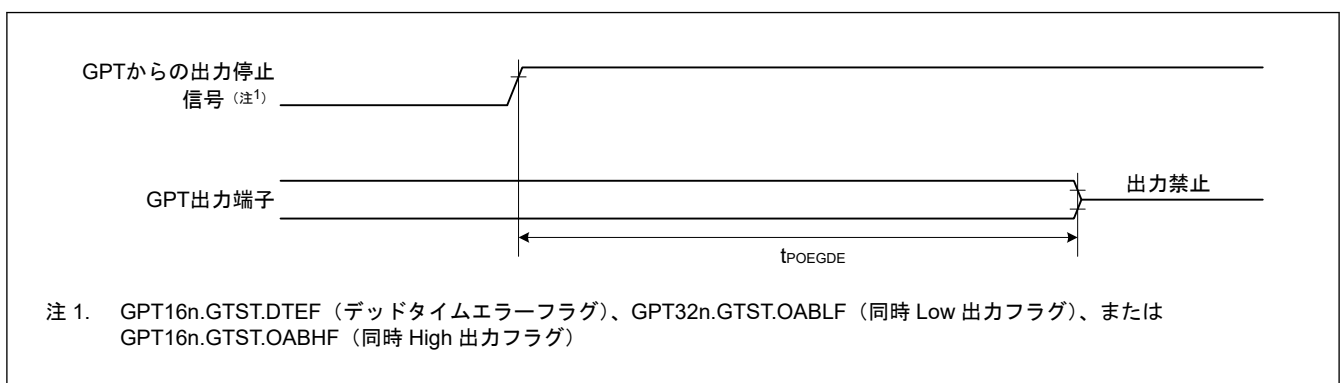


図 2.16 GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

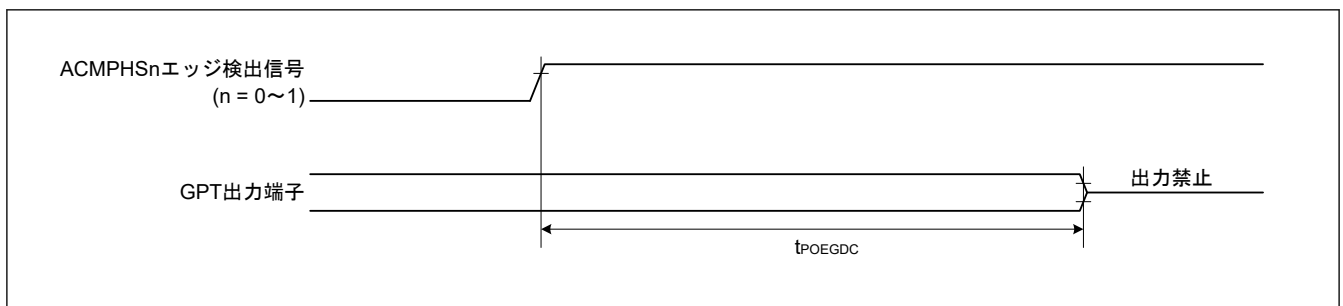


図 2.17 ACMPHS からのエッジ検出信号に対応した POEG の出力禁止時間

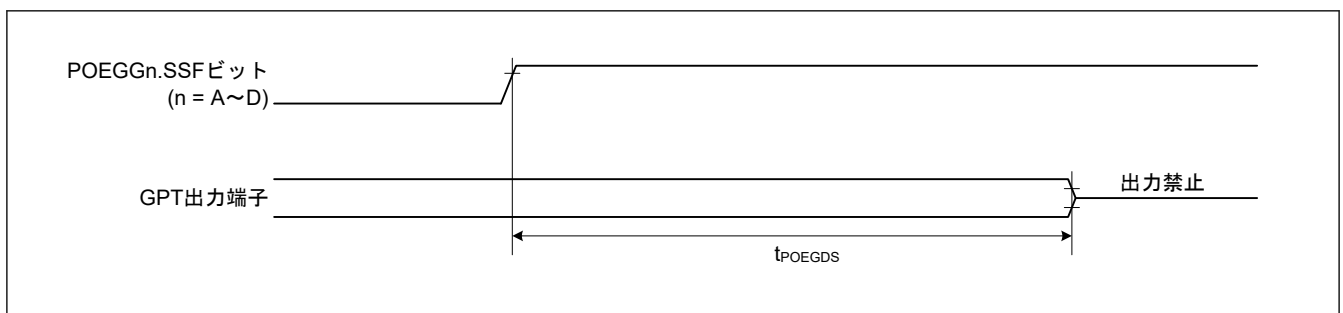


図 2.18 レジスタ設定に対応した POEG の出力禁止時間

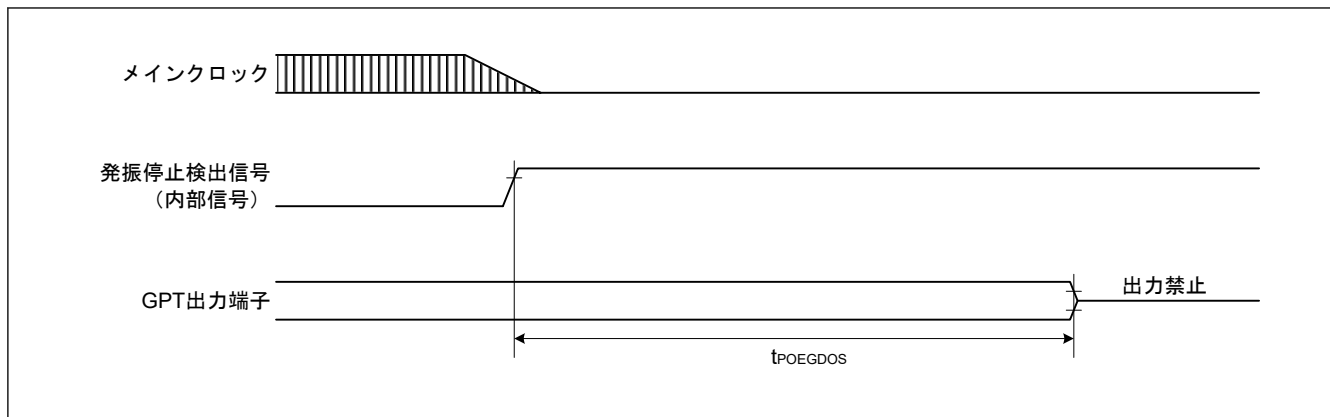


図 2.19 発振停止検出に対応した POEG の出力禁止時間

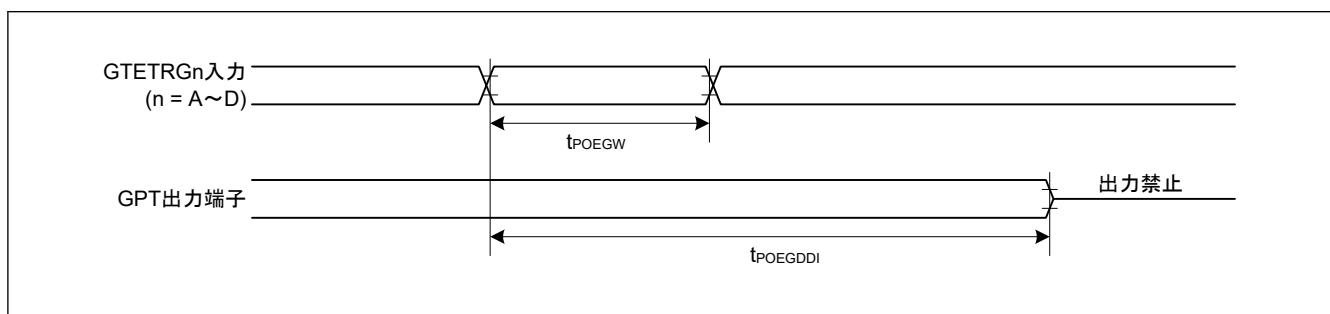


図 2.20 GTETRGn 端子の入レベル検出に直接対応した POEG の出力禁止時間

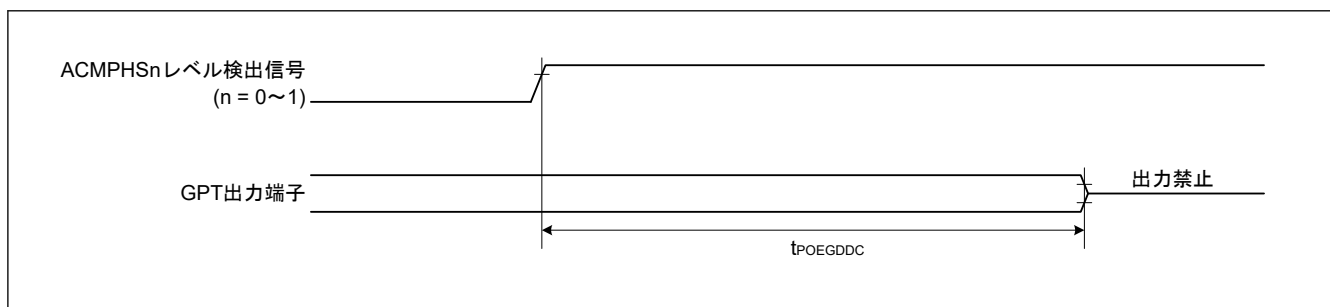


図 2.21 ACMPHSn からのレベル検出信号に対応した POEG の出力禁止時間

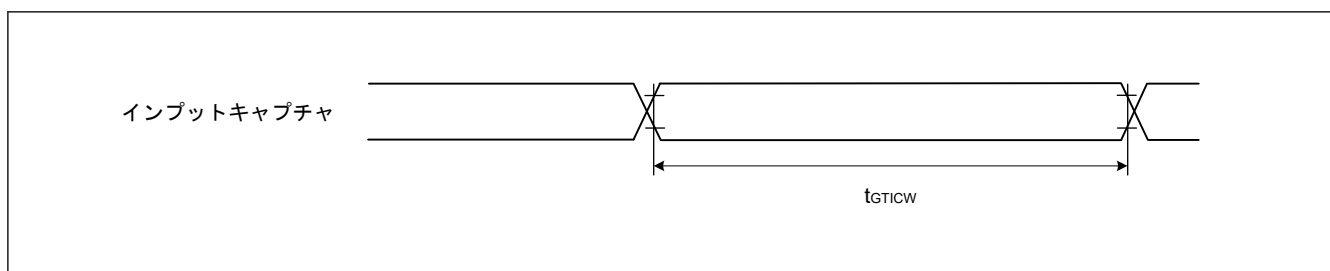


図 2.22 GPT インプットキャプチャタイミング

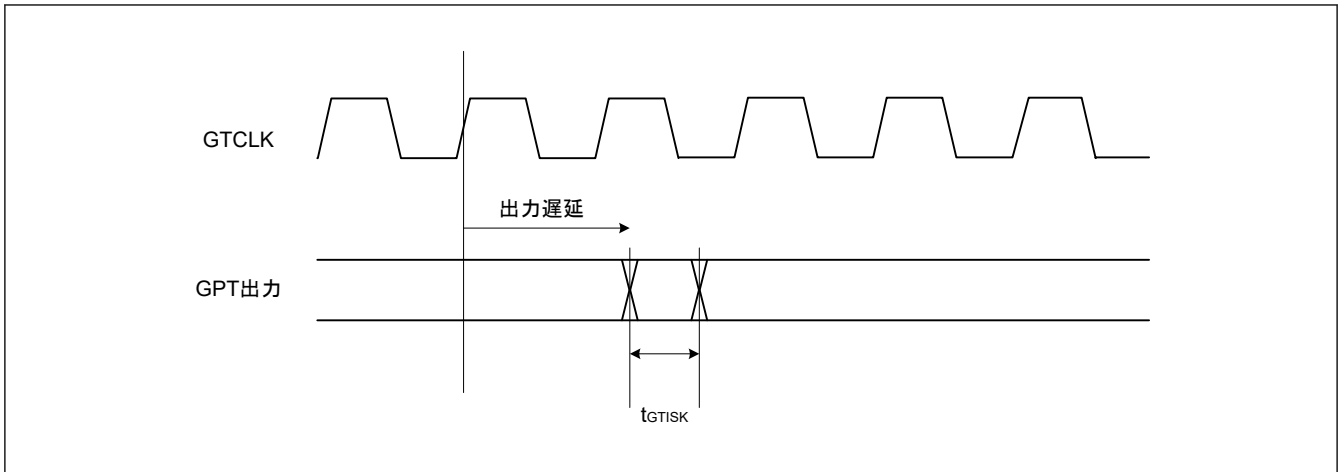


図 2.23 GPT 出力遅延スキュー

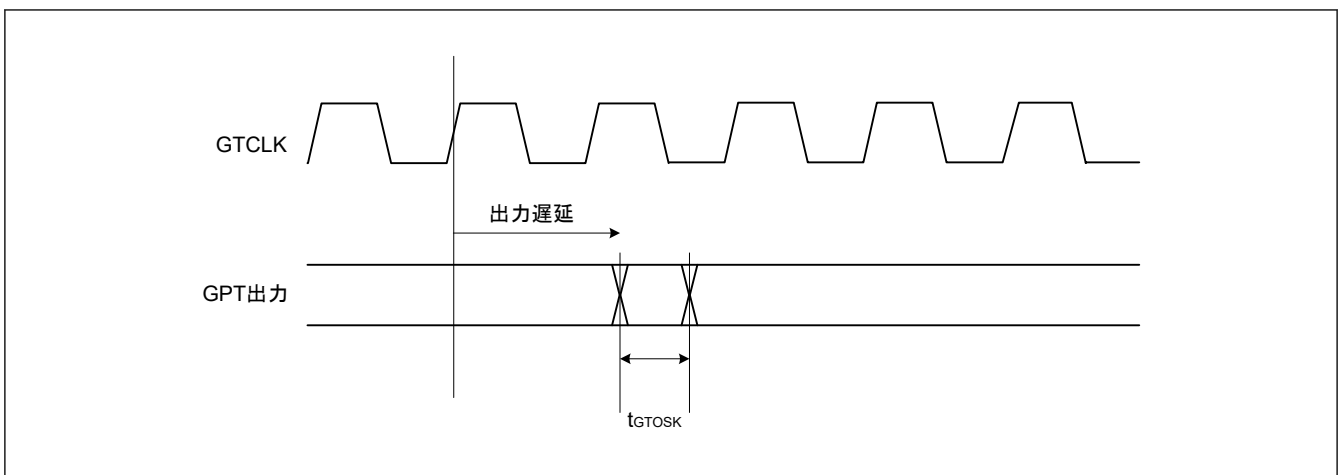


図 2.24 OPS の GPT 出力遅延スキュー

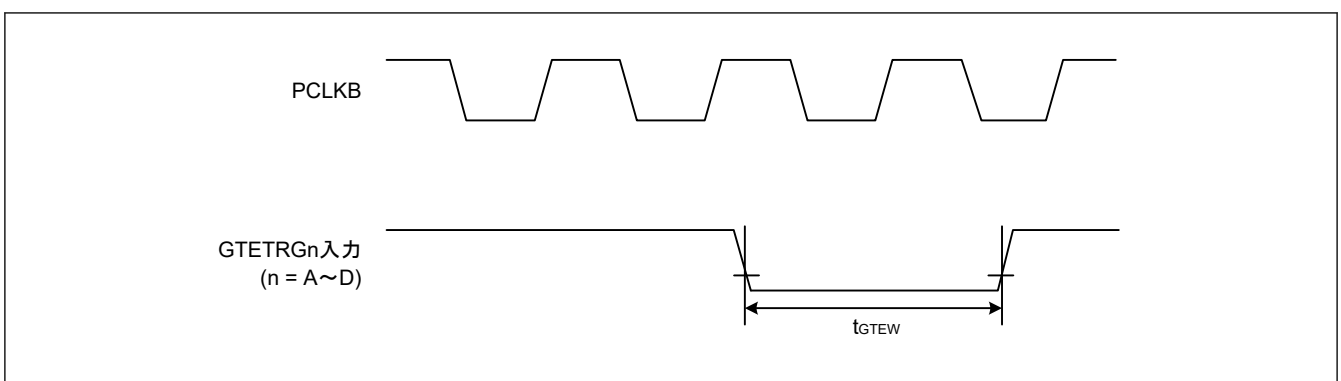


図 2.25 GPT 外部トリガ入力タイミング

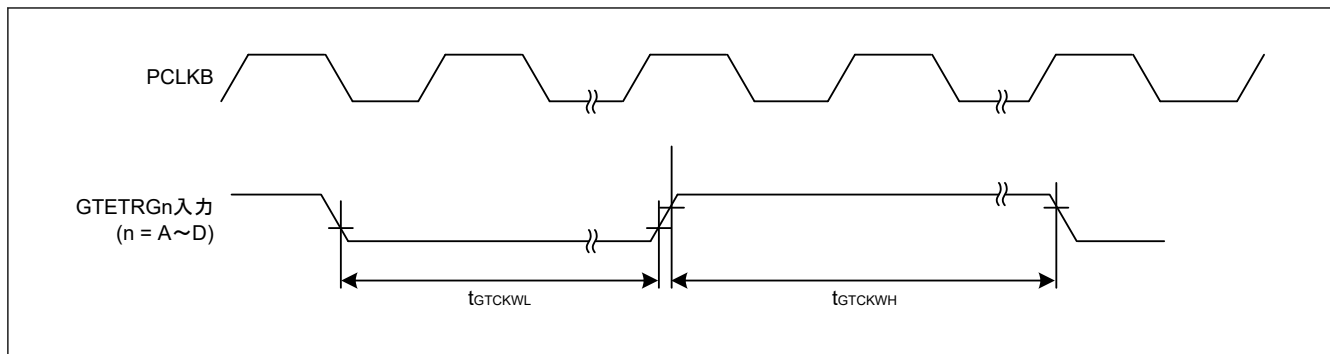


図 2.26 GPT クロック入力タイミング

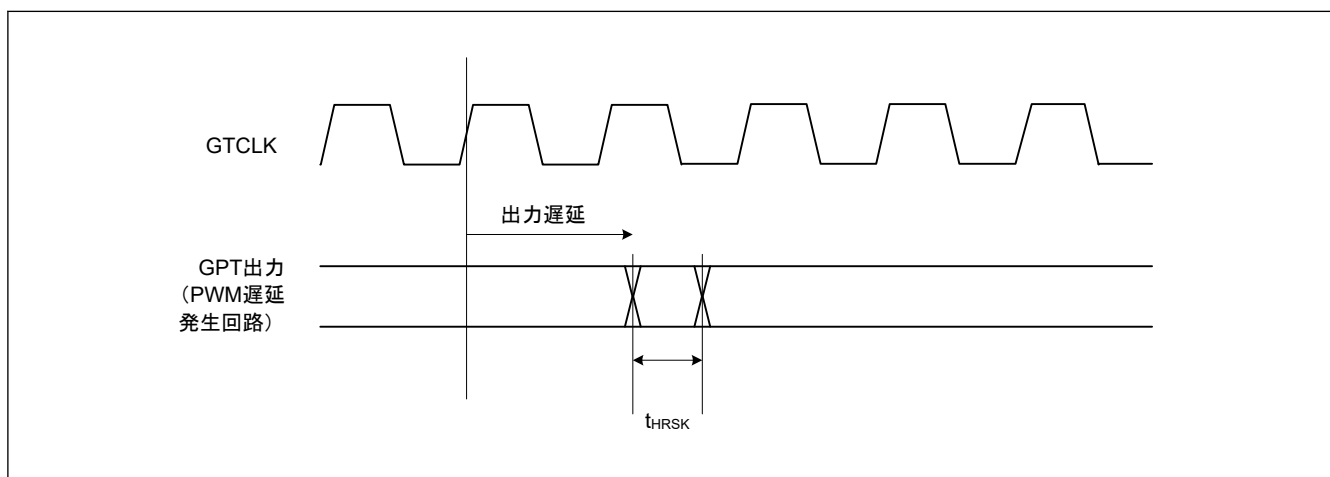


図 2.27 GPT (PDG) 出力遅延スキュー

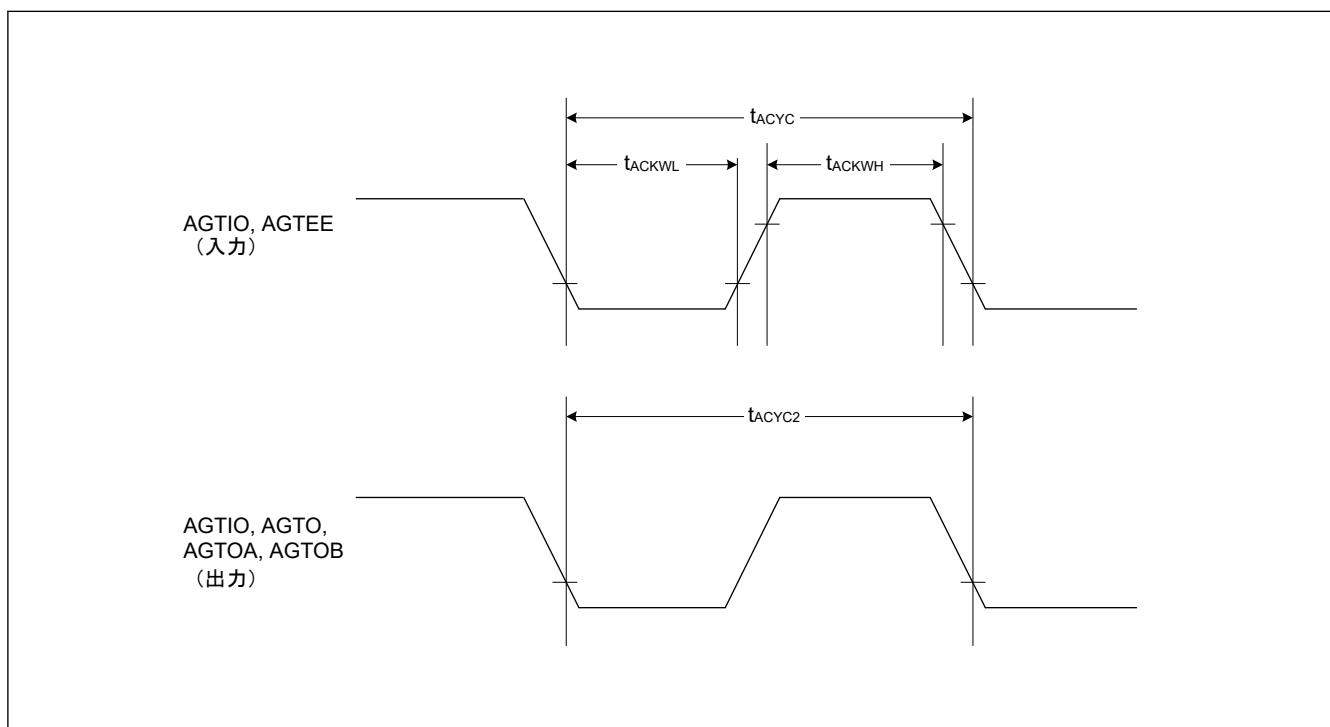


図 2.28 AGTW I/O タイミング

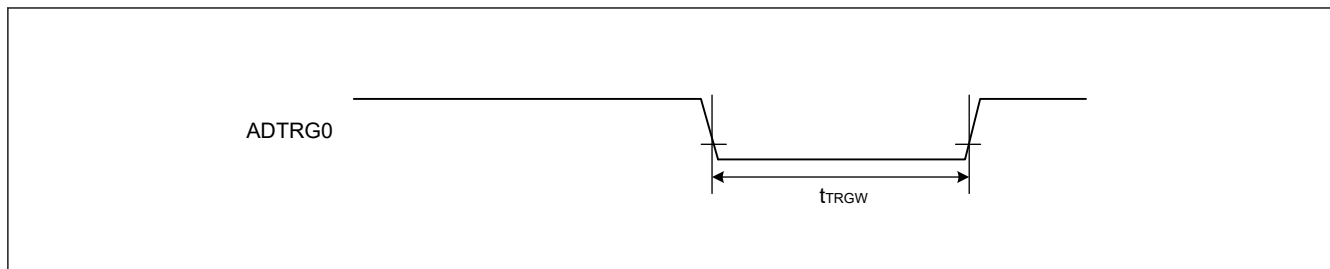


図 2.29 ADC12 トリガ入力タイミング

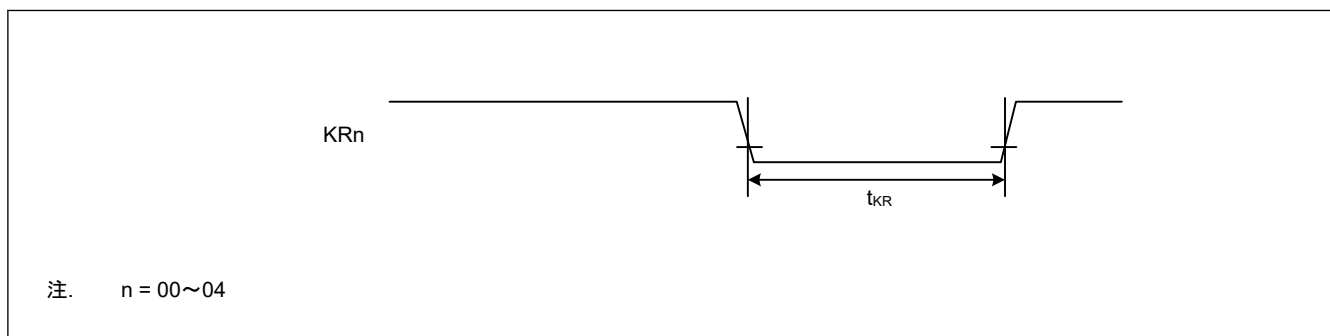


図 2.30 キー割り込み入力タイミング

### 2.3.7 CAC タイミング

表 2.28 CAC タイミング

条件 : VCC = AVCC0 = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{\text{CACREF}}$	$t_{\text{Pcyc}}^{(注1)} \leq t_{\text{CAC}}^{(注2)}$	—	—	ns	—
			$t_{\text{Pcyc}}^{(注1)} > t_{\text{CAC}}^{(注2)}$	$4.5 \times t_{\text{CAC}} + 3 \times t_{\text{Pcyc}}$	—	—	

注 1.  $t_{\text{Pcyc}}$  : PCLKB の周期。

注 2.  $t_{\text{CAC}}$  : CAC カウントクロックソースの周期

## 2.3.8 SCI タイミング

表 2.29 SCI タイミング (1)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目			シンボル	Min	Max	単位	測定条件	
SCI	入カクロックサイクル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{Scyc}}$	125	—	ns	図 2.31
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		250	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		500	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
		クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
	入カクロックパルス幅			$t_{\text{SCKW}}$	0.4	0.6	$t_{\text{Scyc}}$	
	入カクロック立ち上がり時間			$t_{\text{SCKr}}$	—	20	ns	
	入カクロック立ち下がり時間			$t_{\text{SCKf}}$	—	20	ns	
	出カクロックサイクル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{Scyc}}$	187.5	—	ns	
$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$			375		—			
$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$			750		—			
$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			1500		—			
クロック同期式		$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	125		—			
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	250		—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	500		—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	1000		—			
出カクロックパルス幅			$t_{\text{SCKW}}$	0.4	0.6	$t_{\text{Scyc}}$		
出カクロック立ち上がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{SCKr}}$	—	20	ns		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30			
出カクロック立ち下がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{SCKf}}$	—	20	ns		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30			
送信データ遅延時間 (マスタ)	クロック同期式	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{TXD}}$	—	40	ns	図 2.32	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	45			
送信データ遅延時間 (スレーブ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{TXD}}$	—	55	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	60			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	100			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125			
受信データセットアップ時間 (マスタ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{RXS}}$	45	—	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		55	—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		90	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		110	—			
受信データセットアップ時間 (スレーブ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{RXS}}$	40	—	ns		
		$1.6\text{ V} \leq \text{VCC} < 2.7\text{ V}$		45	—			
受信データホールド時間 (マスタ)	クロック同期式		$t_{\text{RXH}}$	5	—	ns		
受信データホールド時間 (スレーブ)	クロック同期式		$t_{\text{RXH}}$	40	—	ns		

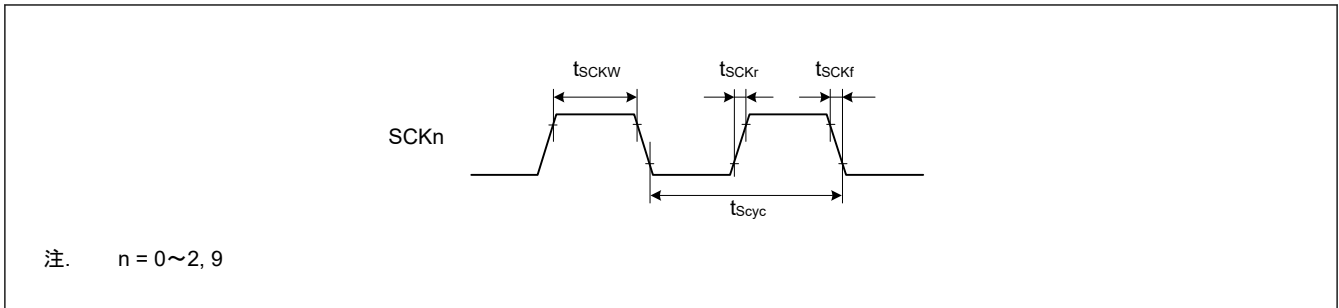


図 2.31 SCK クロック入カタイミング

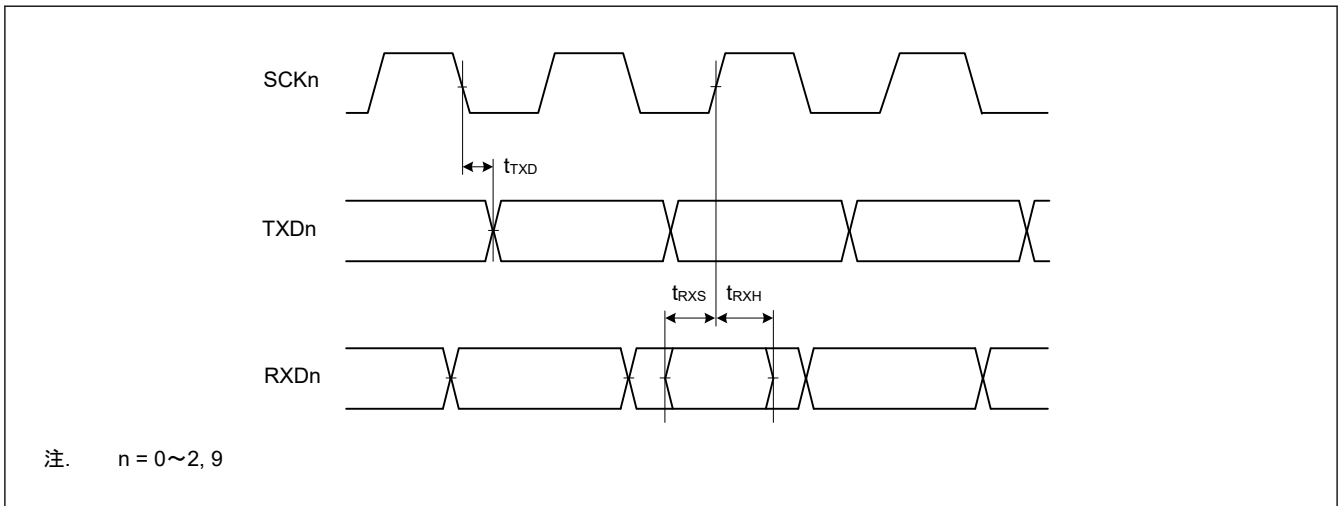


図 2.32 クロック同期式モードにおける SCI 入出カタイミング

表 2.30 SCI タイミング (2) (1/2)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目			シンボル	Min	Max	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SPcyc}}$	125	—	ns	図 2.33
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		250	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		500	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
	SCK クロックサイクル入力 (スレーブ)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
	SCK クロック High レベルパルス幅		$t_{\text{SPCKWH}}$	0.4	0.6	$t_{\text{SPcyc}}$	
	SCK クロック Low レベルパルス幅		$t_{\text{SPCKWL}}$	0.4	0.6	$t_{\text{SPcyc}}$	
	SCK クロック立ち上がり ／立ち下がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SPCKr}}$	—	20	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	$t_{\text{SPCKf}}$	—	30		
データ入力セ ットアップ時 間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SU}}$	45	—	ns	図 2.34~ 図 2.37
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		55	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		80	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		110	—		
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		40	—		
		$1.6\text{ V} \leq \text{VCC} < 2.7\text{ V}$		45	—		
データ入力ホ ールド時間	マスタ	$t_{\text{H}}$	33.3	—	ns		
	スレーブ	$t_{\text{H}}$	40	—			
SS 入力セットアップ時間		$t_{\text{LEAD}}$	1	—	$t_{\text{SPcyc}}$		
SS 入力ホールド時間		$t_{\text{LAG}}$	1	—	$t_{\text{SPcyc}}$		
データ出力遅 延時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{OD}}$	—	40	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	50		
	スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	65		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	100		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125		
データ出力ホ ールド時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{OH}}$	-10	—	ns	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		-20	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		-30	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		-40	—		
	スレーブ			$t_{\text{OH}}$	-10		—
データ立ち上 がり／立ち下 がり時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{Dr}}, t_{\text{Df}}$	—	20	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		
	スレーブ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	20		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		

表 2.30 SCI タイミング (2) (2/2)

条件 : VCC = AVCC0 = 1.6~5.5 V

項目		シンボル		Min	Max	単位 (注1)	測定条件
簡易 SPI	スレーブアクセス時間	2.4 V ≤ VCC ≤ 5.5 V		—	6	t <sub>Pcyc</sub>	図 2.37
		1.8 V ≤ VCC < 2.4 V	24 MHz ≤ PCLKB ≤ 32 MHz	—	7		
			PCLKB < 24 MHz	—	6		
		1.6 V ≤ VCC < 1.8 V		—	6		
	スレーブ出力解放時間	2.4 V ≤ VCC ≤ 5.5 V		—	6	t <sub>Pcyc</sub>	
		1.8 V ≤ VCC < 2.4 V	24 MHz ≤ PCLKB ≤ 32 MHz	—	7		
			PCLKB < 24 MHz	—	6		
		1.6 V ≤ VCC < 1.8 V		—	6		

注 1. t<sub>Pcyc</sub>: PCLKB の周期

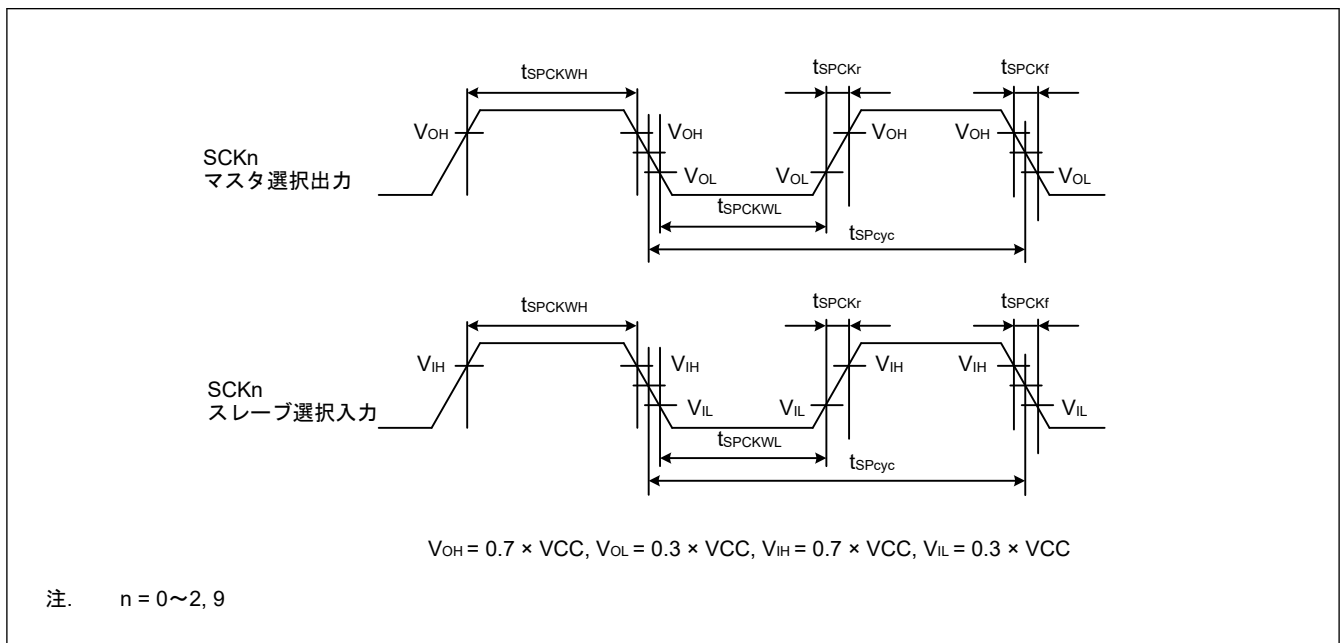


図 2.33 SCI 簡易 SPI モードクロックタイミング

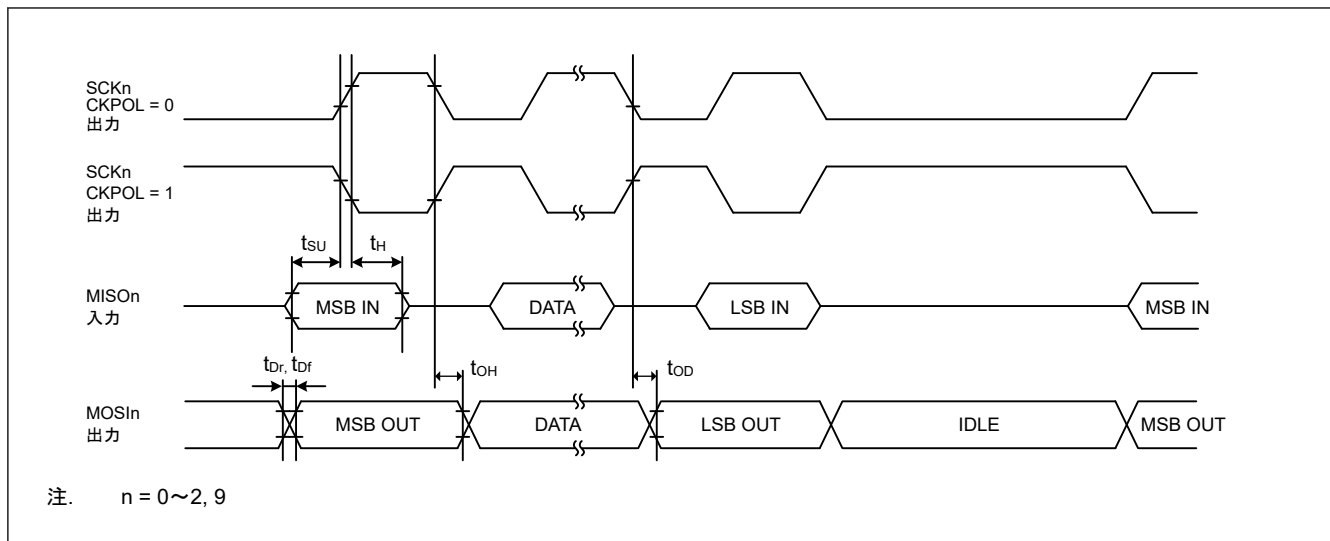


図 2.34 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

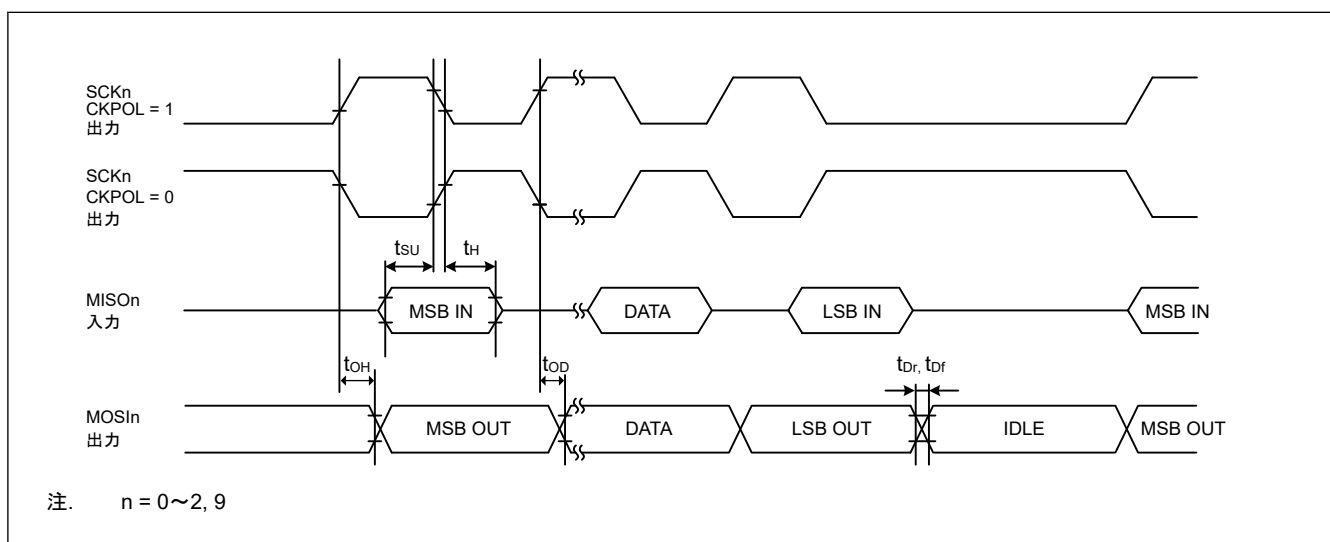


図 2.35 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

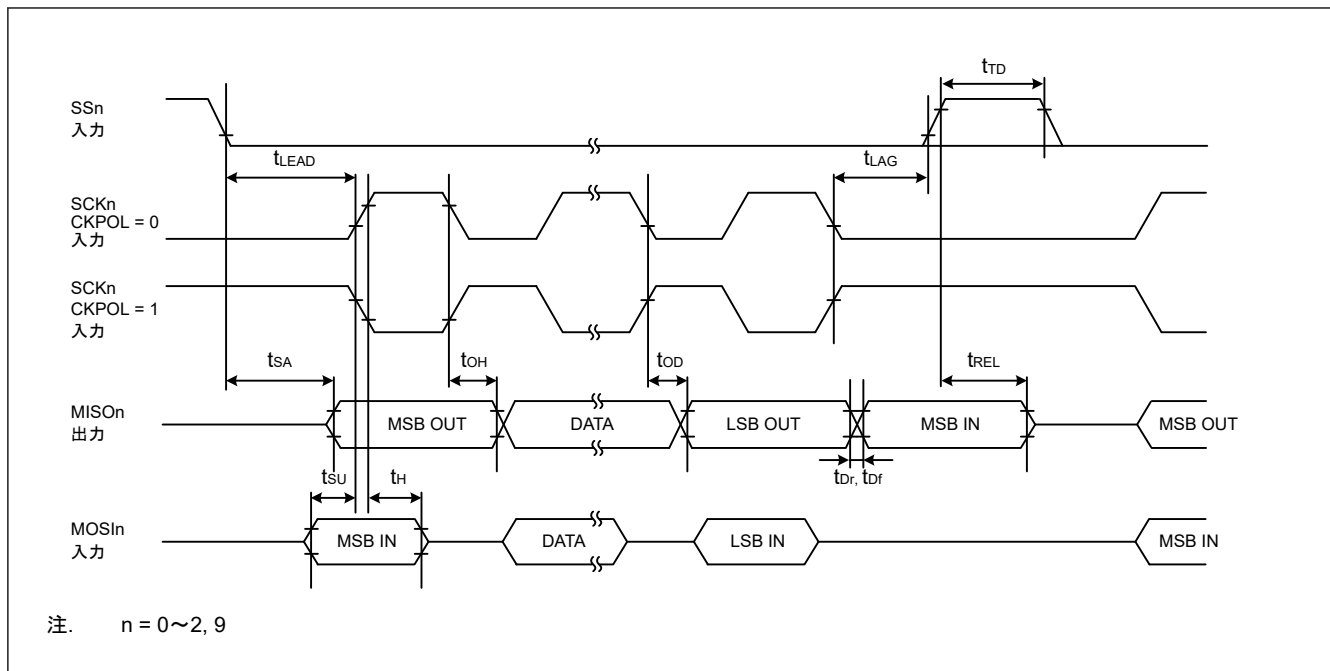


図 2.36 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

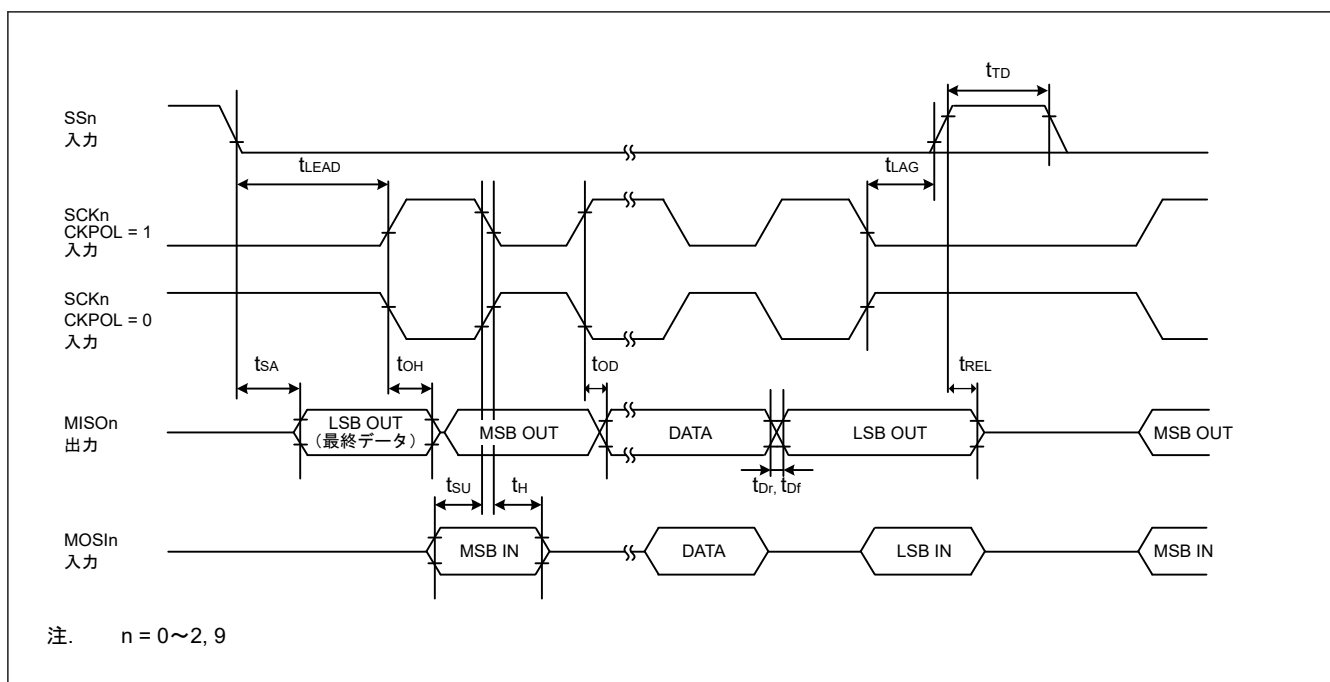


図 2.37 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 2.31 SCI タイミング (3)

条件 : VCC = AVCC0 = 2.7~5.5 V

項目	シンボル	Min	Max	単位	測定条件	
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	$t_{Sr}$	—	1000	ns	図 2.38
	SDA 入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	$t_{SDAS}$	250	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の容量性負荷	$C_b$ (注2)	—	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	$t_{Sr}$	—	300	ns	図 2.38
	SDA 入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	$t_{SDAS}$	100	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の容量性負荷	$C_b$ (注2)	—	400	pF	

注 1.  $t_{IICcyc}$ : SMR.CKS[1:0]ビットによって選択されたクロックサイクル

注 2.  $C_b$  はバスラインの容量総計を意味します。

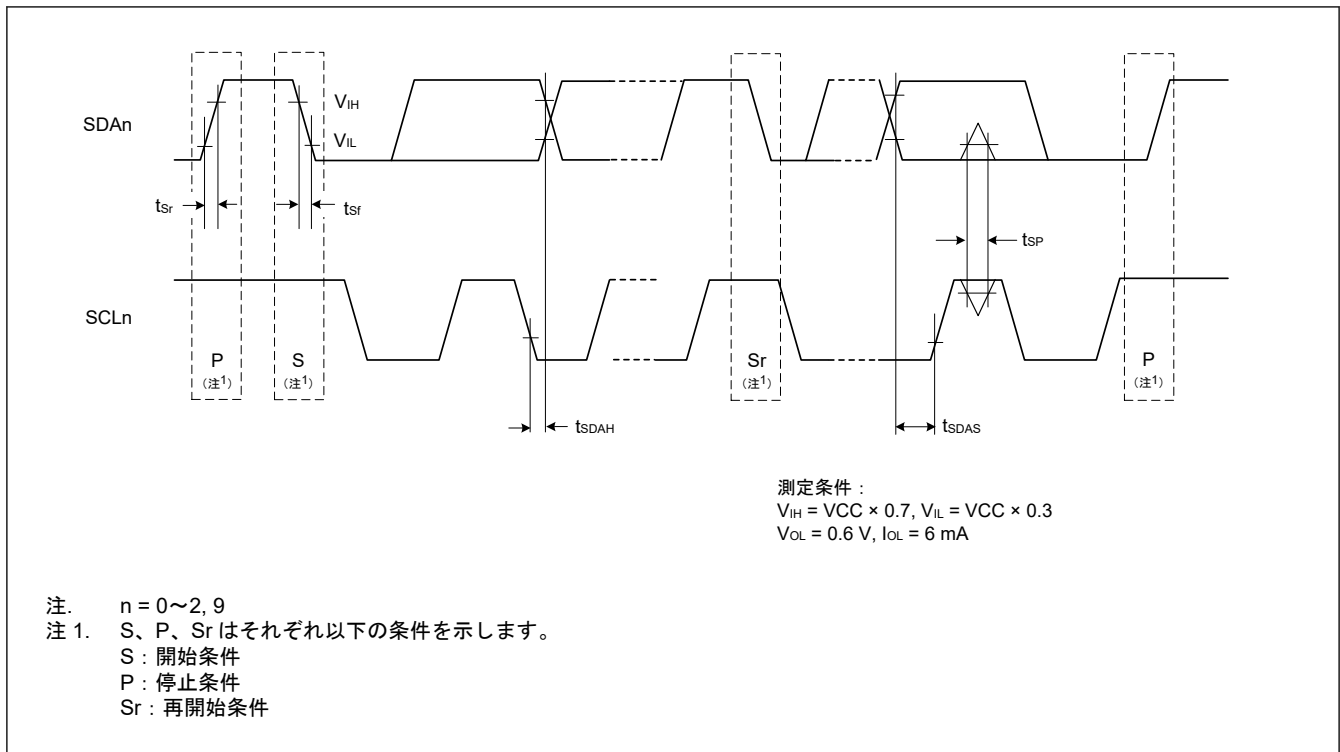


図 2.38 SCI 簡易 IIC モードタイミング

## 2.3.9 SPI タイミング

表 2.32 SPI タイミング (1/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	RSPCK クロックサイクル	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SPCyc}}$	62.5	—	ns	図 2.39 C = 30 pF
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		125	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		250	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		500	—		
		スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
RSPCK クロック High レベルパルス幅	マスタ		$t_{\text{SPCKWH}}$	$(t_{\text{SPCyc}} - t_{\text{SPCKr}} - t_{\text{SPCKf}}) / 2 - 3$	—	ns		
		スレーブ						$3 \times t_{\text{PCyc}}$
RSPCK クロック Low レベルパルス幅	マスタ		$t_{\text{SPCKWL}}$	$(t_{\text{PCyc}} - t_{\text{SPCKr}} - t_{\text{SPCKf}}) / 2 - 3$	—	ns		
		スレーブ						$3 \times t_{\text{PCyc}}$
RSPCK クロック立ち上がり/立ち下がり時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SPCKr}}$ $t_{\text{SPCKf}}$	—	10	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	15			
		$1.8\text{ V} \leq \text{VCC} \leq 2.4\text{ V}$		—	20			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
	入力		—	0.1	$\mu\text{s/V}$			

表 2.32 SPI タイミング (2/3)

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	データ入力 セットアップ 時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		ns	図 2.40～図 2.45 C = 30 pF		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	$16\text{ MHz} < \text{PCLKB} \leq 32\text{ MHz}$			10	—
			$\text{PCLKB} \leq 16\text{ MHz}$	30			—	
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	$16\text{ MHz} < \text{PCLKB} \leq 32\text{ MHz}$			10	—
			$8\text{ MHz} < \text{PCLKB} \leq 16\text{ MHz}$	55			—	
			$\text{PCLKB} \leq 8\text{ MHz}$	30			—	
		スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		10		—	
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		15		—	
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		20		—	
	データ入力 ホールド時間	マスタ (RSPCK は PCLKB/2)		$t_{\text{HF}}$	0		—	ns
		マスタ (RSPCK は PCLKB/2 以外)		$t_{\text{H}}$	$t_{\text{Pcyc}}$		—	
		スレーブ		$t_{\text{H}}$	20		—	
SPI	SSL セット アップ時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{LEAD}}$	ns		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$				$-30 + N \times t_{\text{SPcyc}}$ <sup>(注2)</sup>	—
		スレーブ			$-50 + N \times t_{\text{SPcyc}}$ <sup>(注2)</sup>	—		
					$6 \times t_{\text{Pcyc}}$	ns		
SSL ホールド 時間	マスタ		$t_{\text{LAG}}$	$-30 + N \times t_{\text{SPcyc}}$ <sup>(注3)</sup>		ns		
	スレーブ			$6 \times t_{\text{Pcyc}}$		ns		
データ出力 遅延時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{OD}}$	ns			
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$				—	14	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$				—	20	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$				—	25	
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$				—	30	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$				—	50	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$				—	60	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$				—	85	
データ出力 ホールド時間	マスタ		$t_{\text{OH}}$	0	—	ns		
	スレーブ			0	—			
連続送信遅 延時間	マスタ		$t_{\text{TD}}$	$t_{\text{SPcyc}} + 2 \times t_{\text{Pcyc}}$	$8 \times t_{\text{SPcyc}} + 2 \times t_{\text{Pcyc}}$	ns		
	スレーブ			$6 \times t_{\text{Pcyc}}$	—			

表 2.32 SPI タイミング (3/3)

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	MOSI、MISO 立ち上がり ／立ち下がり 時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	10	ns	図 2.40～図 2.45 C = 30 pF	
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	15			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	20			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	30			
		入力	—	—	1	$\mu\text{s}$		
	SSL 立ち上 がり／立ち 下がり時間	出力	$t_{\text{SSLr}},$ $t_{\text{SSLf}}$	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	10		ns
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	15			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	20			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	30				
	入力	—	—	—	1	$\mu\text{s}$		
スレーブアクセス時 間		$t_{\text{SA}}$	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	$2 \times t_{\text{Pcyc}} +$ 100	ns	図 2.44 と 図 2.45 C = 30 pF	
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	$2 \times t_{\text{Pcyc}} +$ 140			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	$2 \times t_{\text{Pcyc}} +$ 180			
スレーブ出力開放時 間		$t_{\text{REL}}$	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	$2 \times t_{\text{Pcyc}} +$ 100	ns		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	$2 \times t_{\text{Pcyc}} +$ 140			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	$2 \times t_{\text{Pcyc}} +$ 180			

- 注 1.  $t_{\text{Pcyc}}$  : PCLKB の周期
- 注 2. N は SPCKD レジスタで設定可能な 1~8 の整数です。
- 注 3. N は SSLND レジスタで設定可能な 1~8 の整数です。

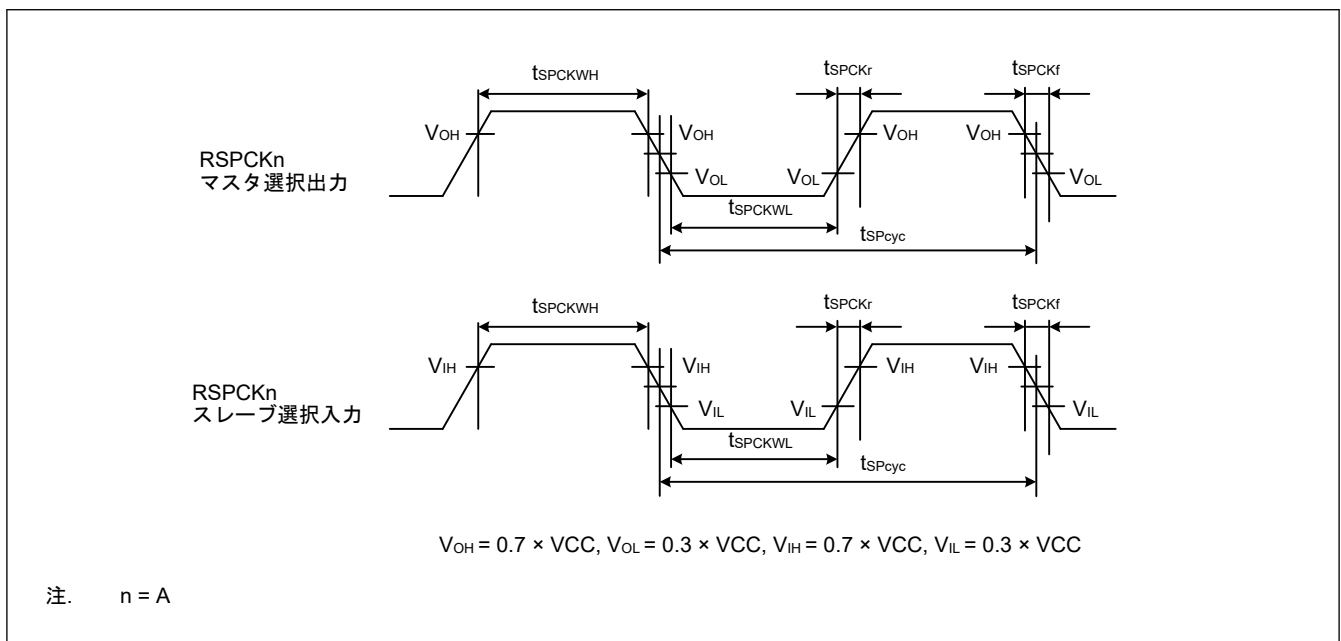


図 2.39 SPI クロックタイミング

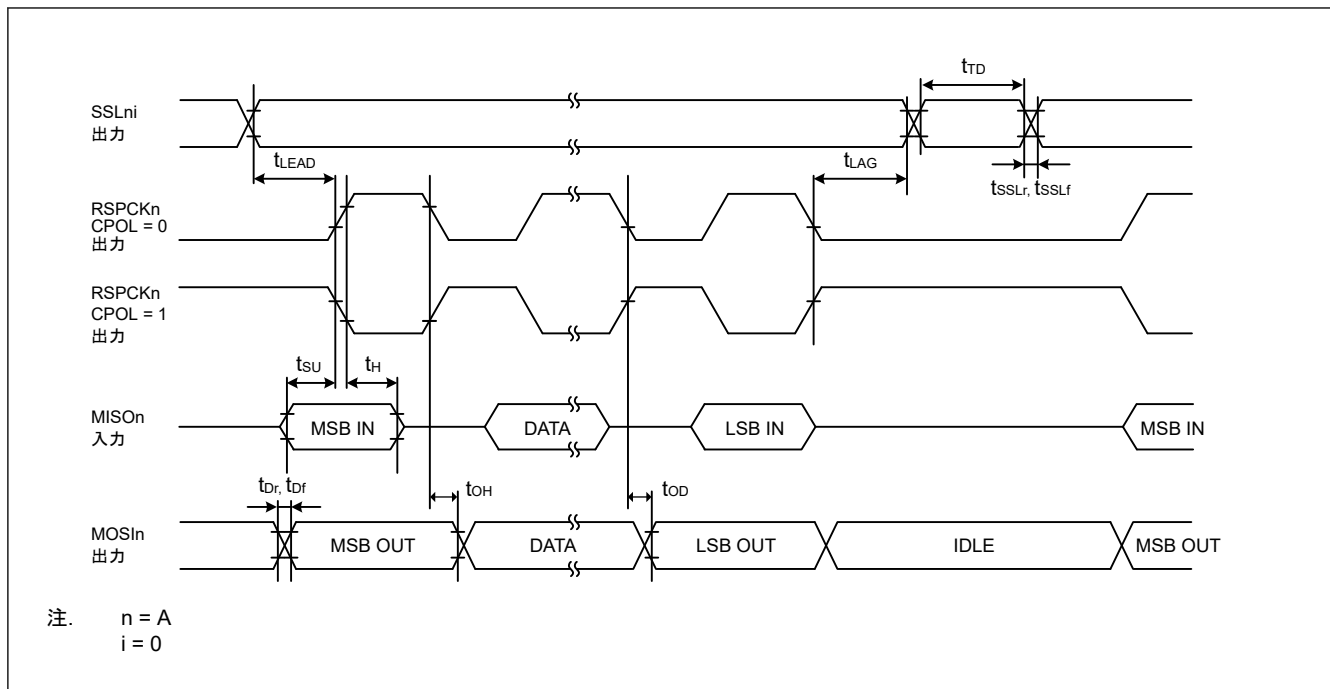


図 2.40 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

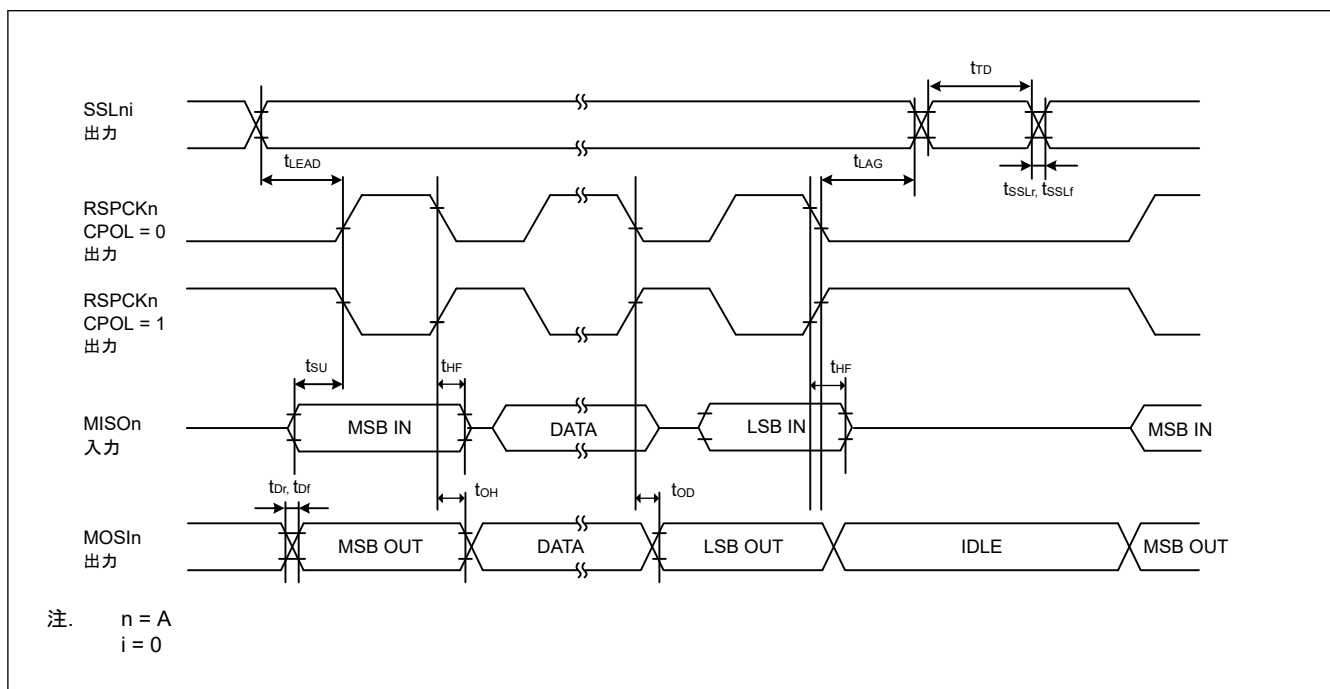


図 2.41 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

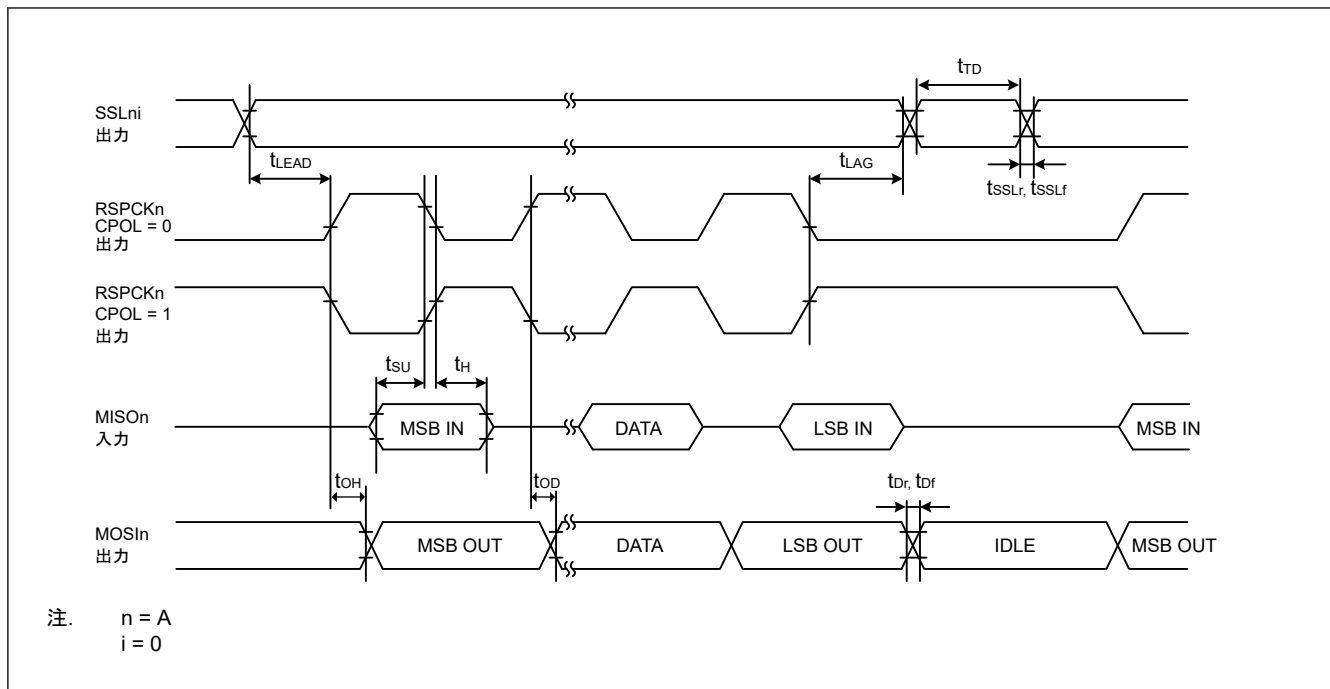


図 2.42 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

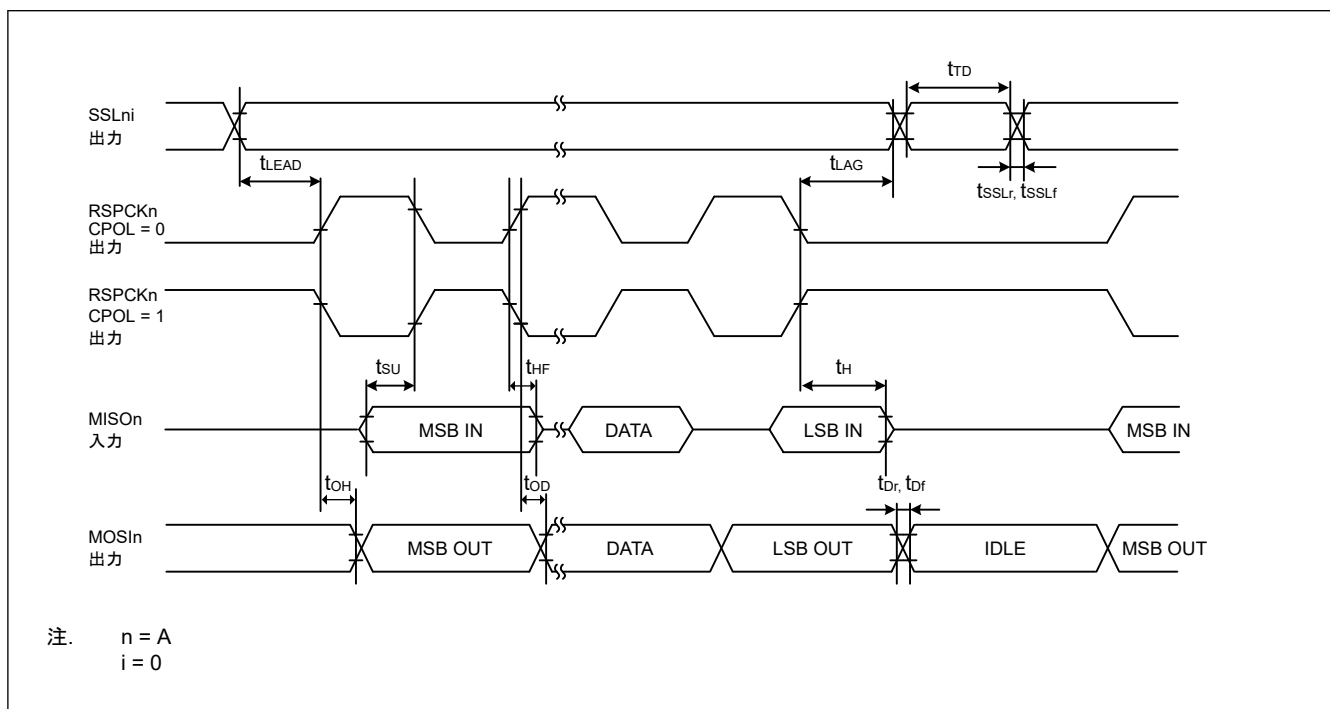


図 2.43 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

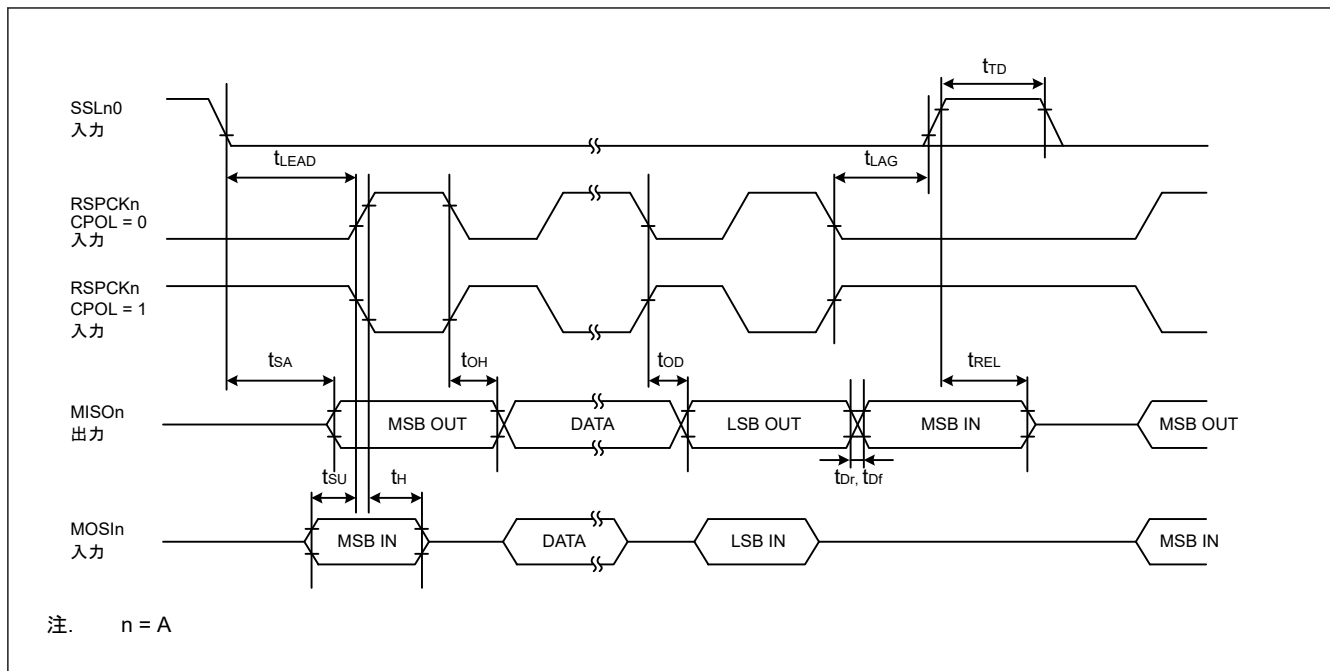


図 2.44 SPI タイミング (スレーブ、CPHA = 0)

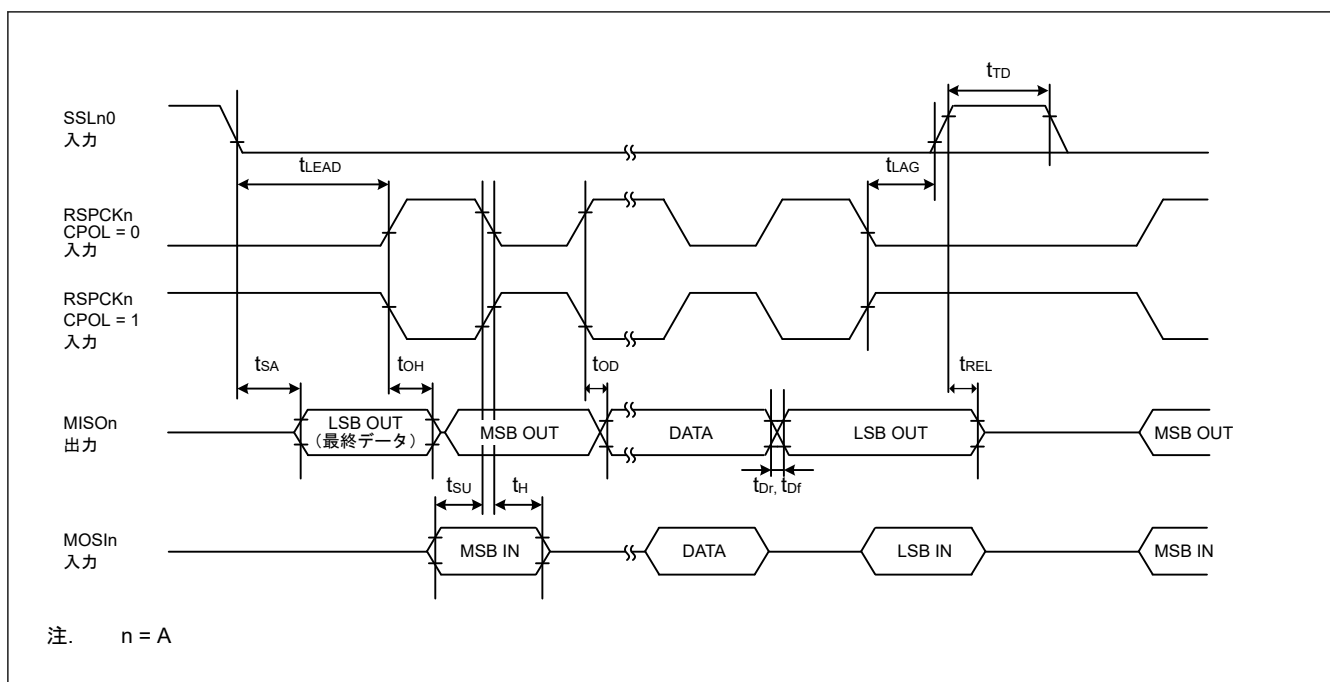


図 2.45 SPI タイミング (スレーブ、CPHA = 1)

## 2.3.10 IIC タイミング

表 2.33 IIC タイミング

条件 : VCC = AVCC0 = 2.7~5.5 V

項目	シンボル	Min(注1)	Max	単位	測定条件	
IIC (標準モード、SMBus)	SCL 入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図 2.46
	SCL 入力 High レベルパルス幅	$t_{SCLH}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	$t_{SCLL}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 入力立ち上がり時間	$t_{Sr}$	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA 入カバスフリー時間 (ウェイクアップ機能無効時)	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SDA 入カバスフリー時間 (ウェイクアップ機能有効時)	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能無効時)	$t_{STAH}$	$t_{IICcyc} + 300$	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能有効時)	$t_{STAH}$	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再送 START 条件入力セットアップ時間	$t_{STAS}$	1000	—	ns	
	STOP 条件入力セットアップ時間	$t_{STOS}$	1000	—	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の容量性負荷	$C_b$	—	400	pF	
IIC (ファストモード)	SCL 入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICcyc} + 600$	—	ns	図 2.46
	SCL 入力 High レベルパルス幅	$t_{SCLH}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	$t_{SCLL}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 入力立ち上がり時間	$t_{Sr}$	—	300	ns	
	SCL、SDA 入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA 入カバスフリー時間 (ウェイクアップ機能無効時)	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SDA 入カバスフリー時間 (ウェイクアップ機能有効時)	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能無効時)	$t_{STAH}$	$t_{IICcyc} + 300$	—	ns	
	START 条件入力ホールド時間 (ウェイクアップ機能有効時)	$t_{STAH}$	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	再送 START 条件入力セットアップ時間	$t_{STAS}$	300	—	ns	
	STOP 条件入力セットアップ時間	$t_{STOS}$	300	—	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の容量性負荷	$C_b$	—	400	pF	

注.  $t_{IICcyc}$  : IIC 内部基準クロック (IIC $\phi$ ) の周期、 $t_{Pcyc}$  : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると ( ) 内の値が適用されます。

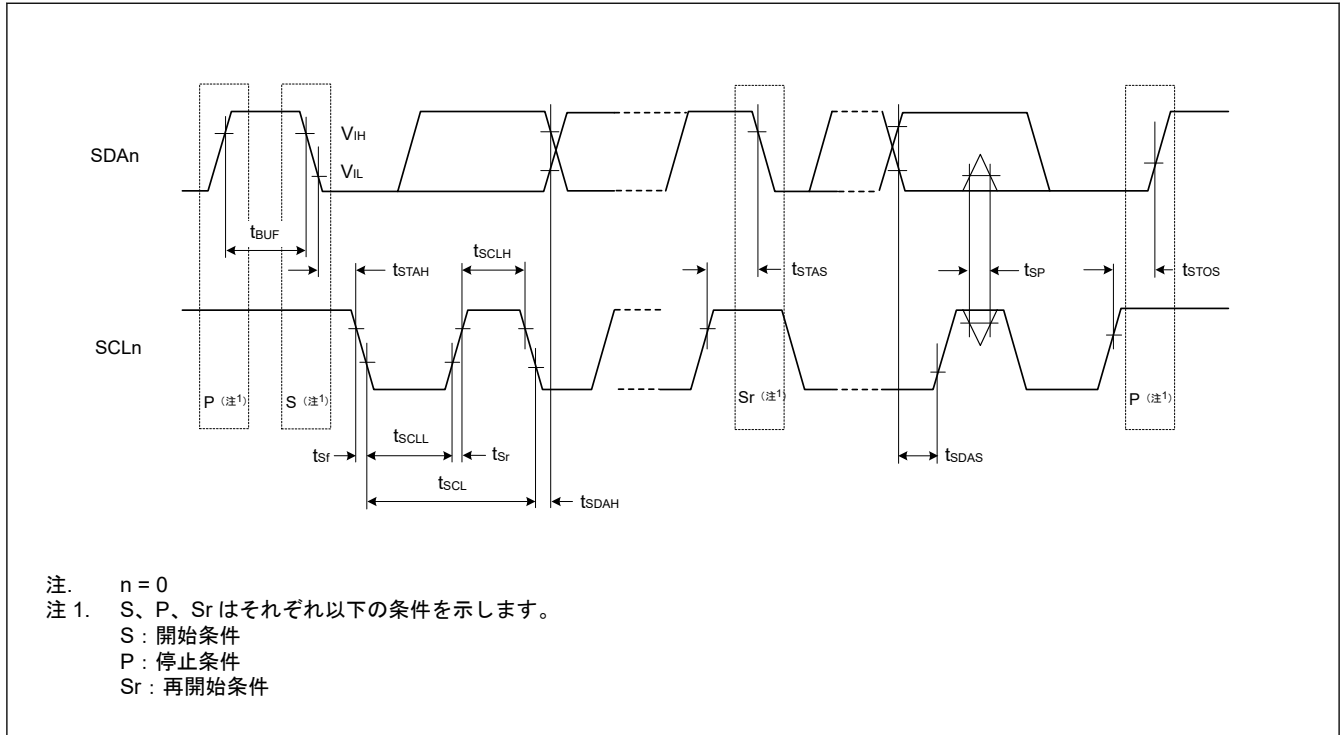


図 2.46 I<sup>2</sup>C バスインタフェース入出力タイミング

### 2.3.11 CLKOUT タイミング

表 2.34 CLKOUT タイミング

項目		シンボル	Min	Max	単位	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注1)	$t_{Cyc}$	$2.7 V \leq VCC \leq 5.5 V$	62.5	—	ns	図 2.47
			$1.8 V \leq VCC < 2.7 V$	125	—		
			$1.6 V \leq VCC < 1.8 V$	250	—		
	CLKOUT 端子 High レベルパルス幅(注2)	$t_{CH}$	$2.7 V \leq VCC \leq 5.5 V$	15	—	ns	
			$1.8 V \leq VCC < 2.7 V$	30	—		
			$1.6 V \leq VCC < 1.8 V$	150	—		
	CLKOUT 端子 Low レベルパルス幅(注2)	$t_{CL}$	$2.7 V \leq VCC \leq 5.5 V$	15	—	ns	
			$1.8 V \leq VCC < 2.7 V$	30	—		
			$1.6 V \leq VCC < 1.8 V$	150	—		
	CLKOUT 端子出力立ち上がり時間	$t_{Cr}$	$2.7 V \leq VCC \leq 5.5 V$	—	12	ns	
			$1.8 V \leq VCC < 2.7 V$	—	25		
			$1.6 V \leq VCC < 1.8 V$	—	50		
CLKOUT 端子出力立ち下がり時間	$t_{Cf}$	$2.7 V \leq VCC \leq 5.5 V$	—	12	ns		
		$1.8 V \leq VCC < 2.7 V$	—	25			
		$1.6 V \leq VCC < 1.8 V$	—	50			

注 1. EXTERNAL 外部クロック入力または発振器の 1 分周 (CKOCR.CKOSEL[2:0]ビット = 011b かつ CKOCR.CKODIV[2:0]ビット = 000b) を使用して CLKOUT から出力する場合は、入力デューティサイクル 45~55% で表 2.34 の仕様を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSEL[2:0]ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0]ビット = 001b) に設定してください。

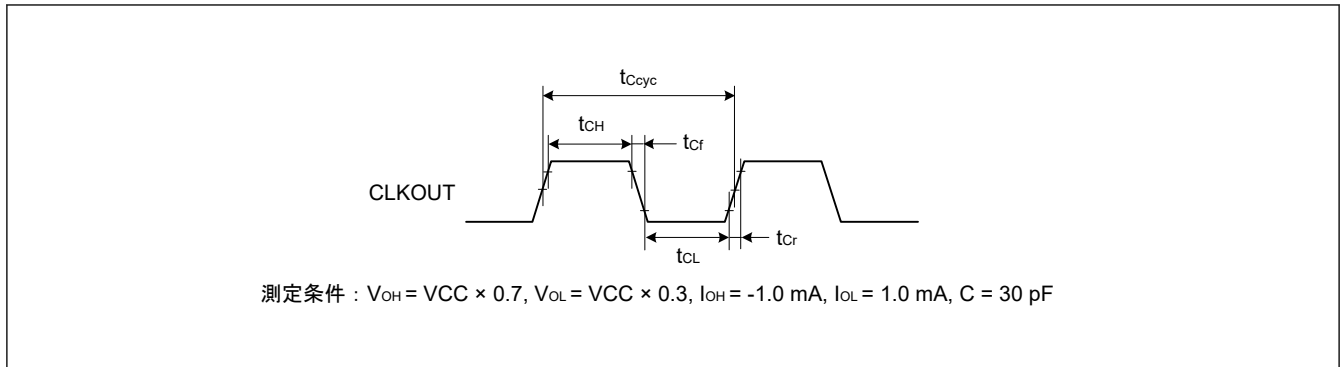


図 2.47 CLKOUT 出力タイミング

## 2.4 ADC12 特性

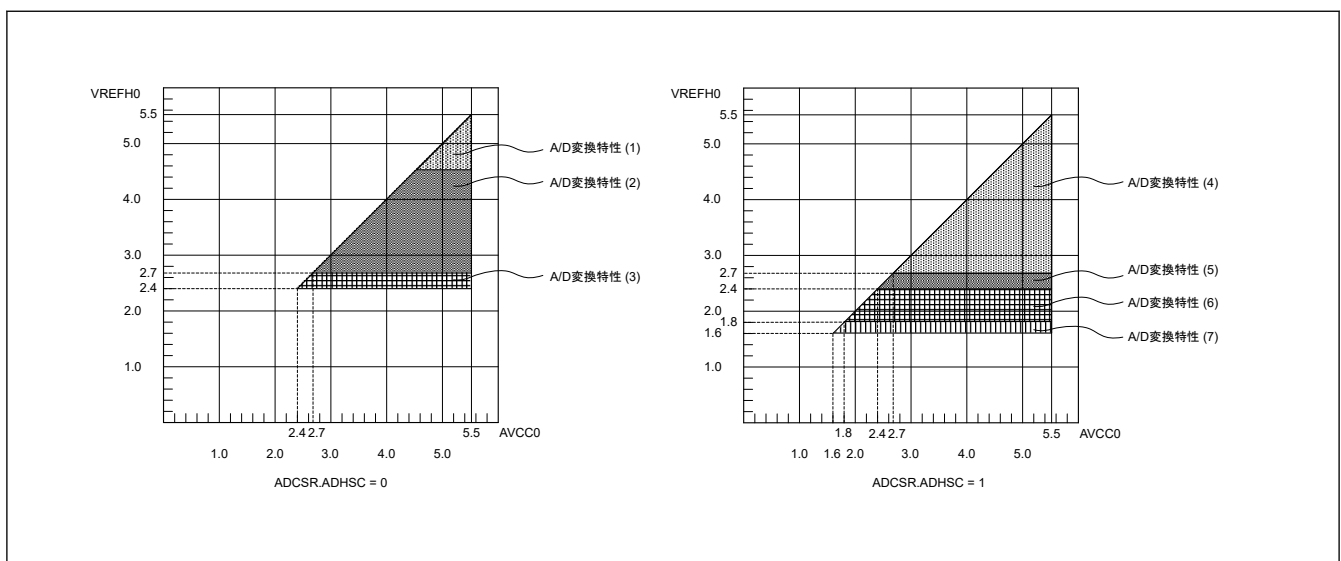


図 2.48 AVCC0~VREFH0 電圧範囲

表 2.35 高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件 :  $V_{CC} = AV_{CC0} = V_{REFH0} = 4.5 \sim 5.5 \text{ V}$ (注5)、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0 \text{ V}$   
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	64	MHz	ADACSR.ADSAC = 0
			48	MHz	ADACSR.ADSAC = 1
アナログ入力容量(注2)	Cs	—	9(注3)	pF	高精度チャンネル
			10(注3)	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	1.3(注3)	kΩ	高精度チャンネル
			5.0(注3)	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—

表 2.35 高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件 : VCC = AVCC0 = VREFH0 = 4.5~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間 <sup>(注1)</sup> (PCLKD = 64 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.70 (0.211) <sup>(注4)</sup>	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0
		1.30 (0.406 + 0.211) <sup>(注4)</sup>	—	—	μs	高精度チャンネル 専用サンプル&ホールド回路使用時 (AN000~AN002) ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0 ADSHCR.SSTSH[7:0] = 0x1A
		1.34 (0.852) <sup>(注4)</sup>	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x36 ADACSR.ADSAC = 0
変換時間 <sup>(注1)</sup> (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) <sup>(注4)</sup>	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.33 (0.417 + 0.219) <sup>(注4)</sup>	—	—	μs	高精度チャンネル 専用サンプル&ホールド回路使用時 (AN000~AN002) ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1 ADSHCR.SSTSH[7:0] = 0x14
		1.29 (0.844) <sup>(注4)</sup>	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差	—	—	±1.0	±4.5	LSB	高精度チャンネル
				±6.0	LSB	指定以外
フルスケール誤差	—	—	±1.0	±4.5	LSB	高精度チャンネル
				±6.0	LSB	指定以外
量子化誤差	—	—	±0.5	—	LSB	—
絶対精度	—	—	±2.5	±5.0	LSB	高精度チャンネル
				±7	LSB	サンプル&ホールド回路使用時の 高精度チャンネル (0.25 V ≤ VAIN ≤ AVCC0 - 0.25 V)
				±8.0	LSB	指定以外
DNL 微分非直線性誤差	—	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	—	±1.5	±3.0	LSB	—
サンプル&ホールド回路のホールド特性	—	—	—	10 <sup>(注6)</sup>	μs	—

注. 12ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.2 LSB/V 加算する必要があります。

注 6. 3チャンネル同時にサンプリングする場合：3チャンネル S/H 回路を使用する場合、1回のAD変換は3.3 μs以内に行う必要があるという制限事項があります (3.3 μs × 3 < 最大 10 μs)。

表 2.36 高速 A/D 変換モードにおける A/D 変換特性 (2)

条件：VCC = AVCC0 = VREFH0 = 2.7~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	48	MHz	—	
アナログ入力容量 <sup>(注2)</sup>	Cs	—	g <sup>(注3)</sup>	pF	高精度チャンネル	
		—	10 <sup>(注3)</sup>	pF	通常精度チャンネル	
アナログ入力抵抗	Rs	—	1.g <sup>(注3)</sup>	kΩ	高精度チャンネル	
		—	6.0 <sup>(注3)</sup>	kΩ	通常精度チャンネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 <sup>(注1)</sup> (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) <sup>(注4)</sup>	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.33 (0.417 + 0.219) <sup>(注4)</sup>	—	—	μs	高精度チャンネル専用サンプル&ホールド回路使用時 (AN000~AN002) ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1 ADSHCR.SSTSH[7:0] = 0x14
		1.29 (0.844) <sup>(注4)</sup>	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±5.5	LSB	高精度チャンネル	
			±7.0	LSB	指定以外	
フルスケール誤差	—	±1.0	±5.5	LSB	高精度チャンネル	
			±7.0	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±2.5	±6.0	LSB	高精度チャンネル	
			±8.5	LSB	サンプル&ホールド回路使用時の高精度チャンネル (0.25 V ≤ VAIN ≤ AVCC0 - 0.25 V)	
			±9.0	LSB	指定以外	
DNL 微分非直線性誤差	—	±1.0	—	LSB	—	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—	
サンプル&ホールド回路のホールド特性	—	—	10 <sup>(注6)</sup>	μs	—	

注. 12ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.2 LSB/V 加算する必要があります。

注 6. 3チャンネル同時にサンプリングする場合：3チャンネル S/H 回路を使用する場合、1回のAD変換は3.3 μs以内に行う必要があるという制限事項があります (3.3 μs × 3 < 最大 10 μs)。

表 2.37 高速 A/D 変換モードにおける A/D 変換特性 (3)

条件 : VCC = AVCC0 = VREFH0 = 2.4~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	32	MHz	—	
アナログ入力容量 <sup>(注2)</sup>	Cs	—	g <sup>(注3)</sup>	pF	高精度チャネル	
		—	10 <sup>(注3)</sup>	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	2.2 <sup>(注3)</sup>	kΩ	高精度チャネル	
		—	7.0 <sup>(注3)</sup>	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 <sup>(注1)</sup> (PCLKD = 32 MHz で動作時)	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328) <sup>(注4)</sup>	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.94 (1.266) <sup>(注4)</sup>	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±5.5	LSB	高精度チャネル	
			±7.0	LSB	指定以外	
フルスケール誤差	—	±1.0	±5.5	LSB	高精度チャネル	
			±7.0	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±2.50	±6.0	LSB	高精度チャネル	
			±9.0	LSB	指定以外	
DNL 微分非直線性誤差	—	±1.0	—	LSB	—	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.2 LSB/V 加算する必要があります。

表 2.38 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (1/2)

条件 : VCC = AVCC0 = VREFH0 = 2.7~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	24	MHz	—
アナログ入力容量 <sup>(注2)</sup>	Cs	—	g <sup>(注3)</sup>	pF	高精度チャネル
		—	10 <sup>(注3)</sup>	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	1.9 <sup>(注3)</sup>	kΩ	高精度チャネル
		—	6 <sup>(注3)</sup>	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—

表 2.38 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (2/2)

条件 : VCC = AVCC0 = VREFH0 = 2.7~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
変換時間 <sup>(注1)</sup> (PCLKD = 24 MHz で動作時)	許容信号源インピーダンス Max = 1.1 kΩ	1.58 (0.438) <sup>(注4)</sup>	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		2.0 (0.854) <sup>(注4)</sup>	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±6.0	LSB	高精度チャンネル	
				±7.5	LSB	指定以外
フルスケール誤差	—	±1.25	±6.0	LSB	高精度チャンネル	
				±7.5	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.25	±7.0	LSB	高精度チャンネル	
				±10.0	LSB	指定以外
DNL 微分非直線性誤差	—	±1.5	—	LSB	—	
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O VOH、VOL、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に ±0.2 LSB/V 加算する必要があります。

表 2.39 低消費電力 A/D 変換モードにおける A/D 変換特性 (5) (1/2)

条件 : VCC = AVCC0 = VREFH0 = 2.4~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	16	MHz	—	
アナログ入力容量 <sup>(注2)</sup>	Cs	—	9 <sup>(注3)</sup>	pF	高精度チャンネル	
		—	10 <sup>(注3)</sup>	pF	通常精度チャンネル	
アナログ入力抵抗	Rs	—	2.2 <sup>(注3)</sup>	kΩ	高精度チャンネル	
		—	7 <sup>(注3)</sup>	kΩ	通常精度チャンネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 <sup>(注1)</sup> (PCLKD = 16 MHz で動作時)	許容信号源インピーダンス Max = 2.2 kΩ	2.38 (0.656) <sup>(注4)</sup>	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		3.0 (1.281) <sup>(注4)</sup>	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1

表 2.39 低消費電力 A/D 変換モードにおける A/D 変換特性 (5) (2/2)

条件 : VCC = AVCC0 = VREFH0 = 2.4~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
オフセット誤差	—	±1.25	±6.0	LSB	高精度チャネル
			±7.5	LSB	指定以外
フルスケール誤差	—	±1.25	±6.0	LSB	高精度チャネル
			±7.5	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.25	±7.0	LSB	高精度チャネル
			±10.0	LSB	指定以外
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.40 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (1/2)

条件 : VCC = AVCC0 = VREFH0 = 1.8~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	8	MHz	—	
アナログ入力容量 <sup>(注2)</sup>	Cs	—	9 <sup>(注3)</sup>	pF	高精度チャネル	
			10 <sup>(注3)</sup>	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	6 <sup>(注3)</sup>	kΩ	高精度チャネル	
			14 <sup>(注3)</sup>	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 <sup>(注1)</sup> (PCLKD = 8 MHz で動作時)	許容信号源 インピーダンス Max = 5 kΩ	4.75 (1.313) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		6.0 (2.563) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャネル	
			±10.0	LSB	指定以外	
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャネル	
			±10.0	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.75	±9.5	LSB	高精度チャネル	
			±13.5	LSB	指定以外	

表 2.40 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (2/2)

条件：VCC = AVCC0 = VREFH0 = 1.8~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
DNL 微分非直線性誤差	—	±2.0	—	LSB	—
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.41 低消費電力 A/D 変換モードにおける A/D 変換特性 (7)

条件：VCC = AVCC0 = VREFH0 = 1.6~5.5 V<sup>(注5)</sup>、VSS = AVSS0 = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	4	MHz	—	
アナログ入力容量 <sup>(注2)</sup>	Cs	—	9 <sup>(注3)</sup>	pF	高精度チャネル	
		—	10 <sup>(注3)</sup>	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	12 <sup>(注3)</sup>	kΩ	高精度チャネル	
		—	28 <sup>(注3)</sup>	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 <sup>(注1)</sup> (PCLKD = 4 MHz で動作時)	許容信号源インピーダンス Max = 9.9 kΩ	9.5 (2.625) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		12.0 (5.125) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャネル	
			±10.0	LSB	指定以外	
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャネル	
			±10.0	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.75	±9.5	LSB	高精度チャネル	
			±13.5	LSB	指定以外	
DNL 微分非直線性誤差	—	±2.0	—	LSB	—	
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：  
 AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。  
 INL 積分非直線性誤差：  
 AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

図 2.49 にアナログ入力の等価回路を示します。

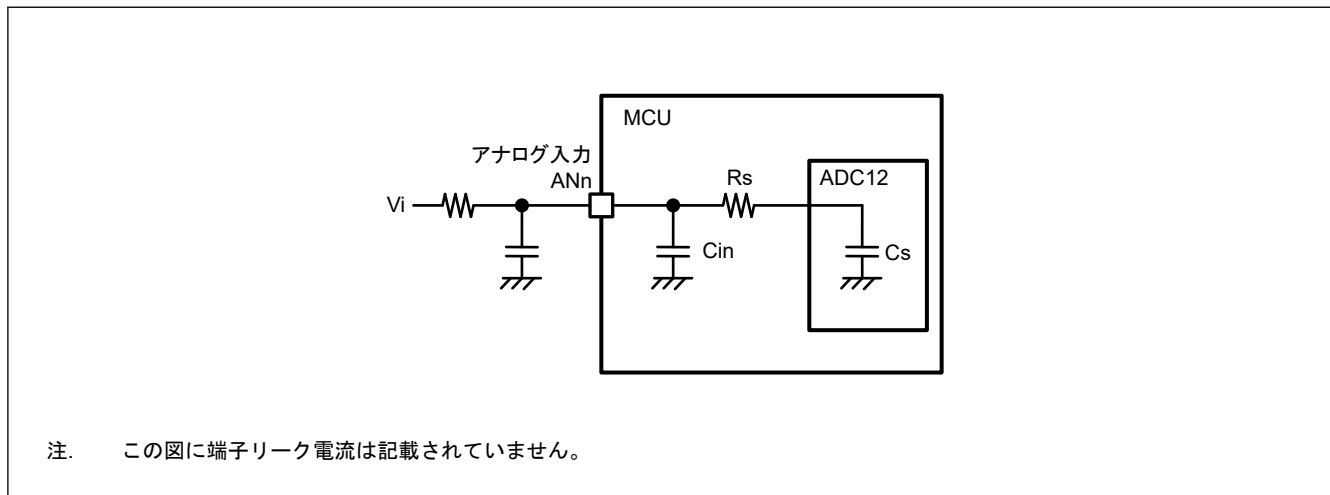


図 2.49 アナログ入力の等価回路

表 2.42 12 ビット A/D コンバータチャネル分類

分類	チャネル	条件	注意点
高精度チャネル	AN000～AN002、AN005～AN010	AVCC0 = 1.6～5.5 V	AN000～AN002 端子および AN005～AN010 端子は、汎用 I/O に使用不可（A/D コンバータが使用中の場合）
通常精度チャネル	AN019～AN022		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 1.8～5.5 V	—
温度センサ入力チャネル	温度センサ出力	AVCC0 = 1.8～5.5 V	—

表 2.43 A/D 内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャネル(注2)	1.42	1.48	1.54	V	—
PCLKD (ADCLK) 周波数(注3)	1	—	2	MHz	—
サンプリング時間(注4)	5.0	—	—	μs	—

- 注 1. AVCC0 < 1.8 V のとき、内部基準電圧を入力チャネルに選択することはできません。
- 注 2. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。
- 注 3. 高電位基準電圧に内部基準電圧を選択した場合
- 注 4. 内部基準電圧の変換時

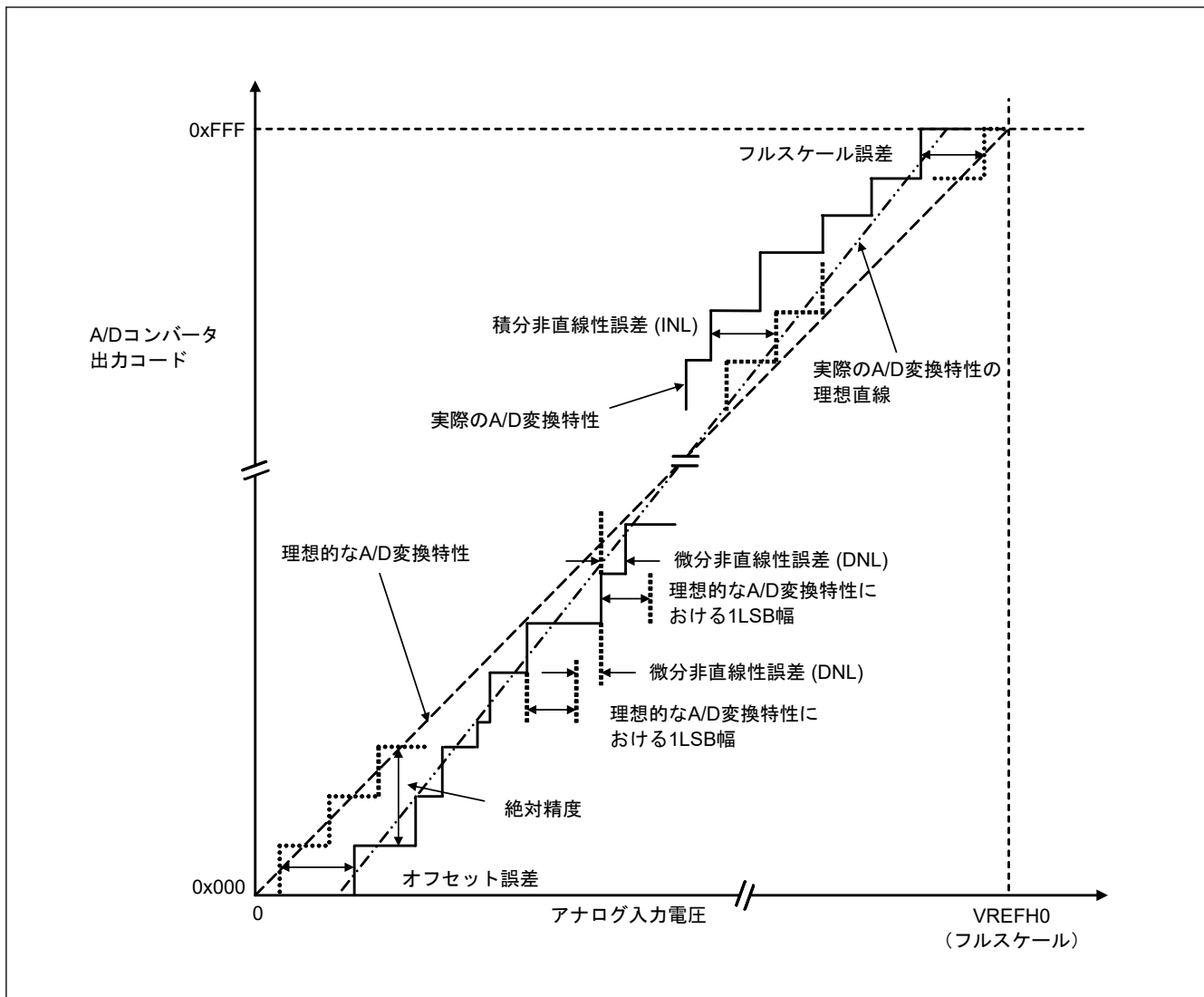


図 2.50 12 ビット A/D コンバータ 特性用語の解説図

### 絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1-LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧  $V_{REFH0} = 3.072 \text{ V}$  の場合、1 LSB 幅は  $0.75 \text{ mV}$  になり、アナログ入力電圧には  $0 \text{ mV}$ 、 $0.75 \text{ mV}$ 、および  $1.5 \text{ mV}$  が使用されます。 $\pm 5 \text{ LSB}$  の絶対精度とは、アナログ入力電圧が  $6 \text{ mV}$  の場合、理論的 A/D 変換特性から期待される出力コードが  $0x008$  であっても、実際の A/D 変換結果は  $0x003 \sim 0x00D$  の範囲になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

### 微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

### オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

### フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

## 2.5 TSN 特性

表 2.44 TSN 特性

条件 : VCC = AVCC0 = 1.8~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4 V 以上
		—	±2.0	—	°C	2.4 V 未満
温度傾斜	—	—	-3.3	—	mV/°C	—
出力電圧 (25°C)	—	—	1.05	—	V	VCC = 3.3 V
温度センサ起動時間	t <sub>START</sub>	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	—

## 2.6 OSC 停止検出特性

表 2.45 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t <sub>dr</sub>	—	—	1	ms	図 2.51

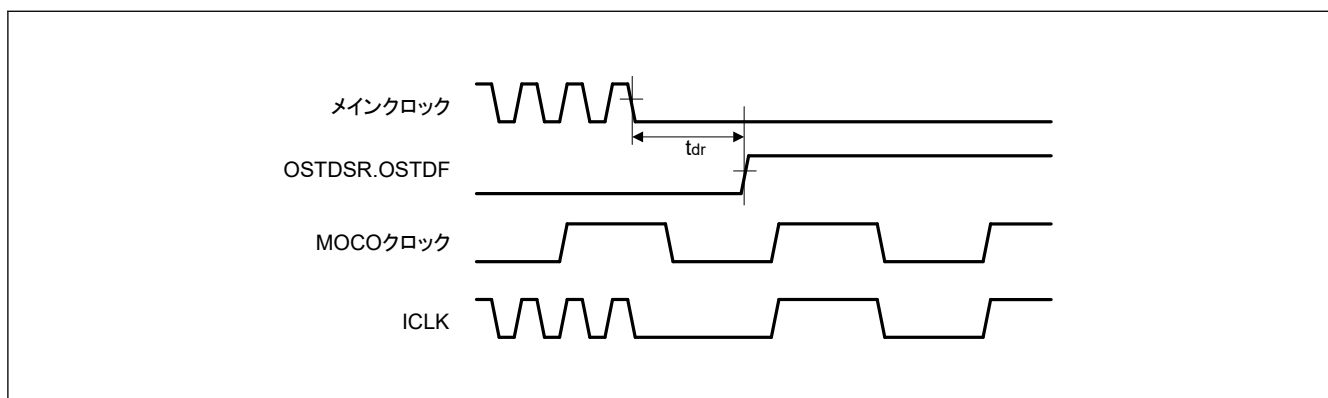


図 2.51 発振停止検出タイミング

## 2.7 POR と LVD の特性

表 2.46 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	電源上昇時	V <sub>POR</sub>	1.47	1.51	1.55	V	図 2.52
		V <sub>PDR</sub>	1.46	1.50	1.54		図 2.53
電圧検出回路 (LVD0)(注2)	電源上昇時	V <sub>det0_0</sub>	3.74	3.91	4.06	V	図 2.54 VCC 立ち下がリエッジ時
			電源下降時	3.68	3.85		
	電源上昇時	V <sub>det0_1</sub>	2.73	2.9	3.01		
			電源下降時	2.68	2.85		
	電源上昇時	V <sub>det0_2</sub>	2.44	2.59	2.70		
			電源下降時	2.38	2.53		
	電源上昇時	V <sub>det0_3</sub>	1.83	1.95	2.07		
			電源下降時	1.78	1.90		
	電源上昇時	V <sub>det0_4</sub>	1.66	1.75	1.88		
			電源下降時	1.60	1.69		

表 2.46 パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	電圧検出回路 (LVD1) <sup>(注3)</sup>	電源上昇時	V <sub>det1_0</sub>	4.23	4.39	4.55	V	図 2.55 VCC 立ち下がりエッジ時
		電源下降時		4.13	4.29	4.45		
		電源上昇時	V <sub>det1_1</sub>	4.07	4.25	4.39		
		電源下降時		3.98	4.16	4.30		
		電源上昇時	V <sub>det1_2</sub>	3.97	4.14	4.29		
		電源下降時		3.86	4.03	4.18		
		電源上昇時	V <sub>det1_3</sub>	3.74	3.92	4.06		
		電源下降時		3.68	3.86	4.00		
		電源上昇時	V <sub>det1_4</sub>	3.05	3.17	3.29		
		電源下降時		2.98	3.10	3.22		
		電源上昇時	V <sub>det1_5</sub>	2.95	3.06	3.17		
		電源下降時		2.89	3.00	3.11		
		電源上昇時	V <sub>det1_6</sub>	2.86	2.97	3.08		
		電源下降時		2.79	2.90	3.01		
		電源上昇時	V <sub>det1_7</sub>	2.74	2.85	2.96		
		電源下降時		2.68	2.79	2.90		
電圧検出レベル (注1)	電圧検出回路 (LVD1) <sup>(注3)</sup>	電源上昇時	V <sub>det1_8</sub>	2.63	2.75	2.85	V	図 2.55 VCC 立ち下がりエッジ時
		電源下降時		2.58	2.68	2.78		
		電源上昇時	V <sub>det1_9</sub>	2.54	2.64	2.75		
		電源下降時		2.48	2.58	2.68		
		電源上昇時	V <sub>det1_A</sub>	2.43	2.53	2.63		
		電源下降時		2.38	2.48	2.58		
		電源上昇時	V <sub>det1_B</sub>	2.16	2.26	2.36		
		電源下降時		2.10	2.20	2.30		
		電源上昇時	V <sub>det1_C</sub>	1.88	2	2.09		
		電源下降時		1.84	1.96	2.05		
		電源上昇時	V <sub>det1_D</sub>	1.78	1.9	1.99		
		電源下降時		1.74	1.86	1.95		
		電源上昇時	V <sub>det1_E</sub>	1.67	1.79	1.88		
		電源下降時		1.63	1.75	1.84		
		電源上昇時	V <sub>det1_F</sub>	1.65	1.7	1.78		
		電源下降時		1.60	1.65	1.73		
電圧検出レベル (注1)	電圧検出回路 (LVD2) <sup>(注4)</sup>	電源上昇時	V <sub>det2_0</sub>	4.20	4.40	4.57	V	図 2.56 VCC 立ち下がりエッジ時
		電源下降時		4.11	4.31	4.48		
		電源上昇時	V <sub>det2_1</sub>	4.05	4.25	4.42		
		電源下降時		3.97	4.17	4.34		
		電源上昇時	V <sub>det2_2</sub>	3.91	4.11	4.28		
		電源下降時		3.83	4.03	4.20		
		電源上昇時	V <sub>det2_3</sub>	3.71	3.91	4.08		
		電源下降時		3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. V<sub>det0\_#</sub>の#は OFS1.VDSEL0[2:0]ビットの値を示しています。

注 3.  $V_{det1\_#}$ の#は LVDLVLRLVD1LVL[4:0]ビットの値を示しています。

注 4.  $V_{det2\_#}$ の#は LVDLVLRLVD2LVL[2:0]ビットの値を示しています。

表 2.47 パワーオンリセット回路、電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0 : 有効	$t_{POR}$	—	4.3	—	ms	—
	LVD0 : 無効	$t_{POR}$	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0 : 有効(注1)	$t_{LVD0, 1, 2}$	—	1.4	—	ms	—
	LVD0 : 無効(注2)	$t_{LVD1, 2}$	—	0.7	—	ms	—
パワーオンリセット応答遅延時間(注3)		$t_{det}$	—	—	500	$\mu$ s	図 2.52, 図 2.53
LVD0 応答遅延時間(注3)		$t_{det}$	—	—	500	$\mu$ s	図 2.54
LVD1 応答遅延時間(注3)		$t_{det}$	—	—	350	$\mu$ s	図 2.55
LVD2 応答遅延時間(注3)		$t_{det}$	—	—	600	$\mu$ s	図 2.56
最小 VCC 低下時間		$t_{V_{OFF}}$	500	—	—	$\mu$ s	図 2.52、VCC = 1.0 V 以上
パワーオンリセット有効時間		$t_W$ (POR)	1	—	—	ms	図 2.53、VCC = 1.0 V 未満
LVD1 動作安定時間 (LVD1 有効切り替え後)		$T_d$ (E-A)	—	—	300	$\mu$ s	図 2.55
LVD2 動作安定時間 (LVD2 有効切り替え後)		$T_d$ (E-A)	—	—	1200	$\mu$ s	図 2.56
ヒステリシス幅 (POR)		$V_{PORH}$	—	10	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)		$V_{LVH}$	—	60	—	mV	LVD0 選択時
			—	110	—		$V_{det1\_0} \sim V_{det1\_2}$ を選択
			—	70	—		$V_{det1\_3} \sim V_{det1\_9}$ を選択
			—	60	—		$V_{det1\_A} \sim V_{det1\_B}$ を選択
			—	50	—		$V_{det1\_C} \sim V_{det1\_F}$ を選択
			—	90	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル  $V_{POR}$ 、 $V_{det0}$ 、 $V_{det1}$ 、および  $V_{det2}$  の最小値を下回っている時間です。

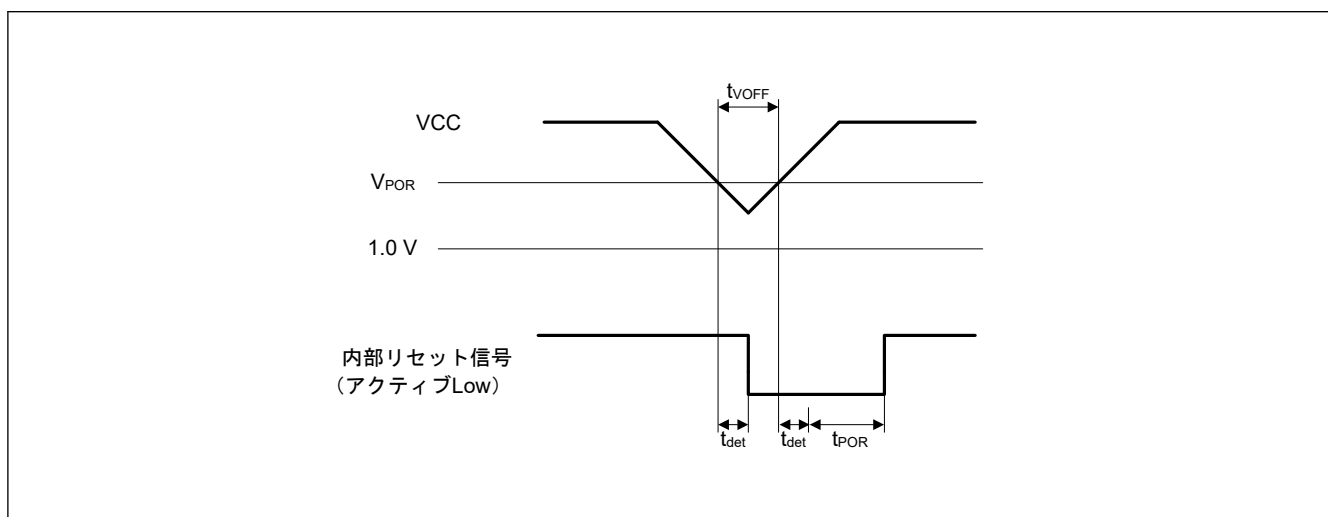


図 2.52 電圧検出しリセットタイミング

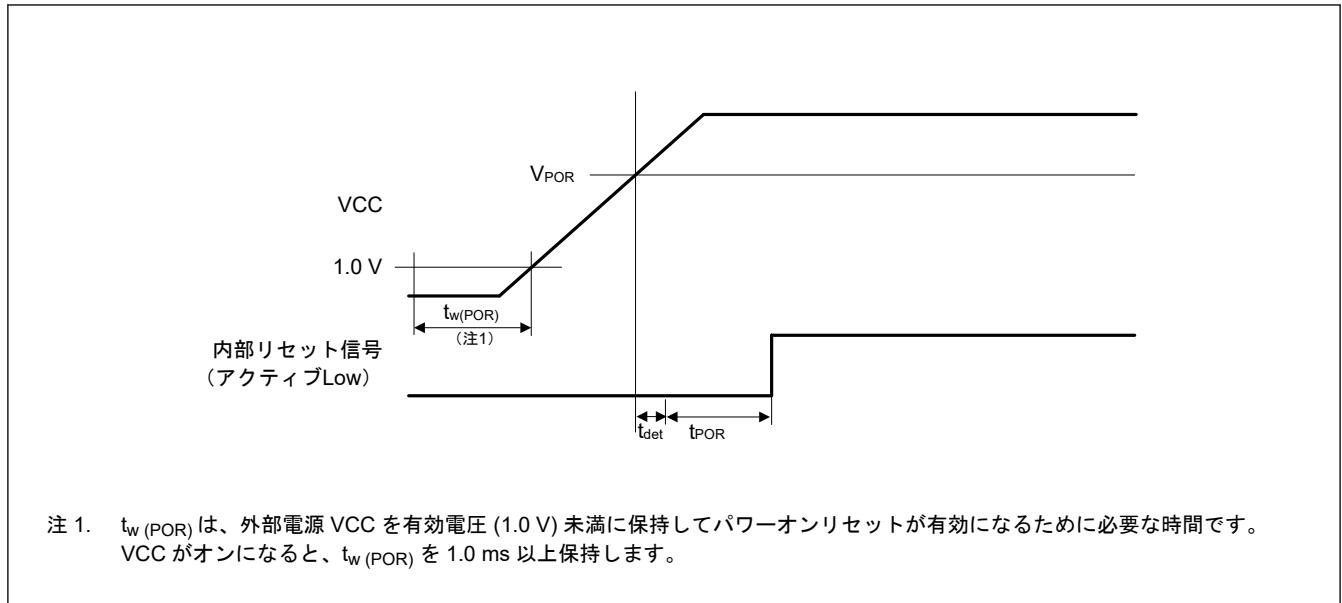


図 2.53 パワーオンリセットタイミング

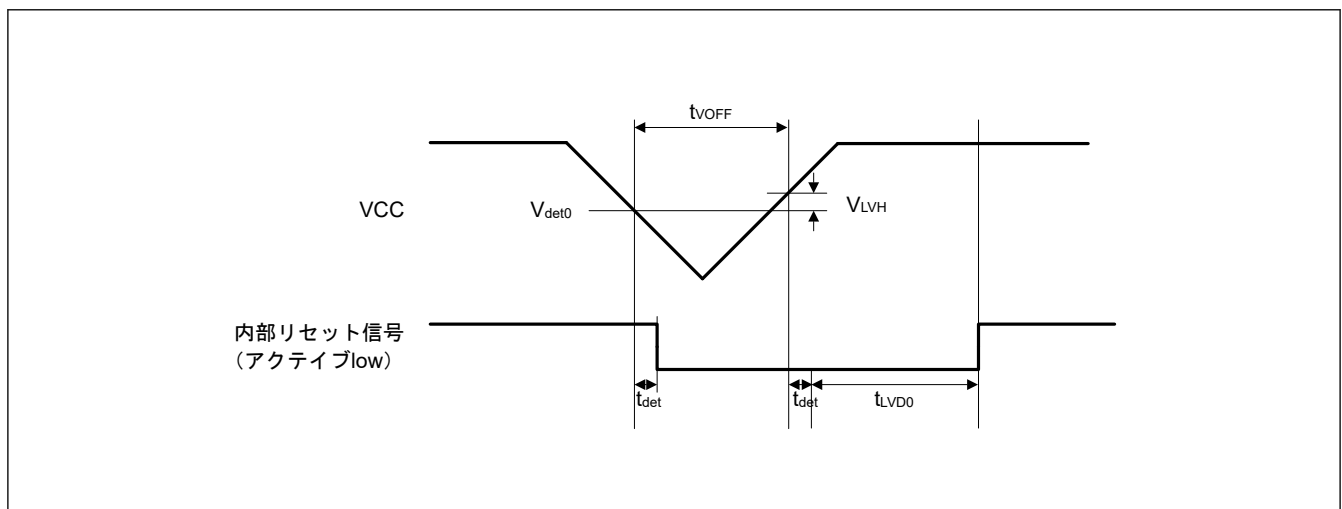


図 2.54 電圧検出回路タイミング ( $V_{det0}$ )

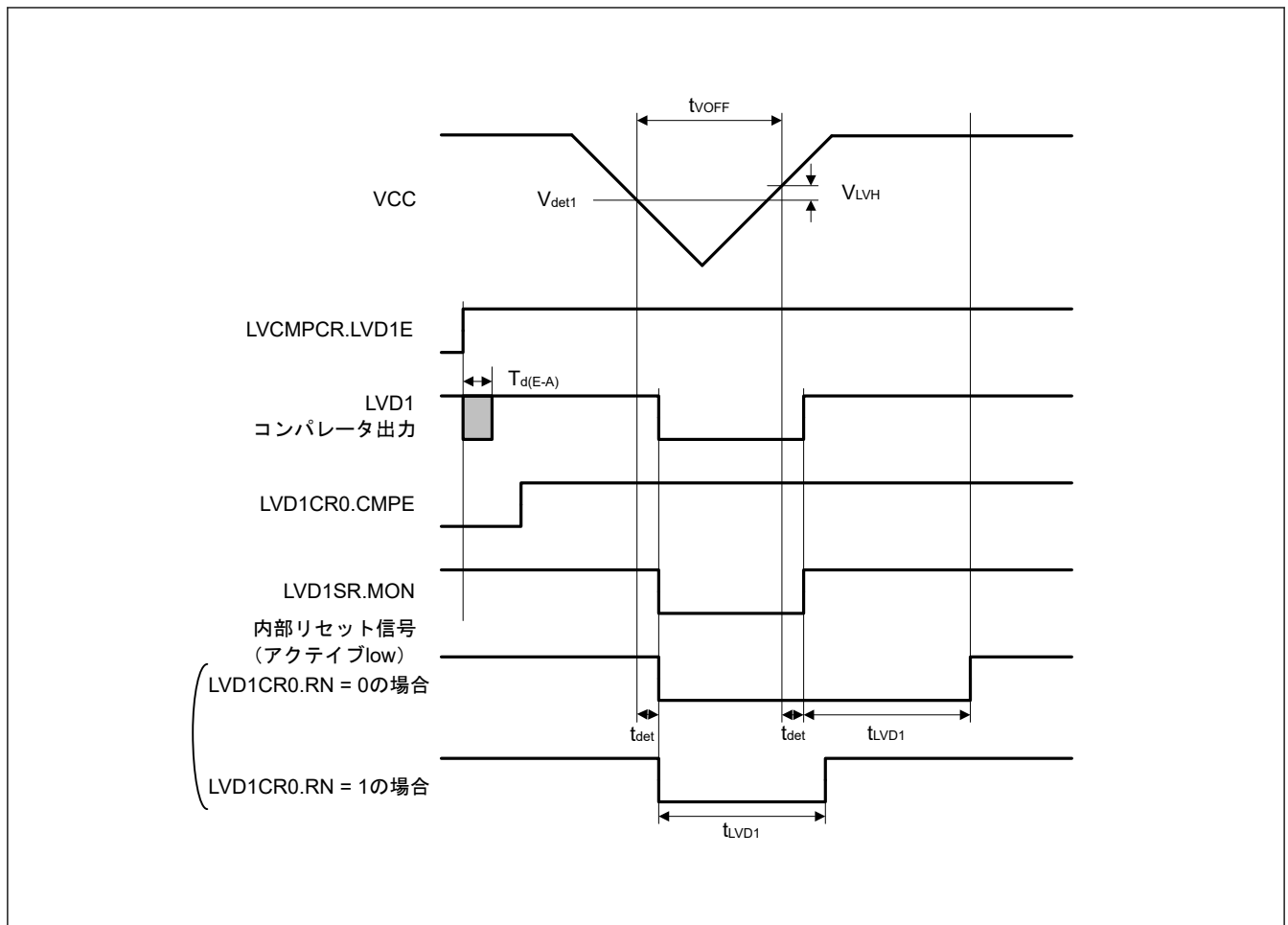


図 2.55 電圧検出回路タイミング ( $V_{det1}$ )

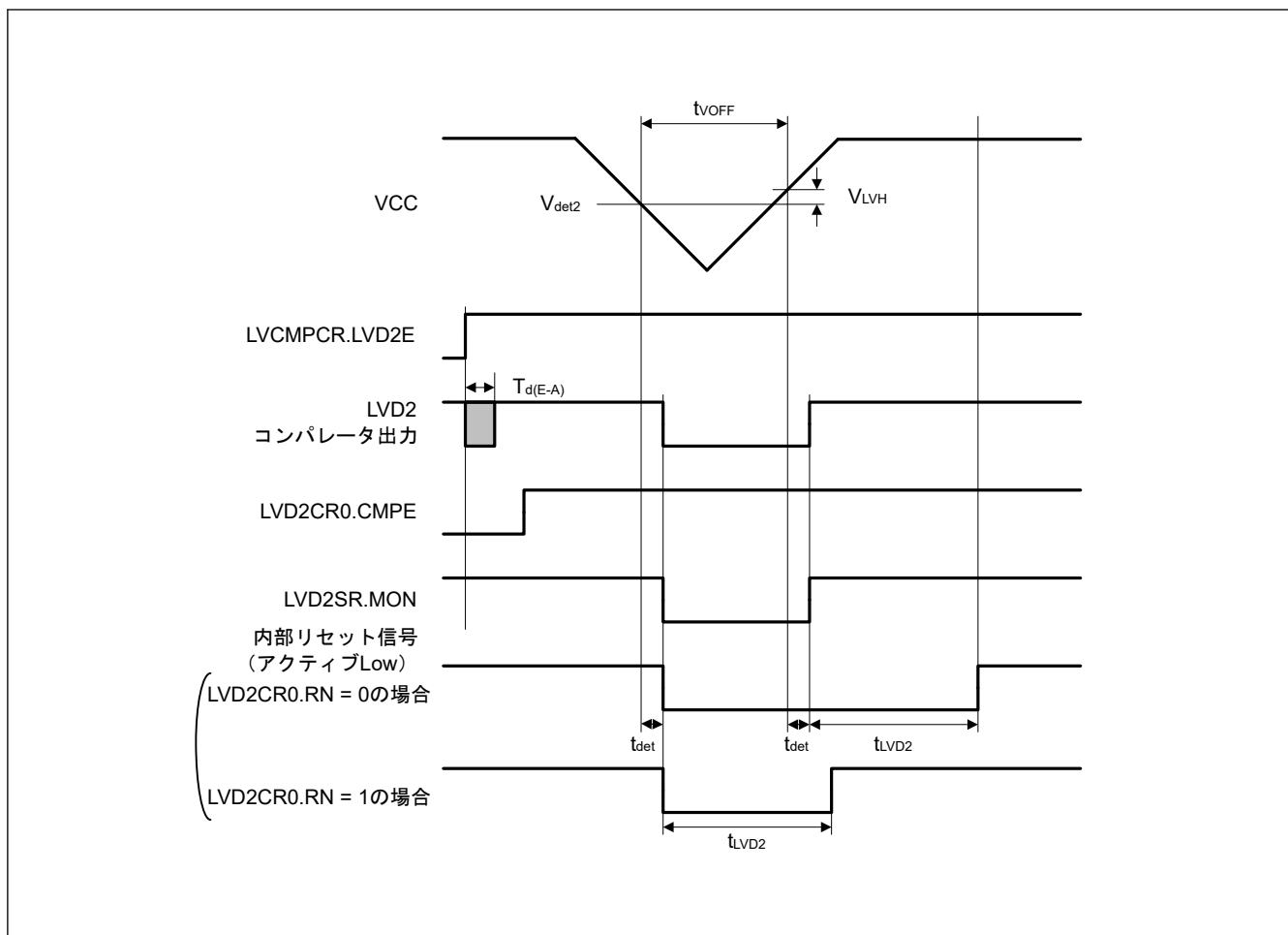


図 2.56 電圧検出回路タイミング ( $V_{det2}$ )

## 2.8 コンパレータ特性

表 2.48 ACMPHS 特性

条件 :  $VCC = AVCC0 = 2.7 \sim 5.5 V$ ,  $VSS = AVSS0 = 0 V$

項目	シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲	VREF	0		VCC	V	—
入力電圧範囲	VI	0		VCC	V	—
内部基準電圧	—	1.34	1.44	1.54	V	—
入力電圧スロープ(注3)	dV/dt	—	—	$\pm 3.0$	V/ $\mu s$	—
出力遅延時間(注1)	Td		50	100	ns	VI = VREF $\pm$ 100 mV
オフセット電圧	—		$\pm 5$	$\pm 40$	mV	—
動作安定待機時間	Tcmp	1			$\mu s$	—
入力チャネル切り替え安定までの待機時間(注2)	—	0.3	—	—	$\mu s$	—

注 1. 内部伝搬遅延の値です。

注 2. コンパレータの動作許可信号切り替えから、DC/AC 特性がコンパレータを満たすまでの時間 (CMPnEN = 0~1)。

注 3. ノイズフィルタなしの場合の入力電圧スロープ

## 2.9 フラッシュメモリ特性

## 2.9.1 コードフラッシュメモリ特性

表 2.49 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル(注1)	N <sub>PEC</sub>	10000	—	—	回	—	
データ保持時間	1000 回の N <sub>PEC</sub> の後	t <sub>DRP</sub>	20 (注2)	—	—	年	T <sub>a</sub> = +105°C
	10000 回の N <sub>PEC</sub> の後		10 (注2)	—	—	年	T <sub>a</sub> = +125°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 512 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. この結果は信頼性試験から得られたものです。

表 2.50 コードフラッシュ特性 (2)

High-speed 動作モード  
条件: VCC = AVCC0 = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 64 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t <sub>P4</sub>	—	86	732	—	34	321	μs
イレース時間	2 KB	t <sub>E2K</sub>	—	12.5	355	—	5.6	215	ms
ブランクチェック時間	4 バイト	t <sub>BC4</sub>	—	—	46.5	—	—	8.3	μs
	2 KB	t <sub>BC2K</sub>	—	—	3681	—	—	231	μs
イレースサスペンド時間		t <sub>SED</sub>	—	—	22.3	—	—	10.5	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t <sub>AWSSAS</sub>	—	21.2	570	—	11.4	423	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t <sub>OSIS</sub>	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t <sub>DIS</sub>	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t <sub>MS</sub>	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±1.0% とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

表 2.51 コードフラッシュ特性 (3) (1/2)

Middle-speed 動作モード  
条件: VCC = AVCC0 = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注2)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t <sub>P4</sub>	—	86	732	—	39	356	μs
イレース時間	2 KB	t <sub>E2K</sub>	—	12.5	355	—	6.2	227	ms
ブランクチェック時間	4 バイト	t <sub>BC4</sub>	—	—	46.5	—	—	11.3	μs
	2 KB	t <sub>BC2K</sub>	—	—	3681	—	—	534	μs
イレースサスペンド時間		t <sub>SED</sub>	—	—	22.3	—	—	11.7	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t <sub>AWSSAS</sub>	—	21.2	570	—	12.2	435	ms

表 2.51 コードフラッシュ特性 (3) (2/2)

Middle-speed 動作モード

条件 : VCC = AVCC0 = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注2)			単位
		Min	Typ	Max	Min	Typ	Max	
OCD/シリアルプログラマ ID 設定時間(注1)	t <sub>OSIS</sub>	—	84.7	2280	—	48.7	1740	ms
フラッシュメモリモード遷移待機時間 1	t <sub>DIS</sub>	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2	t <sub>MS</sub>	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

注 2. 1.8 V ≤ VCC = AVCC0 ≤ 5.5 V の場合

表 2.52 コードフラッシュ特性 (4)

Low-speed 動作モード

条件 : VCC = AVCC0 = 1.6~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t <sub>P4</sub>	—	86	732	—	57	502	μs
イレース時間	2 KB	t <sub>E2K</sub>	—	12.5	355	—	8.8	280	ms
ブランクチェック時間	4 バイト	t <sub>BC4</sub>	—	—	46.5	—	—	23.3	μs
	2 KB	t <sub>BC2K</sub>	—	—	3681	—	—	1841	μs
イレースサスペンド時間		t <sub>SED</sub>	—	—	22.3	—	—	16.2	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t <sub>AWSSAS</sub>	—	21.2	570	—	15.9	491	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t <sub>OSIS</sub>	—	84.7	2280	—	63.5	1964	ms
フラッシュメモリモード遷移待機時間 1		t <sub>DIS</sub>	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t <sub>MS</sub>	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

## 2.9.2 データフラッシュメモリ特性

表 2.53 データフラッシュ特性 (1) (1/2)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル(注1)	N <sub>DPEC</sub>	100000	1000000	—	回	—

表 2.53 データフラッシュ特性 (1) (2/2)

項目		シンボル	Min	Typ	Max	単位	条件
データ保持時間	10000 回の N <sub>DPEC</sub> の後	t <sub>DDRP</sub>	20 (注2)	—	—	年	Ta = +105°C
	10000 回の N <sub>DPEC</sub> の後		10	—	—	年	Ta = +125°C
	100000 回の N <sub>DPEC</sub> の後		5 (注2)	—	—	年	Ta = +105°C
	1000000 回の N <sub>DPEC</sub> の後		—	1 (注2)	—	年	Ta = +25°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注 2. この結果は信頼性試験から得られたものです。

表 2.54 データフラッシュ特性 (2)

High-speed 動作モード

条件 : VCC = AVCC0 = 1.8~5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 64 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t <sub>DP1</sub>	—	45	404	—	34	321	μs
イレース時間	1 KB	t <sub>DE1K</sub>	—	8.8	280	—	6.1	224	ms
ブランクチェック時間	1 バイト	t <sub>DBC1</sub>	—	—	15.2	—	—	8.3	μs
	1 KB	t <sub>DBC1K</sub>	—	—	1832	—	—	444	μs
イレース実行中のサスペンド時間		t <sub>SED</sub>	—	—	13.2	—	—	10.5	μs
データフラッシュ STOP 復帰時間		t <sub>DSTOP</sub>	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 2.55 データフラッシュ特性 (3)

Middle-speed 動作モード

条件 : VCC = AVCC0 = 1.8~5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注1)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t <sub>DP1</sub>	—	45	404	—	39	356	μs
イレース時間	1 KB	t <sub>DE1K</sub>	—	8.8	280	—	7.3	248	ms
ブランクチェック時間	1 バイト	t <sub>DBC1</sub>	—	—	15.2	—	—	11.3	μs
	1 KB	t <sub>DBC1K</sub>	—	—	1.84	—	—	1.06	ms
イレース実行中のサスペンド時間		t <sub>SED</sub>	—	—	13.2	—	—	11.7	μs
データフラッシュ STOP 復帰時間		t <sub>DSTOP</sub>	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC = AVCC0 ≤ 5.5 V の場合

表 2.56 データフラッシュ特性 (4)

Low-speed 動作モード

条件 : VCC = AVCC0 = 1.6~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t <sub>DP1</sub>	—	86	732	—	57	502	μs
イレース時間	1 KB	t <sub>DE1K</sub>	—	19.7	504	—	12.4	354	ms
ブランクチェック時間	1 バイト	t <sub>DBC1</sub>	—	—	46.5	—	—	23.3	μs
	1 KB	t <sub>DBC1K</sub>	—	—	7.3	—	—	3.66	ms
イレース実行中のサスペンド時間		t <sub>DSED</sub>	—	—	22.3	—	—	16.2	μs
データフラッシュ STOP 復帰時間		t <sub>DSTOP</sub>	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 2 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

## 2.10 シリアルワイヤデバッグ (SWD)

表 2.57 SWD 特性 (1)

条件 : VCC = AVCC0 = 2.4~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t <sub>SWCKcyc</sub>	80	—	—	ns	図 2.57
SWCLK クロック High レベルパルス幅	t <sub>SWCKH</sub>	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t <sub>SWCKL</sub>	35	—	—	ns	
SWCLK クロック立ち上がり時間	t <sub>SWCKr</sub>	—	—	5	ns	
SWCLK クロック立ち下がり時間	t <sub>SWCKf</sub>	—	—	5	ns	
SWDIO セットアップ時間	t <sub>SWDS</sub>	16	—	—	ns	図 2.58
SWDIO ホールド時間	t <sub>SWDH</sub>	16	—	—	ns	
SWDIO データ遅延時間	t <sub>SWDD</sub>	2	—	70	ns	

表 2.58 SWD 特性 (2)

条件 : VCC = AVCC0 = 1.6~2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t <sub>SWCKcyc</sub>	250	—	—	ns	図 2.57
SWCLK クロック High レベルパルス幅	t <sub>SWCKH</sub>	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t <sub>SWCKL</sub>	120	—	—	ns	
SWCLK クロック立ち上がり時間	t <sub>SWCKr</sub>	—	—	5	ns	
SWCLK クロック立ち下がり時間	t <sub>SWCKf</sub>	—	—	5	ns	
SWDIO セットアップ時間	t <sub>SWDS</sub>	50	—	—	ns	図 2.58
SWDIO ホールド時間	t <sub>SWDH</sub>	50	—	—	ns	
SWDIO データ遅延時間	t <sub>SWDD</sub>	2	—	170	ns	

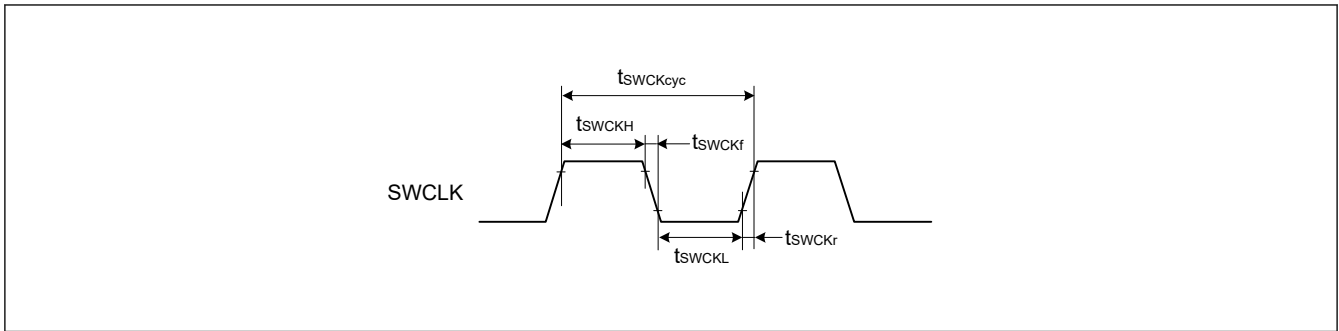


図 2.57 SWD SWCLK タイミング

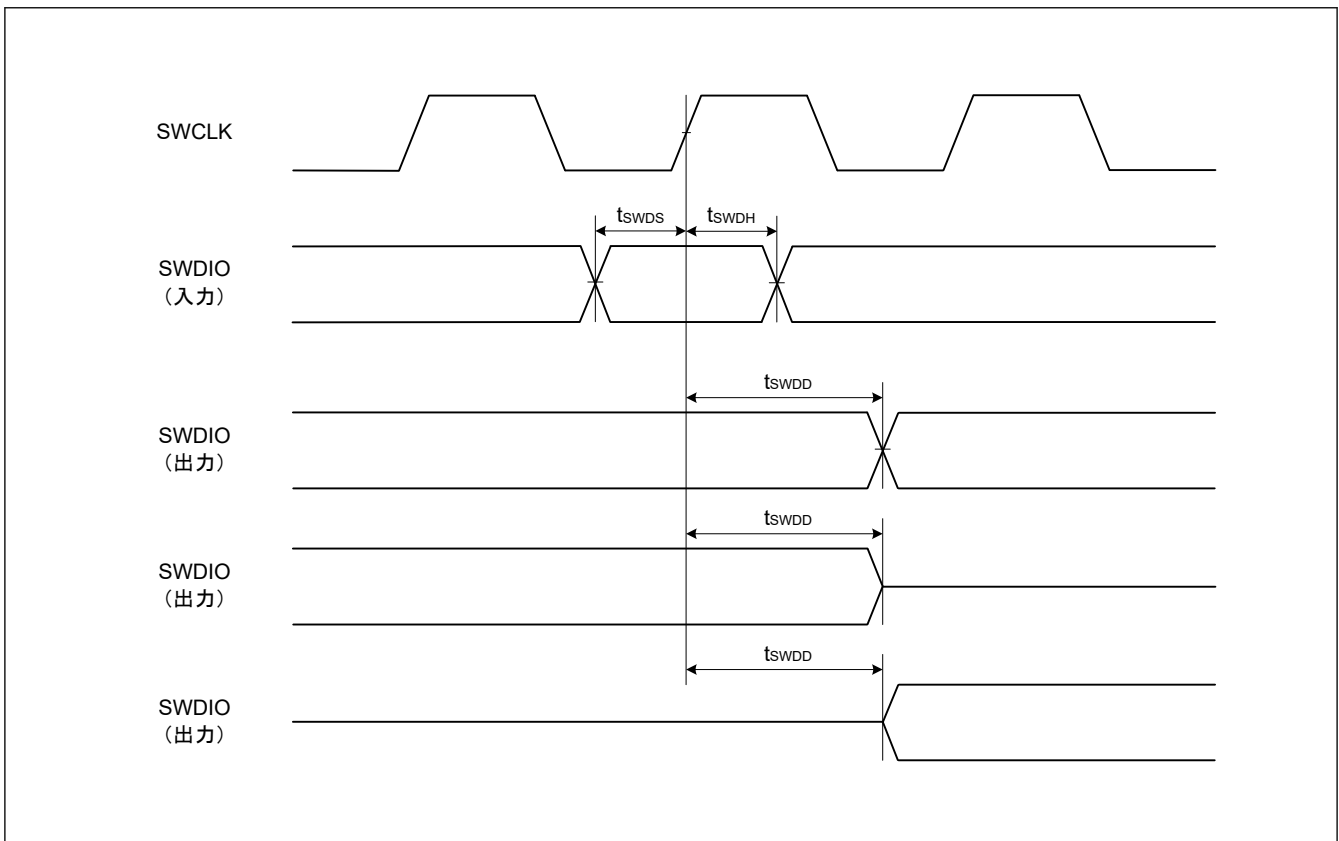


図 2.58 SWD 入出力タイミング

## 付録 1. 各プロセスモードのポート状態

表 A1.1 各プロセスモードのポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード
P000/AN008	Hi-Z	Keep-O
P001/AN009/IRQ7_A	Hi-Z	Keep-O(注1)
P002/AN010	Hi-Z	Keep-O
P010/AN005	Hi-Z	Keep-O
P011/AN006	Hi-Z	Keep-O
P012/AN007	Hi-Z	Keep-O
P013/AN000/CMPIN03/GTIW_A/IRQ1_C	Hi-Z	Keep-O(注1)
P014/AN001/CMPIN02/GTIV_A/IRQ3_B	Hi-Z	Keep-O(注1)
P015/AN002/CMPIN01/GTIU_A/IRQ2_C	Hi-Z	Keep-O(注1)
P100/AGTIO0_A/GTOVLO_B/GTIOC1B_B/ RXD0_A/MISO0_A/SCL0_A/SCL0_D/ SCK1_A/MISOA_A/KRM00/AN022/IRQ0_C	Hi-Z	[AGTIO0_A 出力選択] AGTIO0_A 出力(注2) [上記以外] Keep-O(注1)
P101/AGTEE0/GTOVUP_B/GTIOC1A_B/ TXD0_A/MOSI0_A/SDA0_A/MOSIA_A/ SDA0_C/CTS1_RTS1_A/KRM01/AN021/ IRQ2_A	Hi-Z	Keep-O(注1)
P102/ADTRG0_A/AGTO0/GTOWLO_B/ GTIOC2B_A/AN020/CMPREF0/IRQ1_A/ SCK0_A/TXD2_D/MOSI2_D/SDA2_D/ RSPCKA_A/KRM02	Hi-Z	[AGTO0 選択] AGTO0 出力(注2) [上記以外] Keep-O(注1)
P103/GTOWUP_B/GTIOC2A_A/RXD2_D/ MISO2_D/SCL2_DAN019/CMPIN1/IRQ4_B/ GTCPP03/CTS0_RTS0_A/SSLA0_A/ KRM03	Hi-Z	Keep-O(注1)
P104/GTETRGB_B/RXD0_C/MISO0_C/ SCL0_C/SSLA1_A/KRM04/IRQ1_B	Hi-Z	Keep-O(注1)
P108/SWDIO/AGTEE1_B/GTETRGB_C/ GTIOC3B_A/RXD1/MISO1/SCL1/IRQ6_C/ GTCPP02/CTS9_RTS9_B	プルアップ	Keep-O(注1)
P109/AGTOA1_B/GTOWUP_A/ GTIOC2A_B/SCK1_E/TXD9_B/MOSI9_B/ SDA9_B/CLKOUT_B	Hi-Z	[AGTOA1_B 選択] AGTOA1_B 出力(注2) [CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O
P110/AGTIO1_A/GTOWLO_A/GTIOC2B_B/ VCOUT/CTS2_RTS2_B/RXD9_B/SCL9_B/ MISO9_B/IRQ3_A	Hi-Z	[AGTIO1 選択] AGTIO1 出力(注2) [ACMPHS 選択] VCOUT 出力 [上記以外] Keep-O(注1)
P111/AGTOA0/GTIOC1A_C/SCK2_B/ SCK9_B/IRQ4_A	Hi-Z	[AGTOA0 選択] AGTOA0 出力(注2) [上記以外] Keep-O(注1)
P112/AGTOB0/GTIOC1B_C/SCK1_D	Hi-Z	[AGTOB0 選択] AGTOB0 出力(注2) [上記以外] Keep-O
P200/NMI	Hi-Z	Hi-Z

表 A1.1 各プロセスモードのポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード
P201/MD	プルアップ	Keep-O
P206/GTIU_B/TXD0_C/MOSI0_C/SDA0_C/IRQ0_B	Hi-Z	Keep-O(注1)
P207	Hi-Z	Keep-O
P208/AGTOB0_A/GTOUUP_B/GTIOC0A_B	Hi-Z	[AGTOB0_A 選択] AGTOB0_A 出力(注2) [上記以外] Keep-O
P212/EXTAL/AGTEE1_A/GTOULO_A/GTIOC0B_A/IRQ7_C	Hi-Z	Keep-O(注1)
P213/XTAL/GTOUUP_A/GTIOC0A_A/IRQ2_B	Hi-Z	Keep-O(注1)
P300/SWCLK/GTETRGA_C/GTIOC3A_A/TXD1/MOSI1/SDA1/IRQ5_B/GTCPPO1	プルアップ	Keep-O(注1)
P301/AGTIO0_D/GTETRGA_A/RXD2_A/MISO2_A/SCL2_A/CTS9_RTS9_D/IRQ6_A	Hi-Z	[AGTIO0_D 出力選択] AGTIO0_D 出力(注2) [上記以外] Keep-O(注1)
P302/GTETRGA_D/TXD2_A/MOSI2_A/SDA2_A/IRQ5_A	Hi-Z	Keep-O(注1)
P400/CACREF_C/AGTIO1_C/GTIOC3A_B/SCK0_B/SCK1_B/SCL0_A/IRQ0_A	Hi-Z	[AGTIO1_C 出力選択] AGTIO1_C 出力(注2) [上記以外] Keep-O(注1)
P401/GTETRGA_B/GTIOC3B_B/CTS0_RTS0_B/SDA0_A/IRQ5_C	Hi-Z	Keep-O(注1)
P402/GTADSM0	Hi-Z	Keep-O
P403/GTADSM1	Hi-Z	Keep-O
P407/ADTRG0_B/AGTIO0_C/CMPREF1/GTOULO_B/GTIOC0B_B/GTCPPO0/CTS0_RTS0_D/SDA0_B	Hi-Z	[AGTIO0_C 出力選択] AGTIO0_C 出力(注2) [上記以外] Keep-O(注1)
P408/GTIW_B/CTS1_RTS1_D/SCL0_C/IRQ7_B	Hi-Z	Keep-O(注1)
P409/GTIV_B/IRQ6_B	Hi-Z	Keep-O(注1)
P500/GTETRGA_A/GTIOC2A_C	Hi-Z	Keep-O
P913/AGTIO1_F/GTOVLO_A/GTIOC1B_A	Hi-Z	[AGTIO1_F 出力選択] AGTIO1_F 出力(注2) [上記以外] Keep-O
P914/AGTOA1_A/GTOVUP_A/GTIOC1A_A	Hi-Z	[AGTOA1_A 出力選択] AGTOA1_A 出力(注2) [上記以外] Keep-O
P915	Hi-Z	Keep-O

注. Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。

注 2. LOCO がカウントソースとして選択されている間、AGTIO 出力が許可されます。

### 付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

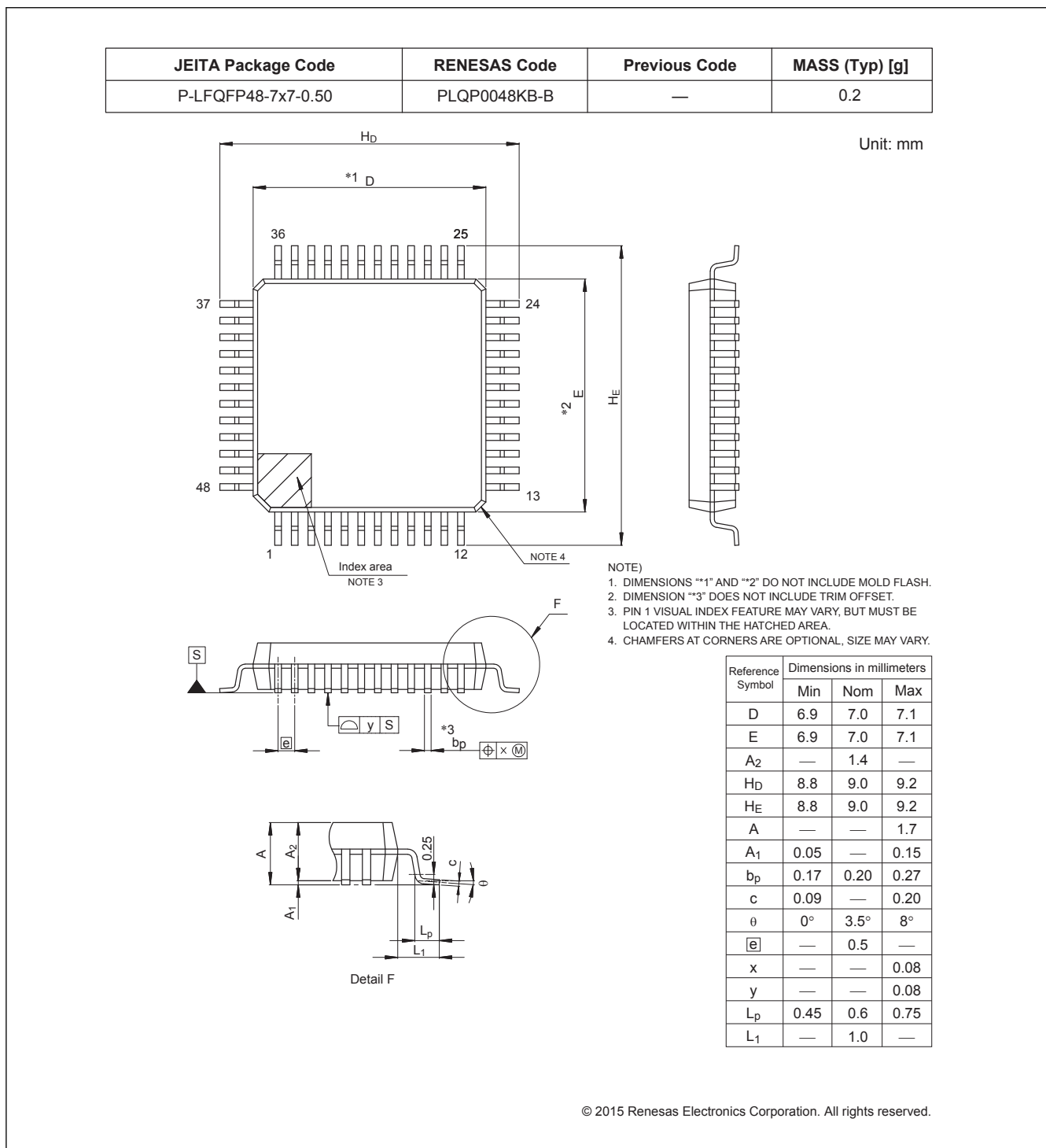
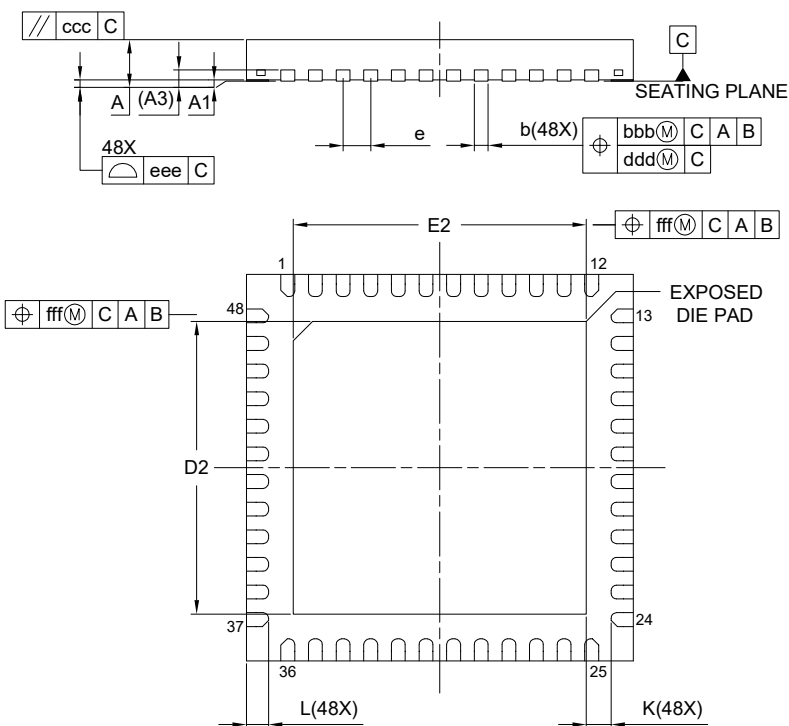
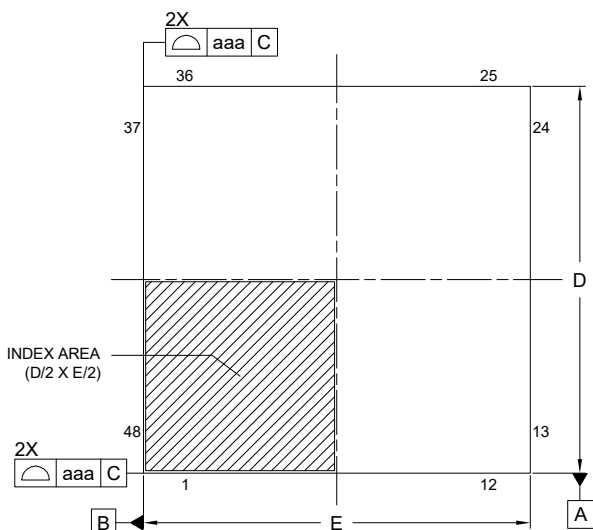


図 A2.1 LQFP 48 ピン

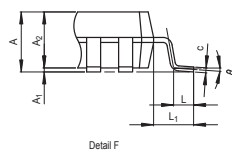
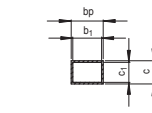
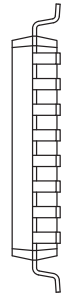
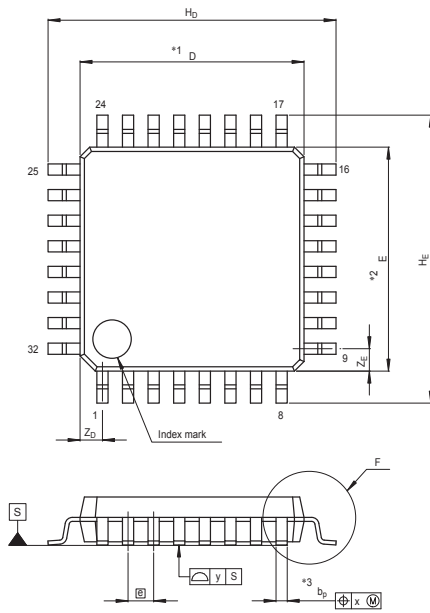
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A <sub>1</sub>	0.00	0.02	0.05
A <sub>3</sub>	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D <sub>2</sub>	5.25	5.30	5.35
E <sub>2</sub>	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.2 HWQFN 48 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP32-7x7-0.80	PLQP0032GB-A	32P6U-A	0.2g

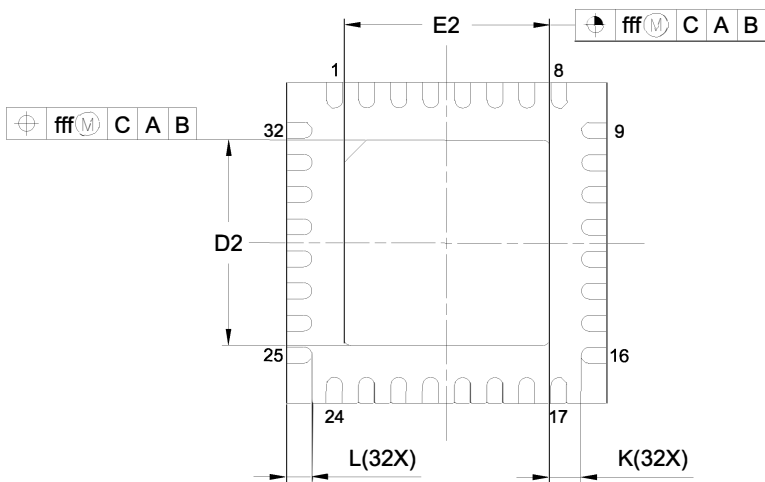
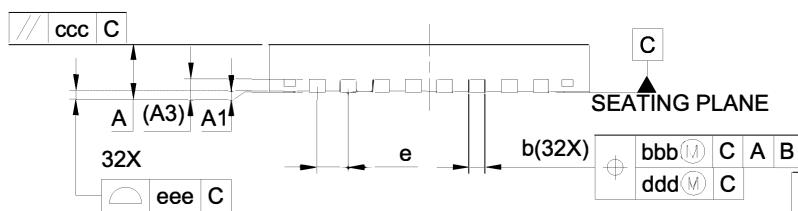
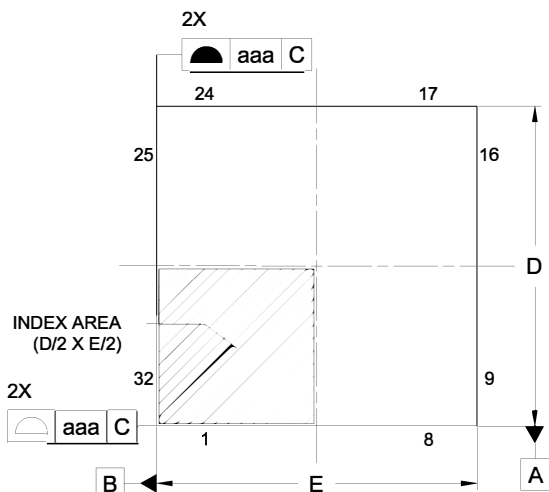


NOTE)  
 1. DIMENSIONS \*\*1\* AND \*\*2\* DO NOT INCLUDE MOLD FLASH.  
 2. DIMENSION \*\*3\* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A2	—	1.4	—
H <sub>D</sub>	8.8	9.0	9.2
H <sub>E</sub>	8.8	9.0	9.2
A	—	—	1.7
A <sub>1</sub>	0	0.1	0.2
b <sub>p</sub>	0.32	0.37	0.42
b <sub>1</sub>	—	0.35	—
c	0.09	0.145	0.20
c <sub>1</sub>	—	0.125	—
θ	0°	—	8°
ⓔ	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z <sub>D</sub>	—	0.7	—
Z <sub>E</sub>	—	0.7	—
L	0.3	0.5	0.7
L <sub>1</sub>	—	1.0	—

☒ A2.3 LQFP 32 ピン

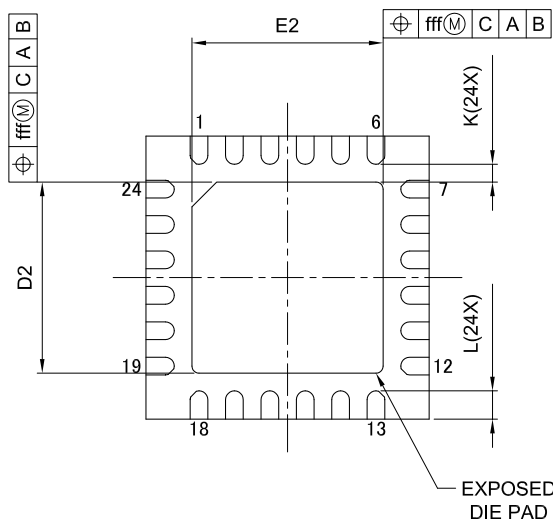
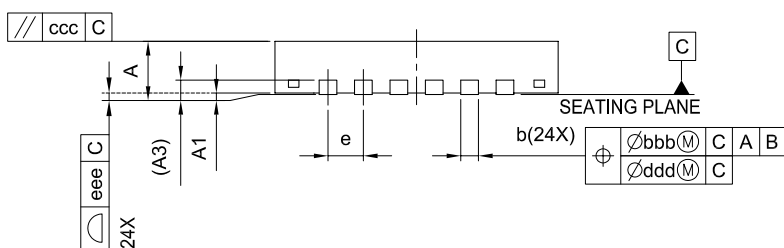
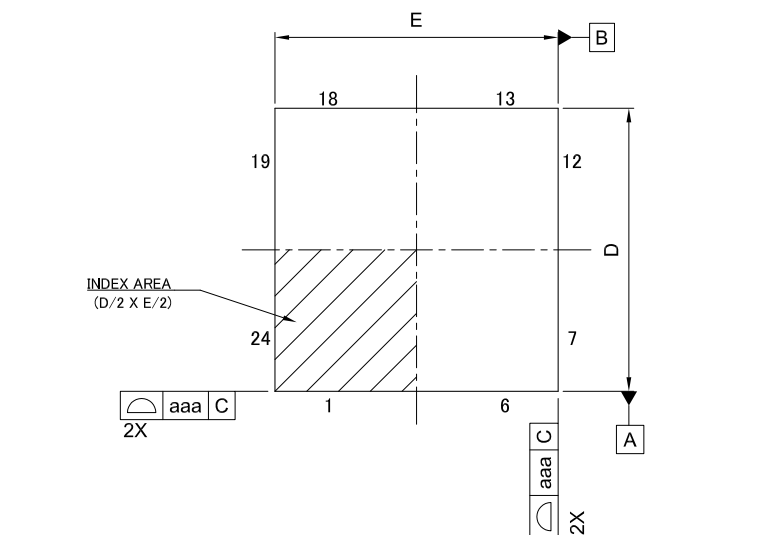
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A <sub>1</sub>	0.00	0.02	0.05
A <sub>3</sub>	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D <sub>2</sub>	3.15	3.20	3.25
E <sub>2</sub>	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.4 HWQFN 32 ピン

JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWQFN24-4 × 4-0.50	PWQNO024KG-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A <sub>1</sub>	0.00	0.02	0.05
A <sub>3</sub>	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D <sub>2</sub>	2.65	2.70	2.75
E <sub>2</sub>	2.65	2.70	2.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 A2.5 HWQFN 24 ピン

## 付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

### 3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
RMPU	Renesas メモリプロテクションユニット	0x4000_0000
SRAM	SRAM 制御	0x4000_2000
BUS	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラユニット	0x4000_6000
DBG	デバッグ機能	0x4001_B000
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PORT5	ポート 5 コントロールレジスタ	0x4004_00A0
PORT9	ポート 9 コントロールレジスタ	0x4004_0120
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントローラ	0x4004_1000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4004_2000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップ制御 B/C/D、低速モジュール R/W 禁止制御	0x4004_7000
IIC0	Inter-Integrated Circuit 0	0x4005_3000
IIC0WU	Inter-Integrated Circuit 0 ウェイクアップユニット	0x4005_3014
DOC	データ演算回路	0x4005_4100
ADC120	12 ビット A/D コンバータ	0x4005_C000
SCI0	シリアルコミュニケーションインタフェース 0	0x4007_0000
SCI1	シリアルコミュニケーションインタフェース 1	0x4007_0020
SCI2	シリアルコミュニケーションインタフェース 2	0x4007_0040
SCI9	シリアルコミュニケーションインタフェース 9	0x4007_0120
SPI0	シリアルペリフェラルインタフェース 0	0x4007_2000
CRC	巡回冗長検査	0x4007_4000
KINT	キー割り込み機能	0x4008_0000
AGTW0	低消費電力非同期汎用タイマ 0	0x4008_4000
AGTW1	低消費電力非同期汎用タイマ 1	0x4008_4100
ACMPHS	高速アナログコンパレータ	0x4008_5E00

表 A3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
GPT160	16 ビット汎用 PWM タイマ 0	0x4008_9000
GPT161	16 ビット汎用 PWM タイマ 1	0x4008_9100
GPT162	16 ビット汎用 PWM タイマ 2	0x4008_9200
GPT163	16 ビット汎用 PWM タイマ 3	0x4008_9300
GPT_OPS	出力相切り替えコントローラ	0x4008_9A00
FLCN	フラッシュ I/O レジスタ、メモリウェイトサイクル制御、温度センサ校正データ	0x407E_C000

注. 名称 = 周辺機能の名称  
 内容 = 周辺機能  
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

### 3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 A3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 A3.2 GPT 以外のモジュールのアクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
MPU, SRAM, BUS, DTC, ICU, CPU_DBG	0x4000_2000	0x4001_BFFF	3				ICLK	メモリプロテクションユニット、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSC	0x4001_E000	0x4001_E6FF	4				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
PORTn, PFS, ELC, POEG, WDT, IWDT, CAC, MSTP	0x4004_0000	0x4004_7FFF	3		2~3		PCLKB	I/O ポート、イベントリンクコントローラ、GPT 用ポートアウトプットイネーブル、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップ制御

表 A3.2 GPT 以外のモジュールのアクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
			読み出し	書き込み	読み出し	書き込み		
IICn (n = 0), IIC0WU、DOC、ADC12	0x4005_0000	0x4005_EFFF	3		2~3		PCLKB	I <sup>2</sup> C バスインタフェース、データ演算回路、12 ビット A/D コンバータ
SCIn (n = 0~2, g(注2))	0x4007_0000	0x4007_0EFF	5		2~3		PCLKB	シリアルコミュニケーションインタフェース
SPIn (n = 0)(注3)	0x4007_2000	0x4007_2FFF	5		2~3		PCLKB	シリアルペリフェラルインタフェース
CRC	0x4007_4000	0x4007_4FFF	3		2~3		PCLKB	CRC 演算器
GPT16n (n = 0~3)、GPT_OPS	0x4008_9000	0x4008_9FFF	表 A3.3 を参照。				PCLKB	汎用 PWM タイマ
KINT	0x4008_0000	0x4008_2FFF	3		2~3		PCLKB	キー割り込み機能
AGTWn	0x4008_4000	0x4008_4FFF	3		2~3		PCLKB	低消費電力非同期汎用タイマ
ACMPHS	0x4008_5E00	0x4008_6FFF	3		2~3		PCLKB	高速アナログコンパレータ
FLCN	0x407E_C000	0x407E_FFFF	7		7		ICLK	データフラッシュ、温度センサ、静電容量式センシングユニット 2、フラッシュ制御

注 1. PCLK サイクル数が整数ではない (たとえば 1.5) 場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5~2.5 は、1~3 となります。

注 2. n = 0 の場合については、16 ビットレジスタ (FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR) へのアクセス時、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ (FTDRH、FTDRL、FRDRH、および FRDRL) にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

注 3. 32 ビットレジスタ (SPDR) にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ (SPDR\_HA) にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

表 A3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 A3.3 GPT モジュールのアクセスサイクル

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5~6	3~4	PCLKB
ICLK > PCLKD > PCLKB	3~4	2~3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB
PCLKD = ICLK > PCLKB	2~3	1~2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2~3	1~2	PCLKB

## 改訂履歴

### Revision 1.00 — 2025 年 6 月 25 日

初版発行

### Revision 1.10 — 2026 年 6 月 22 日

#### 1. 概要 :

- 図 1.2 型名の読み方を更新

#### 2. 電気的特性 :

- 表 2.4 I/O  $V_{IH}$ ,  $V_{IL}$  を更新

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。