RA2L2 グループ
ルネサスマイクロコントローラ

R01DS0445JJ0110
Rev.1.10
Mar 18, 2025

超低消費電力 48 MHz Arm® Cortex®-M23 コア、最大 128 KB のコードフラッシュメモリ、16 KB の SRAM、USB 2.0 フルスピードモジュール (USBFS)、USB Type-C®インタフェース (USBCC)、12 ビット A/D コンバータ、セキュリティおよびセーフティ機能

特長

■ Arm Cortex-M23 コア

- Armv8-M アーキテクチャ
- 最高動作周波数：48 MHz
- Arm メモリプロテクションユニット (Arm MPU)（8 領域）
- デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

■ メモリ

- 最大 128 KB のコードフラッシュメモリ
- 4 KB のデータフラッシュメモリ（100,000 回のプログラム／イレース (P/E) サイクル）
- 16 KB の SRAM
- メモリプロテクションユニット (MPU)
- 128 ビットのユニーク ID

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 4
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - 簡易 IIC
  - 簡易 SPI
  - スマートカードインタフェース
- シリアルペリフェラルインタフェース (SPI) × 1
- I3C バスインタフェース (I3C) × 1
- USB 2.0 フルスピードモジュール (USBFS) × 1
- USB Type-C インタフェース (USBCC) × 1
- CAN モジュール (CAN) × 1
- 拡張シリアルサウンドインタフェース (SSIE) x 1
- シリアルインタフェース UARTA (UARTA) × 2

■ アナログ

- 12 ビット A/D コンバータ (ADC12)
- 温度センサ回路 (TSN)

■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32) × 1
- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 低消費電力非同期汎用タイマ (AGTW) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス検出

■ セキュリティ

- 真性乱数生成器 (TRNG)

■ システムおよび電源管理

- 低消費電力モード
- リアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出機能 (LVD) の設定可能

■ マルチクロックソース

- メインクロック発振器 (MOSC) (1～20 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (24/32/48/64 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- クロックアウトのサポート

■ 最大 54 本の汎用入出力ポート内蔵

- 5 V トレランス、オープンドレイン、入力プルアップ

■ 動作電圧

- VCC: 1.6～5.5 V

■ 動作温度およびパッケージ

- Ta = -40 °C～+105 °C
  - 64 ピン LQFP（10 mm × 10 mm、0.5 mm ピッチ）
  - 48 ピン LQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン HWQFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン HWQFN（5 mm × 5 mm、0.5 mm ピッチ）
- Ta = -40 °C～+125 °C
  - 64 ピン LQFP（10 mm × 10 mm、0.5 mm ピッチ）
  - 48 ピン LQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン HWQFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン HWQFN（5 mm × 5 mm、0.5 mm ピッチ）

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な Arm Cortex®-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 最大 128 KB のコードフラッシュメモリ
- 16-KB SRAM
- USB 2.0 フルスピードモジュール (USBFS)
- USB Type-C インタフェース (USBCC)
- 12 ビット A/D コンバータ (ADC12)
- セキュリティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	● 最高動作周波数：48 MHz ● Arm Cortex-M23 コア： – リビジョン：r1p0-00rel0 – Armv8-M アーキテクチャプロファイル – シングルサイクル整数乗算器 – 19 サイクル整数除算器 ● Arm メモリプロテクションユニット (Arm MPU)： – Armv8 保護メモリシステムアーキテクチャ – 8 つの保護領域 ● SysTick タイマ： – SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 128 KB のコードフラッシュメモリ。
データフラッシュメモリ	4 KB のデータフラッシュメモリ。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットを備えた高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード： ● シングルチップモード ● SCI ブートモード
リセット	本 MCU は、12 種類のリセット（RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視 0/1/2 リセット、SRAM パリティエラーリセット、バスマスタ／スレーブ MPU エラーリセット、CPU スタックポインタエラーリセット、ソフトウェアリセット）をサポートしています。
低電圧検出回路 (LVD)	低電圧検出 (LVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、3 つの独立した電圧レベル検出回路 (LVD0, LVD1, LVD2) から構成されています。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを測定します。LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。

表 1.3 システム (2/2)

機能	機能の説明
クロック	• メインクロック発振器 (MOSC) • サブクロック発振器 (SOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • IWDT 専用オンチップオシレータ • クロックアウトのサポート
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求が発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は、4 つのメモリプロテクションユニット (MPU) と、CPU スタックポインタモニタ機能を備えています。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込み、アンダーフロー割り込み、またはウォッチドッグタイマリセットを発生させるためにも使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイル-セーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 1.6 タイマ (1/2)

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 × 1 チャネルの 32 ビットタイマおよび GPT16 × 6 チャネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。

表 1.6 タイマ (2/2)

機能	機能の説明
低消費電力非同期汎用タイマ (AGTW)	低消費電力非同期汎用タイマ (AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTW レジスタでアクセス可能です。
リアルタイムクロック (RTC)	RTC には、通常動作モードと低消費電力クロックモードの 2 種類の動作モードがあります。それぞれの動作モードにおいて、RTC はカレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタの設定を切り替えることにより使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 4 チャネルには、調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
I3C バスインタフェース (I3C)	I3C バスインタフェース (I3C) には 1 つのチャネルがあります。I3C モジュールは、NXP 社の I^2C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) には 1 個のチャネルがあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。
Controller Area Network (CAN)	CAN (Controller Area Network) モジュールは、電磁的にノイズの高いアプリケーション内で、メッセージベースのプロトコルを使用して複数のスレーブとマスタの間でデータを送信および受信します。このモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠し、最大 32 個のメールボックスに対応します。これらのメールボックスは、通常のメールボックスおよび FIFO モードで送信または受信用に設定できます。標準（11 ビット）と拡張（29 ビット）の両方のメッセージングフォーマットに対応しています。CAN モジュールには外付け CAN トランシーバが必要です。
USB 2.0 フルスピードモジュール (USBFS)	デバイスコントローラとして動作可能な USB2.0 フルスピードモジュール (USBFS) です。 このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピード転送をサポートしています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。USB はデータ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。パイプ 1～9 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせた任意のエンドポイント番号の割り付けが可能です。
USB Type-C インタフェース (USBCC)	モジュールは、Universal Serial Bus Type-C Cable and Connector Specification Release 2.2 に定義されている USB 2.0 の USB Type-C コネクタ（Sink/UFP のみ）をサポートし、モジュールは VBUS の現在の供給能力（既定/1.5A/3.0A）を検出できます。
シリアルインタフェース UARTA (UARTA)	シリアルインタフェース UARTA (UARTA) には 2 つのチャネルがあります。UARTA は全二重非同期シリアル通信が可能です。
拡張シリアルサウンドインタフェース (SSIE)	拡張シリアルサウンドインタフェース (SSIE) 周辺機能は、I2S/モノラル/TDM オーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で接続する機能を提供しています。SSIE は最高 32 MHz のオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ／トランスミッタ／トランシーバとして動作します。SSIE はレシーバとトランスミッタに 32 段 FIFO バッファを内蔵し、割り込みおよび DTC 駆動によるデータ送受信をサポートしています。

表 1.8 アナログ機能 (1/2)

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 17 チャネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。

表 1.8 アナログ機能 (2/2)

機能	機能の説明
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 1.9 データ処理

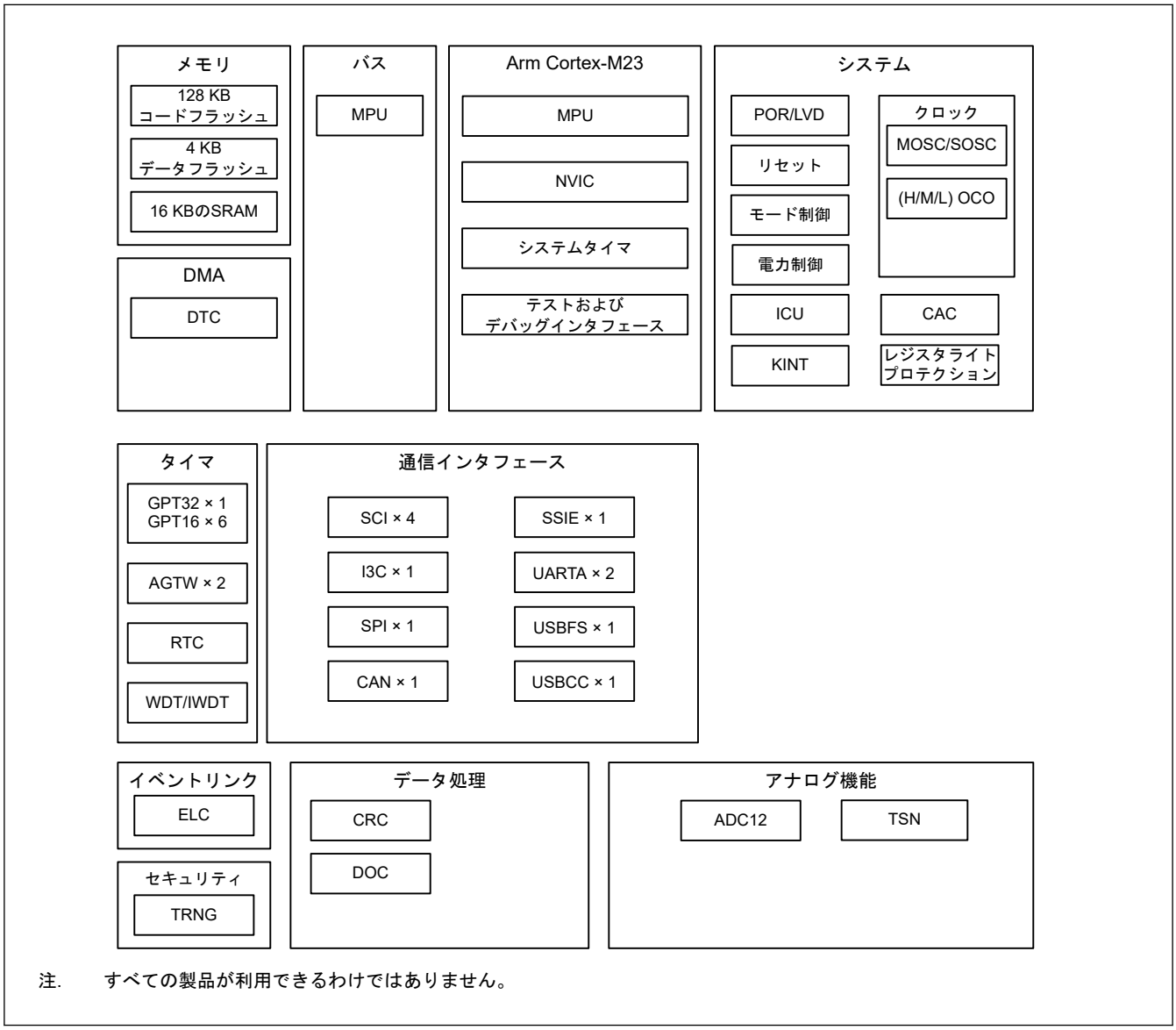
機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスを監視できます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、16 ビットのデータが比較され、割り込みを生成可能です。

表 1.10 I/O ポート

機能	機能の説明
I/O ポート	• 64 ピン LQFP 用 I/O ポート – 入出力端子：51 – 入力端子：3 – プルアップ抵抗：51 – N チャネルオープンドレイン出力：38 – 5 V トレランス：7 • 48 ピン LQFP/HWQFN 用 I/O ポート – 入出力端子：35 – 入力端子：3 – プルアップ抵抗：35 – N チャネルオープンドレイン出力：24 – 5 V トレランス：7 • 32 ピン LQFP/HWQFN 用 I/O ポート – 入出力端子：21 – 入力端子：3 – プルアップ抵抗：21 – N チャネルオープンドレイン出力：13 – 5 V トレランス：5

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。



注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.11 に、製品一覧表を示します。

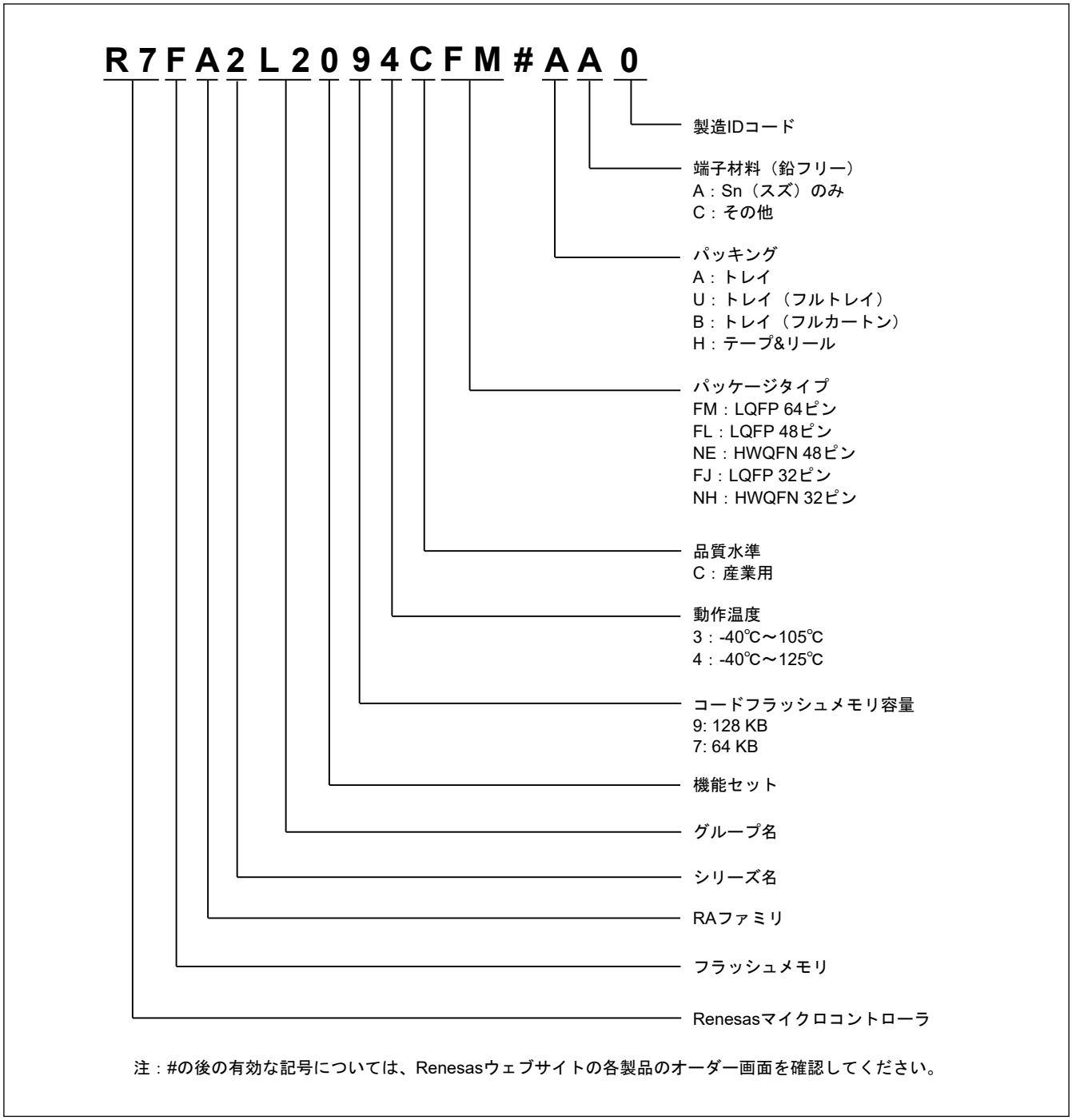

R 7 F A 2 L 2 0 9 4 C F M # A A 0
製造IDコード
端子材料（鉛フリー）
A：Sn（スズ）のみ
C：その他
パッキング
A：トレイ
U：トレイ（フルトレイ）
B：トレイ（フルカートン）
H：テープ&リール
パッケージタイプ
FM：LQFP 64ピン
FL：LQFP 48ピン
NE：HWQFN 48ピン
FJ：LQFP 32ピン
NH：HWQFN 32ピン
品質水準
C：産業用
動作温度
3：-40℃～105℃
4：-40℃～125℃
コードフラッシュメモリ容量
9: 128 KB
7: 64 KB
機能セット
グループ名
シリーズ名
RAファミリ
フラッシュメモリ
Renesasマイクロコントローラ
注：#の後の有効な記号については、Renesasウェブサイトの各製品のオーダー画面を確認してください。

図 1.2　型名の読み方

表 1.11 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA2L2094CFM	PLQP0064KB-C	128	4	16	-40～+125 °C
R7FA2L2094CFL	PLQP0048KB-B				
R7FA2L2094CFJ	PLQP0032GB-A				
R7FA2L2094CNE	PWQN0048KC-A				
R7FA2L2094CNH	PWQN0032KE-A				
R7FA2L2093CFM	PLQP0064KB-C				-40～+105 °C
R7FA2L2093CFL	PLQP0048KB-B				
R7FA2L2093CFJ	PLQP0032GB-A				
R7FA2L2093CNE	PWQN0048KC-A				
R7FA2L2093CNH	PWQN0032KE-A				
R7FA2L2074CFM	PLQP0064KB-C	64	4	16	-40～+125 °C
R7FA2L2074CFL	PLQP0048KB-B				
R7FA2L2074CFJ	PLQP0032GB-A				
R7FA2L2074CNE	PWQN0048KC-A				
R7FA2L2074CNH	PWQN0032KE-A				
R7FA2L2073CFM	PLQP0064KB-C				-40～+105 °C
R7FA2L2073CFL	PLQP0048KB-B				
R7FA2L2073CFJ	PLQP0032GB-A				
R7FA2L2073CNE	PWQN0048KC-A				
R7FA2L2073CNH	PWQN0032KE-A				

1.4 機能の比較

表 1.12 機能の比較

型名		R7FA2L209xCFM	R7FA2L207xCFM	R7FA2L209xCFL R7FA2L209xCNE	R7FA2L207xCFL R7FA2L207xCNE	R7FA2L209xCFJ R7FA2L209xCNH	R7FA2L207xCFJ R7FA2L207xCNH
端子総数		64		48		32	
パッケージ		LQFP		LQFP/HWQFN		LQFP/HWQFN	
コードフラッシュメモリ		128 KB	64 KB	128 KB	64 KB	128 KB	64 KB
データフラッシュメモリ		4 KB		4 KB		4 KB	
SRAM（パリティ）		16 KB		16 KB		16 KB	
システム	CPU クロック	48 MHz		48 MHz		48 MHz	
	サブクロック発振器	あり		あり		あり	
	ICU	あり		あり		あり	
	KINT	8		5		4	
イベントコントロール	ELC	あり		あり		あり	
DMA	DTC	あり		あり		あり	
タイマ	GPT32	1（PWM 出力：2）		1（PWM 出力：2）		1（PWM 出力：2）	
	GPT16	6（PWM 出力：12）		6（PWM 出力：12）		6（PWM 出力：7）	
	AGTW	2		2		2	
	RTC	あり		あり		あり	
	WDT/IWDT	あり		あり		あり	
通信	SCI	4		4		3	
	I3C	1		1		1	
	SPI	1		1		1	
	CAN	1		1		1	
	SSIE	1		1		1	
	UARTA	2		2		2	
	USBFS	1		1		1	
	USBCC	1		1		1	
アナログ	ADC12	17		13		10	
	TSN	あり		あり		あり	
データ処理	CRC	あり		あり		あり	
	DOC	あり		あり		あり	
セキュリティ		TRNG		TRNG		TRNG	
I/O ポート	入出力端子	51		35		21	
	入力端子	3		3		3	
	プルアップ抵抗	51		35		21	
	N チャネルオープンドレイン出力	38		24		13	
	5 V トレランス	7		7		5	

1.5 端子機能

表 1.13 端子機能 (1/3)

機能	信号	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL 端子	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モード制御	MD	入力	動作モード設定用の端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	マスカブル割り込み要求端子
GPT	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIOCnA (n = 0, 4～9), GTIOCnB (n = 0, 4～9)	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）
AGTW	AGTEE0, AGTEE1	入力	外部イベント入力イネーブル信号
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
	AGTO0, AGTO1	出力	パルス出力端子
	AGTOA0, AGTOA1	出力	アウトプットコンペアマッチ A 出力端子
	AGTOB0, AGTOB1	出力	アウトプットコンペアマッチ B 出力端子
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子

表 1.13 端子機能 (2/3)

機能	信号	入出力	説明
SCI	SCKn (n = 0〜2, 9)	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn (n = 0〜2, 9)	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn (n = 0〜2, 9)	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn (n = 0〜2, 9)	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	SCLn (n = 0〜2, 9)	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn (n = 0〜2, 9)	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn (n = 0〜2, 9)	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn (n = 0〜2, 9)	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn (n = 0〜2, 9)	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn (n = 0〜2, 9)	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
I3C	SCLn (n = 0)	入出力	クロック用の入出力端子
	SDAn (n = 0)	入出力	データ用の入出力端子
SPI	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択用の入出力端子
	SSLA1〜SSLA3	出力	スレーブ選択用の出力端子
	MOSIA	入出力	マスタからの出力データ用の入出力端子
	MISOA	入出力	スレーブからの出力データ用の入出力端子
CAN	CRX0	入力	受信データ
	CTX0	出力	送信データ
USBFS	USB_DP	入出力	USB 内蔵トランシーバ D+端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出できます。
USBCC	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。VBUS の接続／切断を検出できます。
	USB_CC1	入力	構成チャネル 1。この端子は、接続を検出し、USB Type-C ケーブルおよび接続の全体にわたってインタフェースを構成するために使用できます。
	USB_CC2	入力	構成チャネル 2。この端子は、接続を検出し、USB Type-C ケーブルおよび接続の全体にわたってインタフェースを構成するために使用できます。
UARTA	RXDAn (n = 0, 1)	入力	シリアルインタフェースのシリアルデータ入力端子
	TXDAn (n = 0, 1)	出力	シリアルインタフェースのシリアルデータ出力端子
	CLKAn (n = 0, 1)	出力	シリアルインタフェースのクロック出力端子
SSIE	SSIBCK0	入出力	SSIE シリアルビットクロック端子
	SSILRCK0/SSIFS0	入出力	LR クロック／フレーム同期端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子（入力オーバーサンプリングクロック）

表 1.13 端子機能 (3/3)

機能	信号	入出力	説明
アナログ電源	AVCC0	入力	ADC12 用のアナログ電源端子
	AVSS0	入力	ADC12 用のアナロググランド端子
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS0 に接続してください。
ADC12	AN000～AN010, AN017～AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
KINT	KR00～KR07	入力	キー割り込み入力端子
I/O ポート	P000～P004, P010～P015	入出力	汎用入出力端子
	P100～P113	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P204～P207, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300～P304	入出力	汎用入出力端子
	P400～P403, P407～P411	入出力	汎用入出力端子
	P500～P502	入出力	汎用入出力端子
	P912, P913	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3～図 1.5 にピン配置図（上面図）を示します。

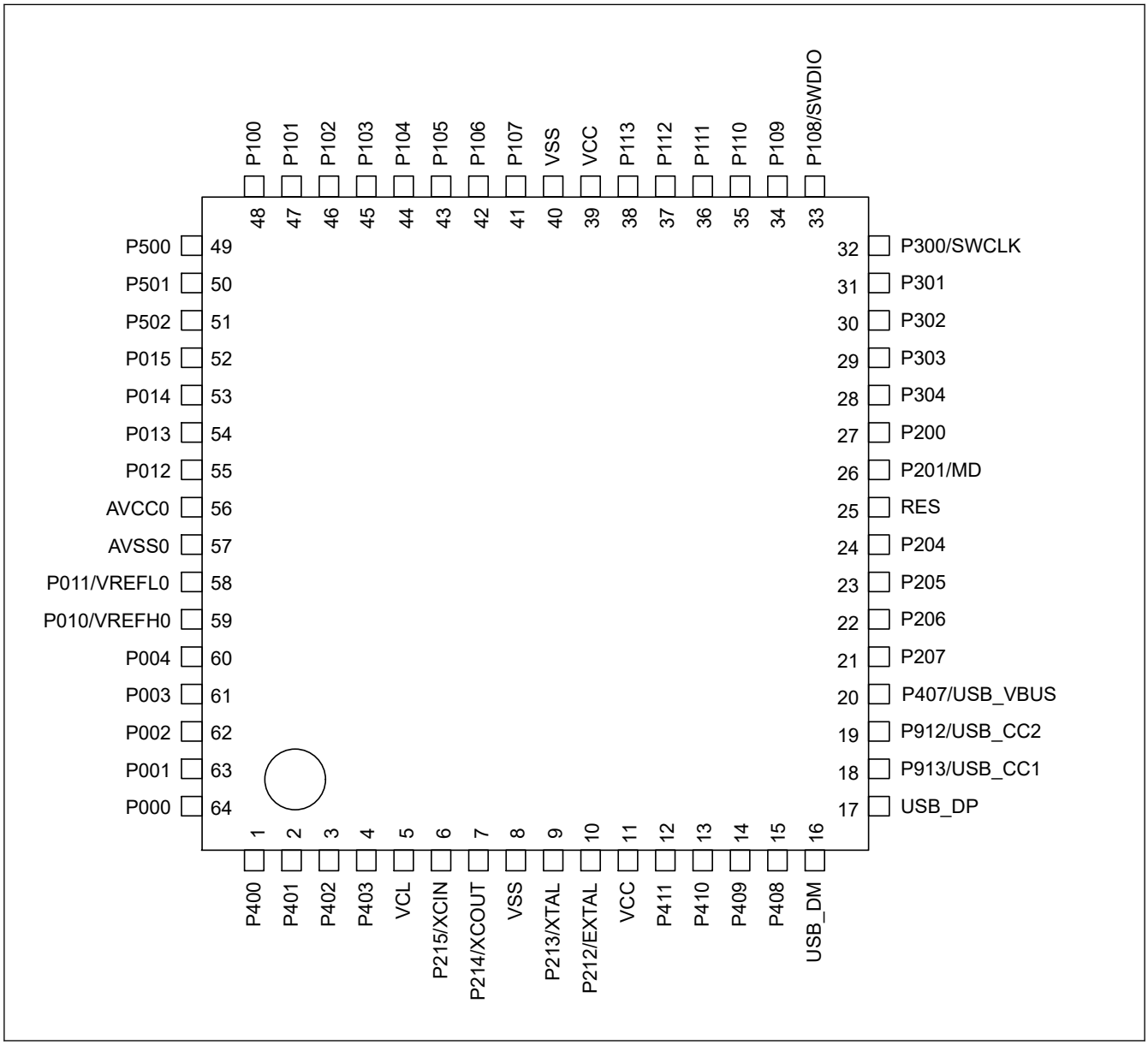


図 1.3 64 ピン LQFP のピン配置図（上面図）

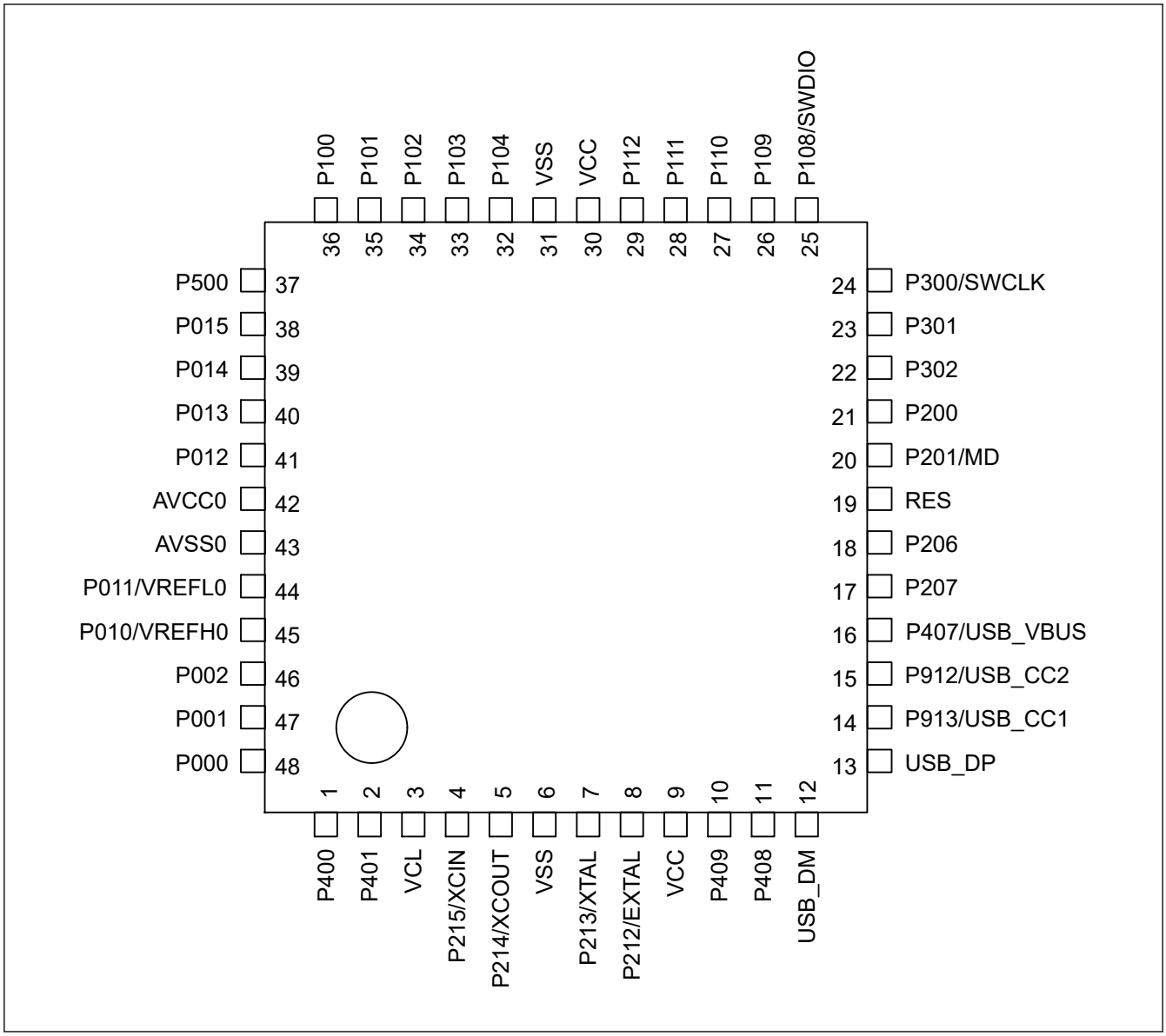


図 1.4　48 ピン LQFP/QFN のピン配置図（上面図）

注.　QFN パッケージの製品では、電気的接続のない PCB のめっき部分に exposed die pad をはんだ付けしてください。

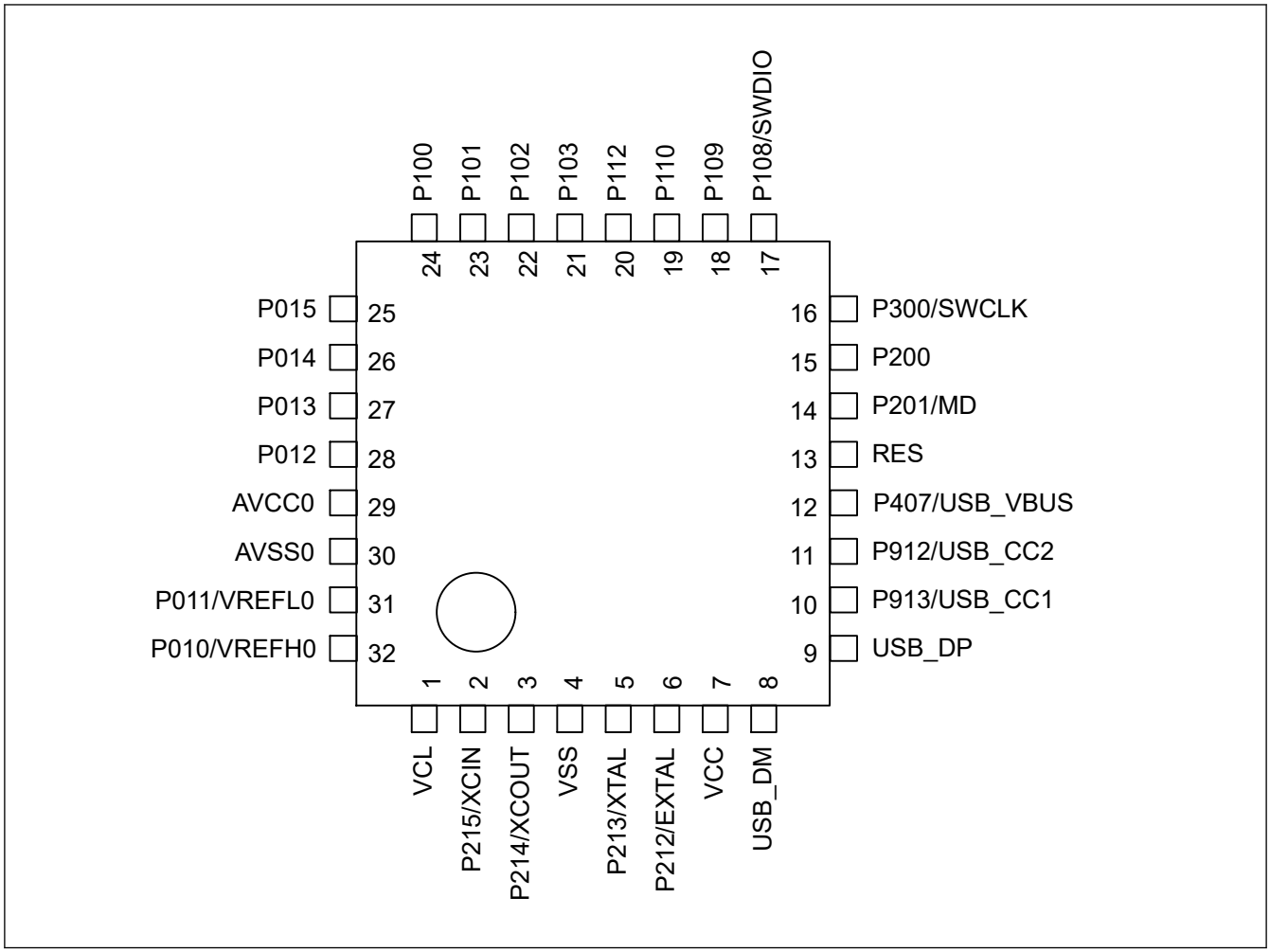


図 1.5　32 ピン LQFP/QFN のピン配置図（上面図）

注.　QFN パッケージの製品では、電気的接続のない PCB のめっき部分に exposed die pad をはんだ付けしてください。

1.7 端子一覧

表 1.14 端子一覧 (1/3)

端子番号					タイマ				通信インタフェース							アナログ	HMI
LQFP 64 ピン	LQFP/QFN 48 ピン	LQFP/QFN 32 ピン	電源、システム、クロック、デバッグ、CAC	I/O ポート	AGTW	GPT_OPS、POEG	GPT	RTC	CAN	SCI	I3C	SPI	SSIE	UARTA	USBFS、USBCC	ADC	割り込み
1	1	—	CACREF_C	P400	AGTIO1_C	—	GTIOC9A_A	—	—	SCK0_B/SCK1_B	SCL0_A	—	—	—	—	—	IRQ_0_A
2	2	—	—	P401	—	GTETRGA_B	GTIOC9B_A	—	CRX0_B	CTS0_RTS 0_B/SS0_B/TXD1_B/MOSI1_B/SDA1_B	SDA0_A	—	—	CLKA0_B	—	—	IRQ_5
3	—	—	—	P402	AGTIO0_E/AGTIO1_D	—	—	—	CTX0_B	RxD1_B/MISO1_B/SCL1_B	—	—	—	RXDA0_B	—	—	IRQ_4
4	—	—	—	P403	AGTIO0_F/AGTIO1_E	—	—	—	—	CTS1_RTS 1_B/SS1_B	—	—	—	TXDA0_B	—	—	—
5	3	1	VCL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
6	4	2	XCIN	P215	—	—	—	—	—	—	—	—	—	—	—	—	—
7	5	3	XCOUT	P214	—	—	—	—	—	—	—	—	—	—	—	—	—
8	6	4	VSS	—	—	—	—	—	—	—	—	—	—	—	—	—	—
9	7	5	XTAL	P213	—	GTETRGA_D	GTIOC0A_D	—	—	TXD1_A/MOSI1_A/SDA1_A	—	—	—	—	—	—	IRQ2_B
10	8	6	EXTAL	P212	AGTEE1	GTETRGB_D	GTIOC0B_D	—	—	RxD1_A/MISO1_A/SCL1_A	—	—	—	—	—	—	IRQ3_B
11	9	7	VCC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12	—	—	—	P411	AGTOA1	GTOVUP_B	—	—	—	TXD0_B/MOSI0_B/SDA0_B	—	MOSIA_B	SSIBCK0_A	—	—	—	IRQ4_B
13	—	—	—	P410	AGTOB1	GTOVLO_B	—	—	—	RxD0_B/MISO0_B/SCL0_B	—	MISOA_B	SSILRCK0/SSIFS0_A	CLKA1_B	—	—	IRQ5_B
14	10	—	—	P409	—	GTOWUP_B	—	—	—	—	—	—	SSITXD0_A	RXDA1_B	—	—	IRQ6_B
15	11	—	—	P408	—	GTOWLO_B	—	—	—	CTS1_RTS 1_D/SS1_D	—	—	SSIRXD0_A	TXDA1_B	—	—	IRQ7_B
16	12	8	—	—	—	—	—	—	—	—	—	—	—	—	USB_DM	—	—
17	13	9	—	—	—	—	—	—	—	—	—	—	—	—	USB_DP	—	—
18	14	10	—	P913	—	—	—	—	CRX0_D	—	SCL0_C	—	—	—	USB_CC1	—	IRQ5_D
19	15	11	—	P912	—	—	—	—	CTX0_D	—	SDA0_C	—	—	—	USB_CC2	—	—
20	16	12	—	P407	AGTIO0_C	—	—	RTCOUT_A	—	CTS0_RTS0_D	—	—	SSIDATA0_B	—	USB_VBUS	ADTRG0_B	
21	17	—	—	P207	—	—	—	—	—	—	—	—	SSIBCK0_B	—	—	—	—
22	18	—	—	P206	—	GTIU_A	—	—	—	RxD0_D/MISO0_D/SCL0_D	—	—	SSILRCK0/SSIFS0_B	—	—	—	IRQ0
23	—	—	CLKOUT_A	P205	AGTO1	GTIV_A	—	—	—	TXD0_D/MOSI0_D/SDA0_D/CTS9_RTS 9_A/SS9_A	—	—	SSITXD0_B	—	—	—	IRQ1
24	—	—	CACREF_A	P204	AGTIO1_A	GTIW_A	—	—	—	SCK0_D/SCK9_A	—	—	SSIRXD0_B	—	—	—	—
25	19	13	RES	—	—	—	—	—	—	—	—	—	—	—	—	—	—
26	20	14	MD	P201	—	—	—	—	—	—	—	—	—	—	—	—	—
27	21	15	—	P200	—	—	—	—	—	—	—	—	—	—	—	—	NMI
28	—	—	—	P304	—	—	—	—	—	—	—	—	—	—	—	—	—
29	—	—	—	P303	—	—	—	—	—	—	—	—	—	—	—	—	—
30	22	—	—	P302	—	GTOUUP_A	GTIOC7A_A	—	—	TXD2_A/MOSI2_A/SDA2_A	—	—	—	—	—	—	IRQ5_A

表 1.14 端子一覧 (2/3)

端子番号					タイマ				通信インタフェース							アナログ	HMI
LQFP 64 ピン	LQFP/QFN 48 ピン	LQFP/QFN 32 ピン	電源、システム、クロック、デバッグ、CAC	I/O ポート	AGTW	GPT_OPS、POEG	GPT	RTC	CAN	SCI	I3C	SPI	SSIE	UARTA	USBFS、USBCC	ADC	割り込み
31	23	—	—	P301	AGTIO0_D	GTOULO_A	GTIOC7B_A	—	—	RxD2_A/MISO2_A/SCL2_A/CTS9_RTS 9_D/SS9_D	—	—	—	—	—	—	IRQ6_A
32	24	16	SWCLK	P300	AGTIO0_B	GTOUUP_C	GTIOC0A_A	—	—	—	—	—	—	CLKA0_A	—	—	—
33	25	17	SWDIO	P108	AGTOA1_B	GTOULO_C	GTIOC0B_A	—	—	CTS9_RTS 9_B/SS9_B	—	—	SSIDATA0_A	RXDA0_A	—	—	—
34	26	18	CLKOUT_B	P109	AGTIO1_B	GTOVUP_A	GTIOC4A_A	—	CRX0_A	SCK1_E/TXD9_B/MOSI9_B/SDA9_B	SCL0_B	—	AUDIO_CLK_A	TXDA0_A	—	—	IRQ5_E
35	27	19	—	P110	AGTOB0_B	GTOVLO_A	GTIOC4B_A	RTCOUT_B	CTX0_A	CTS2_RTS 2_B/SS2_B/RxD9_B/MISO9_B/SCL9_B	SDA0_B	—	—	—	—	—	IRQ3_A
36	28	—	—	P111	AGTOA0	—	GTIOC6A_A	—	—	SCK2_B/SCK9_B	—	—	—	—	—	—	IRQ4_A
37	29	20	—	P112	AGTOB0	—	GTIOC6B_A	—	—	SCK1_D/TXD2_B/MOSI2_B/SDA2_B	—	—	AUDIO_CLK_B	—	—	ADTRG0_C	—
38	—	—	—	P113	—	—	—	—	—	—	—	—	—	—	—	—	—
39	30	—	VCC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
40	31	—	VSS	—	—	—	—	—	—	—	—	—	—	—	—	—	—
41	—	—	—	P107	—	—	—	—	—	—	—	—	—	—	—	—	KR07
42	—	—	—	P106	—	—	—	—	—	—	—	SSLA3_A	—	—	—	—	KR06
43	—	—	—	P105	—	GTETRGA_C	GTIOC4A_B	—	—	—	—	SSLA2_A	—	—	—	—	KR05/IRQ0_B
44	32	—	—	P104	—	GTETRGB_B	GTIOC4B_B	—	—	RxD0_C/MISO0_C/SCL0_C	—	SSLA1_A	—	—	—	—	KR04/IRQ1_B
45	33	21	—	P103	—	GTOWUP_A	GTIOC5A_A	—	CRX0_C	CTS0_RTS 0_A/SS0_A	—	SSLA0_A	SSIBCK0_C	—	—	AN019	KR03/IRQ5_F
46	34	22	—	P102	AGTO0	GTOWLO_A	GTIOC5B_A	—	CTX0_C	SCK0_A/TXD2_D/MOSI2_D/SDA2_D	—	RSPCKA_A	SSILRCK0/SSIFS0_C	—	—	ADTRG0_A/AN020	KR02
47	35	23	—	P101	AGTEE0	GTETRGB_A	GTIOC8A_A	—	—	TXD0_A/MOSI0_A/SDA0_A/CTS1_RTS 1_A/SS1_A	—	MOSIA_A	SSITXD0_C	—	—	AN021	KR01/IRQ1_A
48	36	24	—	P100	AGTIO0_A	GTETRGA_A	GTIOC8B_A	—	—	RxD0_A/MISO0_A/SCL0_A/SCK1_A	—	MISOA_A	SSIRXD0_C	—	—	AN022	KR00/IRQ2_A
49	37	—	—	P500	—	GTIU_B	GTIOC5A_B	—	—	—	—	—	AUDIO_CLK_C	CLKA1_A	—	—	—
50	—	—	—	P501	—	GTIV_B	GTIOC5B_B	—	—	TXD1_C/MOSI1_C/SDA1_C	—	—	—	—	—	AN017	—
51	—	—	—	P502	—	GTIW_B	—	—	—	RxD1_C/MISO1_C/SCL1_C	—	—	—	—	—	AN018	—
52	38	25	—	P015	—	GTETRGB_E	—	—	—	—	—	—	—	RXDA1_A	—	AN010	IRQ7_A
53	39	26	—	P014	—	GTETRGA_E	—	—	—	—	—	—	—	TXDA1_A	—	AN009	IRQ6_C
54	40	27	—	P013	—	—	—	—	—	—	—	—	—	—	—	AN008	IRQ4_C
55	41	28	—	P012	—	—	—	—	—	—	—	—	—	—	—	AN007	IRQ1_C
56	42	29	AVCC0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
57	43	30	AVSS0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
58	44	31	VREFL0	P011	—	—	—	—	—	—	—	—	—	—	—	AN006	IRQ0_C

表 1.14 端子一覧 (3/3)

端子番号					タイマ				通信インタフェース							アナログ	HMI
LQFP 64 ピン	LQFP/QFN 48 ピン	LQFP/QFN 32 ピン	電源、システム、クロック、デバッグ、CAC	I/O ポート	AGTW	GPT_OPS、POEG	GPT	RTC	CAN	SCI	I3C	SPI	SSIE	UARTA	USBFS、USBCC	ADC	割り込み
59	45	32	VREFH0	P010	—	—	—	—	—	—	—	—	—	—	—	AN005	IRQ5_C
60	—	—	—	P004	—	—	—	—	—	—	—	—	—	—	—	AN004	IRQ3
61	—	—	—	P003	—	—	—	—	—	—	—	—	—	—	—	AN003	—
62	46	—	—	P002	—	—	—	—	—	—	—	—	—	—	—	AN002	IRQ2
63	47	—	—	P001	—	—	—	—	—	—	—	—	—	—	—	AN001	IRQ7
64	48	—	—	P000	—	—	—	—	—	—	—	—	—	—	—	AN000	IRQ6

注. いくつかの端子名には、_A、_B、_C、_D、_E、および_F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

2. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

VCC(注1) = AVCC0 = 1.6～5.5 V, VREFH0 = 1.6 V～AVCC0

VSS = AVSS0 = VREFL0 = 0 V, Ta = T_{opr}

注 1. 通常は VCC = 3.3 V に設定されています。

図 2.1 は、タイミング条件を示しています。

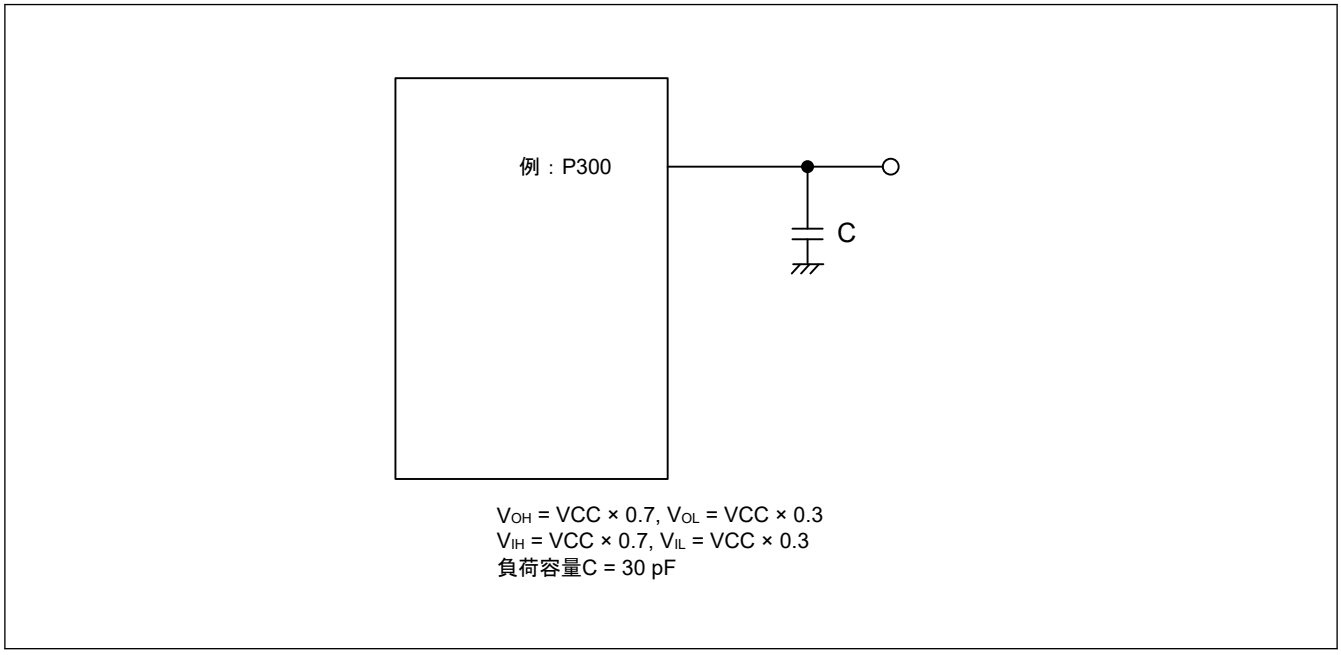


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5～+6.5	V
入力電圧	5 V トレラントポート(注1)	V_{in}	-0.3～+6.5	V
	P000～P004、P010～P015	V_{in}	–0.3～AVCC0 + 0.3	V
	その他	V_{in}	-0.3～VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3～+6.5	V
アナログ電源電圧		AVCC0	-0.5～+6.5	V
アナログ入力電圧	AN000～AN010 使用時	V_{AN}	–0.3～AVCC0 + 0.3	V
	AN017～AN022 使用時		-0.3～VCC + 0.3	V
動作温度(注2) (注3) (注4)		T_{opr}	-40～+105 -40～+125	℃
保存温度		T_{stg}	-55～+140	℃

注 1. ポート P400、P401、P407、P109、P110、P912、P913 は 5 V トレラント対応ポートです。
注 2. 「2.2.1. Tj/Ta の定義」を参照してください。

注 3. Ta = +105℃～+125℃でのディレーティング動作については、弊社営業窓口にお問い合わせください。
ディレーティングとは、信頼性を改善するために負荷を系統的に軽減することです。
注 4. 動作温度の上限は、105℃または 125℃です（製品による）。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VREFH0 端子と VREFL0 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- **VCC と VSS：約 0.1 μF**
- **AVCC0 と AVSS0：約 0.1 μF**
- **VREFH0 と VREFL0：約 0.1 μF**

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7 μF のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 2.2 推奨動作条件

項目	シンボル		Min	Typ	Max	単位
電源電圧	VCC(注1) (注2)		1.6	—	5.5	V
	VCC(注1) (注2) (注3)		3.0	—	3.6	V
	VSS		—	0	—	V
アナログ電源電圧	AVCC0(注1) (注2)		1.6	—	5.5	V
	AVSS0		—	0	—	V
	VREFH0	ADC12 基準として使用時	1.6	—	AVCC0	V
	VREFL0		—	0	—	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：
AVCC0 = VCC
注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。
VCC 端子および AVCC0 端子の電源供給を停止する場合、両方同時に電源供給を停止するか、最初に AVCC0 端子、次に VCC 端子の順番で電源供給を停止してください。
注 3. USB 2.0 フルスピードモジュール (USBFS)または USB Type-C インタフェースを使用する場合

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.3 DC 特性

条件：動作温度 (Ta) が-40～+125℃の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	140	℃	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード
			125(注1)		

注. $Tj = T_a + \theta ja \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CC}max \times VCC$ です。
注 1. 動作温度の上限は、125℃または 140℃です（製品による）。型名が動作温度の上限 105℃を示している場合、Tj の最大値は 125℃になります。それ以外の場合 140℃になります。

2.2.2 I/O V_{IH}、V_{IL}

表 2.4 I/O V_{IH}、V_{IL}

条件：VCC = AVCC0 = 1.6～5.5 V

項目	ポート&機能		シンボル	Min	Max	単位	測定条件
入力電圧	入力ポート端子 P000～P004、P010～P015		V_{IH}	AVCC0 × 0.8	—	V	—
			V_{IL}	—	AVCC0 × 0.2		
	以下を除く入力ポート端子：P000～P004、P010～P015		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
	EXTAL		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
	5 V トレラントポート(注2)		V_{IH}	VCC × 0.8	5.8		
			V_{IL}	—	VCC × 0.2		
	RES, NMI, IRQ		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
			ΔV_T(注4)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V
	周辺機能	AGT, GPT, SPI, その他 (注3)	V_{IH}	VCC × 0.8	—		—
			V_{IL}	—	VCC × 0.2		
			ΔV_T(注4)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V
		I3C（SMBus を除く）(注1)	V_{IH}	VCC × 0.7	5.8		—
			V_{IL}	—	VCC × 0.3		
			ΔV_T(注4)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V
		I3C (SMBus)(注1)	V_{IH}	2.2	—		VCC = 3.6～5.5 V
			V_{IL}	2.0	—		VCC = 2.7～3.6 V
			V_{IL}	—	0.8		VCC = 3.6～5.5 V
			V_{IL}	—	0.5		VCC = 2.7～3.6 V

注 1. SCL0_A, SDA0_A, SCL0_B, SDA0_B, SCL0_C, SDA0_C（合計 6 端子）
注 2. P400、P401、P407、P109、P110、P912、P913（合計 7 端子）
注 3. section x.x Peripheral Select Settings for Each Product を参照してください。
注 4. ΔVT 付き I/O ポートには、PMR = 1 または ISEL = 1 のとき、シュミットトリガの性能があります。周辺機能選択については、section x.x Peripheral Select Settings for Each Product を参照してください。

2.2.3 I/O I_{OH}、I_{OL}

表 2.5 I/O I_{OH}、I_{OL} (1/4)

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（端子ごとの最大値）	ポート P000～P004、P010～P015、P212、P213、P407	I_{OH}	—	—	-4.0	mA	—
		I_{OL}	—	—	8.0	mA	—
	ポート P400、P401、P109、P110、P912、P913	I_{OH}	—	—	-8.0	mA	—
		I_{OL}	—	—	15.0	mA	—
	その他の出力端子(注1)	I_{OH}	—	—	-4.0	mA	—
		I_{OL}	—	—	20.0	mA	—

表 2.5 I/O I_{OH}、I_{OL} (2/4)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	64 ピン製品	ポート P000～P004、P010～P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	AVCC0 = 2.7～5.5 V
				—	—	-8		AVCC0 = 1.8～2.7 V
				—	—	-4		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		AVCC0 = 2.7～5.5 V
				—	—	4		AVCC0 = 1.8～2.7 V
				—	—	2		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		ポート P204～P207、P400～P403、P407～P411、P912、P913 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		ポート P100～P113、P201、P300～P304、P500～P502 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-60	mA	—
			$\Sigma I_{OL\ (max)}$	—	—	100		—

表 2.5 I/O I_{OH}、I_{OL} (3/4)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	48 ピン製品	ポート P000～P002、P010～P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	AVCC0 = 2.7～5.5 V
				—	—	-8		AVCC0 = 1.8～2.7 V
				—	—	-4		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		AVCC0 = 2.7～5.5 V
				—	—	4		AVCC0 = 1.8～2.7 V
				—	—	2		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		ポート P206、P207、P400、P401、P407～P409、P912、P913 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		ポート P100～P104、P108～P112、P201、P300～P302、P500 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-60	mA	—
			$\Sigma I_{OL\ (max)}$	—	—	100		—

表 2.5 I/O I_{OH}、I_{OL} (4/4)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	32 ピン製品	ポート P010～P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-24	mA	AVCC0 = 2.7～5.5 V
				—	—	-6		AVCC0 = 1.8～2.7 V
				—	—	-3		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	48		AVCC0 = 2.7～5.5 V
				—	—	3.6		AVCC0 = 1.8～2.7 V
				—	—	1.8		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		他の出力ポートの合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 4.0～5.5 V
				—	—	-20		VCC = 2.7～4.0 V
				—	—	-12		VCC = 1.8～2.7 V
				—	—	-6		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 4.0～5.5 V
				—	—	20		VCC = 2.7～4.0 V
				—	—	8		VCC = 1.8～2.7 V
				—	—	4		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-54	mA	—
			$\Sigma I_{OL\ (max)}$	—	—	98		—

注 1. 入力ポートである P200、P214、P215 を除きます。

注 2. デューティー比 ≦ 70%の条件下での仕様です。
デューティー比 > 70%の場合、出力電流値は次式で計算できます（デューティー比を 70%から n%に変更するとき）。
端子の合計出力電流 = (I_{OH} × 0.7)/(n × 0.01)
<例> n = 80%で、I_{OH} = −30.0 mA のとき
端子の合計出力電流 = (-30.0 × 0.7)/(80 × 0.01) ≒ -26.2 mA
ただし、1 つの端子に入力可能な電流はデューティー比によって変化しません。

【使用上の注意】MCU の信頼性を確保するため、出力電流値は表 2.5 の値を超えないようにしてください。

2.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 2.6 I/O V_{OH}、V_{OL} (1)

条件：VCC = AVCC0 = 4.0～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P004、P010～P015	V_{OH}	AVCC0 - 0.8	—	—	V	I_{OH} = -4.0 mA
	ポート P400、P401、P109、P110、P912、P913	V_{OH}	VCC - 0.27	—	—		I_{OH} = -3.0 mA
			VCC - 0.8	—	—		I_{OH} = -8.0 mA
	P000～P004、P010～P015、P400、P401、P109、P110、P912、P913 以外の出力端子 (注1)	V_{OH}	VCC - 0.8	—	—		I_{OH} = -4.0 mA
	ポート P000～P004、P010～P015	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	ポート P212、P213、P407	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	ポート P400、P401、P109、P110、P912、P913	V_{OL}	—	—	0.27		I_{OL} = 3.0 mA
			—	—	0.4		I_{OL} = 9.0 mA
			—	—	0.8		I_{OL} = 15.0 mA
	P000～P004、P010～P015、P212、P213、P400、P401、P407、P109、P110、P912、P913 以外の出力端子(注1)	V_{OL}	—	—	1.2		I_{OL} = 20.0 mA

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.7 I/O V_{OH}、V_{OL} (2)

条件：VCC = AVCC0 = 2.7～4.0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P004、P010～P015	V_{OH}	AVCC0 - 0.8	—	—	V	I_{OH} = -4.0 mA
	ポート P400、P401、P109、P110、P912、P913	V_{OH}	VCC - 0.27	—	—		I_{OH} = -3.0 mA
			VCC - 0.8	—	—		I_{OH} = -8.0 mA
	P000～P004、P010～P015、P400、P401、P109、P110、P912、P913 以外の出力端子 (注1)	V_{OH}	VCC - 0.8	—	—		I_{OH} = -4.0 mA
	ポート P000～P004、P010～P015	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	ポート P400、P401、P109、P110、P912、P913	V_{OL}	—	—	0.27		I_{OL} = 3.0 mA
			—	—	0.4		I_{OL} = 9.0 mA
			—	—	0.8		I_{OL} = 15.0 mA
	P000～P004、P010～P015、P400、P401、P109、P110、P912、P913 以外の出力端子 (注1)	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.8 I/O V_{OH}、V_{OL} (3)

条件：VCC = AVCC0 = 1.6～2.7 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P004、P010～P015	V_{OH}	AVCC0 - 0.5	—	—	V	I_{OH} = -1.0 mA AVCC0 = 1.8～2.7 V
			AVCC0 - 0.5	—	—		I_{OH} = -0.5 mA AVCC0 = 1.6～1.8 V
	P000～P004、P010～P015 以外の出力端子(注1)	V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA VCC = 1.8～2.7 V
			VCC - 0.5	—	—		I_{OH} = -0.5 mA VCC = 1.6～1.8 V
	ポート P000～P004、P010～P015	V_{OL}	—	—	0.4		I_{OL} = 0.6 mA AVCC0 = 1.8～2.7 V
			—	—	0.4		I_{OL} = 0.3 mA AVCC0 = 1.6～1.8 V
	P000～P004、P010～P015 以外の出力端子(注1)	V_{OL}	—	—	0.4		I_{OL} = 0.6 mA VCC = 1.8～2.7 V
			—	—	0.4		I_{OL} = 0.3 mA VCC = 1.6～1.8 V

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.9 I/O その他の特性

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200、P214、P215	$\lvert I_{in} \rvert$	—	—	1.0	μA	V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラントポート(注1)	$\lvert I_{TSI} \rvert$	—	—	1.0	μA	V_{in} = 0 V V_{in} = 5.8 V
	その他のポート （P200、P214、P215、5 V トレラント対応ポートを除く）		—	—	1.0		V_{in} = 0 V V_{in} = VCC
入力プルアップ抵抗	全ポート （P200、P214、P215 を除く）	R_U	10	20	100	kΩ	V_{in} = 0 V
入力容量	P200	C_{in}	—	—	30	pF	V_{in} = 0 V f = 1 MHz T_a = 25 °C
	その他の入力端子		—	—	15		

注 1. P400、P401、P407、P109、P110、P912、P913（合計 7 端子）

2.2.5 動作電流とスタンバイ電流

表 2.10 動作電流とスタンバイ電流 (1) (1/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注10)	Max	単位	測定条件
消費電流 (注1)	High-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 48 MHz	I_{CC}	4.20	—	mA	(注7) (注11)
				ICLK = 32 MHz		3.00	—		(注7)
				ICLK = 16 MHz		1.85	—		
				ICLK = 8 MHz		1.25	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 48 MHz		—	11.70		(注9)(注11)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 48 MHz		1.00	—		(注7)
				ICLK = 32 MHz		0.80	—		(注7)
				ICLK = 16 MHz		0.65	—		
				ICLK = 8 MHz		0.55	—		
			すべての周辺クロックが有効(注5)	ICLK = 48 MHz		4.45	—		(注9)
				ICLK = 32 MHz		3.95	—		(注8)
				ICLK = 16 MHz		2.20	—		
				ICLK = 8 MHz		1.35	—		
		BGO 動作時の増加分(注6)				2.05	—		—

表 2.10 動作電流とスタンバイ電流 (1) (2/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注10)	Max	単位	測定条件
消費電流 (注1)	Middle-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 24 MHz	I_{CC}	2.30	—	mA	(注7)
				ICLK = 4 MHz		0.80	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 24 MHz		—	7.40		(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 24 MHz		0.65	—		(注7)
				ICLK = 4 MHz		0.55	—		
			すべての周辺クロックが有効(注5)	ICLK = 24 MHz		3.00	—		(注8)
				ICLK = 4 MHz		0.90	—		
		BGO 動作時の増加分(注6)				1.85	—		—
	Low-speed モード(注3)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 2 MHz		0.28	—	mA	(注7)
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 2 MHz		—	2.40		(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 2 MHz		0.12	—		(注7)
			すべての周辺クロックが有効(注5)	ICLK = 2 MHz		0.31	—		(注8)
	Subosc-speed モード(注4)	通常モード	すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 32.768 kHz		—	162	μA	(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 32.768 kHz		1.90	—		(注8)
			すべての周辺クロックが有効(注5)	ICLK = 32.768 kHz		4.95	—		(注8)

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
注 2. クロックソースは HOCO です。
注 3. クロックソースは MOCO です。
注 4. クロックソースはサブクロック発振器です。
注 5. BGO 動作は含まれません。
注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム／イレースを実行した場合の増加分です。
注 7. PCLKB と PCLKD は、64 分周に設定されています。
注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。
注 9. PCLKB は 2 分周に設定されています。PCLKD は ICLK と同じ周波数です。
注 10. VCC = 3.3 V
注 11. プリフェッチバッファは動作しています。

表 2.11 動作電流とスタンバイ電流 (2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注3)	Max	単位	測定条件
消費電流(注1)	ソフトウェアスタンバイモード(注2)	周辺モジュール停止	すべての SRAM（0x2000_4000～0x2000_7FFF）がオン	T_a = 25℃	I_{CC}	0.25	1.3	μA	—
				T_a = 55℃		0.45	4.3		
				T_a = 85℃		1.25	15		
				T_a = 105℃		2.80	37		
				T_a = 125℃		6.85	89		
			8 KB SRAM (0x2000_4000～0x2000_5FFF) のみがオン	T_a = 25℃		0.25	1.3		
				T_a = 55℃		0.45	4.3		
				T_a = 85℃		1.20	15		
				T_a = 105℃		2.70	37		
				T_a = 125℃		6.40	89		
		低速オンチップオシレータでの RTC 動作時増加分(注4)				0.3	—		—
		サブクロック発振器での通常動作モードの RTC 動作時増加分(注4)				0.2	—		SOMCR.SODRV[1:0] = 11b（低消費電力モード 3） RCR4.ROPSEL = 0（通常動作モードの RTC 動作）
						0.95	—		SOMCR.SODRV[1:0] = 00b（通常モード） RCR4.ROPSEL = 0（通常動作モードの RTC 動作）
		サブクロック発振器での低消費電力クロックモードの RTC 動作時増加分(注4)				0.15	—		SOMCR.SODRV[1:0] = 11b（低消費電力モード 3） RCR4.ROPSEL = 1（低消費電力クロックモードの RTC 動作）
						0.9	—		SOMCR.SODRV[1:0] = 00b（通常モード） RCR4.ROPSEL = 1（低消費電力クロックモードの RTC 動作）

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
注 2. IWDT と LVD は動作していません。
注 3. VCC = 3.3 V
注 4. 低速オンチップオシレータまたはサブ発振回路の電流を含みます。

表 2.12 動作電流とスタンバイ電流 (3) (1/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	12 ビット A/D 変換中（高速 A/D 変換モード時）	I_{AVCC0}	—	—	1.44	mA	—
	12 ビット A/D 変換中（低消費電力 A/D 変換モード時）		—	—	0.78	mA	—
	12 ビット A/D 変換待機中（全ユニット）(注1)		—	—	1.0	μA	—
基準電源電流	12 ビット A/D 変換中	I_{REFH0}	—	—	120	μA	—
	12 ビット A/D 変換待機中		—	—	60	nA	—

表 2.12 動作電流とスタンバイ電流 (3) (2/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
温度センサ (TSN) 動作電流			I_{TNS}	—	95	—	μA	—
USBFS 動作電流	ロースピード	動作	I_{USBFS}	—	1.36	6	mA	—
		スタンバイ		—	69	200	μA	
	フルスピード	動作		—	1.68	8	mA	
		スタンバイ		—	551	860	μA	
USBCC 動作電流	接続 SRC(注2)		I_{USBCC}	—	0.53	0.73	mA	—
	接続 SRC VRD-3.0(注3)			—	0.55	0.82	mA	—
	パワーダウン(注4)			—	0.01	0.02	μA	—

注 1. MCU がソフトウェアスタンバイモードまたは MSTPCRD.MSTPD16（ADC120 モジュールストップビット）がモジュールストップ状態の場合
注 2. 有効ブロックはレギュレータ + VRADET (CCIO1 + CCIO2)
注 3. 有効ブロックはレギュレータ + SNKVRD15DET + SNKVRD30DET
注 4. CCC.PDOWN = 0 の場合

2.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.13 VCC 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり勾配	起動時電圧監視 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧監視 0 リセット有効(注1) (注2)				—		
	SCI ブートモード(注2)				2		

注 1. OFS1.LVDAS = 0 のとき
注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 からのリセットは無効です。

表 2.14 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = 1.6～5.5 V
リップル電圧は、VCC 上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_{r(VCC)}$を満たす必要があります。
VCC 変動が VCC±10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\ (VCC)}$	—	—	10	kHz	図 2.2 $V_{r\ (VCC)} \leqq VCC \times 0.2$
		—	—	1	MHz	図 2.2 $V_{r\ (VCC)} \leqq VCC \times 0.08$
		—	—	10	MHz	図 2.2 $V_{r\ (VCC)} \leqq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が VCC±10%を超える場合

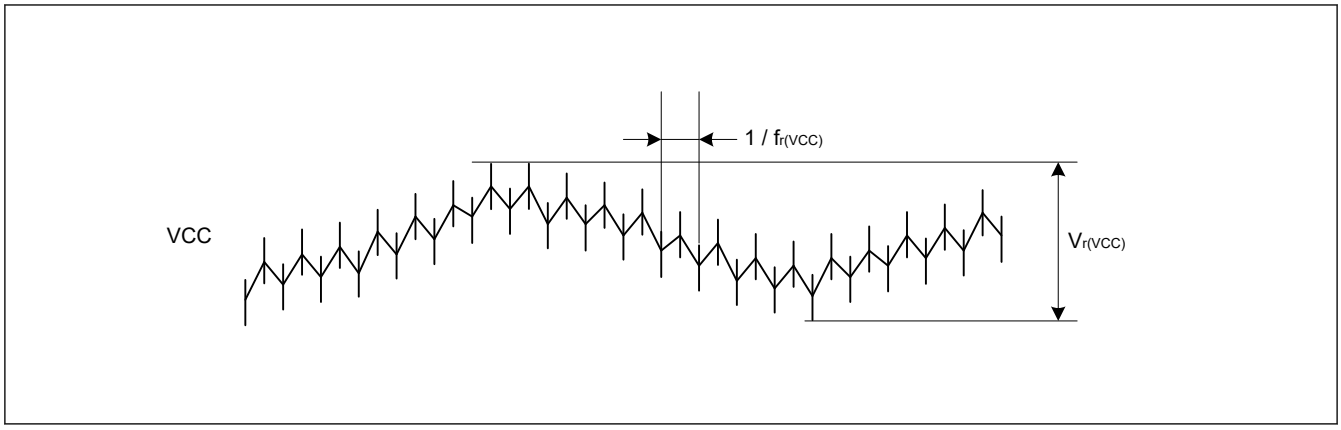


図 2.2　リップル波形

2.2.7　熱特性

ジャンクション温度 (Tj) の最大値は、「2.2.1. Tj/Ta の定義」の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力

  Tj：ジャンクション温度 (°C)

  Ta：周囲温度 (°C)

  Tt：ケース上面中央部温度 (°C)

  θja：「ジャンクション」-「周囲」間の熱抵抗 (°C/W)

  Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗 (°C/W)
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (IOL × VOL) / 電圧 + Σ (|IOH| × |VCC – VOH|) / 電圧
- IO のダイナミック電流 = Σ IO (Cin + Cload) × IO のスイッチング周波数 × 電圧

  Cin：入力容量

  Cload：出力容量

θja と Ψjt については、表 2.15 を参照してください。

表 2.15　熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	32 ピン HWQFN	θja	22.5	°C/W	JESD 51-2 および 51-7 準拠
	48 ピン HWQFN		19.0		
	32 ピン LQFP		60.9		
	48 ピン LQFP		62.4		
	64 ピン LQFP 0.5 mm ピッチ		53.6		
	32 ピン HWQFN	Ψjt	0.20	°C/W	JESD 51-2 および 51-7 準拠
	48 ピン HWQFN		0.18		
	32 ピン LQFP		2.50		
	48 ピン LQFP		2.50		
	64 ピン LQFP 0.5 mm ピッチ		2.00		

注 1.　値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

2.3 AC 特性

2.3.1 周波数

表 2.16 High-speed 動作モードの動作周波数

条件：VCC = AVCC0 = 1.8～5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8～5.5 V	f	0.032768	—	48	MHz
	周辺モジュールクロック (PCLKB)	1.8～5.5 V		—	—	32	
	周辺モジュールクロック (PCLKD)(注3)	1.8～5.5 V		—	—	64	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.20 を参照してください。

表 2.17 Middle-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8～5.5 V	f	0.032768	—	24	MHz
		1.6～1.8 V		0.032768	—	4	
	周辺モジュールクロック (PCLKB)	1.8～5.5 V		—	—	24	
		1.6～1.8 V		—	—	4	
	周辺モジュールクロック (PCLKD)(注3)	1.8～5.5 V		—	—	24	
		1.6～1.8 V		—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.20 を参照してください。

表 2.18 Low-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.6～5.5 V	f	0.032768	—	2	MHz
	周辺モジュールクロック (PCLKB)	1.6～5.5 V		—	—	2	
	周辺モジュールクロック (PCLKD)(注3)	1.6～5.5 V		—	—	2	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。
注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.20 を参照してください。

表 2.19 Subosc-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注1)	1.6～5.5 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB)	1.6～5.5 V		—	—	37.6832	
	周辺モジュールクロック (PCLKD)(注2)	1.6～5.5 V		—	—	37.6832	

注 1. フラッシュメモリのプログラムおよびイレースはできません。

注 2. ADC12 は使用できません。

2.3.2 クロックタイミング

表 2.20 クロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 2.3
EXTAL 外部クロック入力 High レベルパルス幅	t_{XH}	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{XL}	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL 外部クロック入力待機時間(注1)	t_{EXWT}	0.3	—	—	μs	—
EXTAL 外部クロック入力周波数	f_{EXTAL}	—	—	20	MHz	1.8 V ≦ VCC ≦ 5.5 V
		—	—	4		1.6 V ≦ VCC < 1.8 V
メインクロック発振器発振周波数	f_{MAIN}	1	—	20	MHz	1.8 V ≦ VCC ≦ 5.5 V
		1	—	4		1.8 V ≦ VCC ≦ 5.5 V
LOCO クロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t_{LOCO}	—	—	100	μs	図 2.4
IWDT 専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t_{MOCO}	—	—	1	μs	—
HOCO クロック発振周波数	f_{HOCO24}	23.76	24	24.24	MHz	Ta = -40～125 °C 1.6 V ≦ VCC ≦ 5.5 V
	f_{HOCO32}	31.68	32	32.32		Ta = -40～125 °C 1.6 V ≦ VCC ≦ 5.5 V
	f_{HOCO48}	47.52	48	48.48		Ta = -40～125 °C 1.6 V ≦ VCC ≦ 5.5 V
	f_{HOCO64}	63.36	64	64.64		Ta = -40～125 °C 1.6 V ≦ VCC ≦ 5.5 V
HOCO クロック発振安定待機時間(注3) (注4)	t_{HOCO24} t_{HOCO32} t_{HOCO48} t_{HOCO64}	—	6.7	7.7	μs	図 2.5
サブクロック発振器発振周波数	f_{SUB}	—	32.768	—	kHz	—
サブクロック発振安定時間(注2)	t_{SUBOSC}	—	0.5	—	s	図 2.6

注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0（動作中）にしてからクロックが使用できるようになるまでの時間

注 2. サブクロック発振器の動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、サブクロック発振器は、必ずサブクロック発振安定待機時間が経過してから使用を開始してください。サブクロック発振安定待機時間には、発振器製造者の推奨値を使用してください。

注 3. MOCO 停止状態で HOCOCR.HCSTP ビットを 0（発振）にした場合の特性です。MOCO 発振中に HOCOCR.HCSTP ビットを 0（動作）にすると、この仕様は 1 μs 短くなります。

注 4. OSCSF.HOCOSF を確認して、安定時間が経過したかを確認してください。

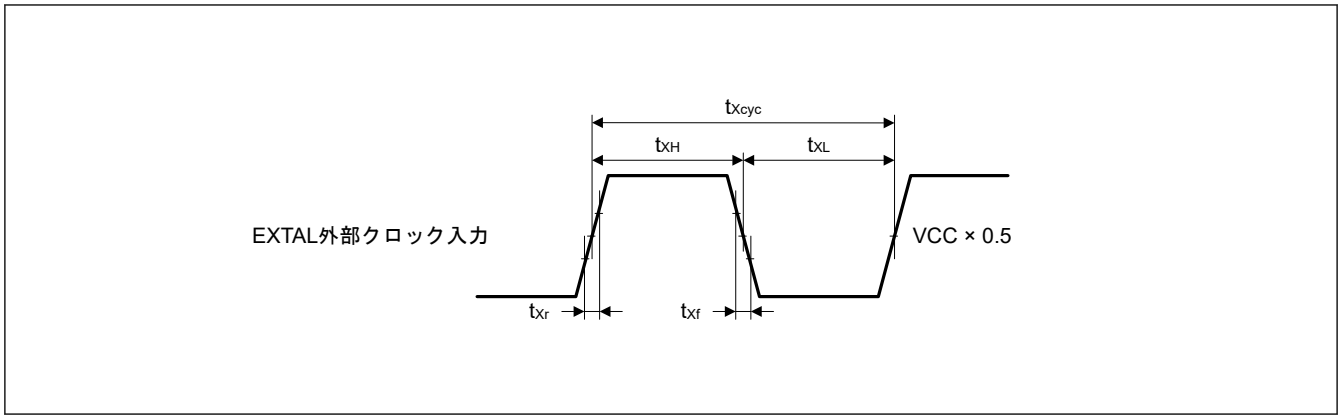


図 2.3　EXTAL 外部クロック入力タイミング

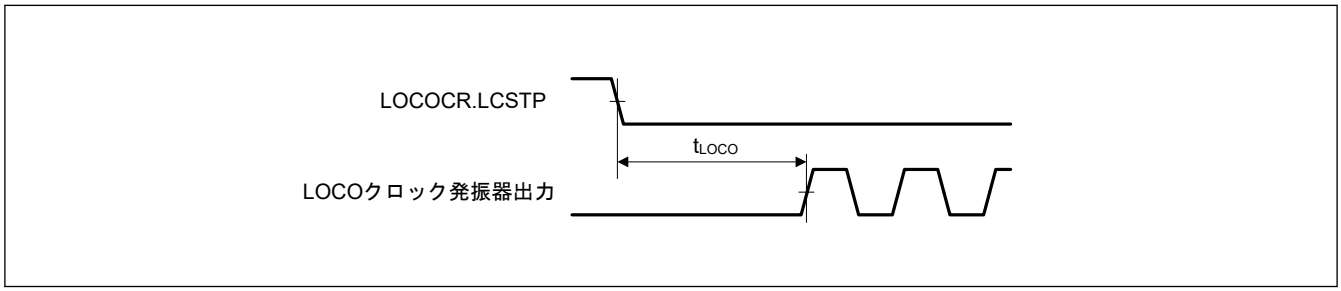
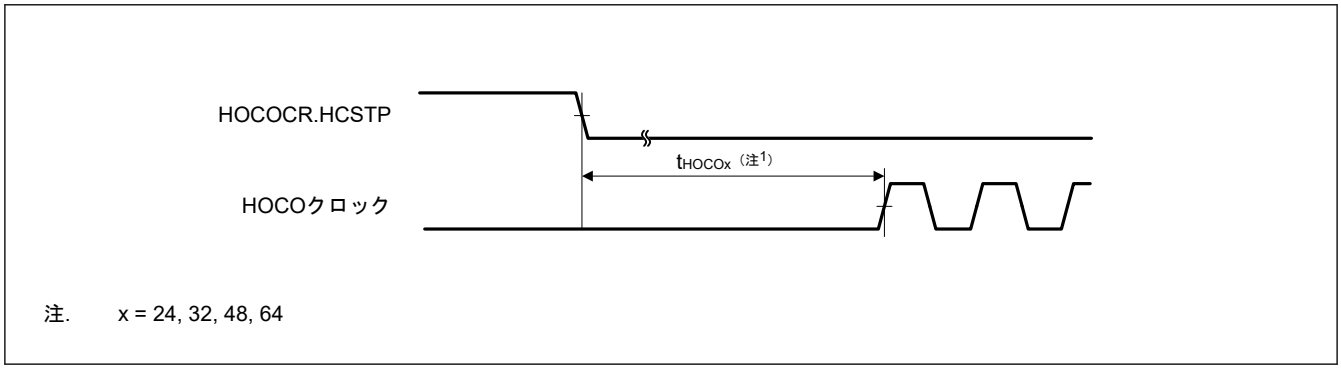


図 2.4　LOCO クロック発振開始タイミング



注.　x = 24, 32, 48, 64

図 2.5　HOCO クロック発振開始タイミング（HOCOCR.HCSTP ビット設定により開始）

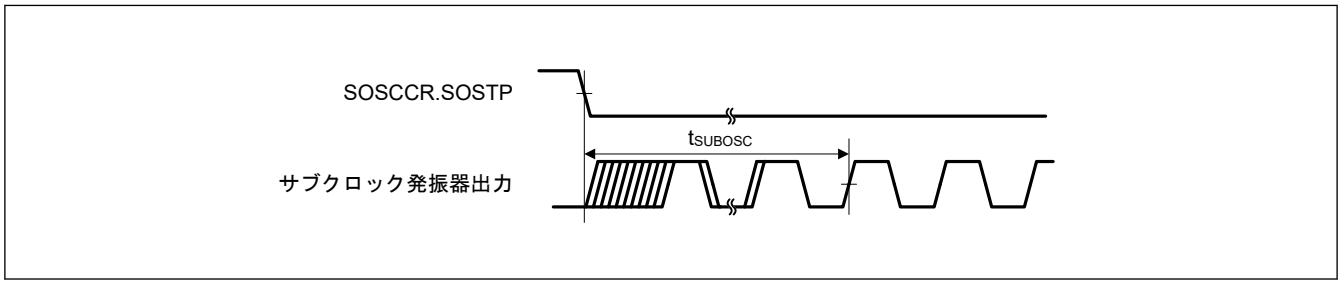


図 2.6　サブクロック発振開始タイミング

2.3.3　リセットタイミング

表 2.21　リセットタイミング (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	t_{RESWP}	10	—	—	ms	図 2.7
	電源投入時以外	t_{RESW}	30	—	—	μs	図 2.8

表 2.21 リセットタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES 解除後の待機時間（電源投入時）	LVD0 有効(注1)	t_{RESWT}	—	0.9	—	ms	図 2.7
	LVD0 無効(注2)		—	0.2	—		
RES 解除後の待機時間（電源投入中）	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 2.8
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間（ウォッチドッグタイマリセット、SRAM パリティエラーリセット、バスマスタ MPU エラーリセット、バススレーブ MPU エラーリセット、スタックポインタエラーリセット、ソフトウェアリセット）	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 2.9
	LVD0 無効(注2)		—	0.15	—		

注 1. OFS1.LVDAS = 0 のとき
注 2. OFS1.LVDAS = 1 のとき

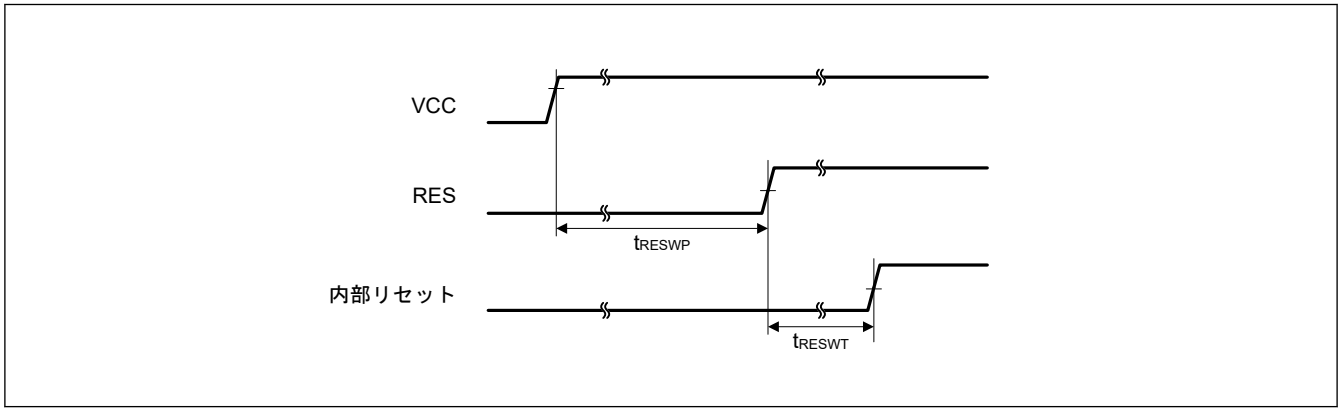


図 2.7 電源投入時リセット入力タイミング

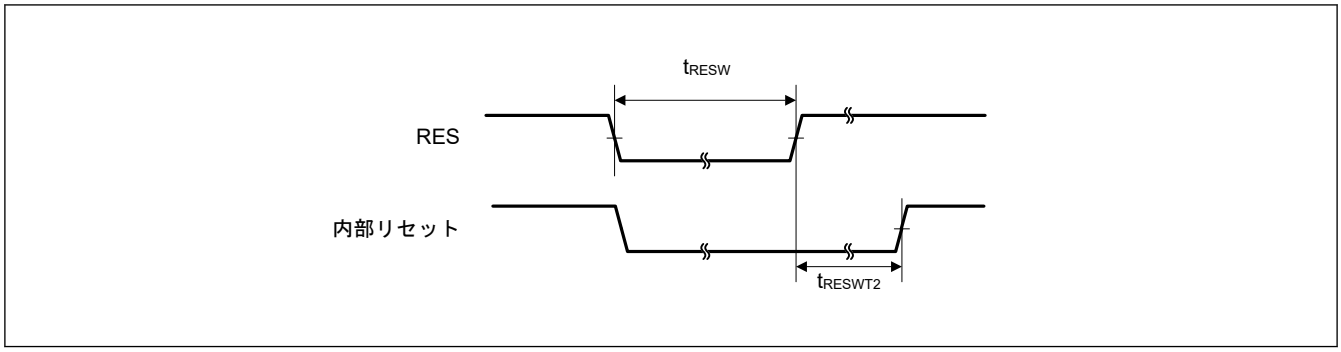


図 2.8 リセット入力タイミング (1)

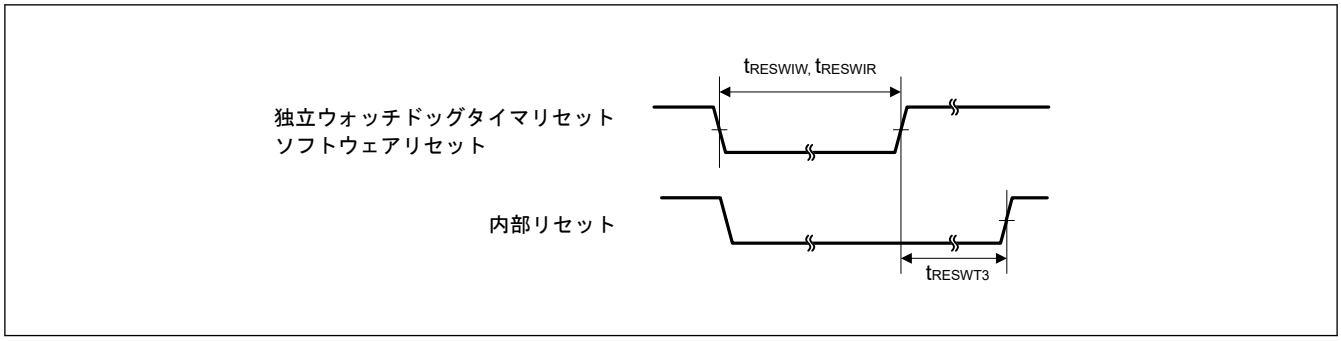


図 2.9 リセット入力タイミング (2)

2.3.4 ウェイクアップ時間

表 2.22 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 2.10
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3)	t_{SBYEX}	—	2.4	3.1	µs	
		システムクロックソースは HOCO (HOCO クロックは 32 MHz) (注4)		t_{SBYHO}	—	7.4	9.1	µs	
		システムクロックソースは HOCO (HOCO クロックは 48 MHz) (注5)		t_{SBYHO}	—	7.3	8.9	µs	
		システムクロックソースは HOCO (HOCO クロックは 64 MHz) (注4)		t_{SBYHO}	—	7.4	9.1	µs	
		システムクロックソースは MOCO (8 MHz)		t_{SBYMO}	—	4	5	µs	

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。
注 4. システムクロックは 32 MHz です。
注 5. システムクロックは 48 MHz です。

表 2.23 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 2.10
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3) VCC = 1.8 V～5.5 V	t_{SBYEX}	—	2.4	3.1	µs	
			システムクロックソースはメインクロック発振器 (20 MHz)(注3) VCC = 1.6 V～1.8 V		—	11.7	13		
		システムクロックソースは HOCO(注4)	VCC = 1.8 V～5.5 V	t_{SBYHO}	—	7.7	9.4	µs	
			VCC = 1.6 V～1.8 V	t_{SBYMO}	—	15.7	17.9		
		システムクロックソースは MOCO (8 MHz)	VCC = 1.8 V～5.5 V		—	4	5	µs	
			VCC = 1.6 V～1.8 V		—	7.2	9		

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。
注 4. システムクロックは 24 MHz です。

表 2.24　低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (2 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 2.10
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (2 MHz)(注3)	t_{SBYEX}	—	14.5	16	μs	
		システムクロックソースは MOCO (2 MHz)		t_{SBYMO}	—	12	15	μs	

注 1.　ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

表 2.25　低消費電力モードからの復帰タイミング (4)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768 kHz)	t_{SBYSC}	—	0.85	1	ms	図 2.10
		システムクロックソースは LOCO (32.768 kHz)	t_{SBYLO}	—	0.85	1.2	ms	

注 1.　Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

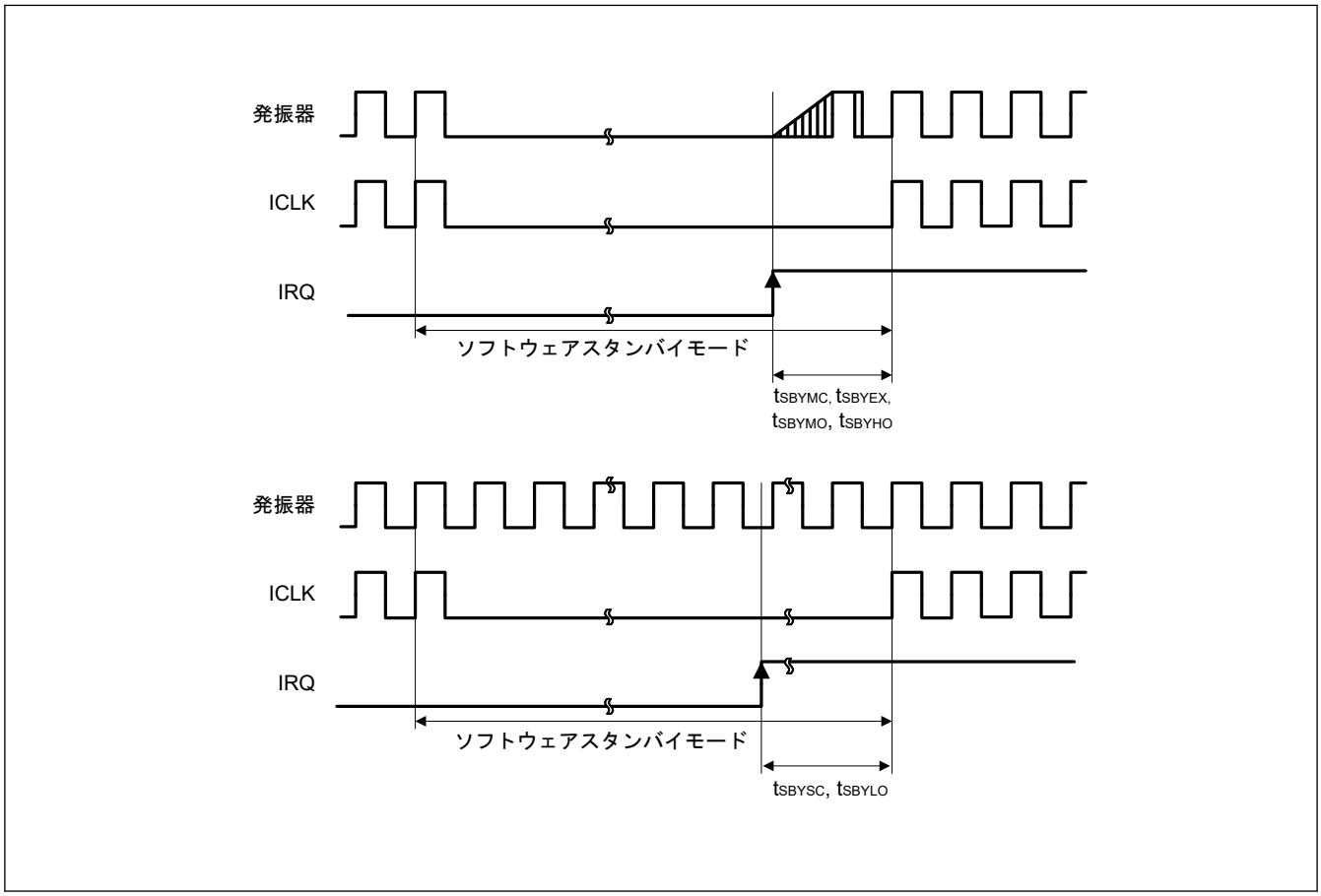
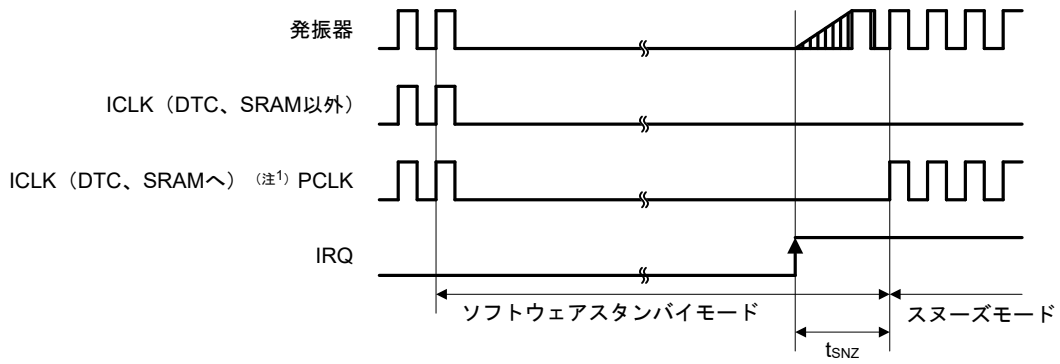


図 2.10　ソフトウェアスタンバイモード解除タイミング

表 2.26 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	t_{SNZ}	—	6.6	8.1	μs	図 2.11
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V～5.5 V	t_{SNZ}	—	6.7	8.2	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V～1.8 V	t_{SNZ}	—	10.8	12.9	μs	
	Low-speed モード システムクロックソースは MOCO (2 MHz)	t_{SNZ}	—	6.7	8.0	μs	



注 1. SNZCR.SNZDTCEN ビットが 1 の時、ICLK が DTC と SRAM に供給されます。

図 2.11 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.27 NMI/IRQ ノイズフィルタ (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2$ ≦ 200 ns
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2$ > 200 ns
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3$ ≦ 200 ns
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3$ > 200 ns

表 2.27 NMI/IRQ ノイズフィルタ (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leqq 200$ ns
		$t_{IRQCK} \times 3.5$(注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

注. ソフトウェアスタンバイモード時は最小 200 ns です。
注. クロックソースを切り替える場合、切り替えられるクロックソースの 4 クロックサイクルを足す必要があります。
注 1. t_{Pcyc} は PCLKB の周期を意味します。
注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。
注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します（i = 0～7）。

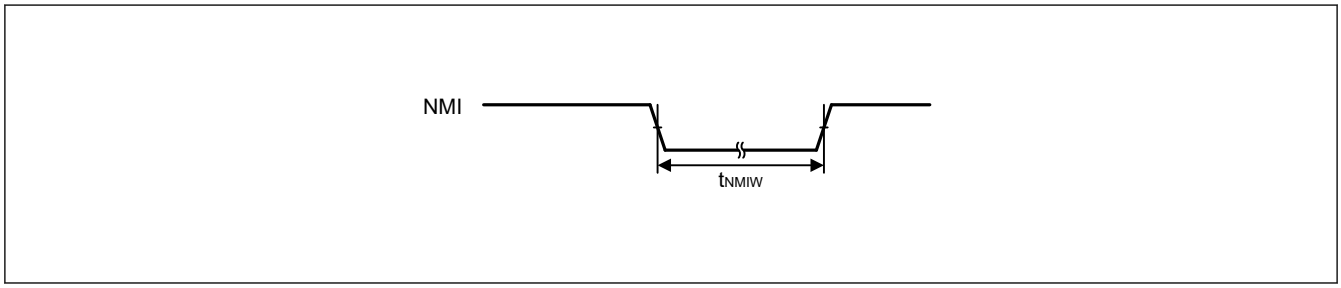


図 2.12 NMI 割り込み入力タイミング

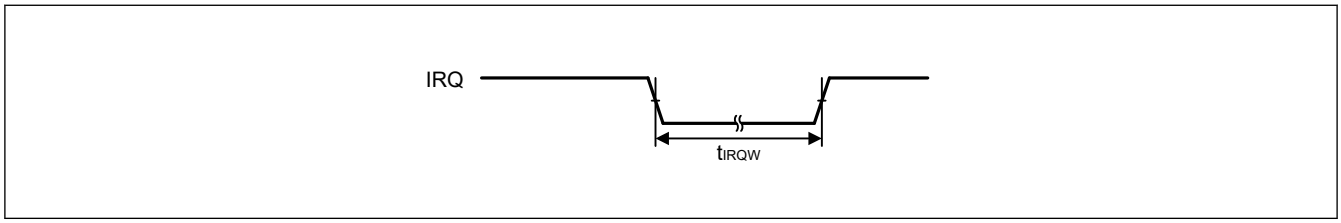


図 2.13 IRQ 割り込み入力タイミング

2.3.6 I/O ポート、POEG、GPT、AGTW、KINT、ADC12 のトリガタイミング

表 2.28 I/O ポート、POEG、GPT、AGT、KINT、ADC12 のトリガタイミング (1/2)

項目			シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅	2.7 V≦VCC≦5.5 V	t_{PRW}	2	—	t_{Pcyc}	図 2.14
		2.4 V≦VCC < 2.7 V		3			
		1.6 V≦VCC < 2.4 V		4			
POEG	POEG 入力トリガパルス幅		t_{POEW}	3	—	t_{Pcyc}	図 2.15
GPT	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	—	t_{PDcyc}	図 2.16
		両エッジ		2.5	—		

表 2.28 I/O ポート、POEG、GPT、AGT、KINT、ADC12 のトリガタイミング (2/2)

項目			シンボル	Min	Max	単位	測定条件
AGTW	AGTIO、AGTEE 入力サイクル	1.8 V≦VCC≦5.5 V	t_{ACYC}(注1)	250	—	ns	図 2.17
		1.6 V≦VCC < 1.8 V		2000	—	ns	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	1.8 V≦VCC≦5.5 V	t_{ACKWH}, t_{ACKWL}	100	—	ns	
		1.6 V≦VCC < 1.8 V		800	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	2.7 V≦VCC≦5.5 V	t_{ACYC2}	62.5	—	ns	図 2.17
		2.4 V≦VCC < 2.7 V		125	—	ns	
		1.8 V≦VCC < 2.4 V		250	—	ns	
		1.6 V≦VCC < 1.8 V		500	—	ns	
ADC12	12 ビット A/D コンバータトリガ入力パルス幅		t_{TRGW}	1.5	—	t_{Pcyc}	図 2.18
KINT	KRn（n = 00〜07）パルス幅		t_{KR}	250	—	ns	図 2.19

注 1. AGTIO 入力の制約：t_{Pcyc} × 2（t_{Pcyc}: PCLKB サイクル）< t_{ACYC}

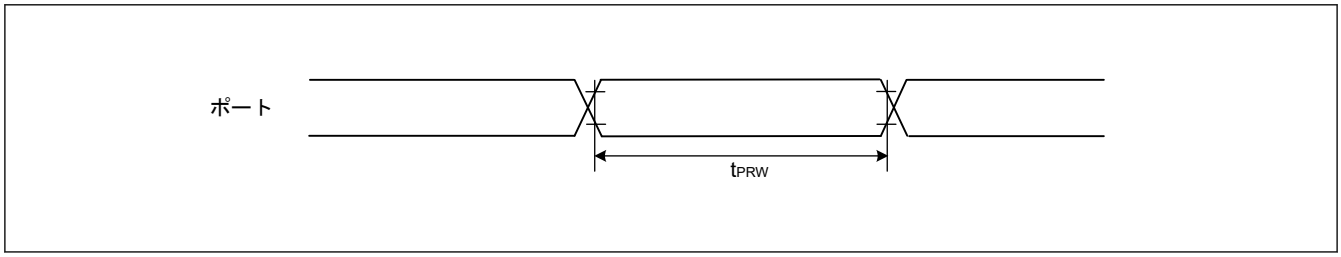


図 2.14 I/O ポート入力タイミング

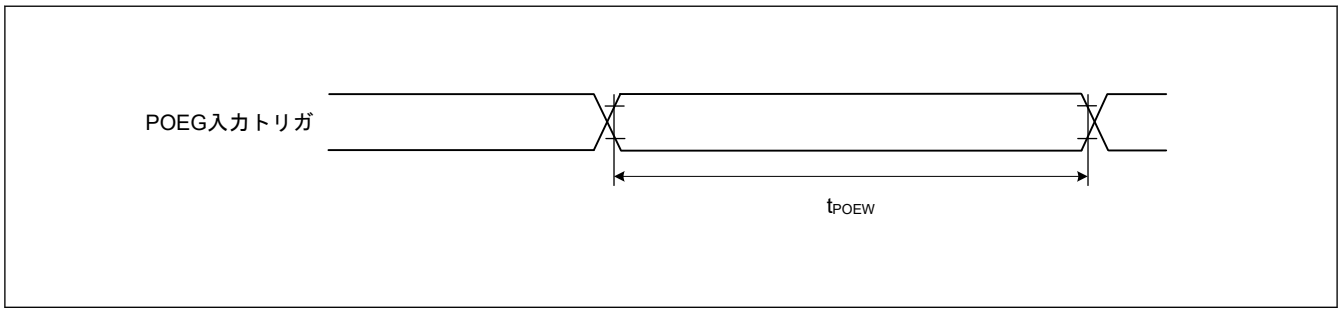


図 2.15 POEG 入力トリガタイミング

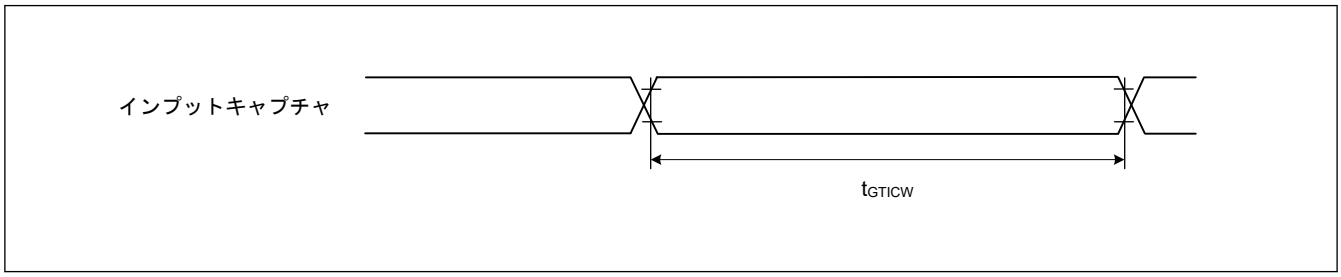


図 2.16 GPT インプットキャプチャタイミング

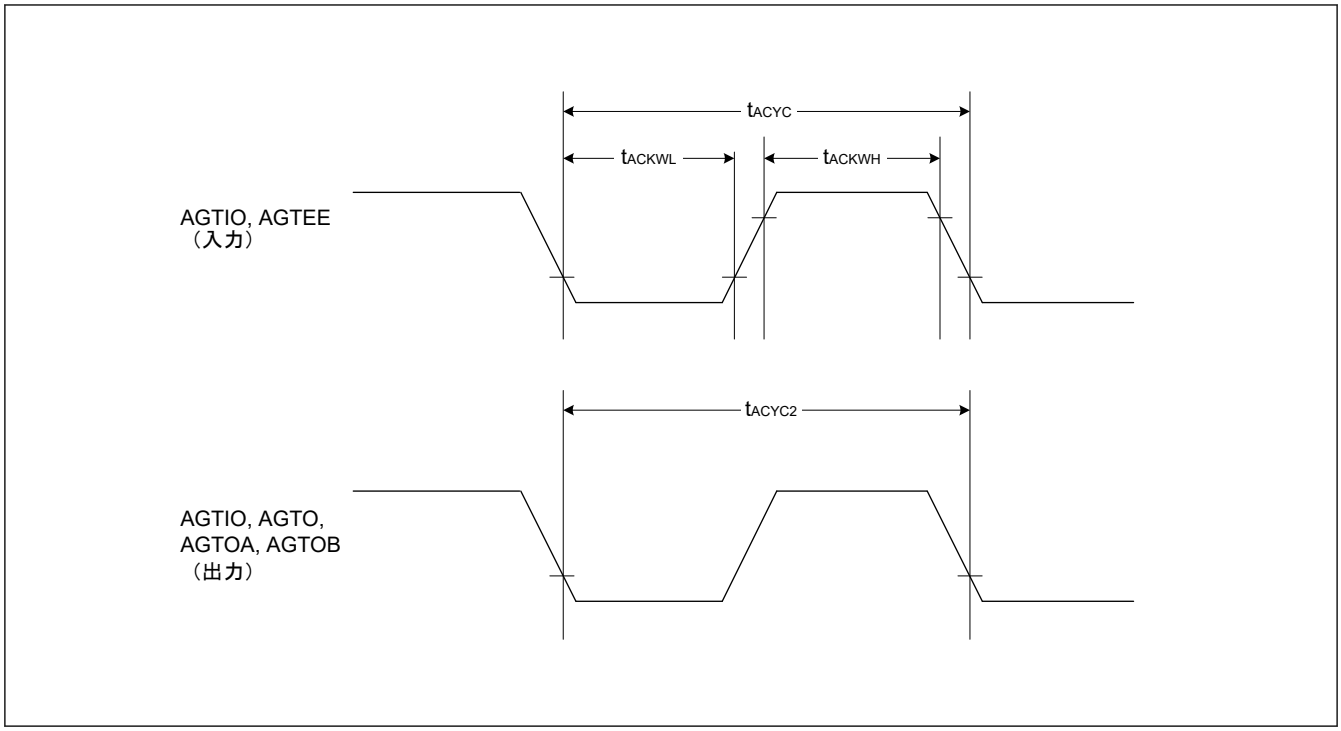


図 2.17　AGTW I/O タイミング

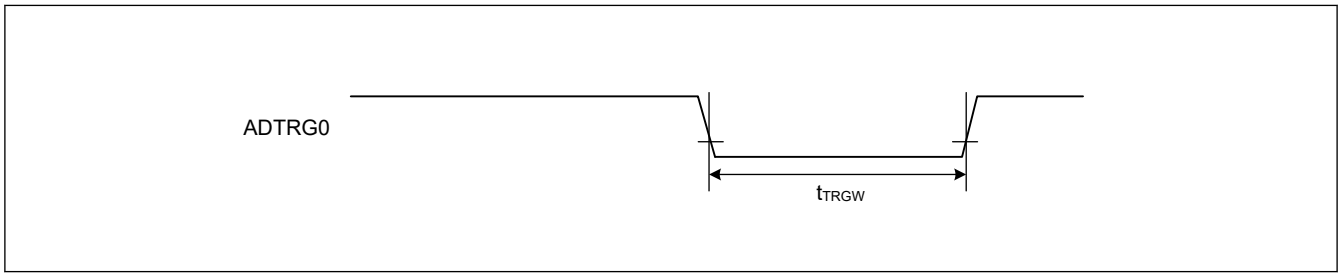
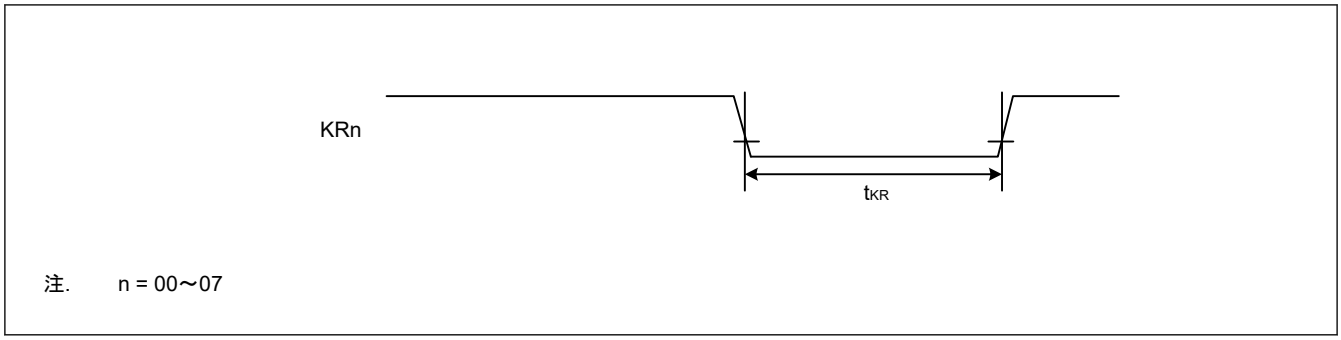


図 2.18　ADC12 トリガ入力タイミング



注.　n = 00～07

図 2.19　キー割り込み入力タイミング

2.3.7 CAC タイミング

表 2.29 CAC タイミング

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	t_{Pcyc}(注1)≦ t_{CAC}(注2)	t_{CACREF}	4.5 × t_{CAC} + 3 × t_{Pcyc}	—	—	ns	—
		t_{Pcyc}(注1) > t_{CAC}(注2)		5 × t_{CAC} + 6.5 × t_{Pcyc}	—	—	ns	

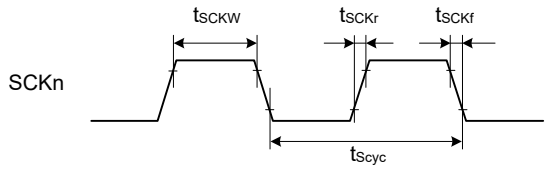
注 1. t_{Pcyc}：PCLKB の周期
注 2. t_{CAC}：CAC カウントクロックソースの周期

2.3.8 SCI タイミング

表 2.30 SCI タイミング (1)

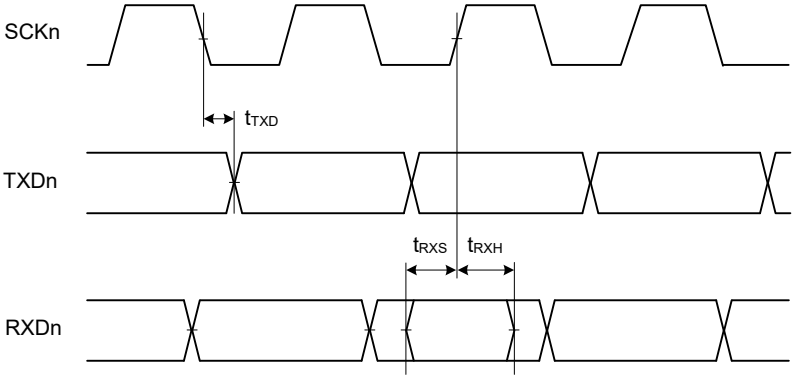
条件：VCC = AVCC0 = 1.6～5.5 V

項目				シンボル	Min	Max	単位	測定条件
SCI	入力クロックサイクル	調歩同期式	2.7 V≦VCC≦5.5 V	t_{Scyc}	125	—	ns	図 2.20
			2.4 V≦VCC < 2.7 V		250	—		
			1.8 V≦VCC < 2.4 V		500	—		
			1.6 V≦VCC < 1.8 V		1000	—		
		クロック同期式	2.7 V≦VCC≦5.5 V		187.5	—		
			2.4 V≦VCC < 2.7 V		375	—		
			1.8 V≦VCC < 2.4 V		750	—		
			1.6 V≦VCC < 1.8 V		1500	—		
	入力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間			t_{SCKr}	—	20	ns	
	入力クロック立ち下がり時間			t_{SCKf}	—	20	ns	
	出力クロックサイクル	調歩同期式	2.7 V≦VCC≦5.5 V	t_{Scyc}	187.5	—	ns	
			2.4 V≦VCC < 2.7 V		375	—		
			1.8 V≦VCC < 2.4 V		750	—		
			1.6 V≦VCC < 1.8 V		1500	—		
		クロック同期式	2.7 V≦VCC≦5.5 V		125	—		
			2.4 V≦VCC < 2.7 V		250	—		
			1.8 V≦VCC < 2.4 V		500	—		
			1.6 V≦VCC < 1.8 V		1000	—		
	出力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		1.8 V≦VCC≦5.5 V	t_{SCKr}	—	20	ns	
			1.6 V≦VCC < 1.8 V		—	30		
	出力クロック立ち下がり時間		1.8 V≦VCC≦5.5 V	t_{SCKf}	—	20	ns	
			1.6 V≦VCC < 1.8 V		—	30		
	送信データ遅延時間（マスタ）	クロック同期式	1.8 V≦VCC≦5.5 V	t_{TXD}	—	40	ns	図 2.21
			1.6 V≦VCC < 1.8 V		—	45		
	送信データ遅延時間（スレーブ）	クロック同期式	2.7 V≦VCC≦5.5 V		—	55	ns	
			2.4 V≦VCC < 2.7 V		—	60		
			1.8 V≦VCC < 2.4 V		—	100		
			1.6 V≦VCC < 1.8 V		—	125		
	受信データセットアップ時間（マスタ）	クロック同期式	2.7 V≦VCC≦5.5 V	t_{RXS}	45	—	ns	
			2.4 V≦VCC < 2.7 V		55	—		
			1.8 V≦VCC < 2.4 V		90	—		
			1.6 V≦VCC < 1.8 V		110	—		
	受信データセットアップ時間（スレーブ）	クロック同期式	2.7 V≦VCC≦5.5 V		40	—	ns	
			1.6 V≦VCC < 2.7 V		45	—		
	受信データホールド時間（マスタ）	クロック同期式		t_{RXH}	5	—	ns	
	受信データホールド時間（スレーブ）	クロック同期式		t_{RXH}	40	—	ns	



注. n = 0～2, 9

図 2.20 SCK クロック入力タイミング



注. n = 0～2, 9

図 2.21 クロック同期式モードにおける SCI 入出力タイミング

表 2.31 SCI タイミング (2) (1/2)

条件：VCC = AVCC0 = 1.6～5.5 V

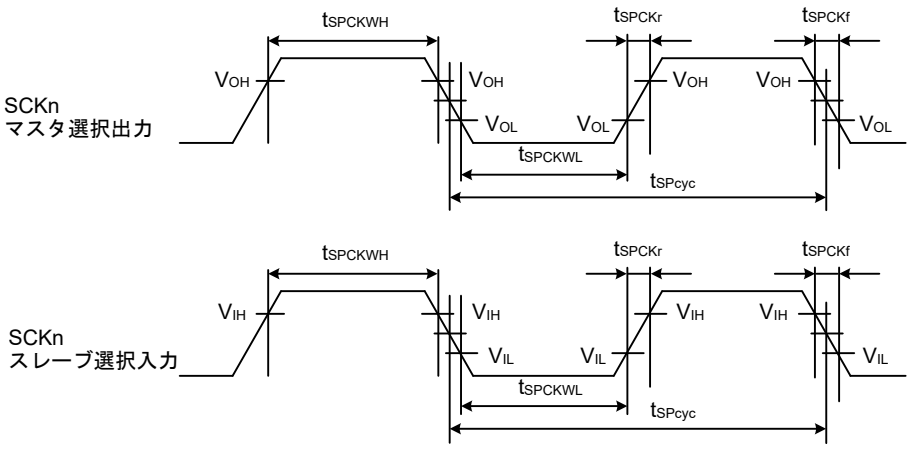
項目				シンボル	Min	Max	単位 (注1)	測定条件
簡易SPI	SCK クロックサイクル出力（マスタ）		2.7 V≦VCC≦5.5 V	t_{SPcyc}	125	—	ns	図 2.22
			2.4 V≦VCC < 2.7 V		250	—		
			1.8 V≦VCC < 2.4 V		500	—		
			1.6 V≦VCC < 1.8 V		1000	—		
	SCK クロックサイクル入力（スレーブ）		2.7 V≦VCC≦5.5 V		187.5	—		
			2.4 V≦VCC < 2.7 V		375	—		
			1.8 V≦VCC < 2.4 V		750	—		
			1.6 V≦VCC < 1.8 V		1500	—		
	SCK クロック High レベルパルス幅			t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅			t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり／立ち下がり時間		1.8 V≦VCC≦5.5 V	t_{SPCKr}, t_{SPCKf}	—	20	ns	
			1.6 V≦VCC < 1.8 V		—	30		
	データ入力セットアップ時間	マスタ	2.7 V≦VCC≦5.5 V	t_{SU}	45	—	ns	図 2.23～図 2.26
			2.4 V≦VCC < 2.7 V		55	—		
			1.8 V≦VCC < 2.4 V		80	—		
			1.6 V≦VCC < 1.8 V		110	—		
		スレーブ	2.7 V≦VCC≦5.5 V		40	—		
			1.6 V≦VCC < 2.7 V		45	—		
	データ入力ホールド時間	マスタ		t_H	33.3	—	ns	
		スレーブ			40	—		
	SS 入力セットアップ時間			t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間			t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	マスタ	1.8 V≦VCC≦5.5 V	t_{OD}	—	40	ns	
			1.6 V≦VCC < 1.8 V		—	50		
		スレーブ	2.4 V≦VCC≦5.5 V		—	65		
			1.8 V≦VCC < 2.4 V		—	100		
			1.6 V≦VCC < 1.8 V		—	125		
	データ出力ホールド時間	マスタ	2.7 V≦VCC≦5.5 V	t_{OH}	-10	—	ns	
			2.4 V≦VCC < 2.7 V		-20	—		
			1.8 V≦VCC < 2.4 V		-30	—		
			1.6 V≦VCC < 1.8 V		-40	—		
		スレーブ			-10	—		
	データ立ち上がり／立ち下がり時間	マスタ	1.8 V≦VCC≦5.5 V	t_{Dr}, t_{Df}	—	20	ns	
			1.6 V≦VCC < 1.8 V		—	30		
		スレーブ	1.8 V≦VCC≦5.5 V		—	20		
			1.6 V≦VCC < 1.8 V		—	30		

表 2.31 SCI タイミング (2) (2/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目				シンボル	Min	Max	単位 (注1)	測定条件
簡易 SPI	スレーブアクセス時間	2.4 V≦VCC≦5.5 V		t_{SA}	—	6	t_{Pcyc}	図 2.26
		1.8 V≦VCC < 2.4 V	24 MHz≦PCLKB≦32 MHz		—	7		
			PCLKB < 24 MHz		—	6		
		1.6 V≦VCC < 1.8 V			—	6		
	スレーブ出力解放時間	2.4 V≦VCC≦5.5 V		t_{REL}	—	6	t_{Pcyc}	
		1.8 V≦VCC < 2.4 V	24 MHz≦PCLKB≦32 MHz		—	7		
			PCLKB < 24 MHz		—	6		
		1.6 V≦VCC < 1.8 V			—	6		

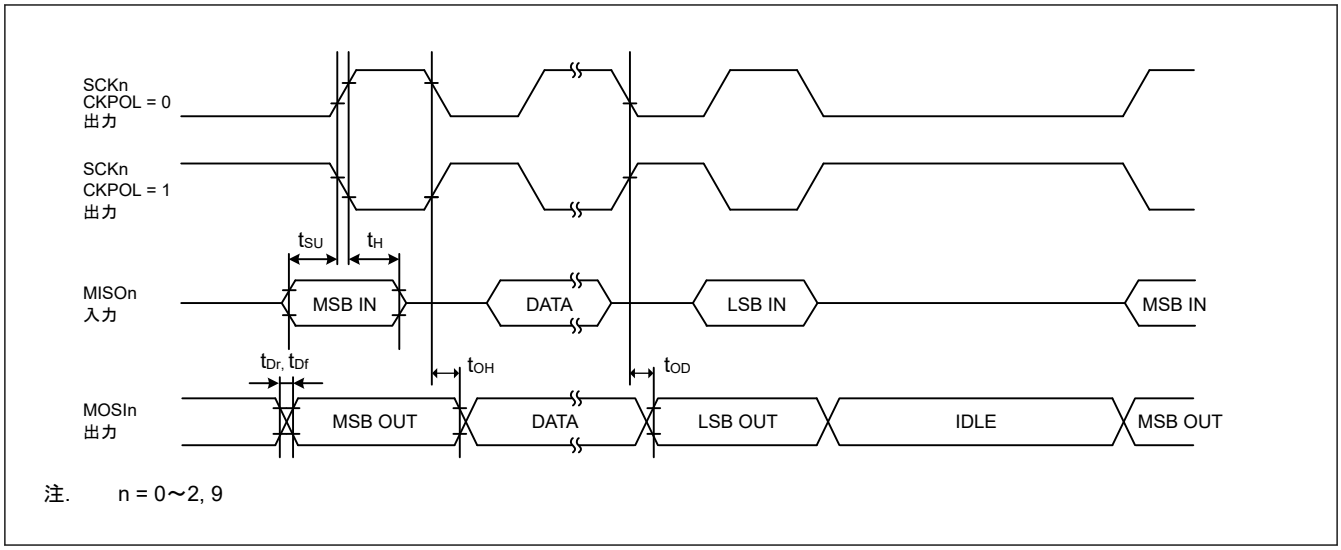
注 1. t_{Pcyc}：PCLKB の周期



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

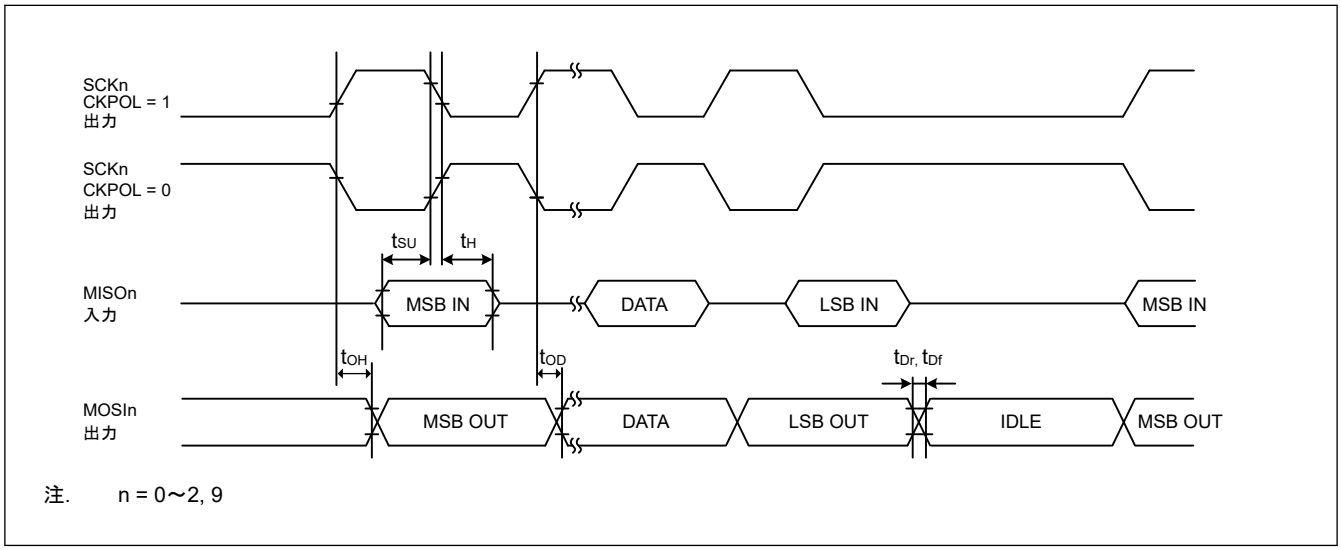
注. n = 0～2, 9

図 2.22 SCI 簡易 SPI モードクロックタイミング



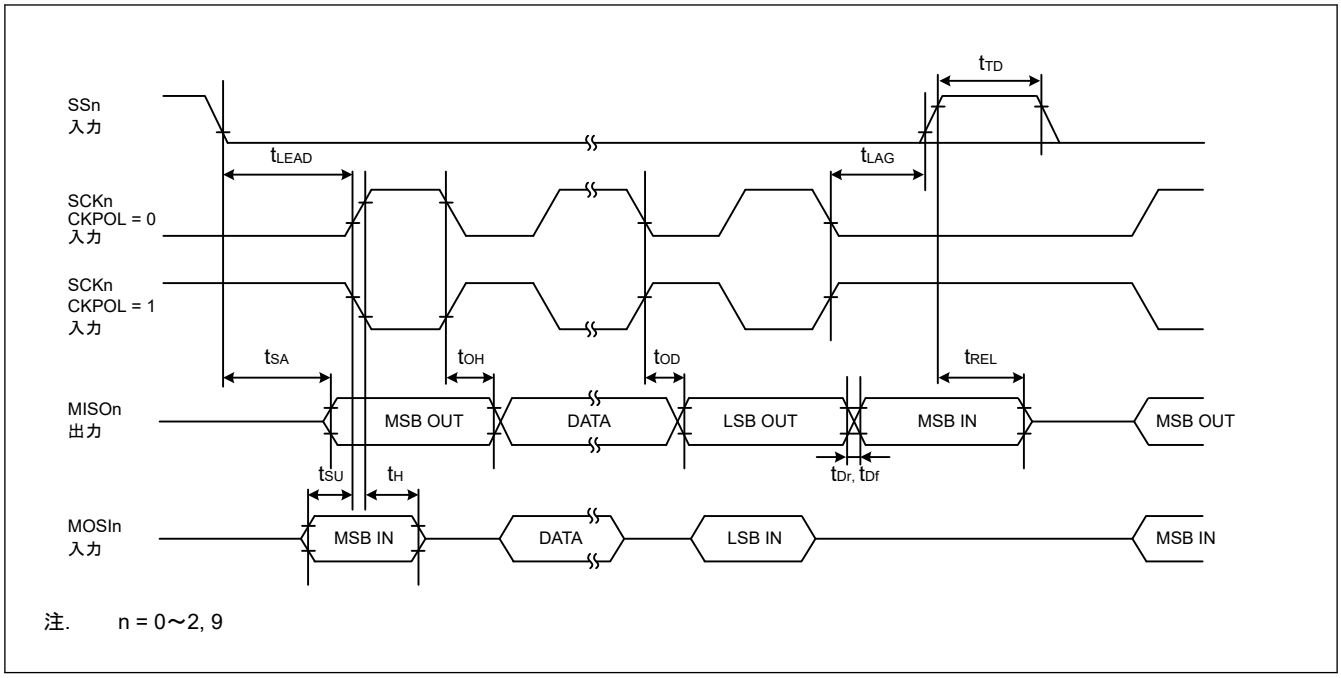
注. n = 0～2, 9

図 2.23 SCI 簡易 SPI モードタイミング（マスタ、CKPH = 1）



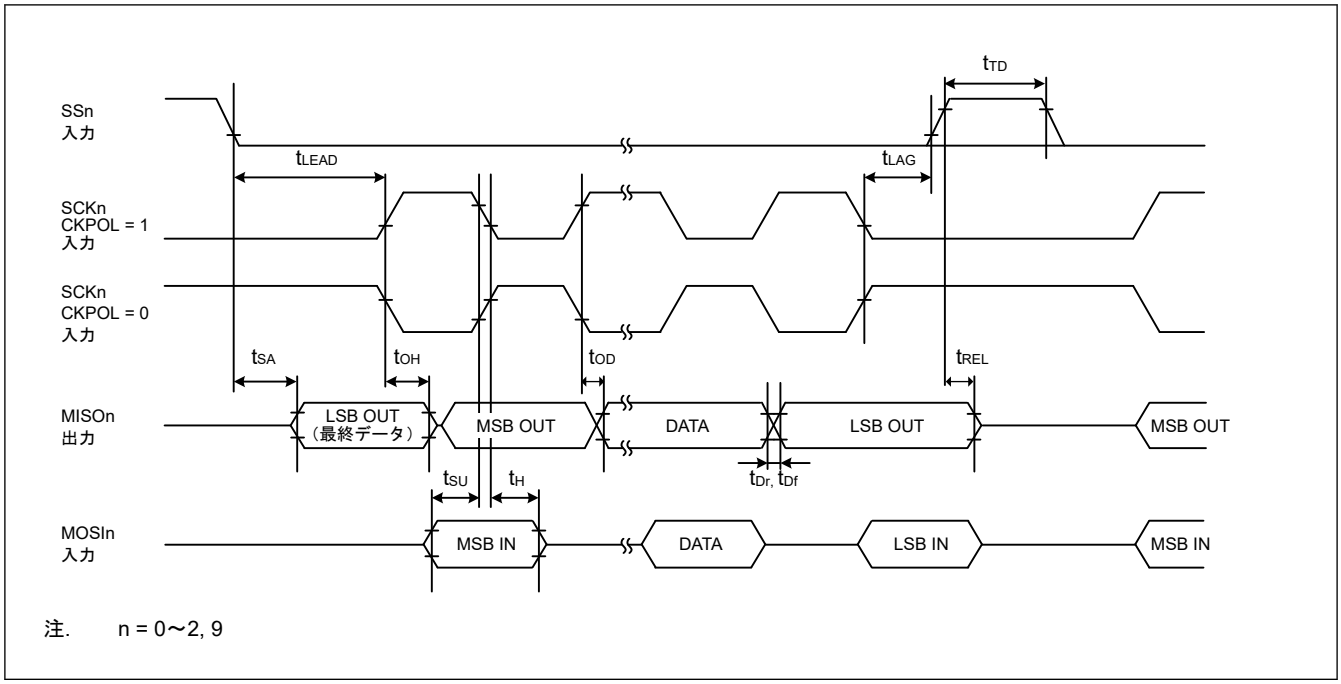
注. n = 0～2, 9

図 2.24 SCI 簡易 SPI モードタイミング（マスタ、CKPH = 0）



注. n = 0～2, 9

図 2.25 SCI 簡易 SPI モードタイミング（スレーブ、CKPH = 1）



注. n = 0～2, 9

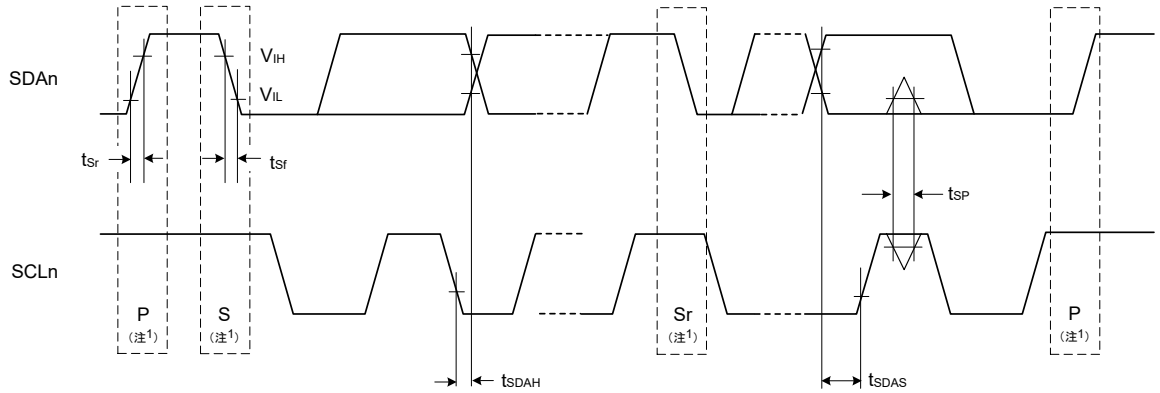
図 2.26 SCI 簡易 SPI モードタイミング（スレーブ、CKPH = 0）

表 2.32 SCI タイミング (3)

条件：VCC = AVCC0 = 2.7～5.5 V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC（標準モード）	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.27
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}(注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注2)	—	400	pF	
簡易 IIC（ファストモード）	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.27
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}(注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注2)	—	400	pF	

注 1. t_{IICcyc}：SMR.CKS[1:0]ビットによって選択されたクロックサイクル。
注 2. C_b はバスラインの容量総計を意味します。



測定条件：
V_{IH} = VCC × 0.7, V_{IL} = VCC × 0.3
V_{OL} = 0.6 V, I_{OL} = 6 mA

注. n = 0～2, 9
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 2.27 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.33 SPI タイミング (1/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	RSPCK クロックサイクル	マスタ	2.7 V≦VCC≦5.5 V	t_{SPcyc}	62.5	—	ns	図 2.28 C = 30 pF
			2.4 V≦VCC < 2.7 V		125	—		
			1.8 V≦VCC < 2.4 V		250	—		
			1.6 V≦VCC < 1.8 V		500	—		
		スレーブ	2.7 V≦VCC≦5.5 V		187.5	—		
			2.4 V≦VCC < 2.7 V		375	—		
			1.8 V≦VCC < 2.4 V		750	—		
			1.6 V≦VCC < 1.8 V		1500	—		
	RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$3 \times t_{Pcyc}$	—		
	RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$3 \times t_{Pcyc}$	—		
	RSPCK クロック立ち上がり／立ち下がり時間	出力	2.7 V≦VCC≦5.5 V	t_{SPCKr}, t_{SPCKf}	—	10	ns	
			2.4 V≦VCC < 2.7 V		—	15		
			1.8 V≦VCC≦2.4 V		—	20		
			1.6 V≦VCC < 1.8 V		—	30		
		入力			—	0.1	μs/V	

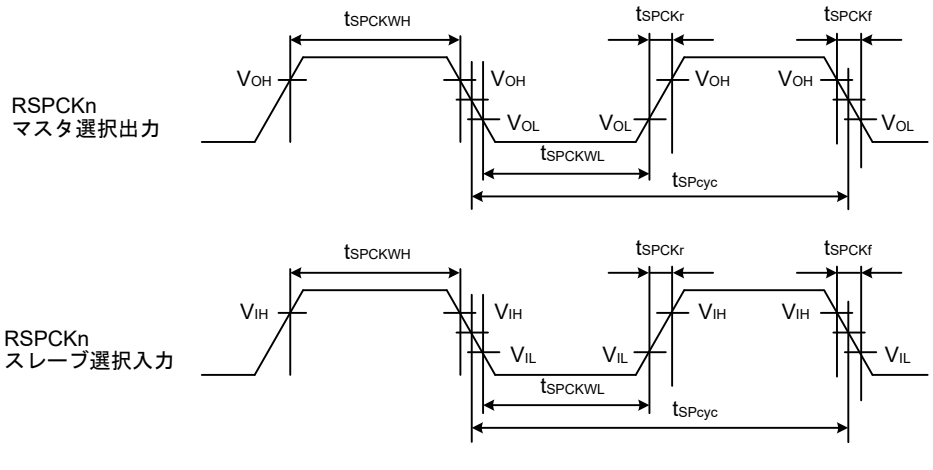
表 2.33 SPI タイミング (2/3)

項目					シンボル	Min	Max	単位 (注1)	測定条件
SPI	データ入力セットアップ時間	マスタ	2.7 V≦VCC≦5.5 V		t_{SU}	10	—	ns	図 2.29～図 2.34 C = 30 pF
			2.4 V≦VCC < 2.7 V	16 MHz < PCLKB≦32 MHz		30	—		
				PCLKB≦16 MHz		10	—		
			1.8 V≦VCC < 2.4 V	16 MHz < PCLKB≦32 MHz		55	—		
				8 MHz < PCLKB≦16 MHz		30	—		
				PCLKB≦8 MHz		10	—		
			1.6 V≦VCC < 1.8 V			10	—		
		スレーブ	2.4 V≦VCC≦5.5 V			10	—		
			1.8 V≦VCC < 2.4 V			15	—		
			1.6 V≦VCC < 1.8 V			20	—		
	データ入力ホールド時間	マスタ（RSPCK は PCLKB/2）			t_{HF}	0	—	ns	
		マスタ（RSPCK は PCLKB/2 以外）			t_{H}	t_{Pcyc}	—		
		スレーブ			t_{H}	20	—		
SPI	SSL セットアップ時間	マスタ	1.8 V≦VCC≦5.5 V		t_{LEAD}	-30 + N × t_{SPcyc}(注2)	—	ns	
			1.6 V≦VCC < 1.8 V			-50 + N × t_{SPcyc}(注2)	—		
		スレーブ				6 × t_{Pcyc}	—	ns	
	SSL ホールド時間	マスタ			t_{LAG}	-30 + N × t_{SPcyc}(注3)	—	ns	
		スレーブ				6 × t_{Pcyc}	—	ns	
	データ出力遅延時間	マスタ	2.7 V≦VCC≦5.5 V		t_{OD}	—	14	ns	
			2.4 V≦VCC < 2.7 V			—	20		
			1.8 V≦VCC < 2.4 V			—	25		
			1.6 V≦VCC < 1.8 V			—	30		
		スレーブ	2.7 V≦VCC≦5.5 V			—	50		
			2.4 V≦VCC < 2.7 V			—	60		
			1.8 V≦VCC < 2.4 V			—	85		
			1.6 V≦VCC < 1.8 V			—	110		
	データ出力ホールド時間	マスタ			t_{OH}	0	—	ns	
		スレーブ				0	—		
	連続送信遅延時間	マスタ			t_{TD}	t_{SPcyc} + 2 × t_{Pcyc}	8 × t_{SPcyc} + 2 × t_{Pcyc}	ns	
		スレーブ				6 × t_{Pcyc}	—		

表 2.33 SPI タイミング (3/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	MOSI、MISO 立ち上がり／立ち下がり時間	出力	2.7 V≦VCC≦5.5 V	t_{Dr}, t_{Df}	—	10	ns	図 2.29～図 2.34 C = 30 pF
			2.4 V≦VCC < 2.7 V		—	15		
			1.8 V≦VCC < 2.4 V		—	20		
			1.6 V≦VCC < 1.8 V		—	30		
		入力			—	1	μs	
	SSL 立ち上がり／立ち下がり時間	出力	2.7 V≦VCC≦5.5 V	t_{SSLr}, t_{SSLf}	—	10	ns	
			2.4 V≦VCC < 2.7 V		—	15		
			1.8 V≦VCC < 2.4 V		—	20		
			1.6 V≦VCC < 1.8 V		—	30		
		入力			—	1	μs	
	スレーブアクセス時間		2.4 V≦VCC≦5.5 V	t_{SA}	—	2 × t_{Pcyc} + 100	ns	図 2.33 と 図 2.34 C = 30 pF
			1.8 V≦VCC < 2.4 V		—	2 × t_{Pcyc} + 140		
			1.6 V≦VCC < 1.8 V		—	2 × t_{Pcyc} + 180		
	スレーブ出力開放時間		2.4 V≦VCC≦5.5 V	t_{REL}	—	2 × t_{Pcyc} + 100	ns	
			1.8 V≦VCC < 2.4 V		—	2 × t_{Pcyc} + 140		
			1.6 V≦VCC < 1.8 V		—	2 × t_{Pcyc} + 180		

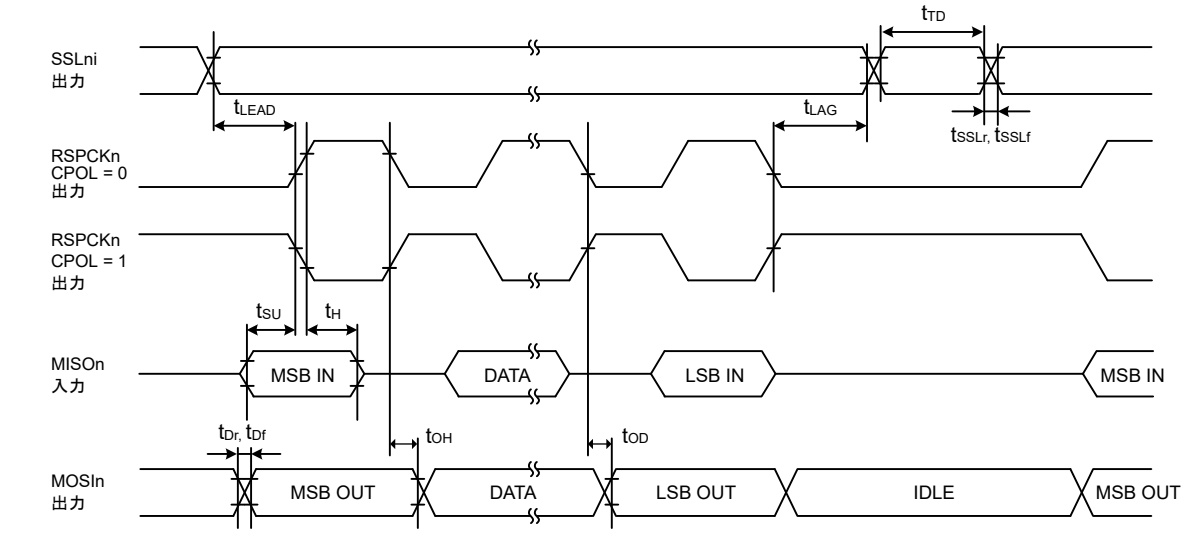
注 1. t_{Pcyc}：PCLKB の周期
注 2. N は SPCKD レジスタで設定可能な 1～8 の整数です。
注 3. N は SSLND レジスタで設定可能な 1～8 の整数です。



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

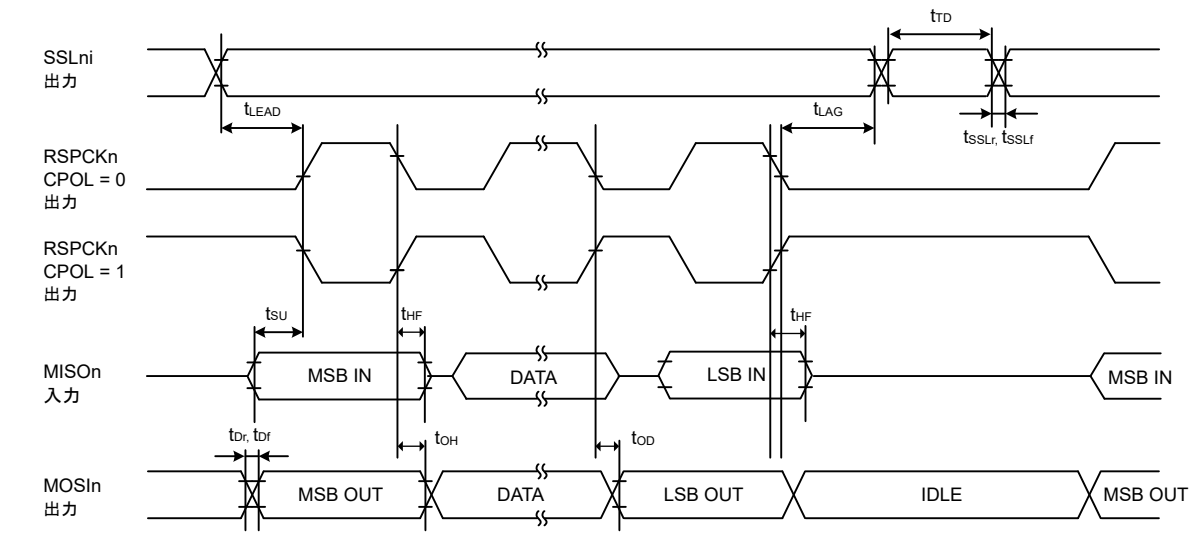
注. n = A

図 2.28 SPI クロックタイミング



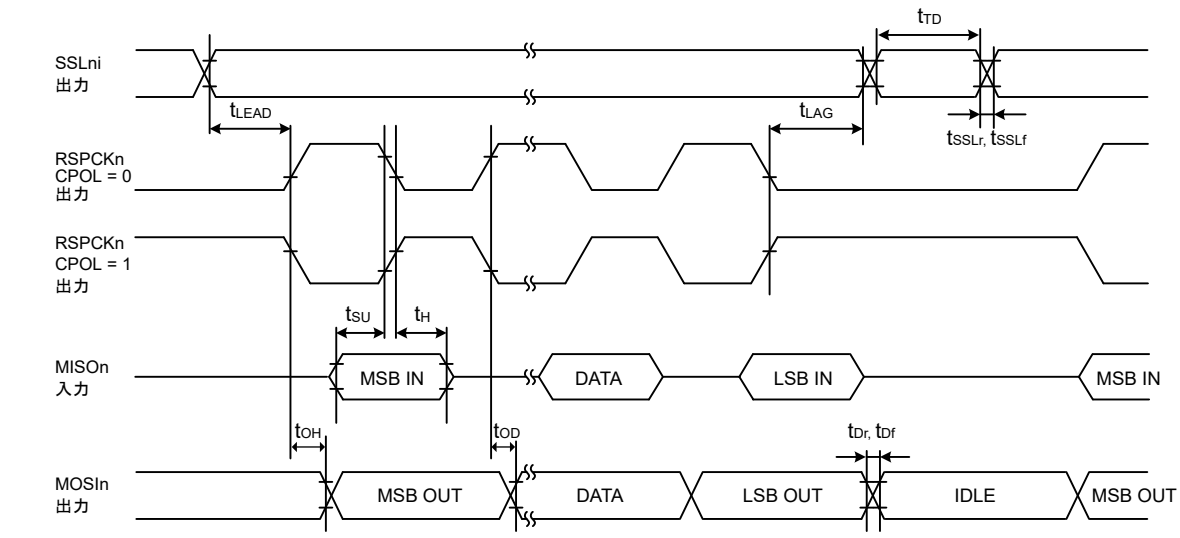
注. n = A
i = 0

図 2.29 SPI タイミング（マスタ、CPHA = 0）（ビットレート：PCLKB を 2 分周以外に設定）



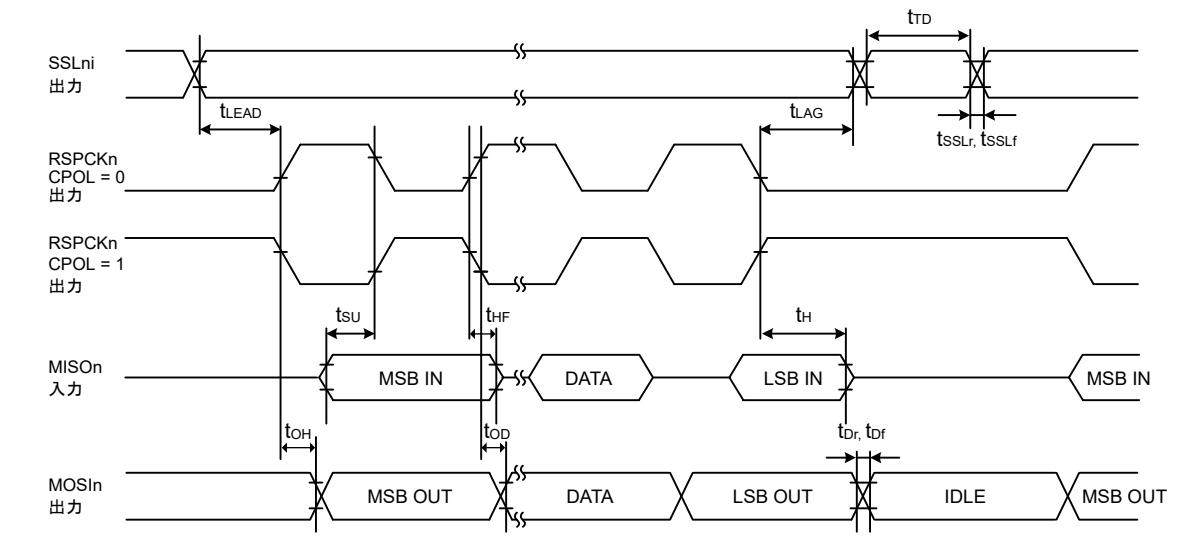
注. n = A
i = 0

図 2.30 SPI タイミング（マスタ、CPHA = 0）（ビットレート：PCLKB を 2 分周に設定）



注. n = A
i = 0

図 2.31 SPI タイミング（マスタ、CPHA = 1）（ビットレート：PCLKB を 2 分周以外に設定）



注. n = A
i = 0

図 2.32 SPI タイミング（マスタ、CPHA = 1）（ビットレート：PCLKB を 2 分周に設定）

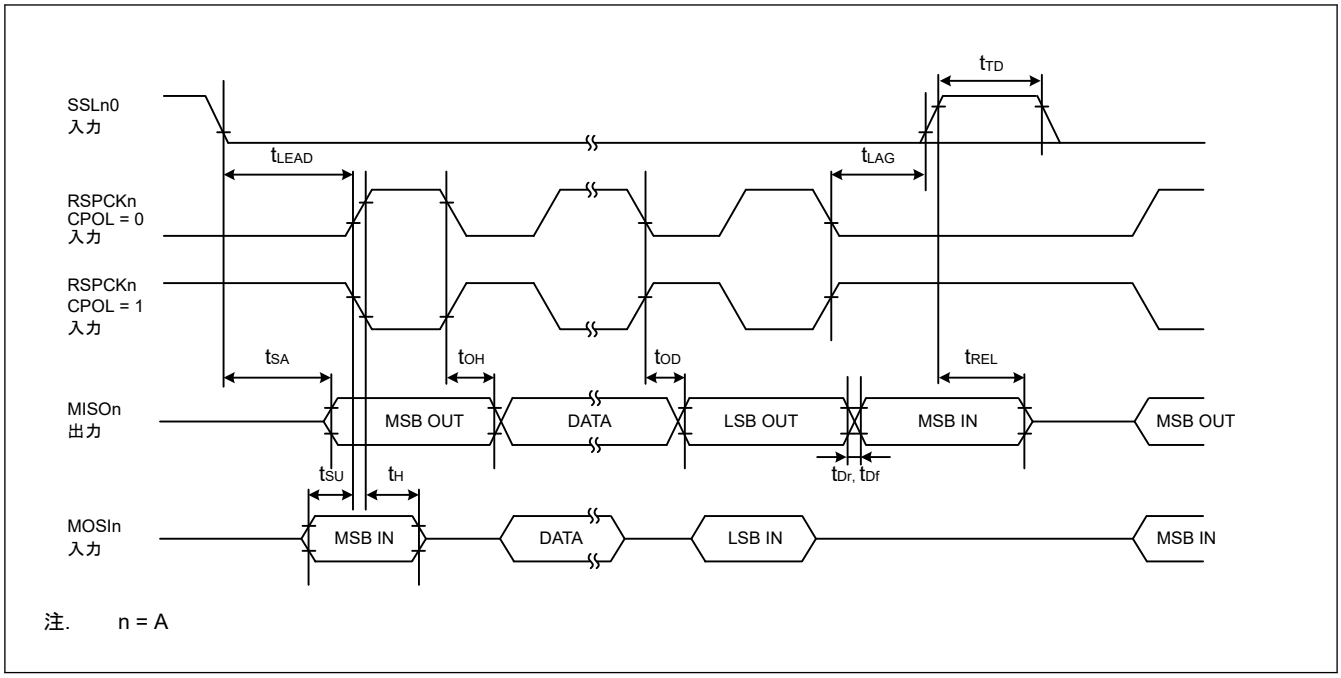


図 2.33 SPI タイミング（スレーブ、CPHA = 0）

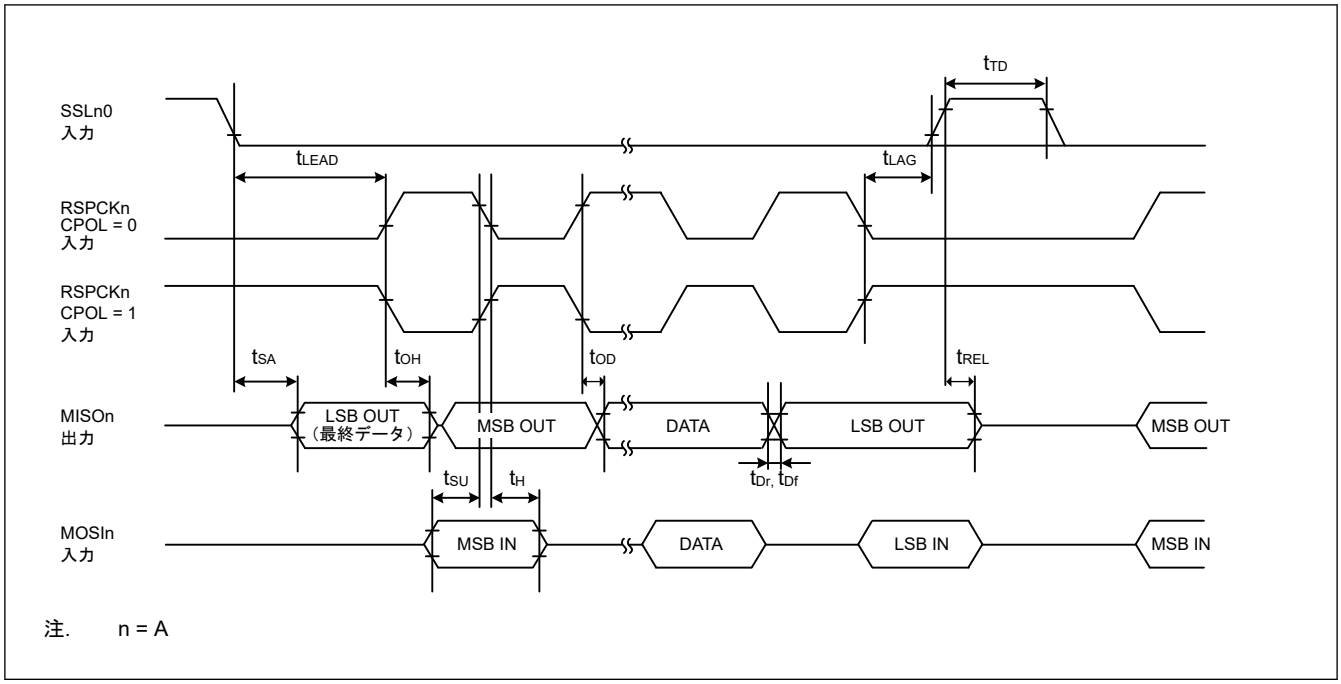


図 2.34 SPI タイミング（スレーブ、CPHA = 1）

2.3.10 I3C タイミング

表 2.34 IIC タイミング

条件：VCC = 2.7～5.5 V

項目		シンボル	Min(注1)	Max	単位	測定条件
IIC（標準モード、SMBus）	SCL サイクル時間	t_{SCL}	6 (40) × t_{IICcyc} + 4 × t_{Pcyc} + 1300	—	ns	図 2.35
	SCL High レベルパルス幅	t_{SCLH}	3 (20) × t_{IICcyc} + 2 × t_{Pcyc} + 300	—	ns	
	SCL Low レベルパルス幅	t_{SCLL}	3 (20) × t_{IICcyc} + 2 × t_{Pcyc} + 800	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL､SDA スパイクパルス除去時間	t_{SP}	0	1 (16) × t_{IICcyc}	ns	
	SDA バスフリー時間	t_{BUF}	3 (20) × t_{IICcyc} + 300	—	ns	
	スタートコンディションホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t_{STAS}	1000	—	ns	
	ストップコンディションセットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ保持時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	
IIC（ファストモード）	SCL サイクル時間	t_{SCL}	6 (40) × t_{IICcyc} + 4 × t_{Pcyc} + 600	—	ns	図 2.35
	SCL High レベルパルス幅	t_{SCLH}	3 (20) × t_{IICcyc} + 2 × t_{Pcyc} + 300	—	ns	
	SCL Low レベルパルス幅	t_{SCLL}	3 (20) × t_{IICcyc} + 2 × t_{Pcyc} + 300	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL､SDA スパイクパルス除去時間	t_{SP}	0	1 (16) × t_{IICcyc}	ns	
	SDA バスフリー時間	t_{BUF}	3 (20) × t_{IICcyc} + 300	—	ns	
	スタートコンディションホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t_{STAS}	300	—	ns	
	ストップコンディションセットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ保持時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル、t_{Pcyc}：PCLKD サイクル

注 1. DNFE.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 1111b であると括弧内の値が適用されます。

表 2.35 IIC タイミング（ファストモード+）

条件：VCC = 2.7～5.5 V

項目		シンボル	Min(注1)	Max	単位	測定条件
IIC（ファストモード+）	SCL サイクル時間	t_{SCL}	6 (40) × t_{IICcyc} + 4 × t_{Pcyc} + 240	—	ns	図 2.35
	SCL High レベルパルス幅	t_{SCLH}	3 (20) × t_{IICcyc} + 2 × t_{Pcyc} + 120	—	ns	
	SCL Low レベルパルス幅	t_{SCLL}	3 (20) × t_{IICcyc} + 2 × t_{Pcyc} + 120	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	—	1 (16) × t_{IICcyc}	ns	
	SDA バスフリー時間	t_{BUF}	3 (20) × t_{IICcyc} + 120	—	ns	
	スタートコンディションホールド時間	t_{STAH}	t_{IICcyc} + 135	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t_{STAS}	260	—	ns	
	ストップコンディションセットアップ時間	t_{STOS}	260	—	ns	
	データセットアップ時間	t_{SDAS}	50	—	ns	
	データ保持時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	550	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル、t_{Pcyc}：PCLKD の周期

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0] が 1111b であると括弧内の値が適用されます。

表 2.36 IIC タイミング（HS モード）

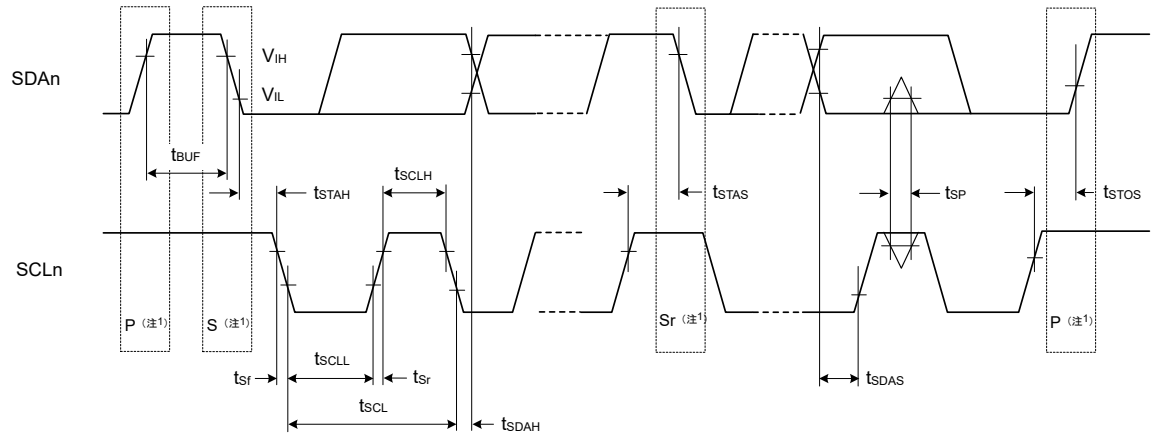
条件：VCC = 2.7～5.5 V

項目		シンボル	Cb = 100 pF		Cb = 400 pF		単位	測定条件
			Min(注1)	Max	Min(注1)	Max		
IIC（HS モード）	SCL サイクル時間	t_{SCL}	PCLKD = 64 MHz のとき、330 (+ 10 × t_{IICcyc}) PCLKD = 48 MHz のとき、390 (+ 10 × t_{IICcyc})	—	PCLKD = 64 MHz のとき、500 (+ 10 × t_{IICcyc}) (注2) PCLKD = 48 MHz のとき、560 (+ 10 × t_{IICcyc})	—	ns	図 2.35
	SCL High レベルパルス幅	t_{SCLH}	PCLKD = 64 MHz のとき、125 (+ 5 × t_{IICcyc}) PCLKD = 48 MHz のとき、155 (+ 5 × t_{IICcyc})	—	PCLKD = 64 MHz のとき、140 (+ 5 × t_{IICcyc}) PCLKD = 48 MHz のとき、170 (+ 5 × t_{IICcyc})	—	ns	
	SCL Low レベルパルス幅	t_{SCLL}	PCLKD = 64 MHz のとき、205 (+ 5 × t_{IICcyc}) PCLKD = 48 MHz のとき、230 (+ 5 × t_{IICcyc})	—	PCLKD = 64 MHz のとき、320 (+ 5 × t_{IICcyc}) PCLKD = 48 MHz のとき、350 (+ 5 × t_{IICcyc})	—	ns	
	SCL 立ち上がり時間	t_{Sr}	—	40	—	80	ns	
	繰り返しのスタートコンディション後、およびアクノリッジビット後の SCL 立ち上がり時間	t_{Sr}	—	80	—	160	ns	
	SCL 立ち下がり時間	tSf	—	40	—	80	ns	
	SDA 立ち下がり時間	t_{Sf}	—	80	—	160	ns	
	SDA 立ち下がり時間	t_{Sf}	—	80	—	160	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	0	1 (4) × t_{IICcyc}	ns	
	スタートコンディションホールド時間	t_{STAH}	t_{IICcyc} + 135	—	t_{IICcyc} + 135	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t_{STAS}	160	—	160	—	ns	
	ストップコンディションセットアップ時間	t_{STOS}	160	—	160	—	ns	
	データセットアップ時間	t_{SDAS}	10	—	10	—	ns	
	データ保持時間	t_{SDAH}	0	80	0	150	ns	
	SCL、SDA の負荷容量	C_b	—	100	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル、t_{Pcyc}：PCLKD の周期

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0] が 1111b であると括弧内の値が適用されます。

注 2. 最高 SCL クロック周波数は 1.7 MHz です。



注. n = 0
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 2.35 I²C バスインタフェース入出力タイミング

表 2.37 I3C タイミング（オープンドレインタイミングパラメータ）

条件：VCC = 2.97～3.63 V

項目	シンボル	タイミング図	Min	Max	単位	備考
SCL クロック Low 期間	t_{LOW_OD}	図 2.38	200	—	ns	1, 2
	$t_{DIG_OD_L}$	図 2.38	t_{LOW_ODmin} + t_{fDA_ODmin}	—	ns	—
SDA 信号立ち下がり時間	t_{fDA_OD}	図 2.38	t_{CF}	33	ns	—
SDA データセットアップ時間オープンドレインモード	t_{SU_OD}	図 2.37 図 2.38	4	—	ns	1
スタート (S) コンディション後クロック	t_{CAS}	図 2.38	38.4	ENTAS0: 1 µ ENTAS1: 100 µ ENTAS2: 2 m ENTAS3: 50 m	秒	5, 6
ストップ (P) コンディション前クロック	t_{CBP}	図 2.39	t_{CASmin}	—	秒	—
ハンドオフ中のカレントマスタからセカンダリマスタまでのオーバーラップ時間	$t_{MMOverlap}$	図 2.44	$t_{DIG_OD_Lmin}$	—	ns	—
バス使用可能条件	t_{AVAL}	—	1	—	µs	7
バスアイドル条件	t_{IDLE}	—	1	—	ms	—
SDA Low 駆動していない新マスタの内部時間	t_{MMLock}	図 2.44	$t_{AVALmin}$	—	µs	—

注. 1. t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_ODmin} と近似的に同じです。
2. 安全な場合、すなわち SDA がすでに VIH を上回っている場合、マスタは短い Low 期間を使用する可能性があります。
3. I²C デバイスがスタートを確認する必要があるレガシーバス上
4. オプションの ENTASx CCC をサポートしていないスレーブは、ENTAS3 に示されている t_{CAS} 最大値を使用します。
5. Fm レガシー I²C デバイスのミックスバス上で、t_{AVAL} は Fm バスフリー条件時間 (t_{BUF}) より 300 ns 短いです。

表 2.38 I3C タイミング（SDR 用プッシュプルタイミングパラメータ）

項目		シンボル	タイミング図	Min	Max	単位	備考
SCL クロック周波数		f_{SCL}	—	0.01	4.6（PCLKD = 64 M の場合） 3.4（PCLKD = 48 M の場合）	MHz	1
SCL クロック Low 期間		t_{LOW}	図 2.36	80（PCLKD = 64 M の場合） 104（PCLKD = 48 M の場合）	—	ns	—
		t_{DIG_L}	図 2.36	88（PCLKD = 64 M の場合） 112（PCLKD = 48 M の場合）	—	ns	2.4
SCL クロック High 期間		t_{HIGH}	図 2.36	112（PCLKD = 64 M の場合） 148（PCLKD = 48 M の場合）	—	ns	—
		t_{DIG_H}	図 2.36	120（PCLKD = 64 M の場合） 156（PCLKD = 48 M の場合）	—	ns	2
スレーブ用データ出力クロック		t_{SCO}	図 2.41	—	42	ns	—
SCL クロック立ち上がり時間		t_{CR}	図 2.36	—	150 * 1 /f_{SCL}（上限 60）	ns	—
SCL クロック立ち下がり時間		t_{CF}	図 2.36	—	150 * 1 /f_{SCL}（上限 60）	ns	—
プッシュプルモードの SDA 信号データホールド	マスタ	t_{HD_PP}	図 2.40	t_{CR} + 3, t_{CF} + 3	—	—	4
	スレーブ	t_{HD_PP}	図 2.42	0	—	—	—
プッシュプルモードの SDA 信号データセットアップ		t_{SU_PP}	図 2.40 図 2.41	4	N/A	ns	—
繰り返しのスタート (Sr) 後クロック		t_{CASr}	図 2.43	t_{CASmin}	N/A	ns	—
繰り返しのスタート (Sr) 前クロック		t_{CBSr}	図 2.43	t_{CASmin}	N/A	ns	—
バスライン (SDA/SCL) ごとの負荷容量		C_b	—	—	50	pF	—

注. 1. FSCL = 1 / (t_{DIG_L} + t_{DIG_H})

2. t_{DIG_L} および t_{DIG_H} は VIL、VIH を使用した I3C バスのレシーバー終了時の Low および High 期間クロックです （図 2.36 参照）。

3. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。例えば、立ち下がりエッジクロックに対して t_{CF} + 3、立ち上がりエッジクロックに対して t_{CR} + 3 です。

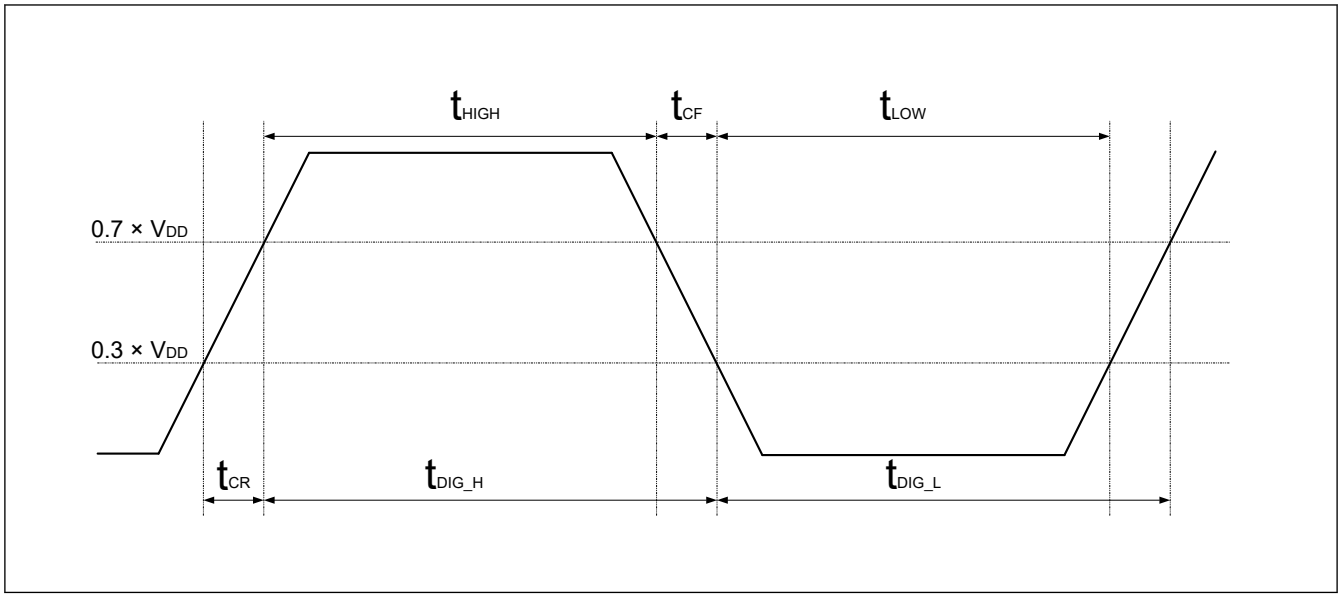


図 2.36 t_{DIG_H}、t_{DIG_L}

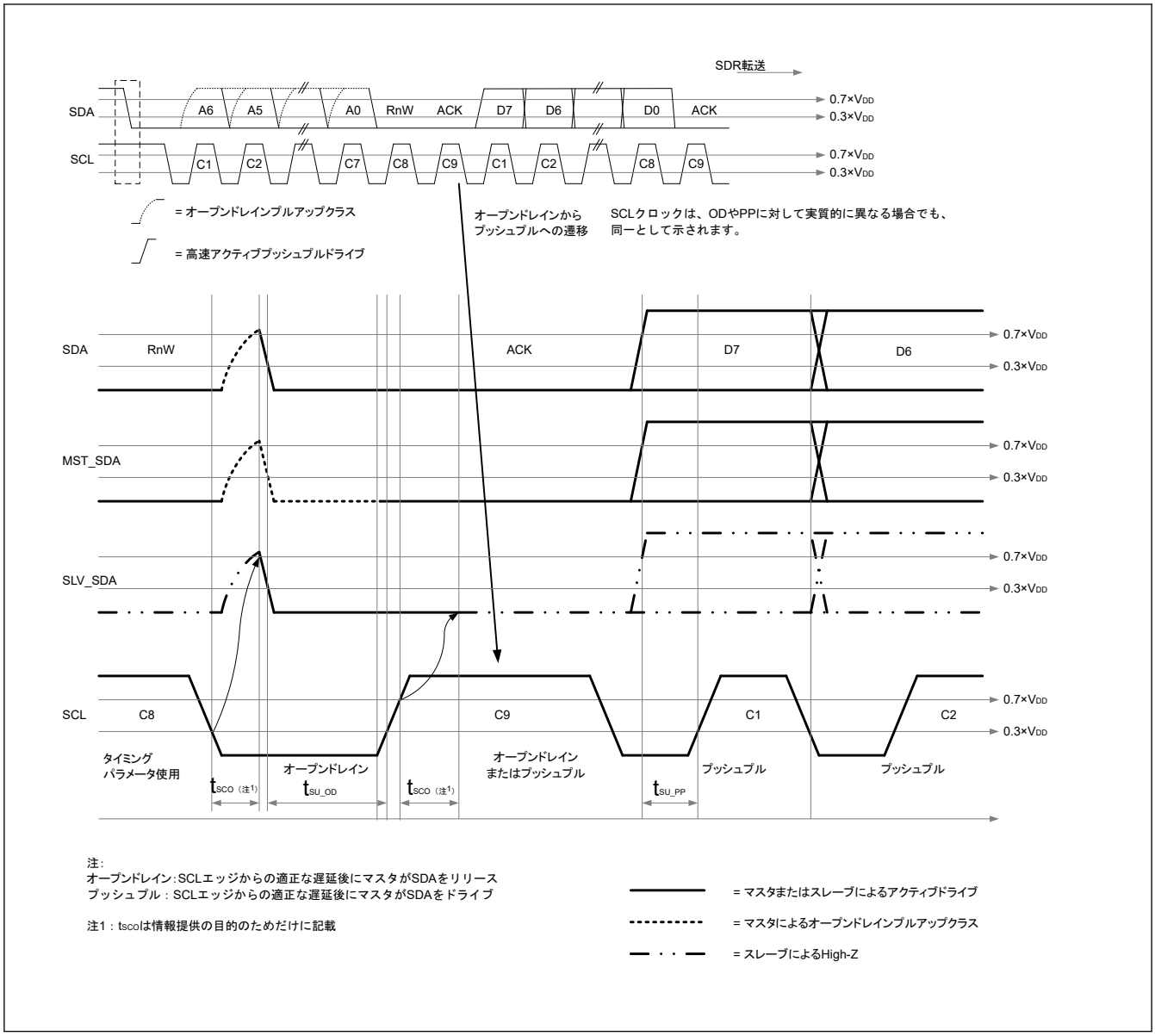


図 2.37 I3C データ転送 – スレーブによる ACK

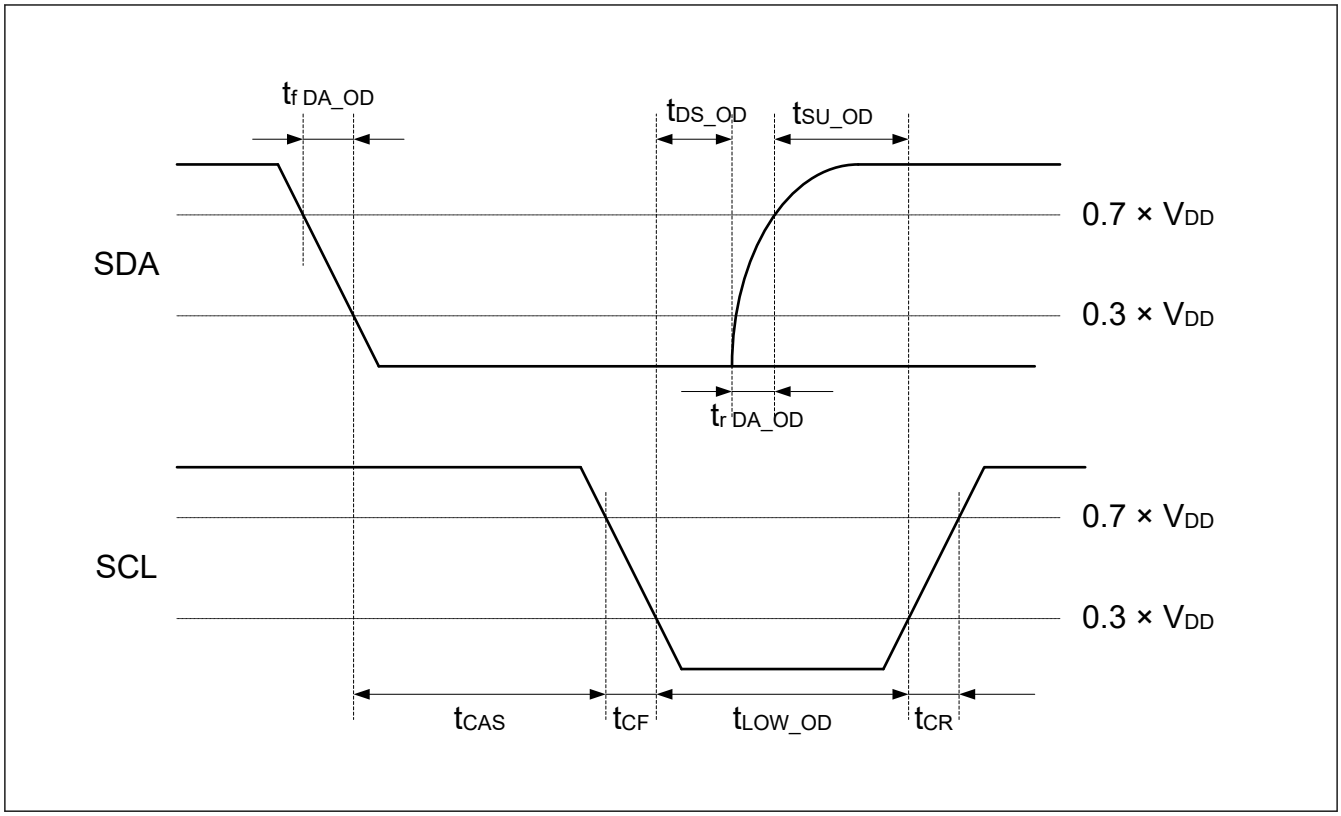


図 2.38 I3C スタートコンディションタイミング

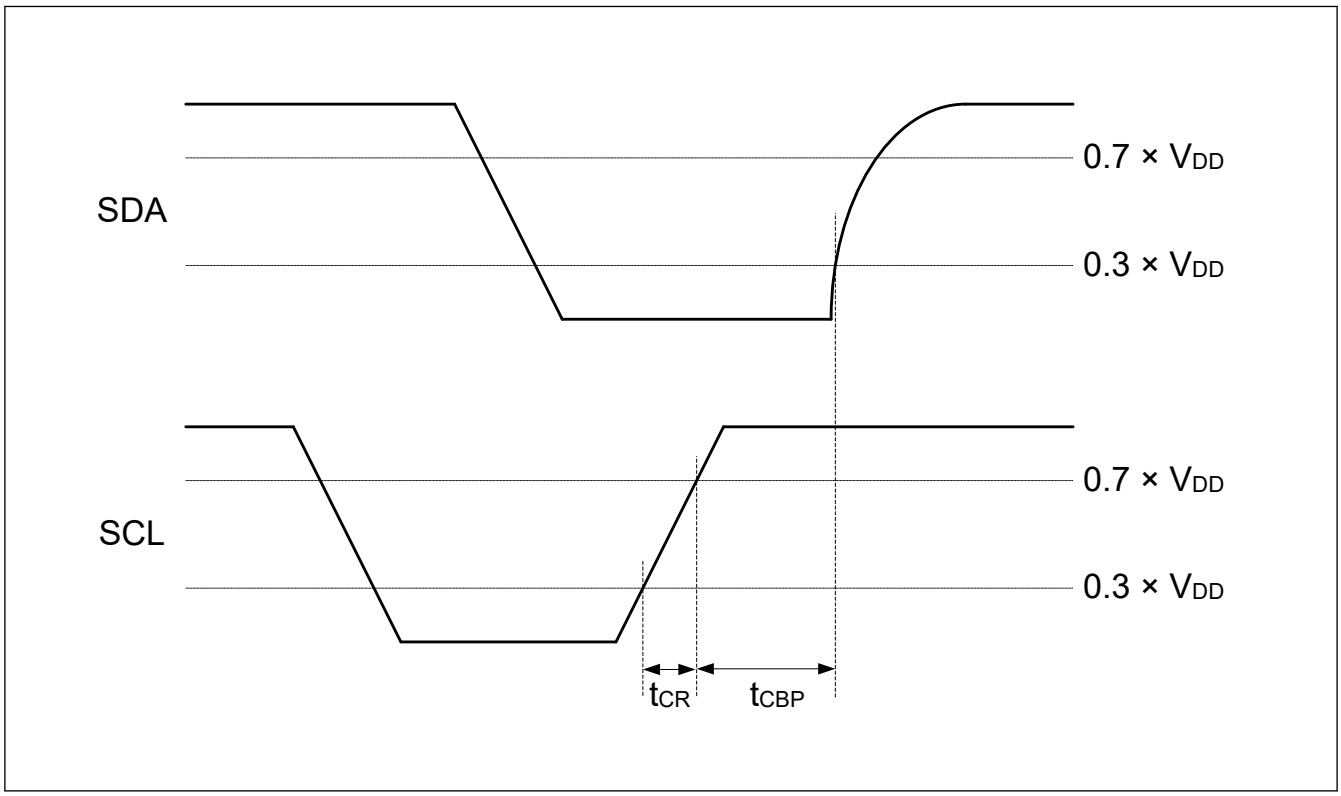


図 2.39 I3C ストップコンディションタイミング

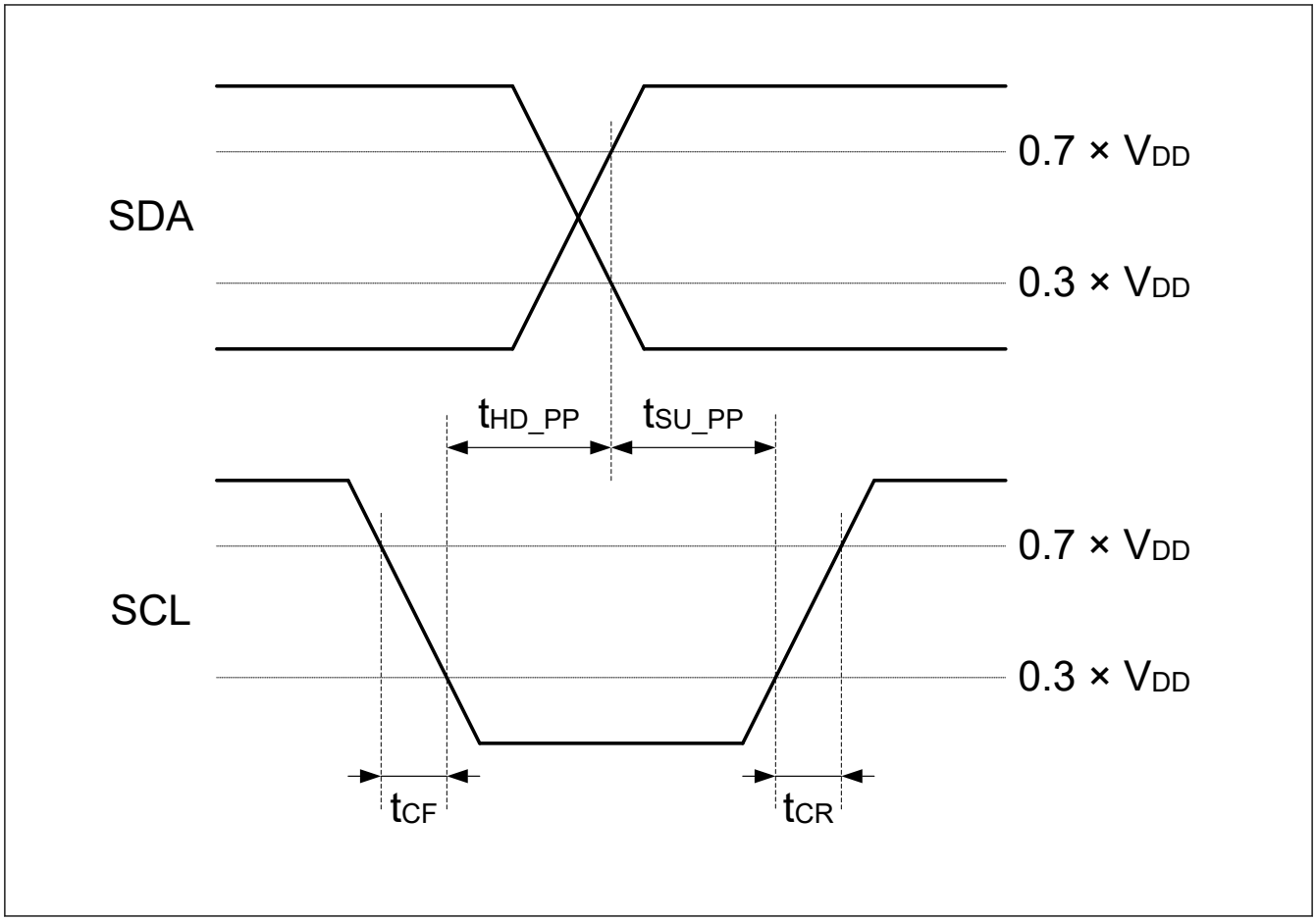


図 2.40　I3C マスタ出力タイミング

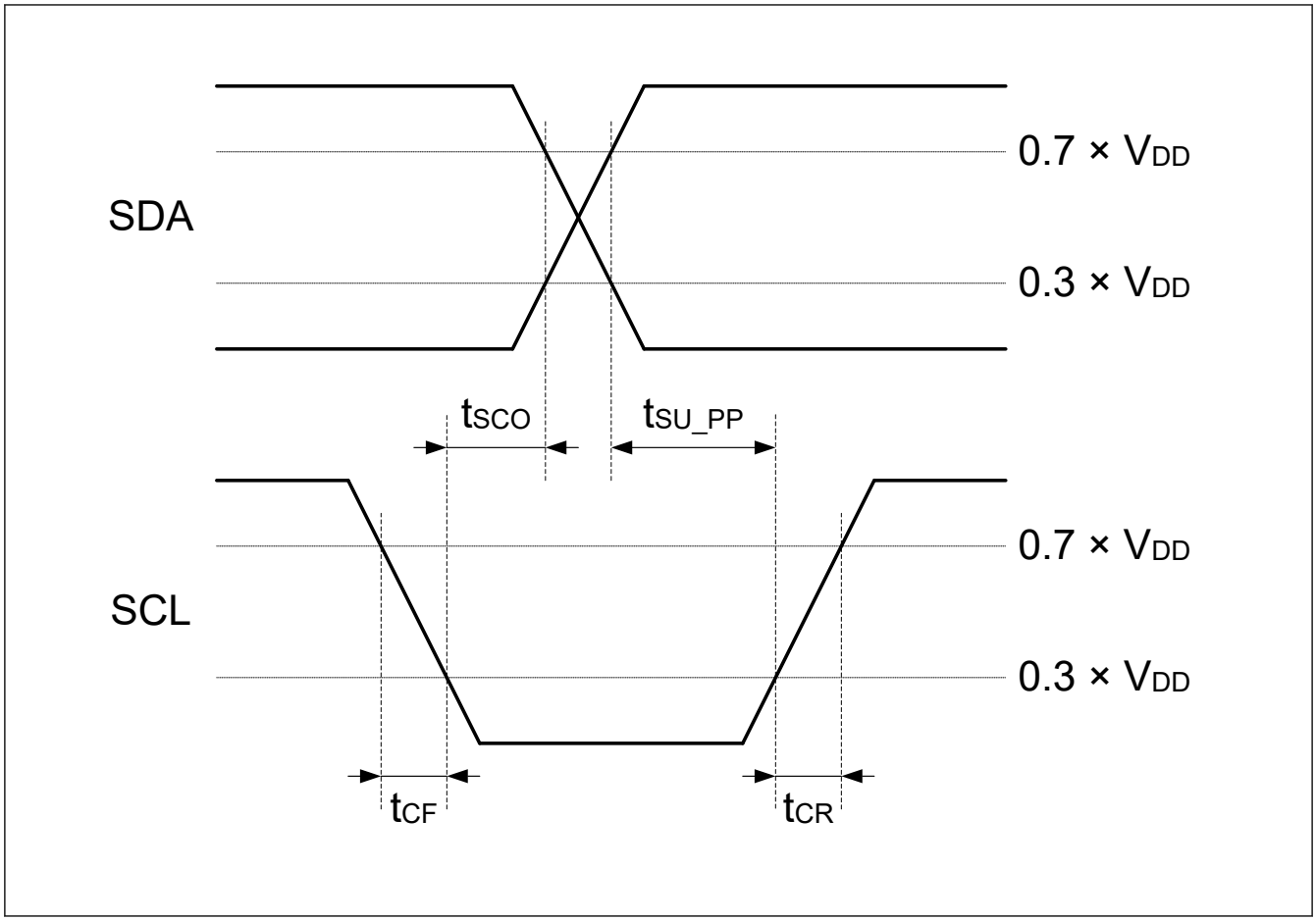


図 2.41　I3C スレーブ出力タイミング

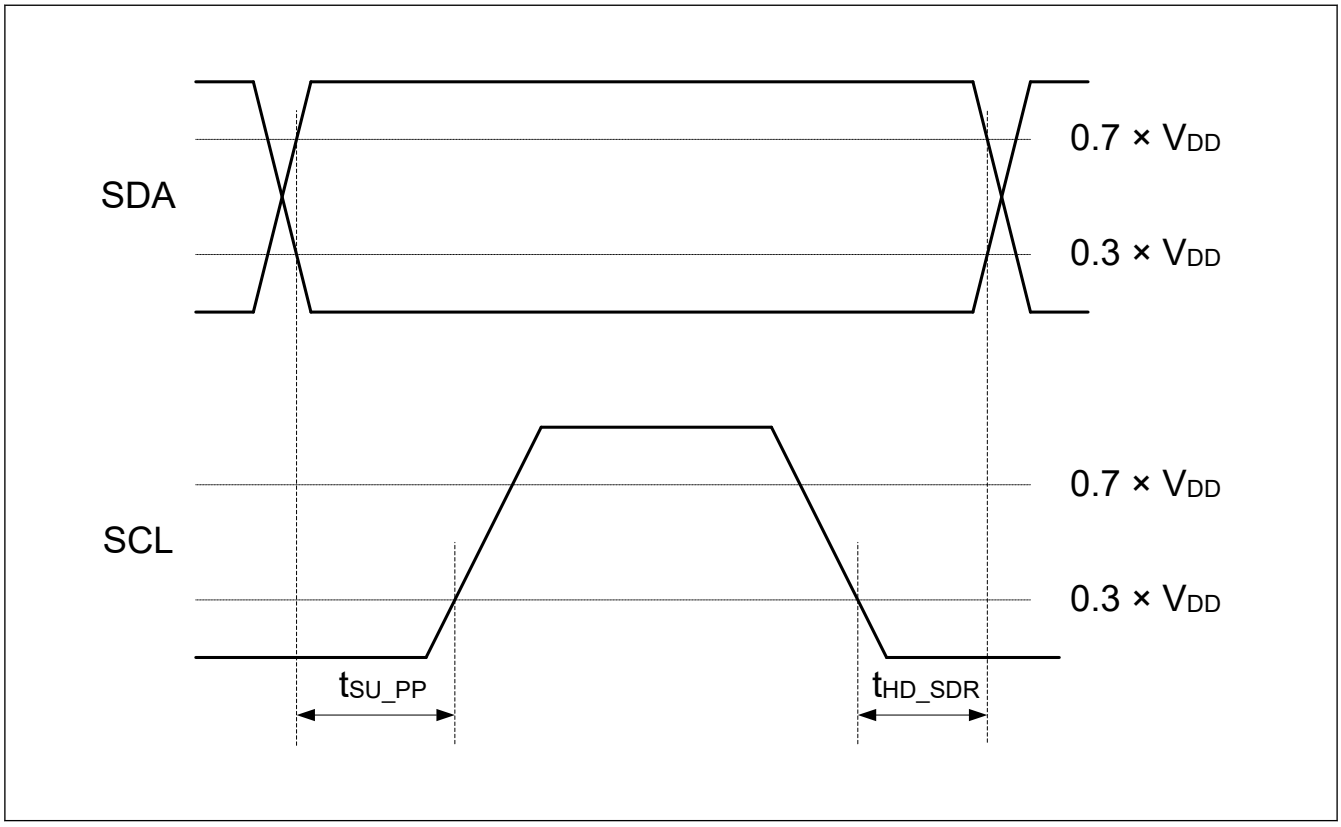


図 2.42　マスタ SDR タイミング

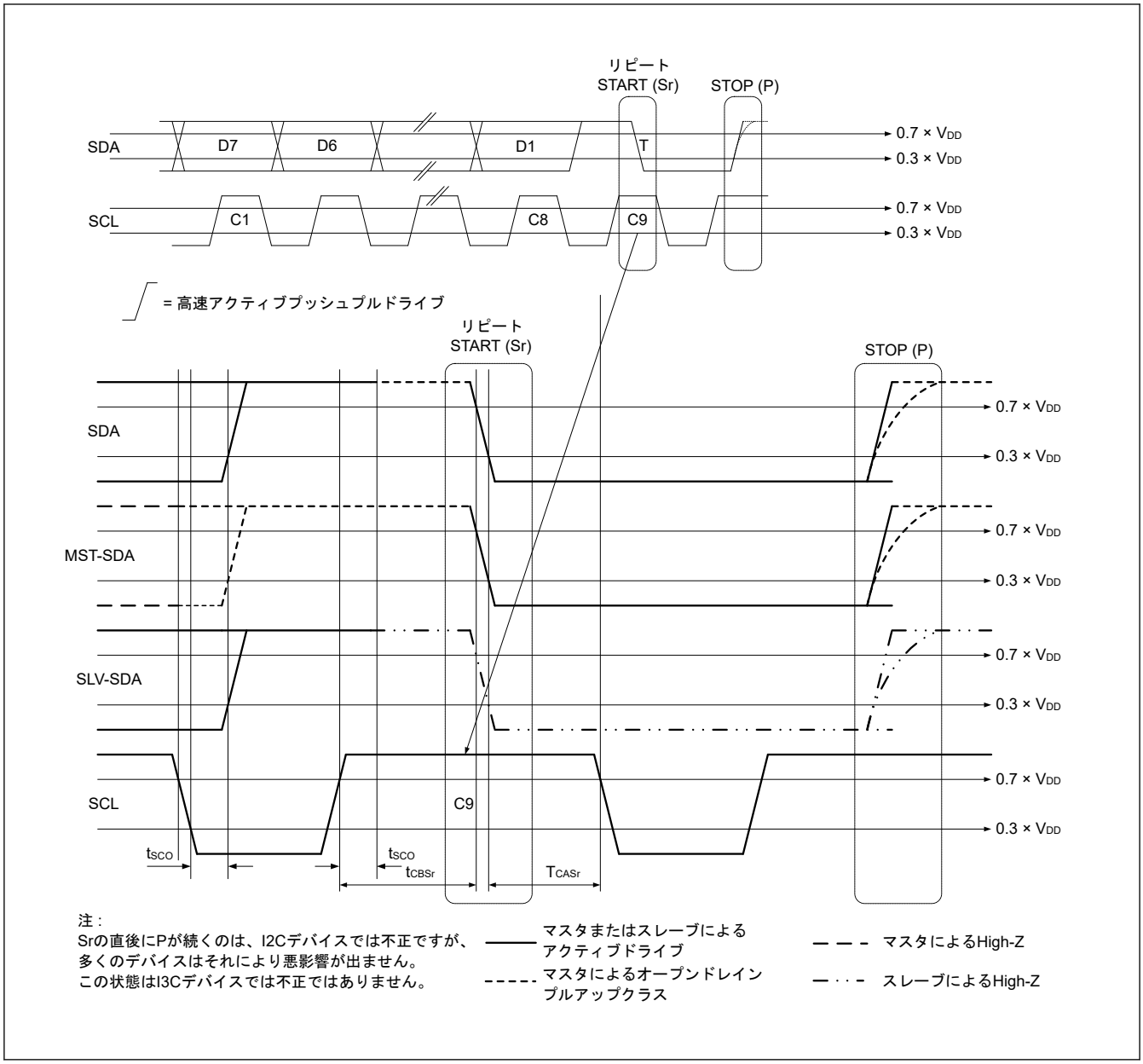


図 2.43 繰り返しのスタートコンディションおよびストップコンディションでのマスタ終了時の T ビット読み出し

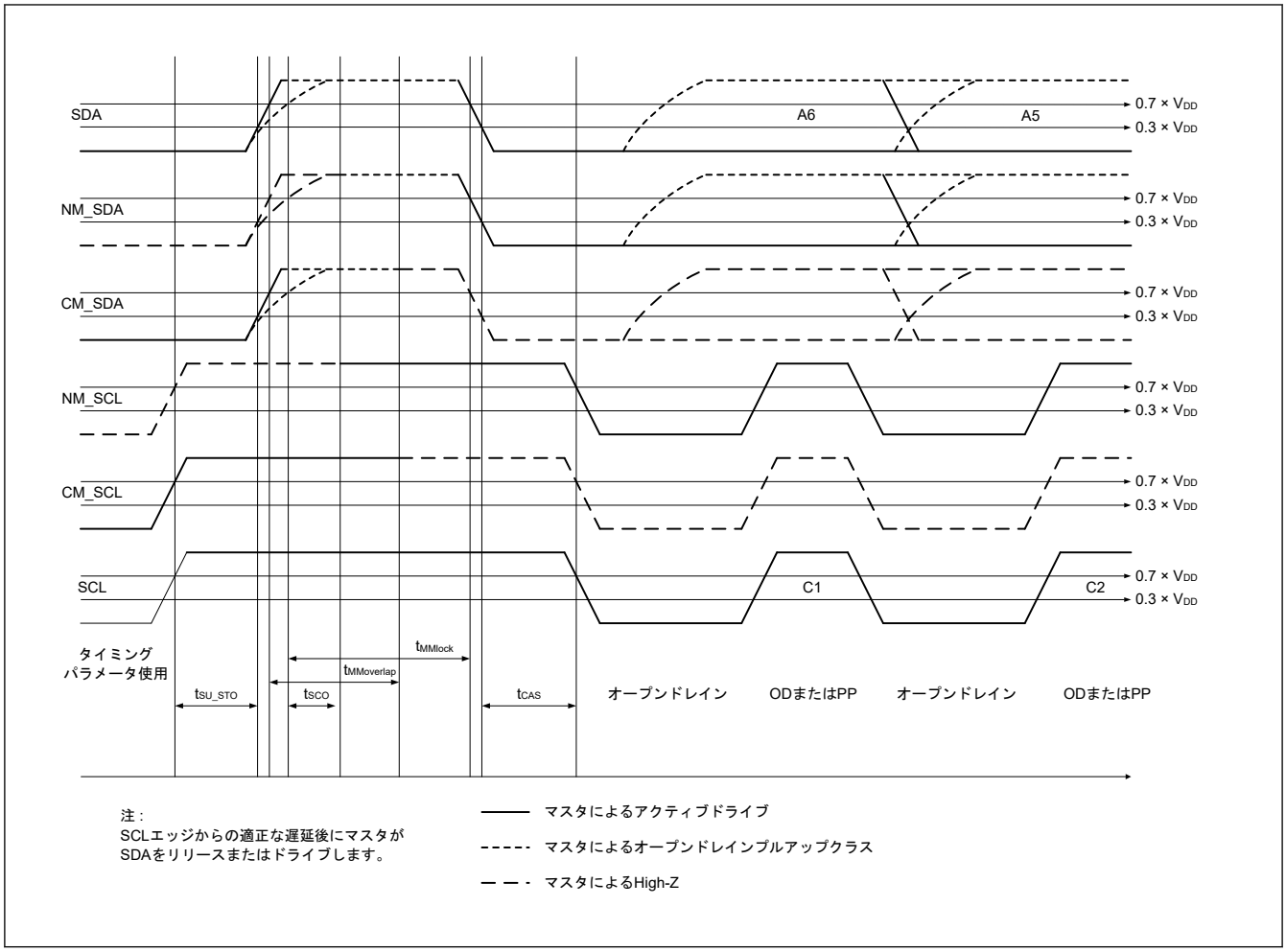


図 2.44　I3C タイミング

2.3.11　SSIE タイミング

表 2.39　SSIE タイミング (1/2)

条件：VCC = 2.7～5.5 V
(1) 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	目標仕様		単位	測定条件
				Min	Max		
SSIBCK0	サイクル	マスタ	t_O	187.5	—	ns	図 2.45
		スレーブ	t_I	187.5	—	ns	
	High レベル／Low レベル	マスタ	t_{HC}/t_{LC}	0.35	—	t_O	
		スレーブ		0.35	—	t_I	
	立ち上がり時間／立ち下がり時間	マスタ	t_{RC}/t_{FC}	—	0.15	t_O / t_I	
		スレーブ		—	0.15	t_O / t_I	

表 2.39 SSIE タイミング (2/2)

条件：VCC = 2.7～5.5 V
(1) 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	目標仕様		単位	測定条件
				Min	Max		
SSILRCK0/ SSIFS0、 SSITXD0、 SSIRXD0	入力セットアップ時間	マスタ	t_{SR}	40	—	ns	図 2.47、図 2.48
		スレーブ		12	—	ns	
	入力ホールド時間	マスタ	t_{HR}	10	—	ns	
		スレーブ		18	—	ns	
	出力遅延時間	マスタ	t_{DTR}	0	20	ns	
		スレーブ		0	50	ns	
	SSILRCK0/SSIFS0 変化時からの出力遅延時間	スレーブ	t_{DTRW}	0	50	ns	図 2.47、図 2.48
GTIOC4A, AUDIO_CLK	サイクル		t_{EXcyc}	31.25	—	ns	図 2.46
	High レベル／Low レベル		t_{EXL}/t_{EXH}	0.4	0.6	t_{EXcyc}	

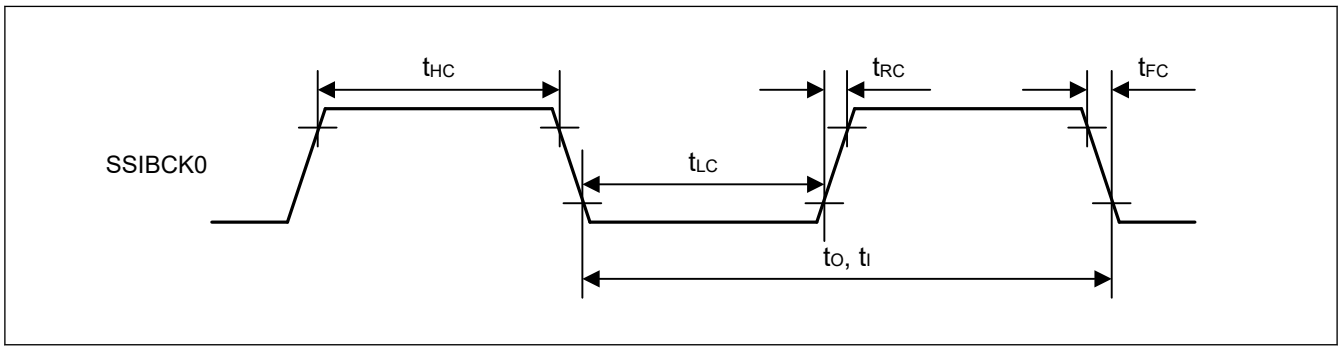


図 2.45 SSIE クロック入出力タイミング

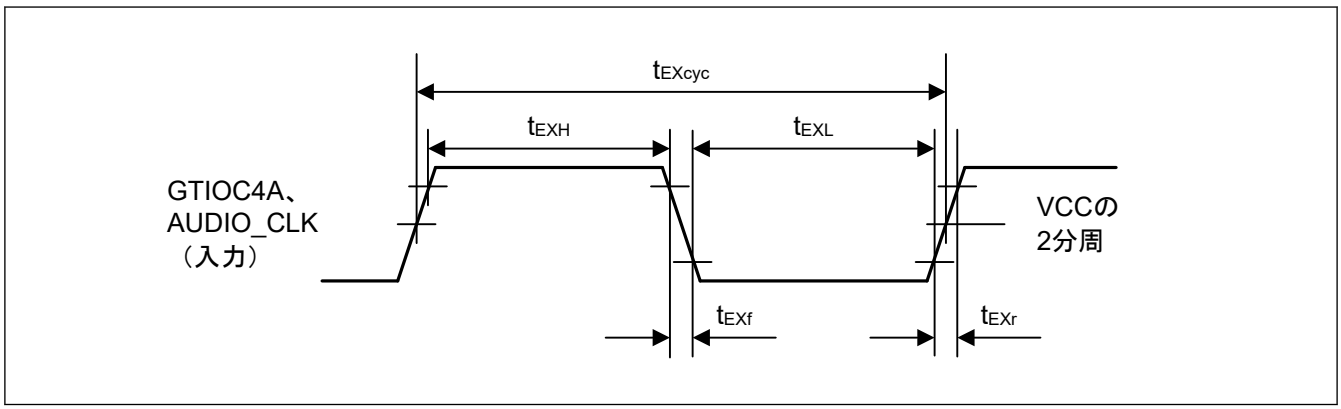


図 2.46 クロック入力タイミング

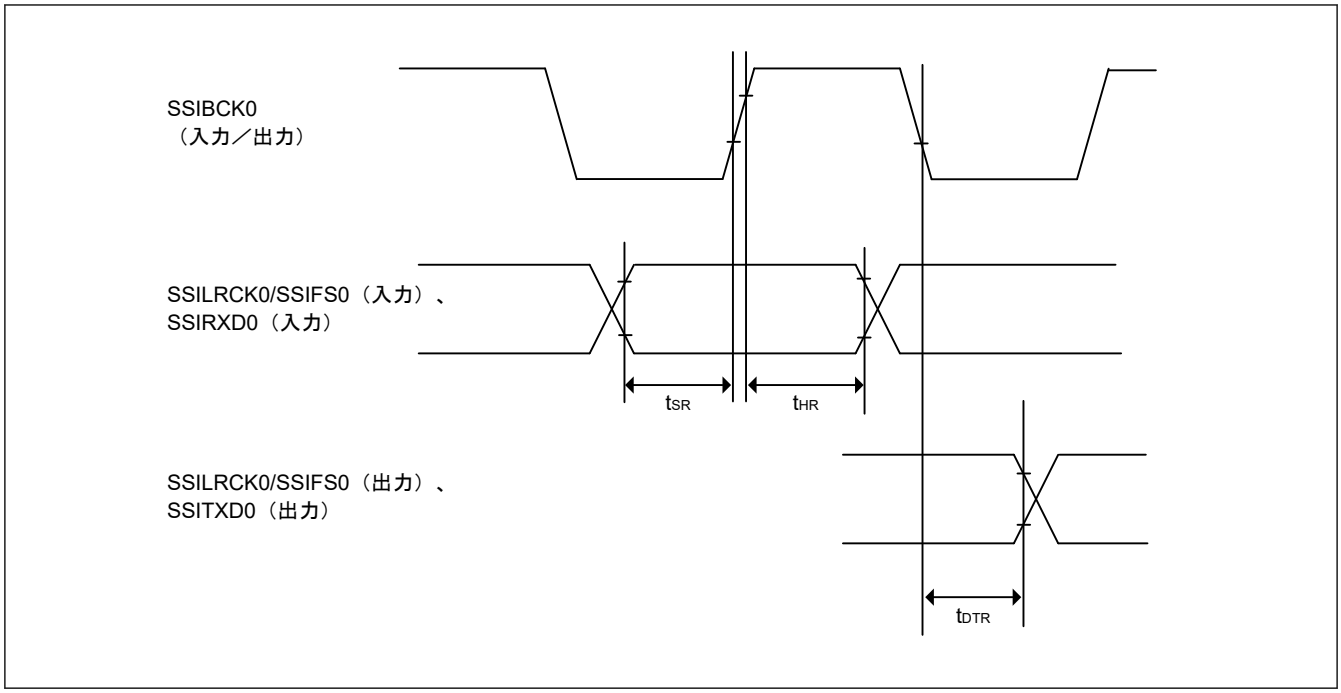


図 2.47　SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

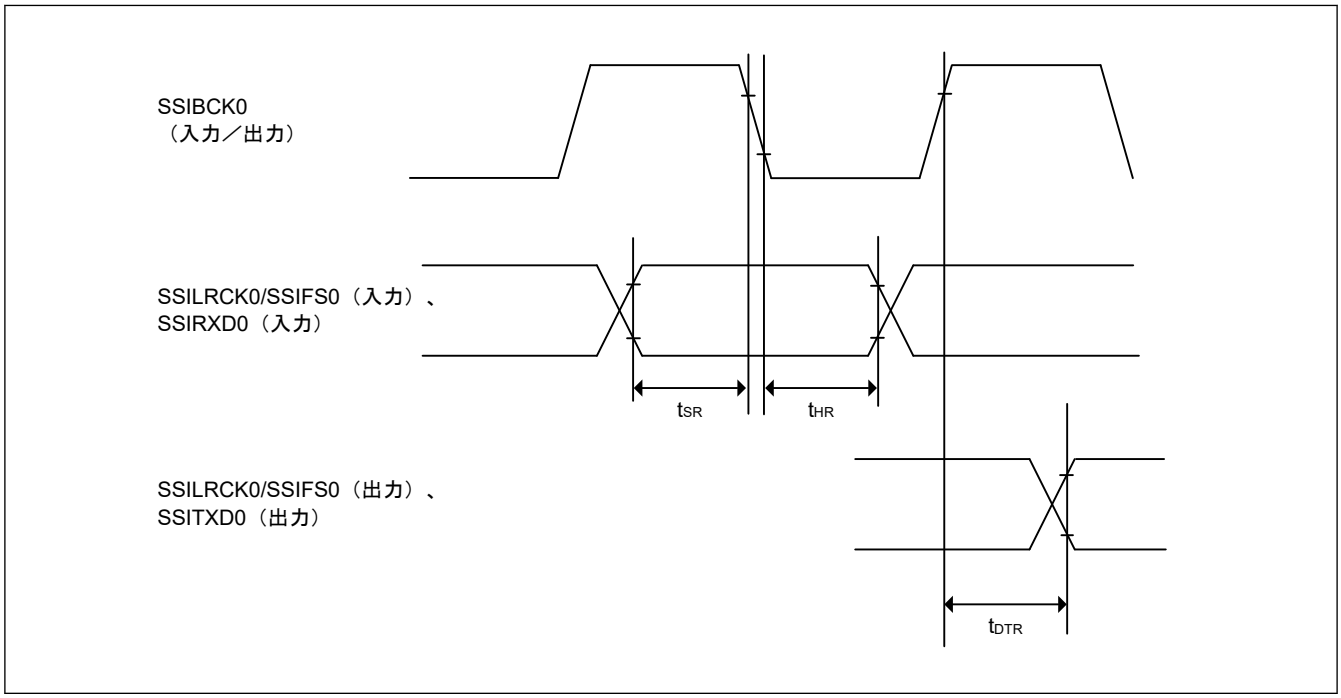
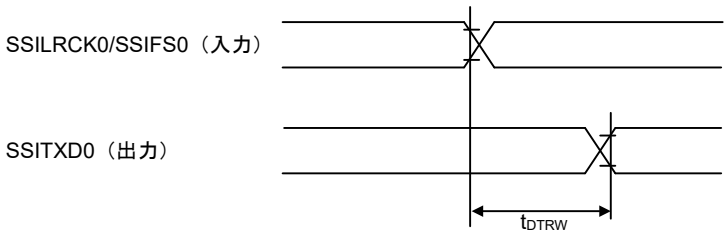


図 2.48　SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング



スレーブトランスミッタのSSILRCK0/SSIFS0変化後のMSBビット出力遅延
（SSICRレジスタにおいて、DEL = 1かつSDTA = 0の場合、またはDEL = 1、SDTA = 1、
かつSWL[2:0] = DWL[2:0]の場合）

図 2.49 SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

2.3.12 UARTA タイミング

表 2.40 UARTA インタフェースタイミング

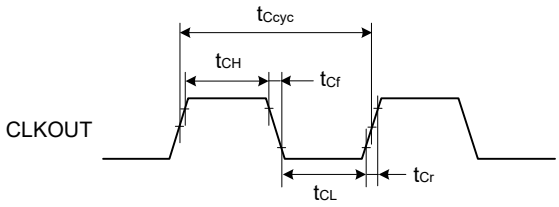
項目	シンボル	Min	Max	単位	測定条件
転送速度	—	200	153600	bps	—

2.3.13 CLKOUT タイミング

表 2.41 CLKOUT タイミング

項目			シンボル	Min	Max	単位	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注1)	2.7 V≦VCC≦5.5 V	t_{Ccyc}	62.5	—	ns	図 2.50
		1.8 V≦VCC < 2.7 V		125	—		
		1.6 V≦VCC < 1.8 V		250	—		
	CLKOUT 端子 High レベルパルス幅(注2)	2.7 V≦VCC≦5.5 V	t_{CH}	15	—	ns	
		1.8 V≦VCC < 2.7 V		30	—		
		1.6 V≦VCC < 1.8 V		150	—		
	CLKOUT 端子 Low レベルパルス幅(注2)	2.7 V≦VCC≦5.5 V	t_{CL}	15	—	ns	
		1.8 V≦VCC < 2.7 V		30	—		
		1.6 V≦VCC < 1.8 V		150	—		
	CLKOUT 端子出力立ち上がり時間	2.7 V≦VCC≦5.5 V	t_{Cr}	—	12	ns	
		1.8 V≦VCC < 2.7 V		—	25		
		1.6 V≦VCC < 1.8 V		—	50		
	CLKOUT 端子出力立ち下がり時間	2.7 V≦VCC≦5.5 V	t_{Cf}	—	12	ns	
		1.8 V≦VCC < 2.7 V		—	25		
		1.6 V≦VCC < 1.8 V		—	50		

注 1. EXTAL 外部クロック入力または発振器の 1 分周（CKOCR.CKOSEL[2:0]ビット = 011b かつ CKOCR.CKODIV[2:0]ビット = 000b）を使用して CLKOUT から出力する場合は、入力デューティーサイクル 45～55%で表 2.41 の仕様を満たします。
注 2. クロック出力ソースに MOCO が選択されている場合（CKOCR.CKOSEL[2:0]ビット = 001b）、クロック出力分周比を 2 分周（CKOCR.CKODIV[2:0]ビット = 001b）に設定してください。



測定条件：V_{OH} = VCC × 0.7, V_{OL} = VCC × 0.3, I_{OH} = -1.0 mA, I_{OL} = 1.0 mA, C = 30 pF

図 2.50　CLKOUT 出力タイミング

2.4　USB 特性

2.4.1　USBFS タイミング

表 2.42　USBFS フルスピード特性（USB_DP 端子および USB_DM 端子特性）

条件：VCC = 3.0～3.6、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = –200 µA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.51
	立ち上がり時間	t_{LR}	4	—	20	ns	
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	90	—	111.11	%	t_{FR}/ t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBFS: Rs = 27 Ω 含む
プルアップ特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	kΩ	アイドル状態の間
			1.425	—	3.090	kΩ	送受信中

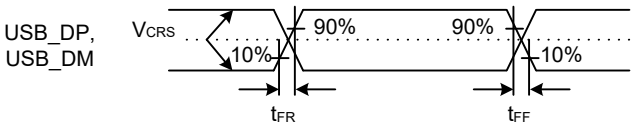


図 2.51　フルスピードモードにおける USB_DP、USB_DM の出力タイミング

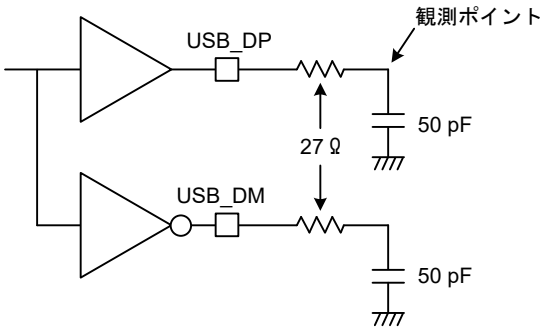


図 2.52　フルスピードモードにおける測定回路

2.4.2　USBCC 特性

表 2.43　USB Type-C インタフェース仕様

条件：VCC = 3.0～3.6

項目	シンボル	Min	Typ	Max	単位	測定条件
SRC 電圧検出スレッショルド	V_{SRC}	0.15	0.20	0.25	V	—
SNK VRD-1.5 電圧検出スレッショルド	V_{VRD15}	0.613	0.66	0.70	V	—
SNK VRD-3.0 電圧検出スレッショルド	V_{VRD30}	1.165	1.23	1.31	V	—
Rd プルダウン抵抗	Rd	4.6	5.1	5.6	kΩ	—
Rzopen プルダウン抵抗	Rzopen	126	—	—	kΩ	—

2.5　ADC12 特性

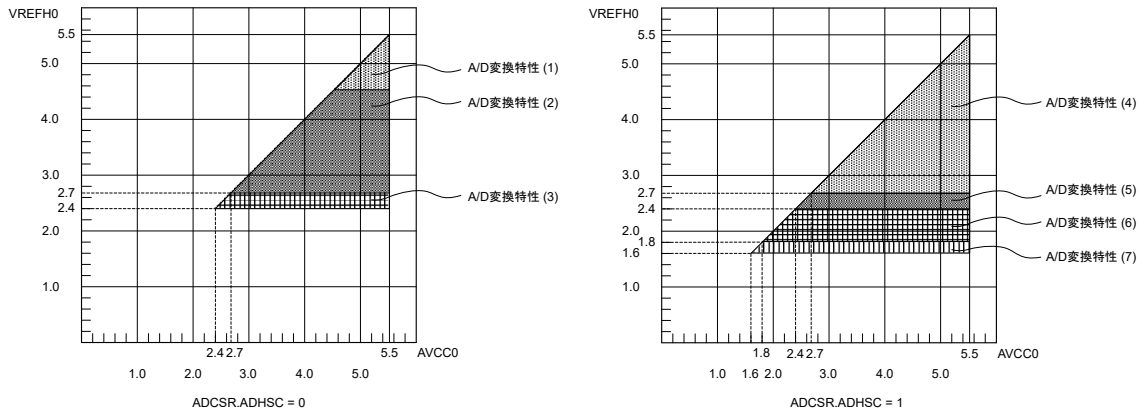


図 2.53　AVCC0～VREFH0 電圧範囲

表 2.44　高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件：VCC = AVCC0 = VREFH0 = 4.5～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	64	MHz	ADACSR.ADSAC = 0
			48	MHz	ADACSR.ADSAC = 1

表 2.44 高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件：VCC = AVCC0 = VREFH0 = 4.5～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.3(注3)	kΩ	高精度チャネル
		—	—	5.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 64 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.70 (0.211) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0
		1.34 (0.852) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x36 ADACSR.ADSAC = 0
変換時間(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±4.5	LSB	高精度チャネル
				±6.0	LSB	指定以外
フルスケール誤差		—	±1.0	±4.5	LSB	高精度チャネル
				±6.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.5	±5.0	LSB	高精度チャネル
				±8.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.45 高速 A/D 変換モードにおける A/D 変換特性 (2) (1/2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	48	MHz	—

表 2.45 高速 A/D 変換モードにおける A/D 変換特性 (2) (2/2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9(注3)	kΩ	高精度チャネル
		—	—	6.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
フルスケール誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.5	±6.0	LSB	高精度チャネル
				±9.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.46 高速 A/D 変換モードにおける A/D 変換特性 (3) (1/2)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	32	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.2(注3)	kΩ	高精度チャネル
		—	—	7.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—

表 2.46 高速 A/D 変換モードにおける A/D 変換特性 (3) (2/2)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間(注1)（PCLKD = 32 MHz で動作時）	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.94 (1.266)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
フルスケール誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.50	±6.0	LSB	高精度チャネル
				±9.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.47 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (1/2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	24	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9(注3)	kΩ	高精度チャネル
		—	—	6(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1)（PCLKD = 24 MHz で動作時）	許容信号源インピーダンス Max = 1.1 kΩ	1.58 (0.438)(注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		2.0 (0.854)(注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1

表 2.47 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (2/2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
オフセット誤差	—	±1.25	±6.0	LSB	高精度チャネル
			±7.5	LSB	指定以外
フルスケール誤差	—	±1.25	±6.0	LSB	高精度チャネル
			±7.5	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.25	±7.0	LSB	高精度チャネル
			±10.0	LSB	指定以外
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.48 低消費電力 A/D 変換モードにおける A/D 変換特性 (5) (1/2)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	16	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.2(注3)	kΩ	高精度チャネル
		—	—	7(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 16 MHz で動作時)	許容信号源インピーダンス Max = 2.2 kΩ	2.38 (0.656) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		3.0 (1.281) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±6.0	LSB	高精度チャネル
				±7.5	LSB	指定以外
フルスケール誤差		—	±1.25	±6.0	LSB	高精度チャネル
				±7.5	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.25	±7.0	LSB	高精度チャネル
				±10.0	LSB	指定以外

表 2.48 低消費電力 A/D 変換モードにおける A/D 変換特性 (5) (2/2)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.49 低消費電力 A/D 変換モードにおける A/D 変換特性 (6)

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	8	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	6(注3)	kΩ	高精度チャネル
		—	—	14(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 8 MHz で動作時)	許容信号源インピーダンス Max = 5 kΩ	4.75 (1.313) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		6.0 (2.563) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
フルスケール誤差		—	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±9.5	LSB	高精度チャネル
				±13.5	LSB	指定以外
DNL 微分非直線性誤差		—	±2.0	—	LSB	—
INL 積分非直線性誤差		—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

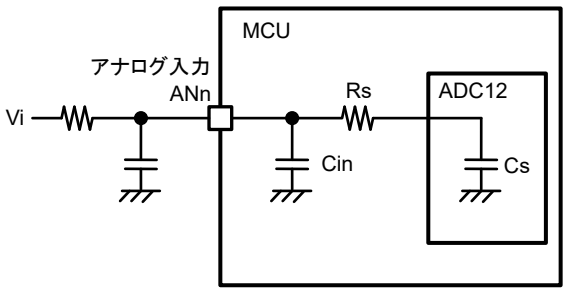
表 2.50 低消費電力 A/D 変換モードにおける A/D 変換特性 (7)

条件：VCC = AVCC0 = VREFH0 = 1.6～5.5 V(注5), VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	4	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	12(注3)	kΩ	高精度チャネル
		—	—	28(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 4 MHz で動作時)	許容信号源インピーダンス Max = 9.9 kΩ	9.5 (2.625) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		12.0 (5.125) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
フルスケール誤差		—	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±9.5	LSB	高精度チャネル
				±13.5	LSB	指定以外
DNL 微分非直線性誤差		—	±2.0	—	LSB	—
INL 積分非直線性誤差		—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、「2.2.4. I/O V_{OH}、V_{OL}、その他の特性」を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

図 2.54 にアナログ入力の等価回路を示します。



注. この図に端子リーク電流は記載されていません。

図 2.54 アナログ入力の等価回路

表 2.51 12 ビット A/D コンバータチャネル分類

分類	チャネル	備考	測定条件
高精度チャネル	AN000～AN010	AN000～AN010 端子は、汎用 I/O、TS 送信に使用不可（A/D コンバータが使用中の場合）	AVCC0 = 1.6～5.5 V
通常精度チャネル	AN017～AN022		
内部基準電圧入力チャネル	内部基準電圧	—	AVCC0 = 1.8～5.5 V
温度センサ入力チャネル	温度センサ出力	—	AVCC0 = 1.8～5.5 V

表 2.52 A/D 内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャネル(注2)	1.42	1.48	1.54	V	—
PCLKD (ADCLK) 周波数(注3)	1	—	2	MHz	—
サンプリング時間(注4)	5.0	—	—	μs	—

注 1. AVCC0 < 1.8 V のとき、内部基準電圧を入力チャネルに選択することはできません。
注 2. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。
注 3. 高電位基準電圧に内部基準電圧を選択した場合
注 4. 内部基準電圧の変換時

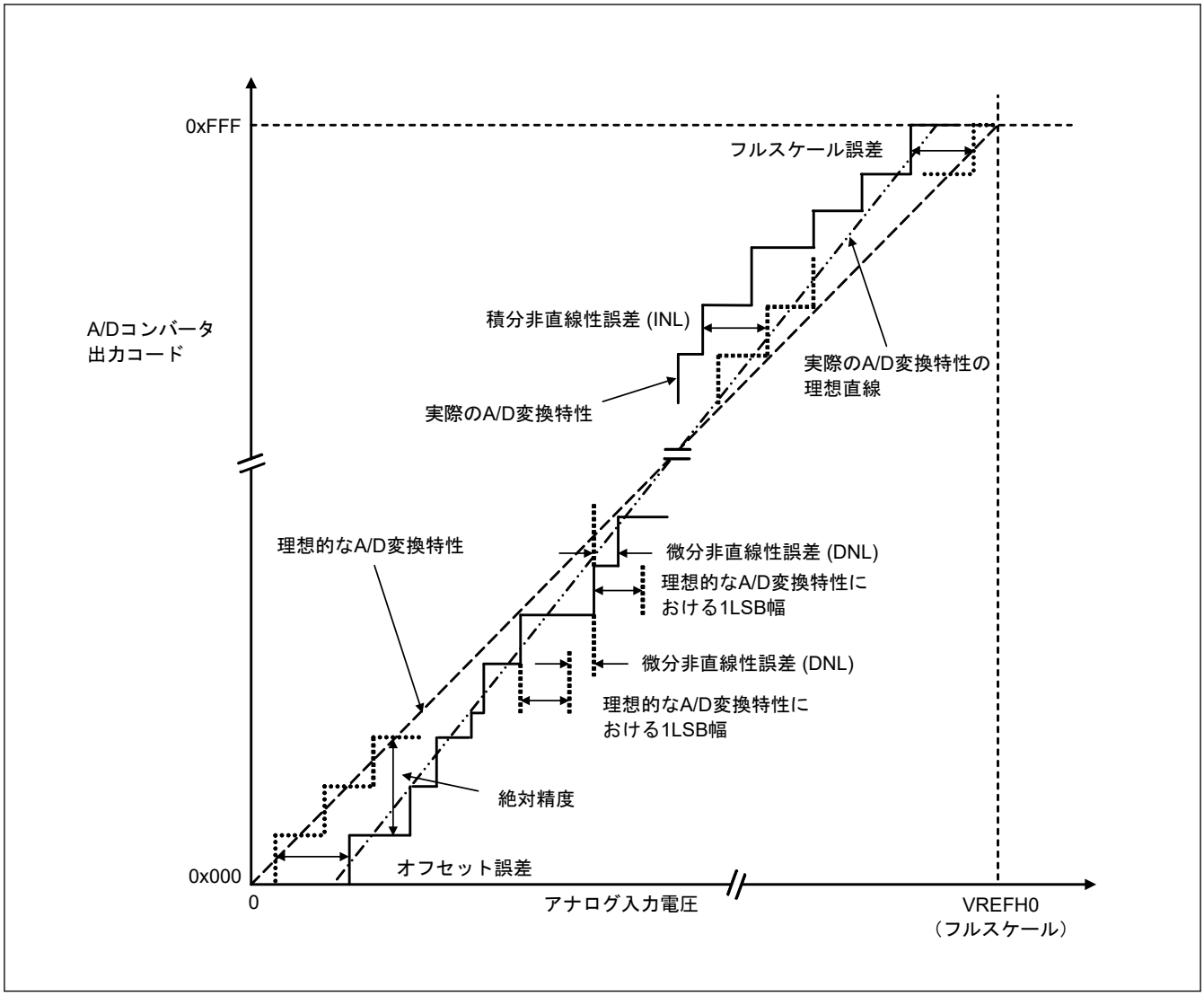


図 2.55　12 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072 V の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、および 1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003～0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.6 TSN 特性

表 2.53 TSN 特性

条件：VCC = AVCC0 = 1.8～5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.5	—	℃	2.4 V 以上
		—	±2.0	—	℃	2.4 V 未満
温度傾斜	—	—	-3.3	—	mV/℃	—
出力電圧（25℃時）	—	—	1.05	—	V	VCC = 3.3 V
温度センサ起動時間	t_{START}	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	

2.7 OSC 停止検出特性

表 2.54 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.56

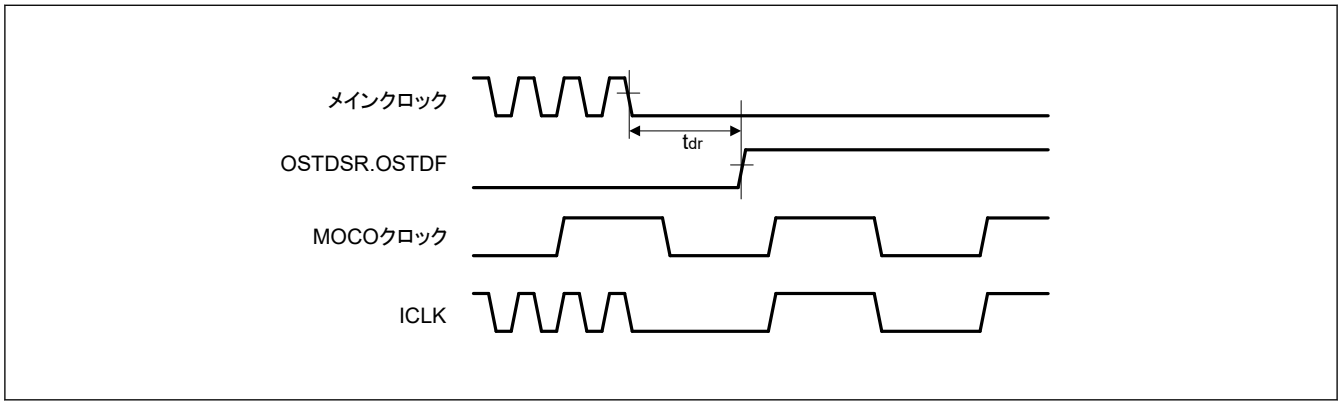


図 2.56 発振停止検出タイミング

2.8 POR と LVD の特性

表 2.55 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル(注1)	パワーオンリセット (POR)	電源上昇時	V_{POR}	1.47	1.51	1.55	V	図 2.57
		電源下降時	V_{PDR}	1.46	1.50	1.54		図 2.58
	電圧検出回路 (LVD0)(注2)	電源上昇時	V_{det0_0}	3.74	3.91	4.06	V	図 2.59 VCC 立ち下がりエッジ時
		電源下降時		3.68	3.85	4.00		
		電源上昇時	V_{det0_1}	2.73	2.9	3.01		
		電源下降時		2.68	2.85	2.96		
		電源上昇時	V_{det0_2}	2.44	2.59	2.70		
		電源下降時		2.38	2.53	2.64		
		電源上昇時	V_{det0_3}	1.83	1.95	2.07		
		電源下降時		1.78	1.90	2.02		
		電源上昇時	V_{det0_4}	1.66	1.75	1.88		
		電源下降時		1.60	1.69	1.82		

表 2.55 パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル(注1)	電圧検出回路 (LVD1)(注3)	電源上昇時	V_{det1_0}	4.23	4.39	4.55	V	図 2.60 VCC 立ち下がりエッジ時
		電源下降時		4.13	4.29	4.45		
		電源上昇時	V_{det1_1}	4.07	4.25	4.39		
		電源下降時		3.98	4.16	4.30		
		電源上昇時	V_{det1_2}	3.97	4.14	4.29		
		電源下降時		3.86	4.03	4.18		
		電源上昇時	V_{det1_3}	3.74	3.92	4.06		
		電源下降時		3.68	3.86	4.00		
		電源上昇時	V_{det1_4}	3.05	3.17	3.29		
		電源下降時		2.98	3.10	3.22		
		電源上昇時	V_{det1_5}	2.95	3.06	3.17		
		電源下降時		2.89	3.00	3.11		
		電源上昇時	V_{det1_6}	2.86	2.97	3.08		
		電源下降時		2.79	2.90	3.01		
		電源上昇時	V_{det1_7}	2.74	2.85	2.96		
		電源下降時		2.68	2.79	2.90		
電圧検出レベル(注1)	電圧検出回路 (LVD1)(注3)	電源上昇時	V_{det1_8}	2.63	2.75	2.85	V	図 2.60 VCC 立ち下がりエッジ時
		電源下降時		2.58	2.68	2.78		
		電源上昇時	V_{det1_9}	2.54	2.64	2.75		
		電源下降時		2.48	2.58	2.68		
		電源上昇時	V_{det1_A}	2.43	2.53	2.63		
		電源下降時		2.38	2.48	2.58		
		電源上昇時	V_{det1_B}	2.16	2.26	2.36		
		電源下降時		2.10	2.20	2.30		
		電源上昇時	V_{det1_C}	1.88	2	2.09		
		電源下降時		1.84	1.96	2.05		
		電源上昇時	V_{det1_D}	1.78	1.9	1.99		
		電源下降時		1.74	1.86	1.95		
		電源上昇時	V_{det1_E}	1.67	1.79	1.88		
		電源下降時		1.63	1.75	1.84		
		電源上昇時	V_{det1_F}	1.65	1.7	1.78		
		電源下降時		1.60	1.65	1.73		
電圧検出レベル(注1)	電圧検出回路 (LVD2)(注4)	電源上昇時	V_{det2_0}	4.20	4.40	4.57	V	図 2.61 VCC 立ち下がりエッジ時
		電源下降時		4.11	4.31	4.48		
		電源上昇時	V_{det2_1}	4.05	4.25	4.42		
		電源下降時		3.97	4.17	4.34		
		電源上昇時	V_{det2_2}	3.91	4.11	4.28		
		電源下降時		3.83	4.03	4.20		
		電源上昇時	V_{det2_3}	3.71	3.91	4.08		
		電源下降時		3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。
注 2. $V_{det0_\#}$の#は OFS1.VDSEL0[2:0]ビットの値を示しています。

注 3. $V_{det1_\#}$の#は LVDLVLR.LVD1LVL[4:0]ビットの値を示しています。
注 4. $V_{det2_\#}$の#は LVDLVLR.LVD2LVL[2:0]ビットの値を示しています。

表 2.56 パワーオンリセット回路と電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0：有効	t_{POR}	—	4.3	—	ms	—
	LVD0：無効	t_{POR}	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0：有効(注1)	$t_{LVD0, 1, 2}$	—	1.4	—	ms	—
	LVD0：無効(注2)	$t_{LVD1, 2}$	—	0.7	—	ms	—
パワーオンリセット応答遅延時間(注3)		t_{det}	—	—	500	µs	図 2.57、図 2.58
LVD0 応答遅延時間(注3)		t_{det}	—	—	500	µs	図 2.59
LVD1 応答遅延時間(注3)		t_{det}	—	—	350	µs	図 2.60
LVD2 応答遅延時間(注3)		t_{det}	—	—	600	µs	図 2.61
最小 VCC 低下時間		t_{VOFF}	500	—	—	µs	図 2.57、VCC = 1.0 V 以上
パワーオンリセット有効時間		$t_{W (POR)}$	1	—	—	ms	図 2.58、VCC = 1.0 V 未満
LVD1 動作安定時間（LVD1 有効切り替え後）		$T_{d (E-A)}$	—	—	300	µs	図 2.60
LVD2 動作安定時間（LVD2 有効切り替え後）		$T_{d (E-A)}$	—	—	1200	µs	図 2.61
ヒステリシス幅 (POR)		V_{PORH}	—	10	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)		V_{LVH}	—	60	—	mV	LVD0 選択時
			—	110	—		V_{det1_0}～V_{det1_2} を選択
			—	70	—		V_{det1_3}～V_{det1_9} を選択
			—	60	—		V_{det1_A}～V_{det1_B} を選択
			—	50	—		V_{det1_C}～V_{det1_F} を選択
			—	90	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき
注 2. OFS1.LVDAS = 1 のとき
注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR}、V_{det0}、V_{det1}、V_{det2} の最小値を下回っている時間です。

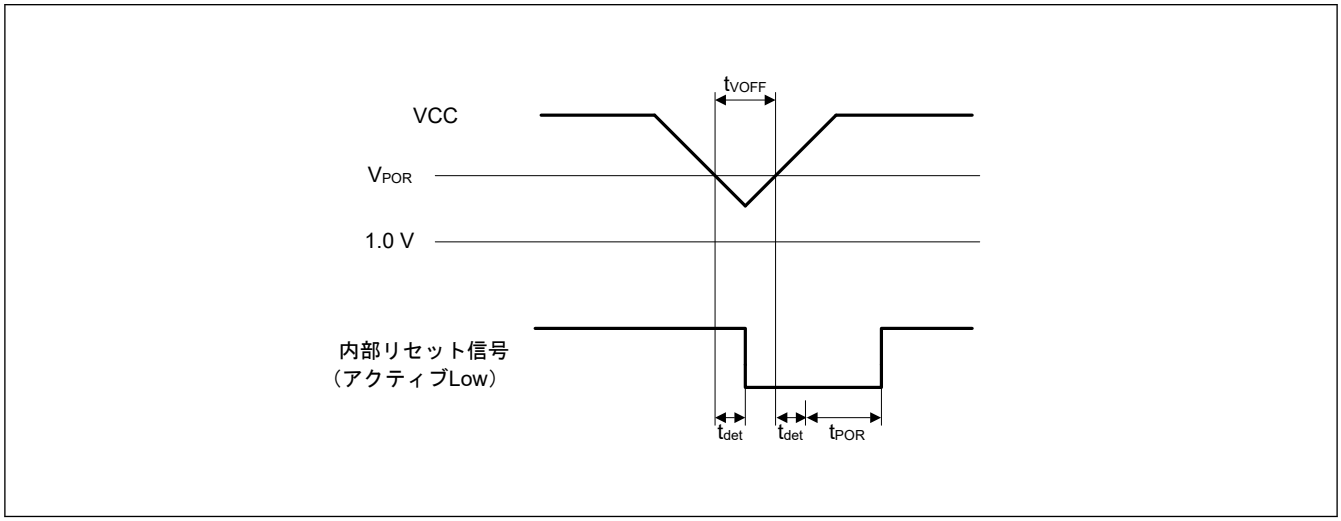
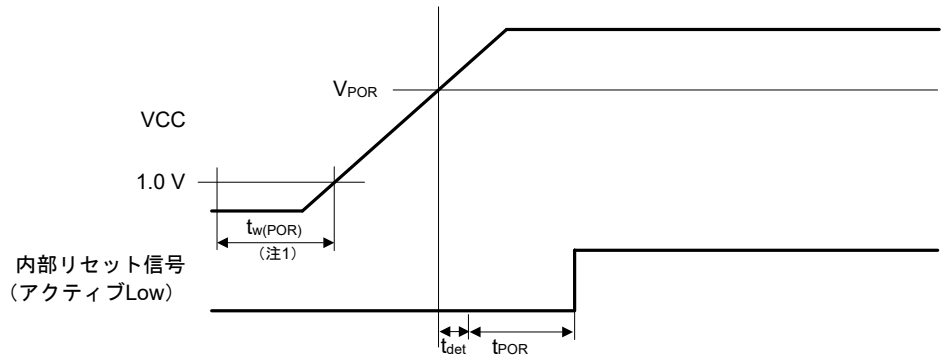


図 2.57 電圧検出リセットタイミング



注 1. $t_{w\ (POR)}$は、外部電源 VCC を有効電圧 (1.0 V) 未満に保持してパワーオンリセットが有効になるために必要な時間です。VCC がオンになると、$t_{w\ (POR)}$を 1.0 ms 以上保持します。

図 2.58 パワーオンリセットタイミング

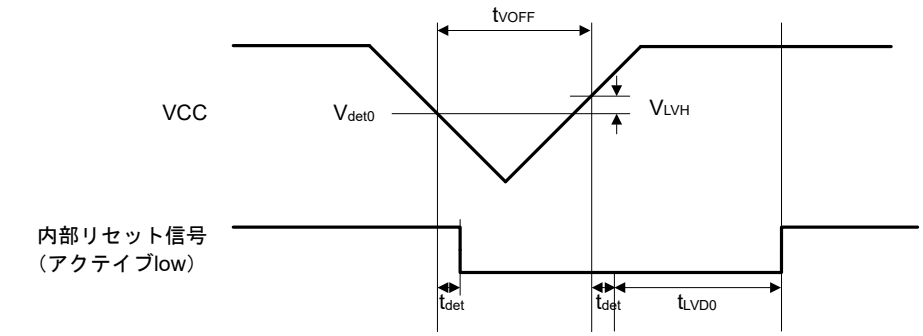


図 2.59 電圧検出回路タイミング (V_{det0})

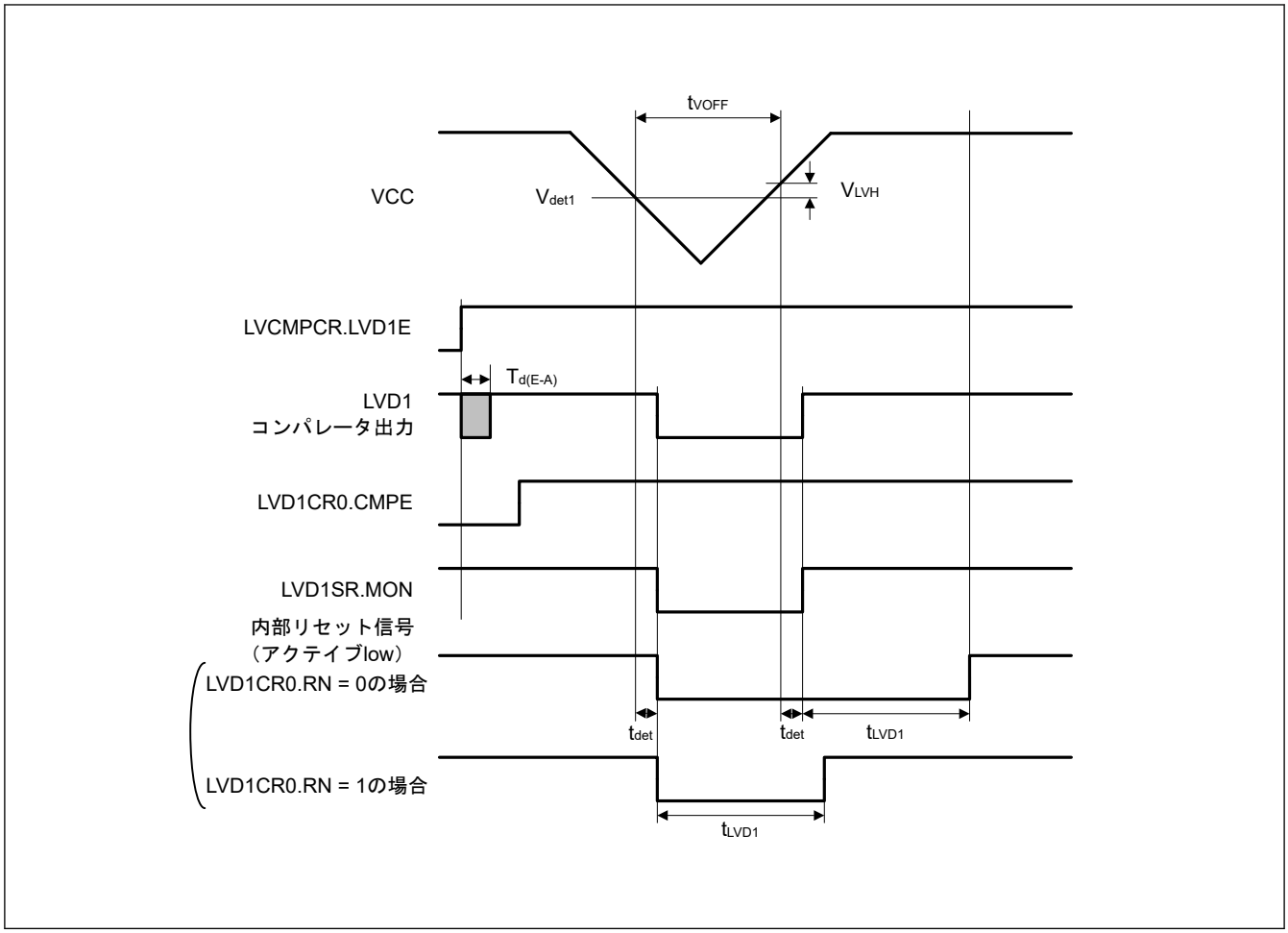


図 2.60　電圧検出回路タイミング (V_{det1})

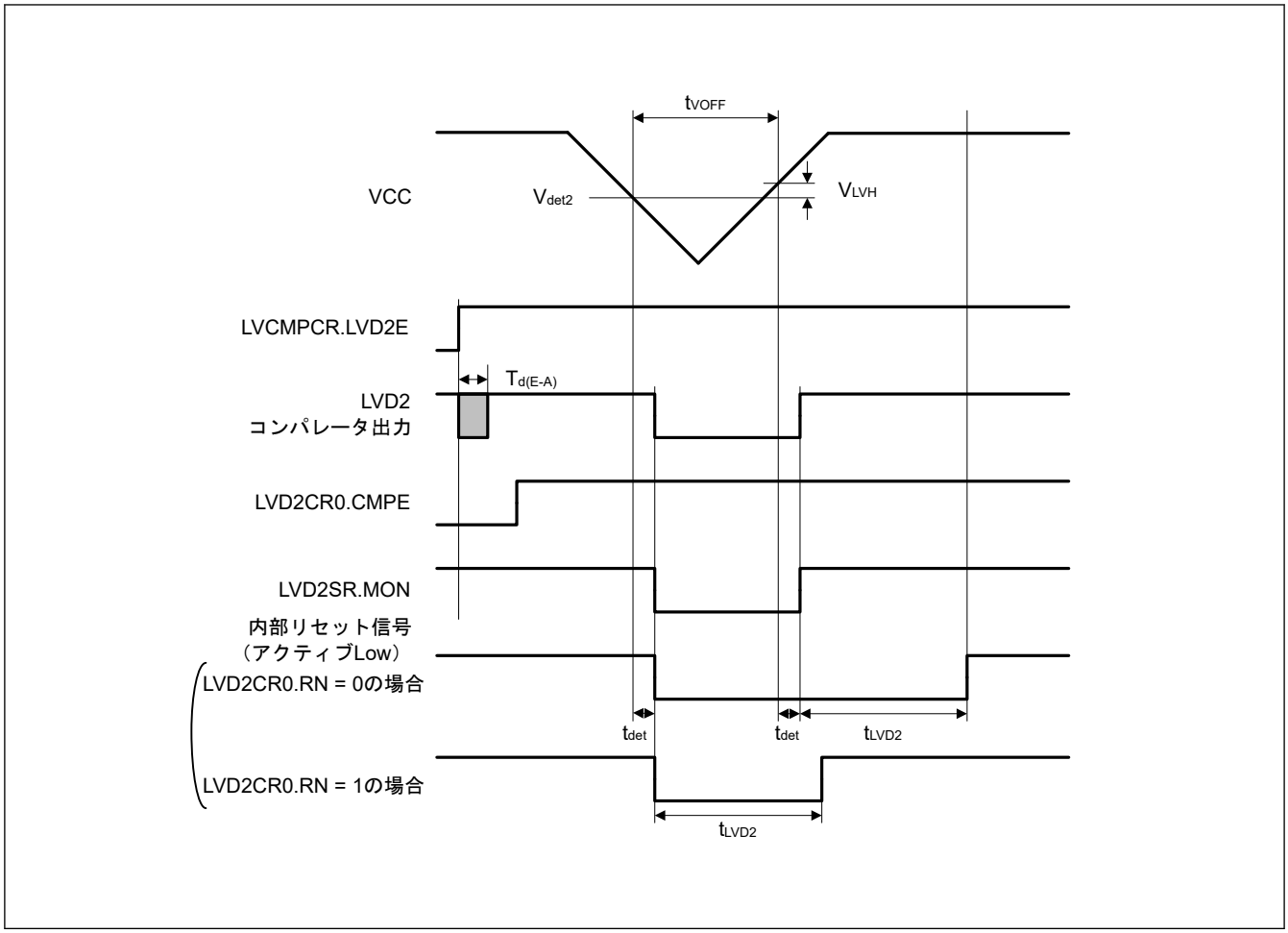


図 2.61　電圧検出回路タイミング (V_{det2})

2.9　フラッシュメモリ特性

2.9.1　コードフラッシュメモリ特性

表 2.57　コードフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	測定条件
再プログラム／イレースサイクル(注1)		N_{PEC}	1000	—	—	回	—
データ保持時間	1000 回の N_{PEC} の後	t_{DRP}	20 (注2)	—	—	年	T_a = +105℃
			10(注2)	—	—	年	T_a = +125℃

注 1.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 1,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 512 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書き禁止）。
注 2.　この結果は信頼性試験から得られたものです。

表 2.58　コードフラッシュ特性 (2) (1/2)

High-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	34	321	µs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	5.6	215	ms

表 2.58 コードフラッシュ特性 (2) (2/2)

High-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	8.3	µs
	2 KB	t_{BC2K}	—	—	3681	—	—	240	µs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	10.5	µs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	11.4	423	ms
OCD／シリアルプログラマ ID 設定時間(注1)		t_{OSIS}	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	µs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	µs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1. 4 コマンドの合計時間です。

表 2.59 コードフラッシュ特性 (3)

Middle-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注2)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	39	356	µs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	6.2	227	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	11.3	µs
	2 KB	t_{BC2K}	—	—	3681	—	—	534	µs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	11.7	µs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	12.2	435	ms
OCD／シリアルプログラマ ID 設定時間(注1)		t_{OSIS}	—	84.7	2280	—	48.7	1740	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	µs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	µs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1. 4 コマンドの合計時間です。
注 2. 1.8 V ≦ VCC = AVCC0 ≦ 5.5 V の場合

表 2.60 コードフラッシュ特性 (4)

Low-speed 動作モード
条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	57	502	µs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	8.8	280	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	23.3	µs
	2 KB	t_{BC2K}	—	—	3681	—	—	1841	µs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	16.2	µs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	15.9	491	ms
OCD／シリアルプログラマ ID 設定時間(注1)		t_{OSIS}	—	84.7	2280	—	63.5	1964	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	µs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	µs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1. 4 コマンドの合計時間です。

2.9.2 データフラッシュメモリ特性

表 2.61 データフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	測定条件
再プログラム／イレースサイクル(注1)		N_{DPEC}	100000	1000000	—	回	—
データ保持時間	10000 回の N_{DPEC} の後	t_{DDRP}	20 (注2)	—	—	年	Ta = +105℃
			10 (注2)	—	—	年	Ta = +125℃
	100000 回の N_{DPEC} の後		5 (注2)	—	—	年	Ta = +105℃
	1000000 回の N_{DPEC} の後		—	1 (注2)	—	年	Ta = +25℃

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）
注 2. この結果は信頼性試験から得られたものです。

表 2.62 データフラッシュ特性 (2) (1/2)

High-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	45	404	—	34	321	µs
イレース時間	1 KB	t_{DE1K}	—	8.8	280	—	6.1	224	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	15.2	—	—	8.3	µs
	1 KB	t_{DBC1K}	—	—	1832	—	—	466	µs
イレース実行中のサスペンド時間		t_{DSED}	—	—	13.2	—	—	10.5	µs

表 2.62 データフラッシュ特性 (2) (2/2)

High-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
		Min	Typ	Max	Min	Typ	Max	
データフラッシュ STOP 復帰時間	t_{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 2.63 データフラッシュ特性 (3)

Middle-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注1)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	45	404	—	39	356	µs
イレース時間	1 KB	t_{DE1K}	—	8.8	280	—	7.3	248	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	15.2	—	—	11.3	µs
	1 KB	t_{DBC1K}	—	—	1.84	—	—	1.06	ms
イレース実行中のサスペンド時間		t_{DSED}	—	—	13.2	—	—	11.7	µs
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1. 1.8 V ≦ VCC = AVCC0 ≦ 5.5 V の場合

表 2.64 データフラッシュ特性 (4)

Low-speed 動作モード
条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	86	732	—	57	502	µs
イレース時間	1 KB	t_{DE1K}	—	19.7	504	—	12.4	354	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	46.5	—	—	23.3	µs
	1 KB	t_{DBC1K}	—	—	7.3	—	—	3.66	ms
イレース実行中のサスペンド時間		t_{DSED}	—	—	22.3	—	—	16.2	µs
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 2 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

2.10 シリアルワイヤデバッグ (SWD)

表 2.65 SWD 特性 (1)

条件：VCC = AVCC0 = 2.4～5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	80	—	—	ns	図 2.62
SWCLK クロック High レベルパルス幅	t_{SWCKH}	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	35	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	16	—	—	ns	図 2.63
SWDIO ホールド時間	t_{SWDH}	16	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	70	ns	

表 2.66 SWD 特性 (2)

条件：VCC = AVCC0 = 1.6～2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	250	—	—	ns	図 2.62
SWCLK クロック High レベルパルス幅	t_{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	50	—	—	ns	図 2.63
SWDIO ホールド時間	t_{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	170	ns	

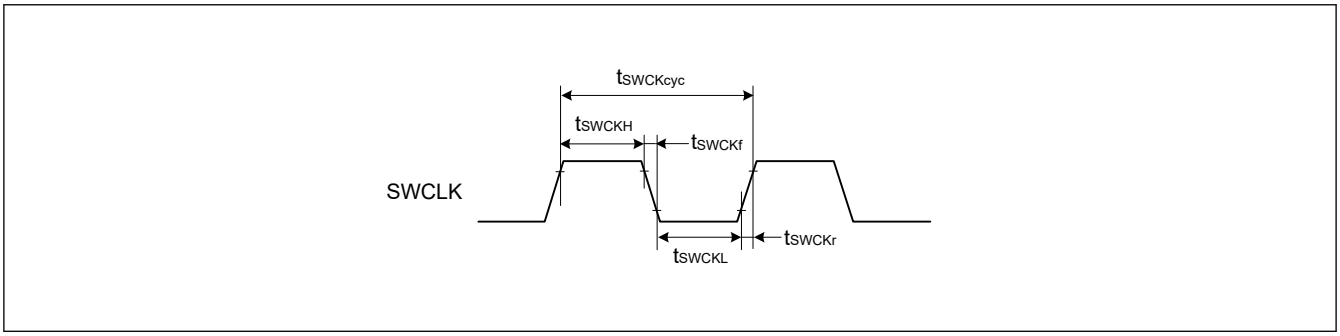


図 2.62 SWD SWCLK タイミング

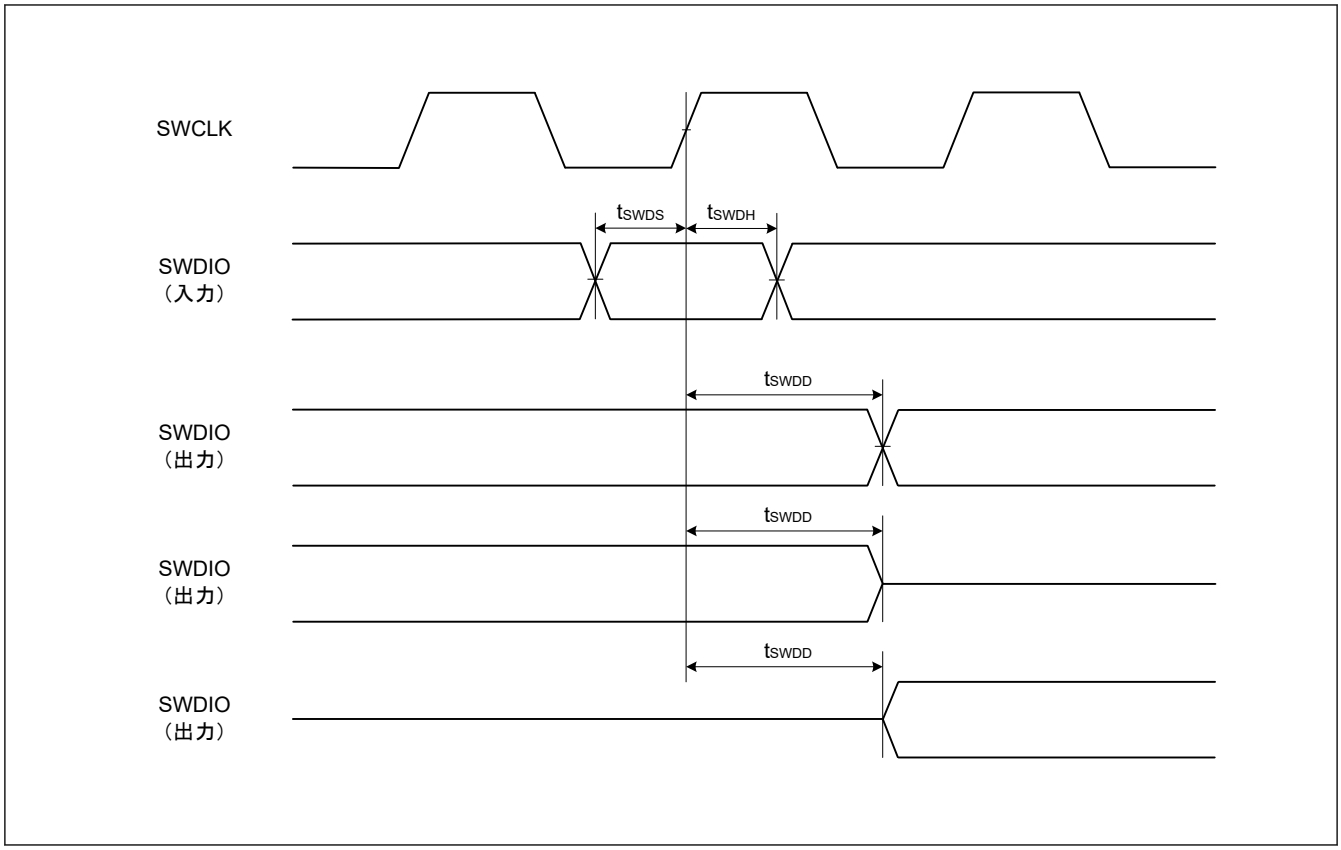


図 2.63　SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 A1.1 各プロセスモードのポート状態 (1/3)

ポート名	リセット	ソフトウェアスタンバイモード
P000/AN000/IRQ6	Hi-Z	Keep-O(注1)
P001/AN001/IRQ7	Hi-Z	Keep-O(注1)
P002/AN002/IRQ2	Hi-Z	Keep-O(注1)
P003/AN003	Hi-Z	Keep-O
P004/AN004/IRQ3	Hi-Z	Keep-O(注1)
P010/AN005/IRQ5_C	Hi-Z	Keep-O(注1)
P011/AN006/IRQ0_C	Hi-Z	Keep-O(注1)
P012/AN007/IRQ1_C	Hi-Z	Keep-O(注1)
P013/AN008/IRQ4_C	Hi-Z	Keep-O(注1)
P014/AN009/GTETRGA_E/IRQ6_C	Hi-Z	Keep-O(注1)
P015/AN010/GTETRGB_E/IRQ7_A	Hi-Z	Keep-O(注1)
P100/AN022/AGTIO0_A/GTETRGA_A/ GTIOC8B_A/RXD0_A/MISO0_A/SCL0_A/ SCK1_A/MISOA_A/SSIRXD0_C/KRM00/ IRQ2_A	Hi-Z	[AGTIO0_A 出力選択] AGTIO0_A 出力(注2) [上記以外] Keep-O(注1)
P101/AN021/AGTEE0/GTETRGB_A/ GTIOC8A_A/TXD0_A/ MOSI0_A/SDA0_ A/ CTS1_RTS1_A/SS1_A/MOSIA_A/ SSITXD0_C/KRM01/IRQ1_A	Hi-Z	Keep-O(注1)
P102/AN020/ADTRG0_A/AGTO0/ GTOWLO_A/GTIOC5B_A/CTX0_C/ SCK0_A/TXD2_D/ MOSI2_D/SDA2_D/ RSPCKA_A/SSILRCK0/SSIFS0_C/KRM02	Hi-Z	[AGTO0 選択] AGTO0 出力(注2) [上記以外] Keep-O(注1)
P103/AN019/GTOWUP_A/GTIOC5A_A/ CRX0_C/CTS0_RTS0_A/SS0_A/SSLA0_A/ SSIBCK0_C/KRM03/IRQ5_F	Hi-Z	Keep-O(注1)
P104/GTETRGB_B/GTIOC4B_B/RXD0_C/ MISO0_C/SCL0_ C/SSLA1_A/KRM04/ IRQ1_B	Hi-Z	Keep-O(注1)
P105/GTETRGA_C/GTIOC4A_B/SSLA2_A/ KRM05/IRQ0_B	Hi-Z	Keep-O(注1)
P106/SSLA3_A/KRM06	Hi-Z	Keep-O(注1)
P107/KRM07	Hi-Z	Keep-O(注1)
P108/SWDIO/AGTOA1_B/GTOULO_C/ GTIOC0B_A/CTS9_RTS9_B/SS9_B/ SSIDATA0_A/RXDA0_A	プルアップ	[AGTOA1_B 選択] AGTOA1_B 出力(注2) [RXDA0_A 選択] RXDA0_A 出力(注3) [上記以外] Keep-O
P109/AGTIO1_B/GTOVUP_A/GTIOC4A_A/ CRX0_A/SCK1_E/TXD9_B/MOSI9_B/ SDA9_B/SCL0_B/AUDIO_CLK_A/IRQ5_E/ CLKOUT_B/TXDA0_A/IRQ5_E	Hi-Z	[AGTIO1_B 選択] AGTIO1_B 出力(注2) [CLKOUT_B 選択] CLKOUT_B 出力 [上記以外] Keep-O(注1)
P110/AGTOB0_B/GTOVLO_A/GTIOC4B_A/ RTCOUT_B/CTX0_A/CTS2_RTS2_B/ SS2_B/RXD9_B/MISO9_B/SCL9_B/ SDA0_B/IRQ3_A	Hi-Z	[AGTOB0_B 選択] AGTOB0_B 出力(注2) [RTCOUT_B 選択] RTCOUT_B 出力 [上記以外] Keep-O(注1)

表 A1.1 各プロセスモードのポート状態 (2/3)

ポート名	リセット	ソフトウェアスタンバイモード
P111/AGTOA0/GTIOC6A_A/SCK2_B/ SCK9_B/IRQ4_A	Hi-Z	[AGTOA0 選択] AGTOA0 出力(注2) [上記以外] Keep-O(注1)
P112/ADTRG0_C/AGTOB0/GTIOC6B_A/ TXD2_B/MOSI2_B/SDA2_B/SCK1_D/ AUDIO_CLK_B	Hi-Z	[AGTOB0 選択] AGTOB0 出力(注2) [上記以外] Keep-O
P113	Hi-Z	Keep-O
P200/NMI	Hi-Z	Hi-Z
P201/MD	プルアップ	Keep-O
P204/CACREF_A/AGTIO1_A/GTIW_A/ SCK0_D/SCK9_A/SSIRXD0_B	Hi-Z	[AGTIO1_A 出力選択] AGTIO1_A 出力(注2) [上記以外] Keep-O(注1)
P205/AGTO1/GTIV_A/TXD0_D/MOSI0_D/ SDA0_D/CTS9_RTS9_A/SS9_A/ SSITXD0_B/IRQ1/CLKOUT_A	Hi-Z	[AGTO1 選択] AGTO1 出力(注2) [CLKOUT_A 選択] CLKOUT_A 出力 [上記以外] Keep-O(注1)
P206/GTIU_A/RXD0_D/MISO0_D/SCL0_D/ SSILRCK0/SSIFS0_B/IRQ0	Hi-Z	Keep-O(注1)
P207/SSIBCK0_B	Hi-Z	Keep-O
P212/EXTAL/AGTEE1/GTETRGB_D/ GTIOC0B_D/RXD1_A/MISO1_A/SCL1_A/ IRQ3_B	Hi-Z	Keep-O(注1)
P213/XTAL/GTETRGA_D/GTIOC0A_D/ TXD1_A/MOSI1_A/SDA1_A/IRQ2_B	Hi-Z	Keep-O(注1)
P214/XCOUT, P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P300/SWCLK/AGTIO0_B/GTOUUP_C/ GTIOC0A_A/CLKA0_A	プルアップ	[AGTIO0_B 選択] AGTIO0_B 出力(注2) [上記以外] Keep-O
P301/AGTIO0_D/GTOULO_A/GTIOC7B_A/ RXD2_A/MISO2_A/SCL2_A/ CTS9_RTS9_D/SS9_D/IRQ6_A	Hi-Z	[AGTIO0_D 選択] AGTIO0_D 出力(注2) [上記以外] Keep-O(注1)
P302/GTOUUP_A/GTIOC7A_A/TXD2_A/ MOSI2_A/SDA2_A/IRQ5_A	Hi-Z	Keep-O(注1)
P303	Hi-Z	Keep-O
P304	Hi-Z	Keep-O
P400/CACREF_C/AGTIO1_C/GTIOC9A_A/ SCK0_B/SCK1_B/SCL0_A/IRQ0_A	Hi-Z	[AGTIO1_C 選択] AGTIO1_C 出力(注2) [上記以外] Keep-O(注1)
P401/GTETRGA_B/GTIOC9B_A/CRX0_B/ CTS0_RTS0_B/SS0_B/TXD1_B/MOSI1_B/ SDA1_ B/SDA0_A/IRQ5/CLKA0_B	Hi-Z	Keep-O(注1)

表 A1.1 各プロセスモードのポート状態 (3/3)

ポート名	リセット	ソフトウェアスタンバイモード
P402/AGTIO0_E/AGTIO1_D/CTX0_B/ RXD1_B/MISO1_B/SCL1_ B/IRQ4/ RXDA0_B	Hi-Z	[AGTIO0_E, AGTIO1_D 選択] AGTIO0_E, AGTIO1_D 出力(注2) [RXDA0_B 選択] RXDA0_B 出力(注3) [上記以外] Keep-O(注1)
P403/AGTIO0_F/AGTIO1_E/ CTS1_RTS1_B/SS1_B	Hi-Z	[AGTIO1_E, AGTIO0_F 選択] AGTIO1_E, AGTIO0_F 出力(注2) [上記以外] Keep-O(注1)
P407/ADTRG0_B/RTCOUT_A/AGTIO0_C/ CTS0_RTS0_D/SS0_D/SSIDATA0_B/ USB_VBUS	Hi-Z	[AGTIO0_C 選択] AGTIO0_C 出力(注2) [CLKOUT_A 選択] CLKOUT_A 出力 [上記以外] Keep-O(注1)
P408/GTOWLO_B/CTS1_RTS1_D/SS1_D/ SSIRXD0_A/IRQ7_B/TXDA1_B	Hi-Z	Keep-O(注1)
P409/GTOWUP_B/SSITXD0_A/IRQ6_B/ RXDA1_B	Hi-Z	[RXDA1_B 選択] RXDA1_B 出力(注3) [上記以外] Keep-O(注1)
P410/AGTOB1/GTOVLO_B/RXD0_B/ MISO0_B/SCL0_B/MISOA_B/SSILRCK0/ SSIFS0_A/IRQ5_B/CLKA1_B	Hi-Z	[AGTOB1 選択] AGTOB1 出力(注2) [上記以外] Keep-O(注1)
P411/AGTOA1/GTOVUP_B/TXD0_B/ MOSI0_B/SDA0_ B/MOSIA_B/SSIBCK0_A/ IRQ4_B	Hi-Z	[AGTOA1 選択] AGTOA1 出力(注2) [上記以外] Keep-O(注1)
P500/GTIU_B/GTIOC5A_B/AUDIO_CLK_C/ CLKA1_A	Hi-Z	Keep-O
P501/AN017/GTIV_B/GTIOC5B_B/TXD1_C/ MOSI1_C/SDA1_C	Hi-Z	Keep-O
P502/AN018/GTIW_B/RXD1_C/MISO1_C/ SCL1_C	Hi-Z	Keep-O
P912/USB_CC2/CTX0_D/SDA0_C	Hi-Z	Keep-O
P913/USB_CC1/CRX0_D/SCL0_C/IRQ5_D	Hi-Z	Keep-O(注1)

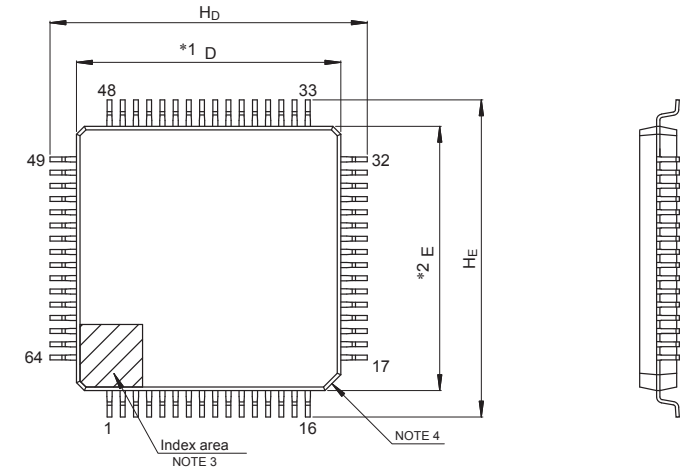
注. Hi-Z：ハイインピーダンス
Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。
注 2. LOCO または SOSC がカウントソースとして選択されている間、AGTIO 出力が許可されます。
注 3. 1000b (UARTALOCLK) または 1001b (UARTASCLK) が選択されている間、RXDA 出力が許可されます。

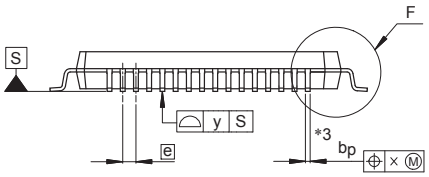
付録 2. 外形寸法図

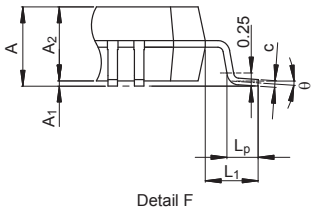
外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm







Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

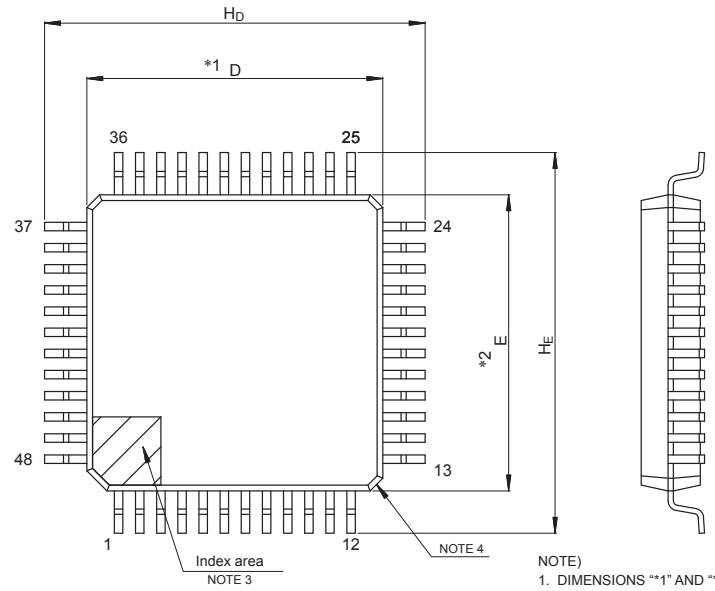
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

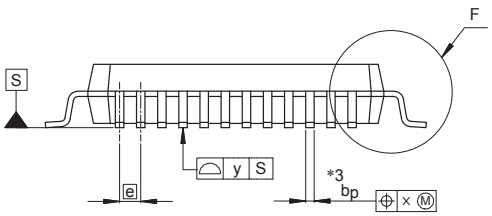
© 2015 Renesas Electronics Corporation. All rights reserved.

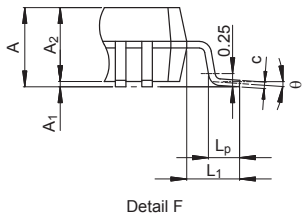
図 A2.1 LQFP 64 ピン 0.5 mm ピッチ

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm







Detail F

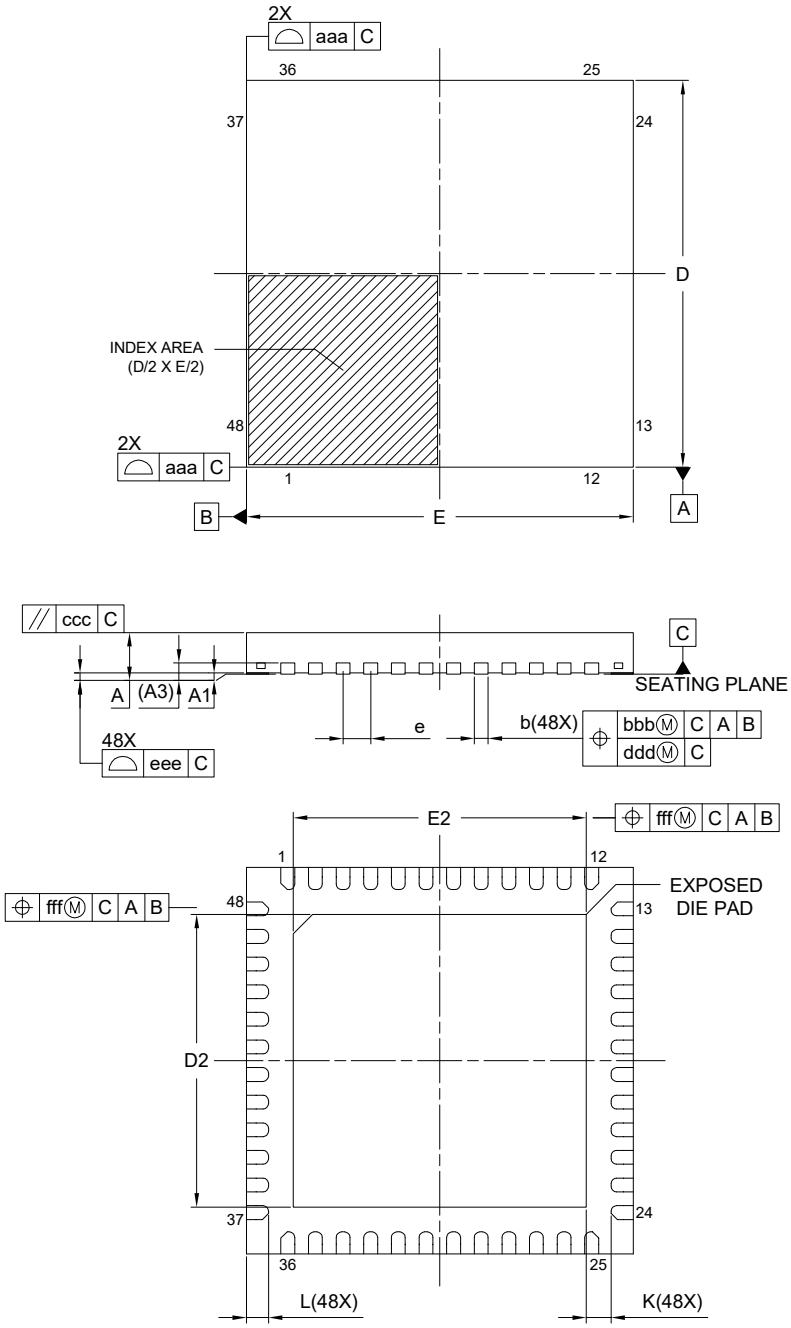
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.2 LQFP 48 ピン

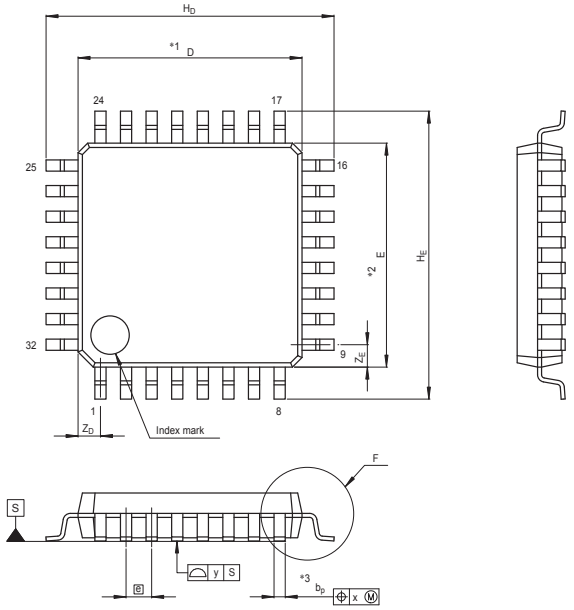
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g

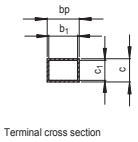


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.20	0.25	0.30
D		7.00 BSC	
E		7.00 BSC	
e		0.50 BSC	
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

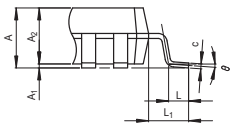
図 A2.3 HWQFN 48 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP32-7x7-0.80	PLQP0032GB-A	32P6U-A	0.2g





Terminal cross section



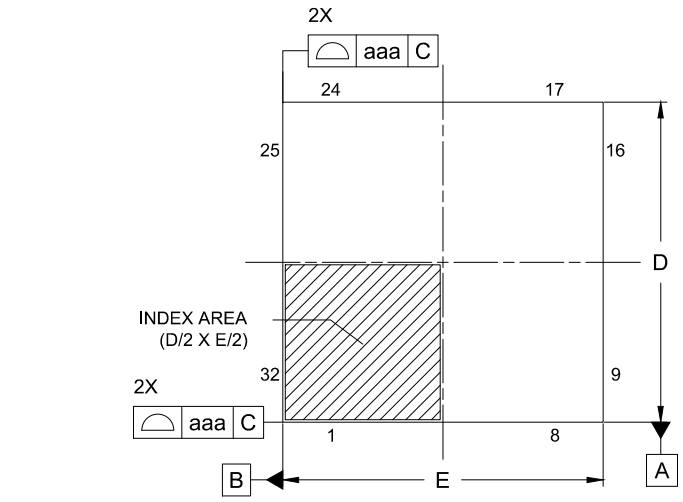
Detail F

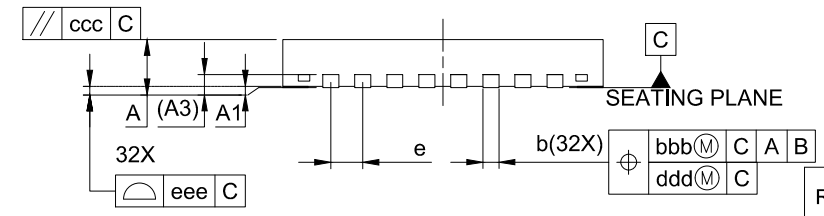
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

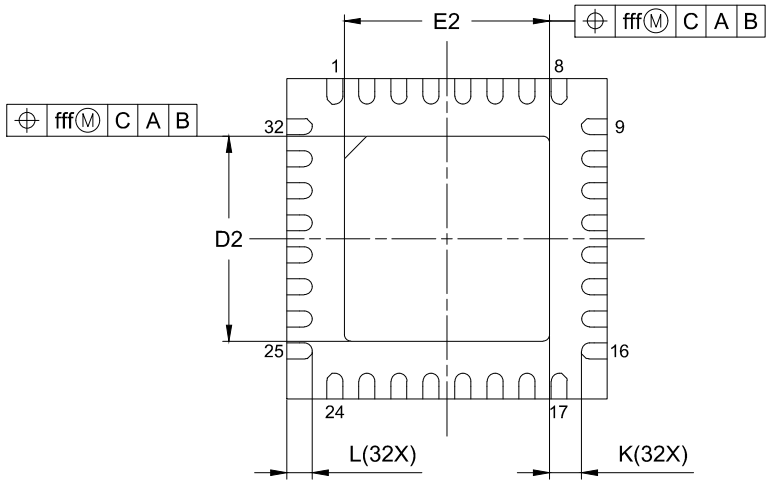
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.32	0.37	0.42
b_1	—	0.35	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z_D	—	0.7	—
Z_E	—	0.7	—
L	0.3	0.5	0.7
L_1	—	1.0	—

図 A2.4 LQFP 32 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06







Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.18	0.25	0.30
D		5.00 BSC	
E		5.00 BSC	
e		0.50 BSC	
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

図 A2.5 HWQFN 32 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
MPU	メモリプロテクションユニット	0x4000_0000
SRAM	SRAM コントロール	0x4000_2000
BUS	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CPU_DBG	デバッグ機能	0x4001_B000
SYSC	システムコントロール	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PORT5	ポート 5 コントロールレジスタ	0x4004_00A0
PORT9	ポート 9 コントロールレジスタ	0x4004_0120
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントローラ	0x4004_1000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4004_2000
RTC	リアルタイムクロック	0x4004_4000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップコントロール B、C、D	0x4004_7000
SSIE0	拡張シリアルサウンドインタフェース	0x4004_E000
CAN0	コントローラエリアネットワーク	0x4005_0000
DOC	データ演算回路	0x4005_4100
ADC12	12 ビット A/D コンバータ	0x4005_C000
SCI0	シリアルコミュニケーションインタフェース 0	0x4007_0000
SCI1	シリアルコミュニケーションインタフェース 1	0x4007_0020
SCI2	シリアルコミュニケーションインタフェース 2	0x4007_0040
SCI9	シリアルコミュニケーションインタフェース 9	0x4007_0120
SPI0	シリアルペリフェラルインタフェース 0	0x4007_2000
CRC	CRC 演算器	0x4007_4000
GPT320	汎用 PWM タイマ 0（32 ビット）	0x4007_8000
GPT164	汎用 PWM タイマ 4（16 ビット）	0x4007_8400
GPT165	汎用 PWM タイマ 5（16 ビット）	0x4007_8500

表 A3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
GPT166	汎用 PWM タイマ 6（16 ビット）	0x4007_8600
GPT167	汎用 PWM タイマ 7（16 ビット）	0x4007_8700
GPT168	汎用 PWM タイマ 8（16 ビット）	0x4007_8800
GPT169	汎用 PWM タイマ 9（16 ビット）	0x4007_8900
GPT_OPS	出力相切り替えコントローラ	0x4007_8FF0
KINT	キー割り込み機能	0x4008_0000
I3C	I3C バスインタフェース	0x4008_3000
AGTW0	低消費電力非同期汎用タイマ 0	0x4008_4000
AGTW1	低消費電力非同期汎用タイマ 1	0x4008_4100
FLCN	フラッシュ I/O レジスタ	0x407E_C000
USBFS	USB2.0 フルスピードモジュール	0x4009_0000
USBCC	USB Type-C コントローラ 2.0 モジュール	0x4009_1000
UARTA	シリアルインタフェース UARTA	0x4009_7000

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 A3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 A3.2 GPT 以外のモジュールのアクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み	サイクル単位	関連機能
MPU, SRAM, BUS, DTC, ICU, CPU_DBG	0x4000_2000	0x4001_BFFF	3				ICLK	メモリプロテクションユニット、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ

表 A3.2 GPT 以外のモジュールのアクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
SYSC	0x4001_E000	0x4001_E6FF	4				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
PORTn, PFS, ELC, POEG, RTC, WDT, IWDT, CAC, MSTP	0x4004_0000	0x4004_7FFF	3		2～3		PCLKB	I/O ポート、イベントリンクコントローラ、GPT 用ポートアウトプットイネーブル、リアルタイムクロック、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
SSIE0	0x4004_E000	0x4004_EFFF	3		2～3		PCLKB	拡張シリアルサウンドインタフェース
CAN0, DOC, ADC12	0x4005_0000	0x4005_EFFF	3		2～3		PCLKB	コントローラエリアネットワークモジュール、データ演算回路、12 ビット A/D コンバータ
SCIn (n = 0～2, g(注2))	0x4007_0000	0x4007_0EFF	5		2～3		PCLKB	シリアルコミュニケーションインタフェース
SPIn (n = 0)(注3)	0x4007_2000	0x4007_2FFF	5		2～3		PCLKB	シリアルペリフェラルインタフェース
CRC	0x4007_4000	0x4007_4FFF	3		2～3		PCLKB	CRC 演算器
GPT32n (n = 0), GPT16n (n = 4～9), GPT_OPS	0x4007_8000	0x4007_BFFF	表 A3.3 を参照				PCLKB	汎用 PWM タイマ
KINT	0x4008_0000	0x4008_1FFF	3		2～3		PCLKB	キー割り込み機能
AGTWn	0x4008_4000	0x4008_4FFF	3		2～3		PCLKB	低消費電力非同期汎用タイマ
FLCN	0x407E_C000	0x407E_FFFF	7		7		ICLK	データフラッシュ、温度センサ、静電容量式センシングユニット 2、フラッシュ制御
I3C	0x4008_3000	0x4008_33D0	3		2～3		PCLKB	I3C バスインタフェース
USBFS	0x4009_0000	0x4009_FFFF	3		2～3		PCLKB	USB2.0 フルスピードモジュール
USBCC	0x4009_1000	0x4009_101F	3		2～3		PCLKB	USB Type-C コントローラ 2.0 モジュール
UARTA	0x4009_7000	0x4009_7011	3		2～3		PCLKB	シリアルインタフェース UARTA

注 1. PCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は、1～3 となります。
注 2. n = 0 の場合については、16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）へのアクセス時、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）へのアクセス時、アクセスサイクルは表 A3.2 に示すとおりです。
注 3. 32 ビットレジスタ (SPDR) にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ (SPDR_HA) にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

表 A3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 A3.3 GPT モジュールのアクセスサイクル (1/2)

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5～6	3～4	PCLKB
ICLK > PCLKD > PCLKB	3～4	2～3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB

表 A3.3 GPT モジュールのアクセスサイクル (2/2)

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
PCLKD = ICLK > PCLKB	2～3	1～2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2～3	1～2	PCLKB

改訂履歴

Revision 1.00 — 2024 年 12 月 17 日

初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2025 Renesas Electronics Corporation. All rights reserved.