RA2E1 グループ
ルネサスマイクロコントローラ

R01DS0386JJ0180
Rev.1.80
Oct 30, 2026

超低消費電力 48 MHz Arm® Cortex®-M23 コア、最大 128 KB のコードフラッシュメモリ、16 KB の SRAM、静電容量式センシングユニット (CTSU2)、12 ビット A/D コンバータ、セキュリティおよびセーフティ機能

特長

■ Arm Cortex-M23 コア
- Armv8-M アーキテクチャ
- 最高動作周波数：48 MHz
- Arm メモリプロテクションユニット (Arm MPU)（8 領域）
- デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

■ メモリ
- 最大 128 KB のコードフラッシュメモリ
- 4 KB のデータフラッシュメモリ（100,000 回のプログラム／イレース (P/E) サイクル）
- 16 KB の SRAM
- メモリプロテクションユニット
- 128 ビットのユニーク ID

■ 接続性
- シリアルコミュニケーションインタフェース (SCI) × 4
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - 簡易 IIC
  - 簡易 SPI
  - スマートカードインタフェース
- シリアルペリフェラルインタフェース (SPI) × 1
- I^2C バスインタフェース (IIC) × 1

■ アナログ
- 12 ビット A/D コンバータ (ADC12)
- 低消費電力アナログコンパレータ (ACMPLP) ×2
- 温度センサ回路 (TSN)

■ タイマ
- 32 ビット汎用 PWM タイマ (GPT32) × 1
- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 低消費電力非同期汎用タイマ (AGT) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス検出

■ セキュリティおよび暗号化
- AES128/256
- 真性乱数生成器 (TRNG)

■ システムおよび電源管理
- 低消費電力モード
- リアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出機能 (LVD) の設定可能

■ ヒューマンマシンインタフェース (HMI)
- 静電容量式センシングユニット (CTSU2)

■ マルチクロックソース
- メインクロック発振器 (MOSC) (1～20 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (24/32/48/64 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- クロックアウトのサポート

■ 最大 56 本の汎用入出力ポート内蔵
- 5 V トレランス、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧
- VCC: 1.6～5.5 V

■ 動作温度およびパッケージ
- Ta = -40 °C～+85 °C
  - 64 ピン LQFP（14 mm × 14 mm、0.8 mm ピッチ）
  - 64 ピン LQFP（10 mm × 10 mm、0.5 mm ピッチ）
  - 64 ピン BGA（4 mm × 4 mm、0.4 mm ピッチ）
  - 64 ピン HWQFN（8 mm × 8 mm、0.4 mm ピッチ）
  - 48 ピン LQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン HWQFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 36 ピン LGA（4 mm × 4 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン HWQFN（5 mm × 5 mm、0.5 mm ピッチ）
  - 25 ピン WLCSP（2.14 mm × 2.27 mm、0.4 mm ピッチ）
- Ta = -40 °C～+105 °C
  - 64 ピン LQFP（14 mm × 14 mm、0.8 mm ピッチ）
  - 64 ピン LQFP（10 mm × 10 mm、0.5 mm ピッチ）
  - 64 ピン BGA（4 mm × 4 mm、0.4 mm ピッチ）
  - 64 ピン HWQFN（8 mm × 8 mm、0.4 mm ピッチ）
  - 48 ピン LQFP（7 mm × 7 mm、0.5 mm ピッチ）
  - 48 ピン HWQFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 36 ピン LGA（4 mm × 4 mm、0.5 mm ピッチ）
  - 32 ピン LQFP（7 mm × 7 mm、0.8 mm ピッチ）
  - 32 ピン HWQFN（5 mm × 5 mm、0.5 mm ピッチ）
  - 25 ピン WLCSP（2.14 mm × 2.27 mm、0.4 mm ピッチ）

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な Arm Cortex®-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 最大 128 KB のコードフラッシュメモリ
- 16 KB の SRAM
- 12 ビット A/D コンバータ (ADC12)
- セキュリティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	● 最高動作周波数：48 MHz ● Arm Cortex-M23 コア： – リビジョン：r1p0-00rel0 – Armv8-M アーキテクチャプロファイル – シングルサイクル整数乗算器 – 19 サイクル整数除算器 ● Arm メモリプロテクションユニット (Arm MPU)： – Armv8 保護メモリシステムアーキテクチャ – 8 つの保護領域 ● SysTick タイマ： – SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 128 KB のコードフラッシュメモリ
データフラッシュメモリ	4 KB のデータフラッシュメモリ
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	パリティビットを備えた高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード： ● シングルチップモード ● SCI ブートモード
リセット	本 MCU は、12 種類のリセット（RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視 0/1/2 リセット、SRAM パリティエラーリセット、バスマスタ／スレーブ MPU エラーリセット、CPU スタックポインタエラーリセット、ソフトウェアリセット）をサポートしています。
低電圧検出 (LVD)	低電圧検出 (LVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、3 つの独立した電圧レベル検出回路 (LVD0, LVD1, LVD2) から構成されています。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを測定します。LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。
クロック	● メインクロック発振器 (MOSC) ● サブクロック発振器 (SOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● IWDT 専用オンチップオシレータ ● クロックアウトのサポート

表 1.3 システム (2/2)

機能	機能の説明
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は、4 つのメモリプロテクションユニット (MPU) と、CPU スタックポインタモニタ機能を備えています。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込み、アンダーフロー割り込み、またはウォッチドッグタイマリセットを発生させるためにも使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイル-セーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 1.6 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 × 1 チャネルの 32 ビットタイマおよび GPT16 × 6 チャネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。
リアルタイムクロック (RTC)	RTC には、通常動作モードと低消費電力クロックモードの 2 種類の動作モードがあります。 RTC には、それぞれの動作モードでカレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタの設定を切り替えることにより使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 4 チャネルには、調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
I^2C バスインタフェース (IIC)	I^2C バスインタフェース (IIC) には 1 チャネルあります。IIC モジュールは、NXP 社の I^2C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) には 1 つのチャネルがあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。

表 1.8 アナログ

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 13 チャネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。
低消費電力アナログコンパレータ (ACMPLP)	低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧を比較します。ACMPLP0 と ACMPLP1 は、それぞれ独立しています。 基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREFi (i = 0, 1) 端子への入力、または MCU の内部に生成された内部基準電圧 (Vref) から選択できます。 ACMPLP の応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。

表 1.9 ヒューマンマシンインタフェース

機能	機能の説明
静電容量式センシングユニット (CTSU2)	静電容量式センシングユニット (CTSU2) は、センサの静電容量を測定します。CTSU2 は、ソフトウェアで静電容量の変化を判定することによって、指がセンサに接触したことを検出します。通常、センサの電極表面は誘電体膜で覆われており、指が電極に直接接触することはありません。

表 1.10 データ処理

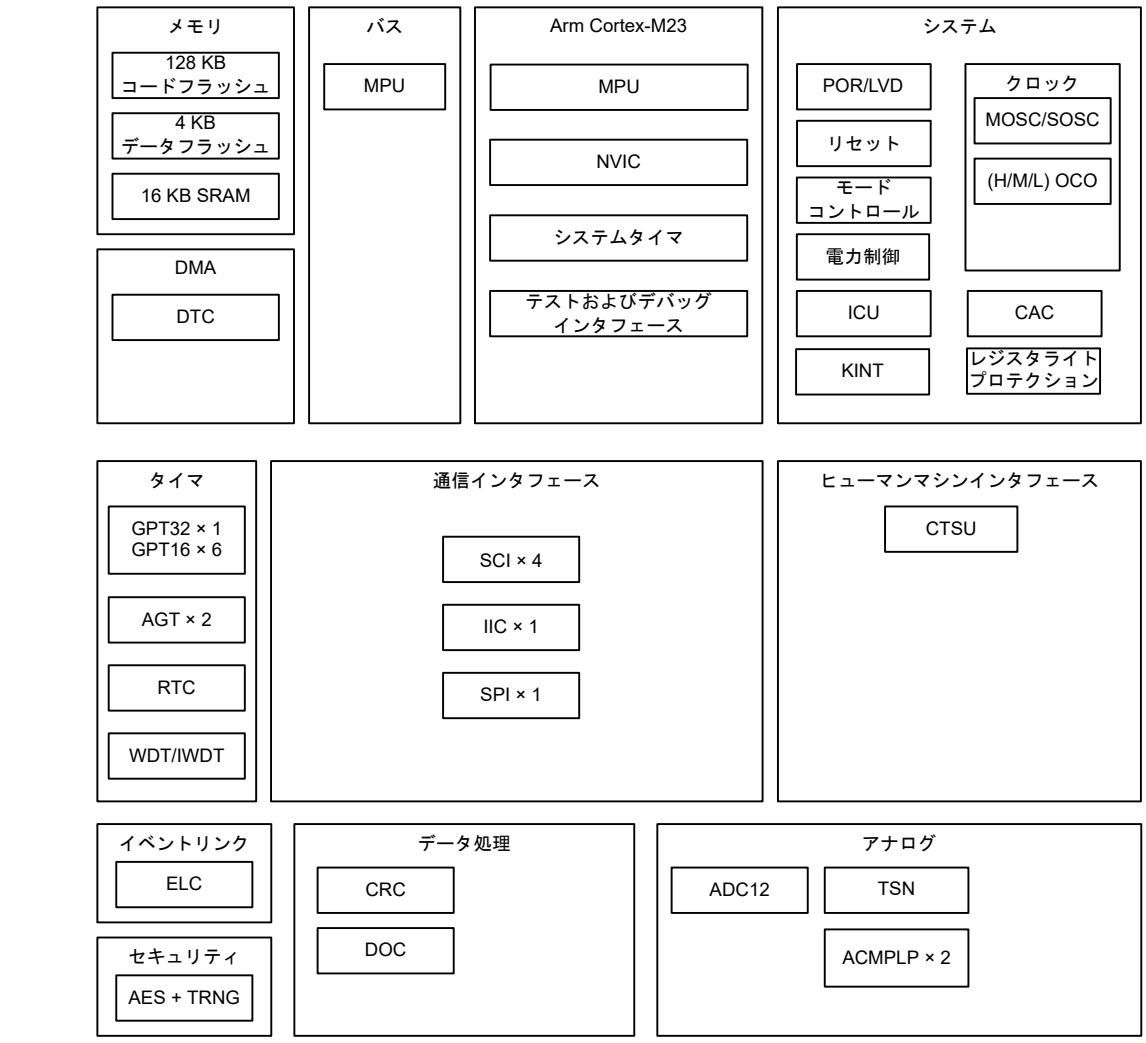
機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、CRC は特定のアドレスに対するアクセスを監視できます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、および減算する機能です。選択した条件が適用される場合、16 ビットのデータが比較され、割り込みを生成可能です。

表 1.11 I/O ポート

機能	機能の説明
I/O ポート	• 64 ピン LQFP/BGA/HWQFN 用 I/O ポート – 入出力端子：53 – 入力端子：3 – プルアップ抵抗：53 – N チャネルオープンドレイン出力：40 – 5 V トレランス：3 • 48 ピン LQFP/HWQFN 用 I/O ポート – 入出力端子：37 – 入力端子：3 – プルアップ抵抗：37 – N チャネルオープンドレイン出力：26 – 5 V トレランス：3 • 36 ピン LGA 用 I/O ポート – 入出力端子：27 – 入力端子：3 – プルアップ抵抗：27 – N チャネルオープンドレイン出力：17 – 5 V トレランス：1 • 32 ピン LQFP/HWQFN 用 I/O ポート – 入出力端子：23 – 入力端子：3 – プルアップ抵抗：23 – N チャネルオープンドレイン出力：15 – 5 V トレランス：1 • 25 ピン WLCSP 用 I/O ポート – 入出力端子：20 – 入力端子：1 – プルアップ抵抗：20 – N チャネルオープンドレイン出力：14 – 5 V トレランス：3

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスによっては、その機能のサブセットを持つ場合があります。

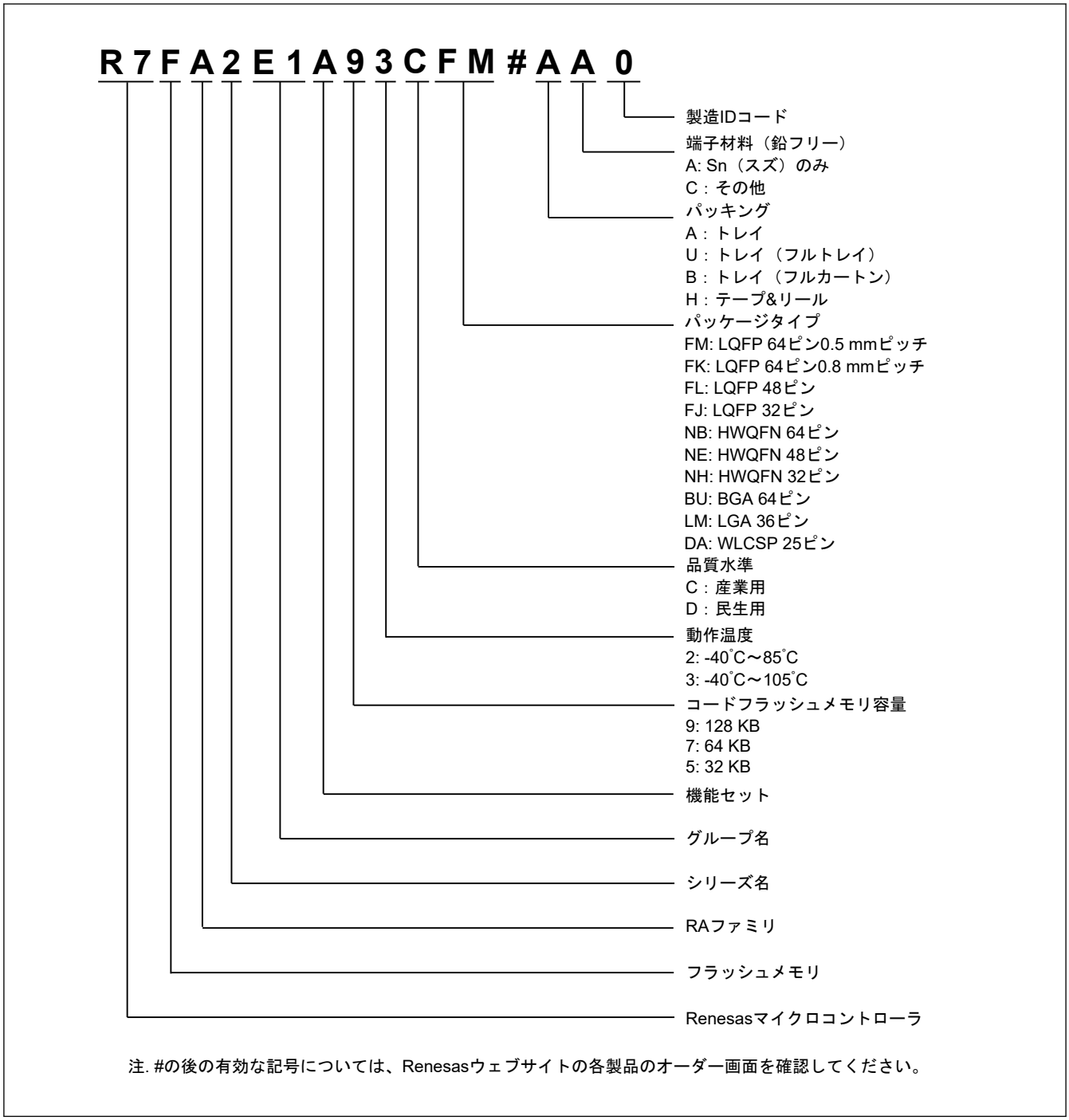


注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.12 に、製品一覧表を示します。



注. #の後の有効な記号については、Renesasウェブサイトの各製品のオーダー画面を確認してください。

図 1.2 型名の読み方

表 1.12 製品一覧 (1/2)

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA2E1A93CFM	PLQP0064KB-C PLQP0064KL-A	128	4	16	-40～+105 °C
R7FA2E1A93CFK	PLQP0064GA-A				
R7FA2E1A93CFL	PLQP0048KB-B PLQP0048KL-A				
R7FA2E1A93CFJ	PLQP0032GB-A PLQP0032GE-A				
R7FA2E1A93CNB	PWQN0064LB-A				
R7FA2E1A93CNE	PWQN0048KC-A				
R7FA2E1A93CNH	PWQN0032KE-A				
R7FA2E1A93CBU	PVBG0064LB-A				
R7FA2E1A93CLM	PWLG0036KB-A				
R7FA2E1A93CDA	SUBG0025LB-A				
R7FA2E1A92DFM	PLQP0064KB-C PLQP0064KL-A				-40～+85 °C
R7FA2E1A92DFK	PLQP0064GA-A				
R7FA2E1A92DFL	PLQP0048KB-B PLQP0048KL-A				
R7FA2E1A92DFJ	PLQP0032GB-A PLQP0032GE-A				
R7FA2E1A92DNB	PWQN0064LB-A				
R7FA2E1A92DNE	PWQN0048KC-A				
R7FA2E1A92DNH	PWQN0032KE-A				
R7FA2E1A92DBU	PVBG0064LB-A				
R7FA2E1A92DLM	PWLG0036KB-A				
R7FA2E1A92DDA	SUBG0025LB-A				

表 1.12 製品一覧 (2/2)

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA2E1A73CFM	PLQP0064KB-C PLQP0064KL-A	64	4	16	-40～+105 °C
R7FA2E1A73CFK	PLQP0064GA-A				
R7FA2E1A73CFL	PLQP0048KB-B PLQP0048KL-A				
R7FA2E1A73CFJ	PLQP0032GB-A PLQP0032GE-A				
R7FA2E1A73CNB	PWQN0064LB-A				
R7FA2E1A73CNE	PWQN0048KC-A				
R7FA2E1A73CNH	PWQN0032KE-A				
R7FA2E1A73CBU	PVBG0064LB-A				
R7FA2E1A73CLM	PWLG0036KB-A				
R7FA2E1A73CDA	SUBG0025LB-A				
R7FA2E1A72DFM	PLQP0064KB-C PLQP0064KL-A				-40～+85 °C
R7FA2E1A72DFK	PLQP0064GA-A				
R7FA2E1A72DFL	PLQP0048KB-B PLQP0048KL-A				
R7FA2E1A72DFJ	PLQP0032GB-A PLQP0032GE-A				
R7FA2E1A72DNB	PWQN0064LB-A				
R7FA2E1A72DNE	PWQN0048KC-A				
R7FA2E1A72DNH	PWQN0032KE-A				
R7FA2E1A72DBU	PVBG0064LB-A				
R7FA2E1A72DLM	PWLG0036KB-A				
R7FA2E1A72DDA	SUBG0025LB-A				
R7FA2E1A53CFL	PLQP0048KB-B PLQP0048KL-A	32	4	16	-40～+105 °C
R7FA2E1A53CFJ	PLQP0032GB-A PLQP0032GE-A				
R7FA2E1A53CNE	PWQN0048KC-A				
R7FA2E1A53CNH	PWQN0032KE-A				
R7FA2E1A53CLM	PWLG0036KB-A				
R7FA2E1A53CDA	SUBG0025LB-A				
R7FA2E1A52DFL	PLQP0048KB-B PLQP0048KL-A				-40～+85 °C
R7FA2E1A52DFJ	PLQP0032GB-A PLQP0032GE-A				
R7FA2E1A52DNE	PWQN0048KC-A				
R7FA2E1A52DNH	PWQN0032KE-A				
R7FA2E1A52DLM	PWLG0036KB-A				
R7FA2E1A52DDA	SUBG0025LB-A				

1.4 機能の比較

表 1.13 機能の比較 (1/2)

型名		R7FA2E1A9xxFM R7FA2E1A9xxFK R7FA2E1A9xxBU R7FA2E1A9xxNB	R7FA2E1A7xxFM R7FA2E1A7xxFK R7FA2E1A7xxBU R7FA2E1A7xxNB	R7FA2E1A9xxFL R7FA2E1A9xxNE	R7FA2E1A7xxFL R7FA2E1A7xxNE	R7FA2E1A5xxFL R7FA2E1A5xxNE	R7FA2E1A9xxLM	R7FA2E1A7xxLM	R7FA2E1A5xxLM	R7FA2E1A9xxFJ R7FA2E1A9xxNH	R7FA2E1A7xxFJ R7FA2E1A7xxNH	R7FA2E1A5xxFJ R7FA2E1A5xxNH	R7FA2E1A9xxDA	R7FA2E1A7xxDA	R7FA2E1A5xxDA
端子総数		64		48			36			32			25		
パッケージ		LQFP/HWQFN/BGA		LQFP/HWQFN			LGA			LQFP/HWQFN			WLCSP		
コードフラッシュメモリ		128 KB	64 KB	128 KB	64 KB	32 KB	128 KB	64 KB	32 KB	128 KB	64 KB	32 KB	128 KB	64 KB	32 KB
データフラッシュメモリ		4 KB		4 KB			4 KB			4 KB			4 KB		
SRAM（パリティ）		16 KB		16 KB			16 KB			16 KB			16 KB		
システム	CPU クロック	48 MHz		48 MHz			48 MHz			48 MHz			48 MHz		
	サブクロック発振器	あり		あり			あり			あり			なし		
	ICU	あり		あり			あり			あり			あり		
	KINT	8		5			4			4			4		
イベントコントロール	ELC	あり		あり			あり			あり			あり		
DMA	DTC	あり		あり			あり			あり			あり		
タイマ	GPT32	1（PWM 出力：2）		1（PWM 出力：2）			1（PWM 出力：2）			1（PWM 出力：2）			1（PWM 出力：2）		
	GPT16	6（PWM 出力：12）		6（PWM 出力：12）			6（PWM 出力：8）			6（PWM 出力：7）			6（PWM 出力：9）		
	AGT	2		2			2			2			2		
	RTC	あり		あり			あり			あり			あり（クロックソース：LOCO のみ）		
	WDT/IWDT	あり		あり			あり			あり			あり		
通信	SCI	4		4			3			3			3		
	IIC	1		1			1			1			1		
	SPI	1		1			1			1			1		
アナログ	ADC12	13		13			12			10			8		
	ACMPLP	2		2			2			2			2		
	TSN	あり		あり			あり			あり			あり		
HMI	CTSU	30 (CFC: 18)		20 (CFC: 15)			14 (CFC: 12)			11 (CFC: 11)			10 (CFC: 9)		
データ処理	CRC	あり		あり			あり			あり			あり		
	DOC	あり		あり			あり			あり			あり		
セキュリティ		AES & TRNG		AES & TRNG			AES & TRNG			AES & TRNG			AES & TRNG		

表 1.13 機能の比較 (2/2)

型名		R7FA2E1A9xxFM R7FA2E1A9xxFK R7FA2E1A9xxBU R7FA2E1A9xxNB	R7FA2E1A7xxFM R7FA2E1A7xxFK R7FA2E1A7xxBU R7FA2E1A7xxNB	R7FA2E1A9xxFL R7FA2E1A9xxNE	R7FA2E1A7xxFL R7FA2E1A7xxNE	R7FA2E1A5xxFL R7FA2E1A5xxNE	R7FA2E1A9xxLM	R7FA2E1A7xxLM	R7FA2E1A5xxLM	R7FA2E1A9xxFJ R7FA2E1A9xxNH	R7FA2E1A7xxFJ R7FA2E1A7xxNH	R7FA2E1A5xxFJ R7FA2E1A5xxNH	R7FA2E1A9xxDA	R7FA2E1A7xxDA	R7FA2E1A5xxDA
I/O ポート	入出力端子	53		37			27			23			20		
	入力端子	3		3			3			3			1		
	プルアップ抵抗	53		37			27			23			20		
	N チャネルオープンドレイン出力	40		26			17			15			14		
	5 V トレランス	3		3			1			1			3		

1.5 端子機能

表 1.14 端子機能 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	マスカブル割り込み要求端子
GPT	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIOCnA (n = 0, 4～9), GTIOCnB (n = 0, 4～9)	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）
AGT	AGTEE0, AGTEE1	入力	外部イベント入力イネーブル信号
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
	AGTO0, AGTO1	出力	パルス出力端子
	AGTOA0, AGTOA1	出力	アウトプットコンペアマッチ A 出力端子
	AGTOB0, AGTOB1	出力	アウトプットコンペアマッチ B 出力端子
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子

表 1.14 端子機能 (2/3)

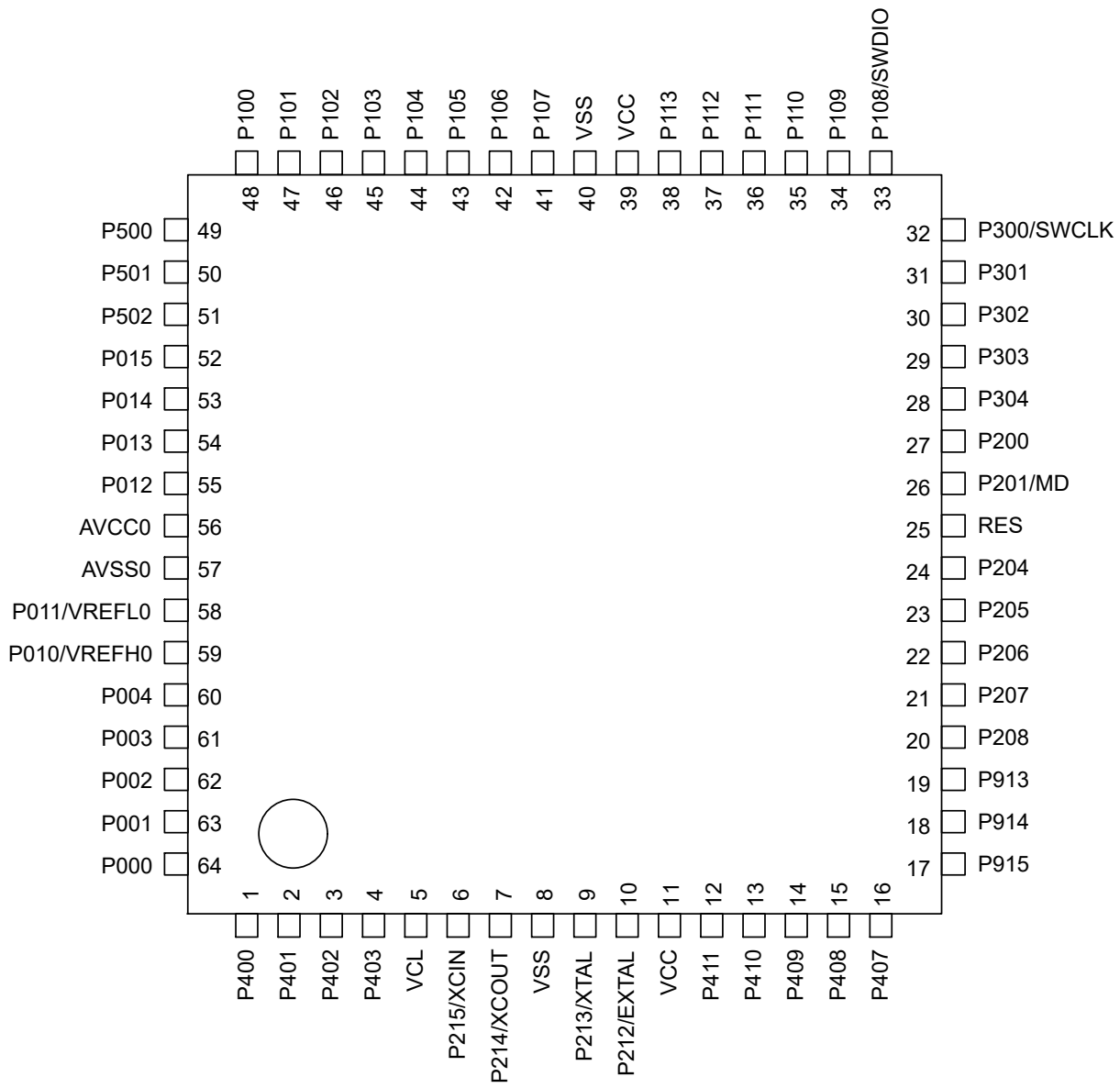
機能	端子名	入出力	説明
SCI	SCKn (n = 0〜2, 9)	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn (n = 0〜2, 9)	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn (n = 0〜2, 9)	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn (n = 0〜2, 9)	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	SCLn (n = 0〜2, 9)	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn (n = 0〜2, 9)	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn (n = 0〜2, 9)	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn (n = 0〜2, 9)	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn (n = 0〜2, 9)	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn (n = 0〜2, 9)	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
IIC	SCLn (n = 0)	入出力	クロック用の入出力端子
	SDAn (n = 0)	入出力	データ用の入出力端子
SPI	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択用の入出力端子
	SSLA1〜SSLA3	出力	スレーブ選択用の出力端子
	MOSIA	入出力	マスタからの出力データ用の入出力端子
	MISOA	入出力	スレーブからの出力データ用の入出力端子
アナログ電源	AVCC0	入力	ADC12 用のアナログ電源端子
	AVSS0	入力	ADC12 用のアナロググランド端子
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS0 に接続してください。
ADC12	AN000〜AN010, AN017〜AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
ACMPLP	VCOUT	出力	コンパレータ出力端子
	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
CTSU	TS00, TS02-CFC, TS04〜TS07, TS08-CFC〜TS16-CFC, TS17, TS18, TS21〜TS25, TS26-CFC〜TS28-CFC, TS30-CFC〜TS34-CFC	入力	静電容量式タッチ検出端子（タッチ端子）
	TSCAP	—	タッチドライバ用の二次電源端子
KINT	KR00〜KR07	入力	キー割り込み入力端子

表 1.14 端子機能 (3/3)

機能	端子名	入出力	説明
I/O ポート	P000～P004, P010～P015	入出力	汎用入出力端子
	P100～P113	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P204～P208, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300～P304	入出力	汎用入出力端子
	P400～P403, P407～P411	入出力	汎用入出力端子
	P500～P502	入出力	汎用入出力端子
	P913～P915	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3～図 1.8 にピン配置図（上面図）を示します。

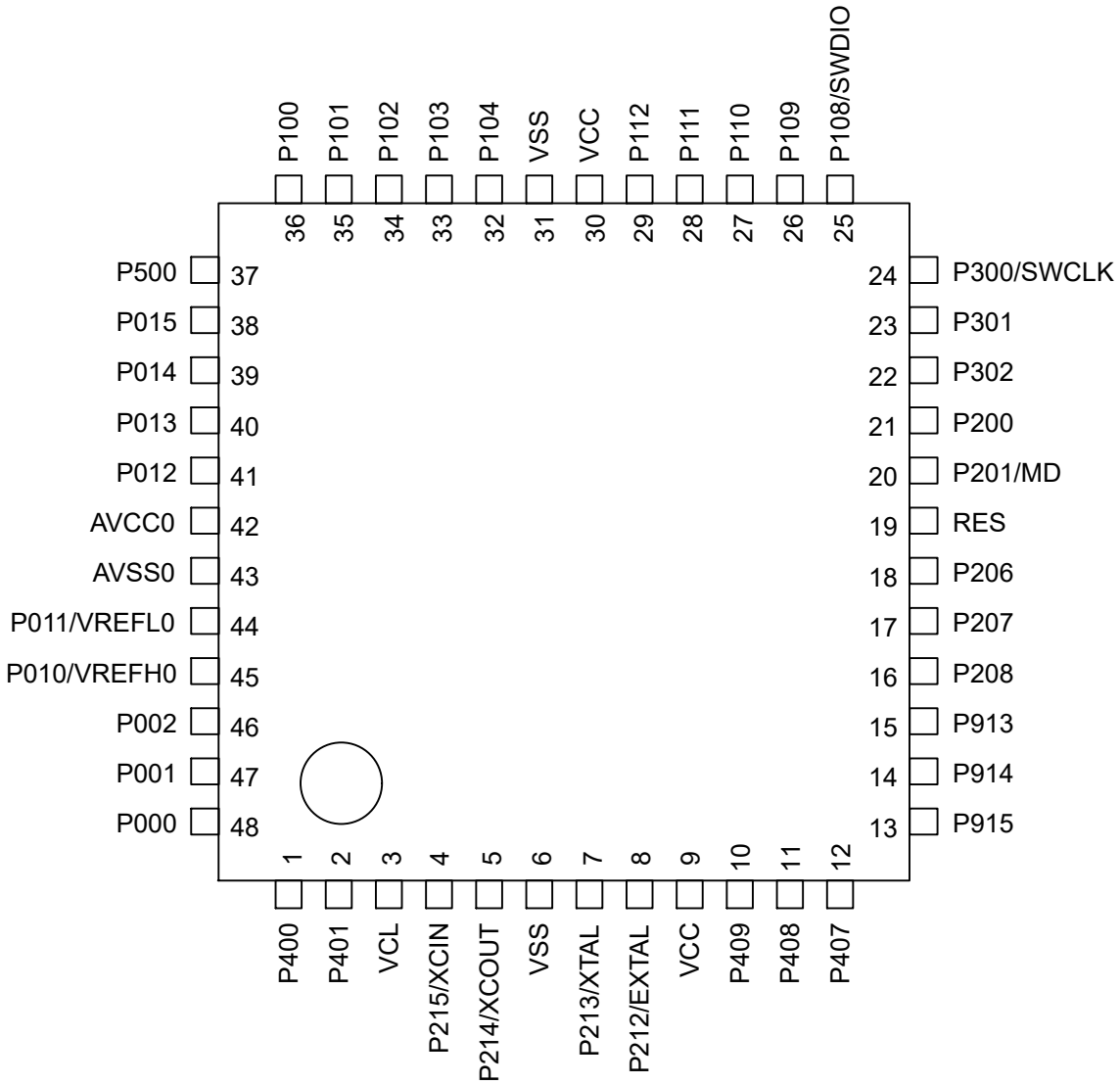


注. QFN の exposed die pad は、VSS に接続する、または開放することを推奨します。

図 1.3 64 ピン LQFP/QFN のピン配置図（上面図）

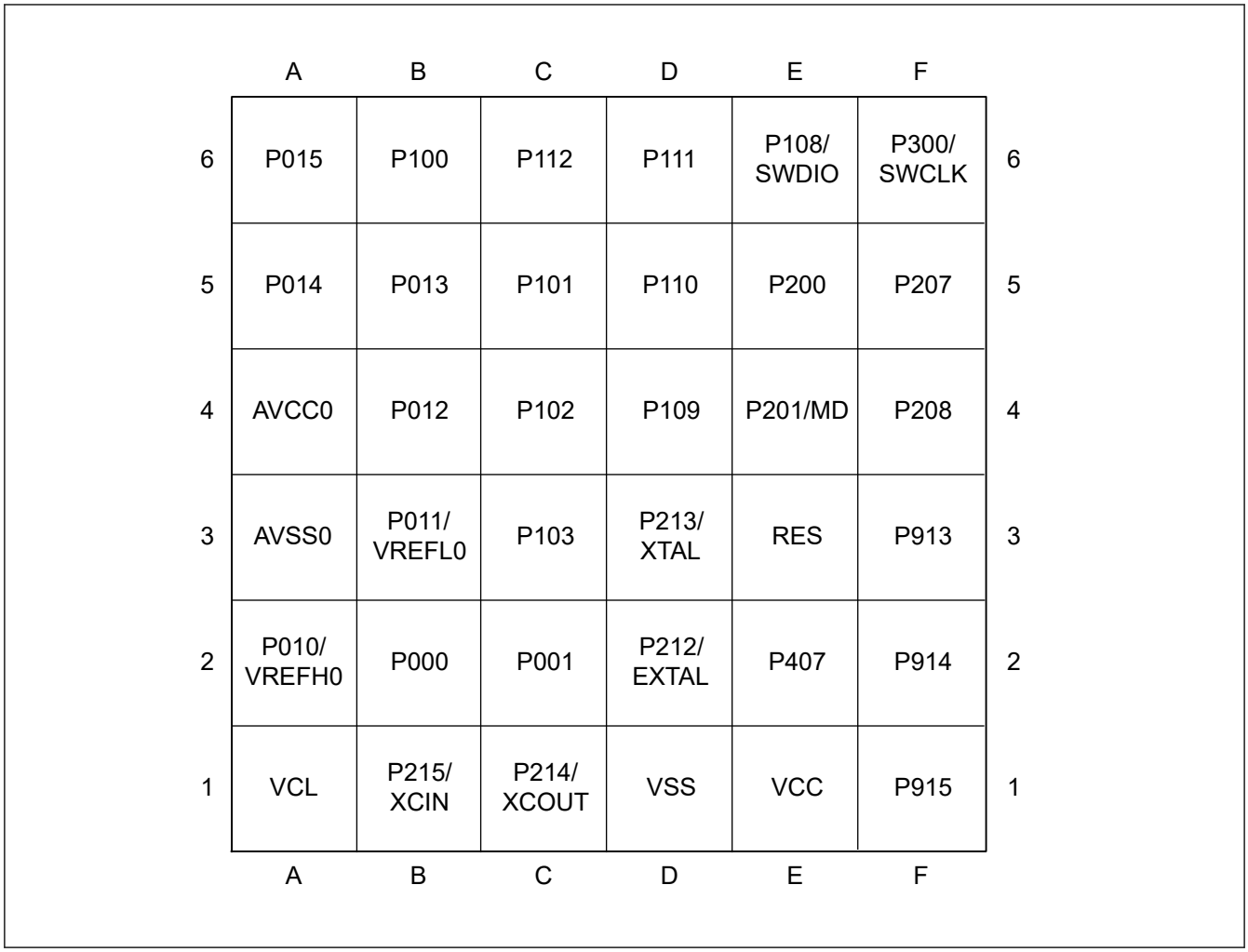
	A	B	C	D	E	F	G	H	
8	P100	P101	P102	VSS	VCC	P112	P108/ SWDIO	P300/ SWCLK	8
7	P015	P500	P103	P104	P113	P111	P110	P301	7
6	P014	P013	P501	P105	P106	P107	P109	P302	6
5	AVCC0	P012	P502	P207	P206	P205	P304	P303	5
4	AVSS0	P011/ VREFL0	P004	P914	P913	P208	P201/MD	P200	4
3	P010/ VREFH0	P003	P000	P915	P213/ XTAL	P411	RES	P204	3
2	P002	P001	P402	P403	P212/ EXTAL	P410	P409	P408	2
1	P400	P401	VCL	P215/ XCIN	P214/ XCOUT	VSS	VCC	P407	1
	A	B	C	D	E	F	G	H	

図 1.4 64 ピン BGA のピン配置図（上面図、パッド側が下面）



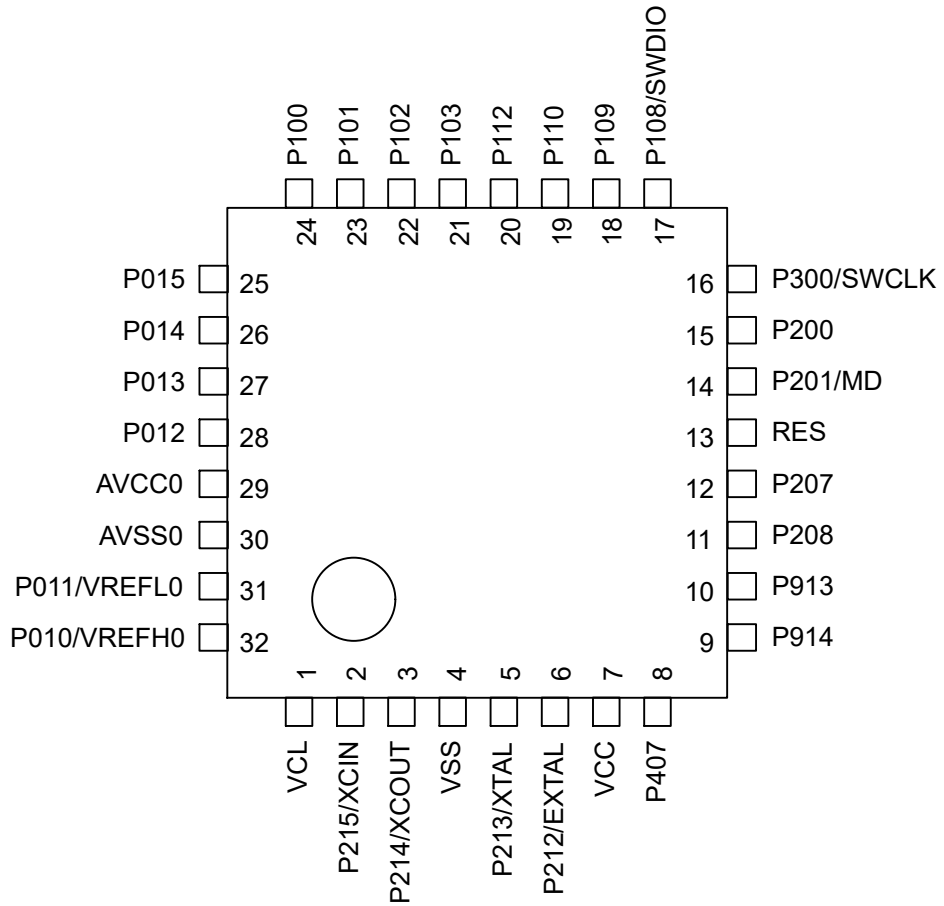
注. QFN の exposed die pad は、VSS に接続する、または開放することを推奨します。

図 1.5 48 ピン LQFP/QFN のピン配置図（上面図）



	A	B	C	D	E	F	
6	P015	P100	P112	P111	P108/ SWDIO	P300/ SWCLK	6
5	P014	P013	P101	P110	P200	P207	5
4	AVCC0	P012	P102	P109	P201/MD	P208	4
3	AVSS0	P011/ VREFL0	P103	P213/ XTAL	RES	P913	3
2	P010/ VREFH0	P000	P001	P212/ EXTAL	P407	P914	2
1	VCL	P215/ XCIN	P214/ XCOUT	VSS	VCC	P915	1
	A	B	C	D	E	F	

図 1.6　36 ピン LGA のピン配置図（上面図、パッド側が下面）



注. QFN の exposed die pad は、VSS に接続する、または開放することを推奨します。

図 1.7 32 ピン LQFP/QFN のピン配置図（上面図）

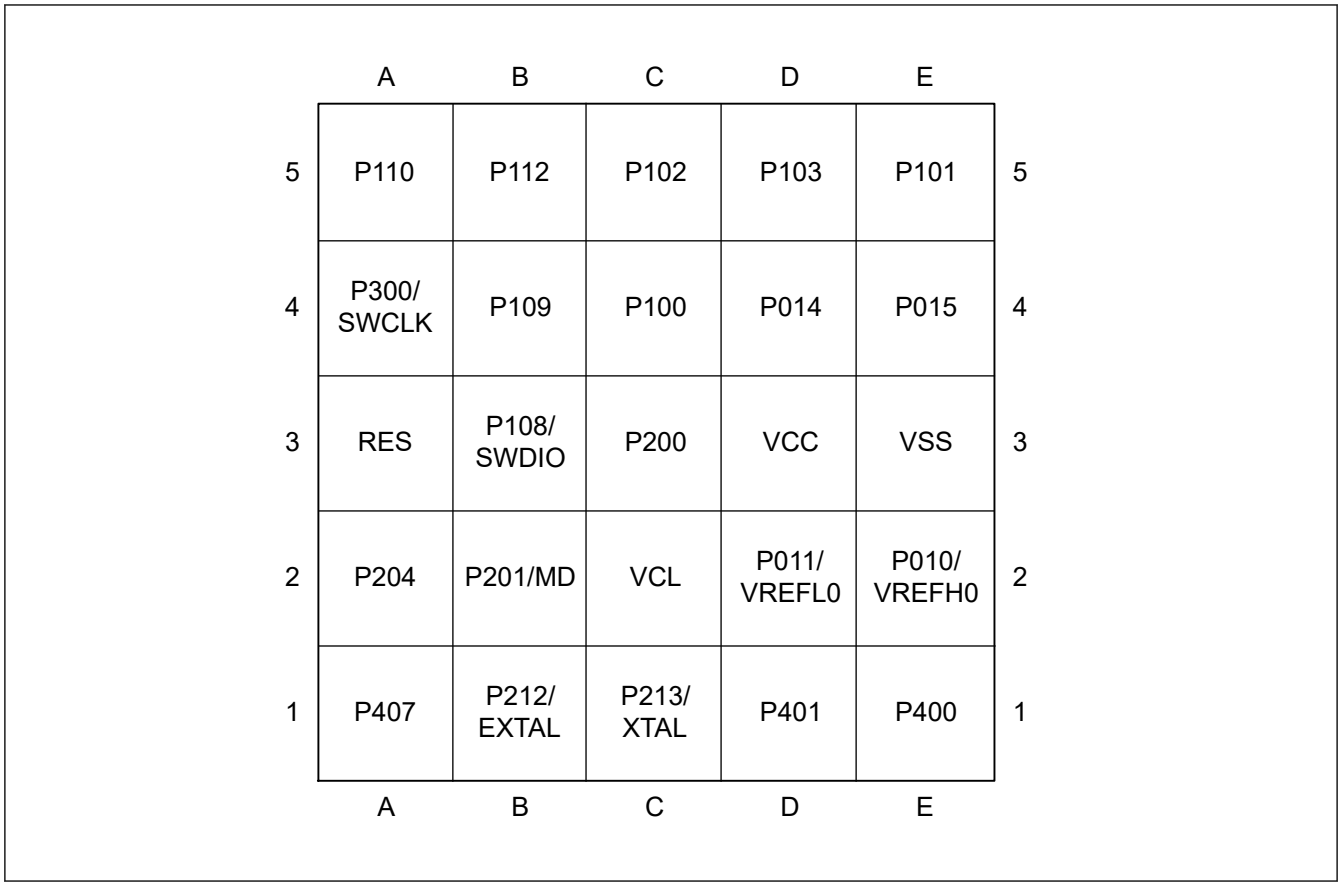


図 1.8 25 ピン WLCSP のピン配置図（上面図、パッド側が下面）

1.7 端子一覧

表 1.15 端子一覧 (1/3)

端子番号								タイマ				通信インタフェース			アナログ		HMI	
LQFP/QFN 64 ピン	BGA 64 ピン	LQFP/QFN 48 ピン	LGA 36 ピン	LQFP/QFN 32 ピン	WLCSP 25 ピン	電源、システム、クロック、デバッグ、CAC	I/O ポート	AGT	GPT_OPS、POEG	GPT	RTC	SCI	IIC	SPI	ADC	ACMPLP	CTSU	割り込み
1	A1	1	—	—	E1	CACREF_C	P400	AGTIO1_C	—	GTIOC9A_A	—	SCK0_B/SCK1_B	SCL0_A	—	—	—	—	IRQ0_A
2	B1	2	—	—	D1		P401	—	GTETRGA_B	GTIOC9B_A	—	CTS0_RTS0_B/SS0_B/TXD1_B/MOSI1_B/SDA1_B	SDA0_A	—	—	—	—	IRQ5
3	C2	—	—	—	—		P402	AGTIO0_E/AGTIO1_D	—	—	—	RXD1_B/MISO1_B/SCL1_B	—	—	—	—	TS18	IRQ4
4	D2	—	—	—	—		P403	AGTIO0_F/AGTIO1_E	—	—	—	CTS1_RTS1_B/SS1_B	—	—	—	—	TS17	—
5	C1	3	A1	1	C2	VCL		—	—	—	—	—	—	—	—	—	—	—
6	D1	4	B1	2	—	XCIN	P215	—	—	—	—	—	—	—	—	—	—	—
7	E1	5	C1	3	—	XCOUT	P214	—	—	—	—	—	—	—	—	—	—	—
8	F1	6	D1	4	E3	VSS		—	—	—	—	—	—	—	—	—	—	—
9	E3	7	D3	5	C1	XTAL	P213	—	GTETRGA_D	GTIOC0A_D	—	TXD1_A/MOSI1_A/SDA1_A	—	—	—	—	—	IRQ2_B
10	E2	8	D2	6	B1	EXTAL	P212	AGTEE1	GTETRGB_D	GTIOC0B_D	—	RXD1_A/MISO1_A/SCL1_A	—	—	—	—	—	IRQ3_B
11	G1	9	E1	7	D3	VCC		—	—	—	—	—	—	—	—	—	—	—
12	F3	—	—	—	—		P411	AGTOA1	GTOVUP_B	—	—	TXD0_B/MOSI0_B/SDA0_B	—	MOSIA_B	—	—	TS7	IRQ4_B
13	F2	—	—	—	—		P410	AGTOB1	GTOVLO_B	—	—	RXD0_B/MISO0_B/SCL0_B	—	MISOA_B	—	—	TS6	IRQ5_B
14	G2	10	—	—	—		P409	—	GTOWUP_B	—	—	—	—	—	—	—	TS5	IRQ6_B
15	H2	11	—	—	—		P408	—	GTOWLO_B	—	—	CTS1_RTS1_D/SS1_D	SCL0_C	—	—	—	TS4	IRQ7_B
16	H1	12	E2	8	A1		P407	AGTIO0_C	—	—	RTCOUT	CTS0_RTS0_D/SS0_D	SDA0_B	—	ADTRG0_B	—	—	—
17	D3	13	F1	—	—		P915	—	—	—	—	—	—	—	—	—	—	—
18	D4	14	F2	9	—		P914	AGTOA1_A	GTETRGB_F	—	—	—	—	—	—	—	—	—
19	E4	15	F3	10	—		P913	AGTIO1_F	GTETRGA_F	—	—	—	—	—	—	—	—	—
20	F4	16	F4	11	—		P208	AGTOB0_A	—	—	—	—	—	—	—	—	—	—
21	D5	17	F5	12	—		P207	—	—	—	—	—	—	—	—	—	—	—
22	E5	18	—	—	—		P206	—	GTIU_A	—	—	RXD0_D/MISO0_D/SCL0_D	—	—	—	—	—	IRQ0
23	F5	—	—	—	—	CLKOUT_A	P205	AGTO1	GTIV_A	—	—	TXD0_D/MOSI0_D/SDA0_D/CTS9_RTS9_A/SS9_A	—	—	—	—	—	IRQ1
24	H3	—	—	—	A2	CACREF_A	P204	AGTIO1_A	GTIW_A	—	—	SCK0_D/SCK9_A	SCL0_B	—	—	—	TS0	—
25	G3	19	E3	13	A3	RES		—	—	—	—	—	—	—	—	—	—	—
26	G4	20	E4	14	B2	MD	P201	—	—	—	—	—	—	—	—	—	—	—
27	H4	21	E5	15	C3		P200	—	—	—	—	—	—	—	—	—	—	NMI
28	G5	—	—	—	—		P304	—	—	—	—	—	—	—	—	—	—	—
29	H5	—	—	—	—		P303	—	—	—	—	—	—	—	—	—	TS2-CFC	—
30	H6	22	—	—	—		P302	—	GTOUUP_A	GTIOC7A_A	—	TXD2_A/MOSI2_A/SDA2_A	—	—	—	—	TS8-CFC	IRQ5_A

表 1.15 端子一覧 (2/3)

端子番号								タイマ				通信インタフェース			アナログ		HMI	
LQFP/QFN 64 ピン	BGA 64 ピン	LQFP/QFN 48 ピン	LGA 36 ピン	LQFP/QFN 32 ピン	WLCSP 25 ピン	電源、システム、クロック、デバッグ、CAC	I/O ポート	AGT	GPT_OPS、POEG	GPT	RTC	SCI	IIC	SPI	ADC	ACMPLP	CTSU	割り込み
31	H7	23	—	—	—		P301	AGTIO0_D	GTOULO_A	GTIOC7B_A	—	RXD2_A/MISO2_A/SCL2_A/CTS9_RTS9_D/SS9_D	—	—	—	—	TS9-CFC	IRQ6_A
32	H8	24	F6	16	A4	SWCLK	P300	—	GTOUUP_C	GTIOC0A_A	—	—	—	—	—	—	—	—
33	G8	25	E6	17	B3	SWDIO	P108	—	GTOULO_C	GTIOC0B_A	—	CTS9_RTS9_B/SS9_B	—	—	—	—	—	—
34	G6	26	D4	18	B4	CLKOUT_B	P109	—	GTOVUP_A	GTIOC4A_A	—	SCK1_E/TXD9_B/MOSI9_B/SDA9_B	—	—	—	—	TS10-CFC	—
35	G7	27	D5	19	A5		P110	—	GTOVLO_A	GTIOC4B_A	—	CTS2_RTS2_B/SS2_B/RXD9_B/MISO9_B/SCL9_B	—	—	—	VCOUT	TS11-CFC	IRQ3_A
36	F7	28	D6	—	—		P111	AGTOA0	—	GTIOC6A_A	—	SCK2_B/SCK9_B	—	—	—	—	TS12-CFC	IRQ4_A
37	F8	29	C6	20	B5		P112	AGTOB0	—	GTIOC6B_A	—	SCK1_D/TXD2_B/MOSI2_B/SDA2_B	—	—	—	—	TSCAP	—
38	E7	—	—	—	—		P113	—	—	—	—	—	—	—	—	—	TS27-CFC	—
39	E8	30	—	—	—	VCC		—	—	—	—	—	—	—	—	—	—	—
40	D8	31	—	—	—	VSS		—	—	—	—	—	—	—	—	—	—	—
41	F6	—	—	—	—		P107	—	—	—	—	—	—	—	—	—	—	KR07
42	E6	—	—	—	—		P106	—	—	—	—	—	—	SSLA3_A	—	—	—	KR06
43	D6	—	—	—	—		P105	—	GTETRGA_C	GTIOC4A_B	—	—	—	SSLA2_A	—	—	TS34-CFC	KR05/IRQ0_B
44	D7	32	—	—	—		P104	—	GTETRGB_B	GTIOC4B_B	—	RXD0_C/MISO0_C/SCL0_C	—	SSLA1_A	—	—	TS13-CFC	KR04/IRQ1_B
45	C7	33	C3	21	D5		P103	—	GTOWUP_A	GTIOC5A_A	—	CTS0_RTS0_A/SS0_A	—	SSLA0_A	AN019(注1)	CMPREF1	TS14-CFC	KR03
46	C8	34	C4	22	C5		P102	AGTO0	GTOWLO_A	GTIOC5B_A	—	SCK0_A/TXD2_D/MOSI2_D/SDA2_D	—	RSPCKA_A	ADTRG0_A/AN020(注1)	CMPIN1	TS15-CFC	KR02
47	B8	35	C5	23	E5		P101	AGTEE0	GTETRGB_A	GTIOC8A_A	—	TXD0_A/MOSI0_A/SDA0_A/CTS1_RTS1_A/SS1_A	SDA0_C	MOSIA_A	AN021(注1)	CMPREF0	TS16-CFC	KR01/IRQ1_A
48	A8	36	B6	24	C4		P100	AGTIO0_A	GTETRGA_A	GTIOC8B_A	—	RXD0_A/MISO0_A/SCL0_A/SCK1_A	SCL0_D	MISOA_A	AN022(注1)	CMPIN0	TS26-CFC	KR00/IRQ2_A
49	B7	37	—	—	—		P500	—	GTIU_B	GTIOC5A_B	—	—	—	—	—	—	—	—
50	C6	—	—	—	—		P501	—	GTIV_B	GTIOC5B_B	—	TXD1_C/MOSI1_C/SDA1_C	—	—	AN017	—	—	—
51	C5	—	—	—	—		P502	—	GTIW_B	—	—	RXD1_C/MISO1_C/SCL1_C	—	—	AN018	—	—	—
52	A7	38	A6	25	E4		P015	—	—	—	—	—	—	—	AN010	—	TS28-CFC	IRQ7_A
53	A6	39	A5	26	D4		P014	—	—	—	—	—	—	—	AN009	—	—	—
54	B6	40	B5	27	—		P013	—	—	—	—	—	—	—	AN008	—	TS33-CFC	—
55	B5	41	B4	28	—		P012	—	—	—	—	—	—	—	AN007	—	TS32-CFC	—
56	A5	42	A4	29	—	AVCC0		—	—	—	—	—	—	—	—	—	—	—
57	A4	43	A3	30	—	AVSS0		—	—	—	—	—	—	—	—	—	—	—
58	B4	44	B3	31	D2	VREFL0	P011	—	—	—	—	—	—	—	AN006	—	TS31-CFC	—
59	A3	45	A2	32	E2	VREFH0	P010	—	—	—	—	—	—	—	AN005	—	TS30-CFC	—
60	C4	—	—	—	—		P004	—	—	—	—	—	—	—	AN004	—	TS25	IRQ3
61	B3	—	—	—	—		P003	—	—	—	—	—	—	—	AN003	—	TS24	—

表 1.15 端子一覧 (3/3)

端子番号								タイマ				通信インタフェース			アナログ		HMI	
LQFP/QFN 64 ピン	BGA 64 ピン	LQFP/QFN 48 ピン	LGA 36 ピン	LQFP/QFN 32 ピン	WLCSP 25 ピン	電源、システム、クロック、デバッグ、CAC	I/O ポート	AGT	GPT_OPS、POEG	GPT	RTC	SCI	IIC	SPI	ADC	ACMPLP	CTSU	割り込み
62	A2	46	—	—	—		P002	—	—	—	—	—	—	—	AN002	—	TS23	IRQ2
63	B2	47	C2	—	—		P001	—	—	—	—	—	—	—	AN001	—	TS22	IRQ7
64	C3	48	B2	—	—		P000	—	—	—	—	—	—	—	AN000	—	TS21	IRQ6

注. いくつかの端子名には、_A、_B、_C、_D、_E、および_F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

注 1. 64 ピン製品では未サポート

2. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

VCC(注1) = AVCC0 = 1.6～5.5 V, VREFH0 = 1.6 V～AVCC0

VSS = AVSS0 = VREFL0 = 0 V, Ta = T_{opr}

注 1. 通常は VCC = 3.3 V に設定されています。

図 2.1 は、タイミング条件を示しています。

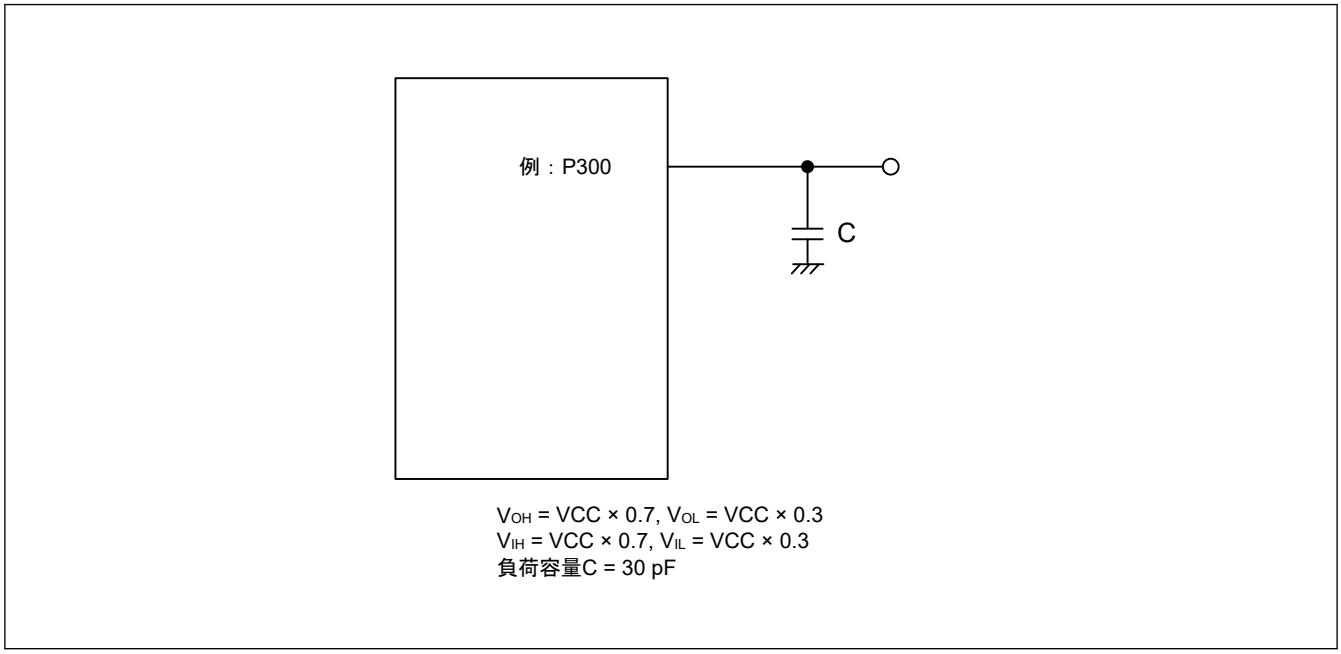


図 2.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

2.1 絶対最大定格

表 2.1 絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5～+6.5	V
入力電圧	5 V トレラントポート(注1)	V_{in}	-0.3～+6.5	V
	P000～P004, P010～P015	V_{in}	–0.3～AVCC0 + 0.3	V
	その他	V_{in}	-0.3～VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3～+6.5	V
アナログ電源電圧		AVCC0	-0.5～+6.5	V
アナログ入力電圧	AN000～AN010 使用時	V_{AN}	–0.3～AVCC0 + 0.3	V
	AN017～AN022 使用時		-0.3～VCC + 0.3	V
動作温度(注2) (注3) (注4)		T_{opr}	-40～+85 -40～+105	°C
保存温度		T_{stg}	-55～+125	°C

注 1. P400、P401、および P407 は 5 V トレラント対応ポートです。

デバイスの電源が切れている状態で信号や I/O プルアップ電源を入力しないでください。信号または I/O プルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部素子を劣化させる恐れがあります。

注 2. 2.2.1 Tj/Ta の定義を参照してください。

注 3. Ta = +85 °C～+105 °C でのディレーティング動作については、弊社営業窓口にお問い合わせください。
ディレーティングとは、信頼性を改善するために負荷を系統的に軽減することです。

注 4. 動作温度の上限は、85 °C または 105 °C です（製品による）。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、および VREFH0 端子と VREFL0 端子の間には周波特性の良いコンデンサを挿入してください。以下に示す値のコンデンサをできる限り各電源端子の近くに配置し、最短距離かつできる限り太いトレースを使用してください。

- **VCC と VSS：約 0.1 µF**
- **AVCC0 と AVSS0：約 0.1 µF**
- **VREFH0 と VREFL0：約 0.1 µF**

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7 µF のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 2.2 推奨動作条件

項目	シンボル		Min	Typ	Max	単位
電源電圧	VCC(注1) (注2)		1.6	—	5.5	V
	VSS		—	0	—	V
アナログ電源電圧	AVCC0(注1) (注2)		1.6	—	5.5	V
	AVSS0		—	0	—	V
	VREFH0	ADC12 基準として使用時	1.6	—	AVCC0	V
	VREFL0		—	0	—	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：
AVCC0 = VCC

注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。
VCC 端子および AVCC0 端子の電源供給を停止する場合、両方同時に電源供給を停止するか、最初に AVCC0 端子、次に VCC 端子の順番で電源供給を停止してください。

表 2.3 推奨動作条件

条件：VCC = AVCC0 = 1.8～5.5 V

項目	シンボル	値
TSCAP 端子に接続された外付け安定化容量	C_{TSCAP}	10 nF ± 10%(注1)

注 1. 公称容量 10 nF、容量公差が±10%以下の積層セラミックコンデンサを使用してください。動作環境に適合するように X7R (EIA) など±15%以下の温度特性のコンデンサを選択してください。

2.2 DC 特性

2.2.1 Tj/Ta の定義

表 2.4 DC 特性

条件：動作温度 (Ta) が-40～+105 °C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	125	°C	High-speed モード Middle-speed モード Low-Speed モード Subosc-Speed モード
			105(注1)		

注. $Tj = T_a + \theta ja \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CC}max \times VCC$ です。

注 1. 動作温度の上限は、85 °C または 105 °C です（製品による）。型名が動作温度の上限 85 °C を示している場合、Tj の最大値は 105 °C になります。それ以外の場合 125 °C になります。

2.2.2 I/O V_{IH}、V_{IL}

表 2.5 I/O V_{IH}、V_{IL}

条件：VCC = AVCC0 = 1.6～5.5 V

項目	ポート&機能		シンボル	Min	Max	単位	測定条件
入力電圧	入力ポート端子 P000～P004、P010～P015		V_{IH}	AVCC0 × 0.8	—	V	—
			V_{IL}	—	AVCC0 × 0.2		
	以下を除く入力ポート端子：P000～P004、P010～P015		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
	EXTAL		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
	5 V トレラント対応ポート (注3)		V_{IH}	VCC × 0.8	5.8		
			V_{IL}	—	VCC × 0.2		
	RES、NMI、IRQ		V_{IH}	VCC × 0.8	—		
			V_{IL}	—	VCC × 0.2		
			ΔV_T (注5)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V
	周辺機能	AGT、GPT、SPI、その他 (注4)	V_{IH}	VCC × 0.8	—		—
			V_{IL}	—	VCC × 0.2		
			ΔV_T (注5)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V
		IIC（SMBus を除く）(注1)	V_{IH}	VCC × 0.7	5.8		—
			V_{IL}	—	VCC × 0.3		
			ΔV_T (注5)	VCC × 0.10	—		VCC = 2.7～5.5 V
				VCC × 0.05	—		VCC = 1.6～2.7 V
		IIC (SMBus) (注2)	V_{IH}	2.2	—		VCC = 3.6～5.5 V
			V_{IL}	2.0	—		VCC = 2.7～3.6 V
			V_{IL}	—	0.8		VCC = 3.6～5.5 V
			V_{IL}	—	0.5		VCC = 2.7～3.6 V

注 1. SCL0_A、SDA0_A、SDA0_B（合計 3 端子）
注 2. SCL0_A、SCL0_B、SCL0_C、SDA0_A、SDA0_B、SCL0_D、SDA0_C（合計 7 端子）
注 3. P400、P401、P407（合計 3 端子）
注 4. x.x 製品ごとの周辺選択設定を参照してください。
注 5. ΔVT 付き I/O ポートには、PMR = 1 または ISEL = 1 のとき、シュミットトリガの性能があります。周辺機能選択については、x.x 製品ごとの周辺選択設定を参照してください。

2.2.3 I/O I_{OH}, I_{OL}

表 2.6 I/O I_{OH}, I_{OL} (1/6)

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（端子ごとの最大値）	ポート P000～P004、P010～P015、P212、P213、P400、P401、P407	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	8.0	mA	
	その他の出力端子 (注1)	I_{OH}	—	—	-4.0	mA	
		I_{OL}	—	—	20.0	mA	

表 2.6 I/O I_{OH}, I_{OL} (2/6)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	64 ピン製品	ポート P000～P004、P010～P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	AVCC0 = 2.7～5.5 V
				—	—	-8		AVCC0 = 1.8～2.7 V
				—	—	-4		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		AVCC0 = 2.7～5.5 V
				—	—	4		AVCC0 = 1.8～2.7 V
				—	—	2		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		ポート P204～P208、P400～P403、P407～P411、P913～P915 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		ポート P100～P113、P201、P300～P304、P500～P502 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-60	mA	
			$\Sigma I_{OL\ (max)}$	—	—	100		

表 2.6 I/O I_{OH}, I_{OL} (3/6)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	48 ピン製品	ポート P000～P002、P010～P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	AVCC0 = 2.7～5.5 V
				—	—	-8		AVCC0 = 1.8～2.7 V
				—	—	-4		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		AVCC0 = 2.7～5.5 V
				—	—	4		AVCC0 = 1.8～2.7 V
				—	—	2		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		ポート P206～P208、P400、P401、P407～P409、P913～P915 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		ポート P100～P104、P108～P112、P201、P300～P302、P500 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 2.7～5.5 V
				—	—	-8		VCC = 1.8～2.7 V
				—	—	-4		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 2.7～5.5 V
				—	—	4		VCC = 1.8～2.7 V
				—	—	2		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-60	mA	—
			$\Sigma I_{OL\ (max)}$	—	—	100		—

表 2.6 I/O I_{OH}, I_{OL} (4/6)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	36 ピン製品	ポート P000、P001、P010～P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	AVCC0 = 2.7～5.5 V
				—	—	-8		AVCC0 = 1.8～2.7 V
				—	—	-4		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		AVCC0 = 2.7～5.5 V
				—	—	4		AVCC0 = 1.8～2.7 V
				—	—	2		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		他の出力ポートの合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 4.0～5.5 V
				—	—	-20		VCC = 2.7～4.0 V
				—	—	-12		VCC = 1.8～2.7 V
				—	—	-6		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 4.0～5.5 V
				—	—	20		VCC = 2.7～4.0 V
				—	—	8		VCC = 1.8～2.7 V
				—	—	4		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-60	mA	—
			$\Sigma I_{OL\ (max)}$	—	—	100		—

表 2.6 I/O I_{OH}, I_{OL} (5/6)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	32 ピン製品	ポート P010～P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-24	mA	AVCC0 = 2.7～5.5 V
				—	—	-6		AVCC0 = 1.8～2.7 V
				—	—	-3		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	48		AVCC0 = 2.7～5.5 V
				—	—	3.6		AVCC0 = 1.8～2.7 V
				—	—	1.8		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		他の出力ポートの合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 4.0～5.5 V
				—	—	-20		VCC = 2.7～4.0 V
				—	—	-12		VCC = 1.8～2.7 V
				—	—	-6		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 4.0～5.5 V
				—	—	20		VCC = 2.7～4.0 V
				—	—	8		VCC = 1.8～2.7 V
				—	—	4		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-54	mA	—
			$\Sigma I_{OL\ (max)}$	—	—	98		—

表 2.6 I/O I_{OH}, I_{OL} (6/6)

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）(注2)	25 ピン製品	ポート P010、P011、P014、P015 の合計	$\Sigma I_{OH\ (max)}$	—	—	-16	mA	AVCC0 = 2.7～5.5 V
				—	—	-4		AVCC0 = 1.8～2.7 V
				—	—	-2		AVCC0 = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	32		AVCC0 = 2.7～5.5 V
				—	—	2.4		AVCC0 = 1.8～2.7 V
				—	—	1.2		AVCC0 = 1.6～1.8 V
		ポート P212、P213 の合計	$\Sigma I_{OH\ (max)}$	—	—	-8	mA	VCC = 2.7～5.5 V
				—	—	-2		VCC = 1.8～2.7 V
				—	—	-1		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	16.0		VCC = 2.7～5.5 V
				—	—	1.2		VCC = 1.8～2.7 V
				—	—	0.6		VCC = 1.6～1.8 V
		他の出力ポートの合計	$\Sigma I_{OH\ (max)}$	—	—	-30	mA	VCC = 4.0～5.5 V
				—	—	-20		VCC = 2.7～4.0 V
				—	—	-12		VCC = 1.8～2.7 V
				—	—	-6		VCC = 1.6～1.8 V
			$\Sigma I_{OL\ (max)}$	—	—	50		VCC = 4.0～5.5 V
				—	—	20		VCC = 2.7～4.0 V
				—	—	8		VCC = 1.8～2.7 V
				—	—	4		VCC = 1.6～1.8 V
		全出力端子の総和	$\Sigma I_{OH\ (max)}$	—	—	-46	mA	—
			$\Sigma I_{OL\ (max)}$	—	—	82		—

注 1. 入力ポートである P200、P214、P215 を除きます。
注 2. デューティー比 ≦ 70%の条件下での仕様です。
デューティー比 > 70%の場合、出力電流値は次式で計算できます（デューティー比を 70%から n%に変更するとき）。
端子の合計出力電流 = (I_{OH} × 0.7)/(n × 0.01)
<例> n = 80%で、I_{OH} = −30.0 mA のとき
端子の合計出力電流 = (-30.0 × 0.7) / (80 × 0.01) ≒ -26.2 mA
ただし、1 つの端子に入力可能な電流はデューティー比によって変化しません。

【使用上の注意】MCU の信頼性を確保するため、出力電流値は表 2.6 の値を超えないようにしてください。

2.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 2.7 I/O V_{OH}、V_{OL} (1)

条件：VCC = AVCC0 = 4.0～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P004、P010～P015	V_{OH}	AVCC0 - 0.8	—	—	V	I_{OH} = -4.0 mA
	P000～P004 および P010～P015 以外の出力端子(注1)	V_{OH}	VCC - 0.8	—	—		I_{OH} = -4.0 mA
	ポート P000～P004、P010～P015	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	ポート P212、P213、P400、P401、P407	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	P000～P004、P010～P015、P212、P213、P400、P401、および P407 以外の出力端子(注1)	V_{OL}	—	—	1.2		I_{OL} = 20.0 mA

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.8 I/O V_{OH}、V_{OL} (2)

条件：VCC = AVCC0 = 2.7～4.0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P004、P010～P015	V_{OH}	AVCC0 - 0.8	—	—	V	I_{OH} = -4.0 mA
	P000～P004 および P010～P015 以外の出力端子(注1)	V_{OH}	VCC - 0.8	—	—		I_{OH} = -4.0 mA
	ポート P000～P004、P010～P015	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA
	P000～P004 および P010～P015 以外の出力端子(注1)	V_{OL}	—	—	0.8		I_{OL} = 8.0 mA

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.9 I/O V_{OH}、V_{OL} (3)

条件：VCC = AVCC0 = 1.6～2.7 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000～P004、P010～P015	V_{OH}	AVCC0 - 0.5	—	—	V	I_{OH} = -1.0 mA AVCC0 = 1.8～2.7 V
			AVCC0 - 0.5	—	—		I_{OH} = -0.5 mA AVCC0 = 1.6～1.8 V
	P000～P004 および P010～P015 以外の出力端子(注1)	V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA VCC = 1.8～2.7 V
			VCC - 0.5	—	—		I_{OH} = -0.5 mA VCC = 1.6～1.8 V
	ポート P000～P004、P010～P015	V_{OL}	—	—	0.4		I_{OL} = 0.6 mA AVCC0 = 1.8～2.7 V
			—	—	0.4		I_{OL} = 0.3 mA AVCC0 = 1.6～1.8 V
	P000～P004 および P010～P015 以外の出力端子(注1)	V_{OL}	—	—	0.4		I_{OL} = 0.6 mA VCC = 1.8～2.7 V
			—	—	0.4		I_{OL} = 0.3 mA VCC = 1.6～1.8 V

注 1. 入力ポートである P200、P214、および P215 を除きます。

表 2.10 I/O その他の特性

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200、P214、P215	$\lvert I_{in} \rvert$	—	—	1.0	μA	V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラントポート(注1)	$\lvert I_{TSI} \rvert$	—	—	1.0	μA	V_{in} = 0 V V_{in} = 5.8 V
	その他のポート（P200、P214、P215、および 5 V トレラント対応ポートを除く）		—	—	1.0		V_{in} = 0 V V_{in} = VCC
入力プルアップ抵抗	全ポート（P200、P214、P215 を除く）	R_U	10	20	100	kΩ	V_{in} = 0 V
入力容量	P200	C_{in}	—	—	30	pF	V_{in} = 0 V f = 1 MHz T_a = 25 °C
	その他の入力端子		—	—	15		

注 1. P400、P401、および P407（合計 3 端子）

2.2.5 動作電流とスタンバイ電流

表 2.11 動作電流とスタンバイ電流 (1) (1/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注10)	Max	単位	測定条件
消費電流 (注1)	High-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 48 MHz	I_{CC}	4.80	—	mA	(注7) (注11)
				ICLK = 32 MHz		3.45	—		(注7)
				ICLK = 16 MHz		2.05	—		
				ICLK = 8 MHz		1.40	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 48 MHz		—	13.0		(注9) (注11)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 48 MHz		1.05	—		(注7)
				ICLK = 32 MHz		0.85	—		(注7)
				ICLK = 16 MHz		0.70	—		
				ICLK = 8 MHz		0.60	—		
			すべての周辺クロックが有効(注5)	ICLK = 48 MHz		4.15	—		(注9)
				ICLK = 32 MHz		3.95	—		(注8)
				ICLK = 16 MHz		2.25	—		
				ICLK = 8 MHz		1.35	—		
		BGO 動作時の増加分(注6)				2.1	—		—

表 2.11 動作電流とスタンバイ電流 (1) (2/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注10)	Max	単位	測定条件
消費電流 (注1)	Middle-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 24 MHz	I_{CC}	2.60	—	mA	(注7)
				ICLK = 4 MHz		0.90	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 24 MHz		—	8.1		(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 24 MHz		0.70	—		(注7)
				ICLK = 4 MHz		0.55	—		
			すべての周辺クロックが有効(注5)	ICLK = 24 MHz		3.05	—		(注8)
				ICLK = 4 MHz		0.90	—		
		BGO 動作時の増加分(注6)				1.90	—		—
	Low-speed モード(注3)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 2 MHz		0.30	—	mA	(注7)
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 2 MHz		—	2.2		(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 2 MHz		0.13	—		(注7)
			すべての周辺クロックが有効(注5)	ICLK = 2 MHz		0.31	—		(注8)
	Subosc-speed モード(注4)	通常モード	すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 32.768 kHz		—	530	μA	(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 32.768 kHz		1.90	—		(注8)
			すべての周辺クロックが有効(注5)	ICLK = 32.768 kHz		4.90	—		(注8)

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
注 2. クロックソースは HOCO です。
注 3. クロックソースは MOCO です。
注 4. クロックソースはサブクロック発振器です。
注 5. BGO 動作は含まれません。
注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム／イレースを実行した場合の増加分です。
注 7. PCLKB と PCLKD は、64 分周に設定されています。
注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。
注 9. PCLKB は 2 分周に設定されています。PCLKD は ICLK と同じ周波数です。
注 10. VCC = 3.3 V
注 11. プリフェッチバッファは動作しています。

表 2.12 動作電流とスタンバイ電流 (2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目					シンボル	Typ (注3)	Max	単位	測定条件
消費電流(注1)	ソフトウェアスタンバイモード(注2)	周辺モジュール停止	すべての SRAM (0x2000_4000～0x2000_7FFF) がオン	T_a = 25 °C	I_{CC}	0.25	1.3	μA	—
				T_a = 55 °C		0.55	3.7		
				T_a = 85 °C		1.95	12		
				T_a = 105 °C		3.90	42		
			8 KB SRAM (0x2000_4000～0x2000_5FFF) のみがオン	T_a = 25 °C		0.25	1.3		
				T_a = 55 °C		0.55	3.7		
				T_a = 85 °C		1.70	12		
				T_a = 105 °C		3.55	42		
		低速オンチップオシレータでの RTC 動作時増加分 (注4)				0.30	—		—
		サブクロック発振器での通常動作モードの RTC 動作時増加分(注4)				0.20	—		SOMCR.SODRV[1:0] = 11b（低消費電力モード 3） RCR4.ROPSEL = 0（通常動作モードの RTC 動作）
						0.95	—		SOMCR.SODRV[1:0] = 00b（通常モード） RCR4.ROPSEL = 0（通常動作モードの RTC 動作）
		サブクロック発振器での低消費電力クロックモードの RTC 動作時増加分(注4)				0.11	—		SOMCR.SODRV[1:0] = 11b（低消費電力モード 3） RCR4.ROPSEL = 1（低消費電力クロックモードの RTC 動作）
						0.90	—		SOMCR.SODRV[1:0] = 00b（通常モード） RCR4.ROPSEL = 1（低消費電力クロックモードの RTC 動作）

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。
注 2. IWDT と LVD は動作していません。
注 3. VCC = 3.3 V
注 4. 低速オンチップオシレータまたはサブ発振回路の電流を含みます。

表 2.13 動作電流とスタンバイ電流 (3) (1/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	12 ビット A/D 変換中（高速 A/D 変換モード時）	I_{AVCC0}	—	—	1.44	mA	—
	12 ビット A/D 変換中（低消費電力 A/D 変換モード時）		—	—	0.78	mA	—
	12 ビット A/D 変換待機中（全ユニット） (注1)		—	—	1.0	μA	—
基準電源電流	12 ビット A/D 変換中	I_{REFH0}	—	—	120	μA	—
	12 ビット A/D 変換待機中		—	—	60	nA	—
温度センサ (TSN) 動作電流		I_{TNS}	—	95	—	μA	—

表 2.13　動作電流とスタンバイ電流 (3) (2/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
低消費電力アナログコンパレータ (ACMPLP) の動作電流	ウィンドウコンパレータ（High-speed モード）	I_{CMPLP}	—	12	—	μA	—
	コンパレータ（High-speed モード）		—	6.4	—	μA	—
	コンパレータ（Low-speed モード）		—	1.8	—	μA	—

注 1.　MCU がソフトウェアスタンバイモードまたは MSTPCRD.MSTPD16 （ADC120 モジュールストップビット）がモジュールストップ状態の場合

2.2.6　VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.14　立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0～5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり勾配	起動時電圧監視 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧監視 0 リセット有効(注1) (注2)				—		
	SCI ブートモード(注2)				2		

注 1.　OFS1.LVDAS = 0 のとき
注 2.　ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 からのリセットは無効です。

表 2.15　立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = 1.6～5.5 V
リップル電圧は、VCC 上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_{r\,(VCC)}$を満たす必要があります。
VCC 変動が VCC±10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\,(VCC)}$	—	—	10	kHz	図 2.2 $V_{r\,(VCC)} \leqq$ VCC × 0.2
		—	—	1	MHz	図 2.2 $V_{r\,(VCC)} \leqq$ VCC × 0.08
		—	—	10	MHz	図 2.2 $V_{r\,(VCC)} \leqq$ VCC × 0.06
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が VCC±10%を超える場合

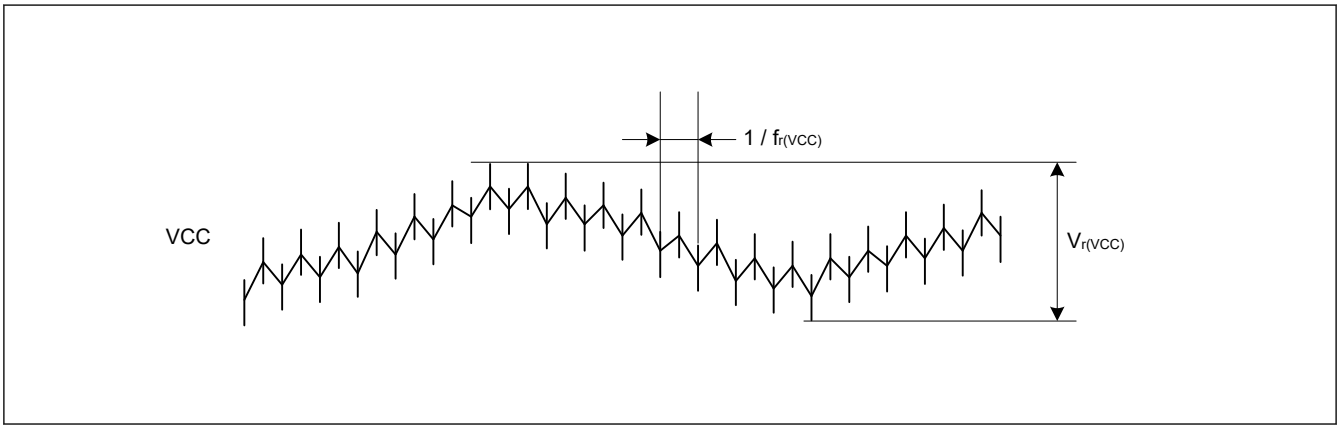


図 2.2　リップル波形

2.2.7　熱特性

ジャンクション温度 (Tj) の最大値は、2.2.1 Tj/Ta の定義の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力

  Tj：ジャンクション温度 (°C)

  Ta：周囲温度 (°C)

  Tt：ケース上面中央部温度 (°C)

  θja：「ジャンクション」-「周囲」間の熱抵抗 (°C/W)

  Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗 (°C/W)
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (IOL × VOL) / 電圧 + Σ (|IOH| × |VCC – VOH|) / 電圧
- IO のダイナミック電流 = Σ IO (Cin + Cload) × IO のスイッチング周波数 × 電圧

  Cin：入力容量

  Cload：出力容量

θja と Ψjt については、表 2.16 を参照してください。

表 2.16　熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	32 ピン HWQFN	θja	22.5	°C/W	JESD 51-2 および 51-7 準拠
	48 ピン HWQFN		19.0		
	64 ピン HWQFN		20.3		
	32 ピン LQFP		60.9		
	48 ピン LQFP		62.4		
	64 ピン LQFP 0.5 mm ピッチ		53.6		
	64 ピン LQFP 0.8 mm ピッチ		52.0		
	36 ピン WFLGA		60.3		JESD 51-2 および 51-9 準拠
	64 ピン VFBGA		55.7		
	25 ピン WLCSP		49.8		
	32 ピン HWQFN	Ψjt	0.20	°C/W	JESD 51-2 および 51-7 準拠
	48 ピン HWQFN		0.18		
	64 ピン HWQFN		0.18		
	32 ピン LQFP		2.50		
	48 ピン LQFP		2.50		
	64 ピン LQFP 0.5 mm ピッチ		2.00		
	64 ピン LQFP 0.8 mm ピッチ		2.00		
	36 ピン WFLGA		0.33		JESD 51-2 および 51-9 準拠
	64 ピン VFBGA		0.31		
	25 ピン WLCSP		0.23		

注 1.　値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

2.3　AC 特性

2.3.1 周波数

表 2.17 High-speed 動作モードの動作周波数

条件：VCC = AVCC0 = 1.8～5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8～5.5 V	f	0.032768	—	48	MHz
	周辺モジュールクロック (PCLKB)	1.8～5.5 V		—	—	32	
	周辺モジュールクロック (PCLKD)(注3)	1.8～5.5 V		—	—	64	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.21 を参照してください。

表 2.18 Middle-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.8～5.5 V	f	0.032768	—	24	MHz
		1.6～1.8 V		0.032768	—	4	
	周辺モジュールクロック (PCLKB)	1.8～5.5 V		—	—	24	
		1.6～1.8 V		—	—	4	
	周辺モジュールクロック (PCLKD)(注3)	1.8～5.5 V		—	—	24	
		1.6～1.8 V		—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.21 を参照してください。

表 2.19 Low-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)	1.6～5.5 V	f	0.032768	—	2	MHz
	周辺モジュールクロック (PCLKB)	1.6～5.5 V		—	—	2	
	周辺モジュールクロック (PCLKD)(注3)	1.6～5.5 V		—	—	2	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。
注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。
注 4. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 2.21 を参照してください。

表 2.20 Subosc-speed モードの動作周波数

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注1)	1.6～5.5 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB)	1.6～5.5 V		—	—	37.6832	
	周辺モジュールクロック (PCLKD)(注2)	1.6～5.5 V		—	—	37.6832	

注 1. フラッシュメモリのプログラムおよびイレースはできません。
注 2. ADC12 は使用できません。

2.3.2 クロックタイミング

表 2.21 クロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 2.3
EXTAL 外部クロック入力 High レベルパルス幅	t_{XH}	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{XL}	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL 外部クロック入力待機時間(注1)	t_{EXWT}	0.3	—	—	μs	—
EXTAL 外部クロック入力周波数	f_{EXTAL}	—	—	20	MHz	1.8 ≦ VCC ≦ 5.5
		—	—	4		1.6 ≦ VCC ＜ 1.8
メインクロック発振器発振周波数	f_{MAIN}	1	—	20	MHz	1.8 ≦ VCC ≦ 5.5
		1	—	4		1.6 ≦ VCC ＜ 1.8
LOCO クロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t_{LOCO}	—	—	100	μs	図 2.4
IWDT 専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t_{MOCO}	—	—	1	μs	—
HOCO クロック発振周波数(注5)	f_{HOCO24}	23.76	24	24.24	MHz	Ta = -40～105 °C 1.6 ≦ VCC ≦ 5.5
	f_{HOCO32}	31.68	32	32.32		Ta = -40～105 °C 1.6 ≦ VCC ≦ 5.5
	f_{HOCO48}	47.52	48	48.48		Ta = -40～105 °C 1.6 ≦ VCC ≦ 5.5
	f_{HOCO64}	63.36	64	64.64		Ta = -40～105 °C 1.6 ≦ VCC ≦ 5.5
HOCO クロック発振安定待機時間(注3) (注4)	t_{HOCO24} t_{HOCO32} t_{HOCO48} t_{HOCO64}	—	6.7	7.7	μs	図 2.5
サブクロック発振器発振周波数	f_{SUB}	—	32.768	—	kHz	—
サブクロック発振安定時間(注2)	t_{SUBOSC}	—	0.5	—	s	図 2.6

注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0（動作中）にしてからクロックが使用できるようになるまでの時間
注 2. サブクロック発振器の動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、サブクロック発振器の使用は必ずサブクロック発振安定待機時間が経過してから開始してください。サブクロック発振安定待ち時間は発振器製造者の推奨値以上にしてください。
注 3. MOCO 停止状態で HOCOCR.HCSTP ビットを 0（発振）にした場合の特性です。MOCO 発振中に HOCOCR.HCSTP ビットを 0（動作）にすると、この仕様は 1 μs 短くなります。
注 4. OSCSF.HOCOSF を確認して、安定時間が経過したか確認してください。
注 5. 出荷テスト時の精度

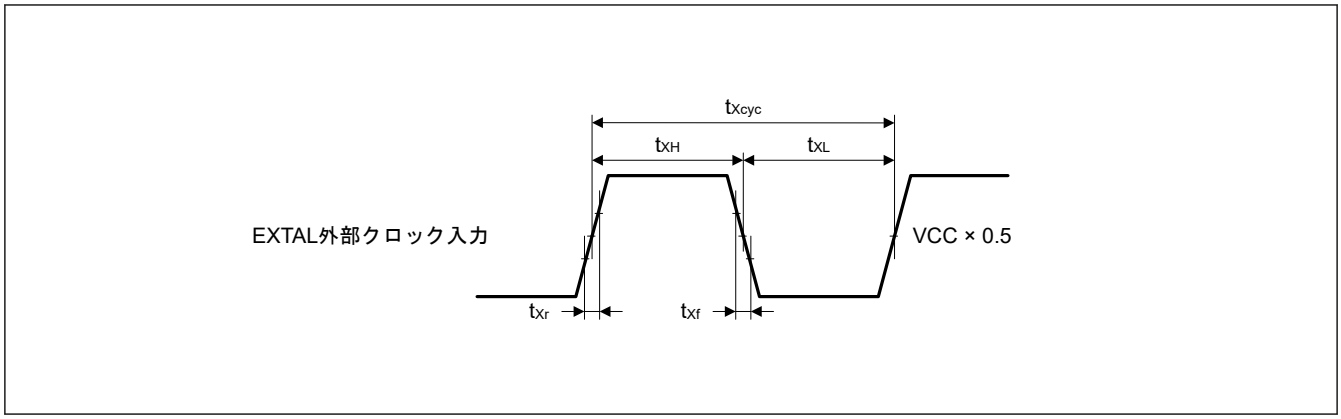


図 2.3　EXTAL 外部クロック入力タイミング

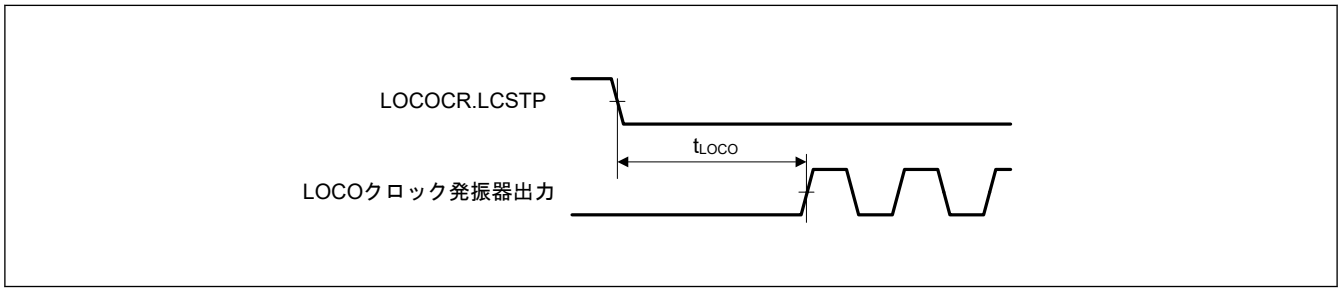
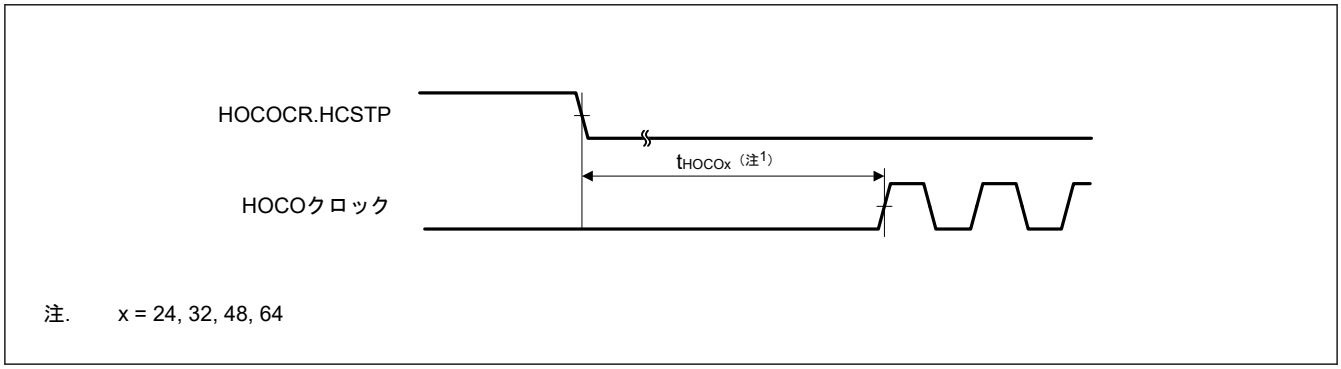


図 2.4　LOCO クロック発振開始タイミング



注.　x = 24, 32, 48, 64

図 2.5　HOCO クロック発振開始タイミング（HOCOCR.HCSTP ビット設定により開始）

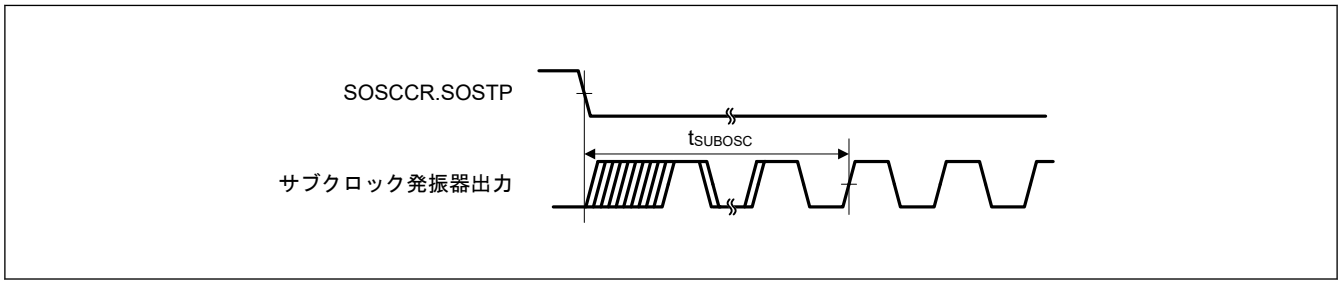


図 2.6　サブクロック発振開始タイミング

2.3.3　リセットタイミング

表 2.22　リセットタイミング (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	t_{RESWP}	10	—	—	ms	図 2.7
	電源投入時以外	t_{RESW}	30	—	—	μs	図 2.8

表 2.22　リセットタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES 解除後の待機時間（電源投入時）	LVD0 有効(注1)	t_{RESWT}	—	0.9	—	ms	図 2.7
	LVD0 無効(注2)		—	0.2	—		
RES 解除後の待機時間（電源投入中）	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 2.8
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間（ウォッチドッグタイマリセット、SRAM パリティエラーリセット、バスマスタ MPU エラーリセット、バススレーブ MPU エラーリセット、スタックポインタエラーリセット、ソフトウェアリセット）	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 2.9
	LVD0 無効(注2)		—	0.15	—		

注 1.　OFS1.LVDAS = 0 のとき
注 2.　OFS1.LVDAS = 1 のとき

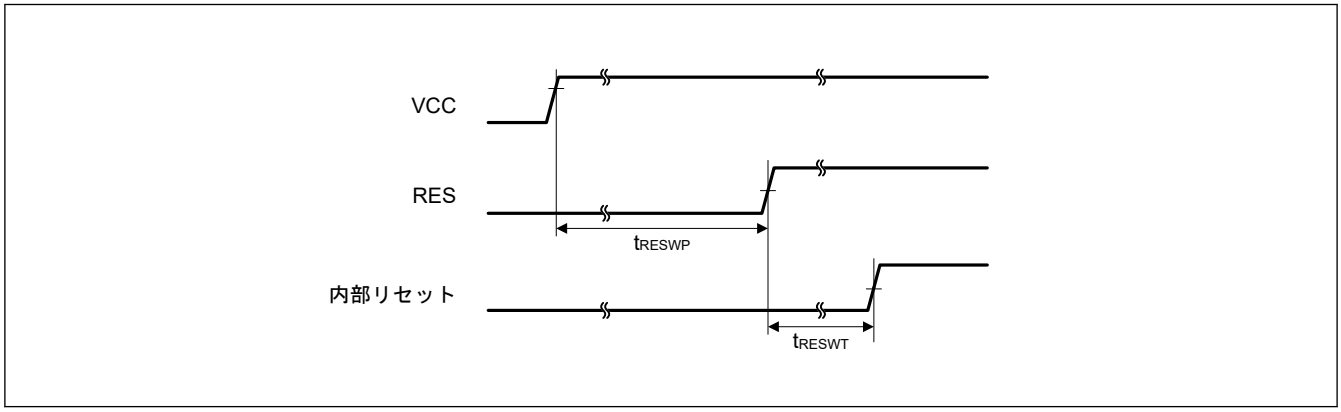


図 2.7　電源投入時リセット入力タイミング

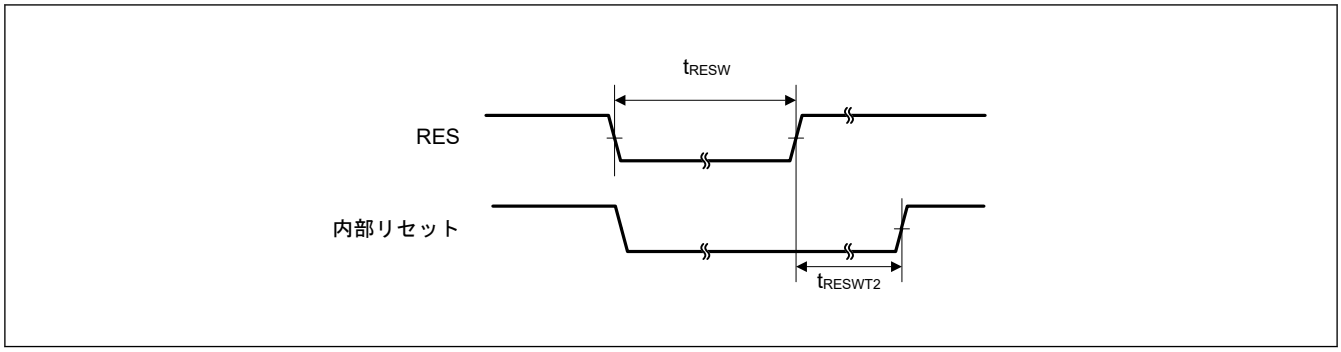


図 2.8　リセット入力タイミング (1)

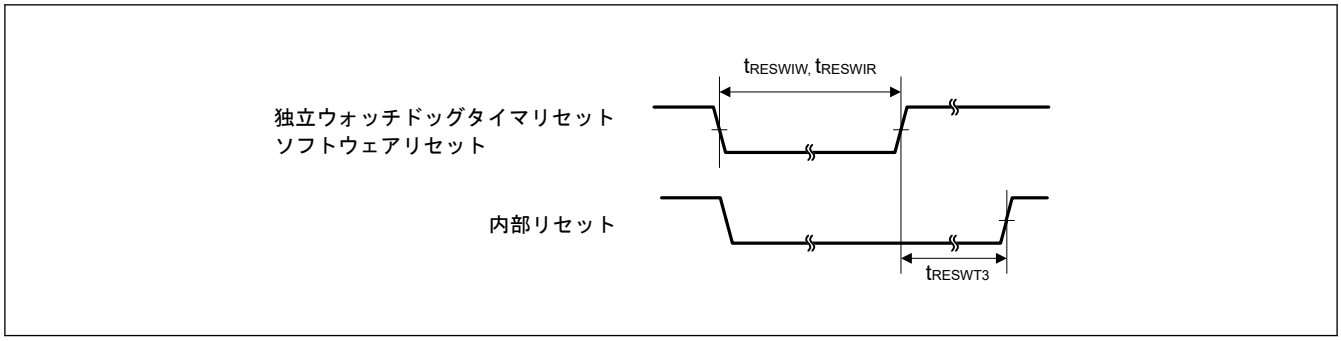


図 2.9　リセット入力タイミング (2)

2.3.4 ウェイクアップ時間

表 2.23 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 2.10
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3)	t_{SBYEX}	—	2.4	3.1	µs	
		システムクロックソースは HOCO (HOCO クロックは 32 MHz) (注4)		t_{SBYHO}	—	7.4	9.1	µs	
		システムクロックソースは HOCO (HOCO クロックは 48 MHz) (注5)		t_{SBYHO}	—	7.3	8.9	µs	
		システムクロックソースは HOCO (HOCO クロックは 64 MHz) (注4)		t_{SBYHO}	—	7.4	9.1	µs	
		システムクロックソースは MOCO (8 MHz)		t_{SBYMO}	—	4	5	µs	

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。
注 4. システムクロックは 32 MHz です。
注 5. システムクロックは 48 MHz です。

表 2.24 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 2.10
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3) VCC = 1.8 V～5.5 V	t_{SBYEX}	—	2.4	3.1	µs	
			システムクロックソースはメインクロック発振器 (4 MHz)(注3) VCC = 1.6 V～1.8 V		—	8.5	9.1		
		システムクロックソースは HOCO	VCC = 1.8 V～5.5 V(注4)	t_{SBYHO}	—	7.7	9.4	µs	
			VCC = 1.6 V～1.8 V		—	15.7	17.9		
		システムクロックソースは MOCO (8 MHz)	VCC = 1.8 V～5.5 V	t_{SBYMO}	—	4	5	µs	
			VCC = 1.6 V～1.8 V		—	7.2	9		

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。
注 4. システムクロックは 24 MHz です。

表 2.25　低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (2 MHz)(注2)	t_{SBYMC}	—	2	3	ms	図 2.10
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (2 MHz)(注3)	t_{SBYEX}	—	14.5	16	μs	
		システムクロックソースは MOCO (8 MHz)		t_{SBYMO}	—	12	15	μs	

注 1.　ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
注 2.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。
注 3.　メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

表 2.26　低消費電力モードからの復帰タイミング (4)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768 kHz)	t_{SBYSC}	—	0.85	1	ms	図 2.10
		システムクロックソースは LOCO (32.768 kHz)	t_{SBYLO}	—	0.85	1.2	ms	

注 1.　Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

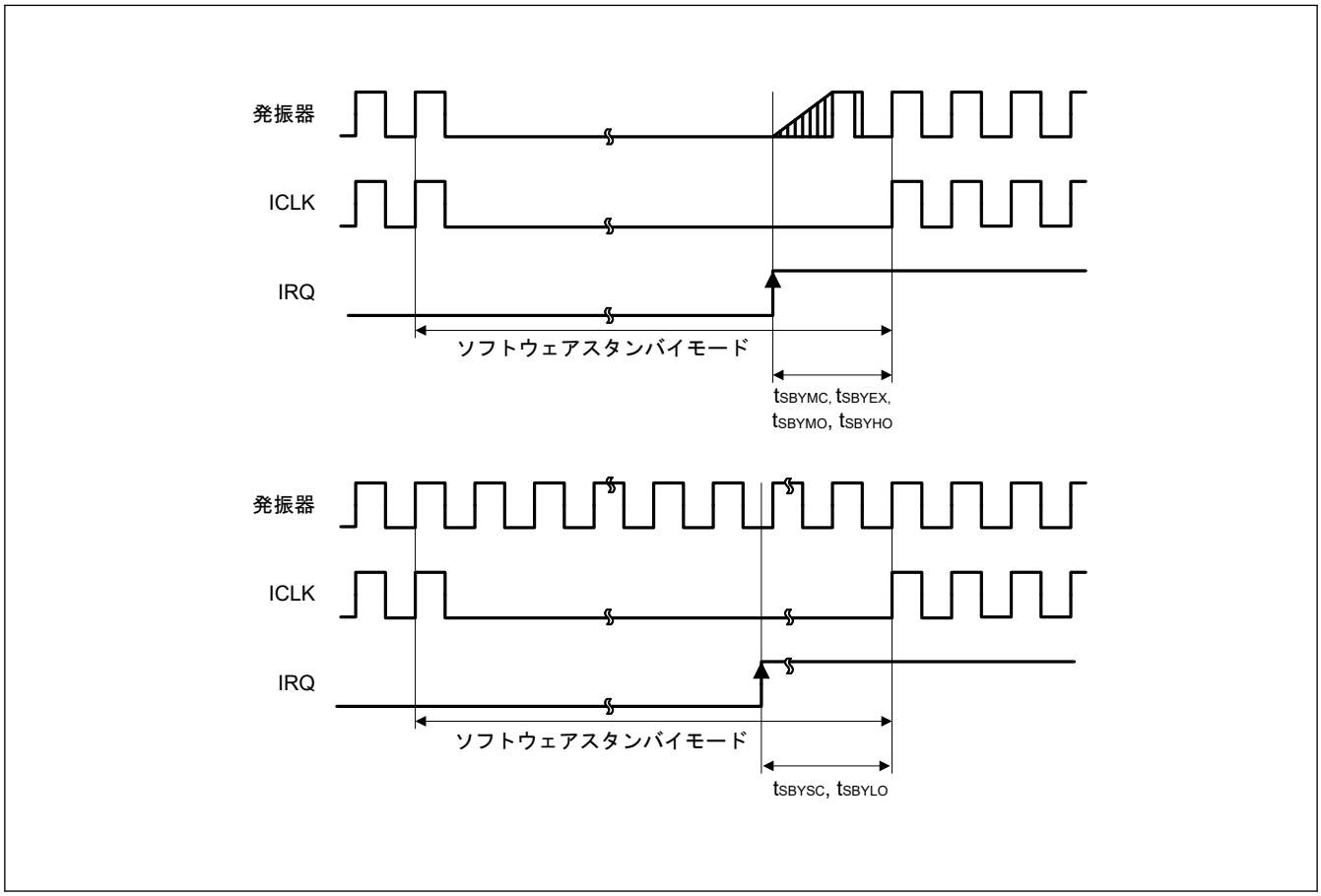
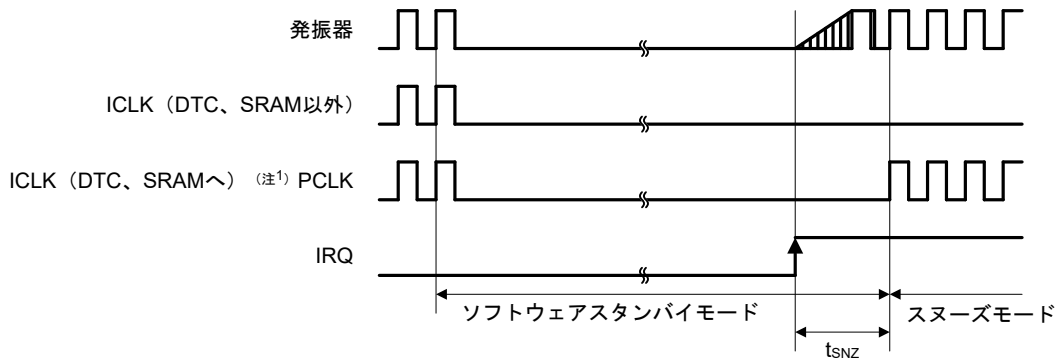


図 2.10　ソフトウェアスタンバイモード解除タイミング

表 2.27 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	t_{SNZ}	—	6.6	8.1	μs	図 2.11
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V～5.5 V	t_{SNZ}	—	6.7	8.2	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V～1.8 V	t_{SNZ}	—	10.8	12.9	μs	
	Low-speed モード システムクロックソースは MOCO (2 MHz)	t_{SNZ}	—	6.7	8.0	μs	



注 1. SNZCR.SNZDTCEN ビットが 1 の時、ICLK が DTC と SRAM に供給されます。

図 2.11 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

2.3.5 NMI/IRQ ノイズフィルタ

表 2.28 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leqq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leqq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小 200 ns です。
注. クロックソースを切り替える場合、切り替えるソースの 4 クロックサイクルを足す必要があります。
注 1. t_{Pcyc} は PCLKB の周期を意味します。
注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します（i = 0～7）。

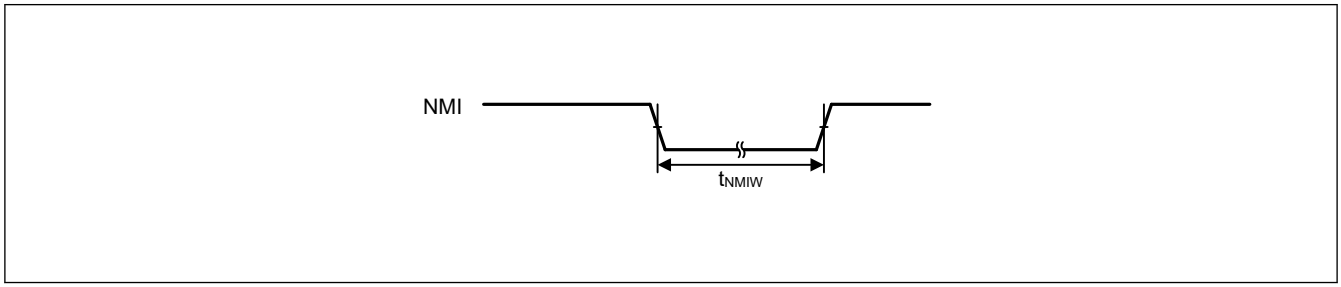


図 2.12 NMI 割り込み入力タイミング

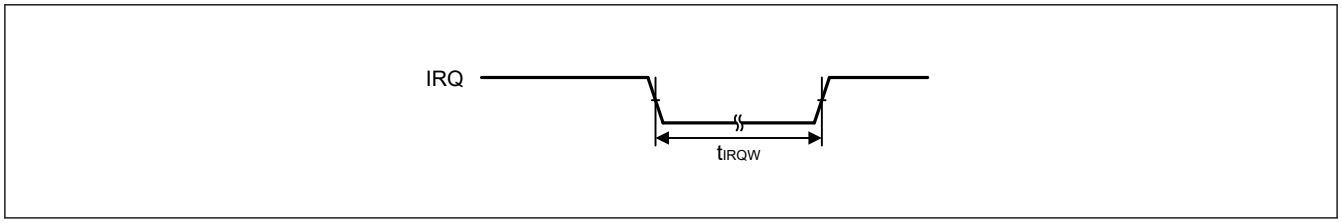


図 2.13 IRQ 割り込み入力タイミング

2.3.6 I/O ポート、POEG、GPT、AGT、KINT、および ADC12 のトリガタイミング

表 2.29 I/O ポート、POEG、GPT、AGT、KINT、および ADC12 のトリガタイミング

項目			シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅	2.7 V ≦ VCC ≦ 5.5 V	t_{PRW}	2	—	t_{Pcyc}	図 2.14
		2.4 V ≦ VCC < 2.7 V		3			
		1.6 V ≦ VCC < 2.4 V		4			
POEG	POEG 入力トリガパルス幅		t_{POEW}	3	—	t_{Pcyc}	図 2.15
GPT	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	—	t_{PDcyc}	図 2.16
		両エッジ		2.5	—		
AGT	AGTIO、AGTEE 入力サイクル	1.8 V ≦ VCC ≦ 5.5 V	t_{ACYC}(注1)	250	—	ns	図 2.17
		1.6 V ≦ VCC < 1.8 V		2000	—	ns	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	1.8 V ≦ VCC ≦ 5.5 V	t_{ACKWH}, t_{ACKWL}	100	—	ns	
		1.6 V ≦ VCC < 1.8 V		800	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	2.7 V ≦ VCC ≦ 5.5 V	t_{ACYC2}	62.5	—	ns	図 2.17
		2.4 V ≦ VCC < 2.7 V		125	—	ns	
		1.8 V ≦ VCC < 2.4 V		250	—	ns	
		1.6 V ≦ VCC < 1.8 V		500	—	ns	
ADC12	12 ビット A/D コンバータトリガ入力パルス幅		t_{TRGW}	1.5	—	t_{Pcyc}	図 2.18
KINT	Krn (n = 00～07) パルス幅		t_{KR}	250	—	ns	図 2.19

注 1. AGTIO 入力の制約：t_{Pcyc} × 2（t_{Pcyc}: PCLKB サイクル）< t_{ACYC}

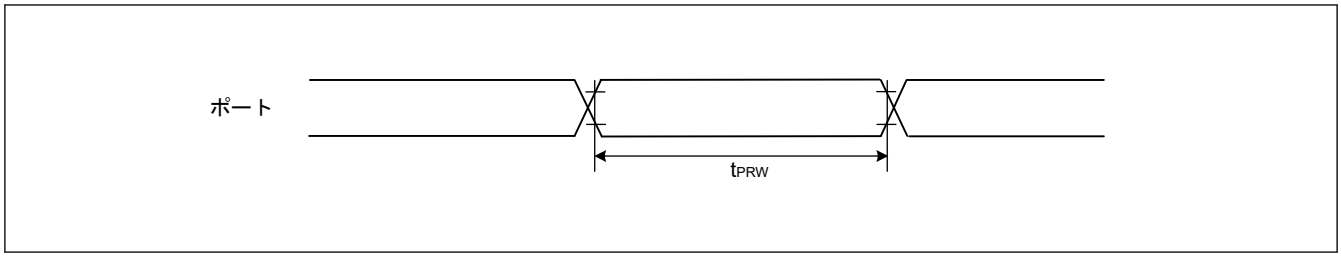


図 2.14 I/O ポート入力タイミング

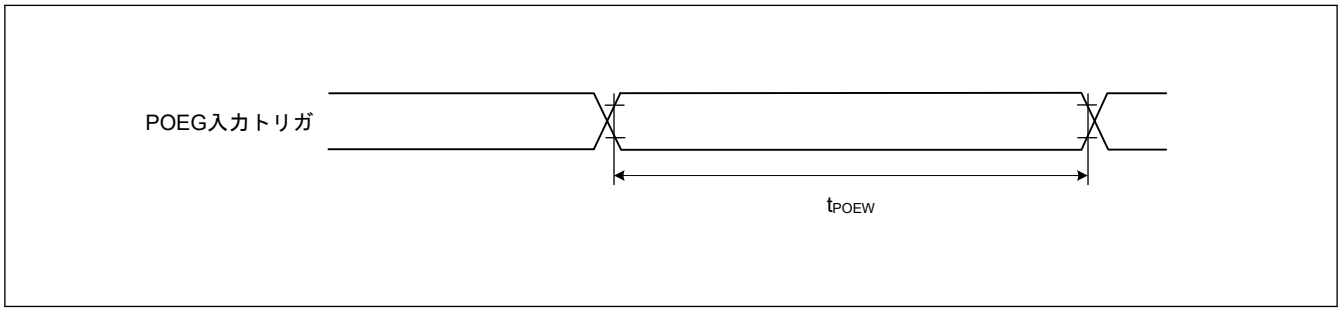


図 2.15 POEG 入力トリガタイミング

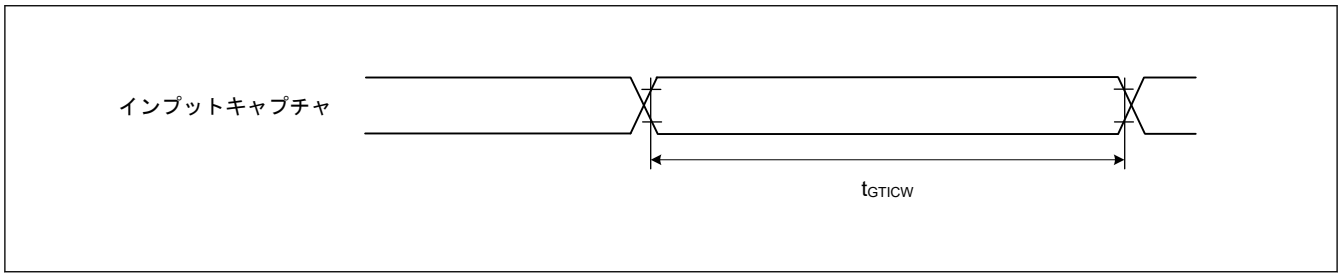


図 2.16 GPT インプットキャプチャタイミング

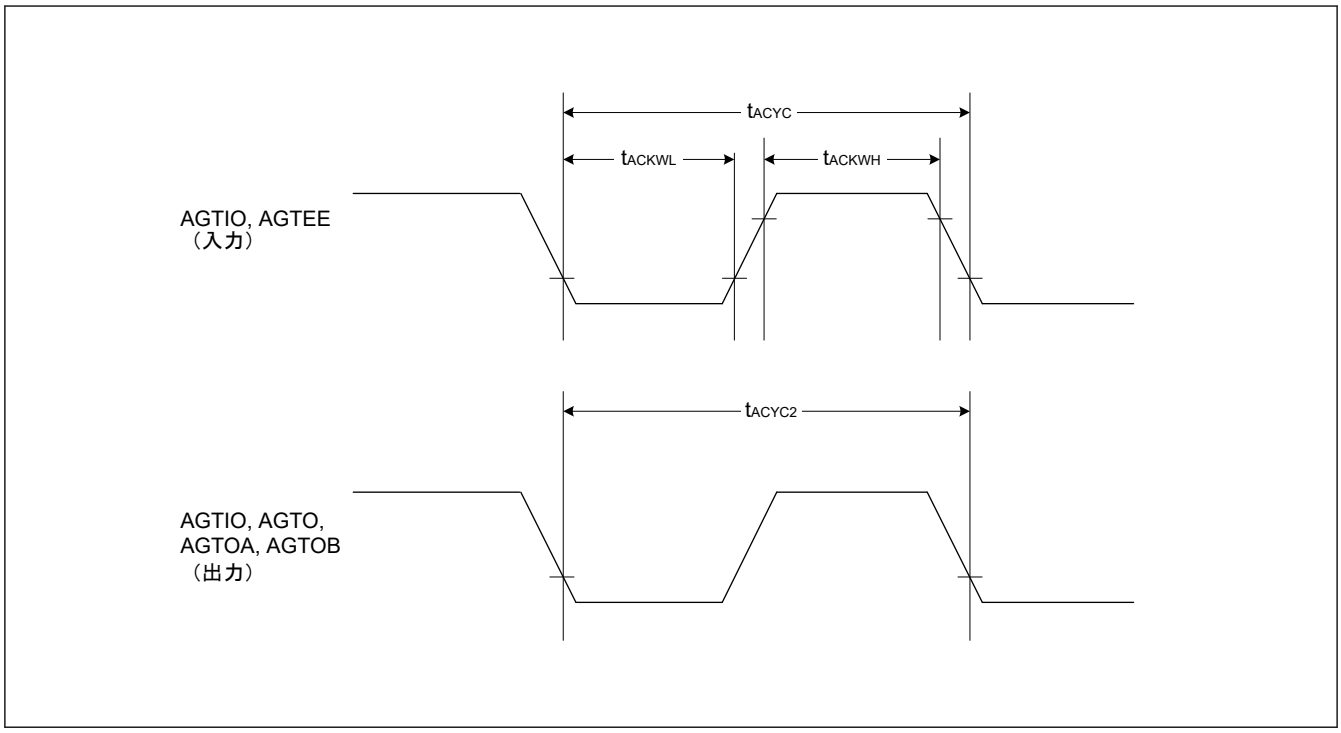


図 2.17 AGT 入出力タイミング

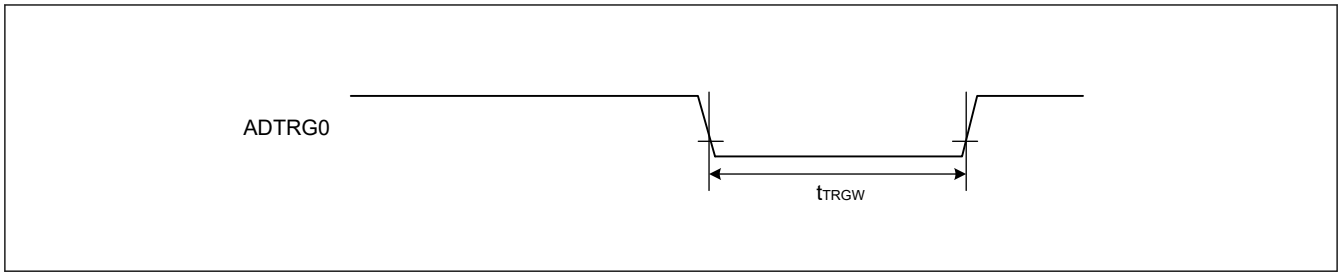


図 2.18　ADC12 トリガ入力タイミング

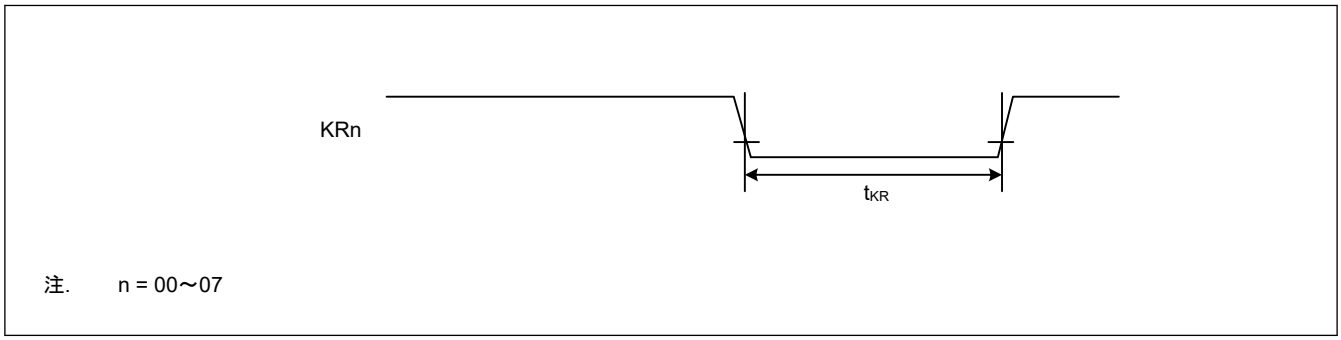


図 2.19　キー割り込み入力タイミング

2.3.7　CAC タイミング

表 2.30　CAC タイミング

条件：VCC = AVCC0 = 1.6～5.5 V

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	t_{Pcyc}(注1)≦ t_{CAC}(注2)	t_{CACREF}	4.5 × t_{CAC} + 3 × t_{Pcyc}	—	—	ns	—
		t_{Pcyc}(注1) > t_{CAC}(注2)		5 × t_{CAC} + 6.5 × t_{Pcyc}	—	—	ns	

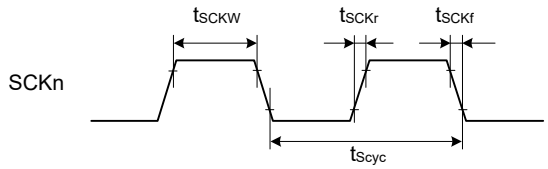
注 1.　t_{Pcyc}：PCLKB の周期
注 2.　t_{CAC}：CAC カウントクロックソースの周期

2.3.8 SCI タイミング

表 2.31 SCI タイミング (1)

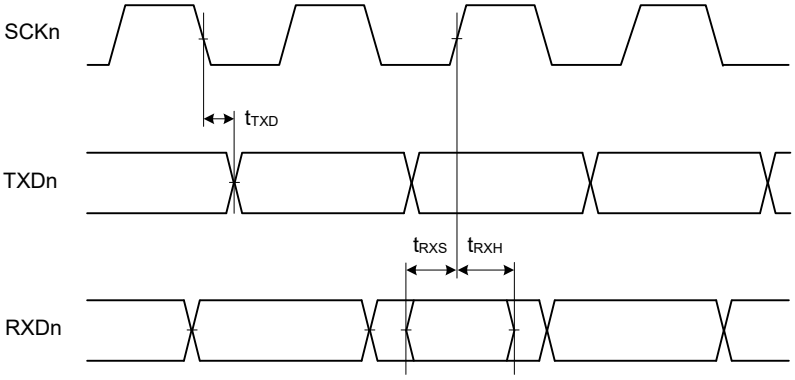
条件：VCC = AVCC0 = 1.6～5.5 V

項目				シンボル	Min	Max	単位	測定条件
SCI	入力クロックサイクル	調歩同期式	2.7 V ≦ VCC ≦ 5.5 V	t_{Scyc}	125	—	ns	図 2.20
			2.4 V ≦ VCC < 2.7 V		250	—		
			1.8 V ≦ VCC < 2.4 V		500	—		
			1.6 V ≦ VCC < 1.8 V		1000	—		
		クロック同期式	2.7 V ≦ VCC ≦ 5.5 V		187.5	—		
			2.4 V ≦ VCC < 2.7 V		375	—		
			1.8 V ≦ VCC < 2.4 V		750	—		
			1.6 V ≦ VCC < 1.8 V		1500	—		
	入力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間			t_{SCKr}	—	20	ns	
	入力クロック立ち下がり時間			t_{SCKf}	—	20	ns	
	出力クロックサイクル	調歩同期式	2.7 V ≦ VCC ≦ 5.5 V	t_{Scyc}	187.5	—	ns	
			2.4 V ≦ VCC < 2.7 V		375	—		
			1.8 V ≦ VCC < 2.4 V		750	—		
			1.6 V ≦ VCC < 1.8 V		1500	—		
		クロック同期式	2.7 V ≦ VCC ≦ 5.5 V		125	—		
			2.4 V ≦ VCC < 2.7 V		250	—		
			1.8 V ≦ VCC < 2.4 V		500	—		
			1.6 V ≦ VCC < 1.8 V		1000	—		
	出力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		1.8 V ≦ VCC ≦ 5.5 V	t_{SCKr}	—	20	ns	
			1.6 V ≦ VCC < 1.8 V		—	30		
	出力クロック立ち下がり時間		1.8 V ≦ VCC ≦ 5.5 V	t_{SCKf}	—	20	ns	
			1.6 V ≦ VCC < 1.8 V		—	30		
	送信データ遅延時間（マスタ）	クロック同期式	1.8 V ≦ VCC ≦ 5.5 V	t_{TXD}	—	40	ns	図 2.21
			1.6 V ≦ VCC < 1.8 V		—	45		
	送信データ遅延時間（スレーブ）	クロック同期式	2.7 V ≦ VCC ≦ 5.5 V		—	55	ns	
			2.4 V ≦ VCC < 2.7 V		—	60		
			1.8 V ≦ VCC < 2.4 V		—	100		
			1.6 V ≦ VCC < 1.8 V		—	125		
	受信データセットアップ時間（マスタ）	クロック同期式	2.7 V ≦ VCC ≦ 5.5 V	t_{RXS}	45	—	ns	
			2.4 V ≦ VCC < 2.7 V		55	—		
			1.8 V ≦ VCC < 2.4 V		90	—		
			1.6 V ≦ VCC < 1.8 V		110	—		
	受信データセットアップ時間（スレーブ）	クロック同期式	2.7 V ≦ VCC ≦ 5.5 V		40	—	ns	
			1.6 V ≦ VCC < 2.7 V		45	—		
	受信データホールド時間（マスタ）	クロック同期式		t_{RXH}	5	—	ns	
	受信データホールド時間（スレーブ）	クロック同期式		t_{RXH}	40	—	ns	



注. n = 0～2, 9

図 2.20 SCK クロック入力タイミング



注. n = 0～2, 9

図 2.21 クロック同期式モードにおける SCI 入出力タイミング

表 2.32 SCI タイミング (2) (1/2)

条件：VCC = AVCC0 = 1.6～5.5 V

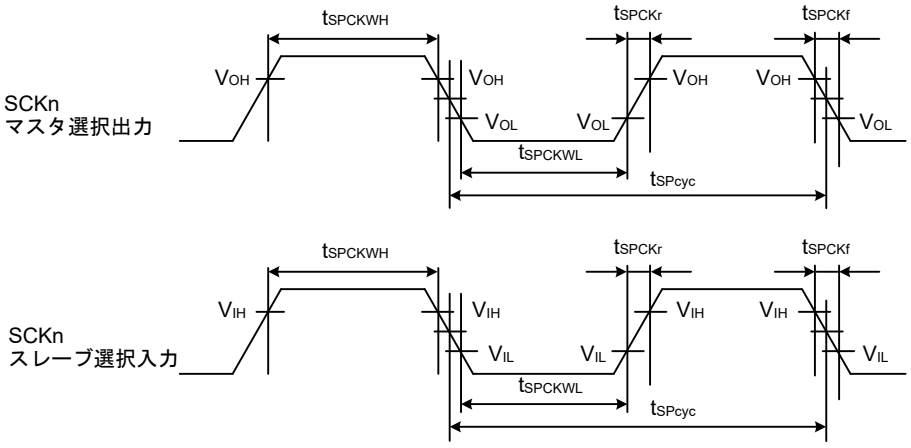
項目				シンボル	Min	Max	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力（マスタ）		2.7 V ≦ VCC ≦ 5.5 V	t_{SPcyc}	125	—	ns	図 2.22
			2.4 V ≦ VCC < 2.7 V		250	—		
			1.8 V ≦ VCC < 2.4 V		500	—		
			1.6 V ≦ VCC < 1.8 V		1000	—		
	SCK クロックサイクル入力（スレーブ）		2.7 V ≦ VCC ≦ 5.5 V		187.5	—		
			2.4 V ≦ VCC < 2.7 V		375	—		
			1.8 V ≦ VCC < 2.4 V		750	—		
			1.6 V ≦ VCC < 1.8 V		1500	—		
	SCK クロック High レベルパルス幅			t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅			t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり／立ち下がり時間		1.8 V ≦ VCC ≦ 5.5 V	t_{SPCKr}, t_{SPCKf}	—	20	ns	
			1.6 V ≦ VCC < 1.8 V		—	30		
	データ入力セットアップ時間	マスタ	2.7 V ≦ VCC ≦ 5.5 V	t_{SU}	45	—	ns	図 2.23～図 2.26
			2.4 V ≦ VCC < 2.7 V		55	—		
			1.8 V ≦ VCC < 2.4 V		80	—		
			1.6 V ≦ VCC < 1.8 V		110	—		
		スレーブ	2.7 V ≦ VCC ≦ 5.5 V		40	—		
			1.6 V ≦ VCC < 2.7 V		45	—		
	データ入力ホールド時間	マスタ		t_H	33.3	—	ns	
		スレーブ			40	—		
	SS 入力セットアップ時間			t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間			t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	マスタ	1.8 V ≦ VCC ≦ 5.5 V	t_{OD}	—	40	ns	
			1.6 V ≦ VCC < 1.8 V		—	50		
		スレーブ	2.4 V ≦ VCC ≦ 5.5 V		—	65		
			1.8 V ≦ VCC < 2.4 V		—	100		
			1.6 V ≦ VCC < 1.8 V		—	125		
	データ出力ホールド時間	マスタ	2.7 V ≦ VCC ≦ 5.5 V	t_{OH}	-10	—	ns	
			2.4 V ≦ VCC < 2.7 V		-20	—		
			1.8 V ≦ VCC < 2.4 V		-30	—		
			1.6 V ≦ VCC < 1.8 V		-40	—		
		スレーブ			-10	—		
	データ立ち上がり／立ち下がり時間	マスタ	1.8 V ≦ VCC ≦ 5.5 V	t_{Dr}, t_{Df}	—	20	ns	
			1.6 V ≦ VCC < 1.8 V		—	30		
		スレーブ	1.8 V ≦ VCC ≦ 5.5 V		—	20		
			1.6 V ≦ VCC < 1.8 V		—	30		

表 2.32 SCI タイミング (2) (2/2)

条件：VCC = AVCC0 = 1.6～5.5 V

項目				シンボル	Min	Max	単位 (注1)	測定条件
簡易 SPI	スレーブアクセス時間	2.4 V ≦ VCC ≦ 5.5 V		t_{SA}	—	6	t_{Pcyc}	図 2.26
		1.8 V ≦ VCC < 2.4 V	24 MHz ≦ PCLKB ≦ 32 MHz		—	7		
			PCLKB < 24 MHz		—	6		
		1.6 V ≦ VCC < 1.8 V			—	6		
	スレーブ出力解放時間	2.4 V ≦ VCC ≦ 5.5 V		t_{REL}	—	6	t_{Pcyc}	
		1.8 V ≦ VCC < 2.4 V	24 MHz ≦ PCLKB ≦ 32 MHz		—	7		
			PCLKB < 24 MHz		—	6		
		1.6 V ≦ VCC < 1.8 V			—	6		

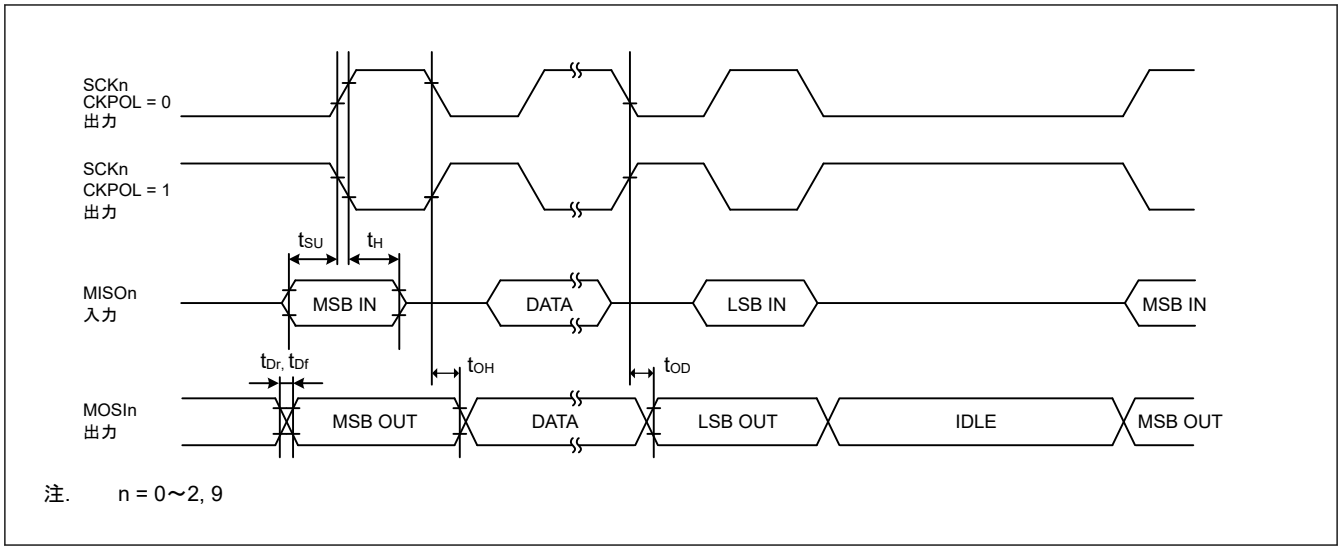
注 1. t_{Pcyc}：PCLKB の周期



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

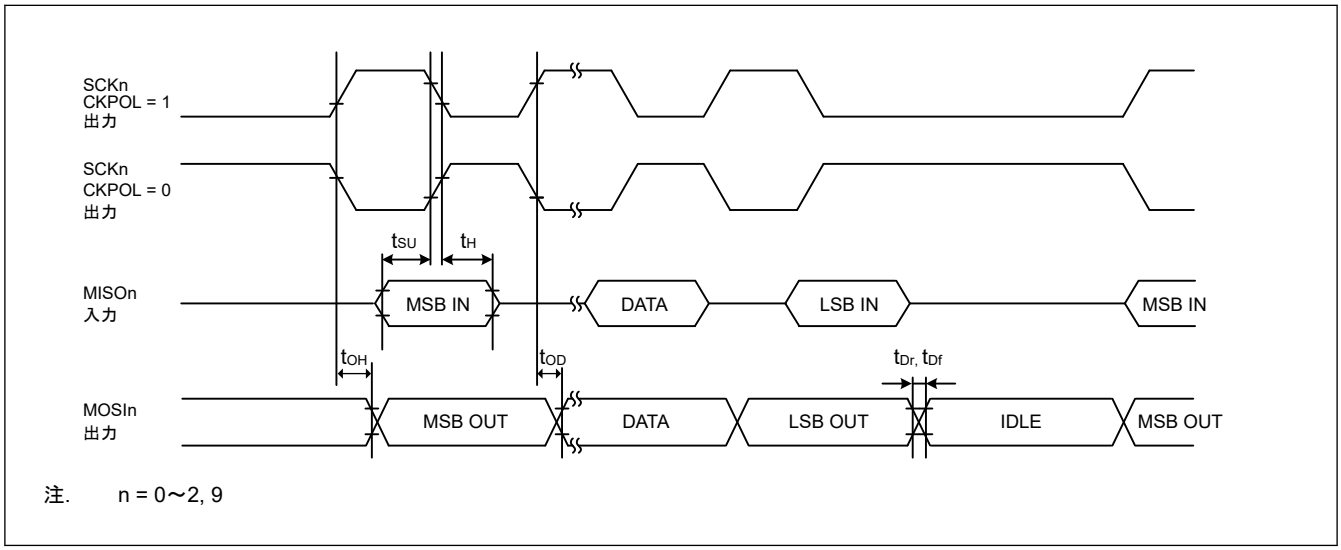
注. n = 0～2, 9

図 2.22 SCI 簡易 SPI モードクロックタイミング



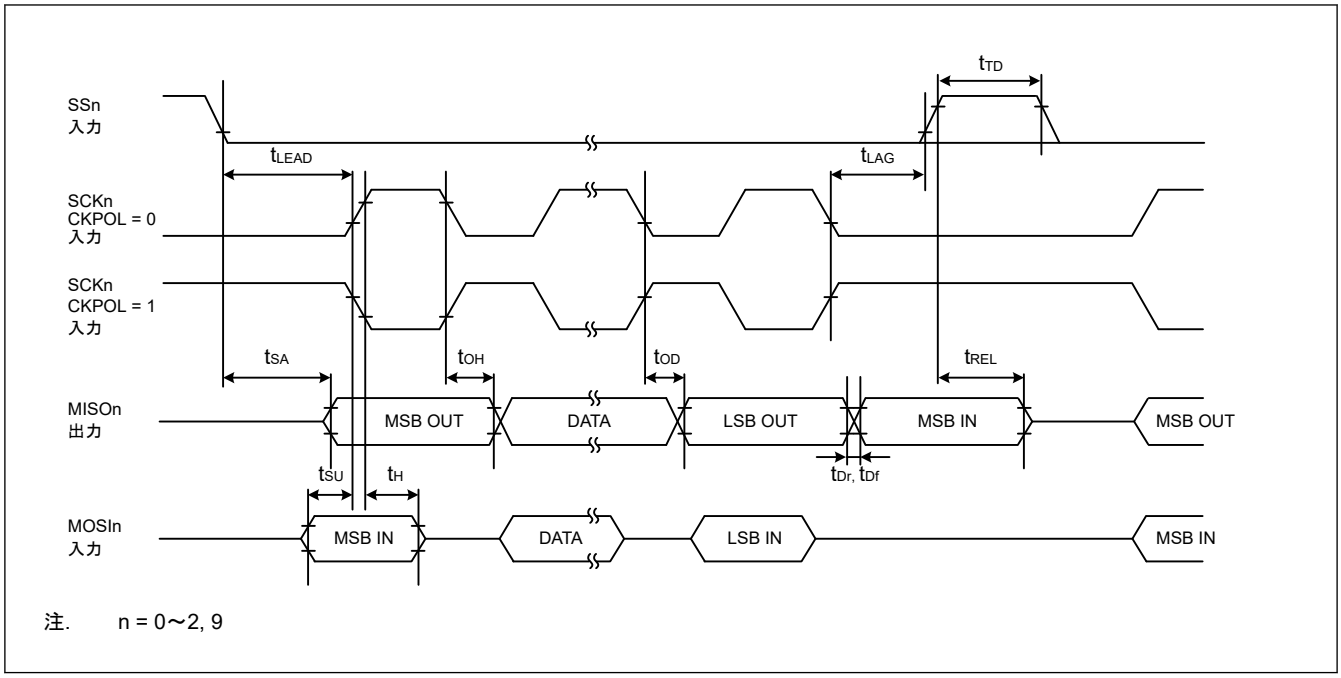
注. n = 0～2, 9

図 2.23 SCI 簡易 SPI モードタイミング（マスタ、CKPH = 1）



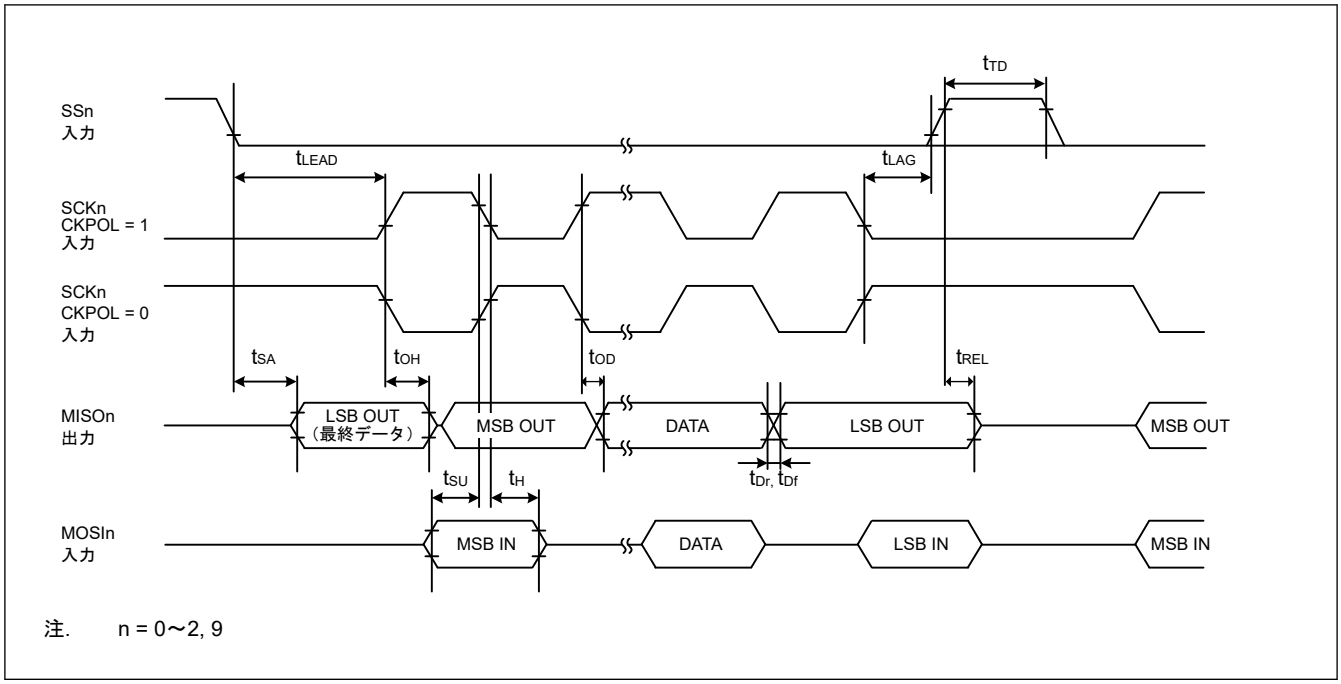
注. n = 0～2, 9

図 2.24 SCI 簡易 SPI モードタイミング（マスタ、CKPH = 0）



注. n = 0～2, 9

図 2.25 SCI 簡易 SPI モードタイミング（スレーブ、CKPH = 1）



注. n = 0～2, 9

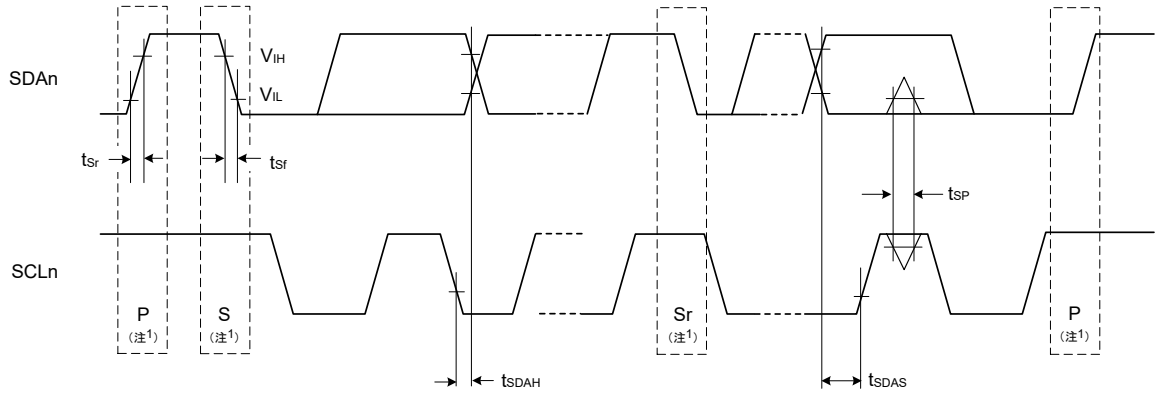
図 2.26 SCI 簡易 SPI モードタイミング（スレーブ、CKPH = 0）

表 2.33 SCI タイミング (3)

条件：VCC = AVCC0 = 2.7～5.5 V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC（標準モード）	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.27
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}(注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注2)	—	400	pF	
簡易 IIC（ファストモード）	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.27
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}(注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注2)	—	400	pF	

注 1. t_{IICcyc}：SMR.CKS[1:0]ビットによって選択されたクロックサイクル。
注 2. C_b はバスラインの容量総計を意味します。



測定条件：
V_{IH} = VCC × 0.7, V_{IL} = VCC × 0.3
V_{OL} = 0.6 V, I_{OL} = 6 mA

注. n = 0～2, 9
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 2.27 SCI 簡易 IIC モードタイミング

2.3.9 SPI タイミング

表 2.34 SPI タイミング (1/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	RSPCK クロックサイクル	マスタ	2.7 V ≦ VCC ≦ 5.5 V	t_{SPcyc}	62.5	—	ns	図 2.28 C = 30 pF
			2.4 V ≦ VCC < 2.7 V		125	—		
			1.8 V ≦ VCC < 2.4 V		250	—		
			1.6 V ≦ VCC < 1.8 V		500	—		
		スレーブ	2.7 V ≦ VCC ≦ 5.5 V		187.5	—		
			2.4 V ≦ VCC < 2.7 V		375	—		
			1.8 V ≦ VCC < 2.4 V		750	—		
			1.6 V ≦ VCC < 1.8 V		1500	—		
	RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$3 \times t_{Pcyc}$	—		
	RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$3 \times t_{Pcyc}$	—		
	RSPCK クロック立ち上がり／立ち下がり時間	出力	2.7 V ≦ VCC ≦ 5.5 V	t_{SPCKr}, t_{SPCKf}	—	10	ns	
			2.4 V ≦ VCC < 2.7 V		—	15		
			1.8 V ≦ VCC ≦ 2.4 V		—	20		
			1.6 V ≦ VCC < 1.8 V		—	30		
		入力			—	0.1	μs/V	

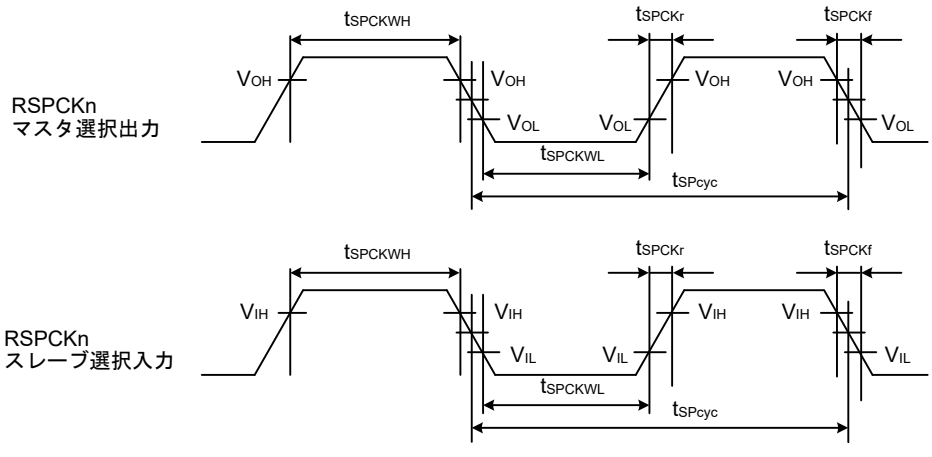
表 2.34 SPI タイミング (2/3)

項目					シンボル	Min	Max	単位 (注1)	測定条件
SPI	データ入力セットアップ時間	マスタ	2.7 V ≦ VCC ≦ 5.5 V		t_{SU}	10	—	ns	図 2.29～図 2.34 C = 30 pF
			2.4 V ≦ VCC < 2.7 V	16 MHz < PCLKB ≦ 32 MHz		30	—		
				PCLKB ≦ 16 MHz		10	—		
			1.8 V ≦ VCC < 2.4 V	16 MHz < PCLKB ≦ 32 MHz		55	—		
				8 MHz < PCLKB ≦ 16 MHz		30	—		
				PCLKB ≦ 8 MHz		10	—		
			1.6 V ≦ VCC < 1.8 V			10	—		
		スレーブ	2.4 V ≦ VCC ≦ 5.5 V			10	—		
			1.8 V ≦ VCC < 2.4 V			15	—		
			1.6 V ≦ VCC < 1.8 V			20	—		
	データ入力ホールド時間	マスタ（RSPCK は PCLKB/2）			t_{HF}	0	—	ns	
		マスタ（RSPCK は PCLKB/2 以外）			t_{H}	t_{Pcyc}	—		
		スレーブ			t_{H}	20	—		
SPI	SSL セットアップ時間	マスタ	1.8 V ≦ VCC ≦ 5.5 V		t_{LEAD}	-30 + N × t_{SPcyc}(注2)	—	ns	
			1.6 V ≦ VCC < 1.8 V			-50 + N × t_{SPcyc}(注2)	—		
		スレーブ				6 × t_{Pcyc}	—	ns	
	SSL ホールド時間	マスタ			t_{LAG}	-30 + N × t_{SPcyc}(注3)	—	ns	
		スレーブ				6 × t_{Pcyc}	—	ns	
	データ出力遅延時間	マスタ	2.7 V ≦ VCC ≦ 5.5 V		t_{OD}	—	14	ns	
			2.4 V ≦ VCC < 2.7 V			—	20		
			1.8 V ≦ VCC < 2.4 V			—	25		
			1.6 V ≦ VCC < 1.8 V			—	30		
		スレーブ	2.7 V ≦ VCC ≦ 5.5 V			—	50		
			2.4 V ≦ VCC < 2.7 V			—	60		
			1.8 V ≦ VCC < 2.4 V			—	85		
			1.6 V ≦ VCC < 1.8 V			—	110		
	データ出力ホールド時間	マスタ			t_{OH}	0	—	ns	
		スレーブ				0	—		
	連続送信遅延時間	マスタ			t_{TD}	t_{SPcyc} + 2 × t_{Pcyc}	8 × t_{SPcyc} + 2 × t_{Pcyc}	ns	
		スレーブ				6 × t_{Pcyc}	—		

表 2.34 SPI タイミング (3/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	MOSI、MISO 立ち上がり／立ち下がり時間	出力	2.7 V ≦ VCC ≦ 5.5 V	t_{Dr}, t_{Df}	—	10	ns	図 2.29～図 2.34 C = 30 pF
			2.4 V ≦ VCC < 2.7 V		—	15		
			1.8 V ≦ VCC < 2.4 V		—	20		
			1.6 V ≦ VCC < 1.8 V		—	30		
		入力			—	1	μs	
	SSL 立ち上がり／立ち下がり時間	出力	2.7 V ≦ VCC ≦ 5.5 V	t_{SSLr}、t_{SSLf}	—	10	ns	
			2.4 V ≦ VCC < 2.7 V		—	15		
			1.8 V ≦ VCC < 2.4 V		—	20		
			1.6 V ≦ VCC < 1.8 V		—	30		
		入力			—	1	μs	
	スレーブアクセス時間		2.4 V ≦ VCC ≦ 5.5 V	t_{SA}	—	2 × t_{Pcyc} + 100	ns	図 2.33 と 図 2.34 C = 30 pF
			1.8 V ≦ VCC < 2.4 V		—	2 × t_{Pcyc} + 140		
			1.6 V ≦ VCC < 1.8 V		—	2 × t_{Pcyc} + 180		
	スレーブ出力解放時間		2.4 V ≦ VCC ≦ 5.5 V	t_{REL}	—	2 × t_{Pcyc} + 100	ns	
			1.8 V ≦ VCC < 2.4 V		—	2 × t_{Pcyc} + 140		
			1.6 V ≦ VCC < 1.8 V		—	2 × t_{Pcyc} + 180		

注 1. t_{Pcyc}：PCLKB の周期
注 2. N は SPCKD レジスタで設定可能な 1～8 の整数です。
注 3. N は SSLND レジスタで設定可能な 1～8 の整数です。



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

注. n = A

図 2.28 SPI クロックタイミング

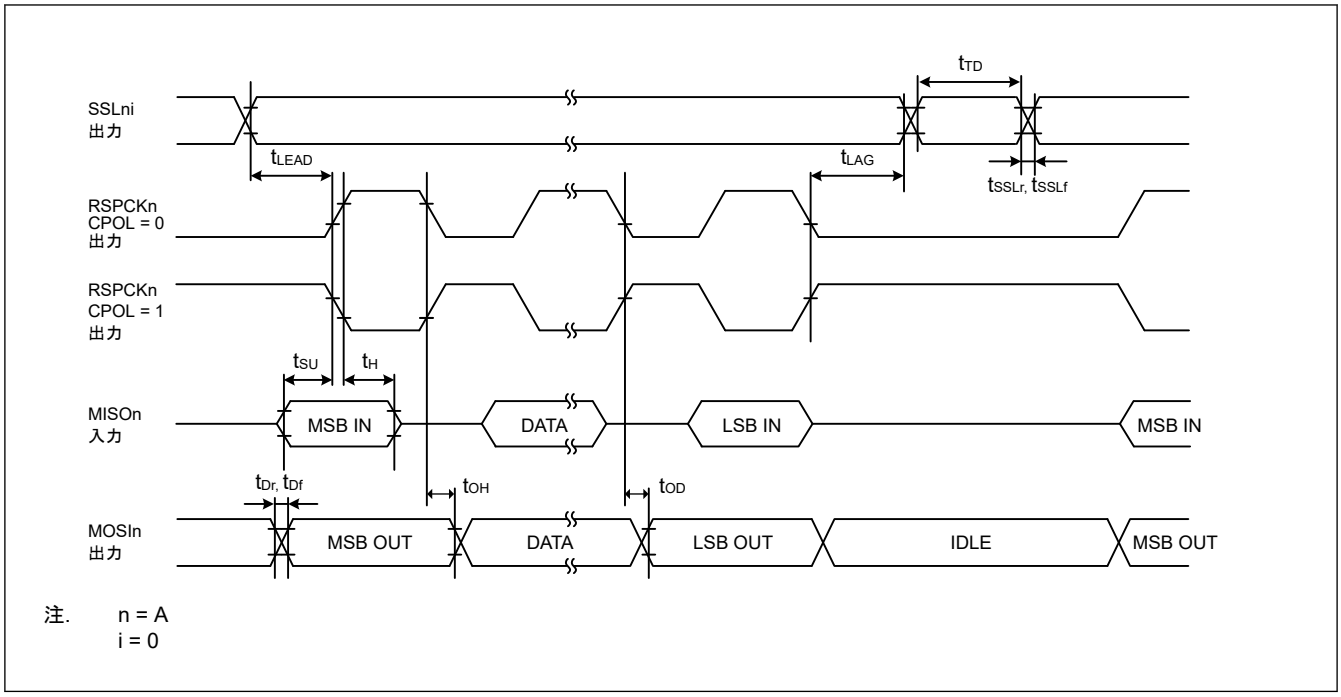


図 2.29 SPI タイミング（マスタ、CPHA = 0）（ビットレート：PCLKB を 2 分周以外に設定）

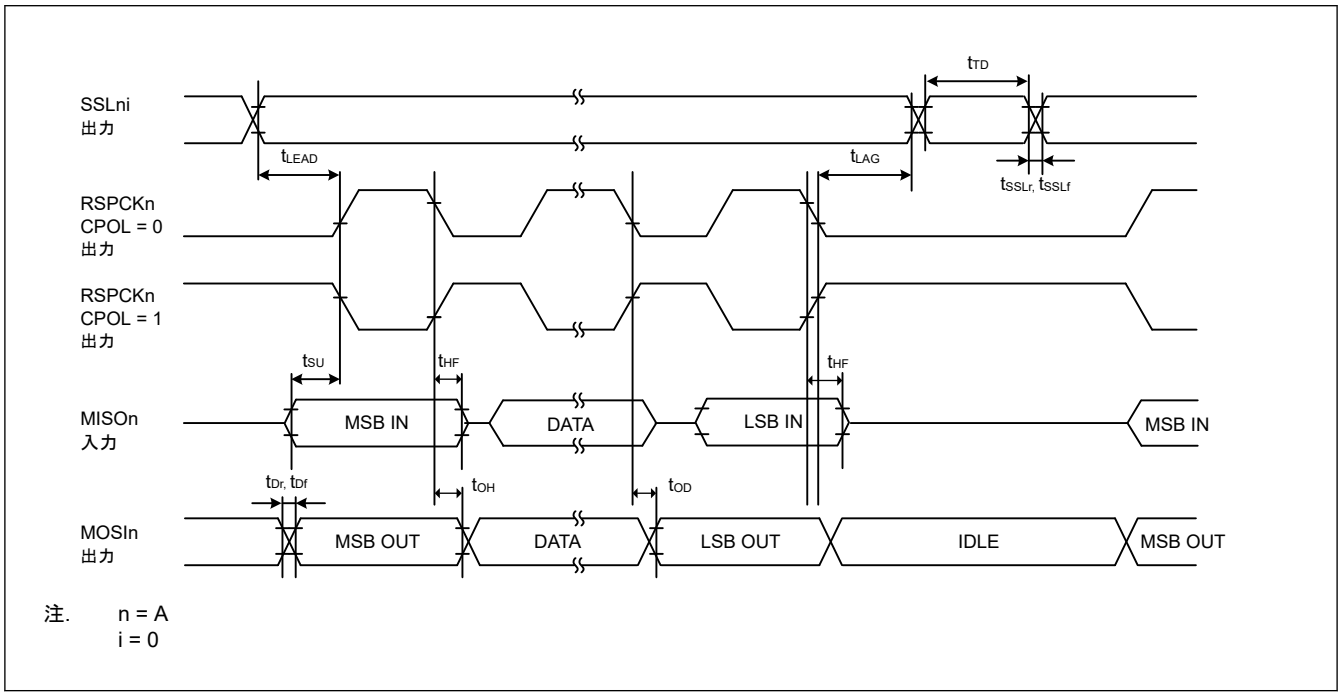
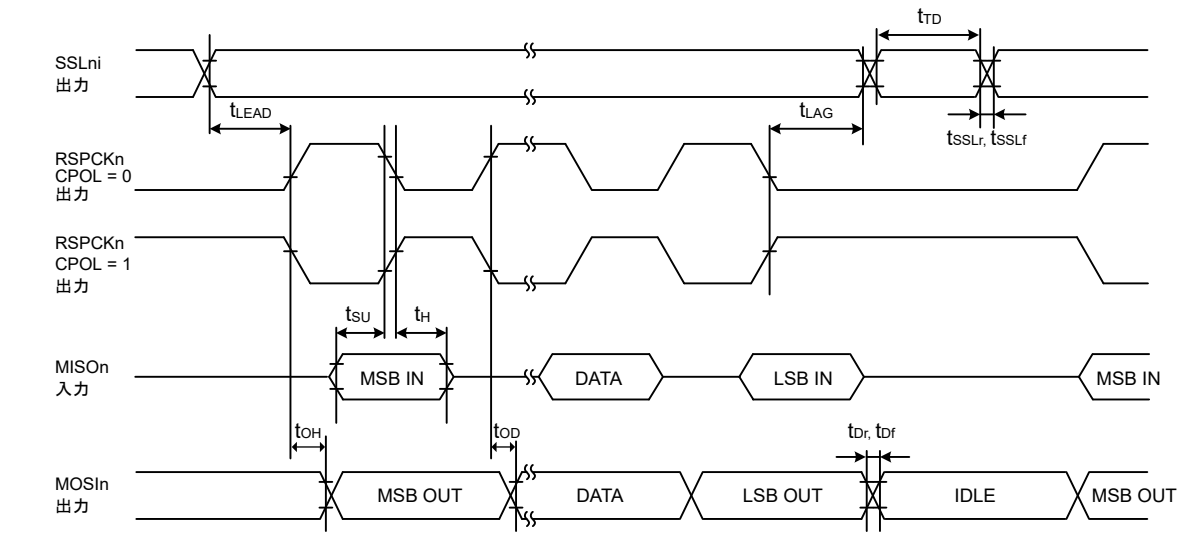
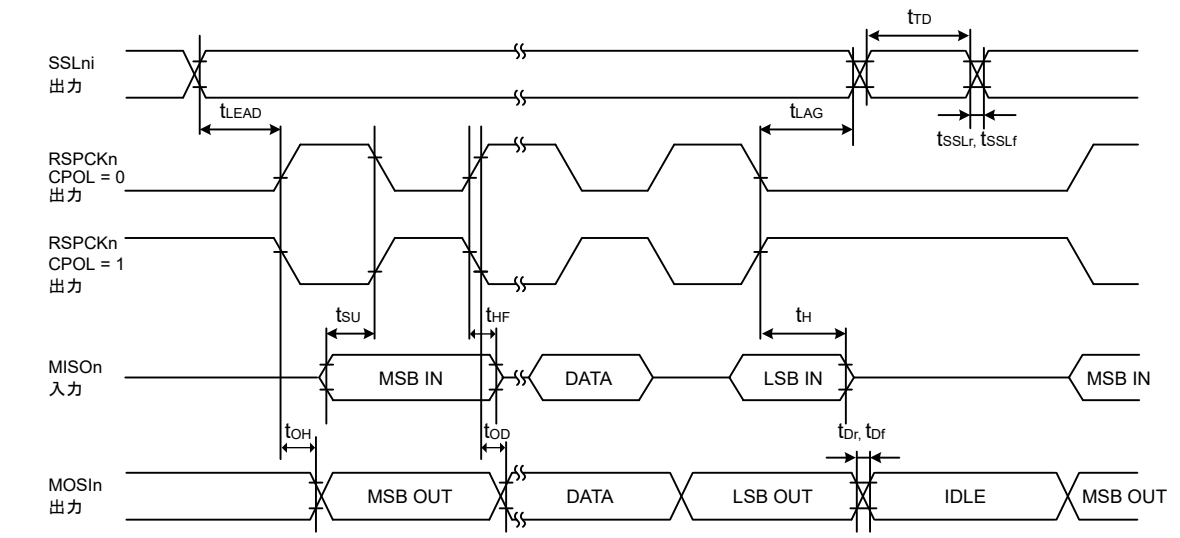


図 2.30 SPI タイミング（マスタ、CPHA = 0）（ビットレート：PCLKB を 2 分周に設定）



注. n = A
i = 0

図 2.31 SPI タイミング（マスタ、CPHA = 1）（ビットレート：PCLKB を 2 分周以外に設定）



注. n = A
i = 0

図 2.32 SPI タイミング（マスタ、CPHA = 1）（ビットレート：PCLKB を 2 分周に設定）

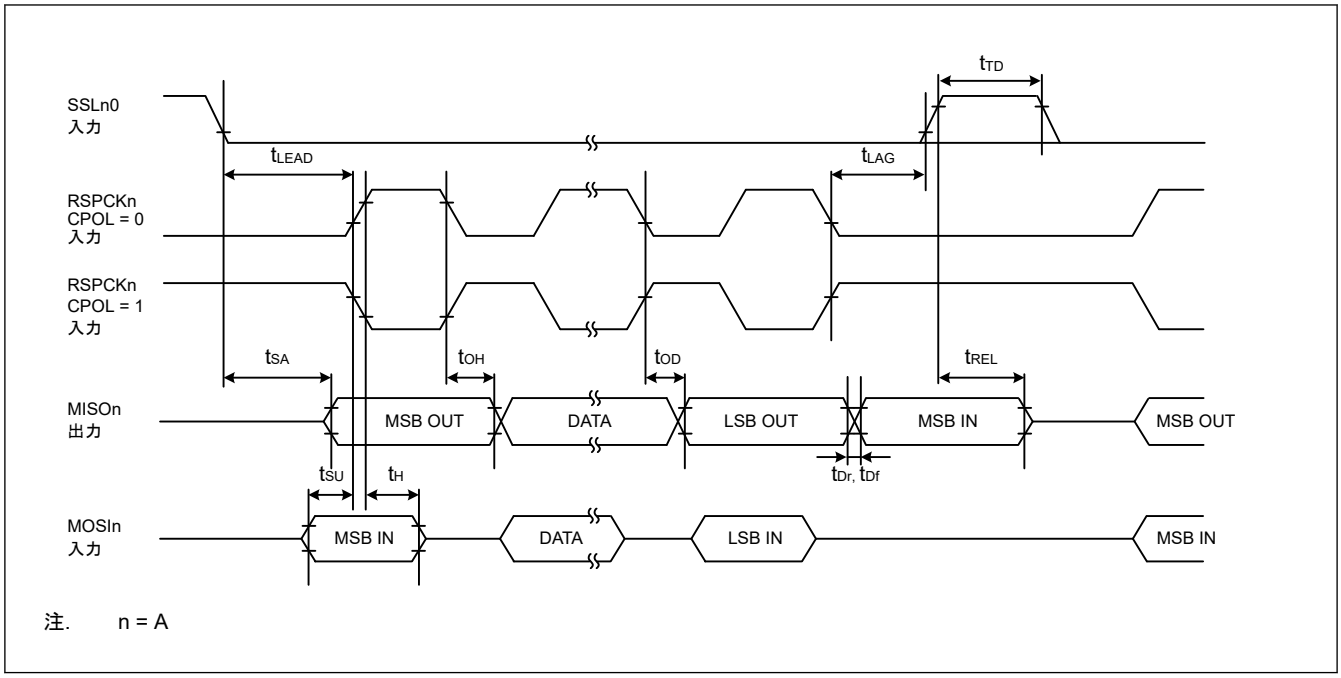


図 2.33 SPI タイミング（スレーブ、CPHA = 0）

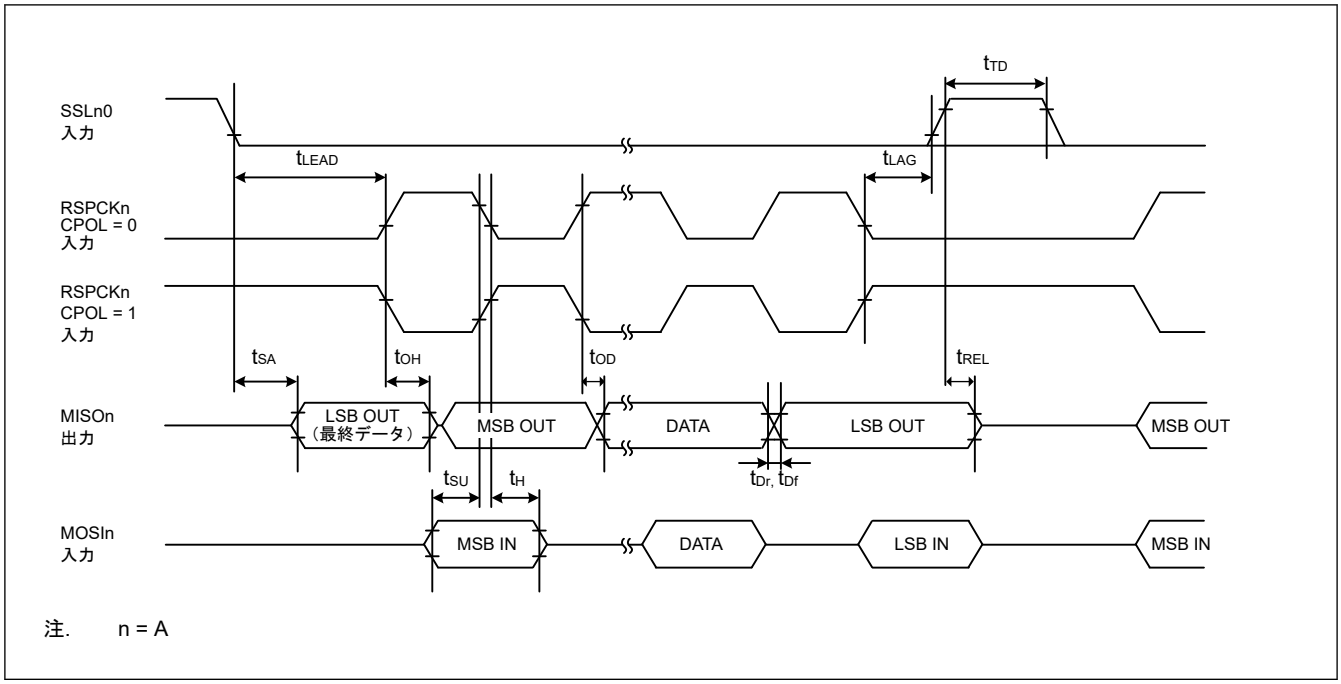


図 2.34 SPI タイミング（スレーブ、CPHA = 1）

2.3.10 IIC タイミング

表 2.35 IIC タイミング (1/2)

条件：VCC = AVCC0 = 2.7～5.5 V

項目		シンボル	Min(注1)	Max	単位	測定条件
IIC（標準モード、SMBus）	SCL 入力サイクル時間	t_{SCL}	6 (12) × t_{IICcyc} + 1300	—	ns	図 2.35
	SCL 入力 High レベルパルス幅	t_{SCLH}	3 (6) × t_{IICcyc} + 300	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	3 (6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間（ウェイクアップ機能無効時）	t_{BUF}	3 (6) × t_{IICcyc} + 300	—	ns	
	SDA 入力バスフリー時間（ウェイクアップ機能有効時）	t_{BUF}	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	—	ns	
	スタートコンディション入力ホールド時間（ウェイクアップ機能無効時）	t_{STAH}	t_{IICcyc} + 300	—	ns	
	スタートコンディション入力ホールド時間（ウェイクアップ機能有効時）	t_{STAH}	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	1000	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	

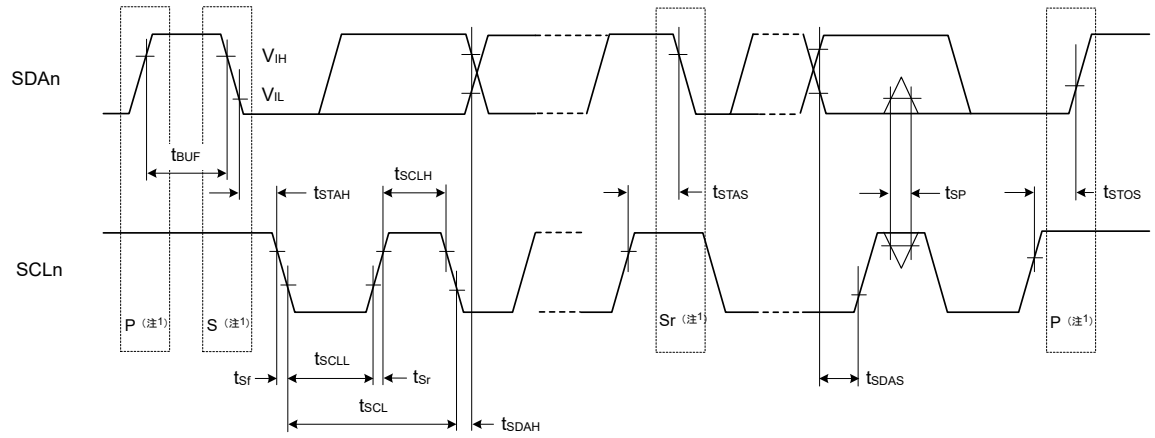
表 2.35 IIC タイミング (2/2)

条件：VCC = AVCC0 = 2.7～5.5 V

項目		シンボル	Min(注1)	Max	単位	測定条件
IIC（ファストモード）	SCL 入力サイクル時間	t_{SCL}	6 (12) × t_{IICcyc} + 600	—	ns	図 2.35
	SCL 入力 High レベルパルス幅	t_{SCLH}	3 (6) × t_{IICcyc} + 300	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	3 (6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間（ウェイクアップ機能無効時）	t_{BUF}	3 (6) × t_{IICcyc} + 300	—	ns	
	SDA 入力バスフリー時間（ウェイクアップ機能有効時）	t_{BUF}	3 (6) × t_{IICcyc} + 4 × t_{Pcyc}+ 300	—	ns	
	スタートコンディション入力ホールド時間（ウェイクアップ機能無効時）	t_{STAH}	t_{IICcyc} + 300	—	ns	
	スタートコンディション入力ホールド時間（ウェイクアップ機能有効時）	t_{STAH}	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	300	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) の周期、t_{Pcyc}：PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると（ ）内の値が適用されます。



注. n = 0
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

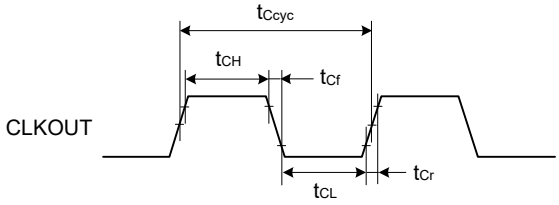
図 2.35 I^2C バスインタフェース入出力タイミング

2.3.11 CLKOUT タイミング

表 2.36 CLKOUT タイミング

項目			シンボル	Min	Max	単位	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注1)	2.7 V ≦ VCC ≦ 5.5 V	t_{Ccyc}	62.5	—	ns	図 2.36
		1.8 V ≦ VCC < 2.7 V		125	—		
		1.6 V ≦ VCC < 1.8 V		250	—		
	CLKOUT 端子 High レベルパルス幅(注2)	2.7 V ≦ VCC ≦ 5.5 V	t_{CH}	15	—	ns	
		1.8 V ≦ VCC < 2.7 V		30	—		
		1.6 V ≦ VCC < 1.8 V		150	—		
	CLKOUT 端子 Low レベルパルス幅(注2)	2.7 V ≦ VCC ≦ 5.5 V	t_{CL}	15	—	ns	
		1.8 V ≦ VCC < 2.7 V		30	—		
		1.6 V ≦ VCC < 1.8 V		150	—		
	CLKOUT 端子出力立ち上がり時間	2.7 V ≦ VCC ≦ 5.5 V	t_{Cr}	—	12	ns	
		1.8 V ≦ VCC < 2.7 V		—	25		
		1.6 V ≦ VCC < 1.8 V		—	50		
	CLKOUT 端子出力立ち下がり時間	2.7 V ≦ VCC ≦ 5.5 V	t_{Cf}	—	12	ns	
		1.8 V ≦ VCC < 2.7 V		—	25		
		1.6 V ≦ VCC < 1.8 V		—	50		

注 1. EXTAL 外部クロック入力または発振器の 1 分周（CKOCR.CKOSEL[2:0]ビット = 011b かつ CKOCR.CKODIV[2:0]ビット = 000b）を使用して CLKOUT から出力する場合は、入力デューティー比 45～55%で、表 2.36 の仕様を満たしてください。
注 2. クロック出力ソースに MOCO が選択されている場合（CKOCR.CKOSEL[2:0]ビット = 001b）、クロック出力分周比を 2 分周（CKOCR.CKODIV[2:0]ビット = 001b）に設定してください。



測定条件：V_{OH} = VCC × 0.7, V_{OL} = VCC × 0.3, I_{OH} = -1.0 mA, I_{OL} = 1.0 mA, C = 30 pF

図 2.36　CLKOUT 出力タイミング

2.4　ADC12 特性

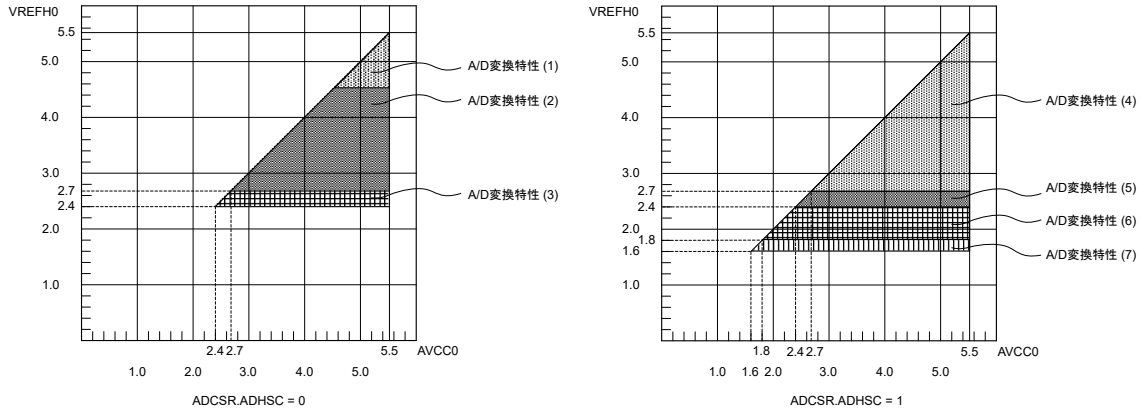


図 2.37　AVCC0～VREFH0 電圧範囲

表 2.37　高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件：VCC = AVCC0 = VREFH0 = 4.5～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	64	MHz	ADACSR.ADSAC = 0
				48	MHz	ADACSR.ADSAC = 1
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.3(注3)	kΩ	高精度チャネル
		—	—	5.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 64 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.70 (0.211) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0
		1.34 (0.852) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x36 ADACSR.ADSAC = 0

表 2.37 高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件：VCC = AVCC0 = VREFH0 = 4.5～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間(注1)（PCLKD = 48 MHz で動作時）	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±4.5	LSB	高精度チャネル
				±6.0	LSB	指定以外
フルスケール誤差		—	±1.0	±4.5	LSB	高精度チャネル
				±6.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.5	±5.0	LSB	高精度チャネル
				±8.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.38 高速 A/D 変換モードにおける A/D 変換特性 (2) (1/2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	48	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9(注3)	kΩ	高精度チャネル
		—	—	6.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1)（PCLKD = 48 MHz で動作時）	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1

表 2.38 高速 A/D 変換モードにおける A/D 変換特性 (2) (2/2)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
オフセット誤差	—	±1.0	±5.5	LSB	高精度チャネル
			±7.0	LSB	指定以外
フルスケール誤差	—	±1.0	±5.5	LSB	高精度チャネル
			±7.0	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.5	±6.0	LSB	高精度チャネル
			±9.0	LSB	指定以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.39 高速 A/D 変換モードにおける A/D 変換特性 (3) (1/2)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min		Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	32	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.2(注3)	kΩ	高精度チャネル
		—	—	7.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 32 MHz で動作時)	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.94 (1.266) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
フルスケール誤差		—	±1.0	±5.5	LSB	高精度チャネル
				±7.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.50	±6.0	LSB	高精度チャネル
				±9.0	LSB	指定以外

表 2.39 高速 A/D 変換モードにおける A/D 変換特性 (3) (2/2)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min		Max	単位	測定条件
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.40 低消費電力 A/D 変換モードにおける A/D 変換特性 (4)

条件：VCC = AVCC0 = VREFH0 = 2.7～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	24	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9(注3)	kΩ	高精度チャネル
		—	—	6(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 24 MHz で動作時)	許容信号源インピーダンス Max = 1.1 kΩ	1.58 (0.438) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		2.0 (0.854) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±6.0	LSB	高精度チャネル
				±7.5	LSB	指定以外
フルスケール誤差		—	±1.25	±6.0	LSB	高精度チャネル
				±7.5	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.25	±7.0	LSB	高精度チャネル
				±10.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.5	—	LSB	—
INL 積分非直線性誤差		—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.41 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件：VCC = AVCC0 = VREFH0 = 2.4～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	16	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.2(注3)	kΩ	高精度チャネル
		—	—	7(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 16 MHz で動作時)	許容信号源インピーダンス Max = 2.2 kΩ	2.38 (0.656) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		3.0 (1.281) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±6.0	LSB	高精度チャネル
				±7.5	LSB	指定以外
フルスケール誤差		—	±1.25	±6.0	LSB	高精度チャネル
				±7.5	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.25	±7.0	LSB	高精度チャネル
				±10.0	LSB	指定以外
DNL 微分非直線性誤差		—	±1.5	—	LSB	—
INL 積分非直線性誤差		—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.42 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (1/2)

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	8	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル

表 2.42 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (2/2)

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
アナログ入力抵抗	Rs	—	—	6(注3)	kΩ	高精度チャネル
		—	—	14(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKD = 8 MHz で動作時)	許容信号源インピーダンス Max = 5 kΩ	4.75 (1.313) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		6.0 (2.563) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
フルスケール誤差		—	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±9.5	LSB	高精度チャネル
				±13.5	LSB	指定以外
DNL 微分非直線性誤差		—	±2.0	—	LSB	—
INL 積分非直線性誤差		—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 2.43 低消費電力 A/D 変換モードにおける A/D 変換特性 (7) (1/2)

条件：VCC = AVCC0 = VREFH0 = 1.6～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	4	MHz	—
アナログ入力容量(注2)	Cs	—	—	9(注3)	pF	高精度チャネル
		—	—	10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	12(注3)	kΩ	高精度チャネル
		—	—	28(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—

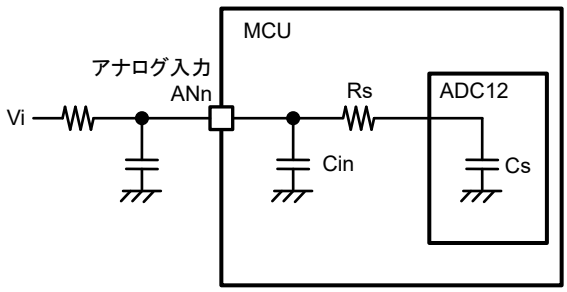
表 2.43 低消費電力 A/D 変換モードにおける A/D 変換特性 (7) (2/2)

条件：VCC = AVCC0 = VREFH0 = 1.6～5.5 V(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間(注1)（PCLKD = 4 MHz で動作時）	許容信号源インピーダンス Max = 9.9 kΩ	9.5 (2.625) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		12.0 (5.125) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
フルスケール誤差		—	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±9.5	LSB	高精度チャネル
				±13.5	LSB	指定以外
DNL 微分非直線性誤差		—	±2.0	—	LSB	—
INL 積分非直線性誤差		—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。
注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。
注 2. I/O 入力容量 (Cin) 以外は、2.2.4 I/O V_{OH}、V_{OL}、その他の特性を参照してください。
注 3. 参考データ
注 4. ( ) はサンプリング時間を示します。
注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。
絶対精度／オフセット誤差／フルスケール誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。
INL 積分非直線性誤差：
AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

図 2.38 にアナログ入力の等価回路を示します。



注. この図に端子リーク電流は記載されていません。

図 2.38 アナログ入力の等価回路

表 2.44　12 ビット A/D コンバータチャネル分類

分類	チャネル	条件	注意点
高精度チャネル	AN000～AN010	AVCC0 = 1.6～5.5 V	AN000～AN010 端子は、汎用 I/O、TS 送信に使用不可（A/D コンバータが使用中の場合）
通常精度チャネル	AN017～AN022		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 1.8～5.5 V	—
温度センサ入力チャネル	温度センサ出力	AVCC0 = 1.8～5.5 V	—
CTSU からの入力チャネル	CTSU TSCAP 電圧	AVCC0 = 1.6～5.5 V	—

表 2.45　A/D 内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 1.8～5.5 V(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャネル(注2)	1.42	1.48	1.54	V	—
PCLKD (ADCLK) 周波数(注3)	1	—	2	MHz	—
サンプリング時間(注4)	5.0	—	—	μs	—

注 1.　AVCC0 < 1.8 V のとき、内部基準電圧を入力チャネルに選択することはできません。
注 2.　12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。
注 3.　高電位基準電圧に内部基準電圧を選択した場合
注 4.　内部基準電圧の変換時

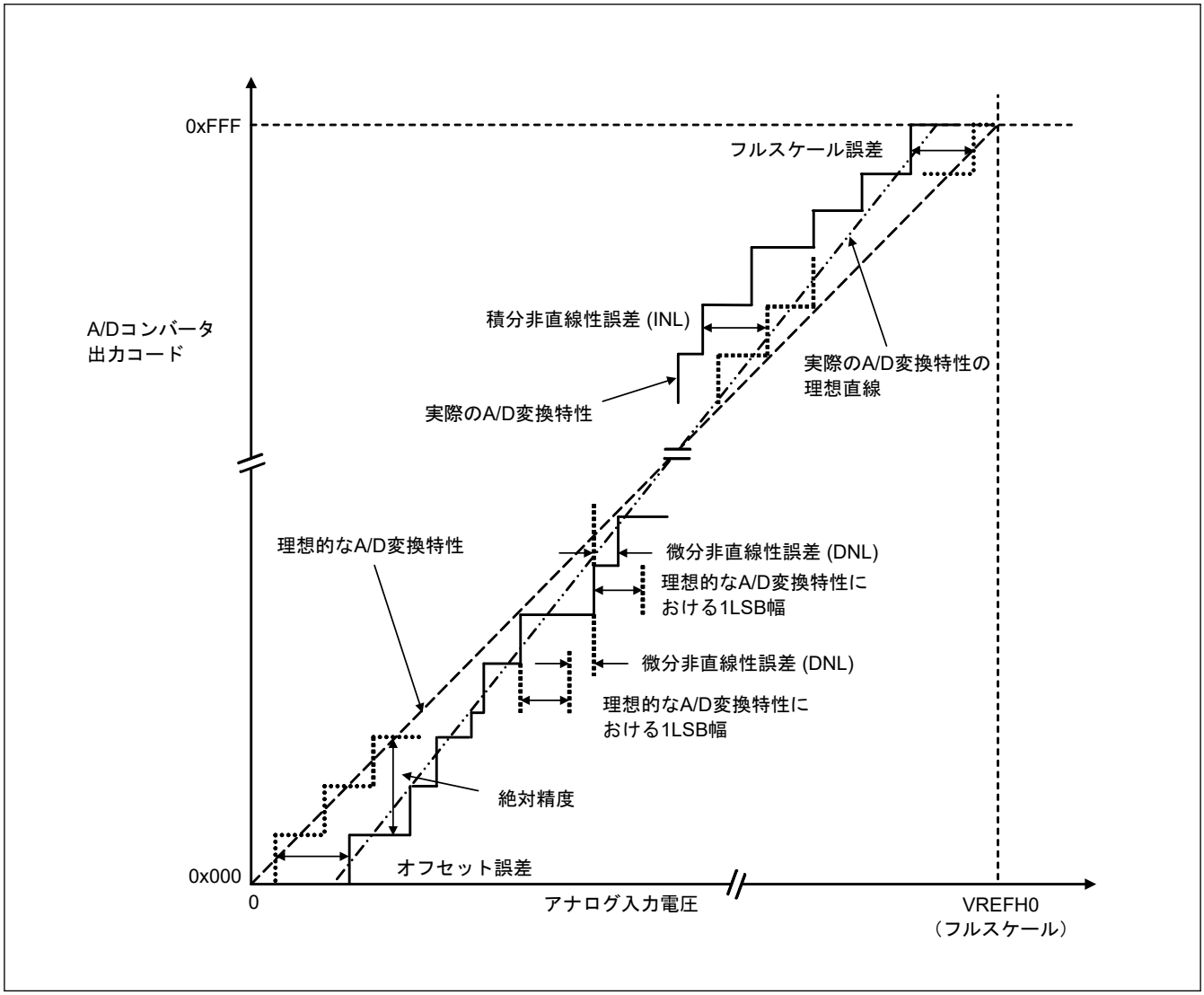


図 2.39　12 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072 V の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、および 1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003～0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.5 TSN 特性

表 2.46 TSN 特性

条件：VCC = AVCC0 = 1.8～5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4 V 以上
		—	±2.0	—	°C	2.4 V 未満
温度傾斜	—	—	-3.3	—	mV/°C	—
出力電圧（25 °C 時）	—	—	1.05	—	V	VCC = 3.3 V
温度センサ起動時間	t_{START}	—	—	5	µs	—
サンプリング時間	—	5	—	—	µs	

2.6 OSC 停止検出特性

表 2.47 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.40

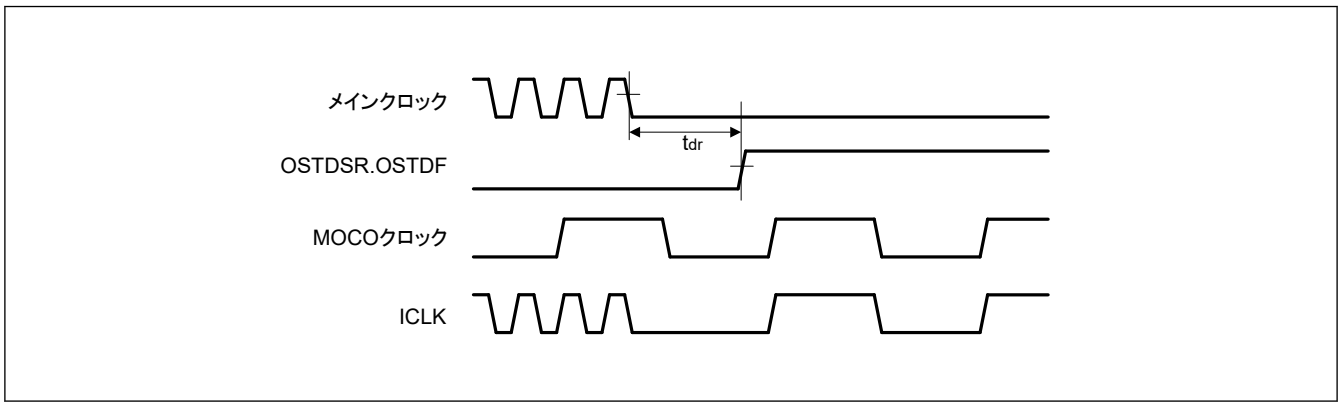


図 2.40 発振停止検出タイミング

2.7 POR/LVD 特性

表 2.48 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル (注1)	パワーオンリセット (POR)	電源上昇時	V_{POR}	1.47	1.51	1.55	V	図 2.41
		電源下降時	V_{PDR}	1.46	1.50	1.54		図 2.42
	電圧検出回路 (LVD0)(注2)	電源上昇時	V_{det0_0}	3.74	3.91	4.06	V	図 2.43 VCC 立ち下がりエッジ時
		電源下降時		3.68	3.85	4.00		
		電源上昇時	V_{det0_1}	2.73	2.9	3.01		
		電源下降時		2.68	2.85	2.96		
		電源上昇時	V_{det0_2}	2.44	2.59	2.70		
		電源下降時		2.38	2.53	2.64		
		電源上昇時	V_{det0_3}	1.83	1.95	2.07		
		電源下降時		1.78	1.90	2.02		
		電源上昇時	V_{det0_4}	1.66	1.75	1.88		
		電源下降時		1.60	1.69	1.82		
電圧検出レベル (注1)	電圧検出回路 (LVD1)(注3)	電源上昇時	V_{det1_0}	4.23	4.39	4.55	V	図 2.44 VCC 立ち下がりエッジ時
		電源下降時		4.13	4.29	4.45		
		電源上昇時	V_{det1_1}	4.07	4.25	4.39		
		電源下降時		3.98	4.16	4.30		
		電源上昇時	V_{det1_2}	3.97	4.14	4.29		
		電源下降時		3.86	4.03	4.18		
		電源上昇時	V_{det1_3}	3.74	3.92	4.06		
		電源下降時		3.68	3.86	4.00		
		電源上昇時	V_{det1_4}	3.05	3.17	3.29		
		電源下降時		2.98	3.10	3.22		
		電源上昇時	V_{det1_5}	2.95	3.06	3.17		
		電源下降時		2.89	3.00	3.11		
		電源上昇時	V_{det1_6}	2.86	2.97	3.08		
		電源下降時		2.79	2.90	3.01		
		電源上昇時	V_{det1_7}	2.74	2.85	2.96		
		電源下降時		2.68	2.79	2.90		

表 2.48　パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル (注1)	電圧検出回路 (LVD1)(注3)	電源上昇時	V_{det1_8}	2.63	2.75	2.85	V	図 2.44 VCC 立ち下がりエッジ時
		電源下降時		2.58	2.68	2.78		
		電源上昇時	V_{det1_9}	2.54	2.64	2.75		
		電源下降時		2.48	2.58	2.68		
		電源上昇時	V_{det1_A}	2.43	2.53	2.63		
		電源下降時		2.38	2.48	2.58		
		電源上昇時	V_{det1_B}	2.16	2.26	2.36		
		電源下降時		2.10	2.20	2.30		
		電源上昇時	V_{det1_C}	1.88	2	2.09		
		電源下降時		1.84	1.96	2.05		
		電源上昇時	V_{det1_D}	1.78	1.9	1.99		
		電源下降時		1.74	1.86	1.95		
		電源上昇時	V_{det1_E}	1.67	1.79	1.88		
		電源下降時		1.63	1.75	1.84		
		電源上昇時	V_{det1_F}	1.65	1.7	1.78		
		電源下降時		1.60	1.65	1.73		
電圧検出レベル (注1)	電圧検出回路 (LVD2)(注4)	電源上昇時	V_{det2_0}	4.20	4.40	4.57	V	図 2.45 VCC 立ち下がりエッジ時
		電源下降時		4.11	4.31	4.48		
		電源上昇時	V_{det2_1}	4.05	4.25	4.42		
		電源下降時		3.97	4.17	4.34		
		電源上昇時	V_{det2_2}	3.91	4.11	4.28		
		電源下降時		3.83	4.03	4.20		
		電源上昇時	V_{det2_3}	3.71	3.91	4.08		
		電源下降時		3.64	3.84	4.01		

注 1.　これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。
注 2.　$V_{det0_\#}$の#は OFS1.VDSEL0[2:0]ビットの値を示しています。
注 3.　$V_{det1_\#}$の#は LVDLVLR.LVD1LVL[4:0]ビットの値を示しています。
注 4.　$V_{det2_\#}$の#は LVDLVLR.LVD2LVL[2:0]ビットの値を示しています。

表 2.49　パワーオンリセット回路、電圧検出回路の特性 (2) (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0：有効	t_{POR}	—	4.3	—	ms	—
	LVD0：無効	t_{POR}	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0：有効(注1)	$t_{LVD0,1,2}$	—	1.4	—	ms	—
	LVD0：無効(注2)	$t_{LVD1,2}$	—	0.7	—	ms	—
パワーオンリセット応答遅延時間(注3)		t_{det}	—	—	500	µs	図 2.41、図 2.42
LVD0 応答遅延時間(注3)		t_{det}	—	—	500	µs	図 2.43
LVD1 応答遅延時間(注3)		t_{det}	—	—	350	µs	図 2.44
LVD2 応答遅延時間(注3)		t_{det}	—	—	600	µs	図 2.45
最小 VCC 低下時間		t_{VOFF}	500	—	—	µs	図 2.41、VCC = 1.0 V 以上
パワーオンリセット有効時間		$t_{W\ (POR)}$	1	—	—	ms	図 2.42、VCC = 1.0 V 未満
LVD1 動作安定時間（LVD1 有効切り替え後）		$T_{d\ (E-A)}$	—	—	300	µs	図 2.44

表 2.49　パワーオンリセット回路、電圧検出回路の特性 (2) (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
LVD2 動作安定時間（LVD2 有効切り替え後）	$T_{d\ (E-A)}$	—	—	1200	μs	図 2.45
ヒステリシス幅 (POR)	V_{PORH}	—	10	—	mV	—
ヒステリシス幅（LVD0、LVD1、LVD2）	V_{LVH}	—	60	—	mV	LVD0 選択時
		—	110	—		V_{det1_0}～V_{det1_2} を選択
		—	70	—		V_{det1_3}～V_{det1_9} を選択
		—	60	—		V_{det1_A}～V_{det1_B} を選択
		—	50	—		V_{det1_C}～V_{det1_F} を選択
		—	90	—		LVD2 選択時

注 1.　OFS1.LVDAS = 0 のとき
注 2.　OFS1.LVDAS = 1 のとき
注 3.　最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR}、V_{det0}、V_{det1}、V_{det2} の最小値を下回っている時間です。

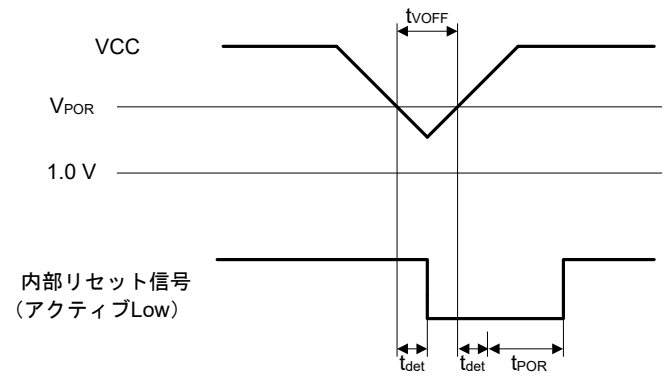
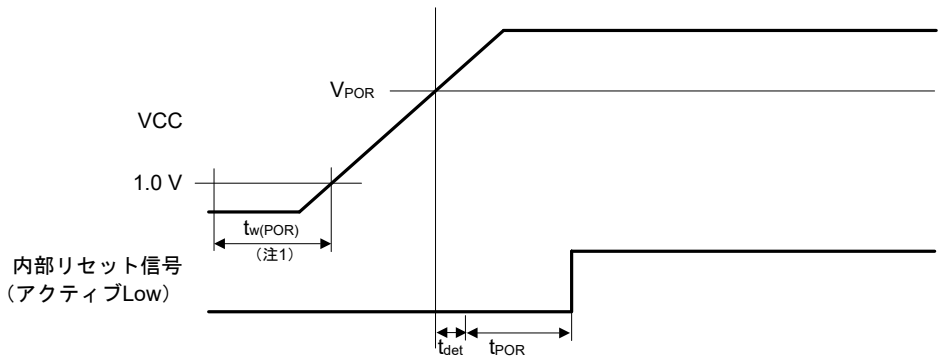


図 2.41　電圧検出リセットタイミング



注 1.　$t_{w(POR)}$は、外部電源 VCC を有効電圧 (1.0 V) 未満に保持してパワーオンリセットが有効になるために必要な時間です。
VCC がオンになると、$t_{w(POR)}$を 1.0 ms 以上保持します。

図 2.42　パワーオンリセットタイミング

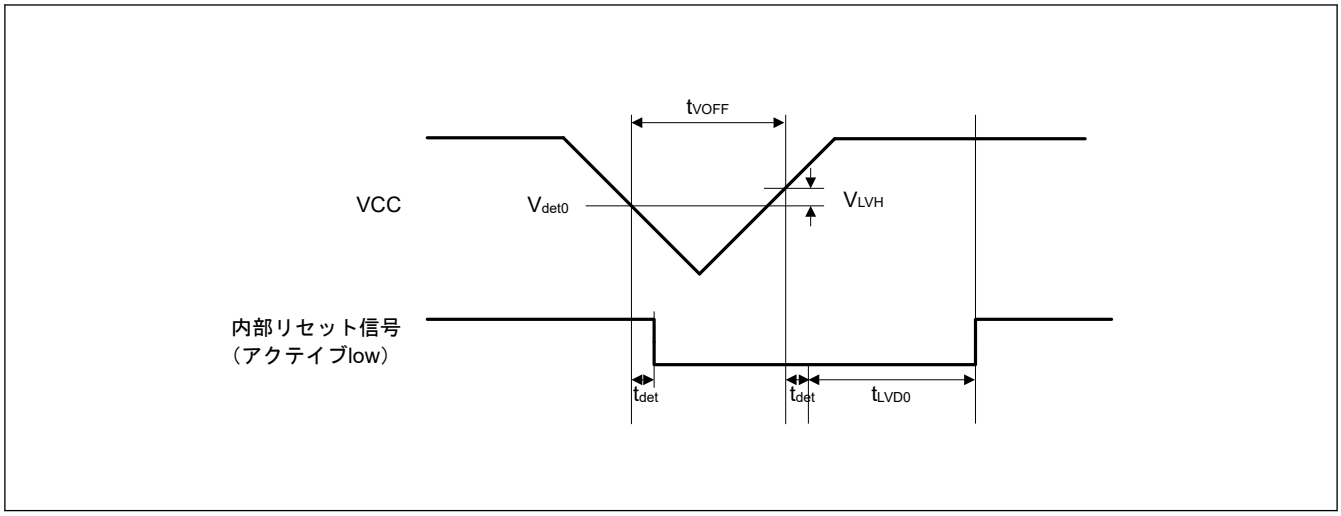


図 2.43　電圧検出回路タイミング (V_{det0})

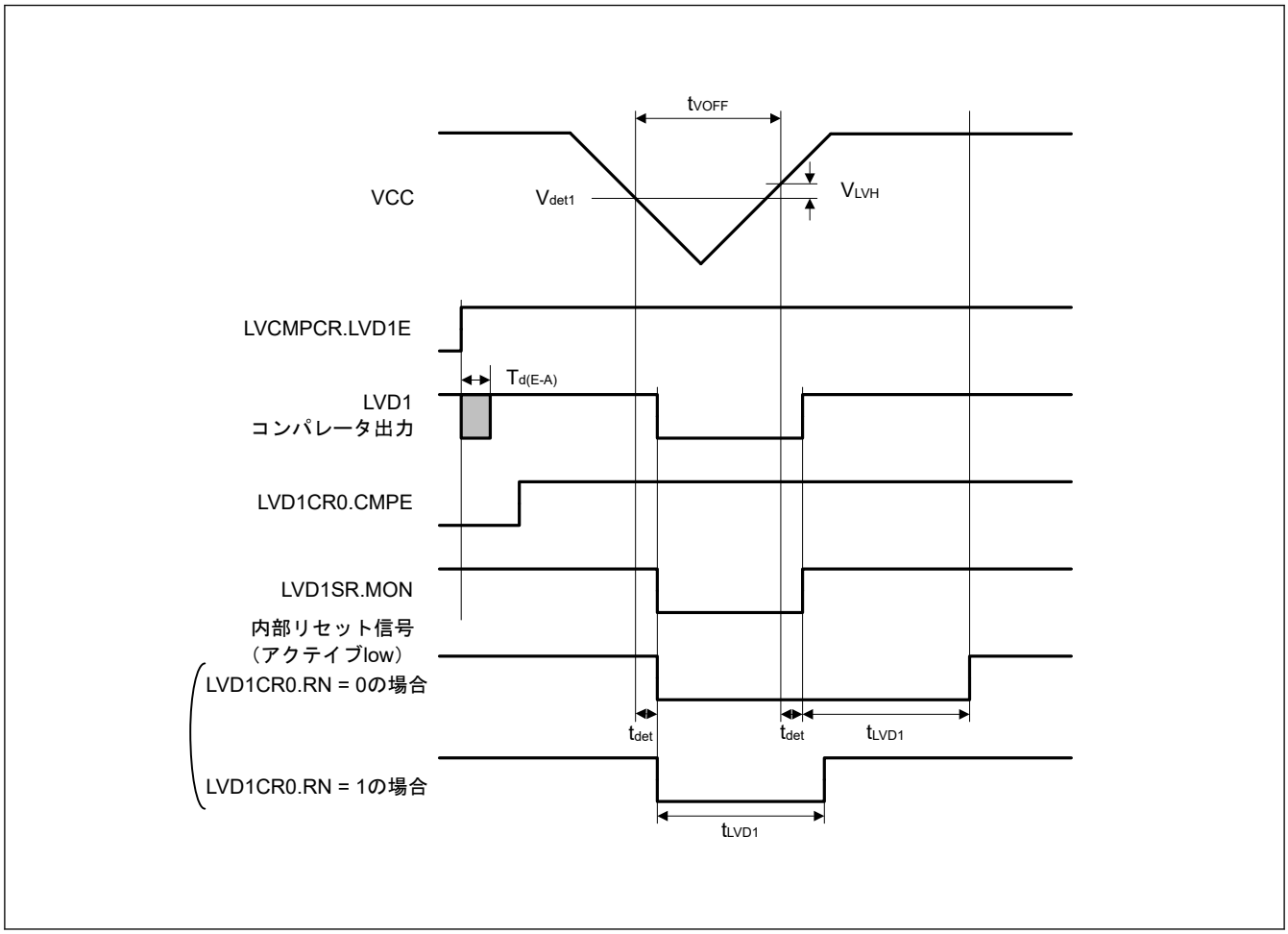


図 2.44　電圧検出回路タイミング (V_{det1})

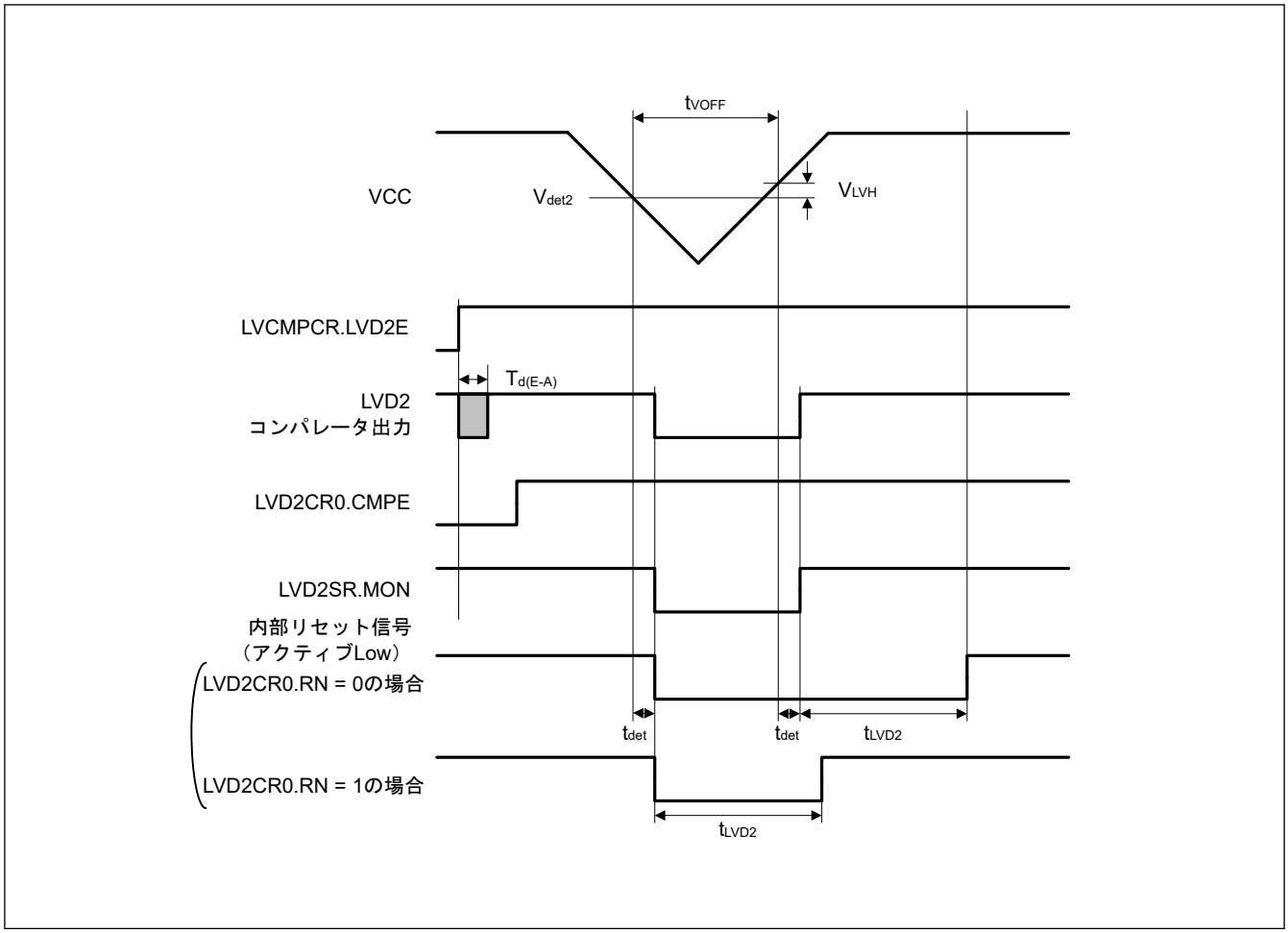


図 2.45　電圧検出回路タイミング (V_{det2})

2.8　CTSU 特性

CTSU 動作条件：VCC = AVCC = 1.8 V～5.5 V

注.　CFC を使用する場合は、2.4 V ≦ VCC = AVCC を満たすことが要求されます。

表 2.50　VCC 電源リップルノイズによる計測静電容量の減少特性（参考値）

条件：2.4 V ≦ VCC ≦ 5.5 V, VSS = 0 V, TA = -40～+105 °C, Cp = 20 pF

項目		シンボル	Min	Typ	Max	単位	計測条件（リップルノイズの振幅）
計測静電容量の減少特性 (注1)	リップルノイズ周波数 < 20 kHz	C_{down}	—	—	0.02	pF	100 mVpp
	20 kHz ≦ リップルノイズ周波数 ≦ 2 MHz		—	—	0.06		40 mVpp
			—	—	0.10		60 mVpp
			—	—	0.33		100 mVpp
	2 MHz < リップルノイズ周波数		—	—	0.01		100 mVpp

注 1.　次の条件における値を以下に示します。

- 自己容量方式を使用する場合 (CTSUCRAL.MD1 = 0)
- 計測電流範囲が 40 µA の場合 (CTSUCRAL.ATUNE1 = 1, CTSUCRAH.ATUNE2 = 0)
- オフセット調整の目標値が 37.5%の場合

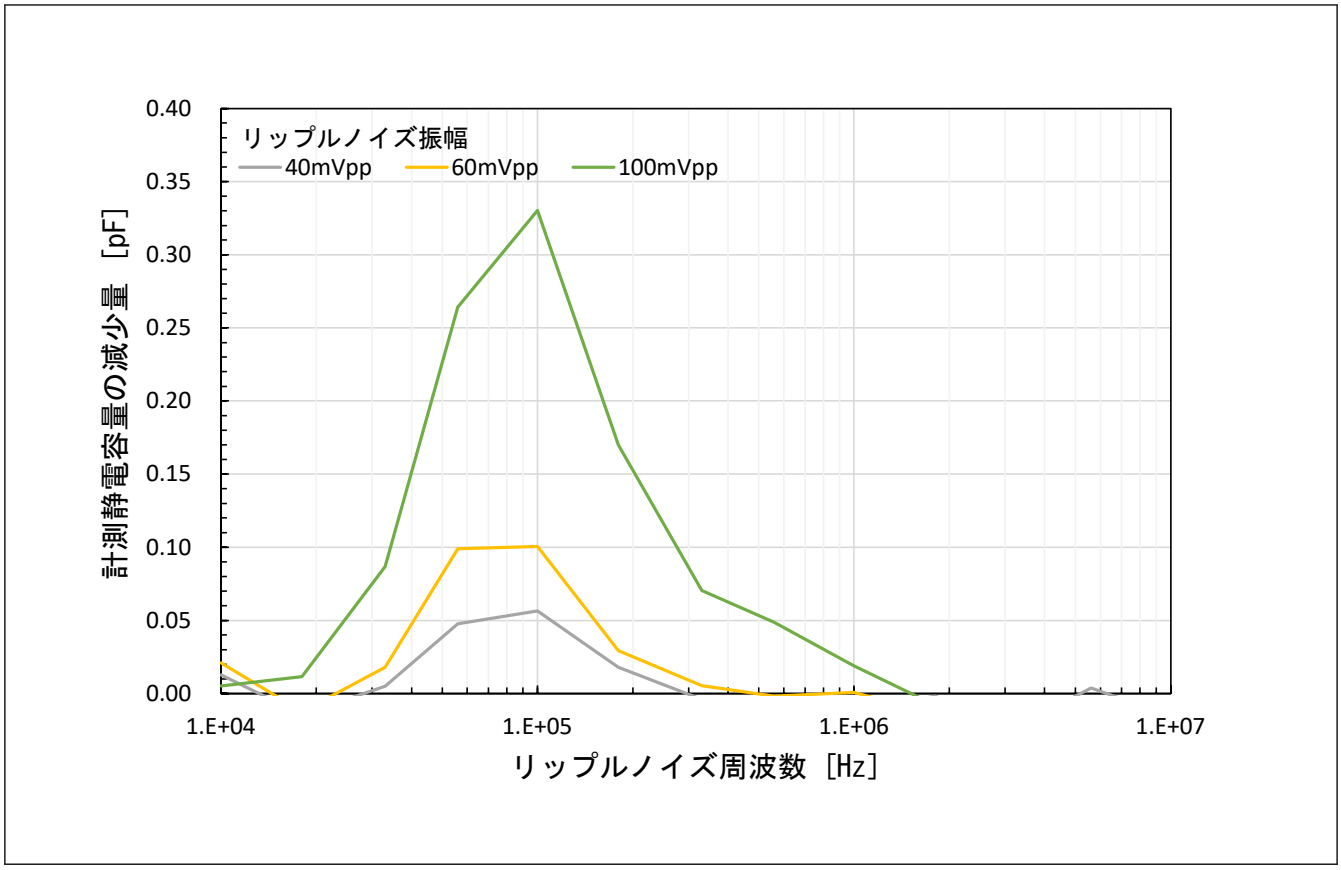


図 2.46　計測静電容量の減少量

2.9　コンパレータ特性

表 2.51　ACMPLP 特性

条件：VCC = AVCC0 = 1.6～5.5 V、VSS = AVSS0 = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲		V_{REF}	0	—	VCC - 1.4	V	—
入力電圧範囲		V_I	0	—	VCC	V	—
内部基準電圧(注1)		—	1.34	1.44	1.54	V	—
出力遅延時間	High-speed モード	T_d	—	—	1.2	μs	VCC = 3.0 V
	Low-Speed モード		—	—	9	μs	
	ウィンドウモード		—	—	2	μs	
オフセット電圧	High-speed モード	—	—	—	50	mV	—
	Low-Speed モード	—	—	—	40	mV	—
	ウィンドウモード	—	—	—	60	mV	—
ウィンドウモードの内部基準電圧		V_{RFH}	—	0.76 × VCC	—	V	—
		V_{RFL}	—	0.24 × VCC	—	V	—
動作安定待機時間	High-speed モード	T_{cmp}	100	—	—	μs	—
	Low-speed モード		200	—	—		

注 1.　2.94 V ≦ VCC ≦ 5.50 V であるときだけ、内部基準電圧を ACMPLP 基準電圧として選択できます。

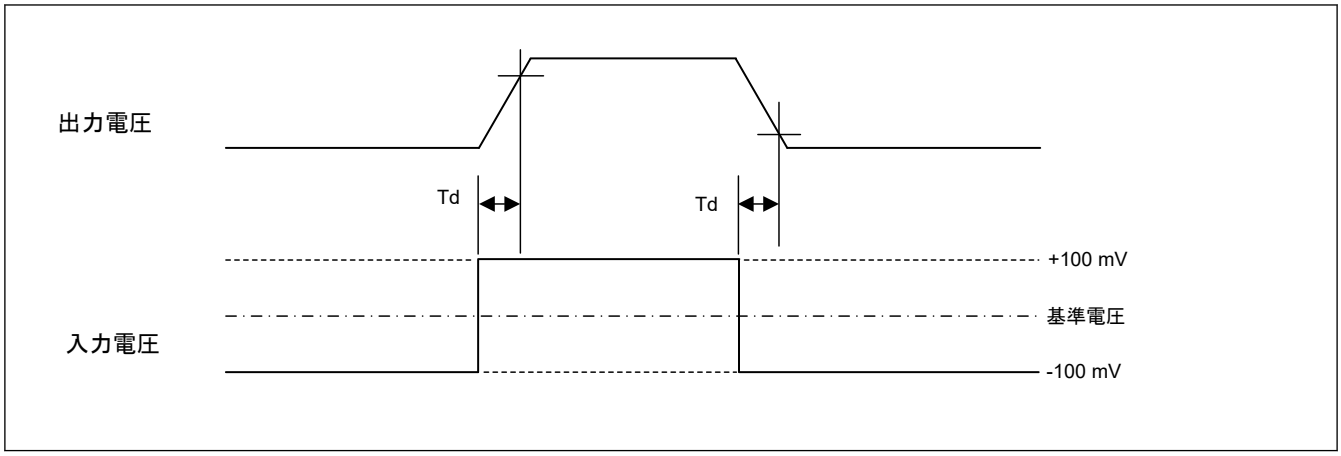


図 2.47　出力遅延時間

2.10　フラッシュメモリ特性

2.10.1　コードフラッシュメモリ特性

表 2.52　コードフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	条件
再プログラム／イレースサイクル(注1)		N_{PEC}	1000	—	—	回	—
データ保持時間	1000 回の N_{PEC} の後	t_{DRP}	20(注2) (注3)	—	—	年	T_a = +85 °C T_a = +105 °C

注 1.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 1,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 512 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書き禁止）。
注 2.　弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
注 3.　この結果は信頼性試験から得られたものです。

表 2.53　コードフラッシュ特性 (2)

High-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	34	321	µs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	5.6	215	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	8.3	µs
	2 KB	t_{BC2K}	—	—	3681	—	—	240	µs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	10.5	µs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	11.4	423	ms
OCD／シリアルプログラマ ID 設定時間(注1)		t_{OSIS}	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	µs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	µs

注.　ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注.　フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1. 4 コマンドの合計時間です。

表 2.54 コードフラッシュ特性 (3)

Middle-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注2)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	39	356	µs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	6.2	227	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	11.3	µs
	2 KB	t_{BC2K}	—	—	3681	—	—	534	µs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	11.7	µs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	12.2	435	ms
OCD／シリアルプログラマ ID 設定時間(注1)		t_{OSIS}	—	84.7	2280	—	48.7	1740	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	µs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	µs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1. 4 コマンドの合計時間です。
注 2. 1.8 V ≦ VCC = AVCC0 ≦ 5.5 V の場合

表 2.55 コードフラッシュ特性 (4)

Low-speed 動作モード
条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t_{P4}	—	86	732	—	57	502	µs
イレース時間	2 KB	t_{E2K}	—	12.5	355	—	8.8	280	ms
ブランクチェック時間	4 バイト	t_{BC4}	—	—	46.5	—	—	23.3	µs
	2 KB	t_{BC2K}	—	—	3681	—	—	1841	µs
イレースサスペンド時間		t_{SED}	—	—	22.3	—	—	16.2	µs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t_{AWSSAS}	—	21.2	570	—	15.9	491	ms
OCD／シリアルプログラマ ID 設定時間(注1)		t_{OSIS}	—	84.7	2280	—	63.5	1964	ms
フラッシュメモリモード遷移待機時間 1		t_{DIS}	2	—	—	2	—	—	µs
フラッシュメモリモード遷移待機時間 2		t_{MS}	15	—	—	15	—	—	µs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

2.10.2 データフラッシュメモリ特性

表 2.56 データフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	条件
再プログラム／イレースサイクル(注1)		N_{DPEC}	100000	1000000	—	回	—
データ保持時間	10000 回の N_{DPEC} の後	t_{DDRP}	20(注2) (注3)	—	—	年	Ta = +85 °C Ta = +105 °C
	100000 回の N_{DPEC} の後		5(注2) (注3)	—	—	年	
	1000000 回の N_{DPEC} の後		—	1(注2) (注3)	—	年	Ta = +25 °C

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)
注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
注 3. この結果は信頼性試験から得られたものです。

表 2.57 データフラッシュ特性 (2)

High-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	45	404	—	34	321	µs
イレース時間	1 KB	t_{DE1K}	—	8.8	280	—	6.1	224	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	15.2	—	—	8.3	µs
	1 KB	t_{DBC1K}	—	—	1832	—	—	466	µs
イレース実行中のサスペンド時間		t_{DSED}	—	—	13.2	—	—	10.5	µs
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 2.58 データフラッシュ特性 (3)

Middle-speed 動作モード
条件：VCC = AVCC0 = 1.8～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注1)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	45	404	—	39	356	µs
イレース時間	1 KB	t_{DE1K}	—	8.8	280	—	7.3	248	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	15.2	—	—	11.3	µs
	1 KB	t_{DBC1K}	—	—	1.84	—	—	1.06	ms
イレース実行中のサスペンド時間		t_{DSED}	—	—	13.2	—	—	11.7	µs
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。
注 1. 1.8 V ≦ VCC = AVCC0 ≦ 5.5 V の場合

表 2.59 データフラッシュ特性 (4)

Low-speed 動作モード
条件：VCC = AVCC0 = 1.6～5.5 V

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	86	732	—	57	502	µs
イレース時間	1 KB	t_{DE1K}	—	19.7	504	—	12.4	354	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	46.5	—	—	23.3	µs
	1 KB	t_{DBC1K}	—	—	7.3	—	—	3.66	ms
イレース実行中のサスペンド時間		t_{DSED}	—	—	22.3	—	—	16.2	µs
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 2 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

2.11 シリアルワイヤデバッグ (SWD)

表 2.60 SWD 特性 (1)

条件：VCC = AVCC0 = 2.4～5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	80	—	—	ns	図 2.48
SWCLK クロック High レベルパルス幅	t_{SWCKH}	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	35	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	16	—	—	ns	図 2.49
SWDIO ホールド時間	t_{SWDH}	16	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	70	ns	

表 2.61 SWD 特性 (2)

条件：VCC = AVCC0 = 1.6～2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	250	—	—	ns	図 2.48
SWCLK クロック High レベルパルス幅	t_{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	50	—	—	ns	図 2.49
SWDIO ホールド時間	t_{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	170	ns	

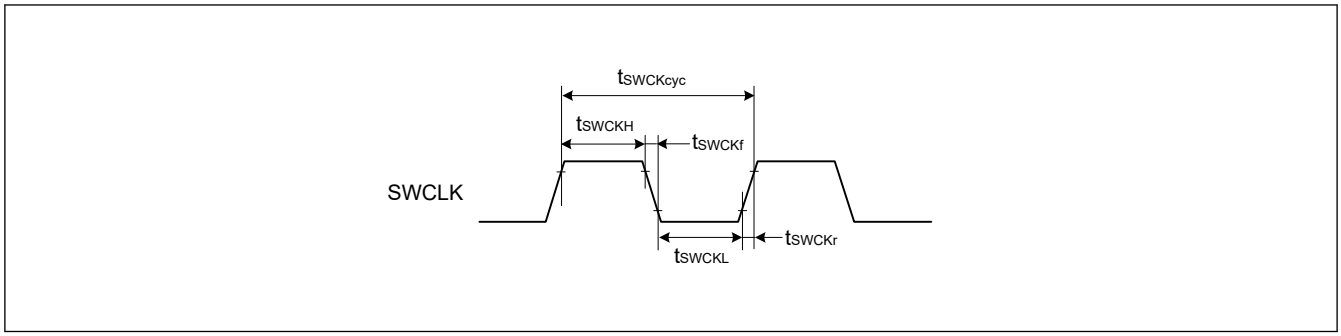


図 2.48　SWD SWCLK タイミング

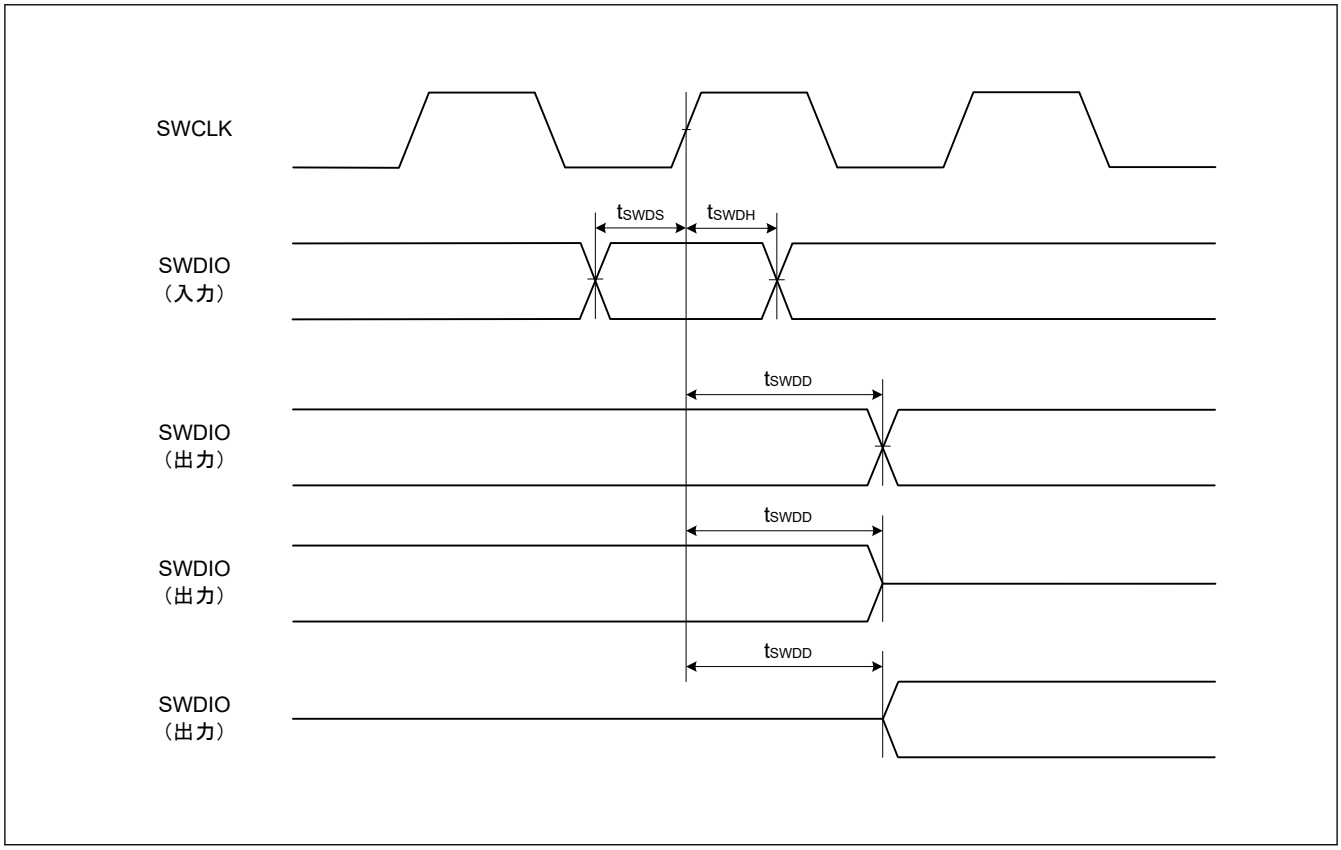


図 2.49　SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 A1.1 各プロセスモードのポート状態 (1/3)

ポート名	リセット	ソフトウェアスタンバイモード
P000/AN000/TS21/IRQ6	Hi-Z	Keep-O(注1)
P001/AN001/TS22/IRQ7	Hi-Z	Keep-O(注1)
P002/AN002/TS23/IRQ2	Hi-Z	Keep-O(注1)
P003/AN003/TS24	Hi-Z	Keep-O
P004/AN004/TS25/IRQ3	Hi-Z	Keep-O(注1)
P010/AN005/TS30-CFC	Hi-Z	Keep-O
P011/AN006/TS31-CFC	Hi-Z	Keep-O
P012/AN007/TS32-CFC	Hi-Z	Keep-O
P013/AN008/TS33-CFC	Hi-Z	Keep-O
P014/AN009	Hi-Z	Keep-O
P015/AN010/TS28-CFC/IRQ7_A	Hi-Z	Keep-O(注1)
P100/CMPIN0/TS26-CFC/AGTIO0_A/ GTETRGA_A/GTIOC8B_A/RXD0_A/ SCL0_D/SCK1_A/MISOA_A/KRM00/ IRQ2_A	Hi-Z	[AGTIO0_A 出力選択] AGTIO0_A 出力(注2) [上記以外] Keep-O(注1)
P101/CMPREF0/TS16-CFC/AGTEE0/ GTETRGB_A/GTIOC8A_A/TXD0_A/ MOSI0_A/SDA0_C/CTS1_RTS1_A/KRM01/ IRQ1_A	Hi-Z	Keep-O(注1)
P102/CMPIN1/ADTRG0_A/TS15-CFC/ AGTO0/GTOWLO_A/GTIOC5B_A/SCK0_A/ TXD2_D/MOSI2_D/SDA2_D/RSPCKA_A/ KRM02	Hi-Z	[AGTO0 選択] AGTO0 出力(注2) [上記以外] Keep-O(注1)
P103/CMPREF1/TS14-CFC/GTOWUP_A/ GTIOC5A_A/CTS0_RTS0_A/SSLA0_A/ KRM03	Hi-Z	Keep-O(注1)
P104/TS13-CFC/GTETRGB_B/GTIOC4B_C/ RXD0_C/MISO0_C/SSLA1_A/KRM04/ IRQ1_B	Hi-Z	Keep-O(注1)
P105/TS34-CFC/GTETRGA_C/ GTIOC4A_C/SSLA2_A/KRM05/IRQ0_B	Hi-Z	Keep-O(注1)
P106/SSLA3_A/KRM06	Hi-Z	Keep-O(注1)
P107/KRM07	Hi-Z	Keep-O(注1)
P108/SWDIO/GTOULO_C/GTIOC0B_A/ CTS9_RTS9_B	プルアップ	Keep-O
P109/TS10-CFC/GTOVUP_A/GTIOC4A_A/ SCK1_E/TXD9_B/MOSI9_B/SDA9_B/ CLKOUT_B	Hi-Z	[CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O
P110/TS11-CFC/GTOVLO_A/GTIOC4B_A/ CTS2_RTS2_B/RXD9_B/SCL9_B/ MISOB_B/IRQ3_A/VCOUT	Hi-Z	[ACMPLP 選択] VCOUT 出力 [上記以外] Keep-O(注1)
P111/TS12-CFC/AGTOA0/GTIOC6A_A/ SCK2_B/SCK9_B/IRQ4_A	Hi-Z	[AGTOA0 選択] AGTOA0 出力(注2) [上記以外] Keep-O(注1)

表 A1.1 各プロセスモードのポート状態 (2/3)

ポート名	リセット	ソフトウェアスタンバイモード
P112/TSCAP/AGTOB0/GTIOC6B_A/ TXD2_B/MOSI2_B/SDA2_B/SCK1_D	Hi-Z	[AGTOB0 選択] AGTOB0 出力(注2) [上記以外] Keep-O
P113/TS27-CFC	Hi-Z	Keep-O
P200/NMI	Hi-Z	Hi-Z
P201/MD	プルアップ	Keep-O
P204/CACREF_A/TS0/AGTIO1_A/GTIW_A/ GTIOC4B_B/SCK0_D/SCK9_A/SCL0_B	Hi-Z	[AGTIO1_A 出力選択] AGTIO1_A 出力(注2) [上記以外] Keep-O(注1)
P205/AGTO1/GTIV_A/TXD0_D/MOSI0_D/ SDA0_D/CTS9_RTS9_A/IRQ1/CLKOUT_A	Hi-Z	[AGTO1 選択] AGTO1 出力(注2) [CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O(注1)
P206/GTIU_A/RXD0_D/MISO0_D/SCL0_D/ IRQ0	Hi-Z	Keep-O(注1)
P207	Hi-Z	Keep-O
P208/AGTOB0_A	Hi-Z	[AGTOB0_A 選択] AGTOB0_A 出力(注2) [上記以外] Keep-O
P212/EXTAL /AGTEE1/GTETRGB_D/ GTIOC0B_D/RXD1_A/MISO1_A/SCL1_A/ IRQ3_B	Hi-Z	Keep-O(注1)
P213/XTAL /GTETRGA_D/GTIOC0A_D/ TXD1_A/MOSI1_A/SDA1_A/IRQ2_B	Hi-Z	Keep-O(注1)
P214/XCOUT, P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P300/SWCLK/GTOUUP_C/GTIOC0A_A	プルアップ	Keep-O
P301/TS9-CFC/AGTIO0_D/GTOULO_A/ GTIOC7B_A/RXD2_A/MISO2_A/SCL2_A/ CTS9_RTS9_D/IRQ6_A	Hi-Z	[AGTIO0_D 出力選択] AGTIO0_D 出力(注2) [上記以外] Keep-O(注1)
P302/TS8-CFC/GTOUUP_A/GTIOC7A_A/ TXD2_A/MOSI2_A/SDA2_A/IRQ5_A	Hi-Z	Keep-O(注1)
P303/TS2-CFC	Hi-Z	Keep-O
P304	Hi-Z	Keep-O
P400/CACREF_C/AGTIO1_C/GTIOC9A_A/ SCK0_B/SCK1_B/SCL0_A/IRQ0_A	Hi-Z	[AGTIO1_C 出力選択] AGTIO1_C 出力(注2) [上記以外] Keep-O(注1)
P401/GTETRGA_B/GTIOC9B_A/ CTS0_RTS0_B/TXD1_B/MOSI1_B/SDA1_B/ SDA0_A/IRQ5	Hi-Z	Keep-O(注1)
P402/TS18/AGTIO0_E/AGTIO1_D/RXD1_B/ MISO1_B/SCL1_B/IRQ4	Hi-Z	[AGTIO0_E, AGTIO1_D 出力選択] AGTIO0_E, AGTIO1_D 出力(注2) [上記以外] Keep-O(注1)

表 A1.1 各プロセスモードのポート状態 (3/3)

ポート名	リセット	ソフトウェアスタンバイモード
P403/TS17/AGTIO0_F/AGTIO1_E/ CTS1_RTS1_B	Hi-Z	[AGTIO0_F, AGTIO1_E 出力選択] AGTIO0_F, AGTIO1_E 出力(注2) [上記以外] Keep-O(注1)
P407/ADTRG0_B/AGTIO0_C/RTCOUT/ CTS0_RTS0_D/SDA0_B	Hi-Z	[AGTIO0_C 出力選択] AGTIO0_C 出力(注2) [RTCOUT 選択] RTCOUT 出力 [上記以外] Keep-O(注1)
P408/TS4/GTOWLO_B/CTS1_RTS1_D/ SCL0_C/IRQ7_B	Hi-Z	Keep-O(注1)
P409/TS5/GTOWUP_B/IRQ6_B	Hi-Z	Keep-O(注1)
P410/TS6/AGTOB1/GTOVLO_B/RXD0_B/ MISO0_B/SCL0_B/MISOA_B/IRQ5_B	Hi-Z	[AGTOB1 選択] AGTOB1 出力(注2) [上記以外] Keep-O(注1)
P411/TS7/AGTOA1/GTOVUP_B/TXD0_B/ MOSI0_B/SDA0_B/MOSIA_B/IRQ4_B	Hi-Z	[AGTOA1 選択] AGTOA1 出力(注2) [上記以外] Keep-O(注1)
P500/GTIU_B/GTIOC5A_B	Hi-Z	Keep-O
P501/AN017/GTIV_B/GTIOC5B_B/TXD1_C/ MOSI1_C/SDA1_C	Hi-Z	Keep-O
P502/AN018/GTIW_B/RXD1_C/MISO1_C/ SCL1_C	Hi-Z	Keep-O
P913/AGTIO1_F/GTETRGA_F	Hi-Z	Keep-O
P914/AGTOA1_A/GTETRGB_F	Hi-Z	Keep-O
P915	Hi-Z	Keep-O

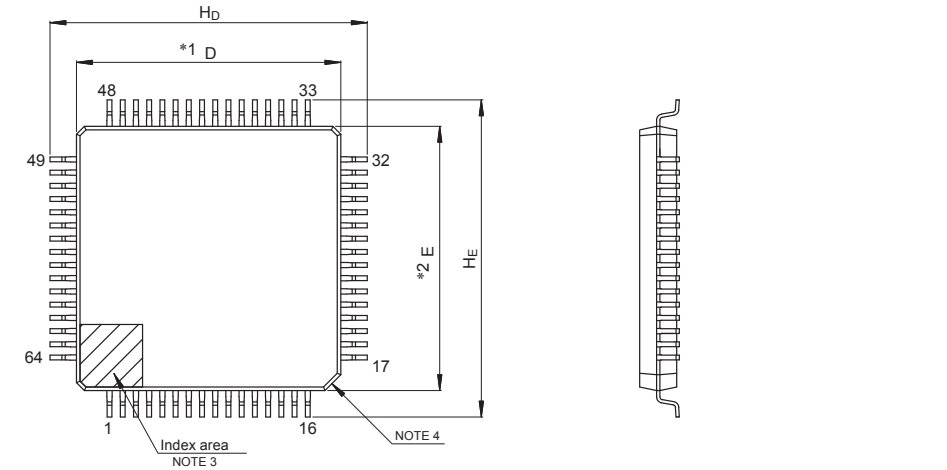
注. Hi-Z：ハイインピーダンス
Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。
注 2. LOCO または SOSC がカウントソースとして選択されている間、AGTIO 出力が許可されます。

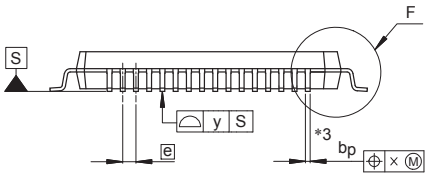
付録 2. 外形寸法図

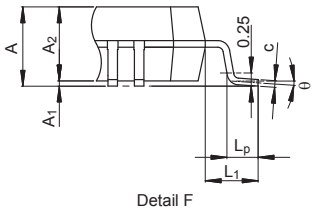
外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm







Detail F

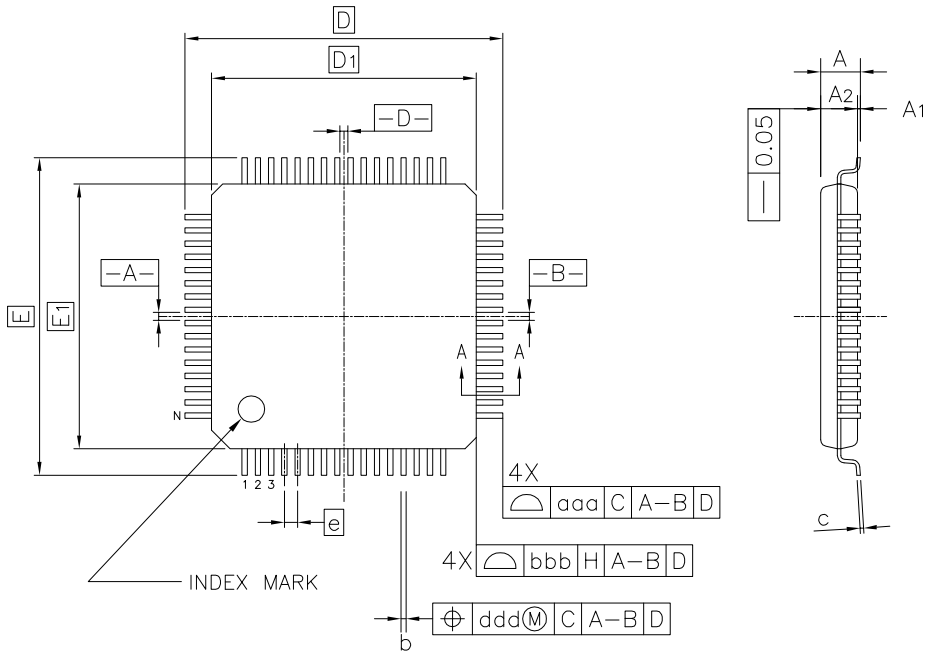
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

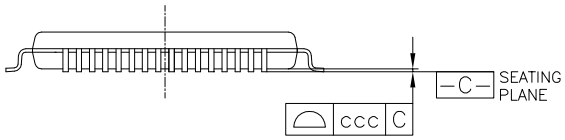
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

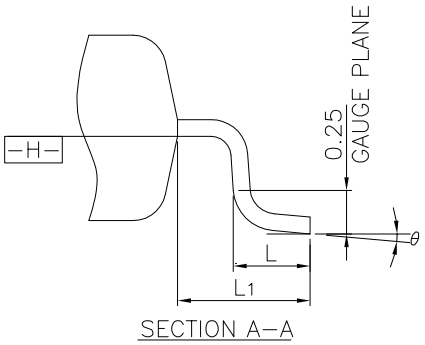
© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.1 LQFP 64 ピン 0.5 mm ピッチ (1)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP064-10x10-0.50	PLQP0064KL-A	0.36



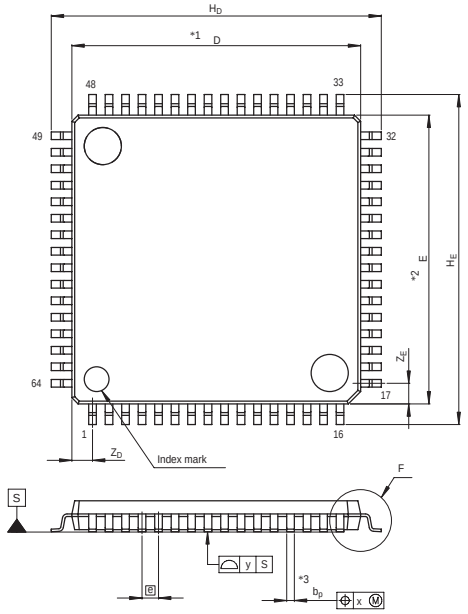




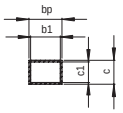
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	12.00	–
D_1	–	10.00	–
E	–	12.00	–
E_1	–	10.00	–
N	–	64	–
e	–	0.50	–
b	0.17	0.22	0.27
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.08
ddd	–	–	0.08

図 A2.2 LQFP 64 ピン 0.5 mm ピッチ (2)

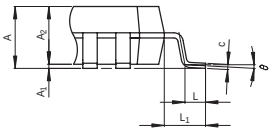
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP64-14x14-0.80	PLQP0064GA-A	64P6U-A/ —	0.7g







Terminal cross section



Detail F

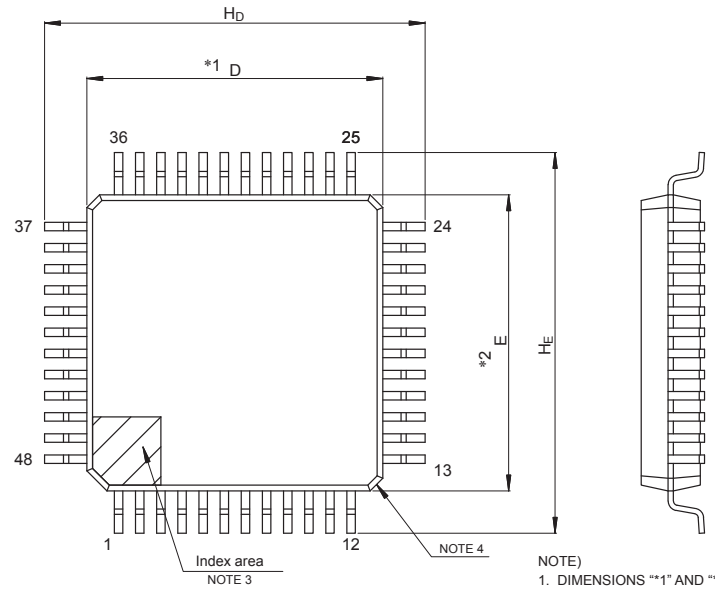
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

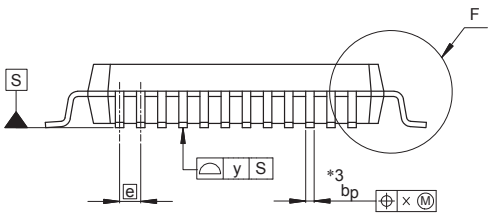
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.32	0.37	0.42
b_1	—	0.35	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.3	0.5	0.7
L_1	—	1.0	—

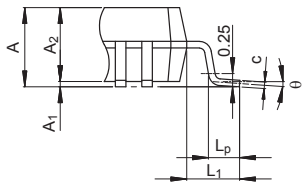
図 A2.3 LQFP 64 ピン 0.8 mm ピッチ

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm







Detail F

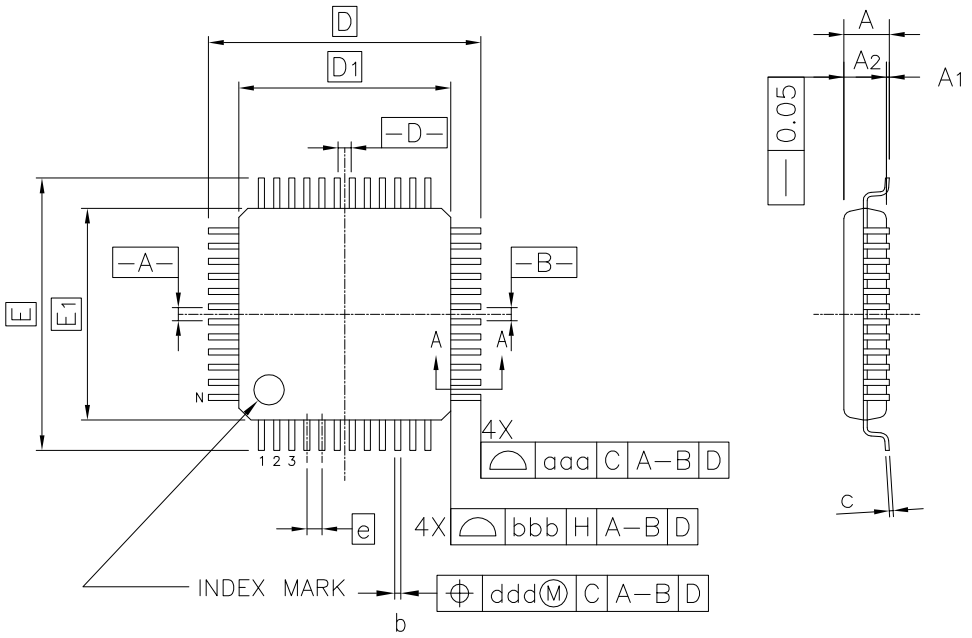
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

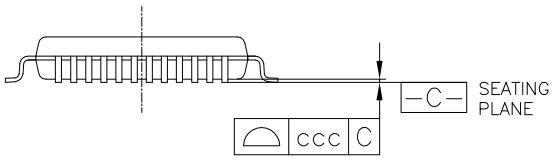
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

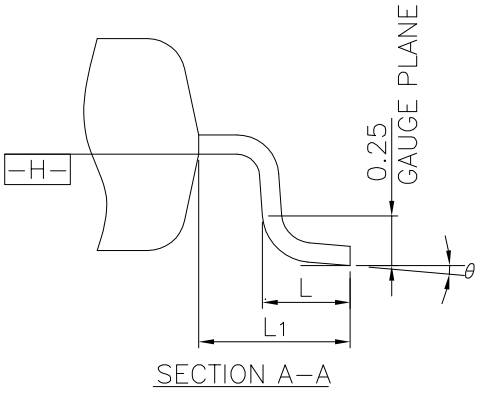
© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.4 LQFP 48 ピン (1)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP48-7x7-0.50	PLQP0048KL-A	0.18



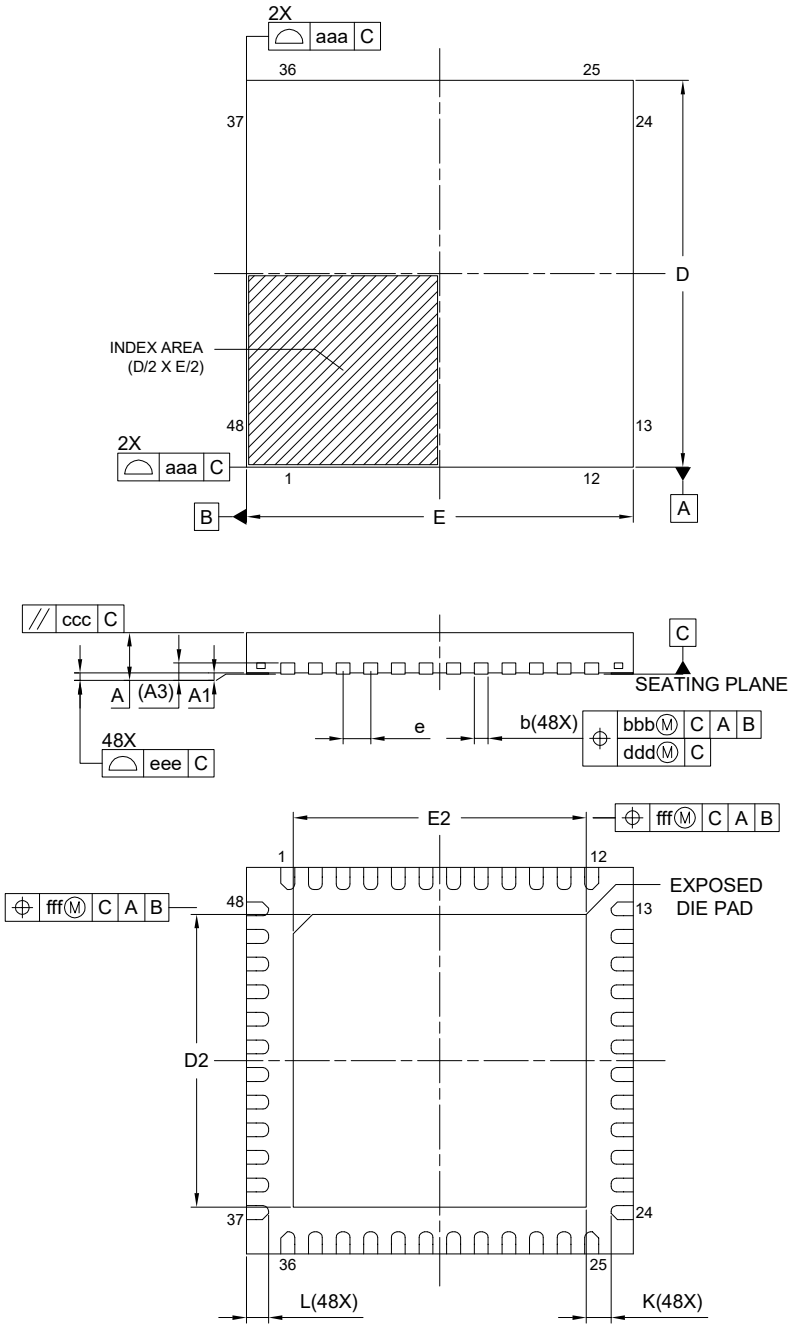




Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	9.00	–
D_1	–	7.00	–
E	–	9.00	–
E_1	–	7.00	–
N	–	48	–
e	–	0.50	–
b	0.17	0.22	0.27
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.08
ddd	–	–	0.08

図 A2.5 LQFP 48 ピン (2)

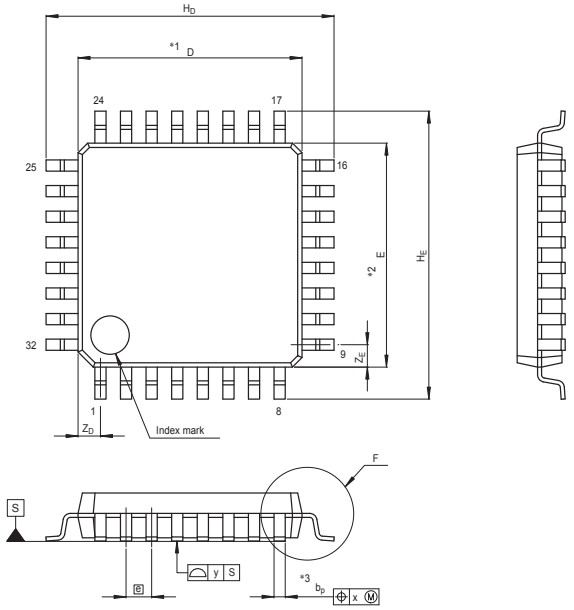
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g

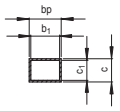


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.20	0.25	0.30
D		7.00 BSC	
E		7.00 BSC	
e		0.50 BSC	
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

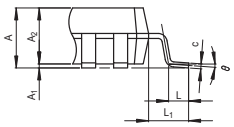
図 A2.6 HWQFN 48 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP32-7x7-0.80	PLQP0032GB-A	32P6U-A	0.2g





Terminal cross section



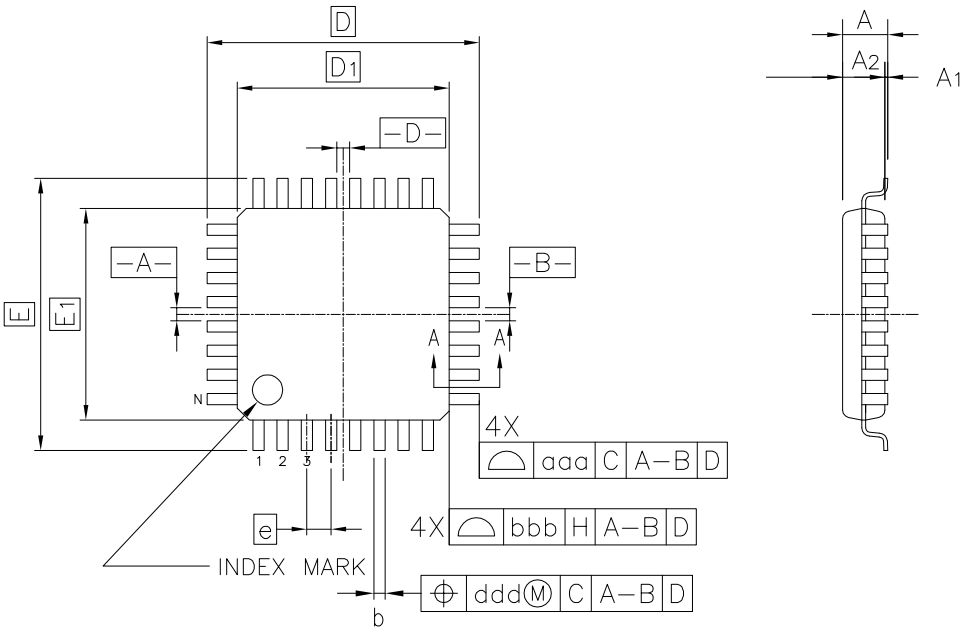
Detail F

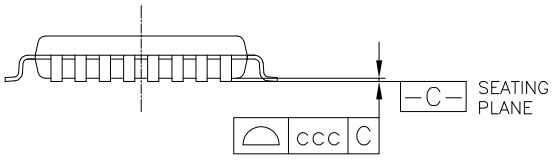
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

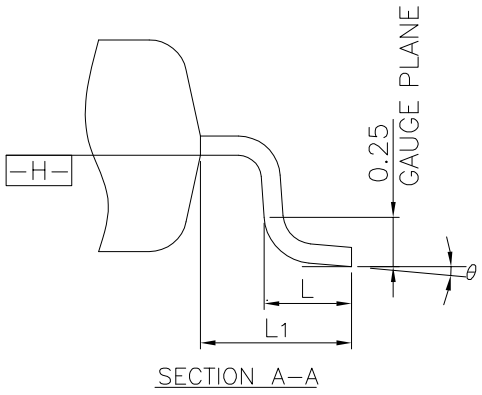
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.32	0.37	0.42
b_1	—	0.35	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z_D	—	0.7	—
Z_E	—	0.7	—
L	0.3	0.5	0.7
L_1	—	1.0	—

図 A2.7 LQFP 32 ピン (1)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP32-7x7-0.80	PLQP0032GE-A	0.18



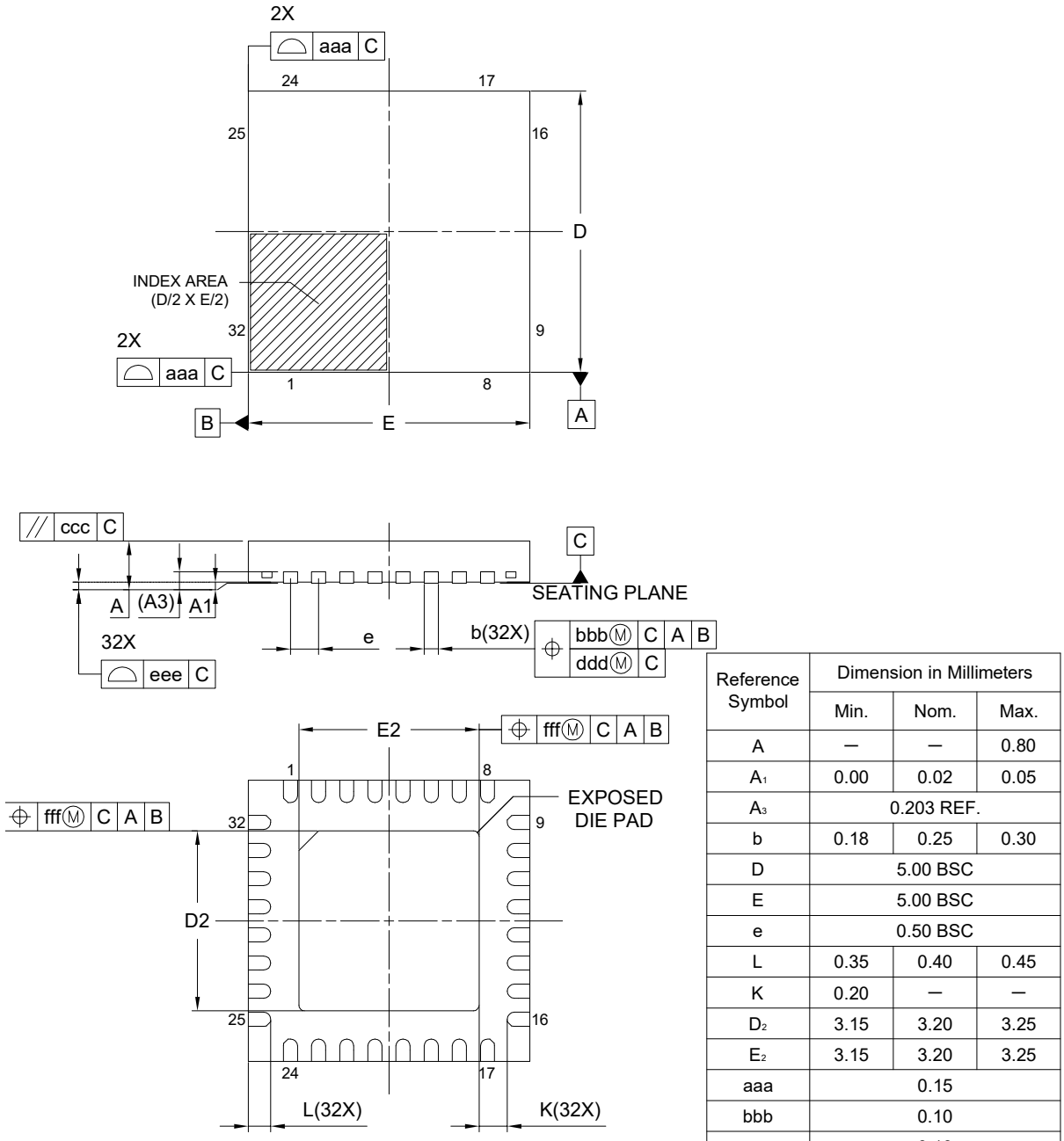




Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	9.00	–
D_1	–	7.00	–
E	–	9.00	–
E_1	–	7.00	–
N	–	32	–
e	–	0.80	–
b	0.30	0.37	0.45
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.10
ddd	–	–	0.20

図 A2.8 LQFP 32 ピン (2)

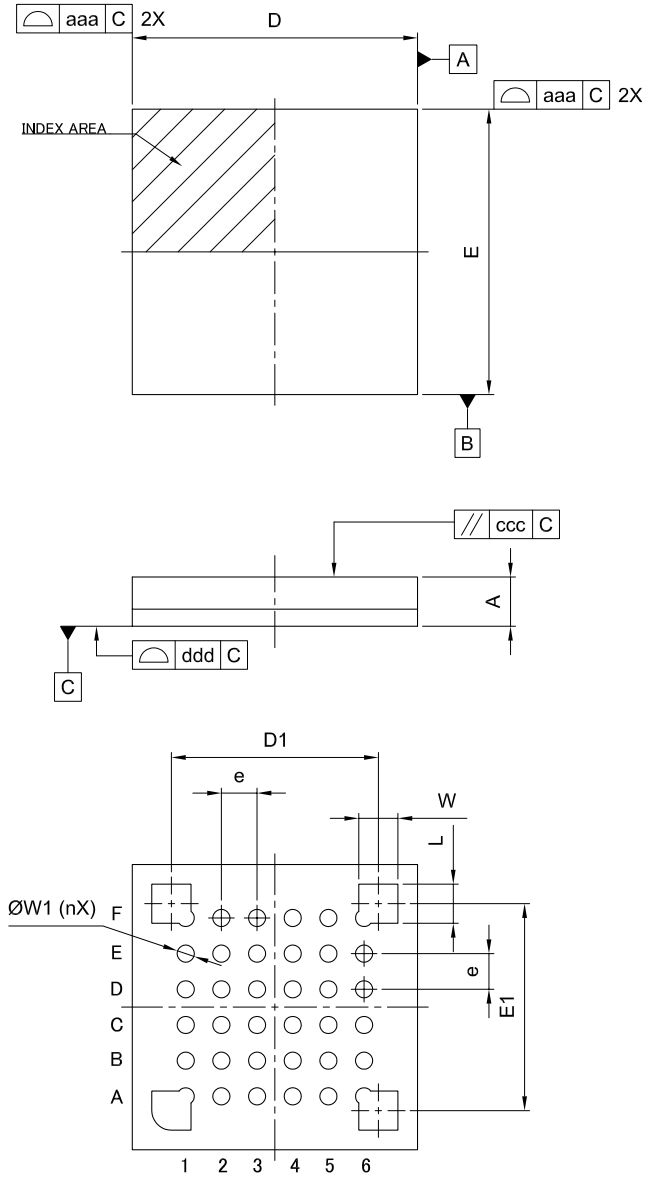
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.18	0.25	0.30
D		5.00 BSC	
E		5.00 BSC	
e		0.50 BSC	
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

図 A2.9 HWQFN 32 ピン

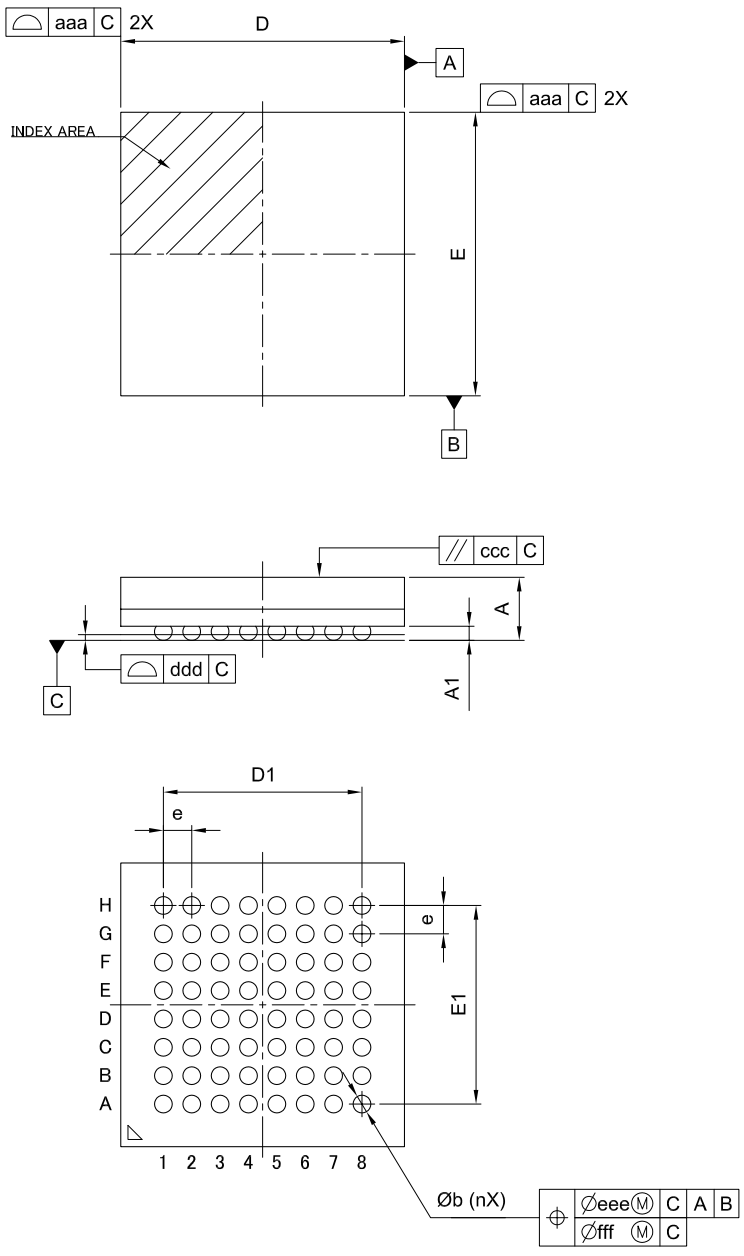
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-WFLGA36-4×4-0.50	PWLG0036KB-A	0.02



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	4.00	—
E	—	4.00	—
D1	2.90 BSC		
E1	2.90 BSC		
A	—	—	0.76
W1	0.19	0.24	0.29
W	—	0.55	—
L	—	0.55	—
e	0.50 BSC		
aaa	0.10		
ccc	0.20		
ddd	0.08		
n	—	36	—

図 A2.10 WFLGA 36 ピン

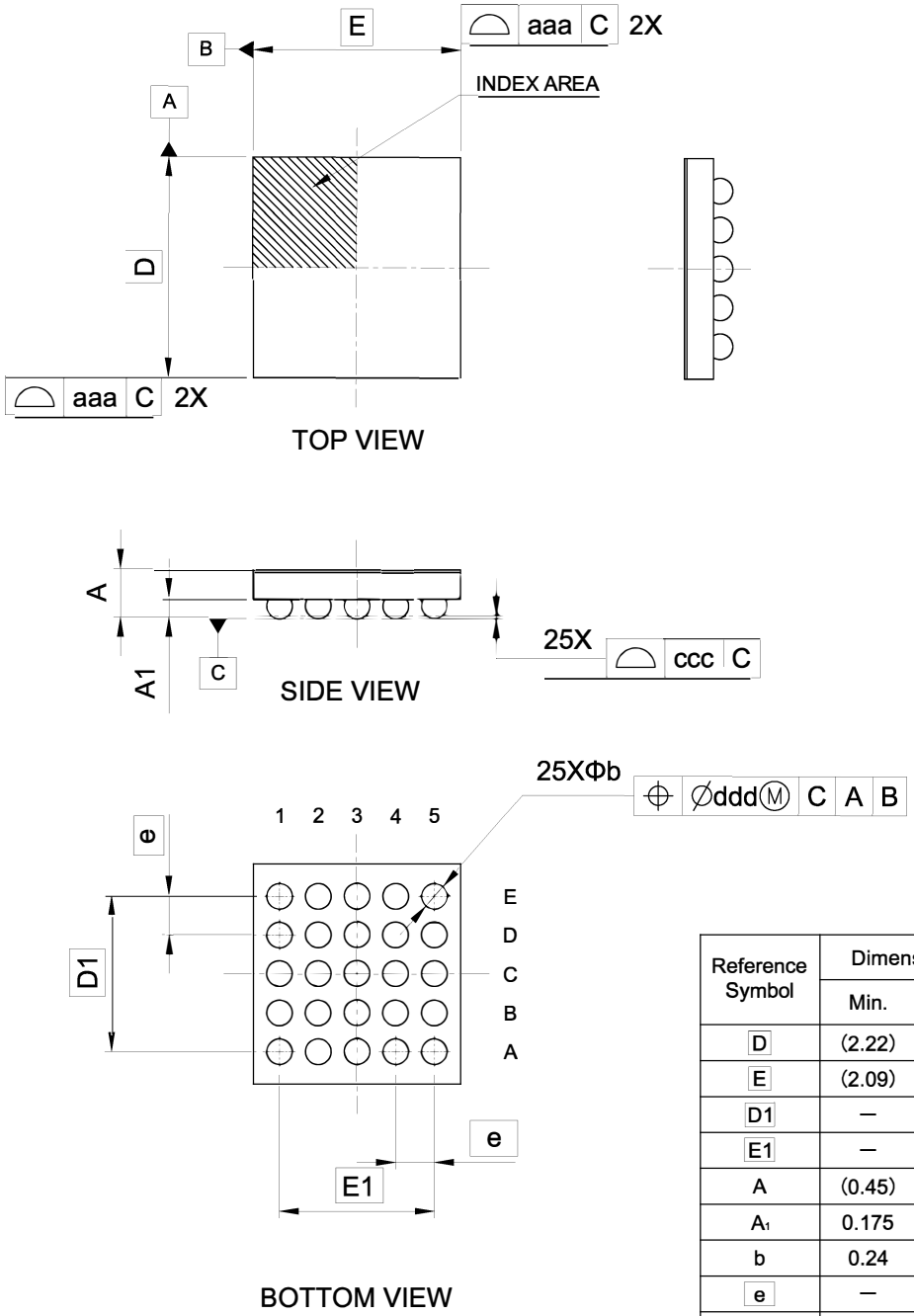
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-VFBGA64-4×4-0.40	PVBG0064LB-A	0.03



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	4.00	—
E	—	4.00	—
D1	2.80 BSC		
E1	2.80 BSC		
A	—	—	0.99
A_1	0.15	0.20	0.25
b	0.20	0.25	0.30
e	0.40 BSC		
aaa	0.10		
ccc	0.10		
ddd	0.10		
eee	0.15		
fff	0.05		
n	—	64	—

図 A2.11 VFBGA 64 ピン

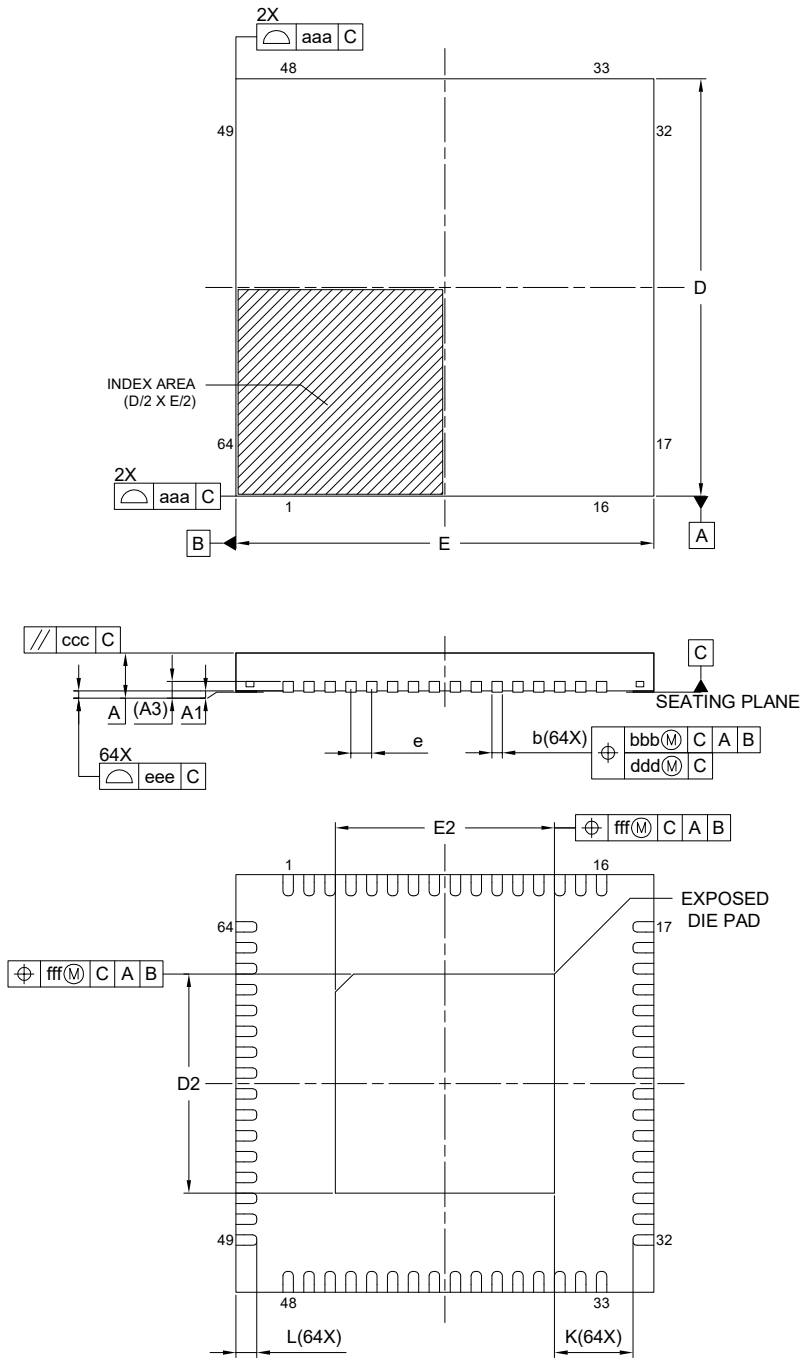
JEITA Package code	RENESAS code	MASS(TYP.)[g]
S-UFBGA25-2.14x2.27-0.40	SUBG0025LB-A	0.01



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	(2.22)	2.27	(2.32)
E	(2.09)	2.14	(2.19)
D1	—	1.60	—
E1	—	1.60	—
A	(0.45)	(0.50)	0.55
A_1	0.175	0.20	0.225
b	0.24	0.265	0.29
e	—	0.40	—
aaa	—	—	0.05
ccc	—	—	0.05
ddd	—	—	0.05

図 A2.12 WLCSP 25 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN064-8x8-0.40	PWQN0064LB-A	0.14



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.15	0.20	0.25
D		8.00 BSC	
E		8.00 BSC	
e		0.40 BSC	
L	0.35	0.40	0.45
K	0.20	—	—
D_2	4.15	4.20	4.25
E_2	4.15	4.20	4.25
aaa		0.10	
bbb		0.07	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

図 A2.13 HWQFN 64 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

A3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
MPU	メモリプロテクションユニット	0x4000_0000
SRAM	SRAM 制御	0x4000_2000
BUS	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CPU_DBG	デバッグ機能	0x4001_B000
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PORT5	ポート 5 コントロールレジスタ	0x4004_00A0
PORT9	ポート 9 コントロールレジスタ	0x4004_0120
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントローラ	0x4004_1000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4004_2000
RTC	リアルタイムクロック	0x4004_4000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップコントロール B、C、D	0x4004_7000
IIC0	Inter-Integrated Circuit 0	0x4005_3000
IIC0WU	Inter-Integrated Circuit 0 ウェイクアップユニット	0x4005_3014
DOC	データ演算回路	0x4005_4100
ADC12	12 ビット A/D コンバータ	0x4005_C000
SCI0	シリアルコミュニケーションインタフェース 0	0x4007_0000
SCI1	シリアルコミュニケーションインタフェース 1	0x4007_0020
SCI2	シリアルコミュニケーションインタフェース 2	0x4007_0040
SCI9	シリアルコミュニケーションインタフェース 9	0x4007_0120
SPI0	シリアルペリフェラルインタフェース 0	0x4007_2000
CRC	CRC 演算器	0x4007_4000
GPT320	汎用 PWM タイマ 0（32 ビット）	0x4007_8000
GPT164	汎用 PWM タイマ 4（16 ビット）	0x4007_8400
GPT165	汎用 PWM タイマ 5（16 ビット）	0x4007_8500

表 A3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
GPT166	汎用 PWM タイマ 6（16 ビット）	0x4007_8600
GPT167	汎用 PWM タイマ 7（16 ビット）	0x4007_8700
GPT168	汎用 PWM タイマ 8（16 ビット）	0x4007_8800
GPT169	汎用 PWM タイマ 9（16 ビット）	0x4007_8900
GPT_OPS	出力相切り替えコントローラ	0x4007_8FF0
KINT	キー割り込み機能	0x4008_0000
CTSU	静電容量式センシングユニット 2	0x4008_2000
AGT0	低消費電力非同期汎用タイマ 0	0x4008_4000
AGT1	低消費電力非同期汎用タイマ 1	0x4008_4100
ACMPLP	低消費電力アナログコンパレータ	0x4008_5E00
FLCN	フラッシュ I/O レジスタ	0x407E_C000

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

A3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 A3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 A3.2 GPT 以外のモジュールのアクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
MPU, SRAM, BUS, DTC, ICU, CPU_DBG	0x4000_2000	0x4001_BFFF	3				ICLK	メモリプロテクションユニット、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSC	0x4001_E000	0x4001_E6FF	4				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション

表 A3.2 GPT 以外のモジュールのアクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK(注1)		サイクル単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
PORTn, PFS, ELC, POEG, RTC, WDT, IWDT, CAC, MSTP	0x4004_0000	0x4004_7FFF	3		2～3		PCLKB	I/O ポート、イベントリンクコントローラ、GPT 用ポートアウトプットイネーブル、リアルタイムクロック、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
IICn (n = 0), IIC0WU, DOC, ADC12	0x4005_0000	0x4005_EFFF	3		2～3		PCLKB	I^2C バスインタフェース、データ演算回路、12 ビット A/D コンバータ
SCIn (n = 0～2, 9(注2))	0x4007_0000	0x4007_0EFF	5		2～3		PCLKB	シリアルコミュニケーションインタフェース
SPIn (n = 0)(注3)	0x4007_2000	0x4007_2FFF	5		2～3		PCLKB	シリアルペリフェラルインタフェース
CRC	0x4007_4000	0x4007_4FFF	3		2～3		PCLKB	CRC 演算器
GPT32n (n = 0), GPT16n (n = 4～9), GPT_OPS	0x4007_8000	0x4007_BFFF	表 A3.3 を参照。				PCLKB	汎用 PWM タイマ
KINT, CTSU	0x4008_0000	0x4008_2FFF	3		2～3		PCLKB	キー割り込み機能、静電容量式センシングユニット 2
AGTn	0x4008_4000	0x4008_4FFF	3		2～3		PCLKB	低消費電力非同期汎用タイマ
ACMPLP	0x4008_5000	0x4008_6FFF	3		2～3		PCLKB	低消費電力アナログコンパレータ
FLCN	0x407E_C000	0x407E_FFFF	7		7		ICLK	データフラッシュ、温度センサ、静電容量式センシングユニット 2、フラッシュ制御

注 1. PCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は、1～3 となります。
注 2. n = 0 の場合については、16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）へのアクセス時、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。
注 3. 32 ビットレジスタ (SPDR) にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ (SPDR_HA) にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

表 A3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 A3.3 GPT モジュールのアクセスサイクル

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5～6	3～4	PCLKB
ICLK > PCLKD > PCLKB	3～4	2～3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB
PCLKD = ICLK > PCLKB	2～3	1～2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2～3	1～2	PCLKB

A3.3 レジスタの説明

本項では、本マニュアルに記載のレジスタに関する情報を示します。

表 A3.4 に各レジスタのアドレスオフセット、アドレスサイズ、アクセス権、およびリセット値を示します。

表 A3.4 レジスタの説明 (1/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
MPU	-	-	-	MMPUCTLA	バスマスタ MPU コントロールレジスタ	0x000	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MMPUPTA	グループ A レジスタの保護	0x102	16	R/W	0x0000	0xFFFF
MPU	4	0x010	0～3	MMPUACA%s	グループ A 領域%s アクセスコントロールレジスタ	0x200	16	R/W	0x0000	0xFFFF
MPU	4	0x010	0～3	MMPUSA%s	グループ A 領域%s 開始アドレスレジスタ	0x204	32	R/W	0x00000000	0x00000003
MPU	4	0x010	0～3	MMPUEA%s	グループ A 領域%s 終了アドレスレジスタ	0x208	32	R/W	0x00000003	0x00000003
MPU	-	-	-	SMPUCTL	スレーブ MPU コントロールレジスタ	0xC00	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUMBIU	メモリバス 1 アクセスコントロールレジスタ	0xC10	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUFBIU	内部周辺バス 9 アクセスコントロールレジスタ	0xC14	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUSRAM0	メモリバス 4 アクセスコントロールレジスタ	0xC18	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUP0BIU	内部周辺バス 1 アクセスコントロールレジスタ	0xC20	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUP2BIU	内部周辺バス 3 アクセスコントロールレジスタ	0xC24	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUP6BIU	内部周辺バス 7 アクセスコントロールレジスタ	0xC28	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUOAD	スタックポインタモニタ検出後動作レジスタ	0xD00	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUCTL	スタックポインタモニタアクセスコントロールレジスタ	0xD04	16	R/W	0x0000	0xFEFF
MPU	-	-	-	MSPMPUPT	スタックポインタモニタ保護レジスタ	0xD06	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUSA	メインスタックポインタ (MSP) モニタ開始アドレスレジスタ	0xD08	32	R/W	0x00000000	0x00000000
MPU	-	-	-	MSPMPUEA	メインスタックポインタ (MSP) モニタ終了アドレスレジスタ	0xD0C	32	R/W	0x00000000	0x00000000
MPU	-	-	-	PSPMPUOAD	スタックポインタモニタ検出後動作レジスタ	0xD10	16	R/W	0x0000	0xFFFF
MPU	-	-	-	PSPMPUCTL	スタックポインタモニタアクセスコントロールレジスタ	0xD14	16	R/W	0x0000	0xFEFF
MPU	-	-	-	PSPMPUPT	スタックポインタモニタ保護レジスタ	0xD16	16	R/W	0x0000	0xFFFF
MPU	-	-	-	PSPMPUSA	プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ	0xD18	32	R/W	0x00000000	0x00000000
MPU	-	-	-	PSPMPUEA	プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ	0xD1C	32	R/W	0x00000000	0x00000000
SRAM	-	-	-	PARIOAD	SRAM パリティエラー検出後動作レジスタ	0x00	8	R/W	0x00	0xFF
SRAM	-	-	-	SRAMPRCR	SRAM プロテクトレジスタ	0x04	8	R/W	0x00	0xFF
BUS	-	-	-	BUSMCNTSYS	マスタバスコントロールレジスタ SYS	0x1008	16	R/W	0x0000	0xFFFF
BUS	-	-	-	BUSMCNTDMA	マスタバスコントロールレジスタ DMA	0x100C	16	R/W	0x0000	0xFFFF
BUS	-	-	-	BUS3ERRADD	バスエラーアドレスレジスタ 3	0x1820	32	R	0x00000000	0x00000000
BUS	-	-	-	BUS3ERRSTAT	バスエラーステータスレジスタ 3	0x1824	8	R	0x00	0xFE
BUS	-	-	-	BUS4ERRADD	バスエラーアドレスレジスタ 4	0x1830	32	R	0x00000000	0x00000000
BUS	-	-	-	BUS4ERRSTAT	バスエラーステータスレジスタ 4	0x1834	8	R	0x00	0xFE
DTC	-	-	-	DTCCR	DTC コントロールレジスタ	0x00	8	R/W	0x08	0xFF
DTC	-	-	-	DTCVBR	DTC ベクタベースレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
DTC	-	-	-	DTCST	DTC モジュール起動レジスタ	0x0C	8	R/W	0x00	0xFF
DTC	-	-	-	DTCSTS	DTC ステータスレジスタ	0x0E	16	R	0x0000	0xFFFF
ICU	8	0x1	0～7	IRQCR%s	IRQ コントロールレジスタ	0x000	8	R/W	0x00	0xFF
ICU	-	-	-	NMICR	NMI 端子割り込みコントロールレジスタ	0x100	8	R/W	0x00	0xFF

表 A3.4 レジスタの説明 (2/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ICU	-	-	-	NMIER	ノンマスカブル割り込みイネーブルレジスタ	0x120	16	R/W	0x0000	0xFFFF
ICU	-	-	-	NMICLR	ノンマスカブル割り込みステータスクリアレジスタ	0x130	16	R/W	0x0000	0xFFFF
ICU	-	-	-	NMISR	ノンマスカブル割り込みステータスレジスタ	0x140	16	R	0x0000	0xFFFF
ICU	-	-	-	WUPEN	ウェイクアップ割り込みイネーブルレジスタ	0x1A0	32	R/W	0x00000000	0xFFFFFFFF
ICU	-	-	-	IELEN	ICU イベントイネーブルレジスタ	0x1C0	8	R/W	0x00	0xFF
ICU	-	-	-	SELSR0	SYS イベントリンク設定レジスタ	0x200	16	R/W	0x0000	0xFFFF
ICU	32	0x4	0～31	IELSR%s	ICU イベントリンク設定レジスタ%s	0x300	32	R/W	0x00000000	0xFFFFFFFF
CPU_DBG	-	-	-	DBGSTR	デバッグステータスレジスタ	0x00	32	R	0x00000000	0xFFFFFFFF
CPU_DBG	-	-	-	DBGSTOPCR	デバッグストップコントロールレジスタ	0x10	32	R/W	0x00000003	0xFFFFFFFF
SYSC	-	-	-	SBYCR	スタンバイコントロールレジスタ	0x00C	16	R/W	0x0000	0xFFFF
SYSC	-	-	-	MSTPCRA	モジュールストップコントロールレジスタA	0x01C	32	R/W	0xFFBFFFFF	0xFFFFFFFF
SYSC	-	-	-	SCKDIVCR	システムクロック分周コントロールレジスタ	0x020	32	R/W	0x04000404	0xFFFFFFFF
SYSC	-	-	-	SCKSCR	システムクロックソースコントロールレジスタ	0x026	8	R/W	0x01	0xFF
SYSC	-	-	-	MEMWAIT	コードフラッシュメモリウェイトサイクルコントロールレジスタ	0x031	8	R/W	0x00	0xFF
SYSC	-	-	-	MOSCCR	メインクロック発振器コントロールレジスタ	0x032	8	R/W	0x01	0xFF
SYSC	-	-	-	HOCOCR	高速オンチップオシレータコントロールレジスタ	0x036	8	R/W	0x00	0xFE
SYSC	-	-	-	MOCOCR	中速オンチップオシレータコントロールレジスタ	0x038	8	R/W	0x00	0xFF
SYSC	-	-	-	OSCSF	発振安定フラグレジスタ	0x03C	8	R	0x00	0xFE
SYSC	-	-	-	CKOCR	クロックアウトコントロールレジスタ	0x03E	8	R/W	0x00	0xFF
SYSC	-	-	-	OSTDCR	発振停止検出コントロールレジスタ	0x040	8	R/W	0x00	0xFF
SYSC	-	-	-	OSTDSR	発振停止検出ステータスレジスタ	0x041	8	R/W	0x00	0xFF
SYSC	-	-	-	LPOPT	低消費電力動作コントロールレジスタ	0x04C	8	R/W	0x40	0xFF
SYSC	-	-	-	MOCOUTCR	MOCO ユーザートリミングコントロールレジスタ	0x061	8	R/W	0x00	0xFF
SYSC	-	-	-	HOCOUTCR	HOCO ユーザートリミングコントロールレジスタ	0x062	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZCR	スヌーズコントロールレジスタ	0x092	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZEDCR0	スヌーズ終了コントロールレジスタ 0	0x094	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZREQCR0	スヌーズ要求コントロールレジスタ 0	0x098	32	R/W	0x00000000	0xFFFFFFFF
SYSC	-	-	-	PSMCR	パワーセーブメモリコントロールレジスタ	0x09F	8	R/W	0x00	0xFF
SYSC	-	-	-	OPCCR	動作電力コントロールレジスタ	0x0A0	8	R/W	0x01	0xFF
SYSC	-	-	-	MOSCWTCR	メインクロック発振器ウェイトコントロールレジスタ	0x0A2	8	R/W	0x05	0xFF
SYSC	-	-	-	HOCOWTCR	高速オンチップオシレータウェイトコントロールレジスタ	0x0A5	8	R/W	0x05	0xFF
SYSC	-	-	-	SOPCCR	サブ動作電力コントロールレジスタ	0x0AA	8	R/W	0x00	0xFF
SYSC	-	-	-	RSTSR1	リセットステータスレジスタ 1	0x0C0	16	R/W	0x0000	0xE2F8
SYSC	-	-	-	LVD1CR1	電圧モニタ 1 回路コントロールレジスタ	0x0E0	8	R/W	0x01	0xFF
SYSC	-	-	-	LVD1SR	電圧モニタ 1 回路ステータスレジスタ	0x0E1	8	R/W	0x02	0xFF
SYSC	-	-	-	LVD2CR1	電圧モニタ 2 回路コントロールレジスタ 1	0x0E2	8	R/W	0x01	0xFF

表 A3.4 レジスタの説明 (3/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SYSC	-	-	-	LVD2SR	電圧モニタ 2 回路ステータスレジスタ	0x0E3	8	R/W	0x02	0xFF
SYSC	-	-	-	PRCR	プロテクトレジスタ	0x3FE	16	R/W	0x0000	0xFFFF
SYSC	-	-	-	SYOCDCR	システムコントロール OCD コントロールレジスタ	0x040E	8	R/W	0x00	0xFF
SYSC	-	-	-	RSTSR0	リセットステータスレジスタ 0	0x410	8	R/W	0x00	0xF0
SYSC	-	-	-	RSTSR2	リセットステータスレジスタ 2	0x411	8	R/W	0x00	0xFE
SYSC	-	-	-	MOMCR	メインクロック発振器モード発振コントロールレジスタ	0x413	8	R/W	0x00	0xFF
SYSC	-	-	-	LVCMPCR	電圧モニタ回路コントロールレジスタ	0x417	8	R/W	0x00	0xFF
SYSC	-	-	-	LVDLVLR	電圧検出レベル選択レジスタ	0x418	8	R/W	0x07	0xFF
SYSC	-	-	-	LVD1CR0	電圧モニタ 1 回路コントロールレジスタ 0	0x41A	8	R/W	0x80	0xF7
SYSC	-	-	-	LVD2CR0	電圧監視 2 回路コントロールレジスタ 0	0x41B	8	R/W	0x80	0xF7
SYSC	-	-	-	SOSCCR	サブクロック発振器コントロールレジスタ	0x480	8	R/W	0x01	0xFF
SYSC	-	-	-	SOMCR	サブクロック発振器モードコントロールレジスタ	0x481	8	R/W	0x00	0xFF
SYSC	-	-	-	SOMRG	サブクロック発振器マージンチェックレジスタ	0x482	8	R/W	0x00	0xFF
SYSC	-	-	-	LOCOCR	低速オンチップオシレータコントロールレジスタ	0x490	8	R/W	0x00	0xFF
SYSC	-	-	-	LOCOUTCR	LOCO ユーザートリミングコントロールレジスタ	0x492	8	R/W	0x00	0xFF
PORT0, 3-5, 9	-	-	-	PCNTR1	ポートコントロールレジスタ 1	0x000	32	R/W	0x00000000	0xFFFFFFFF
PORT0, 3-5, 9	-	-	-	PODR	ポートコントロールレジスタ 1	0x000	16	R/W	0x0000	0xFFFF
PORT0, 3-5, 9	-	-	-	PDR	ポートコントロールレジスタ 1	0x002	16	R/W	0x0000	0xFFFF
PORT0, 3-5, 9	-	-	-	PCNTR2	ポートコントロールレジスタ 2	0x004	32	R	0x00000000	0xFFFF0000
PORT0, 3-5, 9	-	-	-	PIDR	ポートコントロールレジスタ 2	0x006	16	R	0x0000	0x0000
PORT0, 3-5, 9	-	-	-	PCNTR3	ポートコントロールレジスタ 3	0x008	32	W	0x00000000	0xFFFFFFFF
PORT0, 3-5, 9	-	-	-	PORR	ポートコントロールレジスタ 3	0x008	16	W	0x0000	0xFFFF
PORT0, 3-5, 9	-	-	-	POSR	ポートコントロールレジスタ 3	0x00A	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR1	ポートコントロールレジスタ 1	0x000	32	R/W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	PODR	ポートコントロールレジスタ 1	0x000	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	PDR	ポートコントロールレジスタ 1	0x002	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR2	ポートコントロールレジスタ 2	0x004	32	R	0x00000000	0xFFFF0000
PORT1-2	-	-	-	EIDR	ポートコントロールレジスタ 2	0x004	16	R	0x0000	0xFFFF
PORT1-2	-	-	-	PIDR	ポートコントロールレジスタ 2	0x006	16	R	0x0000	0x0000
PORT1-2	-	-	-	PCNTR3	ポートコントロールレジスタ 3	0x008	32	W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	PORR	ポートコントロールレジスタ 3	0x008	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	POSR	ポートコントロールレジスタ 3	0x00A	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR4	ポートコントロールレジスタ 4	0x00C	32	R/W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	EORR	ポートコントロールレジスタ 4	0x00C	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	EOSR	ポートコントロールレジスタ 4	0x00E	16	R/W	0x0000	0xFFFF
PFS	9	0x4	0～8	P00%sPFS	ポート 00%s 端子機能選択レジスタ	0x000	32	R/W	0x00000000	0xFFFFFFFD
PFS	9	0x4	0～8	P00%sPFS_HA	ポート 00%s 端子機能選択レジスタ	0x002	16	R/W	0x0000	0xFFFD

表 A3.4 レジスタの説明 (4/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PFS	9	0x4	0～8	P00%sPFS_BY	ポート 00%s 端子機能選択レジスタ	0x003	8	R/W	0x00	0xFD
PFS	6	0x4	10～15	P0%sPFS	ポート 0%s 端子機能選択レジスタ	0x028	32	R/W	0x00000000	0xFFFFFFFD
PFS	6	0x4	10～15	P0%sPFS_HA	ポート 0%s 端子機能選択レジスタ	0x02A	16	R/W	0x0000	0xFFFD
PFS	6	0x4	10～15	P0%sPFS_BY	ポート 0%s 端子機能選択レジスタ	0x02B	8	R/W	0x00	0xFD
PFS	8	0x4	0～7	P10%sPFS	ポート 10%s 端子機能選択レジスタ	0x040	32	R/W	0x00000000	0xFFFFFFFD
PFS	8	0x4	0～7	P10%sPFS_HA	ポート 10%s 端子機能選択レジスタ	0x042	16	R/W	0x0000	0xFFFD
PFS	8	0x4	0～7	P10%sPFS_BY	ポート 10%s 端子機能選択レジスタ	0x043	8	R/W	0x00	0xFD
PFS	-	-	-	P108PFS	ポート 108 端子機能選択レジスタ	0x060	32	R/W	0x00010010	0xFFFFFFFD
PFS	-	-	-	P108PFS_HA	ポート 108 端子機能選択レジスタ	0x062	16	R/W	0x0010	0xFFFD
PFS	-	-	-	P108PFS_BY	ポート 108 端子機能選択レジスタ	0x063	8	R/W	0x10	0xFD
PFS	-	-	-	P109PFS	ポート 109 端子機能選択レジスタ	0x064	32	R/W	0x00000000	0xFFFFFFFD
PFS	-	-	-	P109PFS_HA	ポート 109 端子機能選択レジスタ	0x066	16	R/W	0x0000	0xFFFD
PFS	-	-	-	P109PFS_BY	ポート 109 端子機能選択レジスタ	0x067	8	R/W	0x00	0xFD
PFS	6	0x4	10～15	P1%sPFS	ポート 1%s 端子機能選択レジスタ	0x068	32	R/W	0x00000000	0xFFFFFFFD
PFS	6	0x4	10～15	P1%sPFS_HA	ポート 1%s 端子機能選択レジスタ	0x06A	16	R/W	0x0000	0xFFFD
PFS	6	0x4	10～15	P1%sPFS_BY	ポート 1%s 端子機能選択レジスタ	0x06B	8	R/W	0x00	0xFD
PFS	-	-	-	P200PFS	ポート 200 端子機能選択レジスタ	0x080	32	R/W	0x00000000	0xFFFFFFFD
PFS	-	-	-	P200PFS_HA	ポート 200 端子機能選択レジスタ	0x082	16	R/W	0x0000	0xFFFD
PFS	-	-	-	P200PFS_BY	ポート 200 端子機能選択レジスタ	0x083	8	R/W	0x00	0xFD
PFS	-	-	-	P201PFS	ポート 201 端子機能選択レジスタ	0x084	32	R/W	0x00000010	0xFFFFFFFD
PFS	-	-	-	P201PFS_HA	ポート 201 端子機能選択レジスタ	0x086	16	R/W	0x0010	0xFFFD
PFS	-	-	-	P201PFS_BY	ポート 201 端子機能選択レジスタ	0x087	8	R/W	0x10	0xFD
PFS	7	0x4	2～8	P20%sPFS	ポート 20%s 端子機能選択レジスタ	0x088	32	R/W	0x00000000	0xFFFFFFFD
PFS	7	0x4	2～8	P20%sPFS_HA	ポート 20%s 端子機能選択レジスタ	0x08A	16	R/W	0x0000	0xFFFD
PFS	7	0x4	2～8	P20%sPFS_BY	ポート 20%s 端子機能選択レジスタ	0x08B	8	R/W	0x00	0xFD
PFS	4	0x4	12～15	P2%sPFS	ポート 2%s 端子機能選択レジスタ	0x0B0	32	R/W	0x00000000	0xFFFFFFFD
PFS	4	0x4	12～15	P2%sPFS_HA	ポート 2%s 端子機能選択レジスタ	0x0B2	16	R/W	0x0000	0xFFFD
PFS	4	0x4	12～15	P2%sPFS_BY	ポート 2%s 端子機能選択レジスタ	0x0B3	8	R/W	0x00	0xFD
PFS	-	-	-	P300PFS	ポート 300 端子機能選択レジスタ	0x0C0	32	R/W	0x00010000	0xFFFFFFFD
PFS	-	-	-	P300PFS_HA	ポート 300 端子機能選択レジスタ	0x0C2	16	R/W	0x0000	0xFFFD
PFS	-	-	-	P300PFS_BY	ポート 300 端子機能選択レジスタ	0x0C3	8	R/W	0x00	0xFD
PFS	7	0x4	1～7	P30%sPFS	ポート 30%s 端子機能選択レジスタ	0x0C4	32	R/W	0x00000000	0xFFFFFFFD
PFS	7	0x4	1～7	P30%sPFS_HA	ポート 30%s 端子機能選択レジスタ	0x0C6	16	R/W	0x0000	0xFFFD
PFS	7	0x4	1～7	P30%sPFS_BY	ポート 30%s 端子機能選択レジスタ	0x0C7	8	R/W	0x00	0xFD
PFS	10	0x4	0～9	P40%sPFS	ポート 40%s 端子機能選択レジスタ	0x100	32	R/W	0x00000000	0xFFFFFFFD
PFS	10	0x4	0～9	P40%sPFS_HA	ポート 40%s 端子機能選択レジスタ	0x102	16	R/W	0x0000	0xFFFD
PFS	10	0x4	0～9	P40%sPFS_BY	ポート 40%s 端子機能選択レジスタ	0x103	8	R/W	0x00	0xFD
PFS	6	0x4	10～15	P4%sPFS	ポート 4%s 端子機能選択レジスタ	0x128	32	R/W	0x00000000	0xFFFFFFFD
PFS	6	0x4	10～15	P4%sPFS_HA	ポート 4%s 端子機能選択レジスタ	0x12A	16	R/W	0x0000	0xFFFD
PFS	6	0x4	10～15	P4%sPFS_BY	ポート 4%s 端子機能選択レジスタ	0x12B	8	R/W	0x00	0xFD
PFS	6	0x4	0～5	P50%sPFS	ポート 50%s 端子機能選択レジスタ	0x140	32	R/W	0x00000000	0xFFFFFFFD
PFS	6	0x4	0～5	P50%sPFS_HA	ポート 50%s 端子機能選択レジスタ	0x142	16	R/W	0x0000	0xFFFD
PFS	6	0x4	0～5	P50%sPFS_BY	ポート 50%s 端子機能選択レジスタ	0x143	8	R/W	0x00	0xFD
PFS	3	0x4	13～15	P90%sPFS	ポート 90%s 端子機能選択レジスタ	0x274	32	R/W	0x00000000	0xFFFFFFFD
PFS	3	0x4	13～15	P90%sPFS_HA	ポート 90%s 端子機能選択レジスタ	0x276	16	R/W	0x0000	0xFFFD

表 A3.4 レジスタの説明 (5/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PFS	3	0x4	13～15	P90%sPFS_BY	ポート 90%s 端子機能選択レジスタ	0x277	8	R/W	0x00	0xFD
PFS	-	-	-	PWPR	書き込み保護レジスタ	0x503	8	R/W	0x80	0xFF
PFS	-	-	-	PRWCNTR	ポート読み出しウェイトコントロールレジスタ	0x50F	8	R/W	0x01	0xFF
ELC	-	-	-	ELCR	イベントリンクコントローラレジスタ	0x00	8	R/W	0x00	0xFF
ELC	2	0x02	0～1	ELSEGR%s	イベントリンクソフトウェアイベント発生レジスタ%s	0x02	8	R/W	0x80	0xFF
ELC	4	0x04	0～3	ELSR%s	イベントリンク設定レジスタ%s	0x10	16	R/W	0x0000	0xFFFF
ELC	2	0x04	8～9	ELSR%s	イベントリンク設定レジスタ%s	0x30	16	R/W	0x0000	0xFFFF
ELC	2	0x04	14～15	ELSR%s	イベントリンク設定レジスタ%s	0x48	16	R/W	0x0000	0xFFFF
ELC	-	-	-	ELSR18	イベントリンク設定レジスタ 18	0x58	16	R/W	0x0000	0xFFFF
POEG	-	-	-	POEGGA	POEG グループ A 設定レジスタ	0x000	32	R/W	0x00000000	0xFFFFFFFF
POEG	-	-	-	POEGGB	POEG グループ B 設定レジスタ	0x100	32	R/W	0x00000000	0xFFFFFFFF
RTC	-	-	-	R64CNT	64 Hz カウンタ	0x00	8	R	0x00	0x00
RTC	4	0x02	0～3	BCNT%s	バイナリカウンタ%s	0x02	8	R/W	0x00	0x00
RTC	-	-	-	RSECCNT	秒カウンタ（カレンダーカウントモード時）	0x02	8	R/W	0x00	0x00
RTC	-	-	-	RMINCNT	分カウンタ（カレンダーカウントモード時）	0x04	8	R/W	0x00	0x00
RTC	-	-	-	RHRCNT	時カウンタ（カレンダーカウントモード時）	0x06	8	R/W	0x00	0x00
RTC	-	-	-	RWKCNT	曜日カウンタ（カレンダーカウントモード時）	0x08	8	R/W	0x00	0x00
RTC	-	-	-	RDAYCNT	日カウンタ	0x0A	8	R/W	0x00	0xC0
RTC	-	-	-	RMONCNT	月カウンタ	0x0C	8	R/W	0x00	0xE0
RTC	-	-	-	RYRCNT	年カウンタ	0x0E	16	R/W	0x0000	0xFF00
RTC	4	0x02	0～3	BCNT%sAR	バイナリカウンタ%s アラームレジスタ	0x10	8	R/W	0x00	0x00
RTC	-	-	-	RSECAR	秒アラームレジスタ（カレンダーカウントモード時）	0x10	8	R/W	0x00	0x00
RTC	-	-	-	RMINAR	分アラームレジスタ（カレンダーカウントモード時）	0x12	8	R/W	0x00	0x00
RTC	-	-	-	RHRAR	時アラームレジスタ（カレンダーカウントモード時）	0x14	8	R/W	0x00	0x00
RTC	-	-	-	RWKAR	曜日アラームレジスタ（カレンダーカウントモード時）	0x16	8	R/W	0x00	0x00
RTC	2	0x02	0～1	BCNT%sAER	バイナリカウンタ%s アラームイネーブルレジスタ	0x18	8	R/W	0x00	0x00
RTC	-	-	-	RDAYAR	日アラームレジスタ（カレンダーカウントモード時）	0x18	8	R/W	0x00	0x00
RTC	-	-	-	RMONAR	月アラームレジスタ（カレンダーカウントモード時）	0x1A	8	R/W	0x00	0x00
RTC	-	-	-	BCNT2AER	バイナリカウンタ 2 アラームイネーブルレジスタ	0x1C	16	R/W	0x0000	0xFF00
RTC	-	-	-	RYRAR	年アラームレジスタ（カレンダーカウントモード時）	0x1C	16	R/W	0x0000	0xFF00
RTC	-	-	-	BCNT3AER	バイナリカウンタ 3 アラームイネーブルレジスタ	0x1E	8	R/W	0x00	0x00
RTC	-	-	-	RYRAREN	年アラームイネーブルレジスタ（カレンダーカウントモード時）	0x1E	8	R/W	0x00	0x00
RTC	-	-	-	RCR1	RTC コントロールレジスタ 1	0x22	8	R/W	0x00	0x0A
RTC	-	-	-	RCR2	RTC コントロールレジスタ 2（カレンダーカウントモード時）	0x24	8	R/W	0x00	0x0E
RTC	-	-	-	RCR2	RTC コントロールレジスタ 2（バイナリカウントモード時）	0x24	8	R/W	0x00	0x0E
RTC	-	-	-	RCR4	RTC コントロールレジスタ 4	0x28	8	R/W	0x00	0x7E

表 A3.4 レジスタの説明 (6/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
RTC	-	-	-	RFRH	周波数レジスタ H	0x2A	16	R/W	0x0000	0xFFFE
RTC	-	-	-	RFRL	周波数レジスタ L	0x2C	16	R/W	0x0000	0x0000
RTC	-	-	-	RADJ	時間誤差補正レジスタ	0x2E	8	R/W	0x00	0x00
WDT	-	-	-	WDTRR	WDT リフレッシュレジスタ	0x00	8	R/W	0xFF	0xFF
WDT	-	-	-	WDTCR	WDT コントロールレジスタ	0x02	16	R/W	0x0000	0xFFFF
WDT	-	-	-	WDTSR	WDT ステータスレジスタ	0x04	16	R/W	0x0000	0xFFFF
WDT	-	-	-	WDTRCR	WDT リセットコントロールレジスタ	0x06	8	R/W	0x80	0xFF
WDT	-	-	-	WDTCSTPR	WDT カウント停止コントロールレジスタ	0x08	8	R/W	0x80	0xFF
IWDT	-	-	-	IWDTRR	IWDT リフレッシュレジスタ	0x00	8	R/W	0xFF	0xFF
IWDT	-	-	-	IWDTSR	IWDT ステータスレジスタ	0x04	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CACR0	CAC コントロールレジスタ 0	0x00	8	R/W	0x00	0xFF
CAC	-	-	-	CACR1	CAC コントロールレジスタ 1	0x01	8	R/W	0x00	0xFF
CAC	-	-	-	CACR2	CAC コントロールレジスタ 2	0x02	8	R/W	0x00	0xFF
CAC	-	-	-	CAICR	CAC 割り込みコントロールレジスタ	0x03	8	R/W	0x00	0xFF
CAC	-	-	-	CASTR	CAC ステータスレジスタ	0x04	8	R	0x00	0xFF
CAC	-	-	-	CAULVR	CAC 上限値設定レジスタ	0x06	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CALLVR	CAC 下限値設定レジスタ	0x08	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CACNTBR	CAC カウンタバッファレジスタ	0x0A	16	R	0x0000	0xFFFF
MSTP	-	-	-	MSTPCRB	モジュールストップコントロールレジスタ B	0x000	32	R/W	0xFFFFFFFF	0xFFFFFFFF
MSTP	-	-	-	MSTPCRC	モジュールストップコントロールレジスタ C	0x004	32	R/W	0xFFFFFFFF	0xFFFFFFFF
MSTP	-	-	-	MSTPCRD	モジュールストップコントロールレジスタ D	0x008	32	R/W	0xFFFFFFFF	0xFFFFFFFF
IIC0	-	-	-	ICCR1	I2C バスコントロールレジスタ 1	0x00	8	R/W	0x1F	0xFF
IIC0	-	-	-	ICCR2	I2C バスコントロールレジスタ 2	0x01	8	R/W	0x00	0xFF
IIC0	-	-	-	ICMR1	I2C バスモードレジスタ 1	0x02	8	R/W	0x08	0xFF
IIC0	-	-	-	ICMR2	I2C バスモードレジスタ 2	0x03	8	R/W	0x06	0xFF
IIC0	-	-	-	ICMR3	I2C バスモードレジスタ 3	0x04	8	R/W	0x00	0xFF
IIC0	-	-	-	ICFER	I2C バス機能イネーブルレジスタ	0x05	8	R/W	0x72	0xFF
IIC0	-	-	-	ICSER	I2C バスステータスイネーブルレジスタ	0x06	8	R/W	0x09	0xFF
IIC0	-	-	-	ICIER	I2C バス割り込みイネーブルレジスタ	0x07	8	R/W	0x00	0xFF
IIC0	-	-	-	ICSR1	I2C バスステータスレジスタ 1	0x08	8	R/W	0x00	0xFF
IIC0	-	-	-	ICSR2	I2C バスステータスレジスタ 2	0x09	8	R/W	0x00	0xFF
IIC0	3	0x02	0～2	SARL%s	スレーブアドレスレジスタ Ly	0x0A	8	R/W	0x00	0xFF
IIC0	3	0x02	0～2	SARU%s	スレーブアドレスレジスタ Uy	0x0B	8	R/W	0x00	0xFF
IIC0	-	-	-	ICBRL	I2C バスビットレート Low レジスタ	0x10	8	R/W	0xFF	0xFF
IIC0	-	-	-	ICBRH	I2C バスビットレート High レジスタ	0x11	8	R/W	0xFF	0xFF
IIC0	-	-	-	ICDRT	I2C バス送信データレジスタ	0x12	8	R/W	0xFF	0xFF
IIC0	-	-	-	ICDRR	I2C バス受信データレジスタ	0x13	8	R	0x00	0xFF
IIC0WU	-	-	-	ICWUR	I2C バスウェイクアップユニットレジスタ	0x02	8	R/W	0x10	0xFF
IIC0WU	-	-	-	ICWUR2	I2C バスウェイクアップユニットレジスタ 2	0x03	8	R/W	0xFD	0xFF
DOC	-	-	-	DOCR	DOC コントロールレジスタ	0x00	8	R/W	0x00	0xFF
DOC	-	-	-	DODIR	DOC データ入力レジスタ	0x02	16	R/W	0x0000	0xFFFF
DOC	-	-	-	DODSR	DOC データ設定レジスタ	0x04	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCSR	A/D コントロールレジスタ	0x000	16	R/W	0x0000	0xFFFF

表 A3.4 レジスタの説明 (7/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC12	-	-	-	ADANSA0	A/D チャネル選択レジスタ A0	0x004	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSA1	A/D チャネル選択レジスタ A1	0x006	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADADS0	A/D 変換値加算／平均チャネル選択レジスタ 0	0x008	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADADS1	A/D 変換値加算／平均チャネル選択レジスタ 1	0x00A	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADADC	A/D 変換値加算／平均回数選択レジスタ	0x00C	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCER	A/D コントロール拡張レジスタ	0x00E	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADSTRGR	A/D 変換開始トリガ選択レジスタ	0x010	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADEXICR	A/D 変換拡張入力コントロールレジスタ	0x012	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSB0	A/D チャネル選択レジスタ B0	0x014	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSB1	A/D チャネル選択レジスタ B1	0x016	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDR	A/D データ 2 重化レジスタ	0x018	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADTSDR	A/D 温度センサデータレジスタ	0x01A	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADOCDR	A/D 内部基準電圧データレジスタ	0x01C	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADRD	A/D 自己診断データレジスタ	0x01E	16	R	0x0000	0xFFFF
ADC12	11	0x2	0～10	ADDR%s	A/D データレジスタ%s	0x020	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADCTDR	A/D CTSU TSCAP 電圧データレジスタ	0x040	16	R	0x0000	0xFFFF
ADC12	6	0x2	17～22	ADDR%s	A/D データレジスタ%s	0x042	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADDISCR	A/D 断線検出コントロールレジスタ	0x07A	8	R/W	0x00	0xFF
ADC12	-	-	-	ADACSR	A/D 変換動作モード選択レジスタ	0x07E	8	R/W	0x00	0xFF
ADC12	-	-	-	ADGSPCR	A/D グループスキャン優先コントロールレジスタ	0x080	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDRA	A/D データ 2 重化レジスタ A	0x084	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDRB	A/D データ 2 重化レジスタ B	0x086	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADHVREFCNT	A/D 高電位／低電位基準電圧コントロールレジスタ	0x08A	8	R/W	0x00	0xFF
ADC12	-	-	-	ADWINMON	A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ	0x08C	8	R	0x00	0xFF
ADC12	-	-	-	ADCMPCR	A/D コンペア機能コントロールレジスタ	0x090	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPANSER	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ	0x092	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPLER	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ	0x093	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPANSR0	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0	0x094	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPANSR1	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1	0x096	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPLR0	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0	0x098	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPLR1	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1	0x09A	16	R/W	0x0000	0xFFFF
ADC12	2	0x2	0～1	ADCMPDR%s	A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ	0x09C	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPSR0	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0	0x0A0	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPSR1	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1	0x0A2	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPSER	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ	0x0A4	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPBNSR	A/D コンペア機能ウィンドウ B チャネル選択レジスタ	0x0A6	8	R/W	0x00	0xFF

表 A3.4 レジスタの説明 (8/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC12	-	-	-	ADWINLLB	A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ	0x0A8	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADWINULB	A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ	0x0AA	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPBSR	A/D コンペア機能ウィンドウ B ステータスレジスタ	0x0AC	8	R/W	0x00	0xFF
ADC12	-	-	-	ADSSTRL	A/D サンプリングステートレジスタ	0x0DD	8	R/W	0x0D	0xFF
ADC12	-	-	-	ADSSTRT	A/D サンプリングステートレジスタ	0x0DE	8	R/W	0x0D	0xFF
ADC12	-	-	-	ADSSTRO	A/D サンプリングステートレジスタ	0x0DF	8	R/W	0x0D	0xFF
ADC12	11	0x1	0～10	ADSSTR%s	A/D サンプリングステートレジスタ	0x0E0	8	R/W	0x0D	0xFF
SCI0	-	-	-	SMR	非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)	0x00	8	R/W	0x00	0xFF
SCI0	-	-	-	SMR_SMCI	スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)	0x00	8	R/W	0x00	0xFF
SCI0	-	-	-	BRR	ビットレートレジスタ	0x01	8	R/W	0xFF	0xFF
SCI0	-	-	-	SCR	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)	0x02	8	R/W	0x00	0xFF
SCI0	-	-	-	SCR_SMCI	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)	0x02	8	R/W	0x00	0xFF
SCI0	-	-	-	TDR	送信データレジスタ	0x03	8	R/W	0xFF	0xFF
SCI0	-	-	-	SSR	非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0 および FCR.FM = 0）	0x04	8	R/W	0x84	0xFF
SCI0	-	-	-	SSR_FIFO	非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0 および FCR.FM = 1）	0x04	8	R/W	0x80	0xFD
SCI0	-	-	-	SSR_SMCI	スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1)	0x04	8	R/W	0x84	0xFF
SCI0	-	-	-	RDR	受信データレジスタ	0x05	8	R/W	0x00	0xFF
SCI0	-	-	-	SCMR	スマートカードモードレジスタ	0x06	8	R/W	0xF2	0xFF
SCI0	-	-	-	SEMR	シリアル拡張モードレジスタ	0x07	8	R/W	0x00	0xFF
SCI0	-	-	-	SNFR	ノイズフィルタ設定レジスタ	0x08	8	R/W	0x00	0xFF
SCI0	-	-	-	SIMR1	IIC モードレジスタ 1	0x09	8	R/W	0x00	0xFF
SCI0	-	-	-	SIMR2	IIC モードレジスタ 2	0x0A	8	R/W	0x00	0xFF
SCI0	-	-	-	SIMR3	IIC モードレジスタ 3	0x0B	8	R/W	0x00	0xFF
SCI0	-	-	-	SISR	IIC ステータスレジスタ	0x0C	8	R	0x00	0xCB
SCI0	-	-	-	SPMR	SPI モードレジスタ	0x0D	8	R/W	0x00	0xFF
SCI0	-	-	-	TDRHL	送信データレジスタ	0x0E	16	R/W	0xFFFF	0xFFFF
SCI0	-	-	-	FRDRHL	受信 FIFO データレジスタ	0x10	16	R	0x0000	0xFFFF
SCI0	-	-	-	FTDRHL	送信 FIFO データレジスタ	0x0E	16	W	0xFFFF	0xFFFF
SCI0	-	-	-	RDRHL	受信データレジスタ	0x10	16	R	0x0000	0xFFFF
SCI0	-	-	-	FRDRH	受信 FIFO データレジスタ	0x10	8	R	0x00	0xFF
SCI0	-	-	-	FTDRH	送信 FIFO データレジスタ	0x0E	8	W	0xFF	0xFF
SCI0	-	-	-	FRDRL	受信 FIFO データレジスタ	0x11	8	R	0x00	0xFF
SCI0	-	-	-	FTDRL	送信 FIFO データレジスタ	0x0F	8	W	0xFF	0xFF
SCI0	-	-	-	MDDR	変調デューティーレジスタ	0x12	8	R/W	0xFF	0xFF
SCI0	-	-	-	DCCR	データコンペアマッチコントロールレジスタ	0x13	8	R/W	0x40	0xFF

表 A3.4 レジスタの説明 (9/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SCI0	-	-	-	FCR	FIFO コントロールレジスタ	0x14	16	R/W	0xF800	0xFFFF
SCI0	-	-	-	FDR	FIFO データ数レジスタ	0x16	16	R	0x0000	0xFFFF
SCI0	-	-	-	LSR	ラインステータスレジスタ	0x18	16	R	0x0000	0xFFFF
SCI0	-	-	-	CDR	コンペアマッチデータレジスタ	0x1A	16	R/W	0x0000	0xFFFF
SCI0	-	-	-	SPTR	シリアルポートレジスタ	0x1C	8	R/W	0x03	0xFF
SCI1-2, 9	-	-	-	SMR	非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)	0x00	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	SMR_SMCI	スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)	0x00	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	BRR	ビットレートレジスタ	0x01	8	R/W	0xFF	0xFF
SCI1-2, 9	-	-	-	SCR	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)	0x02	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	SCR_SMCI	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)	0x02	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	TDR	送信データレジスタ	0x03	8	R/W	0xFF	0xFF
SCI1-2, 9	-	-	-	SSR	非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ （SCMR.SMIF = 0 および FCR.FM = 0）	0x04	8	R/W	0x84	0xFF
SCI1-2, 9	-	-	-	SSR_SMCI	スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1)	0x04	8	R/W	0x84	0xFF
SCI1-2, 9	-	-	-	RDR	受信データレジスタ	0x05	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	SCMR	スマートカードモードレジスタ	0x06	8	R/W	0xF2	0xFF
SCI1-2, 9	-	-	-	SEMR	シリアル拡張モードレジスタ	0x07	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	SNFR	ノイズフィルタ設定レジスタ	0x08	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	SIMR1	IIC モードレジスタ 1	0x09	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	SIMR2	IIC モードレジスタ 2	0x0A	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	SIMR3	IIC モードレジスタ 3	0x0B	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	SISR	IIC ステータスレジスタ	0x0C	8	R	0x00	0xCB
SCI1-2, 9	-	-	-	SPMR	SPI モードレジスタ	0x0D	8	R/W	0x00	0xFF
SCI1-2, 9	-	-	-	TDRHL	送信データレジスタ	0x0E	16	R/W	0xFFFF	0xFFFF
SCI1-2, 9	-	-	-	RDRHL	受信データレジスタ	0x10	16	R	0x0000	0xFFFF
SCI1-2, 9	-	-	-	MDDR	変調デューティーレジスタ	0x12	8	R/W	0xFF	0xFF
SCI1-2, 9	-	-	-	DCCR	データコンペアマッチコントロールレジスタ	0x13	8	R/W	0x40	0xFF
SCI1-2, 9	-	-	-	CDR	コンペアマッチデータレジスタ	0x1A	16	R/W	0x0000	0xFFFF
SCI1-2, 9	-	-	-	SPTR	シリアルポートレジスタ	0x1C	8	R/W	0x03	0xFF
SPI0	-	-	-	SPCR	SPI コントロールレジスタ	0x00	8	R/W	0x00	0xFF
SPI0	-	-	-	SSLP	SPI スレーブ選択極性レジスタ	0x01	8	R/W	0x00	0xFF
SPI0	-	-	-	SPPCR	SPI 端子コントロールレジスタ	0x02	8	R/W	0x00	0xFF
SPI0	-	-	-	SPSR	SPI ステータスレジスタ	0x03	8	R/W	0x20	0xFF
SPI0	-	-	-	SPDR	SPI データレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
SPI0	-	-	-	SPDR_HA	SPI データレジスタ	0x04	16	R/W	0x0000	0xFFFF
SPI0	-	-	-	SPBR	SPI ビットレートレジスタ	0x0A	8	R/W	0xFF	0xFF
SPI0	-	-	-	SPDCR	SPI データコントロールレジスタ	0x0B	8	R/W	0x00	0xFF
SPI0	-	-	-	SPCKD	SPI クロック遅延レジスタ	0x0C	8	R/W	0x00	0xFF
SPI0	-	-	-	SSLND	SPI スレーブ選択ネゲート遅延レジスタ	0x0D	8	R/W	0x00	0xFF

表 A3.4 レジスタの説明 (10/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SPI0	-	-	-	SPND	SPI 次アクセス遅延レジスタ	0x0E	8	R/W	0x00	0xFF
SPI0	-	-	-	SPCR2	SPI コントロールレジスタ 2	0x0F	8	R/W	0x00	0xFF
SPI0	-	-	-	SPCMD0	SPI コマンドレジスタ 0	0x10	16	R/W	0x070D	0xFFFF
CRC	-	-	-	CRCCR0	CRC コントロールレジスタ 0	0x00	8	R/W	0x00	0xFF
CRC	-	-	-	CRCCR1	CRC コントロールレジスタ 1	0x01	8	R/W	0x00	0xFF
CRC	-	-	-	CRCDIR	CRC データインプットレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
CRC	-	-	-	CRCDIR_BY	CRC データインプットレジスタ	0x04	8	R/W	0x00	0xFF
CRC	-	-	-	CRCDOR	CRC データ出力レジスタ	0x08	32	R/W	0x00000000	0xFFFFFFFF
CRC	-	-	-	CRCDOR_HA	CRC データ出力レジスタ	0x08	16	R/W	0x0000	0xFFFF
CRC	-	-	-	CRCDOR_BY	CRC データ出力レジスタ	0x08	8	R/W	0x00	0xFF
CRC	-	-	-	CRCSAR	スヌープアドレスレジスタ	0x0C	16	R/W	0x0000	0xFFFF
GPT320	-	-	-	GTWP	汎用 PWM タイマ書き込み保護レジスタ	0x00	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTSTR	汎用 PWM タイマソフトウェアスタートレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTSTP	汎用 PWM タイマソフトウェアストップレジスタ	0x08	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT320	-	-	-	GTCLR	汎用 PWM タイマソフトウェアクリアレジスタ	0x0C	32	W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTSSR	汎用 PWM タイマスタート要因選択レジスタ	0x10	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTPSR	汎用 PWM タイマストップ要因選択レジスタ	0x14	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTCSR	汎用 PWM タイマクリア要因選択レジスタ	0x18	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTUPSR	汎用 PWM タイマアップカウント要因選択レジスタ	0x1C	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTDNSR	汎用 PWM タイマダウンカウント要因選択レジスタ	0x20	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTICASR	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A	0x24	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTICBSR	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B	0x28	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTCR	汎用 PWM タイマコントロールレジスタ	0x2C	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTUDDTYC	汎用 PWM タイマカウント方向およびデューティー設定レジスタ	0x30	32	R/W	0x00000001	0xFFFFFFFF
GPT320	-	-	-	GTIOR	汎用 PWM タイマ I/O コントロールレジスタ	0x34	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTINTAD	汎用 PWM タイマ割り込み出力設定レジスタ	0x38	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTST	汎用 PWM タイマステータスレジスタ	0x3C	32	R/W	0x00008000	0xFFFFFFFF
GPT320	-	-	-	GTBER	汎用 PWM タイマバッファイネーブルレジスタ	0x40	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTCNT	汎用 PWM タイマカウンタ	0x48	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTCCRA	汎用 PWM タイマコンペアキャプチャレジスタ A	0x4C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT320	-	-	-	GTCCRB	汎用 PWM タイマコンペアキャプチャレジスタ B	0x50	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT320	-	-	-	GTCCRC	汎用 PWM タイマコンペアキャプチャレジスタ C	0x54	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT320	-	-	-	GTCCRE	汎用 PWM タイマコンペアキャプチャレジスタ E	0x58	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT320	-	-	-	GTCCRD	汎用 PWM タイマコンペアキャプチャレジスタ D	0x5C	32	R/W	0xFFFFFFFF	0xFFFFFFFF

表 A3.4 レジスタの説明 (11/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GPT320	-	-	-	GTCCRF	汎用 PWM タイマコンペアキャプチャレジスタ F	0x60	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT320	-	-	-	GTPR	汎用 PWM タイマ周期設定レジスタ	0x64	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT320	-	-	-	GTPBR	汎用 PWM タイマ周期設定バッファレジスタ	0x68	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT320	-	-	-	GTDTCR	汎用 PWM タイマデッドタイムコントロールレジスタ	0x88	32	R/W	0x00000000	0xFFFFFFFF
GPT320	-	-	-	GTDVU	汎用 PWM タイマデッドタイム値レジスタ U	0x8C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTWP	汎用 PWM タイマ書き込み保護レジスタ	0x00	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSTR	汎用 PWM タイマソフトウェアスタートレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSTP	汎用 PWM タイマソフトウェアストップレジスタ	0x08	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCLR	汎用 PWM タイマソフトウェアクリアレジスタ	0x0C	32	W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSSR	汎用 PWM タイマスタート要因選択レジスタ	0x10	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTPSR	汎用 PWM タイマストップ要因選択レジスタ	0x14	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCSR	汎用 PWM タイマクリア要因選択レジスタ	0x18	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTUPSR	汎用 PWM タイマアップカウント要因選択レジスタ	0x1C	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTDNSR	汎用 PWM タイマダウンカウント要因選択レジスタ	0x20	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTICASR	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A	0x24	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTICBSR	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B	0x28	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCR	汎用 PWM タイマコントロールレジスタ	0x2C	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTUDDTYC	汎用 PWM タイマカウント方向およびデューティー設定レジスタ	0x30	32	R/W	0x00000001	0xFFFFFFFF
GPT164-9	-	-	-	GTIOR	汎用 PWM タイマ I/O コントロールレジスタ	0x34	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTINTAD	汎用 PWM タイマ割り込み出力設定レジスタ	0x38	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTST	汎用 PWM タイマステータスレジスタ	0x3C	32	R/W	0x00008000	0xFFFFFFFF
GPT164-9	-	-	-	GTBER	汎用 PWM タイマバッファイネーブルレジスタ	0x40	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCNT	汎用 PWM タイマカウンタ	0x48	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRA	汎用 PWM タイマコンペアキャプチャレジスタ A	0x4C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRB	汎用 PWM タイマコンペアキャプチャレジスタ B	0x50	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRC	汎用 PWM タイマコンペアキャプチャレジスタ C	0x54	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRE	汎用 PWM タイマコンペアキャプチャレジスタ E	0x58	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRD	汎用 PWM タイマコンペアキャプチャレジスタ D	0x5C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRF	汎用 PWM タイマコンペアキャプチャレジスタ F	0x60	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTPR	汎用 PWM タイマ周期設定レジスタ	0x64	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTPBR	汎用 PWM タイマ周期設定バッファレジスタ	0x68	32	R/W	0xFFFFFFFF	0xFFFFFFFF

表 A3.4 レジスタの説明 (12/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GPT164-9	-	-	-	GTDTCR	汎用 PWM タイマデッドタイムコントロールレジスタ	0x88	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTDVU	汎用 PWM タイマデッドタイム値レジスタ U	0x8C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT_OPS	-	-	-	OPSCR	出力相切り替えコントロールレジスタ	0x00	32	R/W	0x00000000	0xFFFFFFFF
KINT	-	-	-	KRCTL	キーリターンコントロールレジスタ	0x00	8	R/W	0x00	0xFF
KINT	-	-	-	KRF	キーリターンフラグレジスタ	0x04	8	R/W	0x00	0xFF
KINT	-	-	-	KRM	キーリターンモードレジスタ	0x08	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCRA	CTSU コントロールレジスタ A	0x00	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUCRAL	CTSU コントロールレジスタ A	0x00	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUCR0	CTSU コントロールレジスタ A	0x00	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCR1	CTSU コントロールレジスタ A	0x01	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCR2	CTSU コントロールレジスタ A	0x02	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCR3	CTSU コントロールレジスタ A	0x03	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCRB	CTSU コントロールレジスタ B	0x04	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUCRBL	CTSU コントロールレジスタ B	0x04	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSDPRS	CTSU コントロールレジスタ B	0x04	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUSST	CTSU コントロールレジスタ B	0x05	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCRBH	CTSU コントロールレジスタ B	0x06	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUDCLKC	CTSU コントロールレジスタ B	0x07	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUMCH	CTSU 計測チャネルレジスタ	0x08	32	R/W	0x00003F3F	0xFFFFFFFF
CTSU	-	-	-	CTSUMCHL	CTSU 計測チャネルレジスタ	0x08	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUMCH0	CTSU 計測チャネルレジスタ	0x08	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUMCH1	CTSU 計測チャネルレジスタ	0x09	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUMCHH	CTSU 計測チャネルレジスタ	0x0A	16	R/W	0x3F3F	0xFFFF
CTSU	-	-	-	CTSUMFAF	CTSU 計測チャネルレジスタ	0x0A	8	R/W	0x3F	0xFF
CTSU	-	-	-	CTSUCHACA	CTSU チャネルイネーブルコントロールレジスタ A	0x0C	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUCHACAL	CTSU チャネルイネーブルコントロールレジスタ A	0x0C	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUCHAC0	CTSU チャネルイネーブルコントロールレジスタ A	0x0C	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHAC1	CTSU チャネルイネーブルコントロールレジスタ A	0x0D	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHACAH	CTSU チャネルイネーブルコントロールレジスタ A	0x0E	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUCHAC2	CTSU チャネルイネーブルコントロールレジスタ A	0x0E	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHAC3	CTSU チャネルイネーブルコントロールレジスタ A	0x0F	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHACB	CTSU チャネルイネーブルコントロールレジスタ B	0x10	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUCHACBL	CTSU チャネルイネーブルコントロールレジスタ B	0x10	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUCHAC4	CTSU チャネルイネーブルコントロールレジスタ B	0x10	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHTRCA	CTSU チャネル送受信コントロールレジスタ A	0x14	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUCHTRCAL	CTSU チャネル送受信コントロールレジスタ A	0x14	16	R/W	0x0000	0xFFFF

表 A3.4 レジスタの説明 (13/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
CTSU	-	-	-	CTSUCHTRC0	CTSU チャネル送受信コントロールレジスタ A	0x14	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHTRC1	CTSU チャネル送受信コントロールレジスタ A	0x15	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHTRCAH	CTSU チャネル送受信コントロールレジスタ A	0x16	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUCHTRC2	CTSU チャネル送受信コントロールレジスタ A	0x16	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHTRC3	CTSU チャネル送受信コントロールレジスタ A	0x17	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUCHTRCB	CTSU チャネル送受信コントロールレジスタ B	0x18	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUCHTRCBL	CTSU チャネル送受信コントロールレジスタ B	0x18	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUCHTRC4	CTSU チャネル送受信コントロールレジスタ B	0x18	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUSR	CTSU ステータスレジスタ	0x1C	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUSRL	CTSU ステータスレジスタ	0x1C	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSR0	CTSU ステータスレジスタ	0x1C	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUST	CTSU ステータスレジスタ	0x1D	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUSRH	CTSU ステータスレジスタ	0x1E	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSR2	CTSU ステータスレジスタ	0x1E	8	R/W	0x00	0xFF
CTSU	-	-	-	CTSUSO	CTSU センサオフセットレジスタ	0x20	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUSO0	CTSU センサオフセットレジスタ	0x20	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSO1	CTSU センサオフセットレジスタ	0x22	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSCNT	CTSU センサカウンタレジスタ	0x24	32	R	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUSC	CTSU センサカウンタレジスタ	0x24	16	R	0x0000	0xFFFF
CTSU	-	-	-	CTSUCALIB	CTSU キャリブレーションレジスタ	0x28	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUDBGR0	CTSU キャリブレーションレジスタ	0x28	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUDBGR1	CTSU キャリブレーションレジスタ	0x2A	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSUCLKA	CTSU センサユニットクロックコントロールレジスタ A	0x2C	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUSUCLK0	CTSU センサユニットクロックコントロールレジスタ A	0x2C	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSUCLK1	CTSU センサユニットクロックコントロールレジスタ A	0x2E	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSUCLKB	CTSU センサユニットクロックコントロールレジスタ B	0x30	32	R/W	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUSUCLK2	CTSU センサユニットクロックコントロールレジスタ B	0x30	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUSUCLK3	CTSU センサユニットクロックコントロールレジスタ B	0x32	16	R/W	0x0000	0xFFFF
CTSU	-	-	-	CTSUCFCCNT	CTSU CFC カウンタレジスタ	0x34	32	R	0x00000000	0xFFFFFFFF
CTSU	-	-	-	CTSUCFCCNTL	CTSU CFC カウンタレジスタ	0x34	16	R	0x0000	0xFFFF
AGT0-1	-	-	-	AGT	AGT カウンタレジスタ	0x00	16	R/W	0xFFFF	0xFFFF
AGT0-1	-	-	-	AGTCMB	AGT コンペアマッチ B レジスタ	0x04	16	R/W	0xFFFF	0xFFFF
AGT0-1	-	-	-	AGTCMA	AGT コンペアマッチ A レジスタ	0x02	16	R/W	0xFFFF	0xFFFF
AGT0-1	-	-	-	AGTCR	AGT コントロールレジスタ	0x08	8	R/W	0x00	0xFF
AGT0-1	-	-	-	AGTMR1	AGT モードレジスタ 1	0x09	8	R/W	0x00	0xFF
AGT0-1	-	-	-	AGTMR2	AGT モードレジスタ 2	0x0A	8	R/W	0x00	0xFF
AGT0-1	-	-	-	AGTIOC	AGT I/O コントロールレジスタ	0x0C	8	R/W	0x00	0xFF

表 A3.4 レジスタの説明 (14/14)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
AGT0-1	-	-	-	AGTISR	AGT イベント端子選択レジスタ	0x0D	8	R/W	0x00	0xFF
AGT0-1	-	-	-	AGTCMSR	AGT コンペアマッチ機能選択レジスタ	0x0E	8	R/W	0x00	0xFF
AGT0-1	-	-	-	AGTIOSEL	AGT 端子選択レジスタ	0x00F	8	R/W	0x00	0xFF
ACMPLP	-	-	-	COMPMDR	ACMPLP モード設定レジスタ	0x00	8	R/W	0x00	0xFF
ACMPLP	-	-	-	COMPFIR	ACMPLP フィルタコントロールレジスタ	0x01	8	R/W	0x00	0xFF
ACMPLP	-	-	-	COMPOCR	ACMPLP 出力コントロールレジスタ	0x02	8	R/W	0x00	0xFF
FLCN	-	-	-	DFLCTL	データフラッシュイネーブルレジスタ	0x0090	8	R/W	0x00	0xFF
FLCN	-	-	-	TSCDR	温度センサ校正データレジスタ	0x0228	16	R	チップごとのユニーク値	0x0000
FLCN	-	-	-	CTSUTRIMA	CTSU トリミングレジスタ A	0x03A4	32	R/W	チップごとのユニーク値	0x00000000
FLCN	-	-	-	FLDWAITR	データフラッシュメモリウェイトサイクルコントロールレジスタ	0x3FC4	8	R/W	0x00	0xFF
FLCN	-	-	-	PFBER	プリフェッチバッファイネーブルレジスタ	0x3FC8	8	R/W	0x00	0xFF

注. 周辺機能名 = 周辺機能の名称
Dim = レジスタ配列内のエレメント数
Dim inc. = アドレスマップにおけるレジスタ配列の 2 つの同期レジスタ間のアドレスインクリメント
Dim index = レジスタ名内の%s プレースホルダーに入るサブ文字列
レジスタ名 = レジスタの名称
説明 = レジスタの説明
アドレスオフセット = レジスタの周辺機能により定義されるベースアドレスからの相対レジスタアドレス
サイズ = レジスタのビット幅
リセット値 = レジスタのデフォルトリセット値
リセットマスク = 定義されたリセット値を持つレジスタを識別します。

改訂履歴

Revision 1.00 — 2020 年 11 月 30 日

初版発行

Revision 1.10 — 2021 年 1 月 15 日

1. 概要：
- 表 1.3 システムのリセットの機能の説明を更新
- 1.3 型名および 1.4 機能の比較において、コードフラッシュメモリ 96 KB を削除
- 表 1.15 端子一覧で TSCAP_C から TSCAP へ変更（付録 1 の表 1.1 も同様）

付録 2. 外形寸法図：
- 図 2.4 HWQFN 48 ピンを追加
- 図 2.6 HWQFN 32 ピンを追加

Revision 1.20 — 2022 年 3 月 31 日

1. 概要：
- 表 1.12 I/O ポートを追加
- 図 1.2 型名の読み方を更新
- 表 1.13 製品一覧を更新
- 表 1.14 機能の比較を更新
- 図 1.5 48 ピン LQFP/QFN のピン配置図（上面図）に注を追加
- 図 1.7 32 ピン LQFP/QFN のピン配置図（上面図）に注を追加
- 表 1.15 端子一覧の注 1 を削除

2. 電気的特性：
- 表 2.4 I/O V_{IH}, V_{IL} を更新
- 表 2.11 動作電流とスタンバイ電流 (2) を更新
- 表 2.46 パワーオンリセット回路、電圧検出回路の特性 (1) の注 2 を更新

付録 2. 外形寸法図：
- 図 2.7 WFLGA36 ピンを追加
- 図 2.8 VFBGA64 ピンを追加
- 図 2.9 WLCSP25 ピンを追加

Revision 1.21 — 2022 年 3 月 31 日

改訂履歴：
Revision 1.20 の改訂記録の概要章の記載に誤記があるので、以下のように修正
- 1 行目で表 1.12 I/O ポートを表 1.11 I/O ポートに修正
- 3 行目で表 1.13 製品一覧を表 1.12 製品一覧に修正
- 4 行目で表 1.14 機能の比較を表 1.13 機能の比較に修正

Revision 1.30 — 2023 年 2 月 17 日

0. 特長
- 特長を更新

1. 概要：
- 1.3 型名を更新
- 表 1.13 機能の比較を更新
- 表 1.15 端子一覧を更新

2. 電気的特性：
- 表 2.4 I/O V_{IH}, V_{IL} を更新
- 表 2.5 I/O I_{OH}, I_{OL} を更新
- 表 2.32 SPI タイミングを更新
- 2.10.1 コードフラッシュメモリ特性と 2.10.2 データフラッシュメモリ特性を更新

付録 2. 外形寸法図：
- 図 2.1 LQFP 64 ピン 0.5 mm ピッチ (1) の図のタイトルを更新
- 図 2.2 LQFP 64 ピン 0.5 mm ピッチ (2) を追加
- 図 2.4 LQFP 48 ピン (1) の図のタイトルを更新
- 図 2.5 LQFP 48 ピン (2) を追加
- 図 2.7 LQFP 32 ピン (1) の図のタイトルを更新
- 図 2.8 LQFP 32 ピン (2) を追加
- 図 2.9 WLCSP 25 ピンを削除

Revision 1.30 — 2023 年 2 月 17 日

付録 3. I/O レジスタ：
- 表 3.4 レジスタの説明を更新

Revision 1.40 — 2023 年 11 月 30 日

1. 概要：
- 図 1.2 型名の読み方を更新
- 図 1.5 48 ピン LQFP/QFN のピン配置図（上面図）の注を更新
- 図 1.7 32 ピン LQFP/QFN のピン配置図（上面図）の注を更新
- 表 1.12 製品一覧を更新

2. 電気的特性：
- 表 2.4 I/O V_{IH}, V_{IL} を更新
- 2.2.7 熱特性を追加

付録 2. 外形寸法図：
- 図 2.3 LQFP 64 ピン 0.8mm ピッチの図タイトルを更新
- 図 2.12 WLCSP 25 ピンを追加

Revision 1.50 — 2024 年 8 月 7 日

1. 概要：
- 表 1.11 I/O ポートを更新
- 図 1.2 型名の読み方を更新
- 表 1.12 製品一覧を更新
- 表 1.13 機能の比較を更新
- 図 1.3 64 ピン LQFP/QFN のピン配置図（上面図）を更新
- 表 1.15 端子一覧を更新

2. 電気的特性：
- 表 2.23 低消費電力モードからの復帰タイミング (2) を更新
- 表 2.24 低消費電力モードからの復帰タイミング (3) を更新
- 表 2.51 コードフラッシュ特性 (1) の注 3 を更新
- 表 2.55 データフラッシュ特性 (1) の注 3 を更新

付録 2. 外形寸法図：
- 図 2.13 HWQFN 64 ピンを追加

付録 3. I/O レジスタ：
- 表 3.4 レジスタの説明を更新

Revision 1.60 — 2025 年 10 月 24 日

2. 電気的特性：
- 表 2.3 推奨動作条件を追加
- 表 2.16 熱抵抗を更新
- 表 2.50 VCC 電源リップルノイズによる計測静電容量の減少特性を追加

Revision 1.70 — 2025 年 10 月 31 日

2. 電気的特性：
- 表 2.50 VCC 電源リップルノイズによる計測静電容量の減少特性（参考値）を更新

Revision 1.80 — 2026 年 10 月 30 日

文書管理目的で改版（内容は前版から変更していない）

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2026 Renesas Electronics Corporation. All rights reserved.