

目次

1. 概要.....	3
1.1 特徴.....	3
1.2 システム構成.....	4
2. 端子機能.....	5
2.1 端子配置.....	5
2.2 端子機能.....	6
2.2.1 システムクロック&リセット.....	6
2.2.2 BOOT I/F.....	6
2.2.3 GPIO I/F.....	7
2.2.4 DAC I/F.....	7
2.2.5 TX_LPF I/F.....	8
2.2.6 TX_PGA I/F.....	8
2.2.7 RX_PGA I/F.....	8
2.2.8 ADC I/F.....	8
2.2.9 Power/other.....	9
2.2.10 Debug I/F.....	9
2.2.11 LSI TEST I/F.....	10
3. 機能概要.....	11
3.1 R9A06G037 の内部機能ブロック図.....	11
3.2 ARMドメイン.....	12
3.2.1 ARM CM3.....	12
3.2.2 DMA.....	12
3.2.3 メモリ.....	12
3.2.4 暗号化/復号化(AES).....	12
3.2.5 CRC 演算.....	12
3.2.6 タイマ.....	12
3.2.7 ウォッチドッグタイマ(WDT).....	12
3.2.8 システム制御(SYSC).....	12
3.2.9 GPIO.....	13
3.3 DSPドメイン.....	13
3.3.1 DSP.....	13
3.3.2 DMA.....	13
3.3.3 メモリ.....	13
3.3.4 タイマ.....	13
3.3.5 ウォッチドッグタイマ(WDT).....	13
3.4 AFE(Analog Front End)ドメイン.....	13
3.4.1 DAC.....	13
3.4.2 TX_LPF.....	13
3.4.3 TX_PGA.....	13
3.4.4 RX_PGA.....	14

3.4.5	ADC.....	14
3.4.6	LEVELDET.....	14
3.5	レギュレータ.....	14
3.5.1	DC-DC.....	14
3.5.2	LDO.....	14
3.6	クロック供給モード.....	15
4.	電気的特性.....	16
4.1	絶対最大定格.....	16
4.2	推奨動作条件.....	17
4.3	リセット、及び、電源 ON/OFF シーケンス、クロック.....	18
4.3.1	リセットシーケンス.....	18
4.3.2	電源 ON/OFF シーケンス.....	18
4.3.3	システムクロック・タイミング.....	19
4.4	DC 特性.....	20
4.5	AC 特性.....	21
4.5.1	UART.....	21
4.5.2	SerialROM.....	21
4.5.3	消費電流.....	23
4.6	アナログブロック特性.....	23
4.6.1	DC 特性.....	23
4.6.2	性能特性.....	23
4.7	ゼロクロス検出.....	26
5.	パッケージ.....	27
6.	部品番号.....	28
7.	付録.....	29

1. 概要

R9A06G037 は、狭帯域向け電力線通信(Narrow Band PLC(Power Line Communication))用モデム LSI です。R9A06G037 は、主に電力線通信の PHY レイヤを処理する DSP コアとその上位のプロトコルを処理する MCU コア (ARM® Cortex™-M3) を内蔵する、ソフトウェアモデムです。ソフトウェアを変更することで、電力線通信の各種規格 (G3-Cenelec/ARIB/FCC 及び PRIME1.3.6/ 1.4 その他)に対応することができます。

1.1 特徴

- 高性能 DSP
 - 電力線通信の PHY 層等を処理
 - 最大動作周波数:276MHz
 - IRAM : 128KB, DRAM: 128KB
 - ビタビ及びリードソロモン処理その他に対する専用命令
- MCU(ARM® Cortex™-M3)
 - 電力線通信の MAC 層及びその上位プロトコル処理
 - 最大動作周波数:138MHz
 - RAM : 512KB
 - AES128 暗号化/復号化 H/W
 - CRC 演算 H/W コア
- 共有メモリ:16KB
- アナログフロントエンド(AFE)回路
 - DAC
 - ◇ 12MHz, 12bit
 - 送信フィルタ
 - ◇ 3 次フィルタ。カットオフ周波数: 150KHz(Cenelec)及び 600KHz(ARIB/FCC)
 - 受信可変アンプ
 - ◇ ダイナミックレンジ:-18dB ~ +60dB, 2dB ステップ
 - ◇ DSP 制御にて AGC 実現
 - ADC
 - ◇ $\Delta \Sigma$ 型 ADC
 - ◇ ENOB:11bit
- 多様な外部 IO
 - ◇ UART(2ch), CSI(2ch), IIC, Serial-ROM-IF(Single/Dual/Quad), PWM(2ch) 及び GPIO(16)
- レギュレータ内蔵: 入力 3.3V、出力 1.1V
- 電源電圧:3.3V
- PKG : 64-pin QFN, 9mm□, 0.5mm pitch
- 動作温度範囲
 - -40~+85°C

1.2 システム構成

R9A06G037 は、電力線通信ネットワークの形成において、お客様に高い通信性能とコストパフォーマンスに優れたソリューションを提供します。図 1.1 は、R9A06G037 を用いた PLC モジュールのシステム構成例を示しています。

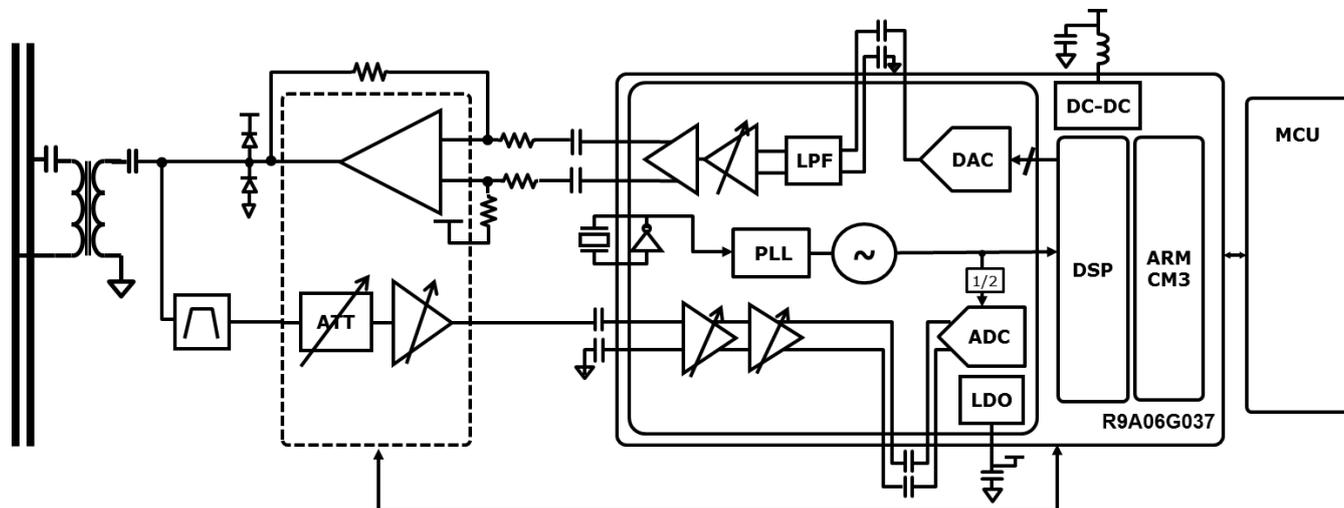


図 1.1 R9A06G037 のシステム構成例 (シングルエンド入力/差動出力の場合)

2. 端子機能

2.1 端子配置

R9A06G037 の端子配置を図 2.1 に示します。

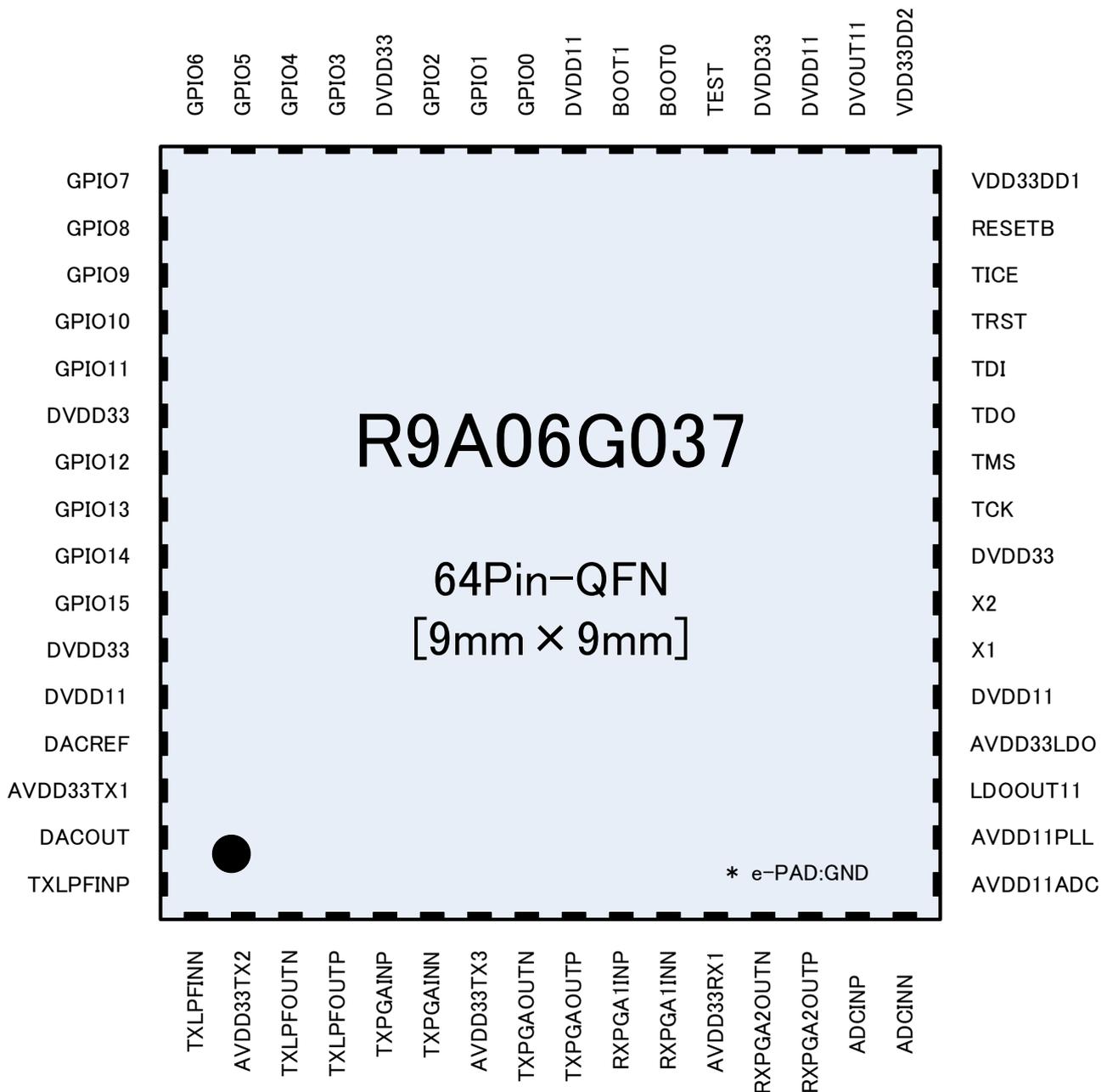


図 2.1 端子構成図

2.2 端子機能

2.2.1 システムクロック&リセット

端子名	I/O	BUFTYPE	Pin No	機能
X1	I	—	22	外部 X'tal 発振子入力 f=16MHz ※ 外部クロック入力モード (BOOT1=LOW)ではGNDにショート
X2	O/I	—	23	外部 X'tal 発振子出力 ※ 外部クロック入力モード (BOOT1=HIGH)ではクロック入力端子
RESETB	I	Schmitt/PU	31	System Reset (PullUp 抵抗付)

PU: 50K Ω pull up 抵抗付き

2.2.2 BOOT I/F

端子名	I/O	BUFTYPE	Pin No	機能
BOOT0	I	PU	38	<ul style="list-style-type: none"> ・ブートモード選択 (PullUp 抵抗付) BOOT0=High → UART_S-IF BOOT0=Low → SROM-IF <u>UART_S-IF</u> RXD: GPIO0 TXD: GPIO1 <u>SROM-IF</u> SIO1/MISO : GPIO3 SSB : GPIO4 SCK : GPIO5 SIO0/MOSI : GPIO6 (SIO2: GPIO7) (SIO3: GPIO8)
BOOT1	I	PU	39	<ul style="list-style-type: none"> ・クロック動作モード選択 (PullUp 抵抗付) BOOT1=High: 発振モード BOOT1=Low: 外部クロック入力モード

PU: 50K Ω pull up 抵抗付き

2.2.3 GPIO I/F

端子名	I/O	BUFTYPE	Pin No	機能
GPIO0	I/O	B-4/6/8/12mA Schmitt/PU/PD	41	・汎用入出力 Port [0]
GPIO1	I/O	B-4/6/8/12mA Schmitt/PU/PD	42	・汎用入出力 Port [1]
GPIO2	I/O	B-4/6/8/12mA Schmitt/PU/PD	43	・汎用入出力 Port [2]
GPIO3	I/O	B-4/6/8/12mA Schmitt/PU/PD	45	・汎用入出力 Port [3]
GPIO4	I/O	B-4/6/8/12mA Schmitt/PU/PD	46	・汎用入出力 Port [4]
GPIO5	I/O	B-4/6/8/12mA Schmitt/PU/PD	47	・汎用入出力 Port [5]
GPIO6	I/O	B-4/6/8/12mA Schmitt/PU/PD	48	・汎用入出力 Port [6]
GPIO7	I/O	B-4/6/8/12mA Schmitt/PU/PD	49	・汎用入出力 Port [7]
GPIO8	I/O	B-4/6/8/12mA Schmitt/PU/PD	50	・汎用入出力 Port [8]
GPIO9	I/O	B-4/6/8/12mA Schmitt/PU/PD	51	・汎用入出力 Port [9]
GPIO10	I/O	B-4/6/8/12mA Schmitt/PU/PD	52	・汎用入出力 Port [10]
GPIO11	I/O	B-4/6/8/12mA Schmitt/PU/PD	53	・汎用入出力 Port [11]
GPIO12	I/O	B-4/6/8/12mA Schmitt/PU/PD	55	・汎用入出力 Port [12]
GPIO13	I/O	B-4/6/8/12mA Schmitt/PU/PD	56	・汎用入出力 Port [13]
GPIO14	I/O	B-4/6/8/12mA Schmitt/PU/PD	57	・汎用入出力 Port [14]
GPIO15	I/O	B-4/6/8/12mA Schmitt/PU/PD	58	・汎用入出力 Port [15]

PD: 50K Ω pull down 抵抗付き / PU: 50K Ω pull up 抵抗付き

GPIO のバッファタイプの初期設定は 8mA/PU(50K Ω pul up 抵抗付き)。

GPIO 端子は UART, CSI, IIC, Serial-ROM-IF(Single/Dual/Quad), PWM 及び GPIO から機能選択可能。

2.2.4 DAC I/F

端子名	I/O	BUFTYPE	Pin No	機能
DACREF	-	Analog	61	Bypass capacitance 端子
DACOUT	O	Analog	63	DAC 出力信号

2.2.5 TX_LPF I/F

端子名	I/O	BUFTYPE	Pin No	機能
TXLPFINP	I	Analog	64	送信 LPF 信号入力(+)
TXLPFINN	I	Analog	1	送信 LPF 信号入力(-)
TXLPFOUTN	O	Analog	3	送信 LPF 信号出力(-)
TXLPFOUTP	O	Analog	4	送信 LPF 信号出力(+)

2.2.6 TX_PGA I/F

端子名	I/O	BUFTYPE	Pin No	機能
TXPGAINP	I	Analog	5	送信 PGA 信号入力(+)
TXPGAINN	I	Analog	6	送信 PGA 信号入力(-)
TXPGAOUTN	O	Analog	8	送信 PGA 信号出力(-)
TXPGAOUTP	O	Analog	9	送信 PGA 信号出力(+)

2.2.7 RX_PGA I/F

端子名	I/O	BUFTYPE	Pin No	機能
RXPGA1INP	I	Analog	10	受信 PGA 信号入力(+)
RXPGA1INN	I	Analog	11	受信 PGA 信号入力(-)
RXPGA2OUTN	O	Analog	13	受信 PGA 信号出力(-)
RXPGA2OUTP	O	Analog	14	受信 PGA 信号出力(+)

2.2.8 ADC I/F

端子名	I/O	BUFTYPE	Pin No	機能
ADCINP	I	Analog	15	ADC 信号入力(+)
ADCINN	I	Analog	16	ADC 信号入力(-)

2.2.9 Power/other

端子名	I/O	BUFTYPE	Pin No	機能
DVDD33	I	—	24 36 44 54 59	IO buffer 電源 3.3V
VDD33DD1	I	Analog	32	DC-DC 制御用電源 3.3V
VDD33DD2	I	Analog	33	DC-DC 駆動用電源 3.3V
DVDD11	I	—	21 35 40 60	内部 core 電源 1.1V
DVOUT11	O	Analog	34	DC-DC 電源出力(3.3V PWM) [外付け平滑化回路にて 1.1V 生成]
GND	-	—	-	共通 GND ※裏面(ePAD)
AVDD33TX1	I	Analog	62	DAC アナログ電源 3.3V
AVDD33TX2	I	Analog	2	送信 LPF アナログ電源 3.3V
AVDD33TX3	I	Analog	7	送信 PGA アナログ電源 3.3V
AVDD33LDO	I	Analog	20	LDO 用 アナログ電源 3.3V
LDOOUT11	O	Analog	19	LDO 電源出力 1.1V
AVDD33RX1	I	Analog	12	受信 PGA アナログ電源 3.3V
AVDD11ADC	I	Analog	17	ADC アナログ電源 1.1V
AVDD11PLL	I	Analog	18	PLL アナログ電源 1.1V
AVDD33TX1	I	Analog	62	DAC アナログ電源 3.3V

2.2.10 Debug I/F

デバッグ IF として、JTAG と ARM 専用の2線シリアルモード(SWD)を搭載しています。

端子名	I/O	BUFTYPE	Pin No	機能
TCK	I	PU	25	JTAG Clock 端子(SWDCLK 端子)
TRST	I	PU	29	JTAG Reset 端子(NA)
TMS	I	PU	26	JTAG Test Mode 端子(SWD 端子)
TDI	I	PU	28	JTAG 入力 Data 端子(NA)
TDO	O	4/6/8/12mA PU/PD	27	JTAG 出力 Data 端子(SWV 端子) Default:8mA/PU(50K Ω pull up 抵抗)
TICE	I	PU	30	JTAG 選択信号 H: ARM CM3 (Default) L: DSP

PD: 50K Ω pull down 抵抗付き / PU: 50K Ω pull up 抵抗付き

2.2.11 LSI TEST I/F

端子名	I/O	BUFTYPE	Pin No	機能
TEST	I	PD	37	LSI TEST 端子 通常使用時は、1K Ω ~5.1K Ω の抵抗を介して GND に接続して下さい。

PD: 50K Ω pull down 抵抗付き

3. 機能概要

3.1 R9A06G037 の内部機能ブロック図

図 3.1 に R9A06G037 の内部機能ブロック図を示します。R9A06G037 は ARMドメイン、DSPドメイン及び AFEドメインからなります。また、共有メモリ、GPIO 及びレギュレータを内蔵します。

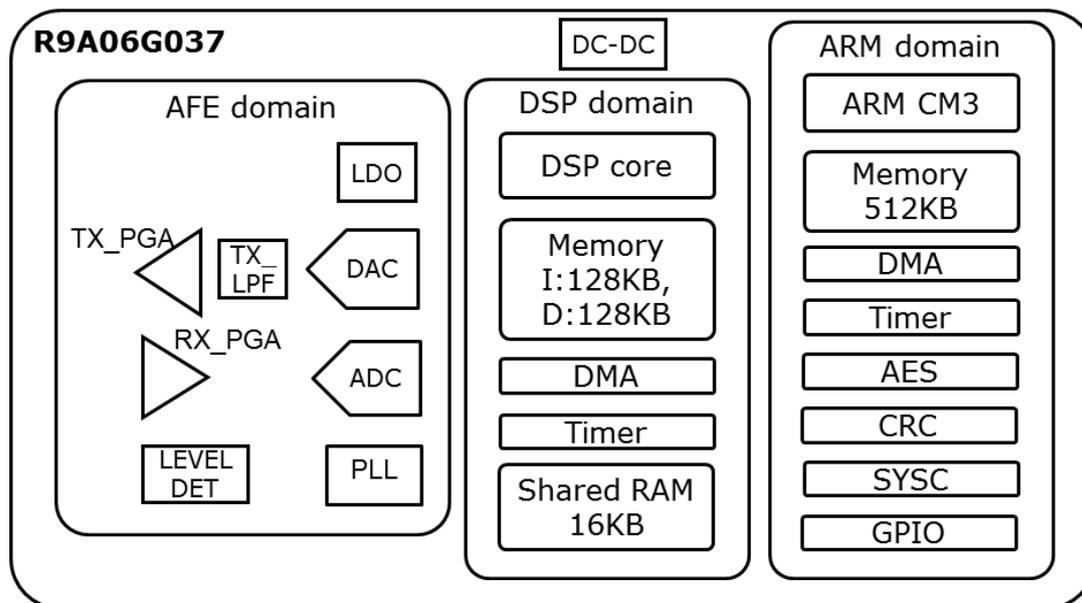


図 3.1 R9A06G037 の内部機能ブロック図

3.2 ARM ドメイン

3.2.1 ARM CM3

ARMドメインは、CPUコアとしてARM® Cortex™-M3を内蔵します。最大動作クロック周波数は138MHzです。このクロックは、システムクロックコントローラから供給され、4.3MHz~138MHzの間でダイナミックに変更可能です。

3.2.2 DMA

ARMドメインは、4チャンネル分のDMA機能を保有しています。各DMAの送信サイズは、1~128bytesの範囲で設定可能です。

3.2.3 メモリ

ARMドメインは、512KBytesのRAMを保有します。また、ARMドメインとDSPドメインの間でのデータ受け渡し用に16KBの共有メモリを利用することができます。

3.2.4 暗号化/復号化(AES)

ARMドメインは、128ビットの鍵長をサポートするAES暗号化/復号化H/Wコアを保有しています。本コアは3つの処理モード(ECBモードとCBCモードとCCMモード)をサポートしています。

3.2.5 CRC 演算

ARMドメインは、CRC演算H/Wコアを行うを保有しています。4つのCRCモード(CRC32,CRC16-ITU,CRC1-IBM,CRC8)をサポートしています。

3.2.6 タイマ

ARMドメインは、32bitsカウンタのタイマを9チャンネル分保有しています。タイマ間隔は、システムクロックによって、1~4,294,967,296(32bitタイマ)までの値が設定できます。タイマは、コンペアレジスタ値と同じになった時に割り込みが発生します。

3.2.7 ウォッチドッグタイマ(WDT)

ARMドメインは、32bitsカウンタで構成されたウォッチドッグタイマを保有しています。ウォッチドッグタイマは一度ソフトウェアから起動するとリセットされるまで停止しません。

ウォッチドッグタイマから割り込み要求信号発生後、次にカウンタがオーバーフローを発生するまでにソフトウェアがウォッチドッグタイマの割り込みクリアをしなかった場合はリセット要求信号が発生します。

3.2.8 システム制御(SYSC)

各ドメインで利用するクロックの生成(分周)、及びRESET信号の生成を行う。各クロックの周波数をダイナミックに変更することが可能です。DSPドメインへのクロックの周波数変更は、DSPからも制御可能です。

3.2.9 GPIO

UART、CSI、IIC、SerialROM-IF(Single/Dual/Quad)、PWM 及び GPIO のいずれかを選択することができます。DSPドメインからのアクセスも可能です。

3.3 DSP ドメイン

3.3.1 DSP

DSPドメインは高性能 DSP コアを内蔵しています。本 DSP コアはビタビ、リードソロモンその他を効率よく処理するハードウェア専用命令を持ちます。これらのハードウェア専用命令を使い、様々な電力線通信規格の PHY レイヤの処理を効率的に処理できます。DSP コアは、最大 276MHz のクロック周波数で動作します。クロック周波数は、4.3MHz~276MHz までダイナミックに変更が可能です。処理負荷に応じて、クロック周波数を変更することで、消費電力を抑えることもできます。

3.3.2 DMA

DSPドメインは、4チャンネル分の DMA 機能を保有しています。各 DMA の送信サイズは、1~128bytes の範囲で設定可能です。

3.3.3 メモリ

DSPドメインは、DSP コアの命令用 RAM(128KB)及びデータ用 RAM(128KB)を持ちます。また、ARM-DSP 間の通信用の共用メモリ(16KB)を保有します。

3.3.4 タイマ

DSP ドメインは、32bits カウンタのタイマを 9 チャンネル分保有しています。タイマ間隔は、システムクロックによって、1 ~ 4,294,967,296 (32bit タイマ) までの値が設定できます。タイマは、コンペアレジスタ値と同じになった時に割り込みが発生します。

3.3.5 ウォッチドッグタイマ(WDT)

DSPドメインは、32bits カウンタで構成されたウォッチドッグタイマを保有しています。ウォッチドッグタイマは一度ソフトウェアから起動するとリセットされるまで停止しません。

ウォッチドッグタイマから割り込み要求信号発生後、次にカウンタがオーバーフローを発生するまでにソフトウェアがウォッチドッグタイマの割り込みクリアをしなかった場合はリセット要求信号が発生します。

3.4 AFE(Analog Front End) ドメイン

3.4.1 DAC

D/A コンバータ。サンプリング周波数は 12MHz、分解能は 12bit です。

3.4.2 TX_LPF

DAC で発生するイメージを除去する 3 次の LPF。遮断周波数は 150KHz(Cenelec)と 600KHz(ARIB/FCC)のいずれから選択可能です。

3.4.3 TX_PGA

送信信号のゲイン調整のための可変アンプ。差動出力-3dB~+18dB(Step:3dB)の範囲で、送信信号の出力レベル

調整を行うことができます。

3.4.4 RX_PGA

受信信号のゲイン調整のための可変アンプ。受信信号に対して、-18dB~+60dB の範囲で、2dB ステップ単位のゲイン調整が可能。DSP で受信信号レベルを算出し、本アンプのゲインを調整することで、受信信号の振幅を制御する AGC(Auto Gain Control)を実現します

3.4.5 ADC

デルタシグマ型の ADコンバータ。最大サンプリング周波数 138MHz。500KHz 以下の PLC 信号帯域で、SINAD \geq 68dB (11bit 精度)を実現します。

3.4.6 LEVELDET

受信の同期処理時に、受信 PGA にてクリップが発生した時に真の入力レベルを検出し、同期処理のフィードバック処理を早める事を可能とします。検出レベルは-26dBm/-20dBm/-14dBm から選択可能です。

3.5 レギュレータ

3.5.1 DC-DC

スイッチングレギュレータ方式にて 3.3V から 1.1V 電源電圧発生します。デジタル回路の 1.1V 電源への供給ができます。

3.5.2 LDO

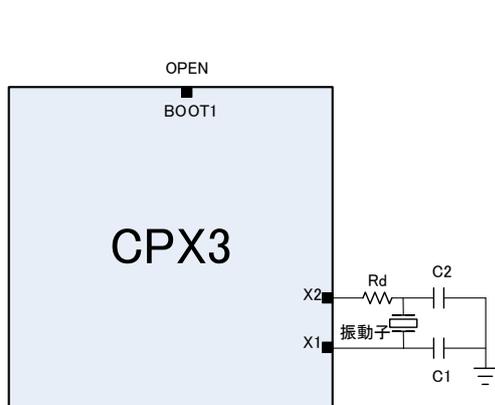
シリーズレギュレータ方式にて 3.3V から 1.1V 電源電圧発生します。アナログ回路の 1.1V 電源への供給ができます。

3.6 クロック供給モード

CPX3 では BOOT1 端子の設定により X1 発振モード、または X2 外部クロック入力モードを選択する事が可能です。BOOT1 端子は LSI 内部で Pullup されているため、端子 Open 状態の場合には X1 発振モードが選択されます。

BOOT1	動作モード	X1 端子	X2 端子
Open (Pullup)	X1/X2 発振モード	水晶・セラミック発振子接続	
GND ショート	X2 外部クロック入力モード	GND ショート	外部クロックソース

■ X1発振モード (BOOT1=Open)



■ X2外部クロックモード (BOOT1=GNDショート)

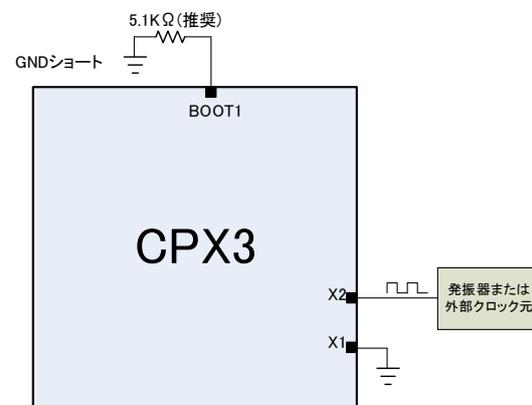


図 3.2 クロック供給モード

4. 電気的特性

4.1 絶対最大定格

パラメータ	略号	定格	最大定格	単位
電源電圧	VDD, AVDD	1.1V	-0.45~+1.8	V
		3.3V	-0.5~+4.6	V
入出力電圧	V_i/V_o	$V_i/V_o < VDD + 0.5V$	-0.5~+4.6	V
出力電流 (3.3V バッファ)	I_o	4mA/6mA/8mA/12mA	9.28/13.92/18.56/23.20	mA

注意)

如何なる項目においても絶対最大定格を一瞬でも越えた場合、製品品質が影響を受ける可能性があります。つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない基準を示しており、製品は絶対最大定格を超えていないことを保障する条件下で使用される必要があります。

電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

4.2 推奨動作条件

パラメータ	略号	定格	MIN.	TYP.	MAX.	単位
電源電圧 (デジタル)	VDD	1.1V	1.0	1.1	1.2	V
		3.3V	3.0	3.3	3.6	V
電源電圧 (アナログ)	AVDD	1.1V	1.05	1.1	1.2	V
		3.3V	3.0	3.3	3.6	V
ネガティブトリガ 入力電圧	V _N	3.3V 動作時	0.7		1.9	V
ポジティブトリガ 入力電圧	V _P	3.3V 動作時	0.9		2.1	V
ヒステリシス電圧	V _H	3.3V 動作時	0.2		1.4	V
ローレベル 入力電圧	V _{IL}	3.3V 動作時	-0.3		0.8	V
ハイレベル 入力電圧	V _{IH}	3.3V 動作時	2.0		VDD+0.3	V
入力立ち上がり/ 立ち下がり時間 (データ)	t _{rid}	-	0		200	ns
	t _{fid}	-	0		200	ns
入力立ち上がり/ 立ち下がり時間 (クロック)	t _{ric}	-	0		4	ns
	t _{fic}	-	0		4	ns
入力立ち上がり/ 立ち下がり時間 (シュミット)	t _{ris}	-	0		1	ms
	t _{fis}	-	0		1	ms
動作周辺温度	T _a		-40		+85	°C

4.3 リセット、及び、電源 ON/OFF シーケンス、クロック

4.3.1 リセットシーケンス

図 4.1 に R9A06G037 のリセットシーケンスのタイミング図を示します。リセット信号(RESETB)は、電源投入後、IO_VDD の電圧が 3.3V の 90%(0.9 IO_VDD)に達した時点から 1ms 以上、Low レベルを保持してから解除して下さい。

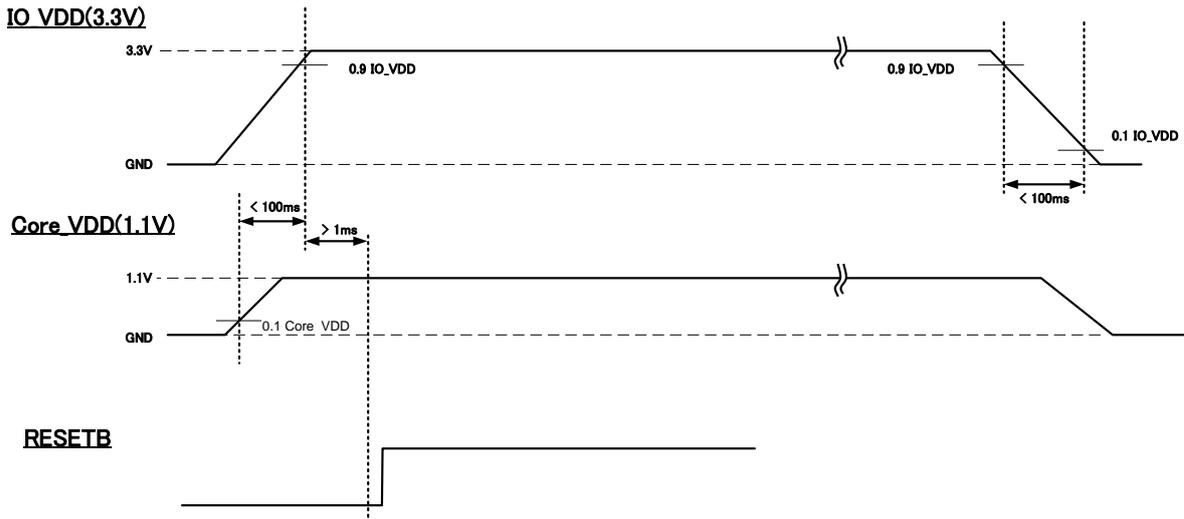


図 4.1 リセットシーケンスのタイミング図

4.3.2 電源 ON/OFF シーケンス

図 4.2 に電源 ON/OFF シーケンスを示します。電源 ON 時は、アナログ電源 (AVDD33)、及び、I/O 電源 (IO_VDD) のパワーアップの立ち上がりから安定までを 100ms 以内で行い、電源 OFF 時は、両電源のパワーダウンの立ち下がりから電源 OFF までを 100ms 以内に行うことを推奨します。なお、100ms は、0.1VDD から 0.9VDD までの時間を示しています。

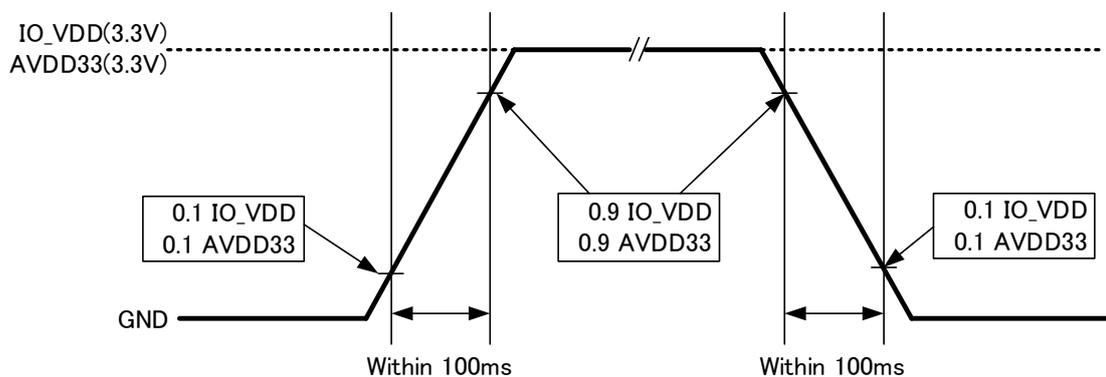


図 4.2 電源 ON/OFF シーケンスのタイミング図

4.3.3 システムクロック・タイミング

Symbol	Parameter	MIN	TYP	MAX	Units
FXTAL _{cyc}	X'tal モード: X1/X2 X'tal クロック周波数		16 ±25ppm		MHz
FEX _{cyc}	外部クロックモード: X2 クロック入力周波数		16 ±25ppm		MHz

Clock timing

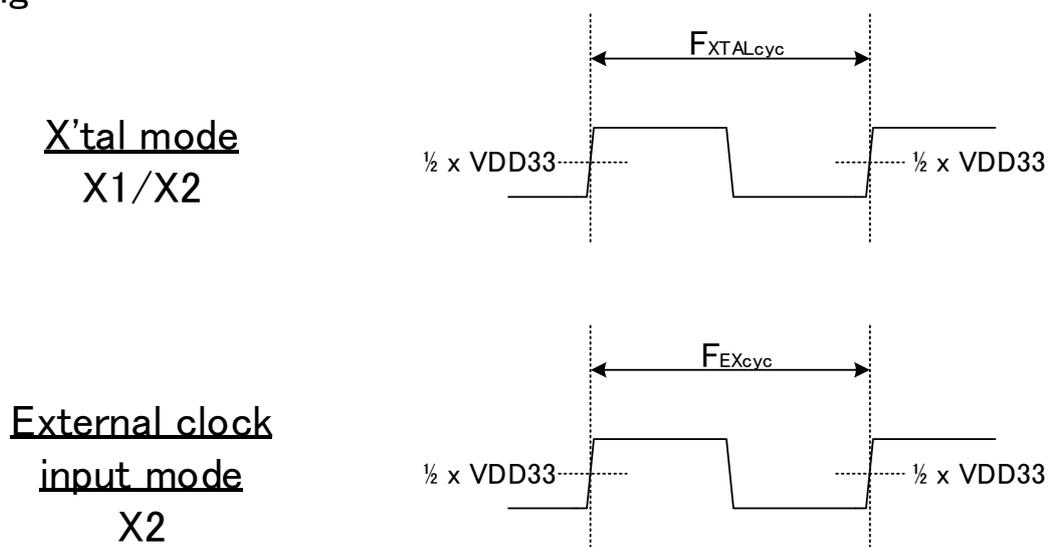


図 4.3 システムクロック・タイミング図

4.4 DC 特性

DC 特性 (VDD=3.3±0.3V, T_a = -40~+85 °C)

パラメータ	略号	動作条件	MIN.	TYP.	MAX.	単位
出力短絡電流 (注)	I _{OS}	V _o =GND	-	-	-250	mA
入力リーク電流	I _{IL}	通常入力 V _{in} =GND	-	-	-5	μA
	I _{IH}	通常入力 V _{in} =IOVDD	-	-	5	μA
	I _{PU}	プルアップ抵抗 V _{in} =GND	-46.2	-	-102.9	μA
	I _{PD}	プルダウン抵抗 V _{in} =IOVDD	46.2	-	102.9	μA
出力リーク電流	I _{OZL}	V _o =GND	-	-	-5	μA
	I _{OZH}	V _o =IOVDD	-	-	5	μA
ローレベル出力電流	I _{OL}	V _{OL} =0.4V 4mA/6mA/8mA/12mA	4/6/7.8/9.5	-	-	mA
ハイレベル出力電流	I _{OH}	V _{OH} =2.4V 4mA/6mA/8mA/12mA	4/6/7.8/9.5	-	-	mA
プルアップ抵抗	R _{pu}	V _{in} =GND	35	50	65	KΩ
プルダウン抵抗	R _{pd}	V _{in} =IOVDD	35	50	65	KΩ
ローレベル出力電圧	V _{OL}	I _{oi} =0mA	-	-	0.1	V
ハイレベル出力電圧	V _{OH}	I _{oh} =0mA	IOVDD-0.1	-	-	V

注) 出力の短絡時間は、LSIの一端子に限り、1秒以内として下さい。

4.5 AC 特性

4.5.1 UART

図 4.4 に UART インターフェースのタイミング図を示します。

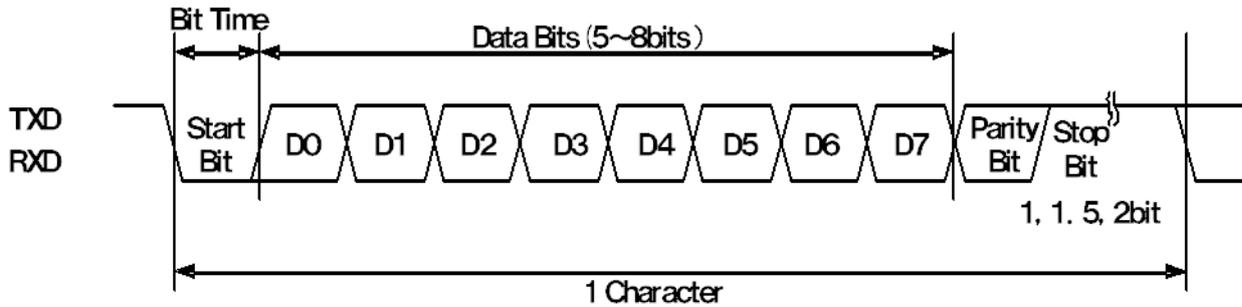


図 4.4 UART インターフェースのタイミング図

4.5.2 SerialROM

図 4.5 に SerialROM インターフェースのタイミング図を示します。

レイテンシ 1 モード(Default)

Symbol	Parameter	MIN	TYP	MAX	Units
FCLK	通信クロック周波数	2.875 ($T_{SCK} = 347.8\text{ns}$)		46 ($T_{SCK} = 21.7\text{ns}$)	MHz
T_{SCKH}, T_{SCKL}	通信クロック ハイ・ロウ幅	$T_{SCK} \times 0.45$		$T_{SCK} \times 0.55$	ns
T_{DD}	出力信号(MI,MO,CS) データ遅延時間	0		5	ns
T_{DS}	入力信号(MI,MO) データセットアップ時間	11			ns
T_{DH}	入力信号(MI,MO) データホールド時間	1			ns

レイテンシ 2 モード

Symbol	Parameter	MIN	TYP	MAX	Units
FCLK	通信クロック周波数	2.875 ($T_{SCK} = 347.8\text{ns}$)		69 ($T_{SCK} = 14.5\text{ns}$)	MHz
T_{SCKH}, T_{SCKL}	通信クロック ハイ・ロウ幅	$T_{SCK} \times 0.45$		$T_{SCK} \times 0.55$	ns
T_{DD}	出力信号(MI,MO,CS) データ遅延時間	0		5	ns
T_{DS}	入力信号(MI,MO) データセットアップ時間	5			ns
T_{DH}	入力信号(MI,MO) データホールド時間	1			ns

特記)

レイテンシ 2 モードは通信クロック周波数が 69MHz まで対応していますが、レイテンシ 1 モードに比べてシリアル・データの受信サイクル数が 1 サイクル増えます。

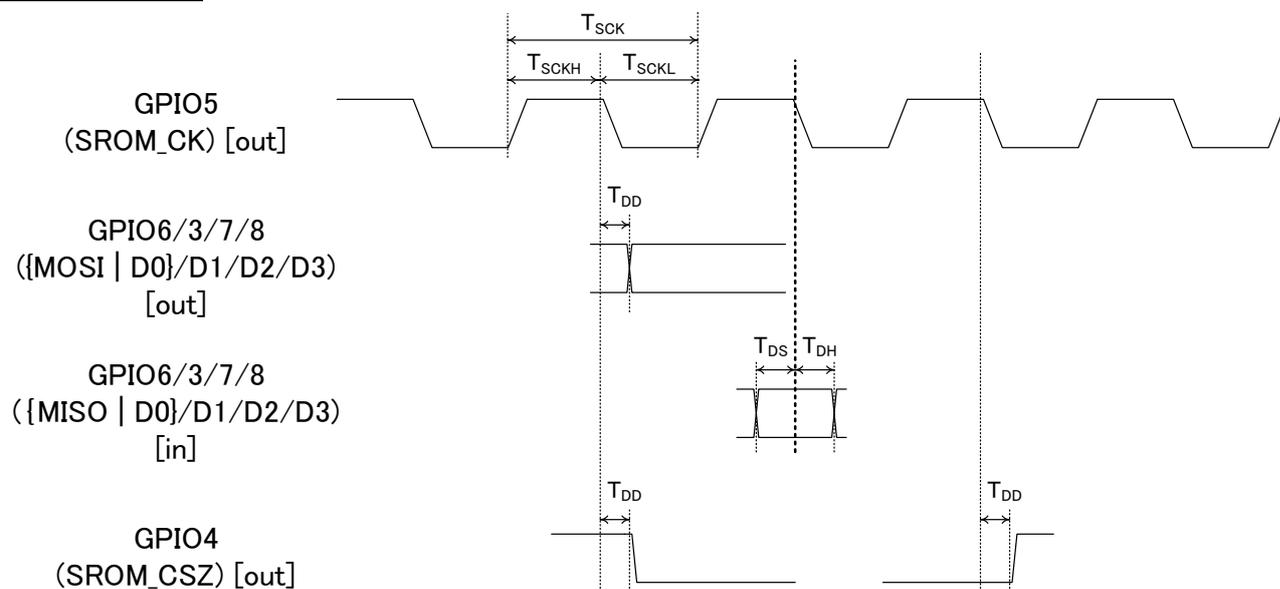
Single/Dual/Quad mode

図 4.5 SerialROM インターフェースのタイミング図

4.5.3 消費電流

VDD	MIN.	TYP.	MAX.	単位
VDD33		25		mA
VDD11		65		mA

条件: VDD33=3.3±0.3V, VDD11=1.1±0.1V

Renesas 評価ボード使用、DSP:276MHz、G3-CENELEC-A 受信利用時

4.6 アナログブロック特性

4.6.1 DC 特性

端子番号	パラメータ	動作条件	略号	MIN	TYP	MAX	単位
2	電源電圧		AVDD33TX2	3.0	3.3	3.6	V
7	電源電圧		AVDD33TX3	3.0	3.3	3.6	V
20	電源電圧		AVDD33LDO	3.0	3.3	3.6	V
12	電源電圧		AVDD33RX1	3.0	3.3	3.6	V
17	電源電圧		AVDD11ADC	1.05	1.1	1.2	V
18	電源電圧		AVDD11PLL	1.0	1.1	1.2	V
62	電源電圧		AVDD33TX1	3.0	3.3	3.6	V

4.6.2 性能特性

4.6.2.1 受信ブロック

(a) RX_PGA インターフェース

パラメータ	条件	略号	MIN	TYP	MAX	単位
入力電圧範囲	差動動作	V_i	60u		3.0	V _{p-p}
入力周波数		F_{sig}	30		500	kHz
ダイナミックレンジ(電圧利得幅)		DR		78		dB
利得調整ステップ		D_{STEP}		2		dB
入力 1dB コンプレッション	$G_V = -14dB, f_{sig} = 30kHz$, 差動動作	$P_{in\ 1dB}$	2.8	3.3		V _{p-p}
最大電圧利得	$f_{sig} = 500kHz$	$G_{V,max}$		60		dB
最小電圧利得	$f_{sig} = 500kHz$	$G_{V,min}$		-18		dB
入力インピーダンス		Z_i		1		k Ω
出力負荷インピーダンス		R_L		20		k Ω

(b) ADC インターフェース

パラメータ	条件	略号	MIN	TYP	MAX	単位
入力電圧範囲	差動動作	V_{sig}			800	mVp-p
入力周波数		F_{SIG}			500	kHz
サンプリング周波数		F_{CLK}	-	138	-	MHz
有効ビット数		ENOB	11	-	-	bit
SINAD		SINAD	68	-	-	dB
入力インピーダンス		Z_i	15.6	18.75	21.9	k Ω

4.6.2.2 送信ブロック

(a) DAC インターフェース

パラメータ	条件	略号	MIN	TYP	MAX	単位
出力電圧範囲	$Z_L \geq 10k\Omega$	V_o		1.30		Vp-p
サンプリング周波数		F_{CLK}			12	MHz
分解能		RES	12			bit
微分直線性誤差		DNL			± 0.5	LSB
積分直線性誤差		INL			± 3.0	LSB
出力負荷インピーダンス		Z_L		10		k Ω

(b) TX_PGA インターフェース

標準駆動モード

パラメータ	条件	略号	MIN	TYP	MAX	単位
入力電圧範囲	差動入力	V_i		1.30		Vp-p
入力周波数		f_{sig}	10		500	kHz
ダイナミクスレンジ(電圧利得幅)		DR		21		dB
利得調整ステップ		D_{STEP}		3		
最大電圧利得	$f_{sig}=500kHz$, differential mode	$G_{v,max}$		18		dB
最小電圧利得	$f_{sig}=500kHz$, differential mode	$G_{v,min}$		-3		dB
出力-1dB コンプレッション	$G_v=+6dB$, $f_{sig}=500kHz$, $Z_L=390\Omega$	P_1	2			Vp-p
高調波歪	$G_v=+6dB$, $f_{sig}=100kHz$ $V_i=0.45Vp-p$, $Z_L=390\Omega$	HD	-65	-70		dBc
入力インピーダンス		Z_i		5		k Ω
出力負荷インピーダンス		Z_L		390		Ω

高駆動モード

パラメータ	条件	略号	MIN	TYP	MAX	単位
入力電圧範囲	差動入力	V_i		1.30		Vp-p
入力周波数		f_{sig}	10		500	kHz
ダイナミクスレンジ(電圧利得幅)		DR		21		dB
利得調整ステップ		D_{STEP}		3		
最大電圧利得	$f_{sig}=500kHz$, differential mode	$G_{v,max}$		18		dB
最小電圧利得	$f_{sig}=500kHz$, differential mode	$G_{v,min}$		-3		dB
出力-1dB コンプレッション	$G_v=+3dB$, $f_{sig}=500kHz$, $Z_L=50\Omega$	P_1	0.5			Vp-p

高調波歪	$G_V = +3\text{dB}$, $f_{\text{sig}} = 100\text{kHz}$ $V_I = 0.35\text{V}_{\text{p-p}}$, $Z_L = 50\Omega$	HD	-60	-70		dBc
入力インピーダンス		Z_I		5		$k\Omega$
出力負荷インピーダンス		Z_L		50		Ω

(c) TX_LPF インターフェース

パラメータ	条件	略号	MIN	TYP	MAX	単位
カットオフ周波数	G3-CENELEC	F_c		150		kHz
	G3-ARIB/FCC			600		kHz
帯域外減衰ゲイン	1.9MHz (G3-CENELEC)	D_{ATTE}		-65		dB
	11.5MHz (G3-ARIB/FCC)			-75		dB
出力-1dB コンプレッション		P_1	3			$V_{\text{p-p}}$

4.6.2.3 電源回路

(a) DC/DC

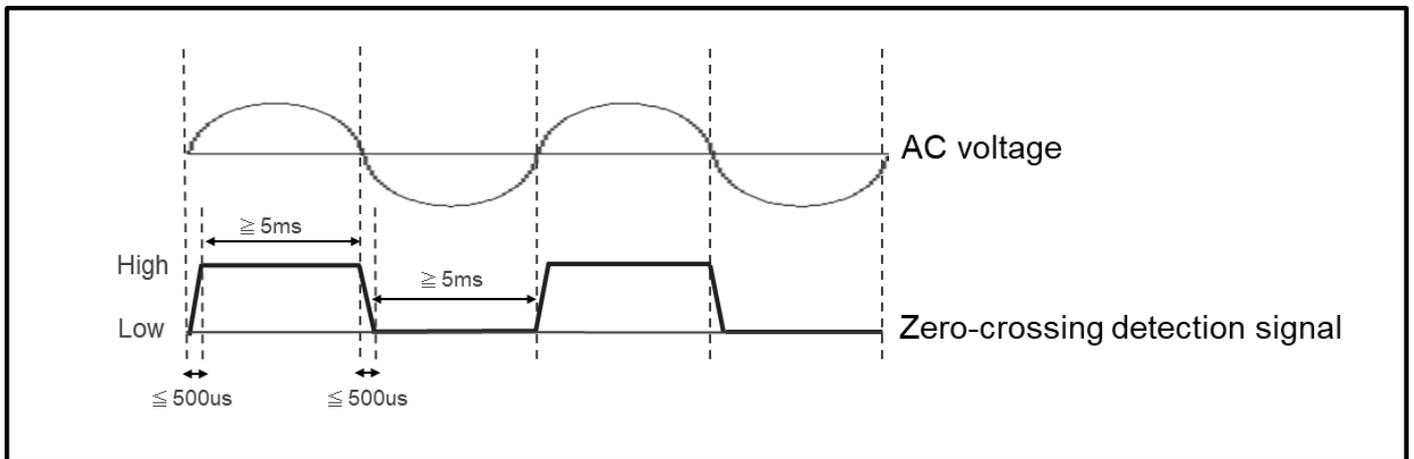
パラメータ	条件	略号	MIN	TYP	MAX	単位
出力電圧		V_o	1.0	1.1	1.2	V
出力駆動電流		I_{OL}			240	mA

(b) LDO

パラメータ	条件	略号	MIN	TYP	MAX	単位
出力電圧		V_o	1.05	1.1	1.2	V
出力駆動電流		I_{OL}			30	mA

4.7 ゼロクロス検出

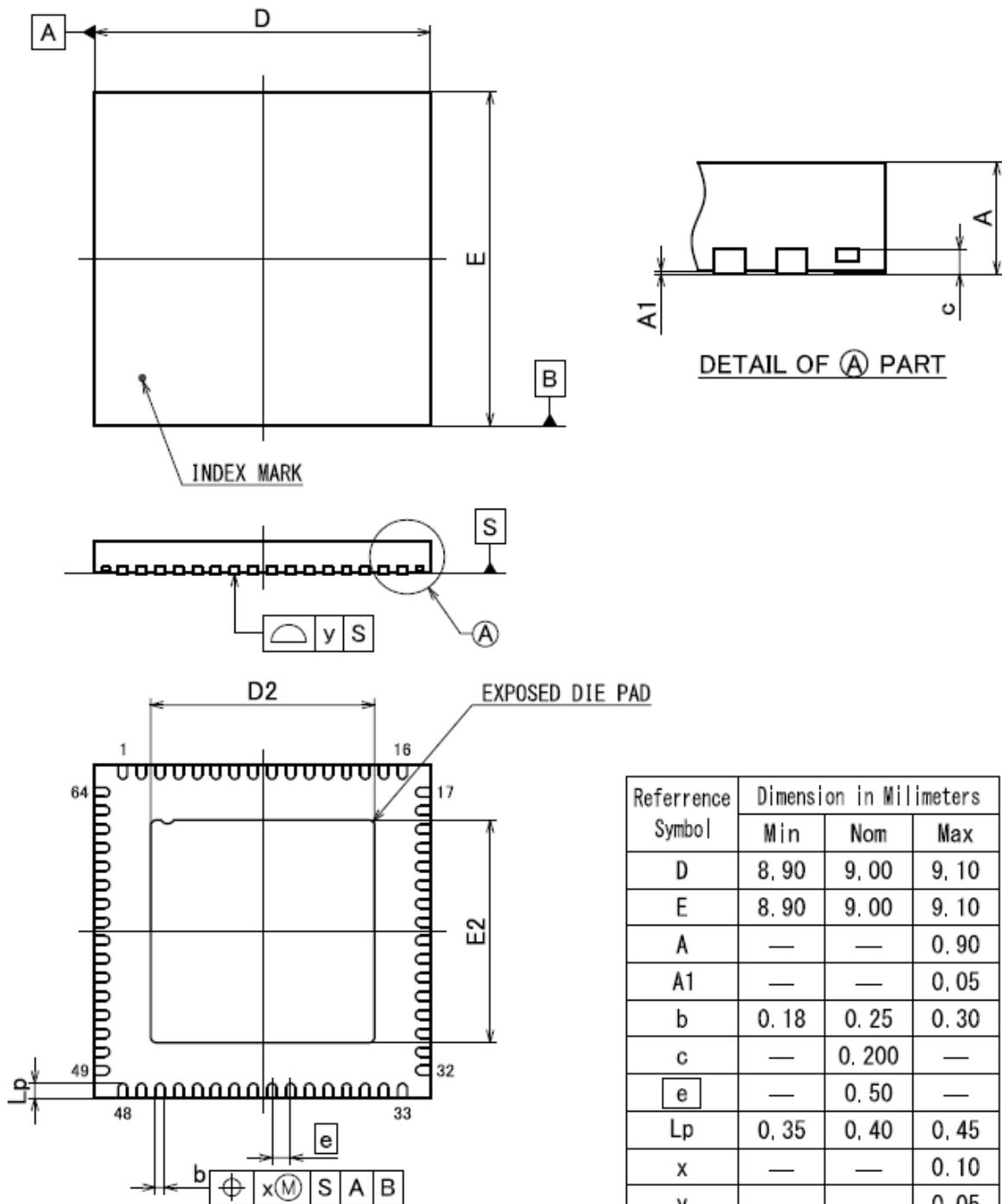
GPIO2 に以下に示すゼロクロス検出信号を入力することで、各種規格(G3-Cenelec/ARIB/FCC 及び PRIME1.3.6/ 1.4 その他)における位相検知機能を利用することができます。



ゼロクロス検出信号の立ち上がり時間、立ち下り時間はチャタリング期間含め500us以内としてください。また信号立ち上がり後は5ms以上 High レベルを保持してください。同様に、信号立ち下り後は5ms以上 Low レベルを保持してください。

5. パッケージ

JEITA Package Code	RENESAS Code	Previous Code	MASS [Typ.]
P-HVQFN64-9×9-0.50	PVQN0064KD-A	T64K8-50-BAS	0.21 g



6. 部品番号

R9A06G037GNP#AA0

7. 付録

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）
www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。
www.renesas.com/contact/