

## R8C/M13Bグループ

ルネサスマイクロコンピュータ

R01DS0005JJ0200

Rev.2.00

2012.03.19

## 1. 概要

### 1.1 特長

R8C/M13Bグループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/M13Bグループは、データフラッシュ (1 KB × 2ブロック) を内蔵します。

#### 1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

## 1.1.2 仕様概要

表1.1および表1.2に仕様概要を示します。

表1.1 仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPU コア <ul style="list-style-type: none"> <li>基本命令数：89命令</li> <li>最小命令実行時間：50 ns (f(XIN) = 20 MHz、VCC = 2.7 V ~ 5.5 V) 200 ns (f(XIN) = 5 MHz、VCC = 1.8 V ~ 5.5 V)</li> <li>乗算器：16ビット×16ビット 32ビット</li> <li>積和演算命令：16ビット×16ビット+32ビット 32ビット</li> <li>動作モード：シングルチップモード(アドレス空間：1 Mバイト)</li> </ul>
メモリ	ROM、RAM、データフラッシュ	「表1.3 製品一覧」参照
リセット要因		<ul style="list-style-type: none"> <li>RESET端子によるハードウェアリセット</li> <li>パワーオンリセット</li> <li>ウォッチドッグタイマリセット</li> <li>ソフトウェアリセット</li> <li>電圧検出0によるリセット</li> </ul>
電圧検出	電圧検出回路	電圧検出2点：電圧検出0、電圧検出1(検出レベル選択可能)
ウォッチドッグタイマ		<ul style="list-style-type: none"> <li>14ビット×1(プリスケアラ付)</li> <li>リセットスタート機能選択可能</li> <li>カウントソース保護モードを選択可能</li> <li>周期タイマ機能選択可能</li> </ul>
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>4回路：XINクロック発振回路、XCINクロック発振回路、高速オンチップオシレータ(周波数調整機能付)、低速オンチップオシレータ</li> <li>発振停止検出：XINクロック発振停止検出機能</li> <li>クロック分周回路内蔵</li> </ul>
パワーコントロール		<ul style="list-style-type: none"> <li>標準動作モード</li> <li>ウェイトモード(CPU停止、周辺機能動作)</li> <li>ストップモード(CPU、周辺機能とも停止)</li> </ul>
割り込み		<ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：8(INT×4、キー入力×4)</li> <li>割り込み優先レベル：2</li> </ul>
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> <li>CMOS入出力：29、プルアップ抵抗を選択可能</li> <li>大電流ポート：8</li> </ul>
タイマ	タイマRJ2	16ビット×1 タイマモード、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2	8ビット×1(8ビットプリスケアラ付)または16ビット×1(選択可能) タイマモード、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(アウトプットコンペア機能、インプットキャプチャ機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRK	8ビット×1 インターバルモード、パルス出力モード、アウトプットコンペアモード
	タイマRE2	8ビット×1 リアルタイムクロックモード、コンペア一致タイマモード
シリアルインタフェース	UART0、UART1	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用×2チャンネル
クロック同期形シリアルインタフェース		<ul style="list-style-type: none"> <li>シンクロナスシリアルコミュニケーションユニット(SSU)×1チャンネル</li> <li>I<sup>2</sup>Cバスインタフェース×1チャンネル</li> </ul>
IrDAインタフェース		1チャンネル(UART0、UART1切り換え可)

表1.2 仕様概要(2)

分類	機能	説明
A/Dコンバータ		<ul style="list-style-type: none"> <li>• 分解能：10ビット×8チャンネル</li> <li>• サンプル&amp;ホールドあり、掃引モードあり</li> </ul>
コンパレータB		2回路
フラッシュメモリ		<ul style="list-style-type: none"> <li>• プログラムROMのプログラム/イレーズ電圧：VCC = 1.8 V ~ 5.5 V</li> <li>• データフラッシュのプログラム/イレーズ電圧：VCC = 1.8 V ~ 5.5 V</li> <li>• プログラム/イレーズ回数：10,000回(データフラッシュ) 10,000回(プログラムROM)</li> <li>• プログラムセキュリティ：IDコードチェック、ロックビットによるプロテクト</li> <li>• デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能</li> </ul>
動作周波数/電源電圧		f(XIN) = 20 MHz (VCC = 2.7 V ~ 5.5 V) f(XIN) = 5 MHz (VCC = 1.8 V ~ 5.5 V)
温度範囲		-20 °C ~ 85 °C (Nバージョン) -40 °C ~ 85 °C (Dバージョン) (注1)
パッケージ		32ピンLQFP：[パッケージコード] PLQP0032GB-A

注1. Dバージョン機能をご使用になる場合は、その旨を指定してください。

1.2 製品一覧

表1.3に製品一覧を、図1.1に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧

2012年3月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F2M131BNFP	4 Kバイト	1 Kバイト×2	384バイト	PLQP0032GB-A	Nバージョン
R5F2M132BNFP	8 Kバイト	1 Kバイト×2	512バイト		
R5F2M134BNFP	16 Kバイト	1 Kバイト×2	1 Kバイト		
R5F2M131BDFP	4 Kバイト	1 Kバイト×2	384バイト		Dバージョン
R5F2M132BDFP	8 Kバイト	1 Kバイト×2	512バイト		
R5F2M134BDFP	16 Kバイト	1 Kバイト×2	1 Kバイト		

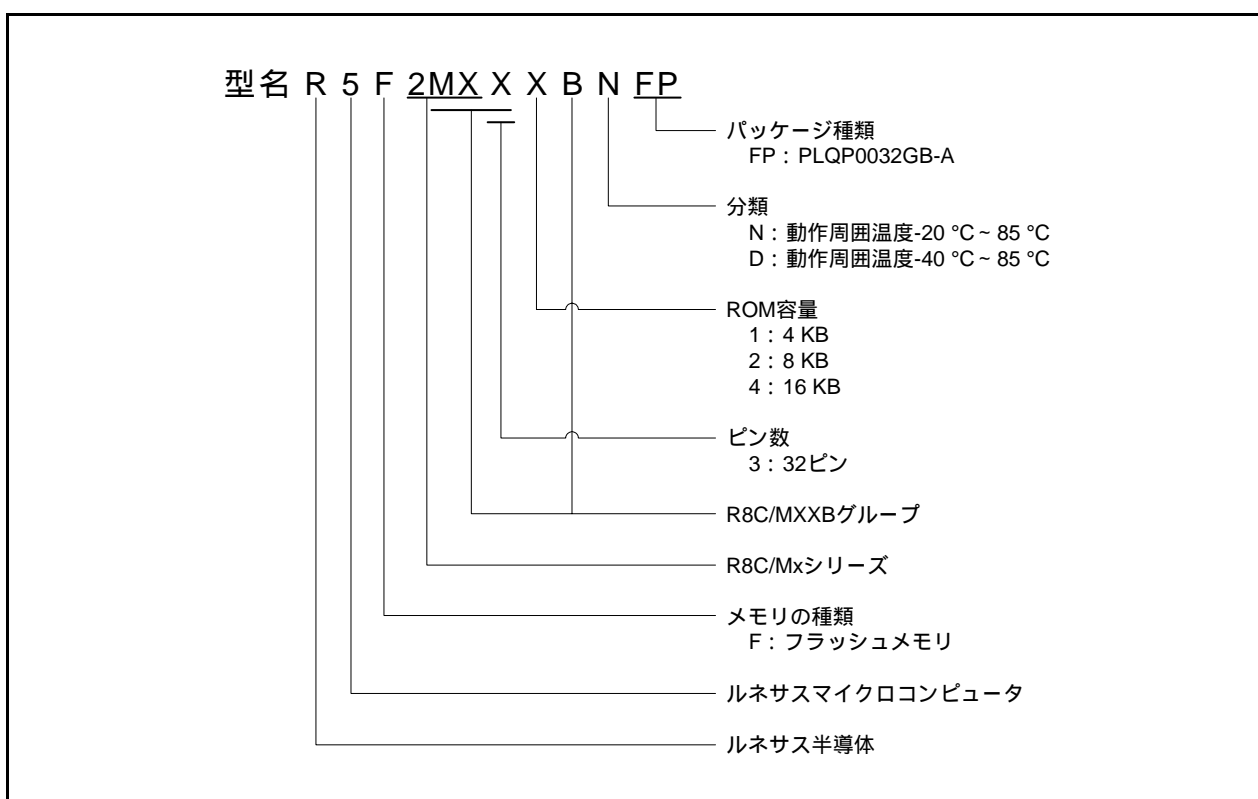


図1.1 型名とメモリサイズ・パッケージ

## 1.3 ブロック図

図1.2にブロック図を示します。

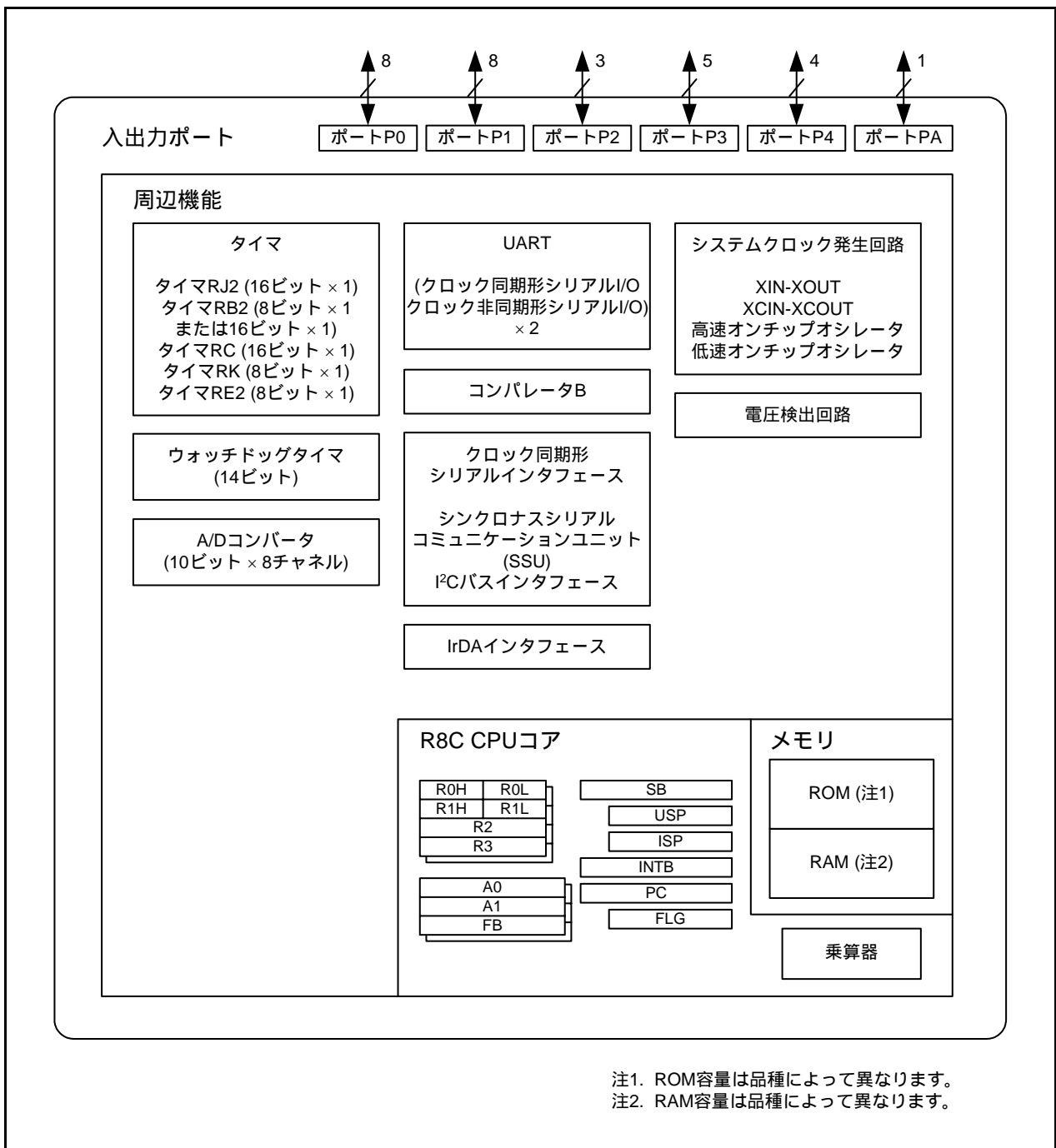


図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.4にピン番号別端子名一覧を示します。

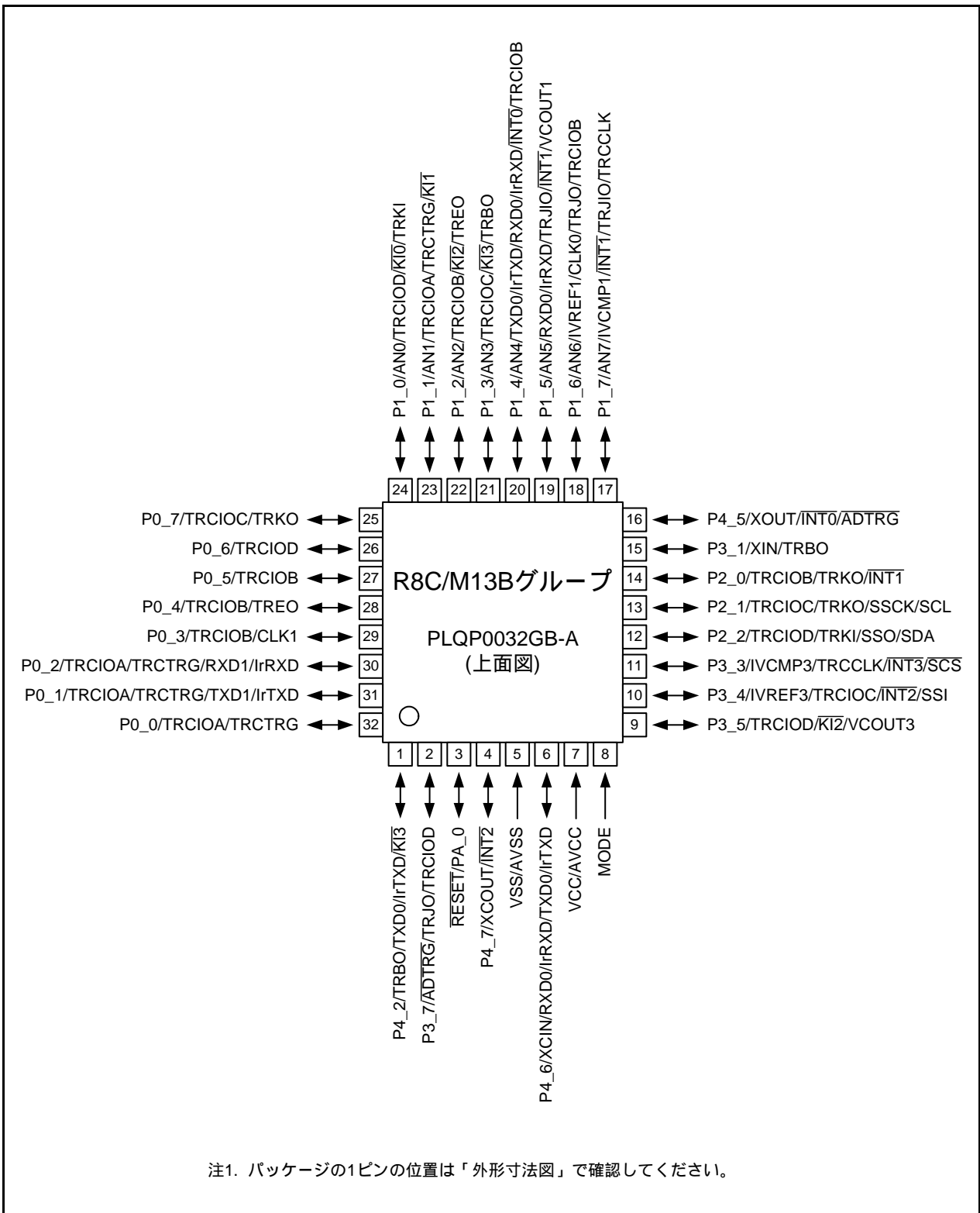


図1.3 ピン配置図(上面図)

表1.4 ピン番号別端子名一覧

ピン 番号	制御端子	ポート	周辺機能の入出力端子						
			割り込み	タイマ	シリアル インタフェース	IrDA	SSU	I <sup>2</sup> C バス	A/Dコンバータ、 コンパレータB
1		P4_2	$\overline{\text{KI3}}$	TRBO	TXD0	IrTXD			
2		P3_7		TRJO/TRCIOD					$\overline{\text{ADTRG}}$
3	$\overline{\text{RESET}}$	PA_0							
4	XCOU $\overline{\text{T}}$	P4_7	$\overline{\text{INT2}}$						
5	VSS/AVSS								
6	XCIN	P4_6			RXD0/TXD0	IrRXD/ IrTXD			
7	VCC/AVCC								
8	MODE								
9		P3_5	$\overline{\text{KI2}}$	TRCIOD					VCOUT3
10		P3_4	$\overline{\text{INT2}}$	TRCIO $\overline{\text{C}}$			SSI		IVREF3
11		P3_3	$\overline{\text{INT3}}$	TRCCLK			$\overline{\text{SCS}}$		IVCMP3
12		P2_2		TRCIOD/TRKI			SSO	SDA	
13		P2_1		TRCIO $\overline{\text{C}}$ /TRKO			SSCK	SCL	
14		P2_0	$\overline{\text{INT1}}$	TRCIOB/TRKO					
15	XIN	P3_1		TRBO					
16	XOUT	P4_5	$\overline{\text{INT0}}$						$\overline{\text{ADTRG}}$
17		P1_7	$\overline{\text{INT1}}$	TRJIO/TRCCLK					AN7/IVCMP1
18		P1_6		TRJO/TRCIOB	CLK0				AN6/IVREF1
19		P1_5	$\overline{\text{INT1}}$	TRJIO	RXD0	IrRXD			AN5/VCOUT1
20		P1_4	$\overline{\text{INT0}}$	TRCIOB	RXD0/TXD0	IrRXD/ IrTXD			AN4
21		P1_3	$\overline{\text{KI3}}$	TRBO/TRCIO $\overline{\text{C}}$					AN3
22		P1_2	$\overline{\text{KI2}}$	TRCIOB/TREO					AN2
23		P1_1	$\overline{\text{KI1}}$	TRCIOA/TRCTR $\overline{\text{G}}$					AN1
24		P1_0	$\overline{\text{KI0}}$	TRCIOD/TRKI					AN0
25		P0_7		TRCIO $\overline{\text{C}}$ /TRKO					
26		P0_6		TRCIOD					
27		P0_5		TRCIOB					
28		P0_4		TRCIOB/TREO					
29		P0_3		TRCIOB	CLK1				
30		P0_2		TRCIOA/TRCTR $\overline{\text{G}}$	RXD1	IrRXD			
31		P0_1		TRCIOA/TRCTR $\overline{\text{G}}$	TXD1	IrTXD			
32		P0_0		TRCIOA/TRCTR $\overline{\text{G}}$					

## 1.5 端子機能の説明

表1.5および表1.6に端子機能の説明を示します。

表1.5 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	VCCには1.8V～5.5Vを入力してください。 VSSには0Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。 AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子にLを入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。
XINクロック出力	XOUT	出力	XIN端子とXOUT端子の間には、セラミック共振子または水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XINからクロックを入力してください。このとき、P4_5は入出力ポートとして使用できます。
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。
XCINクロック出力	XCOU	出力	XCIN端子とXCOU端子の間には、水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XCINからクロックを入力してください。このとき、P4_7は入出力ポートとして使用できます。
INT割り込み入力	INT0～INT3	入力	INT割り込みの入力です。
キー入力割り込み	KI0～KI3	入力	キー入力割り込みの入力です。
入出力ポート	P0_0～P0_7、 P1_0～P1_7、 P2_0～P2_2、P3_1、 P3_3～P3_5、P3_7、 P4_2、P4_5～P4_7、 PA_0	入出力	CMOSの入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートにできます。 PA_0以外の入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 P1_2～P1_5、P3_3～P3_5、P3_7は、LED駆動ポートとして使用できます。
タイマRJ2	TRJIO	入出力	タイマRJ2の入出力です。
	TRJO	出力	タイマRJ2の出力です。
タイマRB2	TRBO	出力	タイマRB2の出力です。
タイマRC	TRCCLK	入力	外部クロック入力です。
	TRCTRG	入力	外部トリガ入力です。
	TRCIOA、TRCIOB、 TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRK	TRKI	入力	タイマRKの外部入力です。
	TRKO	出力	タイマRKの出力です。
タイマRE2	TREO	出力	タイマRE2の出力です。
シリアルインタフェース	CLK0、CLK1	入出力	転送クロック入出力です。
	RXD0、RXD1	入力	シリアルデータ入力です。
	TXD0、TXD1	出力	シリアルデータ出力です。
シンクロナスシリアルコミュニケーションユニット(SSU)	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSO	入出力	データ入出力です。
	SSCK	入出力	クロック入出力です。
I <sup>2</sup> Cバスインタフェース	SDA	入出力	データ入出力です。
	SCL	入出力	クロック入出力です。

注1. 発振特性は発振子メーカーに問い合わせてください。



表1.6 端子機能の説明(2)

分類	端子名	入出力	機能
IrDAインタフェース	IrRXD	入力	データ入力です。
	IrTXD	出力	データ出力です。
A/Dコンバータ	AN0 ~ AN7	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/Dコンバータの外部トリガ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力です。
	IVREF1、IVREF3	入力	コンパレータBの基準電圧入力です。
	VCOUT1、VCOUT3	出力	コンパレータBの比較結果出力です。

## 2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

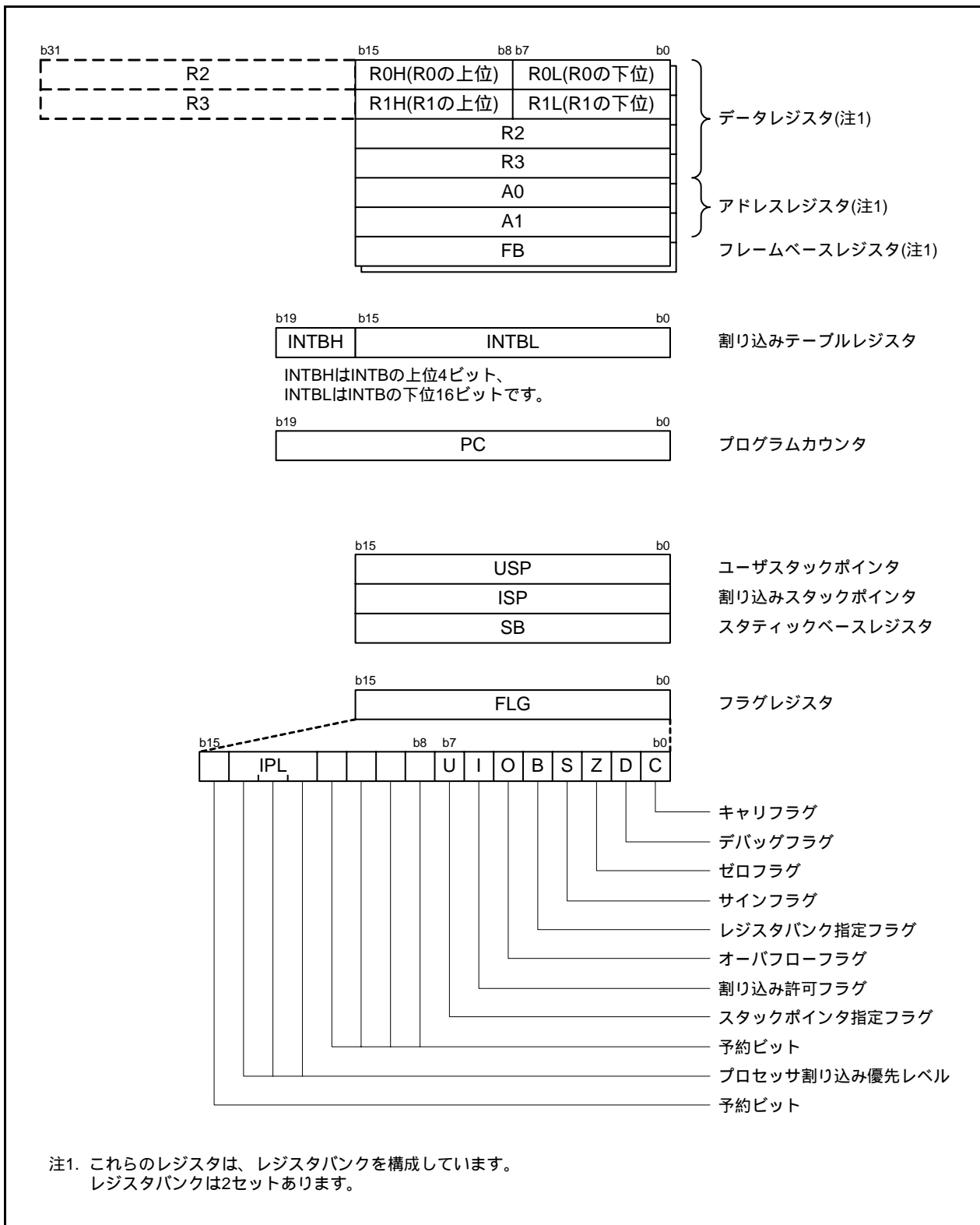


図2.1 CPUのレジスタ

## 2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせると32ビットのデータレジスタ(R2R0)として使用できません。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせると32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り換えられます。

## 2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。0にしてください。

### 2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき1になり、それ以外のとき0になります。

### 2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき1になり、それ以外のとき0になります。

### 2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが0の場合、レジスタバンク0が指定され、1の場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに1になります。それ以外では0になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが0の場合、マスカブル割り込みは禁止され、1の場合、許可されます。割り込み要求を受け付けると、Iフラグは0になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが0の場合、ISPが指定され、1の場合、USPが指定されます。ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは0になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。IPLをレベル2～7に設定すると、すべてのマスカブル割り込み要求は禁止されます。

### 2.8.10 予約ビット

書く場合、0を書いてください。読んだ場合、その値は不定です。

### 3. アドレス空間

#### 3.1 メモリマップ

図3.1にメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば8 Kバイトの内部ROMは、0E000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は03000h番地から037FFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば512バイトの内部RAMは、00400h番地から005FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

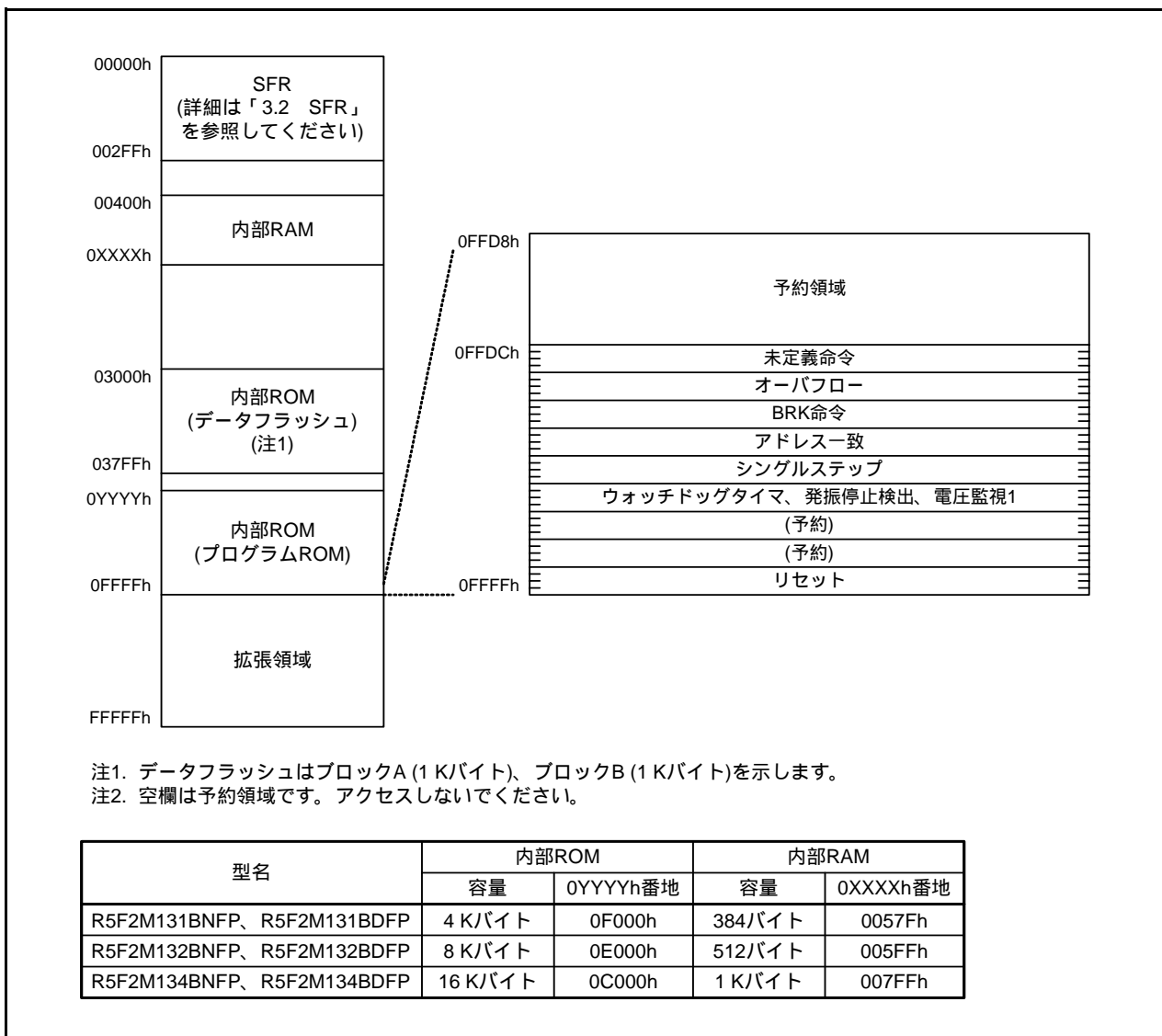


図3.1 メモリ配置図

## 3.2 SFR

SFR (Special Function Register) は、周辺機能の制御レジスタです。表3.1～表3.8にSFR一覧を、表3.9にIDコード領域、オプション機能選択領域を示します。

表3.1 SFR一覧(1) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h			
0005h			
0006h			
0007h			
0008h			
0009h			
000Ah			
000Bh			
000Ch			
000Dh			
000Eh			
000Fh			
00010h	プロセッサモードレジスタ0	PM0	00h
00011h			
00012h	モジュールスタンバイ制御レジスタ	MSTCR	00h (注2) 01110111b (注3)
00013h	プロテクトレジスタ	PRCR	00h
00014h			
00015h			
00016h	ハードウェアリセットプロテクトレジスタ	HRPR	00h
00017h	モジュールスタンバイ制御レジスタ1	MSTCR1	00h (注2) FFh (注3)
00018h			
00019h			
0001Ah			
0001Bh			
0001Ch			
0001Dh			
0001Eh			
0001Fh			
00020h	外部クロック制御レジスタ	EXCKCR	00h
00021h	高速/低速オンチップオシレータ制御レジスタ	OCOCR	00h
00022h	システムクロックf制御レジスタ	SCKCR	00h
00023h	システムクロックf選択レジスタ	PHISEL	00h
00024h	クロック停止制御レジスタ	CKSTPR	00h
00025h	モード復帰時クロック制御レジスタ	CKRSCR	00h
00026h	発振停止検出レジスタ	BAKCR	00h
00027h			
00028h			
00029h			
0002Ah			
0002Bh			
0002Ch			
0002Dh			
0002Eh			
0002Fh			
00030h	ウォッチドッグタイマ機能レジスタ	RISR	10000000b (注4) 00h (注5)
00031h	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
00032h	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
00033h	ウォッチドッグタイマ制御レジスタ	WDTC	01XXXXXXb
00034h	カウントソース保護モードレジスタ	CSPR	10000000b (注4) 00h (注5)
00035h	周期タイマ割り込み制御レジスタ	WDTIR	00h
00036h			
00037h			
00038h	外部入力許可レジスタ	INTEN	00h
00039h			

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFS2レジスタのMSTINIビットが0の場合。

注3. OFS2レジスタのMSTINIビットが1の場合。

注4. OFSレジスタのCSPROINIビットが0の場合。

注5. OFSレジスタのCSPROINIビットが1の場合。

表3.2 SFR一覧(2) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0003Ah	INT入力フィルタ選択レジスタ0	INTF0	00h
0003Bh			
0003Ch	INT入力エッジ選択レジスタ0	ISCR0	00h
0003Dh			
0003Eh	キー入力許可レジスタ	KIEN	00h
0003Fh			
00040h	割り込み優先レベルレジスタ0	ILVL0	00h
00041h	割り込み優先レベルレジスタ1	ILVL1	00h
00042h	割り込み優先レベルレジスタ2	ILVL2	00h
00043h	割り込み優先レベルレジスタ3	ILVL3	00h
00044h	割り込み優先レベルレジスタ4	ILVL4	00h
00045h	割り込み優先レベルレジスタ5	ILVL5	00h
00046h	割り込み優先レベルレジスタ6	ILVL6	00h
00047h	割り込み優先レベルレジスタ7	ILVL7	00h
00048h	割り込み優先レベルレジスタ8	ILVL8	00h
00049h	割り込み優先レベルレジスタ9	ILVL9	00h
0004Ah	割り込み優先レベルレジスタA	ILVLA	00h
0004Bh	割り込み優先レベルレジスタB	ILVLB	00h
0004Ch	割り込み優先レベルレジスタC	ILVLC	00h
0004Dh	割り込み優先レベルレジスタD	ILVLD	00h
0004Eh	割り込み優先レベルレジスタE	ILVLE	00h
0004Fh			
00050h	割り込みモニタフラグレジスタ0	IRR0	00h
00051h	割り込みモニタフラグレジスタ1	IRR1	00h
00052h	割り込みモニタフラグレジスタ2	IRR2	00h
00053h	外部割り込みフラグレジスタ	IRR3	00h
00054h			
00055h			
00056h			
00057h			
00058h	電圧監視回路エッジ選択レジスタ	VCAC	00h
00059h			
0005Ah	電圧検出レジスタ2	VCA2	00100100b (注2) 00000100b (注3)
0005Bh	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0005Ch	電圧監視0回路制御レジスタ	VW0C	1100X011b (注2) 1100X010b (注3)
0005Dh	電圧監視1回路制御レジスタ	VW1C	10001010b
0005Eh			
0005Fh	リセット要因判別レジスタ	RSTFR	0000XXXXb (注4)
00060h			
00061h			
00062h			
00063h			
00064h	高速オンチップオシレータ18.432 MHz制御レジスタ0	FR18S0	出荷時の値
00065h	高速オンチップオシレータ18.432 MHz制御レジスタ1	FR18S1	出荷時の値
00066h			
00067h	高速オンチップオシレータ制御レジスタ1	FRV1	出荷時の値
00068h	高速オンチップオシレータ制御レジスタ2	FRV2	出荷時の値
00069h			
0006Ah			
0006Bh			
0006Ch			
0006Dh			
0006Eh			
0006Fh			
00070h			
00071h			
00072h			
00073h			
00074h			
00075h			
00076h			
00077h			
00078h			
00079h			

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのLVDASビットが0の場合。

注3. OFSレジスタのLVDASビットが1の場合。

注4. リセット要因によってリセット後の値が異なります。

表3.3 SFR一覧(3) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
0007Ah			
0007Bh			
0007Ch			
0007Dh			
0007Eh			
0007Fh			
00080h	UART0送受信モードレジスタ	U0MR	00h
00081h	UART0ビットレートレジスタ	U0BRG	XXh
00082h	UART0送信バッファレジスタ	U0TBL	XXh
00083h		U0TBH	XXh
00084h	UART0送受信制御レジスタ0	U0C0	00001000b
00085h	UART0送受信制御レジスタ1	U0C1	00000010b
00086h	UART0受信バッファレジスタ	U0RBL	XXh
00087h		U0RBH	XXh
00088h	UART0割り込みフラグと許可レジスタ	U0IR	00h
00089h			
0008Ah			
0008Bh			
0008Ch			
0008Dh			
0008Eh			
0008Fh			
00090h			
00091h			
00092h			
00093h			
00094h			
00095h			
00096h			
00097h			
00098h	A/Dレジスタ0	AD0L	XXh
00099h		AD0H	000000XXb
0009Ah	A/Dレジスタ1	AD1L	XXh
0009Bh		AD1H	000000XXb
0009Ch	A/Dモードレジスタ	ADMOD	00h
0009Dh	A/D入力選択レジスタ	ADINSEL	00h
0009Eh	A/D制御レジスタ0	ADCON0	00h
0009Fh	A/D割り込み制御ステータスレジスタ	ADICSR	00h
000A0h			
000A1h			
000A2h			
000A3h			
000A4h			
000A5h			
000A6h			
000A7h			
000A8h	ポートP0方向レジスタ	PD0	00h
000A9h	ポートP1方向レジスタ	PD1	00h
000AAh	ポートP2方向レジスタ	PD2	00h
000ABh	ポートP3方向レジスタ	PD3	00h
000ACh	ポートP4方向レジスタ	PD4	00h
000ADh	ポートPA方向レジスタ	PDA	00h
000AEh	ポートP0レジスタ	P0	00h
000AFh	ポートP1レジスタ	P1	00h
000B0h	ポートP2レジスタ	P2	00h
000B1h	ポートP3レジスタ	P3	00h
000B2h	ポートP4レジスタ	P4	00h
000B3h	ポートPAレジスタ	PA	00h
000B4h	ブルアップ制御レジスタ0	PUR0	00h
000B5h	ブルアップ制御レジスタ1	PUR1	00h
000B6h	ブルアップ制御レジスタ2	PUR2	00h
000B7h	ブルアップ制御レジスタ3	PUR3	00h
000B8h	ブルアップ制御レジスタ4	PUR4	00h
000B9h	ポート入出力機能制御レジスタ	PINSR	00h
000BAh			
000BBh	駆動能力制御レジスタ1	DRR1	00h
000BCh			
000BDh	駆動能力制御レジスタ3	DRR3	00h
000BEh			
000BFh			

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。



表3.4 SFR一覧(4) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
000C0h	オーブンドレイン制御レジスタ0	POD0	00h
000C1h	オーブンドレイン制御レジスタ1	POD1	00h
000C2h	オーブンドレイン制御レジスタ2	POD2	00h
000C3h	オーブンドレイン制御レジスタ3	POD3	00h
000C4h	オーブンドレイン制御レジスタ4	POD4	00h
000C5h	ポートPAモード制御レジスタ	PAMCR	11h
000C6h	ポート0機能マッピングレジスタ0	PML0	00h
000C7h	ポート0機能マッピングレジスタ1	PMH0	00h
000C8h	ポート1機能マッピングレジスタ0	PML1	00h
000C9h	ポート1機能マッピングレジスタ1	PMH1	00h
000CAh	ポート2機能マッピングレジスタ0	PML2	00h
000CBh			
000CCh	ポート3機能マッピングレジスタ0	PML3	00h
000CDh	ポート3機能マッピングレジスタ1	PMH3	00h
000CEh	ポート4機能マッピングレジスタ0	PML4	00h
000CFh	ポート4機能マッピングレジスタ1	PMH4	00h
000D0h			
000D1h	ポート1機能マッピング拡張レジスタ	PMH1E	00h
000D2h			
000D3h			
000D4h			
000D5h			
000D6h			
000D7h			
000D8h	タイマRJカウンタレジスタ	TRJ	FFh
000D9h			FFh
000DAh	タイマRJ制御レジスタ	TRJCR	00h
000DBh	タイマRJ I/O制御レジスタ	TRJIOC	00h
000DCh	タイマRJモードレジスタ	TRJMR	00h
000DDh	タイマRJイベント選択レジスタ	TRJISR	00h
000DEh	タイマRJ割り込み制御レジスタ	TRJIR	00h
000DFh			
000E0h	タイマRB制御レジスタ	TRBCR	00h
000E1h	タイマRBワンショット制御レジスタ	TRBOCR	00h
000E2h	タイマRB I/O制御レジスタ	TRBIOC	00h
000E3h	タイマRBモードレジスタ	TRBMR	00h
000E4h	タイマRBプリスケアラレジスタ(注2) タイマRBプライマリ/セカンダリレジスタ(下位8ビット)(注3)	TRBPRE	FFh
000E5h	タイマRBプライマリレジスタ(注2) タイマRBプライマリレジスタ(上位8ビット)(注3)	TRBPR	FFh
000E6h	タイマRBセカンダリレジスタ(注2) タイマRBセカンダリレジスタ(上位8ビット)(注3)	TRBSC	FFh
000E7h	タイマRB割り込み制御レジスタ	TRBIR	00h
000E8h	タイマRCカウンタ	TRCCNT	00h
000E9h			00h
000EAh	タイマRCジェネラルレジスタA	TRCGRA	FFh
000EBh			FFh
000ECh	タイマRCジェネラルレジスタB	TRCGRB	FFh
000EDh			FFh
000EEh	タイマRCジェネラルレジスタC	TRCGRC	FFh
000EFh			FFh
000F0h	タイマRCジェネラルレジスタD	TRCGRD	FFh
000F1h			FFh
000F2h	タイマRCモードレジスタ	TRCMR	01001000b
000F3h	タイマRC制御レジスタ1	TRCCR1	00h
000F4h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
000F5h	タイマRCステータスレジスタ	TRCSR	01110000b
000F6h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
000F7h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
000F8h	タイマRC制御レジスタ2	TRCCR2	00011000b
000F9h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
000FAh	タイマRC出力許可レジスタ	TRCOER	01111111b
000FBh	タイマRC A/D変換トリガ制御レジスタ	TRCADCR	11110000b
000FCh	タイマRC波形出力操作レジスタ	TRCOPR	00h
000FDh			
000FEh			
000FFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. TRBMRレジスタのTCNT16ビットが0の場合。

注3. TRBMRレジスタのTCNT16ビットが1の場合。

表3.5 SFR一覧(5) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00100h			
00101h			
00102h			
00103h			
00104h			
00105h			
00106h			
00107h			
00108h			
00109h			
0010Ah			
0010Bh			
0010Ch			
0010Dh			
0010Eh			
0010Fh			
00110h			
00111h			
00112h			
00113h			
00114h			
00115h			
00116h			
00117h			
00118h			
00119h			
0011Ah			
0011Bh			
0011Ch			
0011Dh			
0011Eh			
0011Fh			
00120h			
00121h			
00122h			
00123h			
00124h			
00125h			
00126h			
00127h			
00128h			
00129h			
0012Ah			
0012Bh			
0012Ch			
0012Dh			
0012Eh			
0012Fh			
00130h	タイマRE秒データレジスタ	TRESEC	XXXXXXXXb
	タイマREカウンタデータレジスタ	TRECNT	
00131h	タイマRE分データレジスタ	TREMINT	XXXXXXXXb
	タイマREコンペアデータレジスタ		
00132h	タイマRE時データレジスタ	TREHR	00XXXXXXb
00133h	タイマRE曜日データレジスタ	TREWK	00000XXXb
00134h	タイマRE日データレジスタ	TREDY	00XXXXXXb
00135h	タイマRE月データレジスタ	TREMON	000XXXXXb
00136h	タイマRE年データレジスタ	TREYR	XXXXXXXXb
00137h	タイマRE制御レジスタ	TRECR	XXX00X0Xb
00138h	タイマREカウントソース選択レジスタ	TRECSR	X0001000b
00139h	タイマRE時計誤差補正レジスタ	TREADJ	XXXXXXXXb
0013Ah	タイマRE割り込みフラグレジスタ	TREIFR	00000XXXb
0013Bh	タイマRE割り込み許可レジスタ	TREIER	XXXXXXXXb
0013Ch	タイマREアラーム分レジスタ	TREAMN	XXXXXXXXb
0013Dh	タイマREアラーム時レジスタ	TREHR	XXXXXXXXb
0013Eh	タイマREアラーム曜日レジスタ	TREAWK	X0000XXXb
0013Fh	タイマREプロテクトレジスタ	TREPRC	00000000b

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.6 SFR一覧(6) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00140h			
00141h			
00142h			
00143h			
00144h			
00145h			
00146h			
00147h			
00148h			
00149h			
0014Ah			
0014Bh			
0014Ch			
0014Dh			
0014Eh			
0014Fh			
00150h			
00151h			
00152h			
00153h			
00154h			
00155h			
00156h			
00157h			
00158h			
00159h			
0015Ah			
0015Bh			
0015Ch			
0015Dh			
0015Eh			
0015Fh			
00160h	IIC制御レジスタ	IICCR	00001110b
00161h	SSビットカウンタレジスタ	SSBR	11111000b
00162h	SI送信データレジスタ	SITDR	FFh
00163h			FFh
00164h	SI受信データレジスタ	SIRDR	FFh
00165h			FFh
00166h	SI制御レジスタ1	SICR1	00h
00167h	SI制御レジスタ2	SICR2	01111101b
00168h	SIモードレジスタ1	SIMR1	00010000b (注2) 00011000b (注3)
00169h	SI割り込み許可レジスタ	SIER	00h
0016Ah	SIステータスレジスタ	SISR	00h
0016Bh	SIモードレジスタ2	SIMR2	00h
0016Ch			
0016Dh			
0016Eh			
0016Fh			
00170h			
00171h			
00172h			
00173h			
00174h			
00175h			
00176h			
00177h			
00178h			
00179h			
0017Ah			
0017Bh			
0017Ch			
0017Dh			
0017Eh			
0017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSU機能の場合。

注3. I<sup>2</sup>Cバス機能の場合。

表3.7 SFR一覧(7) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
00180h	コンパレータB制御レジスタ	WCMPR	00h
00181h	コンパレータB1割り込み制御レジスタ	WCB1INTR	00h
00182h	コンパレータB3割り込み制御レジスタ	WCB3INTR	00h
00183h			
00184h			
00185h			
00186h			
00187h			
00188h	タイマRKモードレジスタ	TMKM	00h
00189h	タイマRK制御レジスタ	TMKCR	00h
0018Ah	タイマRKロードレジスタ	TMKLD (TMKCNT)	00h
0018Bh	タイマRKコンパア一致データレジスタ	TMKCMP	00h
0018Ch	タイマRK割り込み要求とステータスレジスタ	TMKIR	00h
0018Dh			
0018Eh			
0018Fh			
00190h	UART1送受信モードレジスタ	U1MR	00h
00191h	UART1ビットレートレジスタ	U1BRG	XXh
00192h	UART1送信バッファレジスタ	U1TBL	XXh
00193h		U1TBH	XXh
00194h	UART1送受信制御レジスタ0	U1C0	00001000b
00195h	UART1送受信制御レジスタ1	U1C1	00000010b
00196h	UART1受信バッファレジスタ	U1RBL	XXh
00197h		U1RBH	XXh
00198h	UART1割り込みフラグと許可レジスタ	U1IR	00h
00199h			
0019Ah			
0019Bh			
0019Ch	IrDA制御レジスタ	IRCR	00h
0019Dh			
0019Eh			
0019Fh			
001A0h			
001A1h			
001A2h			
001A3h			
001A4h			
001A5h			
001A6h			
001A7h			
001A8h			
001A9h	フラッシュメモリステータスレジスタ	FST	10000000b
001AAh	フラッシュメモリ制御レジスタ0	FMR0	00h
001ABh	フラッシュメモリ制御レジスタ1	FMR1	00h
001ACh	フラッシュメモリ制御レジスタ2	FMR2	00h
001ADh	フラッシュメモリリフレッシュ制御レジスタ	FREFR	00h
001AEh			
001AFh			
001B0h			
001B1h			
001B2h			
001B3h			
001B4h			
001B5h			
001B6h			
001B7h			
001B8h			
001B9h			
001BAh			
001BBh			
001BCh			
001BDh			
001BEh			
001BFh			

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.8 SFR一覧(8) (注1)

アドレス	レジスタ名	シンボル	リセット後の値
001C0h	アドレス一致割り込みレジスタ0	AIADR0L	00h
001C1h		AIADR0M	00h
001C2h		AIADR0H	00h
001C3h	アドレス一致割り込み許可レジスタ0	AIEN0	00h
001C4h	アドレス一致割り込みレジスタ1	AIADR1L	00h
001C5h		AIADR1M	00h
001C6h		AIADR1H	00h
001C7h	アドレス一致割り込み許可レジスタ1	AIEN1	00h
001C8h			
001C9h			
001CAh			
001CBh			
001CCh			
001CDh			
001CEh			
001CFh			
001D0h			
001D1h			
001D2h			
001D3h			
001D4h			
001D5h			
001D6h			
001D7h			
001D8h			
001D9h			
001DAh			
001DBh			
001DCh			
001DDh			
001DEh			
001DFh			
001E0h			
001E1h			
001E2h			
001E3h			
001E4h			
001E5h			
001E6h			
001E7h			
001E8h			
001E9h			
001EAh			
001EBh			
001ECh			
001EDh			
001EEh			
001EFh			
001F0h			
001F1h			
001F2h			
001F3h			
001F4h			
001F5h			
001F6h			
001F7h			
001F8h			
001F9h			
001FAh			
001FBh			
001FCh			
001FDh			
001FEh			
001FFh			

注1. 空欄は予約領域です。アクセスしないでください。

表3.9 IDコード領域、オプション機能選択領域

アドレス	領域名	シンボル	リセット後の値
0FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
0FFDFh	ID1		(注2)
0FFE3h	ID2		(注2)
0FFEBh	ID3		(注2)
0FFEfh	ID4		(注2)
0FFF3h	ID5		(注2)
0FFF7h	ID6		(注2)
0FFFBh	ID7		(注2)
0FFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はFFhになります。

ブランク出荷品の出荷時、オプション機能選択領域はFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域はFFhになります。

ブランク出荷品の出荷時、IDコード領域はFFhです。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

## 4. 電気的特性

表4.1 絶対最大定格

記号	項目		測定条件	定格値	単位
V <sub>CC</sub> /AV <sub>CC</sub>	電源電圧			-0.3 ~ 6.5	V
V <sub>I</sub>	入力電圧	XIN	XIN-XOUT発振時 (発振回路使用時) (注1)	-0.3 ~ 1.9	V
			XIN-XOUT発振停止時 (発振回路未使用時) (注1)	-0.3 ~ V <sub>CC</sub> + 0.3	V
		その他の端子		-0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>O</sub>	出力電圧	XOUT	XIN-XOUT発振時 (発振回路使用時) (注1)	-0.3 ~ 1.9	V
			XIN-XOUT発振停止時 (発振回路未使用時) (注1)	-0.3 ~ V <sub>CC</sub> + 0.3	V
		その他の端子		-0.3 ~ V <sub>CC</sub> + 0.3	V
P <sub>d</sub>	消費電力		-40 °C Topr 85 °C	500	mW
T <sub>opr</sub>	動作周囲温度			-20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)	°C
T <sub>stg</sub>	保存温度			-60 ~ 150	°C

注1. 発振回路使用時：EXCKCRレジスタのCKPT1～CKPT0ビットが11b  
 発振回路未使用時：EXCKCRレジスタのCKPT1～CKPT0ビットが11b以外

表4.2 推奨動作条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V <sub>CC</sub> /AV <sub>CC</sub>	電源電圧			1.8	—	5.5	V
V <sub>SS</sub> /AV <sub>SS</sub>	電源電圧			—	0	—	V
V <sub>IH</sub>	H入力電圧	CMOS入力以外		0.8 V <sub>CC</sub>	—	V <sub>CC</sub>	V
		CMOS入力	4.0 V V <sub>CC</sub> 5.5 V	0.65 V <sub>CC</sub>	—	V <sub>CC</sub>	V
			2.7 V V <sub>CC</sub> < 4.0 V	0.7 V <sub>CC</sub>	—	V <sub>CC</sub>	V
			1.8 V V <sub>CC</sub> < 2.7 V	0.8 V <sub>CC</sub>	—	V <sub>CC</sub>	V
V <sub>IL</sub>	L入力電圧	CMOS入力以外		0	—	0.2 V <sub>CC</sub>	V
		CMOS入力	4.0 V V <sub>CC</sub> 5.5 V	0	—	0.4 V <sub>CC</sub>	V
			2.7 V V <sub>CC</sub> < 4.0 V	0	—	0.3 V <sub>CC</sub>	V
			1.8 V V <sub>CC</sub> < 2.7 V	0	—	0.2 V <sub>CC</sub>	V
I <sub>OH</sub> (sum)	H尖頭総出力電流	全端子のI <sub>OH</sub> (peak)の総和		—	—	-160	mA
I <sub>OH</sub> (sum)	H平均総出力電流	全端子のI <sub>OH</sub> (avg)の総和		—	—	-80	mA
I <sub>OH</sub> (peak)	H尖頭出力電流		駆動能力Low時	—	—	-10	mA
			駆動能力High時(注5)	—	—	-40	mA
I <sub>OH</sub> (avg)	H平均出力電流		駆動能力Low時	—	—	-5	mA
			駆動能力High時(注5)	—	—	-20	mA
I <sub>OL</sub> (sum)	L尖頭総出力電流	全端子のI <sub>OL</sub> (peak)の総和		—	—	160	mA
I <sub>OL</sub> (sum)	L平均総出力電流	全端子のI <sub>OL</sub> (avg)の総和		—	—	80	mA
I <sub>OL</sub> (peak)	L尖頭出力電流		駆動能力Low時	—	—	10	mA
			駆動能力High時(注5)	—	—	40	mA
I <sub>OL</sub> (avg)	L平均出力電流		駆動能力Low時	—	—	5	mA
			駆動能力High時(注5)	—	—	20	mA
f(XIN)	XIN発振周波数		2.7 V V <sub>CC</sub> 5.5 V	2	—	20	MHz
			1.8 V V <sub>CC</sub> < 2.7 V	2	—	5	MHz
	XINクロック入力発振周波数		2.7 V V <sub>CC</sub> 5.5 V	0	—	20	MHz
			1.8 V V <sub>CC</sub> < 2.7 V	0	—	5	MHz
f(XCIN)	XCINクロック入力発振周波数		1.8 V V <sub>CC</sub> 5.5 V	—	32.768	—	kHz
fHOCO	高速オンチップオシレータ発振周波数(注3)		1.8 V V <sub>CC</sub> 5.5 V	—	20	—	MHz
fLOCO	低速オンチップオシレータ発振周波数(注4)		1.8 V V <sub>CC</sub> 5.5 V	—	125	—	kHz
—	システムクロック周波数		2.7 V V <sub>CC</sub> 5.5 V	—	—	20	MHz
			1.8 V V <sub>CC</sub> < 2.7 V	—	—	5	MHz
f <sub>s</sub>	CPUクロック周波数		2.7 V V <sub>CC</sub> 5.5 V	0	—	20	MHz
			1.8 V V <sub>CC</sub> < 2.7 V	0	—	5	MHz

注1. 指定のない場合は、V<sub>CC</sub> = 1.8 V ~ 5.5 V、T<sub>opr</sub> = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. 電気的特性は「表4.10 高速オンチップオシレータ発振回路の電気的特性」を参照してください。

注4. 電気的特性は「表4.11 低速オンチップオシレータ発振回路の電気的特性」を参照してください。

注5. 高駆動能力を持っている端子はP1\_2、P1\_3、P1\_4、P1\_5、P3\_3、P3\_4、P3\_5、P3\_7です。

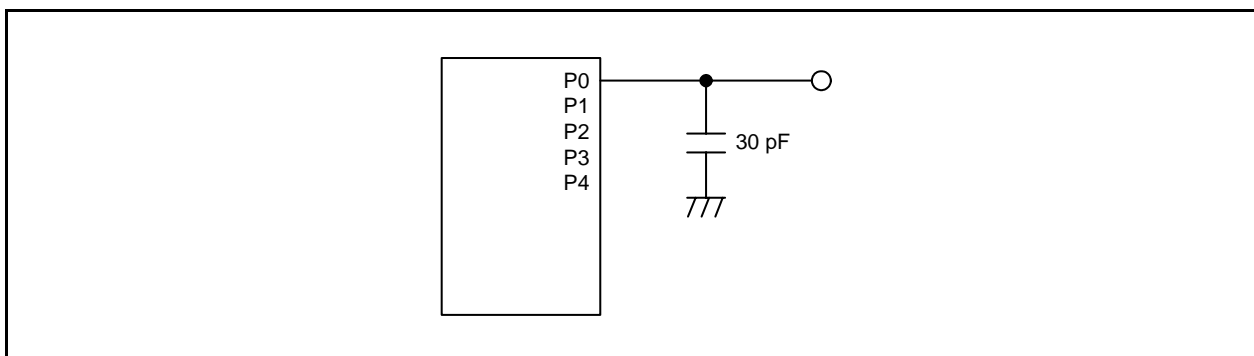


図4.1 ポートP0 ~ P4のタイミング測定回路



表4.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能		—	—	10	Bit
—	絶対精度	AVcc = 5.0 V AN0 ~ AN7入力	—	—	±3	LSB
		AVcc = 3.0 V AN0 ~ AN7入力	—	—	±5	LSB
		AVcc = 1.8 V AN0 ~ AN7入力	—	—	±5	LSB
—	A/D変換クロック	4.0 V AVcc 5.5 V (注2)	2	—	20	MHz
		3.2 V AVcc 5.5 V (注2)	2	—	16	MHz
		2.7 V AVcc 5.5 V (注2)	2	—	10	MHz
		1.8 V AVcc 5.5 V (注2)	2	—	5	MHz
—	許容信号源インピーダンス			3	kΩ	
tCONV	変換時間	AVcc = 5.0 V、φAD = 20 MHz	2.20	—	—	μs
tsAMP	サンプリング時間	φAD = 20 MHz	0.80	—	—	μs
VIA	アナログ入力電圧		0	—	AVcc	V

注1. 指定のない場合は、Vcc/AVcc = 1.8 V ~ 5.5 V、Vss = 0 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. ストップモード時、フラッシュメモリの停止時および低消費電流リードモード時では、A/D変換結果が不定になります。これらの状態のときにA/D変換を行わないでください。A/D変換中にこれらの状態に移行しないでください。

表4.4 コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vref	IVREF1、IVREF3入力基準電圧		0	—	Vcc - 1.4	V
Vi	IVCMP1、IVCMP3入力電圧		-0.3	—	Vcc + 0.3	V
—	オフセット		—	5	100	mV
td	コンパレータ出力遅延時間(注2)	Vi = Vref ± 100 mV	—	0.1	—	μs
IcMP	コンパレータ動作電流	Vcc = 5.0 V	—	17.5	—	μA

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. デジタルフィルタ無効時。

表4.5 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム/イレーズ回数(注2)		10,000(注3)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)		—	80	—	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)		—	160	—	μs
—	ブロックイレーズ時間		—	0.12	—	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		0	—	60	°C
—	データ保持時間(注7)	周囲温度 = 85 °C	10	—	—	年

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = 0 °C ~ 60 °Cです。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数が10,000回の場合、ブロックごとにそれぞれ10,000回ずつイレーズできます。

例えば、1 KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。保証は1 ~ 最小値の範囲です。

注4. 多数回の書き換えを実施するシステムの場合は、実質的な書き換え回数を減少させるために、書き込み番地を順にずらしていくなどして、空き領域ができるだけ残らないように、プログラム(書き込み)を実施してから1回のイレーズを行ってください。

例えば、1組16バイトをプログラムする場合、最大128組の書き込みを実施してから1回のイレーズをすることで、実質的な書き換え回数を少なくできます。ブロックごとのイレーズ回数を情報として残し、制限回数を設けることをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが、印加されていない時間を含みます。

表4.6 フラッシュメモリ(データフラッシュ ブロックA、B)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム/イレーズ回数(注2)		10,000 (注3)	—	—	回
—	バイトプログラム時間		—	150	—	μs
—	ブロックイレーズ時間		—	0.05	1	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	0.25 + CPUクロック × 3サイクル	ms
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		1.8	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		-20 (Nバージョン)	—	85	°C
			-40 (Dバージョン)	—	85	°C
—	データ保持時間(注7)	周囲温度 = 85 °C	10	—	—	年

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数が10,000回の場合、ブロックごとにそれぞれ10,000回ずつイレーズできます。

例えば、1 KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。保証は1~最小値の範囲です。

注4. 多数回の書き換えを実施するシステムの場合は、実質的な書き換え回数を減少させるために、書き込み番地を順にずらしていくなどして、空き領域ができるだけ残らないように、プログラム(書き込み)を実施してから1回のイレーズを行ってください。例えば、1組16バイトをプログラムする場合、最大128組の書き込みを実施してから1回のイレーズをすることで、実質的な書き換え回数を少なくできます。ブロックごとのイレーズ回数を情報として残し、制限回数を設けることをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特约店にお問い合わせください。

注7. 電源電圧またはクロックが、印加されていない時間を含みます。

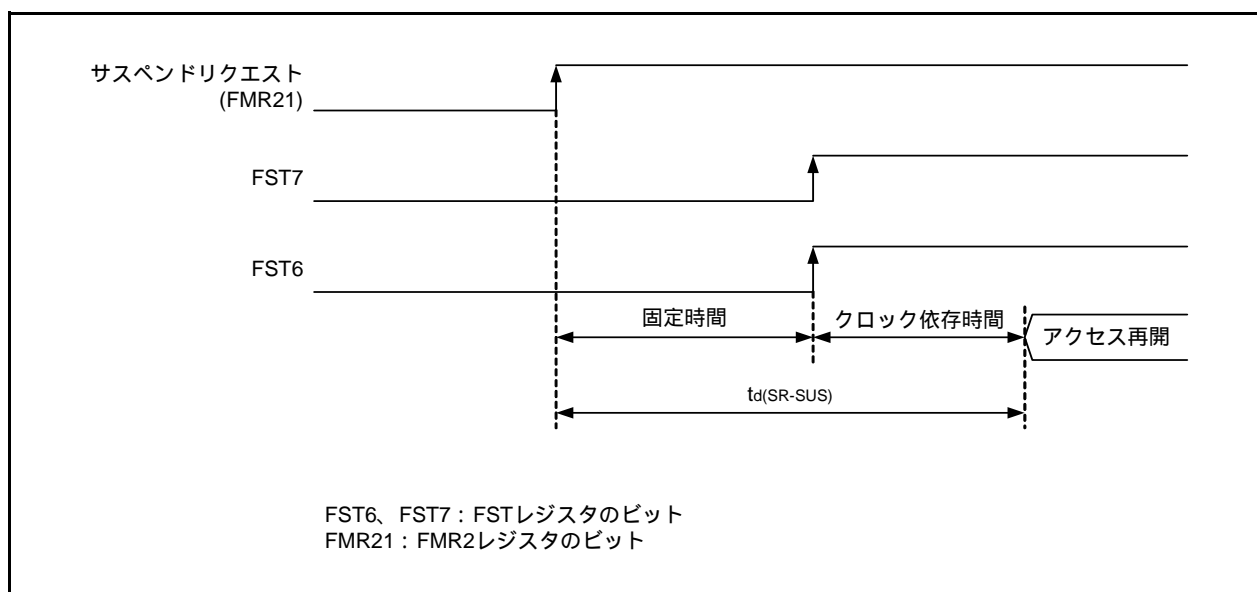


図4.2 サスペンドへの遷移時間

表4.7 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注2)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注2)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注2)		2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注2)		3.55	3.80	4.05	V
—	電圧検出0回路反応時間(注3)	Vcc = 5 V (Vdet0_0 - 0.1) V に下げたとき	—	30	—	μs
—	電圧検出回路の自己消費電流	VC0E = 1、Vcc = 5.0 V	—	1.5	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)		—	—	100	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 電圧検出レベルは、OFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注4. VCA2レジスタのVC0Eビットを0にした後、再度1にした場合、電圧検出回路が動作するまでに必要な時間です。

表4.8 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_1 (注2)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_3 (注2)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_7 (注2)	Vcc立ち下がり時	3.00	3.25	3.55	V
	電圧検出レベルVdet1_9 (注2)	Vcc立ち下がり時	3.30	3.55	3.85	V
	電圧検出レベルVdet1_B (注2)	Vcc立ち下がり時	3.60	3.85	4.15	V
	電圧検出レベルVdet1_D (注2)	Vcc立ち下がり時	3.90	4.15	4.45	V
	電圧検出レベルVdet1_F (注2)	Vcc立ち下がり時	4.20	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_1 ~ Vdet1_5 選択時	—	0.07	—	V
		Vdet1_7 ~ Vdet1_F 選択時	—	0.10	—	V
—	電圧監視1回路反応時間(注3)	Vcc = 5 V (Vdet1_0 - 0.1) V に下げたとき	—	60	150	μs
—	電圧検出回路の自己消費電流	VC1E = 1、Vcc = 5.0 V	—	1.7	—	μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)		—	—	100	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 電圧検出レベルは、VD1LSレジスタのVD1S1 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVC1Eビットを0にした後、再度1にした場合、電圧検出回路が動作するまでに必要な時間です。

表4.9 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/msec

注1. 指定のない場合の測定条件は、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. パワーオンリセットを使用する場合は、OFSレジスタのLVDASビットを0にし、電圧監視0リセットを有効にしてください。

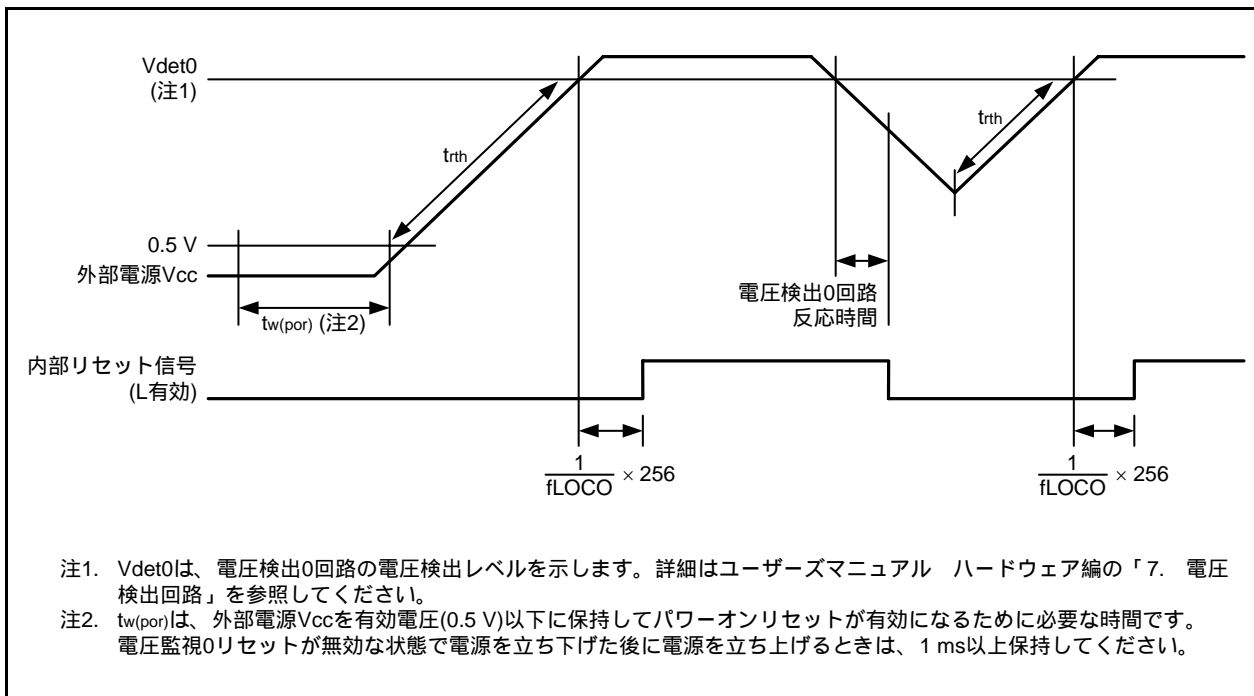


図4.3 パワーオンリセット回路の電気的特性

表4.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 1.8 V ~ 5.5 V -20 °C Topr 85 °C	19.2	20.0	20.8	MHz
		Vcc = 1.8 V ~ 5.5 V -40 °C Topr 85 °C	19.0	20.0	21.0	MHz
	FR18S0レジスタの補正値をFRV1レジスタに、かつFR18S1レジスタの補正値をFRV2レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2)	Vcc = 1.8 V ~ 5.5 V -20 °C Topr 85 °C	17.694	18.432	19.169	MHz
		Vcc = 1.8 V ~ 5.5 V -40 °C Topr 85 °C	17.510	18.432	19.353	MHz
—	発振安定時間		—	—	30	μs
—	発振時の自己消費電流	Vcc = 5.0 V、Topr = 25 °C	—	530	—	μA

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. シリアルインタフェースをUARTモードで使用時に、9600 bps、38400 bpsなどのビットレートの設定誤差を、0%にすることができます。

表4.11 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fLOCO	低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間		—	—	35	μs
—	発振時の自己消費電流	Vcc = 5.0 V、Topr = 25 °C	—	2	—	μA

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

表4.12 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		—	—	2,000	μs

注1. 測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = 25 °Cです。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表4.13 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4	—	—	tCYC (注2)
tHI	SSCKクロックHパルス幅			0.4	—	0.6	tSUCYC
tLO	SSCKクロックLパルス幅			0.4	—	0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ		—	—	1	tCYC (注2)
		スレーブ		—	—	1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ		—	—	1	tCYC (注2)
		スレーブ		—	—	1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100	—	—	ns
tH	SSO、SSIデータ入力ホールド時間			1	—	—	tCYC (注2)
tLEAD	SCSセットアップ時間	スレーブ		1 tCYC + 50	—	—	ns
tLAG	SCSホールド時間	スレーブ		1 tCYC + 50	—	—	ns
tOD	SSO、SSIデータ出力遅延時間			—	—	1	tCYC (注2)
tSA	SSIスレーブアクセス時間		2.7 V Vcc 5.5 V	—	—	1.5 tCYC + 100	ns
			1.8 V Vcc < 2.7 V	—	—	1.5 tCYC + 200	ns
tOR	SSIスレーブアウト開放時間		2.7 V Vcc 5.5 V	—	—	1.5 tCYC + 100	ns
			1.8 V Vcc < 2.7 V	—	—	1.5 tCYC + 200	ns

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Vss = 0 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。

注2. 1 tCYC = 1/f1 (s)

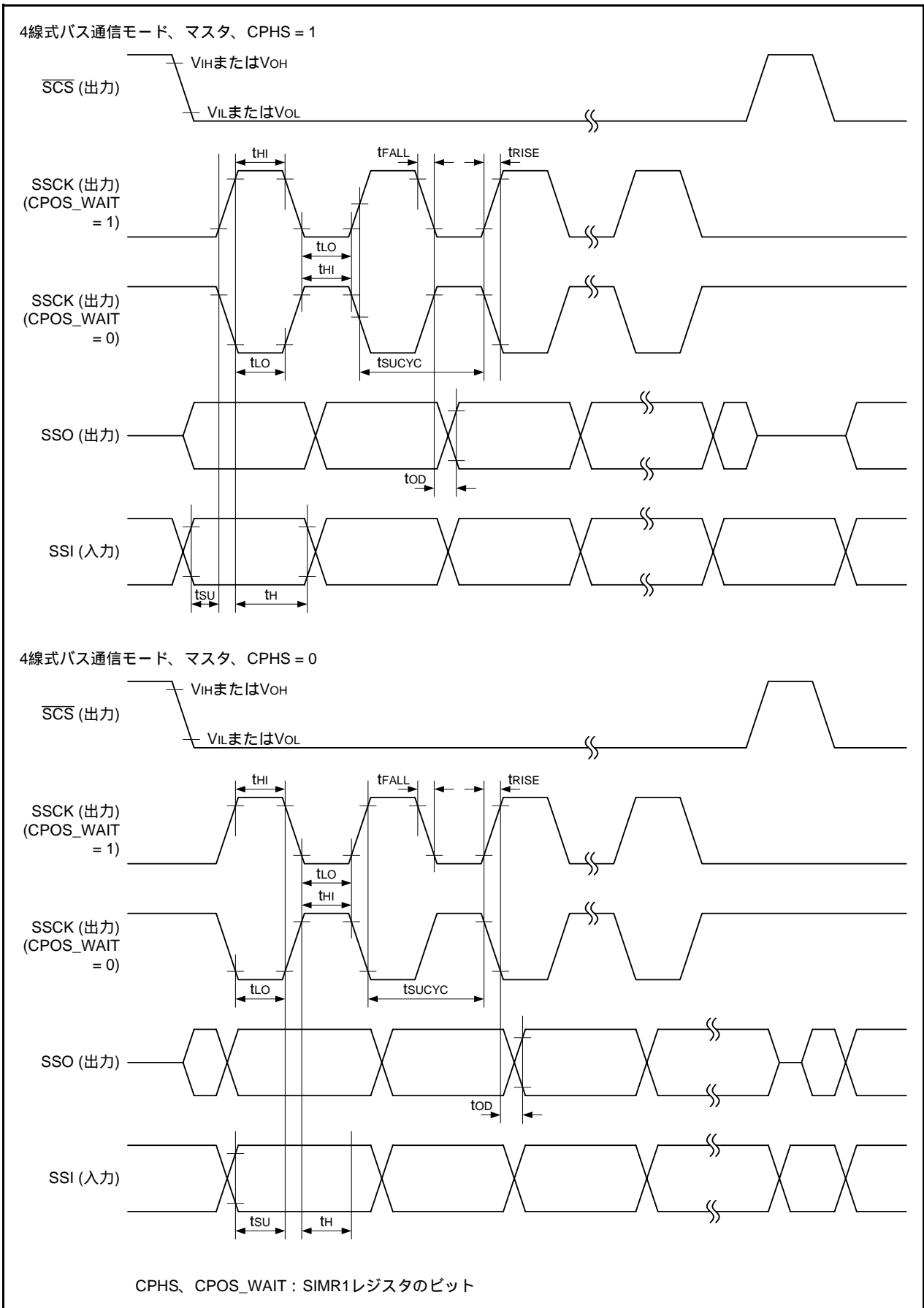


図4.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力のタイミング図(マスタ)



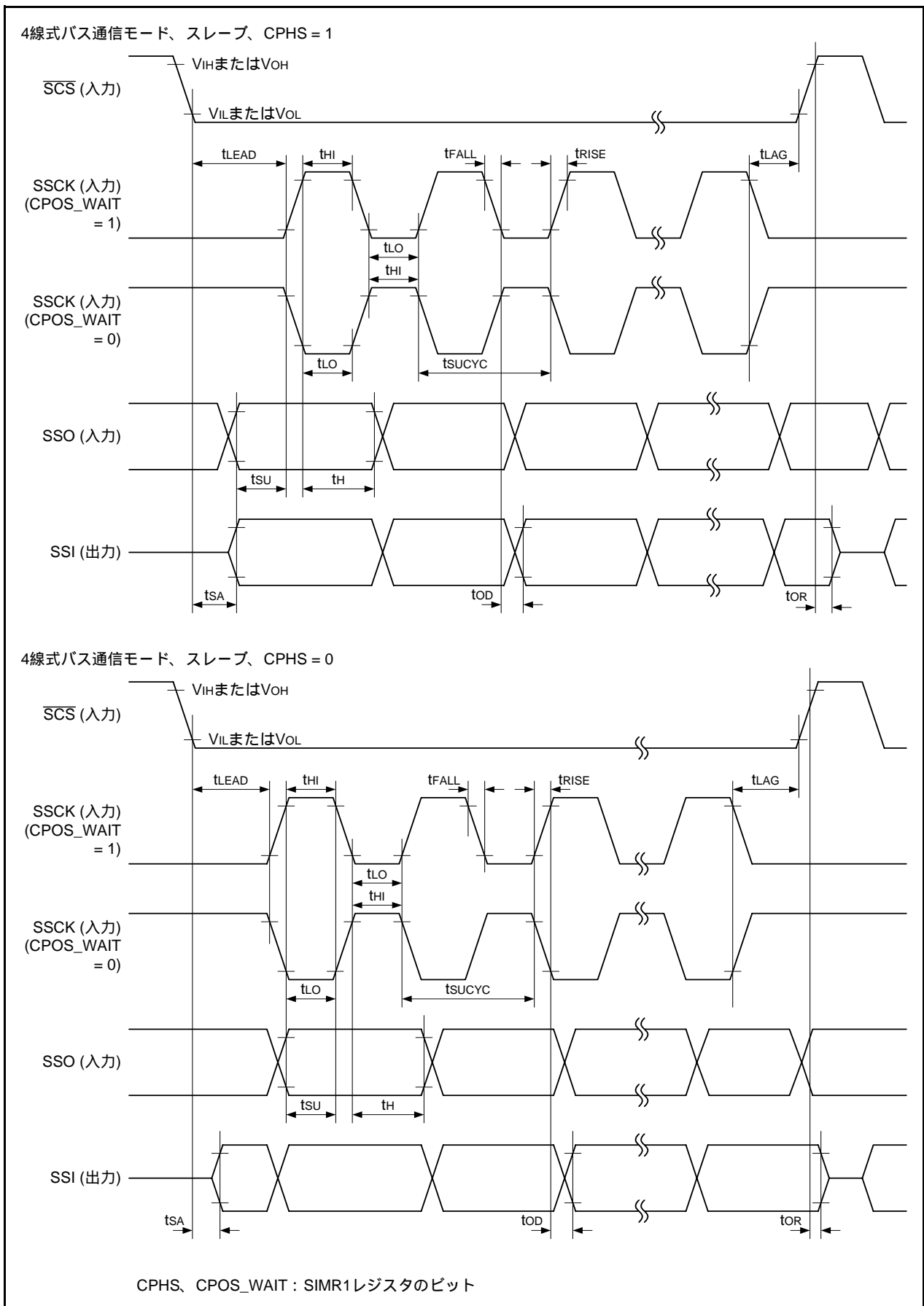


図4.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力のタイミング図(スレーブ)

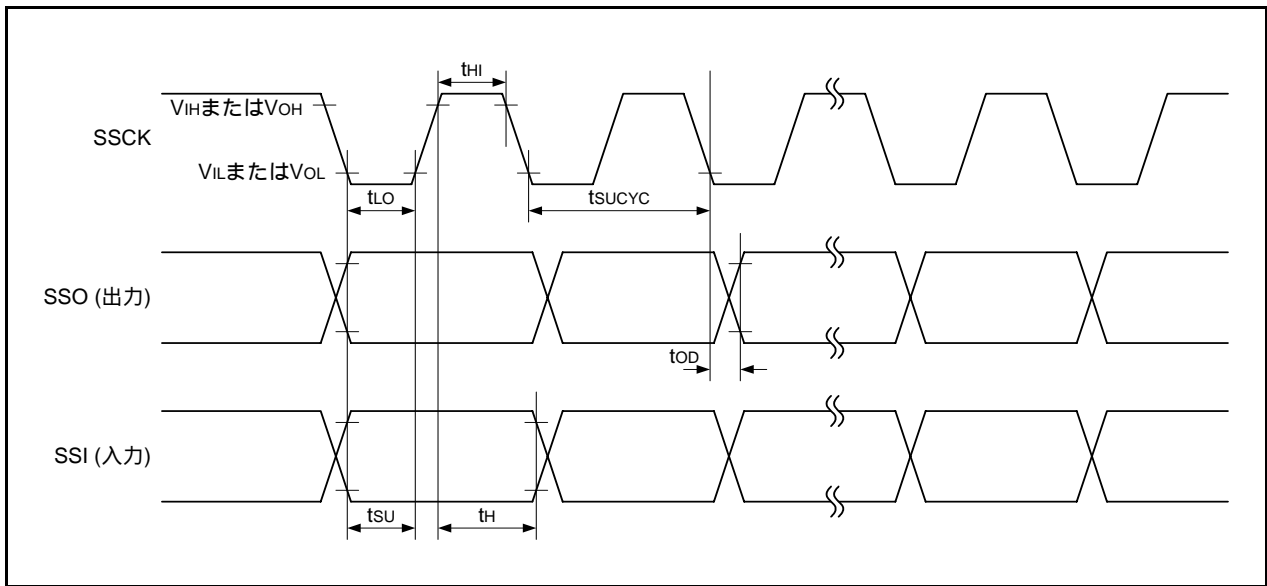


図4.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力のタイミング図(クロック同期式通信モード)

表4.14 I<sup>2</sup>Cバスインタフェースのタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12 tcyc + 600 (注2)	—	—	ns
tSCLH	SCL入力Hパルス幅		3 tcyc + 300 (注2)	—	—	ns
tSCLL	SCL入力Lパルス幅		5 tcyc + 500 (注2)	—	—	ns
tsf	SCL、SDA入力立ち下がり時間		—	—	300	ns
tSP	SCL、SDA入カスパイクパルス除去時間		—	—	1 tcyc (注2)	ns
tBUF	SDA入力バスフリー時間		5 tcyc (注2)	—	—	ns
tSTAH	開始条件入力ホールド時間		3 tcyc (注2)	—	—	ns
tSTAS	再送開始条件入力セットアップ時間		3 tcyc (注2)	—	—	ns
tSTOP	停止条件入力セットアップ時間		3 tcyc (注2)	—	—	ns
tSDAS	データ入力セットアップ時間		1 tcyc + 40 (注2)	—	—	ns
tSDAH	データ入力ホールド時間		10	—	—	ns

注1. 指定のない場合は、Vcc = 1.8 V ~ 5.5 V、Vss = 0 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)です。  
 注2. 1 tcyc = 1/f1 (s)

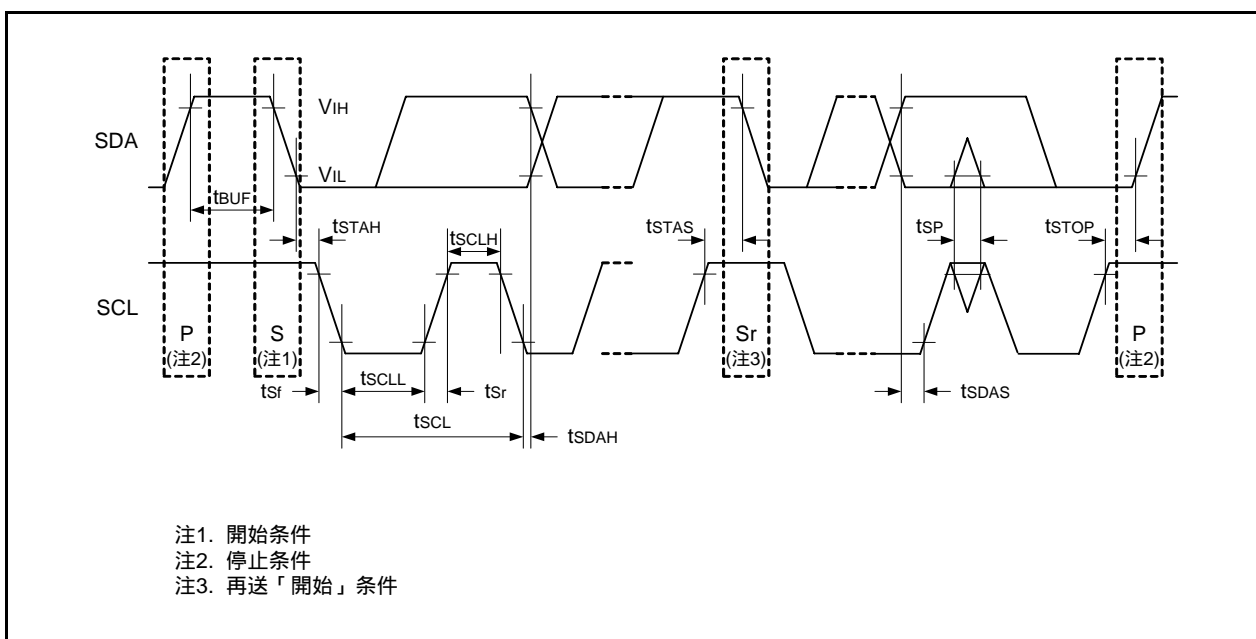


図4.7 I<sup>2</sup>Cバスインタフェースの入出力のタイミング図

表4.15 DC特性(1) [4.0 V  $V_{cc}$  5.5 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VoH	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IoH = -20 mA	Vcc - 2.0	—	Vcc	V
			駆動能力Low時	IoH = -5 mA	Vcc - 2.0	—	Vcc	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		IoH = -5 mA	Vcc - 2.0	—	Vcc	V
VoL	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IoL = 20 mA	—	—	2.0	V
			駆動能力Low時	IoL = 5 mA	—	—	2.0	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		IoL = 5 mA	—	—	2.0	V
Vt+-Vt-	ヒステリシス	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT2}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、 $\overline{TRJIO}$ 、 $\overline{TRCIOA}$ 、 $\overline{TRCIOB}$ 、 $\overline{TRCIOC}$ 、 $\overline{TRCIOD}$ 、 $\overline{RXD0}$ 、 $\overline{CLK0}$	Vcc = 5 V		0.1	1.2	—	V
		$\overline{RESET}$	Vcc = 5 V		0.1	1.2	—	V
IiH	H入力電流		Vi = 5 V、Vcc = 5.0 V		—	—	5.0	$\mu$ A
IiL	L入力電流		Vi = 0 V、Vcc = 5.0 V		—	—	-5.0	$\mu$ A
RpULLUP	プルアップ抵抗		Vi = 0 V、Vcc = 5.0 V		25	50	100	k $\Omega$
RiXIN	帰還抵抗	XIN			—	2.2	—	M $\Omega$
RiXCIN	帰還抵抗	XCIN			—	14	—	M $\Omega$
VRAM	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、4.0 V  $V_{cc}$  5.5 V、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、f(XIN) = 20 MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。

表4.16 DC特性(2) [4.0 V Vcc 5.5 V]  
(指定のない場合は、Topr = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件											単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値				
		XIN (注2)	XCIN	高速	低速				最小	標準 (注3)	最大		
Icc	電源電流 (注1)	高速 クロック モード	20 MHz	停止	停止	125 kHz	分周なし	—		—	3.5	7.0	mA
			16 MHz	停止	停止	125 kHz	分周なし	—		—	2.8	6.0	mA
			10 MHz	停止	停止	125 kHz	分周なし	—		—	1.8	—	mA
			20 MHz	停止	停止	125 kHz	8分周	—		—	2.0	—	mA
			16 MHz	停止	停止	125 kHz	8分周	—		—	1.7	—	mA
			10 MHz	停止	停止	125 kHz	8分周	—		—	1.1	—	mA
		高速 オンチップ オシレータ モード	停止	停止	20 MHz	125 kHz	分周なし			—	4.0	7.5	mA
			停止	停止	20 MHz	125 kHz	8分周			—	2.5	—	mA
			停止	停止	4 MHz (注4)	125 kHz	16分周	MSTTRC = 1		—	1.0	—	mA
		低速 オンチップ オシレータ モード	停止	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0		—	70	270	μA
			停止	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0		—	65	270	μA
		低速 クロック モード	停止	32 kHz	停止	停止	—	FMR27 = 1 LPE = 0		—	65	270	μA
			停止	32 kHz	停止	停止	—	FMSTP = 1 LPE = 0	RAM上のプ ログラム動作 フラッシュメ モリ停止時	—	45	—	μA
		ウェイト モード	停止	停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1	WAIT命令実 行中 周辺クロック 動作	—	15	100	μA
			停止	停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	5.0	90	μA
			停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	3.5	—	μA
		ストップ モード	停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 25 °C 周辺クロック 停止	—	1.0	4.0	μA
			停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 85 °C 周辺クロック 停止	—	1.9	—	μA

注1. Vcc = 4.0 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. Vcc = 5.0 V

注4. PHISELレジスタでシステムクロックを4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{CC} = 5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$ ) [ $V_{CC} = 5\text{ V}$ ]

表4.17 外部クロック入力(XIN、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{XIN})$	XIN入力サイクル時間	50	—	ns
$t_{WH}(\text{XIN})$	XIN入力Hパルス幅	24	—	ns
$t_{WL}(\text{XIN})$	XIN入力Lパルス幅	24	—	ns
$t_c(\text{XCIN})$	XCIN入力サイクル時間	20	—	$\mu\text{s}$
$t_{WH}(\text{XCIN})$	XCIN入力Hパルス幅	10	—	$\mu\text{s}$
$t_{WL}(\text{XCIN})$	XCIN入力Lパルス幅	10	—	$\mu\text{s}$

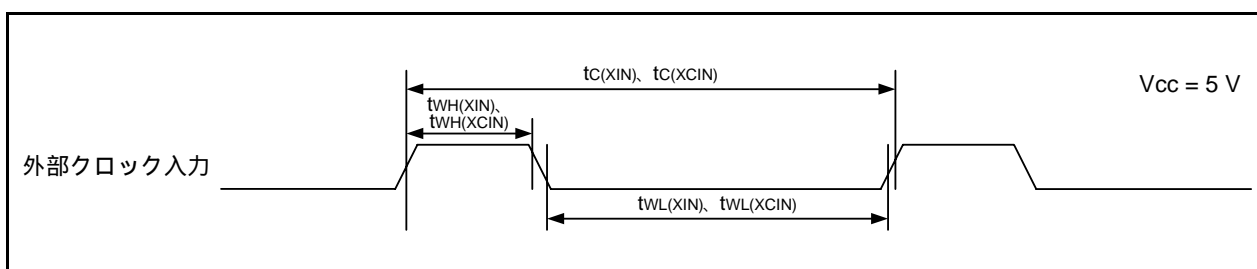


図4.8  $V_{CC} = 5\text{ V}$ 時の外部クロック入力タイミング

表4.18 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{TRJIO})$	TRJIO入力サイクル時間	100	—	ns
$t_{WH}(\text{TRJIO})$	TRJIO入力Hパルス幅	40	—	ns
$t_{WL}(\text{TRJIO})$	TRJIO入力Lパルス幅	40	—	ns

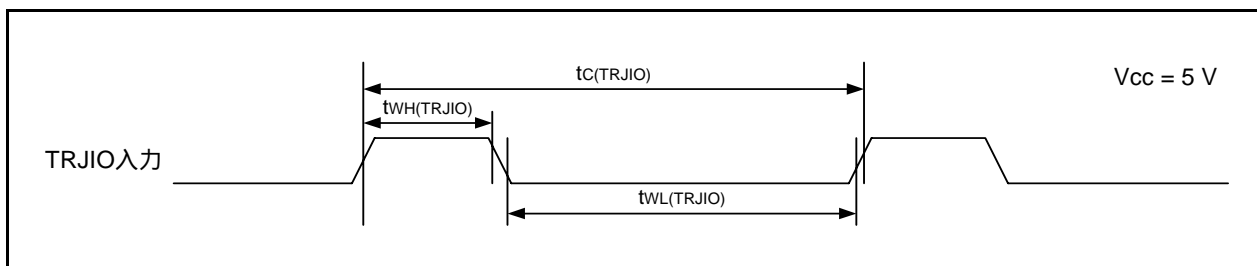


図4.9  $V_{CC} = 5\text{ V}$ 時のTRJIO入力のタイミング図

表4.19 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200	—	ns
$t_{w(CKH)}$	CLKi入力Hパルス幅	100	—	ns
$t_{w(CKL)}$	CLKi入力Lパルス幅	100	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	—	50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	50	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90	—	ns

i = 0または1

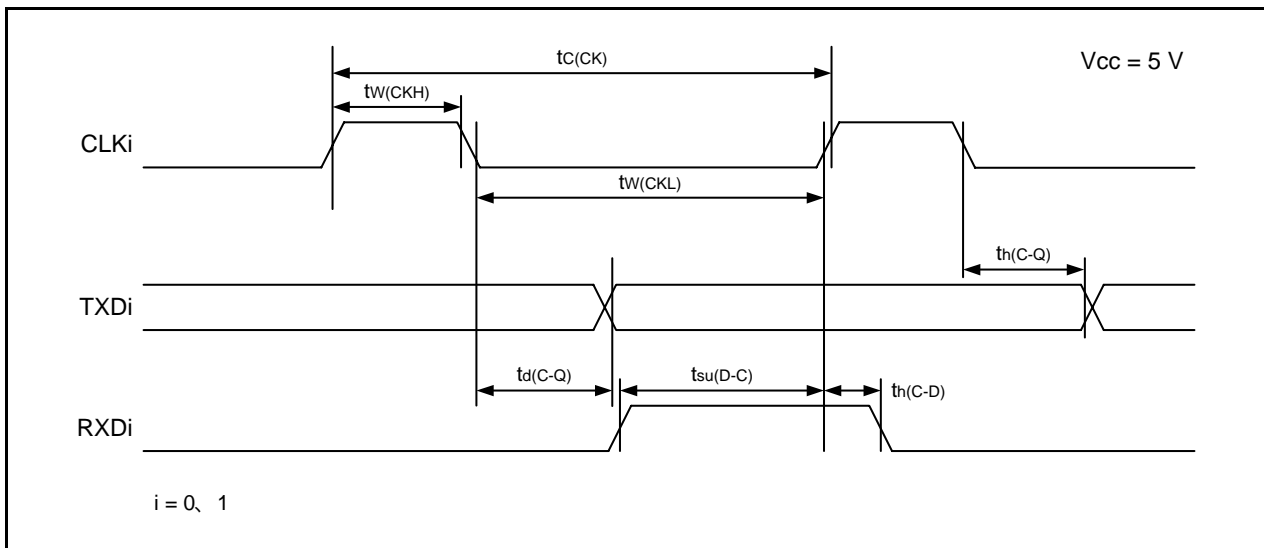


図4.10 Vcc = 5 V時のシリアルインタフェースのタイミング図

表4.20 外部割り込みINTi入力、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力Hパルス幅、Kli入力Hパルス幅	250 (注1)	—	ns
$t_{w(INL)}$	INTi入力Lパルス幅、Kli入力Lパルス幅	250 (注2)	—	ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

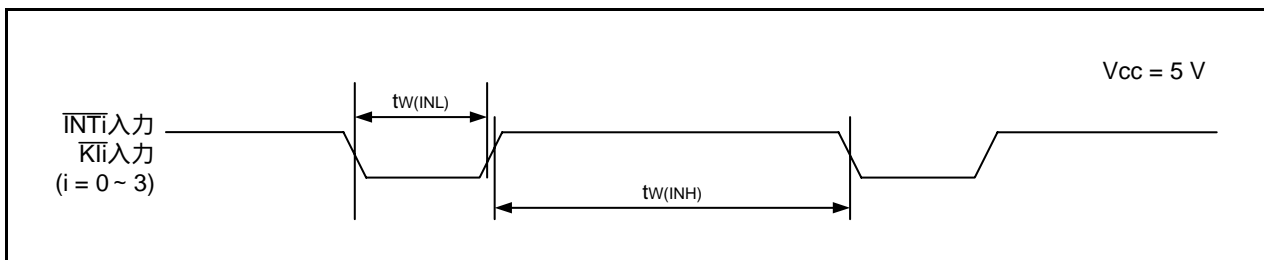


図4.11 Vcc = 5 V時の外部割り込みINTi入力およびキー入力割り込みKliのタイミング図

表4.21 DC特性(3) [2.7 V  $V_{CC} < 4.0$  V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
V <sub>OH</sub>	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	I <sub>OH</sub> = -5 mA	V <sub>CC</sub> - 0.5	—	V <sub>CC</sub>	V
			駆動能力Low時	I <sub>OH</sub> = -1 mA	V <sub>CC</sub> - 0.5	—	V <sub>CC</sub>	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		I <sub>OH</sub> = -1 mA	V <sub>CC</sub> - 0.5	—	V <sub>CC</sub>	V
V <sub>OL</sub>	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	I <sub>OL</sub> = 5 mA	—	—	0.5	V
			駆動能力Low時	I <sub>OL</sub> = 1 mA	—	—	0.5	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		I <sub>OL</sub> = 1 mA	—	—	0.5	V
V <sub>T+</sub> -V <sub>T-</sub>	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRJIO</u> 、 <u>TRCIOA</u> 、 <u>TRCIOB</u> 、 <u>TRCIOC</u> 、 <u>TRCIOD</u> 、 <u>RXD0</u> 、 <u>CLK0</u>	V <sub>CC</sub> = 3 V		0.1	0.4	—	V
		<u>RESET</u>	V <sub>CC</sub> = 3 V		0.1	0.5	—	V
I <sub>IH</sub>	H入力電流		V <sub>I</sub> = 3 V、V <sub>CC</sub> = 3.0 V		—	—	4.0	μA
I <sub>IL</sub>	L入力電流		V <sub>I</sub> = 0 V、V <sub>CC</sub> = 3.0 V		—	—	-4.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗		V <sub>I</sub> = 0 V、V <sub>CC</sub> = 3.0 V		42	84	168	kΩ
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN			—	2.2	—	MΩ
R <sub>I<sub>XCIN</sub></sub>	帰還抵抗	XCIN			—	14	—	MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、2.7 V  $V_{CC} < 4.0$  V、T<sub>opr</sub> = -20 °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、f(XIN) = 10 MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。



表4.22 DC特性(4) [2.7 V  $V_{cc} < 4.0$  V]  
(指定のない場合は、 $T_{opr} = -20$  °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件											単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値				
		XIN (注2)	XCIN	高速	低速				最小	標準 (注3)	最大		
I <sub>cc</sub>	電源電流 (注1)	高速 クロック モード	20 MHz	停止	停止	125 kHz	分周なし	—		—	3.5	7.0	mA
			16 MHz	停止	停止	125 kHz	分周なし	—		—	2.7	6.0	mA
			10 MHz	停止	停止	125 kHz	分周なし	—		—	1.7	5.0	mA
			20 MHz	停止	停止	125 kHz	8分周	—		—	1.9	—	mA
			16 MHz	停止	停止	125 kHz	8分周	—		—	1.6	—	mA
			10 MHz	停止	停止	125 kHz	8分周	—		—	1.0	4.5	mA
	高速 オンチップ オシレータ モード	停止	停止	20 MHz	125 kHz	分周なし			—	3.9	7.5	mA	
		停止	停止	20 MHz	125 kHz	8分周			—	2.5	—	mA	
		停止	停止	10 MHz (注4)	125 kHz	分周なし			—	2.4	—	mA	
		停止	停止	10 MHz (注4)	125 kHz	8分周			—	1.6	—	mA	
		停止	停止	4 MHz (注4)	125 kHz	16分周	MSTTRC = 1		—	1.0	—	mA	
	低速 オンチップ オシレータ モード	停止	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0		—	60	260	μA	
		停止	32 kHz	停止	停止	—	FMR27 = 1 LPE = 0		—	60	260	μA	
	低速 クロック モード	停止	32 kHz	停止	停止	—	FMSTP = 1 LPE = 0	RAM上のプ ログラム動作 フラッシュメ モリ停止時	—	40	—	μA	
		停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1	WAIT命令実 行中 周辺クロック 動作	—	15	90	μA	
	ウェイト モード	停止	停止	停止	125 kHz	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	5.0	80	μA	
		停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	3.2	—	μA	
		停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 25 °C 周辺クロック 停止	—	1.0	4.0	μA	
	ストップ モード	停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 85 °C 周辺クロック 停止	—	1.7	—	μA	

注1.  $V_{cc} = 2.7$  V ~ 4.0 V、シングルチップモードで、出力端子は開放、その他の端子はV<sub>ss</sub>。

注2. XINは方形波入力。

注3.  $V_{cc} = 3.0$  V

注4. PHISELレジスタでシステムクロックを10 MHzまたは4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{CC} = 3\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$ ) [ $V_{CC} = 3\text{ V}$ ]

表4.23 外部クロック入力(XIN、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{XIN})$	XIN入力サイクル時間	50	—	ns
$t_{WH}(\text{XIN})$	XIN入力Hパルス幅	24	—	ns
$t_{WL}(\text{XIN})$	XIN入力Lパルス幅	24	—	ns
$t_c(\text{XCIN})$	XCIN入力サイクル時間	20	—	$\mu\text{s}$
$t_{WH}(\text{XCIN})$	XCIN入力Hパルス幅	10	—	$\mu\text{s}$
$t_{WL}(\text{XCIN})$	XCIN入力Lパルス幅	10	—	$\mu\text{s}$

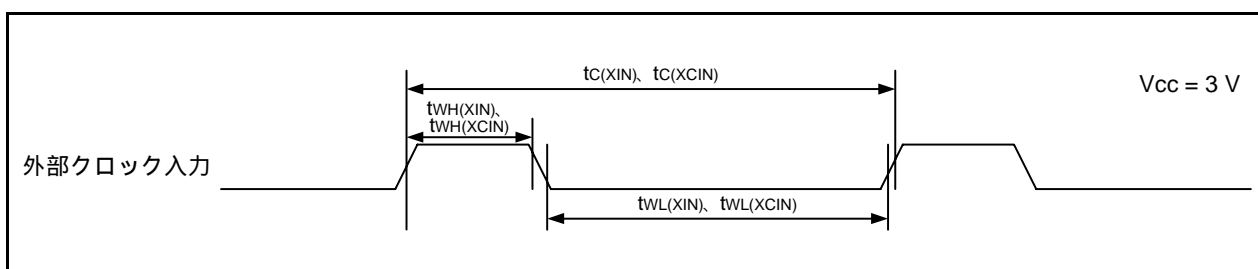


図4.12  $V_{CC} = 3\text{ V}$ 時の外部クロック入力タイミング

表4.24 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{TRJIO})$	TRJIO入力サイクル時間	300	—	ns
$t_{WH}(\text{TRJIO})$	TRJIO入力Hパルス幅	120	—	ns
$t_{WL}(\text{TRJIO})$	TRJIO入力Lパルス幅	120	—	ns

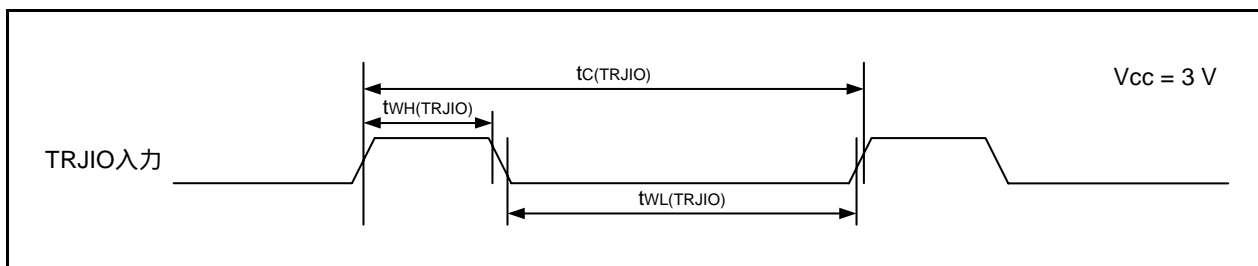


図4.13  $V_{CC} = 3\text{ V}$ 時のTRJIO入力のタイミング

表4.25 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300	—	ns
$t_{w(CKH)}$	CLKi入力Hパルス幅	150	—	ns
$t_{w(CKL)}$	CLKi入力Lパルス幅	150	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	—	80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90	—	ns

i = 0または1

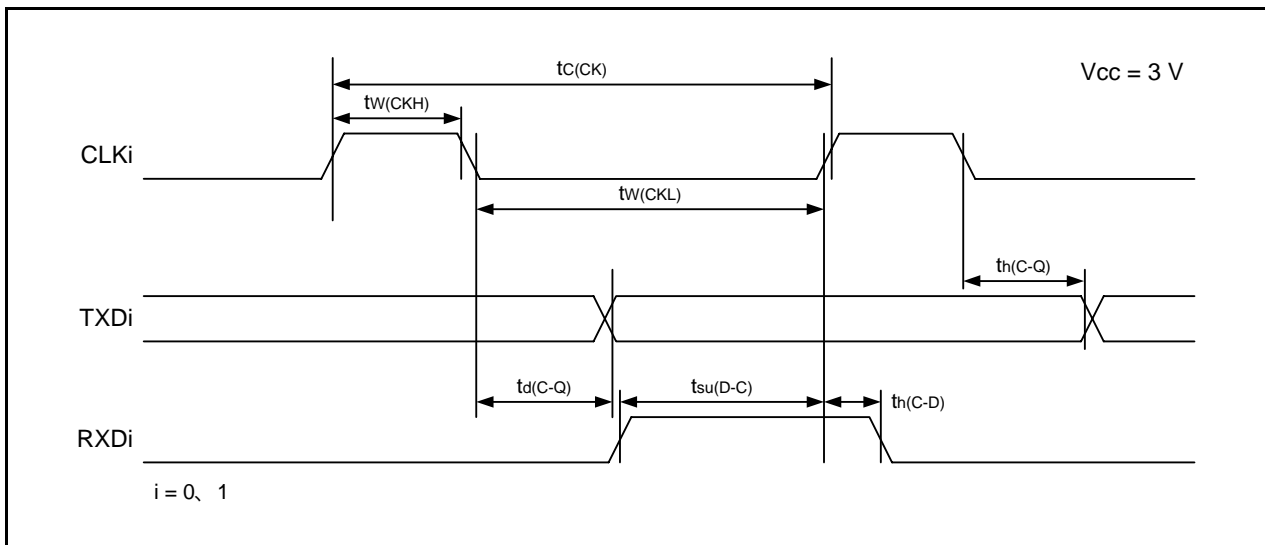


図4.14 Vcc = 3 V時のシリアルインタフェースのタイミング図

表4.26 外部割り込みINTi入力、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力Hパルス幅、Kli入力Hパルス幅	380 (注1)	—	ns
$t_{w(INL)}$	INTi入力Lパルス幅、Kli入力Lパルス幅	380 (注2)	—	ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

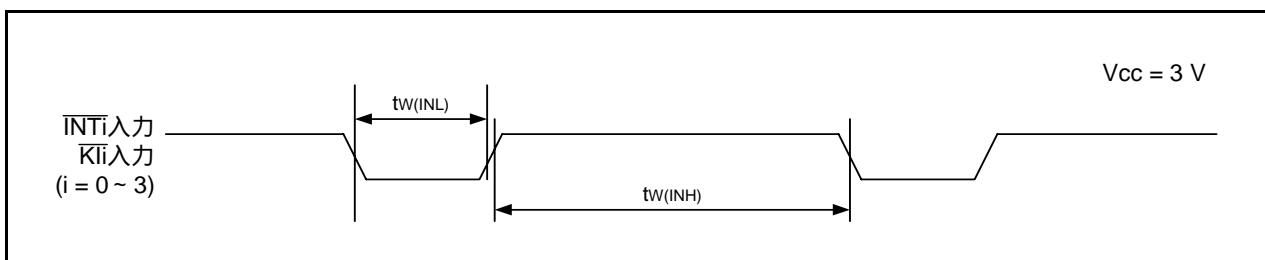


図4.15 Vcc = 3 V時の外部割り込みINTi入力およびキー入力割り込みKliのタイミング図

表4.27 DC特性(5) [1.8 V  $V_{cc} < 2.7$  V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VoH	H出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IoH = -2 mA	Vcc - 0.5	—	Vcc	V
			駆動能力Low時	IoH = -1 mA	Vcc - 0.5	—	Vcc	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		IoH = -1 mA	Vcc - 0.5	—	Vcc	V
VOL	L出力電圧	P1_2、P1_3、P1_4、P1_5、 P3_3、P3_4、P3_5、P3_7 (注2)	駆動能力High時	IOL = 2 mA	—	—	0.5	V
			駆動能力Low時	IOL = 1 mA	—	—	0.5	V
		P0_0、P0_1、P0_2、P0_3、 P0_4、P0_5、P0_6、P0_7、 P1_0、P1_1、P1_6、P1_7、 P2_0、P2_1、P2_2、P3_1、 P4_2、P4_5、P4_6、P4_7、 PA_0		IOL = 1 mA	—	—	0.5	V
VT+-VT-	ヒステリシス	$\overline{INT0}$ 、 $\overline{INT1}$ 、 $\overline{INT2}$ 、 $\overline{INT3}$ 、 $\overline{KI0}$ 、 $\overline{KI1}$ 、 $\overline{KI2}$ 、 $\overline{KI3}$ 、 $\overline{TRJIO}$ 、 $\overline{TRCIOA}$ 、 $\overline{TRCIOB}$ 、 $\overline{TRCIOC}$ 、 $\overline{TRCIOD}$ 、 $\overline{RXD0}$ 、 $\overline{CLK0}$	$V_{cc} = 2.2$ V		0.05	0.20	—	V
		$\overline{RESET}$	$V_{cc} = 2.2$ V		0.05	0.20	—	V
IiH	H入力電流		$V_i = 2.2$ V、 $V_{cc} = 2.2$ V		—	—	4.0	$\mu$ A
IiL	L入力電流		$V_i = 0$ V、 $V_{cc} = 2.2$ V		—	—	-4.0	$\mu$ A
RPULLUP	プルアップ抵抗		$V_i = 0$ V、 $V_{cc} = 2.2$ V		70	140	300	k $\Omega$
RiXIN	帰還抵抗	XIN			—	2.2	—	M $\Omega$
RiXCIN	帰還抵抗	XCIN			—	14	—	M $\Omega$
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8	—	—	V

注1. 指定のない場合は、1.8 V  $V_{cc} < 2.7$  V、 $T_{opr} = -20$  °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン)、 $f(XIN) = 5$  MHzです。

注2. 周辺の出力機能を使っているときも駆動能力Highを使用できます。

表4.28 DC特性(6) [1.8 V  $V_{cc} < 2.7$  V]  
(指定のない場合は、 $T_{opr} = -20$  °C ~ 85 °C (Nバージョン)/-40 °C ~ 85 °C (Dバージョン))

記号	項目	測定条件											単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力 設定	その他	規格値				
		XIN (注2)	XCIN	高速	低速				最小	標準 (注3)	最大		
I <sub>cc</sub>	電源電流 (注1)	高速 クロック モード	5 MHz	停止	停止	125 kHz	分周なし	—		—	1.1	—	mA
			5 MHz	停止	停止	125 kHz	8分周	—		—	0.8	—	mA
	高速 オンチップ オシレータ モード	停止	停止	5 MHz (注4)	125 kHz	分周なし			—	1.8	6.5	mA	
		停止	停止	5 MHz (注4)	125 kHz	8分周			—	1.6	—	mA	
		停止	停止	4 MHz (注4)	125 kHz	16分周	MSTTRC = 1		—	1.3	—	mA	
	低速 オンチップ オシレータ モード	停止	停止	停止	125 kHz	8分周	FMR27 = 1 LPE = 0		—	60	200	μA	
		停止	32 kHz	停止	停止	—	FMR27 = 1 LPE = 0		—	55	200	μA	
	低速 クロック モード	停止	32 kHz	停止	停止	—	FMSTP = 1 LPE = 0	RAM上のプ ログラム動作 フラッシュメ モリ停止時	—	30	—	μA	
		停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1	WAIT命令実 行中 周辺クロック 動作	—	15	90	μA	
		停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	4.5	80	μA	
	ウェイト モード	停止	32 kHz	停止	停止	—	VC1E = 0 VC0E = 0 LPE = 1 WCKSTP = 1	WAIT命令実 行中 周辺クロック 停止	—	3	—	μA	
		停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 25 °C 周辺クロック 停止	—	1	4.0	μA	
		停止	停止	停止	停止	—	VC1E = 0 VC0E = 0 STPM = 1	Topr = 85 °C 周辺クロック 停止	—	1.6	—	μA	

注1.  $V_{cc} = 1.8$  V ~ 2.7 V、シングルチップモードで、出力端子は開放、その他の端子はV<sub>ss</sub>。

注2. XINは方形波入力。

注3.  $V_{cc} = 2.2$  V

注4. PHISELレジスタでシステムクロックを5 MHzまたは4 MHzに設定してください。

タイミング必要条件(指定のない場合は、 $V_{CC} = 2.2\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = 25\text{ }^{\circ}\text{C}$ ) [ $V_{CC} = 2.2\text{ V}$ ]

表4.29 外部クロック入力(XIN、XCIN)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	200	—	ns
$t_{WH(XIN)}$	XIN入力Hパルス幅	90	—	ns
$t_{WL(XIN)}$	XIN入力Lパルス幅	90	—	ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	20	—	$\mu\text{s}$
$t_{WH(XCIN)}$	XCIN入力Hパルス幅	10	—	$\mu\text{s}$
$t_{WL(XCIN)}$	XCIN入力Lパルス幅	10	—	$\mu\text{s}$

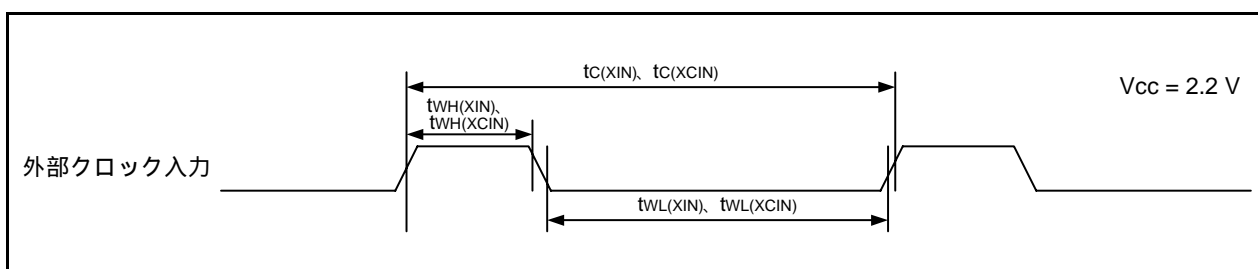


図4.16  $V_{CC} = 2.2\text{ V}$ 時の外部クロック入力タイミング

表4.30 TRJIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRJIO)}$	TRJIO入力サイクル時間	500	—	ns
$t_{WH(TRJIO)}$	TRJIO入力Hパルス幅	200	—	ns
$t_{WL(TRJIO)}$	TRJIO入力Lパルス幅	200	—	ns

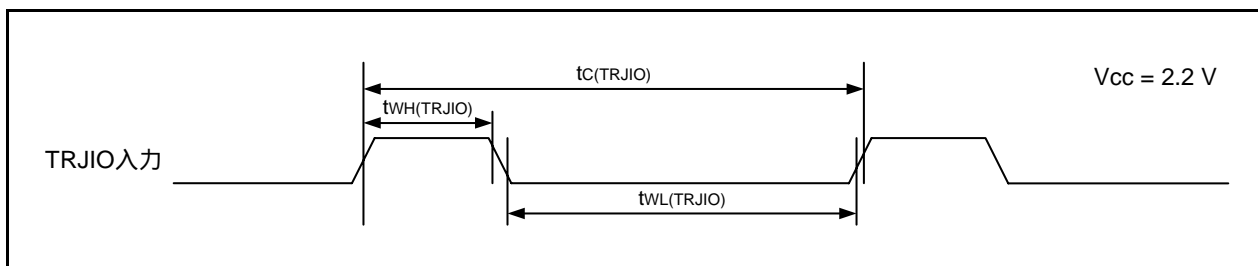


図4.17  $V_{CC} = 2.2\text{ V}$ 時のTRJIO入力のタイミング図

表4.31 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800	—	ns
$t_{w(CKH)}$	CLKi入力Hパルス幅	400	—	ns
$t_{w(CKL)}$	CLKi入力Lパルス幅	400	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	—	200	ns
$t_{h(C-Q)}$	TXDiホールド時間	0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90	—	ns

i = 0または1

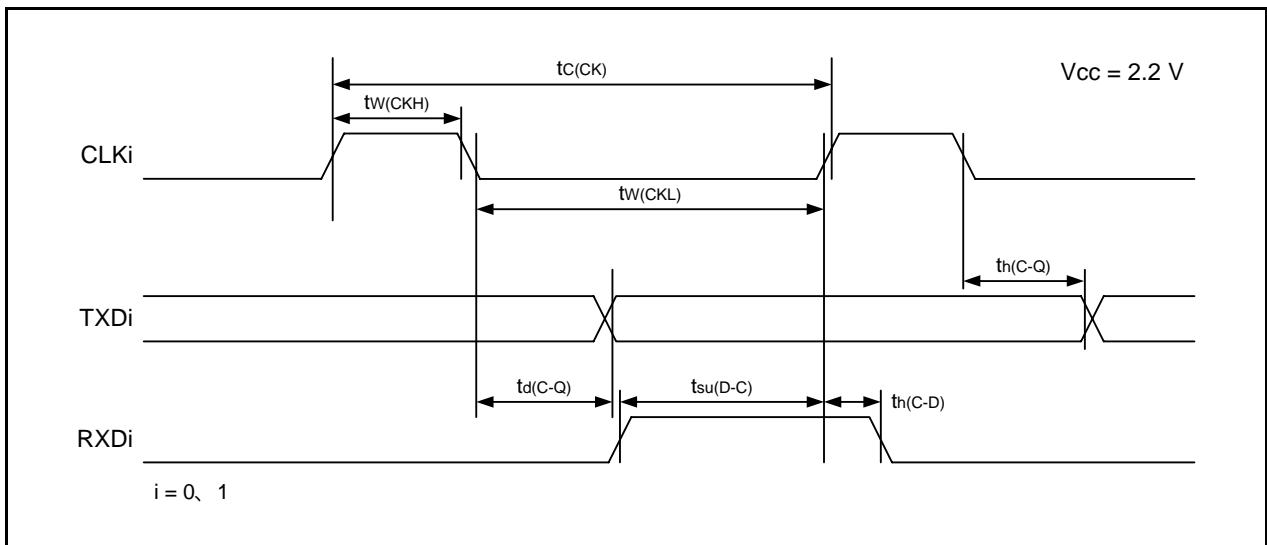


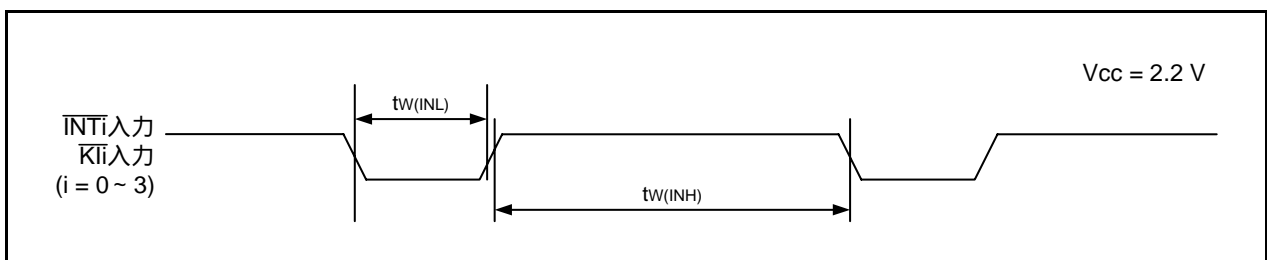
図4.18 Vcc = 2.2 V時のシリアルインタフェースのタイミング図

表4.32 外部割り込み $\overline{INTi}$ 入力、キー入力割り込み $\overline{Kli}$  (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	$\overline{INTi}$ 入力Hパルス幅、 $\overline{Kli}$ 入力Hパルス幅	1,000 (注1)	—	ns
$t_{w(INL)}$	$\overline{INTi}$ 入力Lパルス幅、 $\overline{Kli}$ 入力Lパルス幅	1,000 (注2)	—	ns

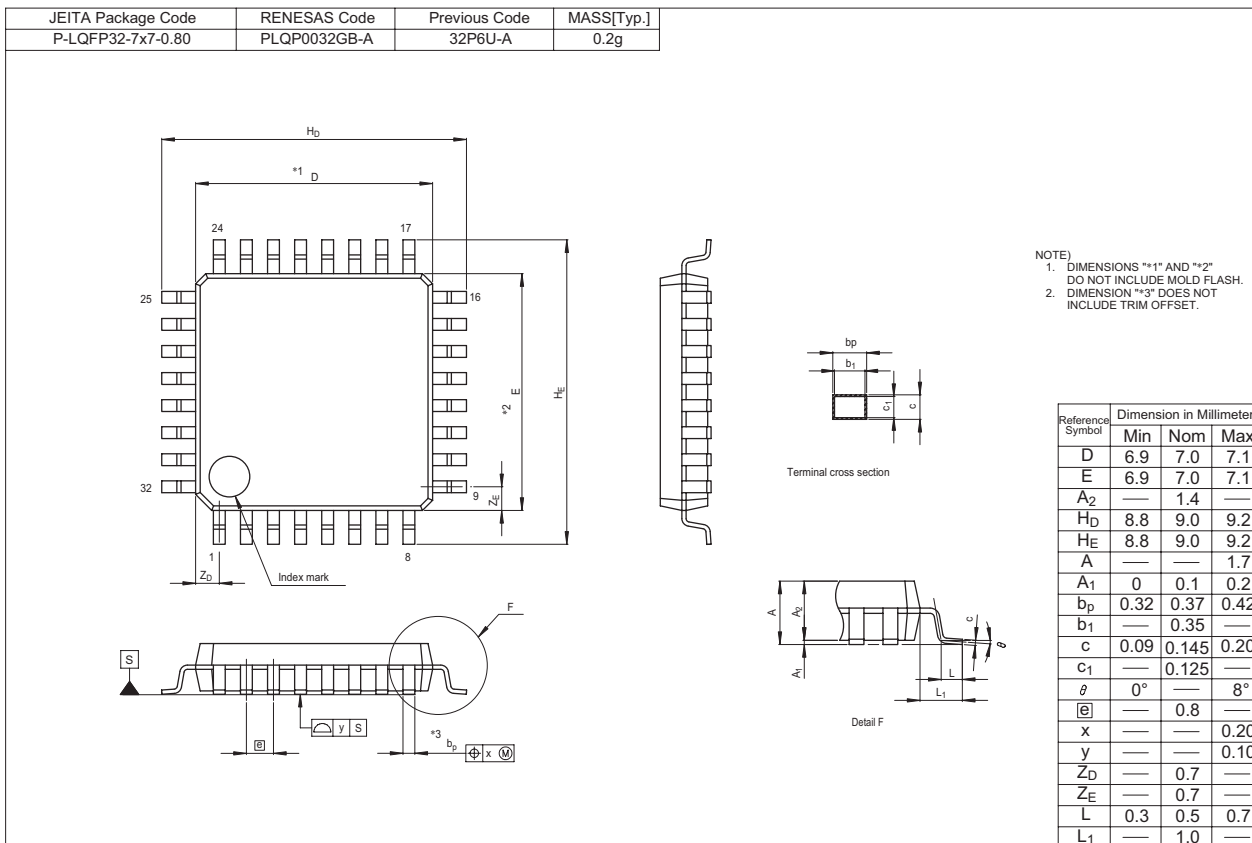
注1.  $\overline{INTi}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INTi}$ 入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{INTi}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INTi}$ 入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

図4.19 Vcc = 2.2 V時の外部割り込み $\overline{INTi}$ 入力およびキー入力割り込み $\overline{Kli}$ のタイミング図

### 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。





改訂記録	R8C/M13Bグループ データシート
------	---------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.03.14	-	初版発行
2.00	2012.03.19	4	表1.3 「開発中」 削除
		14	00028h 「XCINクロック制御レジスタ SUBCR 00h」 削除
		25	表4.3 変更

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>