

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/TinyシリーズCPUコアを搭載したシングルチップマイクロコンピュータで、52ピンプラスチックモールドLQFPまたは64ピンプラスチックモールドFLGAに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/25グループはデータフラッシュ(1KB×2ブロック)を内蔵します。

R8C/24グループとR8C/25グループの違いはデータフラッシュの有無だけです。周辺機能は同一です。

1.1 応用

家電、事務機器、オーディオ、民生一般、他

1.2 性能概要

表1.1にR8C/24グループの性能概要を、表1.2にR8C/25グループの性能概要を示します。

表1.1 R8C/24グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最短命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	表1.3を参照してください	
周辺機能	ポート	入出力：41本、入力：3本	
	LED駆動用ポート	入出力：8本	
	タイマ	タイマRA：8ビット×1チャンネル タイマRB：8ビット×1チャンネル(各タイマ：8ビットプリスケアラ付) タイマRD：16ビット×2チャンネル (インプットキャプチャ回路、アウトプットコンペア回路) タイマRE：リアルタイムクロックおよびコンペアマッチ機能付	
	シリアルインタフェース	2チャンネル(UART0、UART1) クロック同期形シリアルI/O、クロック非同期形シリアルI/O	
	クロック同期形シリアルインタフェース	1チャンネル I ² Cバスインタフェース(注1)、チップセレクト付クロック同期形シリアルI/O	
	LINモジュール	ハードウェアLIN：1チャンネル (タイマRA、UART0を使用)	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、12チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能	
	割り込み	内部：11要因、外部：5要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル	
	クロック	クロック発生回路	3回路 <ul style="list-style-type: none"> • XINクロック発振回路(帰還抵抗内蔵) • オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付 • XCINクロック発振回路(32kHz)
			リアルタイムクロック(タイマRE)あり
		発振停止検出機能	XINクロック発振停止検出機能
		電圧検出回路	内蔵
		パワーオンリセット回路	内蔵
電気的特性	電源電圧	VCC=3.0~5.5V (f(XIN)=20MHz) VCC=2.7~5.5V (f(XIN)=10MHz) VCC=2.2~5.5V (f(XIN)=5MHz)	
	消費電流	標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 2.0μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 0.7μA (VCC=3V、ストップモード)	
フラッシュメモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレーズ回数	100回	
動作周囲温度		-20 ~ 85 (Nバージョン)	
		-40 ~ 85 (Dバージョン)(注2)	
		-20 ~ 105 (Yバージョン)(注3)	
パッケージ		52ピンプラスチックモールドLQFP	
		64ピンプラスチックモールドFLGA	

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

注3. Yバージョンについては、ルネサステクノロジ営業窓口へお問い合わせください。

表1.2 R8C/25グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最短命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	表1.4を参照してください	
周辺機能	ポート	入出力：41本、入力：3本	
	LED駆動用ポート	入出力：8本	
	タイマ	タイマRA：8ビット×1チャンネル タイマRB：8ビット×1チャンネル(各タイマ：8ビットプリスケアラ付) タイマRD：16ビット×2チャンネル (インプットキャプチャ回路、アウトプットコンペア回路) タイマRE：リアルタイムクロックおよびコンペアマッチ機能付	
	シリアルインタフェース	2チャンネル(UART0、UART1) クロック同期形シリアルI/O、クロック非同期形シリアルI/O	
	クロック同期形シリアル インタフェース	1チャンネル I ² Cバスインタフェース(注1)、チップセレクト付クロック同期形 シリアルI/O	
	LINモジュール	ハードウェアLIN：1チャンネル (タイマRA、UART0を使用)	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、12チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能	
	割り込み	内部：11要因、外部：5要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル	
	クロック	クロック発生回路	3回路 <ul style="list-style-type: none"> • XINクロック発振回路(帰還抵抗内蔵) • オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付 • XCINクロック発振回路(32kHz)
			リアルタイムクロック(タイマRE)あり
		発振停止検出機能	XINクロック発振停止検出機能
		電圧検出回路	内蔵
		パワーオンリセット回路	内蔵
電気的特性	電源電圧	VCC=3.0~5.5V (f(XIN)=20MHz) VCC=2.7~5.5V (f(XIN)=10MHz) VCC=2.2~5.5V (f(XIN)=5MHz)	
	消費電流	標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 2.0μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 標準 0.7μA (VCC=3V、ストップモード)	
フラッシュ メモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレース回数	10,000回(データフラッシュ) 1,000回(プログラムROM)	
動作周囲温度		-20 ~ 85 (Nバージョン)	
		-40 ~ 85 (Dバージョン)(注2)	
		-20 ~ 105 (Yバージョン)(注3)	
パッケージ		52ピンプラスチックモールドLQFP	
		64ピンプラスチックモールドFLGA	

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

注3. Yバージョンについては、ルネサステクノロジ営業窓口へお問い合わせください。

1.3 ブロック図

図1.1にブロック図を示します。

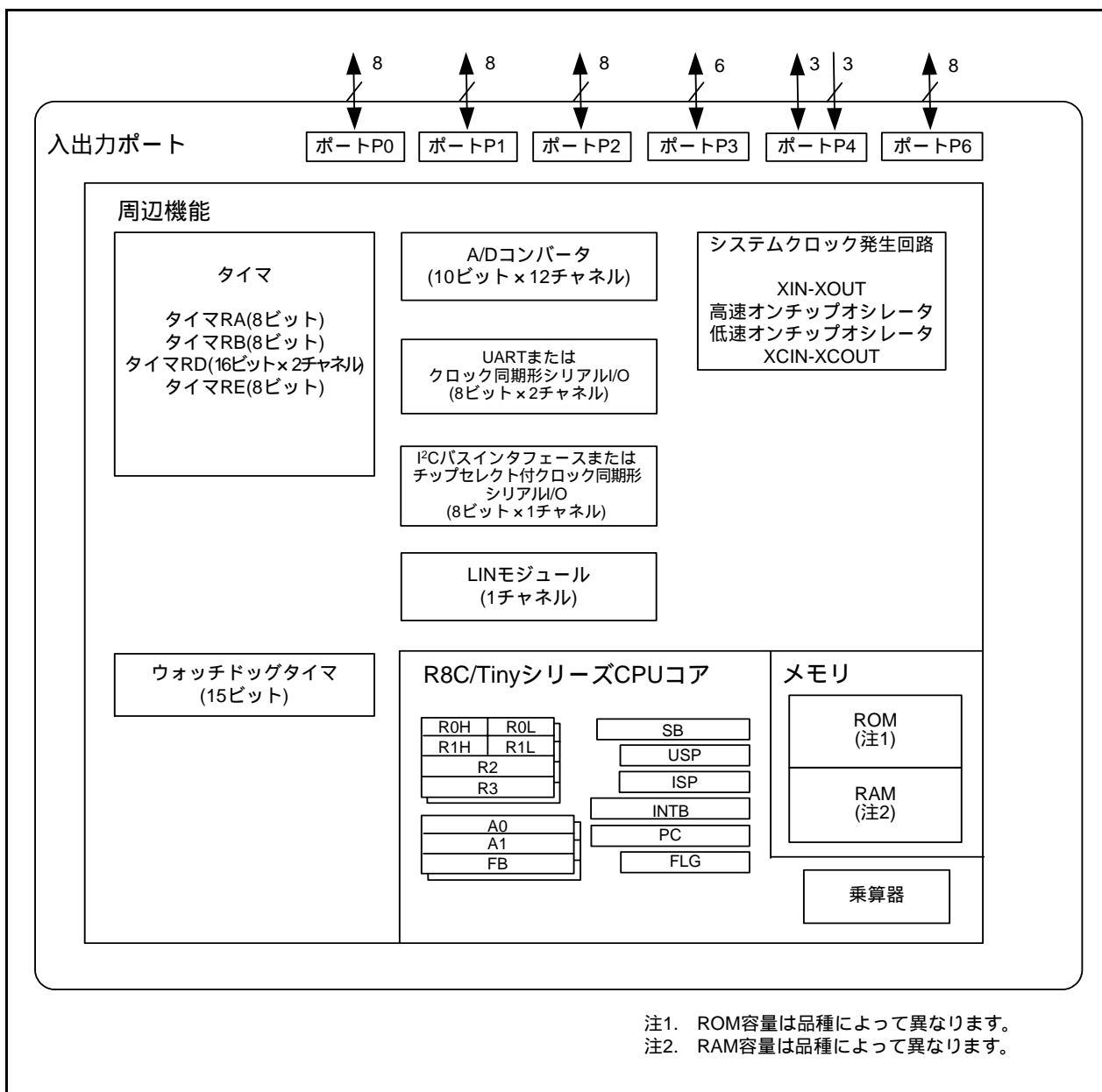


図1.1 ブロック図

1.4 製品一覧

表1.3にR8C/24グループの製品一覧表を、表1.4にR8C/25グループの製品一覧表を示します。

表1.3 R8C/24グループの製品一覧表

2008年2月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F21244SNFP	16Kバイト	1Kバイト	PLQP0052JA-A	Nバージョン ブランク品
R5F21245SNFP	24Kバイト	2Kバイト	PLQP0052JA-A	
R5F21246SNFP	32Kバイト	2Kバイト	PLQP0052JA-A	
R5F21247SNFP	48Kバイト	2.5Kバイト	PLQP0052JA-A	
R5F21248SNFP	64Kバイト	3Kバイト	PLQP0052JA-A	
R5F21244SNLG	16Kバイト	1Kバイト	PTLG0064JA-A	
R5F21246SNLG	32Kバイト	2Kバイト	PTLG0064JA-A	
R5F21244SDFP	16Kバイト	1Kバイト	PLQP0052JA-A	
R5F21245SDFP	24Kバイト	2Kバイト	PLQP0052JA-A	
R5F21246SDFP	32Kバイト	2Kバイト	PLQP0052JA-A	
R5F21247SDFP	48Kバイト	2.5Kバイト	PLQP0052JA-A	
R5F21248SDFP	64Kバイト	3Kバイト	PLQP0052JA-A	
R5F21244SNXXXFP	16Kバイト	1Kバイト	PLQP0052JA-A	Nバージョン 書き込み出荷品 (注1)
R5F21245SNXXXFP	24Kバイト	2Kバイト	PLQP0052JA-A	
R5F21246SNXXXFP	32Kバイト	2Kバイト	PLQP0052JA-A	
R5F21247SNXXXFP	48Kバイト	2.5Kバイト	PLQP0052JA-A	
R5F21248SNXXXFP	64Kバイト	3Kバイト	PLQP0052JA-A	
R5F21244SNXXXLG	16Kバイト	1Kバイト	PTLG0064JA-A	
R5F21246SNXXXLG	32Kバイト	2Kバイト	PTLG0064JA-A	Dバージョン 書き込み出荷品 (注1)
R5F21244SDXXXFP	16Kバイト	1Kバイト	PLQP0052JA-A	
R5F21245SDXXXFP	24Kバイト	2Kバイト	PLQP0052JA-A	
R5F21246SDXXXFP	32Kバイト	2Kバイト	PLQP0052JA-A	
R5F21247SDXXXFP	48Kバイト	2.5Kバイト	PLQP0052JA-A	
R5F21248SDXXXFP	64Kバイト	3Kバイト	PLQP0052JA-A	

注1. ユーザー ROMを書き込んで出荷します。

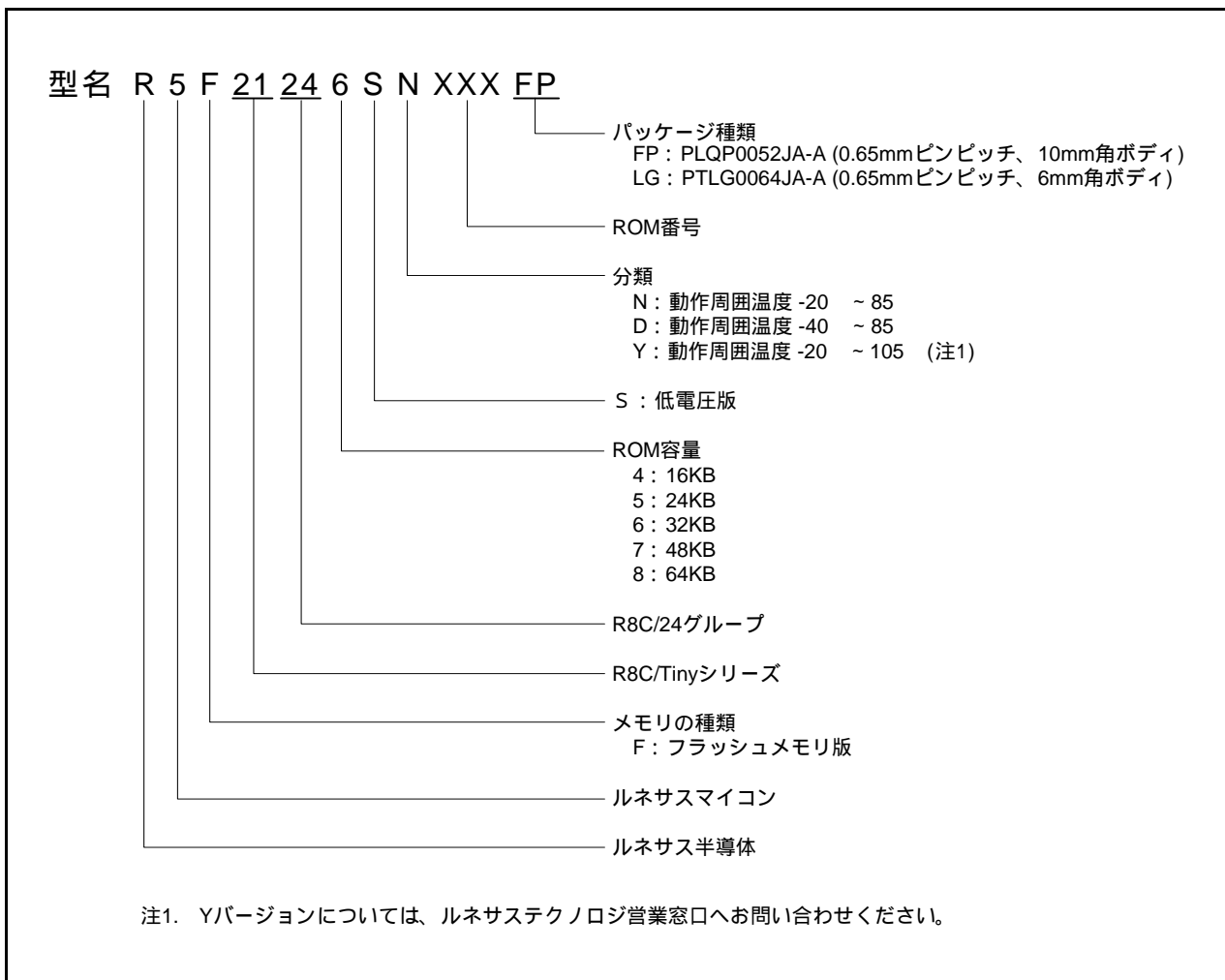


図1.2 型名とメモリサイズ・パッケージ

表1.4 R8C/25グループの製品一覧表

2008年2月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21254SNFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0052JA-A	Nバージョン ブランク品
R5F21255SNFP	24Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21256SNFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21257SNFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0052JA-A	
R5F21258SNFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0052JA-A	
R5F21254SNLG	16Kバイト	1Kバイト×2	1Kバイト	PTLG0064JA-A	
R5F21256SNLG	32Kバイト	1Kバイト×2	2Kバイト	PTLG0064JA-A	Dバージョン ブランク品
R5F21254SDFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0052JA-A	
R5F21255SDFP	24Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21256SDFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21257SDFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0052JA-A	
R5F21258SDFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0052JA-A	
R5F21254SNXXXFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0052JA-A	Nバージョン 書き込み出荷品 (注1)
R5F21255SNXXXFP	24Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21256SNXXXFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21257SNXXXFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0052JA-A	
R5F21258SNXXXFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0052JA-A	
R5F21254SNXXXLG	16Kバイト	1Kバイト×2	1Kバイト	PTLG0064JA-A	
R5F21256SNXXXLG	32Kバイト	1Kバイト×2	2Kバイト	PTLG0064JA-A	Dバージョン 書き込み出荷品 (注1)
R5F21254SDXXXFP	16Kバイト	1Kバイト×2	1Kバイト	PLQP0052JA-A	
R5F21255SDXXXFP	24Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21256SDXXXFP	32Kバイト	1Kバイト×2	2Kバイト	PLQP0052JA-A	
R5F21257SDXXXFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0052JA-A	
R5F21258SDXXXFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0052JA-A	

注1. ユーザー ROMを書き込んで出荷します。

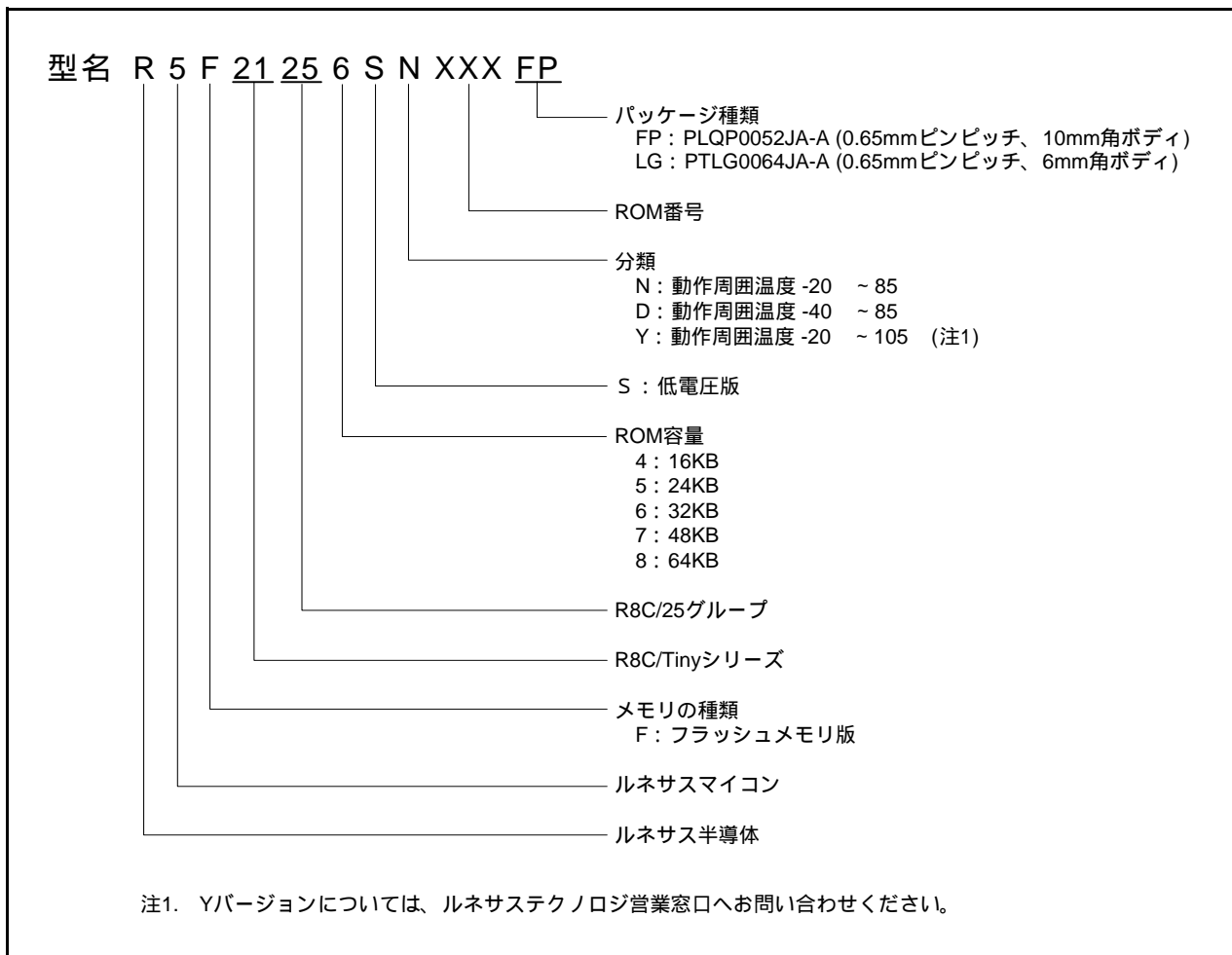


図1.3 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図 1.4 に PLQP0052JA-A パッケージ品のピン接続図(上面図)を示します。図 1.5 に PTLG0064JA-A パッケージ品のピン接続図を示します。

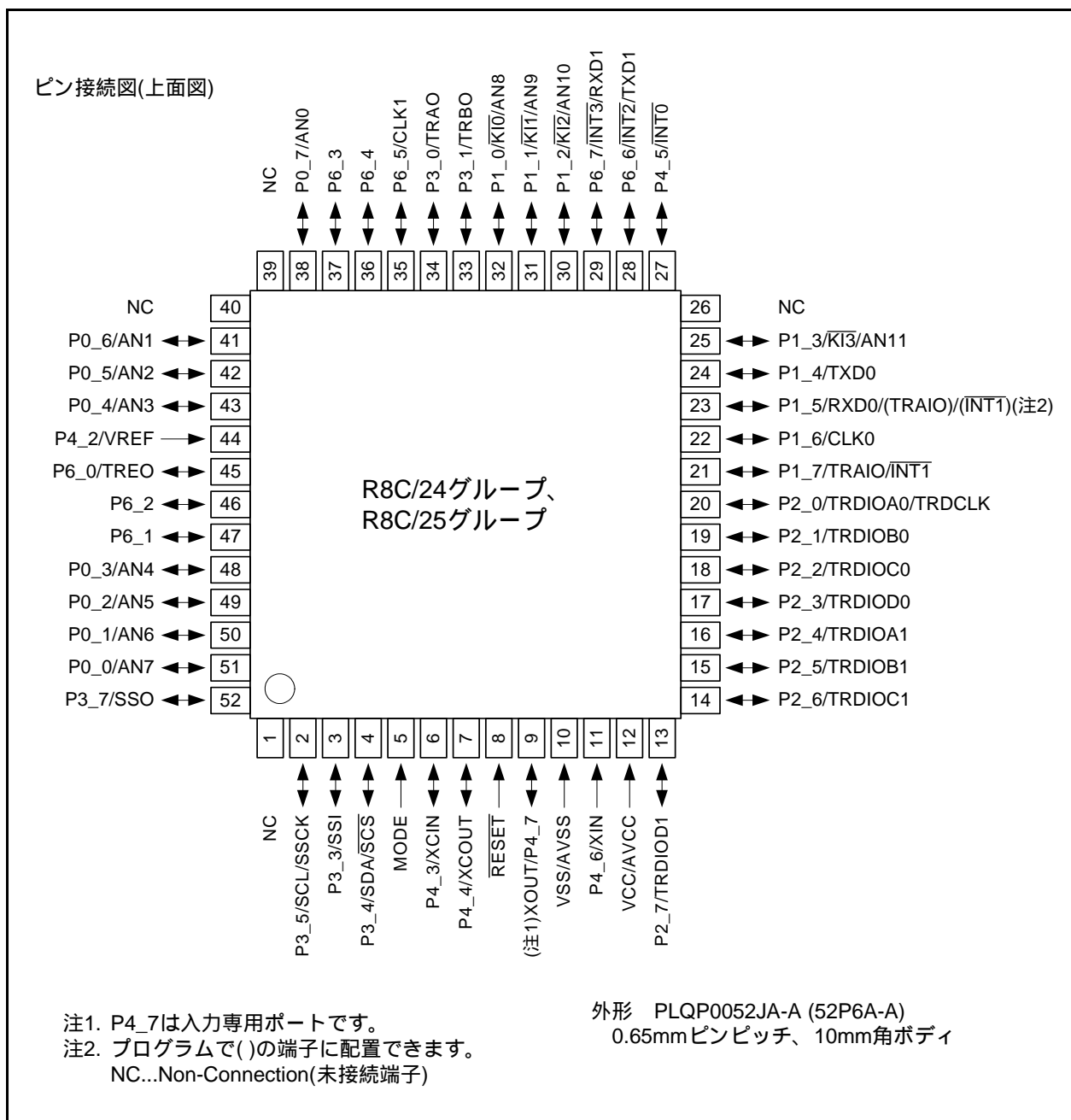


図 1.4 PLQP0052JA-Aパッケージ品のピン接続図(上面図)

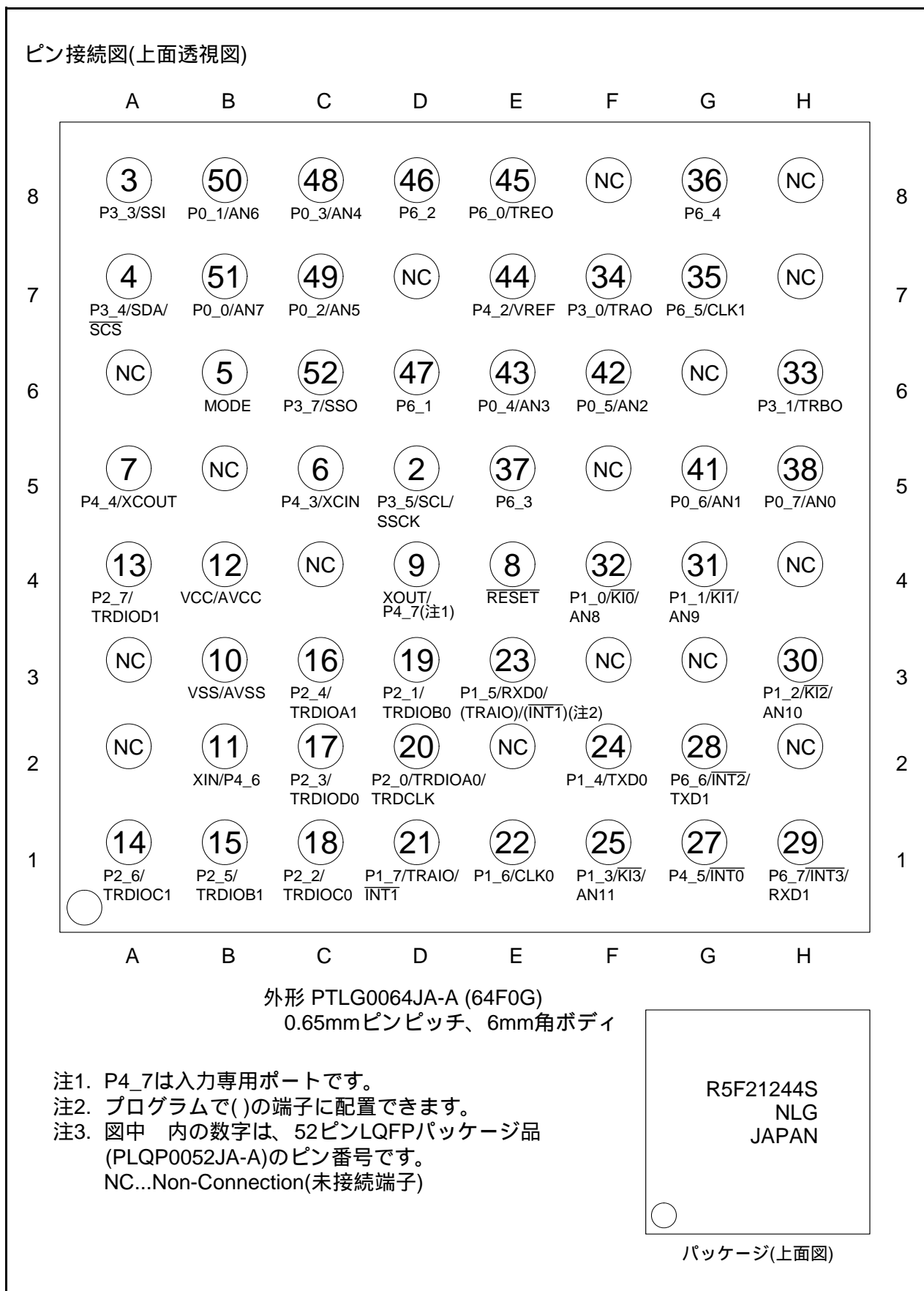


図1.5 PTLG0064JA-Aパッケージ品のピン接続図

1.6 端子の機能説明

表1.5に端子の機能説明を示します。

表1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC VSS	入力	VCCには、2.2V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	入力	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCINクロック出力	XCOUT	出力	
INT割り込み入力	INT0～INT3	入力	INT割り込みの入力です。 INT0はタイマRDの入力です。INT1はタイマRAの入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRD	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1、	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TREO	出力	分周クロック出力です。
シリアルインタフェース	CLK0、CLK1	入出力	転送クロック入出力です。
	RXD0、RXD1	入力	シリアルデータ入力です。
	TXD0、TXD1	出力	シリアルデータ出力です。
I ² Cバスインタフェース	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
チップセレクト付クロック同期形シリアルI/O	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0～AN11	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P0_0～P0_7、 P1_0～P1_7、 P2_0～P2_7、 P3_0、P3_1、 P3_3～P3_5、P3_7、 P4_3～P4_5、 P6_0～P6_7	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。ポートP2_0～P2_7は、LED駆動ポートとして使用できます。
入力ポート	P4_2、P4_6、P4_7	入力	入力専用ポートです。

表1.6 ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアルインタフェース	チップセレクト付クロック同期形シリアルI/O	I ² Cバスインタフェース	A/Dコンバータ
2		P3_5				SSCK	SCL	
3		P3_3				SSI		
4		P3_4				$\overline{\text{SCS}}$	SDA	
5	MODE							
6	XCIN	P4_3						
7	XCOU	P4_4						
8	$\overline{\text{RESET}}$							
9	XOUT	P4_7						
10	VSS/AVSS							
11	XIN	P4_6						
12	VCC/AVCC							
13		P2_7		TRDIOD1				
14		P2_6		TRDIOC1				
15		P2_5		TRDIOD1				
16		P2_4		TRDIOA1				
17		P2_3		TRDIOD0				
18		P2_2		TRDIOC0				
19		P2_1		TRDIOD0				
20		P2_0		TRDIOA0/TRDCLK				
21		P1_7	$\overline{\text{INT1}}$	TRAIO				
22		P1_6			CLK0			
23		P1_5	$\overline{(\text{INT1})}$ (注1)	(TRAIO) (注1)	RXD0			
24		P1_4			TXD0			
25		P1_3	$\overline{\text{KI3}}$					AN11
27		P4_5	$\overline{\text{INT0}}$	$\overline{\text{INT0}}$				
28		P6_6	$\overline{\text{INT2}}$		TXD1			
29		P6_7	$\overline{\text{INT3}}$		RXD1			
30		P1_2	$\overline{\text{KI2}}$					AN10
31		P1_1	$\overline{\text{KI1}}$					AN9
32		P1_0	$\overline{\text{KI0}}$					AN8
33		P3_1		TRBO				
34		P3_0		TRA0				
35		P6_5			CLK1			
36		P6_4						
37		P6_3						
38		P0_7						AN0
41		P0_6						AN1
42		P0_5						AN2
43		P0_4						AN3
44	VREF	P4_2						
45		P6_0		TRE0				
46		P6_2						
47		P6_1						
48		P0_3						AN4
49		P0_2						AN5
50		P0_1						AN6
51		P0_0						AN7
52		P3_7				SSO		

注1. プログラムで()の端子に配置できます。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

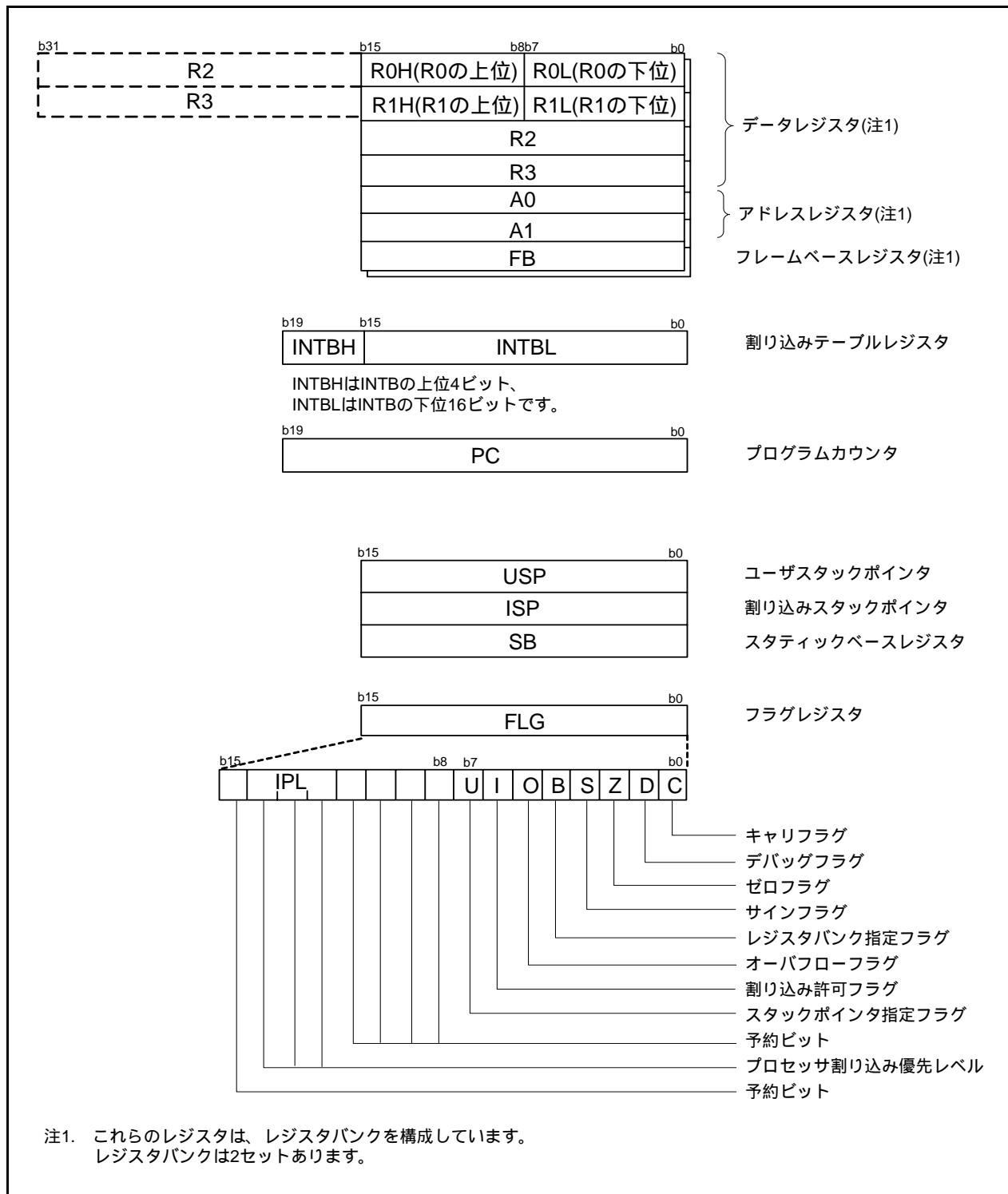


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (C)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (D)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (B)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(O)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(I)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(U)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/24グループ

図3.1にR8C/24グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば2Kバイトの内部RAMは、00400h番地から00BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

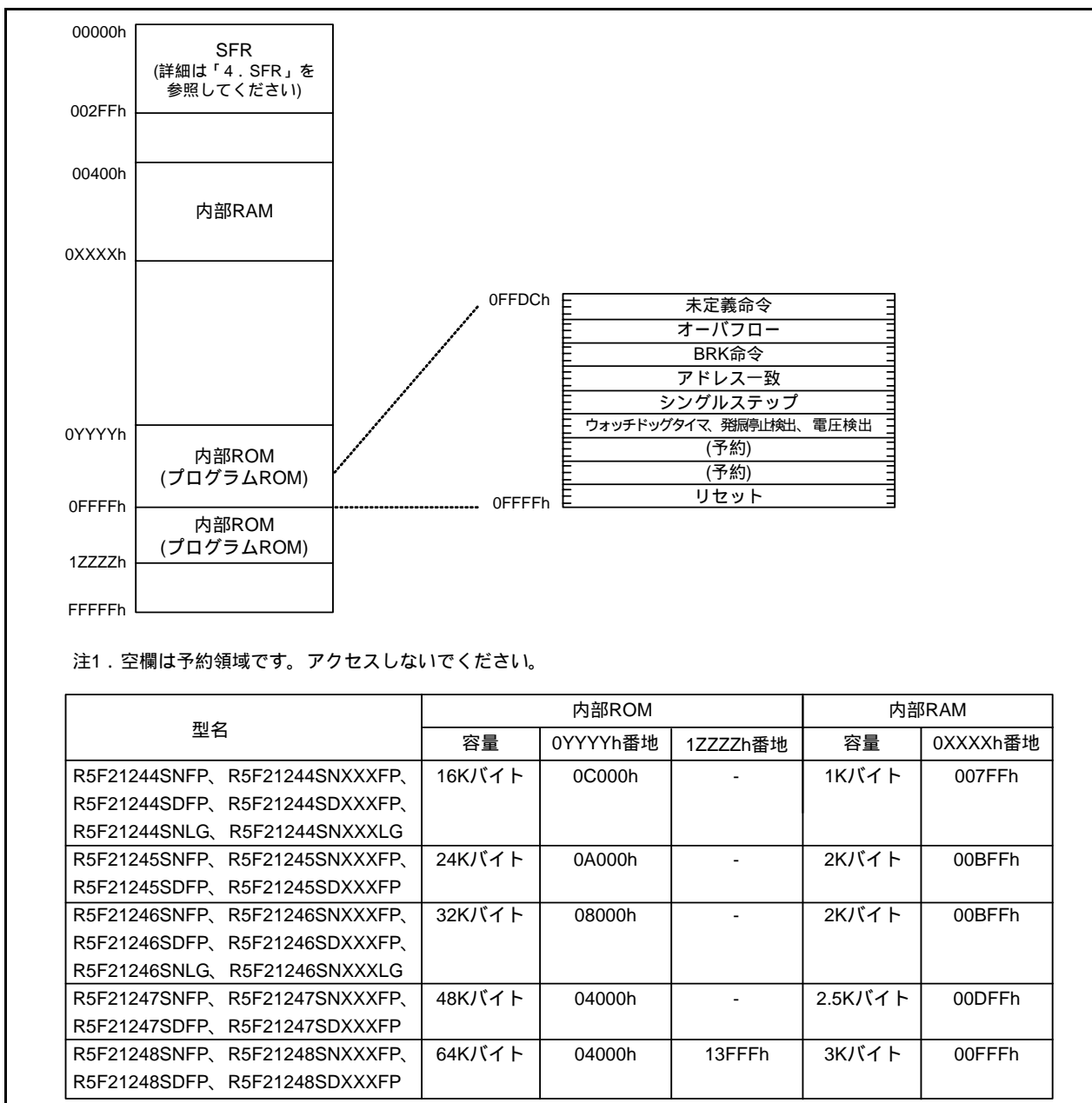


図3.1 R8C/24グループのメモリ配置図

3.2 R8C/25グループ

図3.2にR8C/25グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2Kバイトの内部RAMは、00400h番地から00BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

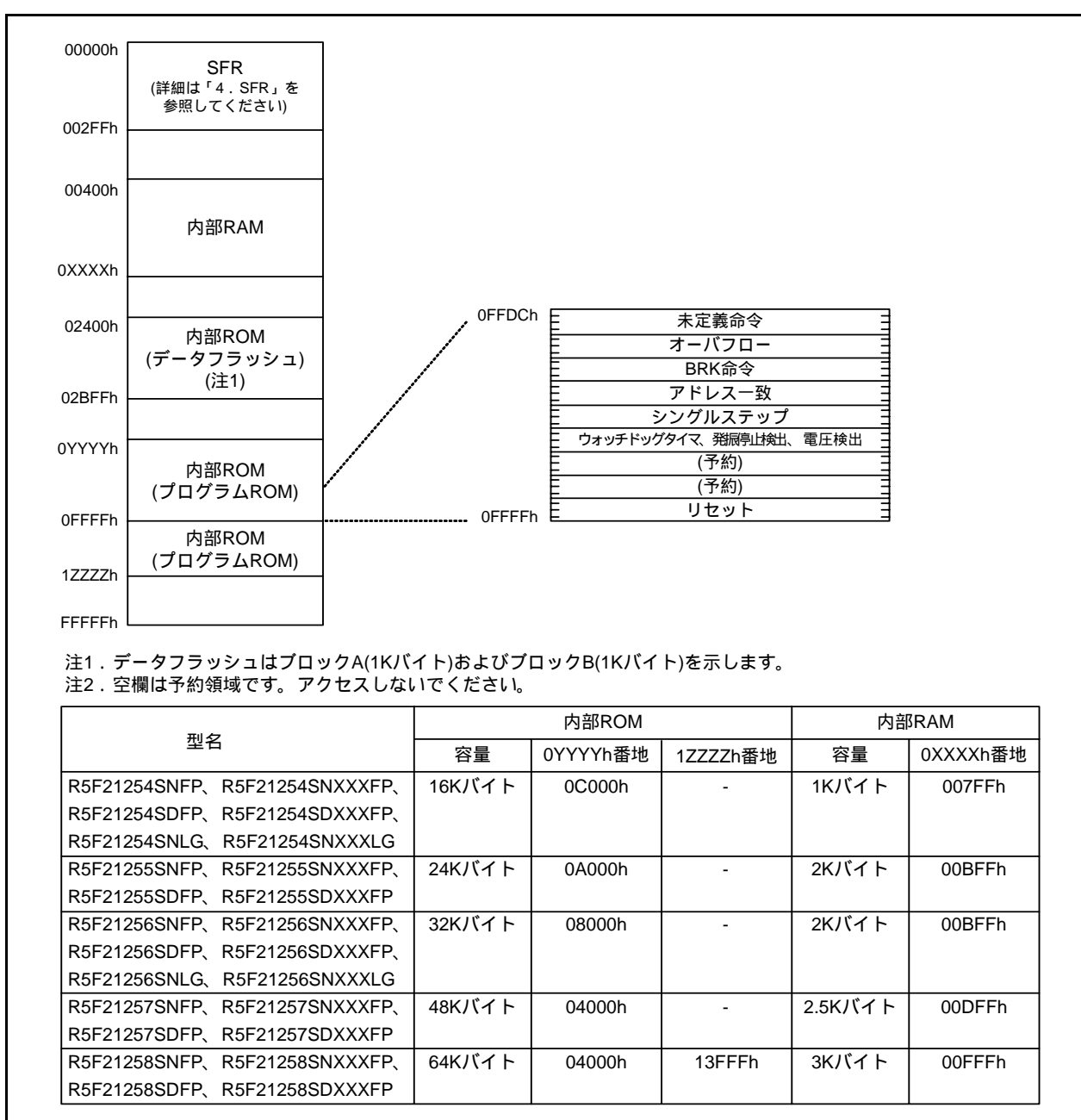


図3.2 R8C/25グループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.7にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	01101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			00h
0013h	アドレス一致割り込み許可レジスタ	AIER	00h
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注6)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch	高速オンチップオシレータ制御レジスタ7	FRA7	出荷時の値
0030h			
0031h	電圧検出レジスタ1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ2 (注2)	VCA2	00h (注3) 00100000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ (注5)	VW1C	00001000b
0037h	電圧監視2回路制御レジスタ (注5)	VW2C	00h
0038h	電圧監視0回路制御レジスタ (注2)	VW0C	0000X000b (注3) 0100X001b (注4)
0039h			
003Ah			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットでは変化しません。

注3. OFSレジスタのLVD0ONビットが“1”でかつハードウェアリセットの場合。

注4. パワーオンリセット、電圧監視0リセット、またはOFSレジスタのLVD0ONビットが“0”でかつハードウェアリセットの場合。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットではb2、b3は変化しません。

注6. OFSレジスタのCSPROINIビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART1送受信モードレジスタ	U1MR	00h
00A9h	UART1ビットレートレジスタ	U1BRG	XXh
00AAh	UART1送信バッファレジスタ	U1TB	XXh
00ABh			XXh
00ACh	UART1送受信制御レジスタ0	U1C0	00001000b
00ADh	UART1送受信制御レジスタ1	U1C1	00000010b
00AEh	UART1受信バッファレジスタ	U1RB	XXh
00AFh			XXh
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
00B9h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	01111101b
00BAh	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00011000b
00BBh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSER/ICIER	00h
00BCh	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h / 0000X000b
00BDh	SSモードレジスタ2/スレーブアドレスレジスタ (注2)	SSMR2/SAR	00h
00BEh	SS送信データレジスタ/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
00BFh	SS受信データレジスタ/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/Dレジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D制御レジスタ2	ADCON2	00h
00D5h			
00D6h	A/D制御レジスタ0	ADCON0	00h
00D7h	A/D制御レジスタ1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h	ポートP2レジスタ	P2	XXh
00E5h	ポートP3レジスタ	P3	XXh
00E6h	ポートP2方向レジスタ	PD2	00h
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h			
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh			
00ECh	ポートP6レジスタ	P6	XXh
00EDh			
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポートP2駆動能力制御レジスタ	P2DRR	00h
00F5h	UART1機能選択レジスタ	U1SR	XXh
00F6h			
00F7h			
00F8h	ポートモードレジスタ	PMR	00h
00F9h	外部入力許可レジスタ	INTEN	00h
00FAh	INT入力フィルタ選択レジスタ	INTF	00h
00FBh	キー入力許可レジスタ	KIEN	00h
00FCh	ブルアップ制御レジスタ0	PUR0	00h
00FDh	ブルアップ制御レジスタ1	PUR1	XX00XX00b
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h			
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	00h
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	00h
011Ah	タイマRE時データレジスタ	TREHR	00h
011Bh	タイマRE曜日データレジスタ	TREWK	00h
011Ch	タイマRE制御レジスタ1	TRECR1	00h
011Dh	タイマRE制御レジスタ2	TRECR2	00h
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h			
0121h			
0122h			
0123h			
0124h			
0125h			
0126h			
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh			
012Eh			
012Fh			
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h	タイマRDスタートレジスタ	TRDSTR	11111100b
0138h	タイマRDモードレジスタ	TRDMR	00001110b
0139h	タイマRD PWMモードレジスタ	TRDPMR	10001000b
013Ah	タイマRD機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマRDアウトプットマスタ許可レジスタ1	TRDOER1	FFh
013Ch	タイマRDアウトプットマスタ許可レジスタ2	TRDOER2	01111111b
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	00h
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマRD制御レジスタ0	TRDCR0	00h
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	10001000b
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	10001000b
0143h	タイマRDステータスレジスタ0	TRDSR0	11100000b
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	11100000b
0145h	タイマRD PWMモードアウトブットレベル制御レジスタ0	TRDPOCR0	11111000b
0146h	タイマRDカウンタ0	TRD0	00h
0147h			00h
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマRD制御レジスタ1	TRDCR1	00h
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	10001000b
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	10001000b
0153h	タイマRDステータスレジスタ1	TRDSR1	11000000b
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	11100000b
0155h	タイマRD PWMモードアウトブットレベル制御レジスタ1	TRDPOCR1	11111000b
0156h	タイマRDカウンタ1	TRD1	00h
0157h			00h
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	FFh
015Fh			FFh
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFFh	オプション機能選択レジスタ	(注2) OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタはプログラムで変更できません。フラッシュライターで書いてください。

X: 不定です。

5. 電気的特性

電気的特性はNバージョン($T_{opr} = -20 \sim 85$)とDバージョン($T_{opr} = -40 \sim 85$)について示します。Yバージョン($T_{opr} = -20 \sim 105$)の電気的特性についてはルネサステクノロジ営業窓口へお問い合わせください。

表5.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V_{cc}/AV_{cc}	電源電圧		- 0.3 ~ 6.5	V
V_i	入力電圧		- 0.3 ~ $V_{cc} + 0.3$	V
V_o	出力電圧		- 0.3 ~ $V_{cc} + 0.3$	V
P_d	消費電力	$T_{opr} = 25$	500(注1)	mW
T_{opr}	動作周囲温度		- 20 ~ 85(Nバージョン) / - 40 ~ 85(Dバージョン)	
T_{stg}	保存温度		- 65 ~ 150	

注1. PTLG0064JA-Aパッケージ品では、300mWです。

表5.2 推奨動作条件

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V _{CC} /AV _{CC}	電源電圧		2.2		5.5	V		
V _{SS} /AV _{SS}	電源電圧			0		V		
V _{IH}	“H”入力電圧		0.8V _{CC}		V _{CC}	V		
V _{IL}	“L”入力電圧		0		0.2V _{CC}	V		
I _{OH} (sum)	“H”尖頭総出力電流	全端子のI _{OH} (peak)の 総和			- 160	mA		
I _{OH} (sum)	“H”平均総出力電流	全端子のI _{OH} (avg)の 総和			- 80	mA		
I _{OH} (peak)	“H”尖頭出力電流	P2_0 ~ P2_7以外			- 10	mA		
		P2_0 ~ P2_7			- 40	mA		
I _{OH} (avg)	“H”平均出力電流	P2_0 ~ P2_7以外			- 5	mA		
		P2_0 ~ P2_7			- 20	mA		
I _{OL} (sum)	“L”尖頭総出力電流	全端子のI _{OL} (peak)の 総和			160	mA		
I _{OL} (sum)	“L”平均総出力電流	全端子のI _{OL} (avg)の 総和			80	mA		
I _{OL} (peak)	“L”尖頭出力電流	P2_0 ~ P2_7以外			10	mA		
		P2_0 ~ P2_7			40	mA		
I _{OL} (avg)	“L”平均出力電流	P2_0 ~ P2_7以外			5	mA		
		P2_0 ~ P2_7			20	mA		
f(XIN)	XINクロック入力発振周波数	3.0V V _{CC} 5.5V	0		20	MHz		
		2.7V V _{CC} < 3.0V	0		10	MHz		
		2.2V V _{CC} < 2.7V	0		5	MHz		
f(XCIN)	XCINクロック入力発振周波数	2.2V V _{CC} 5.5V	0		70	kHz		
	システムクロック	OCD2 = “0” XINクロック選択時	3.0V V _{CC} 5.5V	0		20	MHz	
			2.7V V _{CC} < 3.0V	0		10	MHz	
			2.2V V _{CC} < 2.7V	0		5	MHz	
		OCD2 = “1” オンチップオシレータ クロック選択時	FRA01 = “0” 低速オンチップオシレータ 選択時			125		kHz
			FRA01 = “1” 高速オンチップオシレータ 選択時 3.0V V _{CC} 5.5V			20		MHz
			FRA01 = “1” 高速オンチップオシレータ 選択時 2.7V V _{CC} 5.5V			10		MHz
			FRA01 = “1” 高速オンチップオシレータ 選択時 2.2V V _{CC} 5.5V			5		MHz

注1. 指定のない場合は、V_{CC} = 2.2V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100msの期間内での平均値です。

表5.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
	分解能	Vref = AVcc			10	Bit	
	絶対精度	10ビットモード	AD = 10MHz、Vref = AVcc = 5.0V			± 3	LSB
		8ビットモード	AD = 10MHz、Vref = AVcc = 5.0V			± 2	LSB
		10ビットモード	AD = 10MHz、Vref = AVcc = 3.3V			± 5	LSB
		8ビットモード	AD = 10MHz、Vref = AVcc = 3.3V			± 2	LSB
		10ビットモード	AD = 5MHz、Vref = AVcc = 2.2V			± 5	LSB
		8ビットモード	AD = 5MHz、Vref = AVcc = 2.2V			± 2	LSB
Rladder	ラダ - 抵抗	Vref = AVcc	10		40	k	
tconv	変換時間	10ビットモード	AD = 10MHz、Vref = AVcc = 5.0V	3.3			μs
		8ビットモード	AD = 10MHz、Vref = AVcc = 5.0V	2.8			μs
Vref	基準電圧		2.2		AVcc	V	
VIA	アナログ入力電圧(注2)		0		AVcc	V	
	A/D動作クロック 周波数	サンプル&ホールドなし	Vref = AVcc = 2.7 ~ 5.5V	0.25		10	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.7 ~ 5.5V	1		10	MHz
		サンプル&ホールドなし	Vref = AVcc = 2.2 ~ 5.5V	0.25		5	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.2 ~ 5.5V	1		5	MHz

注1. 指定のない場合は、AVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

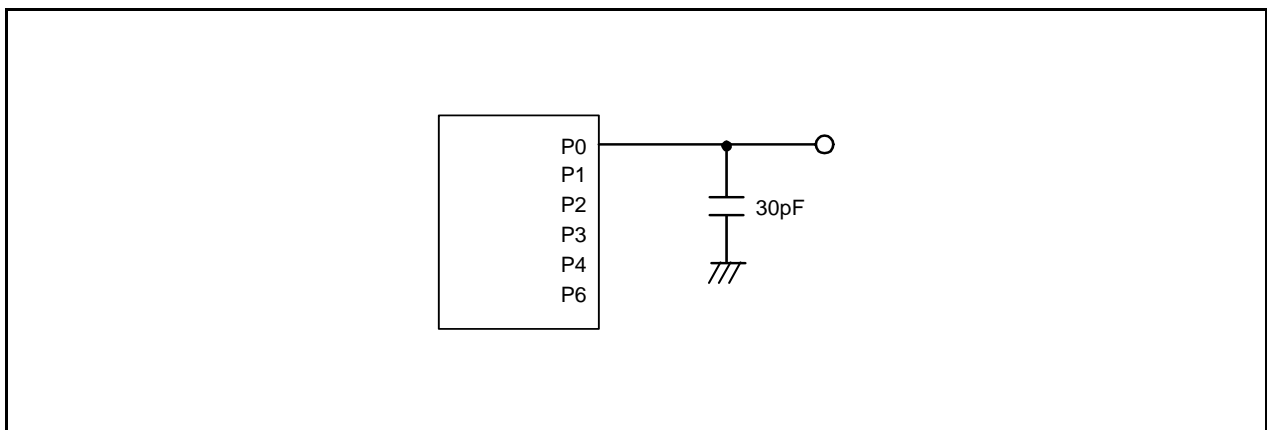


図5.1 ポートP0 ~ P4、P6のタイミング測定回路

表5.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/24グループ	100(注3)			回
		R8C/25グループ	1,000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック ×6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック ×4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラムROMと同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40 。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

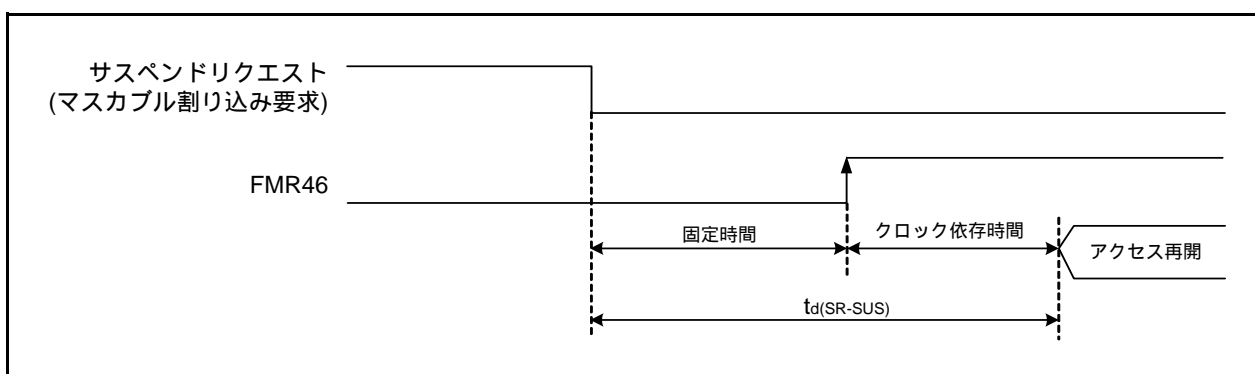


図5.2 サスペンドへの遷移時間

表5.6 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベル		2.2	2.3	2.4	V
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		0.9		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				300	μs
Vccmin	マイコンの動作電圧の最小値		2.2			V

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.7 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベル		2.7	2.85	3.00	V
	電圧監視1割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.8 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベル		3.3	3.6	3.9	V
	電圧監視2割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.9 パワーオンリセット回路、電圧監視0リセットの電気的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧 (注4)				0.1	V
V _{por2}	パワーオンリセットまたは電圧監視0リセットが有効になる電圧		0		V _{det0}	V
t _{trh}	外部電源V _{cc} の立ち上がり傾き(注2)		20			mV/msec

注1. 指定のない場合測定条件は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. V_{cc} 1.0 Vで使用する場合、この条件(外部電源V_{cc}立ち上がり傾き)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVDOONビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

注4. t_{w(por1)}は外部電源V_{cc}を有効電圧(V_{por1})以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げる時は - 20 Topr 85 ではt_{w(por1)}を30s以上、- 40 Topr < - 20 ではt_{w(por1)}を3000s以上保持してください。

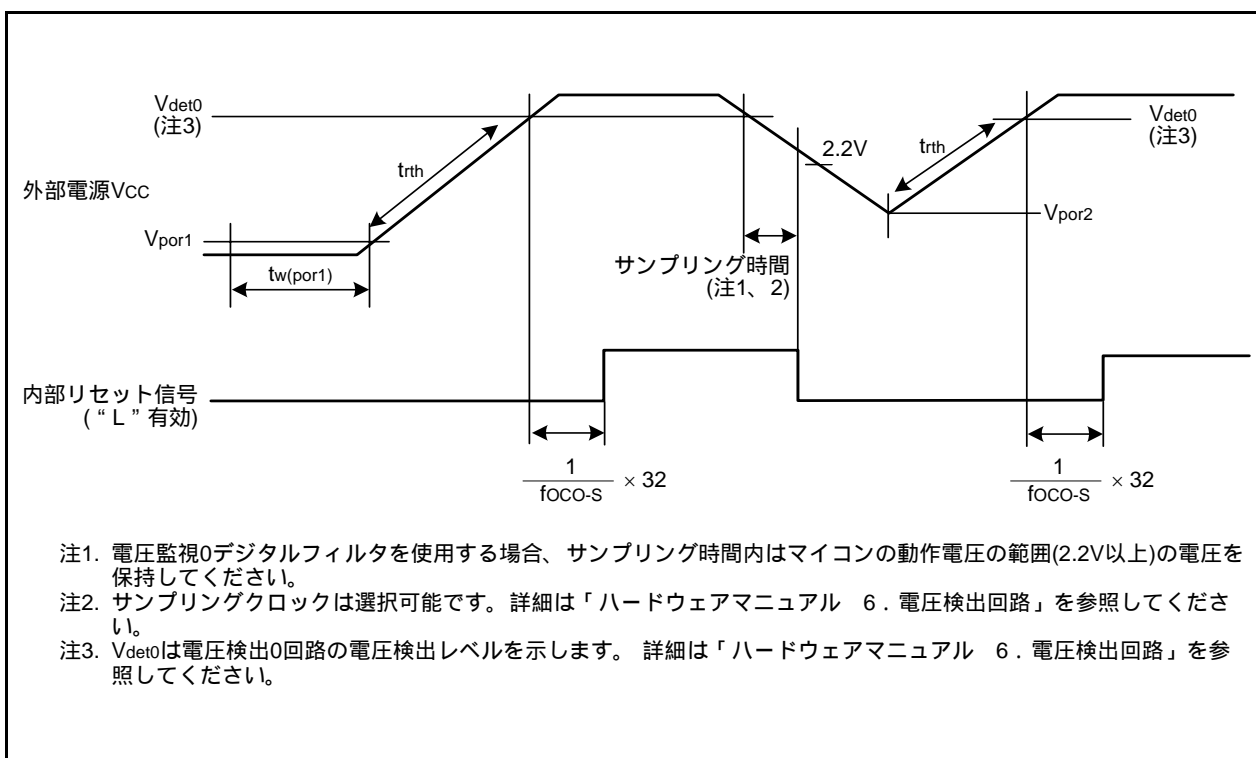


図5.3 パワーオンリセット回路の電気的特性

表5.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO40M	高速オンチップオシレータ発振周波数の温度・電圧依存性	Vcc = 4.75V ~ 5.25V 0 Topr 60 (注2)	39.2	40	40.8	MHz
		Vcc = 4.5V ~ 5.5V - 20 Topr 85	38.8	40	40.8	MHz
		Vcc = 4.5V ~ 5.5V - 40 Topr 85	38.4	40	40.8	MHz
		Vcc = 3.0V ~ 5.5V - 20 Topr 85 (注2)	38.8	40	41.2	MHz
		Vcc = 3.0V ~ 5.5V - 40 Topr 85 (注2)	38.4	40	41.6	MHz
		Vcc = 2.7V ~ 5.5V - 20 Topr 85 (注2)	38	40	42	MHz
		Vcc = 2.7V ~ 5.5V - 40 Topr 85 (注2)	37.6	40	42.4	MHz
		Vcc = 2.2V ~ 5.5V - 20 Topr 85 (注3)	35.2	40	44.8	MHz
		Vcc = 2.2V ~ 5.5V - 40 Topr 85 (注3)	34	40	46	MHz
		FRA7レジスタの補正値をFRA1レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注4)	Vcc = 5.0V、Topr = 25		36.864	
	Vcc = 3.0V ~ 5.5V - 20 Topr 85	- 3%		3%	%	
	リセット解除時のFRA1レジスタの値		08h	F7h		
	高速オンチップオシレータ発振周波数調整単位	FRA1レジスタ(リセット解除時の値)を-1ビットに調整		+ 0.3		MHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		400		μA

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. FRA1レジスタがリセット解除時の値のときの規格値です。

注3. FRA6レジスタの補正値をFRA1レジスタに書き込んだときの規格値です。

注4. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表5.11 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		30	125	250	kHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc = 5.0V、Topr = 25		15		μA

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

表5.12 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表5.13 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tcyc+50			ns
tLAG	SCSホールド時間	スレーブ		1tcyc+50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tcyc (注2)
tSA	SSIスレーブアクセス時間		2.7V Vcc 5.5V			1.5tcyc+100	ns
			2.2V Vcc < 2.7V			1.5tcyc+200	ns
tOR	SSIスレーブアウト開放時間		2.7V Vcc 5.5V			1.5tcyc+100	ns
			2.2V Vcc < 2.7V			1.5tcyc+200	ns

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc=1/f1(s)

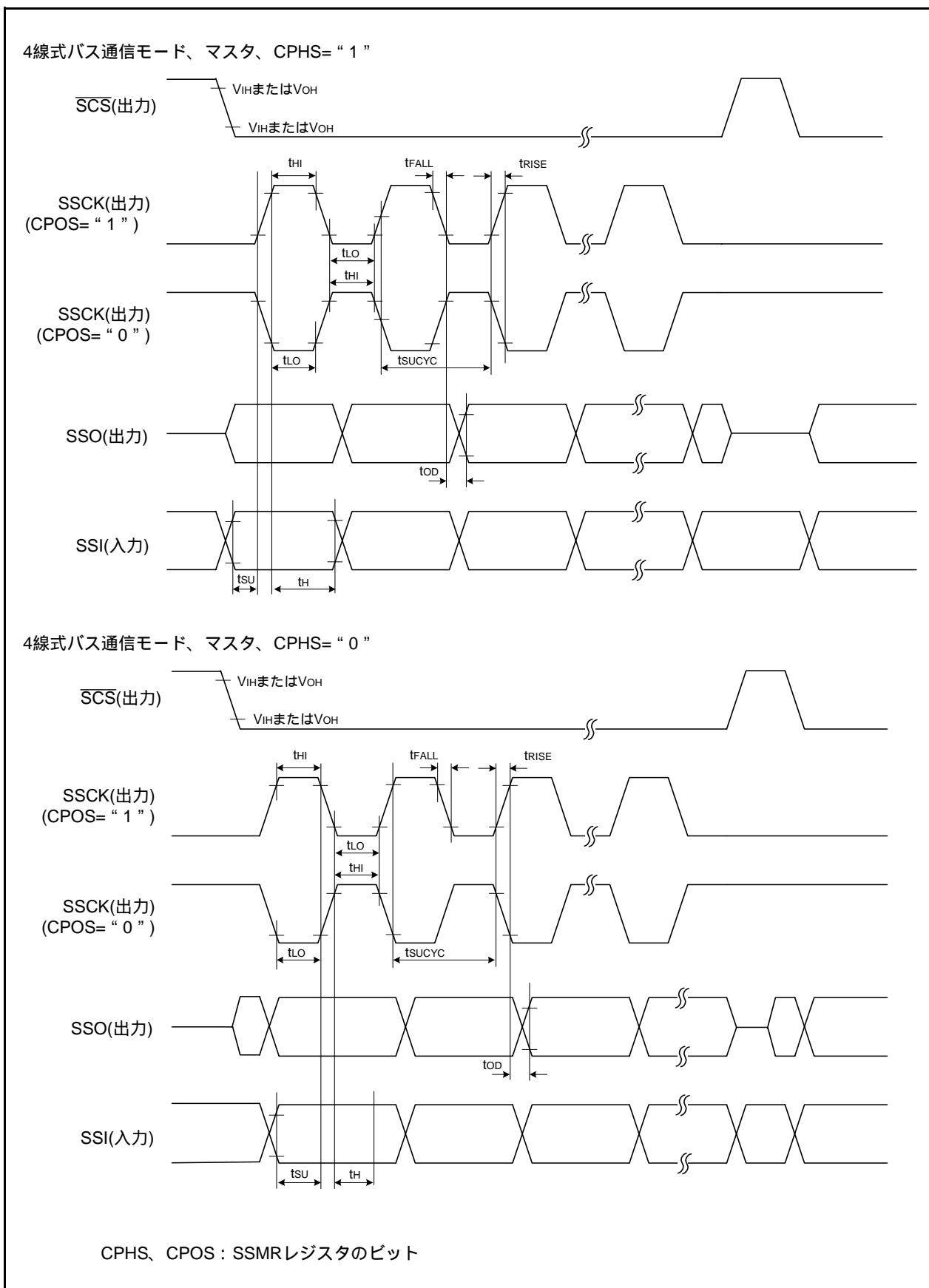


図5.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

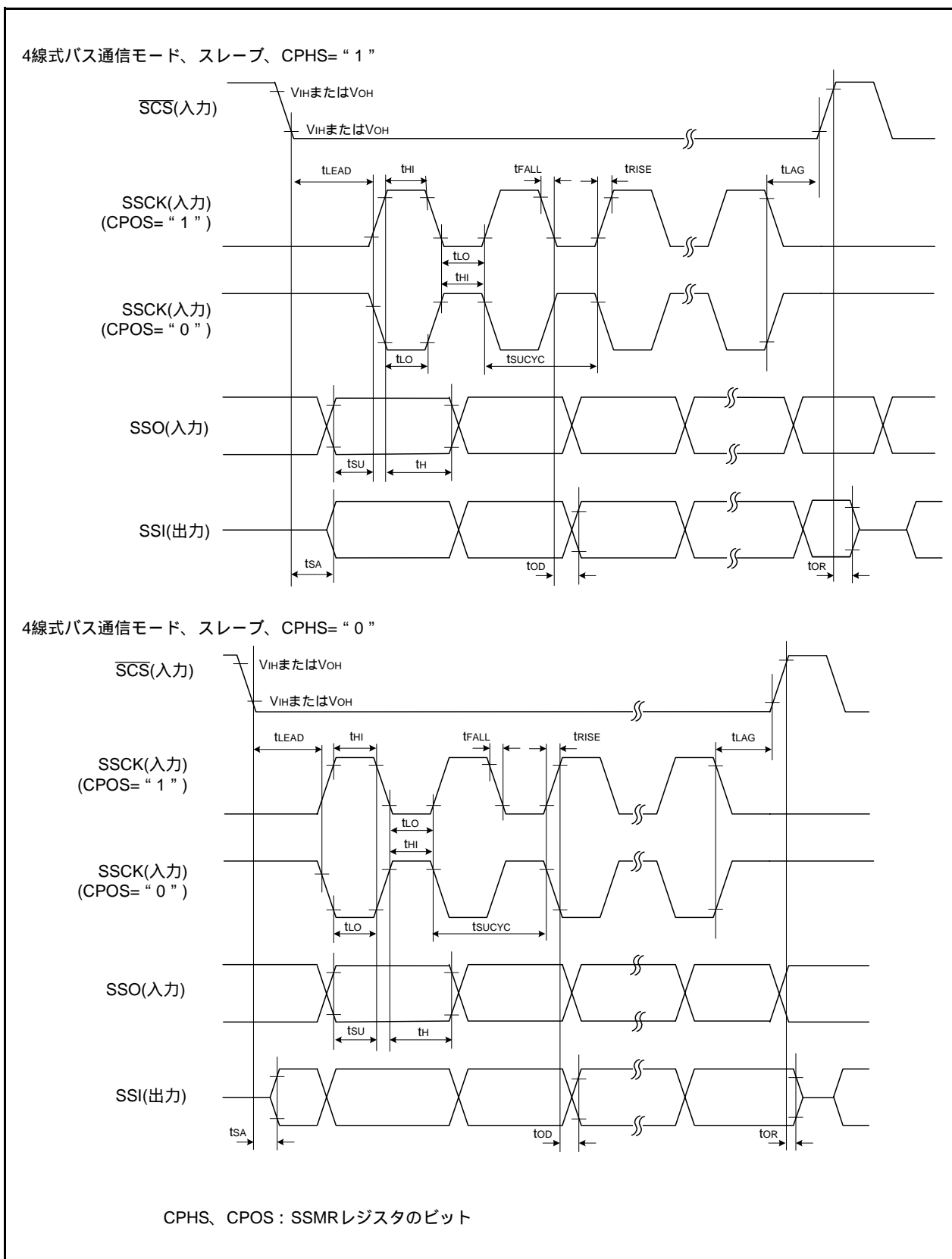


図5.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

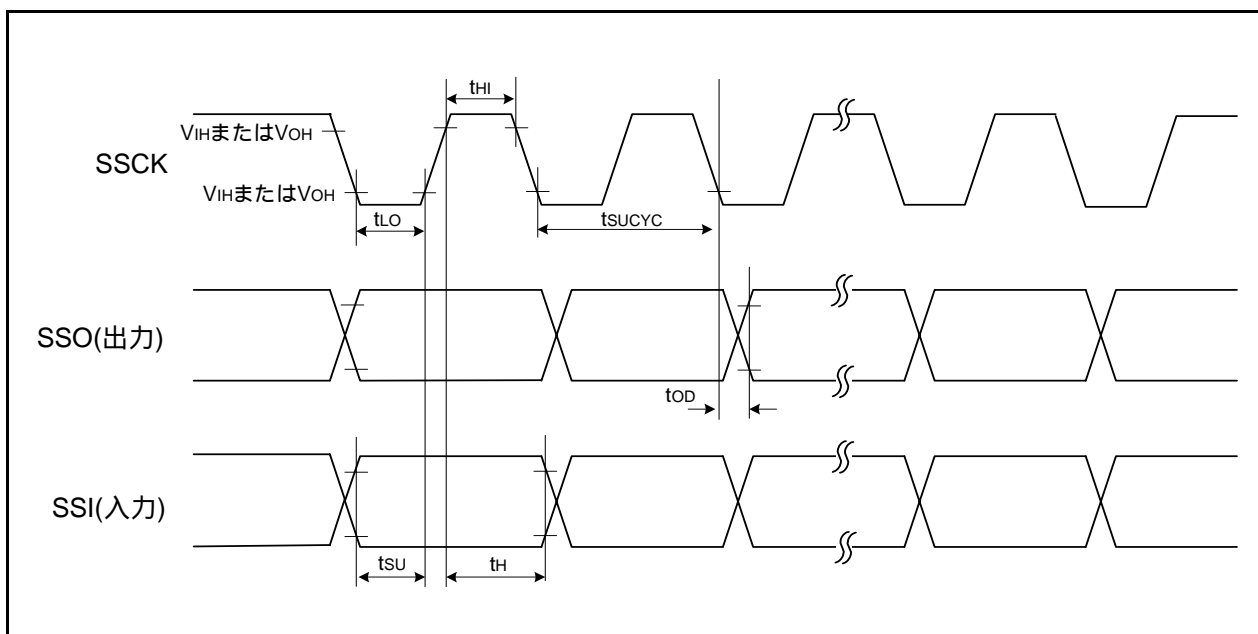


図5.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表5.14 I²Cバスインタフェースのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc+600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc+300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc+500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入カスパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力バスフリー時間		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc+20(注2)			ns
tSDAH	データ入力ホールド時間		0			ns

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1(s)

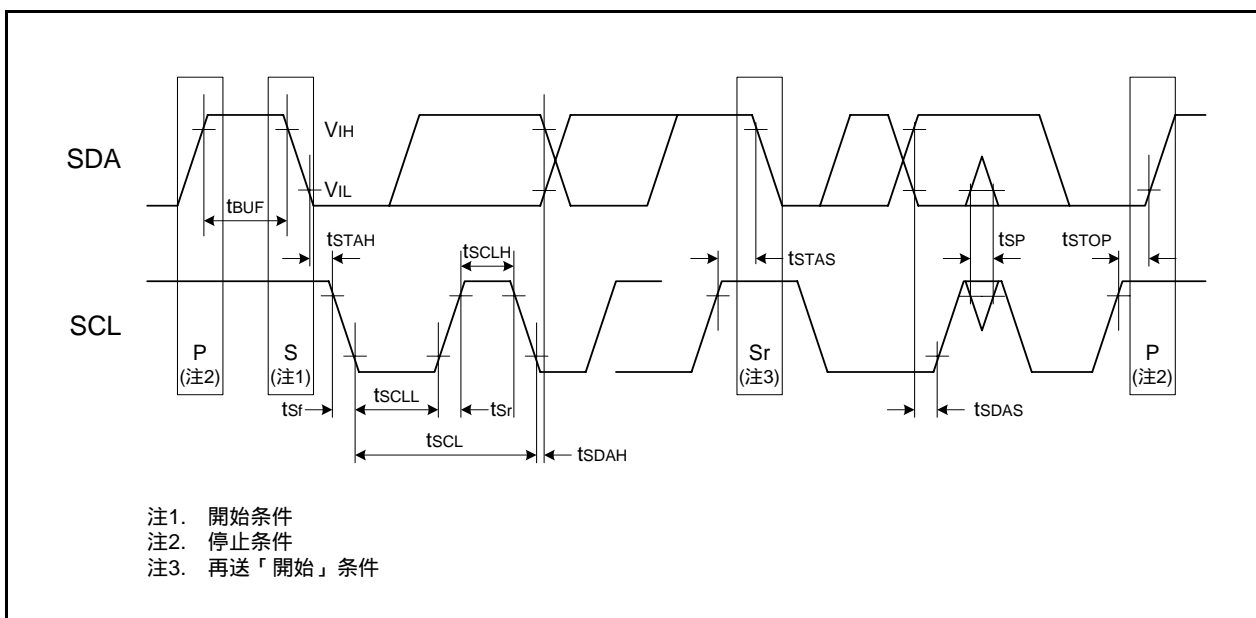


図5.7 I²Cバスインターフェースの入出力タイミング

表5.15 電気的特性(1) [Vcc = 5V]

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT 以外	IOH = - 5mA	Vcc - 2.0		Vcc	V
			IOH = - 200 μA	Vcc - 0.5		Vcc	V
	P2_0 ~ P2_7	駆動能力HIGH	IOH = - 20mA	Vcc - 2.0		Vcc	V
		駆動能力LOW	IOH = - 5mA	Vcc - 2.0		Vcc	V
	XOUT	駆動能力HIGH	IOH = - 1mA	Vcc - 2.0		Vcc	V
		駆動能力LOW	IOH = - 500 μA	Vcc - 2.0		Vcc	V
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT 以外	IOl = 5mA			2.0	V
			IOl = 200 μA			0.45	V
	P2_0 ~ P2_7	駆動能力HIGH	IOl = 20mA			2.0	V
		駆動能力LOW	IOl = 5mA			2.0	V
	XOUT	駆動能力HIGH	IOl = 1mA			2.0	V
		駆動能力LOW	IOl = 500 μA			2.0	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、KI0、KI1、KI2、 KI3、TRAIO、RXD0、 RXD1、CLK0、CLK1、 SSI、SCL、SDA、 SSO		0.1	0.5		V
		RESET		0.1	1.0		V
IiH	“H”入力電流		VI = 5V、Vcc = 5V			5.0	μA
IiL	“L”入力電流		VI = 0V、Vcc = 5V			- 5.0	μA
RPULLUP	プルアップ抵抗		VI = 0V、Vcc = 5V	30	50	167	k
RfXIN	帰還抵抗	XIN			1.0		M
RfXCIN	帰還抵抗	XCIN			18		M
V _{RAM}	RAM保持電圧		ストップモード時	1.8			V

注1. 指定のない場合は、Vcc = 4.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 20MHzです。

表5.16 電気的特性(2) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		10	17	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		9	15	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		5		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		4		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		10	15	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		4		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μA
			低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = " 1 "		130	300
				XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "		30	

表5.17 電気的特性(3) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	75	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		23	60	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		4.0		μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		2.2		μ A
		A/Dコンバータ 動作時の増量	サンプルホールドなし		2.6		mA
			サンプルホールドあり		1.6		mA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.8	3.0	μ A
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.2		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 5V$]

表5.18 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	50		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	25		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	25		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

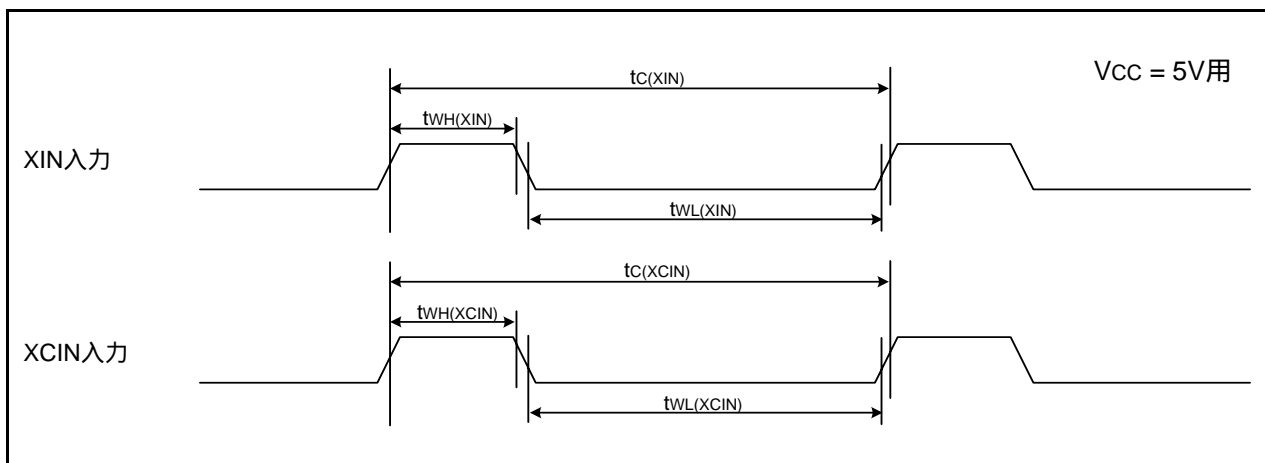


図5.8 $V_{CC} = 5V$ 時のXIN入力、XCIN入力タイミング

表5.19 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	100		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	40		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	40		ns

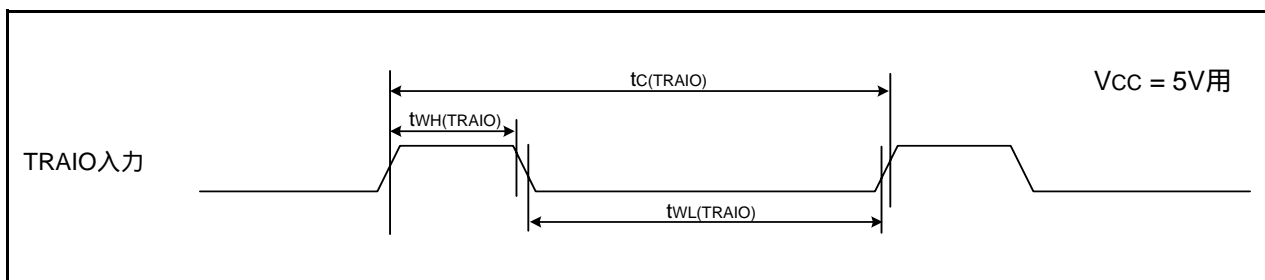


図5.9 $V_{CC} = 5V$ 時のTRAIO入力タイミング

表5.20 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

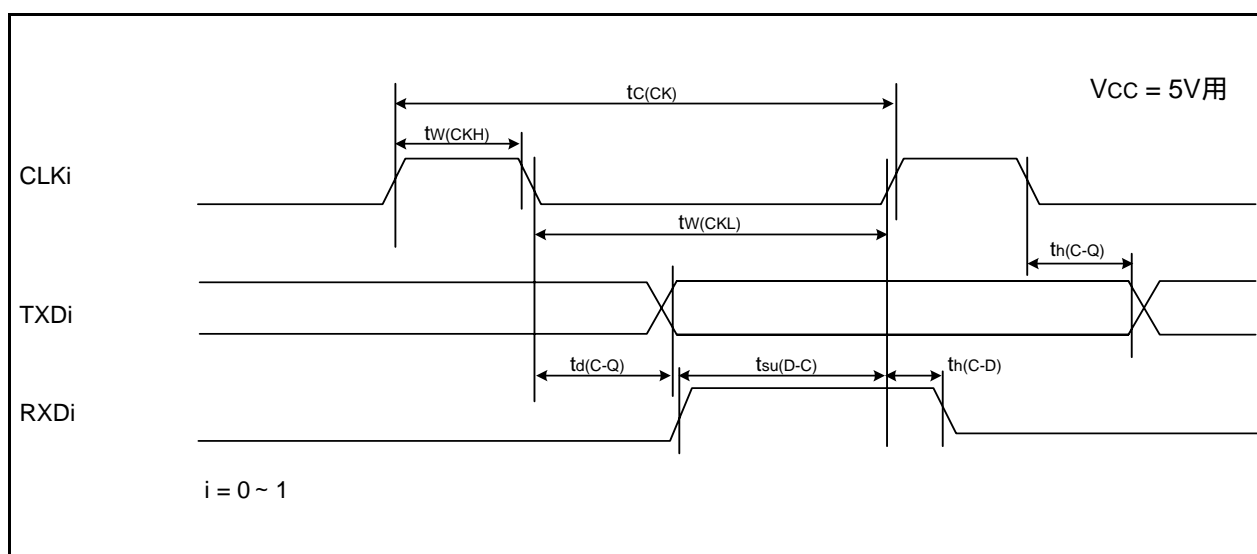


図5.10 Vcc = 5V時のシリアルインタフェースのタイミング

表5.21 外部割り込みINTi入力 (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

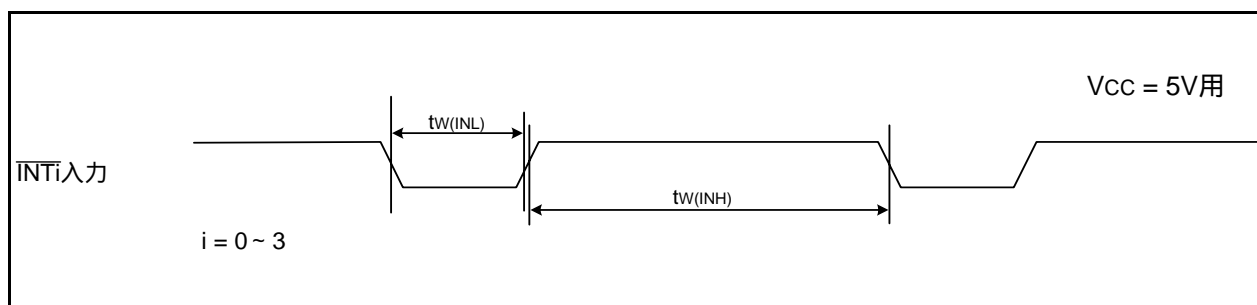


図5.11 Vcc = 5V時の外部割り込みINTi入力タイミング

表5.22 電気的特性(3) [Vcc = 3V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT 以外	IOH = - 1mA	Vcc - 0.5		Vcc	V	
		P2_0 ~ P2_7	駆動能力HIGH	IOH = - 5mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	IOH = - 1mA	Vcc - 0.5		Vcc	V
		XOUT	駆動能力HIGH	IOH = - 0.1mA	Vcc - 0.5		Vcc	V
駆動能力LOW	IOH = - 50 μA		Vcc - 0.5		Vcc	V		
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT 以外	IOL = 1mA			0.5	V	
		P2_0 ~ P2_7	駆動能力HIGH	IOL = 5mA			0.5	V
			駆動能力LOW	IOL = 1mA			0.5	V
		XOUT	駆動能力HIGH	IOL = 0.1mA			0.5	V
駆動能力LOW	IOL = 50 μA				0.5	V		
VT+-VT-	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRAI0</u> 、 <u>RXD0</u> 、 <u>RXD1</u> 、 <u>CLK0</u> 、 <u>CLK1</u> 、 <u>SSI</u> 、 <u>SCL</u> 、 <u>SDA</u> 、 <u>SSO</u>		0.1	0.3		V	
		<u>RESET</u>		0.1	0.4		V	
I _{IH}	“H”入力電流		VI = 3V、Vcc = 3V			4.0	μA	
I _{IL}	“L”入力電流		VI = 0V、Vcc = 3V			- 4.0	μA	
R _{PULLUP}	プルアップ抵抗		VI = 0V、Vcc = 3V	66	160	500	k	
R _{I_{XIN}}	帰還抵抗	XIN			3.0		M	
R _{I_{XCIN}}	帰還抵抗	XCIN			18		M	
V _{RAM}	RAM保持電圧		ストップモード時	1.8			V	

注1. 指定のない場合は、Vcc = 2.7V ~ 3.3V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 10MHzです。

表5.23 電気的特性(4) [Vcc = 3V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5	9	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"		130	300	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = "1"		130	300	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = "1"		30		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		25	70	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		23	55	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		3.8		μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		2.0		μA
		A/Dコンバータ 動作時の増量	サンプルホールドなし		0.9		mA
			サンプルホールドあり		0.5		mA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		0.7	3.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		1.1		μA

タイミング必要条件 (指定のない場合は、 $V_{cc} = 3V$ 、 $V_{ss} = 0V$ 、 $T_{opr} = 25$) [$V_{cc} = 3V$]

表5.24 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	100		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	40		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	40		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

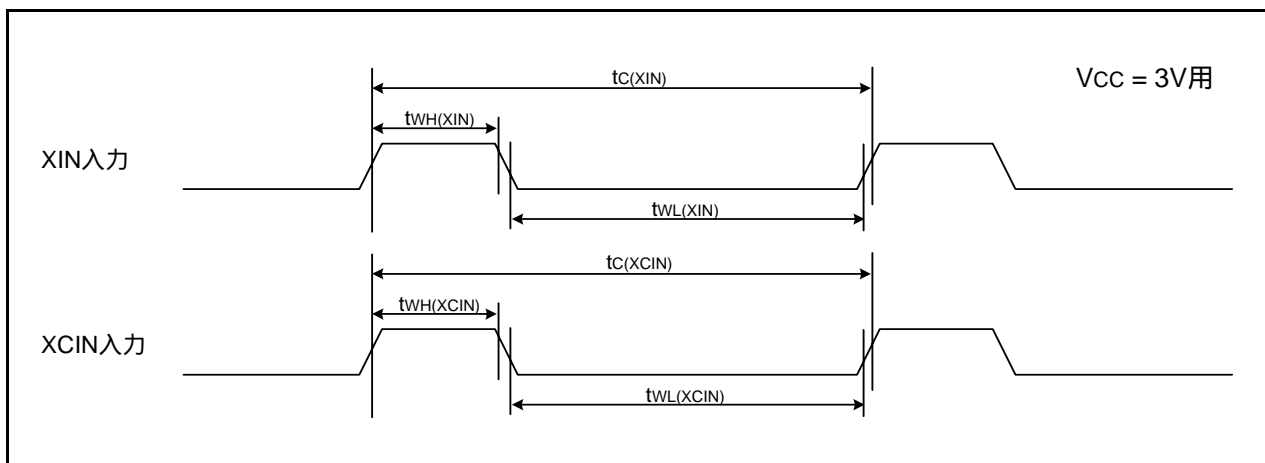


図5.12 V_{cc} = 3V時のXIN入力、XCIN入力タイミング

表5.25 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAI0)}$	TRAI0入力サイクル時間	300		ns
$t_{WH(TRAI0)}$	TRAI0入力“H”パルス幅	120		ns
$t_{WL(TRAI0)}$	TRAI0入力“L”パルス幅	120		ns

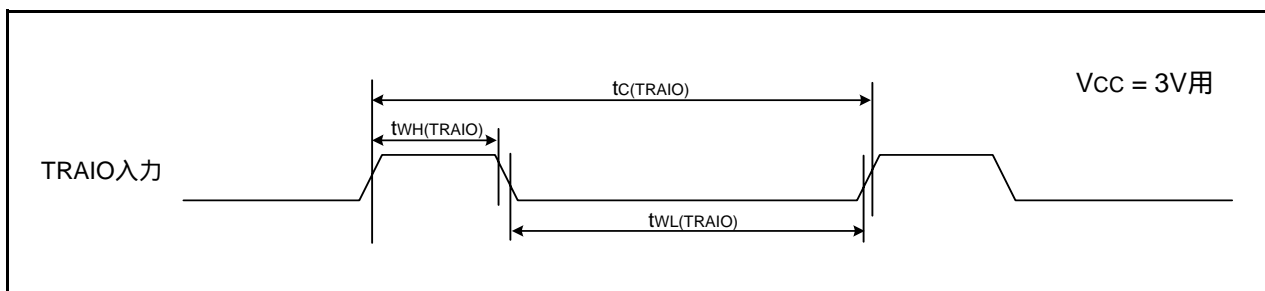


図5.13 V_{cc} = 3V時のTRAI0入力タイミング

表5.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	300		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	150		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	150		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		80	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	70		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

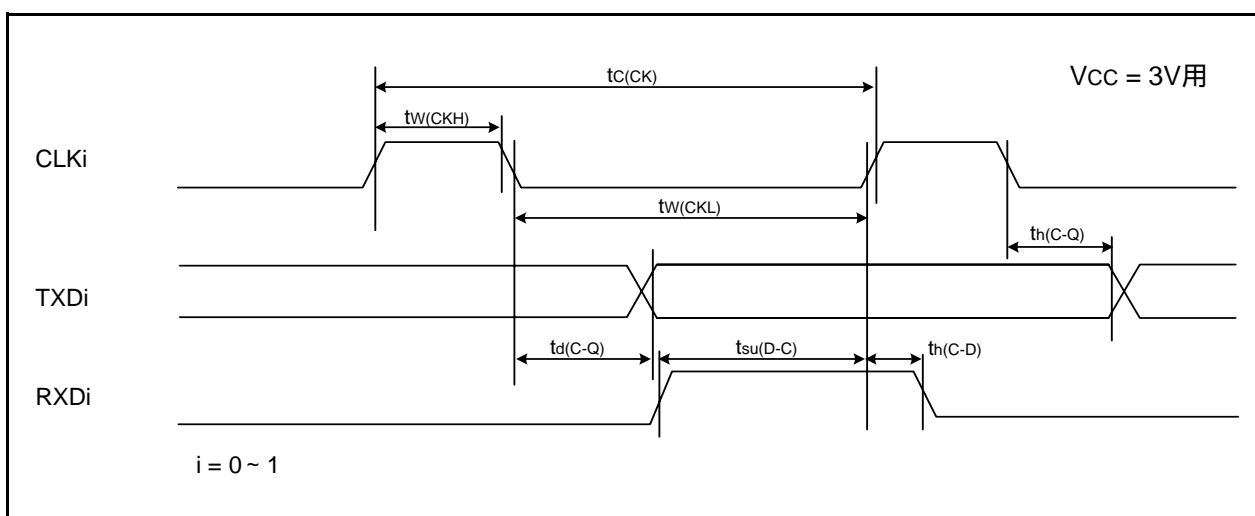


図5.14 Vcc = 3V時のシリアルインタフェースのタイミング

表5.27 外部割り込みINTi入力 (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅	380(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

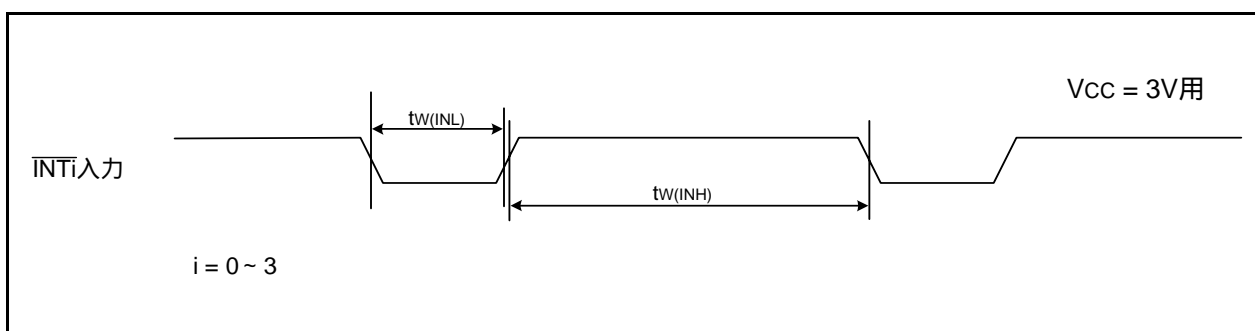


図5.15 Vcc = 3V時の外部割り込みINTi入力タイミング

表5.28 電気的特性(5) [Vcc = 2.2V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT以外	I _{OH} = - 1mA		V _{CC} - 0.5		V _{CC}	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OH} = - 2mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力LOW	I _{OH} = - 1mA	V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力LOW	I _{OH} = - 50 μA	V _{CC} - 0.5		V _{CC}	V
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT以外	I _{OL} = 1mA				0.5	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OL} = 2mA			0.5	V
			駆動能力LOW	I _{OL} = 1mA			0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1mA			0.5	V
			駆動能力LOW	I _{OL} = 50 μA			0.5	V
VT+ - VT-	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT2</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRAIO</u> 、 <u>RXD0</u> 、 <u>RXD1</u> 、 <u>CLK0</u> 、 <u>CLK1</u> 、 <u>SSI</u> 、 <u>SCL</u> 、 <u>SDA</u> 、 <u>SSO</u>			0.05	0.3		V
		<u>RESET</u>			0.05	0.15		V
I _{IH}	“H”入力電流		V _I = 2.2V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0V		100	200	600	k
R _{fXIN}	帰還抵抗	XIN				5		M
R _{fXCIN}	帰還抵抗	XCIN				35		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、V_{CC} = 2.2V、T_{opr} = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)、f(XIN) = 5MHzです。

表5.29 電気的特性(6) [Vcc = 2.2V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.2V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		100	230	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = " 1 "		100	230	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "		25		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		22	60	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		20	55	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		3.0		μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		1.8		μA
		A/Dコンバータ動作時の増量	サンプルホールドなし		0.4		mA
			サンプルホールドあり		0.3		mA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.7	3.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.1		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$) [$V_{CC} = 2.2V$]

表5.30 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	200		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	90		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	90		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

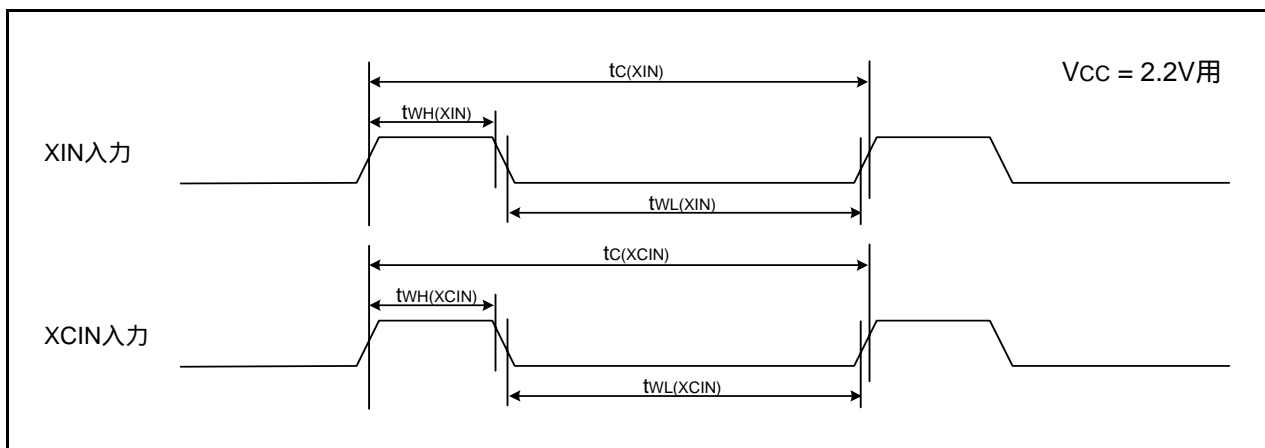


図5.16 $V_{CC} = 2.2V$ 時のXIN入力、XCIN入力タイミング

表5.31 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	500		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	200		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	200		ns

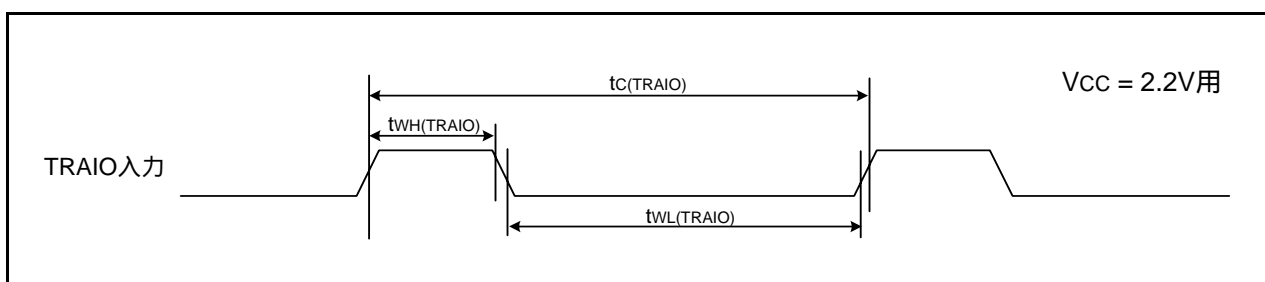


図5.17 $V_{CC} = 2.2V$ 時のTRAIO入力タイミング

表5.32 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	800		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	400		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	400		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		200	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	150		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

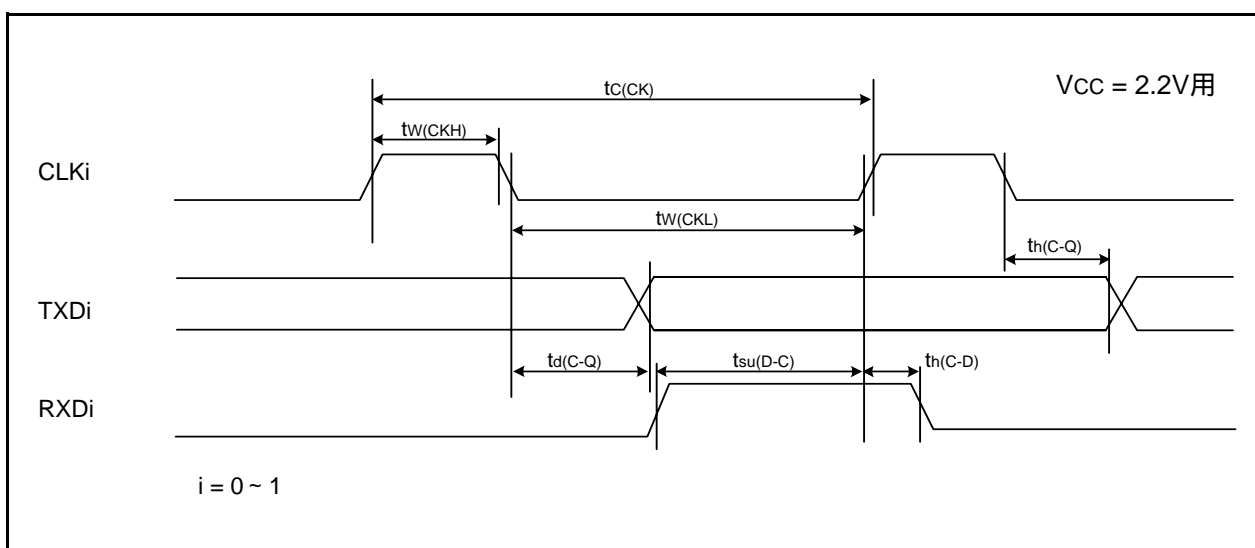


図5.18 Vcc = 2.2V時のシリアルインタフェースのタイミング

表5.33 外部割り込みINTi入力 (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INT}}_i$ 入力“H”パルス幅	1000(注1)		ns
$t_w(\text{INL})$	$\overline{\text{INT}}_i$ 入力“L”パルス幅	1000(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

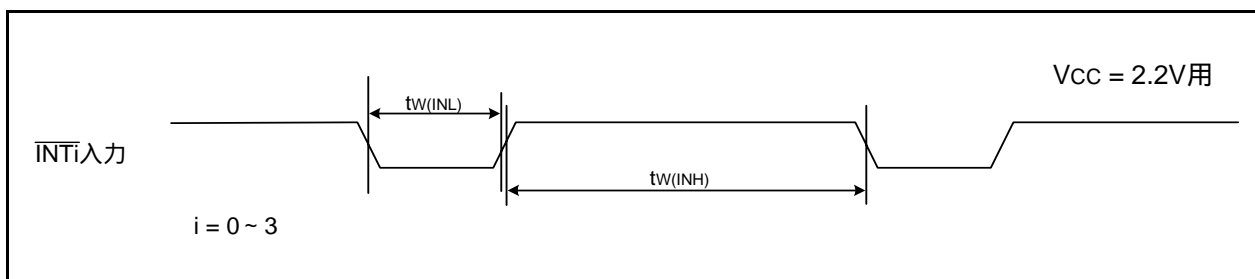
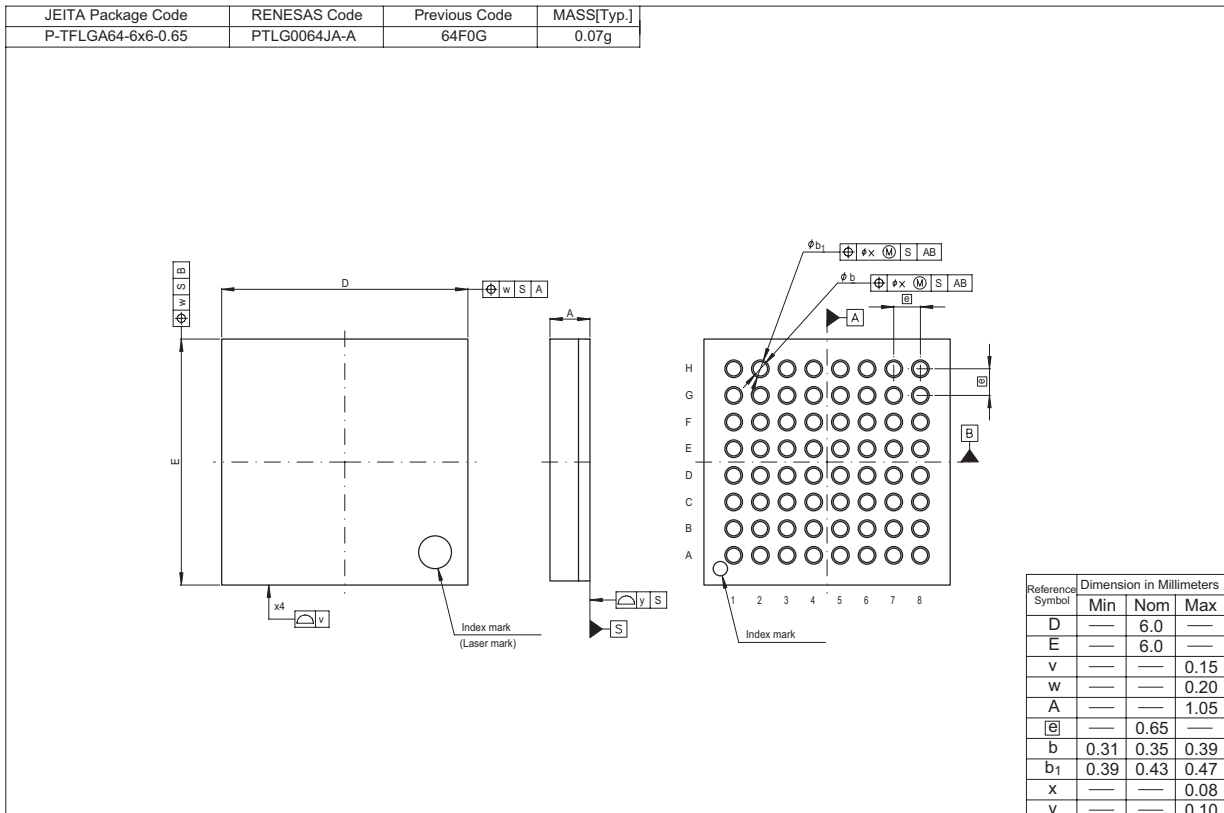
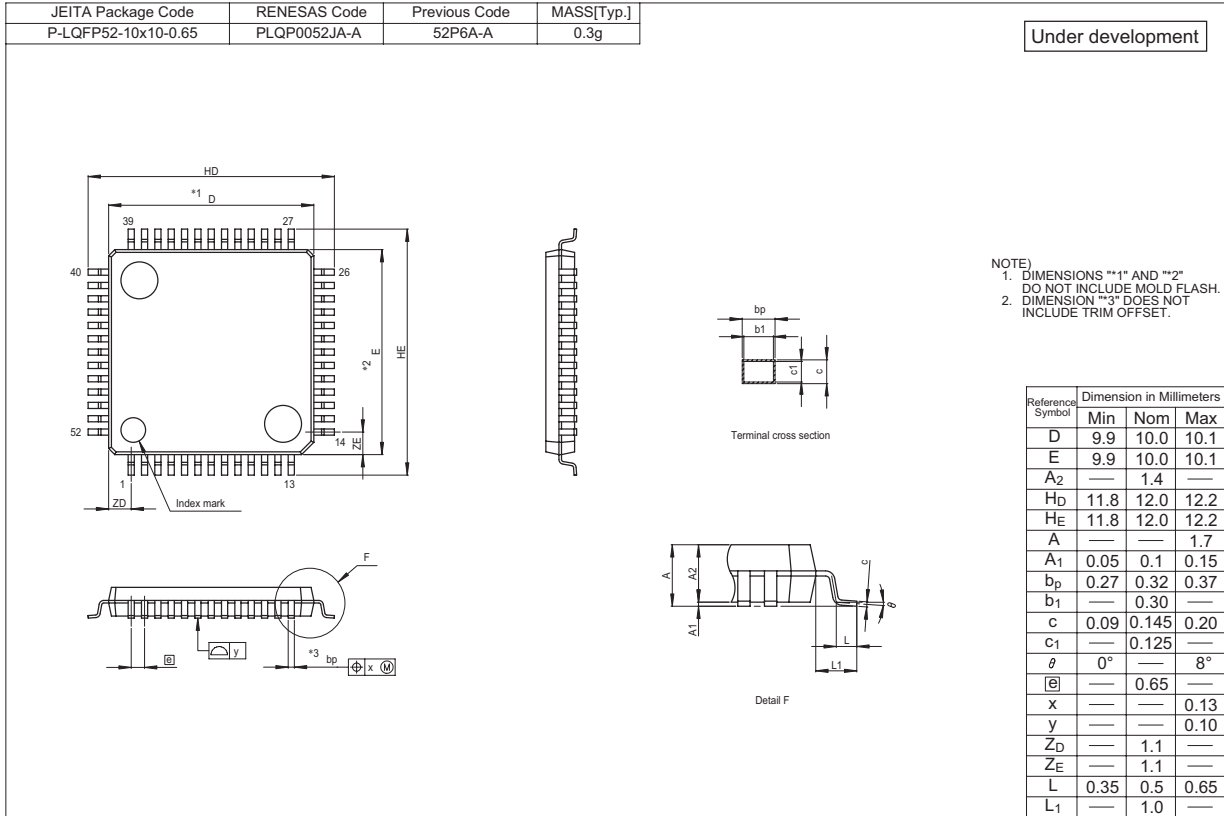


図5.19 Vcc = 2.2V時の外部割り込みINTi入力タイミング

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



改訂記録

R8C/24グループ、R8C/25グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2004.09.17	-	初版発行
0.02	2004.11.25	-	R8C/26, R8C/27グループをR8C/24, R8C/25グループに変更
		1	1.概要に「周辺機能は同一です。」を追記
		2	1.2性能概要 表1.1にR8C/26グループの性能概要を示します。 表1.1にR8C/24グループの性能概要を、
		2,3	表1.1 R8C/24グループの性能概要、表1.2 R8C/25グループの性能概要 ・シリアルインタフェースの「性能」に「I ² Cバスインタフェース」 「チップセレクト付クロック同期形シリアルインタフェース」を追加 ・LINモジュール」を追加 ・割り込み 内部要因：10要因 11要因 ・注を追記
		4	図1.1 ブロック図 「LINモジュール」とI ² Cバスインタフェースに「チップセレクト付クロック同期形シリアルインタフェース」を追加
		5,6	表1.3 R8C/24グループの製品一覧表、表1.4 R8C/25グループの製品一覧表 ・(開)：開発中を追加 ・2004年9月現在 2004年11月現在
		7	図1.4 ピン接続図 P3_5/SCL P3_5/SCL/SSCK、P3_3 P3_3/SSI、P3_4/SDA P3_4/SDA/ SCS、P3_7 P3_7/SSO、VSS/AVSS VSS、XIN/P4_6 P4_6/XIN、 VCC/AVSS VCC 12pin P1_7/TRAI0/INT1 ~ 22pin P1_0/KI0/AN8 20pin P1_7/TRAI0/INT1 ~ 30pin P1_0/KI0/AN8
		8	表1.5 端子の機能説明 ・「アナログ電源入力」の項を削除 ・「SSU」の項を追加
		9	「表1.6 ピン番号別端子名一覧」を追加
		13,14	メモリ配置図 R8C/24グループのメモリ配置図、R8C/25グループのメモリ配置図
		15-21	表タイトルを追加
		15	「SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1 ~ 表4.7にSFR一覧表を示します。」を追記 表4.1 SFR一覧(1) ・0031h 電圧検出レジスタ1 0031h 電圧検出Aレジスタ1 ・0032h 電圧検出レジスタ2 0032h 電圧検出Aレジスタ2 01000001b (注4) 00100000b (注4) ・0036h 「(注3)、01000001b (注4)」を削除 ・0038h 電圧監視0回路制御レジスタ(注2) VW0C 00001000b (注3) 01000001b (注4)を追加
		16	表4.2 SFR一覧(2) ・0048h タイマRD0割り込み制御レジスタ RD0IC XXXXX000bを追加 ・0049h タイマRD1割り込み制御レジスタ RD1C タイマRD1割り込み制御 レジスタ RD1IC

改訂記録

R8C/24 グループ、R8C/25 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.02	2004.11.25	16	表4.2 SFR一覧(2) ・ 004Fh IIC割り込み制御レジスタ IIC2AIC IIC/SSU割り込み制御レジスタ IIC2IC
		19	表4.5 SFR一覧(5) ・ 0106h LINコントロールレジスタ LINCRCR 00h、0107h LINステータスレジスタ LINST 00hを追加 ・ 013Ch リセット後の値 11111110b 0111111b
0.10	2005.02.23	1-3, 5-7	48ピンを52ピンに変更
		2-3	表1.1, 表1.2 性能概要 下線部を追加 タイマRE: コンペアマッチ機能付およびリアルタイムクロック
		4	図1.1 ブロック図 下線部を追加 タイマRE(8ビット)
		5-6	図1.2、1.3 「S: 低電圧版」を追加
		5-7	パッケージ 48PLQFP(検討中) PLQP0052JA-A(52P6A-A)
		5-6, 13-14	型名変更
		7-9	TCLK追加
		8	表1.5 端子の機能説明 VREF: 「VREFはVCCに接続してください。」削除
		9	表1.6 ピン番号別端子名一覧 ピン配置の見直しに伴い、ピン番号を変更
		10-11	「キャリー」 「キャリ」
		15	表4.1 SFR一覧(1) 電圧検出Aレジスタ1、2 電圧検出レジスタ1、2 - 000Fh: 000XXXXXb 00011111b - 0023h: FR0 FRA0 - 0024h: FR1 FRA1 - 0025h: FR2 FRA2
		17	表4.3 SFR一覧(3) 00B8h~00BFh: レジスタ名、シンボル、リセット後の値、(注2)追加変更
		19	表4.5 SFR一覧(5) - 0107h: LINSR LINST - 0137h: TSTR TRDSTR - 0138h: TMDR TRDMDR - 0139h: TPMR TRDPMR - 013Ah: TFCR TRDFCR - 013Bh: TOER TRDOER1 - 013Ch: TOER2 TRDOER2 - 013Dh: TOCR TRDOCR - 013Eh: TDF0_D TRDDF0 - 013Fh: TDF1_D TRDDF1

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2005.02.23	20	表4.6 SFR一覧(6) - 0140h: TCR_D0 TRDCR0 - 0141h: TIORA_D0 TRDIORA0 - 0142h: TIORC_D0 TRDIORC0 - 0143h: TSR_D0 TRDSR0 - 0144h: TIER_D0 TRDIER0 - 0145h: POCR_D0 POCR0 - 0146h, 0147h: TCNT_D0 TRDCNT0 - 0148h, 0149h: GRA_D0 GRA0 - 014Ah, 014Bh: GRB_D0 GRB0 - 014Ch, 014Dh: GRC_D0 GRC0 - 014Eh, 014Fh: GRD_D0 GRD0 - 0150h: TCR_D1 TRDCR1 - 0151h: TIORA_D1 TRDIORA1 - 0152h: TIORC_D1 TRDIORC1 - 0153h: TSR_D1 TRDSR1 - 0154h: TIER_D1 TRDIER1 - 0155h: POCR_D1 POCR1 - 0156h, 0157h: TCNT_D1 TRDCNT1 - 0158h, 0159h: GRA_D1 GRA1 - 015Ah, 015Bh: GRB_D1 GRB1 - 015Ch, 015Dh: GRC_D1 GRC1 - 015Eh, 015Fh: GRD_D1 GRD1
0.20	2005.03.02	2, 3, 8 15	メインクロック XINクロック、サブクロック XCINクロック 表4.1 SFR一覧(1) - 0023h~0025h: 40Mz オンチップオシレータ制御レジスタ0、1、2 高速オンチップオシレータ制御レジスタ0、1、2
0.30	2005.09.01	2,3 4 5,6	表1.1 R8C/24グループの性能概要、表1.2 R8C/25グループの性能概要 シリアルインタフェースを「シリアルインタフェース」と「クロック同期形シリアルインタフェース」へ変更 ・シリアルインタフェース 2チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O ・クロック同期形シリアルインタフェース 1チャンネル I ² Cバスインタフェース(注1)、チップセレクト付クロック同期形シリアルI/O 図1.1 ブロック図 ・「UARTまたはクロック同期形シリアルI/O」 (8ビット×1チャンネル) (8ビット×2チャンネル)へ変更 ・「UART(8ビット×1チャンネル)」を削除 表1.3 R8C/24グループの製品一覧表、表1.4 R8C/25グループの製品一覧表 「備考」の「フラッシュメモリ版」「Nバージョン」へ変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2005.09.01	7	図1.4 ピン接続図 <ul style="list-style-type: none"> 端子名変更 ピン番号「10」: VSS VSS/AVSS ピン番号「12」: VCC VCC/AVCC _____ ピン番号「23」: P1_5/RXD0/(TRAI0)/(INT1) P1_5/RXD0/(TRAI0)/(INT1)(注2) ピン番号「28」: P6_6/INT2/(TXD1) P6_6/INT2/TXD1 ピン番号「29」: P6_7/INT3/(RXD1) P6_7/INT3/RXD1 ピン番号「35」: P6_5 P6_5/CLK1 注2を追記
		8	表1.5 端子の機能説明 <ul style="list-style-type: none"> 「アナログ電源入力」: 行を追加 _____ 「INT割り込み入力」の「機能」: 「INT0はタイマRDの入力です。INT1はタイマRAの入力です。」を追記 「シリアルインタフェース」の「端子名」: 「CLK1」を追加 「分類」の「I²Cバスインタフェース(IIC)」を「I²Cバスインタフェース」へ、「SSU」を「チップセレクト付クロック同期形シリアルI/O」へ変更
		9	表1.6 ピン番号別端子名一覧 <ul style="list-style-type: none"> ピン番号「10」の「制御端子」を「VSS」 「VSS/AVSS」 ピン番号「12」の「制御端子」を「VCC」 「VCC/AVCC」 ピン番号「27」の「タイマ」へ「INT0」を追記 ピン番号「28」の「シリアルインタフェース」を「(TXD1)」 「TXD1」 ピン番号「29」の「シリアルインタフェース」を「(RXD1)」 「RXD1」 ピン番号「35」の「シリアルインタフェース」を「CLK1」を追記
		15	表4.1 SFR一覧(1) <ul style="list-style-type: none"> 0012h X0h 00h 0013h XXXXXX00b 00h 0016h X0h 00h 0036h 電圧監視1回路制御レジスタ(注2) 電圧監視1回路制御レジスタ(注5) 0038h 00001000b(注3)、01000001b(注4) 0000X000b(注3)、0100X001b(注4) 注2、注5「電圧監視1リセット」を追記 注3「電圧監視1リセット」「電圧監視0リセット」
		16	表4.2 SFR一覧(2) <ul style="list-style-type: none"> 0048h RD0IC TRD0IC 0049h RD1IC TRD1IC 004Ah REIC TREIC 004Fh IIC/SSU割り込み制御レジスタ IIC2IC SSU割り込み制御レジスタ/IIC割り込み制御レジスタ(注2) SSUAIC/IIC2AIC 0056h RAIC TRAIC 0058h RBIC TRBIC 注2を追記

Rev.	発行日	改訂内容																																					
		ページ	ポイント																																				
0.30	2005.09.01	17	表4.3 SFR一覧(3) <ul style="list-style-type: none"> • 00B8h SSコントロールレジスタH/IICバスコントロールレジスタ1(注2) SS制御レジスタH/IICバス制御レジスタ1(注2) • 00B9h SSコントロールレジスタL/IICバスコントロールレジスタ2(注2) SS制御レジスタL/IICバス制御レジスタ2(注2) • 00BBh SSイネーブルレジスタ/IICバスインターラプトイネーブルレジスタ(注2) SS許可レジスタ/IIC割り込み許可レジスタ(注2) • 00BCh 00h 00h / 0000X000b • 00BEh SSトランスミットデータレジスタ/IICバス送信データレジスタ(注2) SS送信データレジスタ/IICバス送信データレジスタ(注2) • 00BFh SSレシーブデータレジスタ/IICバス受信データレジスタ(注2) SS受信データレジスタ/IICバス受信データレジスタ(注2) 																																				
		18	表4.4 SFR一覧(4) <ul style="list-style-type: none"> • 00D6h 00000XXXb 00h • 00F5h UART1機能選択レジスタ U1SR XXh 追記 																																				
		19	表4.5 SFR一覧(5) <ul style="list-style-type: none"> • 0118h タイマRE秒データレジスタ/カウンタレジスタ タイマRE秒データレジスタ/カウンタデータレジスタ 																																				
		20	表4.6 SFR一覧(6) <table border="0" style="width: 100%; border-collapse: collapse;"> <tr><td>• 0145h</td><td>POCR0</td><td>TRDPOCR0</td></tr> <tr><td>• 0146h, 0147h</td><td>TRDCNT0</td><td>TRD0</td></tr> <tr><td>• 0148h, 0149h</td><td>GRA0</td><td>TRDGRA0</td></tr> <tr><td>• 014Ah, 014Bh</td><td>GRB0</td><td>TRDGRB0</td></tr> <tr><td>• 014Ch, 014Dh</td><td>GRC0</td><td>TRDGRC0</td></tr> <tr><td>• 014Eh, 014Fh</td><td>GRD0</td><td>TRDGRD0</td></tr> <tr><td>• 0155h</td><td>POCR1</td><td>TRDPOCR1</td></tr> <tr><td>• 0156h, 0157h</td><td>TRDCNT1</td><td>TRD1</td></tr> <tr><td>• 0158h, 0159h</td><td>GRA1</td><td>TRDGRA1</td></tr> <tr><td>• 015Ah, 015Bh</td><td>GRB1</td><td>TRDGRB1</td></tr> <tr><td>• 015Ch, 015Dh</td><td>GRC1</td><td>TRDGRC1</td></tr> <tr><td>• 015Eh, 015Fh</td><td>GRD1</td><td>TRDGRD1</td></tr> </table>	• 0145h	POCR0	TRDPOCR0	• 0146h, 0147h	TRDCNT0	TRD0	• 0148h, 0149h	GRA0	TRDGRA0	• 014Ah, 014Bh	GRB0	TRDGRB0	• 014Ch, 014Dh	GRC0	TRDGRC0	• 014Eh, 014Fh	GRD0	TRDGRD0	• 0155h	POCR1	TRDPOCR1	• 0156h, 0157h	TRDCNT1	TRD1	• 0158h, 0159h	GRA1	TRDGRA1	• 015Ah, 015Bh	GRB1	TRDGRB1	• 015Ch, 015Dh	GRC1	TRDGRC1	• 015Eh, 015Fh	GRD1	TRDGRD1
		• 0145h	POCR0	TRDPOCR0																																			
• 0146h, 0147h	TRDCNT0	TRD0																																					
• 0148h, 0149h	GRA0	TRDGRA0																																					
• 014Ah, 014Bh	GRB0	TRDGRB0																																					
• 014Ch, 014Dh	GRC0	TRDGRC0																																					
• 014Eh, 014Fh	GRD0	TRDGRD0																																					
• 0155h	POCR1	TRDPOCR1																																					
• 0156h, 0157h	TRDCNT1	TRD1																																					
• 0158h, 0159h	GRA1	TRDGRA1																																					
• 015Ah, 015Bh	GRB1	TRDGRB1																																					
• 015Ch, 015Dh	GRC1	TRDGRC1																																					
• 015Eh, 015Fh	GRD1	TRDGRD1																																					
21	表4.7 SFR一覧(7) <ul style="list-style-type: none"> • 01B5h 01000101b 1000000Xb • 01B7h XX000001b 00000001b • FFFFh FFh (注2) 																																						
		22 ~ 44	5. 電気的特性 追記																																				
0.40	2006.01.13	全ページ	<ul style="list-style-type: none"> • (暫定仕様書)の表記を削除 • シンボル名「SSUAIC」 「SSUIC」 「IIC2AIC」 「IICIC」 「TRDMDR」 「TRDMR」変更 • 端子名「TCLK」 「TRDCLK」変更 																																				
		2	表1.1 R8C/24グループの性能概要 変更																																				
		3	表1.2 R8C/25グループの性能概要 変更																																				
		4	図1.1 ブロック図 「周辺機能」追記、「システムクロック発生」 「システムクロック発生器」へ変更																																				

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2006.01.13	5	表1.3 R8C/24グループの製品一覧表（開）表記変更
		6	表1.4 R8C/25グループの製品一覧表（開）表記変更 ROM容量: データ領域 データフラッシュ プログラム領域 プログラムROMへ変更
		7	図1.4 ピン接続図 「TCLK」 「TRDCLK」へ変更
		8	表1.5 端子の機能説明 「TCLK」 「TRDCLK」へ変更
		9	表1.6 ピン番号別端子名一覧 「TCLK」 「TRDCLK」へ変更
		10	図2.1 CPUのレジスタ 「予約領域」 「予約ビット」へ変更
		12	2.8.10 予約領域 「予約領域」 「予約ビット」へ変更
		13	図3.1 R8C/24グループのメモリ配置図 (プログラム領域) (プログラムROM)
		14	3.2 R8C/25グループ、図3.2 R8C/25グループのメモリ配置図 (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM)へ変更
		15	表4.1 SFR一覧(1) 0024h: TBD 出荷時の値 注3、4 変更
		22	表5.1 絶対最大定格 「Vcc」 「Vcc/AVcc」変更 表5.2 推奨動作条件 変更
		23	表5.3 A/Dコンバータ特性 変更
		24	表5.4 フラッシュメモリ(プログラムROM)の電気的特性 注7 追記
		25	表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の 電気的特性 注1、4変更、注9追記
		26	表5.6 電圧検出0回路の電気的特性、表5.7 電圧検出1回路の電気的特性、 表5.8 電圧検出2回路の電気的特性 変更
		27	表5.9 電圧監視0リセットの電気的特性 表タイトル
		28	表5.11 高速オンチップオシレータ発振回路の電気的特性、表5.12 低速オ ンチップオシレータ発振回路の電気的特性、表5.13 電源回路のタイミン グ特性 変更
		29	表5.14 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条 件 変更
		33	表5.15 I ² Cバスインタフェースのタイミング必要条件 (注1)変更
		34	表5.16 電気的特性(1) [Vcc = 5V] 変更
35	表5.17 電気的特性(2) [Vcc = 5V] 変更		
36	表5.18 XIN入力、XCIN入力 変更		

改訂記録

R8C/24 グループ、R8C/25 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2006.01.13	37	表5.20 シリアルインタフェース 変更
		38	表5.22 電気的特性(3) [Vcc = 3V] 変更
		39	表5.23 電気的特性(4) [Vcc = 3V] 注1削除
		40	表5.24 XIN入力、XCIN入力 変更
		41	表5.26 シリアルインタフェース 変更
		42	表5.28 電気的特性(5) [Vcc = 2.2V] 変更
		43	表5.29 電気的特性(6) [Vcc = 2.2V] 変更
		44	表5.30 XIN入力、XCIN入力、表5.31 TRAIO入力、 $\overline{\text{INT1}}$ 入力 変更
		45	表5.32 シリアルインタフェース、表5.33 外部割り込みINTi入力(i = 0、2、3) 変更
		46	外形寸法図を追加
1.00	2006.04.26	全ページ	<ul style="list-style-type: none"> •「開発中」の表記を削除 •ビット名「TCLK2 ~ TCLK0」 「TCK2 ~ TCK0」変更
		3	表1.2 R8C/25グループの性能概要 変更
		4	図1.1 ブロック図 「ROM」 「RAM」へ修正、「システムクロック発生器」 「システムクロック発生回路」へ変更
		5	表1.3 R8C/24グループの製品一覧表 一部「(開)」表記削除
		6	表1.4 R8C/25グループの製品一覧表 一部「(開)」表記削除
		9	表1.6 ピン番号別端子名一覧 注1追記
		15	表4.1 SFR一覧(1) 001Ch: 「00h」 「00h、10000000b」へ変更 0029h: 「高速オンチップオシレータ制御レジスタ4、FRA4、出荷時の値」追加 002Bh: 「高速オンチップオシレータ制御レジスタ6、FRA6、出荷時の値」追加 注6追加
		19	表4.5 SFR一覧(5) 0119h: 「タイマRE分データレジスタ/コンペアレジスタ」 「タイマRE分データレジスタ/コンペアデータレジスタ」へ修正 0137h: 「TSDSTR」 「TRDSTR」へ修正 013Ch: 「0111111b」 「01111111b」へ修正
		20	表4.6 SFR一覧(6) 0143h: 「11000000b」 「11100000b」へ変更
		22	表5.2 推奨動作条件 変更
		24	表5.4 フラッシュメモリ(プログラムROM)の電気的特性 変更
		25	表5.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性 変更
		26	図5.2 サスペンドへの遷移時間 タイトル変更
		27	表5.9 電圧監視0リセットの電気的特性、表5.10 パワーオンリセット回路の電気的特性(電圧監視0リセット未使用時)、図5.3 パワーオンリセット回路の電気的特性 変更

改訂記録

R8C/24 グループ、R8C/25 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.04.26	28 35 39 43 46	表5.11 高速オンチップオシレータ発振回路の電気的特性 変更 表5.12 低速オンチップオシレータ発振回路の電気的特性 変更 表5.17 電気的特性(2) [Vcc = 5V] 変更 表5.23 電気的特性(4) [Vcc = 3V] 変更 表5.29 電気的特性(6) [Vcc = 2.2V] 変更 外形寸法図 「外形寸法図の最新版や、、、「パッケージ」に掲載されています。」追記
1.10	2006.05.31	23 27	図5.1 ポートP0 ~ P4、P6のタイミング測定回路 図タイトル変更 表5.9 電圧監視0リセットの電気的特性 表5.9 パワーオンリセット回路、 電圧監視0リセットの電気的特性 変更 表5.10 パワーオンリセット回路の電気的特性 削除 図5.3 パワーオンリセット回路の電気的特性 変更
2.00	2006.07.14	全ページ 1 2、3 5 6 7 8 14 15 23 47	「PTLG0064JA-A(64F0G)パッケージ品」追加 1. 概要 「、、、または64ピンプラスチックモールドFLGA、、、」追記 表1.1 R8C/24グループの性能概要、表1.2 R8C/25グループの性能概要 パッケージ：64ピンプラスチックモールドFLGA 追加 表1.3 R8C/24グループの製品一覧表、図1.2 型名とメモリサイズ・パッ ケージ 変更 表1.4 R8C/25グループの製品一覧表、図1.3 型名とメモリサイズ・パッ ケージ 変更 図1.4 PLQP0052JA-Aパッケージ品のピン接続図 注2変更 図1.5 PTLG0064JA-Aパッケージ品のピン接続図 追加 図3.1 R8C/24グループのメモリ配置図 変更 図3.2 R8C/25グループのメモリ配置図 変更 表5.1 絶対最大定格 注1追加 外形寸法図 「PTLG0064JA-A(64F0G)」パッケージ図追加
2.10	2006.11.01	全ページ 18 31 37 38 39 40 42 43 44	Yバージョン 追加 書き込み出荷品 追加 表4.1 変更 表5.10、表5.11 変更 表5.15 変更 表5.16 変更 表5.17 追加 図5.8 変更 表5.19 「INT1入力」削除 表5.22 変更 表5.23 変更 図5.12 変更 表5.25 「INT1入力」削除

改訂記録

R8C/24 グループ、R8C/25 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2006.11.01	47	表5.29 変更
3.00	2008.02.29	2、3	表1.1、表1.2 クロック :「リアルタイムクロック(タイマRE)あり」追加
		5、7	表1.3、表1.4 開発中表記を削除
		6、8	図1.2、図1.3 「ROM番号」追加
		11	2.7 「スタックベースレジスタ」 「スタティックベースレジスタ」
		16、17	図3.1、図3.2 「拡張領域」削除
		18	表4.1 番地「002Ch」追加
		32	表5.10 変更・注4追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かすあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご相談ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご相談ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
茨	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
新	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
松	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
中	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
関	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
北	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
鳥	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
広	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
九	支			

営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com