

R32C/111 グループ

ルネサスマイクロコンピュータ

R01DS0062JJ0130

Rev.1.30

2013.07.11

1. 概要

1.1 特長

M16Cファミリは、高いROM効率、優れたノイズ特性、超低消費電力、実応用での高い処理能力、豊富な内蔵周辺機能などを特長とする32/16ビットCISCマイコンです。同一アーキテクチャで、ピン配置互換、周辺機能上位互換を保持した上位から下位機種までのシリーズ展開により、幅広い応用分野に対応しています。

R32C/100シリーズは、M16Cファミリの最上位の製品です。32ビットCISCアーキテクチャを採用し、4Gバイトのアドレス空間を備えています。また、乗算器や積和演算器、単精度浮動小数点演算器を搭載することで、高い命令効率と処理能力を達成しました。シリアルインタフェース、CRC演算回路、DMAC、A/Dコンバータ、D/Aコンバータ、タイマ、I²Cバスインタフェース、ウォッチドッグタイマなど豊富な周辺機能を搭載しています。

R32C/111グループはR32C/100シリーズの標準製品です。パッケージは100ピンLQFP、100ピンLGA、64ピンLQFPを採用し、シリアルインタフェースを最大9チャンネル内蔵しています。

1.1.1 用途

オーディオ、カメラ、TV、家電、プリンタ、メータ、事務機器、産業機器、通信機器、携帯機器

1.1.2 仕様概要

表 1.1~表 1.4にR32C/111グループの仕様概要を示します。

表 1.1 仕様概要 (100ピン版) (1/2)

分類	機能	説明
CPU	中央演算処理装置	R32C/100 シリーズ CPU コア <ul style="list-style-type: none"> 基本命令数: 108 最小命令実行時間: 20 ns ($f(\text{CPU}) = 50 \text{ MHz}$) 乗算器: 32ビット×32ビット→64ビット 積和演算命令: 32ビット×32ビット+64ビット→64ビット FPU: 単精度 (IEEE-754 準拠) バレルシフタ: 32ビット 動作モード: シングルチップモード、メモリ拡張モード、マイクロプロセッサモード(オプション(注1))
メモリ		フラッシュメモリ: 256K~512Kバイト RAM: 32K~63Kバイト データフラッシュ: 4Kバイト×2ブロック 品種ごとのメモリサイズについては表 1.5をご参照ください
電圧検出	電圧低下検出回路	オプション(注1) 電圧低下検出割り込み
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路 (メインクロック、サブクロック、PLL、オンチップオシレータ) 発振停止検出: メインクロック発振停止、再発振検出機能 周波数分周回路: 2~24分周選択 低消費電力機構: ウェイトモード、ストップモード
外部バス拡張	バス・メモリ拡張機能	<ul style="list-style-type: none"> アドレス空間: 4Gバイト (うち64Mバイトまで利用可能) 外部バスインタフェース: ウェイト挿入可、チップセレクト4出力、3V/5Vインタフェース バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8/16ビット)
割り込み		割り込みベクタ数: 261 外部割り込み入力: $\overline{\text{NMI}}$ 、 $\overline{\text{INT}} \times 6$ 、キー入力×4 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1 (プリスケアラ付)
DMA	DMAC	4チャンネル <ul style="list-style-type: none"> サイクルスチール方式 起動要因数: 51 転送モード: 単転送、リピート転送
	DMAC II	<ul style="list-style-type: none"> すべての周辺機能割り込み要因で起動可能 即値転送機能、演算転送機能、チェーン転送機能
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用: 2 CMOS入出力: 82 Nチャンネルオープンドレインポート: 2 4端子ごとにプルアップ抵抗設定可能

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.2 仕様概要(100ピン版) (2/2)

分類	機能	説明
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアルインタフェース	UART0~UART8	クロック同期/非同期兼用×9チャンネル <ul style="list-style-type: none"> •I²C-bus (UART0~UART6) •特殊モード2 (UART0~UART6) •IEBus (UART0~UART6) (オプション(注1))
A/Dコンバータ		分解能10ビット×26チャンネル サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2回路
CRC演算回路		CRC-CCITT ($X^{16}+X^{12}+X^5+1$)
X-Y変換回路		16ビット×16ビット
インテリジェントI/O		時間計測機能(インプットキャプチャ): 16ビット×16 波形生成機能(アウトプットコンペア): 16ビット×19 通信機能: 可変長クロック同期型シリアルI/O、IEBus (オプション(注1))
フラッシュメモリ		プログラム、イレーズ電圧: VCC1 = VCC2 = 3.0 ~ 5.5 V プログラム、イレーズ回数: 1000回 プログラムセキュリティ: ROMコードプロテクト、IDコードプロテクト デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		50 MHz / VCC1 = 3.0 ~ 5.5 V、VCC2 = 3.0 V ~ VCC1
動作周囲温度		-20°C ~ 85°C (Nバージョン) -40°C ~ 85°C (Dバージョン)
消費電流		32 mA (VCC1 = VCC2 = 5.0 V、f(CPU) = 50 MHz) 8 μA (VCC1 = VCC2 = 3.3 V、f(XCIN) = 32.768 kHz、ウェイトモード)
パッケージ		100ピンプラスチックモールドLQFP (PLQP0100KB-A) 100ピンプラスチックモールドTFLGA (PTLG0100KA-A)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.3 仕様概要(64ピン版)(1/2)

分類	機能	説明
CPU	中央演算処理装置	R32C/100シリーズCPUコア <ul style="list-style-type: none"> 基本命令数: 108 最小命令実行時間: 20 ns (f(CPU) = 50 MHz) 乗算器: 32ビット×32ビット→64ビット 積和演算命令: 32ビット×32ビット+64ビット→64ビット FPU: 単精度 (IEEE-754準拠) バレルシフタ: 32ビット 動作モード: シングルチップモード
メモリ		フラッシュメモリ: 128K/256Kバイト RAM: 32Kバイト データフラッシュ: 4Kバイト×2ブロック 品種ごとのメモリサイズについては表 1.5をご参照ください
電圧検出	電圧低下検出回路	オプション(注1) 電圧低下検出割り込み
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路(メインクロック、サブクロック、PLL、オンチップオシレータ) 発振停止検出: メインクロック発振停止、再発振検出機能 周波数分周回路: 2~24分周選択 低消費電力機構: ウェイトモード、ストップモード
割り込み		割り込みベクタ数: 261 外部割り込み入力: NMI、INT×6、キー入力×4 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)
DMA	DMAC	4チャンネル <ul style="list-style-type: none"> サイクルスチール方式 起動要因数: 45 転送モード: 単転送、リピート転送
	DMAC II	<ul style="list-style-type: none"> すべての周辺機能割り込み要因で起動可能 即値転送機能、演算転送機能、チェーン転送機能
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用: 1 CMOS入出力: 49 Nチャンネルオープンドレインポート: 2 4端子ごとにプルアップ抵抗設定可能

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.4 仕様概要 (64ピン版) (2/2)

分類	機能	説明
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6(注1) タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアルインタフェース	UART0~UART3 UART5, UART8	クロック同期/非同期兼用×6チャンネル <ul style="list-style-type: none"> • I²C-bus (UART0~UART3, UART5) • 特殊モード2 (UART0~UART3, UART5) • IEBus (UART0~UART3, UART5) (オプション(注2))
A/Dコンバータ		分解能10ビット×20チャンネル サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×1回路
CRC演算回路		CRC-CCITT ($X^{16}+X^{12}+X^5+1$)
X-Y変換回路		16ビット×16ビット
インテリジェントI/O		時間計測機能(インプットキャプチャ): 16ビット×16 波形生成機能(アウトプットコンペア): 16ビット×19 通信機能: 可変長クロック同期型シリアルI/O、IEBus (オプション(注2))
フラッシュメモリ		プログラム、イレーズ電圧: VCC1 = 3.0 ~ 5.5 V プログラム、イレーズ回数: 1000回 プログラムセキュリティ: ROMコードプロテクト、IDコードプロテクト デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		50 MHz / VCC1 = 3.0 ~ 5.5 V
動作周囲温度		-40°C ~ 85°C (Dバージョン)
消費電流		32 mA (VCC1 = 5.0 V, f(CPU) = 50 MHz) 8 μA (VCC1 = 3.3 V, f(XCIN) = 32.768 kHz、ウェイトモード)
パッケージ		64ピンプラスチックモールドLQFP (PLQP0064KB-A)

注1. タイマB4はタイマモードのみ使用可能です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

1.2 製品一覧

表 1.5に製品一覧表、図 1.1に型名とメモリサイズ・パッケージを示します。

表 1.5 製品一覧表

2013年7月現在

型名	パッケージ(注1)	ROM容量(注2)	RAM容量	備考
R5F64110DFB	PLQP0100KB-A	256Kバイト +8Kバイト	63Kバイト	-40°C ~ 85°C (Dバージョン)
R5F64111DFB		384Kバイト +8Kバイト		
R5F64112DFB		512Kバイト +8Kバイト		
R5F64114DFB		256Kバイト +8Kバイト	40Kバイト	
R5F64115DFB		384Kバイト +8Kバイト		
R5F64116DFB		512Kバイト +8Kバイト		
R5F64111NLG	PTLG0100KA-A	384Kバイト +8Kバイト	63Kバイト	-20°C ~ 85°C (Nバージョン)
R5F64112NLG		512Kバイト +8Kバイト		
R5F6411FNLG		256Kバイト +8Kバイト	32Kバイト	
R5F6411EDFN	PLQP0064KB-A	128Kバイト +8Kバイト	32Kバイト	-40°C ~ 85°C (Dバージョン)
R5F6411FDFN		256Kバイト +8Kバイト		

注1. 旧パッケージコードは以下のとおりです。

PLQP0100KB-A : 100P6Q-A、PTLG0100KA-A : 100F0M、PLQP0064KB-A : 64P6Q-A

注2. ROM容量の「+8Kバイト」はデータフラッシュの容量です。

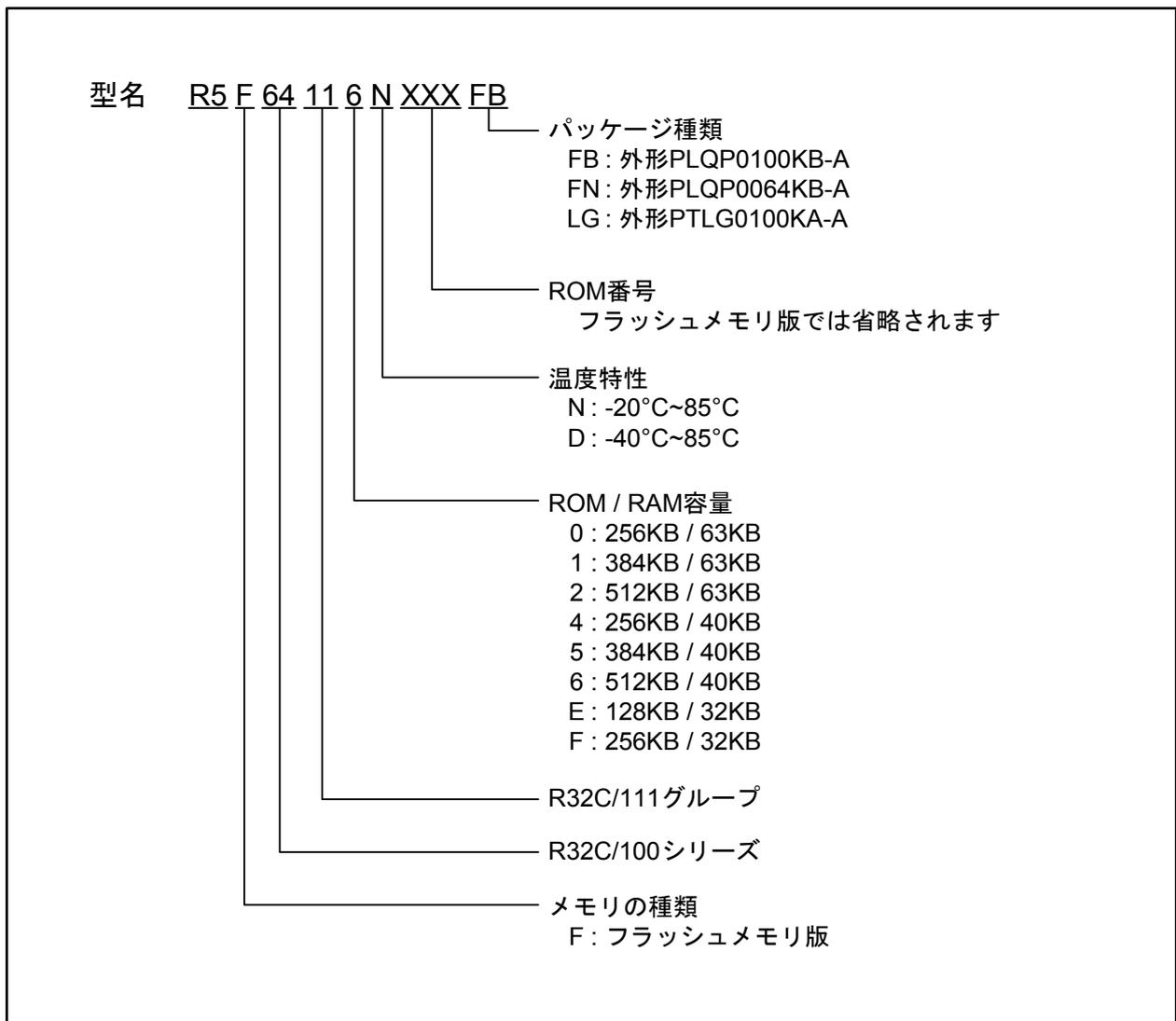


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2~図 1.3にR32C/111グループのブロック図を示します。

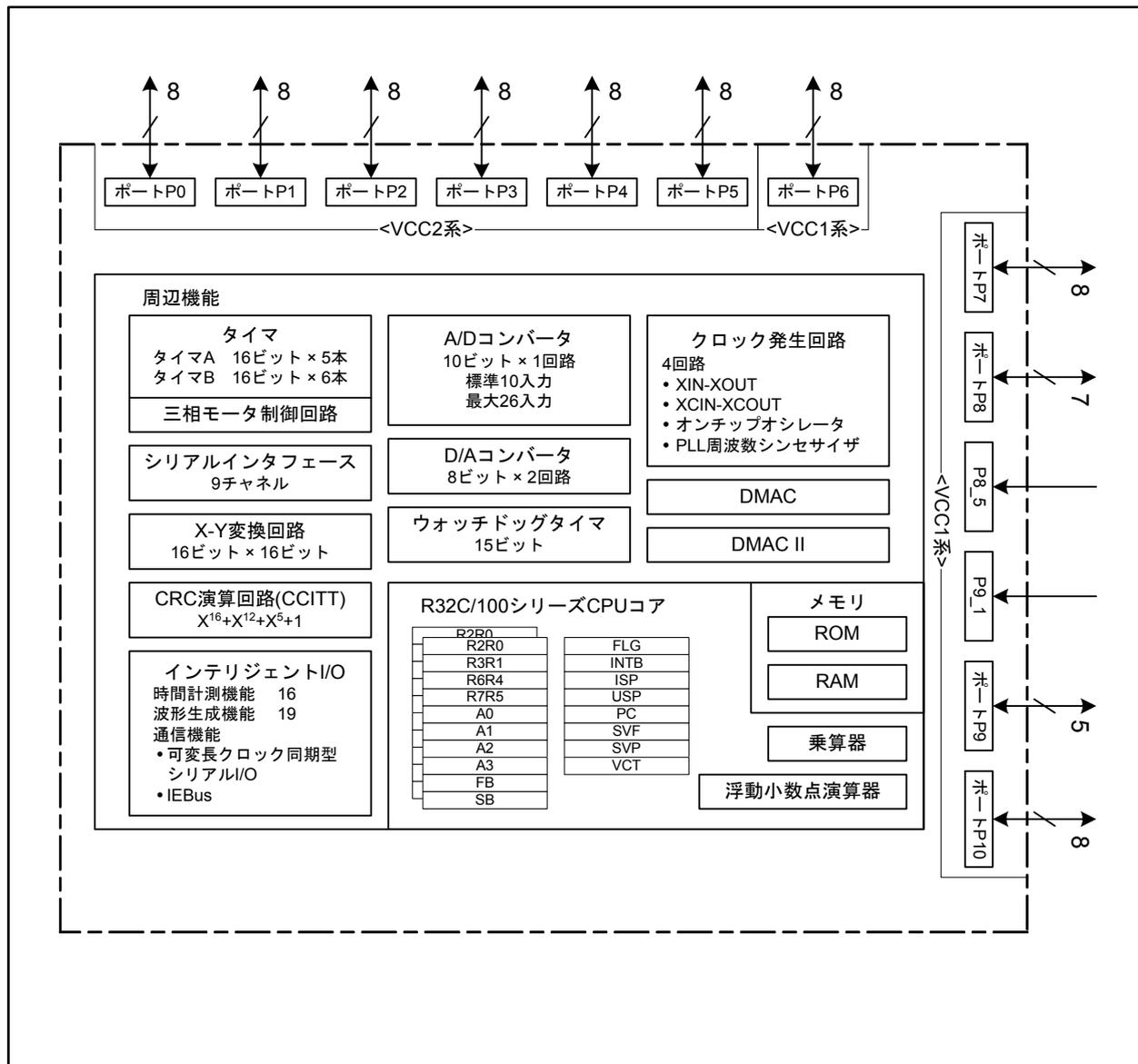


図 1.2 R32C/111グループ(100ピン版)のブロック図

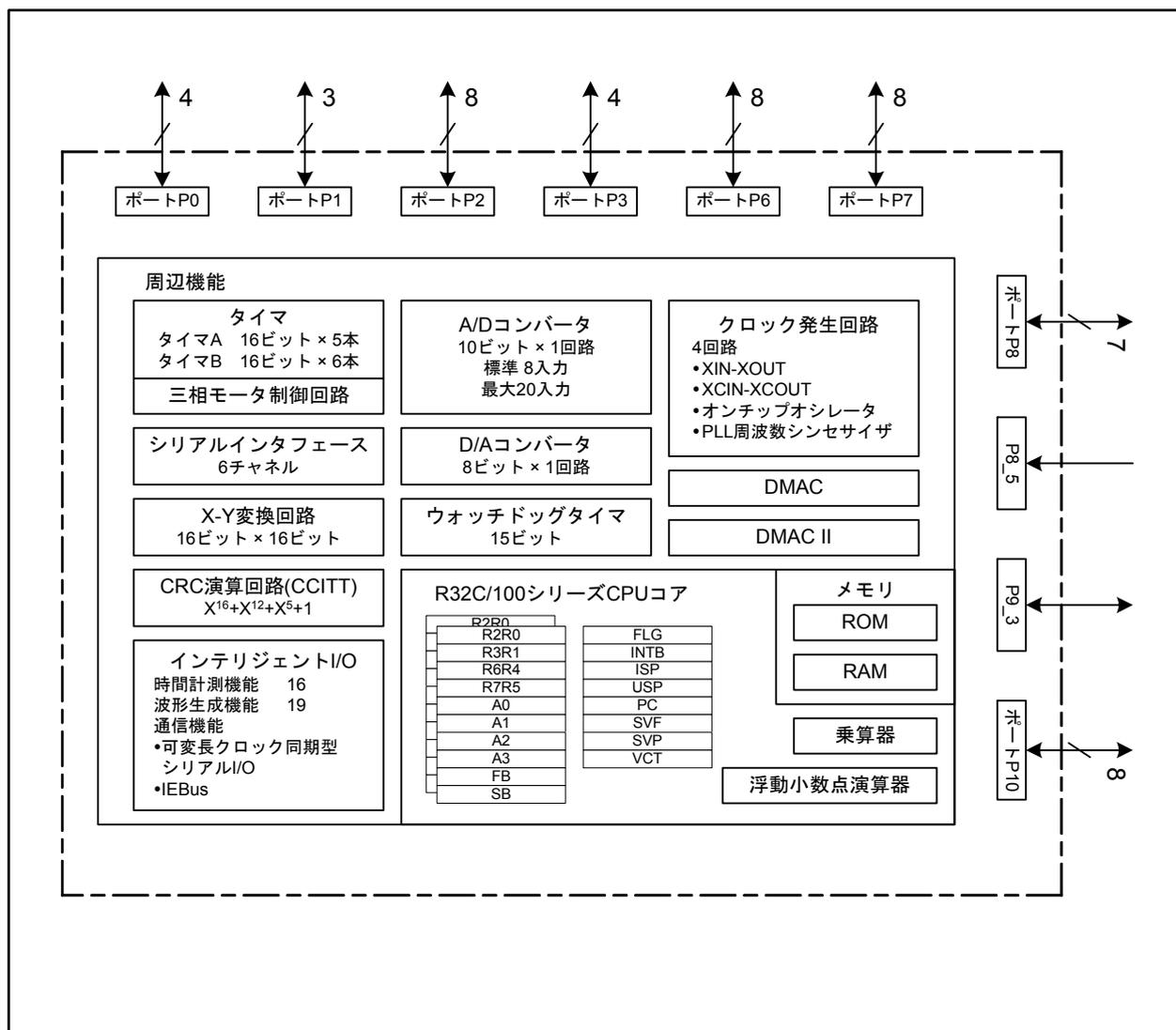


図 1.3 R32C/111グループ(64ピン版)のブロック図

1.4 ピン接続図

図 1.4~図 1.6にピン接続図(上面図)を示します。

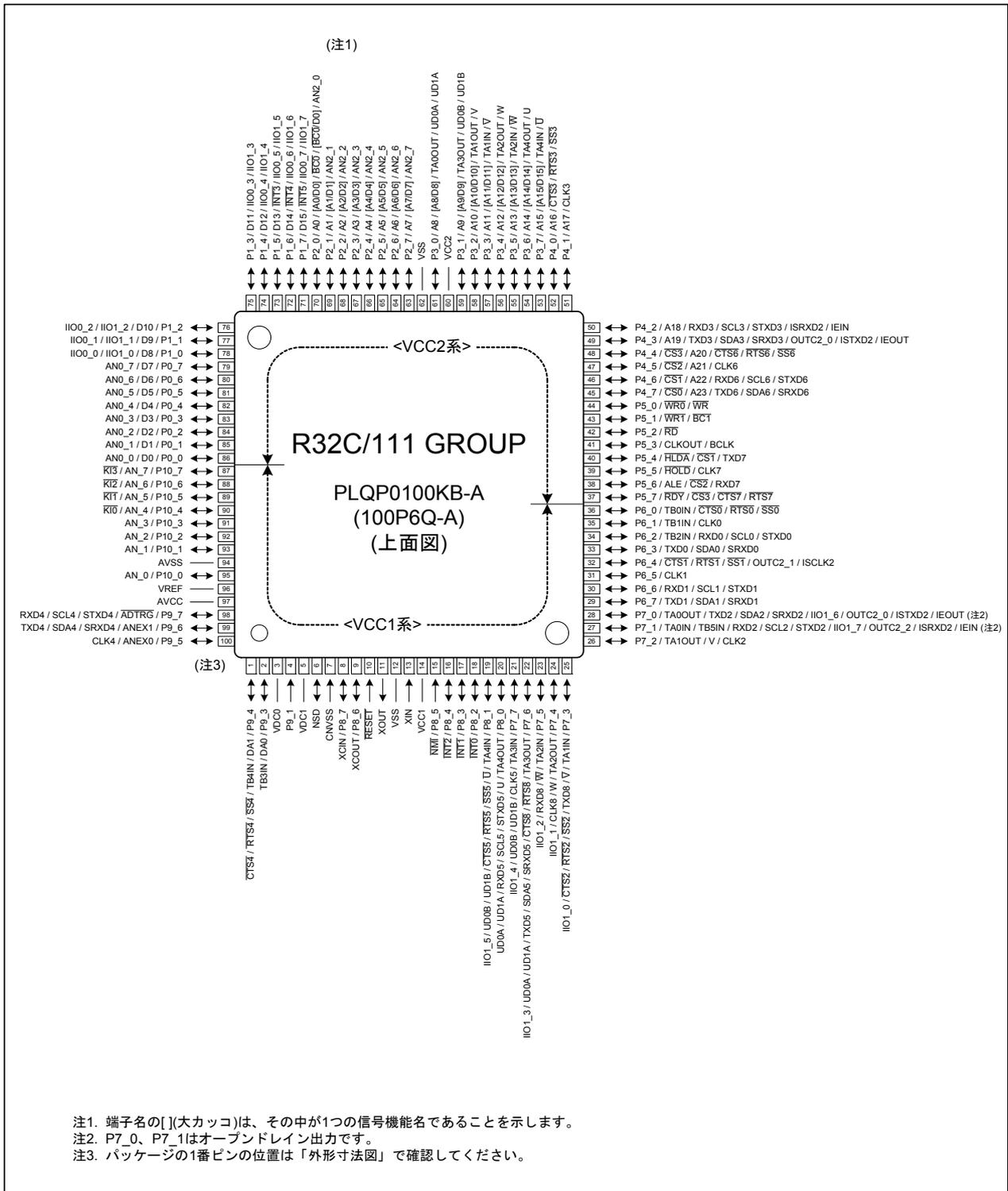


図 1.4 ピン接続図(100ピンLQFP)(上面図)

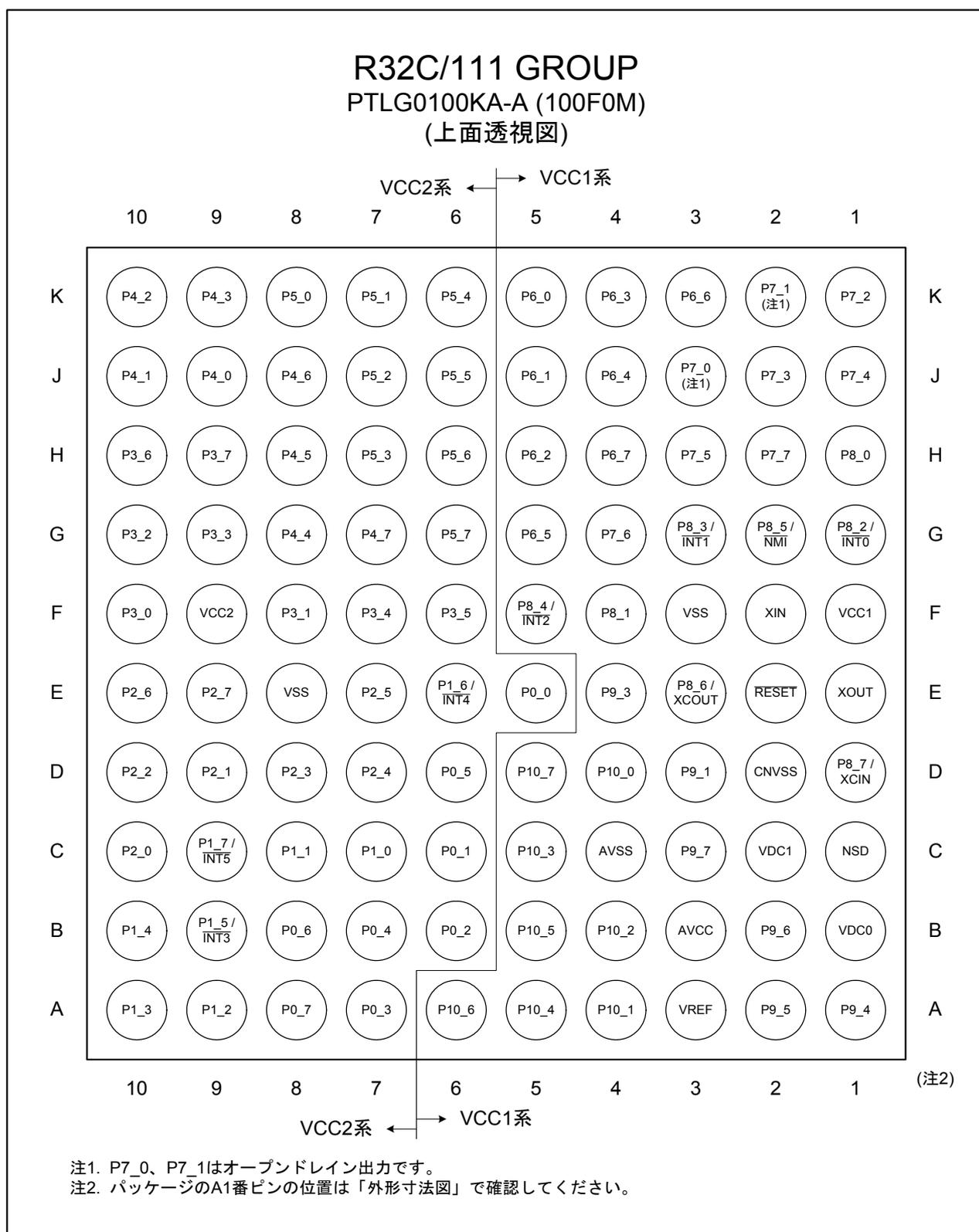


図 1.5 ピン接続図(100ピンLGA)(上面透視図)

表 1.6 端子名一覧表(100ピン版)(1/3)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
QFP	LGA								
1	A1		P9_4		TB4IN	CTS4/RTS4/SS4		DA1	
2	E4		P9_3		TB3IN			DA0	
3	B1	VDC0							
4	D3		P9_1						
5	C2	VDC1							
6	C1	NSD							
7	D2	CNVSS							
8	D1	XCIN	P8_7						
9	E3	XCOUT	P8_6						
10	E2	$\overline{\text{RESET}}$							
11	E1	XOUT							
12	F3	VSS							
13	F2	XIN							
14	F1	VCC1							
15	G2		P8_5	$\overline{\text{NMI}}$					
16	F5		P8_4	$\overline{\text{INT2}}$					
17	G3		P8_3	$\overline{\text{INT1}}$					
18	G1		P8_2	$\overline{\text{INT0}}$					
19	F4		P8_1		TA4IN/ $\overline{\text{U}}$	CTS5/RTS5/SS5	IIO1_5/UD0B/UD1B		
20	H1		P8_0		TA4OUT/ $\overline{\text{U}}$	RXD5/SCL5/STXD5	UD0A/UD1A		
21	H2		P7_7		TA3IN	CLK5	IIO1_4/UD0B/UD1B		
22	G4		P7_6		TA3OUT	TXD5/SDA5/SRXD5/ CTS8/RTS8	IIO1_3/UD0A/UD1A		
23	H3		P7_5		TA2IN/ $\overline{\text{W}}$	RXD8	IIO1_2		
24	J1		P7_4		TA2OUT/ $\overline{\text{W}}$	CLK8	IIO1_1		
25	J2		P7_3		TA1IN/ $\overline{\text{V}}$	$\overline{\text{CTS2/RTS2/SS2/}}$ TXD8	IIO1_0		
26	K1		P7_2		TA1OUT/ $\overline{\text{V}}$	CLK2			
27	K2		P7_1		TA0IN/ TB5IN	RXD2/SCL2/STXD2	IIO1_7/OUTC2_2/ ISRXD2/IEIN		
28	J3		P7_0		TA0OUT	TXD2/SDA2/SRXD2	IIO1_6/OUTC2_0/ ISTXD2/IEOUT		
29	H4		P6_7			TXD1/SDA1/SRXD1			
30	K3		P6_6			RXD1/SCL1/STXD1			
31	G5		P6_5			CLK1			
32	J4		P6_4			$\overline{\text{CTS1/RTS1/SS1}}$	OUTC2_1/ISCLK2		
33	K4		P6_3			TXD0/SDA0/SRXD0			
34	H5		P6_2		TB2IN	RXD0/SCL0/STXD0			
35	J5		P6_1		TB1IN	CLK0			
36	K5		P6_0		TB0IN	$\overline{\text{CTS0/RTS0/SS0}}$			

表 1.7 端子名一覧表(100ピン版) (2/3)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	アナログ端子	バス制御端子
QFP	LGA								
37	G6		P5_7			CTS7/RTS7			RDY/CS3
38	H6		P5_6			RXD7			ALE/CS2
39	J6		P5_5			CLK7			HOLD
40	K6		P5_4			TXD7			HLDA/CS1
41	H7		P5_3						CLKOUT/ BCLK
42	J7		P5_2						RD
43	K7		P5_1						WR1/BC1
44	K8		P5_0						WR0/WR
45	G7		P4_7			TXD6/SDA6/SRXD6			CS0/A23
46	J8		P4_6			RXD6/SCL6/STXD6			CS1/A22
47	H8		P4_5			CLK6			CS2/A21
48	G8		P4_4			CTS6/RTS6/SS6			CS3/A20
49	K9		P4_3			TXD3/SDA3/SRXD3	OUTC2_0/ISTXD2/ IEOUT		A19
50	K10		P4_2			RXD3/SCL3/STXD3	ISRXD2/IEIN		A18
51	J10		P4_1			CLK3			A17
52	J9		P4_0			CTS3/RTS3/SS3			A16
53	H9		P3_7		TA4IN/U				A15(/D15)
54	H10		P3_6		TA4OUT/U				A14(/D14)
55	F6		P3_5		TA2IN/W				A13(/D13)
56	F7		P3_4		TA2OUT/W				A12(/D12)
57	G9		P3_3		TA1IN/V				A11(/D11)
58	G10		P3_2		TA1OUT/V				A10(/D10)
59	F8		P3_1		TA3OUT		UD0B/UD1B		A9(/D9)
60	F9	VCC2							
61	F10		P3_0		TA0OUT		UD0A/UD1A		A8(/D8)
62	E8	VSS							
63	E9		P2_7					AN2_7	A7(/D7)
64	E10		P2_6					AN2_6	A6(/D6)
65	E7		P2_5					AN2_5	A5(/D5)
66	D7		P2_4					AN2_4	A4(/D4)
67	D8		P2_3					AN2_3	A3(/D3)
68	D10		P2_2					AN2_2	A2(/D2)
69	D9		P2_1					AN2_1	A1(/D1)
70	C10		P2_0					AN2_0	A0(/D0)/ BC0(/D0)

表 1.8 端子名一覧表(100ピン版) (3/3)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	アナログ端子	バス制御端子
QFP	LGA								
71	C9		P1_7	INT5			IIO0_7/IIO1_7		D15
72	E6		P1_6	INT4			IIO0_6/IIO1_6		D14
73	B9		P1_5	INT3			IIO0_5/IIO1_5		D13
74	B10		P1_4				IIO0_4/IIO1_4		D12
75	A10		P1_3				IIO0_3/IIO1_3		D11
76	A9		P1_2				IIO0_2/IIO1_2		D10
77	C8		P1_1				IIO0_1/IIO1_1		D9
78	C7		P1_0				IIO0_0/IIO1_0		D8
79	A8		P0_7					AN0_7	D7
80	B8		P0_6					AN0_6	D6
81	D6		P0_5					AN0_5	D5
82	B7		P0_4					AN0_4	D4
83	A7		P0_3					AN0_3	D3
84	B6		P0_2					AN0_2	D2
85	C6		P0_1					AN0_1	D1
86	E5		P0_0					AN0_0	D0
87	D5		P10_7	KI3				AN_7	
88	A6		P10_6	KI2				AN_6	
89	B5		P10_5	KI1				AN_5	
90	A5		P10_4	KI0				AN_4	
91	C5		P10_3					AN_3	
92	B4		P10_2					AN_2	
93	A4		P10_1					AN_1	
94	C4	AVSS							
95	D4		P10_0					AN_0	
96	A3	VREF							
97	B3	AVCC							
98	C3		P9_7			RXD4/SCL4/STXD4		ADTRG	
99	B2		P9_6			TXD4/SDA4/SRXD4		ANEX1	
100	A2		P9_5			CLK4		ANEX0	

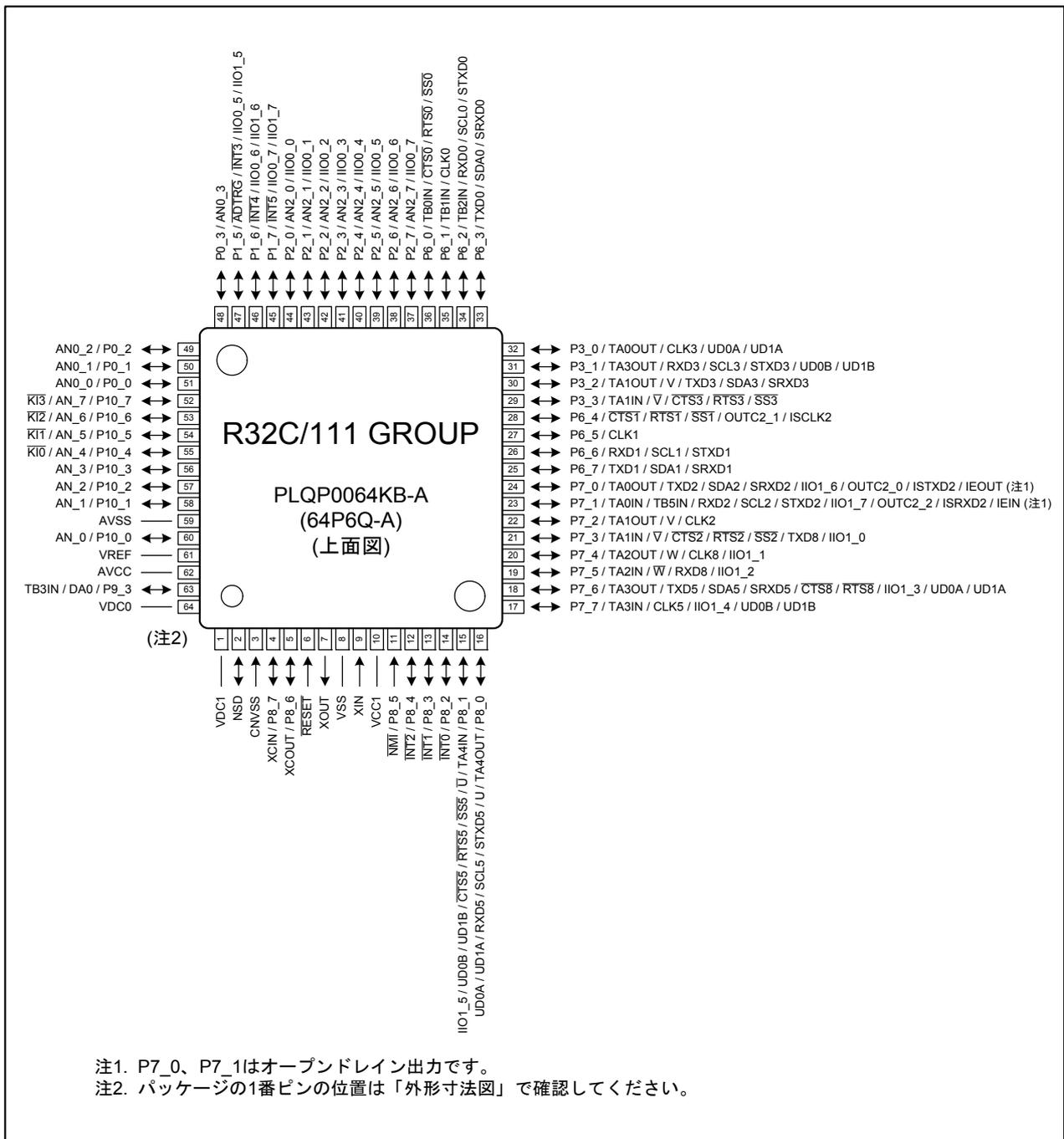


図 1.6 ピン接続図(64ピン版)(上面図)

表 1.9 端子名一覧表(64ピン版)(1/2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	アナログ端子
1	VDC1						
2	NSD						
3	CNVSS						
4	XCIN	P8_7					
5	XCOU	P8_6					
6	RESET						
7	XOUT						
8	VSS						
9	XIN						
10	VCC1						
11		P8_5	NMI				
12		P8_4	INT2				
13		P8_3	INT1				
14		P8_2	INT0				
15		P8_1		TA4IN/U	CTS5/RTS5/SS5	IIO1_5/UD0B/UD1B	
16		P8_0		TA4OUT/U	RXD5/SCL5/STXD5	UD0A/UD1A	
17		P7_7		TA3IN	CLK5	IIO1_4/UD0B/UD1B	
18		P7_6		TA3OUT	TXD5/SDA5/SRXD5/ CTS8/RTS8	IIO1_3/UD0A/UD1A	
19		P7_5		TA2IN/W	RXD8	IIO1_2	
20		P7_4		TA2OUT/W	CLK8	IIO1_1	
21		P7_3		TA1IN/V	CTS2/RTS2/SS2/TXD8	IIO1_0	
22		P7_2		TA1OUT/V	CLK2		
23		P7_1		TA0IN/TB5IN	RXD2/SCL2/STXD2	IIO1_7/OUTC2_2/ISRXD2/IEIN	
24		P7_0		TA0OUT	TXD2/SDA2/SRXD2	IIO1_6/OUTC2_0/ISTXD2/ IEOUT	
25		P6_7			TXD1/SDA1/SRXD1		
26		P6_6			RXD1/SCL1/STXD1		
27		P6_5			CLK1		
28		P6_4			CTS1/RTS1/SS1	OUTC2_1/ISCLK2	
29		P3_3		TA1IN/V	CTS3/RTS3/SS3		
30		P3_2		TA1OUT/V	TXD3/SDA3/SRXD3		
31		P3_1		TA3OUT	RXD3/SCL3/STXD3	UD0B/UD1B	
32		P3_0		TA0OUT	CLK3	UD0A/UD1A	

表 1.10 端子名一覧表(64ピン版)(2/2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子
33		P6_3			TXD0/SDA0/SRXD0		
34		P6_2		TB2IN	RXD0/SCL0/STXD0		
35		P6_1		TB1IN	CLK0		
36		P6_0		TB0IN	CTS0/RTS0/SS0		
37		P2_7				IIO0_7	AN2_7
38		P2_6				IIO0_6	AN2_6
39		P2_5				IIO0_5	AN2_5
40		P2_4				IIO0_4	AN2_4
41		P2_3				IIO0_3	AN2_3
42		P2_2				IIO0_2	AN2_2
43		P2_1				IIO0_1	AN2_1
44		P2_0				IIO0_0	AN2_0
45		P1_7	INT5			IIO0_7/IIO1_7	
46		P1_6	INT4			IIO0_6/IIO1_6	
47		P1_5	INT3			IIO0_5/IIO1_5	ADTRG
48		P0_3					AN0_3
49		P0_2					AN0_2
50		P0_1					AN0_1
51		P0_0					AN0_0
52		P10_7	KI3				AN_7
53		P10_6	KI2				AN_6
54		P10_5	KI1				AN_5
55		P10_4	KI0				AN_4
56		P10_3					AN_3
57		P10_2					AN_2
58		P10_1					AN_1
59	AVSS						
60		P10_0					AN_0
61	VREF						
62	AVCC						
63		P9_3		TB3IN			DA0
64	VDC0						

1.5 端子機能の説明

表 1.11 端子機能の説明(100ピン版) (1/4)

分類	端子名	入出力	電源系統	機能
電源入力	VCC1, VCC2, VSS	入力	—	VCC1、VCC2端子には、3.0～5.5 Vを入力してください。入力条件はVCC1 \geq VCC2です。VSS端子は、グラウンドに接続してください
平滑コンデンサ接続端子	VDC0, VDC1	—	—	両端子間に内部ロジック電圧安定用の平滑コンデンサを接続してください
アナログ電源入力	AVCC, AVSS	入力	VCC1	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります
CNVSS	CNVSS	入力	VCC1	抵抗を介してVSSにプルダウンしてください
デバッグポート	NSD	入出力	VCC1	デバッグとの通信に使用します。1k～4.7k Ω の抵抗で、VCC1にプルアップしてください
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください
メインクロック出力	XOUT	出力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XCINから入力しXCOUTは開放にしてください
サブクロック出力	XCOUT	出力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XCINから入力しXCOUTは開放にしてください
BCLK出力	BCLK	出力	VCC2	バスクロック信号を出力します
クロック出力	CLKOUT	出力	VCC2	低速クロック、f8または、f32と同じ周期のクロックを出力します
外部割り込み入力	INT0~INT5	入力	VCC1 VCC2	外部割り込みの入力です
NMI入力	P8_5/NMI	入力	VCC1	NMIの入力です
キー入力割り込み	KI0~KI3	入力	VCC1	キー入力割り込みの入力です
バス制御端子	D0~D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたとき、データ(D0~D7)の入出力を行います
	D8~D15	入出力	VCC2	外部データバス幅が16ビットで、セパレートバスを選択している領域をアクセスしたとき、データ(D8~D15)の入出力を行います
	A0~A23	出力	VCC2	アドレスA0~A23を出力します

表 1.12 端子機能の説明(100ピン版) (2/4)

分類	端子名	入出力	電源系統	機能
バス制御端子	A0/D0~A7/D7	入出力	VCC2	マルチプレクスバスを選択している領域をアクセスしたとき、アドレス(A0~A7)の出力とデータ(D0~D7)の入出力を時分割で行います
	A8/D8~A15/D15	入出力	VCC2	外部データバス幅が16ビットで、マルチプレクスバスを選択している領域をアクセスしたとき、アドレス(A8~A15)の出力とデータ(D8~D15)の入出力を時分割で行います
	BC0/D0	入出力	VCC2	マルチプレクスバスを選択している領域をアクセスしたとき、バイトコントロール(BC0)の出力とデータ(D0)の入出力を時分割で行います
	CS0~CS3	出力	VCC2	チップセレクト信号を出力します
	WR0/WR1/ WR/BC0/BC1/ RD	出力	VCC2	ライト信号、バイトコントロール信号、リード信号を出力します。プログラムでWRxを使用するか、WR、BCxを使用するかを選択できます ■WR0、WR1、RD選択時 外部データバス幅が16ビットの場合、WR0信号が“L”のときは偶数番地に、WR1信号が“L”のときは奇数番地に書き込みます。 RD信号が“L”のとき読み出します ■WR、BC0、BC1、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。 外部データバス幅が16ビットの場合、BC0信号が“L”のときは偶数番地を、BC1信号が“L”のときは奇数番地をアクセスします
	ALE	出力	VCC2	マルチプレクスバスを選択しているときに、アドレス信号をラッチするための信号です
	HOLD	入力	VCC2	この端子が“L”の期間、マイクロコンピュータはホールド状態になります
	HLDA	出力	VCC2	マイクロコンピュータがホールド状態の期間、“L”を出力します
	RDY	入力	VCC2	BCLKの立ち下がり時にこの端子に“L”が入力されていると、CPUはバスサイクルを延長します

表 1.13 端子機能の説明(100ピン版) (3/4)

分類	端子名	入出力	電源系統	機能
入出力ポート	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7	入出力	VCC2	CMOSの入出力ポートです。 1端子ごとに入力ポートまたは出力ポートに設定できます。 また、Pi_0~Pi_3 (i=0~10)の4端子とPi_4~Pi_7の4端子ごと一括でプルアップ抵抗の有無を選択できます。プルアップ抵抗は、入力に設定した端子でのみ有効になります。
	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6,P8_7, P9_3~P9_7, P10_0~P10_7	入出力	VCC1	P7_0とP7_1の出力はNチャネルオープンドレイン出力です
入力ポート	P9_1	入力	VCC1	CMOSの入力ポートです。P9_3と一括でプルアップ抵抗の有無を選択できます
タイマA	TA0OUT~ TA4OUT	入出力	VCC1 VCC2	タイマA0~A4の入出力です。 P7_0に配置されているTA0OUTの出力はNチャネルオープンドレイン出力です
	TA0IN~TA4IN	入力	VCC1 VCC2	タイマA0~A4の入力です
タイマB	TB0IN~TB5IN	入力	VCC1	タイマB0~B5の入力です
三相モータ制御用 タイマ出力	U, \bar{U} ,V, \bar{V} ,W, \bar{W}	出力	VCC1 VCC2	三相モータ制御用タイマの出力です
シリアルインタ フェース	CTS0~ \bar{CTS} 8	入力	VCC1 VCC2	ハンドシェイク入力です
	RTS0~ \bar{RTS} 8	出力	VCC1 VCC2	ハンドシェイク出力です
	CLK0~CLK8	入出力	VCC1 VCC2	送受信クロック入出力です
	RXD0~RXD8	入力	VCC1 VCC2	シリアルデータ入力です
	TXD0~TXD8	出力	VCC1 VCC2	シリアルデータ出力です。 TXD2はNチャネルオープンドレイン出力です
簡易型I ² Cバス	SDA0~SDA6	入出力	VCC1 VCC2	シリアルデータ入出力です。 SDA2の出力はNチャネルオープンドレイン出力です
	SCL0~SCL6	入出力	VCC1 VCC2	送受信クロック入出力です。 SCL2の出力はNチャネルオープンドレイン出力です
シリアルインタ フェース特殊機能	STXD0~ STXD6	出力	VCC1 VCC2	スレーブモードを選択したときのシリアルデータ出力です。 STXD2はNチャネルオープンドレイン出力です
	SRXD0~ SRXD6	入力	VCC1 VCC2	スレーブモードを選択したときのシリアルデータ入力です
	SS0~SS6	入力	VCC1 VCC2	シリアルインタフェース特殊機能の制御用入力です

表 1.14 端子機能の説明(100ピン版) (4/4)

分類	端子名	入出力	電源系統	機能
A/Dコンバータ	AN_0~AN_7	入力	VCC1	A/Dコンバータのアナログ入力です
	AN0_0~AN0_7, AN2_0~AN2_7	入力	VCC2	
	ADTRG	入力	VCC1	A/Dコンバータの外部トリガ入力です
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力兼、外部オペアンプ接続モードでの出力です
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です
D/Aコンバータ	DA0, DA1	出力	VCC1	D/Aコンバータの出力です
基準電圧入力	VREF	入力	—	A/DコンバータとD/Aコンバータの基準電圧入力です
インテリジェントI/O	IIO0_0~IIO0_7	入出力	VCC1 VCC2	インテリジェントI/Oグループ0の入出力です。インプットキャプチャ入力とアウトプットコンペア出力を切り替えられます
	IIO1_0~IIO1_7	入出力	VCC1 VCC2	インテリジェントI/Oグループ1の入出力です。インプットキャプチャ入力とアウトプットコンペア出力を切り替えられます。 P7_0、P7_1に配置されているIIO1_6、IIO1_7の出力はNチャンネルオープンドレイン出力です
	UD0A, UD0B, UD1A, UD1B	入力	VCC1 VCC2	二相エンコーダ用の入力です
	OUTC2_0~ OUTC2_2	出力	VCC1 VCC2	インテリジェントI/Oグループ2のアウトプットコンペア出力です。 P7_0、P7_1に配置されているOUTC2_0、OUTC2_2はNチャンネルオープンドレイン出力です
	ISCLK2	入出力	VCC1 VCC2	通信機能部のクロック入出力です
	ISRXD2	入力		通信機能部の受信データ入力です
	ISTXD2	出力		通信機能部の送信データ出力です。 P7_0に配置されているISTXD2はNチャンネルオープンドレイン出力です
	IEIN	入力	VCC1 VCC2	通信機能部の受信データ入力です
	IEOUT	出力		通信機能部の送信データ出力です。 P7_0に配置されているIEOUTはNチャンネルオープンドレイン出力です

表 1.15 端子機能の説明(64ピン版) (1/3)

分類	端子名	入出力	機能
電源入力	VCC1, VSS	入力	VCC1端子には、3.0~5.5Vを入力してください。VSS端子は、グラウンドに接続してください
平滑コンデンサ接続端子	VDC0, VDC1	—	両端子間に内部ロジック電圧安定用の平滑コンデンサを接続してください
アナログ電源入力	AVCC, AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください
リセット入力	$\overline{\text{RESET}}$	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります
CNVSS	CNVSS	入力	抵抗を介してVSSにプルダウンしてください
デバッグポート	NSD	入出力	デバッグとの通信に使用します。1k~4.7kΩの抵抗で、VCC1にプルアップしてください
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XCINから入力しXCOUTは開放にしてください
サブクロック出力	XCOUT	出力	
外部割り込み入力	$\overline{\text{INT0}}\sim\overline{\text{INT5}}$	入力	外部割り込みの入力です
NMI入力	$\overline{\text{P8_5/NMI}}$	入力	NMIの入力です
キー入力割り込み	$\overline{\text{KI0}}\sim\overline{\text{KI3}}$	入力	キー入力割り込みの入力です
入出力ポート	P0_0~P0_3, P1_5~P1_7, P2_0~P2_7, P3_0~P3_3, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3, P10_0~P10_7	入出力	CMOSの入出力ポートです。 1端子ごとに入力ポートまたは出力ポートに設定できます。 また、Pi_0~Pi_3 (i=0~3, 6~10)の4端子とPi_4~Pi_7の4端子ごとを一括でプルアップ抵抗の有無を選択できます。プルアップ抵抗は、入力に設定した端子でのみ有効になります。 P7_0とP7_1の出力はNチャネルオープンドレイン出力です
タイマA	TA0OUT~TA4OUT	入出力	タイマA0~A4の入出力です。 P7_0に配置されているTA0OUTの出力はNチャネルオープンドレイン出力です
	TA0IN~TA4IN	入力	タイマA0~A4の入力です
タイマB	TB0IN~TB3IN, TB5IN	入力	タイマB0~B3、B5の入力です
三相モータ制御用タイマ出力	U, $\overline{\text{U}}$, V, $\overline{\text{V}}$, W, $\overline{\text{W}}$	出力	三相モータ制御用タイマの出力です

表 1.16 端子機能の説明(64ピン版) (2/3)

分類	端子名	入出力	機能
シリアルインタフェース	$\overline{\text{CTS0}}\sim\overline{\text{CTS3}},$ $\overline{\text{CTS5}}, \overline{\text{CTS8}}$	入力	ハンドシェイク入力です
	$\overline{\text{RTS0}}\sim\overline{\text{RTS3}},$ $\overline{\text{RTS5}}, \overline{\text{RTS8}}$	出力	ハンドシェイク出力です
	CLK0~CLK3, CLK5, CLK8	入出力	送受信クロック入出力です
	RXD0~RXD3, RXD5, RXD8	入力	シリアルデータ入力です
	TXD0~TXD3, TXD5, TXD8	出力	シリアルデータ出力です。 TXD2はNチャンネルオープンドレイン出力です
簡易型I ² Cバス	SDA0~SDA3, SDA5	入出力	シリアルデータ入出力です。 SDA2の出力はNチャンネルオープンドレイン出力です
	SCL0~SCL3, SCL5	入出力	送受信クロック入出力です。 SCL2の出力はNチャンネルオープンドレイン出力です
シリアルインタフェース特殊機能	STXD0~STXD3, STXD5	出力	スレーブモードを選択したときのシリアルデータ出力です。 STXD2はNチャンネルオープンドレイン出力です
	SRXD0~SRXD3, SRXD5	入力	スレーブモードを選択したときのシリアルデータ入力です
	$\overline{\text{SS0}}\sim\overline{\text{SS3}}, \overline{\text{SS5}}$	入力	シリアルインタフェース特殊機能の制御用入力です
A/Dコンバータ	AN_0~AN_7, AN0_0~AN0_3, AN2_0~AN2_7	入力	A/Dコンバータのアナログ入力です
	ADTRG	入力	A/Dコンバータの外部トリガ入力です
D/Aコンバータ	DA0	出力	D/Aコンバータの出力です
基準電圧入力	VREF	入力	A/DコンバータとD/Aコンバータの基準電圧入力です

表 1.17 端子機能の説明(64ピン版) (3/3)

分類	端子名	入出力	機能
インテリジェント I/O	IIO0_0~IIO0_7	入出力	インテリジェント I/O グループ 0 の入出力です。インプットキャプチャ入力とアウトプットコンペア出力を切り替えられます
	IIO1_0~IIO1_7	入出力	インテリジェント I/O グループ 1 の入出力です。インプットキャプチャ入力とアウトプットコンペア出力を切り替えられます。 P7_0、P7_1 に配置されている IIO1_6、IIO1_7 の出力は N チャンネル オープンドレイン 出力です
	UD0A, UD0B, UD1A, UD1B	入力	二相エンコーダ用の入力です
	OUTC2_0~OUTC2_2	出力	インテリジェント I/O グループ 2 のアウトプットコンペア出力です。 P7_0、P7_1 に配置されている OUTC2_0、OUTC2_2 は N チャンネル オープンドレイン 出力です
	ISCLK2	入出力	通信機能部のクロック入出力です
	ISRXD2	入力	通信機能部の受信データ入力です
	ISTXD2	出力	通信機能部の送信データ出力です。 P7_0 に配置されている ISTXD2 は N チャンネル オープンドレイン 出力です
	IEIN	入力	通信機能部の受信データ入力です
	IEOUT	出力	通信機能部の送信データ出力です。 P7_0 に配置されている IEOUT は N チャンネル オープンドレイン 出力です

2. 中央演算処理装置(CPU)

図 2.1 に CPU のレジスタを示します。これらのうち、R2R0、R3R1、R6R4、R7R5、A0、A1、A2、A3、SB、FBの10個のレジスタは2バンクあります。

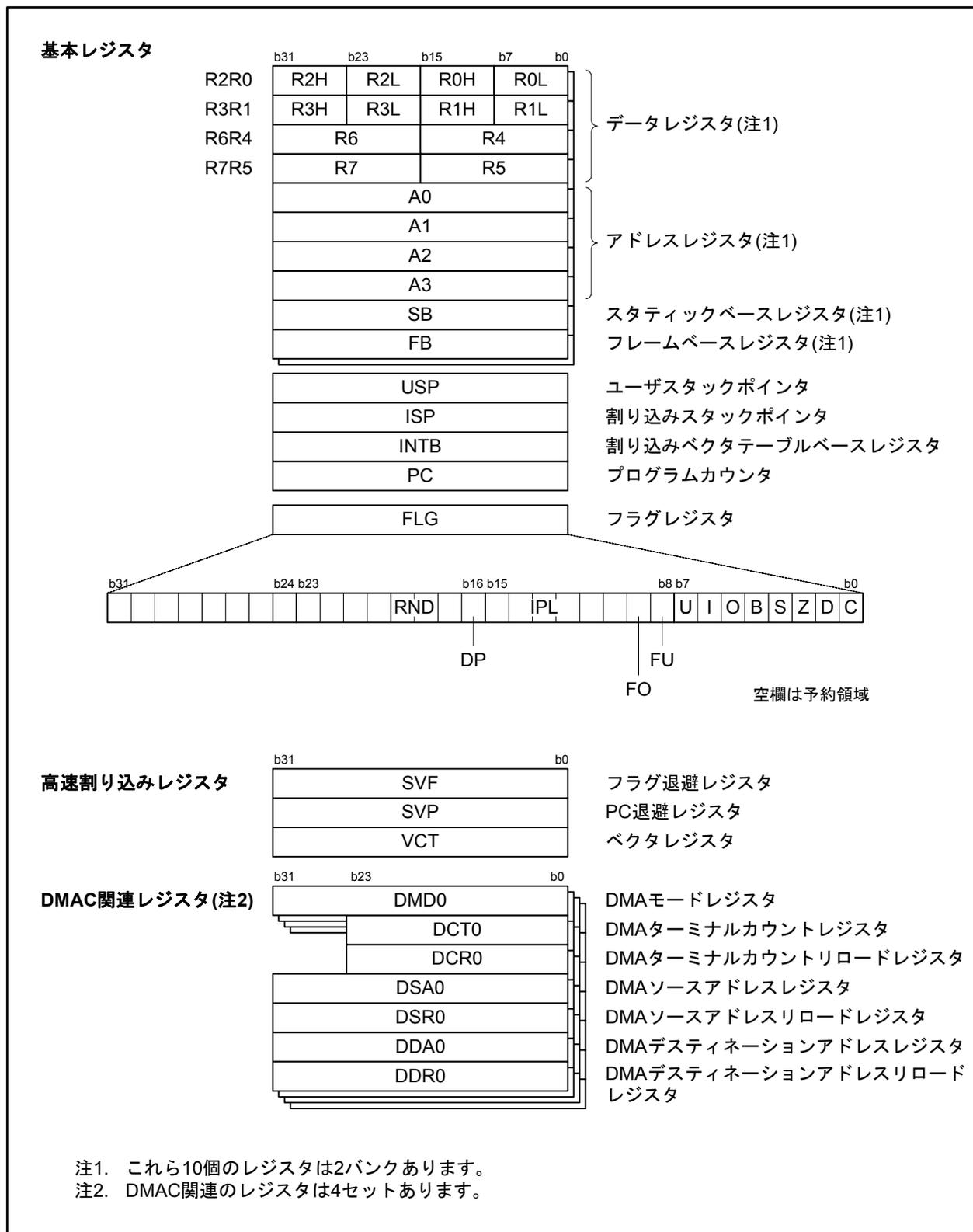


図 2.1 中央演算処理装置のレジスタ構成

2.1 基本レジスタ

2.1.1 データレジスタ (R2R0, R3R1, R6R4, R7R5)

R2R0、R3R1、R6R4、R7R5は32ビットで構成されており、主に転送や算術、論理演算に使用します。R2R0は、上位(R2)と下位(R0)を別々に16ビットのデータレジスタとして使用できます。R3R1、R6R4、R7R5も同様に2つの16ビットレジスタに分割できます。

また、R2R0は、上位(R2H)、中上位(R2L)、中下位(R0H)、下位(R0L)を別々に8ビットのデータレジスタとしても使用できます。R3R1も同様に4つの8ビットレジスタに分割できます。

2.1.2 アドレスレジスタ (A0, A1, A2, A3)

A0、A1、A2、A3は32ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、データレジスタ同様転送や算術、論理演算にも使用できます。

2.1.3 スタティックベースレジスタ (SB)

SBは32ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ (FB)

FBは32ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ (PC)

PCは32ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みベクタテーブルベースレジスタ (INTB)

INTBは32ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類があり、ともに32ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグについては「2.1.8 フラグレジスタ (FLG)」を参照してください。

使用するスタックポインタ (USP/ISP)は、スタックポインタ指定フラグ(Uフラグ)によって切り替えられます。スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

USP、ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なく、割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ (FLG)

FLGは32ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

2.1.8.2 デバッグフラグ (Dフラグ)

デバッグ専用です。書くときは“0”を書いてください。

2.1.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

2.1.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ (Bフラグ)

レジスタバンクの選択を行います。Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバフローしたとき“1”になり、それ以外るとき“0”になります。

2.1.8.7 割り込み許可フラグ (Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、Iフラグは“0”になります。

2.1.8.8 スタックポインタ指定フラグ (Uフラグ)

Uフラグが“0”のとき割り込みスタックポインタ (ISP) が指定され、“1”のときユーザスタックポインタ (USP) が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~127のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 浮動小数点アンダフローフラグ (FUフラグ)

浮動小数点演算の結果が、最小の正規化数を下回った場合(アンダフロー)、“1”になり、それ以外るとき“0”になります。

また、オペランドのデータが正規化数でも0でもない(不正入力値)場合にも、“1”になります。

2.1.8.10 浮動小数点オーバフローフラグ (FOフラグ)

浮動小数点演算の結果が、最大の正規化数を上回った場合(オーバフロー)、“1”になり、それ以外るとき“0”になります。

また、オペランドのデータが正規化数でも0でもない(不正入力値)場合にも、“1”になります。

2.1.8.11 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0からレベル7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの要求レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みが許可されます。

プロセッサ割り込み優先レベル (IPL) をレベル7 (111b) に設定した場合、すべての割り込みが禁止されます。

2.1.8.12 固定小数点位置指定ビット (DPビット)

固定小数点の小数点位置を指定するビットです。また、固定小数点乗算の結果から、どの部分を最終演算結果として抜き出すかを指定するビットでもあります。

MULX命令で使用します。

2.1.8.13 浮動小数点丸め演算モード (RND)

浮動小数点丸め演算モード (RND) は2ビットで構成されており、浮動小数点演算の結果を丸める方式を指定します。

2.1.8.14 予約領域

書くときは“0”を書いてください。読んだときその値は不定です。

2.2 高速割り込みレジスタ

高速割り込みレジスタは、割り込みシーケンスを高速に行うための専用レジスタです。高速割り込みレジスタには以下の3つのレジスタがあります。

2.2.1 フラグ退避レジスタ (SVF)

フラグ退避レジスタ (SVF) は32ビットで構成されており、高速割り込み発生時にフラグレジスタを退避させるために使用します。

2.2.2 PC退避レジスタ (SVP)

PC退避レジスタ (SVP) は32ビットで構成されており、高速割り込み発生時プログラムカウンタを退避させるために使用します。

2.2.3 ベクタレジスタ (VCT)

ベクタレジスタ (VCT) は32ビットで構成されており、高速割り込み発生時の分岐先番地を示します。

2.3 DMAC 関連レジスタ

DMAC 関連レジスタには以下の7種類のレジスタがあります。

2.3.1 DMA モードレジスタ (DMD0, DMD1, DMD2, DMD3)

DMA モードレジスタ (DMD0, DMD1, DMD2, DMD3) は32ビットで構成されており、DMA の転送モードなどを設定するレジスタです。

2.3.2 DMA ターミナルカウントレジスタ (DCT0, DCT1, DCT2, DCT3)

DMA ターミナルカウントレジスタ (DCT0, DCT1, DCT2, DCT3) は24ビットで構成されており、DMA の転送回数を設定するレジスタです。

2.3.3 DMA ターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3)

DMA ターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3) は24ビットで構成されており、DMA ターミナルカウントレジスタのリロード値を設定するレジスタです。

2.3.4 DMA ソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3)

DMA ソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3) は32ビットで構成されており、DMA の転送元のアドレスを設定するレジスタです。

2.3.5 DMA ソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3)

DMA ソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3) は32ビットで構成されており、DMA ソースアドレスレジスタへのリロード値を設定するレジスタです。

2.3.6 DMA デスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3)

DMA デスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3) は32ビットで構成されており、DMA の転送先のアドレスを設定するレジスタです。

2.3.7 DMA デスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3)

DMA デスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3) は32ビットで構成されており、DMA デスティネーションアドレスレジスタへのリロード値を設定するレジスタです。

3. メモリ

R32C/111 グループのメモリ配置図を図 3.1 に示します。

アドレス空間は 00000000h 番地から FFFFFFFFh 番地までの 4G バイトあります。

内部 ROM は FFFFFFFFh 番地から下位方向に配置されています。たとえば 512K バイトの内部 ROM は、FFF80000h 番地から FFFFFFFFh 番地までに配置されています。

固定割り込みベクタは FFFFFFFDCh 番地から FFFFFFFFh 番地までに配置されています。ここに割り込み処理ルーチンの先頭アドレスを格納します。

内部 RAM は 00000400h 番地から上位方向に配置されています。たとえば 63K バイトの内部 RAM は、00000400h 番地から 0000FFFh 番地までに配置されています。内部 RAM はデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFR (Special Function Register) は、00000000h 番地から 00003FFh 番地までと、00040000h 番地から 0004FFFh 番地までに配置されています。ここには、周辺装置の制御レジスタが配置されています。SFR 領域のうち何も配置されていない番地は、すべて予約領域のため、アクセスしないでください。

メモリ拡張モード時、または、マイクロプロセッサモード時、一部の領域は内部予約領域となり使用できません。

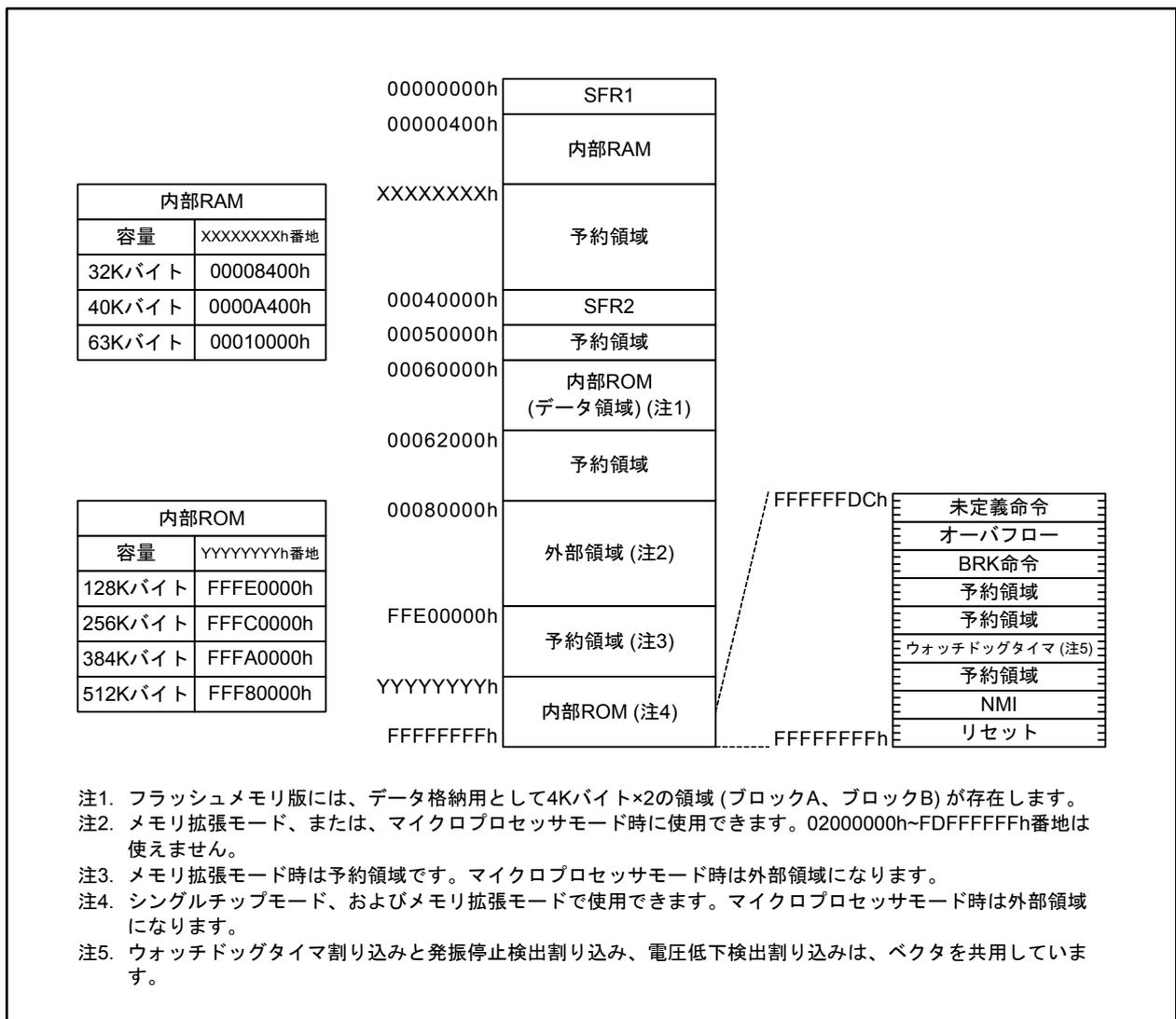


図 3.1 メモリ配置図

4.SFR

SFR (Special Function Register)は、周辺機能の制御をしたり、状態を取得するためのレジスタです。
表 4.1 SFR 一覧(1)~表 4.24 SFR 一覧(24)に SFR の一覧を示します。

表 4.1 SFR 一覧(1)

番地	レジスタ	シンボル	リセット後の値
000000h			
000001h			
000002h			
000003h			
000004h	クロック制御レジスタ	CCR	0001 1000b
000005h			
000006h	フラッシュメモリ制御レジスタ	FMCR	0000 0001b
000007h	プロテクト解除レジスタ	PRR	00h
000008h			
000009h			
00000Ah			
00000Bh			
00000Ch			
00000Dh			
00000Eh			
00000Fh			
000010h	外部バス制御レジスタ3/フラッシュメモリ書き換えバス	EBC3/FEBC3	0000h
000011h	制御レジスタ3		
000012h	チップセレクト2-3境界設定レジスタ	CB23	00h
000013h			
000014h	外部バス制御レジスタ2	EBC2	0000h
000015h			
000016h	チップセレクト1-2境界設定レジスタ	CB12	00h
000017h			
000018h	外部バス制御レジスタ1	EBC1	0000h
000019h			
00001Ah	チップセレクト0-1境界設定レジスタ	CB01	00h
00001Bh			
00001Ch	外部バス制御レジスタ0/フラッシュメモリ書き換えバス	EBC0/FEBC0	0000h
00001Dh	制御レジスタ0		
00001Eh	周辺バス制御レジスタ	PBC	0504h
00001Fh			
000020h~ 00005Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.2 SFR一覧(2)

番地	レジスタ	シンボル	リセット後の値
000060h			
000061h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
000062h	UART5送信/NACK割り込み制御レジスタ	S5TIC	XXXX X000b
000063h	UART2受信/ACK割り込み制御レジスタ	S2RIC	XXXX X000b
000064h	UART6送信/NACK割り込み制御レジスタ	S6TIC	XXXX X000b
000065h	UART3受信/ACK割り込み制御レジスタ	S3RIC	XXXX X000b
000066h	UART5/6バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN5IC/BCN6IC	XXXX X000b
000067h	UART4受信/ACK割り込み制御レジスタ	S4RIC	XXXX X000b
000068h	DMA0転送完了割り込み制御レジスタ	DM0IC	XXXX X000b
000069h	UART0/3バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN0IC/BCN3IC	XXXX X000b
00006Ah	DMA2転送完了割り込み制御レジスタ	DM2IC	XXXX X000b
00006Bh	A/Dコンバータ0変換完了割り込み制御レジスタ	AD0IC	XXXX X000b
00006Ch	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
00006Dh	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X000b
00006Eh	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
00006Fh	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X000b
000070h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
000071h	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X000b
000072h	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X000b
000073h	インテリジェントI/O割り込み制御レジスタ6	IIO6IC	XXXX X000b
000074h	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X000b
000075h	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	XXXX X000b
000076h	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
000077h	インテリジェントI/O割り込み制御レジスタ10	IIO10IC	XXXX X000b
000078h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
000079h			
00007Ah	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
00007Bh			
00007Ch	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
00007Dh			
00007Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
00007Fh			
000080h			
000081h	UART2送信/NACK割り込み制御レジスタ	S2TIC	XXXX X000b
000082h	UART5受信/ACK割り込み制御レジスタ	S5RIC	XXXX X000b
000083h	UART3送信/NACK割り込み制御レジスタ	S3TIC	XXXX X000b
000084h	UART6受信/ACK割り込み制御レジスタ	S6RIC	XXXX X000b
000085h	UART4送信/NACK割り込み制御レジスタ	S4TIC	XXXX X000b
000086h			
000087h	UART2バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN2IC	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.3 SFR一覧(3)

番地	レジスタ	シンボル	リセット後の値
000088h	DMA1転送完了割り込み制御レジスタ	DM1IC	XXXX X000b
000089h	UART1/4バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN1IC/BCN4IC	XXXX X000b
00008Ah	DMA3転送完了割り込み制御レジスタ	DM3IC	XXXX X000b
00008Bh	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
00008Ch	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
00008Dh	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000b
00008Eh	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
00008Fh	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000b
000090h	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000b
000091h	インテリジェントI/O割り込み制御レジスタ5	IIO5IC	XXXX X000b
000092h	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000b
000093h	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	XXXX X000b
000094h	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
000095h	インテリジェントI/O割り込み制御レジスタ9	IIO9IC	XXXX X000b
000096h	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
000097h	インテリジェントI/O割り込み制御レジスタ11	IIO11IC	XXXX X000b
000098h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
000099h			
00009Ah	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
00009Bh			
00009Ch	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
00009Dh			
00009Eh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
00009Fh			
0000A0h	インテリジェントI/O割り込み要求レジスタ0	IIO0IR	0000 0XX1b
0000A1h	インテリジェントI/O割り込み要求レジスタ1	IIO1IR	0000 0XX1b
0000A2h	インテリジェントI/O割り込み要求レジスタ2	IIO2IR	0000 0X01b
0000A3h	インテリジェントI/O割り込み要求レジスタ3	IIO3IR	0000 XXX1b
0000A4h	インテリジェントI/O割り込み要求レジスタ4	IIO4IR	000X 0XX1b
0000A5h	インテリジェントI/O割り込み要求レジスタ5	IIO5IR	000X 0XX1b
0000A6h	インテリジェントI/O割り込み要求レジスタ6	IIO6IR	000X 0XX1b
0000A7h	インテリジェントI/O割り込み要求レジスタ7	IIO7IR	X00X 0XX1b
0000A8h	インテリジェントI/O割り込み要求レジスタ8	IIO8IR	XX0X 0XX1b
0000A9h	インテリジェントI/O割り込み要求レジスタ9	IIO9IR	0000 0XX1b
0000AAh	インテリジェントI/O割り込み要求レジスタ10	IIO10IR	0000 0XX1b
0000ABh	インテリジェントI/O割り込み要求レジスタ11	IIO11IR	0000 0XX1b
0000ACh			
0000ADh			
0000AEh			
0000AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4)

番地	レジスタ	シンボル	リセット後の値
0000B0h	インテリジェントI/O割り込み許可レジスタ0	IIO0IE	00h
0000B1h	インテリジェントI/O割り込み許可レジスタ1	IIO1IE	00h
0000B2h	インテリジェントI/O割り込み許可レジスタ2	IIO2IE	00h
0000B3h	インテリジェントI/O割り込み許可レジスタ3	IIO3IE	00h
0000B4h	インテリジェントI/O割り込み許可レジスタ4	IIO4IE	00h
0000B5h	インテリジェントI/O割り込み許可レジスタ5	IIO5IE	00h
0000B6h	インテリジェントI/O割り込み許可レジスタ6	IIO6IE	00h
0000B7h	インテリジェントI/O割り込み許可レジスタ7	IIO7IE	00h
0000B8h	インテリジェントI/O割り込み許可レジスタ8	IIO8IE	00h
0000B9h	インテリジェントI/O割り込み許可レジスタ9	IIO9IE	00h
0000BAh	インテリジェントI/O割り込み許可レジスタ10	IIO10IE	00h
0000BBh	インテリジェントI/O割り込み許可レジスタ11	IIO11IE	00h
0000BCh			
0000BDh			
0000BEh			
0000BFh			
0000C0h			
0000C1h			
0000C2h			
0000C3h			
0000C4h			
0000C5h			
0000C6h			
0000C7h			
0000C8h			
0000C9h			
0000CAh			
0000CBh			
0000CCh			
0000CDh			
0000CEh			
0000CFh			
0000D0h			
0000D1h			
0000D2h			
0000D3h			
0000D4h			
0000D5h			
0000D6h			
0000D7h			
0000D8h			
0000D9h			
0000DAh			
0000DBh			
0000DCh			
0000DDh	UART7送信割り込み制御レジスタ	S7TIC	XXXX X000b
0000DEh			
0000DFh	UART8送信割り込み制御レジスタ	S8TIC	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.5 SFR一覧(5)

番地	レジスタ	シンボル	リセット後の値
0000E0h			
0000E1h			
0000E2h			
0000E3h			
0000E4h			
0000E5h			
0000E6h			
0000E7h			
0000E8h			
0000E9h			
0000EAh			
0000EBh			
0000ECh			
0000EDh			
0000EEh			
0000EFh			
0000F0h			
0000F1h			
0000F2h			
0000F3h			
0000F4h			
0000F5h			
0000F6h			
0000F7h			
0000F8h			
0000F9h			
000FAh			
000FBh			
000FCh			
000FDh	UART7 受信割り込み制御レジスタ	S7RIC	XXXX X000b
000FEh			
000FFh	UART8 受信割り込み制御レジスタ	S8RIC	XXXX X000b
000100h	グループ1 時間計測/波形生成レジスタ0	G1TM0/G1PO0	XXXXh
000101h			
000102h	グループ1 時間計測/波形生成レジスタ1	G1TM1/G1PO1	XXXXh
000103h			
000104h	グループ1 時間計測/波形生成レジスタ2	G1TM2/G1PO2	XXXXh
000105h			
000106h	グループ1 時間計測/波形生成レジスタ3	G1TM3/G1PO3	XXXXh
000107h			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6)

番地	レジスタ	シンボル	リセット後の値
000108h 000109h	グループ1 時間計測/波形生成レジスタ4	G1TM4/G1PO4	XXXXh
00010Ah 00010Bh	グループ1 時間計測/波形生成レジスタ5	G1TM5/G1PO5	XXXXh
00010Ch 00010Dh	グループ1 時間計測/波形生成レジスタ6	G1TM6/G1PO6	XXXXh
00010Eh 00010Fh	グループ1 時間計測/波形生成レジスタ7	G1TM7/G1PO7	XXXXh
000110h	グループ1 波形生成制御レジスタ0	G1POCR0	0000 X000b
000111h	グループ1 波形生成制御レジスタ1	G1POCR1	0X00 X000b
000112h	グループ1 波形生成制御レジスタ2	G1POCR2	0X00 X000b
000113h	グループ1 波形生成制御レジスタ3	G1POCR3	0X00 X000b
000114h	グループ1 波形生成制御レジスタ4	G1POCR4	0X00 X000b
000115h	グループ1 波形生成制御レジスタ5	G1POCR5	0X00 X000b
000116h	グループ1 波形生成制御レジスタ6	G1POCR6	0X00 X000b
000117h	グループ1 波形生成制御レジスタ7	G1POCR7	0X00 X000b
000118h	グループ1 時間計測制御レジスタ0	G1TMCR0	00h
000119h	グループ1 時間計測制御レジスタ1	G1TMCR1	00h
00011Ah	グループ1 時間計測制御レジスタ2	G1TMCR2	00h
00011Bh	グループ1 時間計測制御レジスタ3	G1TMCR3	00h
00011Ch	グループ1 時間計測制御レジスタ4	G1TMCR4	00h
00011Dh	グループ1 時間計測制御レジスタ5	G1TMCR5	00h
00011Eh	グループ1 時間計測制御レジスタ6	G1TMCR6	00h
00011Fh	グループ1 時間計測制御レジスタ7	G1TMCR7	00h
000120h 000121h	グループ1 ベースタイマレジスタ	G1BT	XXXXh
000122h	グループ1 ベースタイマ制御レジスタ0	G1BCR0	0000 0000b
000123h	グループ1 ベースタイマ制御レジスタ1	G1BCR1	0000 0000b
000124h	グループ1 時間計測プリスケアラレジスタ6	G1TPR6	00h
000125h	グループ1 時間計測プリスケアラレジスタ7	G1TPR7	00h
000126h	グループ1 機能許可レジスタ	G1FE	00h
000127h	グループ1 機能選択レジスタ	G1FS	00h
000128h			
000129h			
00012Ah			
00012Bh			
00012Ch			
00012Dh			
00012Eh			
00012Fh			
000130h~ 00013Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7)

番地	レジスタ	シンボル	リセット後の値
000140h	グループ2 波形生成レジスタ0	G2PO0	XXXXh
000141h			
000142h	グループ2 波形生成レジスタ1	G2PO1	XXXXh
000143h			
000144h	グループ2 波形生成レジスタ2	G2PO2	XXXXh
000145h			
000146h	グループ2 波形生成レジスタ3	G2PO3	XXXXh
000147h			
000148h	グループ2 波形生成レジスタ4	G2PO4	XXXXh
000149h			
00014Ah	グループ2 波形生成レジスタ5	G2PO5	XXXXh
00014Bh			
00014Ch	グループ2 波形生成レジスタ6	G2PO6	XXXXh
00014Dh			
00014Eh	グループ2 波形生成レジスタ7	G2PO7	XXXXh
00014Fh			
000150h	グループ2 波形生成制御レジスタ0	G2POCR0	0000 0000b
000151h	グループ2 波形生成制御レジスタ1	G2POCR1	0000 0000b
000152h	グループ2 波形生成制御レジスタ2	G2POCR2	0000 0000b
000153h	グループ2 波形生成制御レジスタ3	G2POCR3	0000 0000b
000154h	グループ2 波形生成制御レジスタ4	G2POCR4	0000 0000b
000155h	グループ2 波形生成制御レジスタ5	G2POCR5	0000 0000b
000156h	グループ2 波形生成制御レジスタ6	G2POCR6	0000 0000b
000157h	グループ2 波形生成制御レジスタ7	G2POCR7	0000 0000b
000158h			
000159h			
00015Ah			
00015Bh			
00015Ch			
00015Dh			
00015Eh			
00015Fh			
000160h	グループ2 ベースタイマレジスタ	G2BT	XXXXh
000161h			
000162h	グループ2 ベースタイマ制御レジスタ0	G2BCR0	0000 0000b
000163h	グループ2 ベースタイマ制御レジスタ1	G2BCR1	0000 0000b
000164h	ベースタイマスタートレジスタ	BTSR	XXXX 0000b
000165h			
000166h	グループ2 機能許可レジスタ	G2FE	00h
000167h	グループ2 RTP出力バッファレジスタ	G2RTP	00h
000168h			
000169h			
00016Ah	グループ2 SI/O通信モードレジスタ	G2MR	00XX X000b
00016Bh	グループ2 SI/O通信制御レジスタ	G2CR	0000 X110b
00016Ch	グループ2 SI/O送信バッファレジスタ	G2TB	XXXXh
00016Dh			
00016Eh	グループ2 SI/O受信バッファレジスタ	G2RB	XXXXh
00016Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8)

番地	レジスタ	シンボル	リセット後の値
000170h	グループ2 IEBus アドレスレジスタ	IEAR	XXXXh
000171h			
000172h	グループ2 IEBus 制御レジスタ	IECR	00XX X000b
000173h	グループ2 IEBus 送信割り込み要因判別レジスタ	IETIF	XXX0 0000b
000174h	グループ2 IEBus 受信割り込み要因判別レジスタ	IERIF	XXX0 0000b
000175h			
000176h			
000177h			
000178h			
000179h			
00017Ah			
00017Bh			
00017Ch			
00017Dh			
00017Eh			
00017Fh			
000180h	グループ0 時間計測/波形生成レジスタ0	G0TM0/G0PO0	XXXXh
000181h			
000182h	グループ0 時間計測/波形生成レジスタ1	G0TM1/G0PO1	XXXXh
000183h			
000184h	グループ0 時間計測/波形生成レジスタ2	G0TM2/G0PO2	XXXXh
000185h			
000186h	グループ0 時間計測/波形生成レジスタ3	G0TM3/G0PO3	XXXXh
000187h			
000188h	グループ0 時間計測/波形生成レジスタ4	G0TM4/G0PO4	XXXXh
000189h			
00018Ah	グループ0 時間計測/波形生成レジスタ5	G0TM5/G0PO5	XXXXh
00018Bh			
00018Ch	グループ0 時間計測/波形生成レジスタ6	G0TM6/G0PO6	XXXXh
00018Dh			
00018Eh	グループ0 時間計測/波形生成レジスタ7	G0TM7/G0PO7	XXXXh
00018Fh			
000190h	グループ0 波形生成制御レジスタ0	G0POCR0	0000 X000b
000191h	グループ0 波形生成制御レジスタ1	G0POCR1	0X00 X000b
000192h	グループ0 波形生成制御レジスタ2	G0POCR2	0X00 X000b
000193h	グループ0 波形生成制御レジスタ3	G0POCR3	0X00 X000b
000194h	グループ0 波形生成制御レジスタ4	G0POCR4	0X00 X000b
000195h	グループ0 波形生成制御レジスタ5	G0POCR5	0X00 X000b
000196h	グループ0 波形生成制御レジスタ6	G0POCR6	0X00 X000b
000197h	グループ0 波形生成制御レジスタ7	G0POCR7	0X00 X000b
000198h	グループ0 時間計測制御レジスタ0	G0TMCR0	00h
000199h	グループ0 時間計測制御レジスタ1	G0TMCR1	00h
00019Ah	グループ0 時間計測制御レジスタ2	G0TMCR2	00h
00019Bh	グループ0 時間計測制御レジスタ3	G0TMCR3	00h
00019Ch	グループ0 時間計測制御レジスタ4	G0TMCR4	00h
00019Dh	グループ0 時間計測制御レジスタ5	G0TMCR5	00h
00019Eh	グループ0 時間計測制御レジスタ6	G0TMCR6	00h
00019Fh	グループ0 時間計測制御レジスタ7	G0TMCR7	00h

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9)

番地	レジスタ	シンボル	リセット後の値
0001A0h	グループ0 ベースタイマレジスタ	G0BT	XXXXh
0001A1h			
0001A2h	グループ0 ベースタイマ制御レジスタ0	G0BCR0	0000 0000b
0001A3h	グループ0 ベースタイマ制御レジスタ1	G0BCR1	0000 0000b
0001A4h	グループ0 時間計測プリスケアラレジスタ6	G0TPR6	00h
0001A5h	グループ0 時間計測プリスケアラレジスタ7	G0TPR7	00h
0001A6h	グループ0 機能許可レジスタ	G0FE	00h
0001A7h	グループ0 機能選択レジスタ	G0FS	00h
0001A8h			
0001A9h			
0001AAh			
0001ABh			
0001ACh			
0001ADh			
0001AEh			
0001AFh			
0001B0h			
0001B1h			
0001B2h			
0001B3h			
0001B4h			
0001B5h			
0001B6h			
0001B7h			
0001B8h			
0001B9h			
0001BAh			
0001BBh			
0001BCh			
0001BDh			
0001BEh			
0001BFh			
0001C0h			
0001C1h			
0001C2h			
0001C3h			
0001C4h	UART5 特殊モードレジスタ4	U5SMR4	00h
0001C5h	UART5 特殊モードレジスタ3	U5SMR3	00h
0001C6h	UART5 特殊モードレジスタ2	U5SMR2	00h
0001C7h	UART5 特殊モードレジスタ	U5SMR	00h
0001C8h	UART5 送受信モードレジスタ	U5MR	00h
0001C9h	UART5 ビットレートレジスタ	U5BRG	XXh
0001CAh	UART5 送信バッファレジスタ	U5TB	XXXXh
0001CBh			
0001CCh	UART5 送受信制御レジスタ0	U5C0	0000 1000b
0001CDh	UART5 送受信制御レジスタ1	U5C1	0000 0010b
0001CEh	UART5 受信バッファレジスタ	U5RB	XXXXh
0001CFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10)

番地	レジスタ	シンボル	リセット後の値
0001D0h			
0001D1h			
0001D2h			
0001D3h			
0001D4h	UART6 特殊モードレジスタ 4	U6SMR4	00h
0001D5h	UART6 特殊モードレジスタ 3	U6SMR3	00h
0001D6h	UART6 特殊モードレジスタ 2	U6SMR2	00h
0001D7h	UART6 特殊モードレジスタ	U6SMR	00h
0001D8h	UART6 送受信モードレジスタ	U6MR	00h
0001D9h	UART6 ビットレートレジスタ	U6BRG	XXh
0001DAh	UART6 送信バッファレジスタ	U6TB	XXXXh
0001DBh			
0001DCh	UART6 送受信制御レジスタ 0	U6C0	0000 1000b
0001DDh	UART6 送受信制御レジスタ 1	U6C1	0000 0010b
0001DEh	UART6 受信バッファレジスタ	U6RB	XXXXh
0001DFh			
0001E0h	UART7 送受信モードレジスタ	U7MR	00h
0001E1h	UART7 ビットレートレジスタ	U7BRG	XXh
0001E2h	UART7 送信バッファレジスタ	U7TB	XXXXh
0001E3h			
0001E4h	UART7 送受信制御レジスタ 0	U7C0	00X0 1000b
0001E5h	UART7 送受信制御レジスタ 1	U7C1	XXXX 0010b
0001E6h	UART7 受信バッファレジスタ	U7RB	XXXXh
0001E7h			
0001E8h	UART8 送受信モードレジスタ	U8MR	00h
0001E9h	UART8 ビットレートレジスタ	U8BRG	XXh
0001EAh	UART8 送信バッファレジスタ	U8TB	XXXXh
0001EBh			
0001ECh	UART8 送受信制御レジスタ 0	U8C0	00X0 1000b
0001EDh	UART8 送受信制御レジスタ 1	U8C1	XXXX 0010b
0001EEh	UART8 受信バッファレジスタ	U8RB	XXXXh
0001EFh			
0001F0h	UART7, 8 送受信制御レジスタ 2	U78CON	X000 0000b
0001F1h			
0001F2h			
0001F3h			
0001F4h			
0001F5h			
0001F6h			
0001F7h			
0001F8h			
0001F9h			
0001FAh			
0001FBh			
0001FCh			
0001FDh			
0001FEh			
0001FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11)

番地	レジスタ	シンボル	リセット後の値
000200h~ 0002BFh			
0002C0h 0002C1h	X0 レジスタ / Y0 レジスタ	X0R/Y0R	XXXXh
0002C2h 0002C3h	X1 レジスタ / Y1 レジスタ	X1R/Y1R	XXXXh
0002C4h 0002C5h	X2 レジスタ / Y2 レジスタ	X2R/Y2R	XXXXh
0002C6h 0002C7h	X3 レジスタ / Y3 レジスタ	X3R/Y3R	XXXXh
0002C8h 0002C9h	X4 レジスタ / Y4 レジスタ	X4R/Y4R	XXXXh
0002CAh 0002CBh	X5 レジスタ / Y5 レジスタ	X5R/Y5R	XXXXh
0002CCh 0002CDh	X6 レジスタ / Y6 レジスタ	X6R/Y6R	XXXXh
0002CEh 0002CFh	X7 レジスタ / Y7 レジスタ	X7R/Y7R	XXXXh
0002D0h 0002D1h	X8 レジスタ / Y8 レジスタ	X8R/Y8R	XXXXh
0002D2h 0002D3h	X9 レジスタ / Y9 レジスタ	X9R/Y9R	XXXXh
0002D4h 0002D5h	X10 レジスタ / Y10 レジスタ	X10R/Y10R	XXXXh
0002D6h 0002D7h	X11 レジスタ / Y11 レジスタ	X11R/Y11R	XXXXh
0002D8h 0002D9h	X12 レジスタ / Y12 レジスタ	X12R/Y12R	XXXXh
0002DAh 0002DBh	X13 レジスタ / Y13 レジスタ	X13R/Y13R	XXXXh
0002DCh 0002DDh	X14 レジスタ / Y14 レジスタ	X14R/Y14R	XXXXh
0002DEh 0002DFh	X15 レジスタ / Y15 レジスタ	X15R/Y15R	XXXXh
0002E0h 0002E1h	X-Y制御レジスタ	XYC	XXXX XX00b
0002E2h 0002E3h			
0002E4h	UART1 特殊モードレジスタ 4	U1SMR4	00h
0002E5h	UART1 特殊モードレジスタ 3	U1SMR3	00h
0002E6h	UART1 特殊モードレジスタ 2	U1SMR2	00h
0002E7h	UART1 特殊モードレジスタ	U1SMR	00h
0002E8h	UART1 送受信モードレジスタ	U1MR	00h
0002E9h	UART1 ビットレートレジスタ	U1BRG	XXh
0002EAh 0002EBh	UART1 送信バッファレジスタ	U1TB	XXXXh
0002ECh	UART1 送受信制御レジスタ 0	U1C0	0000 1000b
0002EDh	UART1 送受信制御レジスタ 1	U1C1	0000 0010b
0002EEh 0002EFh	UART1 受信バッファレジスタ	U1RB	XXXXh

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12)

番地	レジスタ	シンボル	リセット後の値
0002F0h			
0002F1h			
0002F2h			
0002F3h			
0002F4h	UART4 特殊モードレジスタ 4	U4SMR4	00h
0002F5h	UART4 特殊モードレジスタ 3	U4SMR3	00h
0002F6h	UART4 特殊モードレジスタ 2	U4SMR2	00h
0002F7h	UART4 特殊モードレジスタ	U4SMR	00h
0002F8h	UART4 送受信モードレジスタ	U4MR	00h
0002F9h	UART4 ビットレートレジスタ	U4BRG	XXh
0002FAh	UART4 送信バッファレジスタ	U4TB	XXXXh
0002FBh			
0002FCh	UART4 送受信制御レジスタ 0	U4C0	0000 1000b
0002FDh	UART4 送受信制御レジスタ 1	U4C1	0000 0010b
0002FEh	UART4 受信バッファレジスタ	U4RB	XXXXh
0002FFh			
000300h	タイマ B3、B4、B5 カウント開始フラグ	TBSR	000X XXXXb
000301h			
000302h	タイマ A1-1 レジスタ	TA11	XXXXh
000303h			
000304h	タイマ A2-1 レジスタ	TA21	XXXXh
000305h			
000306h	タイマ A4-1 レジスタ	TA41	XXXXh
000307h			
000308h	三相 PWM 制御レジスタ 0	INVC0	00h
000309h	三相 PWM 制御レジスタ 1	INVC1	00h
00030Ah	三相出力バッファレジスタ 0	IDB0	XX11 1111b
00030Bh	三相出力バッファレジスタ 1	IDB1	XX11 1111b
00030Ch	短絡防止タイマ	DTT	XXh
00030Dh	タイマ B2 割り込み発生頻度設定カウンタ	ICTB2	XXh
00030Eh			
00030Fh			
000310h	タイマ B3 レジスタ	TB3	XXXXh
000311h			
000312h	タイマ B4 レジスタ	TB4	XXXXh
000313h			
000314h	タイマ B5 レジスタ	TB5	XXXXh
000315h			
000316h			
000317h			
000318h			
000319h			
00031Ah			
00031Bh	タイマ B3 モードレジスタ	TB3MR	00XX 0000b
00031Ch	タイマ B4 モードレジスタ	TB4MR	00XX 0000b
00031Dh	タイマ B5 モードレジスタ	TB5MR	00XX 0000b
00031Eh			
00031Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13)

番地	レジスタ	シンボル	リセット後の値
000320h			
000321h			
000322h			
000323h			
000324h	UART3 特殊モードレジスタ 4	U3SMR4	00h
000325h	UART3 特殊モードレジスタ 3	U3SMR3	00h
000326h	UART3 特殊モードレジスタ 2	U3SMR2	00h
000327h	UART3 特殊モードレジスタ	U3SMR	00h
000328h	UART3 送受信モードレジスタ	U3MR	00h
000329h	UART3 ビットレートレジスタ	U3BRG	XXh
00032Ah	UART3 送信バッファレジスタ	U3TB	XXXXh
00032Bh			
00032Ch	UART3 送受信制御レジスタ 0	U3C0	0000 1000b
00032Dh	UART3 送受信制御レジスタ 1	U3C1	0000 0010b
00032Eh	UART3 受信バッファレジスタ	U3RB	XXXXh
00032Fh			
000330h			
000331h			
000332h			
000333h			
000334h	UART2 特殊モードレジスタ 4	U2SMR4	00h
000335h	UART2 特殊モードレジスタ 3	U2SMR3	00h
000336h	UART2 特殊モードレジスタ 2	U2SMR2	00h
000337h	UART2 特殊モードレジスタ	U2SMR	00h
000338h	UART2 送受信モードレジスタ	U2MR	00h
000339h	UART2 ビットレートレジスタ	U2BRG	XXh
00033Ah	UART2 送信バッファレジスタ	U2TB	XXXXh
00033Bh			
00033Ch	UART2 送受信制御レジスタ 0	U2C0	0000 1000b
00033Dh	UART2 送受信制御レジスタ 1	U2C1	0000 0010b
00033Eh	UART2 受信バッファレジスタ	U2RB	XXXXh
00033Fh			
000340h	カウント開始レジスタ	TABSR	0000 0000b
000341h	時計用プリスケアラリセットレジスタ	CPSRF	0XXX XXXXb
000342h	ワンショット開始レジスタ	ONSF	0000 0000b
000343h	トリガ選択レジスタ	TRGSR	0000 0000b
000344h	アップダウン選択レジスタ	UDF	0000 0000b
000345h			
000346h	タイマ A0 レジスタ	TA0	XXXXh
000347h			
000348h	タイマ A1 レジスタ	TA1	XXXXh
000349h			
00034Ah	タイマ A2 レジスタ	TA2	XXXXh
00034Bh			
00034Ch	タイマ A3 レジスタ	TA3	XXXXh
00034Dh			
00034Eh	タイマ A4 レジスタ	TA4	XXXXh
00034Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14)

番地	レジスタ	シンボル	リセット後の値
000350h	タイマB0レジスタ	TB0	XXXXh
000351h			
000352h	タイマB1レジスタ	TB1	XXXXh
000353h			
000354h	タイマB2レジスタ	TB2	XXXXh
000355h			
000356h	タイマA0モードレジスタ	TA0MR	0000 0000b
000357h	タイマA1モードレジスタ	TA1MR	0000 0000b
000358h	タイマA2モードレジスタ	TA2MR	0000 0000b
000359h	タイマA3モードレジスタ	TA3MR	0000 0000b
00035Ah	タイマA4モードレジスタ	TA4MR	0000 0000b
00035Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
00035Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
00035Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
00035Eh	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0b
00035Fh	カウントソースプリスケアラレジスタ	TCSPR	0000 0000b
000360h			
000361h			
000362h			
000363h			
000364h	UART0特殊モードレジスタ4	U0SMR4	00h
000365h	UART0特殊モードレジスタ3	U0SMR3	00h
000366h	UART0特殊モードレジスタ2	U0SMR2	00h
000367h	UART0特殊モードレジスタ	U0SMR	00h
000368h	UART0送受信モードレジスタ	U0MR	00h
000369h	UART0ビットレートレジスタ	U0BRG	XXh
00036Ah	UART0送信バッファレジスタ	U0TB	XXXXh
00036Bh			
00036Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
00036Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
00036Eh	UART0受信バッファレジスタ	U0RB	XXXXh
00036Fh			
000370h			
000371h			
000372h			
000373h			
000374h			
000375h			
000376h			
000377h			
000378h			
000379h			
00037Ah			
00037Bh			
00037Ch	CRCデータレジスタ	CRCD	XXXXh
00037Dh			
00037Eh	CRCインプットレジスタ	CRCIN	XXh
00037Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.15 SFR一覧(15)

番地	レジスタ	シンボル	リセット後の値
000380h 000381h	A/D0 レジスタ 0	AD00	00XXh
000382h 000383h	A/D0 レジスタ 1	AD01	00XXh
000384h 000385h	A/D0 レジスタ 2	AD02	00XXh
000386h 000387h	A/D0 レジスタ 3	AD03	00XXh
000388h 000389h	A/D0 レジスタ 4	AD04	00XXh
00038Ah 00038Bh	A/D0 レジスタ 5	AD05	00XXh
00038Ch 00038Dh	A/D0 レジスタ 6	AD06	00XXh
00038Eh 00038Fh	A/D0 レジスタ 7	AD07	00XXh
000390h 000391h			
000392h 000393h	A/D0 制御レジスタ 4	AD0CON4	XXXX 00XXb
000394h	A/D0 制御レジスタ 2	AD0CON2	XX0X X000b
000395h	A/D0 制御レジスタ 3	AD0CON3	XXXX X000b
000396h	A/D0 制御レジスタ 0	AD0CON0	00h
000397h	A/D0 制御レジスタ 1	AD0CON1	00h
000398h 000399h	D/A レジスタ 0	DA0	XXh
00039Ah 00039Bh	D/A レジスタ 1	DA1	XXh
00039Ch 00039Dh	D/A 制御レジスタ	DACON	XXXX XX00b
00039Eh			
00039Fh			
0003A0h			
0003A1h			
0003A2h			
0003A3h			
0003A4h			
0003A5h			
0003A6h			
0003A7h			
0003A8h			
0003A9h			
0003AAh			
0003ABh			
0003ACh			
0003ADh			
0003AEh			
0003AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16)

番地	レジスタ	シンボル	リセット後の値
0003B0h			
0003B1h			
0003B2h			
0003B3h			
0003B4h			
0003B5h			
0003B6h			
0003B7h			
0003B8h			
0003B9h			
0003BAh			
0003BBh			
0003BCh			
0003BDh			
0003BEh			
0003BFh			
0003C0h	ポートP0レジスタ	P0	XXh
0003C1h	ポートP1レジスタ	P1	XXh
0003C2h	ポートP0方向レジスタ	PD0	0000 0000b
0003C3h	ポートP1方向レジスタ	PD1	0000 0000b
0003C4h	ポートP2レジスタ	P2	XXh
0003C5h	ポートP3レジスタ	P3	XXh
0003C6h	ポートP2方向レジスタ	PD2	0000 0000b
0003C7h	ポートP3方向レジスタ	PD3	0000 0000b
0003C8h	ポートP4レジスタ	P4	XXh
0003C9h	ポートP5レジスタ	P5	XXh
0003CAh	ポートP4方向レジスタ	PD4	0000 0000b
0003CBh	ポートP5方向レジスタ	PD5	0000 0000b
0003CCh	ポートP6レジスタ	P6	XXh
0003CDh	ポートP7レジスタ	P7	XXh
0003CEh	ポートP6方向レジスタ	PD6	0000 0000b
0003CFh	ポートP7方向レジスタ	PD7	0000 0000b
0003D0h	ポートP8レジスタ	P8	XXh
0003D1h	ポートP9レジスタ	P9	XXh
0003D2h	ポートP8方向レジスタ	PD8	00X0 0000b
0003D3h	ポートP9方向レジスタ	PD9	0000 0000b
0003D4h	ポートP10レジスタ	P10	XXh
0003D5h			
0003D6h	ポートP10方向レジスタ	PD10	0000 0000b
0003D7h			
0003D8h			
0003D9h			
0003DAh			
0003DBh			
0003DCh			
0003DDh			
0003DEh			
0003DFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.17 SFR一覧(17)

番地	レジスタ	シンボル	リセット後の値
0003E0h			
0003E1h			
0003E2h			
0003E3h			
0003E4h			
0003E5h			
0003E6h			
0003E7h			
0003E8h			
0003E9h			
0003EAh			
0003EBh			
0003ECh			
0003EDh			
0003EEh			
0003EFh			
0003F0h	プルアップ制御レジスタ0	PUR0	0000 0000b
0003F1h	プルアップ制御レジスタ1	PUR1	XXXX 0000b
0003F2h	プルアップ制御レジスタ2	PUR2	0000 0000b
0003F3h	プルアップ制御レジスタ3	PUR3	XXXX XX00b
0003F4h			
0003F5h			
0003F6h			
0003F7h			
0003F8h			
0003F9h			
0003FAh			
0003FBh			
0003FCh			
0003FDh			
0003FEh			
0003FFh	ポート制御レジスタ	PCR	XXXX XXX0b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.18 SFR一覧(18)

番地	レジスタ	シンボル	リセット後の値
040000h	フラッシュメモリ制御レジスタ0	FMR0	0X01 XX00b
040001h	フラッシュメモリステータスレジスタ0	FMSR0	1000 0000b
040002h			
040003h			
040004h			
040005h			
040006h			
040007h			
040008h	フラッシュレジスタプロテクト解除レジスタ0	FPR0	00h
040009h	フラッシュメモリ制御レジスタ1	FMR1	0000 0010b
04000Ah	ブロックプロテクトビットモニタレジスタ0	FBPM0	??X? ???b (注1)
04000Bh	ブロックプロテクトビットモニタレジスタ1	FBPM1	XXX? ???b (注1)
04000Ch			
04000Dh			
04000Eh			
04000Fh			
040010h			
040011h			
040012h			
040013h			
040014h			
040015h			
040016h			
040017h			
040018h			
040019h			
04001Ah			
04001Bh			
04001Ch			
04001Dh			
04001Eh			
04001Fh			
040020h	PLL制御レジスタ0	PLC0	0000 0001b
040021h	PLL制御レジスタ1	PLC1	0001 1111b
040022h			
040023h			
040024h			
040025h			
040026h			
040027h			
040028h			
040029h			
04002Ah			
04002Bh			
04002Ch			
04002Dh			
04002Eh			
04002Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. フラッシュメモリの各ブロックのプロテクトビットの状態が反映されます。

表 4.19 SFR一覧(19)

番地	レジスタ	シンボル	リセット後の値
040030h~ 04003Fh			
040040h			
040041h			
040042h			
040043h			
040044h	プロセッサモードレジスタ0 (注1)	PM0	1000 0000b (CNVSS 端子が“L”) 0000 0011b (CNVSS 端子が“H”)
040045h			
040046h	システムクロック制御レジスタ0	CM0	0000 1000b
040047h	システムクロック制御レジスタ1	CM1	0010 0000b
040048h	プロセッサモードレジスタ3	PM3	00h
040049h			
04004Ah	プロテクトレジスタ	PRCR	XXXX X000b
04004Bh			
04004Ch	プロテクトレジスタ3	PRCR3	0000 0000b
04004Dh	発振停止検出レジスタ	CM2	00h
04004Eh			
04004Fh			
040050h			
040051h			
040052h			
040053h	プロセッサモードレジスタ2	PM2	00h
040054h	チップセレクト出力端子設定レジスタ0	CSOP0	1000 XXXXb
040055h	チップセレクト出力端子設定レジスタ1	CSOP1	01X0 XXXXb
040056h			
040057h			
040058h			
040059h			
04005Ah	低速モードクロック制御レジスタ	CM3	XXXX XX00b
04005Bh			
04005Ch			
04005Dh			
04005Eh			
04005Fh			
040060h	電圧レギュレータ制御レジスタ	VRRCR	0000 0000b
040061h			
040062h	電圧低下検出回路制御レジスタ	LVDC	0000 XX00b
040063h			
040064h	検出電圧設定レジスタ	DVCR	0000 XXXXb
040065h			
040066h			
040067h			
040068h~ 040093h			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. PM0 レジスタはソフトウェアリセット、ウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

表 4.20 SFR一覧(20)

番地	レジスタ	シンボル	リセット後の値
040094h			
040095h			
040096h			
040097h	三相出力バッファ制御レジスタ	IOBC	0XXX XXXXb
040098h	入力機能選択レジスタ0	IFS0	X000 0000b (注1)
040099h			
04009Ah	入力機能選択レジスタ2	IFS2	0000 00X0b (注2)
04009Bh	入力機能選択レジスタ3	IFS3	XXXX XX00b
04009Ch			
04009Dh			
04009Eh			
04009Fh	入力機能選択レジスタ7(注3)	IFS7	XXXX XX0Xb
0400A0h	ポートP0_0機能選択レジスタ	P0_0S	0XXX X000b
0400A1h	ポートP1_0機能選択レジスタ	P1_0S	XXXX X000b
0400A2h	ポートP0_1機能選択レジスタ	P0_1S	0XXX X000b
0400A3h	ポートP1_1機能選択レジスタ	P1_1S	XXXX X000b
0400A4h	ポートP0_2機能選択レジスタ	P0_2S	0XXX X000b
0400A5h	ポートP1_2機能選択レジスタ	P1_2S	XXXX X000b
0400A6h	ポートP0_3機能選択レジスタ	P0_3S	0XXX X000b
0400A7h	ポートP1_3機能選択レジスタ	P1_3S	XXXX X000b
0400A8h	ポートP0_4機能選択レジスタ	P0_4S	0XXX X000b
0400A9h	ポートP1_4機能選択レジスタ	P1_4S	XXXX X000b
0400AAh	ポートP0_5機能選択レジスタ	P0_5S	0XXX X000b
0400ABh	ポートP1_5機能選択レジスタ	P1_5S	XXXX X000b
0400ACh	ポートP0_6機能選択レジスタ	P0_6S	0XXX X000b
0400ADh	ポートP1_6機能選択レジスタ	P1_6S	XXXX X000b
0400AEh	ポートP0_7機能選択レジスタ	P0_7S	0XXX X000b
0400AFh	ポートP1_7機能選択レジスタ	P1_7S	XXXX X000b
0400B0h	ポートP2_0機能選択レジスタ	P2_0S	0XXX X000b
0400B1h	ポートP3_0機能選択レジスタ	P3_0S	XXXX X000b
0400B2h	ポートP2_1機能選択レジスタ	P2_1S	0XXX X000b
0400B3h	ポートP3_1機能選択レジスタ	P3_1S	XXXX X000b
0400B4h	ポートP2_2機能選択レジスタ	P2_2S	0XXX X000b
0400B5h	ポートP3_2機能選択レジスタ	P3_2S	XXXX X000b
0400B6h	ポートP2_3機能選択レジスタ	P2_3S	0XXX X000b
0400B7h	ポートP3_3機能選択レジスタ	P3_3S	XXXX X000b
0400B8h	ポートP2_4機能選択レジスタ	P2_4S	0XXX X000b
0400B9h	ポートP3_4機能選択レジスタ	P3_4S	XXXX X000b
0400BAh	ポートP2_5機能選択レジスタ	P2_5S	0XXX X000b
0400BBh	ポートP3_5機能選択レジスタ	P3_5S	XXXX X000b
0400BCh	ポートP2_6機能選択レジスタ	P2_6S	0XXX X000b
0400BDh	ポートP3_6機能選択レジスタ	P3_6S	XXXX X000b
0400BEh	ポートP2_7機能選択レジスタ	P2_7S	0XXX X000b
0400BFh	ポートP3_7機能選択レジスタ	P3_7S	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 64ピン版では“0000 0000b”となります。

注2. 64ピン版では“0000 000Xb”となります。

注3. 64ピン版にのみあります。100ピン版ではアクセスしないでください。

表 4.21 SFR一覧(21)

番地	レジスタ	シンボル	リセット後の値
0400C0h	ポートP4_0機能選択レジスタ	P4_0S	XXXX X000b
0400C1h	ポートP5_0機能選択レジスタ	P5_0S	XXXX X000b
0400C2h	ポートP4_1機能選択レジスタ	P4_1S	XXXX X000b
0400C3h	ポートP5_1機能選択レジスタ	P5_1S	XXXX X000b
0400C4h	ポートP4_2機能選択レジスタ	P4_2S	XXXX X000b
0400C5h	ポートP5_2機能選択レジスタ	P5_2S	XXXX X000b
0400C6h	ポートP4_3機能選択レジスタ	P4_3S	XXXX X000b
0400C7h	ポートP5_3機能選択レジスタ	P5_3S	XXXX X000b
0400C8h	ポートP4_4機能選択レジスタ	P4_4S	XXXX X000b
0400C9h	ポートP5_4機能選択レジスタ	P5_4S	XXXX X000b
0400CAh	ポートP4_5機能選択レジスタ	P4_5S	XXXX X000b
0400CBh	ポートP5_5機能選択レジスタ	P5_5S	XXXX X000b
0400CCh	ポートP4_6機能選択レジスタ	P4_6S	XXXX X000b
0400CDh	ポートP5_6機能選択レジスタ	P5_6S	XXXX X000b
0400CEh	ポートP4_7機能選択レジスタ	P4_7S	XXXX X000b
0400CFh	ポートP5_7機能選択レジスタ	P5_7S	XXXX X000b
0400D0h	ポートP6_0機能選択レジスタ	P6_0S	XXXX X000b
0400D1h	ポートP7_0機能選択レジスタ	P7_0S	XXXX X000b
0400D2h	ポートP6_1機能選択レジスタ	P6_1S	XXXX X000b
0400D3h	ポートP7_1機能選択レジスタ	P7_1S	XXXX X000b
0400D4h	ポートP6_2機能選択レジスタ	P6_2S	XXXX X000b
0400D5h	ポートP7_2機能選択レジスタ	P7_2S	XXXX X000b
0400D6h	ポートP6_3機能選択レジスタ	P6_3S	XXXX X000b
0400D7h	ポートP7_3機能選択レジスタ	P7_3S	XXXX X000b
0400D8h	ポートP6_4機能選択レジスタ	P6_4S	XXXX X000b
0400D9h	ポートP7_4機能選択レジスタ	P7_4S	XXXX X000b
0400DAh	ポートP6_5機能選択レジスタ	P6_5S	XXXX X000b
0400DBh	ポートP7_5機能選択レジスタ	P7_5S	XXXX X000b
0400DCh	ポートP6_6機能選択レジスタ	P6_6S	XXXX X000b
0400DDh	ポートP7_6機能選択レジスタ	P7_6S	XXXX X000b
0400DEh	ポートP6_7機能選択レジスタ	P6_7S	XXXX X000b
0400DFh	ポートP7_7機能選択レジスタ	P7_7S	XXXX X000b
0400E0h	ポートP8_0機能選択レジスタ	P8_0S	XXXX X000b
0400E1h			
0400E2h	ポートP8_1機能選択レジスタ	P8_1S	XXXX X000b
0400E3h			
0400E4h	ポートP8_2機能選択レジスタ	P8_2S	XXXX X000b
0400E5h			
0400E6h	ポートP8_3機能選択レジスタ	P8_3S	XXXX X000b
0400E7h	ポートP9_3機能選択レジスタ	P9_3S	0XXX X000b
0400E8h	ポートP8_4機能選択レジスタ	P8_4S	XXXX X000b
0400E9h	ポートP9_4機能選択レジスタ	P9_4S	0XXX X000b
0400EAh			
0400EBh	ポートP9_5機能選択レジスタ	P9_5S	0XXX X000b
0400ECh	ポートP8_6機能選択レジスタ	P8_6S	XXXX X000b
0400EDh	ポートP9_6機能選択レジスタ	P9_6S	0XXX X000b
0400EEh	ポートP8_7機能選択レジスタ	P8_7S	XXXX X000b
0400EFh	ポートP9_7機能選択レジスタ	P9_7S	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.22 SFR一覧(22)

番地	レジスタ	シンボル	リセット後の値
0400F0h	ポートP10_0機能選択レジスタ	P10_0S	0XXX X000b
0400F1h			
0400F2h	ポートP10_1機能選択レジスタ	P10_1S	0XXX X000b
0400F3h			
0400F4h	ポートP10_2機能選択レジスタ	P10_2S	0XXX X000b
0400F5h			
0400F6h	ポートP10_3機能選択レジスタ	P10_3S	0XXX X000b
0400F7h			
0400F8h	ポートP10_4機能選択レジスタ	P10_4S	0XXX X000b
0400F9h			
0400FAh	ポートP10_5機能選択レジスタ	P10_5S	0XXX X000b
0400FBh			
0400FCh	ポートP10_6機能選択レジスタ	P10_6S	0XXX X000b
0400FDh			
0400FEh	ポートP10_7機能選択レジスタ	P10_7S	0XXX X000b
0400FFh			
040100h			
040101h			
040102h			
040103h			
040104h			
040105h			
040106h			
040107h			
040108h			
040109h			
04010Ah			
04010Bh			
04010Ch			
04010Dh			
04010Eh			
04010Fh			
040110h			
040111h			
040112h			
040113h			
040114h			
040115h			
040116h			
040117h			
040118h			
040119h			
04011Ah			
04011Bh			
04011Ch			
04011Dh			
04011Eh			
04011Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.23 SFR一覧(23)

番地	レジスタ	シンボル	リセット後の値
040120h~			
04403Fh			
044040h			
044041h			
044042h			
044043h			
044044h			
044045h			
044046h			
044047h			
044048h			
044049h			
04404Ah			
04404Bh			
04404Ch			
04404Dh			
04404Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXXX XXXXb
04404Fh	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXXb
044050h			
044051h			
044052h			
044053h			
044054h			
044055h			
044056h			
044057h			
044058h			
044059h			
04405Ah			
04405Bh			
04405Ch			
04405Dh			
04405Eh			
04405Fh	プロテクトレジスタ2	PRCR2	0XXX XXXXb

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.24 SFR 一覧 (24)

番地	レジスタ	シンボル	リセット後の値
044060h			
044061h			
044062h			
044063h			
044064h			
044065h			
044066h			
044067h			
044068h			
044069h			
04406Ah			
04406Bh			
04406Ch			
04406Dh	外部割り込み要因選択レジスタ 1	IFSR1	X0XX XXXXb
04406Eh			
04406Fh	外部割り込み要因選択レジスタ 0	IFSR0	0000 0000b
044070h	DMA0 起動要因選択レジスタ 2	DM0SL2	XX00 0000b
044071h	DMA1 起動要因選択レジスタ 2	DM1SL2	XX00 0000b
044072h	DMA2 起動要因選択レジスタ 2	DM2SL2	XX00 0000b
044073h	DMA3 起動要因選択レジスタ 2	DM3SL2	XX00 0000b
044074h			
044075h			
044076h			
044077h			
044078h	DMA0 起動要因選択レジスタ	DM0SL	XXX0 0000b
044079h	DMA1 起動要因選択レジスタ	DM1SL	XXX0 0000b
04407Ah	DMA2 起動要因選択レジスタ	DM2SL	XXX0 0000b
04407Bh	DMA3 起動要因選択レジスタ	DM3SL	XXX0 0000b
04407Ch			
04407Dh	復帰用割り込み優先レベル設定レジスタ 2	RIPL2	XX0X 0000b
04407Eh			
04407Fh	復帰用割り込み優先レベル設定レジスタ 1	RIPL1	XX0X 0000b
044080h			
044081h			
044082h			
044083h			
044084h			
044085h			
044086h			
044087h			
044088h			
044089h			
04408Ah			
04408Bh			
04408Ch			
04408Dh			
04408Eh			
04408Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

5. 電気的特性

表 5.1 絶対最大定格(注1)

記号	項目		条件	定格値(注2)	単位
V_{CC1}, V_{CC2}	電源電圧		$V_{CC1} = AV_{CC}$	-0.3 ~ 6.0	V
V_{CC2}	電源電圧		—	-0.3 ~ V_{CC1}	V
AV_{CC}	アナログ電源電圧		$V_{CC1} = AV_{CC}$	-0.3 ~ 6.0	V
V_I	入力電圧	XIN, RESET, CNVSS, NSD, V_{REF} , P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_1, P9_3~P9_7, P10_0~P10_7 (注3)		-0.3 ~ $V_{CC1} + 0.3$	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7 (注3)		-0.3 ~ $V_{CC2} + 0.3$	V
		P7_0, P7_1		-0.3 ~ 6.0	V
V_O	出力電圧	XOUT, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7 (注3)		-0.3 ~ $V_{CC1} + 0.3$	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7 (注3)		-0.3 ~ $V_{CC2} + 0.3$	V
		P7_0, P7_1		-0.3 ~ 6.0	V
P_d	消費電力		$T_a = 25^\circ\text{C}$	500	mW
—	動作周囲温度			-40 ~ 85	$^\circ\text{C}$
T_{stg}	保存温度			-65 ~ 150	$^\circ\text{C}$

注1. 絶対最大定格は、瞬時たりとも超過してはならない限界値です。この値を超えて使用した場合には、デバイスの信頼性を著しく下げたり破壊することがあります。また、長期にわたって絶対最大定格の条件下に置かれた場合、デバイスの信頼性に影響することがあります。

注2. V_{CC2} 端子は100ピン版にのみ存在します。64ピン版では V_{CC2} を V_{CC1} と読み替えてご使用ください。

注3. ポートP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4、P5、P9_1、P9_4~P9_7は100ピン版にのみ存在します。

表 5.2 推奨動作条件(1) (注1)

記号	項目	規格値(注2)			単位			
		最小	標準	最大				
V_{CC1} , V_{CC2}	電源電圧($V_{CC1} \geq V_{CC2}$)	3.0	5.0	5.5	V			
AV_{CC}	アナログ電源電圧		V_{CC1}		V			
V_{REF}	基準電圧	3.0		V_{CC1}	V			
V_{SS}	電源電圧		0		V			
AV_{SS}	アナログ電源電圧		0		V			
dV_{CC1}/dt	V_{CC1} 電源立ち上げ勾配($V_{CC1} < 2.0$ V)	0.05			V/ms			
V_{IH}	“H” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7 (注4)	$0.8 \times V_{CC2}$		V_{CC2}	V		
		XIN, RESET, CNVSS, NSD, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7 (注3), P9_1, P9_3~P9_7, P10_0~P10_7 (注4)	$0.8 \times V_{CC1}$		V_{CC1}	V		
		P7_0, P7_1	$0.8 \times V_{CC1}$		6.0	V		
		P0_0~P0_7, P1_0~P1_7 (注4)	シングルチップモード時 $0.8 \times V_{CC2}$		V_{CC2}	V		
				メモリ拡張、マイクロ プロセッサモード時(注 5)	$0.5 \times V_{CC2}$		V_{CC2}	V
V_{IL}	“L” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7 (注4)	0		$0.2 \times V_{CC2}$	V		
		XIN, RESET, CNVSS, NSD, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7 (注3), P9_1, P9_3~P9_7, P10_0~P10_7 (注4)	0		$0.2 \times V_{CC1}$	V		
		P0_0~P0_7, P1_0~P1_7 (注4)	シングルチップモード時 0		$0.2 \times V_{CC2}$	V		
					メモリ拡張、マイクロ プロセッサモード時(注 5)	0		$0.16 \times V_{CC2}$
T_{opr}	動作周囲温度	Nバージョン	-20		85	°C		
		Dバージョン	-40		85	°C		

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2. V_{CC2} 端子は100ピン版にのみ存在します。64ピン版では V_{CC2} を V_{CC1} と読み替えてご使用ください。

注3. P8_7の V_{IH} 、 V_{IL} はP8_7をプログラマブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注4. ポートP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4、P5、P9_1、P9_4~P9_7は100ピン版にのみ存在します。

注5. メモリ拡張モード、マイクロプロセッサモードは100ピン版でのみ使用できます。

表 5.3 推奨動作条件(2) (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$) (注1)

記号	項目	規格値(注2)			単位	
		最小	標準	最大		
C_{VDC}	電圧レギュレータ平滑コンデンサ容量	端子間電圧 1.5 V	2.4		10.0	μF

- 注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。
- 注2. 規格値はコンデンサの使用温度、両端子間の直流電圧、経年変化などのあらゆる条件を考慮した上で満たす必要があります。

表 5.4 推奨動作条件(3) (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$) (注1)

記号	項目	規格値			単位
		最小	標準	最大	
$I_{OH(peak)}$	“H”尖頭出力電流(注2)			-10.0	mA
$I_{OH(avg)}$	“H”平均出力電流(注4)			-5.0	mA
$I_{OL(peak)}$	“L”尖頭出力電流(注2)			10.0	mA
$I_{OL(avg)}$	“L”平均出力電流(注4)			5.0	mA

- 注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。
- 注2. ポートP0, P1, P2, P8_6, P8_7, P9, P10の $I_{OL(peak)}$ の合計は80 mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4の $I_{OL(peak)}$ の合計は80 mA以下、ポートP0, P1, P2の $I_{OH(peak)}$ の合計は-40 mA以下、ポートP8_6, P8_7, P9, P10の $I_{OH(peak)}$ の合計は-40 mA以下、ポートP3, P4, P5の $I_{OH(peak)}$ の合計は-40 mA以下、ポートP6, P7, P8_0~P8_4の $I_{OH(peak)}$ の合計は-40 mA以下にしてください。
- 注3. ポートP0_4~P0_7, P1_0~P1_4, P3_4~P3_7, P4, P5, P9_4~P9_7は100ピン版にのみ存在します。
- 注4. 平均出力電流は100 msの期間内での平均値です。

表 5.5 推奨動作条件(4) (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$) (注1)

記号	項目	規格値			単位
		最小	標準	最大	
$f_{(XIN)}$	メインクロック入力発振周波数	4		16	MHz
$f_{(XRef)}$	基準クロック周波数	2		4	MHz
$f_{(PLL)}$	PLLクロック発振周波数	96		128	MHz
$f_{(Base)}$	ベースクロック周波数			50	MHz
$t_{c(Base)}$	ベースクロックサイクル時間	20			ns
$f_{(CPU)}$	CPU動作周波数			50	MHz
$t_{c(CPU)}$	CPUクロックサイクル時間	20			ns
$f_{(BCLK)}$	周辺バスクロック周波数			25	MHz
$t_{c(BCLK)}$	周辺バスクロックサイクル時間	40			ns
$f_{(PER)}$	周辺機能クロック源周波数			32	MHz
$f_{(XCIN)}$	サブクロック発振周波数		32.768	62.5	kHz

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

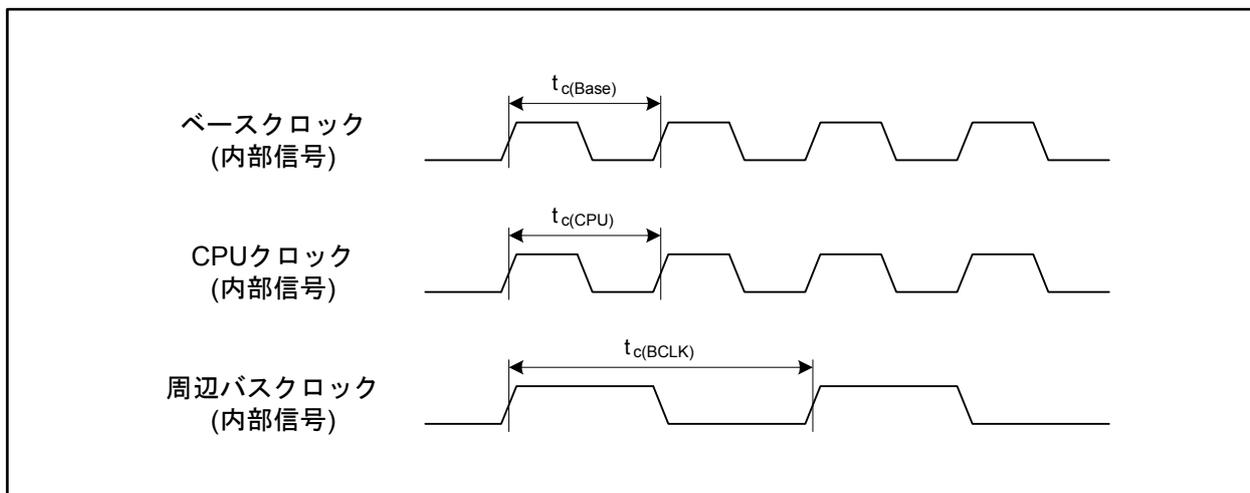


図 5.1 クロックサイクル時間

表 5.6 推奨動作条件(5) (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$) (注1)

記号	項目	規格値			単位
		最小	標準	最大	
$V_{r(VCC1)}$	許容電源リップル電圧	$V_{CC1} = 5.0 \text{ V}$		0.5	Vp-p
		$V_{CC1} = 3.0 \text{ V}$		0.3	Vp-p
$V_{r(VCC2)}$	許容電源リップル電圧	$V_{CC2} = 5.0 \text{ V}$		0.5	Vp-p
		$V_{CC2} = 3.0 \text{ V}$		0.3	Vp-p
$dV_{r(VCC1)}/dt$	電源リップル立ち上がり/立ち下がり勾配	$V_{CC1} = 5.0 \text{ V}$		± 0.3	V/ms
		$V_{CC1} = 3.0 \text{ V}$		± 0.3	V/ms
$dV_{r(VCC2)}/dt$	電源リップル立ち上がり/立ち下がり勾配	$V_{CC2} = 5.0 \text{ V}$		± 0.3	V/ms
		$V_{CC2} = 3.0 \text{ V}$		± 0.3	V/ms
$f_r(VCC1)$	許容電源リップル周波数			10	kHz
$f_r(VCC2)$	許容電源リップル周波数			10	kHz

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

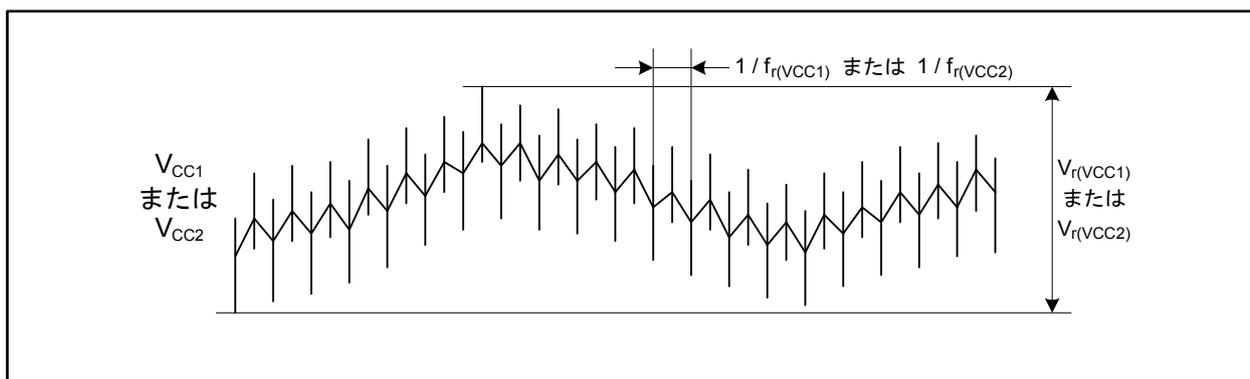


図 5.2 電源リップル波形

表 5.7 RAMの電気的特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{RDR}	RAMデータ保持電圧(注1)	ストップモード時	2.0			V

注1. RAMのデータを失わない最低の V_{CC1} 電圧です。

表 5.8 フラッシュメモリの電気的特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目		規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)	プログラム領域	1000			回
		データ領域	10000			回
—	4ワードプログラム時間	プログラム領域		150	900	μs
		データ領域		300	1700	μs
—	ロックビットプログラム時間	プログラム領域		70	500	μs
		データ領域		140	1000	μs
—	ブロックイレーズ時間	4Kバイトブロック		0.12	3.0	s
		32Kバイトブロック		0.17	3.0	s
		64Kバイトブロック		0.20	3.0	s
—	データ保持時間(注2)	$T_a = 55^\circ\text{C}$ (注3)	10			年

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。プログラム、イレーズ回数がn回の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

たとえば、4KバイトブロックのブロックAについて、それぞれ異なる番地に4ワード書き込みを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。

ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. 規格値は、電源電圧が印加されていない時間、クロックが供給されていない時間も含まれます。

注3. この条件以外でのデータ保持時間につきましては、弊社営業窓口までお問い合わせください。

表 5.9 電源回路のタイミング特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時内部電源安定時間				2	ms

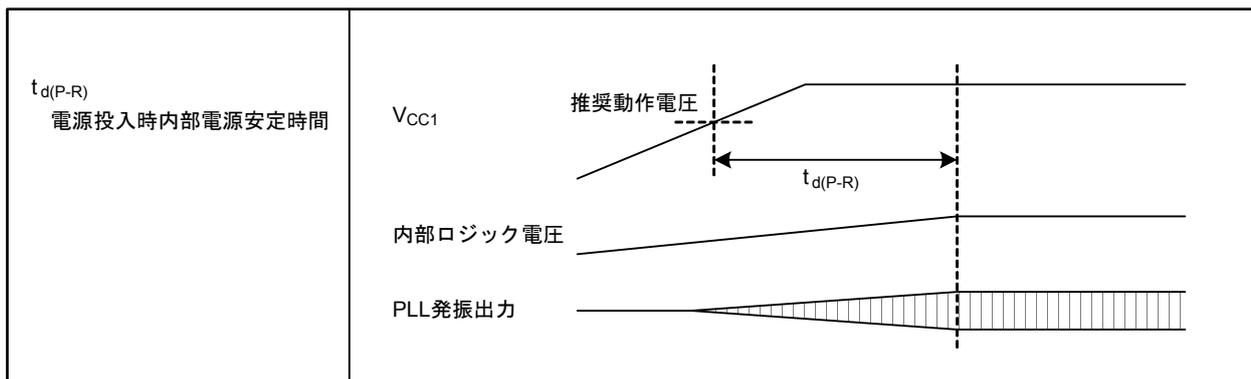


図 5.3 電源回路のタイミング

表 5.10 内部電圧レギュレータの電気的特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{VDC1}	レギュレータ出力電圧			1.5		V

表 5.11 電圧低下検出回路の電気的特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ΔV_{det}	検出電圧誤差				± 0.3	V
$V_{det(R)} - V_{det(F)}$	ヒステリシス幅		0			V
—	自己消費電流	$V_{CC1} = 5.0 \text{ V}$ 、電圧検出回路有効		4		μA
$t_{d(E-A)}$	電圧低下検出回路動作開始時間				150	μs

表 5.12 発振回路の電気的特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$f_{SO(PLL)}$	PLL クロック自励発振周波数		35	55	80	MHz
$t_{LOCK(PLL)}$	PLL 発振安定時間(注1)				1	ms
$t_{jitter(p-p)}$	PLL ジッタ周期(p-p)				2.0	ns
$f_{(OCO)}$	オンチップオシレータ発振周波数		62.5	125	250	kHz

注1. メインクロックの発振が安定していることが条件となります。

表 5.13 クロック回路の電気的特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{rec(WAIT)}$	ウェイトモード→低消費電力モードリカバリ時間				225	μs
$t_{rec(STOP)}$	ストップモードリカバリ時間(注1)				225	μs

注1. メインクロックの発振安定時間は含みません。発振が安定する前にCPUは動作を開始します。

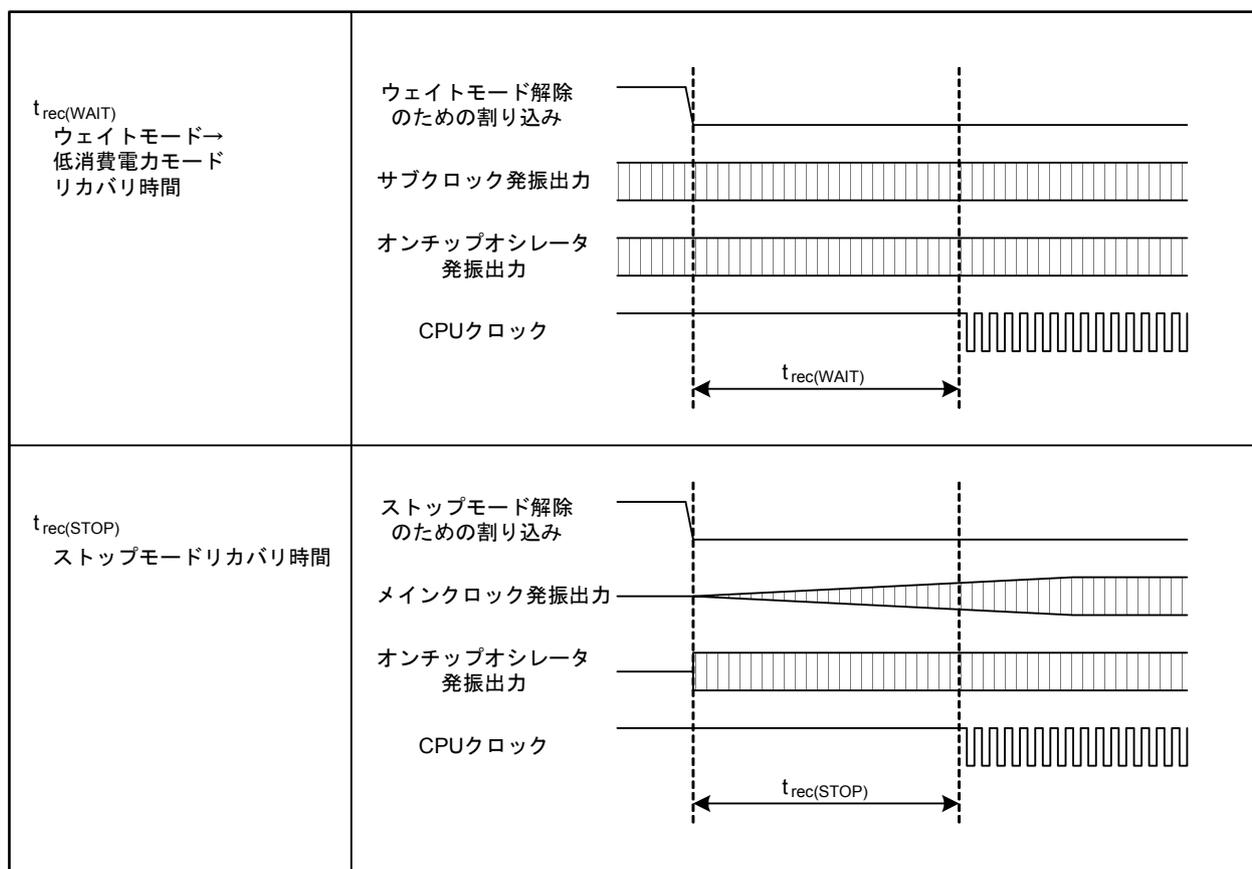


図 5.4 クロック回路のタイミング図

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.14 フラッシュメモリCPU書き換えモードタイミング

記号	項目	規格値		単位
		最小	最大	
t_{cR}	リードサイクル時間	200		ns
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	200		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間	0		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間	200		ns
$t_{h(R-A)}$	リード後アドレスホールド時間	0		ns
$t_{w(R)}$	リードパルス幅	100		ns
t_{cW}	ライトサイクル時間	200		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間	0		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間	30		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間	0		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間	30		ns
$t_{w(W)}$	ライトパルス幅	50		ns

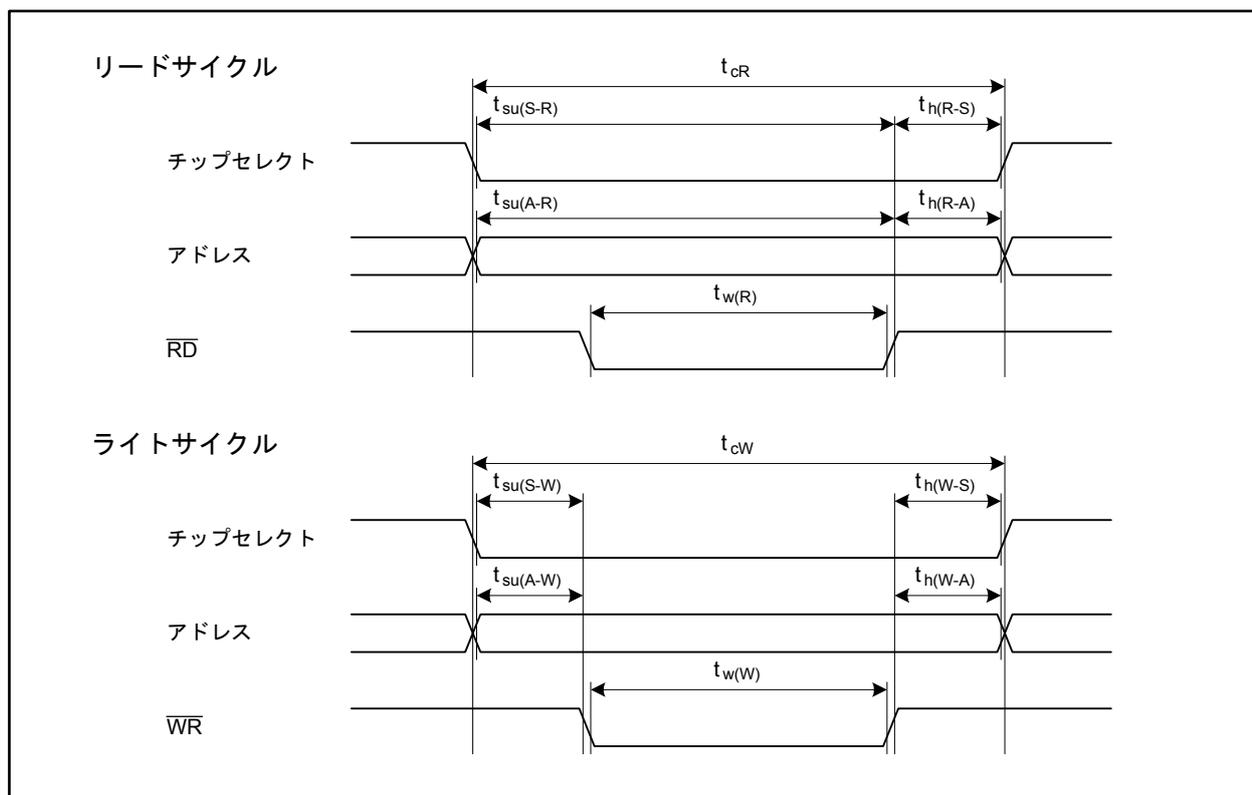


図 5.5 フラッシュメモリCPU書き換えモードタイミング

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

表 5.15 電気的特性(1) (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 50 \text{ MHz}$)

記号	項目	測定条件	規格値(注2)			単位	
			最小	標準	最大		
V _{OH}	"H" 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7 (注1)	I _{OH} = -5 mA	V _{CC2} - 2.0		V _{CC2}	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7 (注1)	I _{OH} = -5 mA	V _{CC1} - 2.0		V _{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7 (注1)	I _{OH} = -200 μA	V _{CC2} - 0.3		V _{CC2}	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7 (注1)	I _{OH} = -200 μA	V _{CC1} - 0.3		V _{CC1}	V
V _{OL}	"L" 出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7 (注1)	I _{OL} = 5 mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7 (注1)	I _{OL} = 200 μA			0.45	V

注1. ポート P0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4、P5、P9_4~P9_7は100ピン版にのみ存在します。

注2. V_{CC2}端子は100ピン版にのみ存在します。64ピン版ではV_{CC2}をV_{CC1}と読み替えてご使用ください。

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

表 5.16 電気的特性(2) (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 50 \text{ MHz}$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
$V_{T+} - V_{T-}$	ヒステリシス	HOLD, RDY, NMI, INT0~INT5, KI0~KI3, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, $\overline{CTS0}$ ~ $\overline{CTS8}$, CLK0~CLK8, RXD0~RXD8, SCL0~SCL6, SDA0~SDA6, $\overline{SS0}$ ~ $\overline{SS6}$, SRXD0~SRXD6, ADTRG, IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, ISCLK2, ISRXD2, IEIN (注1)		0.2	1.0	V	
		\overline{RESET}		0.2	1.8	V	
I_{IH}	“H”入力電流	XIN, \overline{RESET} , CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_1, P9_3~P9_7, P10_0~P10_7 (注2)	$V_I = 5 \text{ V}$		5.0	μA	
I_{IL}	“L”入力電流	XIN, \overline{RESET} , CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_1, P9_3~P9_7, P10_0~P10_7 (注2)	$V_I = 0 \text{ V}$		-5.0	μA	
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_1, P9_3~P9_7, P10_0~P10_7 (注2)	$V_I = 0 \text{ V}$	30	50	170	k Ω
R_{fXIN}	帰還抵抗	XIN		1.5		M Ω	
R_{fXCIN}	帰還抵抗	XCIN		15		M Ω	

注1. TB4IN、 $\overline{CTS4}$ 、CLK4、RXD4、SCL4、SDA4、 $\overline{SS4}$ 、SRXD4、およびUART6、UART7の各端子は100ピン版にのみ存在します。

注2. ポートP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4、P5、P9_1、P9_4~P9_7は100ピン版にのみ存在します。

$$V_{CC1} = V_{CC2} = 5 V$$

表 5.17 電気的特性(3) (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 シングルチップモードで出力端子は開放、その他の端子はV _{SS} に接続 XIN-XOUT 駆動能力: Low XCIN-XCOUT 駆動能力: Low	f _(CPU) = 50 MHz、f _(BCLK) = 25 MHz、 f _(XIN) = 8 MHz、PLL発振、XCIN停止、 OCO停止		32	45	mA
		f _(CPU) = f _{SO(PLL)} /24 MHz、XIN停止、 PLL自励発振、XCIN停止、OCO停止		10		mA
		f _(CPU) = f _(BCLK) = f _(XIN) /256 MHz、 f _(XIN) = 8 MHz、PLL停止、XCIN停止、 OCO停止		1.2		mA
		f _(CPU) = f _(BCLK) = 32.768 kHz、XIN停止、 PLL停止、XCIN発振、OCO停止、メイ ンレギュレータ停止		220		μA
		f _(CPU) = f _(BCLK) = f _(OCO) /4 kHz、XIN停 止、PLL停止、XCIN停止、OCO発振、 メインレギュレータ停止		230		μA
		f _(CPU) = f _(BCLK) = f _(XIN) /256 MHz、 f _(XIN) = 8 MHz、PLL停止、XCIN停止、 OCO停止、ウェイトモード、T _a = 25°C		960	1600	μA
		f _(CPU) = f _(BCLK) = 32.768 kHz、XIN停止、 PLL停止、XCIN発振、OCO停止、メイ ンレギュレータ停止、ウェイトモード、 T _a = 25°C		8	140	μA
		f _(CPU) = f _(BCLK) = f _(OCO) /4 kHz、XIN停 止、PLL停止、XCIN停止、OCO発振、 メインレギュレータ停止、ウェイトモ ード、T _a = 25°C		10	150	μA
クロック停止、メインレギュレータ停 止、T _a = 25°C		5	70	μA		

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

表 5.18 A/D変換特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = AV_{CC} = V_{REF} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(BCLK)} = 25 \text{ MHz}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	$V_{REF} = V_{CC1}$			10	Bits
—	絶対誤差	$V_{REF} = V_{CC1} = V_{CC2} = 5 \text{ V}$ AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, ANEX0, ANEX1 (注 1)			± 3	LSB
			外部オペアンプ接続 モード			± 7
INL	積分非直線性誤差	$V_{REF} = V_{CC1} = V_{CC2} = 5 \text{ V}$ AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, ANEX0, ANEX1 (注 1)			± 3	LSB
			外部オペアンプ接続 モード			± 7
DNL	微分非直線性誤差				± 1	LSB
—	オフセット誤差				± 3	LSB
—	ゲイン誤差				± 3	LSB
R _{LADDER}	ラダー抵抗	$V_{REF} = V_{CC1}$	4		20	k Ω
t _{CONV}	変換時間(10bit)	$\phi_{AD} = 16 \text{ MHz}$ 、サンプル&ホールドあり	2.06			μs
		$\phi_{AD} = 16 \text{ MHz}$ 、サンプル&ホールドなし	3.69			μs
t _{CONV}	変換時間(8bit)	$\phi_{AD} = 16 \text{ MHz}$ 、サンプル&ホールドあり	1.75			μs
		$\phi_{AD} = 16 \text{ MHz}$ 、サンプル&ホールドなし	3.06			μs
t _{SAMP}	サンプリング時間	$\phi_{AD} = 16 \text{ MHz}$	0.188			μs
V _{IA}	アナログ入力電圧		0		V _{REF}	V
ϕ_{AD}	動作クロック周波 数	サンプル&ホールドなし	0.25		16	MHz
		サンプル&ホールドあり	1		16	MHz

注1. AN0_4~AN0_7、ANEX0、ANEX1は100ピン版にのみ存在します。

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

表 5.19 D/A変換特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = AV_{CC} = V_{REF} = 4.2 \sim 5.5 \text{ V}$ 、
 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t_s	設定時間				3	μs
R_O	出力抵抗		4	10	20	$\text{k}\Omega$
I_{VREF}	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ ($i=0, 1$)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。
AD0CON1レジスタのVCUTビットを“0” (V_{REF} 未接続)にした場合でも、 I_{VREF} は流れます。

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.20 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(X)}$	外部クロック入力サイクル時間	62.5	250	ns
$t_{w(XH)}$	外部クロック入力“H”パルス幅	25		ns
$t_{w(XL)}$	外部クロック入力“L”パルス幅	25		ns
$t_{r(X)}$	外部クロック入力立ち上がり時間		5	ns
$t_{f(X)}$	外部クロック入力立ち下がり時間		5	ns
t_w / t_c	外部クロック入力デューティ	40	60	%

表 5.21 外部バスタイミング

記号	項目	規格値		単位
		最小	最大	
$t_{su(D-R)}$	リード前データセットアップ時間	40		ns
$t_{h(R-D)}$	リード後データホールド時間	0		ns
$t_{dis(R-D)}$	リード後データディスエーブル時間		$0.5 \times t_{c(Base)} + 10$	ns

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.22 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 5.23 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	400		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	180		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	180		ns

表 5.24 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 5.25 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 5.26 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(UP)}$	TAiOUT 入力サイクル時間	2000		ns
$t_{W(UPH)}$	TAiOUT 入力 "H" パルス幅	1000		ns
$t_{W(UPL)}$	TAiOUT 入力 "L" パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT 入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT 入力ホールド時間	400		ns

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.27 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	80		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 5.28 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

表 5.29 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.30 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi 入力 "H" パルス幅	80		ns
$t_{w(CKL)}$	CLKi 入力 "L" パルス幅	80		ns
$t_{su(D-C)}$	RXD _i 入力セットアップ時間	80		ns
$t_h(C-D)$	RXD _i 入力ホールド時間	90		ns

表 5.31 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(ADH)}$	ADTRG 入力 "H" パルス幅 ハードウェアトリガ入力 "H" パルス幅	$\frac{3}{\phi_{AD}}$		ns
$t_{w(ADL)}$	ADTRG 入力 "L" パルス幅 ハードウェアトリガ入力 "L" パルス幅	125		ns

表 5.32 外部割り込み \overline{INT}_i 入力

記号	項目		規格値		単位
			最小	最大	
$t_{w(INH)}$	\overline{INT}_i 入力 "H" パルス幅	エッジセンス	250		ns
		レベルセンス	$t_{c(CPU)} + 200$		ns
$t_{w(INL)}$	\overline{INT}_i 入力 "L" パルス幅	エッジセンス	250		ns
		レベルセンス	$t_{c(CPU)} + 200$		ns

表 5.33 インテリジェント I/O 通信機能

記号	項目	規格値		単位
		最小	最大	
$t_{c(ISCLK2)}$	ISCLK2 入力サイクル時間	600		ns
$t_{w(ISCLK2H)}$	ISCLK2 入力 "H" パルス幅	270		ns
$t_{w(ISCLK2L)}$	ISCLK2 入力 "L" パルス幅	270		ns
$t_{su(RXD-ISCLK2)}$	ISRXD2 入力セットアップ時間	150		ns
$t_h(ISCLK2-RXD)$	ISRXD2 入力ホールド時間	100		ns

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

スイッチング特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.34 外部バスタイミング(セパレートバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	図 5.6 参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		$t_{c(Base)} - 10$		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間		(注1)		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		$t_{c(Base)} - 10$		ns
$t_{w(R)}$	リードパルス幅		(注1)		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間		(注1)		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_{w(W)}$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		0		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 ($T_{su(A-R)}$ 、 $T_{w(R)}$ 、 $T_{su(A-W)}$ 、 $T_{w(W)}$) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、ユーザーズマニュアルをご参照ください。

$$t_{su(S-R)} = t_{su(A-R)} = T_{su(A-R)} \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_{w(R)} = T_{w(R)} \times t_{c(Base)} - 10 \text{ [ns]}$$

$$t_{su(S-W)} = t_{su(A-W)} = T_{su(A-W)} \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_{w(W)} = t_{su(D-W)} = T_{w(W)} \times t_{c(Base)} - 10 \text{ [ns]}$$

$$V_{CC1} = V_{CC2} = 5 V$$

スイッチング特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

表 5.35 外部バスタイミング(マルチプレクスバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su}(S-ALE)$	ALE前チップセレクトセットアップ時間	図 5.6参照	(注1)		ns
$t_h(R-S)$	リード後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_{su}(A-ALE)$	ALE前アドレスセットアップ時間		(注1)		ns
$t_h(ALE-A)$	ALE後アドレスホールド時間		$0.5 \times t_{c(Base)} - 5$		ns
$t_h(R-A)$	リード後アドレスホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_d(ALE-R)$	ALE-リード間遅延時間		$0.5 \times t_{c(Base)} - 5$	$0.5 \times t_{c(Base)} + 10$	ns
$t_w(ALE)$	ALEパルス幅		(注1)		ns
$t_{dis}(R-A)$	リード後アドレスディスエーブル時間			8	ns
$t_w(R)$	リードパルス幅		(注1)		ns
$t_h(W-S)$	ライト後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_h(W-A)$	ライト後アドレスホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_d(ALE-W)$	ALE-ライト間遅延時間		$0.5 \times t_{c(Base)} - 5$	$0.5 \times t_{c(Base)} + 10$	ns
$t_w(W)$	ライトパルス幅		(注1)		ns
$t_{su}(D-W)$	ライト前データセットアップ時間		(注1)		ns
$t_h(W-D)$	ライト後データホールド時間		$0.5 \times t_{c(Base)}$		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 ($T_{su}(A-R)$ 、 $T_w(R)$ 、 $T_{su}(A-W)$ 、 $T_w(W)$) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、ユーザーズマニュアルをご参照ください。

$$t_{su}(S-ALE) = t_{su}(A-ALE) = t_w(ALE) = (T_{su}(A-R) - 0.5) \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_w(R) = T_w(R) \times t_{c(Base)} - 10 \text{ [ns]}$$

$$t_w(W) = t_{su}(D-W) = T_w(W) \times t_{c(Base)} - 10 \text{ [ns]}$$

$$V_{CC1} = V_{CC2} = 5 \text{ V}$$

スイッチング特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.36 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(C-Q)}$	TXDi出力遅延時間	図 5.6参照		80	ns
$t_{h(C-Q)}$	TXDi出力ホールド時間		0		ns

表 5.37 インテリジェントI/O通信機能

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(ISCLK2-TXD)}$	ISTXD2出力遅延時間	図 5.6参照		180	ns
$t_{h(ISCLK2-RXD)}$	ISTXD2出力ホールド時間		0		ns

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

表 5.38 電気的特性(1) (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 50 \text{ MHz}$)

記号	項目	測定条件	規格値(注2)			単位	
			最小	標準	最大		
V _{OH}	“H”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7 (注1)	I _{OH} = -1 mA	V _{CC2} - 0.6		V _{CC2}	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7 (注1)	I _{OH} = -1 mA	V _{CC1} - 0.6		V _{CC1}	V
V _{OL}	“L”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7 (注1)	I _{OL} = 1 mA			0.5	V

注1. ポートP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4、P5、P9_4~P9_7は100ピン版にのみ存在します。

注2. V_{CC2}端子は100ピン版にのみ存在します。64ピン版ではV_{CC2}をV_{CC1}と読み替えてご使用ください。

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

表 5.39 電気的特性(2) (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 50 \text{ MHz}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{T+} - V_{T-}$	ヒステリシス	HOLD, RDY, NMI, INT0~INT5, KI0~KI3, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, CTS0~CTS8, CLK0~CLK8, RXD0~RXD8, SCL0~SCL6, SDA0~SDA6, SS0~SS6, SRXD0~SRXD6, ADTRG, IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, ISCLK2, ISRXD2, IEIN (注1)				
		RESET	0.2		1.0	V
I_{IH}	“H”入力電流	XIN, RESET, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_1, P9_3~P9_7, P10_0~P10_7 (注2)	$V_I = 3.3 \text{ V}$			4.0 μA
I_{IL}	“L”入力電流	XIN, RESET, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_1, P9_3~P9_7, P10_0~P10_7 (注2)	$V_I = 0 \text{ V}$			-4.0 μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_1, P9_3~P9_7, P10_0~P10_7 (注2)	$V_I = 0 \text{ V}$	50	100	500 $\text{k}\Omega$
R_{fXIN}	帰還抵抗	XIN			3	$\text{M}\Omega$
R_{fXCIN}	帰還抵抗	XCIN			25	$\text{M}\Omega$

注1. TB4IN、CTS4、CLK4、RXD4、SCL4、SDA4、SS4、SRXD4、およびUART6、UART7の各端子は100ピン版にのみ存在します。

注2. ポートP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P4、P5、P9_1、P9_4~P9_7は100ピン版にのみ存在します。

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

表 5.40 電気的特性(3) (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 シングルチップモードで出力端子は開放、その他の端子はV _{SS} に接続 XIN-XOUT 駆動能力: Low XCIN-XCOUT 駆動能力: Low	f _(CPU) = 50 MHz、f _(BCLK) = 25 MHz、 f _(XIN) = 8 MHz、PLL 発振、XCIN 停止、 OCO 停止		28	40	mA
		f _(CPU) = f _{SO(PLL)} /24 MHz、XIN 停止、 PLL 自励発振、XCIN 停止、OCO 停止		7		mA
		f _(CPU) = f _(BCLK) = f _(XIN) /256 MHz、 f _(XIN) = 8 MHz、PLL 停止、XCIN 停止、 OCO 停止		670		μA
		f _(CPU) = f _(BCLK) = 32.768 kHz、XIN 停止、 PLL 停止、XCIN 発振、OCO 停止、メイ ンレギュレータ停止		180		μA
		f _(CPU) = f _(BCLK) = f _(OCO) /4 kHz、XIN 停 止、PLL 停止、XCIN 停止、OCO 発振、 メインレギュレータ停止		190		μA
		f _(CPU) = f _(BCLK) = f _(XIN) /256 MHz、 f _(XIN) = 8 MHz、PLL 停止、XCIN 停止、 OCO 停止、ウェイトモード、T _a = 25°C		500	900	μA
		f _(CPU) = f _(BCLK) = 32.768 kHz、XIN 停止、 PLL 停止、XCIN 発振、OCO 停止、メイ ンレギュレータ停止、ウェイトモード、 T _a = 25°C		8	140	μA
		f _(CPU) = f _(BCLK) = f _(OCO) /4 kHz、XIN 停 止、PLL 停止、XCIN 停止、OCO 発振、 メインレギュレータ停止、ウェイトモー ド、T _a = 25°C		10	150	μA
クロック停止、メインレギュレータ停 止、T _a = 25°C		5	70	μA		

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

表 5.41 A/D変換特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = AV_{CC} = V_{REF} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(BCLK)} = 25 \text{ MHz}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	$V_{REF} = V_{CC1}$			10	Bits
—	絶対誤差	$V_{REF} = V_{CC1} = V_{CC2} = 3.3 \text{ V}$ AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, ANEX0, ANEX1 (注1)			± 5	LSB
					± 7	LSB
INL	積分非直線性誤差	$V_{REF} = V_{CC1} = V_{CC2} = 3.3 \text{ V}$ AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, ANEX0, ANEX1 (注1)			± 5	LSB
					± 7	LSB
DNL	微分非直線性誤差	$V_{REF} = V_{CC1} = V_{CC2} = 3.3 \text{ V}$			± 1	LSB
—	オフセット誤差				± 3	LSB
—	ゲイン誤差				± 3	LSB
R _{LADDER}	ラダー抵抗	$V_{REF} = V_{CC1}$	4		20	k Ω
t _{CONV}	変換時間(10bit)	$\phi_{AD} = 10 \text{ MHz}$ 、サンプル&ホールドあり	3.3			μs
t _{CONV}	変換時間(8bit)	$\phi_{AD} = 10 \text{ MHz}$ 、サンプル&ホールドあり	2.8			μs
t _{SAMP}	サンプリング時間	$\phi_{AD} = 10 \text{ MHz}$	0.3			μs
V _{IA}	アナログ入力電圧		0		V _{REF}	V
ϕ_{AD}	動作クロック周波数	サンプル&ホールドなし	0.25		10	MHz
		サンプル&ホールドあり	1		10	MHz

注1. AN0_4~AN0_7、ANEX0、ANEX1は100ピン版にのみ存在します。

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

表 5.42 D/A変換特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = AV_{CC} = V_{REF} = 3.0 \sim 3.6 \text{ V}$ 、
 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t_S	設定時間				3	μs
R_O	出力抵抗		4	10	20	$\text{k}\Omega$
I_{VREF}	基準電源入力電流	(注1)			1.0	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ ($i=0, 1$)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。
AD0CON1レジスタのVCUTビットを“0” (V_{REF} 未接続)にした場合でも、 I_{VREF} は流れます。

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.43 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(X)}$	外部クロック入力サイクル時間	62.5	250	ns
$t_{w(XH)}$	外部クロック入力“H”パルス幅	25		ns
$t_{w(XL)}$	外部クロック入力“L”パルス幅	25		ns
$t_{r(X)}$	外部クロック入力立ち上がり時間		5	ns
$t_{f(X)}$	外部クロック入力立ち下がり時間		5	ns
t_w / t_c	外部クロック入力デューティ	40	60	%

表 5.44 外部バスタイミング

記号	項目	規格値		単位
		最小	最大	
$t_{su(D-R)}$	リード前データセットアップ時間	40		ns
$t_{h(R-D)}$	リード後データホールド時間	0		ns
$t_{dis(R-D)}$	リード後データディスエーブル時間		$0.5 \times t_{c(Base)} + 10$	ns

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.45 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 5.46 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	400		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	180		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	180		ns

表 5.47 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 5.48 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 5.49 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(UP)}$	TAiOUT 入力サイクル時間	2000		ns
$t_{W(UPH)}$	TAiOUT 入力 "H" パルス幅	1000		ns
$t_{W(UPL)}$	TAiOUT 入力 "L" パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT 入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT 入力ホールド時間	400		ns

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.50 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	80		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 5.51 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

表 5.52 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.53 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi 入力 "H" パルス幅	80		ns
$t_{w(CKL)}$	CLKi 入力 "L" パルス幅	80		ns
$t_{su(D-C)}$	RXD _i 入力セットアップ時間	80		ns
$t_h(C-D)$	RXD _i 入力ホールド時間	90		ns

表 5.54 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(ADH)}$	ADTRG 入力 "H" パルス幅 ハードウェアトリガ入力 "H" パルス幅	$\frac{3}{\phi_{AD}}$		ns
$t_{w(ADL)}$	ADTRG 入力 "L" パルス幅 ハードウェアトリガ入力 "L" パルス幅	125		ns

表 5.55 外部割り込み \overline{INT}_i 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INT}_i 入力 "H" パルス幅	エッジセンス	250	ns
		レベルセンス	$t_{c(CPU)} + 200$	ns
$t_{w(INL)}$	\overline{INT}_i 入力 "L" パルス幅	エッジセンス	250	ns
		レベルセンス	$t_{c(CPU)} + 200$	ns

表 5.56 インテリジェント I/O 通信機能

記号	項目	規格値		単位
		最小	最大	
$t_{c(ISCLK2)}$	ISCLK2 入力サイクル時間	600		ns
$t_{w(ISCLK2H)}$	ISCLK2 入力 "H" パルス幅	270		ns
$t_{w(ISCLK2L)}$	ISCLK2 入力 "L" パルス幅	270		ns
$t_{su(RXD-ISCLK2)}$	ISRXD2 入力セットアップ時間	150		ns
$t_h(ISCLK2-RXD)$	ISRXD2 入力ホールド時間	100		ns

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

スイッチング特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.57 外部バスタイミング(セパレートバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	図 5.6 参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		$t_{c(Base)} - 10$		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間		(注1)		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		$t_{c(Base)} - 10$		ns
$t_{w(R)}$	リードパルス幅		(注1)		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間		(注1)		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_{w(W)}$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		0		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 ($T_{su(A-R)}$ 、 $T_{w(R)}$ 、 $T_{su(A-W)}$ 、 $T_{w(W)}$) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、ユーザーズマニュアルをご参照ください。

$$t_{su(S-R)} = t_{su(A-R)} = T_{su(A-R)} \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_{w(R)} = T_{w(R)} \times t_{c(Base)} - 10 \text{ [ns]}$$

$$t_{su(S-W)} = t_{su(A-W)} = T_{su(A-W)} \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_{w(W)} = t_{su(D-W)} = T_{w(W)} \times t_{c(Base)} - 10 \text{ [ns]}$$

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

スイッチング特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.58 外部バスタイミング(マルチプレクスバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su}(S-ALE)$	ALE前チップセレクトセットアップ時間	図 5.6参照	(注1)		ns
$t_h(R-S)$	リード後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_{su}(A-ALE)$	ALE前アドレスセットアップ時間		(注1)		ns
$t_h(ALE-A)$	ALE後アドレスホールド時間		$0.5 \times t_{c(Base)} - 5$		ns
$t_h(R-A)$	リード後アドレスホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_d(ALE-R)$	ALE-リード間遅延時間		$0.5 \times t_{c(Base)} - 5$	$0.5 \times t_{c(Base)} + 10$	ns
$t_w(ALE)$	ALEパルス幅		(注1)		ns
$t_{dis}(R-A)$	リード後アドレスディスエーブル時間			8	ns
$t_w(R)$	リードパルス幅		(注1)		ns
$t_h(W-S)$	ライト後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_h(W-A)$	ライト後アドレスホールド時間		$1.5 \times t_{c(Base)} - 10$		ns
$t_d(ALE-W)$	ALE-ライト間遅延時間		$0.5 \times t_{c(Base)} - 5$	$0.5 \times t_{c(Base)} + 10$	ns
$t_w(W)$	ライトパルス幅		(注1)		ns
$t_{su}(D-W)$	ライト前データセットアップ時間		(注1)		ns
$t_h(W-D)$	ライト後データホールド時間		$0.5 \times t_{c(Base)}$		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 ($T_{su}(A-R)$ 、 $T_w(R)$ 、 $T_{su}(A-W)$ 、 $T_w(W)$) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、ユーザーズマニュアルをご参照ください。

$$t_{su}(S-ALE) = t_{su}(A-ALE) = t_w(ALE) = (T_{su}(A-R) - 0.5) \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_w(R) = T_w(R) \times t_{c(Base)} - 10 \text{ [ns]}$$

$$t_w(W) = t_{su}(D-W) = T_w(W) \times t_{c(Base)} - 10 \text{ [ns]}$$

$$V_{CC1} = V_{CC2} = 3.3 \text{ V}$$

スイッチング特性 (指定のない場合は、 $V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 5.59 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(C-Q)}$	TXDi出力遅延時間	図 5.6参照		80	ns
$t_{h(C-Q)}$	TXDi出力ホールド時間		0		ns

表 5.60 インテリジェントI/O通信機能

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(ISCLK2-TXD)}$	ISTXD2出力遅延時間	図 5.6参照		180	ns
$t_{h(ISCLK2-RXD)}$	ISTXD2出力ホールド時間		0		ns

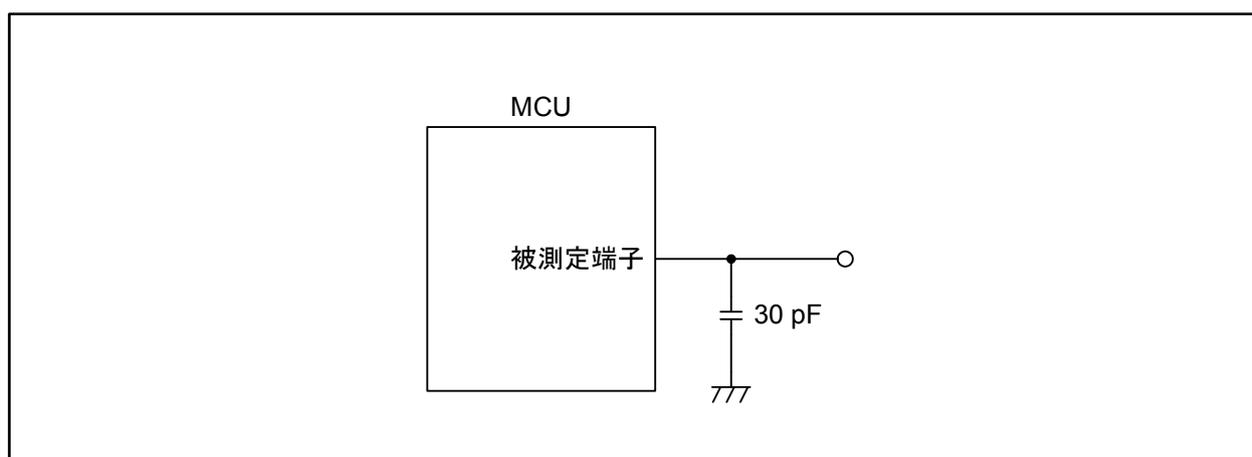


図 5.6 スイッチング特性の測定回路

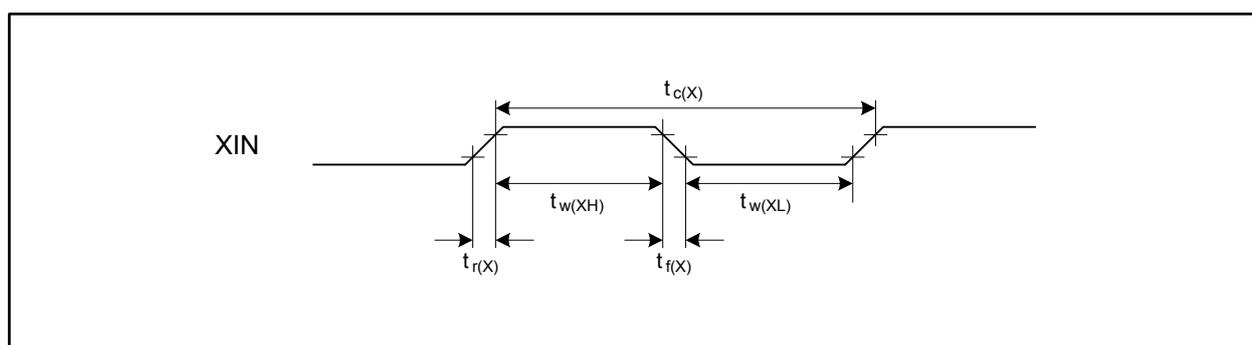


図 5.7 外部クロック入力タイミング図

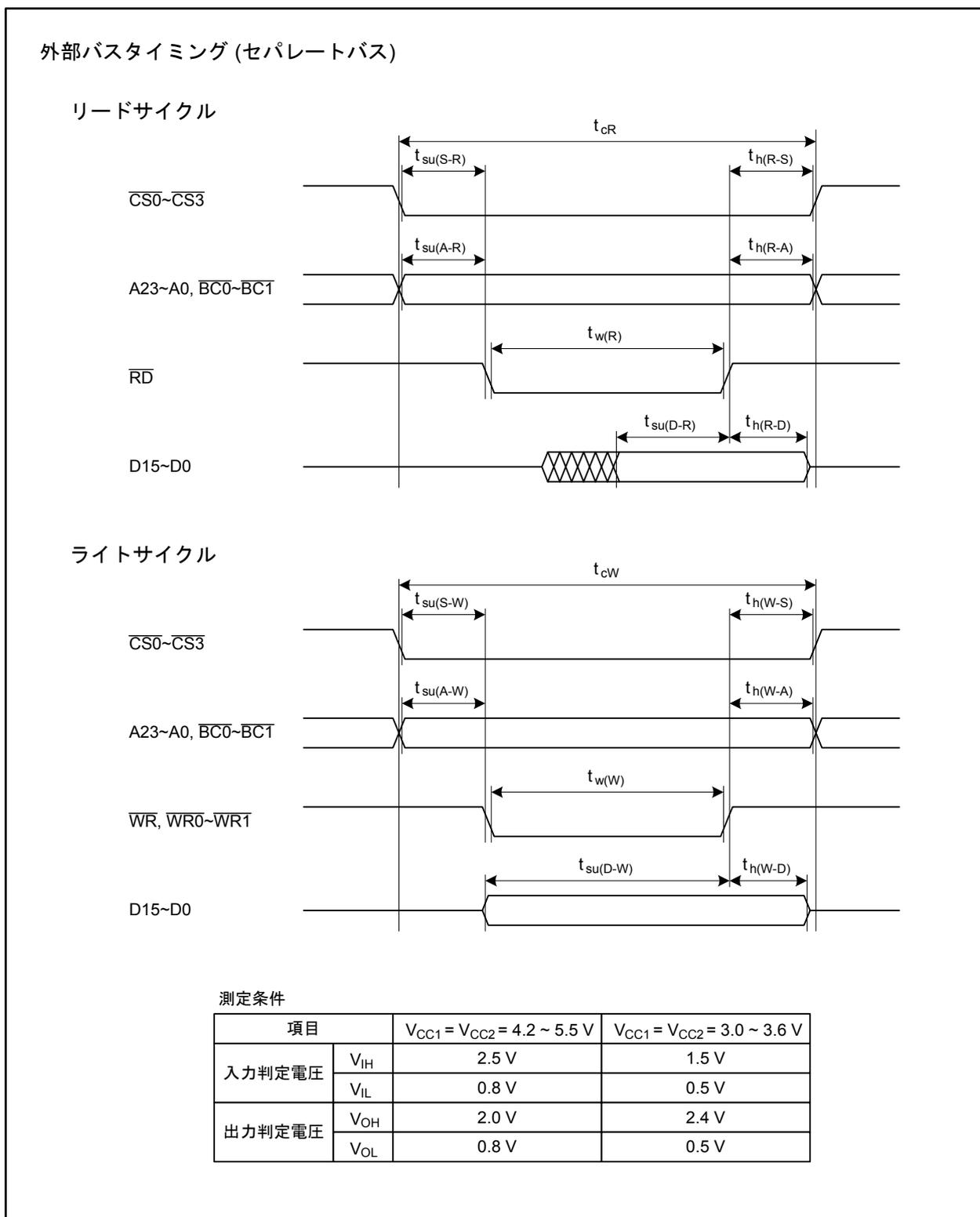
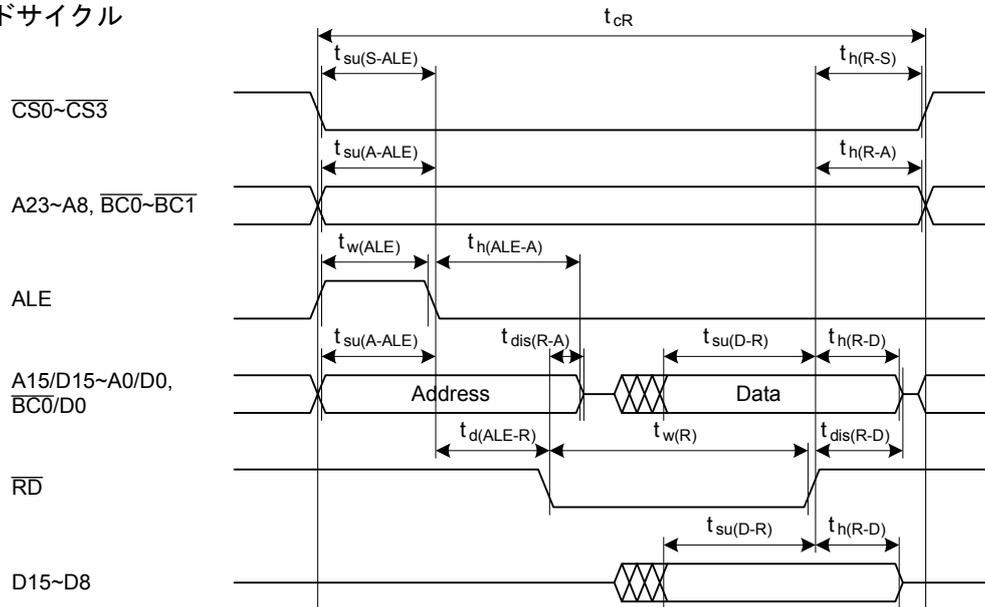


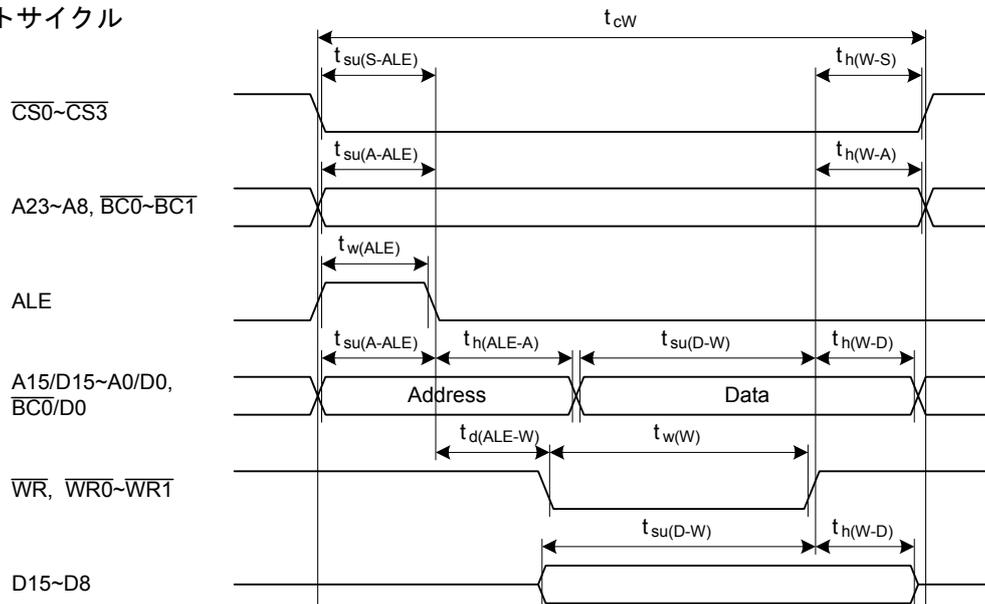
図 5.8 外部バスタイミング図(セパレートバス)

外部バスタイミング (マルチプレクスバス)

リードサイクル



ライトサイクル



測定条件

項目		$V_{CC1} = V_{CC2} = 4.2 \sim 5.5 \text{ V}$	$V_{CC1} = V_{CC2} = 3.0 \sim 3.6 \text{ V}$
入力判定電圧	V_{IH}	2.5 V	1.5 V
	V_{IL}	0.8 V	0.5 V
出力判定電圧	V_{OH}	2.0 V	2.4 V
	V_{OL}	0.8 V	0.5 V

図 5.9 外部バスタイミング図(マルチプレクスバス)

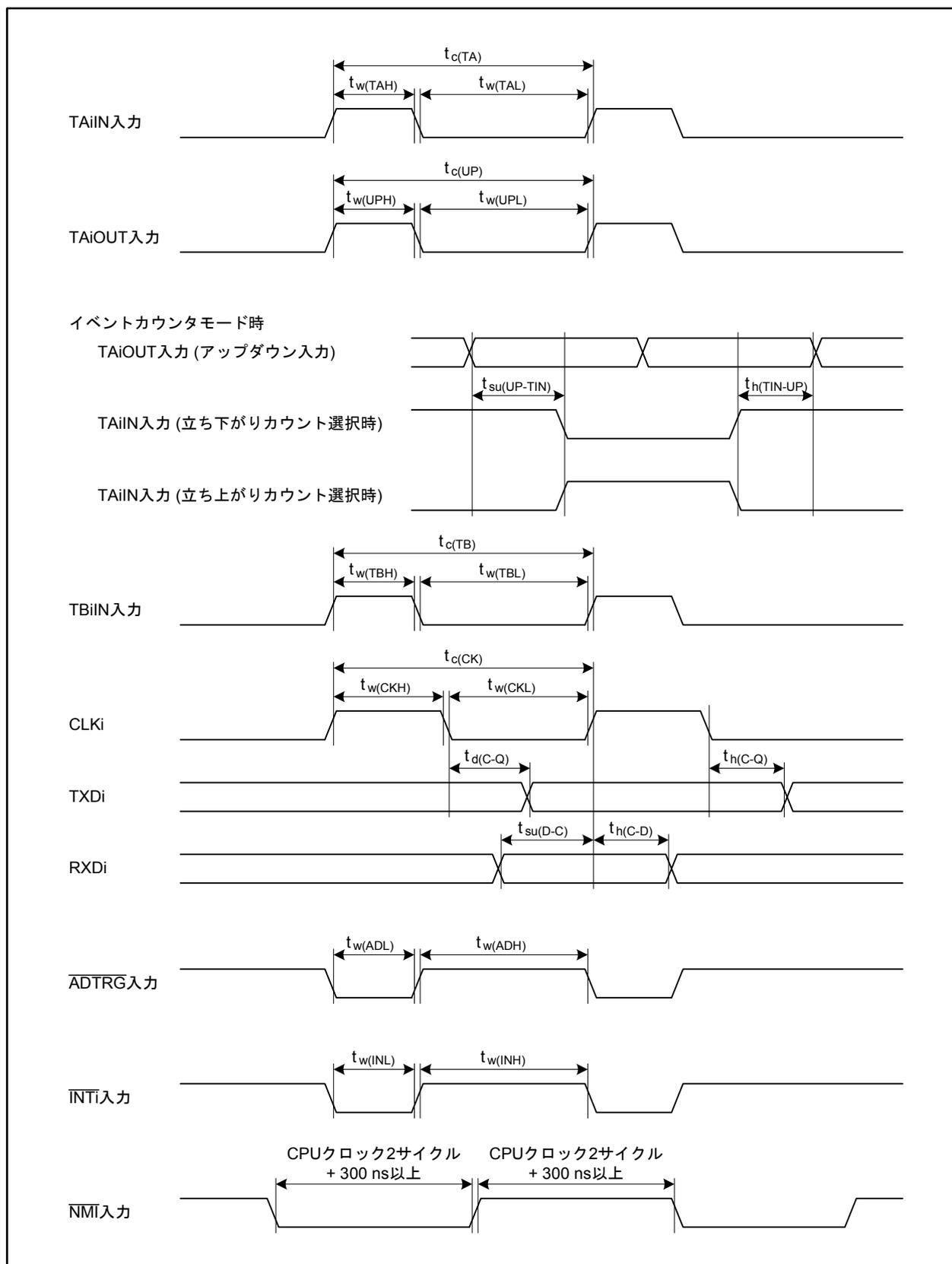
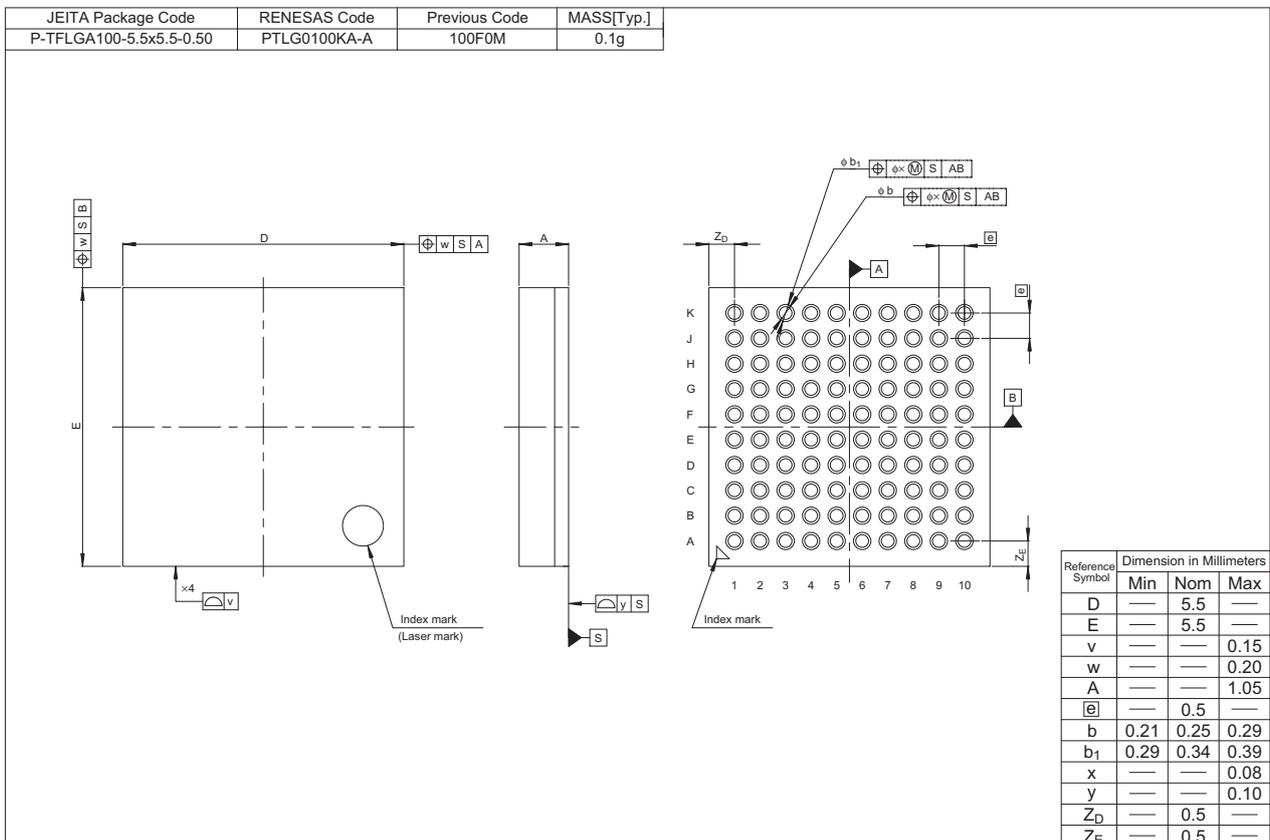
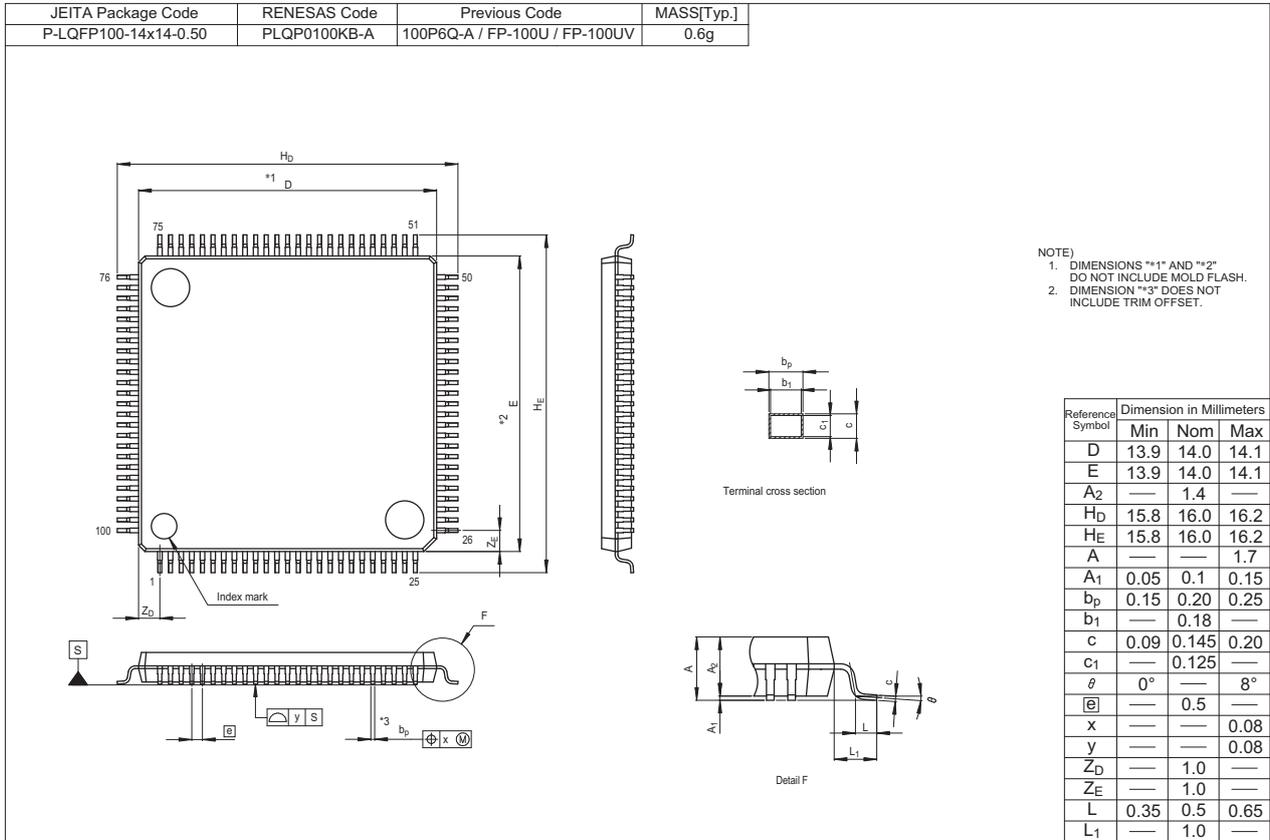
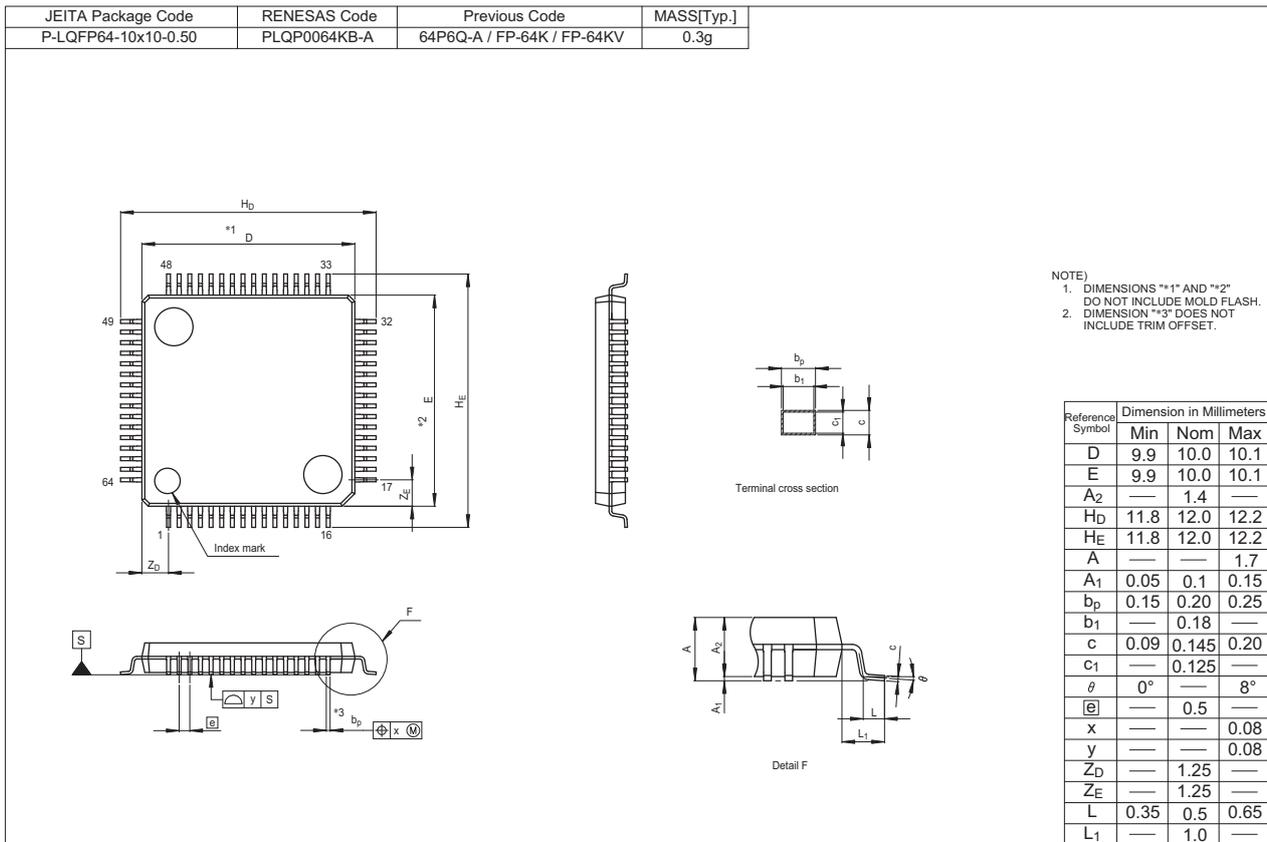


図 5.10 周辺機能タイミング図

付録 1. 外形寸法図





改訂記録	R32C/111グループ データシート
------	---------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.03	2007.10.17		初版発行
0.30	2008.07.07		第二版発行
		—	•動作最大周波数を48MHzから50MHzに変更
		—	•マイクロプロセッサモードをオプションに変更
		—	•オンチップオシレータを公開
			「1. 概要」
		1	•1.1.1 用途からカーオーディオを削除し、その他の用途を追加
		2	•表1.1 最小命令実行時間を20nsに変更
			•表1.1 電圧低下検出回路の「(TBD)」を削除
			•表1.1 DMACの起動要因数を記載
		3	•表1.2 インテリジェントI/OのIEBusをオプションに変更
			•表1.2 動作周波数/電源電圧、消費電流の位置を変更
			•表1.2 動作周囲温度のバージョン名を記載
			•表1.2 動作周囲温度のDバージョンのオプションを削除
			•表1.2 消費電流値を記載
		4	•表1.3 動作周囲温度のバージョン名を記載
			•表1.3 Nバージョンを計画中に変更
		6	•図1.2 記載内容を変更
		8	•表1.4 「CLK5/」の「/」を削除
		11-14	•表1.7~表1.10 項目を一部並び替え
		11	•表1.7 VDCの平滑コンデンサの容量値を削除(「電気的特性」で規定)
			•表1.7 CNVSSの説明文を変更
		13-14	•表1.9~表1.10 P7_0、P7_1に割り当てられた信号の記載方法を変更
		13	•表1.9 「I ² Cバス」を「簡易型I ² Cバス」に名称変更
			「2. 中央演算処理装置(CPU)」
		15	•2 本文、図2.1 注1 説明文を変更
		15, 16	•図2.1、2.16 項タイトル「割り込みテーブルレジスタ」を「割り込みベクタテーブルベースレジスタ」に名称変更
		17	•2.1.8.1 「キャリー」を「キャリ」に変更
			•2.1.8.6 「オーバーフロー」を「オーバフロー」に変更
		18	•2.2.2本文「24ビット」を「32ビット」に修正
			「4. SFR」
		21	•表4.1 CCRレジスタの初期値を「18h」に変更
			•表4.1 PBCレジスタの初期値を「0504h」に変更
		22-23	•表4.2、表4.3 「バス衝突検出割り込み」に「スタート/ストップコンディション検出割り込み」を追加
			•表4.2~表4.3 「DMAi割り込み」を「DMAi転送完了割り込み」に変更
		23	•表4.3 IIOiRレジスタ (i=3, 8~11) の初期値を修正
		39	•表4.19 CSOP2レジスタを削除
			•表4.19 CM3レジスタの初期値を「XXXX XX00b」に変更
			「5. 電気的特性」
		—	•新規作成

改訂記録	R32C/111グループ データシート
------	---------------------

Rev.	発行日	改訂内容		
		ページ	ポイント	
1.10	2009.09.14		第三版発行	
		—	<ul style="list-style-type: none"> • 100ピンLGA、80ピンLQFP、64ピンLQFP仕様を追加 	
				「1. 概要」
		1	<ul style="list-style-type: none"> • 1.1 本文 パッケージ展開に100ピンLGA、80ピンLQFP、64ピンLQFPを追加、シリアルチャンネル数「9チャンネル」を「最大9チャンネル」に変更 	
		2	<ul style="list-style-type: none"> • 表1.1 100ピン版のRAM容量に32Kバイトを追加、項目の並び順をハードウェアマニュアルの章順に変更 	
		3	<ul style="list-style-type: none"> • 表1.2 フラッシュメモリの欄「IDコードチェック」を「IDコードプロテクト」に変更 • 表1.2 パッケージに100ピンLGAを追加 	
		4-7	<ul style="list-style-type: none"> • 表1.3~表1.6 80ピン版、64ピン版の仕様概要表を追加 	
		8	<ul style="list-style-type: none"> • 表1.7 100ピンLGA、80ピンLQFP、64ピンLQFPの型名を追加 	
		9	<ul style="list-style-type: none"> • 図1.1 100ピンLGA、80ピンLQFP、64ピンLQFPパッケージと、RAM 32KB版を追加 	
		11-12	<ul style="list-style-type: none"> • 図1.3、図1.4 80ピン版、64ピン版のブロック図を追加 	
		13	<ul style="list-style-type: none"> • 図1.5 脚注番号の順序を入れ替え 	
		14	<ul style="list-style-type: none"> • 図1.6 100ピンLGA版のピン接続図を追加 	
		15-17	<ul style="list-style-type: none"> • 表1.8~表1.10 100ピンLGA版のピン番号を追加 	
		18	<ul style="list-style-type: none"> • 図1.7 80ピン版のピン接続図を追加 	
		19-20	<ul style="list-style-type: none"> • 表1.11~表1.12 80ピン版の端子名一覧表を追加 	
		21	<ul style="list-style-type: none"> • 図1.8 64ピン版のピン接続図を追加 	
		22-23	<ul style="list-style-type: none"> • 表1.13~表1.14 64ピン版の端子名一覧表を追加 	
		28-30	<ul style="list-style-type: none"> • 表1.19~表1.21 80ピン版と64ピン版の端子機能の説明を追加 	
				「2. 中央演算処理装置(CPU)」
		33	<ul style="list-style-type: none"> • 2.1.8.1 「キャリ」を「キャリア」に再変更 	
34	<ul style="list-style-type: none"> • 2.1.8.11 本文 「要求があった割り込みの優先レベル」を「要求があった割り込みの要求レベル」に変更 			
		「3. メモリ」		
36	<ul style="list-style-type: none"> • 3本文 内部RAMの例を40Kバイトから63Kバイトに変更 • 図3.1 ROM 128KB、RAM 32KBを追加 			
		「4. SFR」		
37	<ul style="list-style-type: none"> • 表4.1 CCR、FMCRレジスタのリセット後の値を二進数に変更、FEBC3レジスタ追加、FEBCレジスタをFEBC0レジスタに変更 			
38, 39	<ul style="list-style-type: none"> • 表4.2、表4.3 「スタート/ストップコンディション」を「スタートコンディション/ストップコンディション」に変更 			
46	<ul style="list-style-type: none"> • 表4.10 U7RB、U8RBレジスタの初期値を16進数に変更 			
47	<ul style="list-style-type: none"> • 表4.11 レジスタ、シンボルの記載方法を他のレジスタと統一 			
52	<ul style="list-style-type: none"> • 表4.16 PDiレジスタのリセット後の値を二進数に変更 			
55	<ul style="list-style-type: none"> • 表4.19 LVDCレジスタの「低電圧」を「電圧低下」に修正 			
56	<ul style="list-style-type: none"> • 表4.20 IFS0、IFS2レジスタの初期値を修正、IFS7レジスタ公開、注1~注3追加 			
56-58	<ul style="list-style-type: none"> • 表4.20~表4.22 Pi_jSレジスタの名称を修正 			

改訂記録	R32C/111グループ データシート
------	---------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		60	<ul style="list-style-type: none"> •表4.24 「DMAi要因」を「DMAi起動要因」に変更、DMiSLレジスタの名称を修正
		61	<ul style="list-style-type: none"> •「5. 電気的特性」 •表5.1 注2、注3追加
		62	<ul style="list-style-type: none"> •表5.2 dVcc1/dt の規格を追加、注2、注4、注5追加
		63	<ul style="list-style-type: none"> •表5.3 注2追加
		64	<ul style="list-style-type: none"> •表5.4 注3追加
		67	<ul style="list-style-type: none"> •表5.7 RAMの電気的特性追加 •表5.8 tPSの規格を削除
		68	<ul style="list-style-type: none"> •表5.9 測定条件削除 •図5.3 内部ロジック電圧追加、CPUクロック削除
		68	<ul style="list-style-type: none"> •表5.11 デフォルト電圧条件を4.2Vからに変更、検出電圧誤差の値を記載、自己消費電流の測定条件欄「VCC」を「VCC1」に修正
		69	<ul style="list-style-type: none"> •表5.12 fSO(PLL)の規格を変更
		69	<ul style="list-style-type: none"> •表5.12 PLLの「安定待ち時間」を「発振安定時間」に変更、併せて記号もtLOCK(PLL)に変更
		71, 83	<ul style="list-style-type: none"> •表5.15、表5.38 注1、注2追加
		72, 84	<ul style="list-style-type: none"> •表5.16、表5.39 RPULLUPの対象からP7_0、P7_1、P8_5を削除、注1、注2追加
		73, 85	<ul style="list-style-type: none"> •表5.17、表5.40 クロック停止、85°C時のICCの規格を削除
		74, 86	<ul style="list-style-type: none"> •表5.18、表5.41 φADの最小値を0.125から0.25に修正、注1追加
		76, 88	<ul style="list-style-type: none"> •表5.21、表5.44 外部バスタイミングの数値を記載
		79, 91	<ul style="list-style-type: none"> •表5.30、表5.53 tsu(D-C)の規格値を30nsから80nsに変更 •表5.31、表5.54 tw(ADH)の規格値を2φADから3φADに変更 •表5.33、表5.56 インテリジェントI/O通信機能のタイミング必要条件を追加
		80, 92	<ul style="list-style-type: none"> •表5.34、表5.57 注1 tsu(S-W) = tsu(A-W)の式を変更
		81, 93	<ul style="list-style-type: none"> •表5.35、表5.58 表ヘッダ部の「(注1)」を削除、th(W-D)の規格を変更、注1 tsu(S-ALE) = tsu(A-ALE) = tw(ALE)の式を変更
		82, 94	<ul style="list-style-type: none"> •表5.37、表5.60 インテリジェントI/O通信機能のスイッチング特性を追加
		84	<ul style="list-style-type: none"> •表5.39 測定条件の「VI=3V」を「VI=3.3V」に変更
		94	<ul style="list-style-type: none"> •表5.59 「TXDiホールド」を「TXDi出力ホールド」に修正
		95	<ul style="list-style-type: none"> •図5.6 「マイクロコンピュータ」を「MCU」に変更
		96, 97	<ul style="list-style-type: none"> •図5.8、図5.9 ライトデータの出カタイミングを変更
		99-100	<ul style="list-style-type: none"> 「付録1. 外形寸法図」 •100ピンLGA、80ピンLQFP、64ピンLQFPの外形寸法図を追加
1.20	2011.09.26		<ul style="list-style-type: none"> 第四版発行
		—	<ul style="list-style-type: none"> •新ルネサスフォーマットに変更
		—	<ul style="list-style-type: none"> •資料番号を「RJJ03B0222-0110」から「R01DS0062JJ0120」に変更
		3	<ul style="list-style-type: none"> 「1. 概要」 •表1.2 注1 削除
		5, 7	<ul style="list-style-type: none"> •表1.4、表1.6 注2 削除

改訂記録	R32C/111グループ データシート
------	---------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		8	•表 1.7 製品ステータスを更新
		10-12	•図 1.2~図 1.4 注1 削除
		13	•図 1.5 「R5_3」を「P5_3」に修正
		13, 18, 21	•図 1.5、図 1.7、図 1.8 信号名の記載順を変更
		15, 19, 22	•表 1.8 27番ピン、表 1.11 26番ピン、表 1.13 23番ピンタイマ端子名の記載順を変更
		17	•表 1.10 割り込み端子「INT5」「INT4」「INT3」を「 $\overline{\text{INT5}}$ 」「 $\overline{\text{INT4}}$ 」「 $\overline{\text{INT3}}$ 」に修正
		24	•表 1.15 クロック出力の「fC」を「低速クロック」に修正
		42, 43, 45	「4. SFR」 •表 4.6、表 4.7、表 4.9 GiBCR0 レジスタのリセット後の値を二進数に変更
		44	•表 4.8 「IE Bus」を「IEBus」に修正
		47	•表 4.11 「XY制御レジスタ」を「X-Y制御レジスタ」に修正
		49	•表 4.13 TABSR、ONSF、TRGSR レジスタのリセット後の値を二進数に変更
		51	•表 4.15 AD0CON2 レジスタのリセット後の値を修正
		62	「5. 電気的特性」 •表 5.2 P0、P1の記載方法を変更
		69	•表 5.13、図 5.4 trec(STOP)と trec(WAIT)の位置を入れ替え
		70	•図 5.5 「 $\overline{\text{CS0}}$ 」および「 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 」を「チップセレクト」に、「A23~A0、 $\overline{\text{BC0}}\sim\overline{\text{BC3}}$ 」を「アドレス」に変更
		82, 94	•表 5.37、表 5.60 インテリジェント I/O 通信機能の測定条件を追加
		99, 100	「付録 1. 外形寸法図」 •基準面情報を追加
1.30	2013.07.11		第五版発行
		—	•80ピン版に関する記述を削除
		1	「1. 概要」 •1.1 本文 8行目 「I ² C」を「I ² Cバスインタフェース」に修正
		6	•表 1.5 「計画中(計)」の製品をすべて削除
		39-44	「4. SFR」 •表 4.9~表 4.14 「UARTi転送速度レジスタ」を「UARTiビットレートレジスタ」に変更
		66, 78	「5. 電気的特性」 •表 5.16、表 5.39 注 1 TXD4、STXD4、 $\overline{\text{RTS4}}$ を削除

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

- 注1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町 2-6-2 (日本ビル)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口： <http://japan.renesas.com/contact/>