

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R2J45021ABG/AHBG

CDS/PGA&12 ビット A/D コンバータ TG, V.drv 内蔵

RJJ03F0255-0100
Rev.1.00
2008.09.30

概要

R2J45021ABG/AHBG はデジタルカメラ信号処理システムに最適な CCD アナログフロントエンド LSI です。CDS, PGA のアナログ処理回路および 12 ビット A/D コンバータの他, CCD 駆動に必要なすべてのパルスを生産する TG および V.drv を 1 パッケージに収めています。

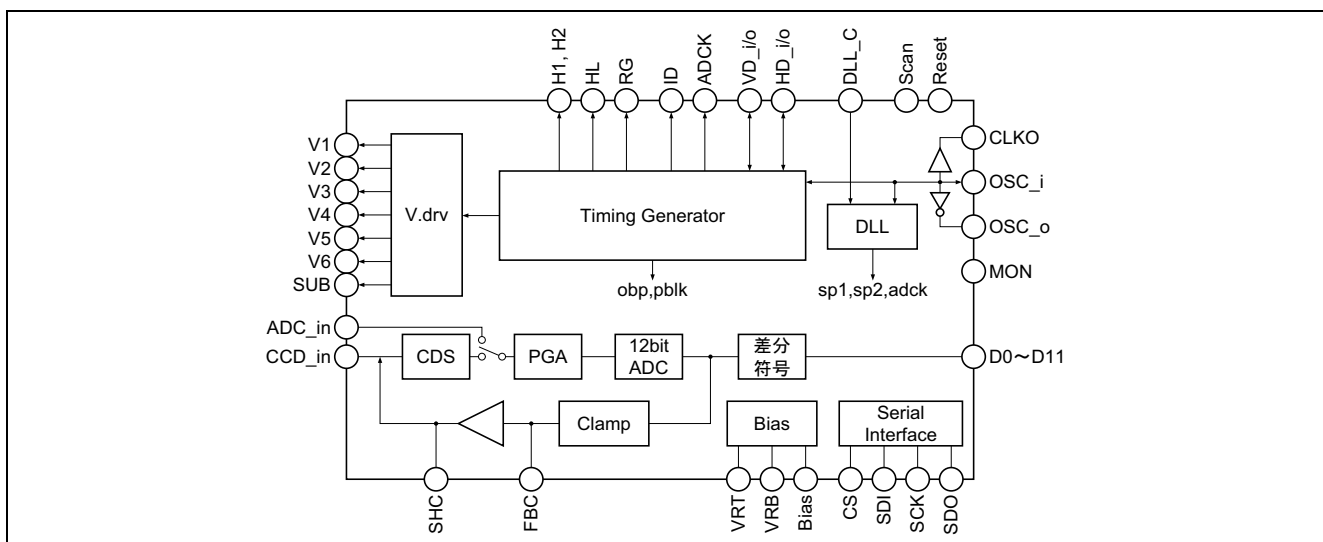
機能

- 相関二重サンプリング (CDS)
- プログラマブルゲインアンプ (PGA)
- 12 ビット A/D コンバータ
- シリアルインタフェース制御
- TG (Timing Generator), V.drv 内蔵
- 3.0V 単一動作
- 消費電力/動作周波数切り替えモード対応
R2J45021AHBG: 300mW (typ)/f_max = 36MHz
R2J45021ABG: 200mW (typ)/f_max = 28MHz
- BGA-85 パッケージ

特長

- 相関二重サンプリングにより, CCD リセット雑音の抑制が可能
- PGA は -6 ~ +34dB まで 10 ビット階調 (dB リニア) により, 高感度化が可能
- A/D コンバータは 12 ビット分解能で高精度
- シリアルインタフェースにより, PGA ゲイン, フィルタ定数, パルスタイミング, etc の設定が可能
- CCD 駆動に必要な全てのパルス生成が可能
- DLL により, サンプリングパルスの遅延バラツキを抑制
- A/D 出力コードとして差分符号化グレーコードを選択可能
疑似輪郭 (波紋) の抑圧に効果的。弊社にて特許申請中。

ブロックダイアグラム



ピン配置

| R2J45021ABG/AHBG | | | | | | | | | | |
|------------------|------------|-------------|-------------|------------|------------|-----------|-------------|-----------|------|------------|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| A | H1 | DVdd 5 | DVss 5 | DLLC | DVss 3 | DVdd 3 | OSC _o | OSC _i | Scan | NC |
| B | H2 | DVdd 5 | DVss 5 | DVss 5 | CLK _o | Reset | V1 | D7 | D11 | D10 |
| C | RG | Vdr Vdd | Vdr Vdd | VD _i/o | HD _i/o | VH | D9 | V3 | V2 | D8 |
| D | DVdd 4 | HL | DVss 4 | VM | | | | D4 | D6 | DVdd 2 |
| E | DVss 4 | DVss 4 | DVss 4 | | | | | V4 | D5 | D2 |
| F | DVdd 1 | DVss 1 | DVss 4 | | | | | V5 | D3 | D0 |
| G | AVdd 1 | Test _o1 | Test _o2 | | | | | V6 | D1 | DVss 12 |
| H | ADC _in | Test _i1 | AVss 12 | AVss 12 | DVdd 1 | DVdd 1 | MON | VL | SDO | SUB |
| J | Bias | Test _o3 | SHC | AVss 12 | AVss 12 | SCK | Test _i2 | ADCK | ID | SDI |
| K | CCD GND | SHC | FBC | CCD _in | AVss 12 | VRT | VRB | AVdd 2 | CS | VHH |

(上面図)
外形: PVBG0085KA-A (TBP-85V)

【注】 Test_o端子はopen, Test_i1 = Vdd, Test_i2 = GNDとしてお使いください。

ピン説明

| ピン No. | 記号 | 説明 | I/O | アナログ (A)/ デジタル (D) | 備考 |
|--------|---------|-------------------------------------|-----|-----------------------|------------|
| A1 | H1 | H1 出力 | O | D | Max = 30mA |
| A2 | DVdd5 | H1, H2 用電源 (3V) | — | D | |
| A3 | DVss5 | H1, H2 用 GND (0V) | — | D | |
| A4 | DLLC | DLL 外付け C 端子 (対 GND に 0.01 μ F) | O | A | |
| A5 | DVss3 | OSC 部 GND (0V) | — | A | |
| A6 | DVdd3 | OSC 部電源 (3V) | — | A | |
| A7 | OSC_o | OSC 出力 | O | A | |
| A8 | OSC_i | OSC 入力 | I | A | |
| A9 | Scan | テスト用 Scan 入力 (通常 Low 固定) | I | D | |
| A10 | NC | | | | |
| B1 | H2 | H2 出力 | O | D | Max = 30mA |
| B2 | DVdd5 | H1, H2 用電源 (3V) | — | D | |
| B3 | DVss5 | H1, H2 用 GND (0V) | — | D | |
| B4 | DVss5 | H1, H2 用 GND (0V) | — | D | |
| B5 | CLK_o | CLK 出力 | O | D | |
| B6 | Reset | ハードウェア Reset | I | D | |
| B7 | V1 | Vdr_V1 出力 | O | D | |
| B8 | D7 | ADC_D7 出力 | O | D | |
| B9 | D11 | ADC_D11 出力 | O | D | |
| B10 | D10 | ADC_D10 出力 | O | D | |
| C1 | RG | RG 出力 | O | D | Max = 5mA |
| C2 | Vdr_Vdd | Vdr ロジック部電源 (3V) | — | D | |
| C3 | Vdr_Vdd | Vdr ロジック部電源 (3V) | — | D | |
| C4 | VD_i/o | VD 入出力 | I/O | D | |
| C5 | HD_i/o | HD 入出力 | I/O | D | |
| C6 | VH | TG 部 V パルス用 Hi 電源 (15V) | — | D | |
| C7 | D9 | ADC_D9 出力 | O | D | |
| C8 | V3 | Vdr_V3 出力 | O | D | |
| C9 | V2 | Vdr_V2 出力 | O | D | |
| C10 | D8 | ADC_D8 出力 | O | D | |
| D1 | DVdd4 | RG, HL 用電源 (3V) | — | D | |
| D2 | HL | HL 出力 | O | D | Max = 5mA |
| D3 | DVss4 | RG, HL 用 GND (0V) | — | D | |
| D4 | VM | Vdr_V パルス用ミドル電源 (\pm 1V) | — | D | |
| D8 | D4 | ADC_D4 出力 | O | D | |
| D9 | D6 | ADC_D6 出力 | O | D | |
| D10 | DVdd2 | ADC 出力バッファ用電源 (3V) | — | D | |
| E1 | DVss4 | RG, HL 用 GND (0V) | — | D | |
| E2 | DVss4 | RG, HL 用 GND (0V) | — | D | |
| E3 | DVss4 | RG, HL 用 GND (0V) | — | D | |
| E8 | V4 | Vdr_V4 出力 | O | D | |
| E9 | D5 | ADC_D5 出力 | O | D | |
| E10 | D2 | ADC_D2 出力 | O | D | |

(次頁へ続く)

| ピン No. | 記号 | 説明 | I/O | アナログ (A)/ デジタル (D) | 備考 |
|--------|---------|--|-----|-----------------------|----|
| F1 | DVdd1 | TG 部電源 (3V) | — | D | |
| F2 | DVss1 | TG 部 GND (0V) | — | D | |
| F3 | DVss4 | RG, HL 用 GND (0V) | — | D | |
| F8 | V5 | Vdr_V5 出力 | O | D | |
| F9 | D3 | ADC_D3 出力 | O | D | |
| F10 | D0 | ADC_D0 出力 | O | D | |
| G1 | Avdd1 | CDS, PGA 部電源 (3V) | — | A | |
| G2 | Test_o1 | Test 出力_1 | O | D | |
| G3 | Test_o2 | Test 出力_2 | O | D | |
| G8 | V6 | Vdr_V6 出力 | O | D | |
| G9 | D1 | ADC_D1 出力 | O | D | |
| G10 | DVss12 | TG 部, ADC バッファ部 GND (0V) | — | D | |
| H1 | ADC_in | ADC 入力 | I | A | |
| H2 | Test_i1 | Test 入力_1 (通常 Vdd) | I | D | |
| H3 | Avss12 | CDS, PGA, ADC 部 GND | — | A | |
| H4 | Avss12 | CDS, PGA, ADC 部 GND | — | A | |
| H5 | DVdd1 | TG 部, シリアル通信部電源 (3V) | — | D | |
| H6 | DVdd1 | TG 部, シリアル通信部電源 (3V) | — | D | |
| H7 | MON | MON 出力 (cpsw, adck, sp1, sp2, cpdm, obp, fp, pblk) | O | D | |
| H8 | VL | Vdr_V パルス用 Low 電源 (-7V) | — | D | |
| H9 | SDO | シリアル通信 SDO 出力 | O | D | |
| H10 | SUB | Vdr_SUB 出力 | O | D | |
| J1 | Bias | バイアス電流設定端子 (対 GND に 33kΩ) | O | A | |
| J2 | Test_o3 | Test 出力_3 | O | D | |
| J3 | SHC | SHC 出力 (対 GND に 47Ω + 1000pF) | O | A | |
| J4 | Avss12 | CDS, PGA, ADC 部 GND (0V) | — | A | |
| J5 | Avss12 | CDS, PGA, ADC 部 GND (0V) | — | A | |
| J6 | SCK | シリアル通信 SCK 入力 | I | D | |
| J7 | Test_i2 | Test 入力_2 (通常 GND) | I | D | |
| J8 | ADCK | ADCK 出力 | O | D | |
| J9 | ID | ID 出力 | O | D | |
| J10 | SDI | シリアル通信 SDI 入力 | I | D | |
| K1 | CCD_Gnd | SH アンブ部 GND (0V) | — | A | |
| K2 | SHC | SHC 出力 | O | A | |
| K3 | FBC | FBC 入力 (対 SHC に 0.1μF) | I | A | |
| K4 | CCD_in | CCD 信号入力 | I | A | |
| K5 | Avss12 | CDS, PGA, ADC 部 GND (0V) | — | A | |
| K6 | VRT | ADC 基準トップ電圧 (対 GND に 0.1μF) | O | A | |
| K7 | VRB | ADC 基準ボトム電圧 (対 GND に 0.1μF) | O | A | |
| K8 | Avdd2 | ADC 部電源 (3V) | — | A | |
| K9 | CS | シリアル通信 CS 入力 | I | D | |
| K10 | VHH | Vdr_SUB 用 Hi 電源 (+15V) | — | D | |

【注】 電源の名称

| | |
|-------------------|---------------------|
| AVdd1: CDS, PGA 部 | Vdr_Vdd: V.dr ロジック部 |
| Avdd2: ADC 部 | VL: V パルス Low 電源 |
| DVdd1: シリアルと TG | VM: V パルス Middle 電源 |
| Dvdd2: ADC 出力 | VH: V パルス Hi 電源 |
| Dvdd3: OSC と DLL | VHH: SUB パルス Hi 電源 |
| Dvdd4: RG, HL 出力 | |
| DVdd5: H1, H2 出力 | |

出力ピンの状態

表 1 デジタル出力の状態

| 信号名 | STBY = 1 | Test_1 = 0 | 等価回路 |
|-----|----------|------------|------|
| H1 | L | L | |
| H2 | L | L | |
| RG | L | L | |
| HL | L | L | |
| ID | L | active | |
| V1 | VM | VM | |
| V2 | VM | VM | |
| V3 | VM | VM | |
| V4 | VM | VM | |
| V5 | VM | VM | |
| V6 | VM | VM | |
| SUB | VL | VL | |
| ADC | L | L | |

TG出力はLow固定

TG出力:
XVはLow固定
CHはHi固定
XSUBはHi固定

【注】 TG部のSTBYは電源投入時，ADCモード時も含む。

【注】 TG部のSTBYは電源投入時，ADCモード時も含む。

表 2 レジスタによるモード選択

| レジスタビット | | TGの状態 | CLK_o 出力 |
|---------------------|---------------------|-------|----------|
| Mas/Siv (f3のD15) | CLK_sel (f3のD14) | | |
| L | L | スレーブ | 1倍 |
| | H | | 1/2 |
| H | L | マスタ | 1倍 |
| | H | | 1/2 |

電気的特性

● AFE 部の項目

(特許なき場合, $T_a = 25^\circ\text{C}$, $AV_{dd} = 3.0\text{V}$, $DV_{dd} = 3.0\text{V}$)

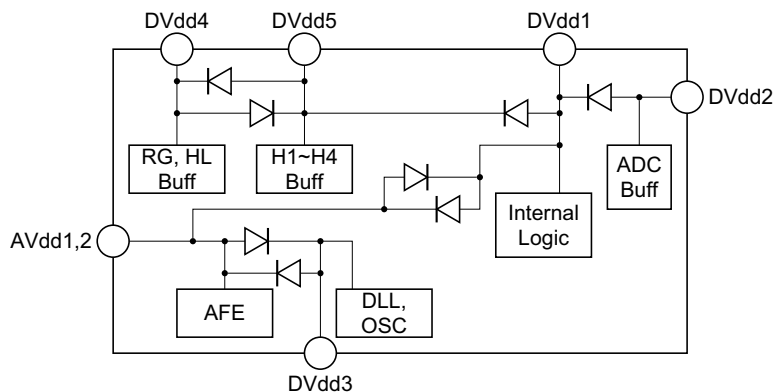
| 項目 | 記号 | Min | Typ | Max | 単位 | 測定条件 | 備考 |
|--------------|-------|-----------------------|---------------|----------------------|---------------|-----------------------------|------------------------------|
| 電源電圧範囲 | Vdd1 | 2.7 | 3.0 | 3.45 | V | Avdd1, 2, DVdd1, 2, 3 | 2.8MHz 以上の時, Vmin = 2.85V |
| | Vdd2 | 2.7 | 3.0 | 3.6 | V | DVdd4, 5 | |
| 変換周波数 *1 | Fck_H | 28 | — | 36 | MHz | Avdd1, 2 = 2.85V 以上 | アドレス f2 の D6 = 0 |
| | Fck_L | 10 | — | 28 | MHz | | アドレス f2 の D6 = 1 |
| デジタル入力電圧 | VIH | $0.73 \times DV_{dd}$ | — | DVdd | V | | 全デジタル 入力ピン |
| | VIL | 0 | — | $0.2 \times DV_{dd}$ | V | | |
| デジタル出力電圧 | VOH | $DV_{dd} - 0.5$ | — | — | V | IOH = -1mA | H系以外の デジタル出力ピン |
| | VOL | — | — | 0.5 | V | IOL = +1mA | |
| デジタル入力電流 | IIH | — | — | 80 | μA | VIH = Vdd | |
| | IIL | -80 | — | — | μA | VIL = 0V | |
| ADC 分解能 | RES | — | 12 | — | bit | | |
| ADC 積分リニアリティ | INL | — | (16) | (21) | LSBp-p | Fck = 20MHz | 設計目標値 |
| ADC 微分リニアリティ | DNL | -0.99 | (± 0.6) | (+1.0) | LSBp-p | Fck = 20MHz | 設計目標値 |
| スリープ電流 | ISLP | -100 | — | +100 | μA | D 入力ピンは 0V, D 出力ピンは open | |
| スタンバイ電流 | ISTBY | — | 3 | 5 | mA | D 入出力ピンは 0V | |

【注】 1. 変換周波数はセンサ clk = CLK_in で規定しています。

● 電源電圧の条件

各電源間の保護ダイオードは下図のように接続しています。

ご使用にあたっては、以下の電圧条件を守ってください。

「 $DV_{dd4, 5} \geq AV_{dd1, 2} = DV_{dd1} = DV_{dd3} \geq DV_{dd2}$ 」

● 特殊入力端子

入力パルスが $1.8\text{V}_{\text{p-p}}$ でも動作するよう「HD_in」「VD_in」は $V_{\text{th}} = 1/3V_{\text{dd}}$ という特殊入力セルで構成しています。

「OSC_in」も同じ理由で帰還抵抗を内蔵しております。そのため、入力リーク電流が他のデジタル端子より大きな値となります。ご使用にあたり 3V 入力時は直接結合, 1.8V 入力時は C 結合をお勧めします。

● AFE 部の項目

(特許なき場合, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

| 項目 | 記号 | Min | Typ | Max | 単位 | 測定条件 | 備考 |
|-------------------|--------------------|------------|--------------------|------------|-----|-------------------------|---------------------------------------|
| 消費電流 | I _{dd1} | — | (60) | — | mA | F _{ck} = 36MHz | 消費電流は TG 部を除く |
| | I _{dd2} | — | (40) | — | mA | F _{ck} = 28MHz | |
| CCD 入力 オフセット | V _{CCD} | -150 | — | 200 | mV | | |
| サンプリング タイミング仕様 | t _{CDS1} | — | 1.5 | — | ns | | 表 10 参照 |
| | t _{CDS3} | — | 1.5 | — | ns | | |
| | t _{CDS5} | Typ × 0.85 | 1/2F _{ck} | Typ × 1.15 | ns | | |
| | t _{CDS6} | — | (7.5) | — | ns | | |
| | t _{CDS7} | 11 | — | — | ns | | |
| | t _{CDS8} | 11 | — | — | ns | | |
| | t _{CDS9} | — | (11) | — | ns | | |
| | t _{CDS10} | — | (16) | — | ns | | |
| クランプレベル | CLP(00) | — | (56) | — | LSB | | クランプレベル = 設定値 × 8 + 56 |
| | CLP(09) | — | (128) | — | LSB | | |
| | CLP(31) | — | (304) | — | LSB | | |
| PGA ゲイン | PGA(0) | -8 | -6 | -4 | dB | | 1.0V 入力時にデジタル出力がフルスケールになった場合を 0dB と定義 |
| | PGA(256) | 1.73 | 3.73 | 5.73 | dB | | |
| | PGA(512) | 11.46 | 13.46 | 15.46 | dB | | |
| | PGA(768) | 21.18 | 23.18 | 25.18 | dB | | |
| | PGA(1023) | 30.87 | 32.87 | 34.87 | dB | | |

● TG 部の項目

(特許なき場合, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

| 項目 | 記号 | Min | Typ | Max | 単位 | 測定条件 | 備考 |
|-------------|------------------|------|------|-------|-----|-------------------------------------|--------------------------|
| DLL 動作周波数 | F _{dll} | 10 | — | 28/36 | MHz | | Low pwr/Nor pwr |
| H_Buff 出力電圧 | V _{OH} | 2.94 | 2.97 | — | V | 30mA Buff I _{OH} = -5mA | V _{dd} = 3.0V 時 |
| | V _{OL} | — | 22 | 47 | mV | 30mA Buff I _{OL} = +5mA | |
| | V _{OH} | 2.89 | 2.94 | — | V | 14mA Buff I _{OH} = -5mA | |
| | V _{OL} | — | 50 | 112 | mV | 14mA Buff I _{OL} = +5mA | |
| | V _{OH} | 2.91 | 2.96 | — | V | 10mA Buff I _{OH} = -3mA | |
| | V _{OL} | — | 36 | 78 | mV | 10mA Buff I _{OL} = +3mA | |
| | V _{OH} | 2.85 | 2.93 | — | V | 4mA Buff I _{OH} = -2mA | |
| | V _{OL} | — | 60 | 129 | mV | 4mA Buff I _{OL} = +2mA | |
| | V _{OH} | 2.69 | 2.86 | — | V | 2mA Buff I _{OH} = -2mA | |
| | V _{OL} | — | 115 | 262 | mV | 2mA Buff I _{OL} = +2mA | |
| RG 出力電圧 | V _{OH} | 2.81 | 2.90 | — | V | I _{OH} = -1.5mA | |
| | V _{OL} | — | 78 | 141 | mV | I _{OL} = +1.5mA | |

- ADC モードの項目

(特許なき場合, $T_a = 25^\circ\text{C}$, $A_{Vdd} = 3.0\text{V}$, $D_{Vdd} = 3.0\text{V}$)

| 項目 | 記号 | Min | Typ | Max | 単位 | 測定条件 | 備考 |
|----------------------|--------------------|------------|---------|------------|-----|------------------------------|---------------------------------------|
| 消費電流 | I _{dd4} | — | (30) | — | mA | F _{ck} = 36MHz | |
| | I _{dd5} | — | (20) | — | mA | F _{ck} = 28MHz | |
| サンプリング タイミング仕様 | t _{ADC1} | — | (6) | — | ns | | 表 11 参照 |
| | t _{ADC2} | Typ × 0.85 | 1/2adck | Typ × 1.15 | ns | | |
| | t _{ADC3} | Typ × 0.85 | 1/2adck | Typ × 1.15 | ns | | |
| | t _{ADC4} | — | (14.5) | — | ns | | |
| | t _{ADC5} | — | (23.5) | — | ns | | |
| ADC 入力電流 | I _{INCIN} | -110 | — | 110 | μA | V _{in} = 1.0 ~ 2.0V | |
| ADC_in 時 クランプレベル | OF2 | 1848 | (2048) | 2248 | LSB | | |
| ADC モード時の PGA ゲイン | GSL(0) | — | -6 | — | dB | | 1.0V 入力時にデジタル出力がフルスケールになった場合を 0dB と定義 |
| | GSL(128) | — | -1 | — | dB | | |
| | GSL(256) | — | 4 | — | dB | | |
| | GSL(384) | — | 9 | — | dB | | |
| | GSL(511) | — | 14 | — | dB | | |

- V.drv 論理機能表

| 入力 | | | | | 出力 | | |
|----------------|------------------|-----------------------|-----|------|---------------|----|-----|
| PS (パワーセーブ) | XV1, XV2, XV4 | CH1, CH2, CH3, CH4 | XV3 | XSUB | V1, V2, V4 | V3 | SUB |
| L | L | L | X | X | VH | X | X |
| L | L | H | X | X | VM | X | X |
| L | H | L | X | X | Z | X | X |
| L | H | H | X | X | VL | X | X |
| L | X | X | L | X | X | VM | X |
| L | X | X | H | X | X | VL | X |
| L | X | X | X | L | X | X | VH |
| L | X | X | X | H | X | X | VL |
| H | X | X | X | X | VM | VM | VL |

- V.drv 部の直流特性

(特許なき場合, Vdd = 3.3V, VH = 15V, VM = 0V, VL = -7.5V, Ta = 25°C)

| 項目 | 記号 | Min | Typ | Max | 単位 | 測定条件 | 備考 |
|-----------|------|-------------|------|-------|----|-----------------|------------------------|
| 電源電圧 | Vdd | 2.7 | — | 3.45 | V | | |
| | VL | -9 | — | -5 | | | |
| | VH | 11 | — | 17 | | | |
| | VM | -1 | — | 1 | | | |
| 回路電流 | Iddo | — | 0.36 | 0.6 | mA | 全入力 = L 時の全体 | |
| | I_ps | -0.15 | — | 0.1 | mA | パワーセーブ時 | |
| ハイレベル入力電圧 | VIH | (Vdd - 0.7) | — | — | V | | 外部からの 入力不要 |
| ローレベル入力電圧 | VIL | — | — | (0.7) | V | | |
| 入力電流 | IIN | (-10) | 0 | (10) | μA | Vin = GND ~ Vdd | |
| H レベルオン抵抗 | | — | 20 | 40 | Ω | IOH = -10mA | |
| M レベルオン抵抗 | | — | 22 | 45 | Ω | IOM = ±10mA | |
| L レベルオン抵抗 | | — | 15 | 30 | Ω | IOL = 10mA | 2 値, 3 値 出力端子 共通 |

- V.drv 部の交流特性

(特許なき場合, Vdd = 3.3V, VH = 15V, VM = 0V, VL = -7.5V, Ta = 25°C)

| 項目 | 記号 | Min | Typ | Max | 単位 | 測定条件 | 備考 |
|--------------------------|-------|-----|-----|-----|----|------------------------|----|
| 2 値出力端子 (V3, V6) | | | | | | | |
| 伝搬遅延時間 | TPLM | — | 30 | 100 | ns | 無負荷 * ¹ | |
| | TPML | — | 30 | 50 | | | |
| 立ち上がり時間 | TTLM | — | 200 | 500 | ns | VL → VM * ¹ | |
| 立ち下がり時間 | TTML1 | — | 200 | 500 | ns | VM → VL * ¹ | |
| 3 値出力端子 (V1, V2, V4, V5) | | | | | | | |
| 伝搬遅延時間 | TPLM | — | 30 | 100 | ns | 無負荷 * ¹ | |
| | TPML | — | 30 | 50 | ns | | |
| | TPMH | — | 30 | 100 | ns | | |
| | TPHM | — | 30 | 50 | ns | | |
| 立ち上がり時間 | TTLM | — | 160 | 500 | ns | VL → VM * ¹ | |
| | TTMH | — | 240 | 500 | ns | VM → VH * ¹ | |
| 立ち下がり時間 | TTHM | — | 150 | 500 | ns | VH → VM * ¹ | |
| | TTML1 | — | 150 | 500 | ns | VM → VL * ¹ | |
| SUB 出力端子 | | | | | | | |
| 伝搬遅延時間 | TPLH | — | 30 | 100 | ns | 無負荷 * ¹ | |
| | TPHL | — | 30 | 100 | ns | | |
| 立ち上がり時間 | TTLH | — | 60 | 100 | ns | VL → VH * ¹ | |
| 立ち下がり時間 | TTHL | — | 50 | 100 | ns | VH → VL * ¹ | |
| 出力ノイズ電圧 | | | | | | | |
| 出力ノイズ電圧 | VLCH | — | — | 0.5 | V | * ² | |
| | VLLC | — | — | 0.5 | V | | |
| | VMCH | — | — | 0.5 | V | | |
| | VMLC | — | — | 0.5 | V | | |

【注】 1. 図 1 のタイミングチャートを参照願います。

2. 図 2 の出力ノイズの定義を参照願います。

● V.drv タイミングチャート

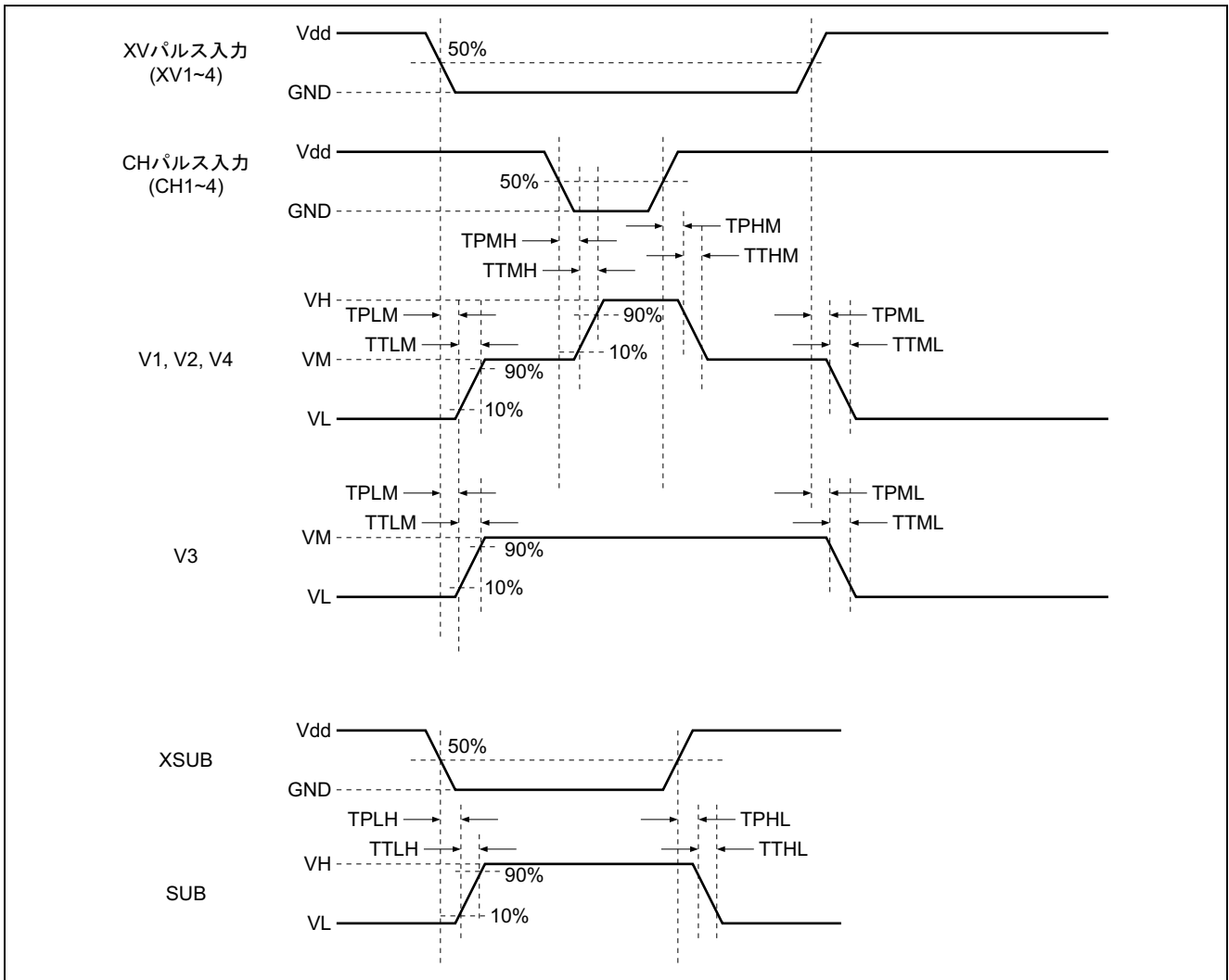


図1 V.drv タイミングチャート

● V.drv 出力ノイズ

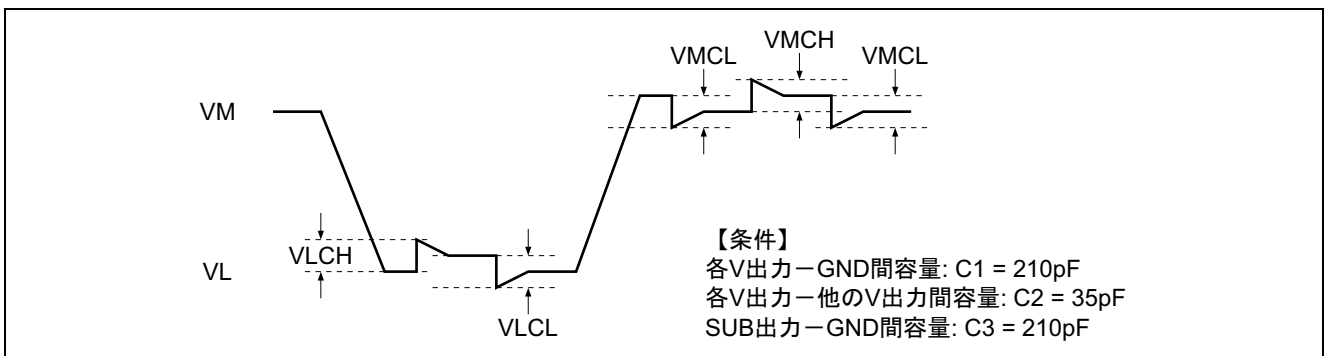


図2 V.drv 出力ノイズ

- TG と V.drv の接続図

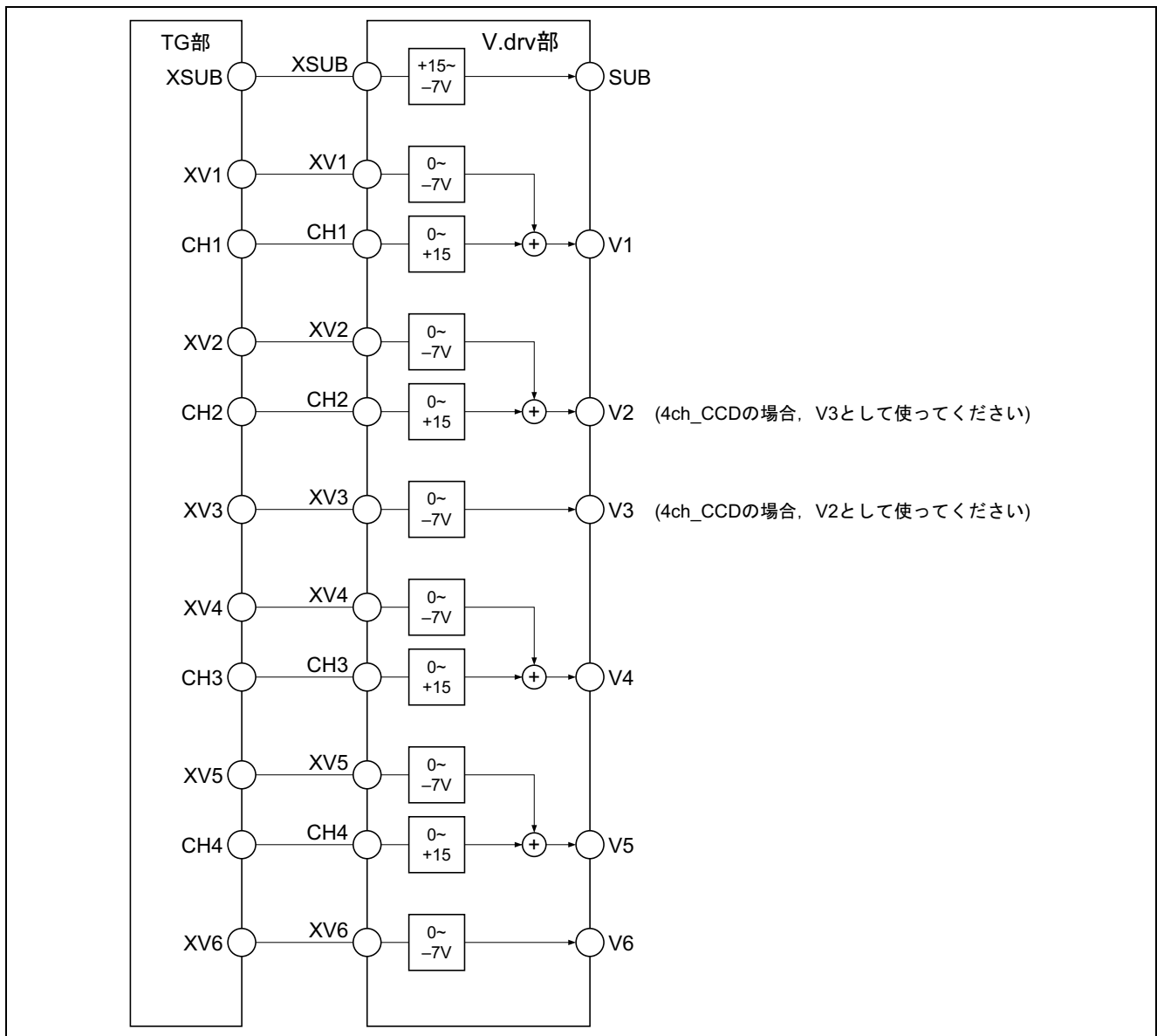


図3 TG と V.drv の接続図

内蔵機能

機能概要

- CDS 入力
CDS (Correlated Double Sampling) による CCD 低域雑音の抑制
OB 期間の信号レベルを 56 ~ 304LSB (5bit, 8LSB ステップ制御) にクランプ
-6dB ~ 34dB 間で 10 ビット (0.038dB/ステップ) のゲイン調整が可能
- PGA, ADC の自動オフセットキャリブレーション機能
- CCD, CDS の DC オフセット補償フィードバック機能
- プリブランキング機能: デジタル出力をクランプレベルに固定
- TG: CCD 駆動に必要なパルスを発生

動作説明

図 4 に AFE 部の機能ブロックを示します。

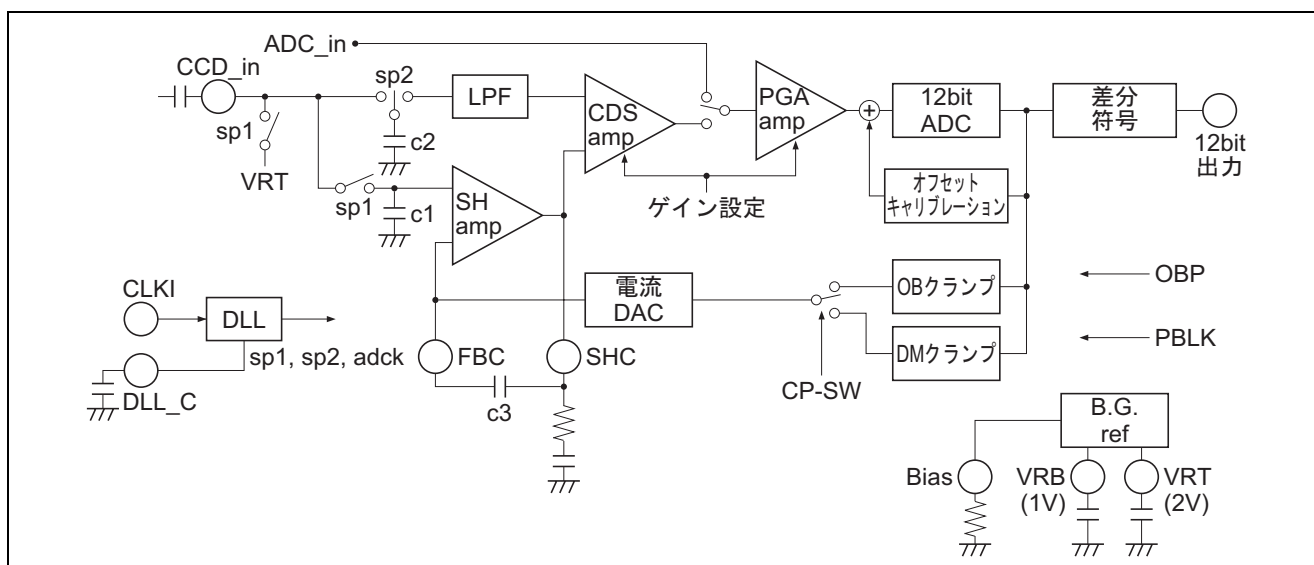


図 4 CDS, PGA 部 機能ブロック

1. CDS (Correlated Double Sampling) 回路

CDS 回路は基準レベルと信号レベルとの差電圧を取り出す回路です。基準レベルは、SP1 パルスにより、C1 に充電され SH_amp によりバッファリングされた後、CDS_amp に供給されます。信号レベルは SP2 により C2 に充電され、そのまま CDS_amp に供給されます (図 4 参照)。

CDS_amp は上記 2 信号のレベル差を取ると共に、前段のプログラマブルゲインアンプとして働きます。CDS 入力は VRT (2V) にバイアスされます。PBLK 期間には上記サンプリング動作およびバイアス動作は停止します。

2. PGA 回路

PGA 回路は後段のプログラマブルゲインアンプです。前段の CDS_amp と合わせて 10 ビットのレジスタでゲインを設定します。レジスタ値 $N = 0 \sim 1023$ に対し下式のようにゲインが変化します。

$$\text{Gain} = -6\text{dB} + 0.038\text{dB} \times N \text{ (LOG リニア)}$$

3. OB クランプ

OB 期間に入力された黒信号レベルを DC 基準とするためのフィードバックであり、CCD オフセット、CDS_amp オフセットなどを含めてオフセット補償します。OB 期間に ADC 出力からオフセットを演算し、電流 DAC によって SH_amp 入力の外付け C3 に充電します。

シリアル通信

1. シリアル通信の仕様

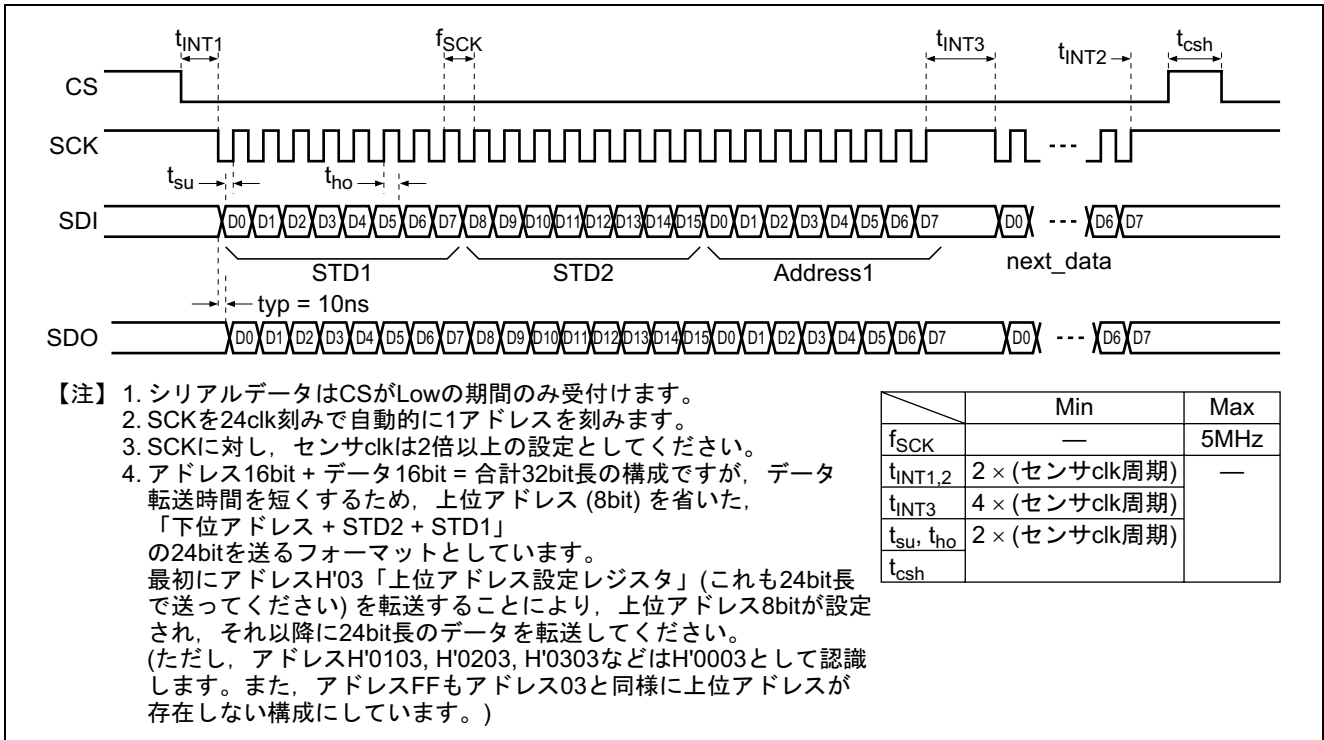


図5 シリアル通信フォーマット

2. 上位アドレス設定レジスタ (H'03) の使い方

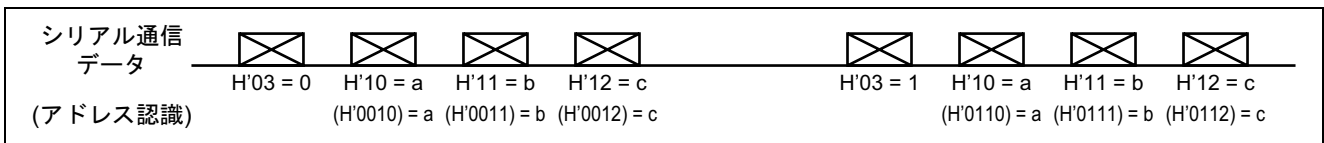


図6 上位アドレス設定レジスタ (H'03) の使い方

3. アドレス配置

本LSIのアドレスは以下のような配置となっています。データシートではアドレス00f0~00ffのAFE部について詳細を説明します。それ以外のTG部については別紙の「アドレスマップ」「タイミングチャート」を参照してください。

(1) V系パルス

| データ名 | アドレス位置 | |
|-----------------|-------------|-------------|
| nv1 ~ 6 | 0030 ~ 003f | |
| odd | mv1 | 0040 ~ 004f |
| | mv2 | 0050 ~ 005f |
| | mv3 | 0060 ~ 006f |
| | mv4 | 0070 ~ 007f |
| | mv5 | 0080 ~ 008f |
| | mv6 | 0090 ~ 009f |
| even | mv1 | 0140 ~ 014f |
| | mv2 | 0150 ~ 015f |
| | mv3 | 0160 ~ 016f |
| | mv4 | 0170 ~ 017f |
| | mv5 | 0180 ~ 018f |
| | mv6 | 0190 ~ 019f |
| f_r_msk_nv1 ~ 6 | 00b0 ~ 00bf | |
| hv1 ~ 6 | 00c0 ~ 00cf | |

(2) 読み出し系パルス

| データ名 | アドレス位置 |
|--------------|-------------|
| odd ch1 ~ 4 | 00d0 ~ 00d7 |
| even ch1 ~ 4 | 01d0 ~ 01d7 |

(3) H.BLK系パルス

| データ名 | アドレス位置 |
|---------------------------------|-------------|
| odd h_msk, cp, cpdm, pblk, sub | 00e0 ~ 00ef |
| even h_msk, cp, cpdm, pblk, sub | 01e0 ~ 01ef |

(4) V.BLK系パルス

| データ名 | アドレス位置 |
|--------------------------|-------------|
| odd trstart, pblk, 高速転送 | 0020 ~ 002f |
| even trstart, pblk, 高速転送 | 0120 ~ 012f |

(5) HD, VD サイズ

| データ名 | アドレス位置 |
|------------------------|-------------|
| line, h_cycle, sync など | 0010 ~ 001f |

(6) モード設定

| データ名 | アドレス位置 |
|-----------|-------------|
| 入力極性, モード | 0000 ~ 0007 |

(7) パルス固定

| データ名 | アドレス位置 |
|------------------------|--------|
| RG, XV5 ~ 6, ZSG1, ZV1 | 000d |
| H1, H2, XSUB | 000e |
| XV1 ~ 4, CH1 ~ 4 | 000f |

(8) AFE部

| データ名 | アドレス位置 |
|--------------|-------------|
| PGA ゲイン, DLL | 00f0 ~ 00ff |

表3 シリアルデータ一覧

(各ビットに記載したデータは推奨値です。RG, SP1, SP2 以外の初期値はオール0です。)

● アドレス H'00f0 ~ H'00f6 (CDS, PGA 部)

| アドレス (16進) | STD2[15:8] (H) | | | | | | | | STD1[7:0] (L) | | | | | | | | 備考 |
|---------------|----------------|---------------|---------------|---------------|------------|------------|-------------|-------------|---------------|------------|-------------|----|-----------------|----------|-----------|----|---|
| | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| H'00f0 | VD ラッチ | VD inv | | | | | | | | | | | | | | | D15: "VDラッチ"1の時PGAゲインをVDでラッチ D14: "VD_inv"1の時VDボジエッジでラッチ D9~0: "PGAゲイン"-6dB + 0.038dB × N |
| | D15 | D14 | | | | | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| H'00f1 | | | | | | | | | | | | | | | | | D9~8: "sha_fsel" D7~4: "shsw_fsel" D3~0: "LPF_sel" |
| | | | | | | | sha_fsel | | shsw_fsel | | | | | LPF_sel | | | |
| H'00f2 | | | | | | | | | | | | | | | | | D14: "calb"0→1でキャリブレーション D11: "SHTSW"1の時クランプCをショート D10: "ADC_msk"1: 動作, 0: ADC出力マスク D9: "Pblk_inv"1の時ボジ受け D8: "Obp_inv"1の時ボジ受け D6: "Pwr_sel" 0: ノーマルpwr (36MHz) 1: Low pwr (28MHz) D4~0: "Clamp"クランプレベル = N × 8 + 56 |
| | | calb | | | SHT SW | ADC msk | Pblk inv | Obp inv | | Pwr sel | Clp 4ave | | | | Clamp | | |
| H'00f3 | | | | | | | | | | | | | | | | | D15: "Mas/Slv"0 = Slv, 1 = Mas D14: "CLK_sel"0 = CLK_in, 1 = CLK_in/2 D13: "ADC_gain"0 = 1倍, 1 = PGAゲインに連動 D11: "1/3分周offモード" D8: "ADC mode"1の時ADCモード D4~3: "cpdm_i" D2~0: "cpdm_th" |
| | Mas Slv | CLK sel | ADC gain | | 1/3 sel | | | ADC mode | | | | | cpdm_i | | cpdm_th | | |
| H'00f4 | | | | | | | | | | | | | | | | | D10: "L_inv", D9: "M_inv", D8: "test0" ADC出力固定モード D6~7: "Gry_ref", D5: "10/12", D4: "差分" D3: "Gry", D2: "adck位相", D1~0: "基準位相" |
| | | | | | | | L inv | M inv | test 0 | | | | | | | | |
| H'00f5 | | | | | | | | | | | | | | | | | D15,14: "Vshamp1,0"ADC電流 D13,12: "sel_sh2,1", D11,10: "Amp_sel" D7~5: "I_vari"内部電流調整 D2~0: "MON" 0の時cp_sw, 1の時adck, 2の時sp1, 3の時sp2, 4の時cpdm, 5,6は禁止, 7の時pblk |
| | Vsh amp1 | Vsh amp0 | Sel sh2 | Sel sh1 | Amp_sel | | | | | I_vari | | | | | MON | | |
| H'00f6 | | | | | | | | | | | | | | | | | D15~10: 幅広クランプのカウンタ数設定 D9~8: "clp_Hsel"Hクランプ高速引き込み D7: "Clp_cur"Hクランプ電流2倍 D5: "Wobp"幅広OBP有効 D3~2: "wind_clk_sel" D1: "CP_i"Hクランプ電流2倍 D0: "Wob_i"幅広クランプ電流2倍 |
| | | Wobth3 max | Wobth2 max | Wobth1 max | | | Clp Hsel | Clp cur | | W obp | | | Wind clk_sel | Cp_ i | Wob_ i | | |

表3 シリアルデータ一覧 (続き)

(各ビットに記載したデータは推奨値です。RG, SP1, SP2 以外の初期値はオール0です。)

● アドレス H'00f7 ~ H'00ff (DLL 部, Test)

| アドレス (16進) | STD2[15:8] (H) | | | | | | | | STD1[7:0] (L) | | | | | | | | 備考 |
|---------------|----------------|-----------|-----|-----|-------|---------|---------------|---------------|---------------|----------|--------|-----|--------|--------|----|----|---|
| | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| H'00f7 | Test1 | | | | | | | | | | | | | | | | Testアドレスは弊社にて出荷時にLSIを検査するために設けたレジスタです。通常使用する場合は0設定するか、またはデータ転送しないでください。 |
| | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| H'00f8 | Test2 | | | | | | | | | | | | | | | | |
| | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| H'00f9 | Test3 | | | | | | | | | | | | | | | | |
| | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| H'00fa | H_Buff | | | | H2_DL | | | | H1_DL | | | | H1L_DL | | | | D15~12: "H_buff" D15 = 14mA, D14 = 10mA D13 = 4mA, D12 = 2mA D11~8: "H2_DL" D7~4: "H1_DL" D3~0: "H1L_DL" |
| | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| H'00fb | RG_tr | | | | | | | | RG_tf | | | | | | | | D13~8: "RG_tr" 上位3bitで1/8位相選択 下位3bitでDLL遅延 D5~0: "RG_tf" 上位3bitで1/8位相選択 下位3bitでDLL遅延 |
| | D13 | D12 | D11 | D10 | D9 | D8 | D5 | D4 | D3 | D2 | D1 | D0 | | | | | |
| H'00fc | SP2_DL | | | | | | | | SP1_DL | | | | | | | | D13~8: "SP2_DL" 上位3bitで1/8位相選択 下位3bitでDLL遅延 D5~0: "SP1_DL" 上位3bitで1/8位相選択 下位3bitでDLL遅延 |
| | D13 | D12 | D11 | D10 | D9 | D8 | D5 | D4 | D3 | D2 | D1 | D0 | | | | | |
| H'00fd | RG/HL Buff | HL sel | | | | | Sync phase | hd_in _pol | ADCK_DL | | | | | | | | D15,14: "RG/HL_Buff"RGとHL共通で Buffサイズを変更。D14 = 2mA, D15 = 3mA D13: "HL_sel"0の時H1, 1の時H2を選択 D9: 2分周clkのエッジ選択 (1の時反転) D8: 2分周clkのHDリセット選択 (1の時反転) D8,D9はスレープモードのみ有効 D5~0: "ADCK_DL" 上位3bitで1/8位相選択 下位3bitでDLL遅延 |
| | D15 | D14 | D13 | D11 | D10 | D9 | D8 | D5 | D4 | D3 | D2 | D1 | D0 | | | | |
| H'00ff | このレジスタのみCLKが不要 | | | | | | | | | | | | | | | | |
| | V56 | Hi-Z | | | | DLL off | DLL res | CLK stop | OSC sel | ADC mode | Re set | SLP | Stby 2 | Stby 1 | | | |
| D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | | |
| H'0100 | | | | | | | | | CLK o | | ADCK | | MON | | | | CLK o, ADCK, MON端子のfix/inv fix inv 0 0 通常出力 0 1 反転出力 1 0 Low固定 1 1 Hi固定 |
| | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | | |

シリアルデータ説明

- PGA ゲイン (アドレス 00f0 の D0 ~ D9)
詳細は図 4 のブロック図を参照。
PGA ゲイン = $-6\text{dB} + 0.038\text{dB} \times N$

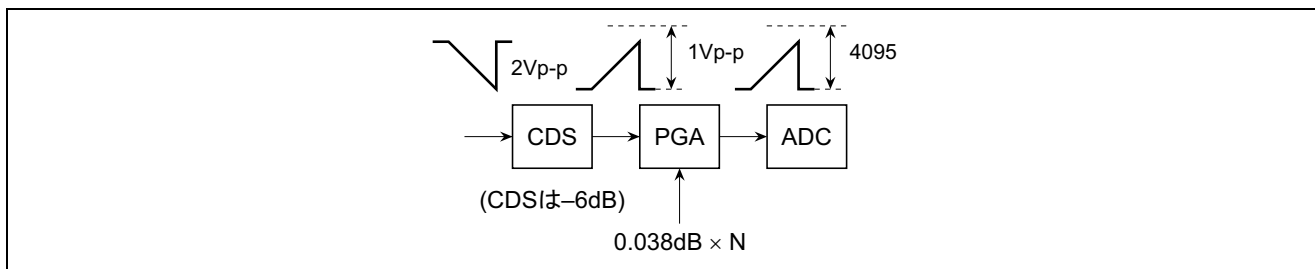


図 7 PGA のレベルダイア

- LPF_sel (アドレス 00f1 の D0 ~ D3)
CDS 入力部の周波数帯域制限を選択します。(D3 は通常 0 設定)

| LPF_sel | センサ周波数 |
|---------|--------|
| 0 | 6MHz |
| 1 | 12MHz |
| 2 | 20MHz |
| 3 | 25MHz |
| 4 | 30MHz |
| 5 | 35MHz |
| 6 | 40MHz |
| 7 | 50MHz |

周波数帯域を下げると S/N はアップしますが、反面アンプ動作が遅くなりラインスクロールやゲイン不足などの問題が発生します。実際に使用する周波数より高いポイントを選択してください。

なお、LFP_sel については、

- ☆ (1) Low_pwr モード時は、データ = 3
 - ☆ (2) Hi_pwr モード時は、データ = 6
- のみをテストング保証します。

- SHSW_fsel, SHA_fsel (アドレス 00f1 の D4 ~ D9)

SP1 でサンプリングしたプリチャージ部に対してフィルタリング処理を施します。この時のカットオフ周波数を選択できます。SHSW_fsel, SHA_fsel のデータ選択によって、S/N が図 8 のように変化します。画像を評価しながら最適値を見つけてください。

表4 SHSW時定数設定表

| SHSW_fselデータ | カットオフ周波数 (MHz) |
|--------------|----------------|
| 0 | 72 |
| 1 | 69 |
| 2 | 63 |
| 3 | 60 |
| 4 | 54 |
| 5 | 51 |
| 6 | 45 |
| 7 | 42 |
| 8 | 36 |
| 9 | 33 |
| 10 | 27 |
| 11 | 24 |
| 12 | 18 |
| 13 | 15 |
| 14 | 9 |
| 15 | 6 |

表5 SHAMP周波数特性設定表

| SHA_fselデータ | カットオフ周波数 (MHz) |
|-------------|----------------|
| 0 | 116 |
| 1 | 75 |
| 2 | 56 |
| 3 | 32 |

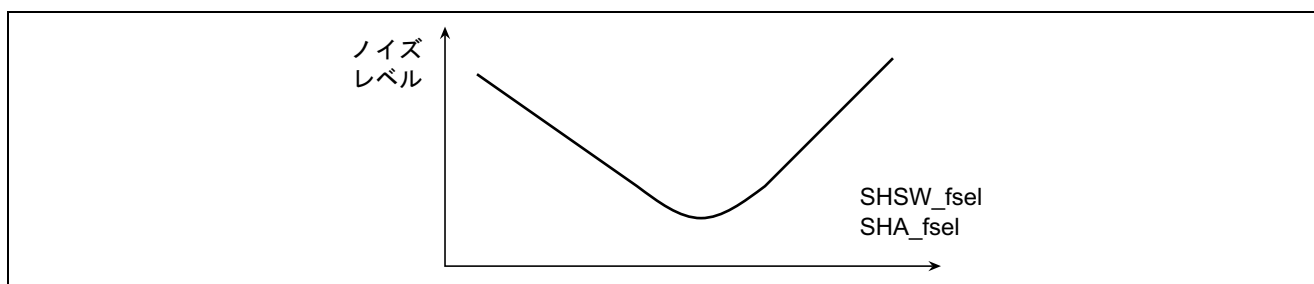


図 8 SHSW_fsel, SHA_fsel による効果

- SLP と STBY (アドレス 00ff の D0 ~ D2)

SLP/STBY はアドレス H'00ff の D0 ~ D2 の設定で 3 種類のモードを選択できます。詳細については 21 ページにその方法と復帰方法を記載していますのでご参照ください。

- Clamp レベル (アドレス 00f2 の D0 ~ D4)

Clamp レベル = 設定データ × 8 + 56

D0: LSB, D4: MSB

初期値は $(9) \times 8 + 56 = 128$ を設定しています。

- Clamp 高速引き込み (アドレス 00f6 の D2, D3, D8, D9)

PGA ゲインを変更すると自動的に高速引き込み動作に移行し、フィードバックループゲインが D2, D3 に設定された倍率で制御されます。また、高速引き込み動作を終了し、通常のループゲインに戻すまでは時間は D8, D9 に設定された H 数まで高速引き込みモードを継続します。(オフセット誤差が 32LSB 以上ある間は高速引き込み動作が継続され、オフセット誤差が 32LSB 以内に入ってから D8, D9 に設定された H 数後に通常のループゲインに戻ります。)

通常のクランプ動作は、1H 当たりのオープンループ微分ゲイン ($\Delta\text{gain}/\Delta H$) は下式によって与えられます。(1H は OBP の 1 周期です)

$$\Delta\text{gain}/\Delta H = 0.024/(\text{fclk} \times C3) \quad (\text{fclk: ADCK 周波数, } C3: \text{FBC コンデンサ})$$

$$\text{例: fclk} = 20\text{MHz, } C3 = 0.1\mu\text{F} \rightarrow \Delta\text{gain}/\Delta H = 0.012$$

$$1\text{H あたりの DC オフセット補正量 (LSB)} = 0.012 \times \text{オフセット誤差量 (LSB)} *^1$$

【注】 1. オフセット誤差量には上限があります。

これに対して、高速引き込み動作の場合、以下のように速度が変わります。

$$\text{例: fclk} = 20\text{MHz, } C3 = 0.1\mu\text{F} \rightarrow 32 \times \Delta\text{gain}/\Delta H = 32 \times 0.012 = 0.384$$

$$1\text{H あたりの DC オフセット補正量 (LSB)} = 0.384 \times \text{オフセット誤差量 (LSB)}$$

高速引き込み動作により、500LSB 程度の誤差が生じた場合、約 20H で目標のクランプレベルに引き込むことができます。

| D3 | D2 | 引き込み倍率 |
|----|----|--------|
| 0 | 0 | 32 倍 |
| 0 | 1 | 64 倍 |
| 1 | 0 | 128 倍 |
| 1 | 1 | 16 倍 |

| D9 | D8 | 継続 H 数 |
|----|----|--------|
| 0 | 0 | 1H |
| 0 | 1 | 2H |
| 1 | 0 | 4H |
| 1 | 1 | 8H |

- Pwr_sel (アドレス 00f2 の D6, アドレス 00f5 の D5 ~ D7, D10 ~ D11)

| | | 動作周波数 | Pwr_sel (00f2 の D6) | I_vari (00f5 の D5 ~ D7) | Amp_sel (00f5 の D10, D11) | アナログ部の電流 |
|------|---------|------------|------------------------|----------------------------|------------------------------|----------|
| 標準設定 | Low_pwr | 10 ~ 28MHz | 1 | 2 | 2 | 36mA |
| | Nor_pwr | 28 ~ 36MHz | 0 | 2 | 2 | 57mA |

- Calb と Reset (アドレス 00f2 の D14, D15)

電源投入時に 1 度だけソフトウェアリセットを実行することで、内部回路のバイアスずれを自動的に吸収します (オフセットキャリブレーション)。本 LSI では必ず実行してください。

自動オフセットキャリブレーションは、PGA アンプの出力に加算する DAC の DC 電圧を調整します。この DAC には、PGA アンプの出力オフセットと ADC の入力オフセットをキャンセルするデータに、レジスタ設定によるクランプデータ (56LSB ~ 304LSB) が加算されて与えられます。

自動オフセットキャリブレーションは、レジスタ設定によるリセットモード解除後自動的にスタートし、25,000 (adck) 後に終了します。(fclk = 20MHz の場合: 1.25ms)

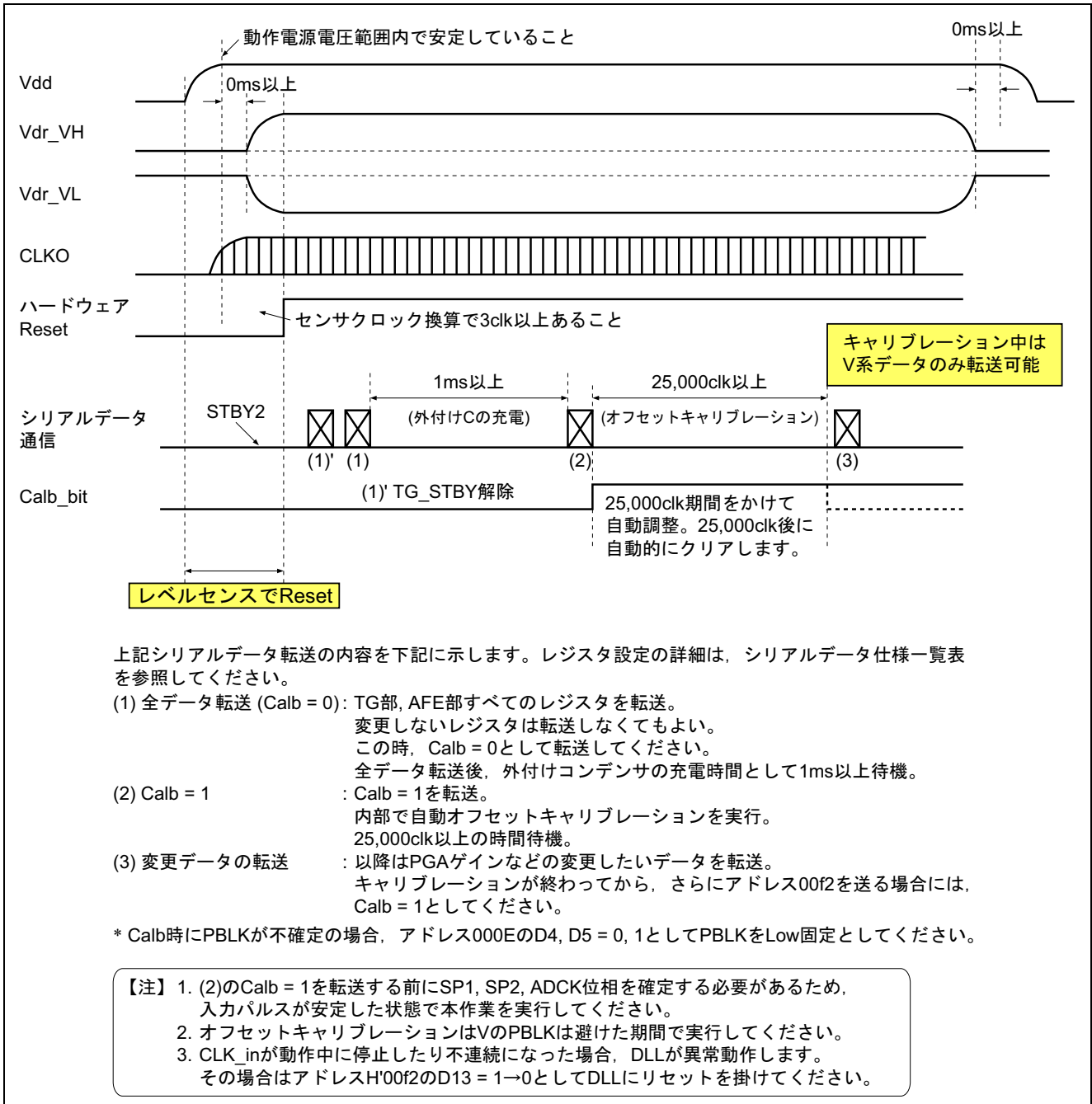


図9 電源投入時の動作シーケンス

● スタンバイ，スリープの動作と復帰方法

(1) スタンバイ 1

スタンバイ期間は消費電流が約 6mA，シリアルデータは受け付けます。



図 10

(2) スタンバイ 2

消費電流は約 3mA 以下，OSC とシリアルブロックのみが動作します。復帰にはキャリブレーションが必要です。

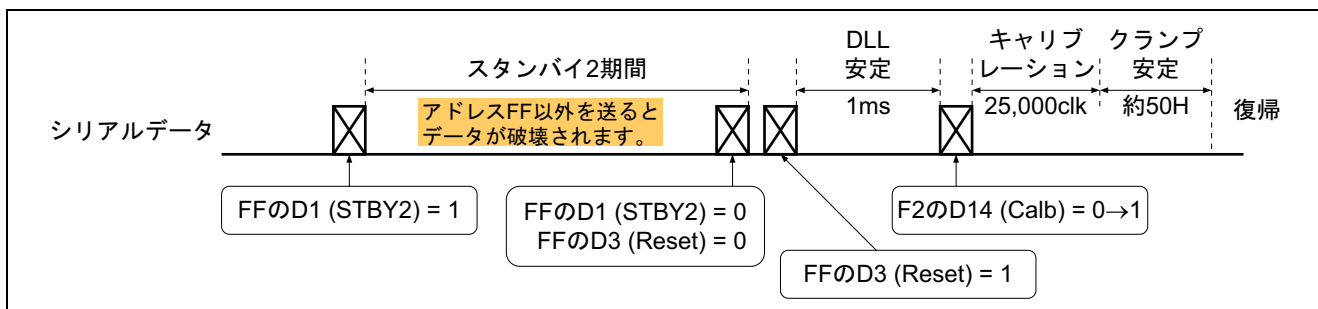


図 11

(3) スリープ

スリープ期間は消費電流が約 10μA 以下，シリアルデータは受け付けません。

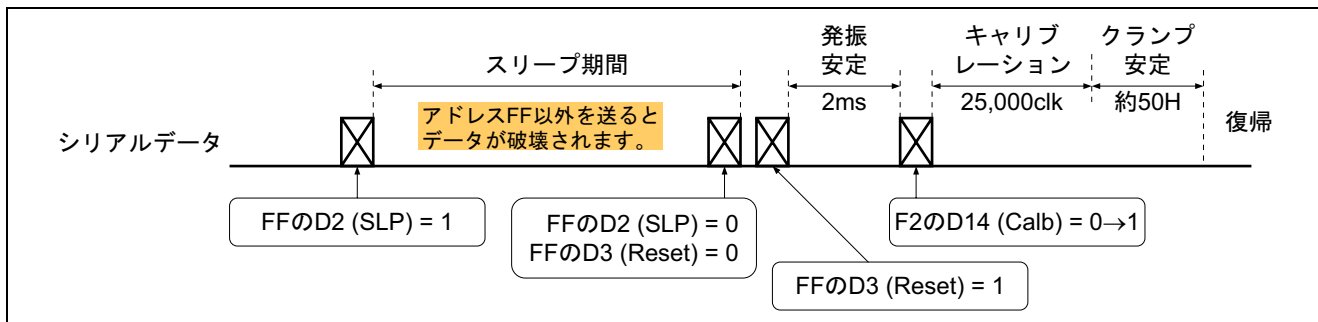
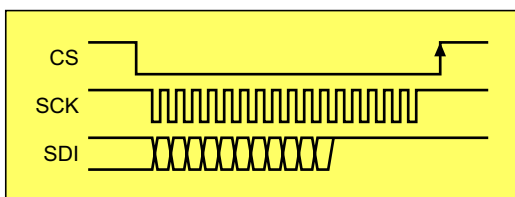


図 12

表 6 スタンバイ，スリープ，ADC モードにおける各ブロックの動作状態

| 項目 | OSC | DLL | TG | V_dr | Bias | Vref | CDS | PGA ADC | シリアル | 復帰方法 | 復帰時間 | 消費電流 | V_dr出力 | ADC出力 |
|--------|-----|-----|----|------|------|------|-----|------------|--------|---------------|-------|------|------------|-------|
| スタンバイ1 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | | — | 320μs | 6mA | P.S. 状態 | Low固定 |
| スタンバイ2 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | 00ffのみ | Osc_res, Calb | 1.5ms | 3mA | | |
| スリープ | × | × | × | × | × | × | × | × | | | 4.5ms | 10μA | | |
| ADCモード | × | × | × | × | × | × | × | × | | — | 320μs | 30mA | | 動作 |



* 復帰時に送るアドレス00ffはCSの立ち上がりが必要です。

- ダミークランプ (アドレス 00f3 の D0 ~ D4)

太陽などのハイライトを撮影した場合、センサの OB 部に光が漏れ込み、クランプミスを引き起こします。この誤動作を防止するため、OB 部とダミー部のレベル差を監視し、

OB 部 > ダミー部 + cpdm_th

の条件になった時には、ダミービットレベルでのクランプ処理に切り替えます。ダミー-on 時のフィードバック電流も同時に cpdm_i で設定した電流値になります。

cpdm 位相をシャッタ傷や転送傷の部分に設定すると誤動作する場合があります。誤動作を防ぐことができない場合には cpdm_th = 0 として、機能を off してください。

また、PGA ゲインによりクランプミス電圧も変動しますので、cpdm_th はゲインに連動して制御してください。

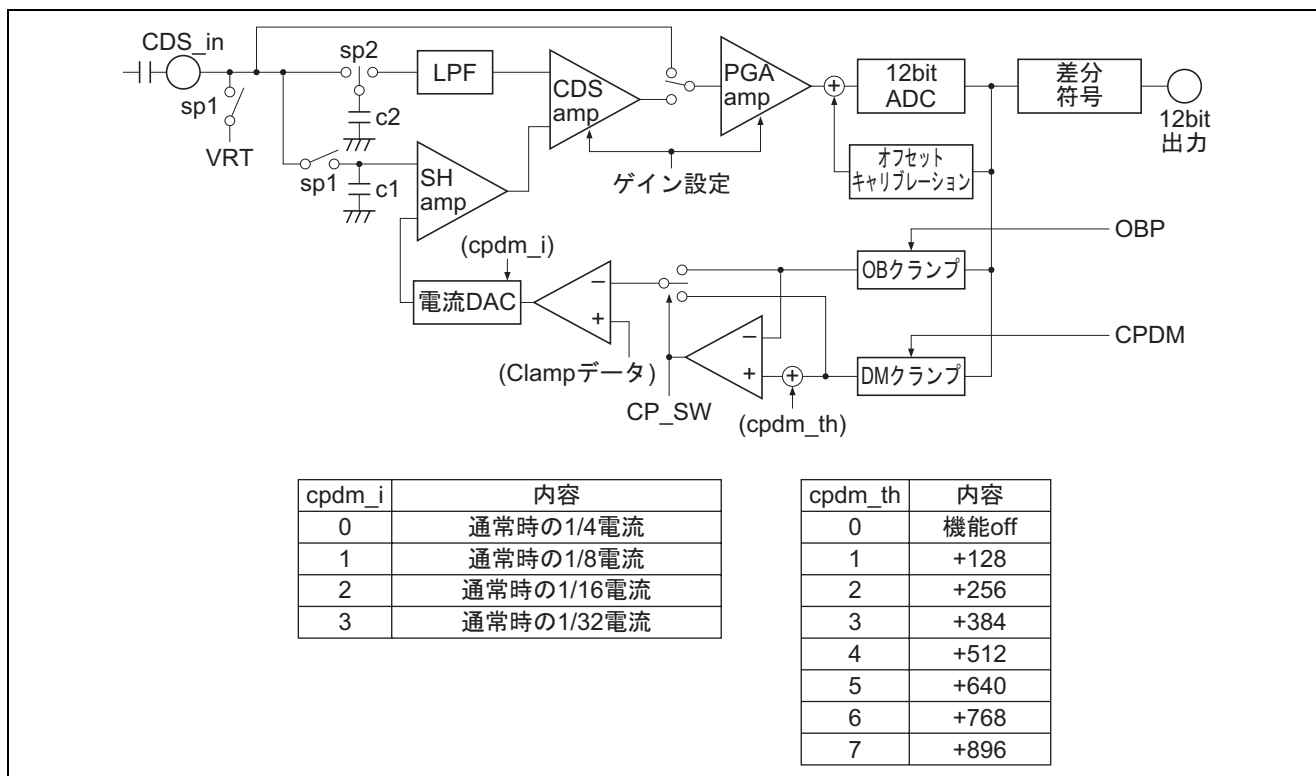


図 13 ダミークランプ回路の構成

- ADC モード (アドレス 00f3 の D8)
D8 = 0 の時, 通常 CDS モード
D8 = 1 の時, テスト用 ADC モードが選択できます。
- L_inv, M_inv, test0 (アドレス 00f4 の D8 ~ D10)
ADC デジタル出力値を以下のように変更できます。

表7 テストモード時の ADC 出力状態

| stby | test0 | L_inv | M_inv | PBLK | ADCデジタル出力 | | | | | | | | | | | | 動作モード | | | |
|------|-------|-------|-------|------|-------------------|-----|----|----|----|----|----|----|----|----|----|----|-------|---|---|--------|
| | | | | | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | | | | |
| H | x | x | x | x | Low固定 | | | | | | | | | | | | 低電力待機 | | | |
| L | L | L | L | L | 表8に従う | | | | | | | | | | | | 通常動作 | | | |
| | | | H | L | 表8でD11が反転 | | | | | | | | | | | | | | | |
| | | H | L | L | 表8でD10~D0が反転 | | | | | | | | | | | | | | | |
| | | | H | L | 表8でD11~D0が反転 | | | | | | | | | | | | | | | |
| | H | x | x | H | 出力コードをClampレベルに固定 | | | | | | | | | | | | PBLK | | | |
| | | | | | L | L | x | H | L | H | L | H | L | H | L | H | L | H | L | テストモード |
| | | | | | | H | x | L | L | H | L | H | L | H | L | H | L | H | L | |
| | | | | | | H | x | H | H | L | H | L | H | L | H | L | H | L | H | |
| H | x | L | x | L | H | L | H | L | H | L | H | L | H | L | H | | | | | |

表8 バイナリ/グレイコード対応表

| 出力コード | バイナリコード | | | | | | | | | | | | グレイコード | | | | | | | | | | | |
|-------|---------|-----|----|----|----|----|----|----|----|----|----|----|--------|-----|----|----|----|----|----|----|----|----|----|----|
| | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| 0 | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | L | |
| 1 | L | L | L | L | L | L | L | L | L | L | L | L | H | L | L | L | L | L | L | L | L | L | H | |
| 2 | L | L | L | L | L | L | L | L | L | L | L | H | L | L | L | L | L | L | L | L | H | H | H | |
| 3 | L | L | L | L | L | L | L | L | L | L | H | H | L | L | L | L | L | L | L | L | H | L | L | |
| 4 | L | L | L | L | L | L | L | L | L | H | L | L | L | L | L | L | L | L | L | H | H | L | L | |
| 5 | L | L | L | L | L | L | L | L | L | H | L | H | L | L | L | L | L | L | L | H | H | H | H | |
| 6 | L | L | L | L | L | L | L | L | L | H | H | L | L | L | L | L | L | L | L | H | L | H | H | |
| : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | |
| 2047 | L | H | H | H | H | H | H | H | H | H | H | H | L | L | L | L | L | L | L | L | L | L | L | |
| 2048 | H | L | L | L | L | L | L | L | L | L | L | L | L | H | H | L | L | L | L | L | L | L | L | |
| : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | : | |
| 4092 | H | H | H | H | H | H | H | H | H | H | L | L | L | L | L | L | L | L | L | L | H | L | L | |
| 4093 | H | H | H | H | H | H | H | H | H | H | L | H | L | L | L | L | L | L | L | L | H | H | H | |
| 4094 | H | H | H | H | H | H | H | H | H | H | L | L | L | L | L | L | L | L | L | L | L | L | H | |
| 4095 | H | H | H | H | H | H | H | H | H | H | H | H | L | L | L | L | L | L | L | L | L | L | L | |

● 差分符号 & グレイコード (アドレス 00f4 の D0 ~ D7)

ADC 出力コードを以下の種類に変更できます。差分符号を使用した場合、パイプライン遅延が 1 クロック増えます。

| 基準位相 (D0) | 基準位相 (D1) | 差分符号選択時の基準データ出力タイミング | Gry (D3) | 差分 (D4) | 出力コード | Gray_ref | | 画素サイクル |
|-----------|-----------|----------------------|----------|---------|----------|----------|----|--------|
| | | | | | | D6 | D7 | |
| 0 | 0 | 3 画素遅延 | 0 | 0 | バイナリ | 0 | 0 | 2 画素 |
| 1 | 0 | 4 画素遅延 | 1 | 0 | グレイ | 1 | 0 | 1 画素 |
| 0 | 1 | 5 画素遅延 | 0 | 1 | 差分符号バイナリ | 0 | 1 | 4 画素 |
| 1 | 1 | 6 画素遅延 | 1 | 1 | 差分符号グレイ | 1 | 1 | 6 画素 |

adck 位相 (D2): OBP に対する adck 極性
 0 の時ポジエッジ
 1 の時ネガエッジ を選択

10/12 (D5): バイナリ → グレイ変換ビット数
 0 の時 12 ビット
 1 の時 10 ビット を選択

ADC 出力の複数のビットが同時に切り替わるポイントで画像に波紋 (量子化誤差による疑似輪郭) が発生します。これを対策する手段として、差分符号 & グレイコードを推奨します。図 14 に回路ブロックを示します。この機能を使うことで輝度信号がなだらかに変化している状態では切り替わるデジタル出力のビット数を極力低減することができ、波紋の低減が容易に可能となります。特にセンサ clk = 30MHz 以上のセットや、ADC 出力を長く引き伸ばすセットなどに効果的です。

差分符号を使用する場合には、DSP 側に複合化回路が必要になります。図 16 に複合化回路例を示します。

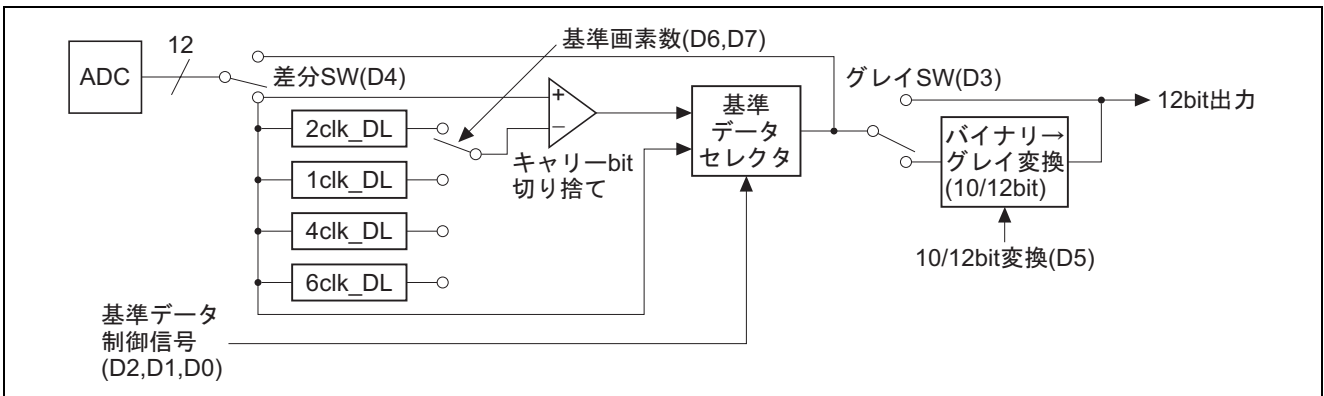


図 14 差分符号、グレイコード化回路

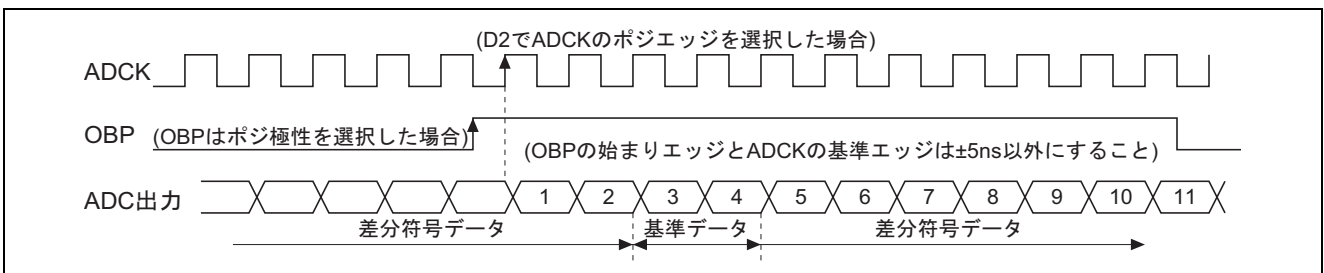


図 15 差分符号タイミング仕様

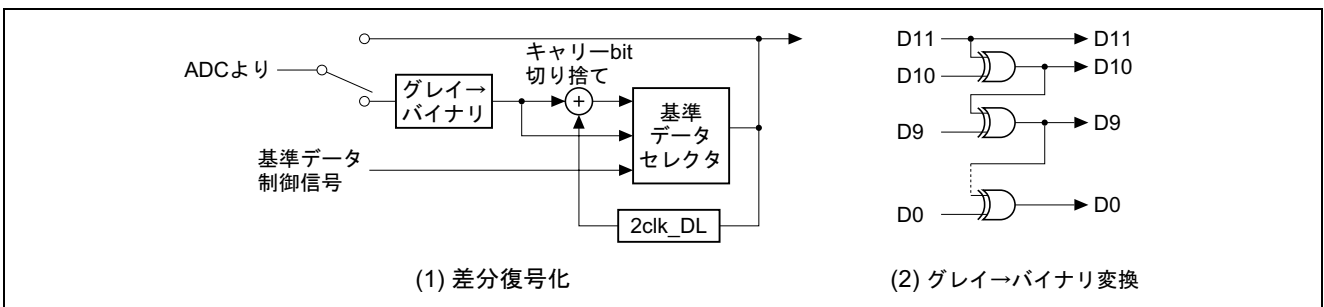


図 16 複合化回路例

- MON (アドレス 00f5 の D0 ~ D2)
3 ビットデータの設定により, MON 端子へ以下のパルスを出力します。

| MON | 出力 |
|-----|-------|
| 0 | CP-SW |
| 1 | ADCK |
| 2 | SP1 |
| 3 | SP2 |
| 4 | CPDM |
| 5 | OBP |
| 6 | FP |
| 7 | PBLK |

- New_Func (アドレス 00f6)

| データ | 名称 | 機能 |
|---------|--------------|--------------------------------|
| D15, 14 | WOB_th3_max | 幅広 OBP カウント設定 |
| D13, 12 | WOB_th2_max | 幅広 OBP カウント設定 |
| D11, 10 | WOB_th1_max | 幅広 OBP カウント設定 |
| D9, 8 | CLP_Hsel | H クランプ高速引き込み H カウント (高速引き込み参照) |
| D7 | CLP_cur | H クランプ補正電流を 2 倍にする |
| D5 | Wide_OBP | 幅広 OBP 機能オンにする |
| D4 | Cpad_sel | Pad テスト。通常は 0 設定 |
| D3 ~ 2 | Wind_clk_sel | 高速引き込みクランプ補正クロック数 (高速引き込み参照) |
| D1 | CP_i | H クランプ補正電流を 2 倍にする |
| D0 | Wob_i | 幅広クランプ補正電流を 2 倍にする |

表 9 幅広 OBP の制御

| | 電流値 Wobp_l | | カウント数 Wob_th1, 2, 3 | | | |
|----------|-------------|-------------|---------------------|------|-----|----|
| | 0 | 1 | 0 | 1 | 2 | 3 |
| lclp_th1 | 200 μ A | 400 μ A | 15 | 63 | 200 | 無限 |
| lclp_th2 | 20 μ A | 40 μ A | 127 | 255 | 511 | 無限 |
| lclp_th3 | 2 μ A | 4 μ A | 511 | 1023 | 無限 | 無限 |

【注】 幅広 OBP をご使用になる場合は, センサの特性や被写体条件により, 悪影響を及ぼす場合もありますので, 十分に予備検討してください。また詳細については弊社営業窓口までご連絡ください。

● 2分周モードについて

入力クロックに対してTG 内部を2分周で動作させるモードがあります。この場合2分周クロックはHD エッジでリセットをかけ 必ず同期させるシステムとしています。アドレス 00fd の D8, D9 の設定 (スレープモードのみ有効) でリセット位置を決定しますので,カメラシステムや入力パルスのマージンを考慮して決定してください。

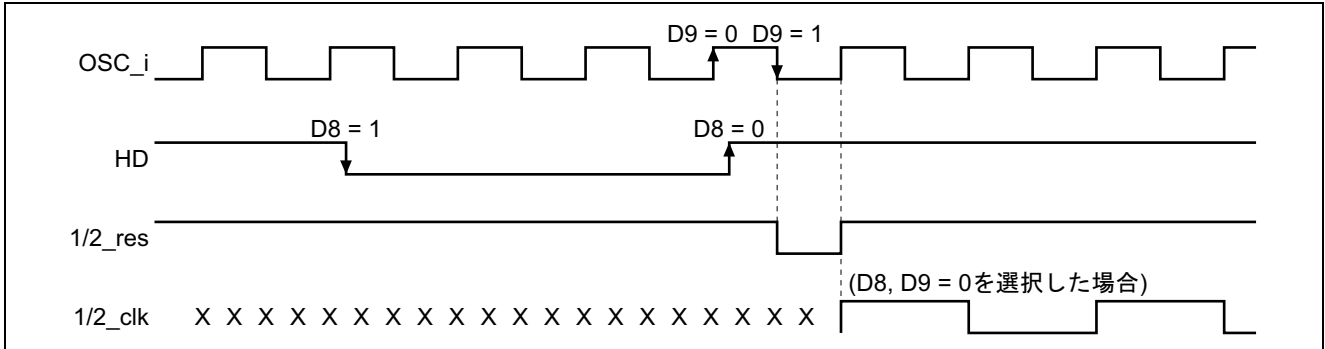


図 17

● clk 系タイミング (アドレス 00fa ~ 00fd)

clk 系パルスは duty = 50%, 25% をおのこの 1/8 位相刻みで選択 (上位 3 ビット) した後, DLL のバッファ遅延 (下位 3 ビット) で最適位相に調整してください。詳細は別紙タイミングチャートを参照願います。

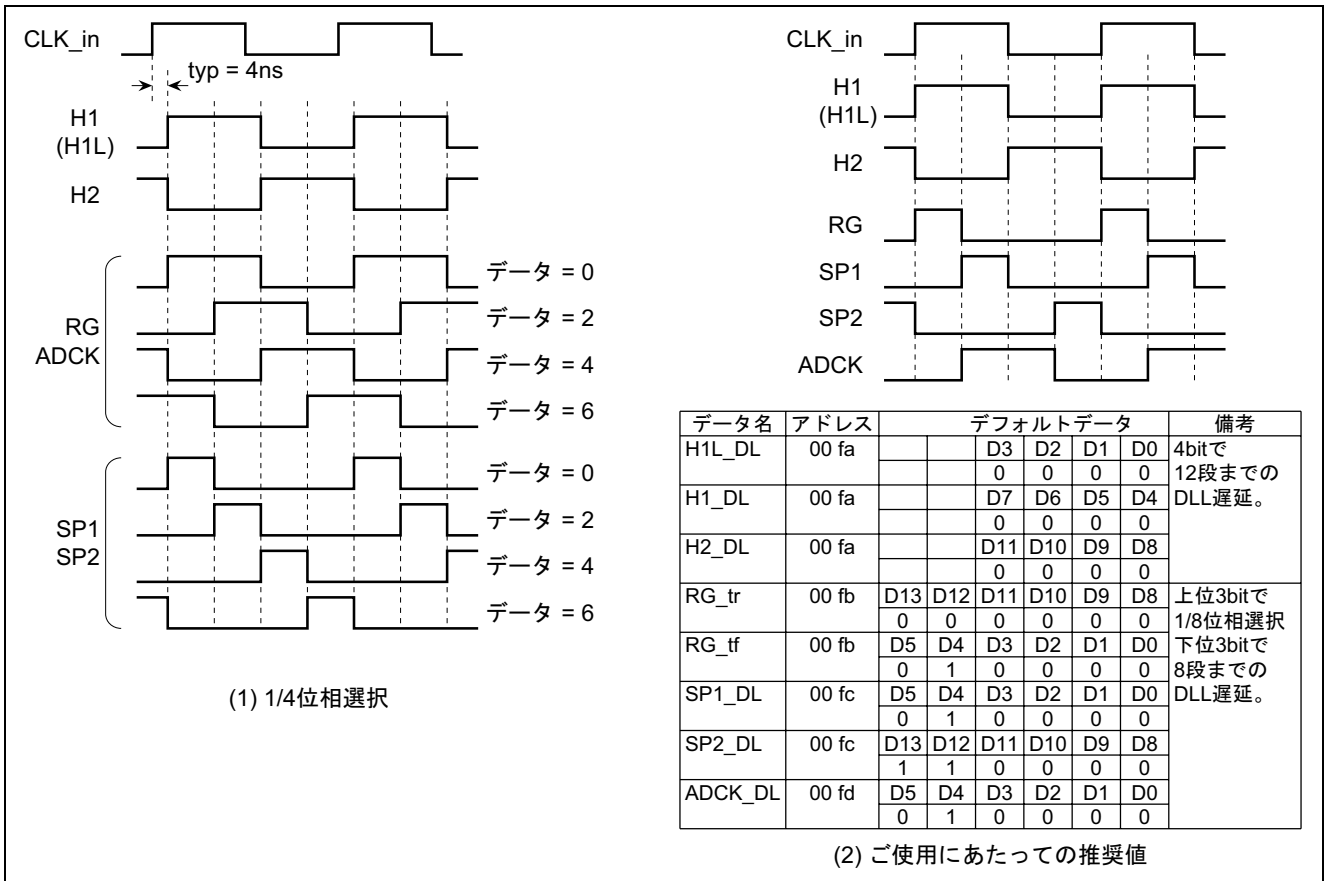


図 18 高速パルスの仕様

- H.Buff (アドレス 00fa の D12 ~ 15)
H1, H2 出力バッファサイズを選択。
D12: 2mA バッファ
D13: 4mA バッファ
D14: 10mA バッファ
D15: 14mA バッファ
対象ビット = 1 で ON, おのこの加算として動作。

- H タイミングについて

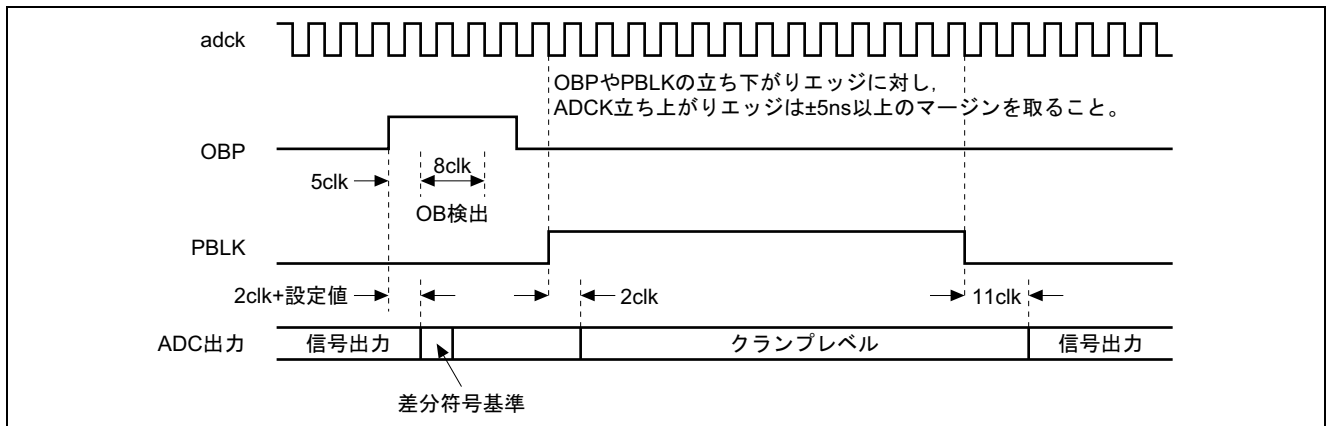


図 19 H.BLK の信号タイミング

パイプラインディレイ

図 20 に CCD_in, ADC_in の各入力端子を使用した場合の出力タイミングを示します。

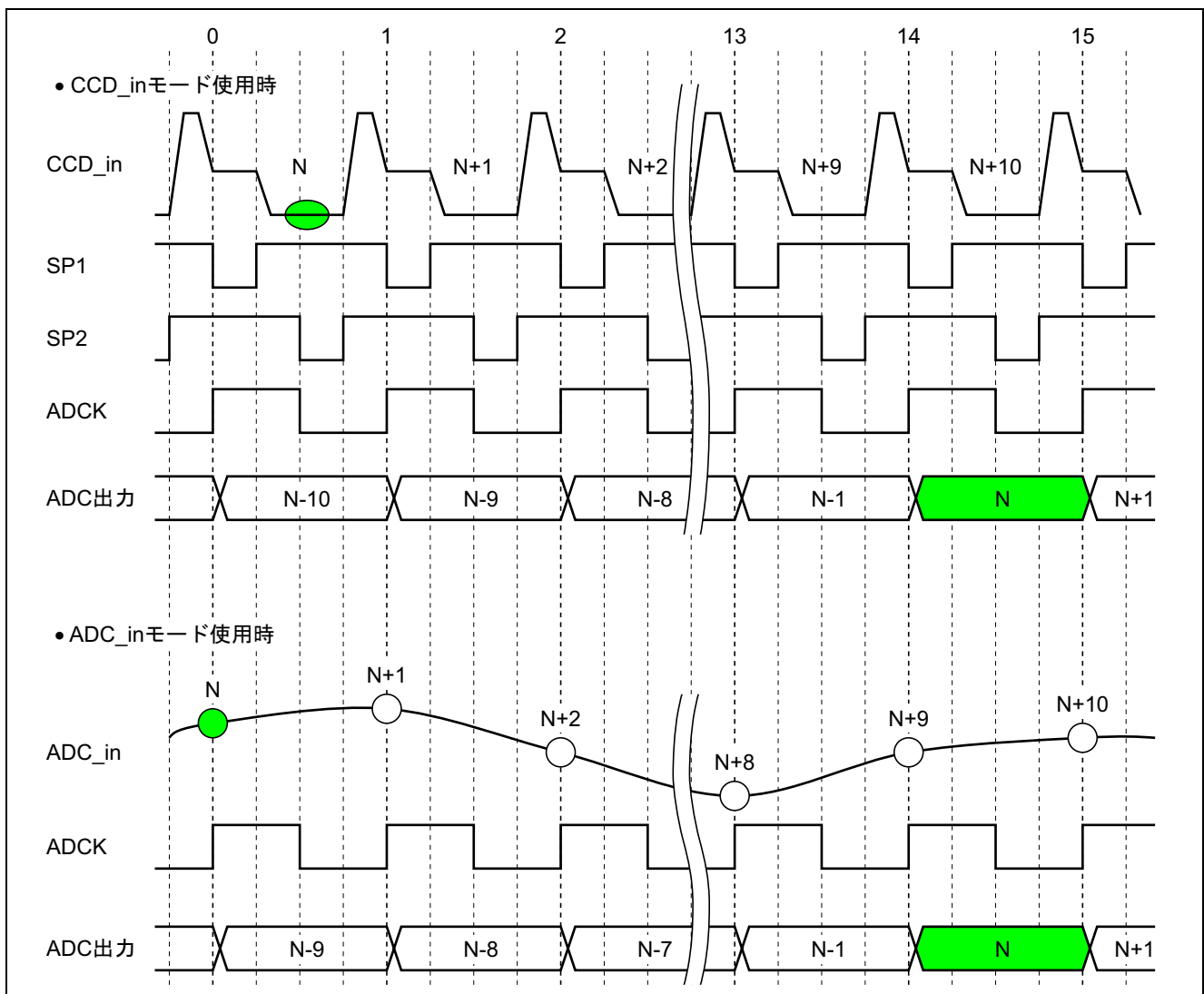


図 20 CCD_in, ADC_in 各モードの出力タイミング

- ADC 出力 (D0 ~ D11) は両入力モードとも ADCK の立ち上がりエッジで出力されます。
- CCD_in モード時のパイプラインディレイは 10 クロック, ADC_in モード時は 9 クロック。
- ADC_in モード時の入力信号サンプリングは ADCK 立ち上がりエッジで行なわれます。
- 差分符号を使用した場合は, パイプラインディレイは更に 1 クロック増えます。

サンプリングタイミング仕様

● CCD_in モード時の詳細タイミング

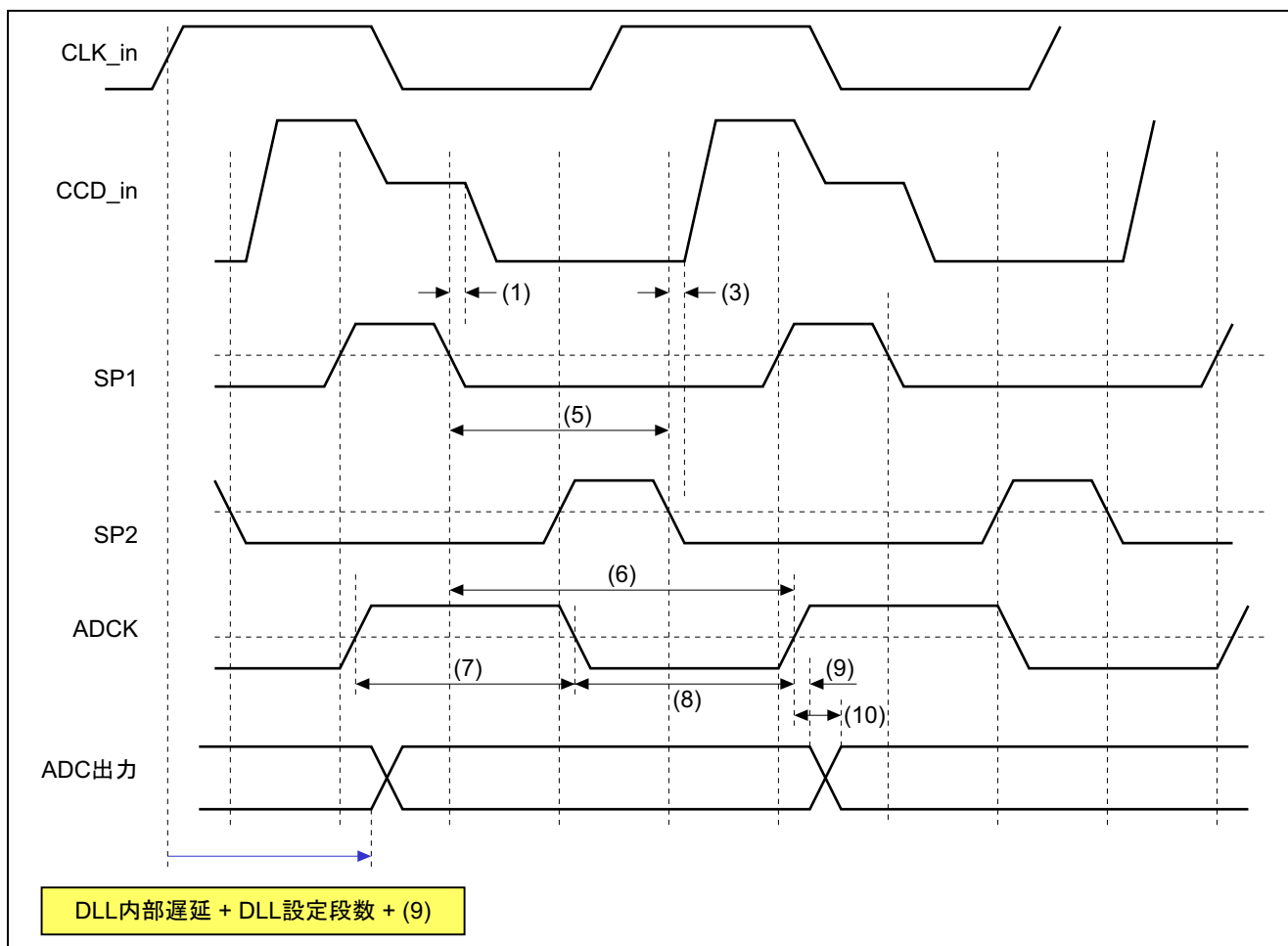


図 21 CCD_in モード時の詳細タイミング仕様

表 10 CDS_in モード時の各タイミング仕様

| No. | タイミング | 記号 | Min | Typ | Max | 単位 |
|--------|--|--------------|-------------------|----------|-------------------|----|
| (1) | 黒レベル信号取り込み時間 | t_{CDS1} | — | (1.5) | — | ns |
| (3) | 信号レベル取り込み時間 | t_{CDS3} | — | (1.5) | — | ns |
| (5) | SP1 立ち下がり ~ SP2 立ち下がり時間 | t_{CDS5} | $Typ \times 0.85$ | $1/2CLK$ | $Typ \times 1.15$ | ns |
| (6) | SP1 立ち下がり ~ ADCK 立ち上がり禁止時間 | t_{CDS6} | — | (7.5) | — | ns |
| (7)(8) | ADCK $t_{WH} \text{ min.}/t_{WL} \text{ min.}$ | $t_{CDS7,8}$ | 11 | — | — | ns |
| (9) | ADCK 立ち上がり ~ デジタル出力保持時間 | t_{CDS9} | (5) | (11) | — | ns |
| (10) | ADCK 立ち上がり ~ デジタル出力遅延時間 | t_{CDS10} | — | (16) | (24) | ns |

- 【注】
- 動作周波数で規定している数値は「 t_{CDS5} 」を守っている場合です。CLK 周波数が仕様内であっても、「 t_{CDS5} 」が短い場合は高周波数動作と等価になります。
 - MON 端子で出力しているサンプリングパルス等は内部で処理したタイミングより約 1.8ns 遅延しています。プローブを付けた場合にはさらに+1ns の遅延を見込んでください。

- OBPの詳細タイミング仕様

図 22 に OBP の詳細タイミング仕様を示します。

OB パルス入力後, 5clk から 12clk 目までが OB 期間です。

OB 期間に入力された 8clk 分の黒信号レベルが平均され, クランプレベル (DC 基準) となります。

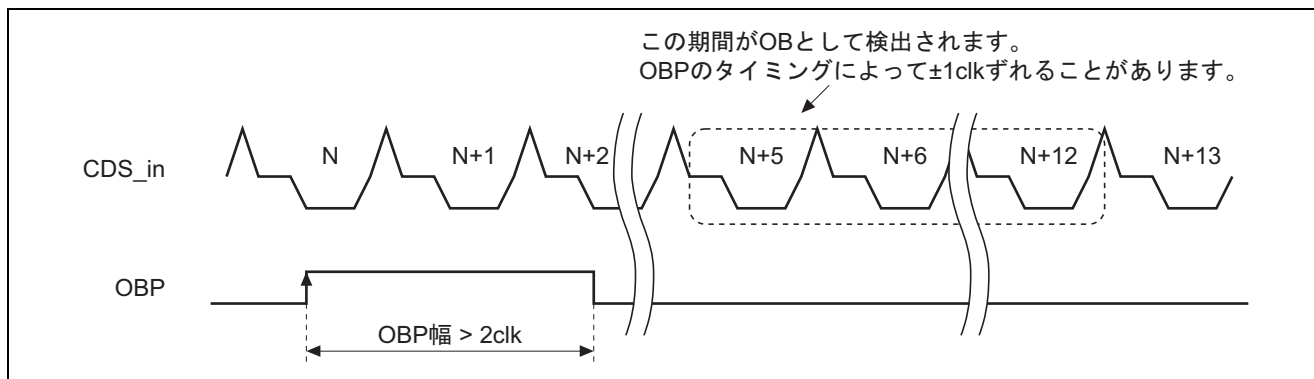


図 22 OBP の詳細タイミング

- PBLKの詳細タイミング仕様

図 23 に PBLK の詳細タイミングを示します。

ただし, 差分符号を選択した場合には, PBLK 中であっても差分符号基準信号は出力されます。

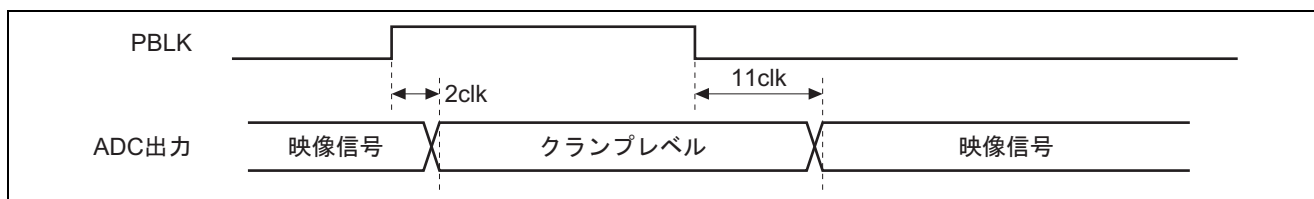


図 23 PBLK の詳細タイミング

- ADC_in モードの詳細タイミング仕様

図 24, 表 11 に ADC_in モード時の詳細タイミングを示します。

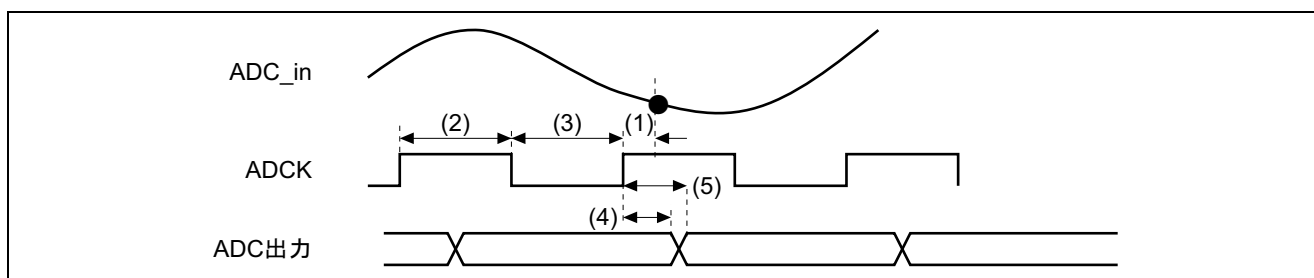
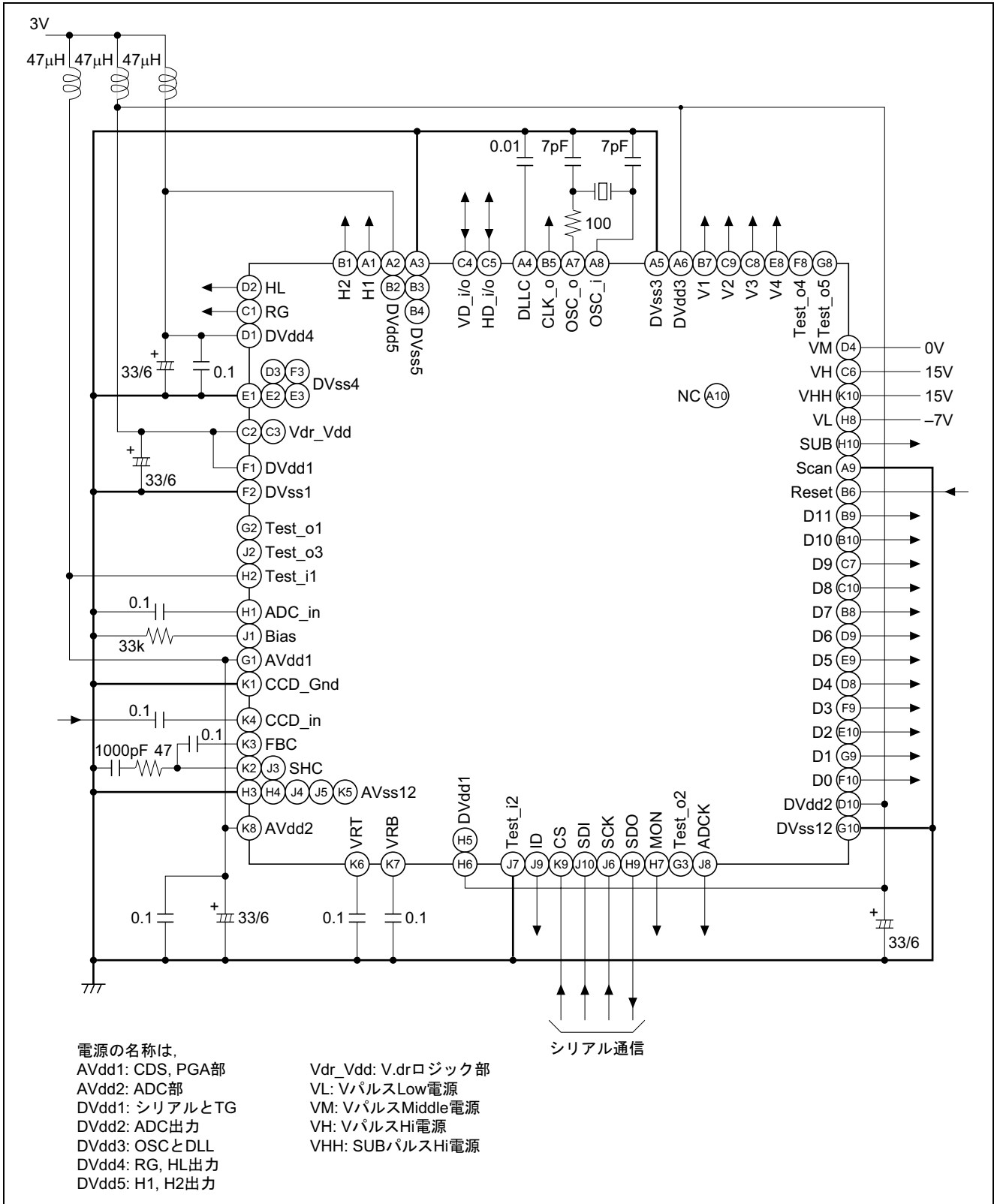


図 24 ADC_in モードの詳細タイミング仕様

表 11 ADC_in モード時の各タイミング仕様

| No. | タイミング | 記号 | Min | Typ | Max | 単位 | 条件 |
|--------|-----------------------------------|--------------|-------------------|----------|-------------------|----|-----------|
| (1) | 信号取り込み時間 | t_{ADC1} | — | (6) | — | ns | |
| (2)(3) | ADCK t_{WH} min./ t_{WL} min. | $t_{ADC2,3}$ | $Typ \times 0.85$ | $1/2CLK$ | $Typ \times 1.15$ | ns | |
| (4) | ADCK 立ち上がり ~ デジタル出力保持時間 | t_{AHL4} | (5) | (12) | — | ns | Co = 20pF |
| (5) | ADCK 立ち上がり ~ デジタル出力遅延時間 | t_{AOD5} | — | (16) | (20) | ns | |

外付け回路例



発振回路について

本 LSI は帰還抵抗を含めた OSC を内蔵しています。使用しない場合はアドレス 00ff の D8 = 1 とすることで外部クロック入力に切り替えることもできます。使用する X'tal につきましてはリバーエレテック社の「FCX-03 シリーズ」および「FCX-04 シリーズ」で弊社にて動作確認しております。ただし、X'tal の種類が異なる場合には外付け抵抗、コンデンサの定数を見直す必要があります。

X'tal を使用しない場合は直接外部 CLK を入力する方法 (図 26) を推奨します。

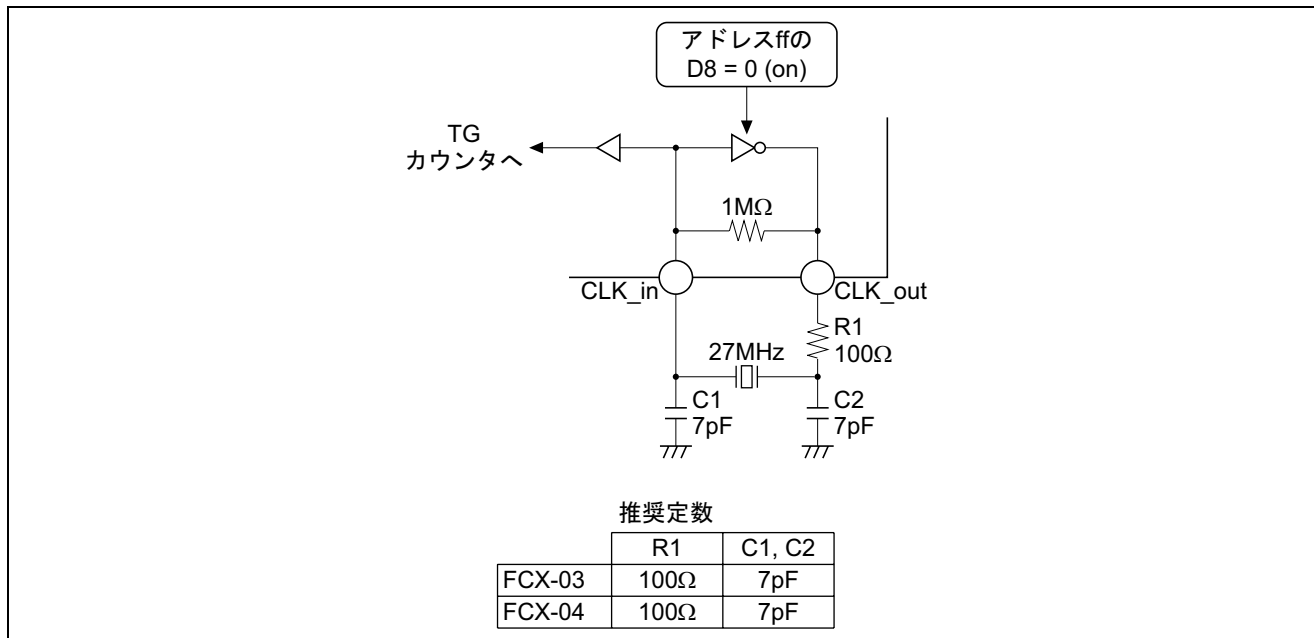


図 25 発振回路

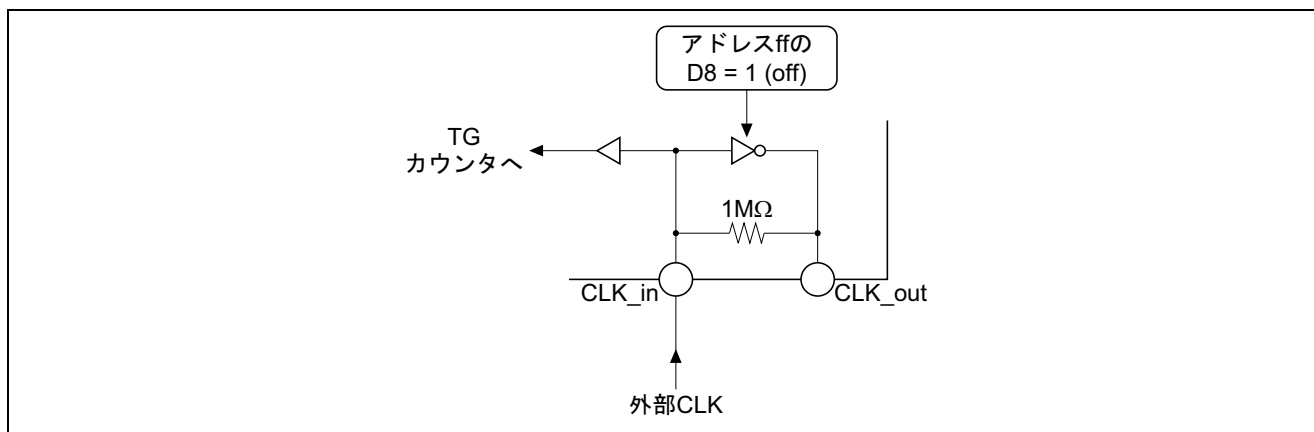


図 26 CLK を外部から入力する場合

ご使用にあたっての注意事項

1. 電源/GND について

- (1) GND はベタとしてください。
- (2) アナログ電源とデジタル電源はLなどで分離してください。
- (3) 電源を分離する場合、DVdd3 以外は各 Vdd 間で $\pm 0.2V$ 以上の電位差を付けないでください。

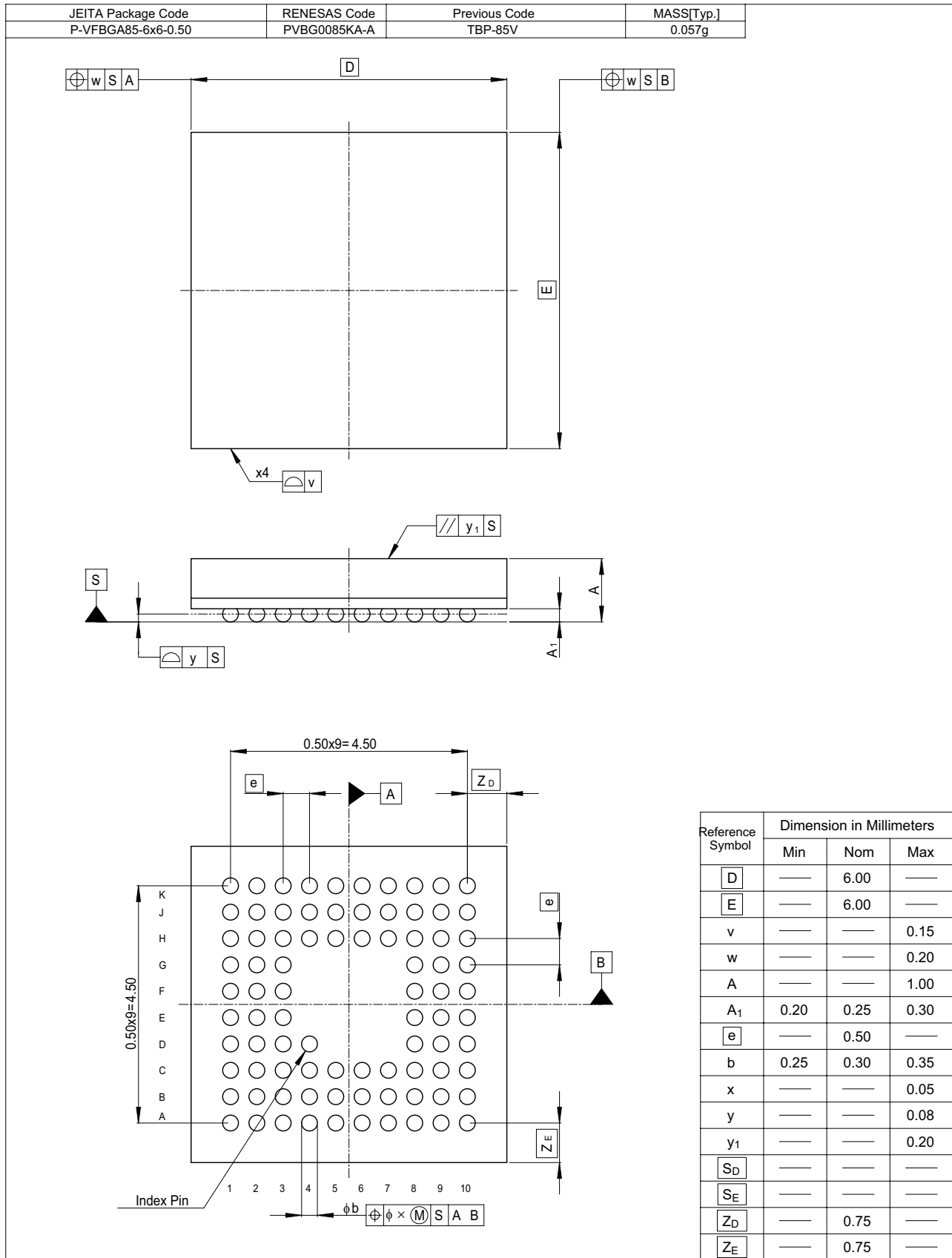
2. パターンの引き回しなど

- (1) アナログ部 (61 ~ 8 ピン) の近くにデジタル信号線を設置しないでください。
- (2) X'tal, DLL 部 (33 ~ 37 ピン) の近くにデジタル信号線を設置しないでください。
- (3) H1, H2, CCD 信号線などはなるべく GND で囲むようにしてください。
- (4) ADC 出力線を長く引き伸ばす場合は、 100Ω 程度のシリーズ抵抗を付けてください。
- (5) CLK_in に使用するクロックはジッタの少ないきれいな信号を入力してください。

3. 実動作時のチェックポイント

| No. | 項目 | 内容 | 判定 |
|-----|----------------|--|----|
| 1 | 入力パルス極性 | スレーブモードの場合、CLK_in, HD_in, VD_in の極性がシリアルデータで設定した内容と合っているか。(アドレス H'0000 の D0 ~ D2) また、CLK_in の duty が $50\% \pm 15\%$ を守っているか。 | |
| 2 | 入力パルスタイミング | スレーブモードの場合、HD_in の基準エッジに対し、CLK_in の基準エッジが $\pm 5.5ns$ 以上の余裕があるか。(別紙タイミングチャート参照) | |
| | | スレーブモードの場合、VD_in の基準エッジに対し、HD_in の基準エッジが 1clk 以上の余裕があるか。(別紙タイミングチャート参照) また、VD の幅は最低でも 1H 以上の幅を持っていること。 | |
| 3 | CCD 駆動パルス | H1, H2, RG が CCD に要求されたタイミングで出力されているか。 | |
| | | V1 ~ 6, SUB が CCD に要求されたタイミングで出力されているか。 | |
| 4 | CDS, PGA 用パルス | CCD 信号に対し MON 端子から SP1, SP2, ADCK を観測。図 21, 表 10 の関係を守っているか。特に t_{CDSS} は動作周波数と等価のため注意。 また、SP1 と SP2 の Low 期間が重ならないこと。 | |
| | | SP1 立ち上がりエッジ付近に ADCK 立ち上がりが設定されているか。 | |
| | | ADCK 立ち上がり と OBP 立ち上がりエッジが $\pm 5ns$ 以上離れているか。 | |
| | | ADCK 立ち上がり と PBLK 立ち下がりエッジが $\pm 5ns$ 以上離れているか。 | |
| 5 | ADC 出力信号 | ADC 出力と DSP のラッチタイミングに余裕度があるか。 | |
| | | 差分符号を使用する場合、基準位相は問題無いか。 | |
| 6 | オフセットキャリブレーション | 電源投入時、または SLP からの復帰時に図 9 に記載したシーケンスを守っているか。 | |
| 7 | S/N 向上 | SP1, SP2 の位相調整, ADCK の位相調整。調整終了後に項目 4 を再チェック。 | |
| | | LPF_sel, SHSW_fsel, SHA_fsel のフィルタ調整。 | |
| 8 | クランプ動作 | クランプコンデンサは横引きノイズとクランプ高速引き込みがトレードオフの関係になります。双方の特性をチェックして最適値を決定してください。 | |
| | | クランプミス誘発させ、ダミークランプのデータやパルスタイミングを設定。OB クランプ時とのマージンを見てください。 | |
| | | ダミークランプや幅広クランプはセンサの特性、被写体条件、使用条件により悪影響を与える場合がありますので、十分なる検討をお願いします。 | |

外形寸法図



本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなまじく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

| | | | | |
|---|---|-----------|--------------------------------|----------------|
| 本 | 社 | 〒100-0004 | 千代田区大手町2-6-2 (日本ビル) | (03) 5201-5350 |
| 西 | 東 | 〒190-0023 | 立川市柴崎町2-2-23 (第二高島ビル2F) | (042) 524-8701 |
| 東 | 北 | 〒980-0013 | 仙台市青葉区花京院1-1-20 (花京院スクエア13F) | (022) 221-1351 |
| い | わ | 〒970-8026 | いわき市平小太郎町4-9 (平小太郎ビル) | (0246) 22-3222 |
| 茨 | 城 | 〒312-0034 | ひたちなか市堀口832-2 (日立システムプラザ勝田1F) | (029) 271-9411 |
| 新 | 潟 | 〒950-0087 | 新潟市東大通1-4-2 (新潟三井物産ビル3F) | (025) 241-4361 |
| 松 | 本 | 〒390-0815 | 松本市深志1-2-11 (昭和ビル7F) | (0263) 33-6622 |
| 中 | 部 | 〒460-0008 | 名古屋市中区栄4-2-29 (名古屋広小路プレイス) | (052) 249-3330 |
| 関 | 西 | 〒541-0044 | 大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル) | (06) 6233-9500 |
| 北 | 陸 | 〒920-0031 | 金沢市広岡3-1-1 (金沢パークビル8F) | (076) 233-5980 |
| 広 | 島 | 〒730-0036 | 広島市中区袋町5-25 (広島袋町ビルディング8F) | (082) 244-2570 |
| 九 | 州 | 〒812-0011 | 福岡市博多区博多駅前2-17-1 (博多プレステージ5F) | (092) 481-7695 |

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com