

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R2J45011BG/HBG

CDS/PGA&12 ビット A/D コンバータ TG, V.drv 内蔵

RJJ03F0254-0100
Rev.1.00
2008.09.30

概要

R2J45011BG/HBG はデジタルカメラ信号処理システムに最適な CCD アナログフロントエンド LSI です。CDS, PGA のアナログ処理回路および 12 ビット A/D コンバータの他, CCD 駆動に必要なすべてのパルスを生成する TG および V.drv を 1 パッケージに収めています。

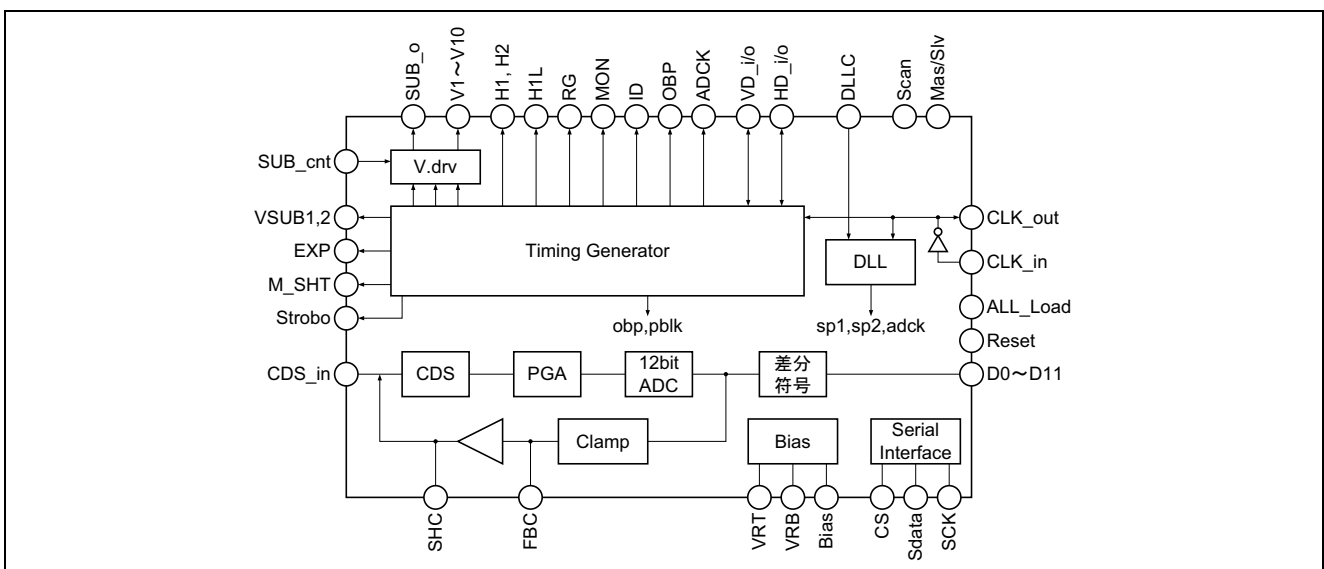
機能

- 相関二重サンプリング (CDS)
- プログラマブルゲインアンプ (PGA)
- 12 ビット A/D コンバータ
- シリアルインタフェース制御
- TG (Timing Generator), V.drv 内蔵
- 3.0V 単一動作
- 消費電力/動作周波数切り替えモード対応
R2J45011HBG: 330mW (typ)/f_max = 36MHz
R2J45011BG: 230mW (typ)/f_max = 28MHz
- FBGA-113 パッケージ

特長

- 相関二重サンプリングにより, CCD リセット雑音の抑制が可能
- PGA は-6 ~ +34dB まで 10 ビット階調 (dB リニア) により, 高感度化が可能
- A/D コンバータは 12 ビット分解能で高精度
- シリアルインタフェースにより, PGA ゲイン, フィルタ定数, パルスタイミング, etc の設定が可能
- CCD 駆動に必要な全てのパルス生成が可能
- DLL により, サンプリングパルスの遅延バラツキを抑制
- A/D 出力コードとして差分符号化グレーコードを選択可能
疑似輪郭 (波紋) の抑圧に効果的。弊社にて特許申請中。

ブロックダイアグラム



ピン配置

R2J45011BG/HBG											
	1	2	3	4	5	6	7	8	9	10	11
A	DVss 2	SUB_o	Sdata	VHb	VRB	VRB2	VRT	AVdd1	Bias	CDS_ in	FBC
B	V10	DVss 1c	SCK	CS	ID	VLb	AVss2	VLc	ADC_ in	AVss	SHC
C	V9	D0	D2	Vmb	OBP	AVdd2	CH7	AVss1	Strobo	MSHT	VRT2
D	V8	D1	D3	D4	ADCK	MON	DVdd 1c	VSUB2	EXP	Sub cnt	CH5
E	V7A	V7B	D5	D6	Vm sub			XSUB	VSUB1	CH8	CH4
F	V6	D8	D9	D10				CH6	CH3	NC	NC
G	V5A	Scan	V5B	D11				DVss 1b	CH1	CH2	XV11
H	V3B	Mas/ Slv	All_ Load	Reset	DVdd2	V4	D7	VD i/o	DVdd 1b	XV12	XV8
J	DLLC	V2	CLK_ sel	HD i/o	VHa	VMa	XV1	XV2	VLa	XV10	XV9
K	V3A	V1A	DVdd 1a	DVss 1a	DVdd 3a	DVss3	DVdd 3b	Vdd	XV3	XV7	Vdd
L	CLK_ in	CLK_ out	V1B	RG	H1L	H1	H2	XV4	XV5	XV6	Vdd

(上面図)
外形: PTLG0113JA-A (TLP-113V)

ピン説明

ピン No.	記号	説明	I/O	アナログ (A)/ デジタル (D)	備考
A1	DVss2	AFE_ADC 出力部 GND (0V)	—	D	
A2	SUB_o	V.driv_SUB パルス出力	O	D	
A3	Sdata	AFE_シリアル通信 Sdata 入力	I	D	
A4	VHb	V.driv_VH 電源 A (15V)	—	D	
A5	VRB	AFE_ADC 部基準電圧 (対 GND に 0.1 μ F)	O	A	
A6	VRB2	同上	O	A	
A7	VRT	AFE_ADC 部基準電圧 (対 GND に 0.1 μ F)	O	A	
A8	Avdd1	AFE_CDS 部電源 (3V)	—	A	
A9	Bias	AFE_Bias 端子 (対 GND に 33k Ω)	I	A	
A10	CDS_in	AFE_CDS 入力	I	A	
A11	FBC	AFE_クランプ端子 (SHC 端子間に 0.1 μ F)	I	A	
B1	V10	V.driv_10 パルス出力	O	D	
B2	DVss1c	AFE_内部ロジック GND	—	D	
B3	SCK	AFE_シリアル通信 SCK 入力	I	D	
B4	CS	AFE_シリアル通信 CS 入力	I	D	
B5	ID	AFE_ID パルス出力	O	D	2mA/10pF
B6	VLb	V.driv_VL 電源 B (-7V)	—	D	
B7	Avss2	AFE_ADC 出力部 GND	—	A	
B8	VLc	V.driv_VL 電源 C (-7V)	—	D	
B9	ADC_in	AFE_ADC 入力	I	A	
B10	AVss	アナログ GND	—	A	
B11	SHC	AFE_SH アンプ出力端子 (対 GND に 47 Ω + 1000pF)	O	A	
C1	V9	V.driv_V9 パルス出力	O	D	
C2	D0	AFE_ADC 出力 D0 (LSB)	O	D	2mA/10pF
C3	D2	AFE_ADC 出力 D2	O	D	2mA/10pF
C4	VMb	V.driv_VM 電源 B (0V)	—	D	
C5	OBP	AFE_OB パルス出力	O	D	2mA/10pF
C6	Avdd2	AFE_ADC 部電源 (3V)	—	A	
C7	CH7	AFE_CH7 パルス出力	O	D	2mA/10pF
C8	Avss1	AFE_CDS 部 GND	—	A	
C9	Strobo	AFE_ストロボパルス出力	O	D	2mA/10pF
C10	MSHT	AFE_メカニカルシャッターパルス出力	O	D	2mA/10pF
C11	VRT2	AFE_ADC 部基準電圧 (VRT と同じ)	O	A	
D1	V8	V.driv_V8 出力	O	D	
D2	D1	AFE_ADC 出力 D1	O	D	2mA/10pF
D3	D3	AFE_ADC 出力 D3	O	D	2mA/10pF
D4	D4	AFE_ADC 出力 D4	O	D	2mA/10pF
D5	ADCK	AFE_ADCK パルス出力	O	D	2mA/10pF
D6	MON	AFE_MON 端子 (sp1, sp2, adck, cpdm パルス出力)	O	D	2mA/10pF
D7	DVdd1c	AFE_内部ロジック電源 (3V)	—	D	
D8	VSUB2	AFE_VSUB2 出力	O	D	2mA/10pF
D9	EXP	AFE_EXP パルス出力	O	D	2mA/10pF
D10	Sub_cnt	V.dr_sub ミドル電圧制御入力	I	D	
D11	CH5	AFE_CH5 パルス出力	O	D	2mA/10pF

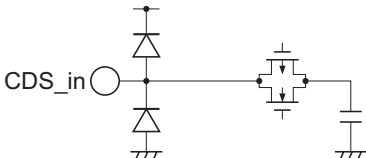
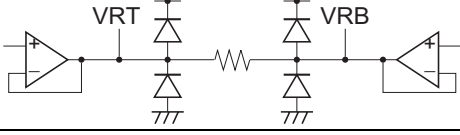
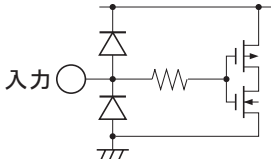
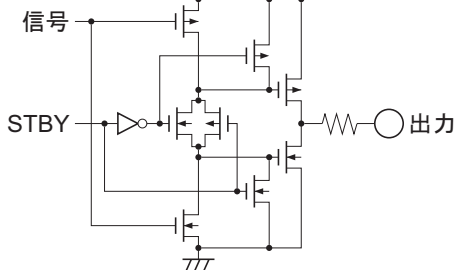
(次頁へ続く)

ピン No.	記号	説明	I/O	アナログ (A)/ デジタル (D)	備考
E1	V7A	V.driv_V7A パルス出力	O	D	
E2	V7B	V.driv_V7B パルス出力	O	D	
E3	D5	AFE_ADC 出力 D5	O	D	2mA/10pF
E4	D6	AFE_ADC 出力 D6	O	D	2mA/10pF
E5	Vm_sub	V.dr_sub ミドル電源	—	D	
E8	XSUB	AFE_XSUB パルス出力	O	D	2mA/10pF
E9	VSUB1	AFE_VSUB1 パルス出力	O	D	2mA/10pF
E10	CH8	AFE_CH8 パルス出力	O	D	2mA/10pF
E11	CH4	AFE_CH4 パルス出力	O	D	2mA/10pF
F1	V6	V.driv_V6 パルス出力	O	D	
F2	D8	AFE_ADC 出力 D8	O	D	2mA/10pF
F3	D9	AFE_ADC 出力 D9	O	D	2mA/10pF
F4	D10	AFE_ADC 出力 D10	O	D	2mA/10pF
F8	CH6	AFE_CH6 パルス出力	O	D	2mA/10pF
F9	CH3	AFE_CH3 パルス出力	O	D	2mA/10pF
F10	NC				
F11	NC				
G1	V5A	V.driv_V5A 出力	O	D	
G2	Scan	AFE_Scan 入力	I	D	
G3	V5B	V.driv_V5B 出力	O	D	
G4	D11	AFE_ADC 出力 D11 (MSB)	O	D	2mA/10pF
G8	DVss1b	AFE_内部ロジック GND_B	—	D	
G9	CH1	AFE_CH1 パルス出力	O	D	2mA/10pF
G10	CH2	AFE_CH2 パルス出力	O	D	2mA/10pF
G11	XV11	AFE_XV11 パルス出力	O	D	2mA/10pF
H1	V3B	V.driv_V3B パルス出力	O	D	
H2	Ms/Slv	AFE_マスタ/スレーブ切り替え入力	I	D	
H3	All_Load	AFE_All_Load 入力	I	D	
H4	Reset	AFE_Reset 入力	I	D	
H5	DVdd2	AFE_ADC 部電源 (3V)	—	D	
H6	V4	V.driv_V4 パルス出力	O	D	
H7	D7	AFE_ADC 出力 D7	O	D	2mA/10pF
H8	VD	AFE_VD 入出力	I/O	D	
H9	DVdd1b	AFE_内部ロジック電源 (3V)	—	D	
H10	XV12	AFE_XV12 パルス出力	O	D	2mA/10pF
H11	XV8	AFE_XV8 パルス出力	O	D	2mA/10pF
J1	DLLC	AFE_DLL 出力	O	A	
J2	V2	V.driv_V2 パルス出力	O	D	
J3	CLK_sel	AFE_CLK 分周選択入力	I	D	
J4	HD	AFE_HD 入出力	I/O	D	
J5	VHa	V.driv_VH 電源 A (15V)	—	D	
J6	VMa	V.driv_VM 電源 A (0V)	—	D	
J7	XV1	AFE_XV1 パルス出力	O	D	2mA/10pF
J8	XV2	AFE_XV2 パルス出力	O	D	2mA/10pF
J9	VLa	V.driv_VL 電源 A (-7V)	—	D	
J10	XV10	AFE_XV10 パルス出力	O	D	2mA/10pF
J11	XV9	AFE_XV9 パルス出力	O	D	2mA/10pF

(次頁へ続く)

ピン No.	記号	説明	I/O	アナログ (A)/ デジタル (D)	備考
K1	V3A	V.driv_V3A 出力	O	D	
K2	V1A	V.driv_V1A 出力	O	D	
K3	DVdd1a	AFE_内部ロジック電源 A (3V)	—	D	
K4	DVss1a	AFE_内部ロジック GND	—	D	
K5	DVdd3a	AFE_H バッファ用電源 A (3V)	—	D	
K6	DVss3	AFE_H バッファ用 GND (0V)	—	D	
K7	DVdd3b	AFE_H バッファ用電源 B (3V)	—	D	
K8	Vdd	V.driv_ロジック電源 (3V)	—	D	
K9	XV3	AFE_XV3 パルス出力	O	D	2mA/10pF
K10	XV7	AFE_XV7 パルス出力	O	D	2mA/10pF
K11	Vdd	V.driv_ロジック電源 (3V)	—	D	
L1	CLK_in	AFE_OSC 入力	I	D	
L2	CLK_out	AFE_OSC 出力	O	D	
L3	V1B	V.driv_V1B パルス出力	O	D	
L4	RG	AFE_RG パルス出力	O	D	3mA/10pF
L5	H1L	AFE_H1L パルス出力	O	D	3mA/10pF
L6	H1	AFE_H1 パルス出力	O	D	30mA/165pF
L7	H2	AFE_H2 パルス出力	O	D	30mA/165pF
L8	XV4	AFE_XV4 パルス出力	O	D	2mA/10pF
L9	XV5	AFE_XV5 パルス出力	O	D	2mA/10pF
L10	XV6	AFE_XV6 パルス出力	O	D	2mA/10pF
L11	Vdd	V.driv_ロジック電源 (3V)	—	D	

入出力等価回路

ピン名		等価回路
アナログ	CDS_in	
	VRT VRB	
デジタル	入力	
	出力	

絶対最大定格

(Ta = 25°C)

項目	記号	定格値	単位
電源電圧	Vdd	4.1	V
	VL	GND ~ -10	
	VH	VL + 27	
許容損失	Pt (max)	600	mW
動作電源電圧	Vopr	2.85 ~ 3.45 * ¹	V
アナログ入力電圧	Vin (max)	-0.3 ~ AVdd + 0.3	V
デジタル入力電圧	Vi (max)	-0.3 ~ DVdd + 0.3	V
動作温度	Topr	-20 ~ +85	°C
保存温度	Tstg	-55 ~ +125	°C

【注】 1. DVdd3 は Max 3.6V

電気的特性

- AFE 部の項目

(特許なき場合, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
電源電圧範囲	Vdd1	2.85	3.0	3.45	V	Avdd1, 2, DVdd1, 2	
	Vdd2	2.85	3.0	3.6	V	DVdd3	
変換周波数 * ¹	Fck_H	28	—	36	MHz	R2J45011HBG	アドレス 00f2 の D6 で切り替え
	Fck_L	10	—	28	MHz	R2J45011BG	
デジタル入力電圧	VIH	0.73×DVdd	—	DVdd	V		全デジタル 入力ピン
	VIL	0	—	0.2×DVdd	V		
デジタル出力電圧	VOH	DVdd - 0.5	—	—		IOH = -1mA	H系以外の デジタル出力ピン
	VOL	—	—	0.5		IOL = +1mA	
デジタル入力電流	IIH	—	—	80	μA	VIH = Vdd	
	IIL	-80	—	—	μA	VIL = 0V	
ADC 分解能	RES	—	12	—	bit		
ADC 積分リニアリティー	INL	—	(16)	—	LSB	Fck = 20MHz	
ADC 微分リニアリティー	DNL	-0.99	(±0.6)	—	LSB	Fck = 20MHz	
スリープ電流	ISLP	-100	—	100	μA	D 入力ピンは 0V, D 出力ピンは open	
スタンバイ電流	ISTBY	—	12.5	15	mA	D 入出力ピンは 0V	

【注】 1. 変換周波数はセンサ clk で規定しています。本 LSI では CLK_in に対しその周波数で駆動するモードと 2 分周モードがあります。どちらのモードでもアナログ回路にとっての周波数で規定します。

- AFE 部の項目

(特許なき場合, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流	I _{dd1}	—	(112)	—	mA	F _{ck} = 36MHz	TG を含む
	I _{dd2}	—	(78)	89.7	mA	F _{ck} = 28MHz	
CCD 入力 オフセット	V _{CCD}	(-150)	—	(150)	mV		
サンプリング タイミング仕様	t _{CDS1}	—	3.5	—	ns		表 8 参照
	t _{CDS2}	Typ × 0.8	1/4F _{ck}	Typ × 1.2	ns		
	t _{CDS3}	—	3.5	—	ns		
	t _{CDS4}	Typ × 0.8	1/4F _{ck}	Typ × 1.2	ns		
	t _{CDS5}	Typ × 0.85	1/2F _{ck}	Typ × 1.0	ns		
	t _{CDS6}	—	(7.5)	—	ns		
	t _{CDS7}	11	—	—	ns		
	t _{CDS8}	11	—	—	ns		
	t _{CDS9}	—	(11)	—	ns		
	t _{CDS10}	—	(18)	—	ns		
クランプレベル	CLP(00)	—	(56)	—	LSB		クランプレベル = 設定値 × 8 + 56
	CLP(09)	—	(128)	—	LSB		
	CLP(31)	—	(304)	—	LSB		
PGA ゲイン	PGA(0)	-8	-6	-4	dB		1.0V 入力時にデジタル出力がフルスケールになった場合を 0dB と定義
	PGA(256)	1.73	3.73	5.73	dB		
	PGA(512)	11.46	13.46	15.46	dB		
	PGA(768)	21.18	23.18	25.18	dB		
	PGA(1023)	30.87	32.87	34.87	dB		

- TG 部の項目

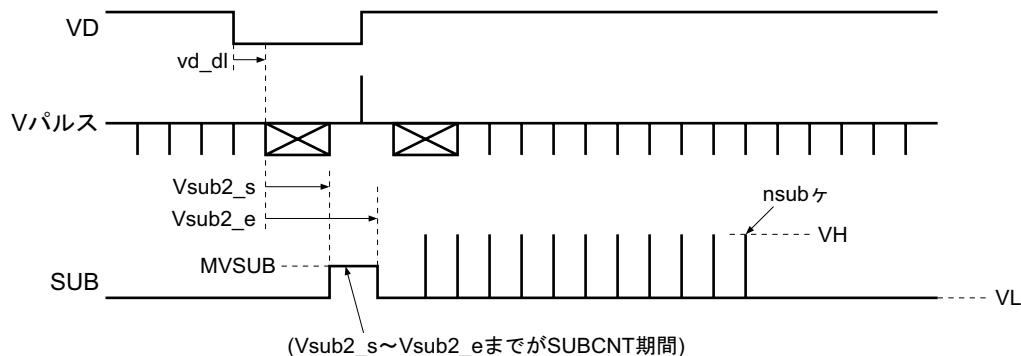
(特許なき場合, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

項目	記号	Min	Typ	Max	単位	測定条件	備考
DLL 動作周波数	F _{dll}	10	—	28/36	MHz		Low pwr/Nor pwr
H_Buff 出力電圧	V _{OH}	2.94	2.97	—	V	30mA Buff I _{OH} = -5mA	V _{dd} = 3.0V 時
	V _{OL}	—	22	47	mV	30mA Buff I _{OL} = +5mA	
	V _{OH}	2.89	2.94	—	V	14mA Buff I _{OH} = -5mA	
	V _{OL}	—	50	112	mV	14mA Buff I _{OL} = +5mA	
	V _{OH}	2.91	2.96	—	V	10mA Buff I _{OH} = -3mA	
	V _{OL}	—	36	78	mV	10mA Buff I _{OL} = +3mA	
	V _{OH}	2.85	2.93	—	V	4mA Buff I _{OH} = -2mA	
	V _{OL}	—	60	129	mV	4mA Buff I _{OL} = +2mA	
	V _{OH}	2.69	2.86	—	V	2mA Buff I _{OH} = -2mA	
	V _{OL}	—	115	—	mV	2mA Buff I _{OL} = +2mA	
RG 出力電圧	V _{OH}	2.81	2.90	—	V	I _{OH} = -1.5mA	
	V _{OL}	—	78	141	mV	I _{OL} = +1.5mA	

● V.drv 論理機能表

入力			出力	
XV1, XV3 XV5A, XV5B XV7A, XV7B	CH1A, CH1B CH3A, CH3B CH5A, CH5B CH7A, CH7B	XV2, XV4 XV6, XV8 XV9, XV10	V1A, V1B V3A, V3B V5A, V5B V7A V7B	V2, V4 V6, V8 V9, V10
L	L	X	VH	X
L	H	X	VM	X
H	L	X	Z	X
H	H	X	VL	X
X	X	L	X	VM
X	X	H	X	VL

入力		出力
XSUB	SUBCNT	SUB
L	L	VH
L	H	X
H	L	VL
H	H	VMSUB



● V.drv 部の直流特性

(特許なき場合, Vdd = 3.0V, VH = 15V, VM = 0V, VL = -7.5V, Ta = 25°C)

項目	記号	Min	Typ	Max	単位	測定条件	備考
電源電圧	Vdd	2.85	—	3.45	V		
	VL	-9	—	-5			
	VH	11	—	17			
	VM	—	0	—			
回路電流	Iddo	—	1.2	2.2	mA	全入力 = L 時の全体	
ハイレベル入力電圧	VIH	(Vdd - 0.7)	—	—	V		外部からの 入力不要
ローレベル入力電圧	VIL	—	—	(0.7)	V		
入力電流	IIN	(-10)	0	(10)	μA	Vin = GND ~ Vdd	
H レベルオン抵抗		—	—	45	Ω	IOH = -10mA	
M レベルオン抵抗		—	—	45	Ω	IOM = ±10mA	
L レベルオン抵抗		—	—	45	Ω	IOL = 10mA	

- V.drv 部の交流特性

(特許なき場合, $V_{dd} = 3.0V$, $V_H = 15V$, $V_M = 0V$, $V_L = -7.5V$, $T_a = 25^\circ C$)

項目	記号	Min	Typ	Max	単位	測定条件	備考
2 値出力端子 (V2, V4, V6, V8, V9, V10)							
伝搬遅延時間	TPLM	—	—	100	ns	無負荷 * ¹	
	TPML	—	—	50			
立ち上がり時間	TTLM	—	—	500	ns	$V_L \rightarrow V_M$ * ¹	
立ち下がり時間	TTML1	—	—	500	ns	$V_M \rightarrow V_L$ * ¹	
	TTML2	—	—	—		$V_M \rightarrow V_L$ (無負荷)	
3 値出力端子 (V1A, V1B, V3A, V3B, V5A, V5B, V7A, V7B)							
伝搬遅延時間	TPLM	—	—	100	ns	無負荷 * ¹	
	TPML	—	—	50	ns	無負荷 * ¹	
	TPMH	—	—	100	ns	無負荷 * ¹	
	TPHM	—	—	50	ns	無負荷 * ¹	
立ち上がり時間	TTLM	—	—	500	ns	$V_L \rightarrow V_M$ * ¹	
	TTMH	—	—	500	ns	$V_M \rightarrow V_H$ * ¹	
立ち下がり時間	TTHM	—	—	500	ns	$V_H \rightarrow V_M$ * ¹	
	TTML1	—	—	500	ns	$V_M \rightarrow V_L$ * ¹	
	TTML2	—	—	—	ns	$V_M \rightarrow V_L$ (無負荷)	
SUB 出力端子							
伝搬遅延時間	TPLH	—	—	100	ns	無負荷 * ¹	
	TPHL	—	—	100	ns	無負荷 * ¹	
立ち上がり時間	TTLH	—	—	100	ns	$V_L \rightarrow V_H$ * ¹	
立ち下がり時間	TTHL	—	—	100	ns	$V_H \rightarrow V_L$ * ¹	

【注】 1. 図 1 のタイミングチャートを参照願います。

● V.drv タイミングチャート

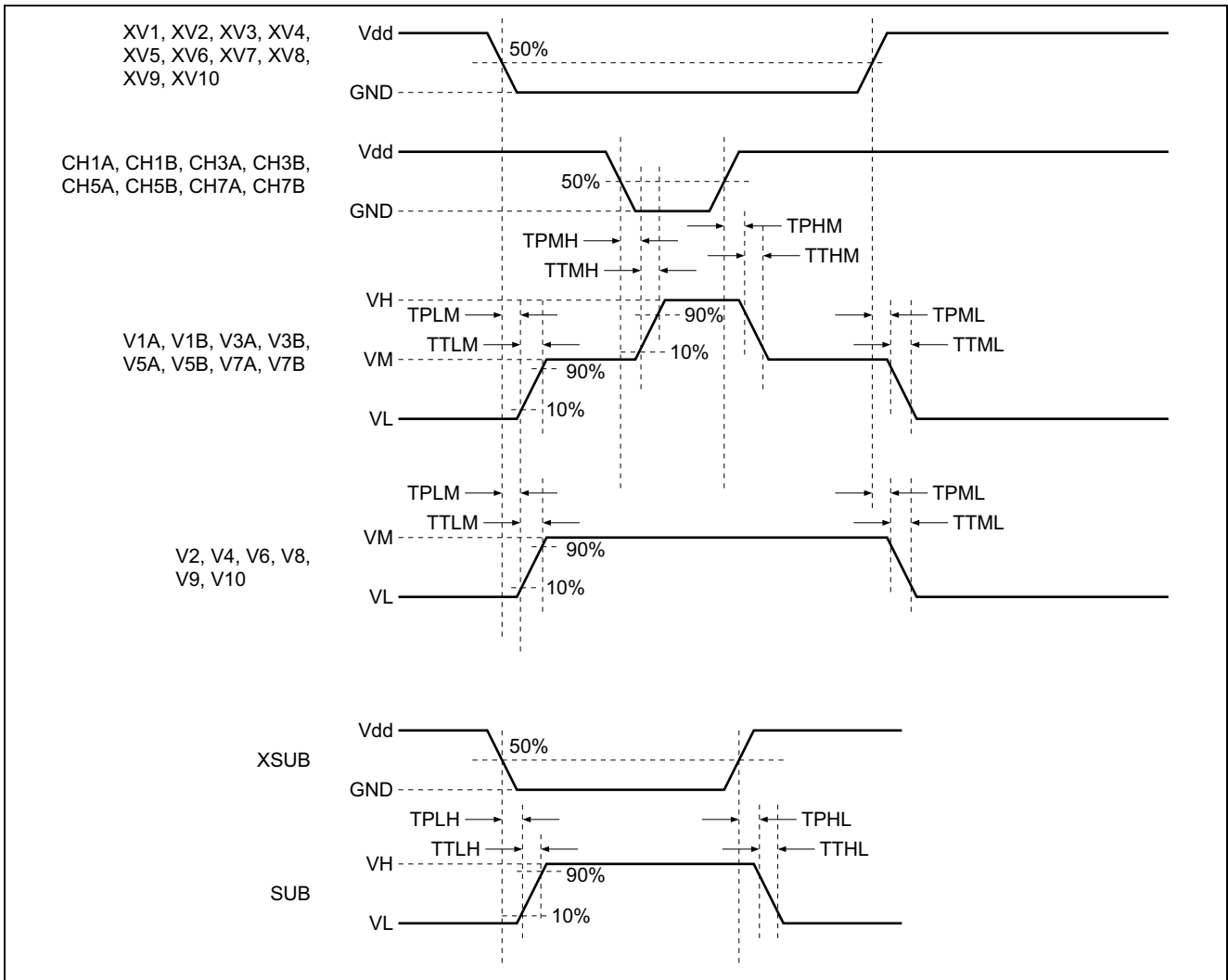


図 1 V.drv タイミングチャート

● TG と V.drv の接続図

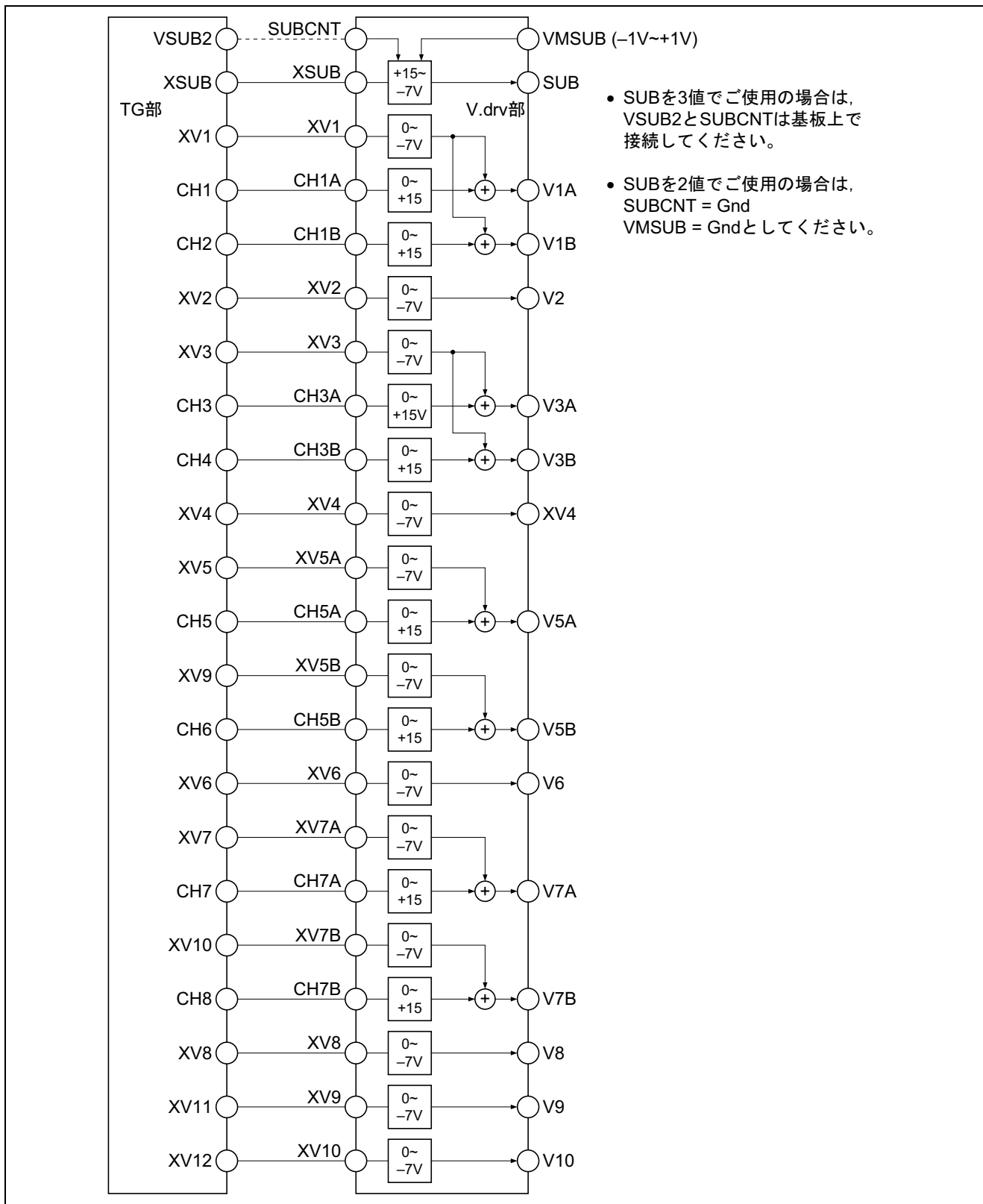


図2 TG と V.drv の接続図

内蔵機能

機能概要

- CDS 入力
CDS (Correlated Double Sampling) による CCD 低域雑音の抑制
OB 期間の信号レベルを 56 ~ 304LSB (5bit, 8LSB ステップ制御) にクランプ
-6dB ~ 34dB 間で 10 ビット (0.04dB/ステップ) のゲイン調整が可能
- PGA, ADC の自動オフセットキャリブレーション機能
- CCD, CDS の DC オフセット補償フィードバック機能
- プリブランキング機能: デジタル出力をクランプレベルに固定
- TG: CCD 駆動に必要なパルスを発生

動作説明

図 3 に AFE 部の機能ブロックを示します。

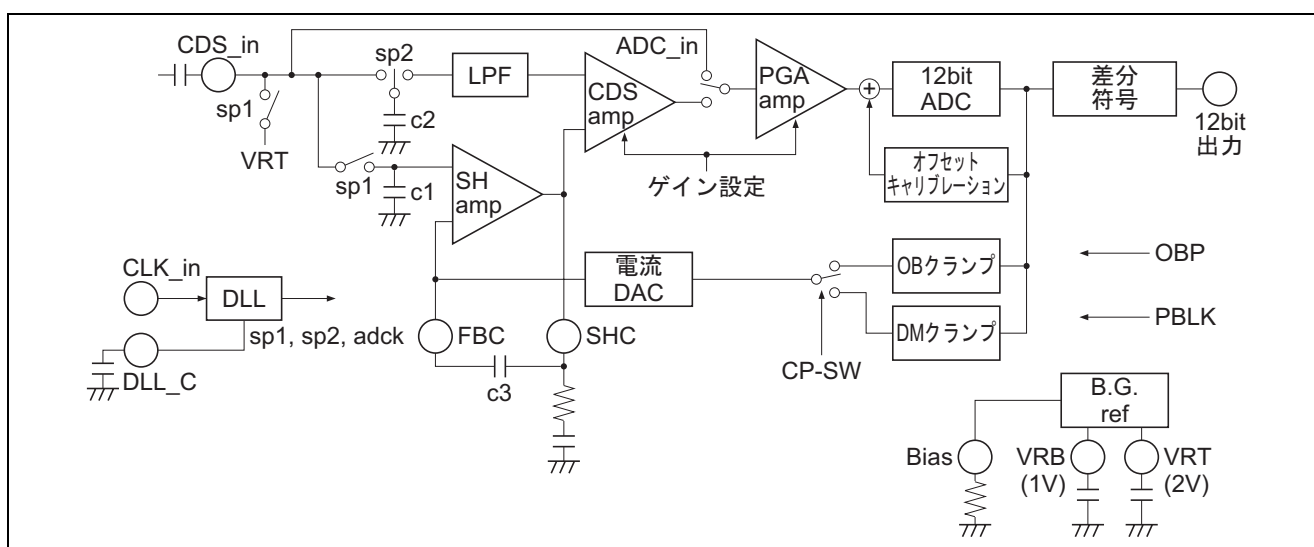


図 3 CDS, PGA 部 機能ブロック

1. CDS (Correlated Double Sampling) 回路

CDS 回路は基準レベルと信号レベルとの差電圧を取り出す回路です。基準レベルは、SP1 パルスにより、C1 に充電され SH_amp によりバッファリングされた後、CDS_amp に供給されます。信号レベルは SP2 により CS2 に充電され、そのまま CDS_amp に供給されます (図 3 参照)。

CDS_amp は上記 2 信号のレベル差を取ると共に、前段のプログラマブルゲインアンプとして働きます。CDS 入力は VRT (2V) にバイアスされます。PBLK 期間は上記サンプリング動作およびバイアス動作は停止します。

2. PGA 回路

PGA 回路は後段のプログラマブルゲインアンプです。前段の CDS_amp と合わせて 10 ビットのレジスタでゲインを設定します。レジスタ値 $N = 0 \sim 1023$ に対し下式のようにゲインが変化します。

$$\text{Gain} = -6\text{dB} + 0.04\text{dB} \times N \text{ (LOG リニア)}$$

3. OB クランプ

OB 期間に入力された黒信号レベルを DC 基準とするためのフィードバックであり、CCD オフセット、CDS_amp オフセットなどを含めてオフセット補償します。OB 期間に ADC 出力からオフセットを演算し、電流 DAC によって SH_amp 入力の外付け C3 に充電します。

シリアル通信

シリアル通信の仕様

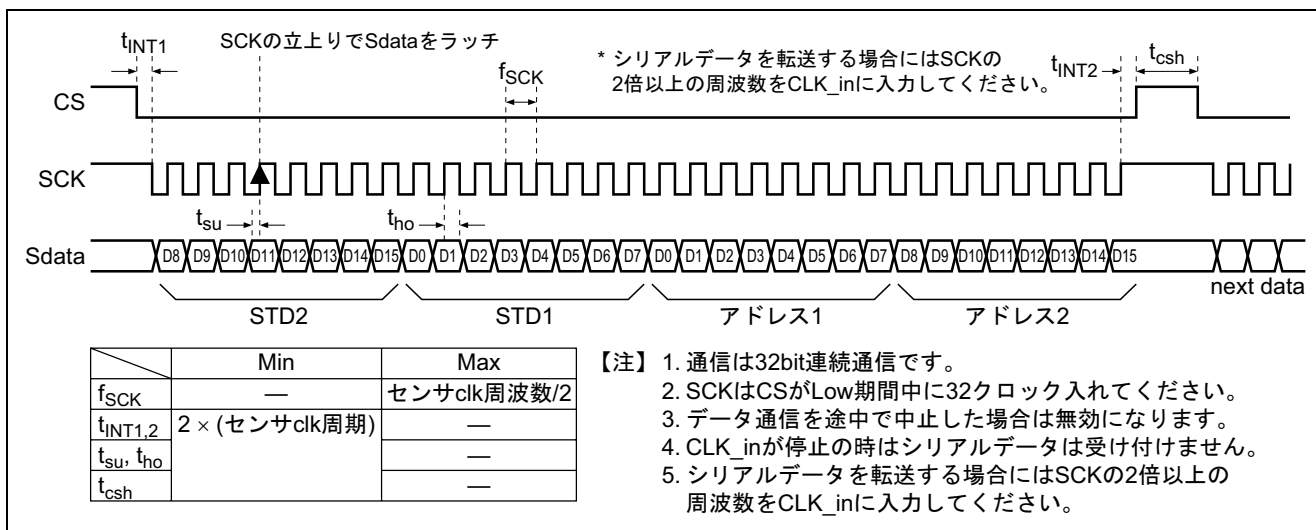


図4 シリアルデータのタイミング仕様

● シリアルデータの連続受信モード

最初にアドレス+データの32ビットサイズを送り、次からはデータの16ビットサイズのみを送った場合、そのアドレスを自動的に+1ずつ加算して行きます。再度32ビットサイズを送ると指定されたアドレスから受信し直します。

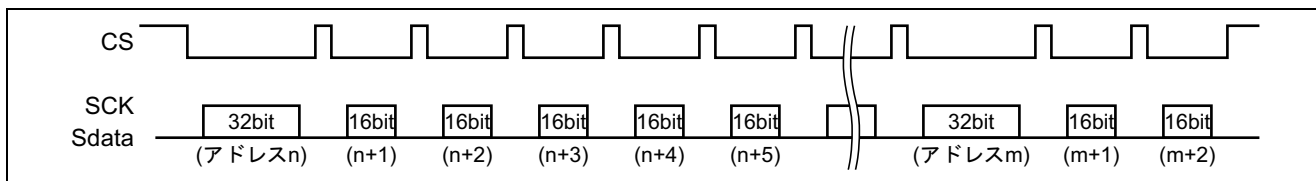


図5 シリアルデータの連続受信モード

● アドレス配置について

本LSIは仕様の追加修正を行なったため、アドレス配置が以下のように飛び地となっています。パルスタイミングの仕様については別紙「タイミングチャート」「アドレス一覧」を参照してください。本ドキュメントでは(4)のCDS, PGA, DLLのアナログ部についてのみ説明します。

(1) V系パルス

データ名	アドレス位置
nv1 ~ 4 still	H'00 30 ~ H'00 3F
nv5 ~ 12 still	H'01 10 ~ H'01 2F
nv1 ~ 4 moni	H'00 40 ~ H'00 5F
nv5 ~ 12 moni	H'01 30 ~ H'01 6F
nv1 ~ 12 moni サイクル	H'01 03 ~ H'01 05
mv1 ~ 4	H'00 80 ~ H'00 9F
mv5 ~ 12	H'01 70 ~ H'01 AF
f_r_msk_v1 ~ 4	H'00 B0 ~ H'00 BF
f_r_msk_v5 ~ 12	H'01 B0 ~ H'00 CF
hv1 ~ 4	H'00 C0 ~ H'00 CF
hv5 ~ 12	H'01 D0 ~ H'01 EF

(2) 読み出し系パルス

データ名	アドレス位置
ch1 ~ 2	H'00 D4 ~ H'00 DB
ch3 ~ 8	H'01 F0 ~ H'01 FF

(3) H_msk系パルス

データ名	アドレス位置
H_msk	H'00 E4 ~ H'00 E1
H_mix_moni	H'01 07 ~ H'01 0F

(4) CDS, PGA, DLL部

データ名	アドレス位置
CDS, PGA, DLL部	H'00 F0 ~ H'00 FF

(5) fix, inv

データ名	アドレス位置
vsub1, vsub2, rg	H'00 0D
h1, h1L, h2, pblk, cpdm	H'00 0E
v1 ~ 4, ch1 ~ 4	H'00 0F
v5 ~ 12	H'01 00
ch5 ~ 8, exp	H'01 01
Hdo, vdo, m_sht, strobo	H'01 02

(6) 特殊機能 (anti_shake_mode)

H'1000 ~ 104F

表1 シリアルデータ一覧

(各ビットに記載したデータは推奨値です。初期値はオール0です。)

● アドレス H'00 f0 ~ H'00 f6 (CDS, PGA 部)

アドレス (16進)	STD1[7:0] (L)									STD2[15:8] (H)								備考
	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8		
H'00 f0	PGAゲイン									VD ラッチ	VD inv	Bias_sel			OSC sel	PGA ゲイン		D15: "VDラッチ"1の時PGAゲインをVDでラッチ D14: "VD_inv"1の時VDボジェッジでラッチ D13~12: "Bias_sel" D10: "OSC_sel"1の時OSC = offで外部CLK入力 D9~0: "PGAゲイン"-6dB + 0.04dB × N
	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12		D10	D9	D8		
	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	
H'00 f1	shsw_fsel			LPF_sel				stby								sha_fsel		D15: "stby"1の時stby, 通常0 D14: "slp"削除, CLK_stopにて代用 D9~8: "sha_fsel" D7~4: "shsw_fsel" D3~0: "LPF_sel"
	D7	D6	D5	D4	D3	D2	D1	D0	D15						D9	D8		
	1	0	0	0	0	1	0	0	0	0						1	0	
H'00 f2	Pwr_sel		Clp 4ave	Clamp				Re set		calb	DLL Res	DLL off	CLK stop	ADC msk	Pblk inv	Obp inv	D15: "Reset"1: 通常, 0: リセット D14: "calb"0→1でキャリブレーション D13: "DLL_res"0: 通常, 1: リセット D12: "DLL_off"1の時DLL = off D11: "CLK_stop"0: 動作, 1: 停止 (TG_stby) D10: "ADC_msk"1: 動作, 0: ADC出力マスク D9: "Pblk_inv"1の時ポジ受け D8: "Obp_inv"1の時ポジ受け D6: "Pwr_sel" 0: ノーマルpwr (36MHz) 1: Low pwr (28MHz) D4~0: "Clamp"クランプレベル = N × 8 + 56	
	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8			
		1	0	0	1	0	0	1	1	1	0	0	0	1	1	1		
H'00 f3				cpdm_i		cpdm_th			swcc		CDS		Vref	VRT	ADC	D14~9: テストモード, 通常0設定 D8: "ADC_in"1の時ADC_inモード D4~3: "cpdm_i" D2~0: "cpdm_th"		
				D4	D3	D2	D1	D0	D14		D13	D12		D10	D9		D8	
				0	0	0	0	0	0		0	0		0	0		0	
H'00 f4	差分符号									Bias off		L inv		M inv	test 0	D12: "Bias_off"テストモード, 通常0設定 D10: "L_inv", D9: "M_inv", D8: "test0" ADC出力固定モード D6~7: "Gry_ref", D5: "10/12", D4: "差分" D3: "Gry", D2: "adck位相", D1~0: "基準位相"		
	D7	D6	D5	D4	D3	D2	D1	D0			D12		D10	D9	D8			
	0	0	0	0	0	0	0	0	0			0		0	0		0	
H'00 f5	l_vari			MON				Sel sh2		Amp_sel						D13: "sel_sh2", D11,10: "Amp_sel" D7~5: "l_vari"内部電流調整 D2~0: "MON" 0の時cp_sw, 1の時adck, 2の時sp1, 3の時sp2, 4の時cpdm, 5,6は禁止, 7の時pblk		
	D7	D6	D5			D2	D1	D0			D13		D11	D10				
	0	1	0			0	0	0			1		1	0				
H'00 f6	Clp cur		W obp	Cpad sel	Wind clk_sel	Cp_ i	Wob_ i	Wobth3 max	Wobth2 max	Wobth1 max				Clp Hsel	D15~10: 幅広クランプのカウンタ数設定 D9~8: "clp_Hsel"Hクランプ高速引き込み D7: "Clp_cur"Hクランプ電流2倍 D6: "Pblk_act"PBLK期間のOBP有効 D5: "Wobp"幅広OBP有効 D4: "Cpad_sel" D3~2: "wind_clk_sel" D1: "CP_i"Hクランプ電流2倍 D0: "Wob_i"幅広クランプ電流2倍			
	D7		D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10		D9	D8	
	0		0	0	0	0	0	0	0	0	0	0	0	0		0	0	

表 1 シリアルデータ一覧 (続き)

(各ビットに記載したデータは推奨値です。初期値はオール0です。)

● アドレス H'00 f7 ~ H'00 fc (DLL 部, Test)

アドレス (16進)	STD1[7:0] (L)								STD2[15:8] (H)								備考
	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
H'00 f7	Test1																Testアドレスは弊社にて出荷時にLSIを検査するために設けたレジスタです。通常使用する場合は0設定するか、またはデータ転送しないでください。
	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
H'00 f8	Test2																
	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
H'00 f9	Test3																
	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
H'00 fa	H1_DL				H1L_DL				H_Buff				H2_DL				D15~12: "H_buff" D15 = 14mA, D14 = 10mA D13 = 4mA, D12 = 2mA D11~8: "H2_DL" D7~4: "H1_DL" D3~0: "H1L_DL"
	D7	D6	D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
H'00 fb	RG_tf								RG_tr								D13~8: "RG_tr" 上位3bitで1/8位相選択 下位3bitでDLL遅延 D5~0: "RG_tf" 上位3bitで1/8位相選択 下位3bitでDLL遅延
			D5	D4	D3	D2	D1	D0			D13	D12	D11	D10	D9	D8	
H'00 fc	SP1_DL								SP2_DL								D13~8: "SP2_DL" 上位3bitで1/8位相選択 下位3bitでDLL遅延 D5~0: "SP1_DL" 上位3bitで1/8位相選択 下位3bitでDLL遅延
			D5	D4	D3	D2	D1	D0			D13	D12	D11	D10	D9	D8	
H'00 fd	ADCK_DL								Sync phase								D9: 2分周モード時のCLKラッチ位相選択 0: ポジエッジ, 1: ネガエッジ D8: 2分周モード時のHD_in反転 (1の時反転) D5~0: "ADCK_DL" 上位3bitで1/8位相選択 下位3bitでDLL遅延
			D5	D4	D3	D2	D1	D0									
H'00 ff	BG_clk								ADCK				ID				ID, ADCK端子のfix/inv fix inv 0 0 通常出力 0 1 反転出力 1 0 Low固定 1 1 Hi固定
			D5	D4	D3	D2	D1	D0	D15	D14	D13	D12	D11	D10	D9	D8	
		0	0	0	0	1	0	0	0	0	0	0	0	0	0		

シリアルデータ説明

- PGA ゲイン (アドレス 00 f0 の D0 ~ D9)
詳細は図 3 のブロック図を参照。
PGA ゲイン = $-6\text{dB} + 0.04\text{dB} \times N$

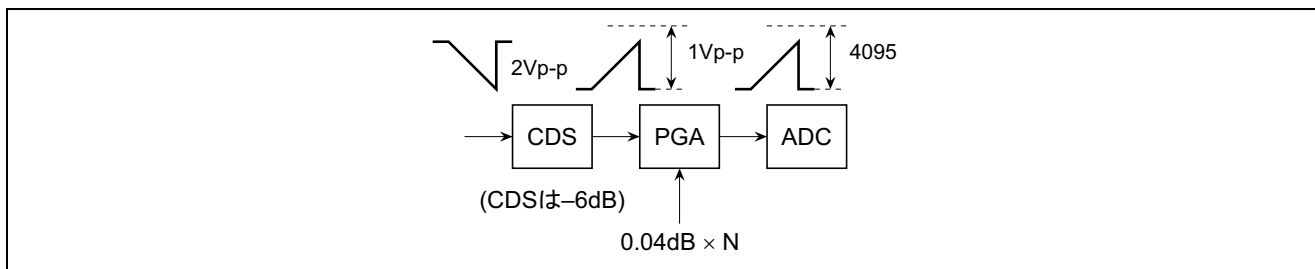


図 6 PGA のレベルダイア

- LPF_sel (アドレス 00 f1 の D0 ~ D3)
CDS 入力部の周波数帯域制限を選択します。(D3 は通常 0 設定)

LPF_sel	センサ周波数
0	6MHz
1	12MHz
2	20MHz
3	25MHz
4	30MHz
5	35MHz
6	40MHz
7	50MHz

周波数帯域を下げると S/N はアップしますが、反面アンプ動作が遅くなりラインスクロールやゲイン不足などの問題が発生します。実際に使用する周波数より高いポイントを選択してください。

なお、LFP_sel については、

- (1) Low Power モード時は、データ = 4
 - (2) Normal Power モード時は、データ = 6
- のみをテストング保証します。

☆

☆

- SHSW_fsel, SHA_fsel (アドレス 00 f1 の D4 ~ D9)

SP1 でサンプリングしたプリチャージ部に対してフィルタリング処理を施します。この時のカットオフ周波数を選択できます。SHSW_fsel, SHA_fsel のデータ選択によって、S/N が図 7 のように変化します。画像を評価しながら最適値を見つけてください。

表2 SHSW時定数設定表

SHSW_fselデータ	カットオフ周波数 (MHz)
0	72
1	69
2	63
3	60
4	54
5	51
6	45
7	42
8	36
9	33
10	27
11	24
12	18
13	15
14	9
15	6

表3 SHAMP周波数特性設定表

SHA_fselデータ	カットオフ周波数 (MHz)
0	116
1	75
2	56
3	32

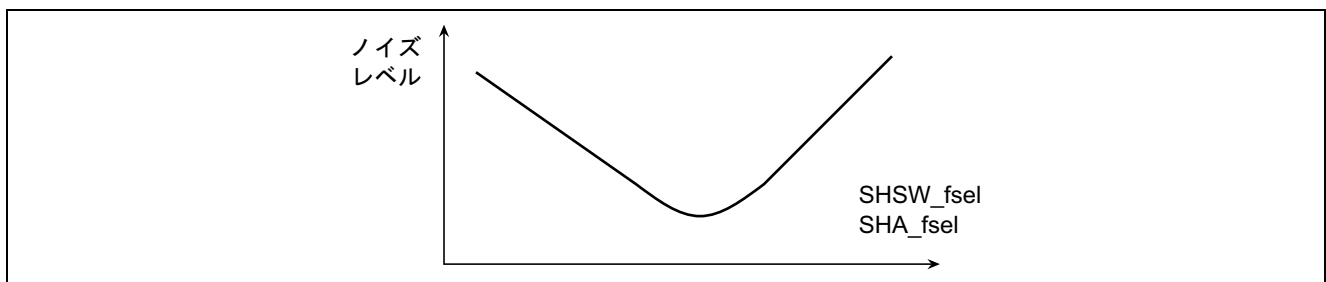


図 7 SHSW_fsel, SHA_fsel による効果

- SLP と STBY (アドレス 00 f1 の D14, D15)

SLP: アドレス 00 f2 の D11 「CLK_stop」に代用。

アナログ部の回路を停止。消費電流はアナログ部で 10 μ A 以下。

復帰させる場合は、オフセットキャリブレーションから再度立ち上げてください。

STBY: 基準電圧発生回路のみ動作。消費電流はアナログ部で約 3mA。

復帰するまでにフィードバッククランプが安定する時間として 50H 程度を見込んでください。

SLP/STBY は TG 部とアナログ部で別設定になります。TG 部の SLP/STBY はアドレス H'00 0c の D9, D8 にあり、以下の動作となります。なお、TG の出力状態は不定のため各ピンに対応した fix_inv データで決定してください。

TG_SLP, TG_STBY: レジスタ部と DLL 部は動作。その他 TG 部が停止。

SLP と STBY については 20 ページにその方法と復帰後の状態を記載していますのでご参照ください。

- Clamp レベル (アドレス 00 f2 の D0 ~ D4)

Clamp レベル = 設定データ \times 8 + 56

D0: LSB, D4: MSB

初期値は $(9) \times 8 + 56 = 128$ を設定しています。

- Clamp 高速引き込み (アドレス 00 f6 の D2, D3, D8, D9)

PGA ゲインを変更すると自動的に高速引き込み動作に移行し、フィードバックループゲインが D2, D3 に設定された倍率で制御されます。また、高速引き込み動作を終了し、通常のループゲインに戻すまでは時間は D8, D9 に設定された H 数まで高速引き込みモードを継続します。(オフセット誤差が 32LSB 以上ある間は高速引き込み動作が継続され、オフセット誤差が 32LSB 以内に入ってから D8, D9 に設定された H 数後に通常のループゲインに戻ります。)

通常のクランプ動作は、1H 当たりのオープンループ微分ゲイン ($\Delta\text{gain}/\Delta H$) は下式によって与えられます。(1H は OBP の 1 周期です)

$$\Delta\text{gain}/\Delta H = 0.024/(\text{fclk} \times C3) \quad (\text{fclk: ADCK 周波数, } C3: \text{FBC コンデンサ})$$

$$\text{例: fclk} = 20\text{MHz, } C3 = 0.1\mu\text{F} \rightarrow \Delta\text{gain}/\Delta H = 0.012$$

$$1\text{H あたりの DC オフセット補正量 (LSB)} = 0.012 \times \text{オフセット誤差量 (LSB)} *^1$$

【注】 1. オフセット誤差量には上限があります。

これに対して、高速引き込み動作の場合、以下のように速度が変わります。

$$\text{例: fclk} = 20\text{MHz, } C3 = 0.1\mu\text{F} \rightarrow 32 \times \Delta\text{gain}/\Delta H = 32 \times 0.012 = 0.384$$

$$1\text{H あたりの DC オフセット補正量 (LSB)} = 0.384 \times \text{オフセット誤差量 (LSB)}$$

高速引き込み動作により、500LSB 程度の誤差が生じた場合、約 20H で目標のクランプレベルに引き込むことができます。

D3	D2	引き込み倍率
0	0	32 倍
0	1	64 倍
1	0	128 倍
1	1	16 倍

D9	D8	継続 H 数
0	0	1H
0	1	2H
1	0	4H
1	1	8H

- Pwr_sel (アドレス 00 f2 の D6, アドレス 00 f5 の D5 ~ D7, D10 ~ D11)

		動作周波数	Pwr_sel (00 f2 の D6)	I_vari (00 f5 の D5 ~ D7)	Amp_sel (00 f5 の D10, D11)	アナログ部の電流
標準設定	Low_pwr	10 ~ 28MHz	1	2	2	36mA
	Hi_pwr	28 ~ 36MHz	0	2	2	57mA

- Calb と Reset (アドレス 00 f2 の D14, D15)

電源投入時に 1 度だけソフトウェアリセットを実行することで、内部回路のバイアズずれを自動的に吸収します (オフセットキャリブレーション)。本 LSI では必ず実行してください。

自動オフセットキャリブレーションは、PGA アンプの出力に加算する DAC の DC 電圧を調整します。この DAC には、PGA アンプの出力オフセットと ADC の入力オフセットをキャンセルするデータに、レジスタ設定によるクランプデータ (56LSB ~ 304LSB) が加算されて与えられます。

自動オフセットキャリブレーションは、レジスタ設定によるリセットモード解除後自動的にスタートし、40,000 (adck) 後に終了します。(fclk = 20MHz の場合: 2.0ms)

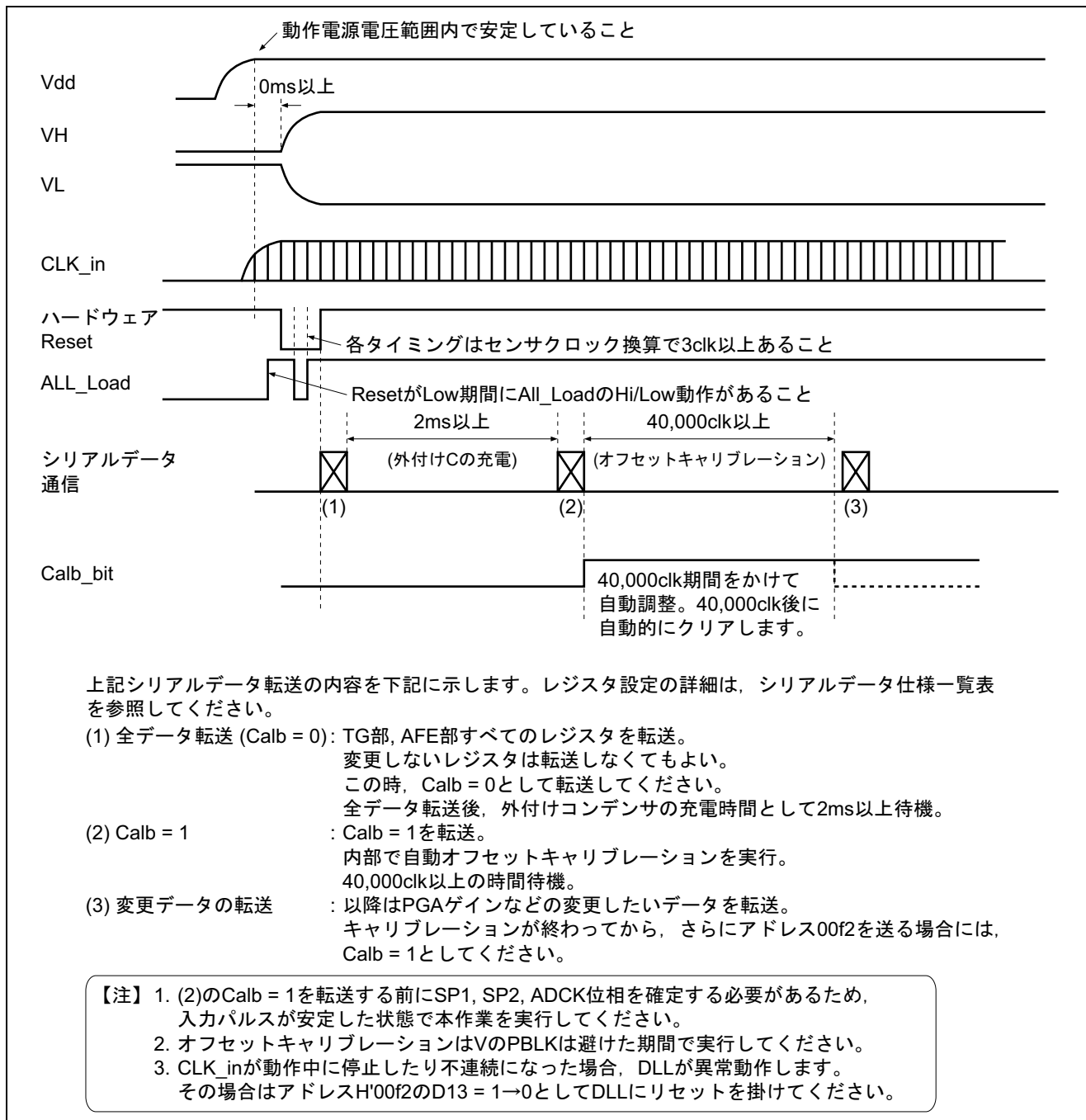


図 8 電源投入時の動作シーケンス

- スタンバイ，スリープの動作と復帰方法

- (1) スタンバイ

スタンバイ期間は消費電流が約 6mA，シリアルデータは受け付けます。

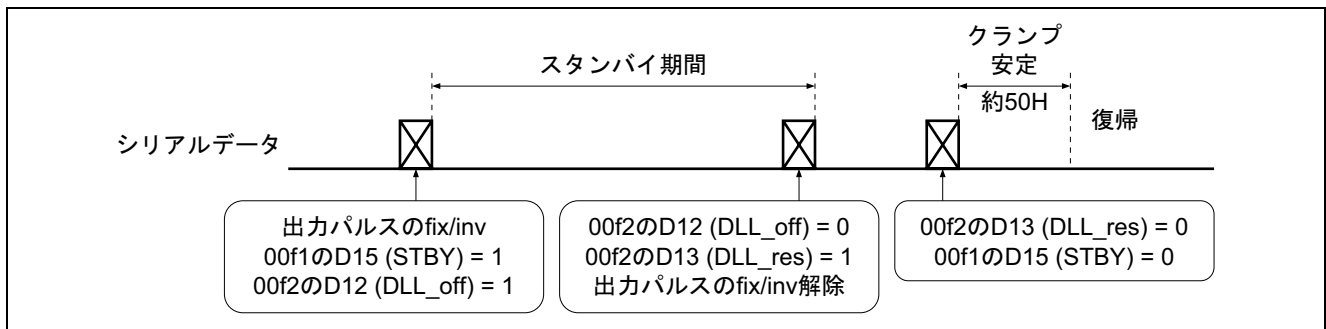


図 9

- (2) スリープ

スリープ期間は消費電流が約 10 μ A 以下，シリアルデータは受け付けません。

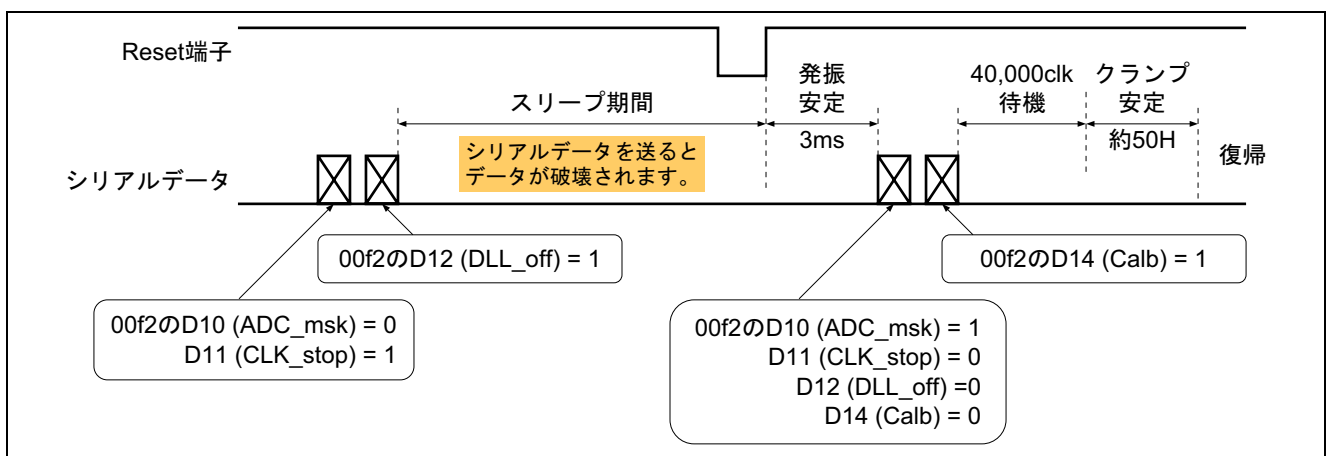


図 10

表 4 スタンバイ，スリープにおける各ブロックの動作状態

	OSC	DLL	TG	シリアル通信	AFE コア	AFE バイアス
スタンバイ			×		×	
スリープ	×	×	×	×	×	×

【注】 ハードウェア Reset でデータがクリアされるのは 00 f2 の D10, D11 のみです。

他のデータをクリアするためには All_Load が必要です。

外部 CLK モードでは「スタンバイ 2」，「スリープ」命令後，最低でも 5 入力 CLK が必要です。

- データ転送タイミングについて

撮影中にモード変更のためデータを更新する場合、電子シャッターを安定に制御するため転送タイミングを管理する必要があります。露光時間を決定するために以下のようなタイミングで転送してください。

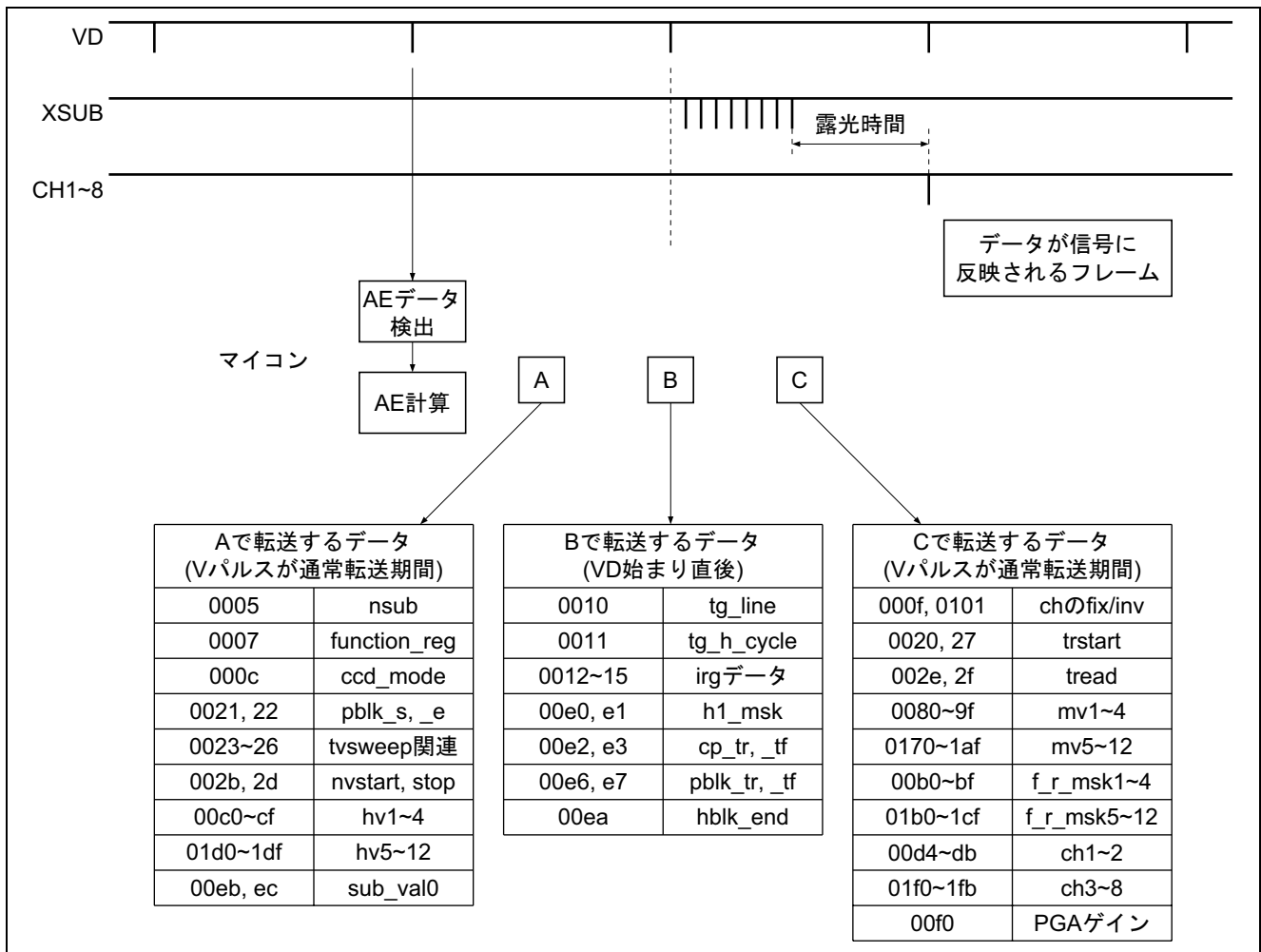


図 11 データ転送タイミング

- ダミークランプ (アドレス 00 f3 の D0 ~ D4)

太陽などのハイライトを撮影した場合、センサの OB 部に光が漏れ込み、クランプミスを引き起こします。この誤動作を防止するため、OB 部とダミー部のレベル差を監視し、

OB 部 > ダミー部 + (cpdm_th × PGA ゲイン)

の条件になった時には、ダミービットレベルでのクランプ処理に切り替えます。ダミー-on 時のフィードバック電流も同時に cpdm_i で設定した電流値になります。

cpdm 位相をシャッタ傷や転送傷の部分に設定すると誤動作する場合があります。誤動作を防ぐことができない場合には cpdm_th = 0 として、機能を off してください。

また、PGA ゲインによりクランプミス電圧も変動しますので、cpdm_th はゲインに連動して制御してください。

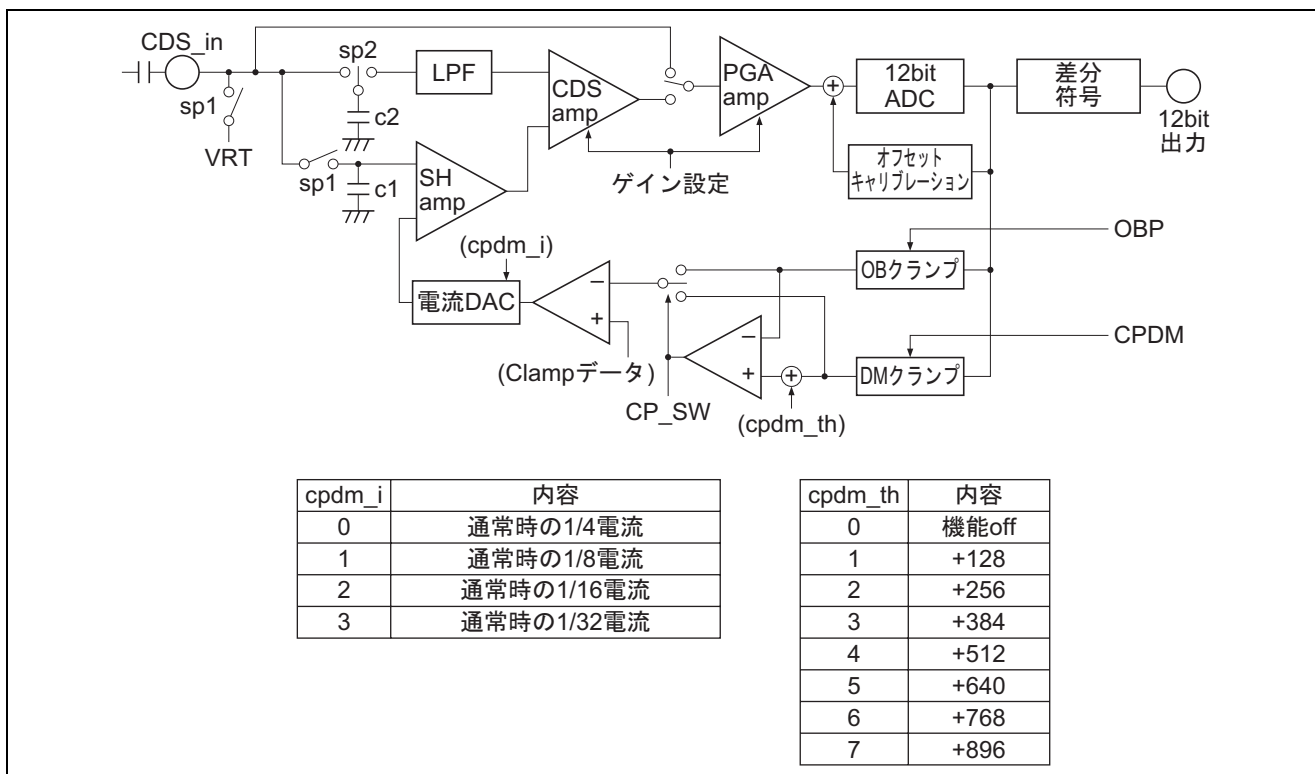


図 12 ダミークランプ回路の構成

- ADC_in (アドレス 00 f3 の D8)
 D8 = 0 の時, 通常 CDS モード
 D8 = 1 の時, テスト用 ADC モード (この時のバイアスは約 1.0V になります)
 が選択できます。
- L_inv, M_inv, test0 (アドレス 00 f4 の D8 ~ D10)
 ADC デジタル出力値を以下のように変更できます。

表 5 テストモード時の ADC 出力状態

stby	test0	L_inv	M_inv	PBLK	ADC デジタル出力												動作モード		
					D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0			
H	x	x	x	x	Hi-Z												低電力待機		
L	L	L	L	L	表6に従う												通常動作		
			H	L	表6でD11が反転														
		H	L	L	表6でD10~D0が反転														
			H	L	表6でD11~D0が反転														
	H	L	x	x	H	出力コードをClampレベルに固定												PBLK	
						テストモード													
						L	x	H	L	H	L	H	L	H	L	H	L	H	L
						H	x	L	L	H	L	H	L	H	L	H	L	H	L
H	H	x	x	H	H	H	L	H	L	H	L	H	L	H	L	H			
					L	H	L	H	L	H	L	H	L	H	L	H			

表 6 バイナリ/グレイコード対応表

出力コード	バイナリコード												グレイコード											
	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
1	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	H
2	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	H	H	L
3	L	L	L	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	H	L	L
4	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	H	H	L	L
5	L	L	L	L	L	L	L	L	L	H	L	H	L	L	L	L	L	L	L	L	H	H	H	L
6	L	L	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	H	L	H	L
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
2047	L	H	H	H	H	H	H	H	H	H	H	H	L	H	L	L	L	L	L	L	L	L	L	L
2048	H	L	L	L	L	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	L
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
4092	H	H	H	H	H	H	H	H	H	H	L	L	H	L	L	L	L	L	L	L	L	H	L	L
4093	H	H	H	H	H	H	H	H	H	H	L	H	H	L	L	L	L	L	L	L	L	H	H	L
4094	H	H	H	H	H	H	H	H	H	H	H	L	H	L	L	L	L	L	L	L	L	L	H	L
4095	H	H	H	H	H	H	H	H	H	H	H	H	H	L	L	L	L	L	L	L	L	L	L	L

● 差分符号 & グレイコード (アドレス 00 f4 の D0 ~ D7)

ADC 出力コードを以下の種類に変更できます。

基準位相 (D0)	基準位相 (D1)	差分符号選択時の基準データ出力タイミング	Gry (D3)	差分 (D4)	出力コード	Gray_ref		画素サイクル
						D6	D7	
0	0	3 画素遅延	0	0	バイナリ	0	0	2 画素
1	0	4 画素遅延	1	0	グレイ	1	0	1 画素
0	1	5 画素遅延	0	1	差分符号バイナリ	0	1	4 画素
1	1	6 画素遅延	1	1	差分符号グレイ	1	1	6 画素

adck 位相 (D2): OBP に対する adck 極性
 0 の時ポジエッジ
 1 の時ネガエッジ を選択

10/12 (D5): バイナリ → グレイ変換ビット数
 0 の時 12 ビット
 1 の時 10 ビット を選択

ADC 出力の複数のビットが同時に切り替わるポイントで画像に波紋 (量子化誤差による疑似輪郭) が発生します。これを対策する手段として、差分符号 & グレイコードを推奨します。図 13 に回路ブロックを示します。この機能を使うことで輝度信号がなだらかに変化している状態では切り替わるデジタル出力のビット数を極力低減することができ、波紋の低減が容易に可能となります。特にセンサ clk = 30MHz 以上のセットや、ADC 出力を長く引き伸ばすセットなどに効果的です。

差分符号を使用する場合には、DSP 側に複合化回路が必要になります。図 15 に複合化回路例を示します。

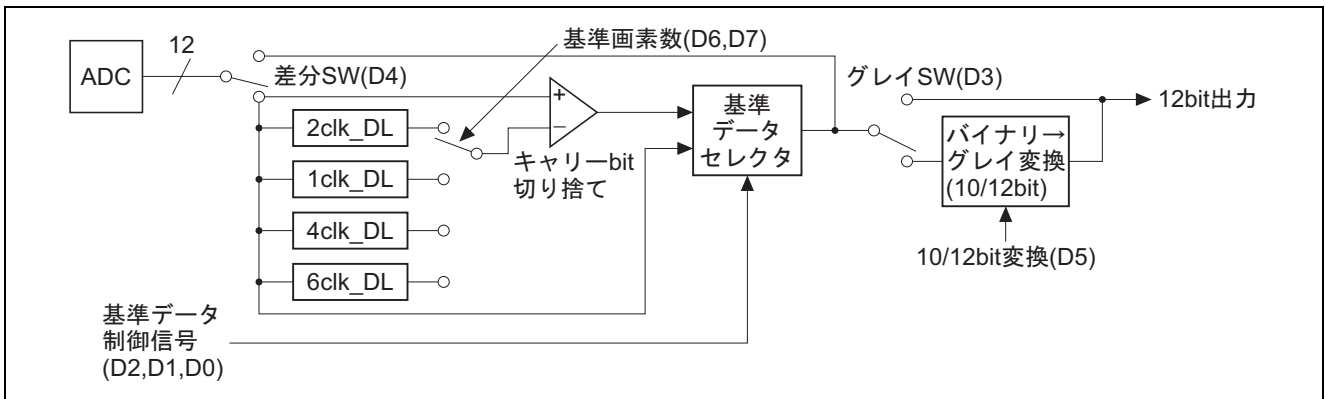


図 13 差分符号，グレイコード化回路

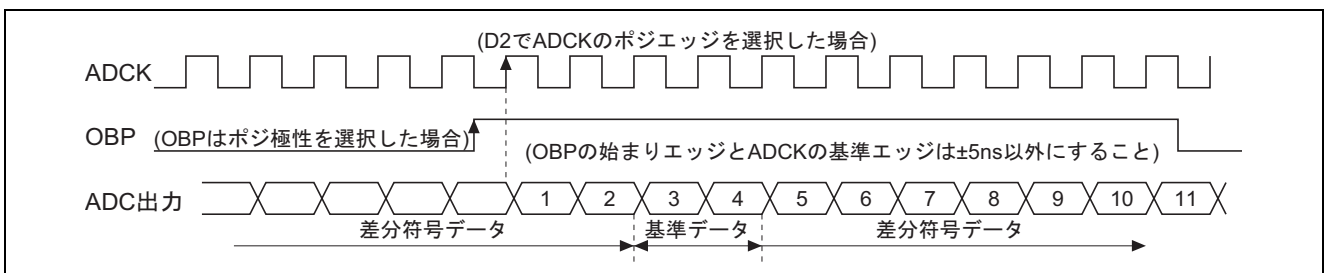


図 14 差分符号タイミング仕様

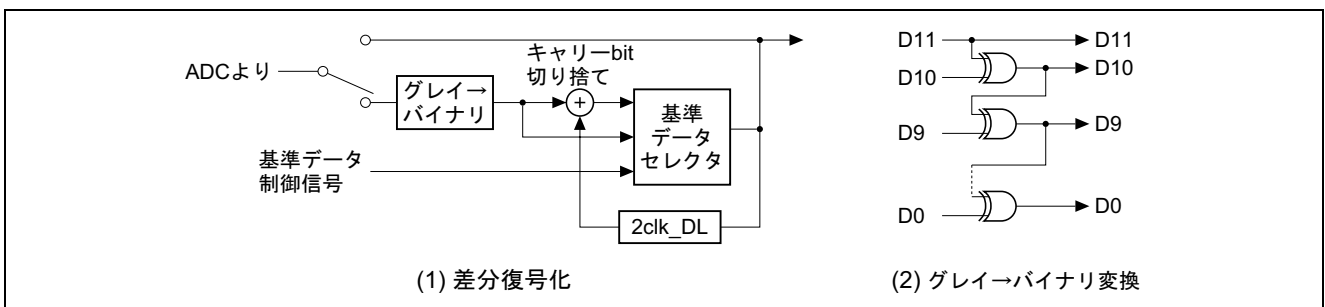


図 15 複合化回路例

- MON (アドレス 00 f5 の D0 ~ D2)
3 ビットデータの設定により, MON 端子へ以下のパルスを出力します。

MON	出力
0	CP-SW
1	ADCK
2	SP1
3	SP2
4	CPDM
5	禁止
6	禁止
7	PBLK

- New_Func (アドレス 00 f6)

データ	名称	機能
D15, 14	WOB_th3_max	幅広 OBP カウント設定
D13, 12	WOB_th2_max	幅広 OBP カウント設定
D11, 10	WOB_th1_max	幅広 OBP カウント設定
D9, 8	CLP_Hsel	H クランプ高速引き込み H カウント (高速引き込み参照)
D7	CLP_cur	弊社テストビットです。通常は 0 設定してください。
D5	Wide_OBP	幅広 OBP 機能オンにする
D4	Cpad_sel	Pad テスト。通常は 0 設定
D3 ~ 2	Wind_clk_sel	高速引き込みクランプ補正クロック数 (高速引き込み参照)
D1	CP_i	弊社テストビットです。通常は 0 設定してください。
D0	Wob_i	弊社テストビットです。通常は 0 設定してください。

表 7 幅広 OBP の制御

	電流値 Wobp_l		カウント数 Wob_th1, 2, 3			
	0	1	0	1	2	3
lclp_th1	200 μ A	400 μ A	15	63	200	無限
lclp_th2	20 μ A	40 μ A	127	255	511	無限
lclp_th3	2 μ A	4 μ A	511	1023	無限	無限

【注】 幅広 OBP をご使用になる場合は, センサの特性や被写体条件により, 悪影響を及ぼす場合もありますので, 十分に予備検討してください。また詳細については弊社営業窓口までご連絡ください。

● clk 系タイミング (アドレス 00 fa ~ 00 fd)

clk 系パルスは duty = 50%, 25% をおのこの 1/8 位相刻みで選択 (上位 3 ビット) した後, DLL のバッファ遅延 (下位 3 ビット) で最適位相に調整してください。詳細は別紙タイミングチャートを参照願います。

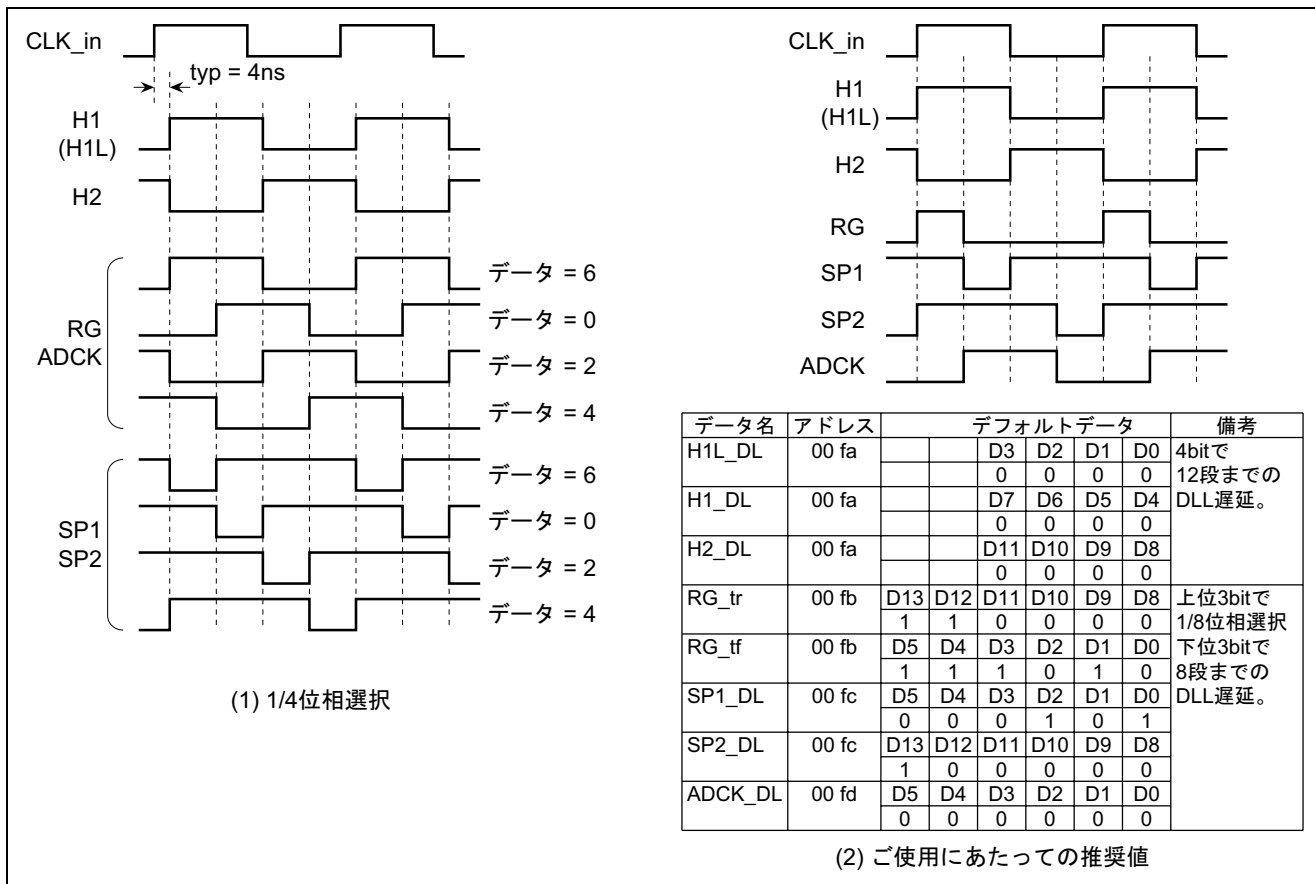


図 16 高速パルスの仕様

● H.Buff (アドレス 00 fa の D12 ~ 15)

H1, H2 出力バッファサイズの選択。

D12: 2mA バッファ

D13: 4mA バッファ

D14: 10mA バッファ

D15: 14mA バッファ

対象ビット = 1 で ON, おのこの加算として動作。

● H タイミングについて

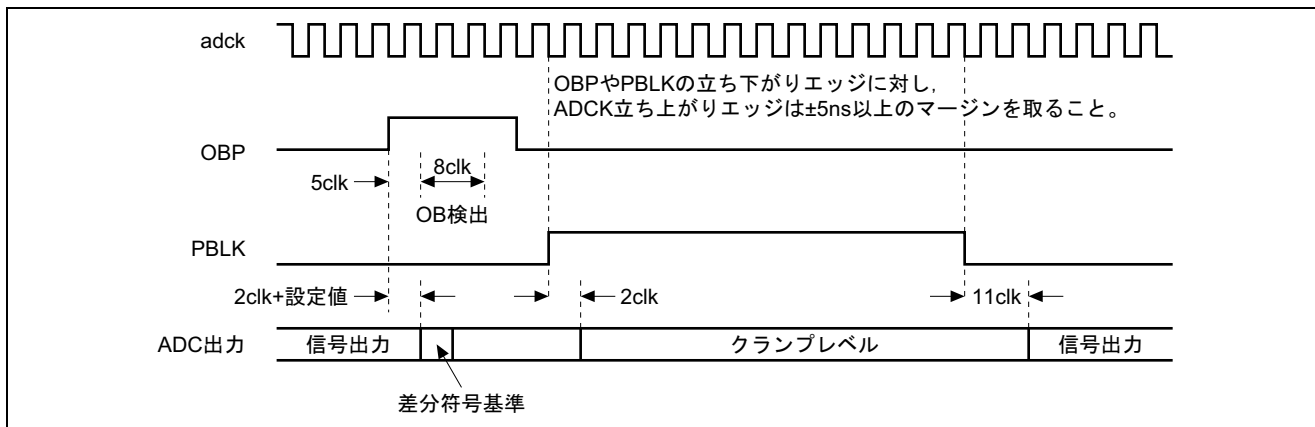


図 17 H.BLK の信号タイミング

パイプラインディレイ

図 18 に CDS_in 入力端子を使用した場合の出力タイミングを示します。

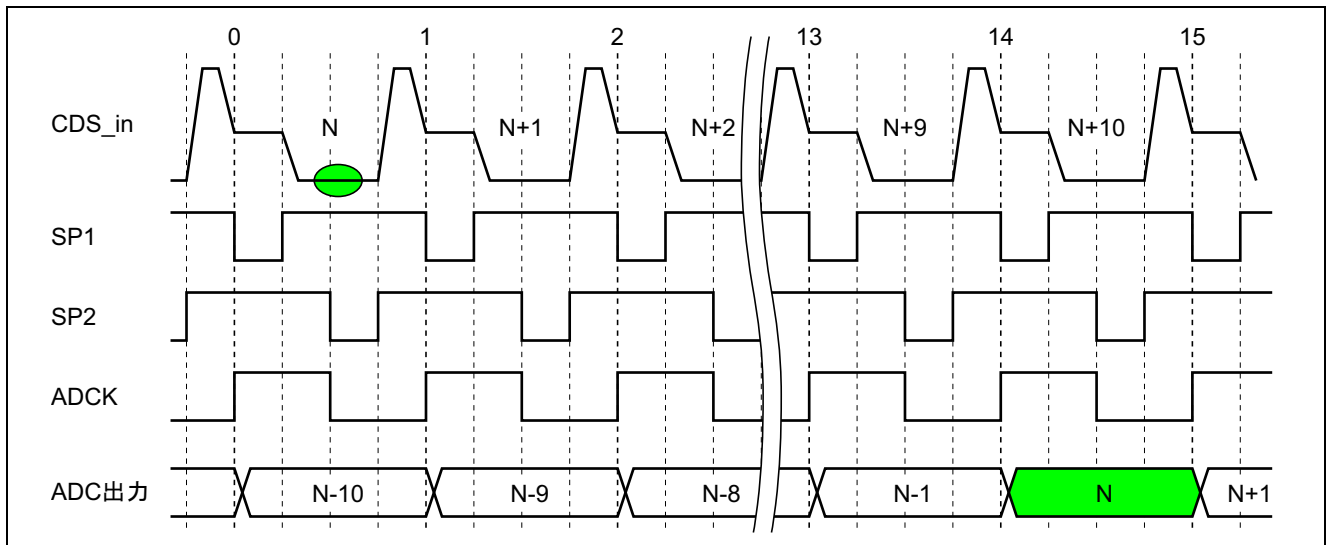


図 18 CDS_in の出力タイミング

- ADC 出力 (D0 ~ D11) は両入力モードとも ADCK の立ち上がりエッジで出力されます。
- CDS_in モード時のパイプラインディレイは 10 クロック。
- 差分符号を使用した場合は、パイプラインディレイは更に 1 クロック増えます。

サンプリングタイミング仕様

● CDS_in モード時の詳細タイミング

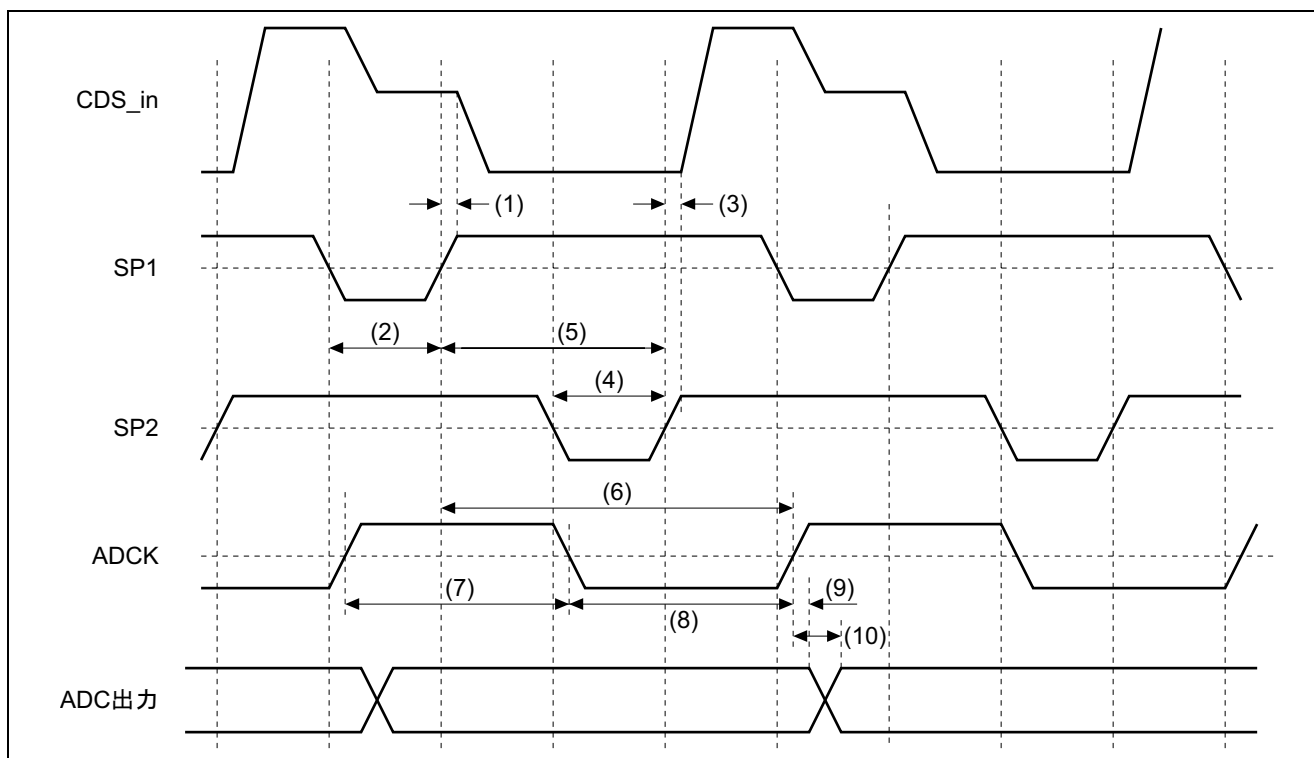


図 19 CDS_in モード時の詳細タイミング仕様

表 8 CDS_in モード時の各タイミング仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	黒レベル信号取り込み時間	t_{CDS1}	—	3.5	—	ns
(2)	SP1 "Low"期間	t_{CDS2}	$Typ \times 0.8$	$1/4CLK$	$Typ \times 1.2$	ns
(3)	信号レベル取り込み時間	t_{CDS3}	—	3.5	—	ns
(4)	SP2 "Low"期間	t_{CDS4}	$Typ \times 0.8$	$1/4CLK$	$Typ \times 1.2$	ns
(5)	SP1 立ち上がり ~ SP2 立ち上がり時間	t_{CDS5}	$Typ \times 0.85$	$1/2CLK$	$Typ \times 1.0$	ns
(6)	SP1 立ち上がり ~ ADCK 立ち上がり禁止時間	t_{CDS6}	—	(7.5)	—	ns
(7)(8)	ADCK $t_{WH} \text{ min.}/t_{WL} \text{ min.}$	$t_{CDS7,8}$	11	—	—	ns
(9)	ADCK 立ち上がり ~ デジタル出力保持時間	t_{CDS9}	—	(11)	—	ns
(10)	ADCK 立ち上がり ~ デジタル出力遅延時間	t_{CDS10}	—	(18)	—	ns

- 【注】 1. 動作周波数で規定している数値は「 t_{CDS5} 」を守っている場合です。CLK周波数が仕様内であっても、「 t_{CDS5} 」が短い場合は高周波数動作と等価になります。
2. MON 端子で出力しているサンプリングパルス等は内部で処理したタイミングより約 1.8ns 遅延しています。プローブを付けた場合にはさらに+1nsの遅延を見込んでください。

- OBPの詳細タイミング仕様

図 20 に OBP の詳細タイミング仕様を示します。

OB パルス入力後, 5clk から 12clk 目までが OB 期間です。

OB 期間に入力された 8clk 分の黒信号レベルが平均され, クランプレベル (DC 基準) となります。

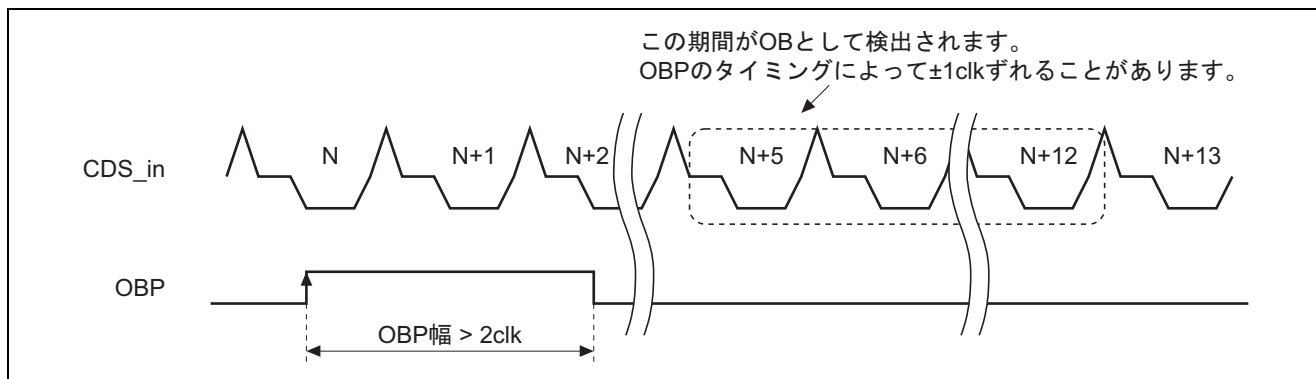


図 20 OBP の詳細タイミング

- PBLKの詳細タイミング仕様

図 21 に PBLK の詳細タイミングを示します。

ただし, 差分符号を選択した場合には, PBLK 中であっても差分符号基準信号は出力されます。

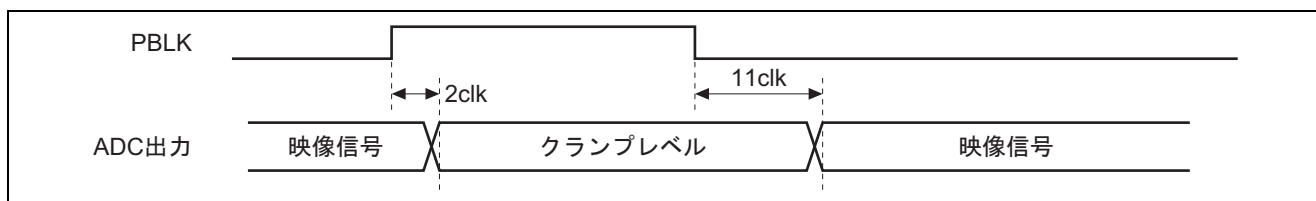
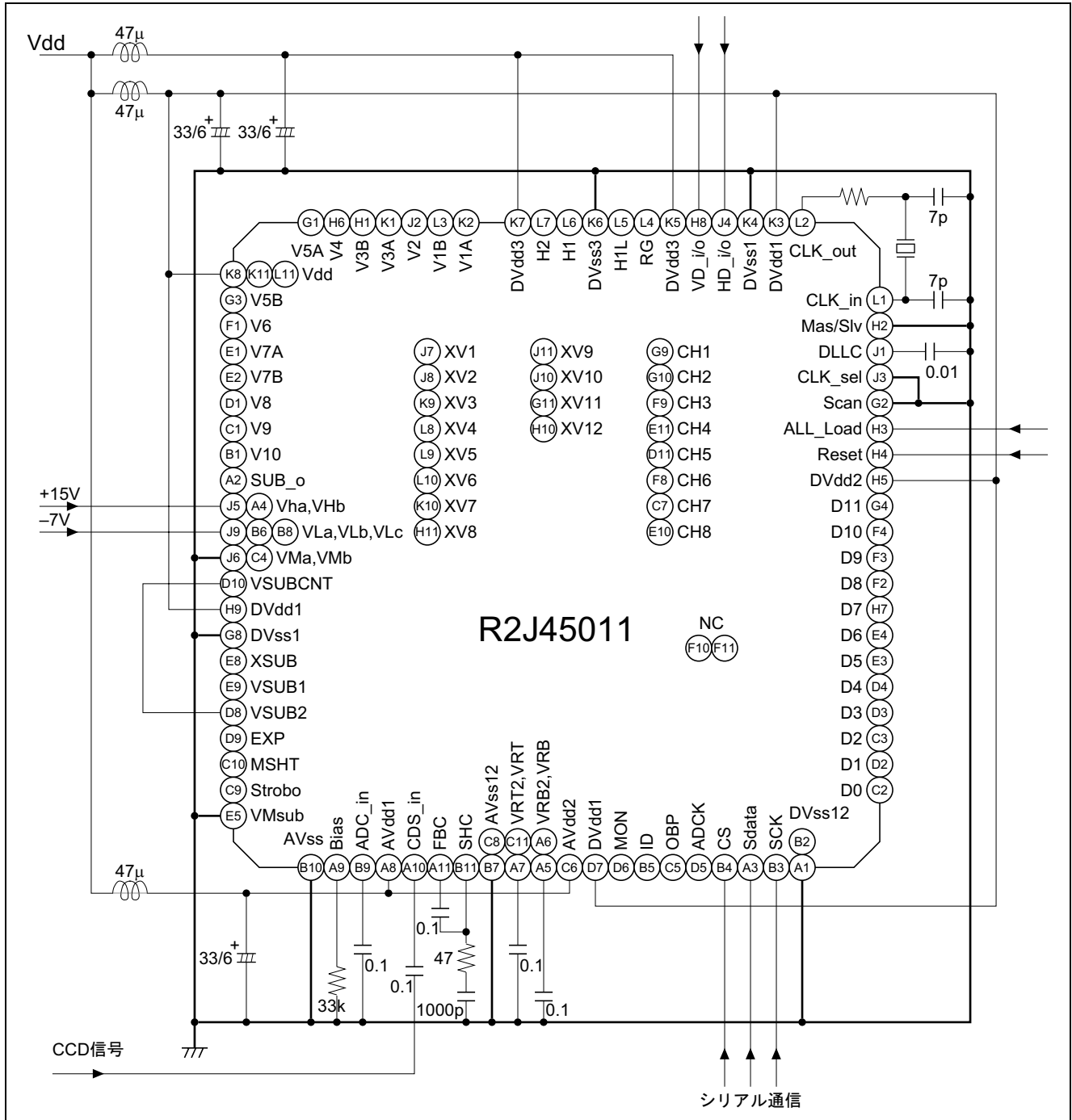


図 21 PBLK の詳細タイミング

外付け回路例



● ピン切り替えによるモード選択

モード	ピン	内容
マスタ/スレーブ	H2	Low: スレーブ, Hi: マスタ (24pin が HD_o, 25pin が VD_o)
クロック選択	J3	Low: センサクロック = CLK_in, Hi: センサクロック = CLK_in/2
CDS テスト	B10	Low: 通常動作モード, Hi: CDS テストモード

発振回路について

本 LSI は帰還抵抗を含めた OSC を内蔵しています。使用しない場合はアドレス 00f6 の D1 = 1 とすることで外部クロック入力に切り替えることもできます。使用する X'tal につきましてはリバーエレテック社の「FCX-03 シリーズ」および「FCX-04 シリーズ」で弊社にて動作確認しております。ただし、X'tal の種類が異なる場合には外付け抵抗、コンデンサの定数を見直す必要があります。

X'tal を使用しない場合は直接外部 CLK を入力する方法 (図 23) を推奨します。

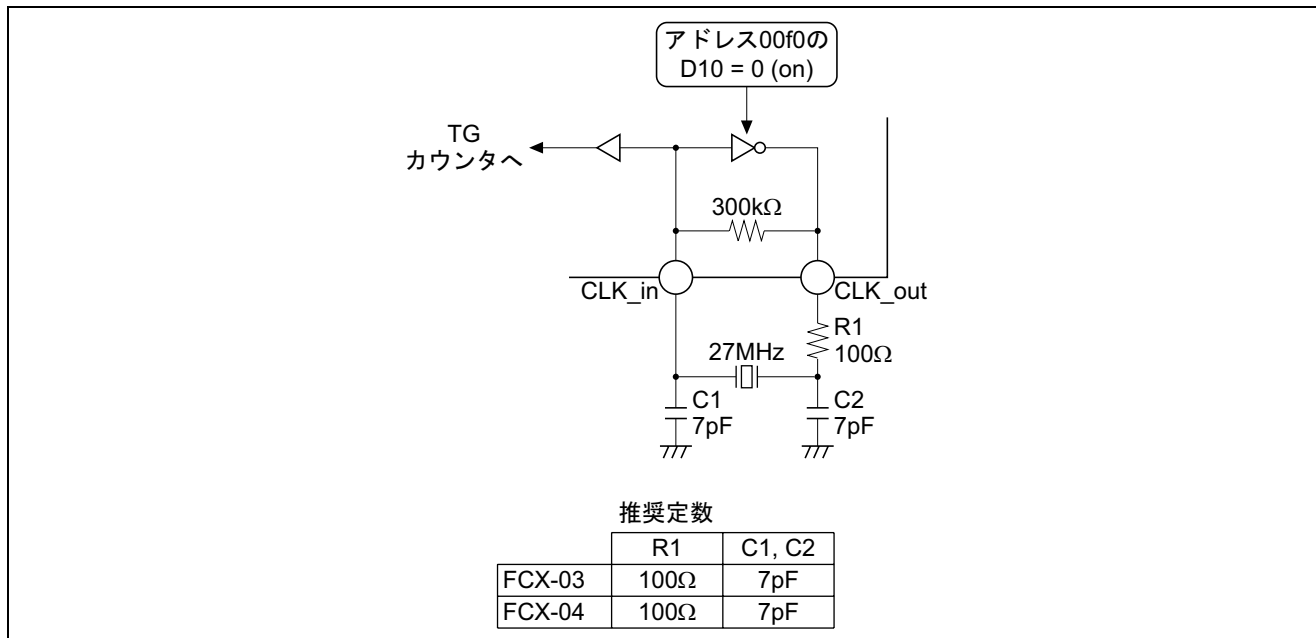


図 22 発振回路

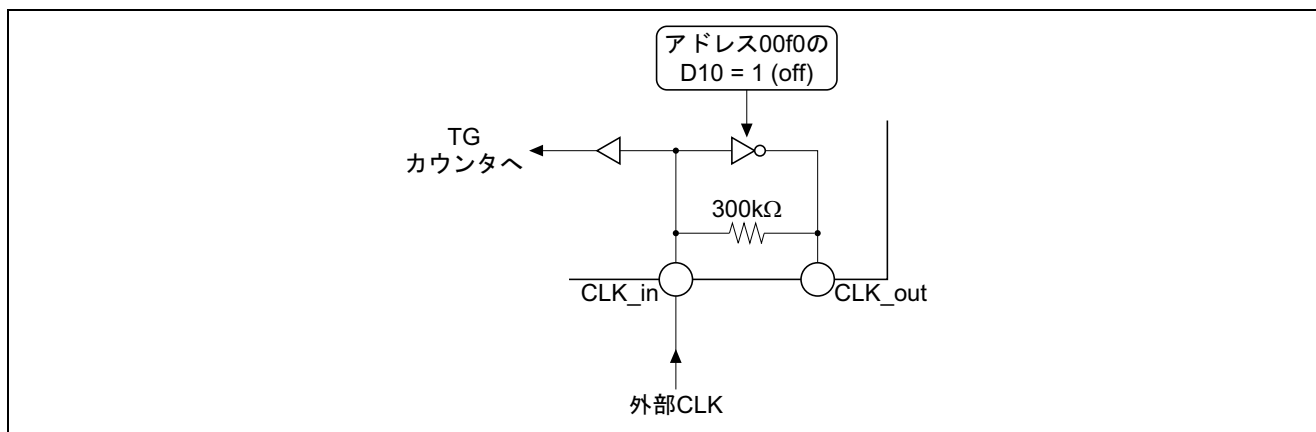


図 23 CLK を外部から入力する場合

ご使用にあたっての注意事項

1. 電源/GND について

- (1) GND はベタとしてください。
- (2) アナログ電源とデジタル電源はLなどで分離してください。
- (3) 電源を分離する場合、DVdd3 以外は各 Vdd 間で $\pm 0.2V$ 以上の電位差を付けないでください。

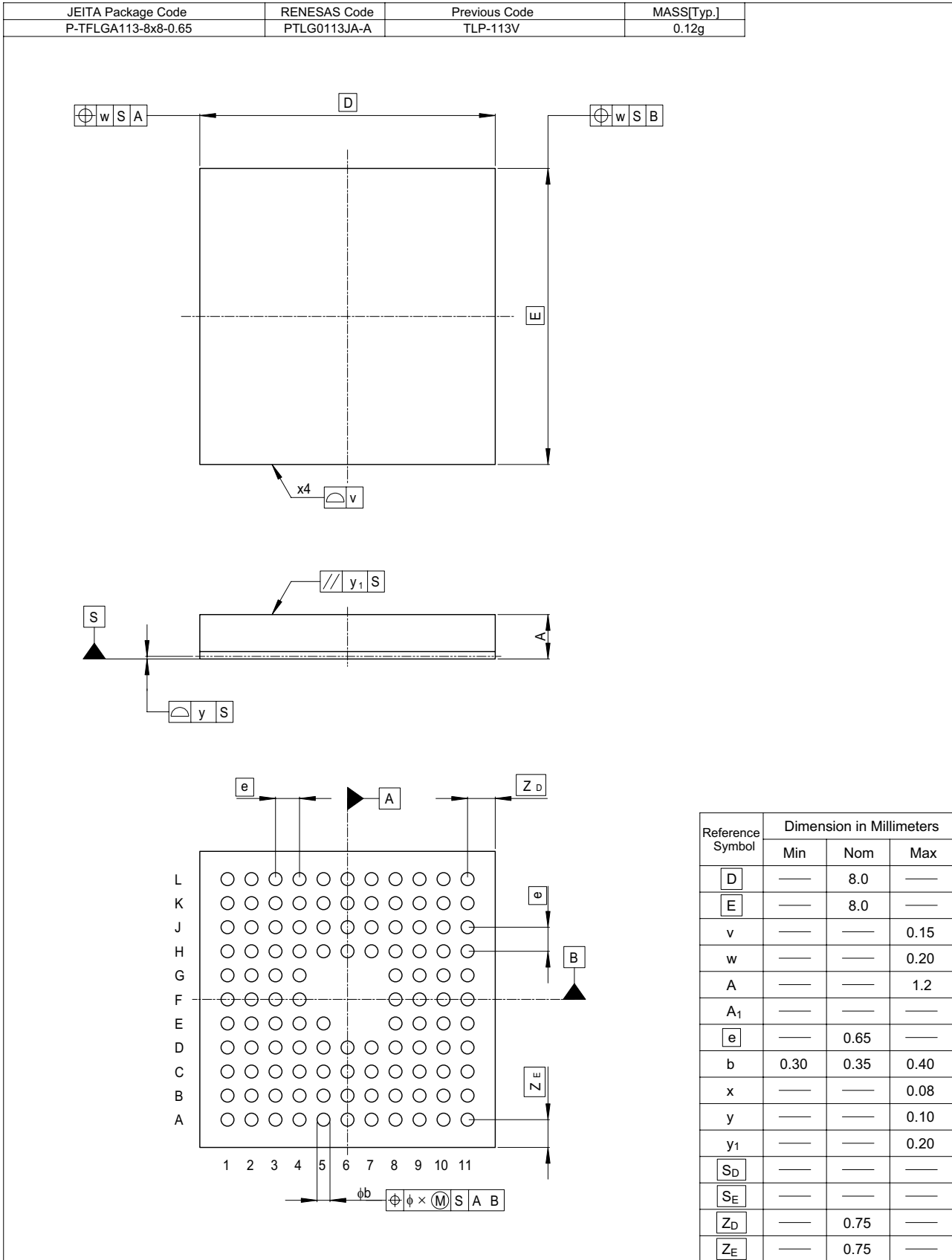
2. パターンの引き回しなど

- (1) アナログ部の近くにデジタル信号線を設置しないでください。
- (2) X'tal, DLL 部の近くにデジタル信号線を設置しないでください。
- (3) H1, H2, CCD 信号線などはなるべく GND で囲むようにしてください。
- (4) ADC 出力線を長く引き伸ばす場合は、 100Ω 程度のシリーズ抵抗を付けてください。
- (5) CLK_in に使用するクロックはジッタの少ないきれいな信号を入力してください。

3. 実動作時のチェックポイント

No.	項目	内容	判定
1	入力パルス極性	スレーブモードの場合、CLK_in, HD_in, VD_in の極性がシリアルデータで設定した内容と合っているか。(アドレス H'0000 の D0 ~ D2) また、CLK_in の duty が $50\% \pm 15\%$ を守っているか。	
2	入力パルスタイミング	スレーブモードの場合、HD_in の基準エッジに対し、CLK_in の基準エッジが $\pm 5.5ns$ 以上の余裕があるか。(別紙タイミングチャート参照)	
		スレーブモードの場合、VD_in の基準エッジに対し、HD_in の基準エッジが 1clk 以上の余裕があるか。(別紙タイミングチャート参照) また、VD の幅は最低でも 1H 以上の幅を持っていること。	
3	CCD 駆動パルス	H1 (H1L), H2, RG が CCD に要求されたタイミングで出力されているか。	
		XV1 ~ 12, CH1 ~ 8, XSUB が CCD に要求されたタイミングで出力されているか。	
4	CDS, PGA 用パルス	CCD 信号に対し MON 端子から SP1, SP2, ADCK を観測。図 19, 表 8 の関係を守っているか。特に t_{CDS5} は動作周波数と等価のため注意。 また、SP1 と SP2 の Hi 期間が重ならないこと。	
		SP1 立ち下がりエッジ付近に ADCK 立ち上がりが設定されているか。	
		ADCK 立ち上がり と OBP 立ち下がりエッジが $\pm 5ns$ 以上離れているか。	
		ADCK 立ち上がり と PBLK 立ち下がりエッジが $\pm 5ns$ 以上離れているか。	
5	ADC 出力信号	ADC 出力と DSP のラッチタイミングに余裕度があるか。	
		差分符号を使用する場合、基準位相は問題無いか。	
6	オフセットキャリブレーション	電源投入時、または SLP からの復帰時に図 8 に記載したシーケンスを守っているか。	
7	S/N 向上	SP1, SP2 の位相調整、ADCK の位相調整。調整終了後に項目 4 を再チェック。	
		LPF_sel, SHSW_fsel, SHA_fsel のフィルタ調整。	
8	クランプ動作	クランプコンデンサは横引きノイズとクランプ高速引き込みがトレードオフの関係になります。双方の特性をチェックして最適値を決定してください。	
		クランプミス誘発させ、ダミークランプのデータやパルスタイミングを設定。OB クランプ時とのマージンを見てください。	
		ダミークランプや幅広クランプはセンサの特性、被写体条件、使用条件により悪影響を与える場合がありますので、十分なる検討をお願いします。	

外形寸法図



本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなまよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
九	州	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

※営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com