

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# R2A45016NP/HNP

## CDS/PGA&12ビット A/D コンバータ H-TG 内蔵

RJJ03F0252-0100

Rev.1.00

2008.06.19

### 概要

R2A45016NP/HNP はデジタルカメラ信号処理システムに最適な CCD アナログフロントエンド LSI です。CDS, PGA のアナログ処理回路および 12 ビット A/D コンバータのほか、水平 CCD 駆動パルス発生器を 1 チップに収めています。

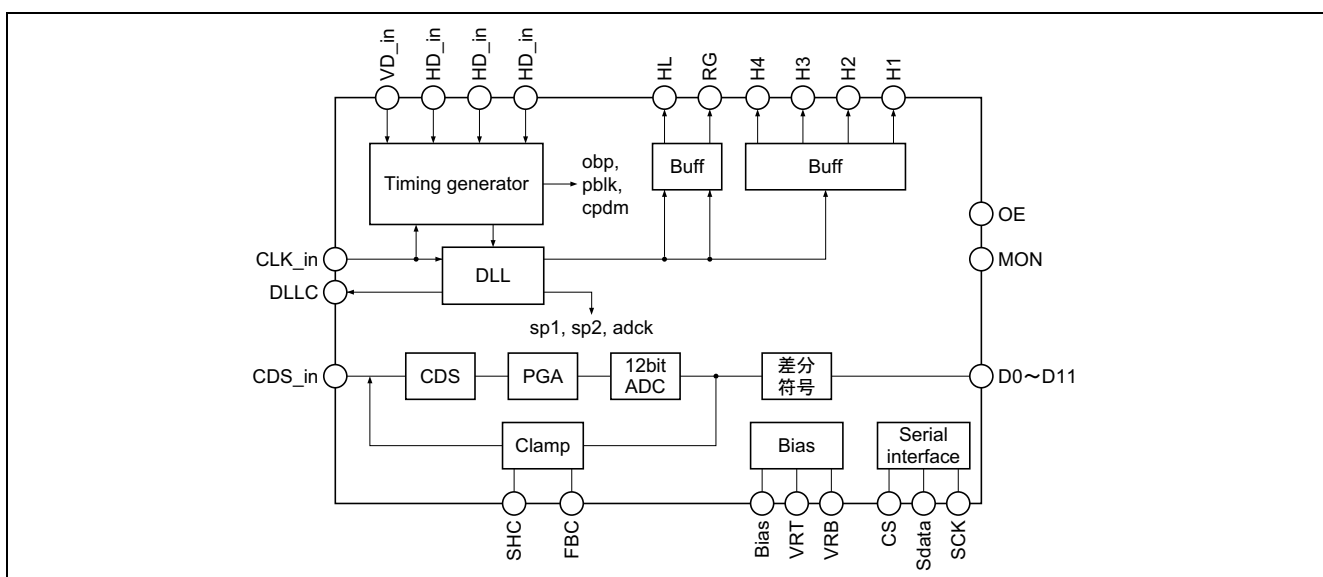
### 機能

- 相関二重サンプリング (CDS)
- プログラマブルゲインアンプ (PGA)
- 12 ビット A/D コンバータ
- シリアルインタフェース制御
- H-TG (Timing Generator) 内蔵
- 3.0V 単一動作
- 消費電力/動作周波数切り替えモード対応  
R2A45016HNP: 150mW (typ)/f\_max = 36MHz  
R2A45016NP: 100mW (typ)/f\_max = 28MHz
- QFN-40 ピン パッケージ

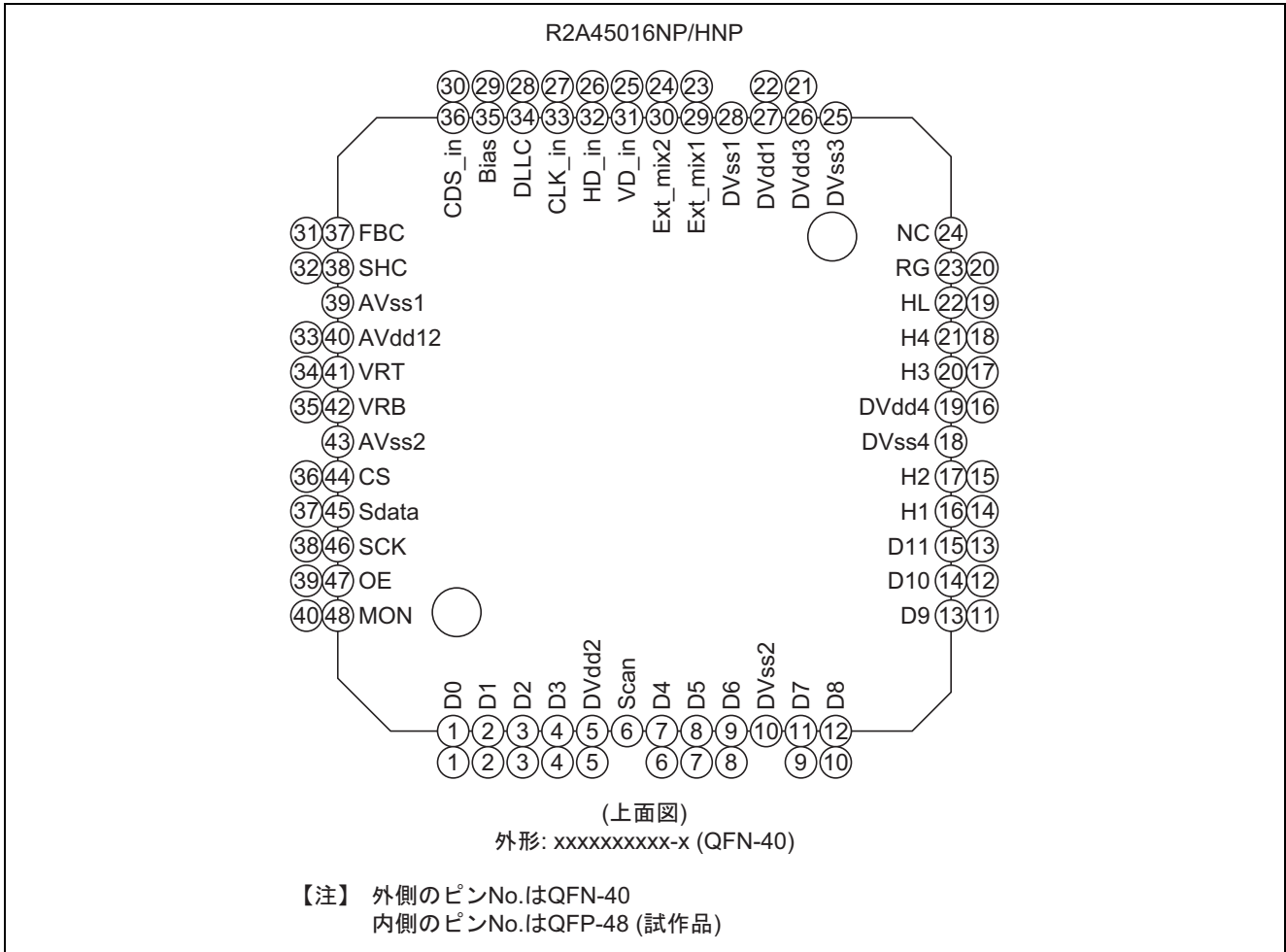
### 特長

- 相関二重サンプリングにより、CCD リセット雑音の抑制が可能
- PGA は -6 ~ +34dB まで 10 ビット階調 (dB リニア) により、高感度化が可能
- A/D コンバータは 12 ビット分解能で高精度
- シリアルインタフェースにより、PGA ゲイン、フィルタ定数、パルスタイミング、etc の設定が可能
- 水平 CCD 駆動パルス発生器を内蔵
- DLL により、サンプリングパルスの遅延バラツキを抑制
- A/D 出力コードとして差分符号化グレイコードを選択可能  
疑似輪郭 (波紋) の抑圧に効果的。弊社にて特許取得済み。

### ブロックダイアグラム



ピン配置



## ピン説明

QFP48 ピン No.	QFN40 ピン No.	記号	説明	I/O	アナログ(A)/ デジタル(D)	備考
1	1	D0	ADC_D0 出力	O	D	
2	2	D1	ADC_D1 出力	O	D	
3	3	D2	ADC_D2 出力	O	D	
4	4	D3	ADC_D3 出力	O	D	
5	5	DVdd2	ADC 出力バッファ用電源 (3V)	—	D	
6		Scan	Scan テスト入力 (通常 GND)	I	D	Pull_down
7	6	D4	ADC_D4 出力	O	D	
8	7	D5	ADC_D5 出力	O	D	
9	8	D6	ADC_D6 出力	O	D	
10		DVss2	ADC 出力バッファ用 GND (0V)	—	D	
11	9	D7	ADC_D7 出力	O	D	
12	10	D8	ADC_D8 出力	O	D	
13	11	D9	ADC_D9 出力	O	D	
14	12	D10	ADC_D10 出力	O	D	
15	13	D11	ADC_D11 出力	O	d	
16	14	H1	H1 出力	O	D	30mA_Buff
17	15	H2	H2 出力	O	D	30mA_Buff
18		DVss4	H1 ~ H4 バッファ用 GND (0V)	—	D	
19	16	DVdd4	H1 ~ H4 バッファ用電源 (3V)	—	D	
20	17	H3	H3 出力	O	D	30mA_Buff
21	18	H4	H4 出力	O	D	30mA_Buff
22	19	HL	ラスト H 出力	O	D	5mA_Buff
23	20	RG	RG 出力	O	D	5mA_Buff
24		NC				
25		DVss3	HL, RG バッファ用 GND (0V)	—	D	
26	21	DVdd3	HL, RG バッファ用電源 (3V)	—	D	
27	22	DVdd1	内部ロジック電源 (3V)	—	D	
28		DVss1	内部ロジック GND (0V)	—	D	
29	23	Ext_mix1	外部 mix 信号入力 1	I	D	Pull_down
30	24	Ext_mix2	外部 mix 信号入力 2	I	D	Pull_down
31	25	VD_in	VD 入力	I	D	
32	26	HD_in	HD 入力	I	D	
33	27	CLK_in	CLK 入力	I	D	
34	28	DLLC	DLL 外付けコンデンサ (対 GND に 0.01 $\mu$ F)	O	A	
35	29	Bias	バイアス電流設定端子 (対 GND に 33k $\Omega$ )	O	A	
36	30	CDS_in	CDS 入力	I	A	
37	31	FBC	クランプコンデンサ端子 (対 SHC に 0.1 $\mu$ F)	I	A	
38	32	SHC	SH アンプ出力 (対 GND に 47 $\Omega$ + 1000pF)	O	A	
39		AVss1	CDS, PGA 部 GND (0V)	—	A	
40	33	AVdd12	アナログ部電源 (3V)	—	A	
41	34	VRT	ADC 基準トップ電圧 (対 GND に 0.1 $\mu$ F)	O	A	
42	35	VRB	ADC 基準ボトム電圧 (対 GND に 0.1 $\mu$ F)	O	A	
43		AVss2	ADC 部 GND (0V)	—	A	
44	36	CS	シリアル通信 CS 入力	I	D	
45	37	Sdata	シリアル通信 Sdata 入力	I	D	
46	38	SCK	シリアル通信 SCK 入力	I	D	
47	39	OE	Hi のとき H1 ~ H4, LH, RG, ADC 出力を Low 固定, 通常 Low。	I	D	
48	40	MON	MON 出力 (adck, sp1, sp2, obp, pblk, cpdm, cp-sw)	O	D	

## 【注】 電源ラインについて

AVdd1 と AVdd2 は LSI 内部で接続されており, CDS, PGA, ADC のアナログ部。

DVdd1 は内部ロジック部, DLL 部

DVdd2 は ADC 出力部, シリアル通信部

DVdd3 は RG, LH 出力部

DVdd4 は H1 ~ H4 出力部

## 入出力等価回路

ピン名		等価回路
アナログ	CDS_in	
	VRT VRB	
デジタル	入力	
	出力	

## 絶対最大定格

(Ta = 25°C)

項目	記号	定格値	単位
電源電圧	Vdd (max)	4.1	V
許容損失	Pt (max)	400	mW
動作電源電圧	Vopr	2.7 ~ 3.45 * <sup>1</sup>	V
アナログ入力電圧	Vin (max)	-0.3 ~ AVdd + 0.3	V
デジタル入力電圧	Vi (max)	-0.3 ~ DVdd + 0.3	V
動作温度	Topr	-20 ~ +85	°C
保存温度	Tstg	-55 ~ +125	°C

【注】 1. DVdd3, 4 は max 3.6V

## 電気的特性

- AFE 部の項目

(特許なき場合, Ta = 25°C, AVdd = 3.0V, DVdd = 3.0V)

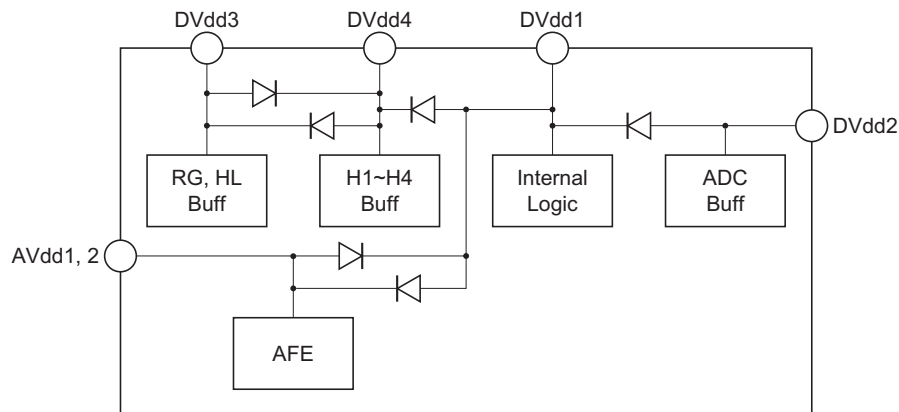
項目	記号	Min	Typ	Max	単位	測定条件	備考
電源電圧範囲	Vdd1	2.7	3.0	3.45	V	VRT = 2.0V 選択	
	Vdd2	3.1	3.3	3.45	V	VRT = 2.4V 選択	
	Vdd3	2.7	3.3	3.6	V	DVdd3, 4 系	
変換周波数	Fck_H	28	—	36	MHz	R2A45016HNP	アドレス 2 の D6 で切り替え
	Fck_L	10	—	28	MHz	R2A45016NP	
デジタル入力電圧	V <sub>IH</sub>	0.73×DVdd	—	DVdd	V		全デジタル入力ピン
	V <sub>IL</sub>	0	—	0.2×DVdd	V		
デジタル出力電圧	V <sub>OH</sub>	DVdd - 0.5	—	—	V	I <sub>OH</sub> = -1mA	H系以外のデジタル出力ピン
	V <sub>OL</sub>	—	—	0.5	V	I <sub>OL</sub> = +1mA	
デジタル入力電流	I <sub>IH</sub>	—	—	50	μA	V <sub>IH</sub> = Vdd	
	I <sub>IL</sub>	-50	—	—	μA	V <sub>IL</sub> = 0V	
CLK_in 端子入力電流	I <sub>IH2</sub>	—	—	200	μA	V <sub>IH</sub> = Vdd	
	I <sub>IL2</sub>	-200	—	—	μA	V <sub>IL</sub> = 0V	
ADC 分解能	RES	—	12	—	bit		
ADC 積分リニアリティー	INL	—	(8)	—	LSB	Fck = 20MHz	
ADC 微分リニアリティー	DNL	-0.99	(±0.6)	—	LSB	Fck = 20MHz	
スリープ電流	I <sub>SLP</sub>	-100	—	100	μA	D 入力ピンは 0V, D 出力ピンは open	
スタンバイ電流	I <sub>STBY</sub>	—	3	5	mA	D 入出力ピンは 0V	

【注】 Fck, clk は, CLK\_in 入力パルス = センサ clk の定義です。

- 電源電圧の条件

各電源間の保護ダイオードは下記のように接続しています。ご使用にあたっては、以下の電圧条件を守ってください。

$$"DVdd3 = DVdd4" \geq "DVdd1 = AVdd1, 2" \geq "DVdd2"$$



- 特殊入力端子

入力パルスが 1.8V<sub>p-p</sub> でも動作するよう "HD\_in", "VD\_in", "Ext\_mix1", "Ext\_mix2" は  $V_{th} = 1/3V_{dd}$  という特殊入力セルで構成しています。

"CLK\_in" も同じ理由で帰還抵抗を内蔵しております。そのため、入力リーク電流が他のデジタル端子より大きな値となります。ご使用にあたっては 3V 入力時直接結合、1.8V 入力時は C 結合をお勧めします。



- AFE 部の項目

(特許なき場合,  $T_a = 25^\circ\text{C}$ ,  $A_{Vdd} = 3.0\text{V}$ ,  $D_{Vdd} = 3.0\text{V}$ )

項目	記号	Min	Typ	Max	単位	測定条件	備考
消費電流	I <sub>dd1</sub>	—	(69)	—	mA	F <sub>ck</sub> = 36MHz	RG, LH, H1 ~ H4 は open
	I <sub>dd2</sub>	—	(40)	—	mA	F <sub>ck</sub> = 28MHz	
CCD 入力 オフセット	V <sub>CCD</sub>	(-150)	—	(150)	mV		
サンプリング タイミング仕様	t <sub>CDS1</sub>	—	3.5	—	ns		表 8 参照
	t <sub>CDS2</sub>	Typ × 0.8	1/4clk	Typ × 1.2	ns		
	t <sub>CDS3</sub>	—	3.5	—	ns		
	t <sub>CDS4</sub>	Typ × 0.8	1/4clk	Typ × 1.2	ns		
	t <sub>CDS5</sub>	Typ × 0.85	1/2clk	Typ × 1.0	ns		
	t <sub>CDS6</sub>	—	(7.5)	—	ns		
	t <sub>CDS7</sub>	11	—	—	ns		
	t <sub>CDS8</sub>	11	—	—	ns		
	t <sub>CDS9</sub>	—	(11)	—	ns		
	t <sub>CDS10</sub>	—	(18)	—	ns		
クランプレベル	CLP(00)	—	(56)	—	LSB		クランプレベル = 設定値 × 8 + 56
	CLP(09)	—	(128)	—	LSB		
	CLP(31)	—	(304)	—	LSB		
PGA ゲイン	PGA(0)	-8	-6	-4	dB		1.0V 入力時にデジタル出力がフルスケールになった場合を 0dB と定義
	PGA(256)	1.73	3.73	5.73	dB		
	PGA(512)	11.46	13.46	15.46	dB		
	PGA(768)	21.18	23.18	25.18	dB		
	PGA(1023)	30.87	32.87	34.87	dB		

- TG 部の項目 (ロジックテストの項目は除く)

(特許なき場合,  $T_a = 25^\circ\text{C}$ ,  $A_{Vdd} = 3.0\text{V}$ ,  $D_{Vdd} = 3.0\text{V}$ )

項目	記号	Min	Typ	Max	単位	測定条件	備考
DLL 動作周波数	F <sub>dll</sub>	10	—	28/36	MHz		Low pwr/Nor pwr
H 系バッファ 出力電圧	V <sub>OH</sub>	2.94	2.97	—	V	30mA Buff I <sub>OH</sub> = -5mA	V <sub>dd</sub> = 3.0V 時 A <sub>ch</sub> と B <sub>ch</sub> は並列接続
	V <sub>OL</sub>	—	22	47	mV	30mA Buff I <sub>OL</sub> = +5mA	
	V <sub>OH</sub>	2.89	2.94	—	V	14mA Buff I <sub>OH</sub> = -5mA	
	V <sub>OL</sub>	—	50	112	mV	14mA Buff I <sub>OL</sub> = +5mA	
	V <sub>OH</sub>	2.91	2.96	—	V	10mA Buff I <sub>OH</sub> = -3mA	
	V <sub>OL</sub>	—	36	78	mV	10mA Buff I <sub>OL</sub> = +3mA	
	V <sub>OH</sub>	2.85	2.93	—	V	4mA Buff I <sub>OH</sub> = -2mA	
	V <sub>OL</sub>	—	60	129	mV	4mA Buff I <sub>OL</sub> = +2mA	
	V <sub>OH</sub>	2.69	2.86	—	V	2mA Buff I <sub>OH</sub> = -2mA	
	V <sub>OL</sub>	—	115	262	mV	2mA Buff I <sub>OL</sub> = +2mA	
RG 出力電圧	V <sub>OH</sub>	2.81	2.92	—	V	I <sub>OH</sub> = -1.5mA	
	V <sub>OL</sub>	—	78	141	mV	I <sub>OL</sub> = +1.5mA	

## 内蔵機能

### 機能概要

- CDS 入力  
CDS (Correlated Double Sampling) による CCD 低域雑音の抑制  
OB 期間の信号レベルを 56 ~ 304LSB (5 ビット, 8LSB ステップ制御) にクランプ  
-6dB ~ 34dB 間で 10 ビット (0.04dB/ステップ) のゲイン調整が可能
- PGA, ADC の自動オフセットキャリブレーション機能
- CCD, CDS の DC オフセット補償フィードバック機能
- プリブランキング機能: デジタル出力をクランプレベルに固定
- H-TG: 水平 CCD 駆動パルス発生器内蔵

### 動作説明

図 1 に AFE 部の機能ブロックを示します。

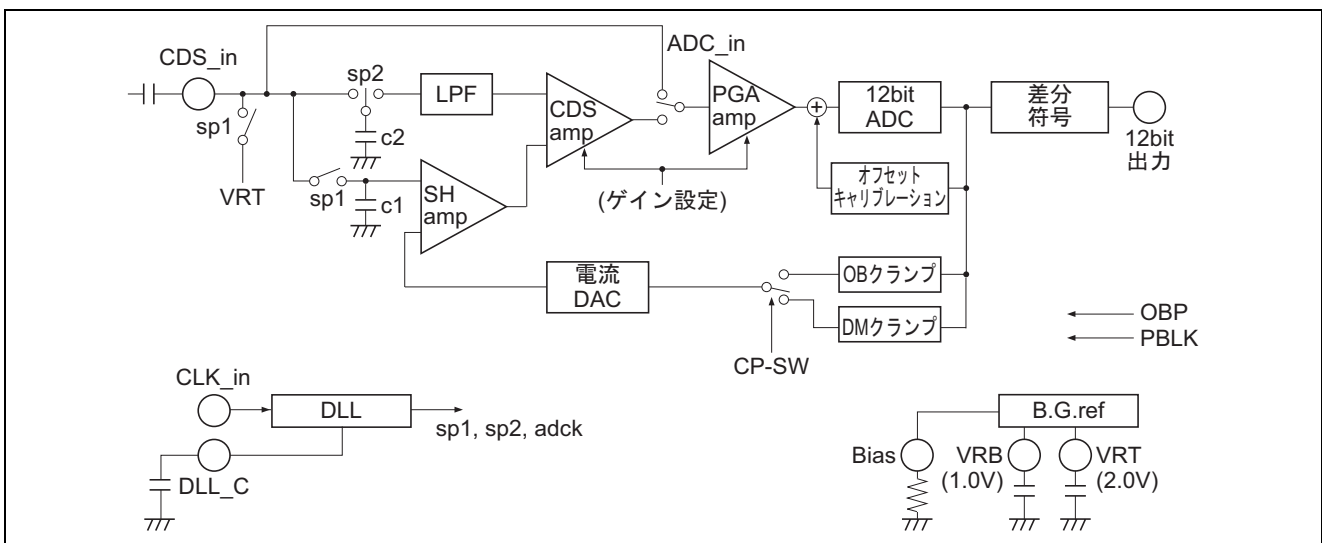


図 1 CDS, PGA 部 機能ブロック

#### 1. CDS (Correlated Double Sampling) 回路

CDS 回路は黒レベルと信号レベルとの差電圧を取り出す回路です。黒レベルは、SP1 パルスにより、C1 に充電され SH\_amp によりバッファリングされた後、CDS\_amp に供給されます。信号レベルは SP2 により C2 に充電され、そのまま CDS\_amp に供給されます (図 1 参照)。

#### 2. PGA 回路

PGA 回路は後段のプログラマブルゲインアンプです。前段の CDS\_amp と合わせて 10 ビットのレジスタでゲインを設定します。レジスタ値  $N = 0 \sim 1023$  に対し下式のようにゲインが変化します。

$$\text{Gain} = -6\text{dB} + 0.04\text{dB} \times N \text{ (LOG リニア)}$$

#### 3. OB クランプ

OB 期間に入力された黒信号レベルを DC 基準とするためのフィードバックであり、CCD オフセット、CDS\_amp オフセットなどを含めてオフセット補償します。OB 期間に ADC 出力からオフセットを演算し、電流 DAC によって外付けコンデンサ C3 に充電します。

# シリアルデータ

## シリアルデータ仕様

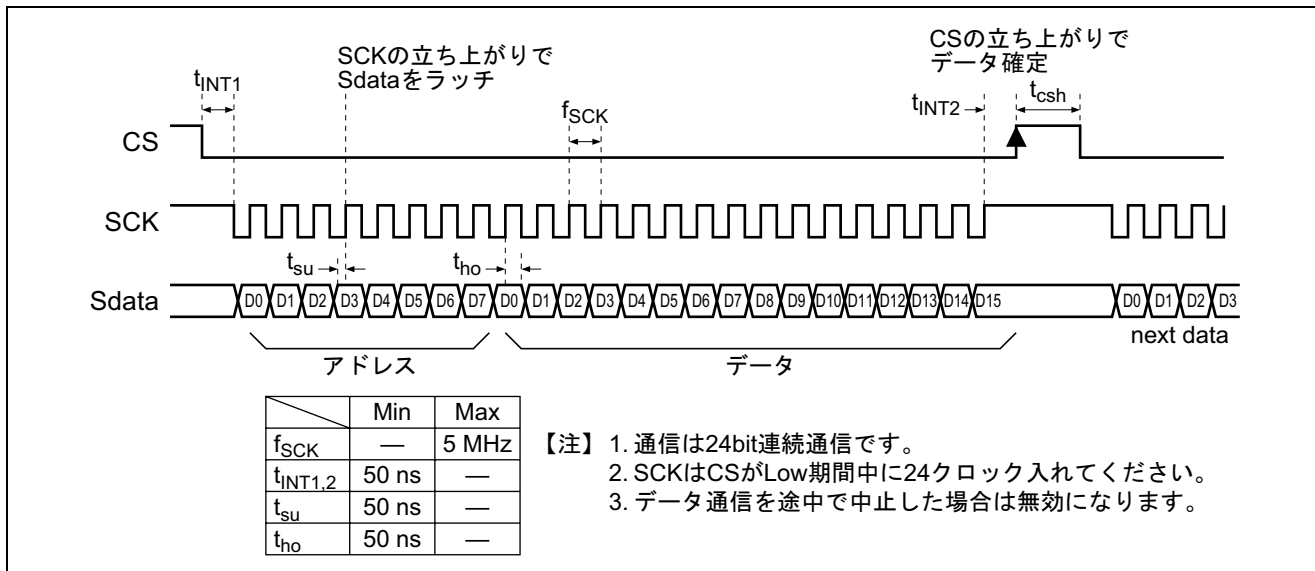


図2 シリアルデータのタイミング仕様

表1 シリアルデータ一覧

アドレス (16進)	データ															備考															
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14		D15														
00	PGAゲイン										Bias_sel		Vラッチ inv	Vラッチ	PGAゲイン: -6dB + 0.04dB × N Bias_sel: 通常0設定で常時Bias Vラッチ_inv: 0の時ネガエッジ 1の時ポジエッジでVラッチ Vラッチ: 1の時PGAゲインをVDのエッジで有効にする																
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D12	D13	D14	D15		0	0	0	0												
01	LPF_sel			shsw_fsel				sha_fsel		Wob V	Wob _VD			slp	stby	LPF_sel: 5~60MHzのLPF選択 shsw_fsel, sha_fsel: sp1部のノイズフィルタ D11 = 1の時Wide_OBをVDごとに起動 D12 = 0の時VDネガエッジ, 1の時ポジエッジ選択 slp, stby: 通常0設定															
	D0	D1	D2	D4	D5	D6	D7	D8	D9	D11	D12	D14	D15	0	0		1	0													
02	Clamp				Pwr_sel			ADC_msk		入力パルス 極性選択		obp	pblk	clk	HD	VD	DLL	Res	calb	Re set	Clamp: クランプ収束電圧 = 設定値 × 8 + 56LSB Pwr_sel: 0 = 36MHz, 1 = 28MHz保証 ADC_msk: 0の時adc出力Low固定, 1の時通常 入力パルス極性: 0 = ネガ極性, 1 = ポジ極性 DLL_Res: DLL回路のリセット, 通常1設定 calb: 0→1でオフセットキャリブレーション実行 Reset: 0→1でアドレス0002以外を初期化										
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	1	0	0	1		0	0	0	1	0	0	0	0	1	1
03	ダミークランプ				Cpdm_th				Cpdm_i				その他機能				ADC_in	VRT_sel	Vref_off	DLL_off	SHT_SW	Cpdm_th/i: ダミークランプ設定 ADC_in: 1の時ADC_inモード VRT_sel: 0 = 2V, 1 = 2.4V Vref_off: 1の時VRT, VRBのバイアスoff DLL_off: 1の時DLL回路をoffし, 外部sp1, sp2入力 SHT_SW: 1の時クランプCをショート									
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D8	D9	D10							D11	D12							
04	差分符号							出力固定								Test	M	L	Gray 基準位相: 0~3clkの間で移動 adck位相: ポジ/ネガエッジ選択 10/12bit: グレイ変換のbit数切り替え Gry, 差分: 各符号化のon/off Gry_ref: 0 = 2画素step, 1 = 1画素step 2 = 4画素step, 3 = 6画素step ADC出力固定: Test0, M_inv, L_inv												
	基準位相	adck 位相	Gry	差分	10/ 12bit	Gry_ref		Test	M	L	D0	D1	D2	D3	D4					D5	D6	D7	D8	D9	D10	0	inv	inv			
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 1 シリアルデーター一覧 (続き)

アドレス (16進)	データ															備考	
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14		D15
05	MON			I_vari				Amp_sel								MON: MON端子出力パルス選択 0: Low, 1: adck, 2: sp1, 3: sp2, 4: obp, 5: pblk, 6: cpdm, 7: cp-sw I_vari, Amp_sel: 各回路ブロック電流制御	
	D0	D1	D2	D5	D6	D7	D10	D11									
	0	0	0	0	0	0	0	0									
06	wob	clp	Winck	Wide					Clp_Hsel	Wob_th1	Wob_th2	Wob_th3					Wob_i: 幅広OB用電流2倍 Clp_l: 通常クランプ電流2倍 Winck_sel: 高速クランプウィンドウ幅 0 = 1H, 1 = 2H, 2 = 4H, 3 = 8H Wide_obp: 1の時, 幅広クランプon Clp_Hsel: 高速クランプ引き込み継続H数 0 = 32倍, 1 = 64倍, 2 = 128倍, 3 = 16倍 Wob_th1~3max: 幅広OB制御電流切り替え
	i	l	sel	obp						max	max	max					
	D0	D1	D2	D3	D5					D8	D9	D10	D11	D12	D13	D14	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
07	Test1															Test1~3: 弊社出荷時のテストビットです。 通常使用時にはオール0を設定するか、 またはデータを送信しないでください。	
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14		D15
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0
08	Test2																
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14		D15
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0
09	Test3																
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14		D15
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0
10	H1		H2		H3		H4		HL		RG						出力パルスのfix/inv: fix = 1で固定, inv = 1で反転 HL_sel: 0の時H1, 1の時H2のclk周期を選択
	inv	fix	inv	fix	inv	fix	inv	fix	inv	fix	inv	fix					
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11					
	1	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	
11	H1_Buff			H2_Buff			H3_Buff			H4_Buff					H_Buff: 2mA, 4mA, 10mA, 14mA_Buffを おののbit制御で個別にon/off 加算した結果が合計のBuffサイズになります		
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		D14	D15
	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0
12	H1_DL			H2_DL			H3_DL			H4_DL					H1, H2, H3, H4_DL: 12段までのDLL遅延		
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		D14	D15
	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0
13	HL_Buff		RG_Buff			HL_DL										HL/RG_Buff: 2mA, 3mA_Buffを おののbit制御で個別にon/off HL_DL: 0~12段までのDLL遅延	
	D0	D1	D4	D5	D8	D9	D10	D11	D12	D13	D14	D15					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
14	RG_tf				RG_tr											RG_tr/tf: 上位3bitで1/8位相選択, 下位3bitでDLL遅延	
	D0	D1	D2	D3	D4	D5	D8	D9	D10	D11	D12	D13					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
15	SP1_DL					SP2_DL										SP1, SP2_DL: 上位3bitで1/8位相選択, 下位3bitでDLL遅延	
	D0	D1	D2	D3	D4	D5	D8	D9	D10	D11	D12	D13					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
16	ADCK_DL															ADCK_DL: 上位3bitで1/8位相選択, 下位3bitでDLL遅延	
	D0	D1	D2	D3	D4	D5											
	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
17~1f	空きレジスタ																

表 1 シリアルデータ一覧 (続き)

アドレス (16進)	データ															備考
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	
20	H_msk_S															H_msk_S: HDの基準エッジから H_mskスタートポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
21	H_msk_E															H_msk_E: HDの基準エッジから H_mskエンドポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
22	obp_tf															obp_tf: HDの基準エッジから obp立ち下がりポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
23	obp_tr															obp_tr: HDの基準エッジから obp立ち上がりポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
24	W_obp_tf															W_obp_tf: HDの基準エッジから W_obp立ち下がりポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
25	W_obp_tr															W_obp_tr: HDの基準エッジから W_obp立ち上がりポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
26	pblk_tf															pblk_tf: HDの基準エッジから pblk立ち下がりポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
27	pblk_tr															pblk_tr: HDの基準エッジから pblk立ち上がりポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
28	cpdm_tf															cpdm_tf: HDの基準エッジから cpdm立ち下がりポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
29	cpdm_tr															cpdm_tr: HDの基準エッジから cpdm立ち上がりポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2a	Pblk_S															Pblk_S: VDの基準エッジから Pblkスタートポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2b	Pblk_E															Pblk_E: VDの基準エッジから Pblkエンドポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2c	V_obp_S															V_obp_S: VDの基準エッジから V_obpスタートポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2d	V_obp_E															V_obp_E: VDの基準エッジから V_obpエンドポイントを設定
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2e~2f	空きレジスタ															

表1 シリアルデータ一覧 (続き)

アドレス (16進)	データ															備考			
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14		D15		
30	H1_mix_sel			H3_mix_sel			H2_mix_sel			H4_mix_sel									H_mix部のパターン選択 0 = Low固定, 1 = Hi固定, 2 = ini_mix, 3 = int_mix_b, 4 = ext_mix1, 5 = ext_mix1_b, 6 = ext_mix2, 7 = ext_mix2_b
	D0	D1	D2	D4	D5	D6	D8	D9	D10	D12	D13	D14							
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
31	HL_mix_sel															HL_mix部のパターン選択 同上			
	D0	D1	D2																
	0	0	0																
32	H_mix_offset															ドラフト時のh_msk (休止期間) のH.CCD混合 開始オフセット位相 (t = 1/fs)			
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	
33	H_mix_cycle															ドラフト時のh_msk (休止期間) のH.CCD混合 1サイクル期間 (t = 1/fs)			
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	
34	H_mix_start1															ドラフト時のh_msk (休止期間) のH.CCD混合 開始位置① (t = 1/fs) H_mixが不要な場合H'1FFF(max)設定してください			
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	
35	H_mix_start2															ドラフト時のh_msk (休止期間) のH.CCD混合 開始位置② (t = 1/fs) H_mixが不要な場合H'1FFF(max)設定してください			
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	
36	H_mix_start3															ドラフト時のh_msk (休止期間) のH.CCD混合 開始位置③ (t = 1/fs) H_mixが不要な場合H'1FFF(max)設定してください			
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	
37	H_mix_start4															ドラフト時のh_msk (休止期間) のH.CCD混合 開始位置④ (t = 1/fs) H_mixが不要な場合H'1FFF(max)設定してください			
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13					
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	
38	H_mix_width						nH_mix									H_mix_width: H.CCD混合クロック幅 (t = 1/fs) 0: 1/fs幅, 1: 2/fs幅, 2: 4/fs幅, 3: 6/fs幅, 4: 8/fs幅, 5: 10/fs幅, 6: 12/fs幅, 7: 14/fs幅 nH_mix: H.CCD混合繰り返しサイクル数 0: 1サイクル, 1: 2サイクル, 2: 3サイクル, 3: 4サイクル, 4: 5サイクル, 5: 6サイクル, 6: 7サイクル, 7: 8サイクル			
	D0	D1	D2				D8	D9	D10										
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	
39~3f	空きレジスタ																		

## シリアルデータ説明

- PGA ゲイン (アドレス 00 の D0 ~ D9)  
詳細は図 1 のブロック図を参照。  
PGA ゲイン =  $-6\text{dB} + 0.04\text{dB} \times N$

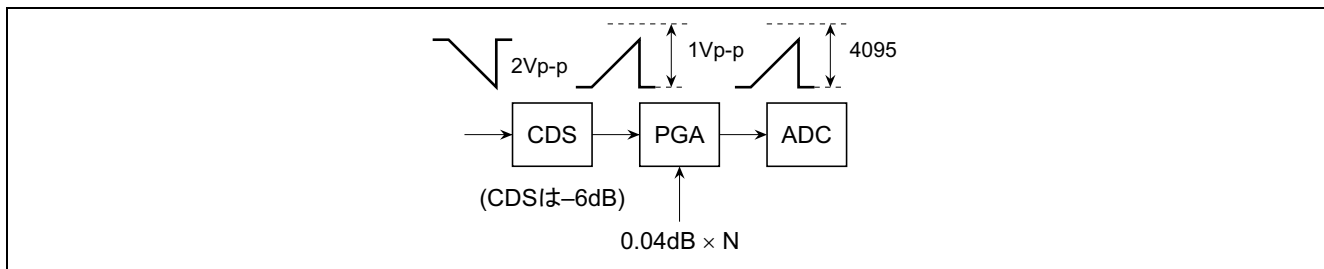


図 3 PGA のレベルダイア

- LPF\_sel (アドレス 01 の D0 ~ D3)  
CDS 入力部の周波数帯域制限を選択します。(D3 = 1 の時 LPF = off)

LPF_sel	センサ周波数
0	6MHz
1	12MHz
2	18MHz
3	25MHz
4	30MHz
5	35MHz
6	40MHz
7	50MHz

周波数帯域を下げると S/N はアップしますが、反面アンプ動作が遅くなりラインスクロールやゲイン不足などの問題が発生します。実際に使用する周波数より高いポイントを選択してください。

なお、LFP\_sel については、

- (1) Low Power モード時は、データ = 4
  - (2) Normal Power モード時は、データ = 6
- のみをテストング保証します。

☆

☆

- SHSW\_fsel, SHA\_fsel (アドレス 01 の D4 ~ D9)

SP1 でサンプリングしたプリチャージ部に対してフィルタリング処理を施します。この時のカットオフ周波数を選択できます。SHSW\_fsel, SHA\_fsel のデータ選択によって、S/N が図 4 のように変化します。画像を評価しながら最適値を見つけてください。

表2 SHSW時定数設定表

SHSW_fselデータ	カットオフ周波数 (MHz)
0	72
1	69
2	63
3	60
4	54
5	51
6	45
7	42
8	36
9	33
10	27
11	24
12	18
13	15
14	9
15	6

表3 SHAMP周波数特性設定表

SHA_fselデータ	カットオフ周波数 (MHz)
0	116
1	75
2	56
3	32

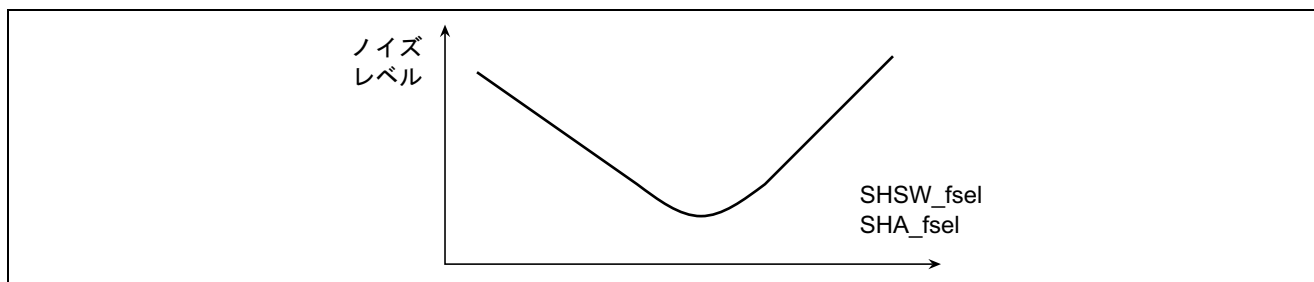


図 4 SHSW\_fsel, SHA\_fsel による効果

- SLP と STBY (アドレス 01 の D14, D15)

SLP: すべての回路を停止。消費電流はアナログ部で 100 $\mu$ A 以下。

復帰させる場合は、電源投入時の動作シーケンスをご参照の上、再度立ち上げてください。

STBY: 基準電圧発生回路のみ動作。消費電流はアナログ部で約 3mA。

復帰するまでにフィードバックランプが安定する時間として 50H 程度を見込んでください。

- Clamp レベル (アドレス 02 の D0 ~ D4)

Clamp レベル = 設定データ  $\times$  8 + 56

D0: LSB, D4: MSB

初期値は  $(9) \times 8 + 56 = 128$  を設定しています。



- Pwr\_sel (アドレス 02 の D6, アドレス 05 の D5 ~ D7, D10 ~ D11)

		動作周波数	Pwr_sel (02 の D6)	I_vari (05 の D5 ~ D7)	Amp_sel (05 の D10, D11)	アナログ部 の電流
標準設定	Low_pwr	10 ~ 28MHz	1	2	2	30mA
	Hi_pwr	28 ~ 36MHz	0	2	2	50mA

- パルス極性選択 (アドレス 02 の D8 ~ D11)

入力パルスの極性を選択します。

データ名	ビット	内容
obp_inv	D8	0 の時ネガパルス, 1 の時ポジパルスを基準
pblk_inv	D9	0 の時ネガパルス, 1 の時ポジパルスを基準
clk_inv	D10	0 の時ポジエッジ, 1 の時ネガエッジを基準
HD_inv	D11	0 の時ネガエッジ, 1 の時ポジエッジを基準
VD_inv	D12	0 の時ネガエッジ, 1 の時ポジエッジを基準

- DLL リセット (アドレス 02 の D13)

動作中に CLK\_in 周波数を変更したり, 中断した場合などは DLL 動作が異常をきたします。このような場合, D13 = 0 → 1 を送って DLL をリセットし直してください。

- Calb と Reset (アドレス 02 の D13, D14, D15)

電源投入時や SLP から復帰する場合に 1 度だけソフトウェアリセットを実行することで、内部回路のバイアスずれを自動的に吸収します (オフセットキャリブレーション)。本 LSI では必ず実行してください。自動オフセットキャリブレーションは、PGA アンプの出力に加算する DAC の DC 電圧を調整します。この DAC には、PGA アンプの出力オフセットと ADC の入力オフセットをキャンセルするデータに、レジスタ設定によるクランプデータ (56LSB ~ 304LSB) が加算されて与えられます。

自動オフセットキャリブレーションは、レジスタ設定によるリセットモード解除後自動的にスタートし、40000 (adck) 後に終了します。(Fck = 20MHz の場合: 2.0ms)

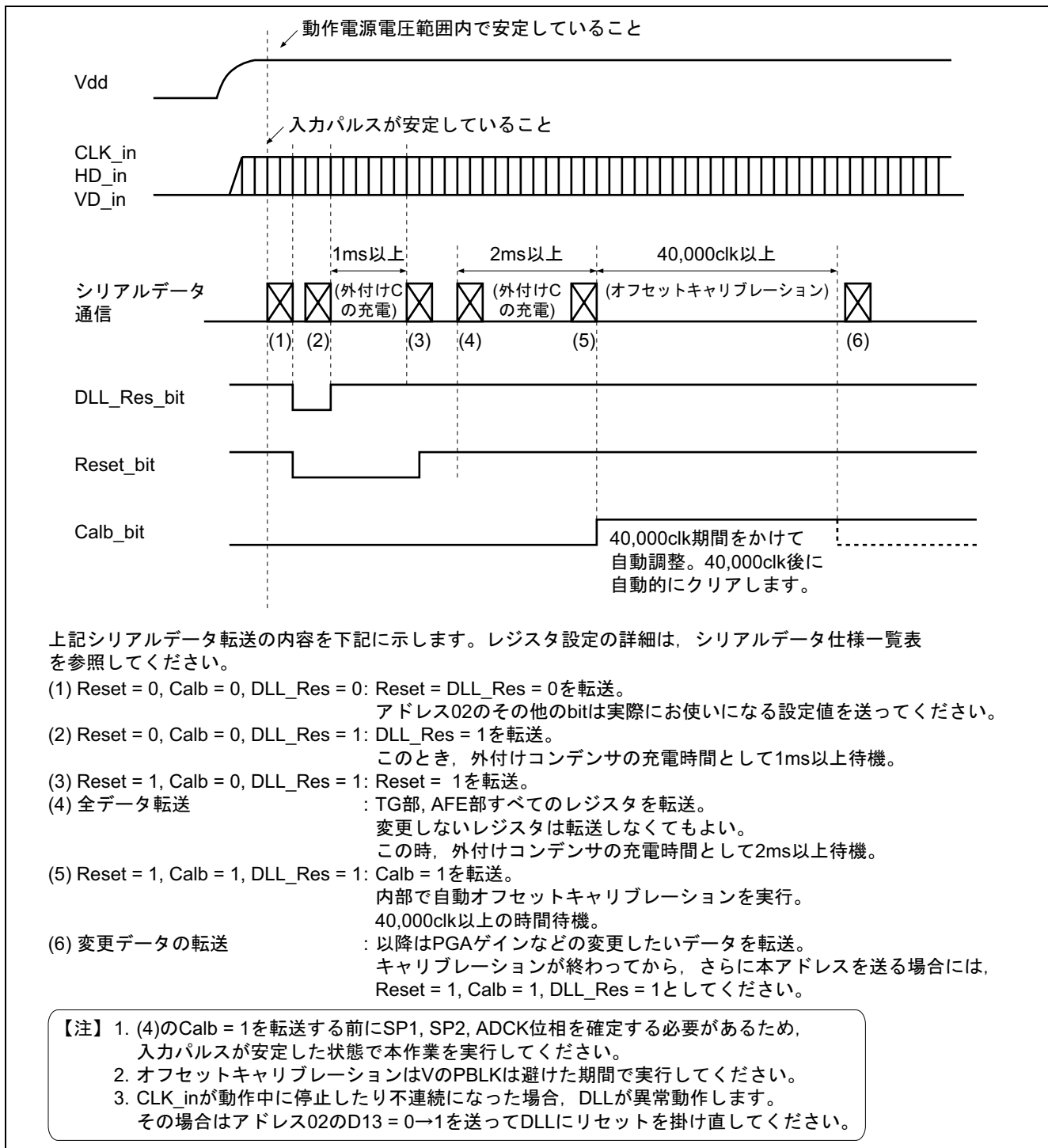


図 5 電源投入時の動作シーケンス

- ダミークランプ (アドレス 03 の D0 ~ D4)

太陽などの強烈なハイライトを撮影した場合、センサの OB 部にも光が漏れ込み、クランプミスを引き起こします。この誤動作を防止するため、OB 部とダミー部のレベル差を監視し、

OB 部 > ダミー部 + cpdm\_th

の条件になったときには、ダミービットレベルでのクランプ処理に切り替えます。ダミー-on 時のフィードバック電流も同時に cpdm\_i で設定した電流値になります。

cpdm 位相をシャッタ傷や転送傷の部分に設定すると誤動作する場合があります。誤動作を防ぐことができない場合には cpdm\_th = 0 として、機能を off してください。

また、PGA ゲインによりクランプミス電圧も変動しますので、cpdm\_th はゲインと連動するように制御してください。

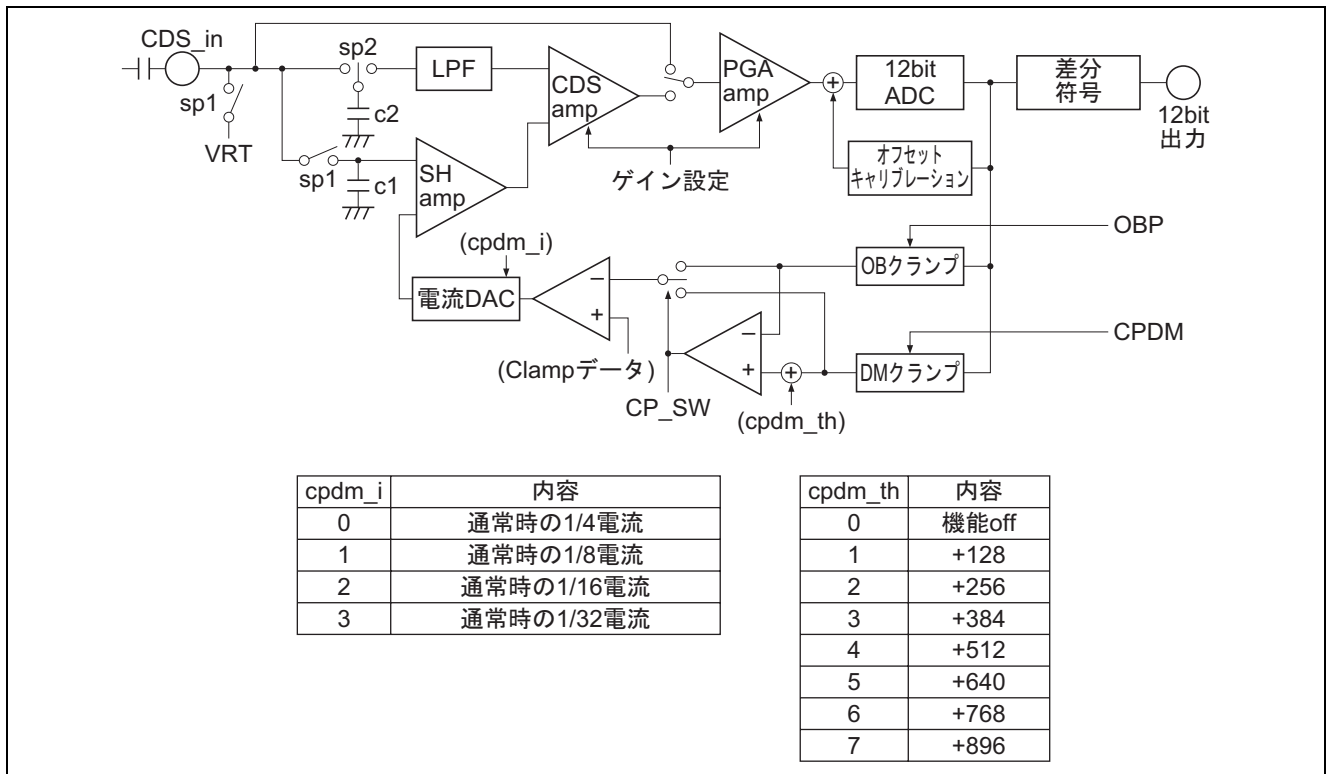


図6 ダミークランプ回路の構成

- その他機能 (アドレス 03 の D8 ~ D11)

データ名	ビット	内容
ADC_in	D8	0 の時 CDS_in モード, 1 の時 ADC_in モード
VRT_sel	D9	0 の時 VRT = 2V, 1 の時 VRT = 2.4V
Vref_off	D10	0 の時 VRT, VRB は内部バイアス, 1 の時 VRT, VRB は内部バイアスをオフ
DLL_off	D11	0 の時通常動作モード, 1 の時 DLL 回路をオフとし, 外部から sp1, sp2 を入力

- L\_inv, M\_inv, test0 (アドレス 04 の D8 ~ D10)  
ADC デジタル出力値を以下のように変更できます。

表 4 テストモード時の ADC 出力状態

stby	stby	test0	L_inv	M_inv	PBLK	ADC デジタル出力											動作モード								
						D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1		D0							
L	x	x	x	x	x	L											OE								
H	L	L	L	L	L	表5に従う											通常動作								
				H	L	表5でD11が反転																			
			H	L	L	表5でD10~D0が反転																			
				H	L	表5でD11~D0が反転																			
	H	L	H	x	x	H	出力コードをClampレベルに固定											PBLK							
				H	L	L	x	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	テストモード
					H	L	x	L	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	
					H	L	x	H	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	
H	L	x	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H			

表 5 バイナリー/グレイコード対応表

出力コード	バイナリコード												グレイコード											
	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
1	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H
2	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	H	H
3	L	L	L	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	L	H	L
4	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	L
5	L	L	L	L	L	L	L	L	L	H	L	H	L	L	L	L	L	L	L	L	L	H	H	H
6	L	L	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	L	H	L	H
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
2047	L	H	H	H	H	H	H	H	H	H	H	H	L	H	L	L	L	L	L	L	L	L	L	L
2048	H	L	L	L	L	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	L
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
4092	H	H	H	H	H	H	H	H	H	H	L	L	L	H	L	L	L	L	L	L	L	L	H	L
4093	H	H	H	H	H	H	H	H	H	H	L	H	L	H	L	L	L	L	L	L	L	L	H	H
4094	H	H	H	H	H	H	H	H	H	H	L	L	L	H	L	L	L	L	L	L	L	L	L	H
4095	H	H	H	H	H	H	H	H	H	H	L	L	L	H	L	L	L	L	L	L	L	L	L	L

● 差分符号 & グレイコード (アドレス 04 の D0 ~ D6)

ADC 出力コードを以下の種類に変更できます。差分符号を使用した場合にパイプライン遅延が 1 クロック増えます。

Gry (D3)	差分 (D4)	出力コード	基準位相 (D0)	基準位相 (D1)	差分符号選択時の基準データタイミング	Gray_ref		画素サイクル
						D6	D7	
0	0	バイナリ	0	0	3, 4 番目	0	0	2 画素
1	0	グレイ	1	0	4, 5 番目	1	0	1 画素
0	1	差分符号バイナリ	0	1	5, 6 番目	0	1	4 画素
1	1	差分符号グレイ	1	1	6, 7 番目	1	1	6 画素

adck 位相 (D2): OBP に対する adck 極性  
 0 の時ポジエッジ  
 1 の時ネガエッジ を選択

10/12 (D5): バイナリ → グレイ変換ビット数  
 0 の時 12 ビット  
 1 の時 10 ビット を選択

ADC 出力の複数のビットが同時に切り替わるポイントで画像に波紋 (量子化誤差による疑似輪郭) が発生します。これを対策する手段として、差分符号 & グレイコードを推奨します。図 7 に回路ブロックを示します。この機能を使うことで輝度信号がなだらかに変化している状態では切り替わるデジタル出力のビット数を極力低減することができ、波紋の低減が容易に可能となります。特にセンサ clk = 30MHz 以上のセットや、ADC 出力を長く引き伸ばすセットなどに効果的です。

差分符号を使用する場合には、DSP 側に複合化回路が必要になります。図 9 に複合化回路例を示します。

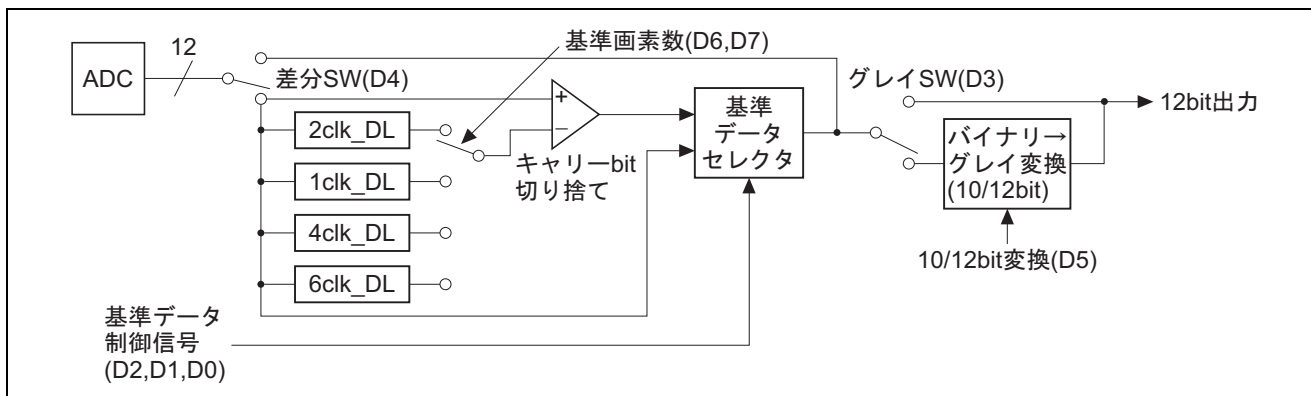


図 7 差分符号, グレイコード化回路

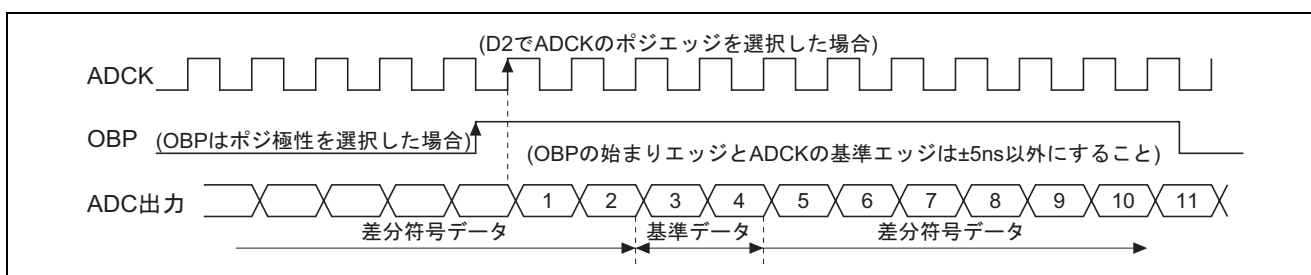


図 8 差分符号タイミング仕様

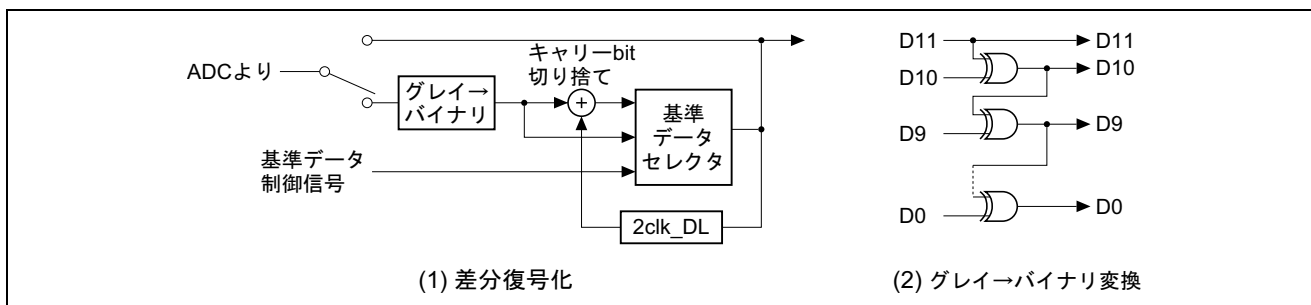


図 9 複合化回路例

- MON (アドレス 05 の D0 ~ D3)  
MON 端子へ以下のパルスを出力します。

MON	出力
0	Low 固定
1	ADCK
2	SP1
3	SP2
4	OBP
5	PBLK
6	CPDM
7	CP-SW

- New\_Func (アドレス 06)

データ	名称	機能
D15, 14	Wob_th3_max	幅広 OBP カウント設定 (表 6 参照)
D13, 12	Wob_th2_max	幅広 OBP カウント設定 (表 6 参照)
D11, 10	Wob_th1_max	幅広 OBP カウント設定 (表 6 参照)
D9, 8	Clp_Hsel	高速引き込み継続 H 数 0: 1H, 0: 2H, 2: 4H, 3: 8H
D5	Wide_OBP	幅広 OBP 機能オンにする
D3 ~ 2	Wind_clk_sel	高速引き込みクランプ補正クロック数 (高速引き込み参照)
D1	Clp_i	通常クランプ補正電流を 2 倍にする
D0	Wob_i	幅広 OBP クランプ補正電流を 2 倍にする (表 6 参照)

表 6 幅広 OBP の制御

	電流値 Wob_i		カウント数 Wob_th1, 2, 3_max			
	0	1	0	1	2	3
lclp_th1	200 $\mu$ A	400 $\mu$ A	15	63	200	無限
lclp_th2	20 $\mu$ A	40 $\mu$ A	127	255	511	無限
lclp_th3	2 $\mu$ A	4 $\mu$ A	511	1023	無限	無限

【注】 幅広 OBP をご使用になる場合は、センサの特性や被写体条件により、悪影響を及ぼす場合もありますので、十分に予備検討してください。また詳細については弊社営業窓口までご連絡ください。

● Clamp 高速引き込み (アドレス 06 の D2, D3, D8, D9)

PGA ゲインを変更すると、自動的に高速引き込み動作に移行し、フィードバックループゲインが D2, D3 に設定された倍率で制御されます。また、高速引き込み動作を終了し通常のループゲインに戻すまでの時間は D8, D9 に設定された H 数まで高速引き込みモードを継続します (オフセット誤差が 32LSB 以上ある間は高速引き込み動作が継続され、オフセット誤差が 32LSB 以内に入ってから D8, D9 に設定された H 数後に通常のループゲインに戻ります)。

通常のクランプ動作は、1H 当たりのオープンループ微分ゲイン ( $\Delta\text{gain}/\Delta\text{H}$ ) は下式によって与えられます。(1H は OBP の 1 周期です)

$$\Delta\text{gain}/\Delta\text{H} = 0.024/(\text{fclk} \times \text{C3}) \quad (\text{fclk: ADCK 周波数, C3: FBC の外付け容量})$$

例:  $\text{fclk} = 20\text{MHz}, \text{C3} = 0.1\mu\text{F} \quad \Delta\text{gain}/\Delta\text{H} = 0.012$

1H あたりの DC オフセット補正量 (LSB) =  $0.012 \times \text{オフセット誤差量 (LSB)}^*$

【注】上記オフセット誤差量には上限値があります。

これに対して、高速引き込み動作の場合、以下のように速度が変わります。

例:  $\text{fclk} = 20\text{MHz}, \text{C3} = 0.1\mu\text{F} \quad 32 \times \Delta\text{gain}/\Delta\text{H} = 32 \times 0.012 = 0.384$

1H あたりの DC オフセット補正量 (LSB) =  $0.384 \times \text{オフセット誤差量 (LSB)}$

高速引き込み動作により、500LSB 程度の誤差が生じた場合、約 20H で目標のクランプレベルに引き込むことができます。

Winck\_sel

D3	D2	引き込み倍率
0	0	32 倍
0	1	64 倍
1	0	128 倍
1	1	16 倍

Clp\_Hsel

D9	D8	継続 H 数
0	0	1H
0	1	2H
1	0	4H
1	1	8H

● 高速パルス系タイミング (アドレス 0a ~ 0d)

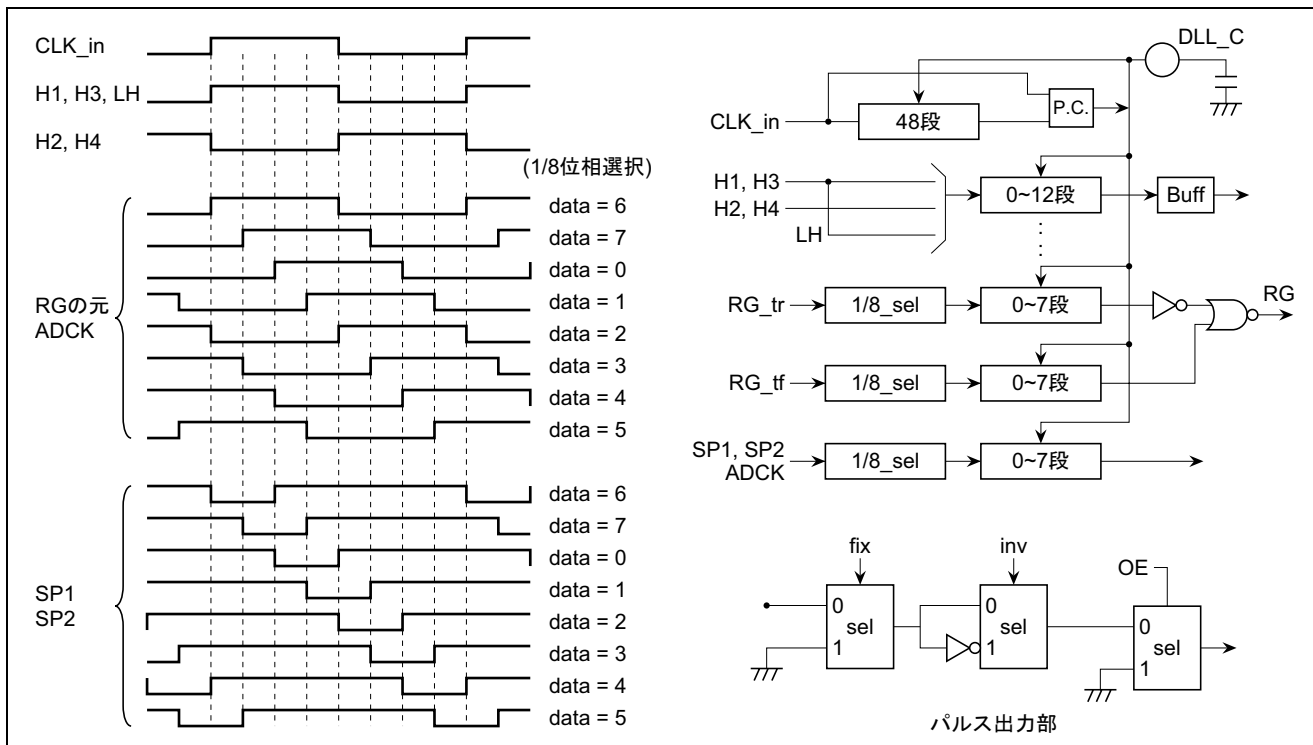


図 10 DLL 回路の CLK 位相と遅延

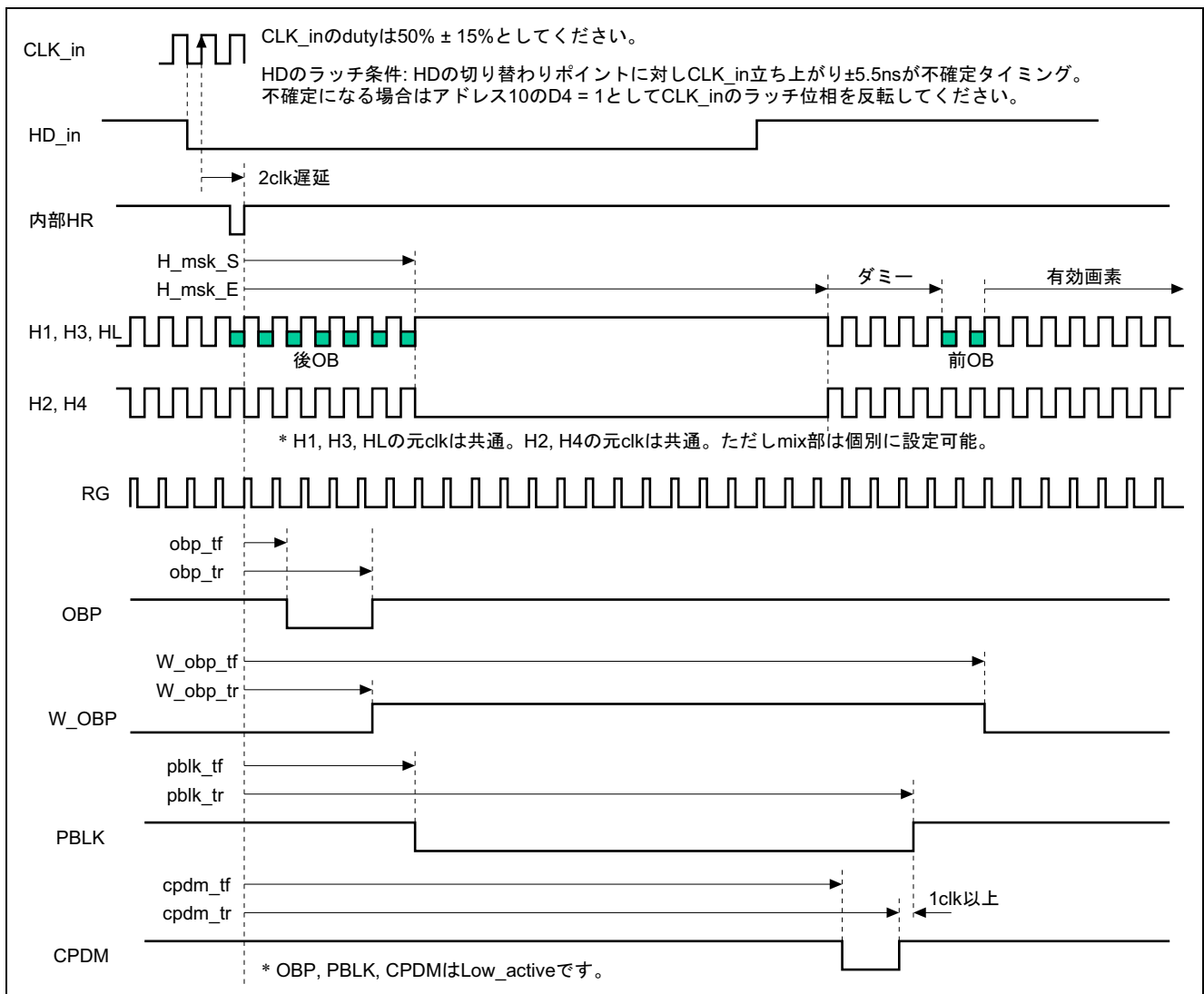


図 11 H.BLK 期間のパルス発生タイミング

- VD\_in のタイミング条件

VD\_in のラッチは内部 HD の tf (または tr) エッジで行ないます。したがって VD\_in は HD\_in + 1clk のポイントで H/L を読み取れる位相に設定してください。パルス極性は VD, HD とともにネガ極性で記載しましたが、異なる場合は、アドレス 02 の D11 "HD\_inv", D12 "VD\_inv" の設定を見直してください。

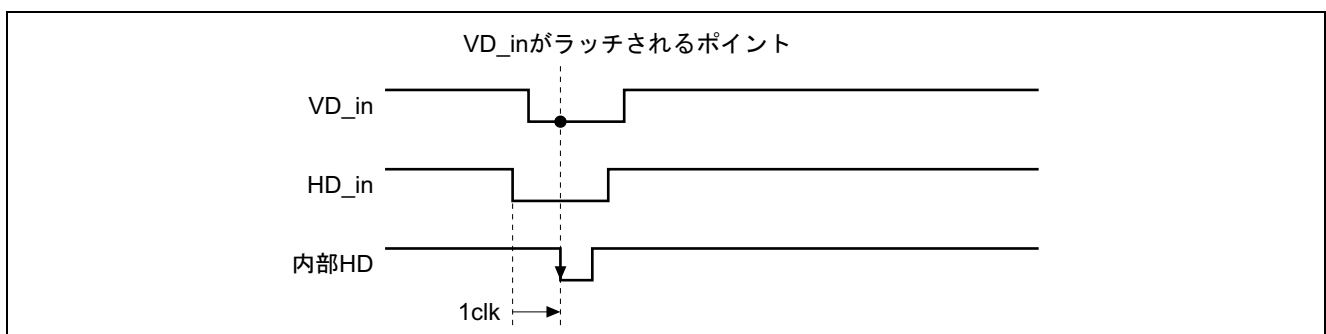


図 12 VD\_in のタイミング条件



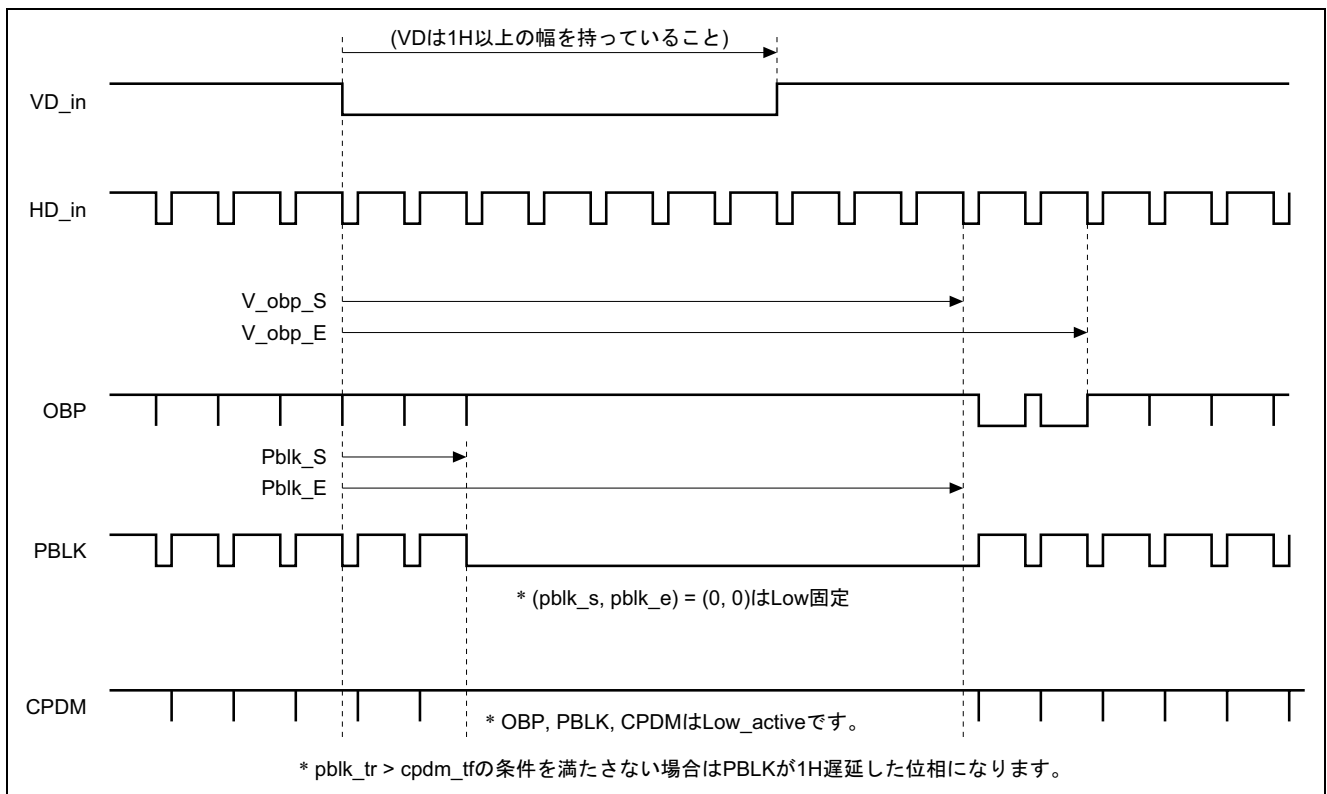


図 13 V.BLK 期間のパルス発生タイミング

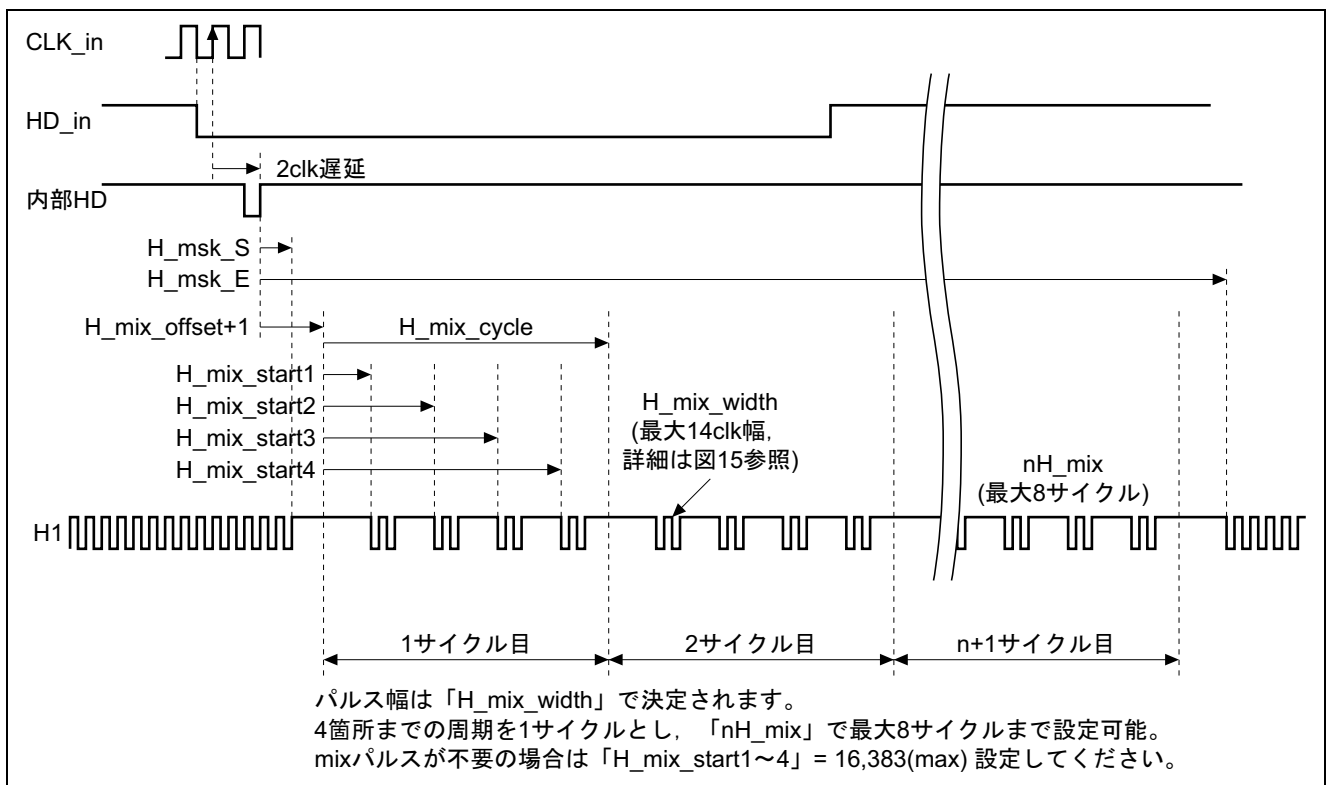


図 14 H.CCD ミックスパルスタイミング 1 (internal)

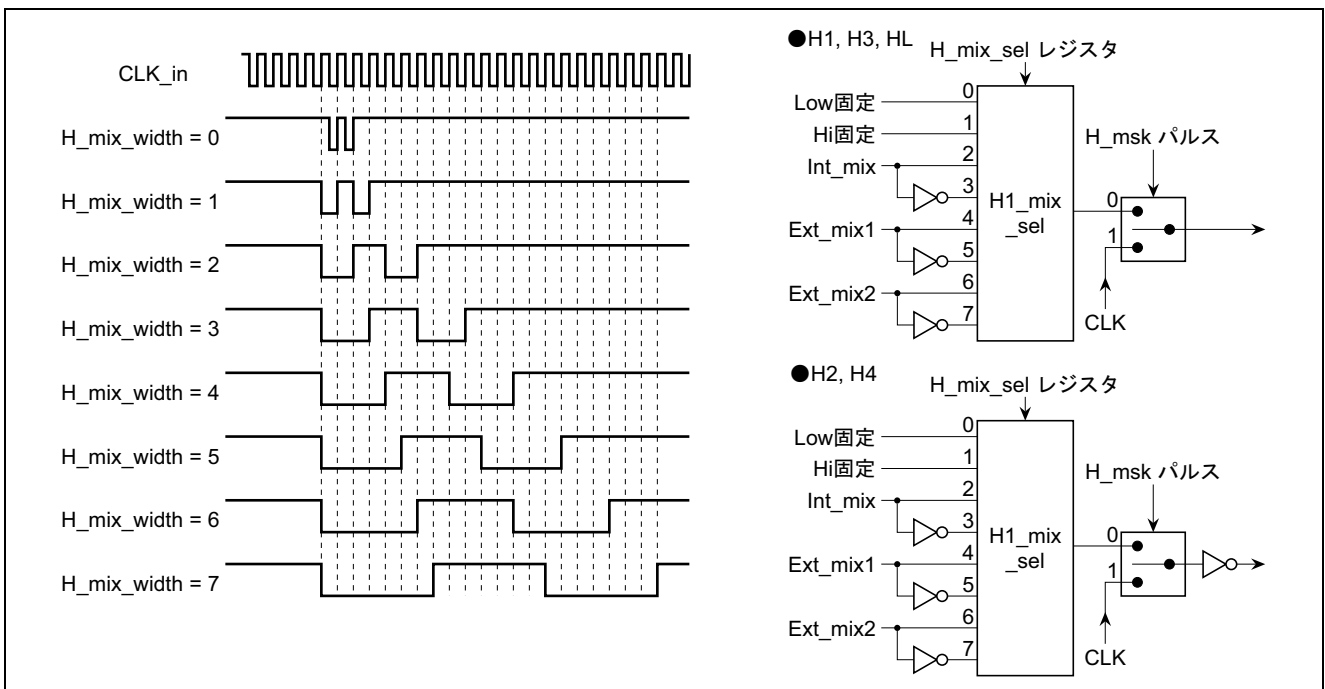


図 15 H.CCD ミックスパルスタイミング 2 (internal)

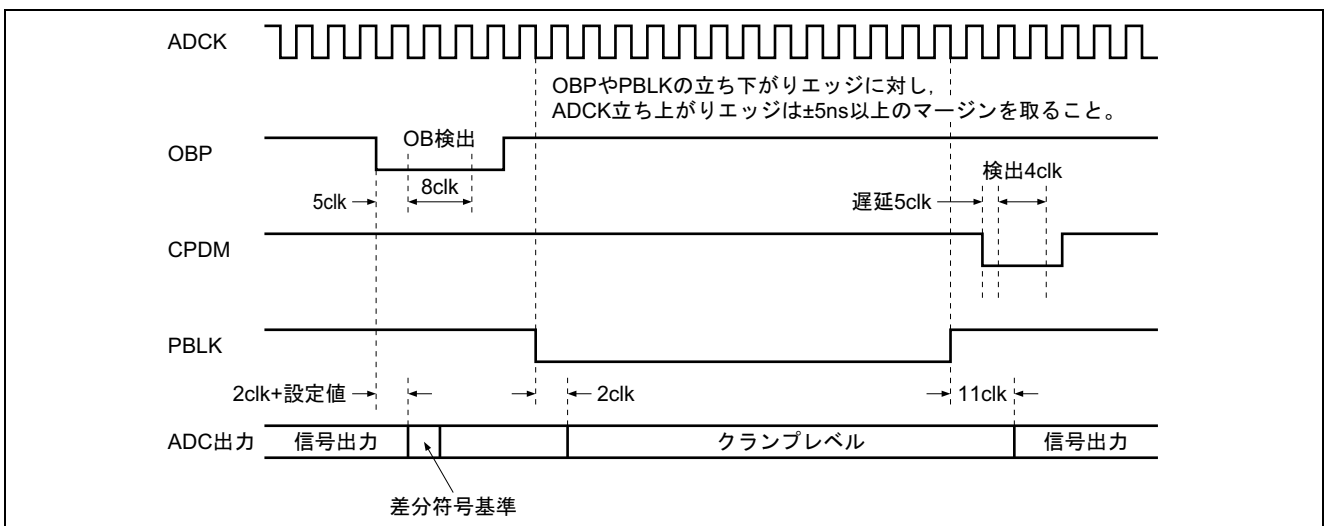


図 16 H.BLK の信号タイミング

表 7 TG 系出力パルスの状態

入力条件			出力端子			Mode
OE	fix	inv	H1 ~ H4	HL, RG	ADC 出力	
H	x	x	L	L	L	OE
L	L	L	act	act	act	通常出力
		H	act	act		反転出力
	H	L	L	L	L	Low 固定
		H	H	H	H	Hi 固定

## パイプラインディレイ

図 17 に CDS\_in, ADC\_in の各入力端子を使用した場合の出力タイミングを示します。

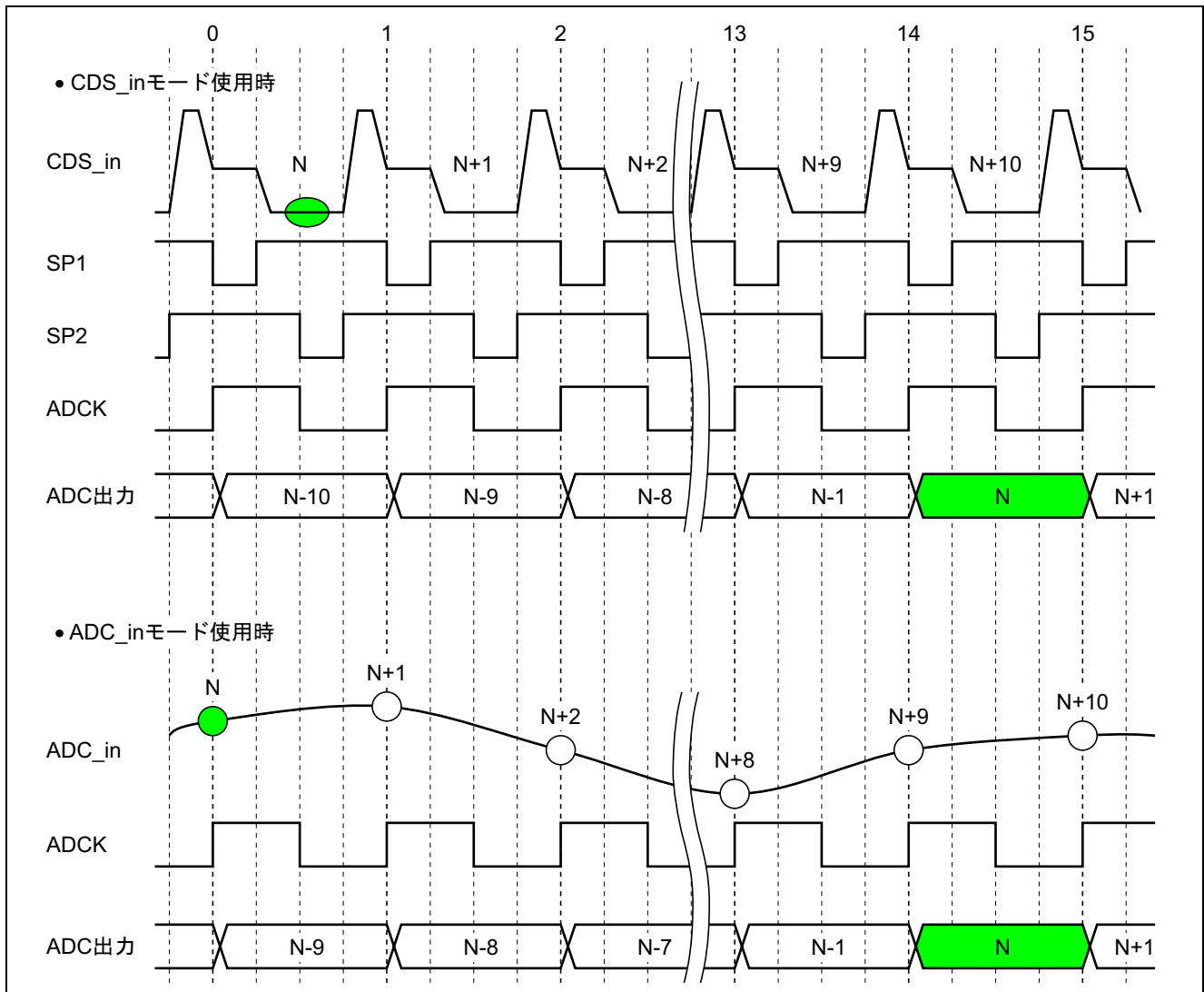


図 16 CDS\_in, ADC\_in の出力タイミング

- ADC 出力は両入力モードとも ADCK 立ち上がりエッジで出力されます。
- CDS\_in モード時のパイプラインディレイは 10 クロック，ADC\_in モード時は 9 クロックとなります。
- ADC\_in モード時の入力信号サンプリングは ADCK の立ち上がりエッジで行なわれます。
- 差分符号を使用した場合は，パイプラインディレイはさらに 1 クロック増えます。

## サンプリングタイミング仕様

### ● CDS\_in モード時の詳細タイミング

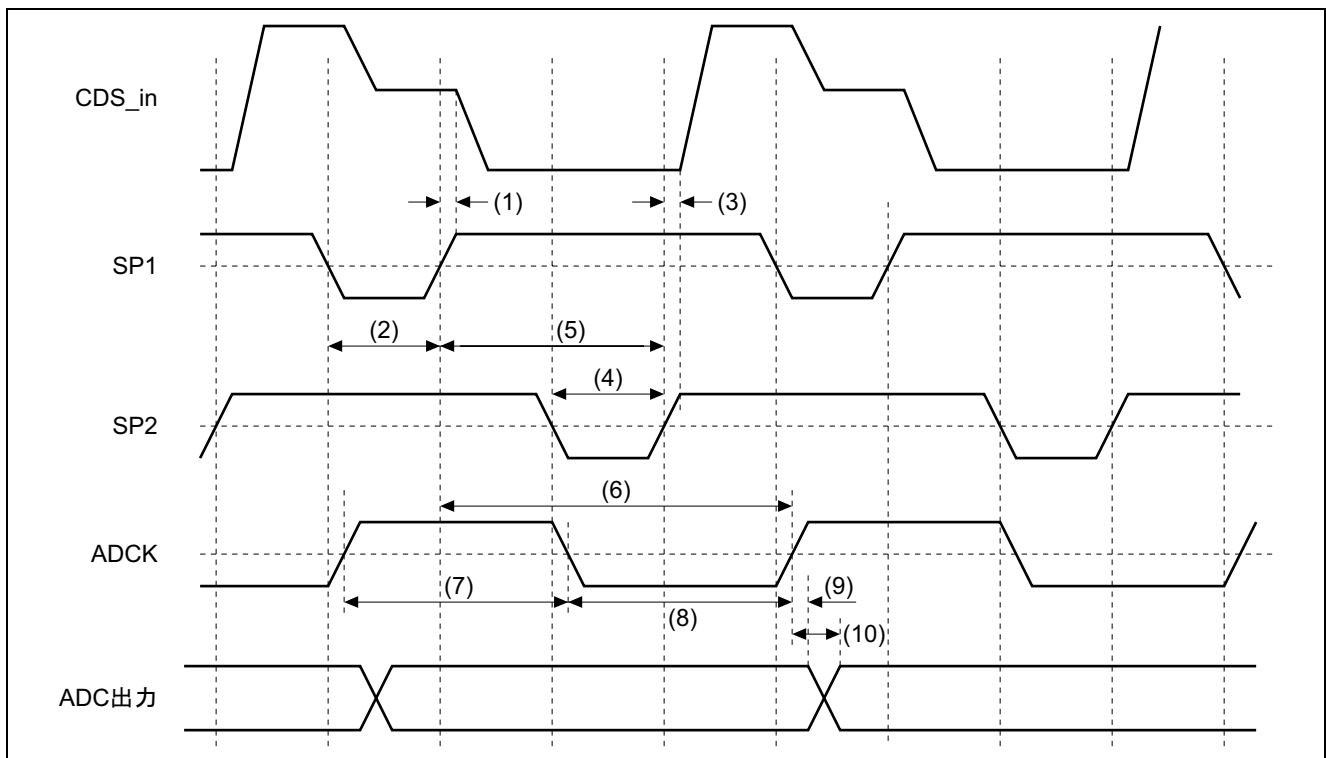


図 18 CDS\_in モード時の詳細タイミング仕様

表 8 CDS\_in モード時の各タイミング仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	黒レベル信号取り込み時間	$t_{CDS1}$	—	(3.5)	—	ns
(2)	SP1 "Low"期間	$t_{CDS2}$	$Typ \times 0.8$	$1/4f_{clk}$	$Typ \times 1.2$	ns
(3)	信号レベル取り込み時間	$t_{CDS3}$	—	(3.5)	—	ns
(4)	SP2 "Low"期間	$t_{CDS4}$	$Typ \times 0.8$	$1/4f_{clk}$	$Typ \times 1.2$	ns
(5)	SP1 立ち上がり ~ SP2 立ち上がり時間	$t_{CDS5}$	$Typ \times 0.85$	$1/2f_{clk}$	$Typ \times 1.0$	ns
(6)	SP1 立ち上がり ~ ADCK 立ち上がり禁止時間	$t_{CDS6}$	—	(7.5)	—	ns
(7)(8)	ADCK $t_{WH} \text{ min.}/t_{WL} \text{ min.}$	$t_{CDS7,8}$	11	—	—	ns
(9)	ADCK 立ち上がり ~ デジタル出力保持時間	$t_{CDS9}$	—	(11)	—	ns
(10)	ADCK 立ち上がり ~ デジタル出力遅延時間	$t_{CDS10}$	—	(18)	—	ns

【注】 動作周波数で規定している数値は「 $t_{CDS5}$ 」を守っている場合です。CLK 周波数が仕様内であっても、「 $t_{CDS5}$ 」が短い場合は高周波数動作と等価になります。

- OBPの詳細タイミング仕様

図 19 に OBP の詳細タイミング仕様を示します。

OB 立ち下がり後, 5clk から 12clk 目までが OB 期間です。

OB 期間に入力された 8clk 分の黒信号レベルが平均され, クランプレベル (DC 基準) となります。

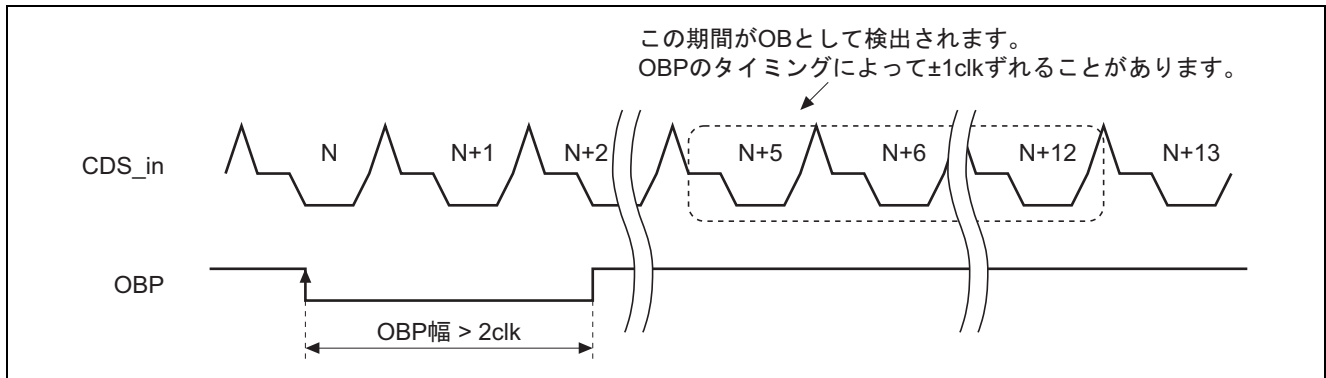


図 19 OBP の詳細タイミング

- PBLKの詳細タイミング仕様

図 20 に PBLK の詳細タイミングを示します。

ただし, 差分符号を選択した場合には, PBLK 中であっても差分符号基準信号は出力されます。

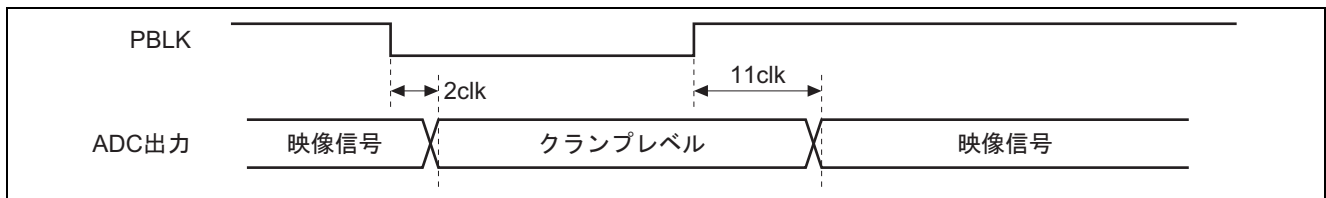


図 20 PBLK の詳細タイミング

- ADC\_in モードの詳細タイミング仕様

図 21 に ADC\_in モード時の詳細タイミング仕様を示し, 表 9 に各タイミング仕様を示します。

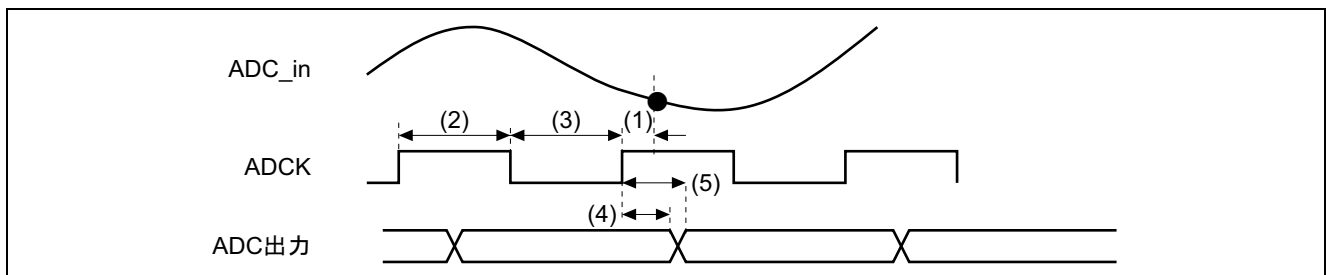
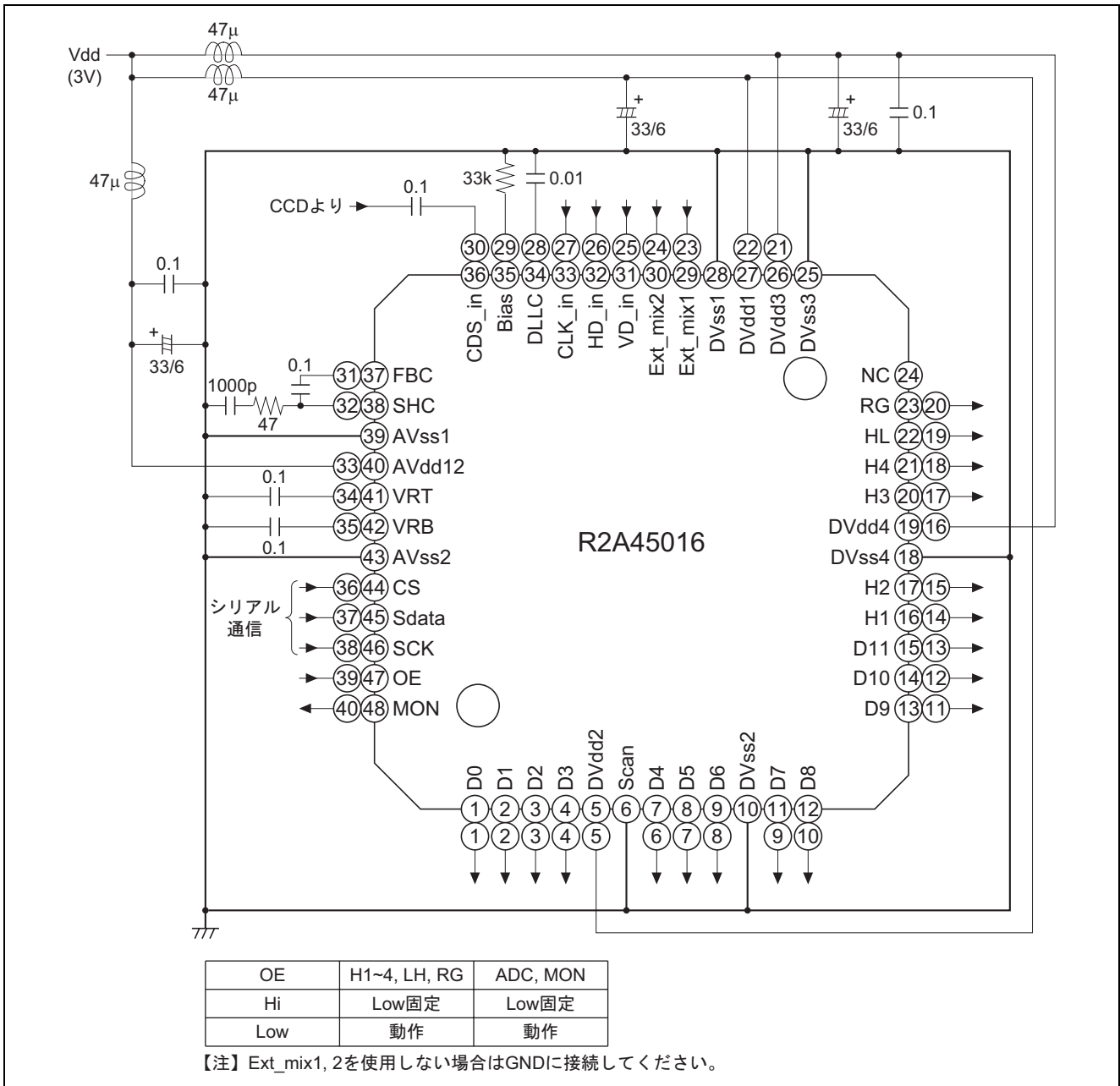


図 21 ADC\_in モード時の詳細タイミング

表 9 ADC\_in モード時の各タイミング仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	信号取り込み時間	$t_{ADC1}$	—	(6)	—	ns
(2)(3)	ADCK $t_{WH}$ min./ $t_{WL}$ min.	$t_{ADC2,3}$	$Typ \times 0.85$	$1/2f_{clk}$	$Typ \times 1.15$	ns
(4)	ADCK 立ち上がり ~ デジタル出力保持時間	$t_{AHL4}$	—	(14.5)	—	ns
(5)	ADCK 立ち上がり ~ デジタル出力遅延時間	$t_{AOD5}$	—	(23.5)	—	ns

外付け回路例



## ご使用にあたっての注意事項

### 1. 電源/GND について

- (1) GND はベタとしてください。
- (2) アナログ電源とデジタル電源はLなどで分離してください。
- (3) 電源を分離する場合、DVdd3 以外は各 Vdd 間で $\pm 0.2V$ 以上の電位差を付けないでください。

### 2. パターンの引き回しなど

- (1) アナログ部の近くにデジタル信号線を設置しないでください。
- (2) DLL\_C 端子の近くにデジタル信号線を設置しないでください。
- (3) H1, H2, CCD 信号線などはなるべく GND で囲むようにしてください。
- (4) ADC 出力線を長く引き伸ばす場合は、 $100\Omega$ 程度のシリーズ抵抗を付けてください。
- (5) CLK\_in に使用するクロックはジッタの少ないきれいな信号を入力してください。

### 3. 実動作時のチェックポイント

No.	項目	内容	判定
1	入力パルス極性	CLK_in, HD_in, VD_in の極性がシリアルデータで設定した内容と合っているか。(アドレス H'0010 の D4 ~ D6) また、CLK_in の duty が $50\% \pm 15\%$ を守っているか。	
2	入力パルスタイミング	HD_in の基準エッジに対し、CLK_in の基準エッジが $\pm 5.5ns$ 以上の余裕があるか。(図 11 参照) VD は 1H 以上の幅を持っているか。(図 13 参照)	
3	CCD 駆動パルス	H1, H2, RG が CCD に要求されたタイミングで出力されているか。	
4	CDS, PGA 用パルス	CCD 信号に対し MON 端子から SP1, SP2, ADCK を観測。図 18, 表 8 の関係を守っているか。特に $t_{CDSS}$ は動作周波数と等価のため注意。 また、SP1 と SP2 の Low 期間が重ならないこと。 SP1 立ち下がりエッジ付近に ADCK 立ち上がりが設定されているか。 ADCK 立ち上がり と OBP 立ち下がりエッジが $\pm 5ns$ 以上離れているか。 ADCK 立ち上がり と PBLK 立ち下がりエッジが $\pm 5ns$ 以上離れているか。	
5	ADC 出力信号	ADC 出力と DSP のラッチタイミングに余裕度があるか。 差分符号を使用する場合、基準位相は問題無いか。	
6	オフセットキャリブレーション	電源投入時、または SLP からの復帰時に図 5 に記載したシーケンスを守っているか。	
7	S/N 向上	SP1, SP2 の位相調整, ADCK の位相調整。調整終了後に項目 4 を再チェック。 LPF_sel, SHSW_fsel, SHA_fsel のフィルタ調整。	
8	クランプ動作	FBC コンデンサは横引きノイズとクランプ高速引き込みがトレードオフの関係になります。双方の特性をチェックして最適値を決定してください。 クランプミスを誘発させ、ダミークランプのデータやパルスタイミングを設定。OB クランプ時とのマージンを見てください。 ダミークランプや幅広クランプはセンサの特性、被写体条件、使用条件により悪影響を与える場合もありますので、動作モードにより使い分ける等の工夫をしてください。	

外形寸法図



【注】 詳細については営業窓口へお問合せください。



本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
北	支	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
い	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
茨	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
新	支	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
松	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
中	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
関	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
北	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
鳥	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
広	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695
九	支			

営業お問い合わせ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)