

# R2A45005AHNP

## CCD アナログフロントエンド CDS/PGA&10 ビット A/D コンバータ

R19DS0074JJ0100

Rev.1.00

2013.02.22

### 概要

R2A45005AHNP は CCD カメラデジタル信号処理システムに最適な CDS-PGA 間のアナログ処理 (CDS/PGA) および 10 ビット A/D コンバータを 1 チップに収めた CMOS IC です。

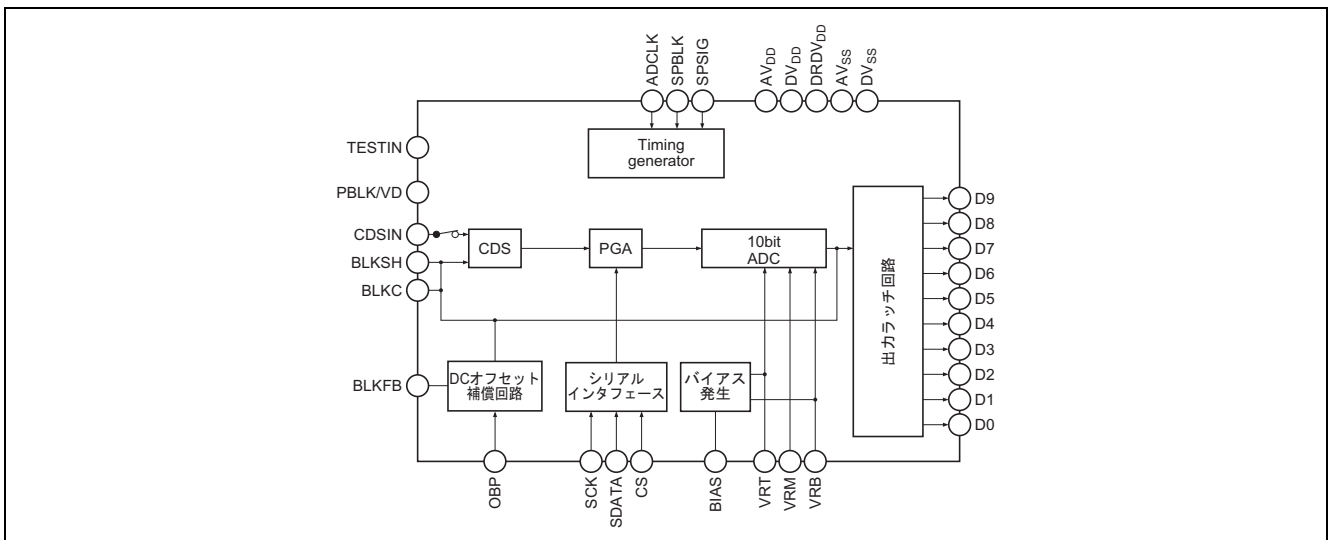
### 機能

- 相関二重サンプリング
- PGA
- オフセット補償
- シリアルインタフェース制御
- 10 ビット A/D コンバータ
- 3V 単一動作
- 消費電力/動作周波数 (2.7V 動作時)  
消費電力: 89mW(Typ)、最高周波数: 36MHz  
消費電力: 54mW(Typ)、最高周波数: 28MHz
- QFN 36 ピン パッケージ

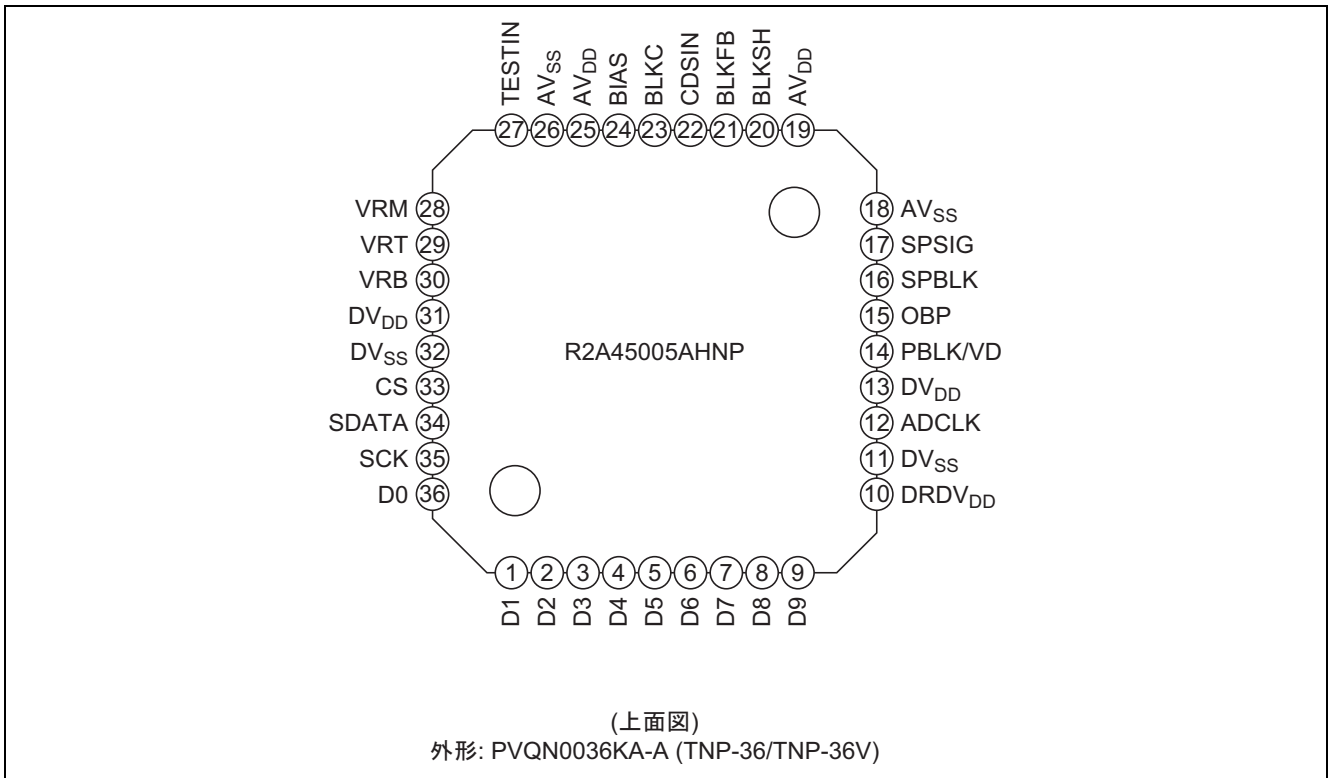
### 特長

- S/H 方式相関二重サンプリングにより、CCD 出力低域雑音の良好な抑圧が可能
- リファレンスレベルの S/H 応答周波数特性は外付け定数および、レジスタに調整可能
- PG アンプによる高 S/N、広カバーレンジ化により、高感度化が可能
- PGA の Gain 変化による出力 DC オフセット、および CCD オフセット等のすべての DC オフセットを CDS アンプ入力にフィードバックし、補償
- シリアルインタフェースにより、PGA、スタンバイモード、etc が可能
- A/D コンバータは 10 ビット分解能で高精度
- A/D 出力コードとして差分符号化グレイコードを選択可能  
疑似輪郭 (波紋) の抑圧に効果的。弊社にて特許取得済み

### ブロックダイアグラム



ピン配置



## 端子説明

ピン No.	記号	説明	I/O	アナログ(A)/ デジタル(D)
1~9	D1~D9	デジタル出力	O	D
10	DRDV <sub>DD</sub>	出力バッファ用電源端子 (3V)	—	D
11	DV <sub>SS</sub>	デジタルグランド (0V)	—	D
12	ADCLK	ADC 変換クロック入力端子	I	D
13	DV <sub>DD</sub>	デジタル電源端子 (3V)	—	D
14	PBLK/VD	プリブランキング/VD 入力端子	I	D
15	OBP	オプティカルブラックパルス入力端子	I	D
16	SPBLK	黒レベルサンプリングクロック入力端子	I	D
17	SPSIG	信号レベルサンプリングクロック入力端子	I	D
18	AV <sub>SS</sub>	アナロググランド (0V)	—	A
19	AV <sub>DD</sub>	アナログ電源端子 (3V)	—	A
20	BLKSH	黒レベル S/H 端子	—	A
21	BLKFB	黒レベル FB 端子	—	A
22	CDSIN	CDS 入力端子	I	A
23	BLKC	黒レベル C 端子	—	A
24	BIAS	内部バイアス端子 33kΩの抵抗を AV <sub>SS</sub> との間に接続してください。	—	A
25	AV <sub>DD</sub>	アナログ電源端子 (3V)	—	A
26	AV <sub>SS</sub>	アナロググランド (0V)	—	A
27	TESTIN	TEST 入力端子	—	A
28	VRM	基準電圧端子 1 0.1μF セラミックコンデンサを AV <sub>SS</sub> との間に接続。	—	A
29	VRT	基準電圧端子 3 0.1μF セラミックコンデンサを AV <sub>SS</sub> との間に接続。	—	A
30	VRB	基準電圧端子 2 0.1μF セラミックコンデンサを AV <sub>SS</sub> との間に接続。	—	A
31	DV <sub>DD</sub>	デジタル電源端子 (3V)	—	D
32	DV <sub>SS</sub>	デジタルグランド (0V)	—	D
33	CS	シリアルインタフェース制御入力端子	I	D
34	SDATA	シリアルデータ入力端子	I	D
35	SCK	シリアルクロック入力端子	I	D
36	D0	デジタル出力	O	D

入出力等価回路

ピン名		等価回路
デジタル出力	D0 ~ D9	
デジタル入力	ADCLK OBP SPBLK SPSIG CS SCK SDATA PBLK/VD	
アナログ	CDSIN	
	TESTIN	
	BLKSH BLKFB BLKC	
	VRT VRM VRB	
	BIAS	

## 絶対最大定格

(Ta = 25°C)

項目	記号	定格値	単位
電源電圧	V <sub>DD</sub> (max)	4.1	V
許容損失	Pt (max)	400	mW
動作電源電圧	Vopr	2.7 ~ 3.45	V
アナログ入力電圧	V <sub>IN</sub> (max)	-0.3 ~ AV <sub>DD</sub> + 0.3	V
デジタル入力電圧	V <sub>I</sub> (max)	-0.3 ~ DV <sub>DD</sub> + 0.3	V
動作温度	Topr	-20 ~ +85	°C
保存温度	Tstg	-55 ~ +125	°C

【注】 1. V<sub>DD</sub> は、AV<sub>DD</sub>・DV<sub>DD</sub>・DRDV<sub>DD</sub>を指します。

2. ノイズフィルタにより AV<sub>DD</sub>と DV<sub>DD</sub>・DRDV<sub>DD</sub>を分離する場合は、電源投入時の電位差を 0.3V 以下に、動作時の電位差を 0.1V 以下にしてください。

## 電気的特性

## CDSIN 入力モード適用項目

(特記なき場合, Ta = 25°C, AV<sub>DD</sub> = 3.0V, DV<sub>DD</sub> = 3.0V, R<sub>BIAS</sub> = 33kΩ)

項目	記号	仕様			単位	測定条件	備考
		Min	Typ	Max			
電源電圧範囲	V <sub>DD</sub>	2.7	3.0	3.45	V		
変換周波数	f <sub>CLK hi</sub>	28	—	36	MHz		
	f <sub>CLK low</sub>	5.5	—	28	MHz		
デジタル 入力電圧	V <sub>IH</sub>	$2.2 \times \frac{DV_{DD}}{3.0}$	—	DV <sub>DD</sub>	V		CS, SCK, SDATA 以外のデ ジタル入力ピン
	V <sub>IL</sub>	0	—	$0.8 \times \frac{DV_{DD}}{3.0}$	V		
	V <sub>IH2</sub>	$2.25 \times \frac{DV_{DD}}{3.0}$	—	DV <sub>DD</sub>	V		CS, SCK, SDATA
	V <sub>IL2</sub>	0	—	$0.6 \times \frac{DV_{DD}}{3.0}$	V		
デジタル 出力電圧	V <sub>OH</sub>	DV <sub>DD</sub> -0.5	—	—	V	I <sub>OH</sub> = -1mA	
	V <sub>OL</sub>	—	—	0.5	V	I <sub>OL</sub> = +1mA	
デジタル 入力電流	I <sub>IH</sub>	—	—	50	μA	V <sub>IH</sub> = 3.3V	
	I <sub>IL</sub>	-50	—	—	μA	V <sub>IL</sub> = 0V	
デジタル 出力電流	I <sub>OZH</sub>	—	—	50	μA	V <sub>OH</sub> = V <sub>DD</sub>	
	I <sub>OZL</sub>	-50	—	—	μA	V <sub>OL</sub> = 0V	
ADC 分解能	RES	10	10	10	bit		
ADC 積分 リニアリティ	INL	—	(3)	—	LSBp-p	f <sub>CLK</sub> = 20MHz	
ADC 微分 リニアリティ+	DNL+	—	0.3	0.9	LSB	f <sub>CLK</sub> = 20MHz	*1
ADC 微分 リニアリティ-	DNL-	-0.9	-0.3	—	LSB	f <sub>CLK</sub> = 20MHz	*1
スリープ電流	I <sub>SLP</sub>	-100	0	100	μA	デジタル入力ピンは 0V 固 定, 出力ピンはオープン	
スタンバイ電流	I <sub>STBY</sub>	—	3	5	mA	デジタル入出力ピンは 0V 固定	

【注】 1. 微分リニアリティは、隣り合うコード間のリニアリティ誤差の差を計算したものです。

## CDSIN 入力モード適用項目

(特記なき場合,  $T_a = 25^\circ\text{C}$ ,  $AV_{DD} = 3.0\text{V}$ ,  $DV_{DD} = 3.0\text{V}$ ,  $R_{BIAS} = 33\text{k}\Omega$ )

項目	記号	仕様			単位	測定条件	備考
		Min	Typ	Max			
消費電流	$I_{DD1}$	—	(33)	—	mA	$f_{CLK} = 36\text{MHz}$	Pwr-sel = "L"
	$I_{DD2}$	—	(20)	—	mA	$f_{CLK} = 28\text{MHz}$	Pwr-sel = "H"
CCD オフセット許容範囲	$V_{CCD}$	(-100)	—	(100)	mV		
タイミング仕様(1)	$t_{CDS1}$	—	(1.5)	—	ns		表 15 参照
タイミング仕様(2)	$t_{CDS2}$	Typ $\times 0.8$	$1/4f_{CLK}$	Typ $\times 1.2$	ns		
タイミング仕様(3)	$t_{CDS3}$	—	(1.5)	—	ns		
タイミング仕様(4)	$t_{CDS4}$	Typ $\times 0.8$	$1/4f_{CLK}$	Typ $\times 1.2$	ns		
タイミング仕様(5)	$t_{CDS5}$	$1/2f_{CLK} \times 0.85$	$1/2f_{CLK} \times 0.9$	$1/2f_{CLK}$	ns		
タイミング仕様(6)	$t_{CDS6}$	—	(5)	—	ns		
タイミング仕様(7)	$t_{CDS7}$	11	—	—	ns		
タイミング仕様(8)	$t_{CDS8}$	11	—	—	ns		
タイミング仕様(9)	$t_{CDS9}$	—	(7)	—	ns	$C_L = 10\text{pF}$	
タイミング仕様(10)	$t_{CDS10}$	—	(16)	—	ns	$C_L = 10\text{pF}$	
クランプレベル	CLP(00)	—	(14)	—	LSB		*1
	CLP(09)	—	(32)	—	LSB		
	CLP(31)	—	(76)	—	LSB		
CDS 入力時 PGA ゲイン	PGA(0)	-4.4	-2.4	-0.4	dB		
	PGA(63)	4.1	6.1	8.1	dB		
	PGA(127)	12.5	14.5	16.5	dB		
	PGA(191)	21.0	23.0	25.0	dB		
	PGA(255)	29.3	31.3	33.3	dB		

【注】 1. ( )内は参考値を示します。

## 内蔵機能

### 機能概要

- CDS 入力
  - CDS (Correlated Double Sampling) による CCD 低域雑音の抑制
  - OB 期間の信号レベルを 14~76LSB (レジスタにより設定: 5 ビット 2LSB ステップ制御) にクランプ\*<sup>1</sup>
  - -2.36dB ~ 31.40dB 間で 8 ビット (0.132dB ステップ, レジスタ設定) の Gain 調整が可能\*<sup>2</sup>
- PGA, ADC の自動オフセットキャリブレーション機能
- CCD, CDS の DC オフセット補償フィードバック機能
- プリブランキング機能
  - 過大入力信号から CDS 入力動作を切り放し保護 デジタル出力をクランプレベルに固定

- 【注】 1. 14LSB 設定時は, 保証範囲外。  
2. 1V 入力でデジタル出力フルスケールを 0dB (1 倍) と定義。

### 動作説明

図 1 に CDS/PGA+ADC の機能ブロックを示します。

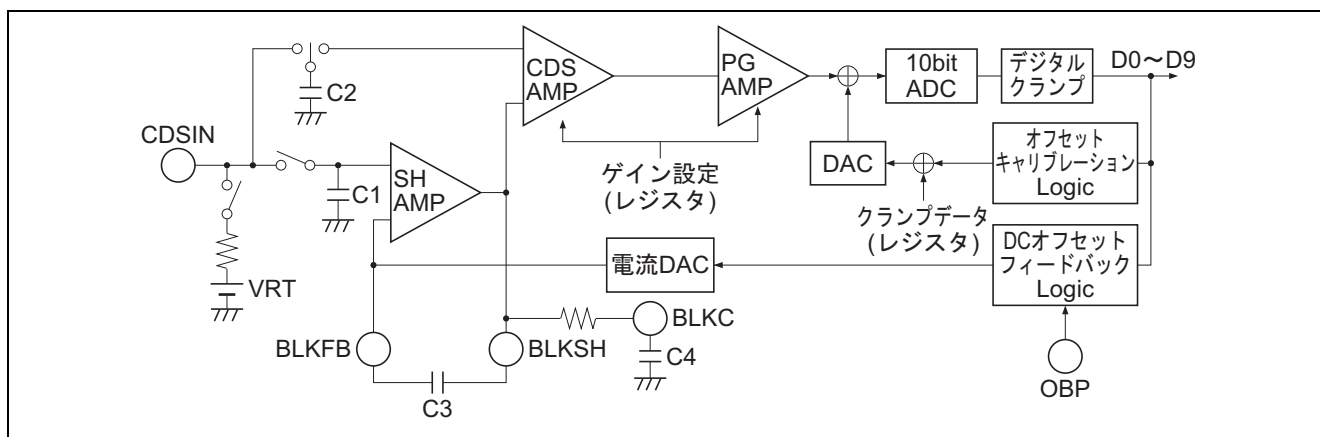


図 1 R2A45005AHNP 機能ブロック図

#### 1. CDS (Correlated Double Sampling) 回路

CDS 回路は, 黒レベルと黒レベルを含む信号との差電圧を取り出す回路です。黒レベルは, SPBLK パルスにより C1 に直接サンプリングされ SHAMP によりバッファリングされた後, CDSAMP に供給されます。

信号レベルは, SPSIG パルスにより C2 に直接サンプリングされそのまま CDSAMP に供給されます (図 1 参照)。

CDSAMP は上記 2 つの信号レベルの差をとると共に, 前段のプログラマブルゲインアンプとして働きます。

CDS 入力は, VRT ( 2V) にバイアスされます。

PBLK の期間, 上記のサンプリング動作およびバイアス動作は停止します。

#### 2. PGA 回路

PGAMP は後段のプログラマブルゲインアンプです。前段の CDSAMP と合わせて 8 ビットのレジスタでゲインを設定します。

レジスタ値  $N = 0 \sim 255$  に対し, 下式のようにゲインが変化します。

$$\text{CDSIN モード時: Gain} = -2.36\text{dB} + 0.132\text{dB} \times N \text{ (LOG リニア)}$$

(1V 入力でデジタル出力フルスケールを 0dB (1 倍) と定義)

#### 3. 自動オフセットキャリブレーション機能, 黒レベル クランプデータ設定

自動オフセットキャリブレーションは, PGAMP の出力に加算する DAC の DC 電圧を調整します。

この DAC には, PGAMP の出力オフセットと ADC の入力オフセットをキャンセルするデータに, レジスタ設定によるクランプデータ (14LSB ~ 76LSB) が加算されて与えられます。

自動オフセットキャリブレーションは, レジスタ設定による RESET モード解除後自動的にスタートし, 40000 クロック後に終了します (fclk = 40.0MHz の場合, 1.0ms)。

## 4. DC オフセット補償フィードバック機能

DC オフセット補償フィードバックは、OB 期間に入力された黒信号レベルを DC 基準とするためのフィードバックであり、CCD オフセット、CDSAMP オフセット等を含むすべてのオフセットを補償します。

DC オフセット補償フィードバックは、OB 期間に ADC 出力からオフセットを演算し、電流 DAC によって SHAMP の帰還容量 C3 にチャージします (図 1 参照)。

なお、アドレス 4 の D3 レジスタを"H"に設定した場合、本機能は停止します。

このフィードバックループの 1H 当たりのオープンループ微分ゲイン ( $\Delta\text{Gain}/\Delta\text{H}$ ) は下式によって与えられます (1H は OBP の 1 周期です)。

$$\Delta\text{Gain}/\Delta\text{H} = 0.078/(\text{fclk} \times \text{C3}) \quad (\text{fclk: ADCLK 周波数, C3: SHAMP の外付け帰還容量})$$

$$\text{例: fclk} = 20.0\text{Hz, C3} = 1.0\mu\text{F} \quad \Delta\text{Gain}/\Delta\text{H} = 0.0039$$

$$1\text{H 当たりの DC オフセット補正量 (LSB)} = 0.0039 \times \text{オフセット誤差量 (LSB)}^{*1}$$

- 【注】 1. 上記オフセット誤差量には上限値があります。  
2. アドレス 4 の D5 レジスタを"H"に設定した場合、上記 1H 当たりの DC オフセット補正量は 1/10 になります。

表 1 のレジスタ設定で指定した条件が生じると、クランプ高速引き込み動作に移行し、上記フィードバックループゲインが N 倍されます。ループゲインの倍率 N はレジスタによって 4, 32, 64, 128 倍の 4 種類から選択できます (表 2 参照 (オープンループ微分ゲイン ( $\Delta\text{Gain}/\Delta\text{H}$ ) が 2 以上になると発振します。1 以下の設定で使用してください))。

クランプ高速引き込みを終了するオフセット誤差はレジスタによって 8, 16LSB の 2 種類から選択します。また、クランプ高速引き込みを終了し通常のループゲインに戻すまでの時間はレジスタによって 1, 8, 16, 32H の 4 種類から選択します (オフセット誤差がレジスタ設定の 8, 16LSB 以上ある間は高速引き込み動作が継続され、オフセット誤差が 8 もしくは 16LSB 以内に入った後、レジスタ設定の 1, 8, 16 もしくは 32H 後に通常のループゲインに戻ります (表 3, 4 参照))。

表 1 クランプ高速引き込みの開始条件

Hscip-en (レジスタ設定)	開始条件
L	ゲイン設定の変更
H	VD のフロントエッジ

表 3 クランプ高速引き込み終了のオフセット誤差

Hscip-th (レジスタ設定)	オフセット誤差
L	8 LSB
H	16 LSB

表 2 クランプ高速引き込み時、ループゲイン倍率

HGain-Nsel (レジスタ設定)		倍率 N
[0]	[1]	
L	L	4 倍
H	L	64 倍
L	H	128 倍
H	H	32 倍

表 4 クランプ高速引き込み解除時間

HGstop-Hsel (レジスタ設定)		解除時間
[0]	[1]	
L	L	1H
H	L	16H
L	H	32H
H	H	8H



## 5. デジタルクランプ機能

デジタルクランプ機能は ADC で生じるオフセットを OB 期間に補正します。デジタルクランプ機能は OB 期間ごとにオフセットを検出し、そのオフセットに表 5 で設定したループゲインを乗じて ADC 出力データに加算するフィードバックループです。

クランプ高速引き込み時にはデジタルクランプのループゲイン倍率が表 6 で設定した値となり、高速にオフセットを補正します。

表 5 デジタルクランプループゲイン倍率

dgc_gain (レジスタ設定)	ループゲイン
00	1/128 倍
01	1/64 倍
10	1/32 倍
11	1/16 倍

表 6 高速引き込み時ループゲイン倍率

hdgc_gain (レジスタ設定)	ループゲイン
00	1/8 倍
01	1/4 倍
10	1/32 倍
11	1/16 倍

## 6. プリブランキング機能

PBLK 入力期間、過大入力信号から CDS 入力動作を切り離し保護します\*<sup>1</sup>。また、ADC のデジタル出力をクランプデータ (14 ~ 76LSB) に固定します。

【注】 1. プリブランキング機能はレジスタ設定が PBLK-sel = "L" のときのみ使用可能です。

7. ADC デジタル出力コントロール機能

ADC デジタル出力には、出力イネーブル、コード変換、テストモードなどの機能があります。

表 7, 8, 9 に出力機能およびコード表を示します。

表 7 ADC デジタル出力機能表

STBY	TEST0	TEST1	LINV	MINV	PBLK	ADCデジタル出力								動作モード			
						D9	D8	D7	D6	D5	D4	D3	D2		D1	D0	
H	X	X	X	X	X	Hi-Z								低電力待機			
L	L	L	L	L	H	表8に従う								通常動作			
			L	H	H	表8でD9が反転											
			H	L	H	表8でD8~D0が反転											
			H	H	H	表8でD9~D0が反転											
			X	X	L	出力コードをClamp Levelに固定											
			X	X	L	出力コードをClamp Levelに固定											
	L	H	L	L	L	H	表9に従う								通常動作		
				L	H	H	表9でD9が反転										
				H	L	H	表9でD8~D0が反転										
				H	H	H	表9でD9~D0が反転										
				X	X	L	出力コードをClamp Levelに固定										
				X	X	L	出力コードをClamp Levelに固定										
L	H	X	L	L	X	H	L	H	L	H	L	H	L	L	テストモード		
			L	H	X	L	L	H	L	H	L	H	L	H		L	
			H	L	X	H	H	L	H	L	H	L	H	L		H	L
			H	H	X	L	H	L	H	L	H	L	H	L		H	L

- 【注】 1. STBY, TEST, LINV, MINVは、レジスタ設定です。  
 2. PBLKは外部入力端子でモード設定します。(レジスタ設定PBLK-sel = "L"を設定してください。)  
 3. PBLK端子の極性はレジスタ設定がSPinv = "L"の設定です。

表 8 ADC 出力コード表

出力端子			D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
出力コード	ステップ	0	L	L	L	L	L	L	L	L	L	L	
		1	L	L	L	L	L	L	L	L	L	H	
		2	L	L	L	L	L	L	L	L	H	L	
		3	L	L	L	L	L	L	L	L	H	H	
		4	L	L	L	L	L	L	L	H	H	L	
		5	L	L	L	L	L	L	L	H	H	H	
		6	L	L	L	L	L	L	L	H	H	L	
		...	...	...	...	...	...	...	...	...	...	...	...
		511	L	H	H	H	H	H	H	H	H	H	H
		512	H	L	L	L	L	L	L	L	L	L	L
		...	...	...	...	...	...	...	...	...	...	...	...
		1020	H	H	H	H	H	H	H	H	H	L	L
		1021	H	H	H	H	H	H	H	H	H	L	H
		1022	H	H	H	H	H	H	H	H	H	H	L
		1023	H	H	H	H	H	H	H	H	H	H	H

表 9 ADC 出力コード表 (TEST1)

出力端子			D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
出力コード	ステップ	0	L	L	L	L	L	L	L	L	L	L	
		1	L	L	L	L	L	L	L	L	L	H	
		2	L	L	L	L	L	L	L	L	L	H	
		3	L	L	L	L	L	L	L	L	H	L	
		4	L	L	L	L	L	L	L	H	H	L	
		5	L	L	L	L	L	L	L	H	H	H	
		6	L	L	L	L	L	L	L	H	H	L	
		...	...	...	...	...	...	...	...	...	...	...	...
		511	L	H	L	L	L	L	L	L	L	L	L
		512	H	H	L	L	L	L	L	L	L	L	L
		...	...	...	...	...	...	...	...	...	...	...	...
		1020	H	L	L	L	L	L	L	L	L	H	L
		1021	H	L	L	L	L	L	L	L	L	H	H
		1022	H	L	L	L	L	L	L	L	L	L	H
		1023	H	L	L	L	L	L	L	L	L	L	L

## 8. 黒レベルの S/H 応答 周波数特性の調整

黒レベルを S/H する CR 時定数は、レジスタ設定によって調整できます。  
設定方法を表 10 に示します。

表 10 SHSW CR 時定数設定表

		SHSW-fsel (レジスタ設定)																												
		[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]					
		L	L	L	L	H	L	L	L	L	H	L	L	H	H	L	L	L	H	L	H	L	H	L	H	L				
CR時定数 (Typ)		2.20ns				2.30ns				2.51ns				2.64ns				2.93ns				3.11ns				3.52ns				3.77ns
(カットオフ周波数換算)		(72MHz)				(69MHz)				(63MHz)				(60MHz)				(54MHz)				(51MHz)				(45MHz)				(42MHz)

		SHSW-fsel (レジスタ設定)																														
		[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]	[0]	[1]	[2]	[3]							
		L	L	L	H	H	L	L	H	L	H	L	H	H	L	H	L	L	H	H	H	L	H	H	H	L	H	H	H	H	H	H
CR時定数 (Typ)		4.40ns				4.80ns				5.87ns				6.60ns				8.80 ns				10.6ns				17.6ns				26.4ns		
(カットオフ周波数換算)		(36MHz)				(33MHz)				(27MHz)				(24MHz)				(18MHz)				(15MHz)				(9MHz)				(6MHz)		

SHAMPの周波数特性は、レジスタ設定と23ピン外付けのC4によって調整できます。  
設定方法を表11に示します。  
表11に示す設定値以外は使用できません。

BLKC  
②3  
C4  
77

表 11 SHAMP 周波数特性設定表

		SHA-fsel (レジスタ設定)					
		[0]	[1]	[0]	[1]	[0]	[1]
		H	L	L	H	H	H
LPF Sel "H"		116MHz		75MHz		56MHz	
		10000pF		13000pF		18000pF	
		(270pF)		(300pF)		(360pF)	
LPF Sel "L"		49MHz		32MHz		24MHz	
		15000pF		22000pF		27000pF	
		(620pF)		(750pF)		(820pF)	

- 【注】 上段 SHAMP カットオフ周波数 (Typ)  
中段 C4 の標準値 (最大値の規定はありません)  
下段 C4 の最小値 (この値以下にしないでください)

## 差分符号化タイミング仕様

表 12 シリアルデータ設定項目 1

	Low	Hi
出力モード設定 (TEST1)	バイナリコード	グレイコード
出力モード設定 (TEST2) * <sup>1</sup>	差分符号化 OFF	差分符号化 ON
grayts[2] OBP に対する ADCLK 極性 * <sup>2</sup>	ポジエッジ	ネガエッジ

- 【注】 1. 表 14 参照  
2. 図 2, 3 参照

表 13 シリアルデータ設定項目 2

grayts[1]	grayts[0]	基準データ出力タイミング
Low	Low	3 番目と 4 番目
Low	Hi	4 番目と 5 番目
Hi	Low	5 番目と 6 番目
Hi	Hi	6 番目と 7 番目

表 14 パイプラインディレイ数

出力モード TEST2 ビット設定	パイプラインディレイ
TEST2 = "Lo"	13 clock
TEST2 = "Hi"	14 clock

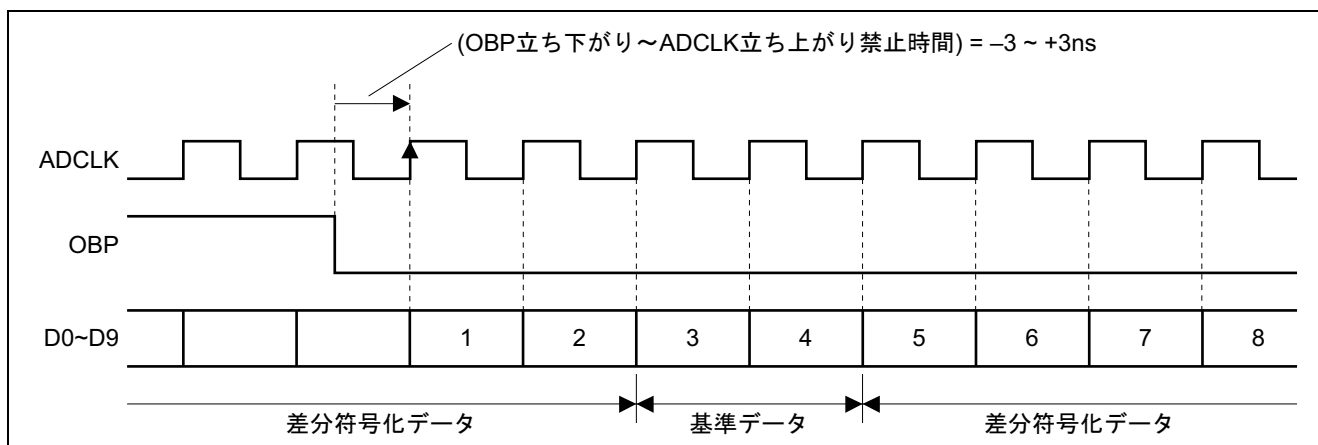


図 2 基準データの出力タイミング (レジスタ grayts[2] = Low, grayts[1:0] = ALL Low の場合)

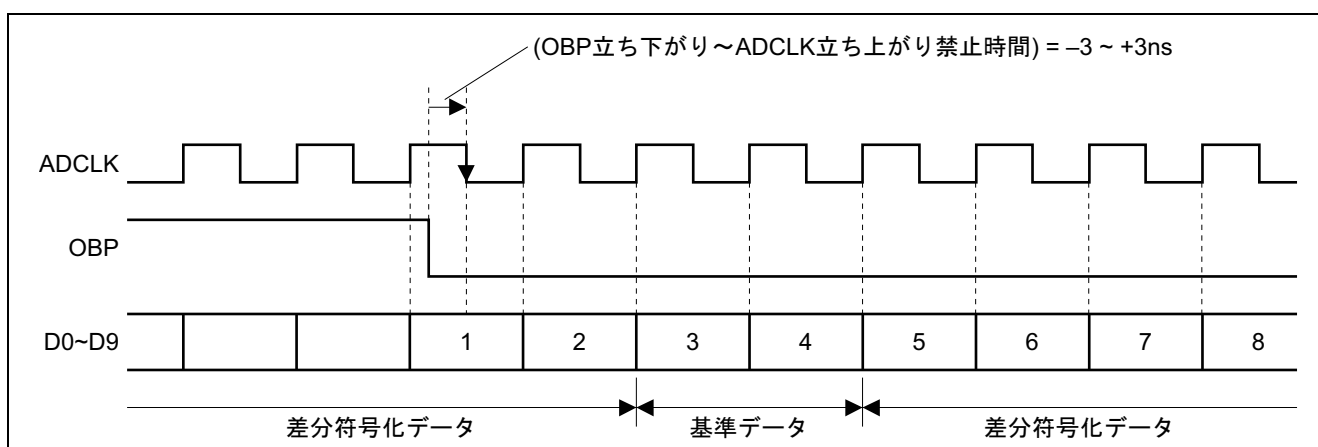


図 3 基準データの出力タイミング (レジスタ grayts[2] = Hi, grayts[1:0] = ALL Low の場合)

## タイミングチャート

図 4 に CDSIN から入力した場合の出力タイミング図を示します。

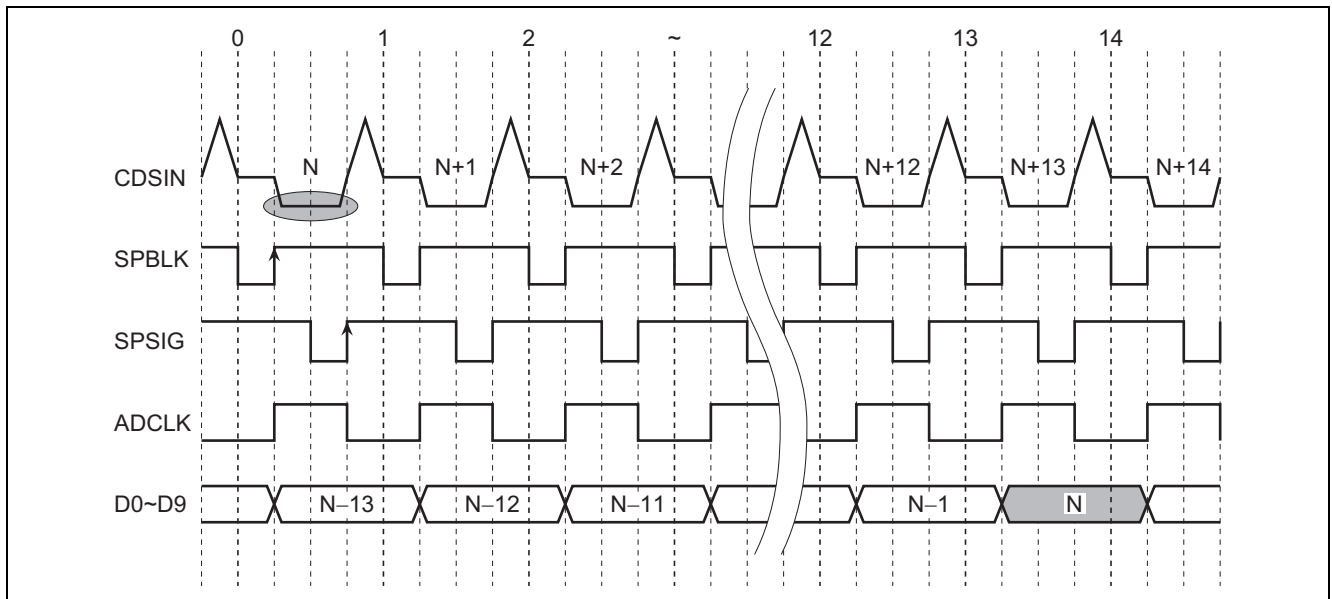


図 4 CDSIN 端子から入力した場合の出力タイミング図

- ADC 出力 (D0 ~ D9) は ADCLK の立ち上がりエッジで出力されます。
- CDSIN 使用時のパイプラインディレイは 13 クロックとなります。

## 詳細タイミング仕様

### CDSIN使用時の詳細タイミング仕様

図 5 に CDSIN 使用時の詳細タイミング仕様を示し、表 15 に各タイミングの仕様を示します。

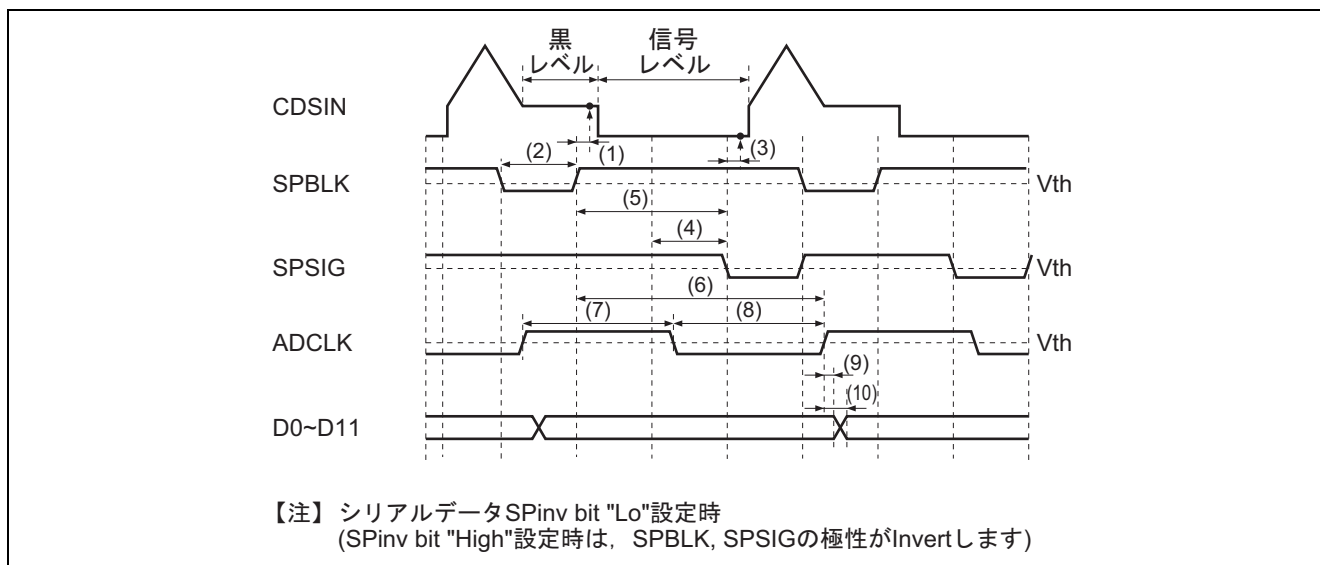


図 5 CDSIN 使用時の詳細タイミング仕様

表 15 CDSIN 使用時、各タイミングの仕様

No.	タイミング	記号	Min	Typ	Max	単位
(1)	黒レベル信号取り込み時間	$t_{CDS1}$	—	(1.5)	—	ns
(2)	SPBLK "Lo"期間 * <sup>1</sup>	$t_{CDS2}$	$Typ \times 0.8$	$1/4f_{CLK}$	$Typ \times 1.2$	ns
(3)	信号レベル取り込み時間	$t_{CDS3}$	—	(1.5)	—	ns
(4)	SPSIG "Lo"期間 * <sup>1</sup>	$t_{CDS4}$	$Typ \times 0.8$	$1/4f_{CLK}$	$Typ \times 1.2$	ns
(5)	SPBLK 立ち上がり ~ SPSIG 立ち上がり時間 * <sup>1</sup>	$t_{CDS5}$	$1/2f_{CLK} \times 0.85$	$1/2f_{CLK} \times 0.9$	$1/2f_{CLK}$	ns
(6)	SPBLK 立ち上がり ~ ADCLK 立ち上がり禁止時間 * <sup>1</sup>	$t_{CDS6}$	1	5	11	ns
(7), (8)	ADCLK $t_{WH} \min/t_{WL} \min$	$t_{CDS7,8}$	11	—	—	ns
(9)	ADCLK 立ち上がり ~ デジタル出力保持時間	$t_{CHLD9}$	3	7	—	ns
(10)	ADCLK 立ち上がり ~ デジタル出力遅延時間	$t_{COD10}$	—	16	24	ns

【注】 1. SPBLK、SPSIG の極性は、シリアルデータ Spinv bit "Lo"設定時で記述しています。

## OBPの詳細タイミング仕様

図6にOBPの詳細タイミング仕様を示します。

OBパルス入力後、5クロックから12クロック目までがOB期間です。

OB期間に入力された8サイクル分の黒信号レベルが平均され、クランプレベル(DC基準)となります。

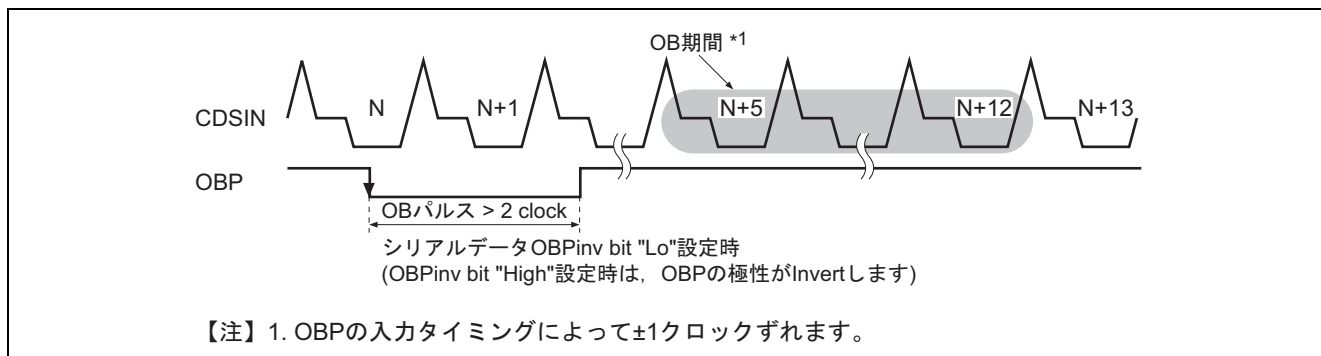


図6 OBPの詳細タイミング仕様

## プリブランキング時の詳細タイミング仕様

図7にプリブランキング時の詳細タイミング仕様を示します。プリブランキング機能はレジスタ設定がPBLK-sel = "L"の時のみ使用可能です。

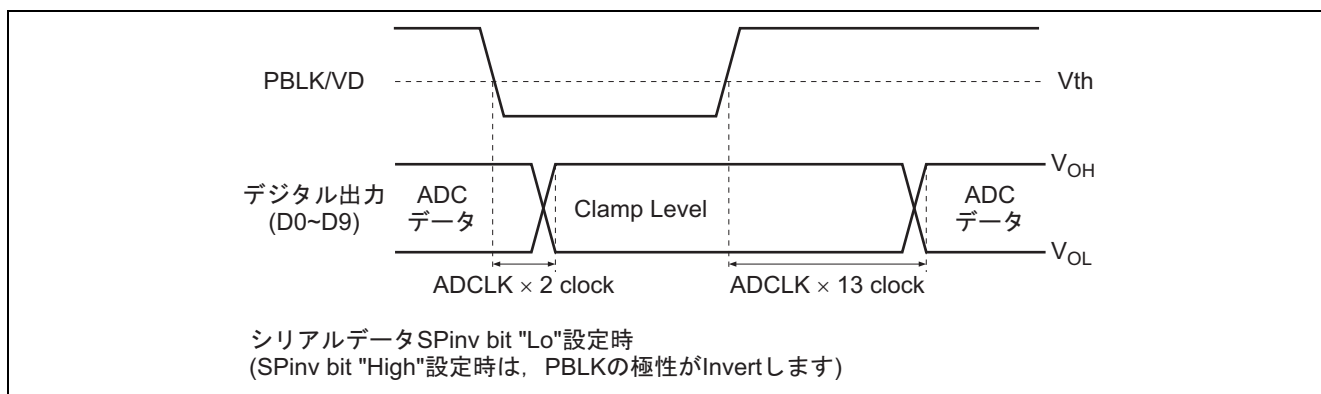


図7 プリブランキング時の詳細タイミング仕様

## VD入力の詳細タイミング仕様

図8にVD入力の詳細タイミング仕様を示します。VD入力機能はPBLK-sel = "H"、Hsc1p\_en = "H"の時のみ使用可能です。VD入力時はVDフロントエッジでクランプ高速引き込みを開始します。

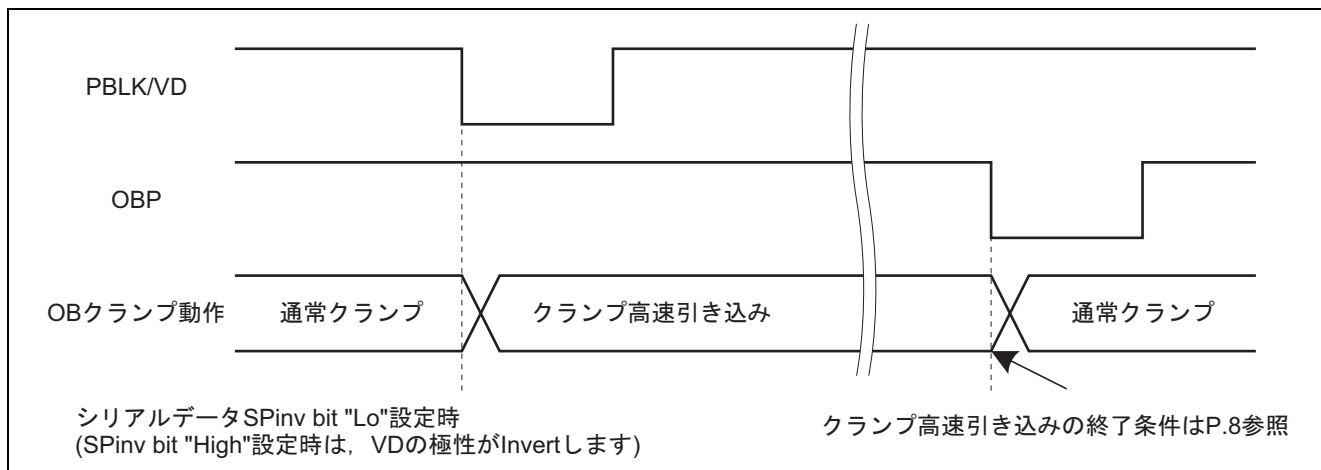


図8 VD入力の詳細タイミング仕様

表 16 一般シリアルデータ機能一覧表

	レジスタ0	レジスタ1	レジスタ2	レジスタ3	レジスタ4	レジスタ5~7 *6 テストモード
DI 00 (LSB)	Lo	Hi	Lo	Hi	Lo	Lo → Hi
DI 01	Lo	Lo	Hi	Hi	Lo	Lo → Hi
DI 02	Lo	Lo	Lo	Lo	Hi	Hi
DI 03	使用禁止 all = "L"	SLP Lo: 通常動作モード Hi: スリープモード	Clamp-level [0] (LSB)	PBLK-sel Lo: PBLK Hi: VD	Clamp_stop Lo: 通常引き込み Hi: 引き込み停止	使用禁止
DI 04		STBY Lo: 通常動作モード Hi: スタンバイモード	Clamp-level [1]	出力モード設定 (TEST1)	Clamp_slow Lo: 通常引き込み Hi: 引き込み1/10倍	
DI 05	PGA Gain設定 (LSB)	出力モード設定 (LINV)	Clamp-level [2]	出力モード設定 (TEST2)	Dgc_gain [0]	
DI 06	PGA Gain設定	出力モード設定 (MINV)	Clamp-level [3]	0 使用禁止	Dgc_gain [1]	
DI 07	PGA Gain設定	出力モード設定 (TEST0)	Clamp-level [4] (MSB)	grayts [0]	Hdgc_gain [0]	
DI 08	PGA Gain設定	SHA-fsel [0] (LSB)	HGstop-Hsel [0]	grayts [1]	Hdgc_gain [1]	
DI 09	PGA Gain設定	SHA-fsel [1] (MSB)	HGstop-Hsel [1]	grayts [2]	使用禁止 all = "L"	
DI 10	PGA Gain設定	SHSW-fsel [0] (LSB)	HGain-Nsel [0]	0		
DI 11	PGA Gain設定	SHSW-fsel [1]	HGain-Nsel [1]	0		
DI 12	PGA Gain設定 (MSB)	SHSW-fsel [2]	Pwr-sel Lo: ノーマルモード Hi: ローパワーモード	1		
DI 13	LPF_sel Lo: ローパワーモード Hi: ノーマルモード	SHSW-fsel [3] (MSB)	SPinv SPSIG/SPBLK/ PBLK/VD 反転	0		
DI 14	使用禁止 all = "L"	Hscpl-th Lo: 8LSB Hi: 16LSB	OBPinv OBP反転	0		
DI 15 (MSB)		Hscpl-en Lo: Gain変更 Hi: VD	RESET Lo: リセットモード Hi: 通常動作モード	1		

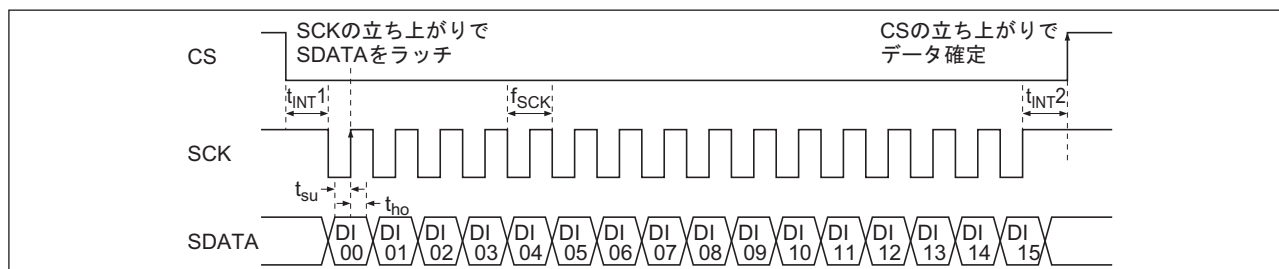


図9 シリアルインタフェースタイミング仕様

- 【注】
1. 通信は2Byte連続通信です。
  2. SDATAはSCKの立ち上がりでラッチして取り込みます。
  3. SCKはCSがLoの期間中に16クロック入れてください。
  4. データ送信を途中で中止した場合のデータは無効とします。
  5. STBY: リファレンス電圧発生回路は動作状態。  
SLP: 全ての回路がスリープ状態。
  6. このbitはICのテスト時に使用しますのでご使用になれません。  
設定時は、ALL Low以外には設定しないでください。

タイミング仕様

	Min	Max
f <sub>SCK</sub>	—	5MHz
t <sub>INT</sub> 1, 2	50ns	—
t <sub>su</sub>	50ns	—
t <sub>ho</sub>	50ns	—



## 電源投入時の動作シーケンス

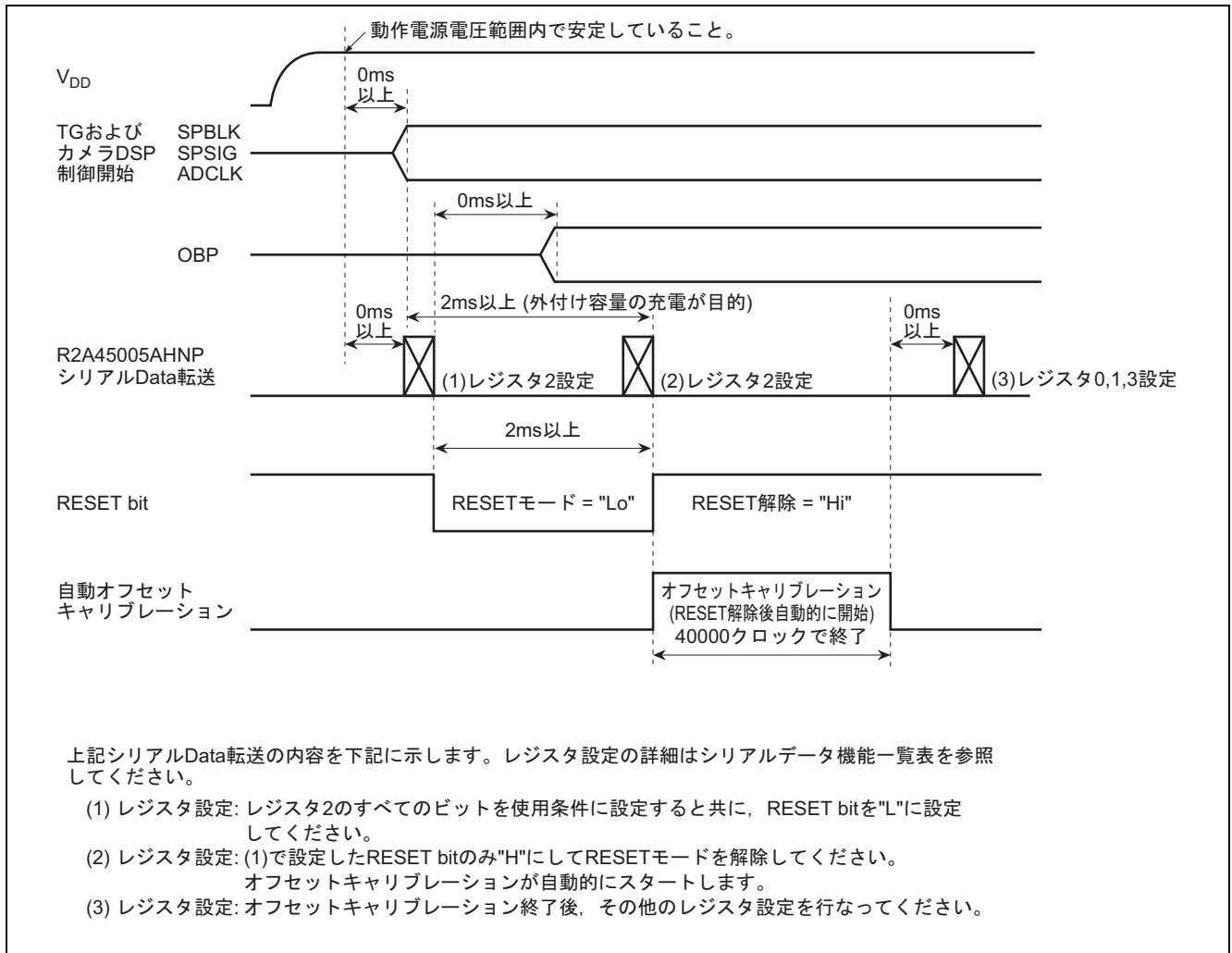
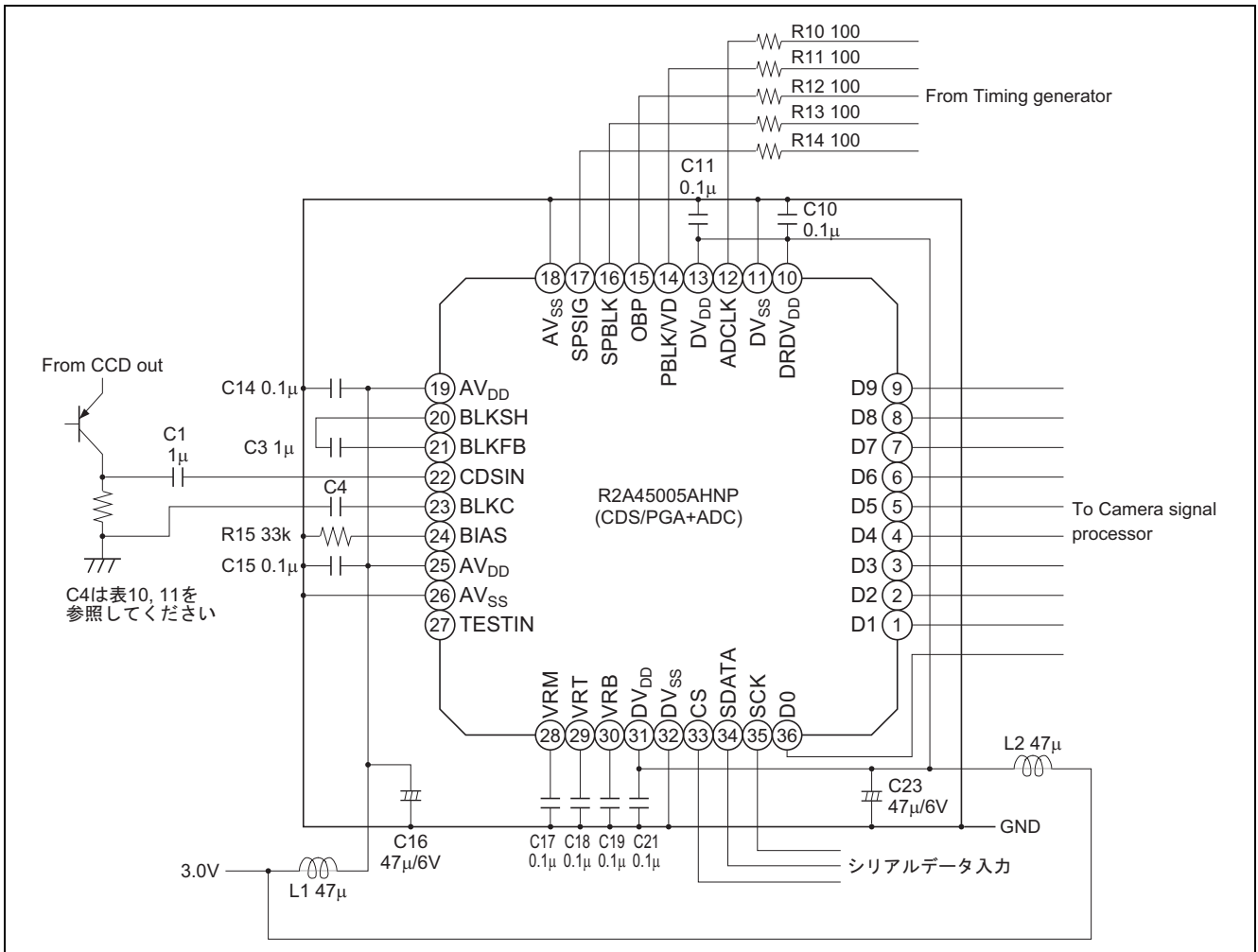


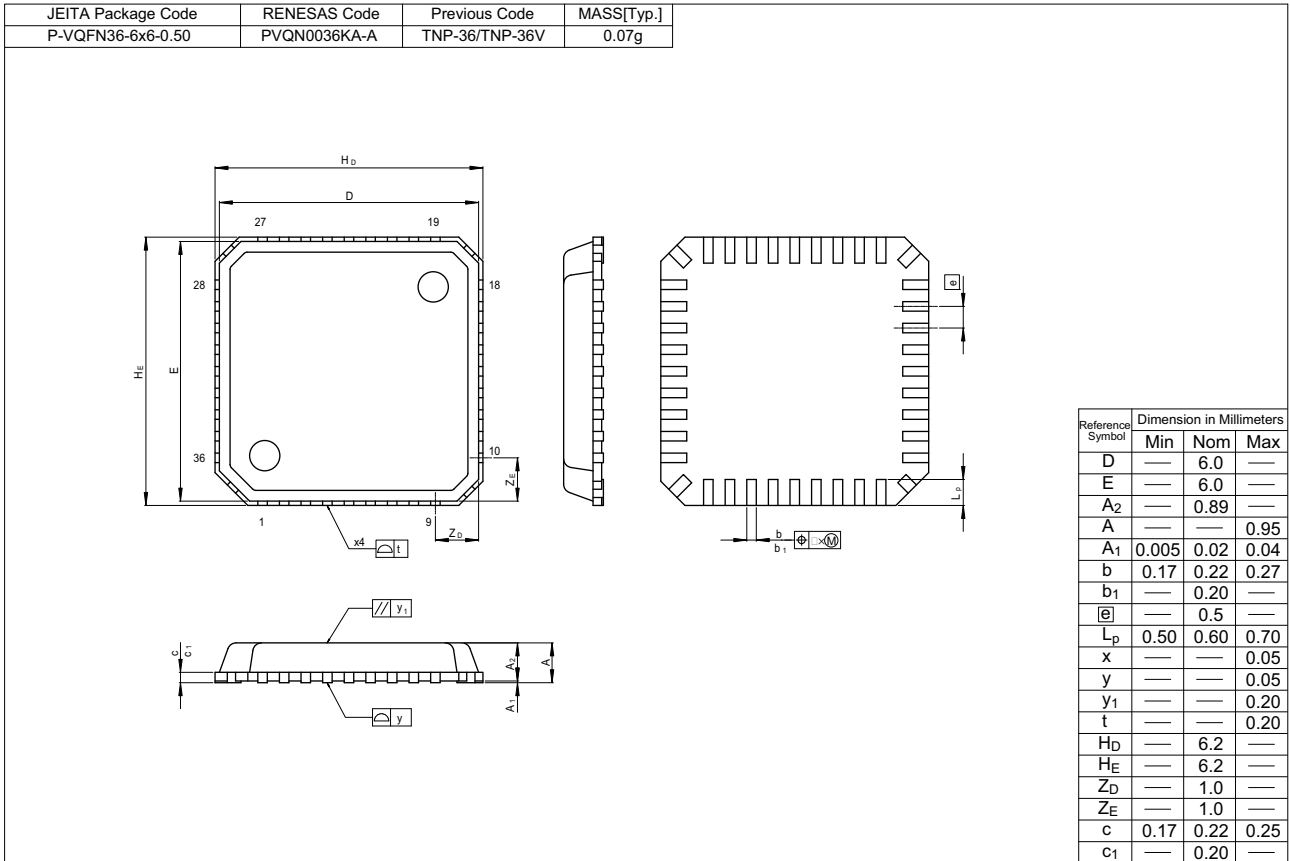
図 10 電源投入時の動作シーケンス

外付け回路例 (参考)

- CDS 入力時



外形寸法図



発注情報

発注型名	パッケージコード	テーピング略称 (数量)
R2A45005AHNP#W0	PVQN0036KA-A	W (2,000 個/リール)

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

\*営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>