

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1 概要

1.1 概要

M66592は、USB(Universal Serial Bus)規格Rev.2.0のHi-Speed転送、Full-Speed転送に対応した、USB2.0ペリフェラルコントローラーです。本コントローラーは、USBトランシーバを内蔵し、USB規格で定義されている全転送タイプに対応しています。また小型パッケージの採用、及び低消費電力の実現により携帯機器への応用に適しています。

本コントローラーは、データ転送用に5Kバイトのバッファメモリを内蔵し、最大8本のパイプを使用できます。また、PIPE1-7に対しては、ユーザーシステムに合わせた、任意のエンドポイント番号の割り付けが可能です。CPUとの接続は、セパレートバスとマルチプレクスバスのどちらかを選択できます。また、CPUバスインタフェースとは独立したスプリットバスインタフェース(DMAインタフェース専用)を備え、高速大容量データ転送を要求されるシステムに適しています。

1.2 特長

1.2.1 USB Rev.2.0 Hi-Speed対応

- USB規格Rev.2.0準拠
- Hi-Speed転送(480Mbps)とFull-Speed転送(12Mbps)に対応
- Hi-Speed / Full-Speed USBトランシーバ内蔵
- Hi-Speed / Full-Speed ペリフェラルコントローラーとして動作可能

1.2.2 低消費電力

- 1.5Vコア電源を使用し、バスインタフェース電源は3.3V/1.8V選択可能
- 携帯機器向けに適した低消費電力を実現
- サスペンド時の低消費電力モード(低電力スリープ状態)対応

1.2.3 省スペース実装対応

- 少ない外付け素子かつ省スペース実装が可能
 - VBUS信号をコントローラーの端子に直接接続可能
 - D+プルアップ抵抗内蔵
 - D+、D-終端抵抗内蔵(Hi-Speed動作時)
 - D+、D-出力抵抗内蔵(Full-Speed動作時)
- 64pin小型パッケージ採用

1.2.4 アイソクロナス転送対応

- USB全転送タイプに対応
 - コントロール転送
 - バルク転送
 - インタラプト転送(High Bandwidthは非対応)
 - アイソクロナス転送(High Bandwidthは非対応)

1.2.5 バスインタフェース

- 1.8V、もしくは3.3Vのバスインタフェース電源を選択可能
- 16bitCPUバスインタフェース
 - 16bitセパレートバス/16bitマルチプレクスバス対応
 - 8/16bit DMAインタフェース(スレーブ機能)対応
- 8bitスプリットバス(外部DMA専用インタフェース)対応
- DMAインタフェースを2ch内蔵
- DMA転送により40Mバイト/秒の高速アクセスが可能

1.2.6 PIPEコンフィグレーション

- USB通信用バッファメモリを5Kバイト内蔵
- 最大8本のパイプを選択可能(デフォルトコントロールパイプを含む)
- プログラマブルなパイプ構成
- PIPE1-7は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件
 - PIPE0: コントロール転送、連続転送モード、256バイト固定シングルバッファ
 - PIPE1~2: バルク転送 / アイソクロナス転送、連続転送モード
バッファサイズはプログラマブル(最大2Kバイトでダブルバッファ指定可能)
 - PIPE3~5: バルク転送、連続転送モード、
バッファサイズはプログラマブル(最大2Kバイトでダブルバッファ指定可能)
 - PIPE6~7: インタラプト転送、64バイト固定シングルバッファ

1.2.7 その他の機能

- リセットハンドシェイク自動応答による、Hi-Speed動作、もしくはFull-Speed動作自動認識
- 16bitデータ転送時のバイトエンディアンスワップ機能
- DMA転送時のトランザクションカウント機能
- 外部トリガ(DEND端子)によるDMA転送の終了機能
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- SOF補間機能
- SOFパルス出力機能
- PLL内蔵により、3種類の入力クロック選択可能
 - 48MHz / 24MHz / 12MHzから選択可能
- DEND端子によるDMA転送終了時のZero-Lengthパケット付加機能(DEZPM)
- BRDY割り込みイベント通知タイミング変更機能(BFRE)
- Dx FIFOポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM)
- 低電力スリープ状態からの自動クロック供給機能(ATCKM)
- トランスファー終了による応答PIDのNAK設定機能(SHTNAK)
- NAK応答割り込み機能(NRDY)

1.2.8 用途

デジタルビデオカメラ、デジタルスチルカメラ、プリンタ、外部ストレージ機器、携帯情報端末、USBオーディオ機器
その他、Hi-Speed USB搭載のPC周辺機器全般

1.3 ピン配置図

図 1.1、図 1.2に本コントローラーの端子配置図(上面図)を示します。

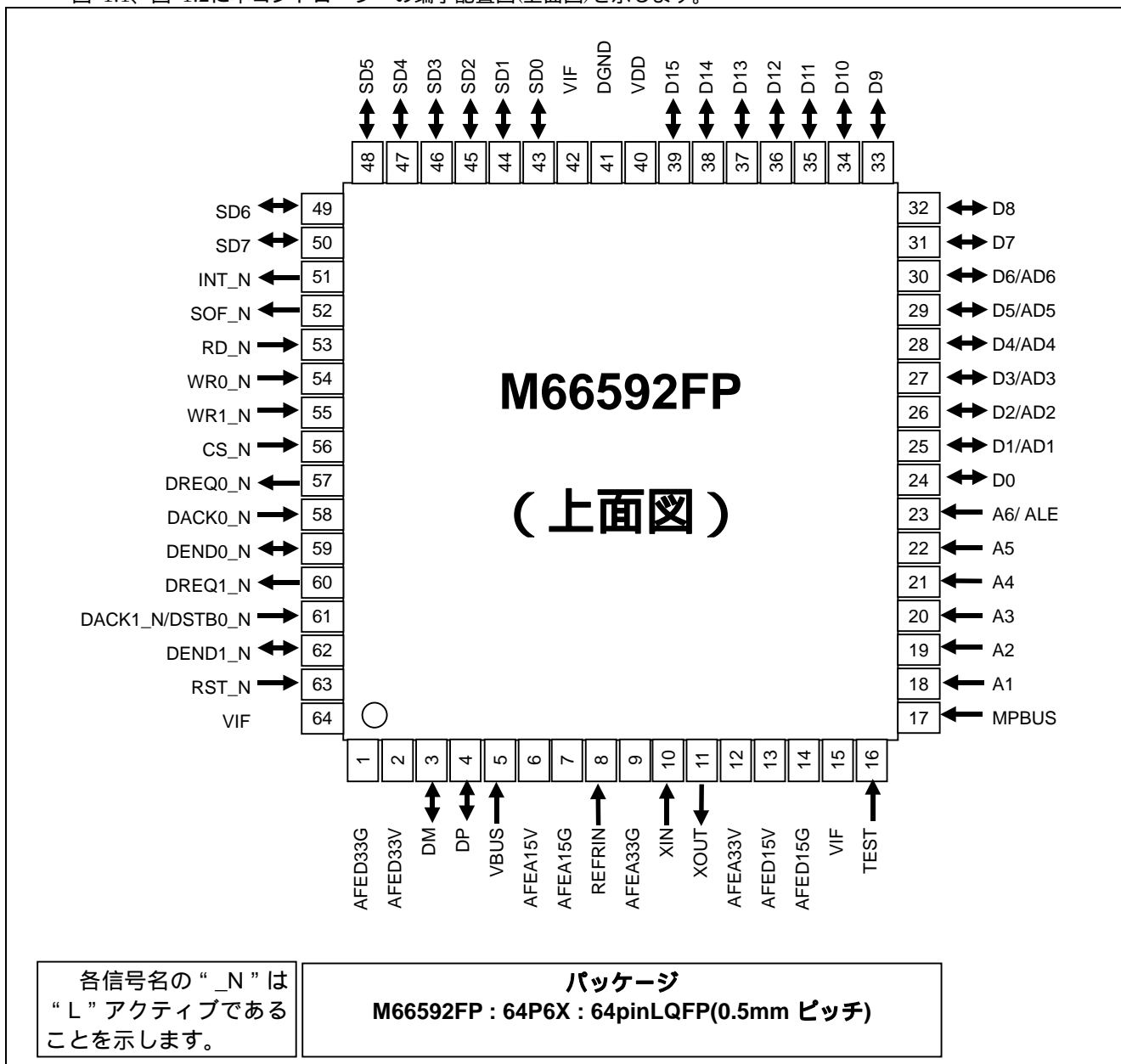


図 1.1 M66592FP端子配置図

M66592WG/UG (上面図)

8	SD6	SD4	SD2	DGND	VDD	D13	D10	D9
7	SD7	SD5	SD3	VIF	D15	D12	D8	D7
6	RD_N	SOF_N	INT_N	SD0	D14	D11	D6/AD6	D5/AD5
5	CS_N	WR1_N	WR0_N	SD1	D2/AD2	D1/AD1	D4/AD4	D3/AD3
4	DEND0_N	DREQ1_N	DREQ0_N	DACK0_N	A5	A2	A6/ALE	D0
3	DACK1_N /DSTB0_N	VIF	DEND1_N	AFEA15V	AFEA33G	AFEA33V	A3	A4
2	RST_N	AFED33V	VBUS	AFEA15G	XOUT	AFED15G	TEST	A1
1	AFED33G	DM	DP	REFRIN	XIN	AFED15V	VIF	MPBUS
	A	B	C	D	E	F	G	H

各信号名の"_N"は
"L"アクティブであることを示します。

パッケージ

M66592WG : 64FHX-A : 64pinFBGA(0.8mm ピッチ)
M66592UG : 64FHX-C : 64pinVFBGA(0.5mm ピッチ)

図 1.2 M66592WG/UG端子配置図

1.4 端子説明

表 1.1に本コントローラーの端子説明表を、表 1.2に未使用端子の処理方法を示します。

表 1.1 端子説明表

区分	端子名	名称	I/O	機能	端子数 (Pin No)	端子の状態 *7)		
						リセット 中	リセット 直後	"PCUT =1"中
CPUバス インタフェース	D15-0	データバス	I/O	16bitデータバスです。	16 (24-39)	*4)	*4)	入力 (Hi-Z)
	AD6-1	マルチプレクス アドレスバス	I/O	マルチプレクスバス設定時、本端子群を データバスの一部(D6-D1)、もしくはアド レスバス6ビット(A6-A1)として時分割で 用います。				
	A6-1	アドレスバス	IN	6bitアドレスバスです。 16bitデータバスのためA0はありません。	6 (18-23)	入力 *5)	入力 *5)	入力 (Hi-Z)
	ALE	アドレスラッチ イネーブル	IN	マルチプレクスバス設定時、A6端子を ALE信号として使用します。				
	CS_N	チップセレクト	IN	"L"レベルで本コントローラーが選択され ます。	1 (56)	入力 *6)	入力 *6)	入力
	RD_N	リードストロー プ	IN	"L"レベルで本コントローラーのレジスタ からデータを読み出します。	1 (53)	入力	入力	入力
	WR0_N	D7-0バイトライ トストロープ	IN	立ち上がりエッジでD7-D0を本コント ローラーのレジスタに書き込みます。	1 (54)	入力 *6)	入力 *6)	入力
	WR1_N	D15-8バイトラ イトストロープ	IN	立ち上がりエッジでD15-D8を本コント ローラーのレジスタに書き込みます。	1 (55)	入力 *6)	入力 *6)	入力
MPBUS	バスモード選択	IN	"L"レベルでセパレートバスです。 "H"レベルでマルチプレクスバスです。 "H"/"L"どちらかのレベルに固定してくだ さい。	1 (17)	入力 *3)	入力 *3)	入力 *3)	
SPLITバス インタフ ェース	SD7-0	スプリットデー タバス	I/O	スプリットバスが選択されている場合は スプリットバスのデータバスとして機能 します。	8 (43-50)	入力 (Hi-Z)	入力 (Hi-Z)	入力 (Hi-Z)
DMAバス インタフ ェース	DREQ0_N *1) DREQ1_N *1)	DMAリクエスト	OUT	D0FIFOポート、D1FIFOポートのDMA転 送リクエストを通知します。	2 (57,60)	H	H	H/L *8)
	DACK0_N *1) DACK1_N *1)	DMAアクリッ ジ	IN	D0FIFOポート、D1FIFOポートのDMAア クリッジ信号を入力してください。	2 (58,61)	入力	入力	入力
	DSTB0_N *2)	データストロー プ0	IN	D0FIFOポートのデータストロープ信号 として機能します。 D1FIFOポートのDMAアクリッジ信号 とダブルファンクションであるため、 DACK1_N機能を使用する場合には、 DSTB0_N機能は使用できません。				
	DEND0_N *1) DEND1_N *1)	DMA転送終了	I/O	<FIFOポートアクセス書き込み方向時> 入力信号として他の周辺チップまたは CPUから転送終了信号を受け付けます。 <FIFOポートアクセス読み出し方向時> 出力信号として転送の最終データを示し ます。	2 (59,62)	入力 (Hi-Z)	入力 (Hi-Z)	入力 (Hi-Z)
割り込み /SOF出力	INT_N	割り込み	OUT	"L"アクティブでUSB通信に関する各種割 り込みを通知します。	1 (51)	H	H	H
	SOF_N	SOFパルス出力	OUT	SOF検出時に"L"アクティブでSOFパルス を出力します。	1 (52)	H	H	H
クロック	XIN	発振入力	IN	XIN、XOUTの間に水晶振動子を接続して ください。外部クロック入力する場合は、	1 (10)			
	XOUT	発振出力	OUT	XINに外部クロック信号を接続し、XOUT は開放してください。	1 (11)			

区分	端子名	名称	I/O	機能	端子数 (Pin No)	端子の状態 *7)		
						リセット 中	リセット 直後	"PCUT =1"中
システム 制御	RST_N	リセット信号	IN	本コントローラーを"L"レベルで初期化します。	1 (63)	入力 (L)	入力 (H)	入力 (H)
	TEST	テスト信号	IN	"L"固定またはオープンにしてください。	1 (16)			
USBバス インタフェース	DP	USB D+データ	I/O	USBバスのD+端子に接続してください。	1 (4)	入力 (Hi-Z)	入力 (Hi-Z)	入力 (Hi-Z)
	DM	USB D-データ	I/O	USBバスのD-端子に接続してください。	1 (3)	入力 (Hi-Z)	入力 (Hi-Z)	入力 (Hi-Z)
VBUS 監視入力	VBUS	VBUS入力	IN	USBバスのVbusに直接に接続してください。Vbusの接続/切断を検出することができます。Vbusに接続しない場合は5Vに接続してください。	1 (5)	入力 (Hi-Z)	入力 (Hi-Z)	入力 (Hi-Z)
基準抵抗	REFRIN	リファレンス入力	IN	5.6k ±1%抵抗を介してAFEA33Gに接続してください。	1 (8)			
電源/GND	AFEA33V	トランシーバ部 アナログ電源	-	3.3Vに接続してください。	1 (12)			
	AFEA33G	トランシーバ部 アナログGND	-		1 (9)			
	AFED33V	トランシーバ部 デジタル電源	-	3.3Vに接続してください。	1 (2)			
	AFED33G	トランシーバ部 デジタルGND	-		1 (1)			
	AFEA15V	トランシーバ部 アナログ1.5V電源	-	1.5Vに接続してください。	1 (6)			
	AFEA15G	トランシーバ部 アナログGND	-		1 (7)			
	AFED15V	トランシーバ部 デジタル1.5V電源	-	1.5Vに接続してください。	1 (13)			
	AFED15G	トランシーバ部 デジタルGND	-		1 (14)			
	VDD	コア電源	-	1.5Vに接続してください。	1 (40)			
	VIF	IO電源	-	3.3Vまたは1.8Vに接続してください。	3 (15,42, 64)			
	DGND	デジタルGND	-		1 (41)			

- *1) これらの端子の"L"アクティブ、"H"アクティブは、ソフトウェアで設定ができます。
"_N"はデフォルトが"L"アクティブであることを示します。
- *2) DSTB0_N と DACK1_N は、同一端子にアサインされていますので、どちらか一方の機能が有効です。
- *3) MPBUS 端子の入力レベルは、H/W リセット直後に確定している必要があります。また、動作中には切り替えを行わないでください。
- *4) CS_N="L" かつ RD_N="L"の時出力、それ以外は入力となります。
- *5) MPBUS="H"の時には、Hi-Z 入力(オープン)可能です。
- *6) CS_N、WR0_N および WR1_N 信号は、リセット中およびリセット解除直後は以下(a)もしくは(b)の状態を保ってください。
(a) CS_N="H"
(b) WR0_N="H"、かつ、WR1_N="H"
- *7) "端子の状態"欄の説明
(a) 入力：入力ポート、Hi-Z状態(オープン)不可
(b) 入力(Hi-Z)：入力ポート、Hi-Z状態(オープン)可能
(c) H、L、H/L：出力ポートの状態を示します

*8) ソフトウェアの設定に従い、インアクティブ状態の出力になります。

表 1.2 M66592未使用端子の処理例

区分	端子名	処理内容
SPLITバスインタフェース	SD7-0	オープン
DMAバスインタフェース	DREQ0_N	オープン
	DREQ1_N	オープン
	DACK0_N	H固定 *1)
	DACK1_N/DSTB0_N	H固定 *1)
	DEND0_N	オープン *2)
	DEND1_N	オープン *2)
SOF出力	SOF_N	オープン
システム制御	TEST	"L"固定またはオープン
VBUS監視入力	VBUS	5V固定 *3)

*1) DACK_n_N 端子を使用しない場合、**DMA_nCFG** レジスタの **DACKA** ビットを"0"に設定してください(n=0,1)。

*2) DEND_n_N 端子を使用しない場合、**DMA_nCFG** レジスタの **DENDA** ビットを"0"に設定してください(n=0,1)。

*3) USB バスの Vbus と接続しない場合は、5V に固定してください。

1.5 端子機能構成

図 1.3に本コントローラーの端子機能構成図を示します。

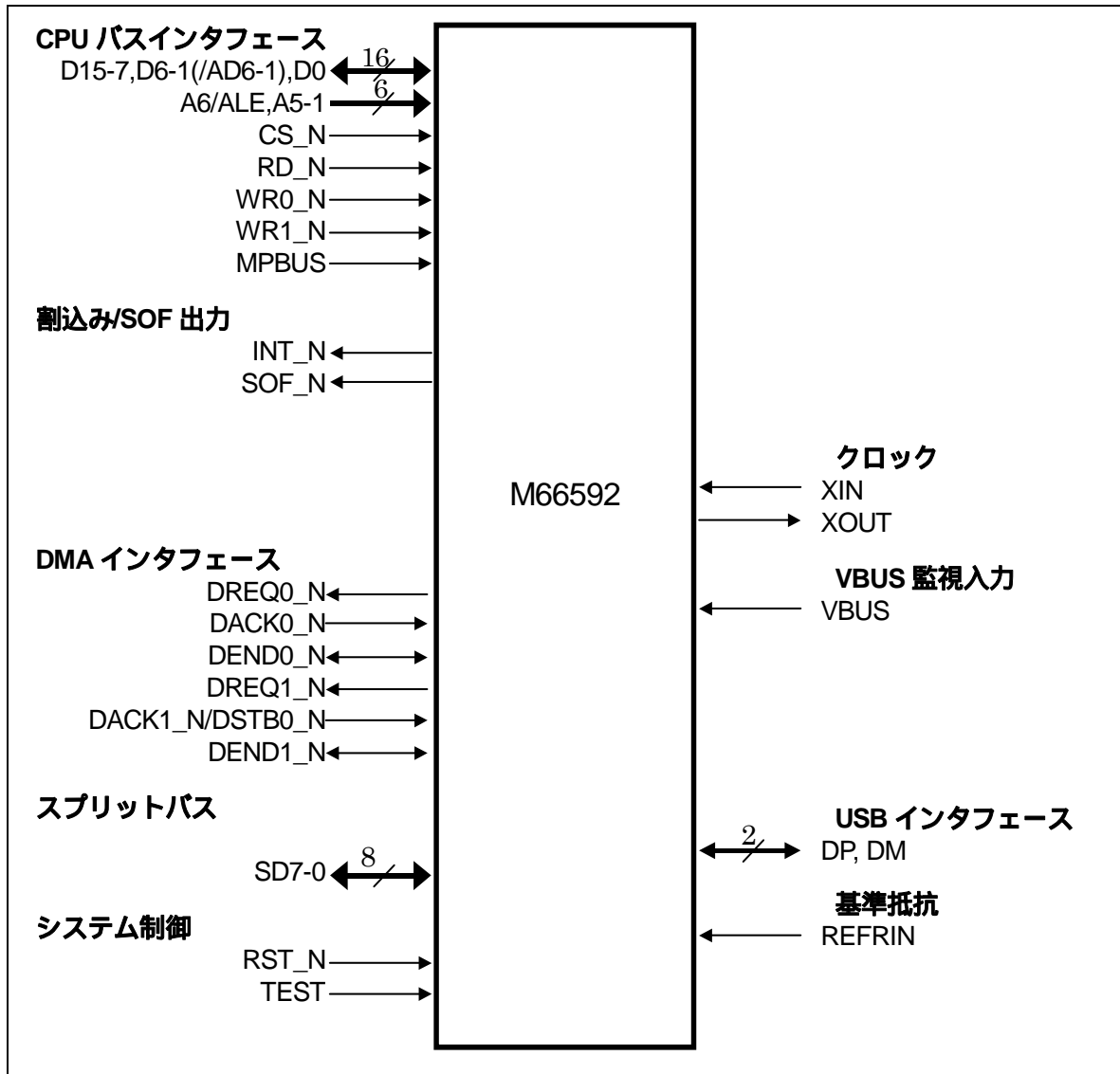


図 1.3 端子機能構成図

1.6 ブロック図

本コントローラーは、アナログフロントエンド部(AFE)、SIEを含むプロトコルエンジン部(Prctl_Eng)、パイプ制御部(Pipe_Ctrl)、FIFOポート部(FIFO_Port)、バッファメモリ部(Buf_Mem)、割り込み制御部(Int_Ctrl)、バスインタフェースユニット部(BIU)、及びCPUインタフェースレジスタ部(CPU_IF_Reg)で構成されます。図 1.4に本コントローラーのブロック図を示します。

USBバス上に接続されているホストコントローラーとデータ送受信を行う場合は、パイプごとに割り当てを行ったバッファメモリを使用します。本コントローラーが、バッファメモリに格納されているデータをUSBデータパケットに変換し、USBバス上にシリアル出力を行い、また、USBバス上のデータパケットを入力し、バッファメモリへデータ格納することで、相互通信が可能となります。

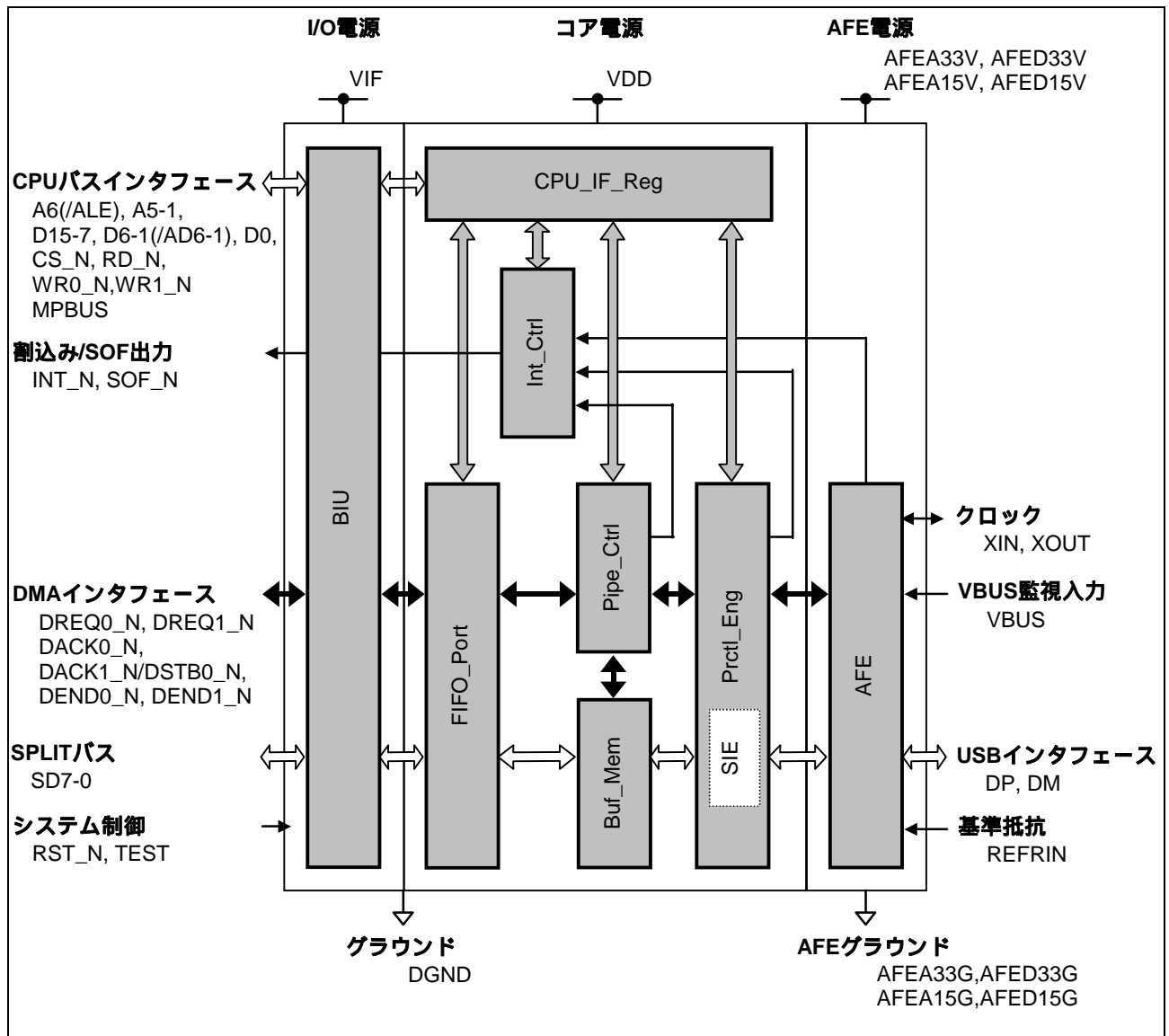


図 1.4 ブロック図

1.7 機能概要

1.7.1 バスインタフェース

本コントローラーは、下記に示すバスインタフェースに対応しています。

1.7.1.1 外部バスインタフェース

本コントローラーは、CPUバスインタフェースを使用して、制御用レジスタにアクセスします。

CPUとのバスインタフェースは、下記の2種類のアクセス方法に対応しています。チップセレクト端子(CS_N)及び3本のストロブ端子(RD_N、WR0_N、WR1_N)でアクセスしてください。

16bitセパレートバス

6本のアドレスバス(A6-1)、及び16本のデータバス(D15-0)を使用します。

16bitマルチプレクスバス

ALE端子(ALE)、及び16本のデータバス(D15-0)を使用します。データバスは、アドレスとデータを時分割で使用します。

セパレートバス、及びマルチプレクスバスは、H/Wリセット解除時のMPBUS端子信号レベルで選択します。

1.7.1.2 バッファメモリアccess方法

本コントローラーは、USBデータ転送用バッファメモリへのアクセス方法として下記の2種類に対応しています。

(1) CPUアクセス

アドレス、及びコントロール信号を使用して、データをバッファメモリに書き込み、もしくはバッファメモリから読み出してください。

(2) DMAアクセス

CPU内蔵、もしくは専用DMACから、データを本コントローラーのバッファメモリに書き込み、もしくはバッファメモリから読み出してください。

USBデータ通信はリトルエンディアンで行われます。FIFOポートアクセスにはバイトエンディアンスワップ機能があり、16bitアクセスの場合には、レジスタ設定によるエンディアン切り替えができます。

1.7.1.3 DMA アクセス方法

バッファメモリへのアクセスをDMAアクセスで行う場合は、さらに下記2種類のアクセス方法を選択できます。

(1) CPUとの共有バスを使用する方法

(2) 専用バス(スプリットバス)を使用する方法

1.7.2 USBイベント

本コントローラーは、USB動作上のイベントを、割り込みによりユーザーシステムに通知します。また、DMAインタフェースを選択したパイプのバッファメモリへのアクセスが可能であることを、DREQ信号をアサートすることにより通知します。

割り込みには8種類35要因があり、ソフトウェアの設定により種類別、要因別に割り込み通知の可否を選択することができます。

1.7.3 USBデータ転送

本コントローラーは、USB通信のコントロール転送、バルク転送、インタラプト転送、及びアイソクロナス転送の全種類のデータ転送が可能です。各転送タイプに対するパイプのリソースは下記のとおりです。

- (1) コントロール転送専用パイプ
- (2) インタラプト転送専用パイプ;2本
- (3) バルク転送専用パイプ;3本
- (4) バルク転送もしくはアイソクロナス転送選択パイプ; 2本

各パイプは、ユーザーシステムに合わせて転送タイプ、エンドポイント番号、マックスパケットサイズ等のUSB転送に必要な設定を行ってください。

また、本コントローラーは、5Kバイトのバッファメモリを内蔵しています。バルク転送専用パイプ、及びバルク転送もしくはアイソクロナス転送選択パイプに対しては、ユーザーシステムによるバッファメモリの割り当てやバッファ動作モードなどの設定を行ってください。バッファ動作モード設定は、ダブルバッファ構成やデータパケットの連続転送機能により、少ない割り込み回数で、高速なデータ転送が可能です。

ユーザーシステムの制御用CPU、及びDMAコントローラーからのバッファメモリへのアクセスは、3本のFIFOポートレジスタを通して行います。

1.7.4 DMAインタフェース

DMA(ダイレクトメモリアクセス)インタフェースは、DxFIFOポートを使用した、ユーザーシステムと本コントローラー間のデータ転送であり、CPUが介在しないデータ転送です。本コントローラーは、2チャンネルのDMAインタフェースを備えており、下記のような機能を有しています。

- (1) 転送終了信号(DEND信号)によるトランスファー終了通知機能
- (2) Zero-Lengthパケット受信時の自動クリア機能
- (3) 転送終了信号(DEND信号)入力によるZero-Lengthパケット送出付加機能
- (4) トランザクションカウンタ機能によるトランスファー終了機能

本コントローラーは、下記の2種類のDMAインタフェースに対応しています。

- (1) サイクルスチール転送
1データ転送(1バイト/1ワード)ごとにDREQ端子のアサート、ネゲートが繰り返される転送。
- (2) バースト転送
当該FIFOポートに、割り当てられたパイプのバッファメモリ領域分、もしくはDEND信号による転送終了までDREQ端子をアサートしたままネゲートしない転送。

また、DMAインタフェースハンドシェイク信号(端子)として「CS_N、RD_N、WR_N」、もしくはDACK_Nを選択可能です。スプリットバスを使用したDMA転送では、DMAxCFGRレジスタのOBUSビット操作でデータセットアップタイミングを変更することにより、高速なDMA転送が可能です。

1.7.5 SOFパルス出力機能

SOFパケットの受信タイミングを通知するSOFパルス出力機能を備えています。この機能は、SOFパケット破損時もSOF補間タイマにより、一定間隔でパルスを出力します。

1.7.6 外付け素子の取り込み

本コントローラーは、下記の外付け素子を内蔵しています。また、VBUS端子は5V耐圧のため、ユーザーシステムは、VBUS信号を本コントローラーに直接入力することができます。

- (1) D+、D-ラインの制御に必要な抵抗
このため、外部に抵抗を追加せずにシステムを実現することができます。
- (2) 48MHz、及び480MHzのPLL
3種類の外部クロック(12MHz/24MHz/48MHz)から一つを選択し、Hi-Speed動作、Full-Speed動作ができます。

これら数多くの外付け素子をコントローラーに内蔵したことと、64pin小型パッケージの採用により、ユーザーシステム上では省スペース実装も可能になります。

1.7.7 低電力スリープ状態機能

本コントローラーは、消費電流を小さくするための低電力スリープ状態を備えています。

低電力スリープ状態は、下記の場合に有効な機能です。

- (1) ホストコントローラーが接続されていない場合
- (2) サスペンド状態にデバイスステート遷移していて、USBデータ転送が不要な場合

低電力スリープ状態から通常動作状態への復帰は、特定の割り込み、もしくはコントローラーに対するダミー書き込みによって行います。

2 レジスタ

レジスタ表の見方

- ① ビット番号 各レジスタは、16ビットの内部バスに接続されています。
奇数番地はb15~b8に、偶数番地はb7~b0になります。
- ② リセット後の状態 リセット動作直後及び低電力スリープ状態復帰直後のレジスタ初期状態を示します。
H/WリセットはRST_N端子から外部リセット信号を入力した場合の初期状態です。
S/WリセットはユーザーシステムがUSBEビットのビット操作を行った場合の初期状態です。
USBリセットは本コントローラーがUSBバスリセットを検出した場合の初期状態です。
低電力スリープは本コントローラーが低電力スリープ状態から復帰した場合の初期状態です。
なお、リセット動作中に特筆すべき事項は注意事項で記載しています。
"- "は本コントローラーによる操作がなく、ユーザー設定が保持されている状態です。
"?"は値が不定な状態であることを示します。
- ④ S/W Access条件 ソフトウェアがレジスタをアクセスする場合の条件です。
- ⑤ H/W Access条件 本コントローラーがリセット動作以外でレジスタをアクセスする場合の条件です。
R Read Only
W Write Only
R/W Read / Write
R(0) "0"Read Only
W(1) "1"Write Only
- ⑥ 備考 詳細説明項目番号及び注意事項番号です。
- ⑦ ビット名 ビットシンボル及びビット名称です。
- ⑧ 機能説明 アクティブ及び注意事項です。

<表記例>

網掛け部分には何も配置されていません。"0"に固定してください。

① Bit Number	→	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit Symbol	→		Abit	Bbit	Cbit												
② H/Wリセット	→	?	0	0	0												
S/Wリセット	→	?	0	0	-												
USBリセット	→	?	0	-	-												
低電力スリープ	→	?	0	0	0												

bit	Name	Function	S/W	H/W	備考
15		何も配置されていません。"0"に固定してください。			
14	A bit AAA許可	0: 動作禁止 1: 動作許可	R/W	R	2.3.1 *1)
13	B bit BBB動作	0: "L"出力 1: "H"出力	R	W	2.3.2 *1)
12	C bit CCC制御	0: 1:	R(0)/ W(1)	R	2.3.2
	⑦	⑧	④	⑤	⑥

注意事項

*1) Abit と Bbit を連続して書き込みアクセスする場合は 300ns のアクセスサイクルが必要です。

2.1 レジスタ一覧

表 2.1に本コントローラーのレジスタ一覧表を示します。

表 2.1 レジスタ一覧表

Address	Symbol	Name	Index
00	SYSCFG	システムコンフィグレーションコントロールレジスタ	2.3
02	SYSSTS	システムコンフィグレーションステータスレジスタ	2.3
04	DVSTCTR	デバイスステートコントロールレジスタ	2.4
06	TESTMODE	テストモードレジスタ	2.4
08			
0A	PINCFG	データピンコンフィグレーションレジスタ	2.5
0C	DMA0CFG	DMA0ピンコンフィグレーションレジスタ	2.5
0E	DMA1CFG	DMA1ピンコンフィグレーションレジスタ	2.5
10	CFIFO	CFIFOポートレジスタ	2.6
12			
14	D0FIFO	D0FIFOポートレジスタ	2.6
16			
18	D1FIFO	D1FIFOポートレジスタ	2.6
1A			
1C			
1E	CFIFOSEL	CFIFOポート選択レジスタ	2.6
20	CFIFOCTR	CFIFOポートコントロールレジスタ	2.6
22	CFIFOSIE	CFIFOポートSIEレジスタ	2.6
24	D0FIFOSEL	D0FIFOポート選択レジスタ	2.6
26	D0FIFOCTR	D0FIFOポートコントロールレジスタ	2.6
28	D0FIFOTRN	D0トランザクションカウンタレジスタ	2.6
2A	D1FIFOSEL	D1FIFOポート選択レジスタ	2.6
2C	D1FIFOCTR	D1FIFOポートコントロールレジスタ	2.6
2E	D1FIFOTRN	D1トランザクションカウンタレジスタ	2.6
30	INTENB0	割り込み許可レジスタ0	2.7
32	INTENB1	割り込み許可レジスタ1	2.7
34			
36	BRDYENB	BRDY割り込み許可レジスタ	2.7
38	NRDYENB	NRDY割り込み許可レジスタ	2.7
3A	BEMPENB	BEMP割り込み許可レジスタ	2.7
3C	SOFCFG	SOFピンコンフィグレーションレジスタ	2.8
3E			
40	INTSTS0	割り込みステータスレジスタ0	2.9
42			
44			
46	BRDYSTS	BRDY割り込みステータスレジスタ	2.9
48	NRDYSTS	NRDY割り込みステータスレジスタ	2.9
4A	BEMPSTS	BEMP割り込みステータスレジスタ	2.9
4C	FRMNUM	フレームナンバレジスタ	2.10
4E	UFRMNUM	μフレームナンバレジスタ	2.10
50	RECOVER	USBアドレス/低電力ステータスリカバリレジスタ	2.11
52			
54	USBREQ	USBリクエストタイプレジスタ	2.12
56	USBVAL	USBリクエストバリューレジスタ	2.12
58	USBINDX	USBリクエストインデックスレジスタ	2.12
5A	USBLENG	USBリクエストレングスレジスタ	2.12

Address	Symbol	Name	Index
5C	DCPCFG	DCPコンフィグレーションレジスタ	2.13
5E	DCPMAXP	DCPマックスパケットサイズレジスタ	2.13
60	DCPCTR	DCPコントロールレジスタ	2.13
62			
64	PIPESEL	パイプウィンドウ選択レジスタ	2.14
66	PIPECFG	パイプコンフィグレーションレジスタ	2.14
6E	PIPEBUF	パイプバッファ指定レジスタ	2.14
6A	PIPEMAXP	パイプマックスパケットサイズレジスタ	2.14
6C	PIPEPERI	パイプ周期制御レジスタ	2.14
6E			
70	PIPE1CTR	PIPE1コントロールレジスタ	2.14
72	PIPE2CTR	PIPE2コントロールレジスタ	2.14
74	PIPE3CTR	PIPE3コントロールレジスタ	2.14
76	PIPE4CTR	PIPE4コントロールレジスタ	2.14
78	PIPE5CTR	PIPE5コントロールレジスタ	2.14
7A	PIPE6CTR	PIPE6コントロールレジスタ	2.14
7C	PIPE7CTR	PIPE7コントロールレジスタ	2.14
7E			

網掛けの番地には何も配置されていません。アクセスを行わないでください。

2.2 ビットシンボル一覧

表 2.2に本コントローラーのビットシンボル一覧表を示します。

表 2.2 ビットシンボル一覧表

addr	レジスタ名	奇数番地								偶数番地							
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00	SYSCFG	XTAL		XCKE	RCKE	PLL	SCKE		ATCKM	HSE			DPRPU			PCUT	USBE
02	SYSSTS																LNST
04	DVSTCTR								WKUP								RHST
06	TESTMODE																UTST
08																	
0A	PINCFG	LDRV							BIGEND								
0C	DMA0CFG		DREQA	BURST			DACKA		DFORM	DENDA	PKTM	DENDE			OBUS		
0E	DMA1CFG		DREQA	BURST			DACKA		DFORM	DENDA	PKTM	DENDE			OBUS		
10	CFIFO	CFPORT															
12																	
14	D0FIFO	D0FPORT															
16																	
18	D1FIFO	D1FIPORT															
1A																	
1C																	
1E	CFIFOSEL	RCNT	REW					MBW					ISEL				CURPIPE
20	CFIFOCTR	BVAL	BCLR	FRDY													DTLN
22	CFIFOSIE	TGL	SCLR	SBUSY													
24	D0FIFOSEL	RCNT	REW	DCLRM	DREQE			MBW	TRENB	TRCLR	DEZPM						CURPIPE
26	D0FIFOCTR	BVAL	BCLR	FRDY													DTLN
28	D0FIFOTRN	TRNCNT															
2A	D1FIFOSEL	RCNT	REW	DCLRM	DREQE			MBW	TRENB	TRCLR	DEZPM						CURPIPE
2C	D1FIFOCTR	BVAL	BCLR	FRDY													DTLN
2E	D1FIFOTRN	TRNCNT															
30	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
32	INTENB1														BRDYM	INTL	PCSE
34																	
36	BRDYENB	PIPEBRDYE															
38	NRDYENB	PIPENRDYE															
3A	BEMPENB	PIPEBEMPE															
3C	SOFCFG														SOFM		
3E																	
40	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS		DVSQ		VALID		CTSQ	
42																	
44																	
46	BRDYSTS	PIPEBRDY															
48	NRDYSTS	PIPENRDY															
4A	BEMPSTS	PIPEBEMP															
4C	FRMNUM	OVRN	CRCE				SOFRM										FRNM
4E	UFRMNUM																UFRNM
50	RECOVER									STSRECOV							USBADDR
52																	
54	USBREQ	bRequest								bmRequestType							
56	USBVAL	wValue															
58	USBINDX	wIndex															
5A	USBLENG	wLength															
5C	DCPCFG								CNTMD								
5E	DCPMAXP	MXPS															

addr	レジスタ名	奇数番地								偶数番地							
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
60	DCPCTR	BSTS							SQCLR	SQSET	SQMON				CCPL	PID	
62																	
64	PIPESEL														PIPESEL		
66	PIPECFG	TYPE					BFRE	DBLB	CNTMD	SHTNAK			DIR	EPNUM			
68	PIPEBUF		BUFSIZE								BUFNMB						
6A	PIPEMAXP								MXPS								
6C	PIPEPERI				IFIS										IITV		
6E																	
70	PIPE1CTR	BSTS	INBUFM					ACLRM	SQCLR	SQSET	SQMON					PID	
72	PIPE2CTR	BSTS	INBUFM					ACLRM	SQCLR	SQSET	SQMON					PID	
74	PIPE3CTR	BSTS	INBUFM					ACLRM	SQCLR	SQSET	SQMON					PID	
76	PIPE4CTR	BSTS	INBUFM					ACLRM	SQCLR	SQSET	SQMON					PID	
78	PIPE5CTR	BSTS	INBUFM					ACLRM	SQCLR	SQSET	SQMON					PID	
7A	PIPE6CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON					PID	
7C	PIPE7CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON					PID	
7E																	

2.3 システム制御

◆ システムコンフィグレーションコントロールレジスタ [SYSCFG]

<アドレス : 00H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XTAL	XCKE	RCKE	PLL	SCKE		ATCKM	HSE				DPRPU			PCUT	USBE
0	0	0	0	0	0	?	0	0	?	?	0	?	?	0	0
-	-	-	-	-	-	?	-	-	?	?	-	?	?	-	-
-	-	-	-	-	-	?	-	-	?	?	-	?	?	-	-
-	-	1	0	0	0	?	-	-	?	?	-	?	?	0	-

Bit	Name	Function	S/W	H/W	備考
15-14	XTAL クロック選択	00 : 12MHz入力 01 : 24MHz入力 10 : 48MHz入力 11 : Reserved	R/W	R	3.1.5
13	XCKE 発振バッファ許可	0 : 発振バッファ動作禁止 1 : 発振バッファ動作許可	R/W	R/W(1)	3.1.5 *2)
12	RCKE 基準クロック許可	0 : 基準クロック供給停止 1 : 基準クロック供給許可	R/W	R	3.1.5
11	PLL PLL動作許可	0 : PLL動作禁止 1 : PLL動作許可	R/W	R	3.1.5
10	SCKE 内部クロック許可	0 : 内部クロック供給停止 1 : 内部クロック供給許可	R/W	R	3.1.5
9	何も配置されていません。"0"に固定してください。				
8	ATCKM 自動クロック供給機能許可	低電力スリープ状態からクロック供給します。 0 : 自動クロック供給機能禁止 1 : 自動クロック供給機能許可	R/W	R	3.1.6.6
7	HSE Hi-Speed動作許可	Hi-Speed動作許可を行います。 0 : Hi-Speed動作禁止(Full-Speed) 1 : Hi-Speed動作許可(コントローラーが検出)	R/W	R	3.1.3 *1)
6-5	何も配置されていません。"0"に固定してください。				
4	DPRPU D+ライン抵抗制御	ホストコントローラーに接続通知を行います。 0 : プルアップ禁止 1 : プルアップ許可	R/W	R	3.1.4
3-2	何も配置されていません。"0"に固定してください。				
1	PCUT 低電力スリープ状態許可	0 : 通常動作状態 1 : 低電力スリープ状態	R/W(1)	R/W(0)	3.1.6
0	USBE USBブロック動作許可	0 : USBブロック動作禁止(S/Wリセット) 1 : USBブロック動作許可	R/W	R	2.3.1 3.1.1

注意事項

- *1) Hi-Speed 動作許可(HSE)は、内部クロック供給前に設定してください。
- *2) 低電力スリープ状態から通常動作状態に復帰すると、本コントローラーにより"XCKE=1"が設定されます。

◆ システムコンフィギュレーションステータスレジスタ [SYSSTS]

<アドレス : 02H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
?	?	?	?	?	?	?	?	?	?	?	?	?	?	LNST	?
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	備考
15-2	何も配置されていません。"0"に固定してください。				
1-0	LNST USBデータラインステータス	詳細説明をご覧ください。	R	W	2.3.2

注意事項

特になし

2.3.1 USBブロック動作許可

SYSCFGレジスタのUSBEビットにてUSBブロック動作許可を行ってください。

同ビットで本コントローラーのS/Wリセットが可能です。ユーザーシステムが"USBE=0"を設定時は、本コントローラーがS/Wリセット初期化対象レジスタを初期設定値にリセットします。また"USBE=0"設定中は、ユーザーシステムからのS/Wリセット初期化対象レジスタ、及びビットへの書き込みは行えません。S/Wリセット後"USBE=1"を設定し、本コントローラーの動作を許可してください。

2.3.2 ラインステータスマニタ

表 2.3に本コントローラーのUSBデータバスラインステータス表を示します。本コントローラーは、SYSSTSレジスタのLNSTビットに、USBデータバスのラインステータス(D+ライン、及びD-ライン)をモニタします。LNSTビットは2bit構成です。各ビットの意味は下記表を参照してください。選択されている本コントローラーの機能によって、LNSTビットが有効になるタイミングは異なります。通常動作状態では常にラインステータスのモニタが可能です。低電力スリープ状態ではラインステータスのモニタはできません。

表 2.3 USBデータバスラインステータス表

LNST [1]	LNST [0]	Full-Speed 動作時	Hi-Speed 動作時	Chirp 動作時
0	0	SE0	Squelch	Squelch
0	1	J State	not Squelch	Chirp J
1	0	K State	Invalid	Chirp K
1	1	SE1	Invalid	Invalid

Chirp : Hi-Speed動作許可の状態(HSE = "1")で、リセットハンドシェイクプロトコル実行中
 Squelch : SE0、もしくはIdle状態
 not Squelch : Hi-Speed J State、もしくはHi-Speed K State
 Chirp J : Chirp J State
 Chirp K : Chirp K State

2.4 USB信号制御

◆ デバイスステートコントロールレジスタ [DVSTCTR]

<アドレス : 04H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							WKUP							RHST	
?	?	?	?	?	?	?	0	?	?	?	?	?	?	0	0
?	?	?	?	?	?	?	0	?	?	?	?	?	?	0	0
?	?	?	?	?	?	?	0	?	?	?	?	?	?	-	-
?	?	?	?	?	?	?	0	?	?	?	?	?	?	0	0

Bit	Name	Function	S/W	H/W	備考
15-9	何も配置されていません。"0"に固定してください。				
8	WKUP ウェイクアップ出力	0 : 非出力 1 : リモートウェイクアップ信号出力	R/W(1)	R/W(0)	2.4.1 *1) *2)
7-2	何も配置されていません。"0"に固定してください。				
1-0	RHST リセットハンドシェイク	00 : 通信速度不定 01 : リセットハンドシェイク処理中 10 : Full-Speed動作確定 11 : Hi-Speed動作確定	R	W	2.4.2

注意事項

- *1) WKUP ビットへの"1"書き込みは、デバイスステートがサスペンド("DVSQ=1x")でありかつ USB ホストからリモートウェイクアップが許可されている場合以外は行わないでください。
- *2) WKUP ビットを"1"に設定する場合は、サスペンドであっても内部クロックを停止しないでください。

◆ テストモードレジスタ [TESTMODE]

<アドレス : 06H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													UTST		
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	-	-	-
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-3	何も配置されていません。"0"に固定してください。				
2-0	UTST テストモード	詳細説明をご覧ください。	R/W	R	2.4.3 *3)

注意事項

- *3) UTST ビットは Hi-Speed 動作時のみ有効です。"RHST=11"を確認の上使用してください。

2.4.1 USBデータバス制御

DVSTCTRレジスタの各ビットにて、ユーザーシステムによるUSBデータバスの状態制御及び確認ができます。

WKUPビットは、USBバス上へのリモートウェイクアップ信号出力制御を行うために使用します。本コントローラーは、リモートウェイクアップ信号の出力時間を管理しています。ソフトウェアがWKUPビットに"1"を設定すると、本コントローラーは10msの"K-State"を出力し"WKUP=0"にします。

USB規格では、リモートウェイクアップ信号の送信までに最短5msのUSBバスアイドル状態を保持するため、サスペンド状態を検出した直後に"WKUP=1"を書き込んでも、本コントローラーは2ms待ってからKステートを出力します。

2.4.2 通信速度判別

本コントローラーは、RHSTビットで接続されたホストコントローラーとの通信速度(通信ビットレート)が確認できます。

ユーザーシステムがHi-Speed動作を、禁止状態("HSE=0")に設定している場合は、本コントローラーはリセットハンドシェイクプロトコルを実行せずに、USBバスリセット検出後、直ちにFull-Speed動作確定"RHST=10"となります。Hi-Speed動作を許可状態("HSE=1")に設定している場合は、本コントローラーはリセットハンドシェイクプロトコルを実行(実行中は"RHST=01")し、実行結果をRHSTビットに反映(Hi-Speed動作"RHST=11"、もしくはFull-Speed動作"RHST=10")します。

2.4.3 テストモード

表 2.4に本コントローラーのテストモード動作表を示します。TESTMODEレジスタのUTSTビットでHi-Speed動作時のUSBテスト信号出力を制御します。

表 2.4 テストモード動作表

テストモード	UTSTビット設定
通常動作	000
Test_J	001
Test_K	010
Test_SE0_NAK	011
Test_Packet	100
Reserved	101-111

2.5 外部入出力制御

◆ データピンコンフィグレーションレジスタ [PINCFG]

<アドレス : 0AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LDRV							BIGEND								
0	?	?	?	?	?	?	0	?	?	?	?	?	?	?	?
-	?	?	?	?	?	?	-	?	?	?	?	?	?	?	?
-	?	?	?	?	?	?	-	?	?	?	?	?	?	?	?
-	?	?	?	?	?	?	0	?	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	備考
15	LDRV 出力端子駆動電流制御	0 : VIF=1.6-2.0V時 1 : VIF=2.7-3.6V時	R/W	R	2.5.1
14-9	何も配置されていません。"0"に固定してください。				
8	BIGEND FIFOポートエンディアン	0 : リトルエンディアン 1 : ビッグエンディアン	R/W	R	2.5.2 *1)
7-0	何も配置されていません。"0"に固定してください。				

注意事項

*1) **BIGEND** ビットは全 FIFO ポートに共通です。レジスタアクセスには影響しません。

DMA0CFGレジスタは、DMA0インタフェース用入出力端子、及びD0FIFOポートの制御を、**DMA1CFG**レジスタは、DMA1インタフェース用入出力端子、及びD1FIFOポートの制御を行うレジスタです。

- ◆ DMA0ピンコンフィグレーションレジスタ [**DMA0CFG**] <アドレス : 0CH>
- ◆ DMA1ピンコンフィグレーションレジスタ [**DMA1CFG**] <アドレス : 0EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DREQA	BURST			DACKA		DFORM		DENDA	PKTM	DENDE		OBUS		
?	0	0	?	?	0	0	0	0	0	0	0	?	0	?	?
?	-	-	?	?	-	-	-	-	-	-	-	?	-	?	?
?	-	-	?	?	-	-	-	-	-	-	-	?	-	?	?
?	-	0	?	?	0	0	0	0	0	0	0	?	0	?	?

Bit	Name	Function	S/W	H/W	備考
15	何も配置されていません。"0"に固定してください。				
14	DREQA DREQx_N信号極性選択	DREQx_N端子のアクティブを指定します。 0: "L"アクティブ 1: "H"アクティブ	R/W	R	-
13	BURST バーストモード	0: サイクルスチール転送 1: バースト転送	R/W	R	2.5.3
12-11	何も配置されていません。"0"に固定してください。				
10	DACKA DACKx_N信号極性選択	DACKx_N端子のアクティブを指定します。 0: "L"アクティブ 1: "H"アクティブ	R/W	R	-
9-7	DFORM DMA転送信号選択	011: DACKx_N信号のみ使用(CPUバス) 000: アドレス信号+RD_N/WRx_N信号 を使用(CPUバス) 010: DACKx_N+RD_N/WRx_N信号を使用 (CPUバス) 100: DACKx_N信号を使用(SPLITバス) 110: DACK0_N+DSTB0_N信号を使用 (SPLITバス) 001、101、111: Reserved	R/W	R	3.4.3.2 *3)
6	DENDA DENDx_N信号極性選択	DENDx_N端子のアクティブを指定します。 0: "L"アクティブ 1: "H"アクティブ	R/W	R	-
5	PKTM パケットモード	0: トランスファー単位にDENDx_N信号をアサート 1: バッファサイズ分のデータ転送毎に DENDx_N信号をアサート	R/W	R	2.5.3 3.4.3.4 *2)
4	DENDE DENDx_N信号許可	0: DENDx_N信号禁止(Hi-z出力) 1: DENDx_N信号許可	R/W	R	2.5.3 3.4.3.4
3	何も配置されていません。"0"に固定してください。				
2	OBUS OBUS動作禁止	0: OBUSモードを許可 1: OBUSモードを禁止	R/W	R	3.5
1-0	何も配置されていません。"0"に固定してください。				

注意事項

- *2) **PKTM** ビットはデータ受信方向(バッファメモリ読み出し)設定時のみ有効です。DxFIFOポートを、データ書き込み方向で使用する場合は "PKTM=0"を設定してください。
- *3) "DFORM=110"の設定はDMAチャンネル0設定時のみ有効です。
また、"DFORM=001"、"DFORM=101"及び"DFORM=111"の設定は行わないでください。

2.5.1 出力端子駆動電流制御

出力端子の駆動能力は、VIF電源に合わせてPINCFGレジスタのLDRVビットにて設定してください。

出力端子とは、SD7-0、D15-0、INT_N、DREQx_N、DENDx_N、SOF_N端子を示します。

2.5.2 FIFOポートアクセスエンディアン

表 2.5及び表 2.6に本コントローラーのバイトエンディアン動作表を示します。本コントローラーはリトルエンディアンです。エンディアンの異なるCPUとの接続時は、PINCFGレジスタのBIGENDビットにてFIFOポートアクセスエンディアン選択してください。

表 2.5 16bitアクセス時のエンディアン動作表

BIGEND	b15 – b8	b7 – b0
0	奇数アドレス	偶数アドレス
1	偶数アドレス	奇数アドレス

表 2.6 8bitアクセス時のエンディアン動作表

BIGEND	b15 – b8	b7 – b0
0	書き込み：無効 読み出し：無効	書き込み：有効 読み出し：有効
1	書き込み：有効 読み出し：有効	書き込み：無効 読み出し：無効

2.5.3 DMA信号制御

DMAインタフェースでデータ転送を行う場合は、DMAxCFGレジスタのBURSTビット、PKTMビット、DENDEビット、及びOBUSビットでユーザーシステムに合わせたDMAインタフェース動作選択(DREQx_N信号、及びDENDx_N信号のアサート、ネゲート及びDMA転送モード設定)を行ってください。DMA信号は、後述のDxFIFOSELレジスタのDREQEビットでDMA転送が許可中に選択しているパイプに対して有効です。パイプのパッファメモリがパッファレディ(BRDY)状態となることでDREQx_N端子がアサートされます。

2.6 FIFOポート

本コントローラーの送受信バッファメモリはFIFO構造となっています。バッファメモリへのアクセスはFIFOポートレジスタを使用してください。FIFOポートはCFIFOポート、D0FIFOポート、及びD1FIFOポートの3ポートがあります。各FIFOポートはバッファメモリへのデータ読み書きを行うポートレジスタ、FIFOポートに割り当てるパイプを選択する選択レジスタ、コントロールレジスタ、及びポート機能に特化したレジスタ(CFIFOポート専用のSIEレジスタとDxFIFOポート専用のトランザクションカウンタレジスタ)で構成されます。

各FIFOポートには下記に示す注意事項があります。また、詳細は3.4_バッファメモリを参照してください。

- (1) DCPバッファメモリアクセスはCFIFOポート以外ではアクセスできません。
- (2) DMA転送によるバッファメモリアクセスはDxFIFOポート以外ではアクセスできません。
- (3) CPUによるDxFIFOポートアクセスでもDxFIFOポートの機能、及び制限に従う必要があります。
(トランザクションカウンタの利用等)
- (4) FIFOポート固有の機能を使用する場合は選択パイプを変更できません。
(トランザクションカウンタの利用、DMA関連端子への信号入出力等)
- (5) FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
- (6) 同一パイプを別々のFIFOポートへ割り当てないで下さい。
- (7) バッファメモリ状況には、アクセス権がCPU側にある場合とSIE側にある場合があります。バッファメモリのアクセス権がSIE側にある場合は、CPUから正しいアクセスができません。
- (8) FIFOポートで選択されているパイプ(“CURPIPE”の指定パイプ)のパイプコンフィグレーションは変更しないでください。

- ◆ CFIFOポートレジスタ [CFIFO] <アドレス : 10H>
- ◆ D0FIFOポートレジスタ [D0FIFO] <アドレス : 14H>
- ◆ D1FIFOポートレジスタ [D1FIFO] <アドレス : 18H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFOPORT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-0	FIFOPORT FIFOポート	受信データをバッファメモリからのリード、もしくは送信データをバッファメモリにライトします。	R/W	R/W	3.4 *1)

注意事項

- *1) DCP は CFIFO ポート以外では、バッファメモリへアクセスできません。
DMA転送によるバッファメモリアクセスはD0FIFOポートとD1FIFOポート以外では行えません。

- ◆ CFIFOポート選択レジスタ [CFIFOSEL] <アドレス : 1EH>
- ◆ D0FIFOポート選択レジスタ [D0FIFOSEL] <アドレス : 24H>
- ◆ D1FIFOポート選択レジスタ [D1FIFOSEL] <アドレス : 2AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW	DCLRM	DREQE		MBW	TRENB	TRCLR	DEZPM		ISEL				CURPIPE	
0	0	0	0	?	0	0	0	0	?	0	?	?	0	0	0
0	0	0	0	?	0	0	0	0	?	0	?	?	0	0	0
-	-	-	-	?	-	-	-	-	?	-	?	?	-	-	-
0	0	0	0	?	0	0	0	0	?	0	?	?	0	0	0

Bit	Name	Function	S/W	H/W	備考
15	RCNT リードカウントモード	0: 全受信データ読み出しでDTLNビットクリア 1: 受信データ読み出しでDTLNビットカウントダウン	R/W	R	3.4.2
14	REW バッファポインタリワインド	0: 無効 1: バッファポインタリワインドする	R(0)/W	R/W(0)	3.4.2
13	DCLRM 指定パイプのデータ読み出し後 自動バッファメモリクリアモード	0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W	R	3.4.3 *2)
12	DREQE DREQ信号出力許可	0: 出力禁止 1: 出力許可	R/W	R	3.4.3 *2)
11	何も配置されていません。"0"に固定してください。				
10	MBW FIFOポートアクセスビット幅	0: 8ビット幅 1: 16ビット幅	R/W	R	3.4.2 *4)
9	TRENB トランザクションカウンタ許可	0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効	R/W	R	3.4.2 *2)
8	TRCLR トランザクションカウンタクリア	0: 無効 1: カレントカウンタクリア	R(0)/ W(1)	R	3.4.2 *2)
7	DEZPM Zero-Lengthパケット付加モード	0: 付加なし 1: 付加あり	R/W	R	3.4.3 *2)
6	何も配置されていません。"0"に固定してください。				
5	ISEL DCP選択時のFIFOポートアクセス方向	0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択	R/W	R	3.4 *3)
4-3	何も配置されていません。"0"に固定してください。				
2-0	CURPIPE FIFOポートアクセスパイプ指定	000: DCP / 指定なし 001: PIPE1 010: PIPE2 011: PIPE3 100: PIPE4 101: PIPE5 110: PIPE6 111: PIPE7	R/W	R	3.4 *5)

注意事項

- *2) DCLRM ビット、DREQE ビット、TRENB ビット、TRCLR ビット、及び DEZPM ビットは、D0/D1FIFOSEL レジスタで有効です。
DCLRM ビット、TRENB ビット、及び TRCLR ビットは、CURPIPE ビットに指定した PIPE が受信方向(バッファメモリ読み出し)設定時に有効です。
DEZPM ビットは、CURPIPE ビットに指定した PIPE が送信方向(バッファメモリ書き込み)設定時に有効です。
- *3) ISEL ビットは、CFIFO ポート選択レジスタで DCP 選択時のみ有効です。
また、ソフトウェアでの ISEL ビットへの設定は、下記(a)または(b)いずれかの手順で行ってください。
(a) CURPIPE ビットへの DCP 設定("CURPIPE=0")と ISEL ビットへの設定を同時に書き込む。
(b) CURPIPE ビットへの DCP 設定("CURPIPE=0")後、200ns 待ってから ISEL ビットへの設定を行う。
- *4) 一旦バッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。また、バッファメモリへの書き込み処理実行中に 8bit 幅から 16bit 幅へのビット幅切り替えは行えません。
- *5) D0/D1FIFOSEL レジスタで "CURPIPE=0"はパイプ指定なしとなります。また、DREQ 出力許可状態でパイプ番号の変更は行わないでください。

- ◆ CFIFOポートコントロールレジスタ [CFIFOCTR] <アドレス : 20H>
- ◆ D0FIFOポートコントロールレジスタ [D0FIFOCTR] <アドレス : 26H>
- ◆ D1FIFOポートコントロールレジスタ [D1FIFOCTR] <アドレス : 2CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BVAL	BCLR	FRDY	?	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	?	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	?	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	?	-	-	-	-	-	-	-	-	-	-	-	-
0	0	0	?	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15	BVAL バッファメモリ有効フラグ	0: 無効 1: 書き込み終了	R/ W(1)	R/W	3.4.2 *6)
14	BCLR CPUバッファクリア	0: 無効 1: CPU側バッファメモリクリア	R(0)/ W(1)	R/W(0)	3.4 *7), *8)
13	FRDY FIFOポートレディ	0: FIFOポートアクセス不可 1: FIFOポートアクセス可能	R	W	3.4 *9)
12	何も配置されていません。"0"に固定してください。				
11-0	DTLN 受信データ長	受信データ長が確認できます。	R	W	3.4.2 3.4.4 *7)

注意事項

- *6) BVAL ビットへの"1"書き込みは、データパケット送出方向時(バッファメモリ書き込み時)に有効です。受信方向時は "BVAL=0"を設定してください。
- *7) BCLR ビット及び DTLN ビットは、CPU 側バッファメモリに対して有効です。"BCLR=1"設定もしくは DTLN ビットの参照は、"FRDY=1"を確認後に実施してください。
- *8) BCLR ビットによるバッファクリアはパイプコンフィギュレーションでパイプ無効状態("PID=NAK")に設定の上、行ってください。
- *9) FRDY ビットはパイプ選択後 450ns 以上のアクセスサイクルが必要です。

- ◆ CFIFOポートSIEレジスタ [CFIFOSIE] <アドレス : 22H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TGL	SCLR	SBUSY	?	?	?	?	?	?	?	?	?	?	?	?	?
0	0	0	?	?	?	?	?	?	?	?	?	?	?	?	?
0	0	0	?	?	?	?	?	?	?	?	?	?	?	?	?
-	-	-	?	?	?	?	?	?	?	?	?	?	?	?	?
0	0	0	?	?	?	?	?	?	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	備考
15	TGL アクセス権切り替え	0: 無効 1: アクセス権切り替え	R(0)/ W(1)	R/W(0)	3.4.2 *10)
14	SCLR SIEバッファクリア	0: 無効 1: SIE側バッファメモリクリア	R(0)/ W(1)	R/W(0)	3.4 *11)
13	SBUSY SIEバッファビジー	0: SIEがアクセスしていない状態 1: SIEがアクセスしている状態	R	W	3.4.2
12-0	何も配置されていません。"0"に固定してください。				

注意事項

- *10) TGL ビットはSIE 側にあるバッファメモリをCPU 側にする機能です。"PID=NAK"を設定し SBUSY ビットでSIE がバッファアクセスしていない("SBUSY=0")ことを確認の上、TGL ビットの書き込み(トグル操作)を行ってください。また、このビットは受信方向(バッファメモリ読み出し)設定パイプにのみ有効です。
- *11) SCLR ビットはSIE 側にあるバッファメモリをクリアする機能です。"PID=NAK" を設定し SBUSY ビットでSIE がバッファアクセスしていない("SBUSY=0")ことを確認の上、バッファクリアを行ってください。なお、このビットは送信方向(バッファメモリ書き込み)設定パイプにのみ有効です。

◆ D0トランザクションカウンタレジスタ [D0FIFOTRN]

<アドレス : 28H>

◆ D1トランザクションカウンタレジスタ [D1FIFOTRN]

<アドレス : 2EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRNCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-0	TRNCNT トランザクションカウンタ	W : DMA転送のトランザクション回数設定 R : トランザクション回数読み出し	R/W	R	3.4.2 *12)

注意事項

- *12) トランザクションカウンタはバッファメモリからデータを読み出す場合に有効です。
カウント中のトランザクション回数が読み出せるのは **DxFIFOSEL** レジスタの **TRENB** ビットが"1"の場合に限ります。
"TRENB=0"の場合は設定したトランザクション回数が読み出せません。

2.7 割り込み許可

◆ 割り込み許可レジスタ0 [INTENB0]

<アドレス：30H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15	VBSE VBUS割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.9 2.7.1 2.7.4
14	RSME レジューム割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.10 2.7.1 2.7.4
13	SOFE フレーム番号更新割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.8 2.7.1
12	DVSE デバイス状態遷移割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.6 2.7.1 2.7.2
11	CTRE コントロール転送ステージ遷移割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.7 2.7.1 2.7.3
10	BEMPE バッファエンプティ割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.5 2.7.1
9	NRDYE バッファノットレディ応答割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.4 2.7.1
8	BRDYE バッファレディ割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.3 2.7.1
7	URST デフォルト状態遷移通知許可	0: デフォルト状態遷移時DVST割り込み禁止 1: デフォルト状態遷移時DVST割り込み許可	R/W	R	3.2.6 2.7.2
6	SADR アドレス状態遷移通知許可	0: アドレス状態遷移時DVST割り込み禁止 1: アドレス状態遷移時DVST割り込み許可	R/W	R	3.2.6 2.7.2
5	SCFG コンフィグレーション状態遷移通知許可	0: コンフィグレーション状態遷移時DVST割り込み禁止 1: コンフィグレーション状態遷移時DVST割り込み許可	R/W	R	3.2.6 2.7.2
4	SUSP サスペンド状態遷移通知許可	0: サスペンド状態遷移時DVST割り込み禁止 1: サスペンド状態遷移時DVST割り込み許可	R/W	R	3.2.6 2.7.2
3	WDST コントロールライト転送ステータスステージ遷移通知許可	0: コントロールライト転送ステータスステージ遷移時CTRST割り込み禁止 1: コントロールライト転送ステータスステージ遷移時CTRSTステージ割り込み許可	R/W	R	3.2.7 2.7.3
2	RDST コントロールリード転送ステータスステージ遷移通知許可	0: コントロールリード転送ステータスステージ遷移時CTRST割り込み禁止 1: コントロールリード転送ステータスステージ遷移時CTRST割り込み許可	R/W	R	3.2.7 2.7.3
1	CMPL コントロール転送終了通知許可	0: コントロール転送終了検出時CTRSTステージ割り込み禁止 1: コントロール転送終了検出時CTRSTステージ割り込み許可	R/W	R	3.2.7 2.7.3

Bit	Name	Function	S/W	H/W	備考
0	SERR コントロール転送シーケンスエラー通知 許可	0: コントロール転送シーケンスエラー検出 時CTRTR割り込み禁止 1: コントロール転送シーケンスエラー検出 時CTRTR割り込み許可	R/W	R	3.2.7 2.7.3

注意事項

特になし

◆ 割り込み許可レジスタ1 [INTENB1]

<アドレス : 32H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
?	?	?	?	?	?	?	?	?	?	?	?	?	BRDYM	INTL	PCSE
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	-	-	0
?	?	?	?	?	?	?	?	?	?	?	?	?	-	-	-
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	-

Bit	Name	Function	S/W	H/W	備考
15-3	何も配置されていません。"0"に固定してください。				
2	BRDYM 各パイプのBRDY割り込みステータスク リアタイミング制御	0: ソフトウェアがステータスをクリア 1: FIFOバッファの読み出しまたはFIFOバッ ファへの書き込み動作により本コントロー ラーがステータスをクリア	R/W	R	3.2.3 *1)
1	INTL 割り込み出力センス制御	0: エッジセンス 1: レベルセンス	R/W	R	3.2.1
0	PCSE 低電力スリープからの復帰要因選択	0: USBレジューム検出、サスペンド中のVBUS 割込み検出、またはCS_N信号入力により復帰 1: USBレジューム検出またはサスペンド中の VBUS割込み検出により復帰	R/W	R	3.1.6*2)

注意事項

- *1) "BRDYM=1"に設定して本コントローラーを使用する場合は、割り込み出力をレベルセンス("INTL=1")に設定してください。本コントローラーの INT_L 割り込みをエッジセンスで使用する場合は、本ビットを"1"に設定しないで下さい。
- *2) 本ビットの設定は、"USBE=1"を設定した後で行ってください。

◆ BRDY割り込み許可レジスタ [BRDYENB]

<アドレス : 36H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								PIPEBRDYE							
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	-	-	-	-	-	-	-	-
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-8	何も配置されていません。"0"に固定してください。				
7-0	PIPEBRDYE 各パイプのBRDY割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.3 2.7.1 *3)

注意事項

*3) ビット番号がパイプ番号に該当します。

◆ NRDY割り込み許可レジスタ [NRDYENB]

<アドレス : 38H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								PIPENRDYE							
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	-	-	-	-	-	-	-	-
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-8	何も配置されていません。"0"に固定してください。				
7-0	PIPENRDYE 各パイプのNRDY割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.4 2.7.1 *4)

注意事項

*4) ビット番号がパイプ番号に該当します。

◆ BEMP割り込み許可レジスタ [BEMPENB]

<アドレス : 3AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								PIPEBEMPE							
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	-	-	-	-	-	-	-	-
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-8	何も配置されていません。"0"に固定してください。				
7-0	PIPEBEMPE 各パイプのBEMP割り込み許可	0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	3.2.5 2.7.1 *5)

注意事項

*5) ビット番号がパイプ番号に該当します。

2.7.1 割り込みマスク

INTENB0レジスタのVBSEビット、RSMEビット、SOFEビット、DVSEビット、CTREビット、BEMPEビット、NRDYEビット、及びBRDYEビットは、割り込みマスクビットです。各ビットを設定することによりINT_N端子に対する割り込み信号出力の許可、もしくは禁止を設定してください。

BRDYENBレジスタ、NRDYENBレジスタ、及びBEMPENBレジスタは、各パイプに対応したBRDY割り込みマスクビット、NRDY割り込みマスクビット、及びBEMP割り込みマスクビットです。詳細は3.2_割り込み機能を参照して下さい。

2.7.2 デバイスステート遷移割り込み

INTENB0レジスタのURSTビット、SADRビット、SCFGビット、及びSUSPビットは、デバイスステート遷移割り込み(DVST)の割り込み要因マスクビットです。デバイスステート遷移割り込みを発生させたい要因に対応するビットに"1"を設定してください。

各要因が禁止の場合は、当該要因によるデバイスステート遷移割り込みは発生しません。ただし、デバイスステート(DVSQ)は状態に合わせて変化します。詳細は3.2_割り込み機能を参照して下さい。

2.7.3 コントロール転送ステージ遷移割り込み

INTENB0レジスタのWDSTビット、RDSTビット、CMPLビット、及びSERRビットにてコントロール転送ステージ遷移割り込み(CTRT)の割り込み要因マスクビットです。コントロール転送ステージ遷移割り込みを発生させたい要因に対応するビットに"1"を設定してください。

各要因が禁止の場合は、当該要因によるコントロール転送ステージ遷移割り込みは発生しません。詳細は3.2_割り込み機能を参照して下さい。

2.7.4 低電力スリープ状態での動作

VBSE、RSMEは、低電力スリープ状態時も割り込みが発生します。

2.8 SOF制御レジスタ

◆ SOFピンコンフィグレーションレジスタ [SOFCFG]

<アドレス : 3CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
?	?	?	?	?	?	?	?	?	?	?	?	0	0	?	?
?	?	?	?	?	?	?	?	?	?	?	?	-	-	?	?
?	?	?	?	?	?	?	?	?	?	?	?	0	0	?	?

Bit	Name	Function	S/W	H/W	備考
15-4	何も配置されていません。"0"に固定してください。				
3-2	SOFM SOF_N端子機能設定	SOFパルス出力モードを選択します 00 : SOF出力禁止 01 : 1ms単位でSOF出力 10 : 125us単位でμSOF出力 11 : Reserved	R/W	R	3.10.1 *1), *2)
1-0	何も配置されていません。"0"に固定してください。				

注意事項

- *1) フルスピード動作の場合("HSE=0"を設定した場合、もしくはリセットハンドシェイクの結果 RHST ビットが "RHST=10"を示す場合)は、"SOFM=10"を設定しないでください。
- *2) 本ビットは、リセットハンドシェイク終了後、もしくは低電力スリープ状態からの復帰時に設定し、以後 USB 通信中は変更しないでください。

2.9 割り込みステータス

◆ 割り込みステータスレジスタ0 [INTSTS0]

<アドレス：40H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ			VALID	CTSQ		
0	0	0	0	0	0	0	0	?	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	-	0	0	0	0	0	0	0
-	-	-	1	-	-	-	-	-	0	0	1	0	-	-	-
-	-	0	0	0	0	0	0	?	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15	VBINT VBUS割り込みステータス	0: VBUS割り込み非発生 1: VBUS割り込み発生	R/W	W	3.2.9 *3)
14	RESM レジューム割り込みステータス	0: レジューム割り込み非発生 1: レジューム割り込み発生	R/W	W	3.2.10 *3)
13	SOFR フレーム番号更新割り込みステータス	0: SOF割り込み非発生 1: SOF割り込み発生	R/W(0)	W	3.2.8 *3)
12	DVST デバイスステート遷移割り込みステータス	0: デバイスステート遷移割り込み非発生 1: デバイスステート遷移割り込み発生	R/W(0)	W	3.2.6 *3)
11	CTRT コントロール転送ステージ遷移割り込みステータス	0: コントロール転送ステージ遷移割り込み非発生 1: コントロール転送ステージ遷移割り込み発生	R/W(0)	W	3.2.7 *3)
10	BEMP バッファエンプティ割り込みステータス	0: BEMP割り込み非発生 1: BEMP割り込み発生	R	W	3.2.5 *1)
9	NRDY バッファノットレディ割り込みステータス	0: NRDY割り込み非発生 1: NRDY割り込み発生	R	W	3.2.4 *1)
8	BRDY バッファレディ割り込みステータス	0: BRDY割り込み非発生 1: BRDY割り込み発生	R	W	3.2.3 *1)
7	VBSTS VBUS入力ステータス	0: VBUS端子が"L"レベル 1: VBUS端子が"H"レベル	R	W	3.2.9 *2)
6-4	DVSQ デバイスステート	000: Poweredステート 001: Defaultステート 010: Addressステート 011: Configuredステート 1xx: Suspendedステート	R	W	3.2.6
3	VALID セットアップパケット受信	0: 未検出 1: セットアップパケット受信	R/W(0)	W	3.6.1
2-0	CTSQ コントロール転送ステージ	000: アイドルまたはセットアップステージ 001: コントロールリードデータステージ 010: コントロールリードステータスステージ 011: コントロールライトデータステージ 100: コントロールライトステータスステージ 101: コントロールライト(NoData)ステータスステージ 110: コントロール転送シーケンスエラー 111: Reserved	R	W	3.2.7

注意事項

- *1) BEMP、BRDY、及びNRDYビットは、各要因パイプ判別レジスタの全要因が解除された場合にクリアされます。
- *2) VBSTSビットによるVBUS入力ステータスは、ソフトウェアによるチャタリング除去が必要です。
- *3) VBINTビット、RESMビット、SOFRビット、DVSTビット、及びCTRTビットのうち複数要因が発生している場合に、各ビットを同時ではなく連続してクリアする時には、100ns以上のアクセスサイクルが必要です。

◆ BRDY割り込みステータスレジスタ [BRDYSTS]

<アドレス : 46H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								PIPEBRDY							
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	-	-	-	-	-	-	-	-
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-8	何も配置されていません。"0"に固定してください。				
7-0	PIPEBRDY 各パイプのBRDY割り込みステータス	0: 割り込み非発生 1: 割り込み発生	R/W(0)	W(1)	3.2.3 *4)

注意事項

- *4) ビット番号がパイプ番号に該当します。また、複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアする時には、100ns以上のアクセスサイクルが必要です。

◆ NRDY割り込みステータスレジスタ [NRDYSTS]

<アドレス : 48H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								PIPENRDY							
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	-	-	-	-	-	-	-	-
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-8	何も配置されていません。"0"に固定してください。				
7-0	PIPENRDY 各パイプのNRDY割り込み	0: 割り込み非発生 1: 割り込み発生	R/W(0)	W(1)	3.2.4 *5)

注意事項

- *5) ビット番号がパイプ番号に該当します。また、複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアする時には、100ns以上のアクセスサイクルが必要です。

◆ BEMP割り込みステータスレジスタ [BEMPSTS]

<アドレス : 4AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								PIPEBEMP							
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	-	-	-	-	-	-	-	-
?	?	?	?	?	?	?	?	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-8	何も配置されていません。"0"に固定してください。				
7-0	PIPEBEMP 各パイプのBEMP割り込み	0: 割り込み非発生 1: 割り込み発生	R/W(0)	W(1)	3.2.5 *6)

注意事項

- *6) ビット番号がパイプ番号に該当します。また、複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアする時には、100ns以上のアクセスサイクルが必要です。

2.10 フレーム番号レジスタ

◆ フレームナンバレジスタ [FRMNUM]

<アドレス：4CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVRN	CRCE			SOFRM											
0	0	?	?	0	0	0	0	0	0	0	0	0	0	0	0
0	0	?	?	0	0	0	0	0	0	0	0	0	0	0	0
-	-	?	?	-	-	-	-	-	-	-	-	-	-	-	-
0	0	?	?	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15	OVRN オーバーラン/アンダーラン	0: エラーなし 1: エラー発生	R/W(0)	W	2.10.1
14	CRCE 受信データエラー	0: エラーなし 1: エラー発生	R/W(0)	W	2.10.1
13-12	何も配置されていません。"0"に固定してください。				
11	SOFRM フレーム番号更新割り込み出力モード	0: SOF受信、タイマ補間で割り込みアサート 1: SOF破損、欠落時に割り込みアサート	R/W	R	2.10.2 3.2.7 *1)
10-0	FRNM フレーム番号	フレーム番号が確認できます。	R	W	2.10.2

注意事項

*1) フレーム番号更新割り込みは、"UFRNM=0"以外のμSOF パケット検出では発生しません。

◆ μフレームナンバレジスタ [UFRMNUM]

<アドレス：4EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													UFRNM		
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	-	-	-
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-3	何も配置されていません。"0"に固定してください。				
2-0	UFRNM μフレーム	μフレーム番号が確認できます。	R	W	2.10.2 3.10 *2)

注意事項

*2) Full-Speed 動作時には、このビットでは常に"000"が読み出されます。

2.10.1 アイソクロナスエラー

本コントローラーは、FRMNUMレジスタのOVRNビット、及びCRCEビットにてアイソクロナス転送のデータ転送エラー情報を通知します。アイソクロナス転送中のパイプに対するNRDY割り込みによるエラー通知の要因が、データバッファエラーなのか、もしくはパケットエラーかを判別することが可能です。

表 2.7、表 2.8に、本コントローラーが、OVRNビット、及びCRCEビットを"1"にセットする条件を示します。

表 2.7 アイソクロナスOUT転送におけるNRDY割り込み発生時のエラー情報

ビットステータス	発生タイミング	発生条件	検出エラー	動作
"OVRN=1"	データパケットを受信	バッファメモリ読み出し完了前に新たなデータパケットを受信した	受信データバッファのオーバーラン	受信データを破棄
"CRCE=1"	データパケットを受信	CRCエラー、または、ビットスタッフィングエラーを検出した	受信パケットエラー	受信データを破棄

表 2.8 アイソクロナスIN転送におけるNRDY割り込み発生時のエラー情報

ビットステータス	発生タイミング	発生条件	検出エラー	動作
"OVRN=1"	IN-Token 受信	バッファメモリ書き込み完了前に IN-Token を受信した	送信データバッファのアンダーラン	Zero-Length パケット送出
"CRCE=1"	発生しません			

2.10.2 SOF割り込みとフレーム番号

FRMNUMレジスタのSOFRMビットにてSOFR割り込み動作モードを選択してください。また、FRMNUMレジスタのFRNMビット、及びUFRNUMレジスタのUFRNMビットにて現在のフレーム番号を確認できます。

本コントローラーは、SOFパケット受信タイミングでフレーム番号を更新します。パケット破損等により本コントローラーがSOFパケットを検出できない場合には、新しいSOFパケットを受信するまでFRNMの値を保持します。

この時、SOF補間タイマによるFRNMビットの更新は行いません。また、μSOFパケットの受信により、UFRNMビットをインクリメントします。

2.11 USBアドレス(低電力リカバリ)

◆ USBアドレス/低電力ステータスリカバリレジスタ [RECOVER]

<アドレス : 50H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					STSRECOV				USBADDR						
?	?	?	?	?	0	0	0	?	0	0	0	0	0	0	0
?	?	?	?	?	-	-	-	?	0	0	0	0	0	0	0
?	?	?	?	?	-	-	-	?	0	0	0	0	0	0	0
?	?	?	?	?	0	0	0	?	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-11	何も配置されていません。"0"に固定してください。				
10-8	STSRECOV ステータスリカバ-	低電力スリープ状態時のステータスリカバ- 000 : reserved 001 : Full-Speed Defaultステート 010 : Full-Speed Addressステート 011 : Full-Speed Configuredステート 100 : reserved 101 : Hi-Speed Defaultステート 110 : Hi-Speed Addressステート 111 : Hi-Speed Configuredステート	R/W	R	3.1.5 *1)
7	何も配置されていません。"0"に固定してください。				
6-0	USBADDR USBアドレス	USBアドレス確認及びアドレス復帰	R/W	R/W	3.1.5 *1)

注意事項

- *1) 低電力スリープ状態から通常モードに復帰した場合は、通信速度、デバイスステート、及びUSBアドレスをソフトウェアでバックアップした値に復帰させる必要があります。なお、"STSRECOV=x00"の設定は行わないでください。

2.12 USBリクエストレジスタ

USBリクエストレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。受信したUSBリクエストの値が格納されます。

◆ USBリクエストタイプレジスタ [USBREQ]

<アドレス : 54H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Brequest								bmRequestType							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-8	bRequest リクエスト	USBリクエストbRequestの値を格納。	R	W	3.6.1
7-0	bmRequestType リクエストタイプ	USBリクエストbmRequestTypeの値を格納。	R	W	3.6.1

注意事項

特になし

◆ USBリクエストバリュージェジスタ [USBVAL]

<アドレス : 56H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wValue															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-0	wValue バリュー	USBリクエストwValueの値を格納。	R	W	3.6.1

注意事項

特になし

◆ USBリクエストインデックスレジスタ [USBINDX]

<アドレス : 58H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Windex															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-0	wIndex インデックス	USBリクエストwIndexの値を格納。	R	W	3.6.1

注意事項

特になし

◆ USBリクエストレンゲスレジスタ [USBLENG]

<アドレス : 5AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wLength															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-0	wLength レンゲス	USBリクエストwLengthの値を格納。	R	W	3.6.1

注意事項

特になし

2.13 DCPコンフィグレーション

コントロール転送でデータ通信を行う場合は、デフォルトコントロールパイプを用いてください。

◆ DCPコンフィグレーションレジスタ [DCPCFG]

<アドレス : 5CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CNTMD								
?	?	?	?	?	?	?	0	?	?	?	?	?	?	?	?
?	?	?	?	?	?	?	0	?	?	?	?	?	?	?	?
?	?	?	?	?	?	?	-	?	?	?	?	?	?	?	?
?	?	?	?	?	?	?	0	?	?	?	?	?	?	?	?

Bit	Name	Function	S/W	H/W	備考
15-9	何も配置されていません。"0"に固定してください。				
8	CNTMD 連続転送モード	0: 非連続転送モード 1: 連続転送モード	R/W	R	3.4.1 *1)
7-0	何も配置されていません。"0"に固定してください。				

注意事項

- *1) DCP バッファメモリはコントロールリード転送、及びコントロールライト転送で共通バッファを使用するため、CNTMD ビットはどちらの転送方向でも共通のビットになります。

◆ DCPマックスパケットサイズレジスタ [DCPMAXP]

<アドレス : 5EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									MXPS						
?	?	?	?	?	?	?	?	?	1	0	0	0	0	0	0
?	?	?	?	?	?	?	?	?	1	0	0	0	0	0	0
?	?	?	?	?	?	?	?	?	-	-	-	-	-	-	-
?	?	?	?	?	?	?	?	?	1	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-7	何も配置されていません。"0"に固定してください。				
6-0	MXPS マックスパケットサイズ	DCPのマックスパケットサイズを指定します。	R/W	R	3.3.3 *2)

注意事項

- *2) USB 規格以外の設定は行わないでください。また、b2-b0 は"0"に固定されているため、書き込みは無効です。

◆ DCPコントロールレジスタ [DCPCTR]

<アドレス : 60H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS							SQCLR	SQSET	SQMON				CCPL	PID	
0	?	?	?	?	?	?	0	0	1	?	?	?	0	0	0
0	?	?	?	?	?	?	0	0	1	?	?	?	0	0	0
-	?	?	?	?	?	?	-	-	-	?	?	?	0	0	0
0	?	?	?	?	?	?	0	0	1	?	?	?	0	0	0

Bit	Name	Function	S/W	H/W	備考
15	BSTS バッファステータス	0: バッファアクセス不可 1: バッファアクセス可	R	W	3.4.1 *3)
14-9	何も配置されていません。"0"に固定してください。				
8	SQCLR トグルビットクリア	0: 無効 1: DATA0指定	R(0)/ W(1)	R	3.3.6 *3), *5)
7	SQSET トグルビットセット	0: 無効 1: DATA1指定	R(0)/ W(1)	R	3.3.6 *3), *5)
6	SQMON トグルビット確認	0: DATA0 1: DATA1	R	W	3.3.6 *3), *5), *7)
5-3	何も配置されていません。"0"に固定してください。				
2	CCPL コントロール転送終了許可	0: 無効 1: コントロール転送終了	R(0)/ W(1)	R/W(0)	3.6 *4)
1-0	PID 応答PID	00: NAK応答 01: BUF応答(バッファ状態に従う) 10: STALL応答 11: STALL応答	R/W	R/W	3.3.4 *8)

注意事項

- *3) バッファアクセスの方向が書き込みなのか読み出しなのかは、ISEL ビットの設定値によって決まります。詳細は3章を参照してください。
- *4) CCPL ビットは SETUP トークン受信直後に"0"にクリアされます。
- *5) SQCLR ビットまたは SQSET ビット、及び PIPEXCTR レジスタの SQCLR ビットまたは SQSET ビットを連続して変更する場合(複数パイプのデータ PID シーケンストグルビットを連続して変更する場合には、200ms 以上のアクセスサイクルが必要です。
- *6) SQCLR ビット、及び SQSET ビットを同時に"1"と設定しないでください。なお、どちらのビット操作も"PID=NAK"に設定の上、行ってください。
- *7) SQMON ビットは、コントロール転送の SETUP トークン受信直後に、本コントローラーにより"1"に初期化されません。
- *8) PID ビットは SETUP トークン受信直後に"00"にクリアされます。

2.14 パイプコンフィグレーションレジスタ

PIPE1-7の設定は、PIPESELレジスタ、PIPECFGレジスタ、PIPEBUFレジスタ、PEPMAXPレジスタ、PIPEPERIレジスタ、及びPIPExCTRレジスタで行ってください。

PIPESELレジスタにて使用するパイプを選択した後、PIPECFGレジスタ、PIPEBUFレジスタ、PEPMAXPレジスタ、及びPIPEPERIレジスタに、各パイプの機能設定を行います。なお、PIPExCTRレジスタは、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

H/Wリセット、S/Wリセット、USBバスリセット、及び低電力スリープ状態移行時は、選択されているパイプだけではなくすべてのパイプの該当ビットが初期化されます。

◆ パイプウィンドウ選択レジスタ [PIPESEL]

<アドレス：64H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	-	-	-
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-3	何も配置されていません。"0"に固定してください。				
2-0	PIPESEL パイプウィンドウ選択	000 : 未選択 001 : PIPE1 010 : PIPE2 011 : PIPE3 100 : PIPE4 101 : PIPE5 110 : PIPE6 111 : PIPE7	R/W	R	3.3 *1) *2)

注意事項

*1) "PIPESEL=000"設定時は、上記の関連レジスタの各ビットに、すべて"0"が読み出されます。

*2) CURPIPEで選択しているパイプは指定しないでください。

◆ パイプコンフィギュレーションレジスタ [PIPECFG]

<アドレス : 66H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE					BFRE	DBLB	CNTMD	SHTNAK			DIR	EPNUM			
0	0	?	?	?	0	0	0	0	?	?	0	0	0	0	0
0	0	?	?	?	0	0	0	0	?	?	0	0	0	0	0
0	0	?	?	?	-	-	-	-	?	?	-	-	-	-	-
0	0	?	?	?	0	0	0	0	?	?	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-14	TYPE 転送タイプ	00: パイプ使用不可 01: バルク転送 10: インタラプト転送 11: アイソクロナス転送	R/W	R	3.3.1 *3)
13-11	何も配置されていません。"0"に固定してください。				
10	BFRE BRDY割り込み動作指定	0: データ送受信でBRDY割り込み 1: データ読み出しでBRDY割り込み	R/W	R	3.2.3 *4), *17)
9	DBLB ダブルバッファモード	0: シングルバッファ 1: ダブルバッファ	R/W	R	3.4.1 *5)
8	CNTMD 連続転送モード	0: 非連続転送モード 1: 連続転送モード	R/W	R	3.4.1 *6)
7	SHTNAK トランスファー終了時のパイプ禁止	0: トランスファー終了時にパイプ継続 1: トランスファー終了時にパイプ禁止	R/W	R	3.3.7
6-5	何も配置されていません。"0"に固定してください。				
4	DIR 転送方向	0: 受信(OUT転送) 1: 送信(IN転送)	R/W	R	3.4.1
3-0	EPNUM エンドポイント番号	当該パイプのエンドポイント番号指定	R/W	R	3.3.2

注意事項

- *3) PIPESEL レジスタの PIPESEL ビットで選択したパイプ番号に応じて、本ビットに設定可能な値が異なります。詳細は、3.3.1を参照ください。
- *4) "BFRE=1"と設定した場合、データ書き込み方向時は BRDY 割り込みが発生しません。
- *5) DBLB ビットは PIPE1-5 選択時に有効です。
ある PIPE に対して本ビットの設定を動的に切り替える場合には、以下の手順を守ってください。
なお、ACLRM ビットによるバッファクリアについては、3.4.1.4を参照ください。
(a) シングルバッファからダブルバッファへの切り替え時("DBLB=0"→"DBLB=1");
当該 PIPE の応答 PID を"NAK"に設定→ACLRM ビットによるバッファクリア→DBLB ビット変更→応答 PID を"BUF"に設定
(b) ダブルバッファからシングルバッファへの切り替え時("DBLB=1"→"DBLB=0");
当該 PIPE の応答 PID を"NAK"に設定→DBLB ビット変更→ACLRM ビットによるバッファクリア→応答 PID を"BUF"に設定
- *6) CNTMD ビットは、PIPE1-5 にてバルク転送選択時("TYPE=01")に有効です。アイソクロナス転送選択時("TYPE=11")は"CNTMD=1"に設定しないでください。また、PIPE6-7 選択時には"CNTMD=1"に設定しないでください。

◆ パイプバッファ指定レジスタ [PIPEBUF]

<アドレス : 68H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			BUFSIZE									BUFNMB			
?	0	0	0	0	0	?	?	0	0	0	0	0	0	0	0
?	0	0	0	0	0	?	?	0	0	0	0	0	0	0	0
?	-	-	-	-	-	?	?	-	-	-	-	-	-	-	-
?	0	0	0	0	0	?	?	0	0	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15		何も配置されていません。"0"に固定してください。			
14-10	BUFSIZE バッファサイズ	当該パイプのバッファサイズを指定します。 (0 : 64バイトから0x1F : 2Kバイト)	R/W	R	3.4 *7)
9-8		何も配置されていません。"0"に固定してください。			
7-0	BUFNMB バッファ番号	当該パイプのバッファ番号を指定します。 (0x4から0x4F)	R/W	R	3.4 *8)

注意事項

- *7) PIPESEL レジスタの PIPESEL ビットで選択した PIPE に応じて、本ビットに設定可能な値が異なります。
PIPE1-5 の場合; "BUFSIZE=00-1F"を設定してください。
PIPE6-7 の場合; ソフトウェアによる BUFSIZE ビットへの設定は不要(無効)です。
- *8) BUFNMB ビットは PIPE1-5 選択時にはユーザーシステムに合わせた設定ができます。
"BUFNMB=0-3"は DCP 専用です。"BUFNMB=4-5"は PIPE6-7 に配置されています。
PIPE1-5 の場合; "BUFNMB=0x06-0x4F"を設定してください。ただし、PIPE7 を使用しない場合は
"BUFNMB=0x05-0x4F"、PIPE6-7 を使用しない場合は"BUFNMB=0x04-0x4F"を設定可能です。
PIPE6 の場合; 本ビットに対する書き込みは無効、読み出しは常に"BUFNMB=4"です。
PIPE7 の場合; 本ビットに対する書き込みは無効、読み出しは常に"BUFNMB=5"です。

◆ パイプマックスパケットサイズレジスタ [PIPEMAXP]

<アドレス : 6AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										MXPS					
?	?	?	?	?	0	0	0	0	0(1) *10)	0	0	0	0	0	0
?	?	?	?	?	0	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	-	-	-	-	0(1)	-	-	-	-	-	-
?	?	?	?	?	0	0	0	0	0(1)	0	0	0	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-11	何も配置されていません。"0"に固定してください。				
10-0	MXPS マックスパケットサイズ	当該パイプのマックスパケットサイズを指定します。	R/W	R	3.3.3 *9), *10)

注意事項

- *9) MXPS ビットは、転送タイプごとに USB 規格に定義されている範囲の値を設定してください。
 *10) MXPS ビットの初期値は、PIPESEL レジスタの PIPESEL ビットで PIPE を選択していないときは"0x00"、PIPE を選択してる時は"0x40"を示します。

◆ パイプ周期制御レジスタ [PIPEPERI]

<アドレス : 6CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										IFIS			IITV		
?	?	?	0	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	0	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	-	?	?	?	?	?	?	?	?	?	-	-	-
?	?	?	0	?	?	?	?	?	?	?	?	?	0	0	0

Bit	Name	Function	S/W	H/W	備考
15-13	何も配置されていません。"0"に固定してください。				
12	IFIS アイソクロナスINバッファフラッシュ	0: バッファフラッシュしない 1: バッファフラッシュする	R/W	R	3.9.5
11-3	何も配置されていません。"0"に固定してください。				
2-0	IITV インターバルエラー検出間隔	インターバルタイミングをフレームタイミングの2のn乗で指定します。	R/W	R	3.9 *11)

注意事項

- *11) IITV ビットはアイソクロナス転送選択時のみ有効です。すなわち、PIP1-2 選択時のみ設定可能です。
 OUT 方向設定時 : IITV ビットに設定した間隔でホストからの OUT トークンを受信しない場合に NRDY 割り込みでインターバルエラーを検出し NRDY 割り込みを発生させます。
 IN 方向設定時 : IITV ビットに設定した間隔でホストからの IN トークンを受信しない場合インターバルエラーを検出しバッファフラッシュ(バッファクリア)します。
 USB 仕様の算出式とは異なりますのでご注意ください。

- ◆ PIPE1コントロールレジスタ [PIPE1CTR] <アドレス : 70H>
- ◆ PIPE2コントロールレジスタ [PIPE2CTR] <アドレス : 72H>
- ◆ PIPE3コントロールレジスタ [PIPE3CTR] <アドレス : 74H>
- ◆ PIPE4コントロールレジスタ [PIPE4CTR] <アドレス : 76H>
- ◆ PIPE5コントロールレジスタ [PIPE5CTR] <アドレス : 78H>
- ◆ PIPE6コントロールレジスタ [PIPE6CTR] <アドレス : 7AH>
- ◆ PIPE7コントロールレジスタ [PIPE7CTR] <アドレス : 7CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	INBUFM					ACLRM	SQCLR	SQSET	SQMON					PID	
0	0	?	?	?	?	0	0	0	0	?	?	?	?	0	0
0	0	?	?	?	?	0	0	0	0	?	?	?	?	0	0
-	-	?	?	?	?	-	-	-	-	?	?	?	?	0	0
0	0	?	?	?	?	0	0	0	0	?	?	?	?	0	0

Bit	Name	Function	S/W	H/W	備考
15	BSTS バッファステータス	0: バッファアクセス不可 1: バッファアクセス可	R	W	3.4.1*12)
14	INBUFM INバッファモニタ	0: INバッファに転送可能データなし 1: INバッファに転送可能データあり	R	W	*13), *14)
13-10	何も配置されていません。"0"に固定してください。				
9	ACLRM 自動バッファクリアモード	0: 禁止 1: 許可(全バッファ初期化)	R/W	R	3.4.1 *15)
8	SQCLR トグルビットクリア	0: 無効 1: DATA0指定	R(0)/ W(1)	R	3.3.6 *16), *17)
7	SQSET トグルビットセット	0: 無効 1: DATA1指定	R(0)/ W(1)	R	3.3.6 *16), *17)
6	SQMON トグルビット確認	0: DATA0 1: DATA1	R	W	3.3.6 *16)
5-2	何も配置されていません。"0"に固定してください。				
1-0	PID 応答PID	00: NAK応答 01: BUF応答(バッファ状態に従う) 10: STALL応答 11: STALL応答	R/W	R/W	3.3.4 *17), *18)

注意事項

- *12) バッファアクセスが書き込み方向か読み出し方向かは、PIPECFG レジスタの DIR ビットによって決まります。詳細は3章を参照してください。
- *13) INBUFM ビットは、以下の条件を AND で満たす場合に有効な値を示します。
 - (a) PIPESEL レジスタの PIPESEL ビットで PIPE1-5 を選択している。
 - (b) 当該 PIPE を IN 方向に設定している。
- *14) INBUFM ビットは、PIPE1-5 に対して有効な値を示します。
- *15) CURPIPE ビットで選択しているパイプに対して、"ACLRM=1"を設定しないでください。
- *16) PIPExCTR レジスタの SQCLR ビットまたは SQSET ビット、及び DCPCTR レジスタの SQCLR ビットまたは SQSET ビットで、複数パイプに渡りデータ PID のシーケンストグルビットを連続して変更する場合には、200ns 以上のアクセスサイクルが必要です。
- *17) SQCLR ビット、及び SQSET ビットを同時に"1"に設定しないでください。なお、どちらのビット操作も"PID=NAK"に設定の上行ってください。なお、転送タイプをアイソクロナス転送に設定している("TYPE=11")場合は、SQSET ビットへの書き込みは無効です。
- *18) パケットサイズオーバーエラーを検出した場合は、本コントローラーが"PID=STALL"に設定します。

3 動作説明

3.1 システム制御及び発振制御

本章では、本コントローラーの初期設定に必要なレジスタ操作、及び消費電力制御を行うために必要なレジスタの説明について述べます。

3.1.1 リセット

表 3.1に本コントローラーのリセット一覧表を示します。なお、各リセット動作後のレジスタ初期化状態については、2章 レジスタを参照してください。

表 3.1 リセット種別一覧表

名称	操作
H/Wリセット	RST_N端子からの"L"レベル入力
S/Wリセット	SYSCFGレジスタのUSBEビットで操作
USBバスリセット	本コントローラーがD+、D-ラインから自動検出

3.1.2 バスインタフェースの設定

表 3.2に本コントローラーのバスインタフェースの設定表を示します。

表 3.2 バスインタフェース設定表

レジスタ名	ビット名	設定内容
PINCFG	LDRV	駆動電流の制御指定
PINCFG	BIGEND	接続するCPUのバイトエンディアン指定
DMAxCFG	DREQA	DREQ_N端子のアクティブ指定
DMAxCFG	DACKA	DACK_N端子のアクティブ指定
DMAxCFG	DENDA	DEND_N端子のアクティブ指定
DMAxCFG	OBUS	OBUSモード指定
INTENB1	INTL	INT_N端子の出力センス指定

3.1.3 Hi-Speed動作の許可

本コントローラーは、ソフトウェアにて、USB通信速度(通信ビットレート)をHi-Speed動作、もしくはFull-Speed動作のどちらか片方を選択できます。本コントローラーのHi-Speed動作を許可する場合は、SYSCFGレジスタのHSEビットに"1"を設定してください。この時、HSEビットの変更(書き込みアクセス)は、内部クロックを停止した状態("SCKE=0")で行ってください。

Hi-Speed動作が許可されている場合は、本コントローラーがリセットハンドシェイクプロトコルを実行し、USB通信速度を自動的に設定します。リセットハンドシェイクの結果は、DVSTCTRレジスタのRHSTビットにて確認できます。

Hi-Speed動作が禁止されている場合は、本コントローラーはFull-Speed動作します。

3.1.4 USBデータバス抵抗制御

図 3.1に本コントローラーとUSBコネクタの接続図を示します。

本コントローラーは、D+信号のプルアップ抵抗を内蔵しています。**SYSCFG**レジスタの**DPRPU**ビットに"1"を設定し、D+ラインをプルアップしてください。プルアップの電源は**AFE33V**です。

また、本コントローラーはD+、D-信号のHi-Speed時の終端抵抗とFull-Speed時の出力抵抗を内蔵しています。PCと接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム検出により本コントローラーが自動的にを行います。PCからの切断を検出した場合は、S/Wリセット("USB_E=0")によってH/Wを初期状態にしてください。

なお、**SYSCFG**レジスタの**DPRPU**ビットに"0"を設定した場合は、USBデータラインのプルアップ抵抗(もしくは終端抵抗)をディセーブルにしますので、USBケーブルを接続したままで、デバイスの切断及び接続をソフトウェアで制御することができます。

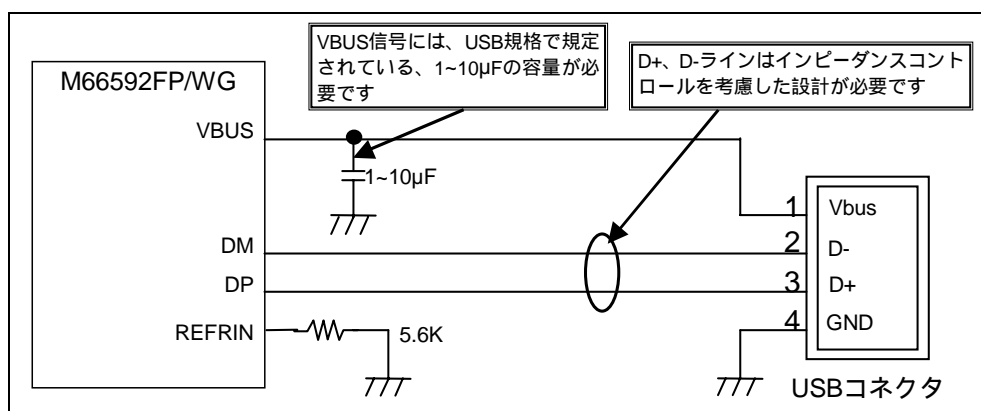


図 3.1 USBコネクタ接続図

3.1.5 クロック供給制御

図 3.2に本コントローラーのクロック制御ブロック図を示します。**SYSCFG**レジスタの**XTAL**ビットにてXIN端子の入力クロック選択を、**XCKE**ビットにて発振バッファの許可を、**RCKE**ビット、**PLL**ビット、及び**SCKE**ビットにてクロック供給制御を行ってください。レジスタ制御タイミングは3.1.7 状態遷移タイミングを参照してください。

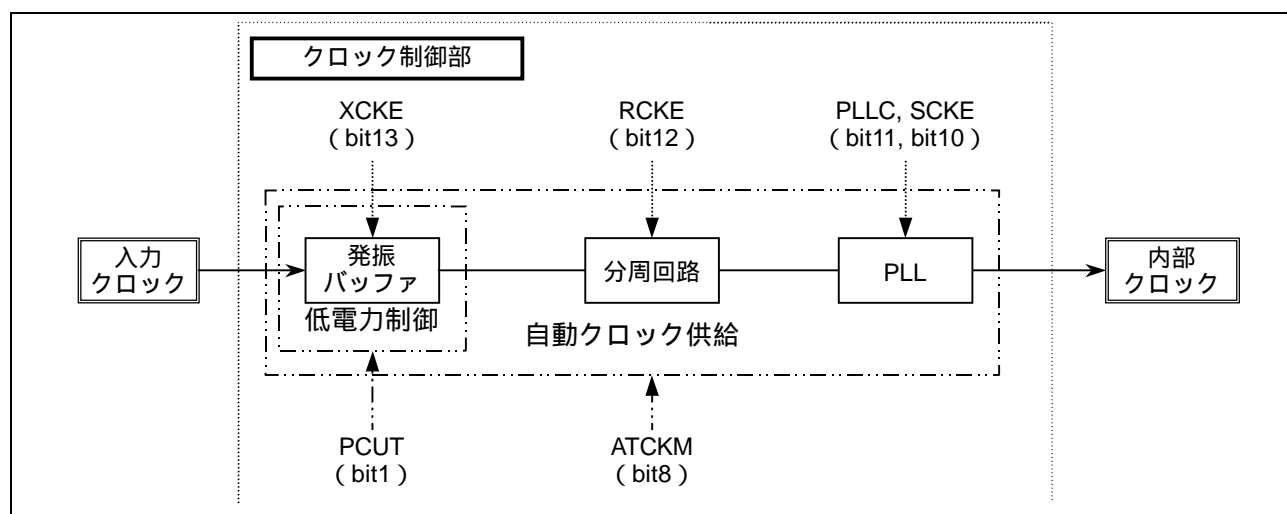


図 3.2 クロック制御ブロック図

3.1.6 消費電力の制御

3.1.6.1 消費電力制御概要：低電力スリープ状態を使用する場合(推奨)

本コントローラーは、消費電力を小さくするために低電力スリープ状態の設定機能を備えています。

クロックと低電力スリープ状態を制御することにより、サスペンド、もしくは切断状態等、通信していない状態において、低消費電力を実現します。低電力スリープ状態と本コントローラーのクロック供給許可、もしくは不許可との関連を整理するために、表 3.3に本コントローラーの状態とシステムコンフィグレーションコントロールレジスタ(SYSCFG)の値の対応表を、図 3.3に低電力スリープ状態を使用する場合の本コントローラーの状態遷移図を示します。

各状態の遷移タイミング、及びレジスタ制御タイミングについては3.1.7を参照してください。

表 3.3 コントローラーの状態とSYSCFGレジスタの値の対応表

コントローラーの状態	SYSCFG レジスタの各ビットの値	説明
H/W リセット	XTAL=0、XCKE=0、RCKE=0、PLL=0、SCKE=0、ATKCM=0、HSE=0、DPRPU=0、PCUT=0、USBE=0	
通常動作状態	XTAL=xx *1)、XCKE=1、RCKE=1、PLL=x *1)、SCKE=1、ATKCM=x *1)、HSE=x *1)、DPRPU=1、PCUT=0、USBE=1	クロックを本コントローラーに供給し、USB 通信が可能な状態。
低電力スリープ状態	XTAL=xx *1)、XCKE=0、RCKE=0、PLL=0、SCKE=0、ATKCM=x *1)、HSE=x *1)、DPRPU=x *1)、PCUT=1、USBE=1	サスペンド時もしくはケーブル切断時など、USB 通信を行わない状態。

*1) x はユーザー設定値が保持されることを示します。

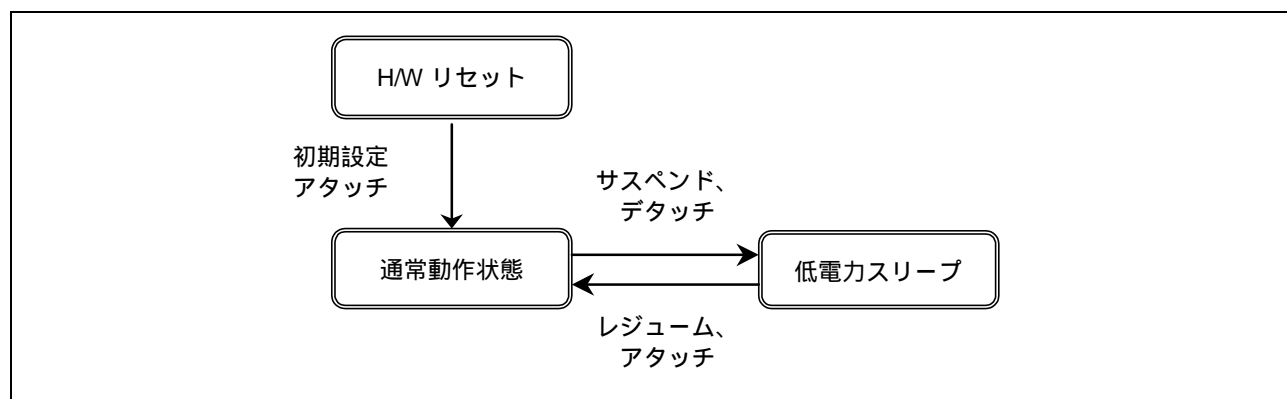


図 3.3 コントローラーの状態遷移図(低電力スリープ状態を使用する場合)

3.1.6.2 消費電力制御概要：クロック停止状態を使用する場合

本コントローラーは、M66291、及びM66591と同様に、クロック停止による低消費電力状態の設定機能も備えています。より少ない変更でM66291、M66591から本コントローラーにソフトウェアを移植可能です。

サスペンド、もしくは切断状態等、USB通信を行っていない状態において、クロック停止による低消費電力を実現します。クロック停止状態と本コントローラーのクロック供給許可、もしくは不許可との関連を整理するために、表 3.4に本コントローラーの状態とシステムコンフィグレーションコントロールレジスタ(SYSCFG)の値の対応表を、図 3.4にクロック停止状態を使用する場合の本コントローラーの状態遷移図を示します。

各状態の遷移タイミング、及びレジスタ制御タイミングについては3.1.7を参照してください。

なお、クロック停止による低消費電力状態を使用する場合は、自動クロック供給機能を使用("ATCKM=1")してください。

表 3.4 コントローラーの状態とSYSCFGレジスタの値の対応表

コントローラーの状態	SYSCFGレジスタの各ビットの値	説明
H/Wリセット	XTAL=0、XCKE=0、RCKE=0、PLL0=0、SCKE=0、ATKCM=0、HSE=0、DPRPU=0、PCUT=0、USBE=0	
通常動作状態	XTAL=xx *1)、XCKE=1、RCKE=1、PLL0=x *1)、SCKE=1、ATKCM=1、HSE=x *1)、DPRPU=1、PCUT=0、USBE=1	クロックを本コントローラーに供給し、USB通信が可能な状態。
クロック停止状態	XTAL=xx *1)、XCKE=0、RCKE=0、PLL0=0、SCKE=0、ATKCM=1、HSE=x *1)、DPRPU=x *1)、PCUT=0、USBE=1	サスペンド時もしくはケーブル切断時など、USB通信を行わない状態。

*1) xはユーザー設定値が保持されることを示します。

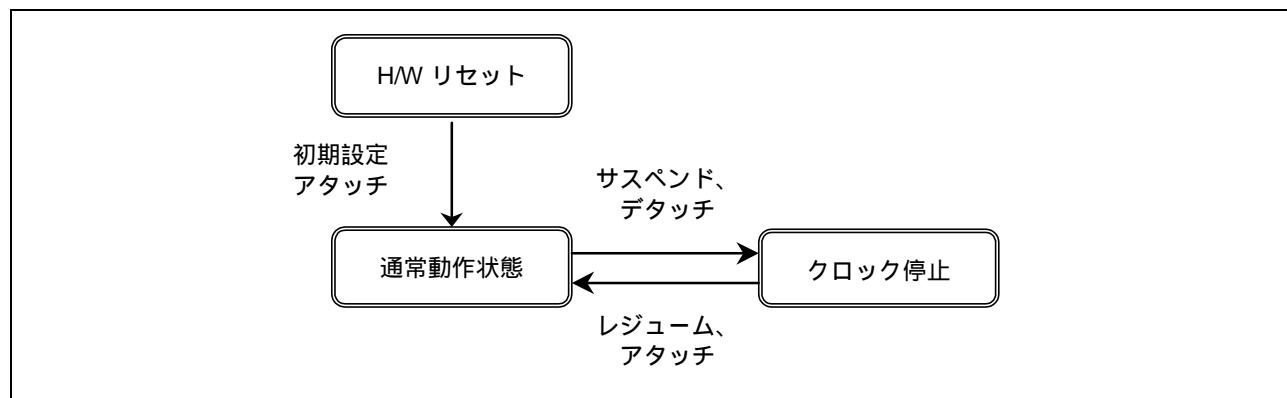


図 3.4 コントローラーの状態遷移図(クロック停止状態を使用する場合)

3.1.6.3 低電力スリープ状態

SYSCFGレジスタのPCUTビットに"1"を設定することにより、低電力スリープ状態となります。低電力スリープ状態への設定シーケンスは3.1.7.2の説明を、レジスタ制御タイミングは後述のタイミング図(図 3.6低電力制御タイミング図)を、参照してください。

低電力スリープ状態では、ユーザーシステムが設定するレジスタのうち下記以外のレジスタは初期化されます。通常動作状態に復帰後、制御プログラムによる再設定が必要です。表 3.5に本コントローラーの低電力スリープ状態で初期化されないレジスタの一覧表を示します。

表 3.5 低電力スリープ状態で初期化されないレジスタ一覧表

レジスタ	ビット	説明
SYSCFG	XTAL	システム情報として保持します。
	ATCKM	システム情報として保持します。
	HSE	システム情報として保持します。
	DPRPU	システム情報として保持します。
	USBE	システム情報として保持します。
PINCFG	LDRV	出力端子駆動電流設定の状態を保持します。
DMAxCFG	DREQA	ビットの設定内容を保持します。
INTENB0 / INTSTS0	VBSE / VBINT	"VBSE=1"の場合、低電力スリープ状態でVBUS信号に変化があった場合に、INT_N端子をアサートしてCPUに通知します。
	RSME / RESM	"RSME=1"の場合、低電力スリープ状態でUSBデータバスに変化があった場合に、INT_N端子をアサートしてCPUに通知します。

3.1.6.4 低電力スリープ状態からの復帰

本コントローラーは、低電力スリープ状態から下記のイベントが発生すると、割り込みを発生させて、CPUに復帰を通知します。低電力スリープに設定する前に割り込みを許可してください。

- (1) VBUS検出 :低電力スリープ状態の時にVBUS端子の変化を検出した場合。
- (2) RESUME検出 :サスペンド状態から移行させた低電力スリープ状態の時に、USBバスの状態変化(J-State to K-State/SE0)を検出した場合。

また、INTENB1レジスタのPCSEビットを"0"に設定している場合、低電力スリープ状態は下記の操作でも解除され、本コントローラーは通常動作状態に復帰します。

- (1) 本コントローラーの0x7E番地にダミー書き込み(実際の書き込みは行われません。)

低電力スリープ状態から通常状態に復帰した場合は、本コントローラーの一部のレジスタに対して、低電力スリープ状態の遷移前の値に、レジスタを復帰させる必要があります。復帰設定が必要なレジスタのうち読み出し専用のレジスタには、データ再設定用の特別なレジスタが用意されています。

表 3.6に復帰設定が必要な読み出し専用レジスタの再設定表を示します。

表 3.6 復帰設定が必要な読み出し専用レジスタ再設定表

レジスタ	ビット	復帰設定の方法など
DVSTCTR	RHST	RECOVERレジスタのSTSRECOVビットに低電力スリープ状態遷移前のUSB通信速度及びデバイスステートを設定することにより、RHSTビットとDVSQビットの値を復帰させます。
INTSTS0	DVSQ	
RECOVER	USBADDR	RECOVERレジスタのUSBADDRビットに低電力スリープ状態遷移前のUSBデバイスアドレスを設定します。
PIPExCTR	SQMON	PIPExCTRのSQSETビットもしくはSQCLRビットで低電力スリープ状態遷移前の各パイプのシーケンスストグルビットを設定します。*1)

*1) DCPCTR レジスタの SQMON ビットは SETUP ステージ終了で初期化されますので通常動作状態遷移前の状態復帰は不要です。

3.1.6.5 クロック停止状態からの復帰

本コントローラーは、クロック停止状態から下記のイベントが発生すると、割り込みを発生させて、CPUに復帰を通知します。クロック停止状態に設定する前に割り込みを許可してください。

- (1) VBUS検出 : クロック停止状態の時に**VBUS**端子の変化を検出した場合。
- (2) RESUME検出 : サスペンド状態から移行させたクロック停止状態の時に、USBバスの状態変化 (J-State to K-State/SE0)を検出した場合。

3.1.6.6 自動クロック供給機能

本コントローラーは、自動クロック供給機能を備えています。自動クロック供給機能は、低消費電力スリープ状態もしくはクロック停止状態から通常動作状態に復帰する場合に、発振安定待ちのタイミング制御から内部クロック供給までの一連のシーケンス制御を、本コントローラーが自動で行う機能です。**SYSCFG**レジスタの**ATCKM**ビットに"1"を設定することで本機能が有効になります。具体的なレジスタ制御については3.1.7.3を参照してください。

3.1.7 状態遷移タイミング

3.1.7.1 内部クロック供給開始(H/Wリセット状態から通常動作状態)

図 3.5に本コントローラーのクロック供給開始制御タイミング図を示します。H/Wリセット状態から通常動作状態への移行は、下記のタイミングでビットを操作してください。

- | | |
|-----------------------------|--|
| (1) 発振バッファを許可する。 | "XCKE=1"
(発振安定時間は発振子により異なります。) |
| (2) 発振が安定するまでソフトウェアで待つ。 | |
| (3) 基準クロックを供給し、PLLの動作を許可する。 | "RCKE=1"、"PLL=1"
(8.3us以上の待ち時間が必要です。) |
| (4) PLLが安定するまでソフトウェアで待つ。 | |
| (5) 内部クロックの供給を開始する。 | "SCKE=1" |

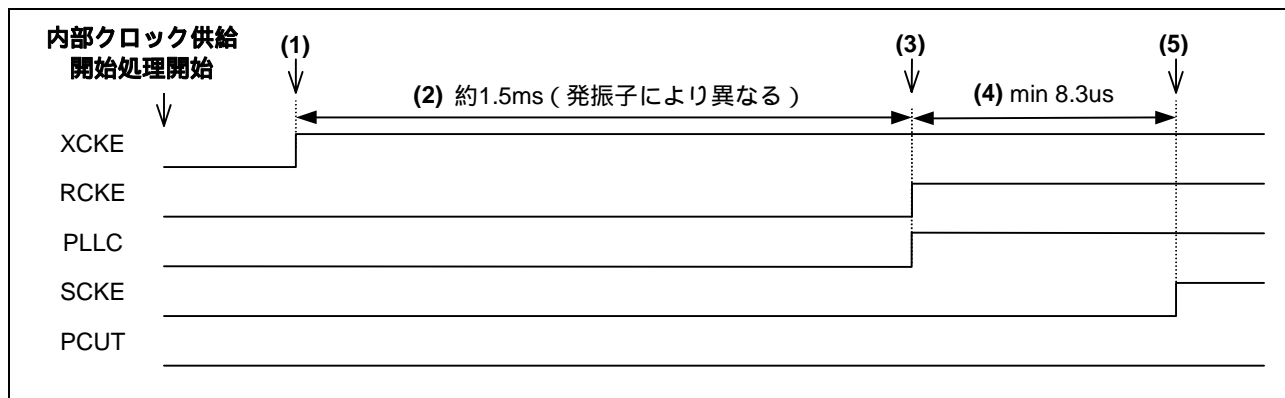


図 3.5 クロック供給開始制御タイミング図

自動クロック供給機能を許可("ATCKM=1")(推奨設定)する場合、下記のタイミングでビット操作してください。自動クロック供給機能を許可している場合は、レジスタ制御を本コントローラーが行いますので、ソフトウェアによるレジスタ操作は必要ありません。クロック供給開始制御タイミング図は図 3.9を参照ください。

- | | |
|--|----------------------|
| (1) USBブロック動作を許可する。 | "USBE=1" |
| (2) 自動クロック供給機能を許可する。 | "ATCKM=1" |
| (3) 発振バッファを許可する。 | "XCKE=1" |
| (4) アクセス可能になるまでソフトウェアで待つ。 | (2.5ms以上の待ち時間が必要です。) |
| (5) (3)の期間に本コントローラーが自動的にRCKE、PLLC、及びSCKEを許可する。 | |

3.1.7.2 内部クロック供給停止(通常動作状態から低電力スリープ状態)

図 3.6に本コントローラーの通常動作状態から低電力スリープ状態への、低電力制御タイミング図を示します。通常動作状態から低電力スリープ状態への移行は、下記のタイミングでビットを操作してください。

- | | |
|-----------------------------|----------------------|
| (1) 内部クロックの供給を停止する。 | "SCKE=0" |
| (2) 内部クロックが停止するまでソフトウェアで待つ。 | (300ns以上の待ち時間が必要です。) |
| (3) PLLを停止させる。 | "PLLC=0" |
| (4) PLLが停止するまでソフトウェアで待つ。 | (300ns以上の待ち時間が必要です。) |
| (5) 基準クロック停止する。 | "RCKE=0" |
| (6) 基準クロックが停止するまでソフトウェアで待つ。 | (300ns以上の待ち時間が必要です。) |
| (7) 低電力スリープ状態を設定する。 | "PCUT=1" |
| (8) 本コントローラーが発振バッファを禁止します。 | "XCKE=0(H/W)" *1) |

*1) ソフトウェアで XCKE ビットを"0"に設定しないでください。

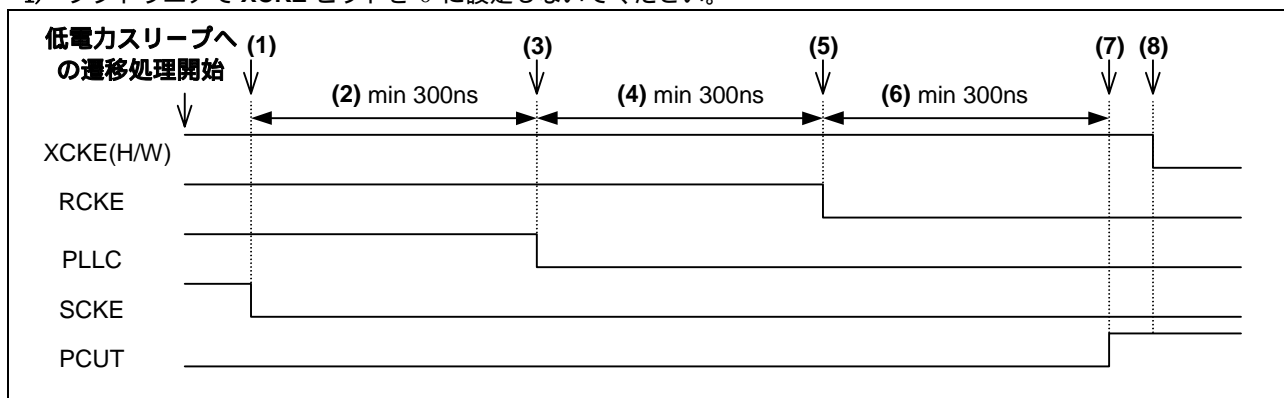


図 3.6 低電力制御タイミング図

3.1.7.3 内部クロック供給開始(低電力スリープ状態から通常動作状態)

クロック停止状態を使用する場合は、本コントローラへの初期設定で自動クロック供給機能を許可("ATCKM=1")してください。図 3.7に低電力スリープ状態から通常動作状態への遷移タイミング図を示します。自動クロック供給機能を許可している場合は、レジスタ制御を本コントローラが行いますので、割り込み発生後、アクセス禁止時間を待つだけで通常動作状態に状態遷移が完了します。ソフトウェアによるレジスタ操作は必要ありません。

なお、サスペンド状態からUSBバスリセット信号によりレジュームした場合は、データラインの変化を検出後3ms以内で、本コントローラがリセットハンドシェイクプロトコルを開始できるように、通常状態に復帰する必要があります。自動クロック供給機能を許可した場合は、本コントローラが自動的に発振安定待ち、クロックの供給制御を行い、リセットハンドシェイクにも対応します。USBバスリセット信号は10ms、レジューム信号は20msの信号出力時間があるため、ソフトウェアは十分な余裕をもって、通常状態への復帰処理を行うことが可能です。

復帰シーケンスは下記のとおりです。

- (1) 低電力スリープ状態から復帰の割り込み(USBバス上のレジューム検出)が発生し、INT_N端子がアサートされる。
(または、ソフトウェアで0x7E番地にダミー書き込みを行い、本コントローラを復帰させる。*1)
- (2) 同時に本コントローラが自動的に発振バッファを許可する。 "XCKE=1"(H/W)
- (3) アクセス可能になるまでソフトウェアで待つ。 (2.5ms以上の待ち時間が必要です。)
- (4) 本コントローラが自動的にRCKE、PLL、及びSCKEを許可する。
- (5) ソフトウェアは低電力スリープ状態にする前に待避させたレジスタを再設定する。*2)

*1) CPUからのアクセスによる低電力スリープ状態からの復帰はINTENB1レジスタのPCSEビットを"PCSE=0"に設定している場合に有効です。"PCSE=1"に設定している場合の復帰要因はUSBバス上のレジューム検出およびVBUS変化割り込み検出のみです。

*2) 低電力スリープ状態から通常動作状態に復帰した場合は、RECOVERレジスタのSTSRECOVビットへUSB通信速度、及びデバイスステートの復帰設定を、さらに同レジスタのUSBADDRビットへUSBアドレスの復帰設定を行う必要があります。

ただし、自動クロック供給機能を許可した場合は、DVSQビットを確認後、上記ビットの復帰設定を行ってください。これは、USBバスリセット信号で復帰した場合に、本コントローラがデバイスステート、及びUSBアドレスをデフォルトステート状態に初期化している可能性があり、待避した状態にレジスタ値を書き戻すと、誤動作となるためです。

RECOVERレジスタへの復帰設定方法は下記のとおりです。

- (a) "DVSQ=000"の場合は、USBバスリセット以外による復帰です。RECOVERレジスタへの書き込みにより、USB通信速度、バーステート、及びUSBアドレスを、低電力スリープ状態に移行させる前の状態に復帰させてください。
- (b) "DVSQ=001"の場合は、USBバスリセット受信による復帰です。RECOVERレジスタへの書き込みによる復帰設定を行わないでください。

また、低電力スリープ状態では、本コントローラが初期化するレジスタがあります。通常動作状態に復帰した場合は、初期化された各レジスタをユーザーシステムにあわせて再設定してください。

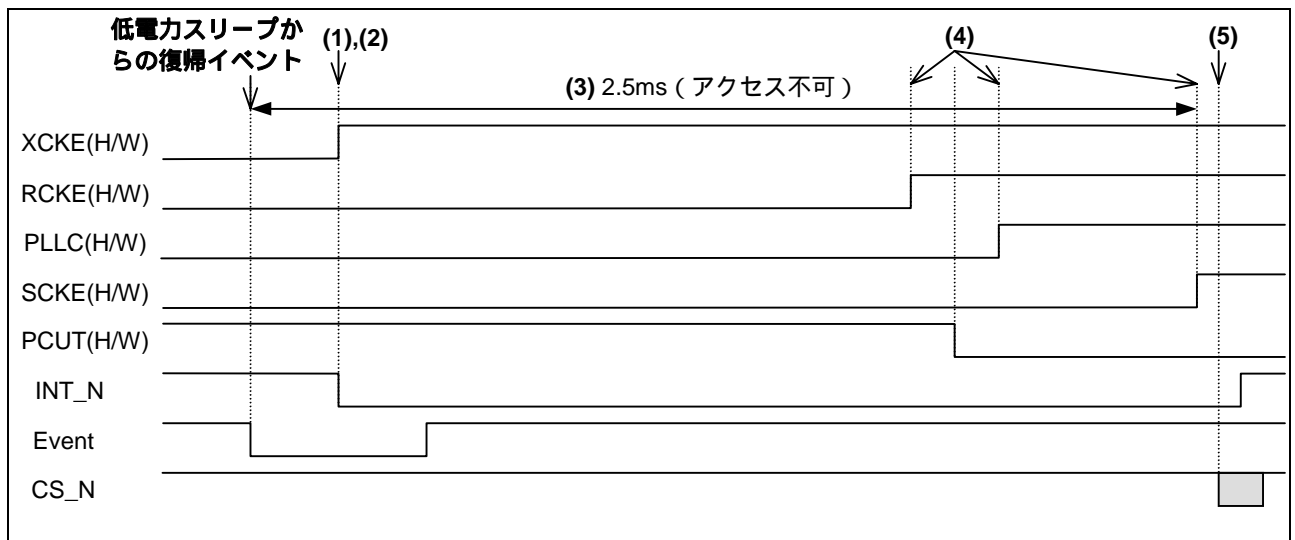


図 3.7 低電力復帰制御タイミング図(自動クロック供給機能許可設定時)

3.1.7.4 内部クロック供給停止(通常動作状態からクロック停止状態)

図 3.8に本コントローラーの通常動作状態からクロック停止状態への、低電力制御タイミング図を示します。通常動作状態からクロック停止状態への移行は、下記のタイミングでビットを操作してください。ここで示すシーケンスは低消費スリープ状態を使用せず、クロック停止のみを行うシーケンスです。

- | | |
|-----------------------------|----------------------|
| (1) 内部クロックの供給を停止する。 | "SCKE=0" |
| (2) 内部クロックが停止するまでソフトウェアで待つ。 | (300ns以上の待ち時間が必要です。) |
| (3) PLLを停止させる。 | "PLLC=0" |
| (4) PLLが停止するまでソフトウェアで待つ。 | (300ns以上の待ち時間が必要です。) |
| (5) 基準クロック停止する。 | "RCKE=0" |
| (6) 基準クロックが停止するまでソフトウェアで待つ。 | (300ns以上の待ち時間が必要です。) |
| (7) 発振バッファを禁止します。 | "XCKE=0" |

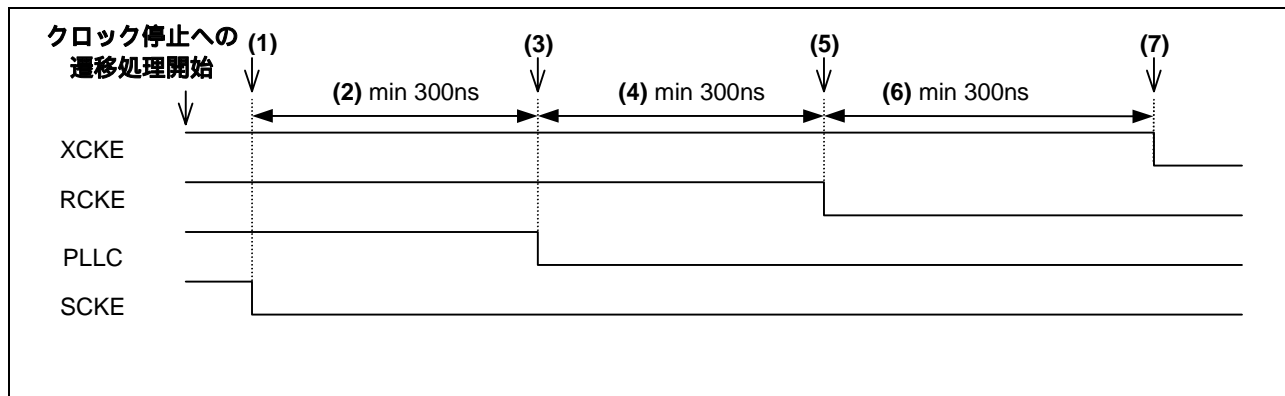


図 3.8 低電力制御タイミング図(通常動作→クロック停止)

3.1.7.5 内部クロック供給開始(クロック停止から通常動作状態：自動クロック供給機能許可時)

本コントローラーへの初期設定で自動クロック供給機能を許可("ATCKM=1")(推奨設定)している場合の、クロック停止状態から通常動作状態への遷移タイミングを図 3.9に示します。自動クロック供給機能によってレジスタ制御を本コントローラーが行いますので、割り込み発生後、アクセス禁止時間を待つだけで通常動作状態に状態遷移が完了します。ソフトウェアによるレジスタ操作は必要ありません。

- (1) 本コントローラーがUSBバス上のレジュームを検出し、INT_N端子をアサートする。
- (2) レジューム検出時：本コントローラーが自動的に発振バッファを許可する。 "XCKE=1"(H/W)
VBUS検出時：ソフトウェアで発振バッファを許可する。 "XCKE=1"(S/W)
- (3) クロック供給が完了するまでソフトウェアで待つ。(2.5ms以上の待ち時間が必要です。)
- (4) (3)の期間に本コントローラーが自動的にRCKE、PLL、及びSCKEを許可する。
- (5) ソフトウェアはレジューム処理を行う。

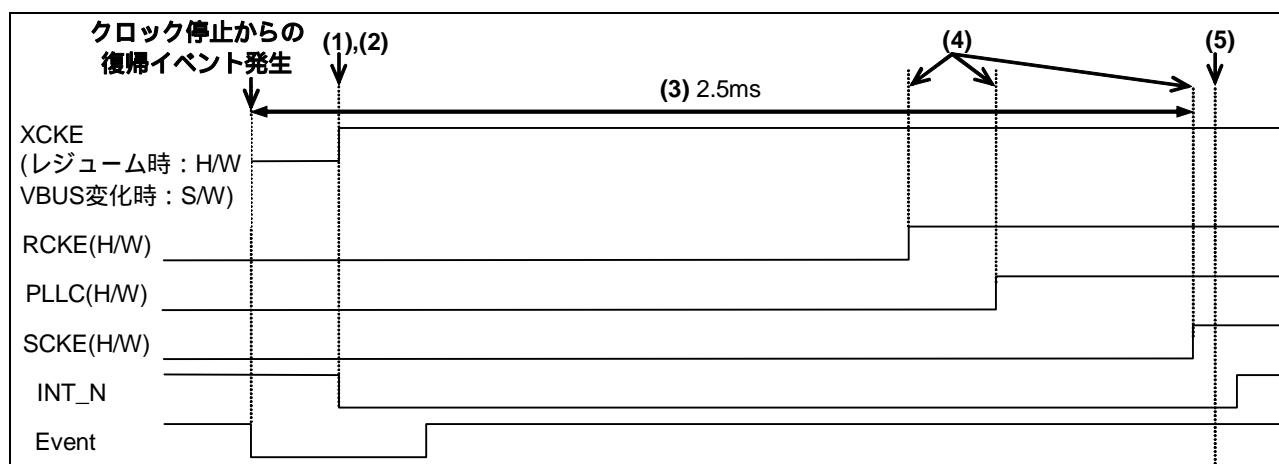


図 3.9 クロック停止からの復帰制御タイミング図(自動クロック供給機能許可時)

3.1.7.6 内部クロック供給開始(クロック停止から通常動作状態 :自動クロック供給機能禁止時)

図 3.10に自動クロック供給機能を禁止("ATCKM=0")した場合の、クロック停止状態から通常動作状態へ、状態を遷移させるための制御タイミング図を示します。自動クロック供給機能を禁止している場合は、レジスタ制御をソフトウェアにて行います。下記のタイミングでビットを操作してください。

- (1) クロック停止状態から復帰の割り込み (VBUS割り込み検出、もしくはUSBバス上のレジューム検出) が発生し、INT_N端子がアサートされる。
- (2) レジューム検出時: 本コントローラーが自動的に発振バッファを許可する。 "XCKE=1"(H/W)
VBUS検出時: ソフトウェアで発振バッファを許可する。 "XCKE=1"(S/W)"
- (3) 発振が安定するまでソフトウェアで待つ。*1) (発振子に応じた待ち時間が必要です。)
- (4) 基準クロックを供給し、PLLを動作させる。 "RCKE=1"(S/W)、"PLLC=1"(S/W)
- (5) PLLが安定するまでソフトウェアで待つ。 (8.3us以上の待ち時間が必要です。)
- (6) 内部クロック供給を開始する。 "SCKE=1"(S/W)
- (7) ソフトウェアはレジューム処理を行う。

- *1) サスペンド状態から USB バスリセット信号によりレジュームした場合は、データラインの変化を検出後 3ms 以内で、本コントローラーがリセットハンドシェイクプロトコルを開始できるように、通常状態に復帰する必要があります。このため、自動クロック供給機能を禁止した場合には、3ms 以内にソフトウェアで発振安定待ち、かつクロック供給までの一連の処理を行う必要があります。

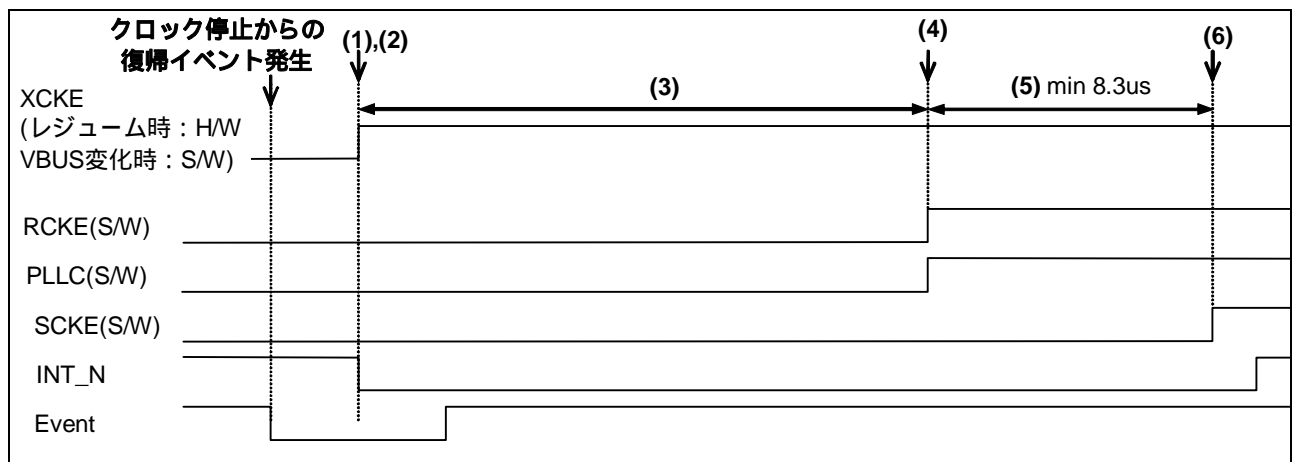


図 3.10 クロック停止からの復帰制御タイミング図(自動クロック供給機能禁止設定時)

3.2 割り込み機能

3.2.1 割り込み機能概要

表 3.7に本コントローラーの割り込み機能一覧表を示します。

表 3.7 割り込み機能一覧表

ビット	割り込み名称	割り込み要因	関連ステータス	備考
VBINT	VBUS割り込み	VBUS入力端子の状態変化を検出した時 ("L" "H"、"H" "L"の両方の変化)	VBSTS	3.2.9
RESM	レジューム割り込み	サスペンド状態においてUSBバスの状態変化を検出した時 (J-State K-State、もしくはJ-State SE0)	-	3.2.10
SOFR	フレーム番号更新割り込み	フレーム番号の異なるSOFパケットを受信した時	-	3.2.8
DVST	デバイスステート遷移割り込み	デバイスステートの遷移を検出した時 USBバスリセット検出 サスペンド状態検出 Set Addressリクエストの受信 Set Configurationリクエストの受信	DVSQ	3.2.6
CTRTR	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移を検出した時 セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	CTSQR	3.2.7
BEMP	バッファエンプティ割り込み	バッファメモリ中の全データを送信し、バッファが空になった時 マックスパケットサイズを超えたパケットを受信した時	PIPEBEMP	3.2.5
NRDY	バッファノットレディ割り込み	INトークンを受信してバッファメモリに送信可能なデータがない時 OUTトークンを受信してバッファメモリにデータを格納領域がなく受信できない時 アイソクロナス転送でCRCエラー、ビットスタッフエラーが発生した時	PIPENRDY	3.2.4
BRDY	バッファレディ割り込み	バッファがレディ(リード、もしくはライト可能状態)になった時	PIPEBRDY	3.2.3

表 3.8に本コントローラーのINT_N端子動作表を示します。複数の割り込み要因が発生した場合に、INT_N端子出力の方法を、INTENB1レジスタのINTLビットにより設定できます。ユーザーシステムに合わせてINT_N端子の動作設定を行ってください。

表 3.8 INT_N端子動作表

INT_N 端子動作 INTL 設定	発生した割り込み要因が1つの場合	発生した割り込み要因が複数の場合
エッジセンス ("INTL=0")	要因解除まで"L"レベル出力	1つの要因が解除されると48MHzで32クロック時間ネゲート("H"パルス出力)
レベルセンス ("INTL=1")	要因解除まで"L"レベル出力	全ての要因解除まで"L"レベル出力

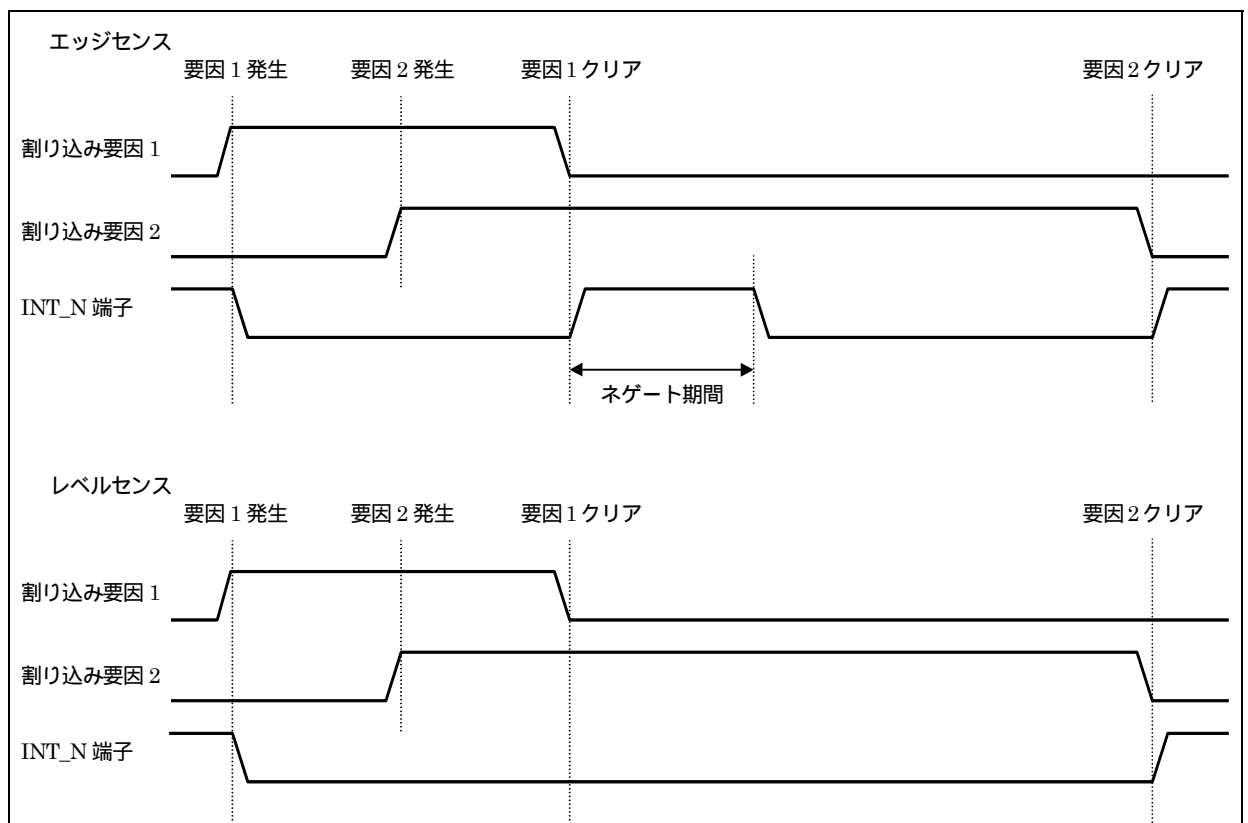


図 3.11 INT_N端子動作図

図 3.12に本コントローラーの割り込み関連図を示します。

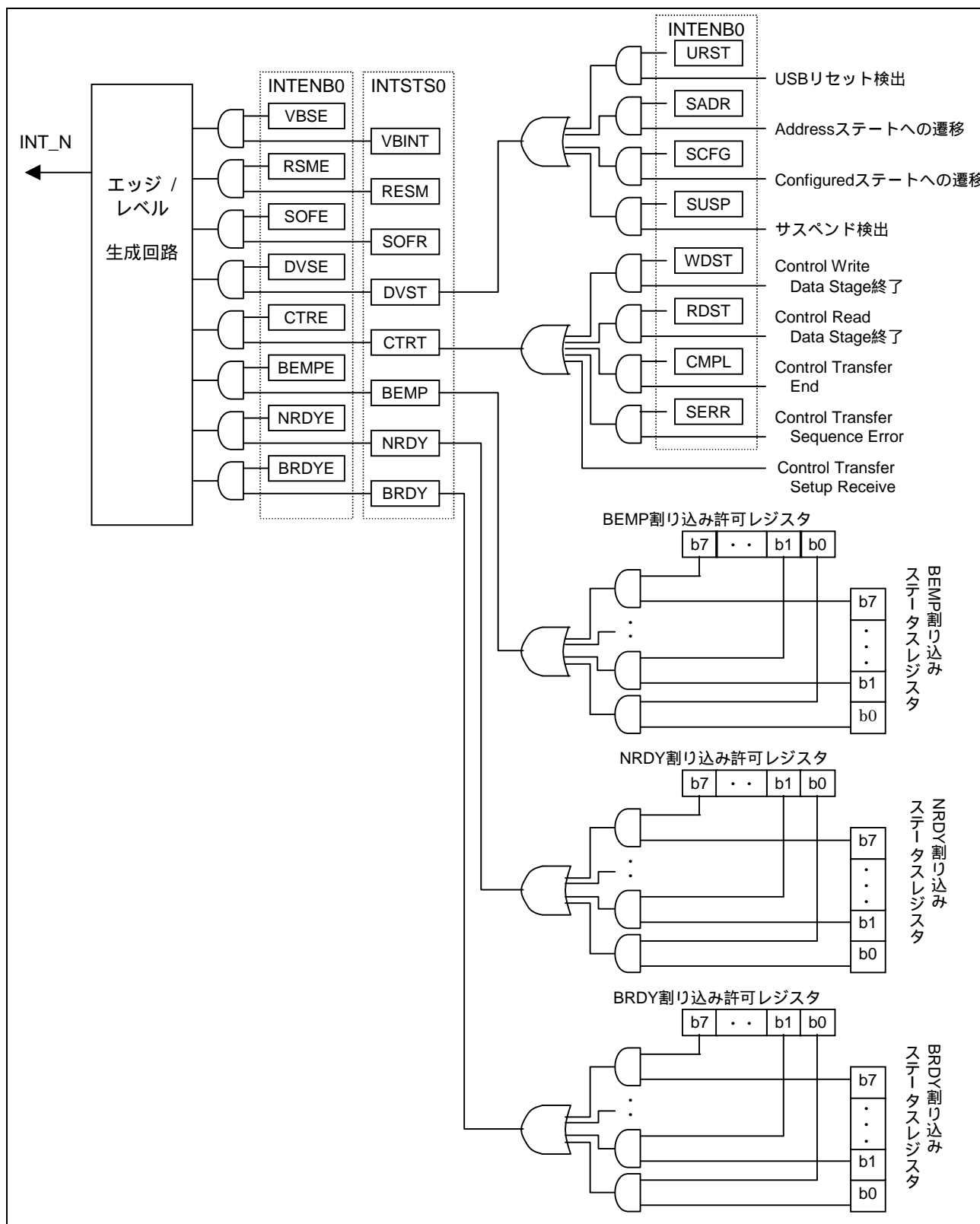


図 3.12 割り込み関連図

3.2.2 クロックを停止した状態での動作と注意事項

VBINT、RESMは、発振停止状態時(低電力スリープ状態を含む)も割り込み要因が発生します。クロックを停止した状態でVBINT、RESMの要因をクリアする場合は、割り込みステータスレジスタの要因ビットに”0”を書き込み、さらに”1”を書き込む必要があります。

3.2.3 BRDY割り込み

各パイプが表 3.9の条件を満たした時に、本コントローラーはBRDYSTSレジスタの該当ビットを”1”にセットします。この時、ソフトウェアが当該パイプに対応するBRDYENBレジスタのPIPEBRDYEビットを”1”に設定し、かつ、INTENB0レジスタのBRDYEビットを”1”に設定していれば、本コントローラーはBRDY割り込みを発生させます。また、図 3.13にBRDY割り込み発生タイミング図を示します。

本コントローラーがINTSTS0レジスタのBRDYビットをクリアする条件は、INTENB1レジスタのBRDYMビットの設定値によって異なります。表 3.10にBRDYビットクリア条件を示します。

表 3.9 BRDY割り込み発生条件表

アクセス方向	転送方向	パイプ	BFRE	DBLB	BRDY割り込み発生条件
読み出し	受信	DCP	-	0	(1)-(2)いずれかの受信を行ったとき; (1)Zero-Lengthパケットを含むショートパケット受信 (2)バッファがフルになるまでデータを受信
		1 - 7	0	0	(1)-(2)いずれかの受信を行ったとき; (1)Zero-Lengthパケットを含むショートパケット受信 (2)バッファがフルになるまでデータを受信*1) (3)バッファはフルではないがトランザクションカウンタが終了
			1	Don't Care	(1)-(4)のいずれかを満たしたとき; (1)バッファの両面共に受信待ちの状態、(a)-(c)いずれかの受信を行った (a)Zero-Lengthパケットを含むショートパケット受信 (b)バッファの片側がフルになるまでデータを受信 (c)バッファはフルではないがトランザクションカウンタが終了 (2)バッファの両面共に読み出し待ちの状態、片側の受信データの読み出しを完了した (3)バッファの両面共に読み出し待ちの状態、ソフトウェアで"BCLR=1"を行い、片側の受信データをクリアした (4)連続転送モードに設定している場合(CNTMD="1")に、SIE側バッファにデータがある状態で"TGL=1"を行った
書き込み	送信	DCP	-	-	発生しない
		1 - 7	0	0	(1)-(4)のいずれかを満たしたとき; (1)ソフトウェアで転送方向を受信から送信に変更した (2)送信可能データがバッファにある状態で、ホストに当該データの送信を完了した (3)送信可能データがバッファにある状態で、ソフトウェアが"ACLRM=1"を設定した (4)送信可能データがバッファにある状態で、ソフトウェアが"SCLR=1"を設定した
			1	Don't Care	(1)転送方向を受信から送信に変更した (2)送信可能データがバッファにない状態で、以下(a)-(c)いずれかの方法でデータを送信可能状態にした (a)マックスパケットサイズのn倍のデータをバッファに書き込みバッファがフルになった(非連続転送時;n=1) (b)ソフトウェアが"BVAL=1"を設定し、バッファを送信可能にした (c)DMA転送時、DEND信号で書き込みを終了した (3)送信可能データがバッファの両面にある状態で、片側のデータを送信完了した (4)送信可能データがバッファの両面にある状態で、ソフトウェアが"ACLRM=1"を設定した (5)送信可能データがバッファにある状態で、ソフトウェアが"SCLR=1"を設定した
		1	Don't Care	発生しない。	

*1) このバッファフルとは、非連続転送("CNTMD=0")設定の場合はマックスパケットサイズのデータ受信、連続転送("CNTMD=1"設定)の場合はバッファサイズ分のデータを受信したことを示します。

なお、PIPE1-PIPE7では、読み出し方向でDMA転送を使用している場合に、PIPECFGレジスタのBFREビットを"1"に設定することにより、トランスファー単位で割り込みを発生させることが可能です。また、Zero-Lengthパケットを受信した場合、BRDYSTSレジスタの該当するビットが"1"になりますが、当該パケットのデータの読み出しはできません。BRDYSTSレジスタをクリアした後、バッファクリア("BCLR=1")を行ってください。

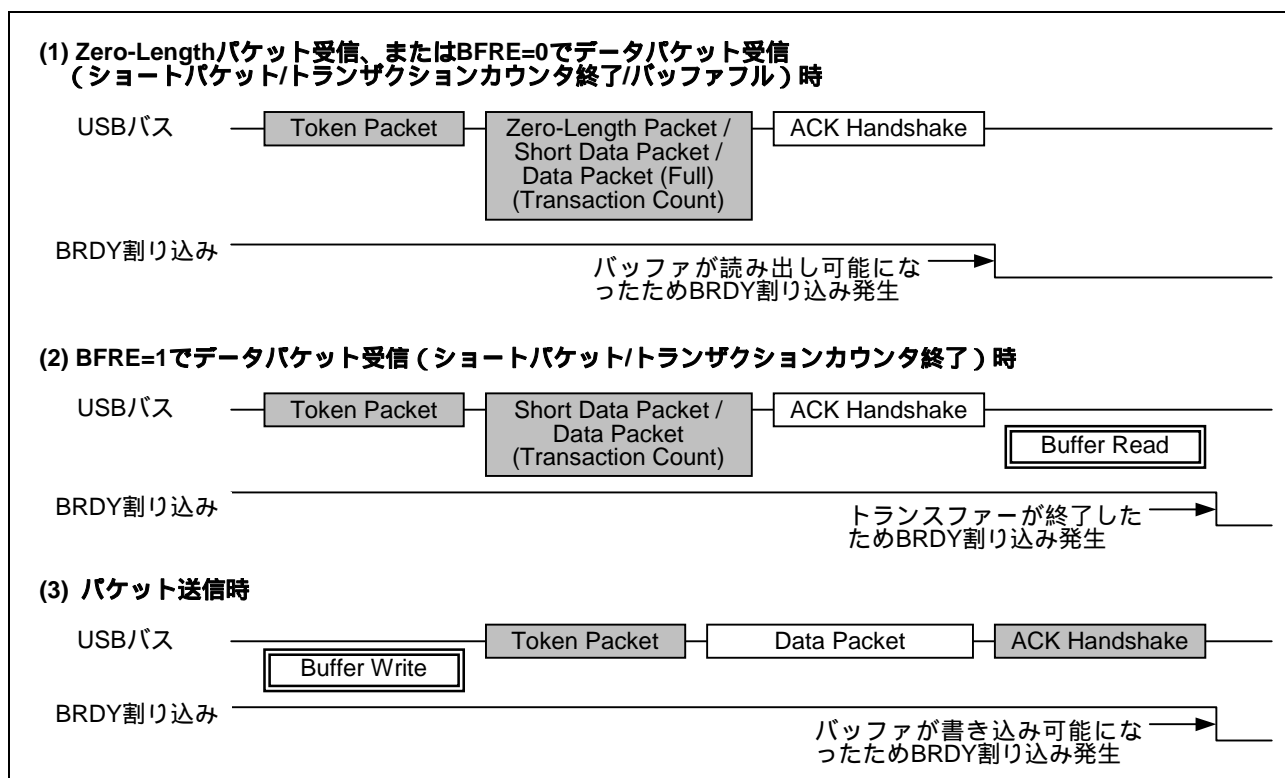


図 3.13 BRDY割り込み発生タイミング図

表 3.10 本コントローラーによるBRDYビットクリア条件表

BRDYM	BRDYビットクリア条件
0	ソフトウェアがBRDYSTSレジスタの全ビットをクリアすると、本コントローラーはINTSTS0レジスタのBRDYビットをクリアします。
1	全パイプのBSTSビットが"0"になったときに、本コントローラーはINTSTS0レジスタのBRDYビットをクリアします。

3.2.4 NRDY割り込み

各パイプが下記(1)、(2)(a)、(2)(b)、もしくは(2)(c)の条件を満たした時に、本コントローラーはNRDYSTSレジスタの該当ビットを"1"にセットします。この時、ソフトウェアが当該パイプに対応するNRDYENBレジスタのPIPENRDYEビットを"1"に設定し、かつ、INTENB0レジスタのNRDYEビットを"1"に設定していれば、本コントローラーはNRDY割り込みを発生させます。ソフトウェアがNRDYSTSレジスタの全ビットをクリアすると、本コントローラーがINTSTS0レジスタのNRDYビットをクリアします。

- (1) データ送信時
PIPEXCTRレジスタのPIDビットが"PID=BUF"の状態、かつ、バッファメモリに送信データが無い状態で、IN トークンを受信(アンダーラン)した時。
- (2) データ受信時
 - (a) PIPEXCTRレジスタのPIDビットが"PID=BUF"の状態、かつ、バッファメモリに受信データを格納する領域がない状態で、OUTトークン、もしくはPINGトークンを受信(オーバーラン)した時。
 - (b) アイソクロナス転送でCRCエラー、ビットスタッフエラーが発生した時。

図 3.14に本コントローラーのNRDY割り込み発生タイミング図を示します。

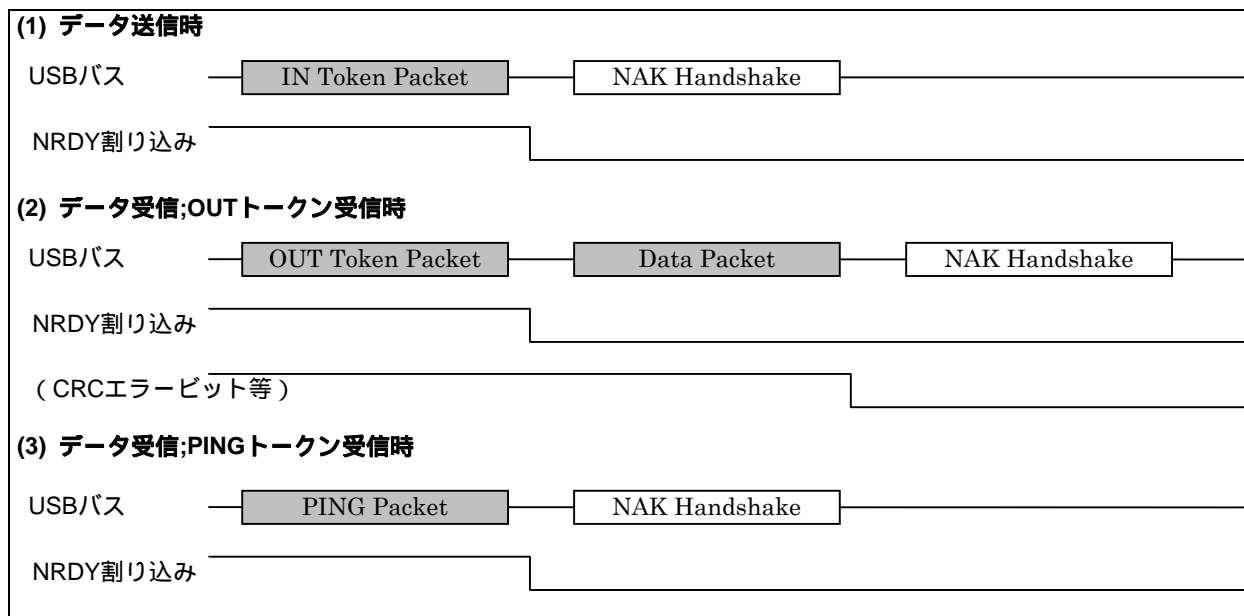


図 3.14 NRDY割り込み発生タイミング図

3.2.5 BEMP割り込み

各パイプが下記(1)(a)、(1)(b)、もしくは(2)の条件を満たした時に、本コントローラーはBEMPSTSレジスタの該当ビットを"1"にセットします。この時、ソフトウェアが当該パイプに対応するBEMPENBレジスタのPIPEBEMPEビットを"1"に設定し、かつ、INTENB0レジスタのBEMPEビットを"1"に設定していれば、本コントローラーはBEMP割り込みを発生させます。ソフトウェアがBEMPSTSレジスタの全ビットをクリアすると、本コントローラーはINTSTS0レジスタのBEMPビットをクリアします。

(1) 送信方向(バッファメモリ書き込み)設定時

バッファメモリに格納されたすべてのデータが送信された時。

ただし、バッファメモリをダブルバッファで使用している場合は、下記の条件に従います。

- (a) 片側のバッファがエンプティ状態で、かつ、反対側バッファからのデータ送信が完了した時は、BEMP割り込みが発生します。
- (b) 片側のバッファが8バイト未満のデータ書き込み中で、かつ、反対側バッファからデータが送信し終わった時は、BEMP割り込みが発生します。
- (c) 片側のバッファが8バイト以上のデータを書き込み中で、かつ、反対側バッファからデータが送信し終わった時は、BEMP割り込みは発生しません。

(2) 受信方向(バッファメモリ読み出し)設定時

受信したデータパケットサイズが設定したマックスパケットサイズを超えた時。

この時、マックスパケットサイズを"0"以外に設定("MXPS>0")していた場合は、本コントローラーは、当該パイプのPIDビットを"STALL"に設定します。

図 3.15に本コントローラーのBEMP割り込み発生タイミング図を示します。

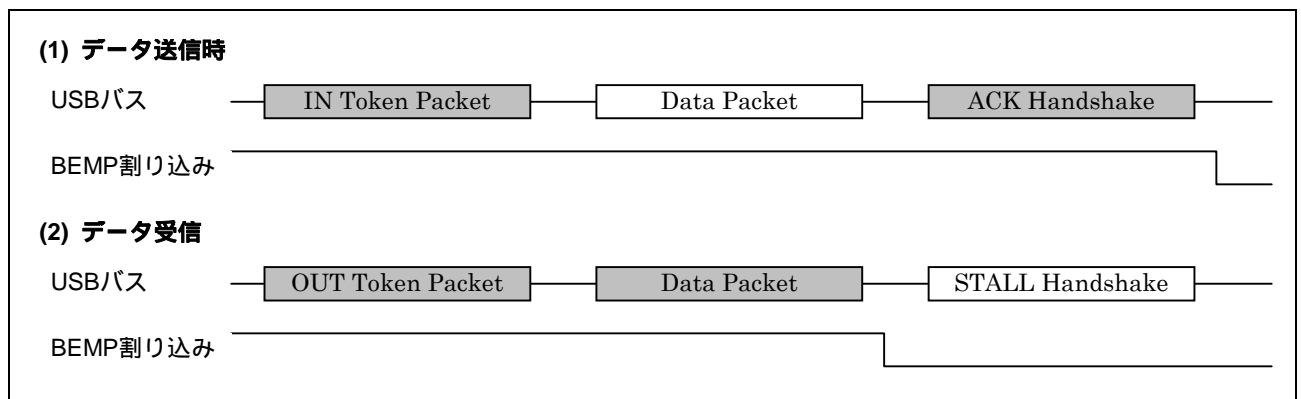


図 3.15 BEMP割り込み発生タイミング図

3.2.6 デバイス状態遷移割り込み

図 3.16に本コントローラーのデバイス状態遷移図を示します。本コントローラーは、デバイス状態を管理し、デバイス状態遷移割り込みが発生します。ただし、サスペンドからの復帰(レジューム信号検出)は、レジューム割り込みで検出します。デバイス状態遷移割り込みは、**INTENB0**レジスタで個別に割り込みの許可、もしくは禁止を設定することができます。また、遷移したデバイス状態は、**INTSTS0**レジスタの**DVSQ**ビットにて確認できます。

Default状態に遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイス状態遷移割り込みが発生します。

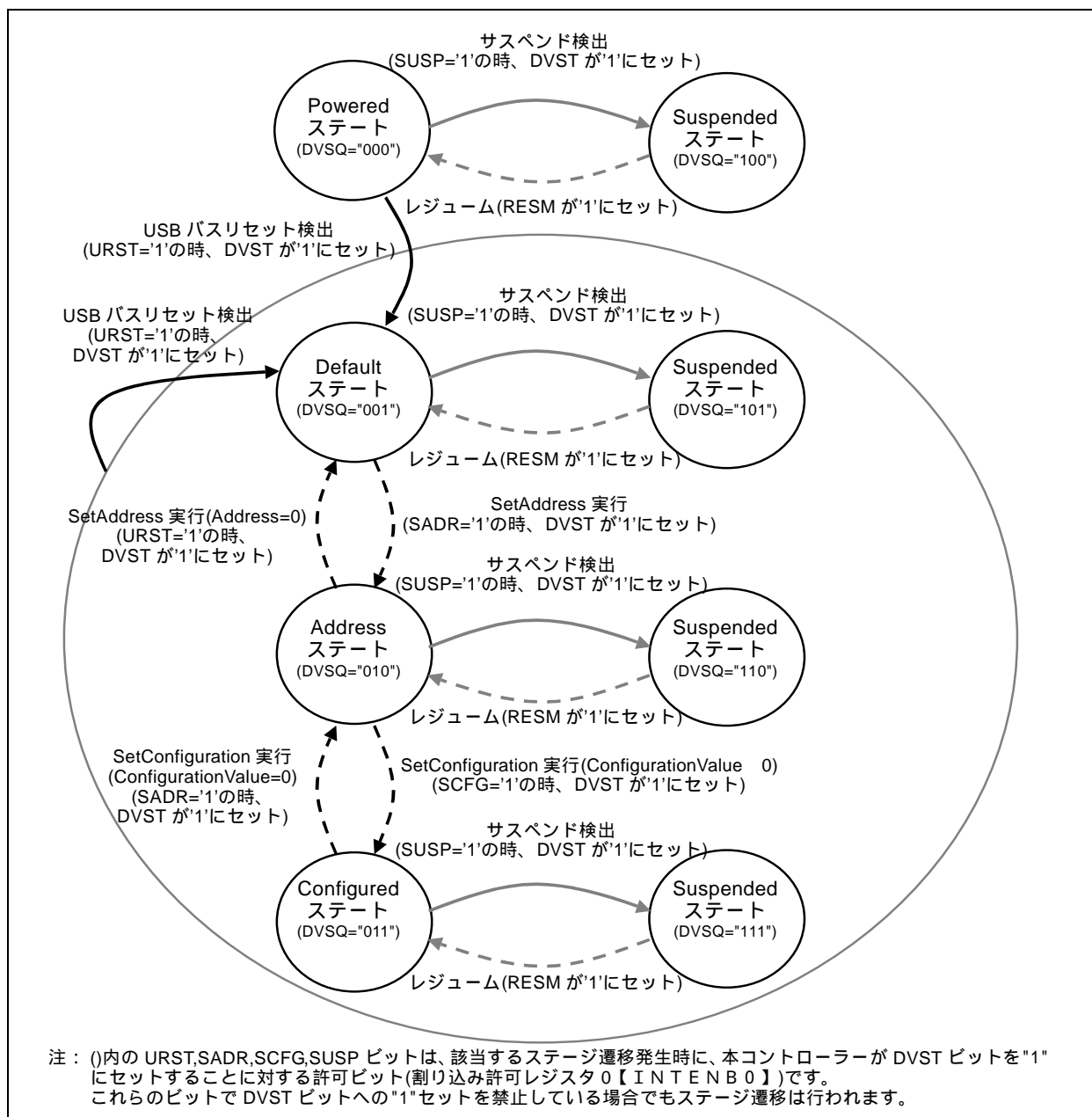


図 3.16 デバイス状態遷移図

3.2.7 コントロール転送ステージ遷移割り込み

図 3.17に本コントローラーのコントロール転送ステージ遷移図を示します。本コントローラーは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0レジスタで個別に割り込みの許可、もしくは禁止を設定することができます。また、遷移した転送ステージはINTSTS0レジスタのCTSQビットにて確認できます。(CTSQビットの確認は、INTSTS0レジスタのCTRT="1"確認後、INTSTS0レジスタを再リードして行ってください。)

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTRレジスタのPIDビットが"1X"(STALL)になります。

- (1) コントロールリード転送時
 - (a) データステージのINトークンに対して、一度もデータ転送していない状態でOUT、もしくはPINGトークンを受信
 - (b) ステータスステージでINトークン受信
 - (c) ステータスステージでデータパケットが"DATAPID=DATA0"のパケットを受信
- (2) コントロールライト転送時
 - (a) データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
 - (b) データステージで最初のデータパケットが"DATAPID=DATA0"のパケットを受信
 - (c) ステータスステージでOUT、もしくはPINGトークン受信
- (3) ノーデータコントロール転送時
 - (a) ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数がUSBリクエストのwLength値を越えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Lengthパケット以外のパケット受信には、ACK応答を行い正常終了します。

シーケンスエラーによるCTRT割り込み発生時("SERR=1"設定)は、"CTSQ=110"の値がユーザーシステムから"CTRT=0"書き込み(割り込みステータスクリア)するまで保持されます。このため、"CTSQ=110"が保持されている状態では、新しいUSBリクエストを受信しても、セットアップステージ完了のCTRT割り込みは発生しません。(セットアップステージ完了は、本コントローラーで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します。)

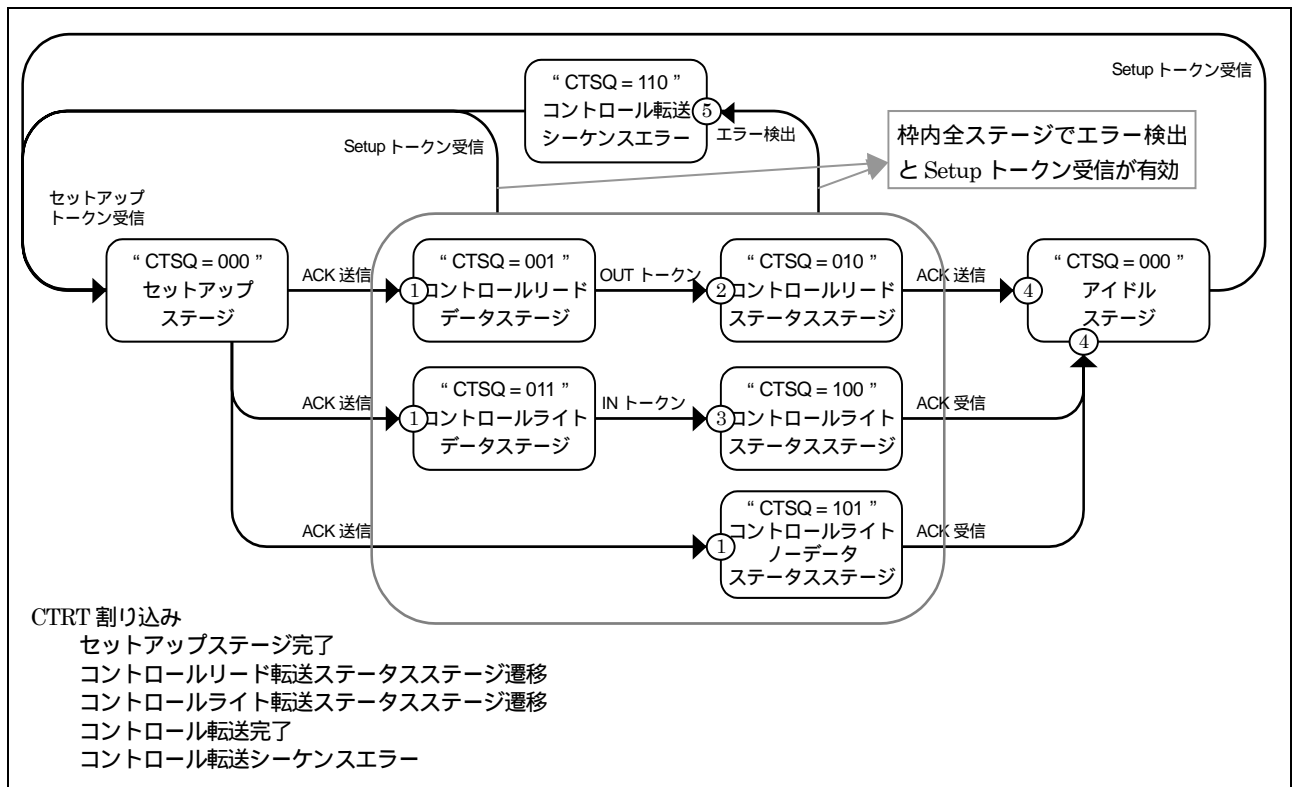


図 3.17 コントロール転送ステージ遷移図

3.2.8 フレーム更新割り込み

図 3.18に本コントローラーのSOFR割り込み出力タイミング例を示します。フレーム番号が更新された時、もしくはSOFパケット破損を検出した時にSOFR割り込みが発生します。FRMNUMレジスタのSOFRMビットにて割り込み動作を指定してください。

(1) "SOFRM = 0"選択時

フレーム番号更新タイミング(約1msの間隔)でSOFR割り込みが発生します。SOFパケット破損、もしくは欠落時にも内部補間機能により割り込みが発生します。Hi-Speed通信中も、フレーム番号更新タイミング(約1msの間隔)で割り込みが発生します。

(2) "SOFRM = 1"選択時

SOFパケット破損、及び欠落時にSOFR割り込みが発生します。なお、Hi-Speed通信中は、同一フレーム番号を持つμSOFパケットの最初のパケットが破損、もしくは欠落した場合のみ割り込みが発生します。(SOF破損、及び欠落認識はSOF補間機能によりますので、詳細は3.10 SOF補間機能を参照してください。)

本コントローラーは、Full-Speed動作中に新しいSOFパケットを検出すると、フレーム番号を更新しSOFR割り込みを発生します。しかし、Hi-Speed動作中はμSOFロック状態にならないと、フレーム番号を更新せずSOFR割り込みも発生しません。また、SOFの補間機能も動作しません。μSOFロック状態とは、エラーなしでフレーム番号の異なるμSOFパケットを2回連続受信することです。

なお、μSOFロック監視開始条件、及びμSOFロック監視停止条件は下記(1)、(2)のとおりです。

(1) μSOFロック監視開始条件

USBE=1かつ内部クロック(SCKE)供給

(2) μSOFロック監視停止条件

USBE=0(S/Wリセット)、USBバスリセット受信、もしくはサスペンド検出

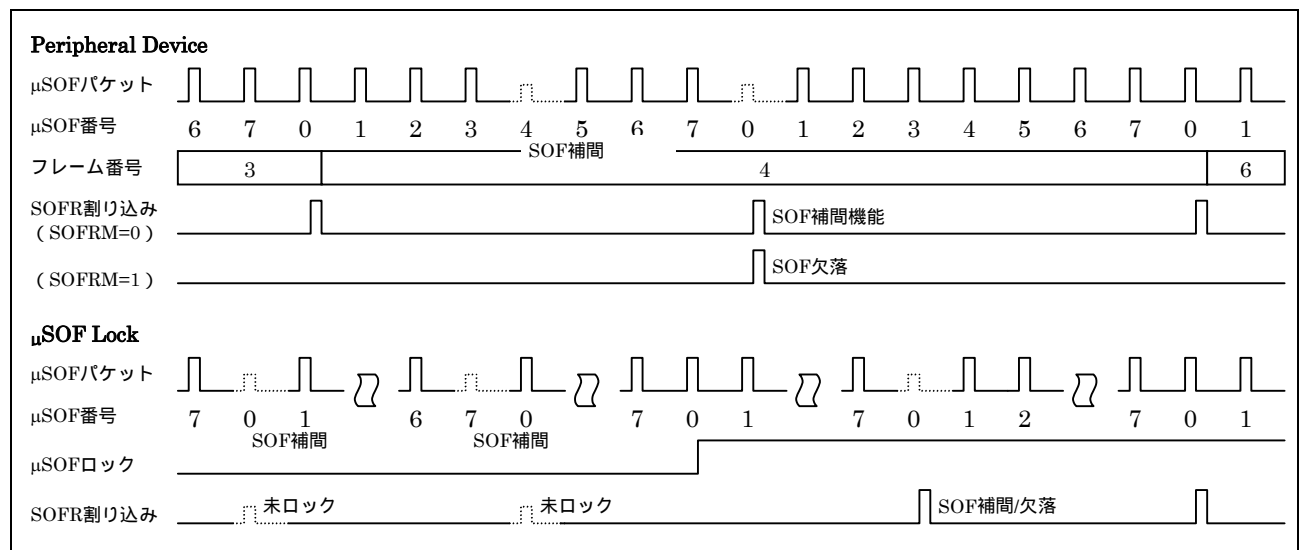


図 3.18 SOFR割り込み出力タイミングの例

3.2.9 VBUS割り込み

VBUS端子に変化があった場合にVBUS割り込みが発生します。INTSTS0レジスタのVBSTSビットにてVBUS端子のレベルを確認できます。VBUS割り込みによってホストコントローラーの接続、及び切断の確認ができます。ただし、ホストコントローラーが接続された状態でユーザーシステムが起動された場合は、VBUS端子が変化しないため、最初のVBUS割り込みが発生しません。

本割り込みはクロックを停止した状態(低消費電力スリープ状態を含む)でも発生します。

3.2.10 レジューム割り込み

デバイスステータスが、サスペンド状態でUSBバス状態が変化(J-StateからK-State、またはJ-StateからSE0)した時にRESM割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

本割り込みはクロックを停止した状態(低消費電力スリープ状態を含む)でも発生します。

3.3 パイプコントロール

表 3.11に本コントローラーのパイプ設定項目一覧表を示します。USBデータ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本コントローラーにはデータ転送用に8本のパイプがあります。各パイプは、ユーザーシステムの仕様に合わせて設定を行ってください。

表 3.11 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送Typeを指定	3.3.1を参照してください
	BFRE	BRDY割り込みモードを選択	PIPE1-5：設定可 3.4.3.5、及び3.4.3.6を参照してください
	DBLB	シングルもしくはダブルバッファを選択	PIPE1-5：設定可 3.4.1.5を参照してください
	CNTMD	連続転送もしくは非連続転送を選択	DCP：設定可 PIPE1-2：設定可(バルク転送選択時のみ設定可能) PIPE3-5：設定可 連続送受信ではバッファサイズをペイロードの整数倍に設定 3.4.1.6を参照してください
	DIR	転送方向(読み出しもしくは書き込み)を選択	INまたはOUT設定可 3.4.2.1を参照(DCPIはISELで制御)してください
	EPNUM	エンドポイント番号	3.3.2を参照してください
	SHTNAK	トランスファー終了時のパイプ禁止選択	PIPE1-2：設定可(バルク転送選択時のみ設定可能) PIPE3-5：設定可 3.3.7を参照してください
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP：設定不可(256バイト固定) PIPE1-5：設定可(64バイト単位で最大2Kバイトまで指定可) PIPR6-7：設定不可(64バイト固定) 3.4.1を参照してください
	BUFNMB	バッファメモリ番号	DCP：設定不可(領域0-3固定) PIPE1-5：設定可(領域6-4Fで指定可) PIPR6-7：設定不可(領域4-5固定) 3.4.1を参照してください
DCPMAXP PIPEMAXP	MXPS	マックスパケットサイズ	3.3.3を参照してください
PIPEPERI	IFIS	バッファフラッシュ	PIPE1-2：設定可(アイソクロナス転送選択時のみ) PIPE3-7：設定不可 3.9.5を参照してください
	IITV	インターバルカウンタ	PIPE1-2：設定可(アイソクロナス転送選択時のみ) PIPE3-7：設定不可 3.9.3を参照してください
DCPCTR PIPEXCTR	BSTS	バッファステータス	3.4.1.1を参照してください(DIR / ISELにも関係)
	INBUFM	INバッファモニタ	3.4.1.1を参照してください(DIR / ISELにも関係)
	ACLRM	自動バッファクリア	バッファメモリ読み出し設定時は許可/禁止設定可 3.4.1.4を参照してください
	SQCLR	シーケンスクリア	データトグルビットのクリア 3.3.6を参照してください
	SQSET	シーケンスセット	データトグルビットのセット 3.3.6を参照してください
	SQMON	シーケンス確認	データトグルビットの確認 3.3.6を参照してください
	PID	応答PID	3.3.4を参照してください

3.3.1 転送タイプ

PIPEPCFGレジスタのTYPEビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- (1) DCP：設定不要(コントロール転送固定)です。
- (2) PIPE1-2：バルク転送、もしくはアイソクロナス転送を設定してください。
- (3) PIPE3-5：バルク転送を設定してください。
- (4) PIPE6-7：インタラプト転送を設定してください。

3.3.2 エンドポイント番号

PIPEPCFGレジスタのEPNUMビットにて各パイプのエンドポイント番号を設定します。DCPは、エンドポイント0に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- (1) DCP：設定不要(エンドポイント0固定)です。
- (2) PIPE1-7： "1"から"15"までを選択して設定してください。
ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

3.3.3 マックスパケットサイズ設定

DCPMAXPレジスタ、及びPIPEMAXPレジスタのMXPSビットにて各パイプのマックスパケットサイズを設定します。DCP、及びPIPE1-5はUSB規格で定義されているすべてのマックスパケットサイズに設定が可能です。PIPE6-7は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始("PID=BUF")する前に設定してください。

- (1) DCP：Hi-Speed動作時は"64"を設定してください。
- (2) DCP：Full-Speed動作時は"8"、"16"、"32"、"64"から選択して設定してください。
- (3) PIPE1-5：Hi-Speedバルク転送時は、"512"を設定してください。
- (4) PIPE1-5：Full-Speedバルク転送時は、"8"、"16"、"32"、"64"から選択して設定してください。
- (5) PIPE1-2：Hi-Speedアイソクロナス転送時は、"1"から"1024"の値を設定してください。
- (6) PIPE1-2：Full-Speedアイソクロナス転送時は、"1"から"1023"の値を設定してください。
- (7) PIPE6-7："1"から"64"の値を設定してください。

インタラプト転送及びアイソクロナス転送のHighband-Widthは未対応です。

3.3.4 応答PID

DCPCTRレジスタ、及びPIPEXCTRレジスタのPIDビットにて各パイプの応答PIDを設定します。各設定における本コントローラーの動作は下記のとおりです。

- (1) NAK設定 : 発生したトランザクションに対して常に"NAK応答"します。
- (2) BUF設定 : バッファメモリの状況に応じてトランザクションに応答します。
- (3) STALL設定 : 発生したトランザクションに対して常に"STALL応答"します。

ただし、セットアップトランザクションに対しては、PIDの設定に関わらず、常に"ACK応答"し、レジスタにUSBリクエストを格納します。

PIDビットはトランザクション結果により本コントローラーによる書き込みが発生する場合があります。

本コントローラーによりPIDビットへの書き込みが発生するのは下記の場合です。

- (1) NAK設定 :
 - (a) SETUPトークンを正常に受信した時(DCPのみ)。
 - (b) バルク転送時にPIPECFGレジスタのSHTNAKビットを"1"に設定した場合で、トランザクションカウンタが終了した時、もしくはショートパケットを受信した時。
- (2) BUF設定 : 本コントローラーによるBUF書き込みはありません。
- (3) STALL設定 : 受信データパケットでマックスパケットサイズオーバーエラーを検出した時、もしくは、コントロール転送シーケンスエラーを検出した時。

3.3.5 USB通信許可("PID=BUF")状態では設定禁止であるレジスタ

CFIFOSELレジスタのISELビット(DCP選択時のみ該当)
 CFIFOSIEレジスタのTGLビット、SCLRビット
 DxFIFOSELレジスタのDCLRMビット、TRENビット、TRCLRビット、DEZPMビット
 DxFIFOTRNレジスタのTRNCNTビット
 DCPCFGレジスタの各ビット、DCPMAXPレジスタの各ビット、
 DCPCTRレジスタの各ビット(ただしCCPLビットは除く)、
 PIPECFGレジスタの各ビット、PIPEBUFレジスタの各ビット、PIPEMAXPレジスタの各ビット、
 PIPEPERIレジスタの各ビット、PIPEXCTRレジスタの各ビット

3.3.6 データPIDシーケンスビット

データPIDのシーケンスビットは、正常なデータ転送が行われると、本コントローラーによりトグル動作します。次に、送出されるデータPIDのシーケンスビットは、DCPCTRレジスタ、及びPIPEXCTRレジスタのSQMONビットにて確認できます。データ送信時は、ACKハンドシェイク受信タイミングで、データ受信時は、ACKハンドシェイク送信タイミングで、シーケンスビットが切り替わります。また、DCPCTRレジスタ、及びPIPEXCTRレジスタのSQCLRビット、SQSETビットにてデータPIDシーケンスビットを変更可能です。

アイソクロナス転送時は、DATA0に固定されます。また、アイソクロナス転送設定パイプはSQSETビットによるシーケンスビット操作は行えません。

3.3.7 応答PID=NAK機能

本コントローラーには、PIPECFGレジスタのSHTNAKビットに"1"を設定することで、トランスファー最後(ショートパケット受信、もしくはトランザクションカウンタでコントローラーが自動識別)のデータパケット受信タイミングで、パイプ動作を禁止("応答PID=NAK")する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファー単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可("応答PID=BUF")設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

3.4 バッファメモリ

3.4.1 バッファメモリ割り当て

図 3.19に本コントローラーのバッファメモリマップ例を示します。バッファメモリはユーザーシステムの制御用CPUと本コントローラーが共用する領域です。バッファメモリの状況には、アクセス権がユーザーシステム(CPU側)にある場合と、本コントローラー(SIE側)にある場合があります。

バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64バイトを1ブロックとして、ブロック先頭番号とブロック数(PIPEBUFレジスタのBUFNMBビット、及びBUFSIZEビットで指定)で設定します。また、バッファメモリへのアクセス(データ読み書き)は3本のFIFOポートを使用します。FIFOポートに割り当てるパイプは、C/DxFIFOSELレジスタのCURPIPEビットにてパイプ番号を指定します。

各パイプのバッファステータスは、DCPCTRレジスタ、及びPIPEXCTRレジスタのBSTSビット、INBUFMビットで確認できます。また、FIFOポートのアクセス権は、C/DxFIFOCTRレジスタのFRDYビットで確認できます。

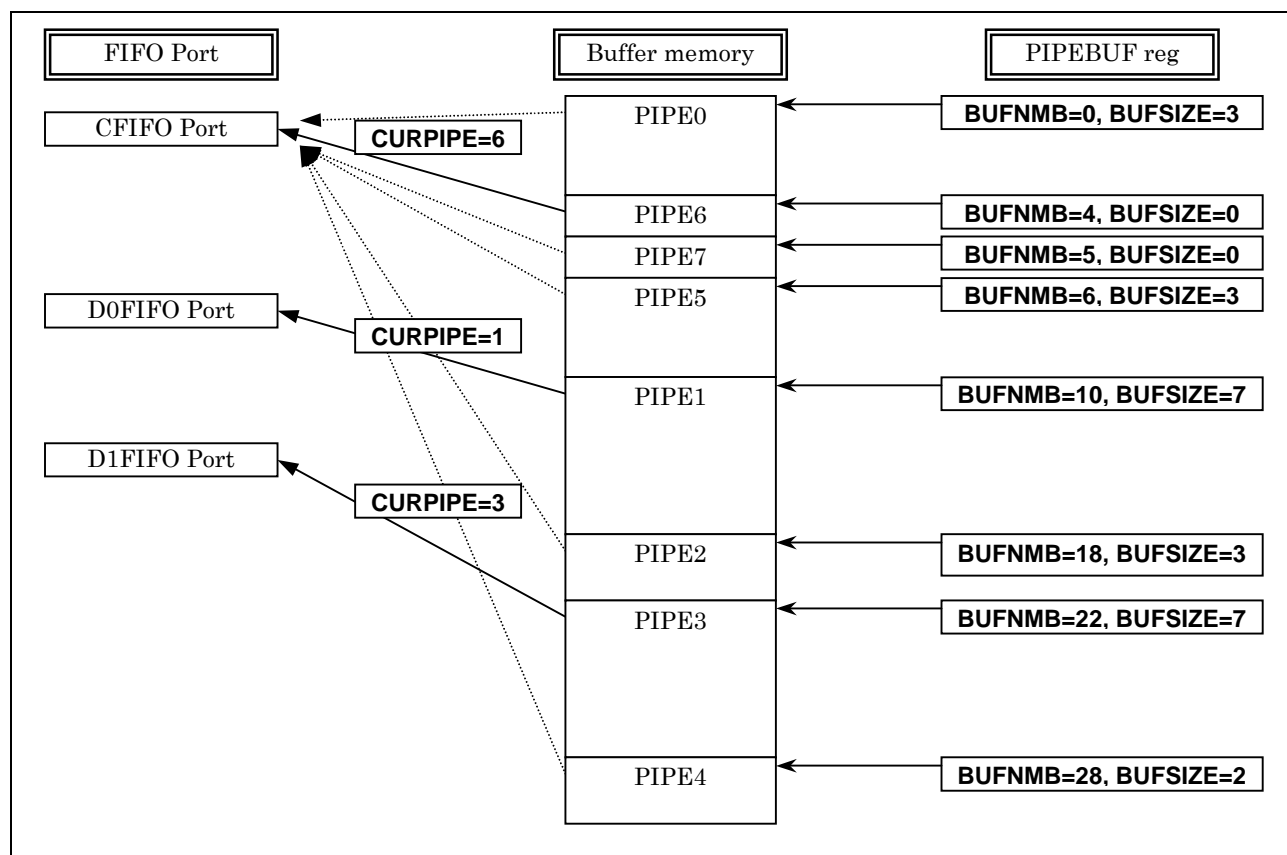


図 3.19 バッファメモリマップ例

3.4.1.1 バッファステータス

表 3.12に本コントローラーのバッファステータス表を示します。バッファメモリステータスを**BSTS**ビット、及び**INBUFM**ビットにて確認できます。バッファメモリのアクセス方向は、**PIPEXCFG**レジスタの**DIR**ビット、もしくは**CFIFOSEL**レジスタの**ISEL**ビット(DCP選択時)で、バッファメモリのアクセス方向を指定します。

なお、**INBUFM**ビットはIN方向("DIR=1")でのみ有効です。

IN転送パイプをダブルバッファに設定している場合、**BSTS**ビットはCPU側のバッファの状態を、**INBUFM**ビットはSIE側のバッファの状態を判断するために使用します。CPU(DMAC)によるFIFOポートへの書き込みが遅く、**BEMP**割り込みではバッファの空が判別できない場合に、**INBUFM**ビットで送信完了を確認できます。

表 3.12 **BSTS**ビットによるバッファステータス表

ISELまたはDIR	BSTS	バッファメモリの状態
0(受信方向)	0	受信データなし、もしくは受信中。FIFOポートからの読み出し不可。
0(受信方向)	1	受信データあり、もしくはZero-Lengthパケット受信。FIFOポートからの読み出し可能。 ただし、Zero-Lengthパケット受信時は読み出し不可のためバッファクリアが必要
1(送信方向)	0	送信を完了していない。FIFOポートへの書き込み不可。
1(送信方向)	1	FIFOポートへの書き込み可能。 (1)"DBLB=0"(シングルバッファ)の場合；送信完了。 (2)"DBLB=1"(ダブルバッファ)の場合；バッファ片側の送信完了。

表 3.13 **INBUFM**ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0(受信方向)	無効	無効
1(送信方向)	0	送信可能データを送信完了した。送信可能データなし。
1(送信方向)	1	送信可能データがFIFOポートから書き込まれた。送信可能データあり

3.4.1.2 バッファクリア

表 3.14に本コントローラーによるバッファメモリのクリア一覧表を示します。バッファメモリは下記の4ビットにてクリアできます。

表 3.14 バッファクリア一覧表

ビット名	BCLR	SCLR	DCLRM	ACLRM
レジスタ	CFIFOCTRレジスタ DxFIFOCTRレジスタ	CFIFOSIEレジスタ	DxFIFOSELレジスタ	PIPEXCTRレジスタ
機能	CPU側バッファメモリをクリアします	SIE側バッファメモリをクリアします	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。 3.4.3.5参照	受信したパケットをすべて破棄する自動バッファクリアモードです。 3.4.1.4参照
クリア方法	"1"ライトでクリア	"1"ライトでクリア	"1"モード有効 "0"モード無効	"1"モード有効 "0"モード無効

3.4.1.3 バッファ領域

表 3.15に本コントローラーのバッファメモリマップを示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域、及びユーザー設定が可能なユーザー領域があります。DCP用バッファは、コントロールリード転送、及びコントロールライト転送で、同一領域を使用する専用固定領域です。PIPE6-7領域は、あらかじめ領域を割り当ててありますが、PIPE6、PIPE7を使用しない場合はユーザー領域としてPIPE1-5に割り当てて使用可能です。各パイプで領域が重ならないように設定してください。また、マックスパケットサイズ未満の設定値でバッファサイズ指定は行わないで下さい。

表 3.15 バッファメモリマップ

バッファメモリ番号	バッファサイズ	パイプ設定	備考
0-3	256 バイト	DCP 専用固定領域	シングルバッファ、連続転送可能
4	64 バイト	PIPE6 用固定領域	シングルバッファ
5	64 バイト	PIPE7 用固定領域	シングルバッファ
6-4F	4736 バイト	PIPE1-5 ユーザー領域	ダブルバッファ設定可能、連続転送可能

3.4.1.4 自動バッファクリアモード機能

本コントローラーには、PIPExCTRレジスタのACLRMビットに"1"を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラーに対してACK応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRMビットに"1"を設定した後、"0"を設定することで、アクセス方向に関係なく、当該パイプのバッファメモリをクリアできます。ただし、バッファメモリのクリア方法はコントローラーの遷移状態により異なります。

USB通信時(ResetHandshake後)は、以下手順でバッファクリアを行ってください。

- (1) スプリットバスを使用している場合は、使用FIFOポートのCURPIPEを"000"にセット
- (2) ACRM="1"セット
- (3) 全PIPEの応答PIDを"00" (NAK)にセット
- (4) SOFR="0"セット
- (5) SOFR="1" (SOF受信)待ち
- (6) ACLRM="0"セット
- (6)は(5)から125us以内(125us中、SETUPパケットを受信する場合は0.3us以内)に行ってください。

USB非通信時(デタッチ状態、サスペンド状態)は、以下手順でバッファクリアを行ってください。

- (1) スプリットバスを使用している場合は、使用FIFOポートのCURPIPEを"000"セット
- (2) ACRM="1"セット
- (3) 100nsウエイト
- (4) ACLRM="0"セット

3.4.1.5 バッファメモリ仕様(シングル/ダブル設定)

PIPE1-5は、PIPExCFGレジスタのDBLBビットにてシングルバッファ、もしくはダブルバッファを選択できます。ダブルバッファは同一パイプに対してPIPEBUFレジスタのBUFSIZEビットにて指定したメモリ領域を2面分割り当てる機能です。図 3.20に本コントローラーのバッファメモリ設定例を示します。

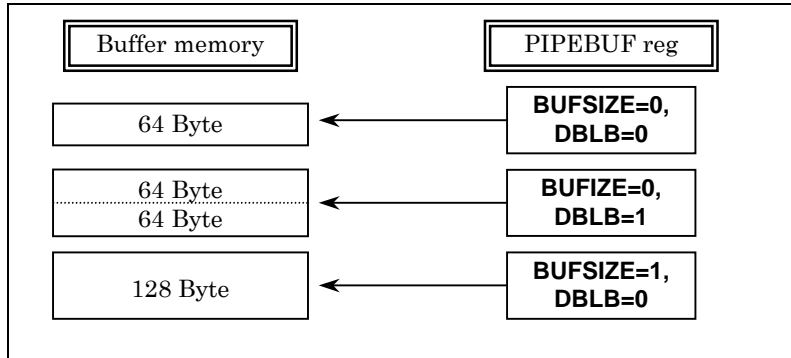


図 3.20 バッファメモリ設定例

3.4.1.6 バッファメモリ動作(連続転送設定)

DCPCFGレジスタ、及びPIPExCFGレジスタのCNTMDビットにて連続転送モード、もしくは非連続転送モードを選択できます。この選択は、パイプ0-5に対して有効です。

連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまでCPUへ割り込みを発生させずにデータ転送ができます。

連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信(ショートパケット、もしくはマックスパケットサイズの整数倍でバッファサイズ未満)の場合には、送信データの書き込み後"BVAL=1"を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウントの終了、もしくはショートパケットを受信するまで、割り込みは発生しません。

図 3.21に本コントローラーのバッファメモリ動作例を示します。

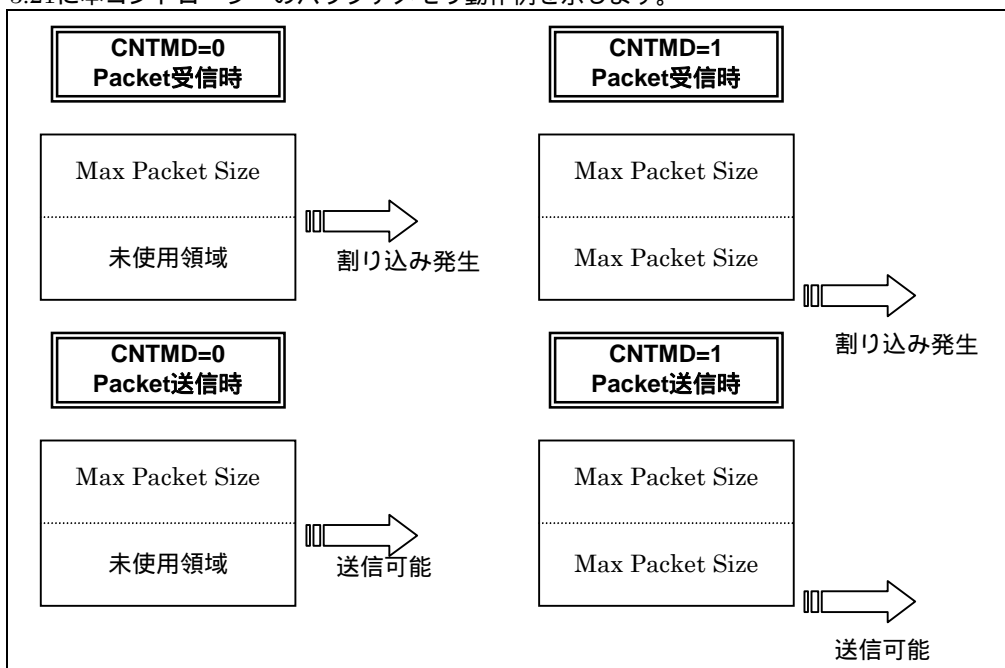


図 3.21 バッファメモリ動作例

3.4.2 FIFOポートの機能

表 3.16に本コントローラーのFIFOポート機能設定表を示します。データ書き込みアクセス時は、バッファフル(非連続転送時はマックスパケットサイズ数)まで書き込みを行うと、自動的に送信可能状態となります。バッファフル(非連続転送時はマックスパケットサイズ数)未満のデータを送信可能状態にするには、**C/DxFIFOCTR**レジスタの**BVAL**ビットによる書き込み終了設定(DMA転送時には**DEND**信号)が必要です。また、Zero-Lengthパケットの送信は、同レジスタの**BCLR**ビットによるバッファクリアの上、**BVAL**ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Lengthパケット受信時(DTLN=0)は、データは読み出せませんので、同レジスタの**BCLR**ビットによるバッファクリアが必要です。受信データ長は、**C/DxFIFOCTR**レジスタの**DTLN**ビットにて確認します。

表 3.16 FIFOポート機能設定表

レジスタ名	ビット名	機能	参照	備考
C/DxFIFOSEL	REW	バッファメモリ リwind(再読み出し、再書き込み)	3.4.2.2	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	3.4.1.2 3.4.3.5 3.4.4	DxFIFO専用 DMA転送想定
	DREQE	DREQ信号アサート	3.4.3	DxFIFO専用
	MBW	FIFOポートアクセスビット幅	3.4.2.1	
	TRENB	トランザクションカウンタ動作許可	3.4.2.5	DxFIFO専用
	TRCLR	カレントトランザクション回数クリア	3.4.2.5	DxFIFO専用
	DEZPM	Zero-Lengthパケット付加モード	3.4.3.3	DMA転送専用
	ISEL	FIFOポートアクセス方向	3.4.2.1	DCP専用
C/DxFIFOCTR	BVAL	バッファメモリ書き込み終了	3.4.2	
	BCLR	CPU側バッファメモリクリア	3.4.1.2	
	DTLN	受信データ長確認	3.4.2	
DxFIFOTRN	TRNCNT	受信トランザクションカウンタ設定	3.4.2.5	DxFIFO専用
CFIFOSIE (DCP除く)	TGL	CPU / SIEバッファトグル	3.4.2.3	CFIFO専用
	SCLR	SIE側バッファメモリクリア	3.4.2.4	CFIFO専用
外部端子	DEND	バッファメモリ書き込み終了	3.4.3.4	DMA転送専用

3.4.2.1 FIFOポート選択

表 3.17に各FIFOポートで選択可能なパイプ表を示します。**C/DxFIFOSEL**レジスタの**CURPIPE**ビットにて、アクセスするパイプを選択します。パイプ選択後"FRDY=1"を確認してからFIFOポートへアクセスしてください。

また、**MBW**ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、**PIPExCFG**レジスタの**DIR**ビットに従います。ただし、DCPのみ**ISEL**ビットにより決定します。

表 3.17 パイプ別FIFOポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
PIPE1~PIPE7	CPUアクセス	CFIFOポートレジスタ DxFIFOポートレジスタ
	DMAアクセス	DxFIFOポートレジスタ

3.4.2.2 REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、**C/DxFIFOSEL**レジスタの**REW**ビットを使用します。

C/DxFIFOSELレジスタの**CURPIPE**ビット設定と同時に**REW**ビットを"1"に設定してパイプ選択を行うと、バッファメモリの読み出し、もしくは書き込みポインタをリセットし、最初のバイトから読み出し、もしくは書き込みを行うことができます。また、"0"に設定しパイプ選択を行うと、バッファメモリの読み出し、もしくは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFOポートへアクセスするには、パイプ選択後"FRDY=1"を確認する必要があります。

3.4.2.3 SIE 側バッファメモリの読み出し(CFIFO ポート読み出し方向)

本コントローラーは、"FRDY=0"状態でバッファメモリからデータ読み出しが行えない場合でも、**CFIFOSIE**レジスタの**SBUSY**ビットを確認し、**TGL**ビットに"1"を設定することで、SIE側のデータ読み出しアクセスが可能です。"PID=NAK"に設定し、"SBUSY=0"を確認の上、"TGL=1"と書き込みを行ってください。コントローラーは、**CFIFO**レジスタからデータ読み出しが可能になります。なお、本機能はバッファメモリ読み出し方向のみ使用できます。また、**TGL**ビット操作で**BRDY**割り込みが発生します。

下記の状態では**TGL**ビットに"1"を書き込まないでください。

- (1) DCP選択時
- (2) バッファメモリを讀出し中
- (3) バッファメモリ書き込み方向のパイプ

3.4.2.4 SIE 側バッファメモリクリア(CFIFO ポート書き込み方向)

本コントローラーは、**CFIFOSIE**レジスタの**SBUSY**ビットを確認し、**SCLR**ビットに"1"を設定することで、送信準備中のデータキャンセルができます。

"PID=NAK"設定し、"SBUSY=0"を確認の上、"SCLR=1"と書き込みを行ってください。コントローラーは、**CFIFO**レジスタから新しいデータ書き込みが可能になります。なお、本機能はバッファメモリ書き込み方向のみ使用できません。また、**SCLR**ビット操作で**BRDY**割り込み、及び**BEMP**割り込みが発生します。

下記の状態では**SCLR**ビットに"1"を書き込まないでください。

- (1) DCP選択時
- (2) バッファメモリを書き込み中
- (3) バッファメモリ読み出し方向のパイプ

3.4.2.5 トランザクションカウンタ(DxFIFO ポート読み出し方向)

本コントローラーは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファー終了と認識できます。トランザクションカウンタは、DxFIFOポートにて選択されているパイプが、バッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。トランザクションカウンタには、トランザクション回数を指定する**TRNCNT**レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリが読み出し可能状態となります。**TRCLR**ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。**TRENB**ビットの設定により、**TRNCNT**レジスタ読み出し時の情報が異なります。

TRENB=0：設定したトランザクションカウンタ値が読み出せます。
TRENB=1：内部でカウントしたカレントカウンタ値が読み出せます。

CURPIPEビットの変更条件は下記のとおりです。

- (1) 指定したパイプのトランザクションが終了するまで、**CURPIPE**ビットは変更しないでください。
- (2) カレントカウンタがクリアされていないと**CURPIPE**ビットは変更できません。

TRCLRビットの操作条件は下記のとおりです。

- (1) トランザクションカウント中、かつ、"PID=BUF"の場合は、カレントカウンタはクリアできません。
- (2) バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

トランザクションが終了する条件は下記のいずれかとなります。

- (1) 設定したトランザクション回数分のマックスパケットサイズのパケットを受信した時
- (2) ショートパケットを受信した時
トランザクション終了時、カレントカウンタ値はクリアされ"0"となります。

3.4.3 DMA転送(DxFIFOポート)

3.4.3.1 DMA 転送概要

PIPE1~7に対して、DMACによるFIFOポートアクセスが可能です。

DMA転送は、1データ(8/16ビット)転送ごとにDREQ信号をアサートするサイクルスチール転送モードと、バッファメモリ内の全データ転送が完了するまでDREQ信号のアサートを続ける、バースト転送モードを選択することができます。タイミングは4章 電気的特性を参照ください。

DxFIFOSELレジスタのMBWビットにてFIFOポートへの転送単位(8ビットまたは16ビット)を、CURPIPEビットにてDMA転送するパイプを選択してください。なお、DMA転送中は選択しているパイプを変更しないでください。

3.4.3.2 DMA 制御信号選択

DMACCFGレジスタのDFORMビットにてDMA転送で使用する端子の選択を、DxFIFOSELレジスタのDREQEビットにてDREQ_x_N端子の制御を行ってください。表 3.18に本コントローラーのDMA制御端子一覧表を、図 3.22にFIFOポートアクセス方法とDMA制御端子を示します。

表 3.18 DMA制御端子一覧表

アクセス方法	レジスタ				端子					備考	
	DREQE	DFORM			DATAバス	DREQ	DACK	RD/WR	ADDR+CS		DSTB
CPUバス0	0	0	0	0	CPU	-	-			-	CPUアクセス
CPUバス1	1	0	0	0	CPU		-			-	CPUバスでのDMA
CPUバス2	1	0	1	0	CPU				*2)	-	CPUバスでのDMA
CPUバス3	1	0	1	1	CPU			-	*2)	-	CPUバスでのDMA
SPLITバス1	1	1	1	0	SPLIT			-	-		スプリットバス*1)
SPLITバス2	1	1	0	0	SPLIT			-	-		スプリットバス

*1) D0FIFOポートに対してのみ本アクセス方法を設定できます。また、D0FIFOポートを本設定で使用し、かつD1FIFOポートも使用する場合には、D1FIFOポートを"DFORM=000"の設定で使用してください。

*2) 本アクセス方法を設定する場合、DxFIFOポートへのアクセス中はCS_N信号をインアクティブに("H"に固定)してください。

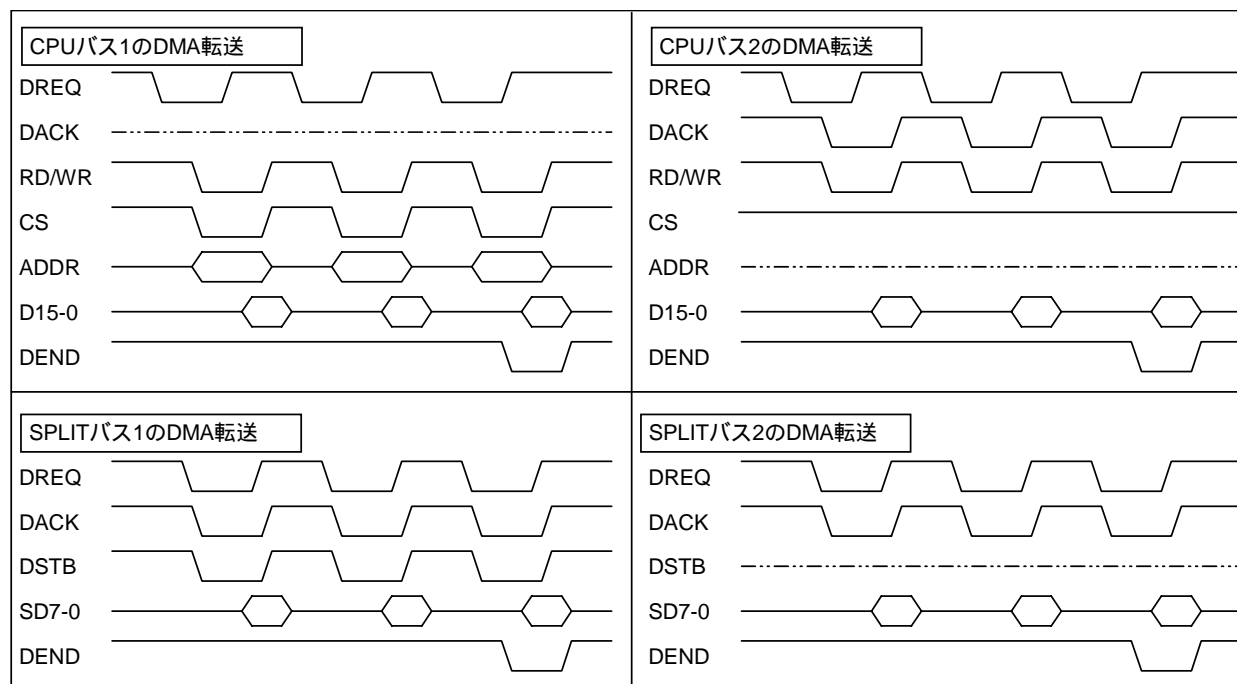


図 3.22 FIFOポートアクセス方法とDMA制御端子

3.4.3.3 Zero-Length パケット付加モード(DxFIFO ポート書き込み方向)

本コントローラーは、DxFIFOSELレジスタのDEZPMビットに"1"を設定することで、下記条件の場合に全データ送信後、Zero-Lengthパケットを1パケット付加して送出することが可能です。本機能はバッファメモリ書き込み方向設定時(CURPIPEビットに送信方向のパイプが設定されている場合)のみ設定できます。

- (1) DEND信号受信時に、バッファメモリに書き込まれているデータのバイト数がマックスパケットサイズの整数倍の場合。

3.4.3.4 DEND 端子

本コントローラーは、DEND端子を使用し、DMA転送を終了することが可能です。DEND端子はUSBデータ転送方向により、入出力が別の機能となります。

- (1) バッファメモリ読み出し方向

DEND端子は、出力端子となり、外部DMAコントローラーに対して最後のデータ転送通知が可能です。DEND信号アサート条件は、DMAxCFGLレジスタのPKTMビットによって設定することができます。

表 3.19に本コントローラーのDEND端子アサート一覧表を示します。

表 3.19 DEND端子アサート一覧表

イベント PKTM	トランザクション カウント終了	パケット受信に よる BRDY 発生	Zero-Length パケッ ト以外のショート パケット受信	バッファ非EMPTY 時の Zero-Length パケット受信	バッファ EMPTY 時 の Zero-Length パケ ット受信*1)
0	アサート	アサートせず	アサート	アサート	アサート
1	アサート	アサート	アサート	アサート	アサートせず

*1) バッファエンブティ時の Zero-Length パケット受信では DREQ 信号をアサートしません。

- (2) バッファメモリ書き込み方向

DEND端子は入力端子となり、バッファメモリを送信可能状態("BVAL=1"を設定したのと同じ状態)にします。

3.4.3.5 DxFIFO 自動クリアモード(DxFIFO ポート読み出し方向)

本コントローラーは、DxFIFOSELレジスタのDCLRMビットに"1"を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該パイプのバッファメモリを自動的にクリアします。

表 3.20に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連表を示します。表 3.20に示すように、BFREビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRMビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させないDMA転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 3.20 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定 パケット受信時のバッファ状態	DCLRM=0		DCLRM=1	
	BFRE=0	BFRE=1	BFRE=0	BFRE=1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

3.4.3.6 BRDY 割り込みタイミング選択機能

PIPECFGレジスタのBFREビットの設定により、マックスパケットサイズのデータパケットを受信時にBRDY割り込みを発生させないようにすることができます。

この機能によりDMA転送を使用している場合に、最終データを受信したときのみ割り込みを発生させることができます。最終データとはショートパケットの受信、またはトランザクションカウントの終了を示します。"BFRE=1"に設定している場合は、受信したデータを読み出した後で、BRDY割り込みが発生します。DnFIFOCTRレジスタのDTLNビットを読み出すことにより、BRDY割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表 3.21に本コントローラーのBRDY割り込み発生タイミングを示します。

表 3.21 BRDY割り込み発生タイミング表

レジスタ設定	BFRE=0	BFRE=1
パケット受信時のバッファ状態		
バッファフル(通常のパケット受信)	パケット受信時	発生しない
Zero-Lengthパケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

BFREビットはバッファメモリから読み出し方向のみ有効です。書き込み方向の場合にはBFREビットは"0"に固定してください。

3.4.4 FIFOポートアクセス可能タイミング

3.4.4.1 パイプ切り替え時の FIFO ポートアクセス可能タイミング

図 3.23に、FIFOポートで指定するパイプを切り替えた(C/DxFIFOSELレジスタのCURPIPEビットを変更した)場合の、FRDYビット、及びDTLNビットが確定するまでのタイミング図を示します。

CURPIPEビットを変更した場合は、C/DxFIFOSELレジスタへの書き込み後450ns待った後、FIFOポートへのアクセスを行ってください。

なお、CFIFOポートに対しては、ISELビットを変更時も同様のタイミングになります。

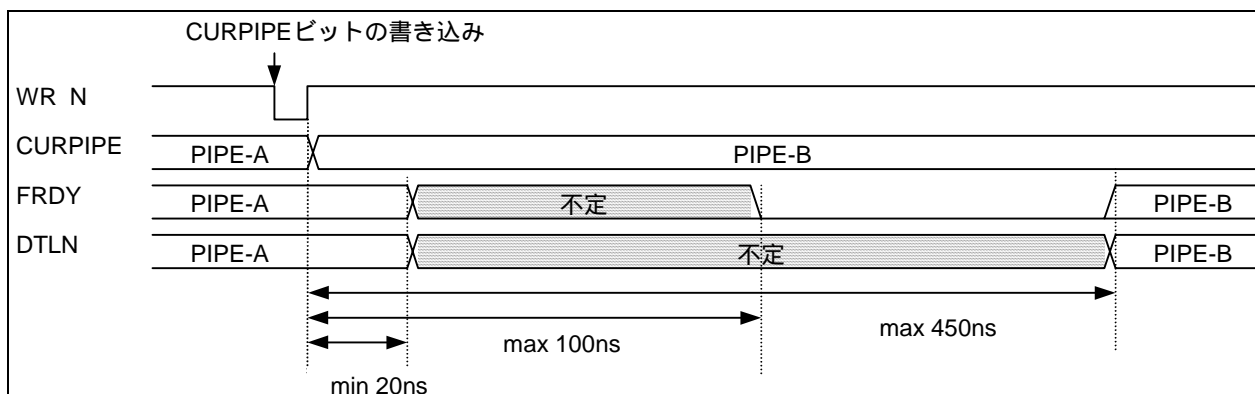


図 3.23 パイプ変更後のFRDY、DTLNの確定タイミング

3.4.4.2 ダブルバッファ時の読み出し、書き込み完了後の FIFO ポートアクセス可能タイミング

図 3.24 に、ダブルバッファのパイプに対して、バッファリード、もしくはライト完了後、もう一方のバッファがアクセス可能状態になるまでのタイミングを示します。

ダブルバッファ時は、トグル直前のアクセス後に300ns待った後、FIFOポートへのアクセスを行ってください。

なおIN方向のパイプにて"BVVAL=1"設定によるショートパケット送信を行う時も同様のタイミングになります。

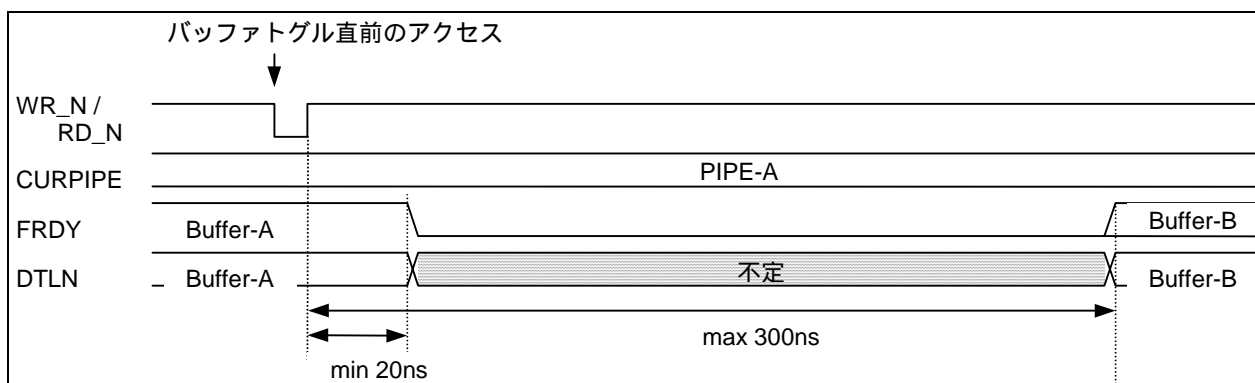


図 3.24 ダブルバッファ時の読み出し、書き込み完了後のFRDY、DTLNの確定タイミング

3.5 データセットアップタイミング

本章ではスプリットバスのタイミングを設定するOBUSビットについて説明します。

本コントローラーはDMAxCFGレジスタのOBUSビットにより、SD0-7とDEND端子のタイミングを、表 3.22に示すとおり変更可能です。OBUSビットは、スプリットバスを用いたDMA転送時のみ有効な機能です。CPUバスでDMA転送を行う場合には、OBUSビットの設定は無視されます。

表 3.22 OBUSビット設定値によるの動作相違点

方向	OBUS ビット設定	動作
読み出し	0	コントロール信号(*1)に関わらず、SD0-7、DEND信号は常に出力します。コントロール信号がネゲートされると次のデータが出力されます。このため、DMACのデータセットアップ時間が確保され、高速なDMA転送が可能になります。
	1	コントロール信号アサートされてから、SD0-7、DEND信号を出力します。コントロール信号がネゲートされるとSD0-7、DEND信号はHizになります。
書き込み	0	DACKx_N信号に関わらず、SD0-7、DEND信号を常に入力可能とします。DMACはDACKx_N信号をアサートするより前から、次のデータを出力することが可能です。このため、本コントローラーのデータセットアップ時間が確保されて、高速なDMA転送が可能になります。
	1	DACKx_N信号がアサートされている場合のみ、SD0-7、DEND信号は入力可能となります。DACKx_N信号がネゲートされている場合は、SD0-7、DEND信号は無視します。

*1) コントロール信号とは、DMAxCFGレジスタのDFORM[9-7]が"100"の場合は、DACKx_Nを示します。DFORM[9-7]が"110"の場合は、DACK0_NとDSTRB0_Nの両方を示します。この場合のコントロール信号のアサートとは、DACK0_NとDSTRB0_Nがどちらもアサートしている状態です。

読み出し方向で"OBUS=0"に設定すると、SD0-7、DEND信号が常に出力になりますので、他のデバイスとバスを共有する場合には信号の衝突にご注意下さい。

書き込み方向で"OBUS=0"に設定すると、SD0-7、DEND信号を常に入力可能な状態になります。信号を中間電位にしないようご注意ください。

図 3.25に本コントローラーの、OBUSビットによるデータセットアップタイミング概要図を示します。

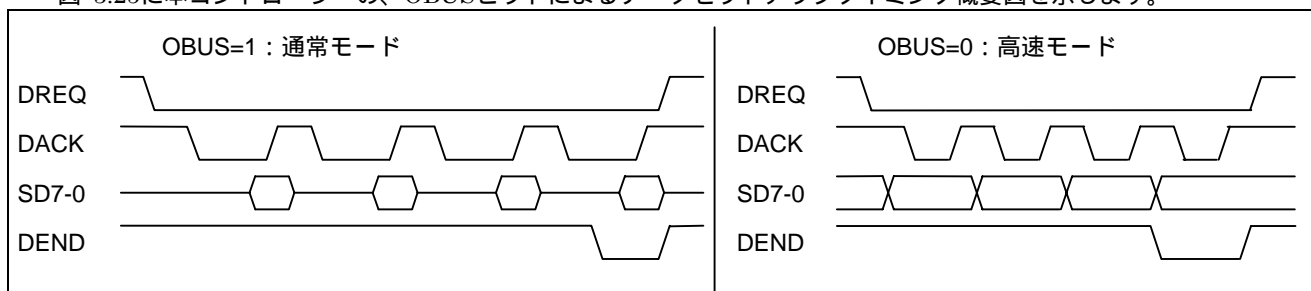


図 3.25 データセットアップタイミング概要図

3.6 コントロール転送(DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ(DCP)を使用します。DCPのバッファメモリは、コントロールリード、及びコントロールライト共用の固定領域で256バイトシングルバッファです。バッファメモリへのアクセスは、CFIFOポートのみ可能です。

3.6.1 セットアップステージ

本コントローラーは、本コントローラーに対する正常なセットアップ packets に対して、必ずACK応答します。セットアップステージの本コントローラーの動作を以下に示します。

- (1) 新しいセットアップ packets を受信すると、本コントローラーは、以下のビットをセットします。
 - (a) INTSTS0レジスタのVALIDビットを"1"にセット。
 - (b) DCPCTRレジスタのPIDビットを"NAK"にセット。
 - (c) DCPCTRレジスタのCCPLビットを"0"にセット。
- (2) セットアップ packets に引き続き、データ packets 受信すると、本コントローラーは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、及びUSBLENGレジスタに格納します

コントロール転送に対する応答処理は、必ず"VALID=0"を設定後に行ってください。"VALID=1"状態では"PID=BUF"設定が行えず、データステージを終了することができません。

VALIDビットの機能により、本コントローラーは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本コントローラーは、受信したUSBリクエストの方向ビット(bmRequestTypeのbit8)、及びリクエストデータ長(wLength)を自動判別し、コントロールリード転送、コントロールライト転送、及びノーデータコントロール転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本コントローラーのステージ管理については図 3.17 コントロール転送ステージ遷移図を参照してください。

3.6.2 データステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファメモリへアクセスする前に、CFIFSELレジスタのISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファメモリのサイズより大きい場合には、コントロールライト転送ではBRDY割り込みを、コントロールリード転送ではBEMP割り込みを使用してデータ転送を行ってください。

Hi-Speed動作時のコントロールライト転送では、バッファメモリの状況に応じてNYETハンドシェイク応答を行います。NYETハンドシェイクについては、3.7.1 NYETハンドシェイク制御を参照してください。

3.6.3 ステータスステージ

DCPCTRレジスタのPIDビットが"PID=BUF"の状態、CCPLビットに"1"を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本コントローラーが自動的にステータスステージを実行します。具体的には下記のとおりです。

- (1) コントロールリード転送の場合：

USBホストからのZero-Length packets を受信し、ACK応答を送信します。
- (2) コントロールライト転送、ノーデータコントロール転送の場合：

本コントローラーはZero-Length packets の送信を行い、USBホストからのACK応答を受信します。

3.6.4 コントロール転送自動応答機能

本コントローラーは、正常なSET_ADDRESSリクエストに自動応答します。SET_ADDRESSリクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- (1) コントロールリード転送以外の場合 : bmRequestType "0x00"
- (2) リクエストエラーの場合 : wIndex "0x00"
- (3) ノーデータコントロール転送以外の場合 : wLength "0x00"
- (4) リクエストエラーの場合 : wValue > "0x7F"
- (5) デバイスステートエラーのコントロール転送 : DVSQ = "011(Configured)"

SET_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

3.7 バルク転送(PIPE1-5)

バルク転送は、バッファメモリ使用方法(シングル/ダブルバッファ設定、もしくは連続/非連続転送モード設定)の選択ができます。バッファメモリサイズは、最大2Kバイトまで設定可能です。バッファメモリの状態は本コントローラーが管理し、PINGパケット/NYETハンドシェイクには自動応答します。

3.7.1 NYETハンドシェイク制御

表 3.23に本コントローラーのNYETハンドシェイク応答表を示します。本コントローラーのNYET応答は、下記の条件に従います。ただし、ショートパケット受信時は、NYETパケット応答をせずにACK応答となります。また、コントロールライト転送のデータステージも同様です。

表 3.23 NYETハンドシェイク応答表

PID ビット 設定値	バッファメモリ の状態 *1)	トークン	応答	備考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY*1	OUT/PING	ACK	OUTトークン受信時はデータパケットを受信
	RCV-BRDY*2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY*2	OUT(Short)	ACK	データパケット受信、受信可能通知
	RCV-BRDY*2	PING	ACK	受信可能通知
	RCV-NRDY	OUT / PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0 / 1	データパケット送信
	TRN-NRDY	IN	NAK	TRN-NRDY

*1) 具体的には下記のとおりです。

RCV-BRDY*1 : OUT/PINGトークン受信時にバッファメモリに2パケット分以上の空き領域がある。

RCV-BRDY*2 : OUTトークン受信時にバッファメモリに1パケット分の空き領域しかない。

RCV-NRDY : PINGトークン受信時にバッファメモリに空き領域がない。

TRN-BRDY : INトークン受信時にバッファメモリに送信データがある。

TRN-NRDY : INトークン受信時にバッファメモリに送信データがない。

3.8 インタラプト転送(PIPE6-7)

本コントローラーは、ホストコントローラーが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PINGパケットは無視(無応答になる)し、NYETハンドシェイク応答せず、ACK、NAK、STALL応答を行います。本コントローラーは、インタラプト転送のHigh-Bandwidth転送には対応していません。

3.9 アイソクロナス転送(PIPE1-2)

本コントローラーは、アイソクロナス転送に対して下記の機能を備えています。

- (1) アイソクロナス転送のエラー情報通知
- (2) インターバルカウンタ(IITVビット指定)
- (3) アイソクロナスIN転送データセットアップコントロール(IDLY機能)
- (4) アイソクロナスIN転送バッファフラッシュ機能(IFISビット指定)
- (5) SOFパルス出力機能

本コントローラーは、アイソクロナス転送のHigh-Bandwidth転送には対応していません。

3.9.1 アイソクロナス転送のエラー検出

本コントローラーは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 3.24、及び表 3.25に本コントローラーがエラーを検出する優先順位とエラー検出にともなって発生させる割り込みについて示します。

- (1) PIDエラー
PIDが不正な場合。
- (2) CRCエラー、ビットスタッフィングエラー
受信パケットのCRCにエラーがあった場合。またはビットスタッフィングが不正な場合。
- (3) マックスパケットサイズオーバー
マックスパケットサイズが設定値を越えていた。
- (4) オーバラン、アンダーランエラー
アイソクロナスIN転送時にINトークンに対してのデータ送信が間に合わなかった。
アイソクロナスOUT転送時にOUTトークンを受信したがバッファメモリが空きではなかった。
- (5) インターバルエラー
アイソクロナスIN転送でインターバルフレームにトークンを受信できなかった。
アイソクロナスOUT転送でインターバルフレーム以外でトークンを受信した。

表 3.24 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(無視)
2	CRCエラー、ビットスタッフィングエラー	割り込み発生せず(無視)
3	オーバーラン、アンダーランエラー	NRDY割り込み OVRNビットセット
4	インターバルエラー	割り込み発生せず(無視)(IN転送時) NRDY割り込み(OUT転送時)

表 3.25 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(無視)
2	CRCエラー、ビットスタッフィングエラー	NRDY割り込み発生 CRCEビットセット
3	マックスパケットサイズオーバーエラー	BEMP割り込み PIDを"STALL"にセット

3.9.2 DATA-PID

High-Bandwidth転送には対応していないためUSB2.0規格で追加されたDATA-PIDには以下の対応となります。

- (1) IN方向：
 - (a) DATA0：データパケットのPIDとして送信します
 - (b) DATA1：送信しません
 - (c) DATA2：送信しません
 - (d) mData：送信しません
- (2) OUT方向(Full-Speed動作時)：
 - (a) DATA0：データパケットのPIDとして正常受信します
 - (b) DATA1：データパケットのPIDとして正常受信します
 - (c) DATA2：パケットを無視します
 - (d) mData：パケットを無視します
- (3) OUT方向(Hi-Speed動作時)：
 - (a) DATA0：データパケットのPIDとして正常受信します
 - (b) DATA1：データパケットのPIDとして正常受信します
 - (c) DATA2：データパケットのPIDとして正常受信します
 - (d) mData：データパケットのPIDとして正常受信します

3.9.3 インターバルカウンタ

3.9.3.1 動作概要

PIPEPERIレジスタのIITVビットで、アイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、表 3.26に示す機能を実現します。

表 3.26 インターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウンタは、SOFの受信または補完されたSOFで行いますので、SOFが破損しても等時性を保つことができます。設定できるフレーム間隔は $2^{IITV}(\mu)$ フレームです。

3.9.3.2 カウンタの初期化

本コントローラーは、下記の条件でインターバルカウンタを初期化します。

- (1) H/Wリセット
IITVビットが初期化されます。
- (2) S/Wリセット
IITVビットが初期化されます。
- (3) 低電力スリープ状態からの復帰
IITVビットが初期化されます。
- (4) USBバスリセット(カウンタが停止され再始動により改めてカウンタが開始されます)
IITVビットが初期化されます。
- (5) ACLRMによるバッファメモリ初期化
IITVビットは初期化されませんがカウンタは初期化されます。ACLRMビットを0にすることにより、IITVの設定値からカウンタを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記(1)もしくは(2)の条件でインターバルのカウンタを開始します。

- (1) "PID=BUF"状態でINトークンに対して、データを送信後のSOF受信
- (2) "PID=BUF"状態でOUTトークンの、データを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- (1) **PID**ビットをNAKまたはSTALLに設定した場合
インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。
- (2) USBバスリセット、及び、USBサスペンド
IITVビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

3.9.4 アイソクロナス転送送信データセットアップ

本コントローラーのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOFパケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のINトークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

INトークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Lengthパケットを送出しアンダーランエラーとなります。

Zero-Lengthパケット送出は図中で網掛けNullと表示しています。

図 3.26に本コントローラーで、"IITV=0(毎フレーム)"を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

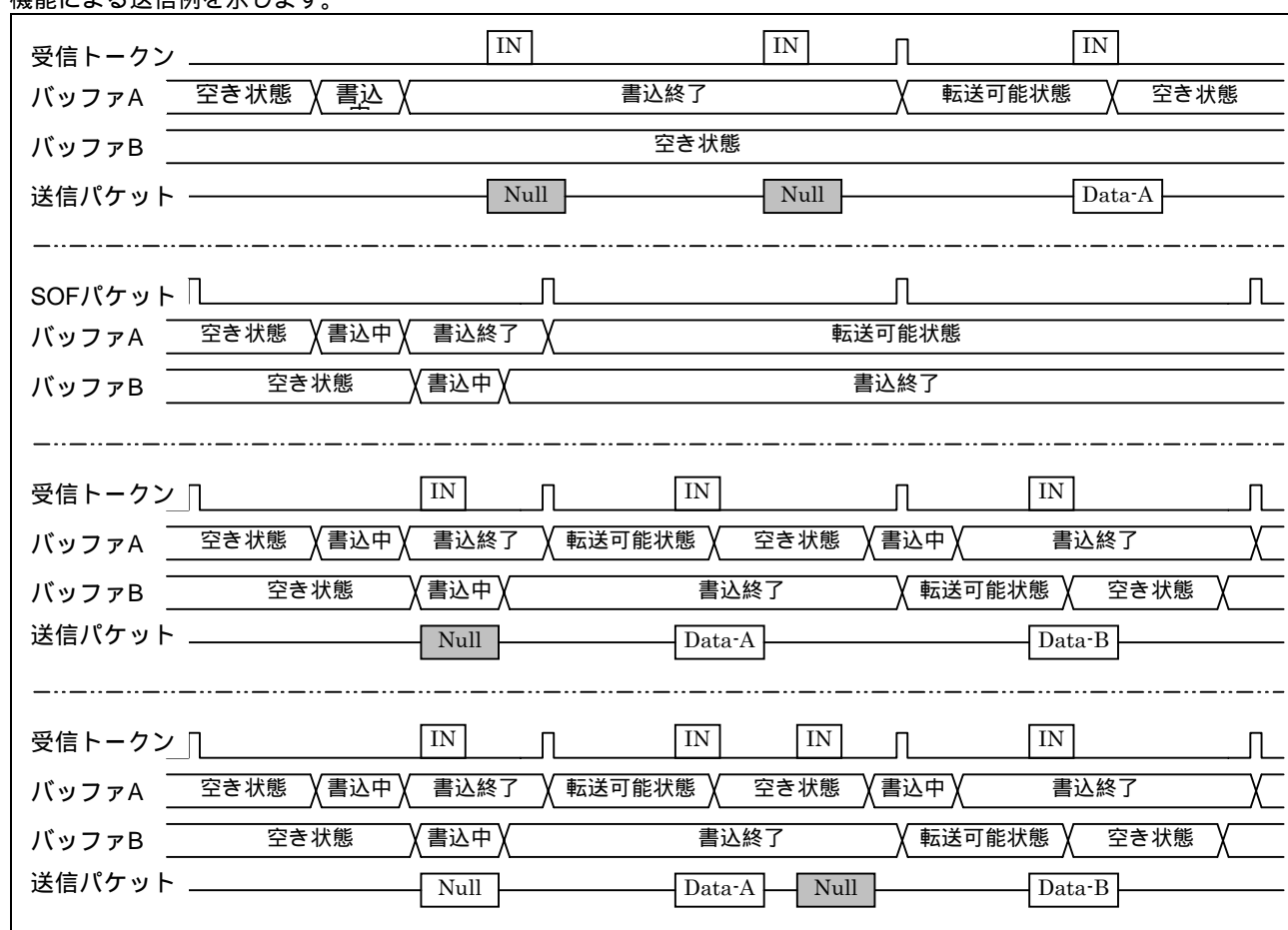


図 3.26 データセットアップ機能動作例

3.9.5 アイソクロナス転送送信バッファフラッシュ

本コントローラーは、アイソクロナスデータ送信でインターバルフレームにINトークンを受信せず(μ)SOFパケットを受信した場合は、INトークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、(μ)SOFパケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能はIITVビット設定値により動作開始タイミングが異なります。

- (1) IITV=0の場合
パイプが有効となった次のフレームからバッファフラッシュ動作します。
- (2) IITV=0以外の場合
最初の正常なトランザクション以降バッファフラッシュ動作します。

図 3.27に本コントローラーのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外(インターバルフレーム前のトークン)に対しては、データセットアップ状態に従い、書き込みデータの送出もしくはアンダーランエラーとしてZero-Lengthパケットを送出します。

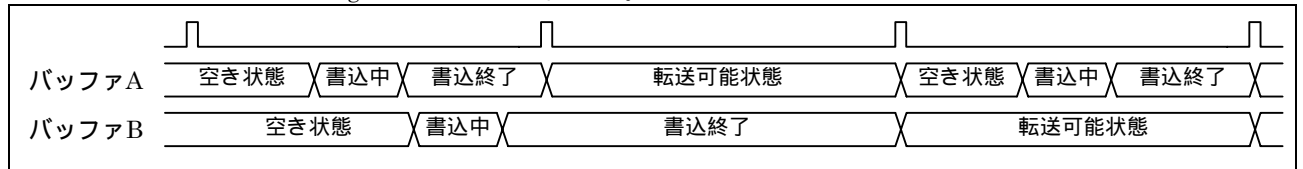


図 3.27 バッファフラッシュ機能動作例

図 3.28に本コントローラーのインターバルエラー発生例を示します。インターバルエラーは下記の5種類です。図中の①タイミングでインターバルエラーが発生しインバッファフラッシュ機能が動作します。

インターバルエラーはIN転送時にバッファフラッシュ機能が動作し、OUT転送時はNRDY割り込みが発生します。受信パケットエラーなどのNRDY割り込みとオーバーランエラーとの区別はOVRNビットで判定してください。図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

- (1) IN方向：
 - (a) バッファ転送可能状態であればデータ転送し正常応答
 - (b) バッファ転送不能状態であればZero-Lengthパケット送信しアンダーランエラー
- (2) OUT方向：
 - (a) バッファ受信可能状態であればデータ受信し正常応答
 - (b) バッファ受信不能状態であればデータ破棄しオーバーランエラー

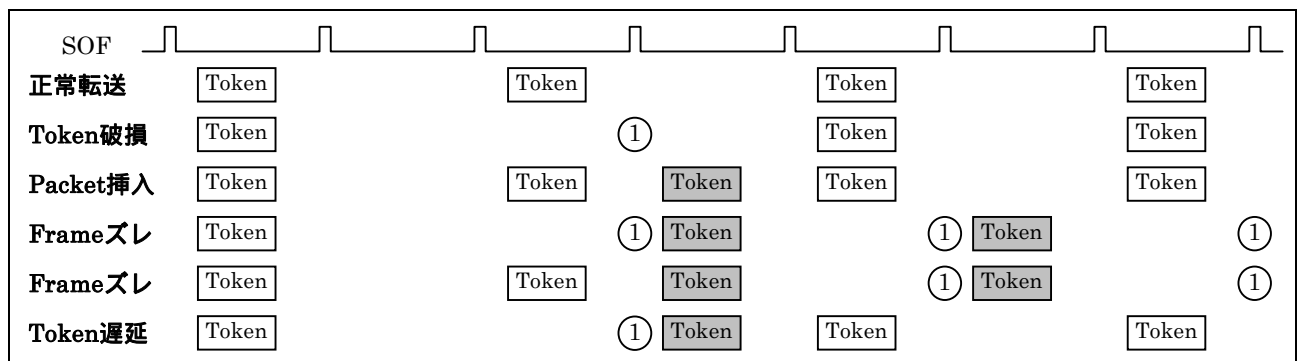


図 3.28 "IITV=1"の時のインターバルエラー発生例

3.10 SOF補間機能

SOFパケットの破損、もしくは欠落のために、1ms(Full-Speed動作時)または125us(Hi-Speed動作時)間隔でSOFパケットを受信できなかった場合に、本コントローラーはSOFを補間します。SOF補間動作の開始は"USB=1"かつ"SCKE=1"かつSOFパケット受信となります。また、下記の条件で補間機能が初期化されます。

- (1) H/Wリセット
- (2) S/Wリセット
- (3) USBバスリセット
- (4) サスペンド検出

また、SOF補間は次の仕様で動作します。

- (1) 125us/1msはリセットハンドシェイクプロトコルの結果に従う。
- (2) SOFパケット受信までは補間機能は動作しない。
- (3) 最初のSOFパケット受信後は内部クロック48MHzで125us、もしくは1msをカウントし補間する。
- (4) 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する。
- (5) サスペンド時及びUSBバスリセット受信中は補間しない。

(Hi-Speed時のサスペンド移行では最終パケットから3ms間は補間を継続します)

本コントローラーは、SOFパケットの受信に基づいて下記の機能を動作させますが、SOFパケットが欠落した場合にはSOF補間を行うため、正常動作を継続させることができます。

- (1) フレーム番号、及びマイクロフレーム番号の更新
- (2) SOFR割り込み、及び μ SOFロック
- (3) SOFパルス出力
- (4) アイソクロナス転送インターバルカウント

Full-Speed動作時にSOFパケットが欠落した場合には、FRMNUM0レジスタのFRNMビットは更新されません。

Hi-Speed動作時に μ SOFパケットが欠落した場合には、FRMNUM1レジスタのUFRNMビットが更新されます。

ただし、"uFRNM=000"の μ SOFパケットが欠落した場合には、FRNMビットは更新されません。この場合は、時継続する" μ FRNM=000"以外の μ SOFパケットが正常に受信されてもFRNMビットは更新されません。

3.10.1 SOFパルス出力

本コントローラーは、SOF出力許可されている場合に、SOFを受信したタイミングでSOF信号を出力することができます。SOFCFGレジスタのSOFMビットの値が"01"(1ms SOF)または"10"(125 μ s SOF)の時に、SOF_N端子から"L"アクティブでパルスを出力します。これを"SOF信号"と呼びます。パルスのタイミングについては図 3.29を参照してください。本コントローラーは、SOFパケット受信イベントまたは、"SOF補間"イベントによってSOF出力を等間隔に出力しています。

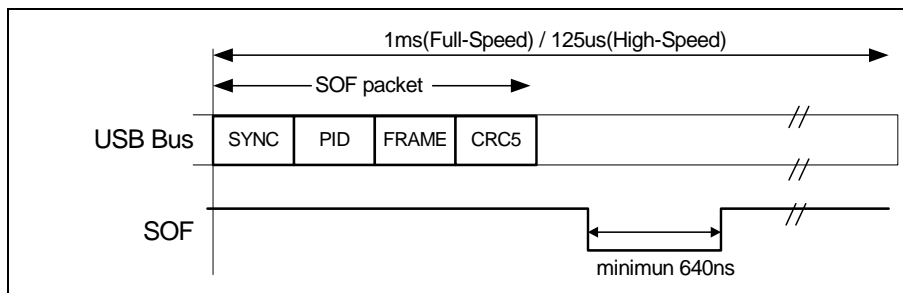


図 3.29 SOF出力タイミング

4 電気的特性

4.1 絶対最大定格

記号	項目	定格値	単位
VDD	コア電源電圧	-0.3~+2.4	V
VIF	IO電源電圧	-0.3~+4.0	V
AFEA33V	USBトランシーバ部アナログ電源電圧(3.3V系)	-0.3~+4.0	V
AFED33V	USBトランシーバ部デジタル電源電圧(3.3V系)	-0.3~+4.0	V
AFEA15V	USBトランシーバ部アナログ電源電圧(1.5V系)	-0.3~+2.4	V
AFED15V	USBトランシーバ部デジタル電源電圧(1.5V系)	-0.3~+2.4	V
VBUS	VBUS入力電圧	-0.3~+5.5	V
V _I (IO)	システムインタフェース入力電圧	-0.3 ~VIF+0.3	V
V _O (IO)	システムインタフェース出力電圧	-0.3~VIF+0.3	V
Pd	消費電力	400	mW
Tstg	保存温度	M66592FP(LQFP)	-55~+150
		M66592WG(FBGA)	-55~+125
		M66592UG(VFBGA)	-55~+125

4.2 推奨動作条件

記号	項目	規格値			単位	
		最小	標準	最大		
VDD	コア電源電圧	1.35	1.5	1.65	V	
VIF	IO電源電圧	1.8V対応	1.6	1.8	2.0	V
		3.3V対応	2.7	3.3	3.6	V
AFEA33V	USBトランシーバ部アナログ電源電圧(3.3V系)	3.0	3.3	3.6	V	
AFED33V	USBトランシーバ部デジタル電源電圧(3.3V系)	3.0	3.3	3.6	V	
AFEA15V	USBトランシーバ部アナログ電源電圧(1.5V系)	1.35	1.5	1.65	V	
AFED15V	USBトランシーバ部デジタル電源電圧(1.5V系)	1.35	1.5	1.65	V	
AFEA33G	USBトランシーバ部アナログ電源GND		0		V	
AFED33G	USBトランシーバ部デジタル電源GND		0		V	
AFEA15G	USBトランシーバ部アナログ電源GND		0		V	
AFED15G	USBトランシーバ部デジタル電源GND		0		V	
DGND	電源GND		0		V	
V _I (IO)	システムインタフェース入力電圧	0		VIF	V	
V _I (VBUS)	入力電圧(VBUS入力のみ)	0		5.25	V	
V _O (IO)	システムインタフェース出力電圧	0		VIF	V	
Topr	動作周囲温度	-20	+25	+85		
tr, tf	入力上昇、下降時間	ノーマル入力		500	ns	
		シュミットトリガ入力		5	ms	

4.3 電気的特性(VIF = 2.7~3.6V, VDD = 1.35~1.65V対応規格)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V _{IH}	"H"入力電圧	Xin	AFE33V = 3.6V		2.52	3.6	V	
V _{IL}	"L"入力電圧		AFE33V = 3.0V		0	0.9	V	
V _{IH}	"H"入力電圧	注1	VIF = 3.6V		0.7VIF	3.6	V	
V _{IL}	"L"入力電圧		VIF = 2.7V		0	0.3VIF	V	
VT+	正方向スレッシュホールド電圧	注2	VIF = 3.3V		1.4	2.4	V	
VT-	負方向スレッシュホールド電圧		0.5	1.65	V			
V _{TH}	ヒステリシス電圧		0.8		V			
V _{OH}	"H"出力電圧	Xout	AFE33V = 3.0V	I _{OH} = -50uA	2.6		V	
V _{OL}	"L"出力電圧			I _{OL} = 50uA		0.4	V	
V _{OH}	"H"出力電圧	注3	VIF = 2.7V	I _{OH} = -2mA	VIF-0.4		V	
V _{OL}	"L"出力電圧			I _{OL} = 2mA		0.4	V	
V _{OH}	"H"出力電圧	注4	VIF = 2.7V	I _{OH} = -4mA	VIF-0.4		V	
V _{OL}	"L"出力電圧			I _{OL} = 4mA		0.4	V	
VT+	正方向スレッシュホールド電圧	注5	AFED33V = 3.3V		1.4	2.4	V	
VT-	負方向スレッシュホールド電圧		0.5	1.65	V			
I _{IH}	"H"入力電流		VIF = 3.6V	V _I = VIF		10	uA	
I _{IL}	"L"入力電流			V _I = GND		-10	uA	
I _{OZH}	オフ状態"H"出力電流	注4	VIF = 3.6V	V _O = VIF		10	uA	
I _{OZL}	オフ状態"L"出力電流			V _O = GND		-10	uA	
R _{dv}	プルダウン抵抗	注5			500		kΩ	
R _{dt}	プルダウン抵抗	注6			50		kΩ	
I _{cc(A)}	HS動作時平均電源電流	注7	f(Xin) = 48MHz VDD = 1.65V, VIF = 3.6V, AFE33V, AFED33V = 3.6V, AFE15V, AFED15V = 1.65V			40		mA
I _{cc(A)}	FS動作時平均電源電流	注7	f(Xin) = 48MHz VDD = 1.65V, VIF = 3.6V, AFE33V, AFED33V = 3.6V, AFE15V, AFED15V = 1.65V			18		mA
I _{cc(S)}	静止時電源電流	注7	USBサスペンド状態 但し、VIF = 3.6V			0.27		mA
			USBケーブルデタッチ状態 但し、VIF = 3.6V			0.07		mA
C _{IN}	端子容量(入力)					7		pF
C _{OUT}	端子容量(出力/入出力)	注8				7		pF
C _{OUT}	端子容量(D+, D-)					15		pF

注1: A6/ALE、A5-1、TEST、MPBUS入力端子、及びD15-7、D6/AD6-D1/AD1、D0、SD7-0、DEND0-1_N入出力端子

注2: CS_N、RD_N、WR0-1_N、DACK0_N、DACK1_N/DSTB0_N、RST_N入力端子

注3: INT_N、SOF_N、DREQ0-1_N出力端子、及びDEND0-1_N入出力端子

注4: D15-7、D6/AD6-D1/AD1、D0、SD7-SD0入出力端子

注5: VBUS入力端子

注6: TEST入力端子

注7: 電源電流はVDD、VIF、AFE33V、AFED33V、AFE15V、AFED15Vの合計電流

注8: D+、D-以外

4.4 電気的特性(VIF = 1.6~2.0V, VDD = 1.35~1.65V対応規格)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V _{IH}	"H"入力電圧	Xin	AFEA33V = 3.6V	2.52		3.6	V
V _{IL}	"L"入力電圧		AFEA33V = 3.0V	0		0.9	V
V _{IH}	"H"入力電圧	注1	VIF = 2.0V	0.7VIF		2.0	V
V _{IL}	"L"入力電圧		VIF = 1.6V	0		0.3VIF	V
VT+	正方向スレッシュホールド電圧	注2	VIF = 1.8V	0.7		1.4	V
VT-	負方向スレッシュホールド電圧			0.2		0.8	V
V _{TH}	ヒステリシス電圧				0.5		V
V _{OH}	"H"出力電圧	Xout	AFEA33V = 3.0V	I _{OH} = -50uA	2.6		V
V _{OL}	"L"出力電圧			I _{OL} = 50uA		0.4	V
V _{OH}	"H"出力電圧	注3	VIF = 1.6V	I _{OH} = -2mA	VIF-0.4		V
V _{OL}	"L"出力電圧			I _{OL} = 2mA		0.4	V
V _{OH}	"H"出力電圧	注4	VIF = 1.6V	I _{OH} = -4mA	VIF-0.4		V
V _{OL}	"L"出力電圧			I _{OL} = 4mA		0.4	V
VT+	正方向スレッシュホールド電圧	注5	AFED33V=3.3V	1.4		2.4	V
VT-	負方向スレッシュホールド電圧			0.5		1.65	V
I _{IH}	"H"入力電流		VIF = 2.0V	V _I = VIF		10	uA
I _{IL}	"L"入力電流			V _I = GND		-10	uA
I _{OZH}	オフ状態"H"出力電流	注4	VIF = 2.0V	V _O = VIF		10	uA
I _{OZL}	オフ状態"L"出力電流			V _O = GND		-10	uA
R _{dv}	プルダウン抵抗	注5			500		kΩ
R _{dt}	プルダウン抵抗	注6			50		kΩ
I _{CC(A)}	HS動作時平均電源電流	注7	f(Xin) = 48MHz VDD = 1.65V, VIF = 2.0V, AFEA33V, AFED33V = 3.6V, AFEA15V, AFED15V = 1.65V		40		mA
I _{CC(A)}	FS動作時平均電源電流	注7	f(Xin) = 48MHz VDD = 1.65V, VIF = 2.0V, AFEA33V, AFED33V = 3.6V, AFEA15V, AFED15V = 1.65V		18		mA
I _{CC(S)}	静止時電源電流	注7	USBサスペンド状態 但し、VIF = 2.0V		0.27		mA
			USBケーブルデタッチ状態 但し、VIF = 2.0V		0.07		mA
C _{IN}	端子容量(入力)				7		pF
C _{OUT}	端子容量(出力/入出力)	注8			7		pF
C _{OUT}	端子容量(D+, D-)				15		pF

注1: A6/ALE、A5-1、TEST、MPBUS入力端子、及びD15-7、D6/AD6-D1/AD1、D0、SD7-0、DEND0-1_N入出力端子

注2: CS_N、RD_N、WR0-1_N、DACK0_N、DACK1_N/DSTB0_N、RST_N入力端子

注3: INT_N、SOF_N、DREQ0-1_N出力端子、及びDEND0-1_N入出力端子

注4: D15-7、D6/AD6-D1/AD1、D0、SD7-SD0入出力端子

注5: VBUS入力端子

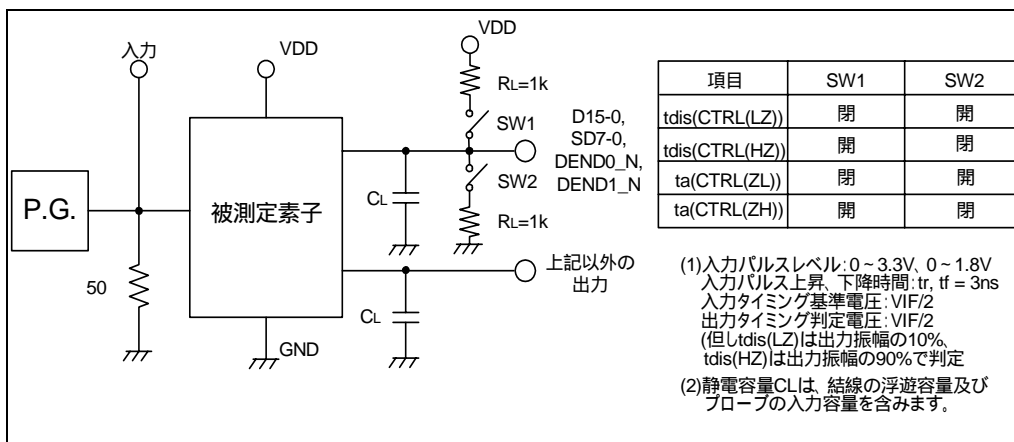
注6: TEST入力端子

注7: 電源電流はVDD、VIF、AFEA33V、AFED33V、AFEA15V、AFED15Vの合計電流

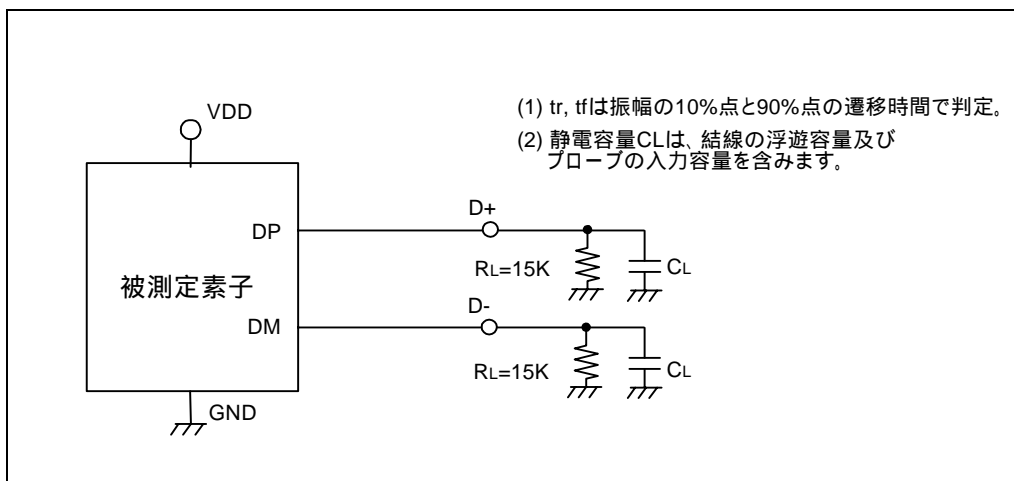
注8: D+、D-以外

4.5 測定回路

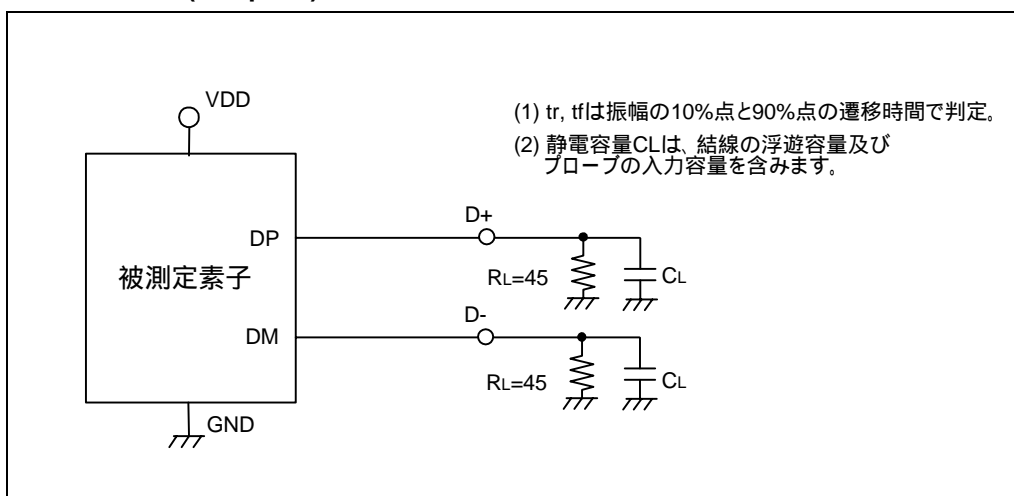
4.5.1 USBバッファ部以外の端子



4.5.2 USBバッファ部(Full-Speed)



4.5.3 USBバッファ部(Hi-Speed)



4.6 電気的特性(D+/D-)

4.6.1 DC特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
R _{REF}	基準抵抗		5.544	5.6	5.656	kΩ
R _o	FSドライバ 出力インピーダンス	HS動作時	40.5	45	49.5	Ω
		FS動作時	28	36	44	Ω
R _{pu}	D+プルアップ抵抗	アイドル時	0.9		1.575	kΩ
		受信時	1.425		3.09	kΩ
Full-Speed時の入力特性						
V _{IH}	"H"入力電圧		2.0			V
V _{IL}	"L"入力電圧				0.8	V
V _{DI}	差分入力感度	(D+)-(D-)	0.2			V
V _{CM}	差分コモンモード範囲		0.8		2.5	V
Full-Speed時の出力特性						
V _{OL}	"L"出力電圧	AFEAVDD = 3.0V	1.5kΩのRLから 3.6V		0.3	V
V _{OH}	"H"出力電圧		15kΩのRLから GND	2.8		3.6
V _{SE}	シングルエンディッドレシーバ スレッシュホールド電圧		0.8		2.0	V
V _{ORS}	出力信号クロスオーバー 電圧	CL=50pF	1.3		2.0	V
Hi-Speed時の入力特性						
V _{HSSQ}	スケルチ検出スレッシュホールド 電圧(差動電圧)		100		150	mV
V _{HSCM}	コモンモード電圧範囲		-50		500	mV
Hi-Speed時の出力特性						
V _{HSOI}	アイドル状態		-10.0		10	mV
V _{HSOH}	"H"出力電圧		360		440	mV
V _{HSOL}	"L"出力電圧		-10.0		10	mV
V _{CHIRPJ}	Chirp J出力電圧(差分)		700		1100	mV
V _{CHIRPK}	Chirp K出力電圧(差分)		-900		-500	mV

4.6.2 AC特性(Full-Speed)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Tr	立ち上がり時間	データ信号 : 振幅の10% 90% CL=50pF	4		20	ns
Tf	立ち下がり時間	データ信号 : 振幅の90% 10% CL=50pF	4		20	ns
TRFM	立ち上がり/立ち下がり時間 比	tr/ff	90		111.11	%

4.7 スイッチング特性(VIF = 2.7~3.6V、又は1.6~2.0V)

記号	項目	測定条件、 その他	規格値			単位	参照 番号
			最小	標準	最大		
ta (A)	アドレスアクセス時間	CL=50pF			40	ns	①
tv (A)	アドレス後データ有効時間	CL=10pF	2			ns	②
ta (CTRL - D)	コントロール後データアクセス時間	CL=50pF			30	ns	③
tv (CTRL - D)	コントロール後データ有効時間	CL=10pF	2			ns	④
ten (CTRL - D)	コントロール後データ出力イネーブル時間		2			ns	⑤
tdis (CTRL - D)	コントロール後データ出力ディセーブル時間	CL=50pF			30	ns	⑥
ta (CTRL - DV)	スプリットバス (DMA Interface) Obus=0の時、コントロール後データアクセス時間	CL=30pF			30	ns	⑨
tv (CTRL - DV)	スプリットバス (DMA Interface) Obus=0の時、コントロール後データ有効時間	CL=10pF	2			ns	⑩
ta (CTRL - DendV)	CPUバス及びスプリットバス(DMA Interface) Obus=0の時、コントロール後DEND出力アクセス時間	CL=30pF			30	ns	⑪
tv (CTRL - DendV)	CPUバス及びスプリットバス(DMA Interface) Obus=0の時、コントロール後DEND出力有効時間	CL=10pF	2			ns	⑫
ta (CTRL - Dend)	スプリットバス(DMA Interface) Obus=1の時、コントロール後DEND出力アクセス時間	CL=30pF			30	ns	⑬
tv (CTRL - Dend)	スプリットバス(DMA Interface) Obus=1の時、コントロール後DEND出力有効時間	CL=10pF	2			ns	⑭
ten (CTRL - Dend)	スプリットバス(DMA Interface) Obus=1の時、コントロール後DEND出力イネーブル時間		2			ns	⑮
tdis (CTRL-Dend)	スプリットバス(DMA Interface) Obus=1の時、コントロール後DEND出力ディセーブル時間	CL=30pF			30	ns	⑯
tdis (CTRL - Dreq)	コントロール後DREQディセーブル時間				70	ns	⑰
tdis (CTRLH -Dreq)	DEND入力に書き込み終了後、コントロール終了後DREQディセーブル時間				70	ns	⑱
ten (CTRL - Dreq)	コントロール後DREQイネーブル時間		20			ns	⑲
twh (Dreq)	DREQ出力"H"パルス幅		20		50	ns	⑳
td (CTRL - INT)	INT出力ネゲート遅延時間				250	ns	㉑
twh (INT)	INT出力"H"パルス幅		650			ns	㉒
td (DREQ - DV)	スプリットバス(DMA Interface) Obus=0の時、DREQアサート開始後データ確定時間				0	ns	㉓
td (DREQ - DendV)	スプリットバス(DMA Interface) Obus=0の時またはCPUバス1,2の時、DREQアサート開始後DEND出力確定時間				0	ns	㉔

凡例 ta : アクセス時間、tv : 有効時間、ten : 出力イネーブル時間、tdis : 出力ディセーブル時間、td : 伝播遅延時間
(A) : アドレス、(D) : データ、(Dend) : DEND、(CTRL) : コントロール、(V) : Obus=0

4.8 タイミング必要条件(VIF = 2.7~3.6V、又は1.6~2.0V)

記号	項目		測定条件、 その他	規格値			単位	参照 番号
				最小	標準	最大		
tsuw (A)	アドレスライトセットアップ時間		CL=50pF	30			ns	(30)
tsur (A)	アドレスリードセットアップ時間			0			ns	(31)
tsu (A - ALE)	マルチプレクスパスの時、アドレスセットアップ時間			10			ns	(32)
thw (A)	アドレスライトホールド時間			0			ns	(33)
thr (A)	アドレスリードホールド時間			30			ns	(34)
th (A - ALE)	マルチプレクスパスの時、アドレスホールド時間			0			ns	(35)
tw (ALE)	マルチプレクスパスの時、ALEパルス幅			10			ns	(36)
tdwr (ALE - CTRL)	マルチプレクスパスの時、ライト/リードディレイ時間			7			ns	(37)
trec (ALE)	マルチプレクスパス時、ALEリカバリ時間			0			ns	(38)
tw (CTRL)	コントロールパルス幅 (ライト)			30			ns	(39)
trec (CTRL)	コントロールリカバリ時間 (FIFO)			30			ns	(40)
trecr (CTRL)	コントロールリカバリ時間 (REG)			12			ns	(41)
twr (CTRL)	コントロールパルス幅 (リード)			30			ns	(42)
tsu (D)	データセットアップ時間			20			ns	(43)
th (D)	データホールド時間			0			ns	(44)
tsu (Dend)	DEND入力セットアップ時間			30			ns	(45)
th (Dend)	DEND入力ホールド時間			0			ns	(46)
tw (cycle)	FIFOアクセス サイクル時間	8ビットFIFOアクセス		30			ns	(47)
		16ビットFIFOアクセス		50			ns	
		マルチプレクスパスの時、 8/16ビットFIFOアクセス		84			ns	
tw (CTRL_B)	バースト転送時 コントロールパルス幅	スプリットバス使用時で Obus=0の時	12			ns	(48)	
		スプリットバス使用時で Obus=1の時 *1)	30			ns		
		CPUバスを使用したDMA 転送時	30			ns		
trec (CTRL_B)	バースト転送時コントロールリカバリ時間		12			ns	(49)	
tsud (A)	DMAアドレスライトセットアップ時間		15			ns	(50)	
thd (A)	DMAアドレスライトホールド時間		0			ns	(51)	
tw (RST)	リセットパルス幅時間		100			ns	(52)	
tst (RST)	リセット後コントロールスタート時間		500			ns	(53)	

凡例 tsuw : ライトセットアップ時間、tsur : リードセットアップ時間、tsu : セットアップ時間
thw : ライトホールド時間、thr : リードホールド時間、th : ホールド時間、tw : パルス幅、twr : リードパルス幅
tdwr : リードライトディレイ時間、trec : リカバリ時間、trecr : レジスタリカバリ時間
tsud : DMAセットアップ時間、thd : DMAホールド時間、tst : スタート時間
(A) : アドレス、(D) : データ、(CTRL) : コントロール、(CTRL_B) : バーストコントロール、(ALE) : ALE
*1) 書き込みの場合のみ、DACK0_N 信号が 30ns 以上のアクティブ期間を確保している場合は、DSTB0_N 信号は min 12ns でアクセス可能です。

4.9 タイミング図

表 4.1 レジスタアクセスタイミング図インデックス一覧

バス仕様	アクセス	R/W	INDEX	備考
セパレートバス	CPU	WRITE	4.9.1.1	CPUバス0
セパレートバス	CPU	READ	4.9.1.2	CPUバス0
マルチプレクスバス	CPU	WRITE	4.9.2.1	CPUバス0
マルチプレクスバス	CPU	READ	4.9.2.2	CPUバス0

表 4.2 FIFOポートアクセス図インデックス一覧

アクセス	バス I/F 仕様 *2)	動作時の I/F 仕様	DFORM	OBUS	R/W	備考	INDEX
CPU	CPUバス0	セパレートバス	-		WRITE	-	4.9.1.1
CPU	CPUバス0	セパレートバス	-		READ	-	4.9.1.2
CPU	CPUバス0	マルチプレクスバス	-		WRITE	-	4.9.2.1
CPU	CPUバス0	マルチプレクスバス	-		READ	-	4.9.2.2
DMA	CPUバス2	ACK+RD/WR	010		WRITE	サイクルスチール転送	4.9.3.1 *1)
DMA	CPUバス2	ACK+RD/WR	010		READ	サイクルスチール転送	4.9.3.2 *1)
DMA	SPLITバス1	ACK+STB	110	1	WRITE	サイクルスチール転送	4.9.3.3 *1)
DMA	SPLITバス1	ACK+STB	110	1	READ	サイクルスチール転送	4.9.3.4 *1)
DMA	SPLITバス1	ACK+STB	110	0	WRITE	サイクルスチール転送	4.9.3.3 *1)
DMA	SPLITバス1	ACK+STB	110	0	READ	サイクルスチール転送	4.9.3.5 *1)
DMA	CPUバス1	セパレートバス	000		WRITE	サイクルスチール転送	4.9.3.6
DMA	CPUバス1	セパレートバス	000		READ	サイクルスチール転送	4.9.3.7
DMA	SPLITバス2	ACKのみ	100	1	WRITE	サイクルスチール転送	4.9.3.8 *1)
DMA	SPLITバス2	ACKのみ	100	1	READ	サイクルスチール転送	4.9.3.9 *1)
DMA	SPLITバス2	ACKのみ	100	0	WRITE	サイクルスチール転送	4.9.3.8 *1)
DMA	SPLITバス2	ACKのみ	100	0	READ	サイクルスチール転送	4.9.3.10 *1)
DMA	CPUバス3	ACKのみ	011		WRITE	サイクルスチール転送	4.9.3.11 *1)
DMA	CPUバス3	ACKのみ	011		READ	サイクルスチール転送	4.9.3.12 *1)
DMA	CPUバス1	マルチプレクスバス	000		WRITE	サイクルスチール転送	4.9.4.1
DMA	CPUバス1	マルチプレクスバス	000		READ	サイクルスチール転送	4.9.4.2
DMA	CPUバス2	ACK+RD/WR	010		WRITE	バースト転送	4.9.5.1 *1)
DMA	CPUバス2	ACK+RD/WR	010		READ	バースト転送	4.9.5.2 *1)
DMA	SPLITバス1	ACK+STB	110	1	WRITE	バースト転送	4.9.5.3 *1)
DMA	SPLITバス1	ACK+STB	110	1	READ	バースト転送	4.9.5.4 *1)
DMA	SPLITバス1	ACK+STB	110	0	WRITE	バースト転送	4.9.5.3 *1)
DMA	SPLITバス1	ACK+STB	110	0	READ	バースト転送	4.9.5.5 *1)
DMA	CPUバス1	セパレートバス	000		WRITE	バースト転送	4.9.5.6
DMA	CPUバス1	セパレートバス	000		READ	バースト転送	4.9.5.7
DMA	SPLITバス2	ACKのみ	100	1	WRITE	バースト転送	4.9.5.8 *1)
DMA	SPLITバス2	ACKのみ	100	1	READ	バースト転送	4.9.5.9 *1)
DMA	SPLITバス2	ACKのみ	100	0	WRITE	バースト転送	4.9.5.8 *1)
DMA	SPLITバス2	ACKのみ	100	0	READ	バースト転送	4.9.5.10 *1)
DMA	CPUバス3	ACKのみ	011		WRITE	バースト転送	4.9.5.11 *1)
DMA	CPUバス3	ACKのみ	011		READ	バースト転送	4.9.5.12 *1)
DMA	CPUバス1	マルチプレクスバス	000		WRITE	バースト転送	4.9.6.1
DMA	CPUバス1	マルチプレクスバス	000		READ	バースト転送	4.9.6.2

*1) アドレス信号が未使用のため、セパレートバスもマルチプレクスバスも同じタイミングになります。

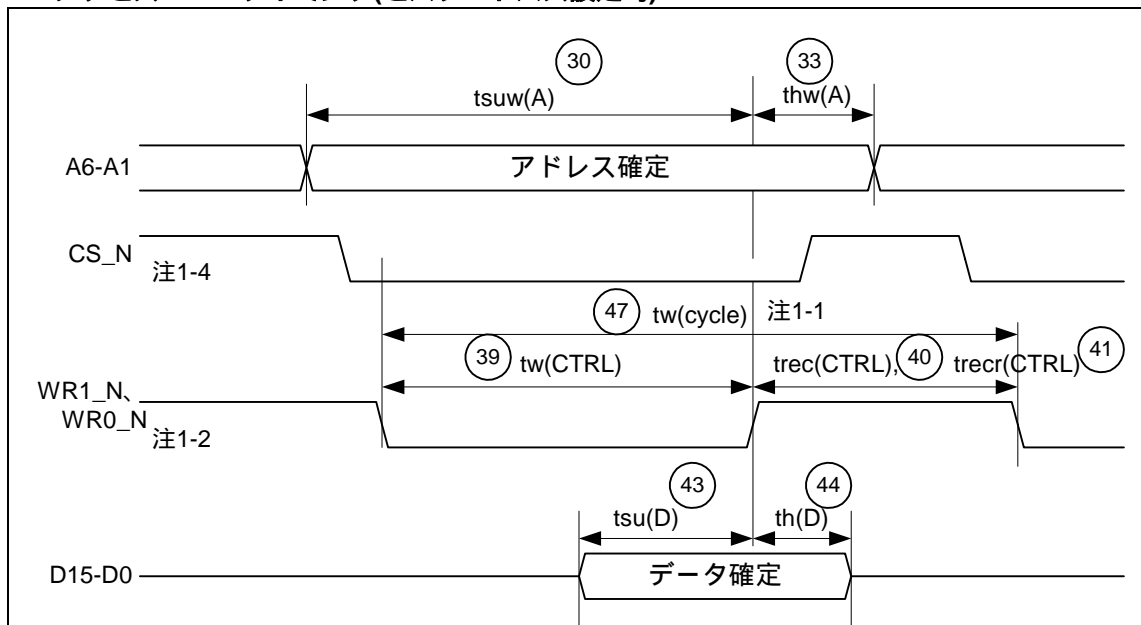
*2) バス I/F 仕様は、3.4.3.2.DMA 制御信号選択を参照ください。

読み書きタイミングはコントロール信号で行われます。コントロール信号が複数信号の組み合わせで構成される場合は立ち上がりエッジからの規格は、アクティブの遅い信号変化からが有効です。

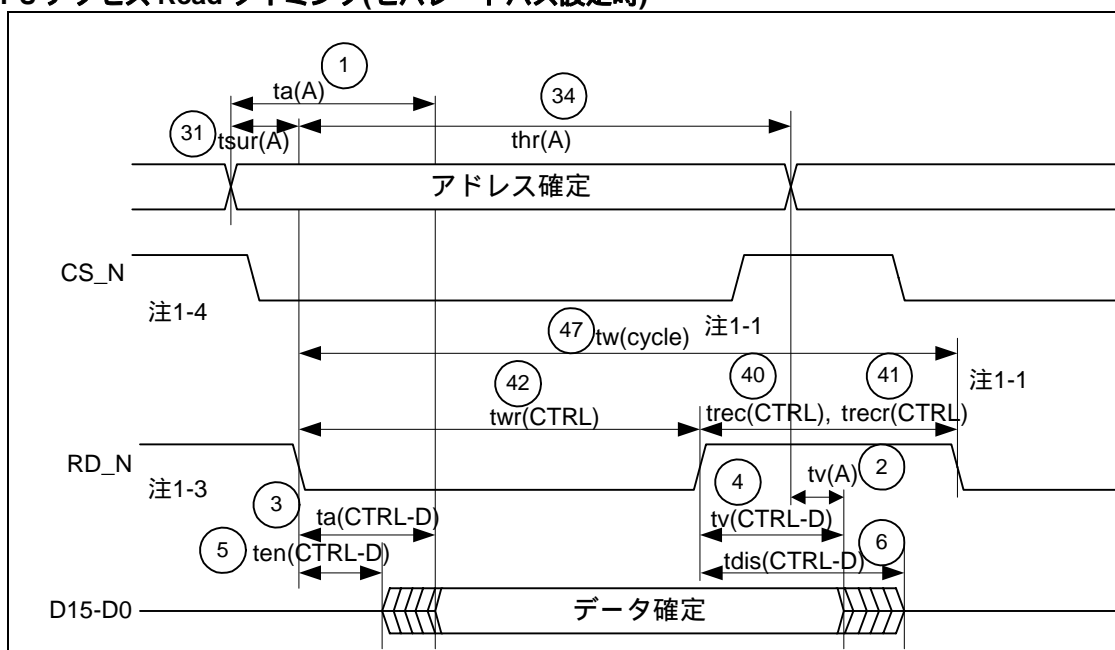
立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

4.9.1 CPUアクセスタイミング(セバレートバス設定時)

4.9.1.1 CPU アクセス Write タイミング(セバレートバス設定時)



4.9.1.2 CPU アクセス Read タイミング(セバレートバス設定時)



注1-1: $t_w(\text{cycle})$ 、及び $t_{rec}(\text{CTRL})$ はFIFOアクセス時に必要です。

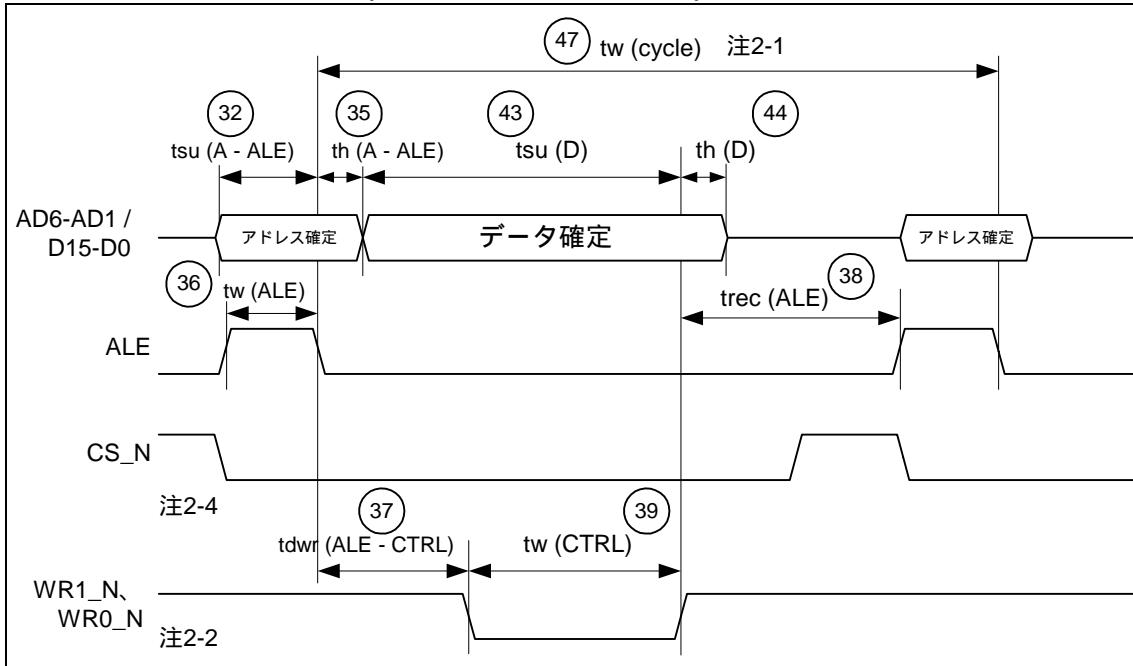
注1-2: 書き込み時のコントロール信号は CS_N 、 $WR1_N$ 、 $WR0_N$ の組み合わせになります。

注1-3: 読み出し時のコントロール信号は CS_N 、 RD_N の組み合わせになります。

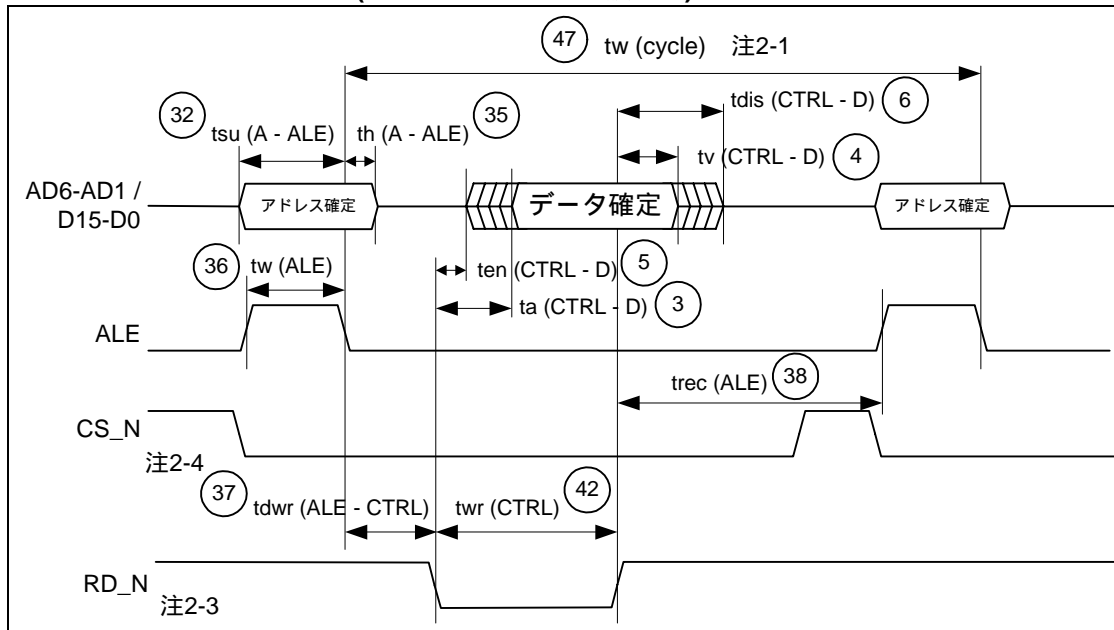
注1-4: CS_N が立ち上がるタイミングと同時に RD_N や $WR0_N$ 、 $WR1_N$ を立ち下げないでください。 RD_N または $WR0_N$ 、 $WR1_N$ が立ち上がるタイミングと同時に CS_N を立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

4.9.2 CPUアクセスタイミング(マルチプレクスバス設定時)

4.9.2.1 CPU アクセス Write タイミング(マルチプレクスバス設定時)



4.9.2.2 CPU アクセス Read タイミング(マルチプレクスバス設定時)



注2-1: t_w (cycle)、及び $t_{rec}(CTRL)$ はFIFOアクセス時に必要です。

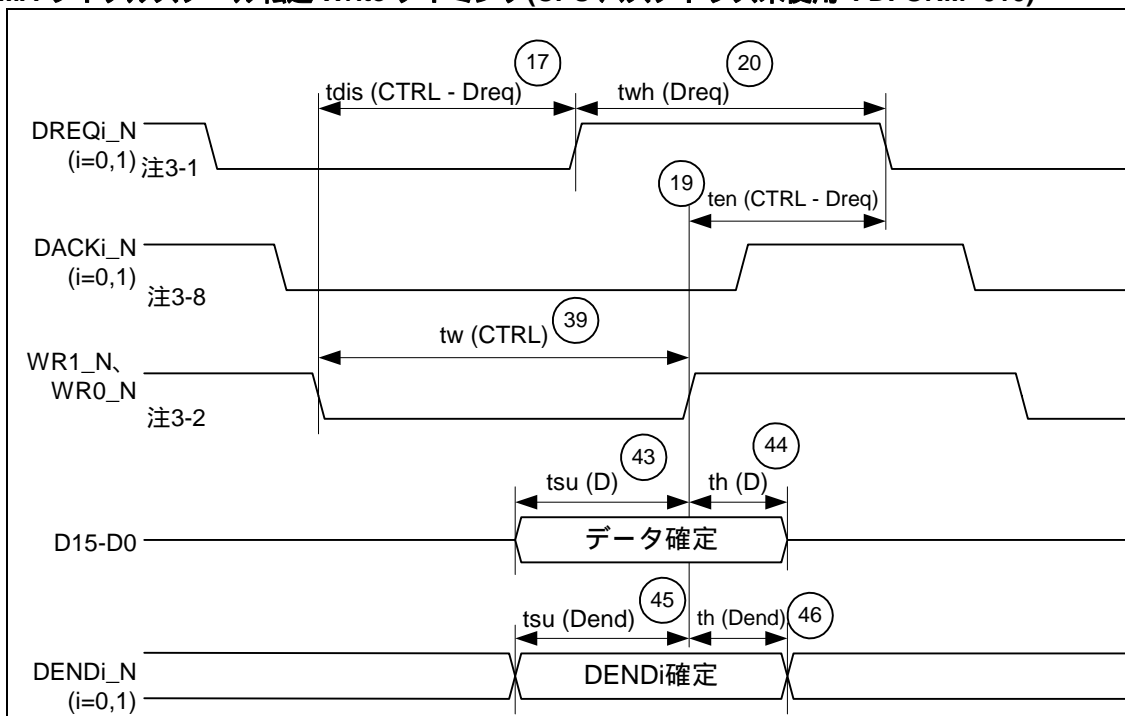
注2-2: 書き込み時のコントロール信号は CS_N 、 $WR1_N$ 、 $WR0_N$ の組み合わせになります。

注2-3: 読み出し時のコントロール信号は CS_N 、 RD_N の組み合わせになります。

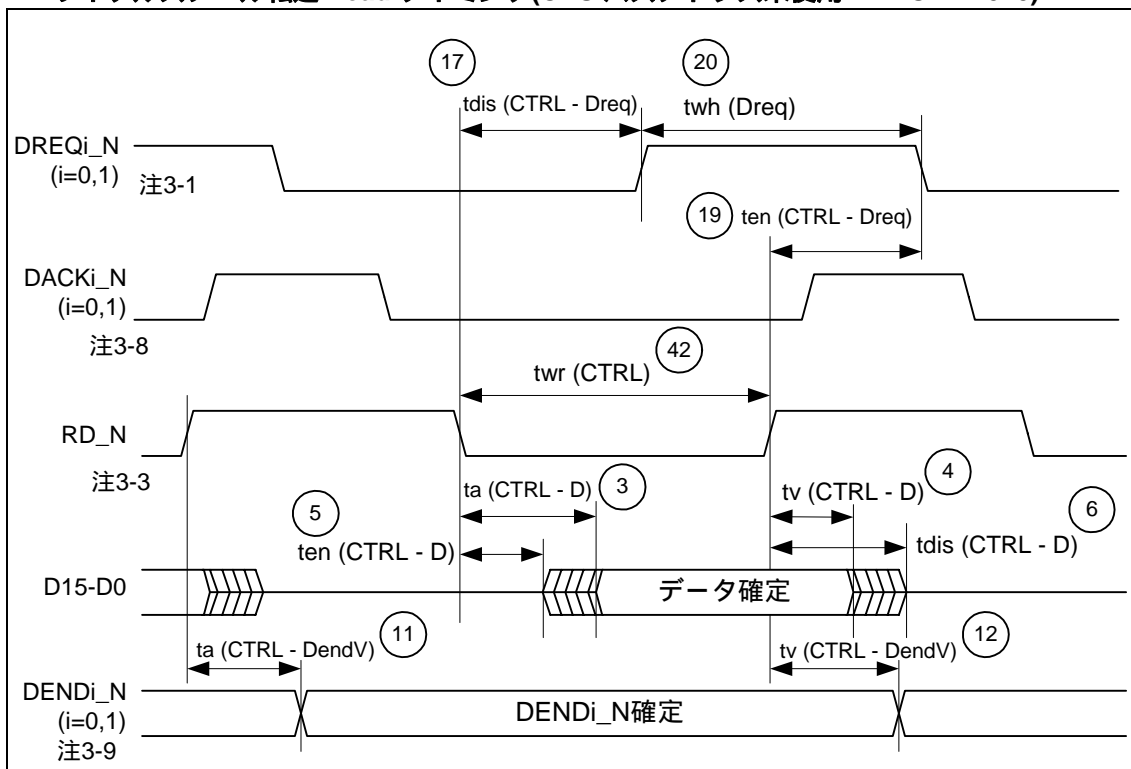
注2-4: CS_N が立ち上がるタイミングと同時に RD_N や $WR0_N$ 、 $WR1_N$ を立ち下げないでください。 RD_N または $WR0_N$ 、 $WR1_N$ が立ち上がるタイミングと同時に CS_N を立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

4.9.3 DMAアクセスタイミング(サイクルスチール転送、セパレートバス設定時)

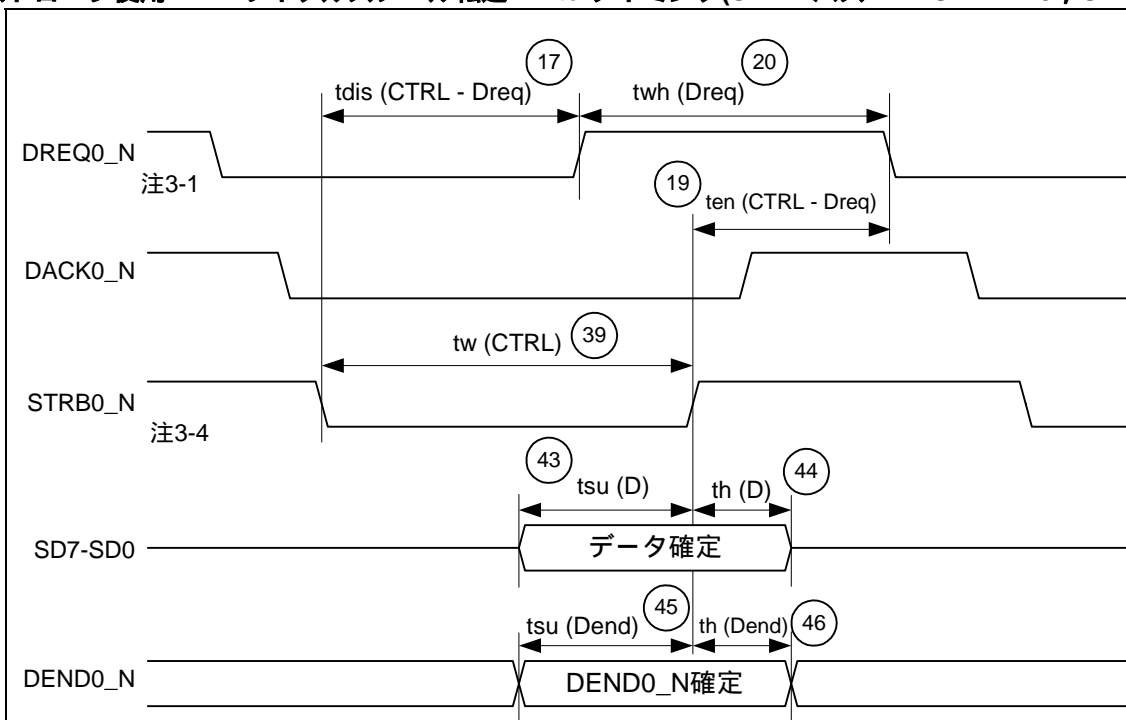
4.9.3.1 DMA サイクルスチール転送 Write タイミング(CPU バスアドレス未使用 : DFORM=010)



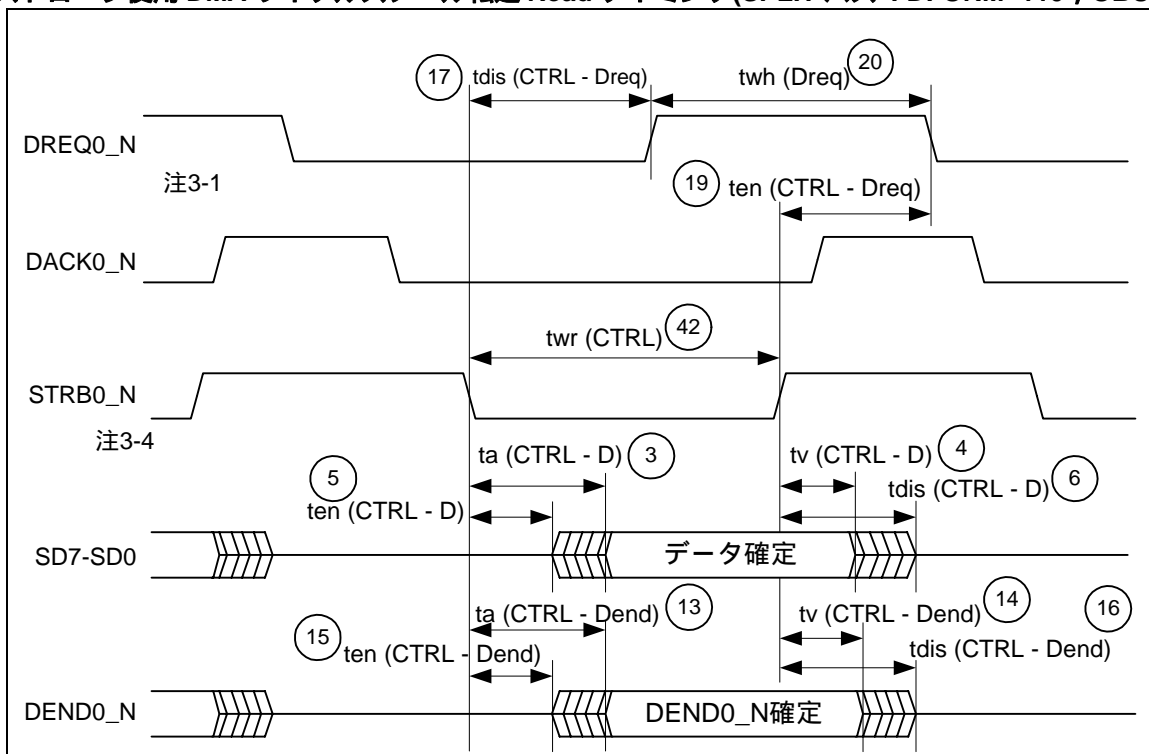
4.9.3.2 DMA サイクルスチール転送 Read タイミング(CPU バスアドレス未使用 : DFORM=010)



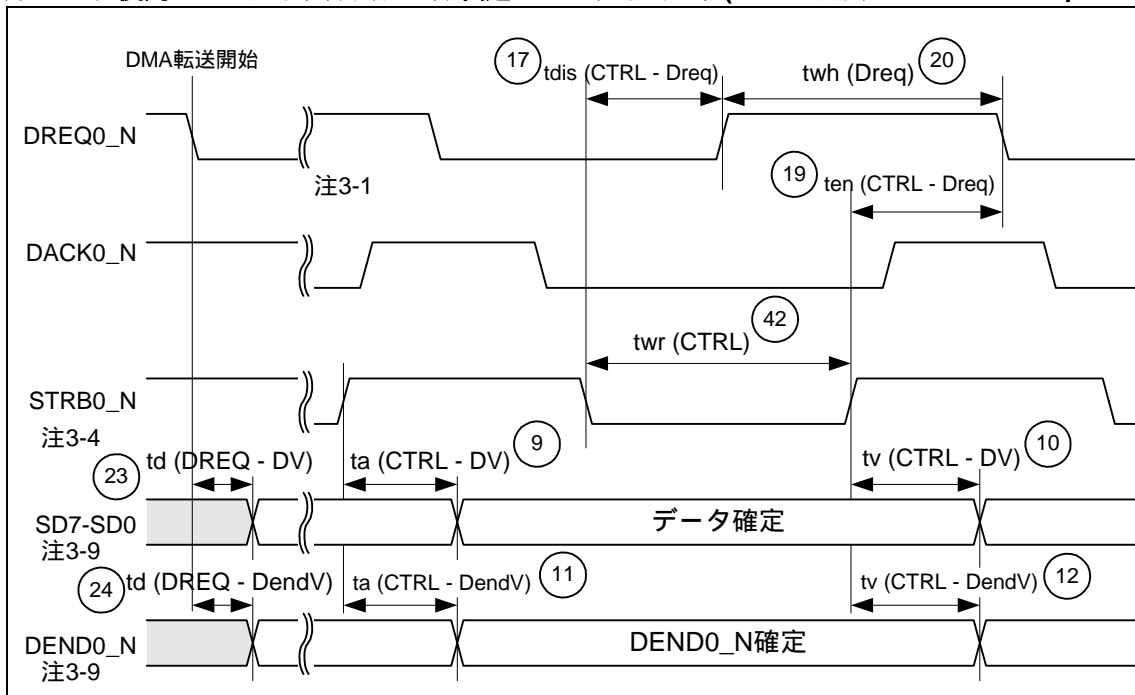
4.9.3.3 ストローブ使用 DMA サイクルスチール転送 Write タイミング(SPLIT バス : DFORM=110 , OBUS=1/0)



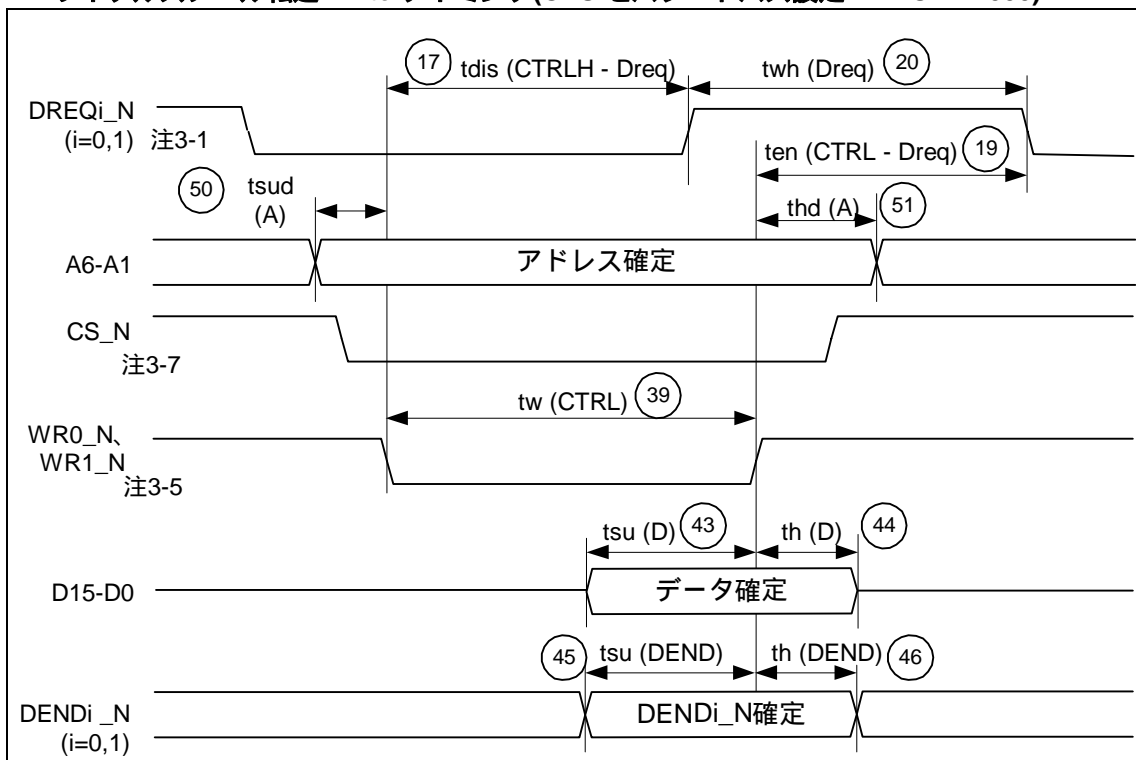
4.9.3.4 ストローブ使用 DMA サイクルスチール転送 Read タイミング(SPLIT バス : DFORM=110 , OBUS=1)



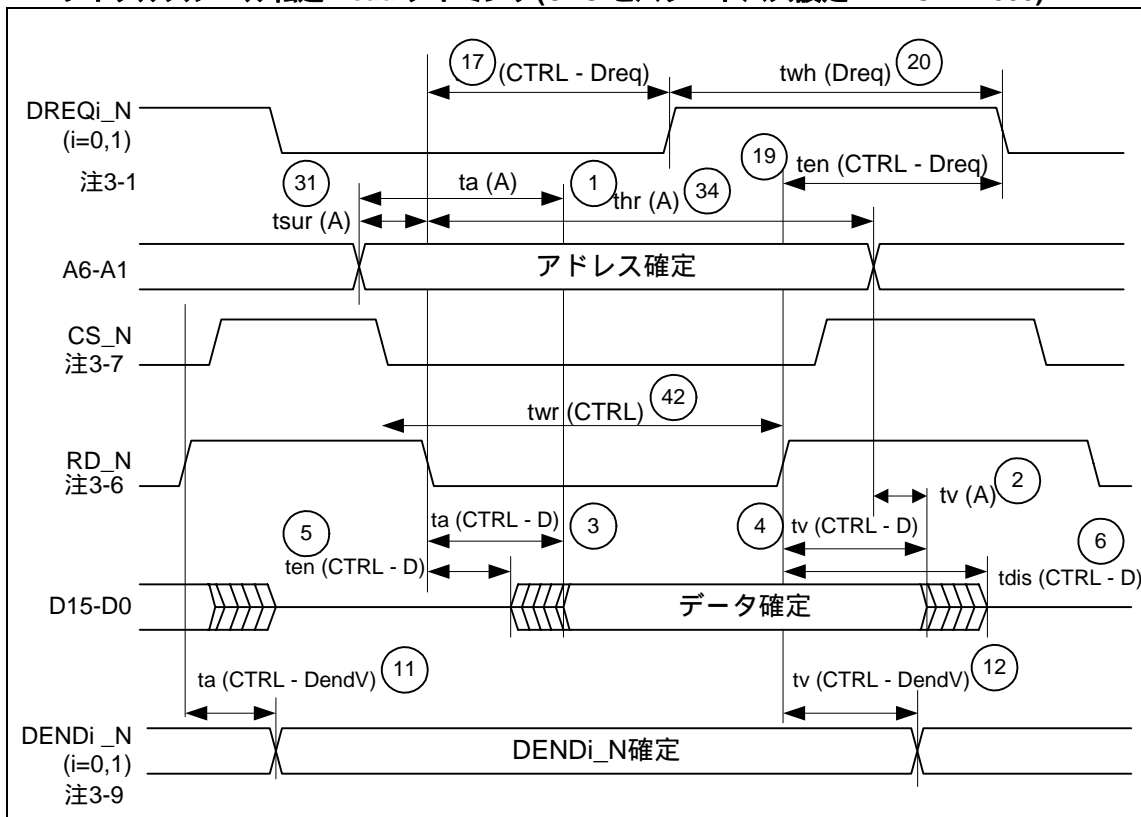
4.9.3.5 ストローブ使用 DMA サイクルスチール転送 Read タイミング(SPLIT バス : DFORM=110 , OBUS=0)



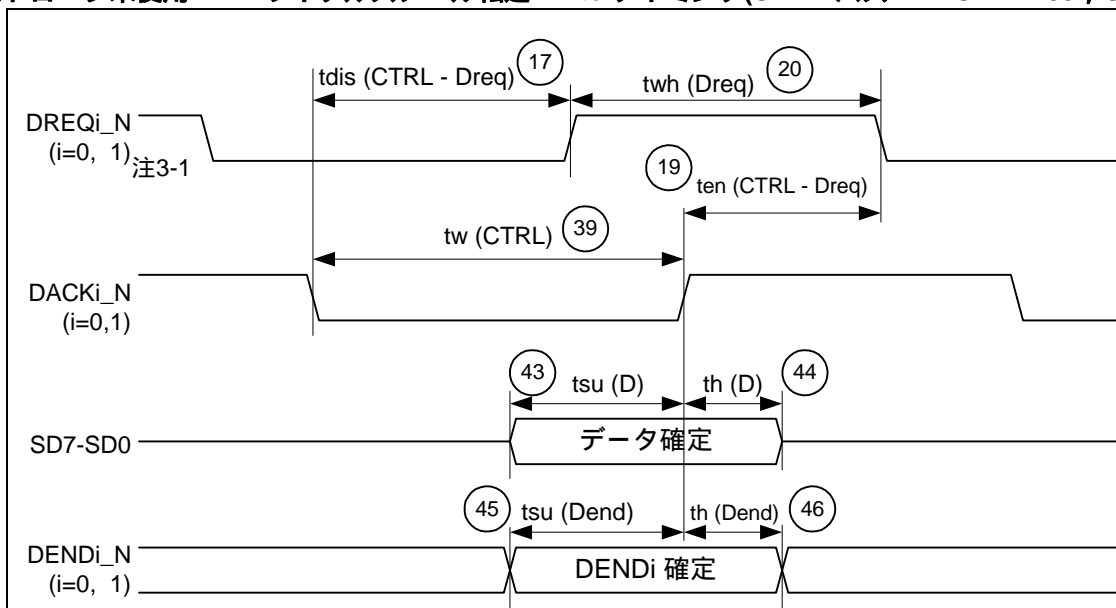
4.9.3.6 DMA サイクルスチール転送 Write タイミング(CPU セバレートバス設定 : DFORM=000)



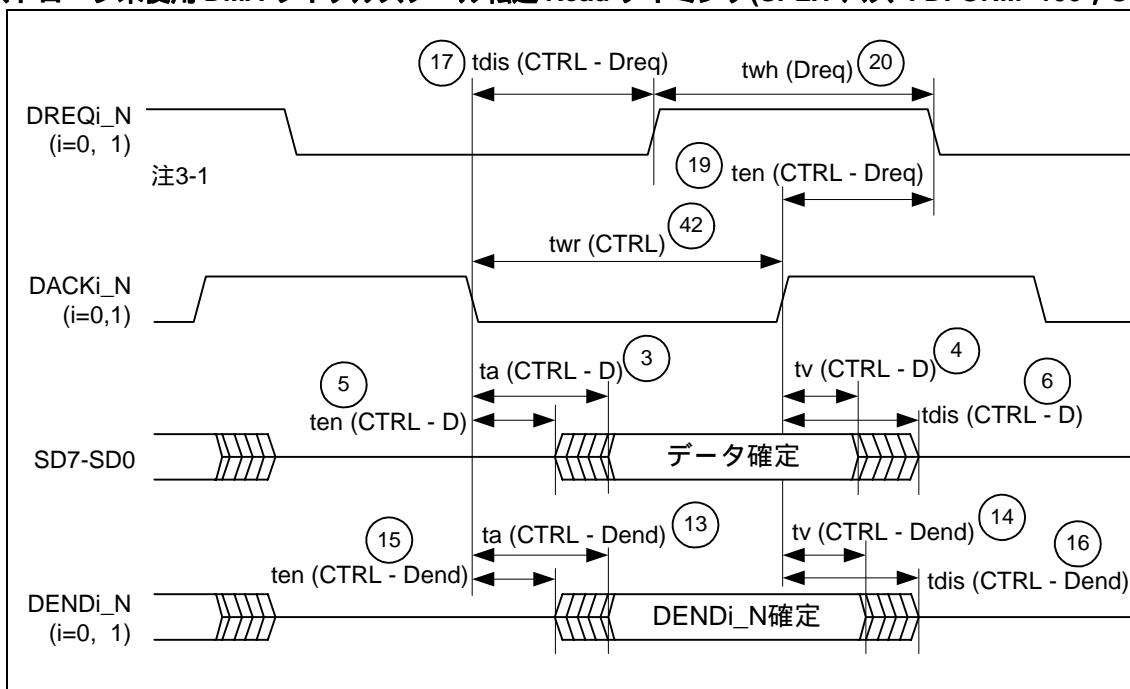
4.9.3.7 DMA サイクルスチール転送 Read タイミング(CPU セバレートバス設定 : DFORM=000)



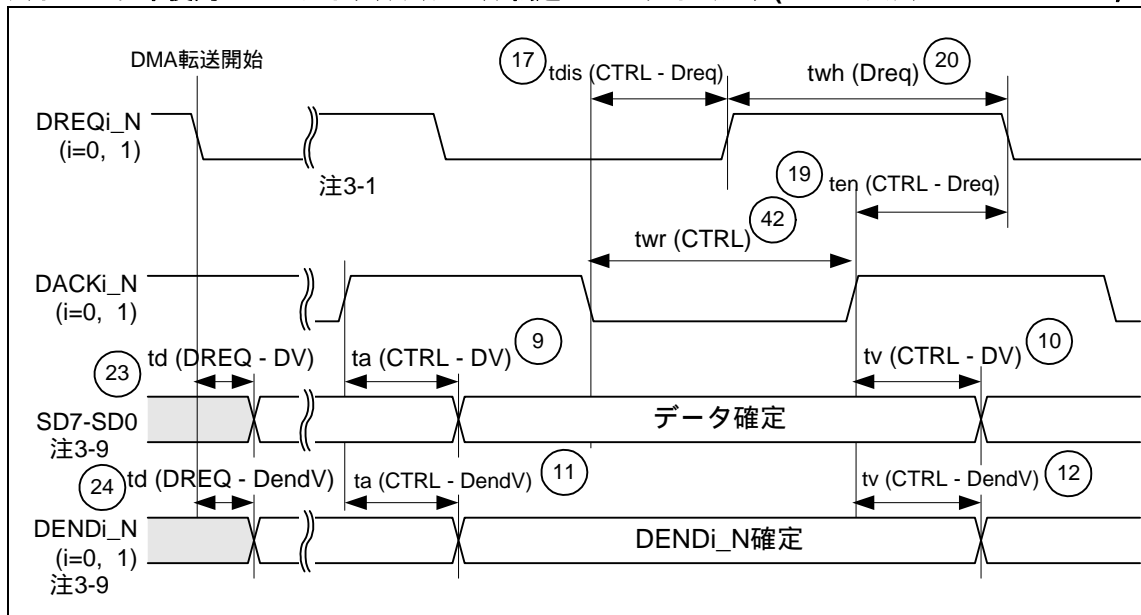
4.9.3.8 ストローブ未使用 DMA サイクルスチール転送 Write タイミング(SPLIT バス : DFORM=100 , OBUS=1/0)



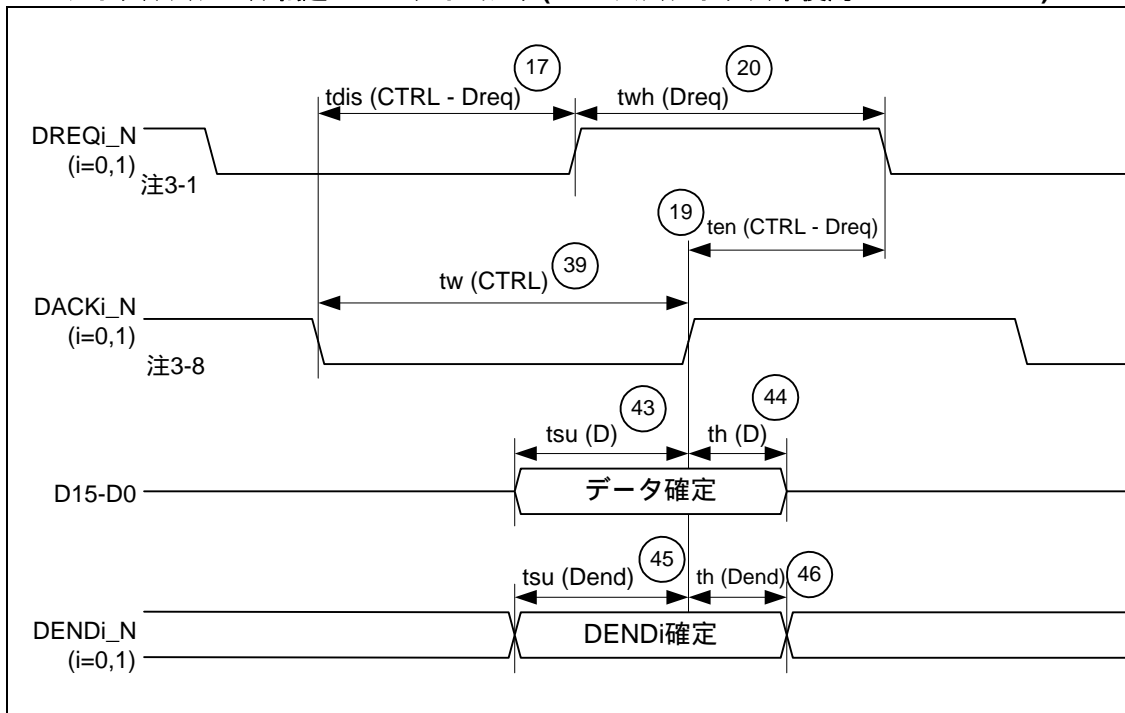
4.9.3.9 ストローブ未使用 DMA サイクルスチール転送 Read タイミング(SPLIT バス : DFORM=100 , OBUS=1)



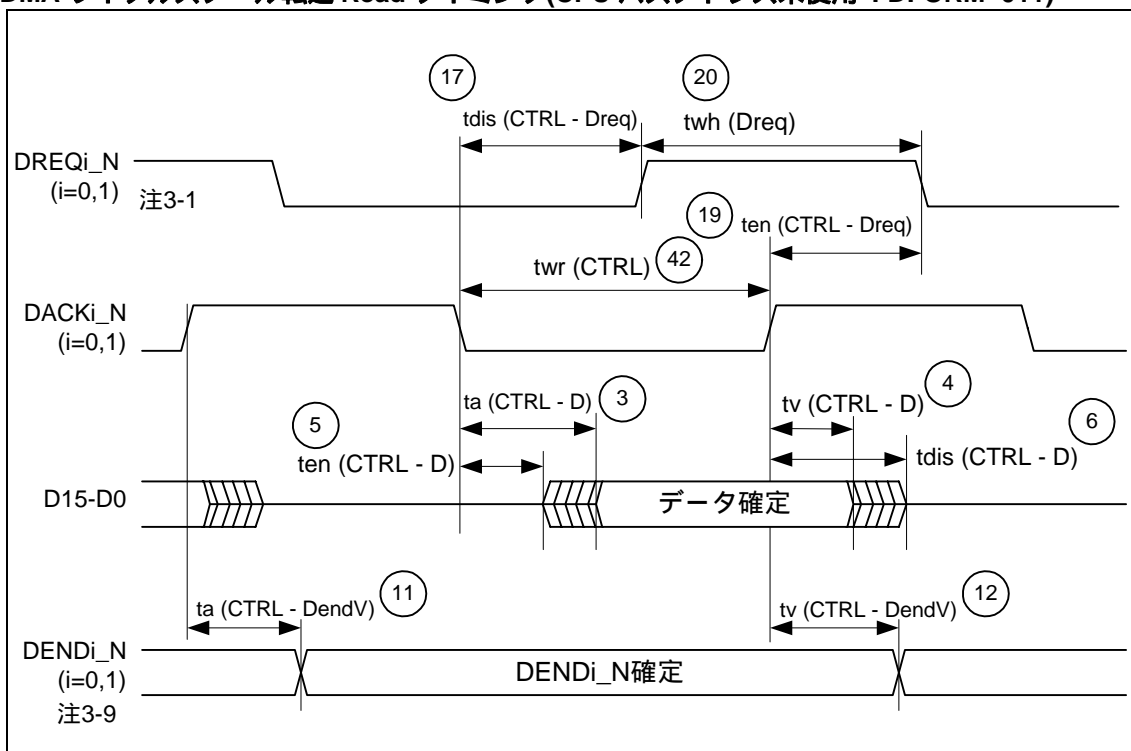
4.9.3.10 ストローブ未使用 DMA サイクルスチール転送 Read タイミング(SPLIT バス : DFORM=100 , OBUS=0)



4.9.3.11 DMA サイクルスチール転送 Write タイミング(CPU バスアドレス未使用 : DFORM=011)



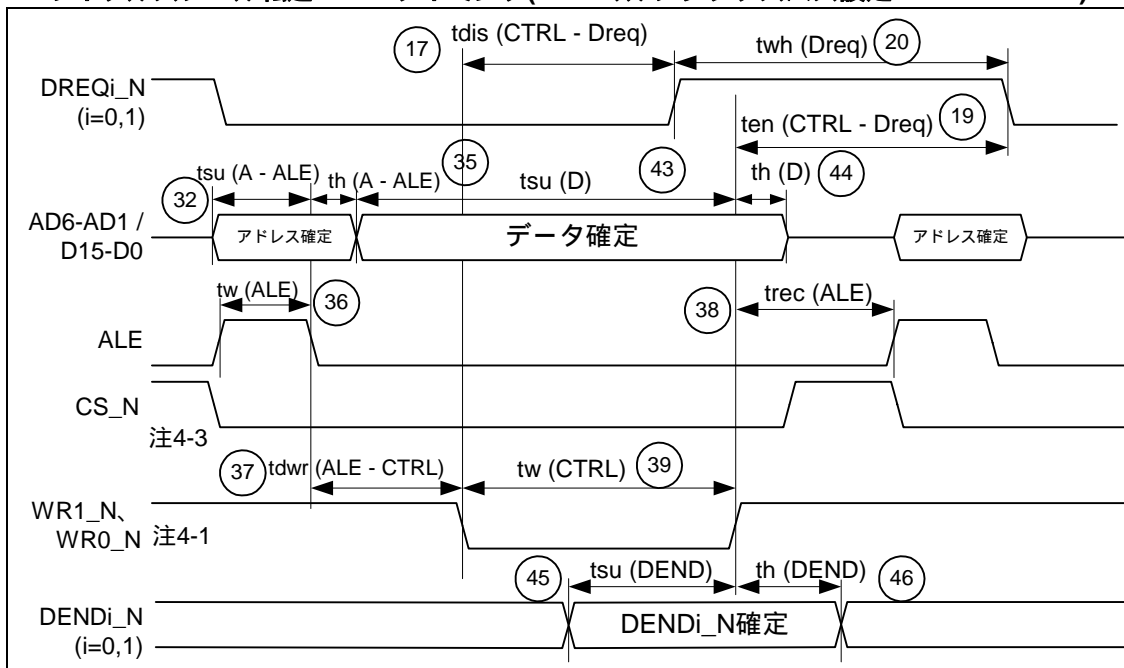
4.9.3.12 DMA サイクルスチール転送 Read タイミング(CPU バスアドレス未使用 : DFORM=011)



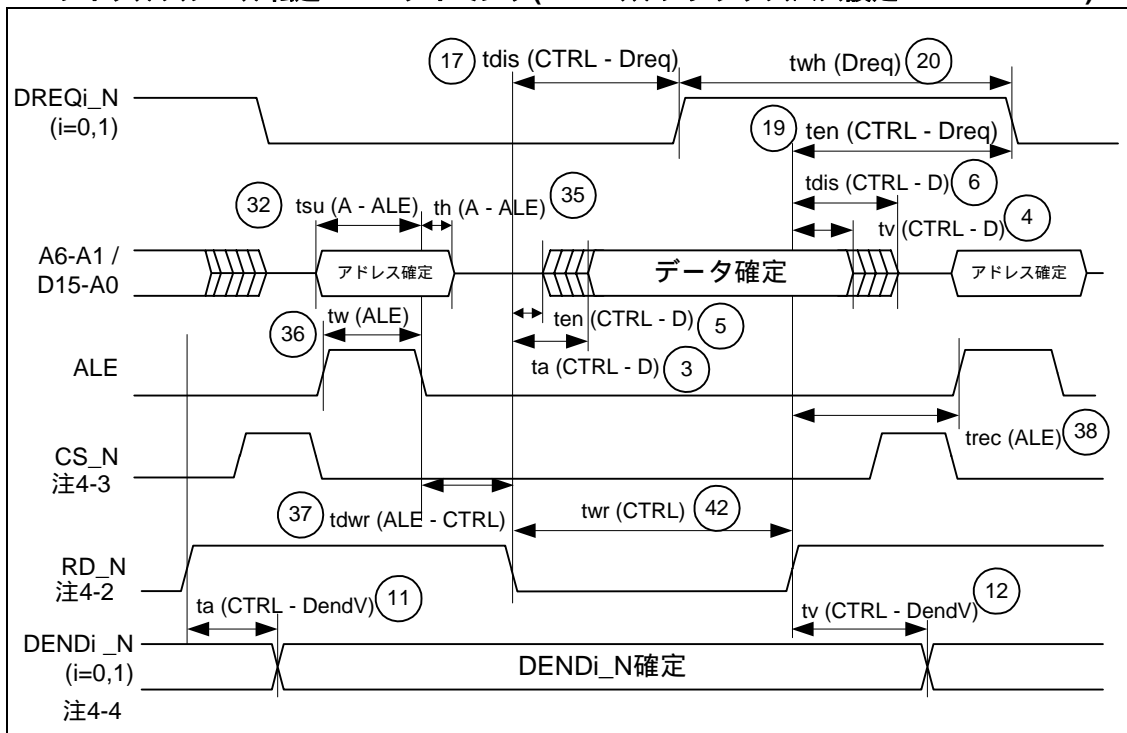
- 注3-1 : DREQ_i_N (i=0, 1)のインアクティブ条件は、コントロール信号です。次のDMA転送がある場合にDREQ_i_Nがアクティブとなるまでの時間は、 t_{wh} (Dreq)、または t_{en} (CTRL-Dreq)の遅い規格が有効です。
- 注3-2 : 書き込み時のコントロール信号はDACK_i_N、WR1_N、WR0_Nの組み合わせになります。
- 注3-3 : 読み出し時のコントロール信号はDACK_i_N、RD_Nの組み合わせになります。
- 注3-4 : 書き込み時のコントロール信号はDACK0、DSTRB0_Nの組み合わせになります。
- 注3-5 : 書き込み時のコントロール信号はCS_N、WR0_N、WR1_Nの組み合わせになります。
- 注3-6 : 読み出し時のコントロール信号はCS_N、RD_Nの組み合わせになります。
- 注3-7 : CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。
- 注3-8 : DACK_i_Nが立ち上がる(または立ち下がる)タイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にDACKを立ち下げ(または立ち上げ)ないでください。上記の場合、10ns以上の間隔を空ける必要があります。
- 注3-9 : 受信データが1バイトしかない場合、データ出力確定時間は“(23) $t_{d}(DREQ-DV)$ ”、DEND信号出力確定時は“(24) $t_{d}(DREQ-DendV)$ ”となります。

4.9.4 DMAアクセスタイミング(サイクルスチール転送、マルチプレクスバス設定時)

4.9.4.1 DMA サイクルスチール転送 Write タイミング(CPU マルチプレクスバス設定 : DFORM=000)



4.9.4.2 DMA サイクルスチール転送 Read タイミング(CPU マルチプレクスバス設定 : DFORM=000)



注4-1: 書き込み時のコントロール信号はCS_N、WR0_N、WR1_Nの組み合わせになります。

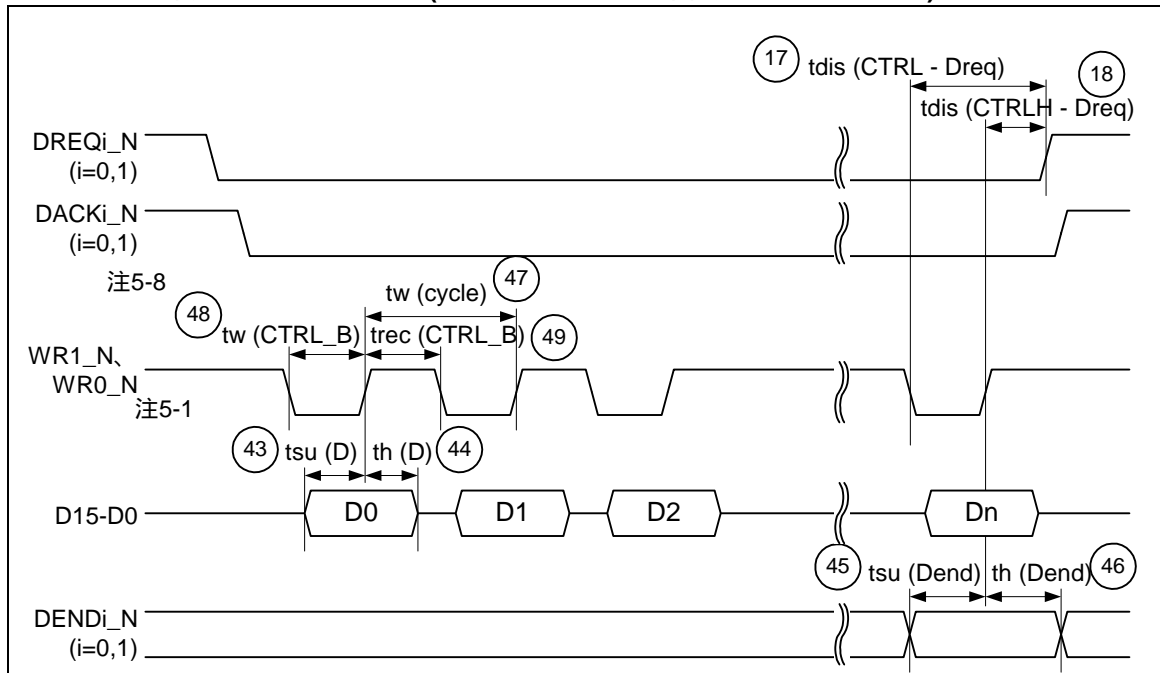
注4-2: 読み出し時のコントロール信号はCS_N、RD_Nの組み合わせになります。

注4-3: CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

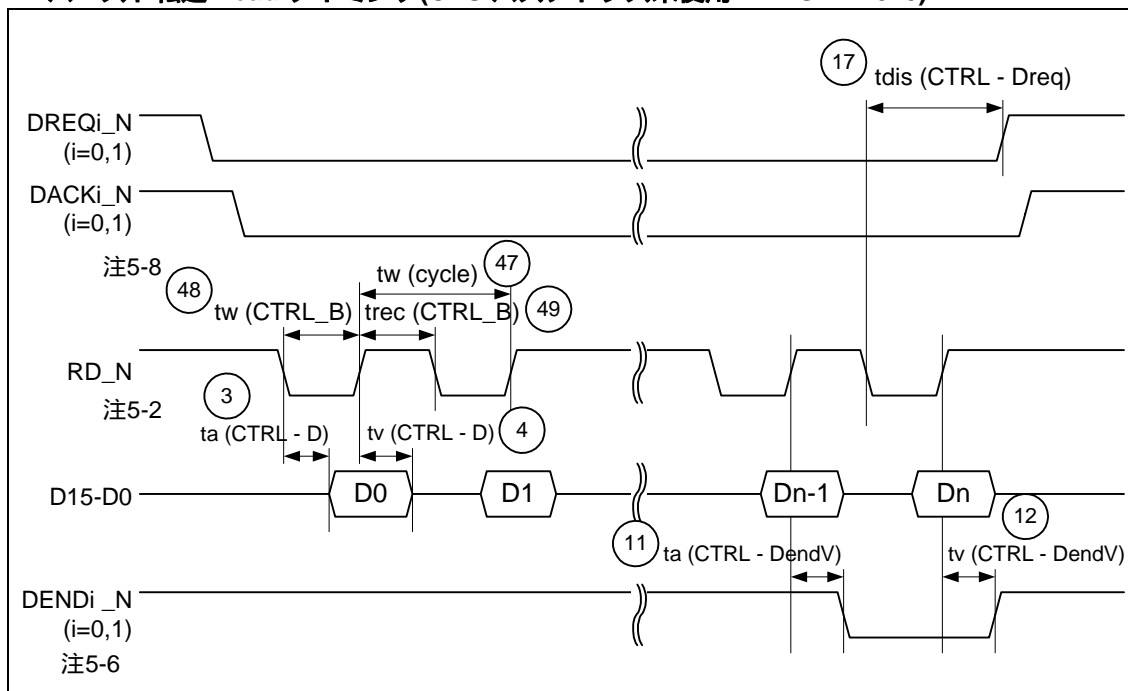
注4-4: 受信データが1バイトしかない場合、DEND信号出力確定時は“(24) td(DREQ-DendV)”となります。

4.9.5 DMAアクセスタイミング(バースト転送、セパレートバス設定時)

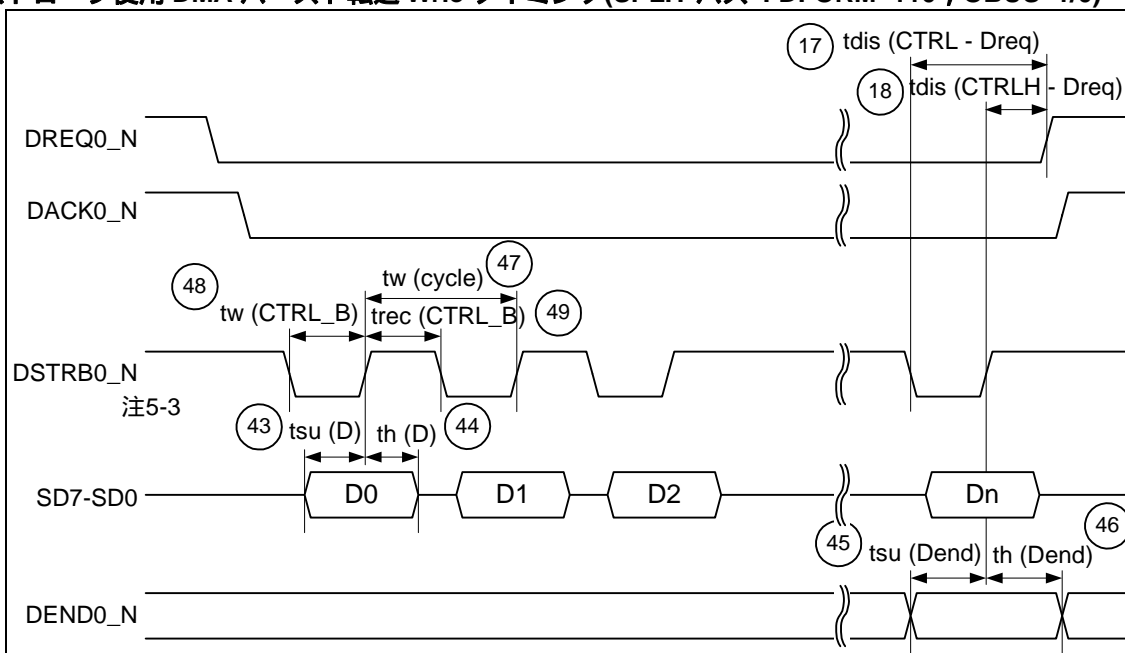
4.9.5.1 DMA バースト転送 Write タイミング(CPU バスアドレス未使用 : DFORM=010)



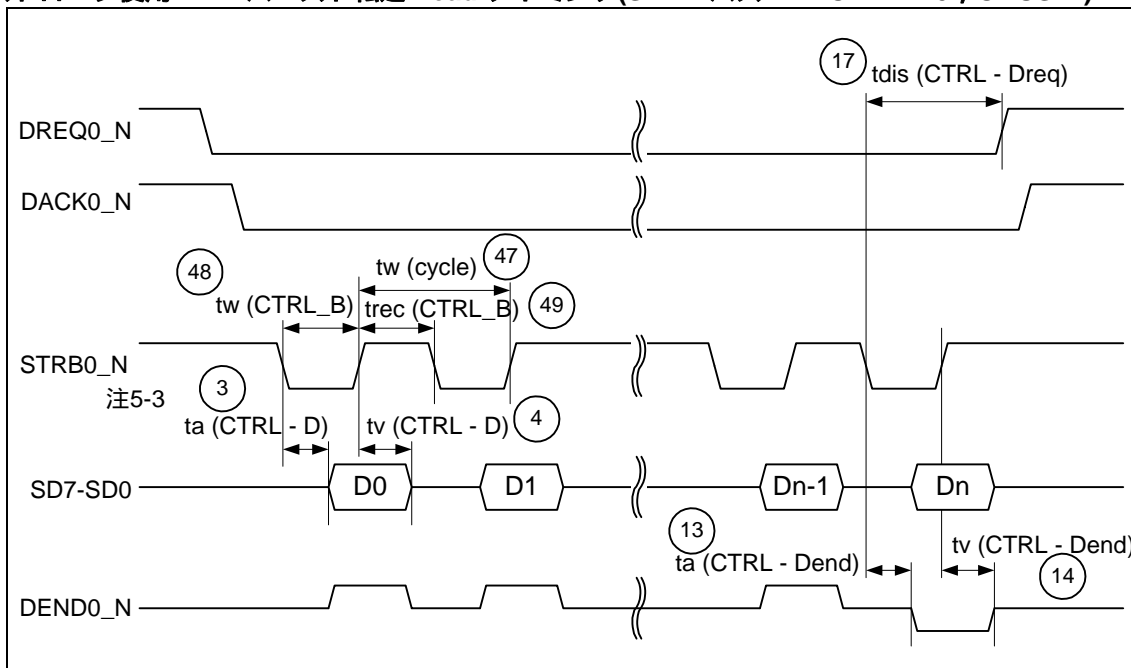
4.9.5.2 DMA バースト転送 Read タイミング(CPU バスアドレス未使用 : DFORM=010)



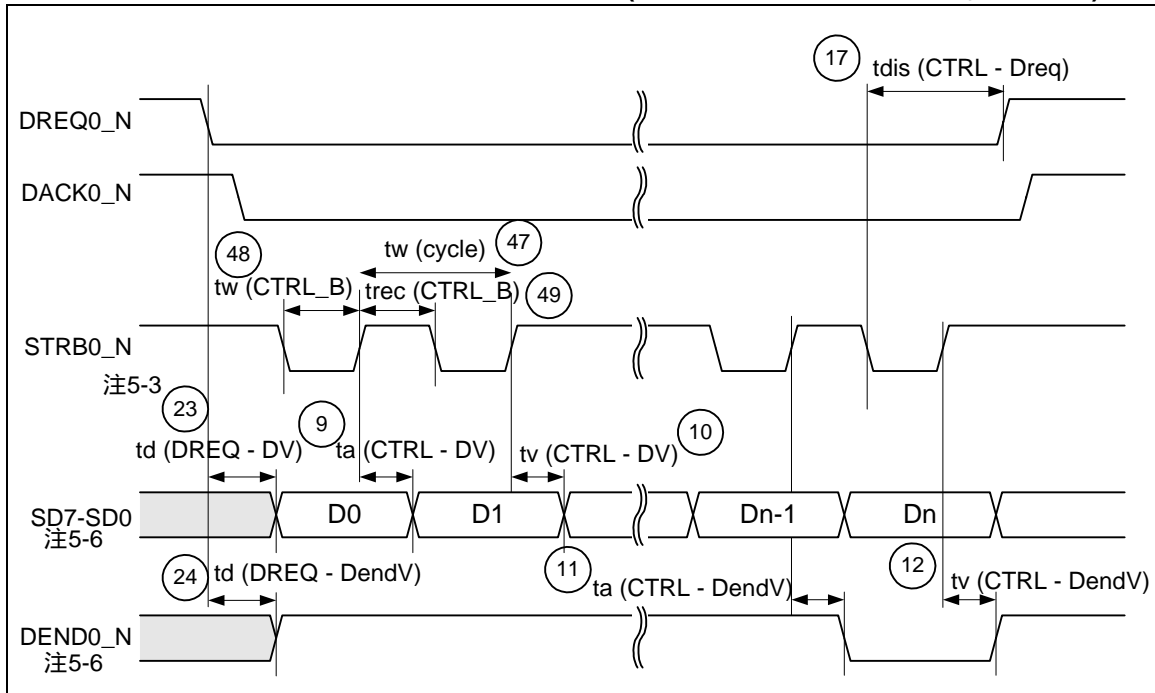
4.9.5.3 ストローブ使用 DMA バースト転送 Write タイミング(SPLIT バス : DFORM=110 , OBUS=1/0)



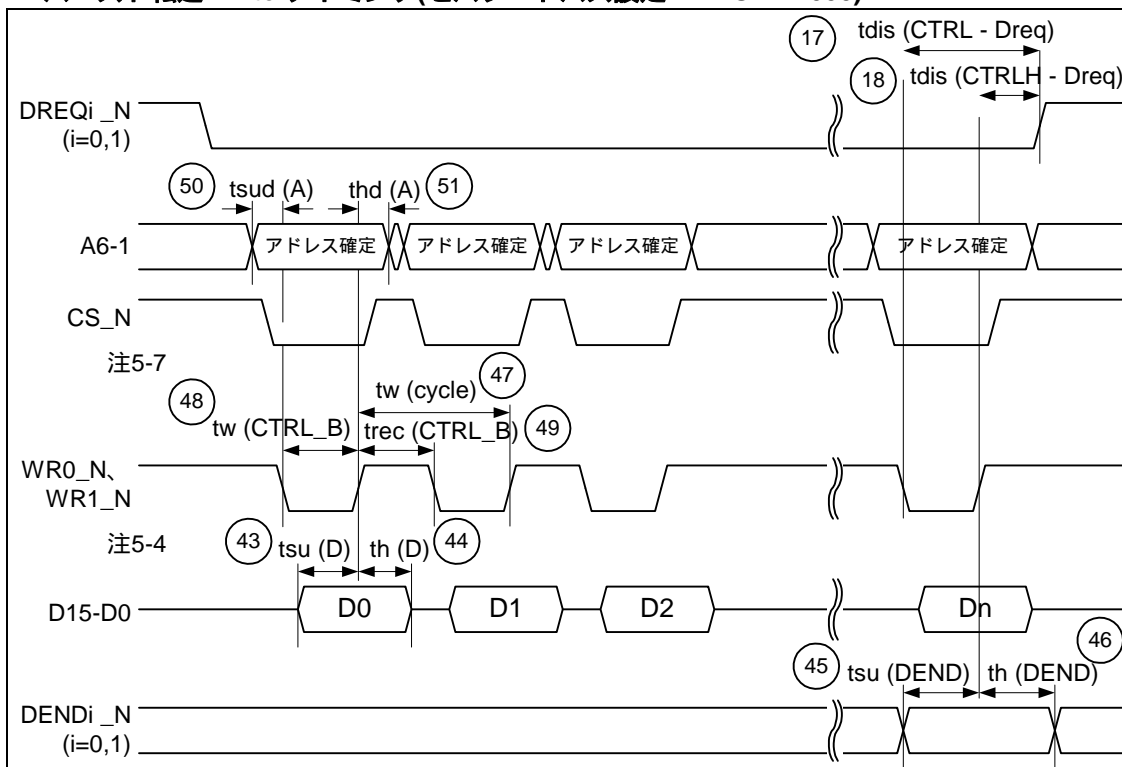
4.9.5.4 ストローブ使用 DMA バースト転送 Read タイミング(SPLIT バス : DFORM=110 , OBUS=1)



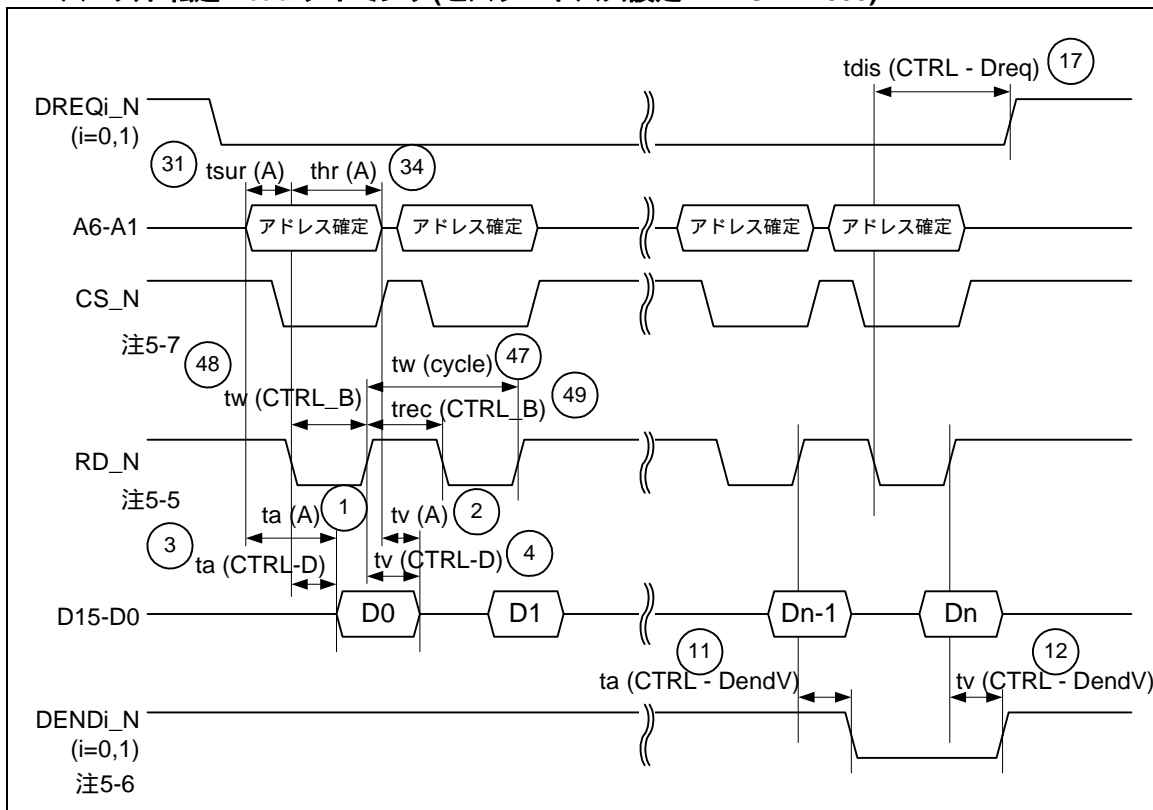
4.9.5.5 ストローブ使用 DMA バースト転送 Read タイミング(SPLIT バス : DFORM=110 , OBUS=0)



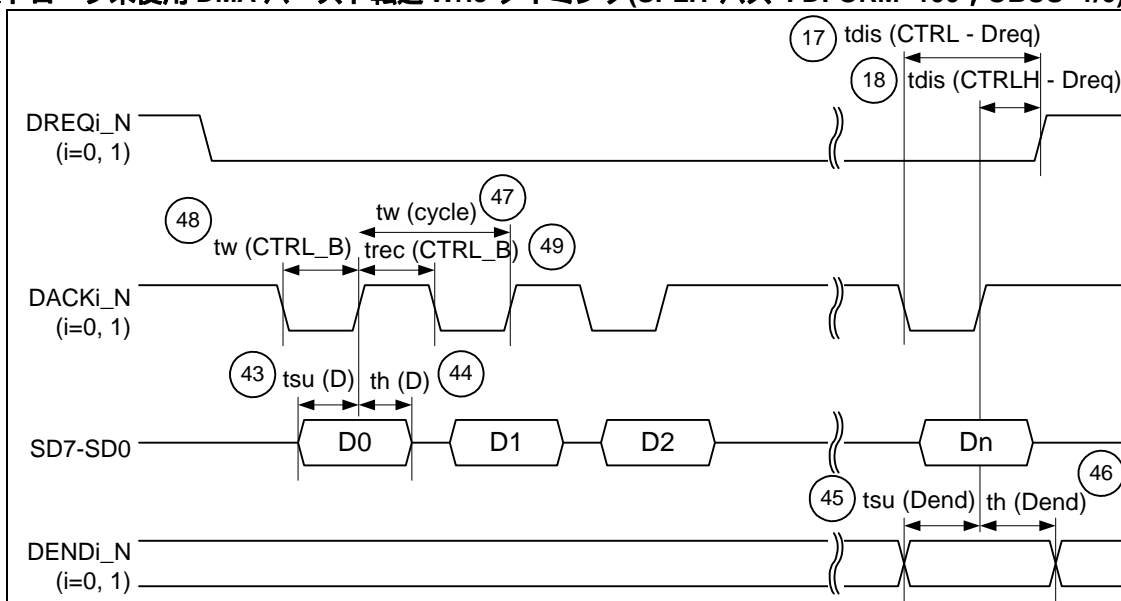
4.9.5.6 DMA バースト転送 Write タイミング(セパレートバス設定 : DFORM=000)



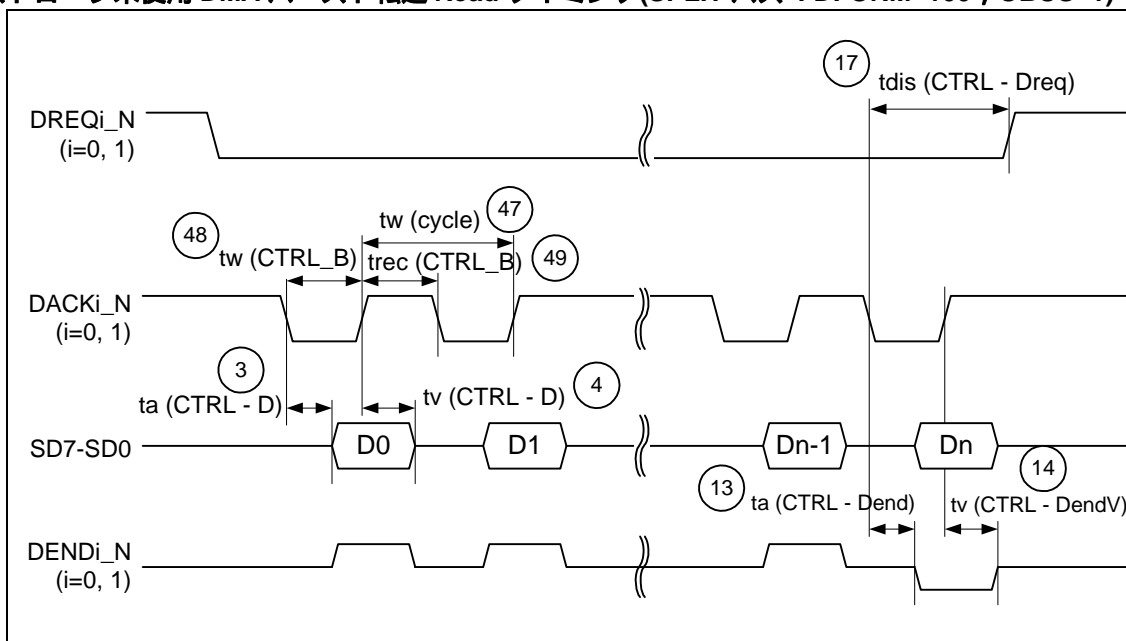
4.9.5.7 DMA バースト転送 Read タイミング(セパレートバス設定 : DFORM=000)



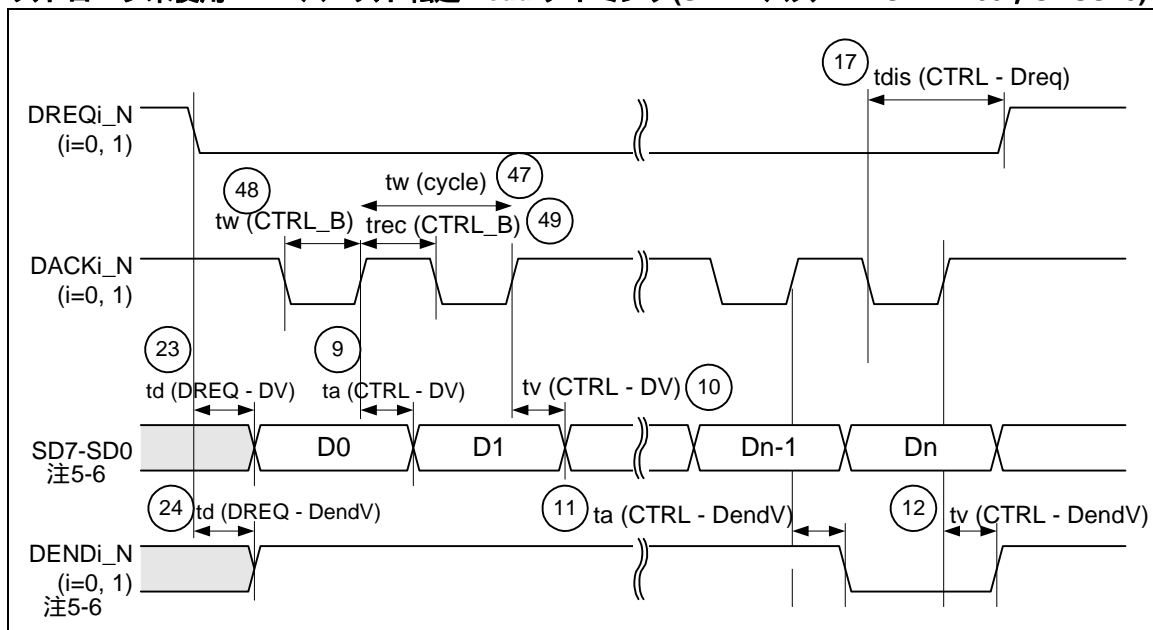
4.9.5.8 ストローブ未使用 DMA バースト転送 Write タイミング(SPLIT バス : DFORM=100 , OBUS=1/0)



4.9.5.9 ストローブ未使用 DMA バースト転送 Read タイミング(SPLIT バス : DFORM=100 , OBUS=1)



4.9.5.10 ストローブ未使用 DMA バースト転送 Read タイミング(SPLIT バス : DFORM=100 , OBUS=0)



注5-1：書き込み時のコントロール信号はDACKi_N(i=0, 1)、WR0_N、WR1_Nの組み合わせになります、

注5-2：読み出し時のコントロール信号はDACKi_N、RD_Nの組み合わせになります。

注5-3：書き込み時のコントロール信号はDACK0、DSTRB0_Nの組み合わせになります。

注5-4：書き込み時のコントロール信号はCS_N、WR0_N、WR1_Nの組み合わせになります。

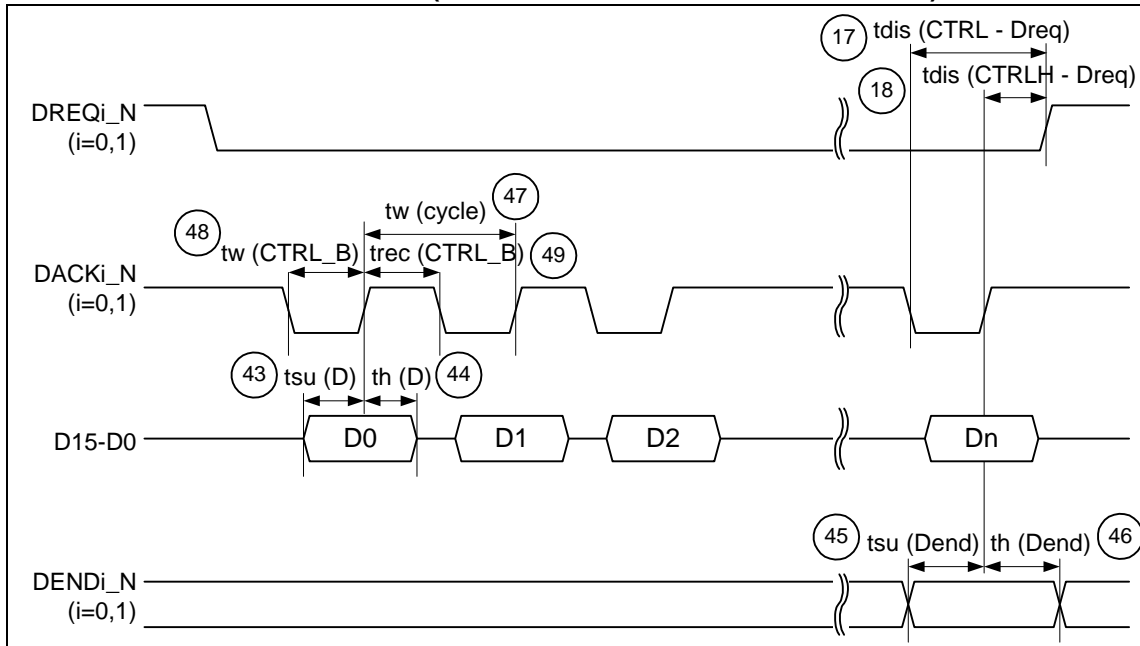
注5-5：読み出し時のコントロール信号はCS_N、RD_Nの組み合わせになります。

注5-6：受信データが1バイトしかない場合、データ出力確定時間は“(23) td(DREQ-DV)”、DEND信号出力確定時は“(24) td(DREQ-DendV)”となります。

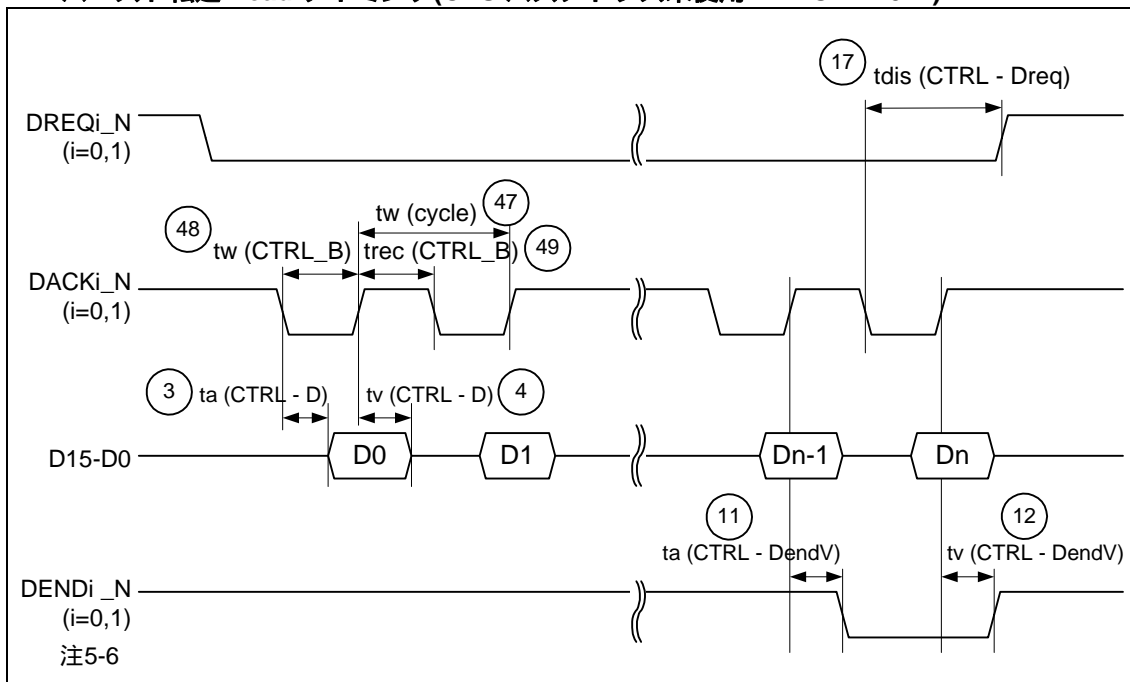
注5-7：CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

注5-8：DACKi_Nが立ち上がる(または立ち下がる)タイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にDACKを立ち下げ(または立ち上げ)ないでください。上記の場合、10ns以上の間隔を空ける必要があります。

4.9.5.11 DMA バースト転送 Wrie タイミング(CPU バスアドレス未使用 : DFORM=011)



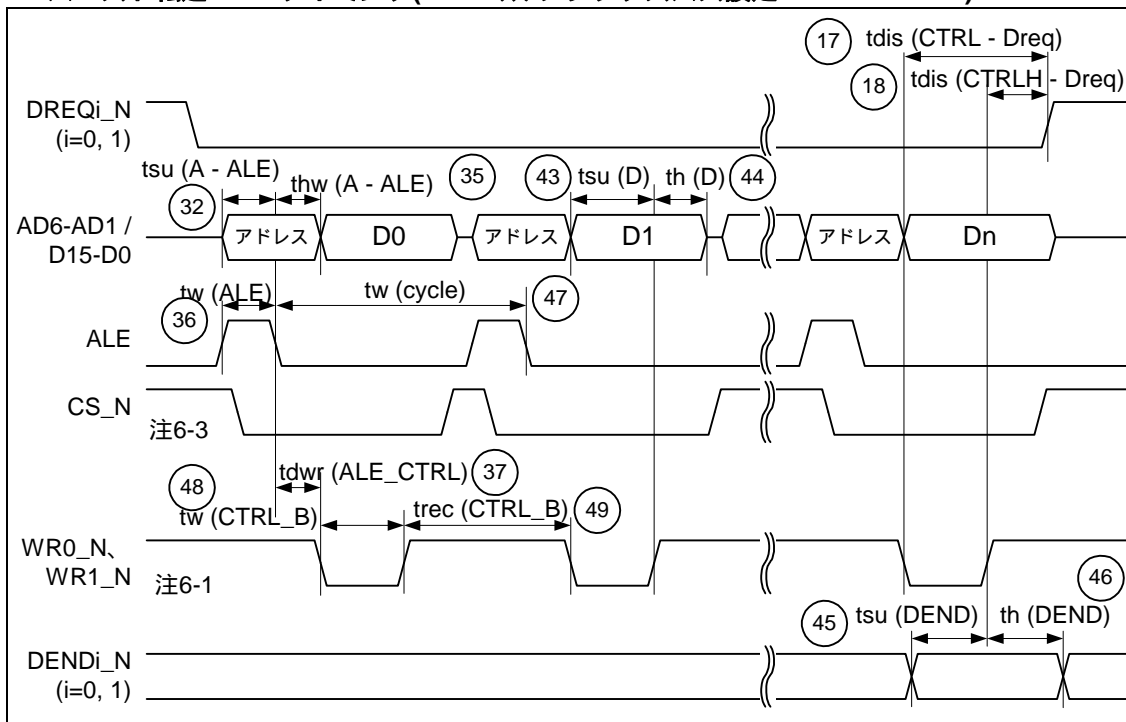
4.9.5.12 DMA バースト転送 Read タイミング(CPU バスアドレス未使用 : DFORM=011)



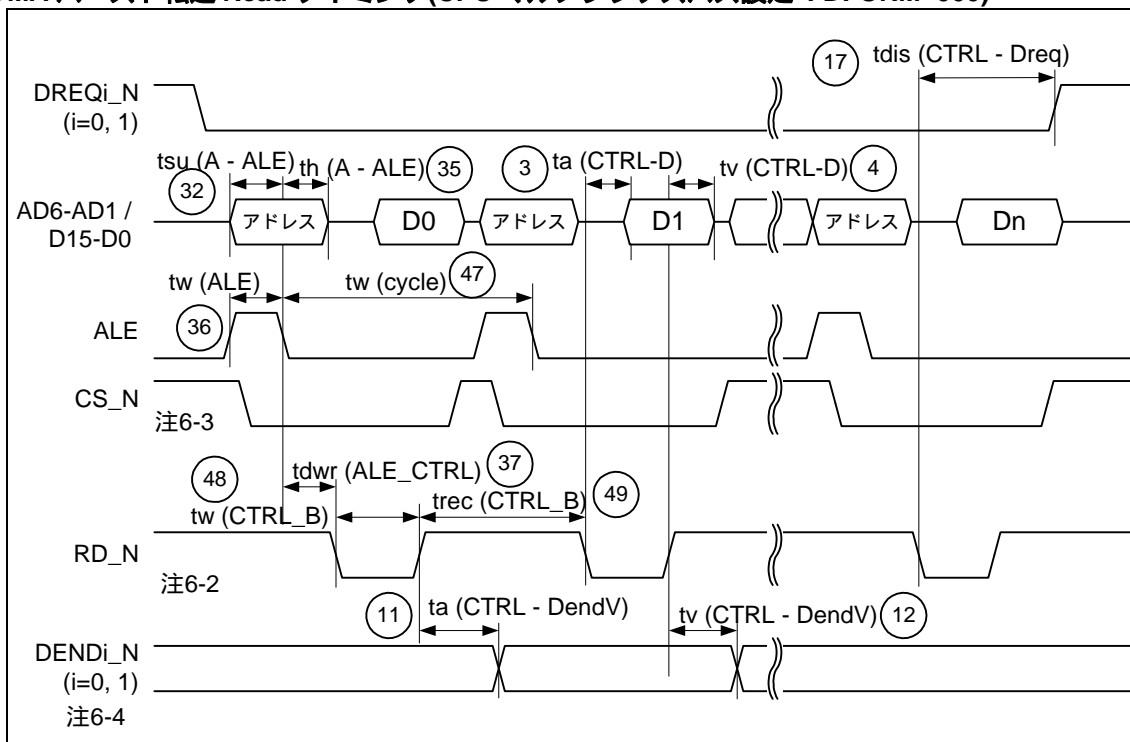
- 注5-1: 書き込み時のコントロール信号はDACK_i_N(i=0, 1)、WR0_N、WR1_Nの組み合わせになります、
- 注5-2: 読み出し時のコントロール信号はDACK_i_N、RD_Nの組み合わせになります。
- 注5-3: 書き込み時のコントロール信号はDACK0、DSTRB0_Nの組み合わせになります。
- 注5-4: 書き込み時のコントロール信号はCS_N、WR0_N、WR1_Nの組み合わせになります。
- 注5-5: 読み出し時のコントロール信号はCS_N、RD_Nの組み合わせになります。
- 注5-6: 受信データが1バイトしかない場合、データ出力確定時間は“(23) td(DREQ-DV)”、DEND信号出力確定時は“(24) td(DREQ-DendV)”となります。
- 注5-7: CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。
- 注5-8: DACK_i_Nが立ち上がる(または立ち下がる)タイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にDACKを立ち下げ(または立ち上げ)ないでください。上記の場合、10ns以上の間隔を空ける必要があります。

4.9.6 DMAアクセスタイミング(バースト転送、マルチプレクスバス設定時)

4.9.6.1 DMA バースト転送 Write タイミング(CPU マルチプレクスバス設定 : DFORM=000)



4.9.6.2 DMA バースト転送 Read タイミング(CPU マルチプレクスバス設定 : DFORM=000)



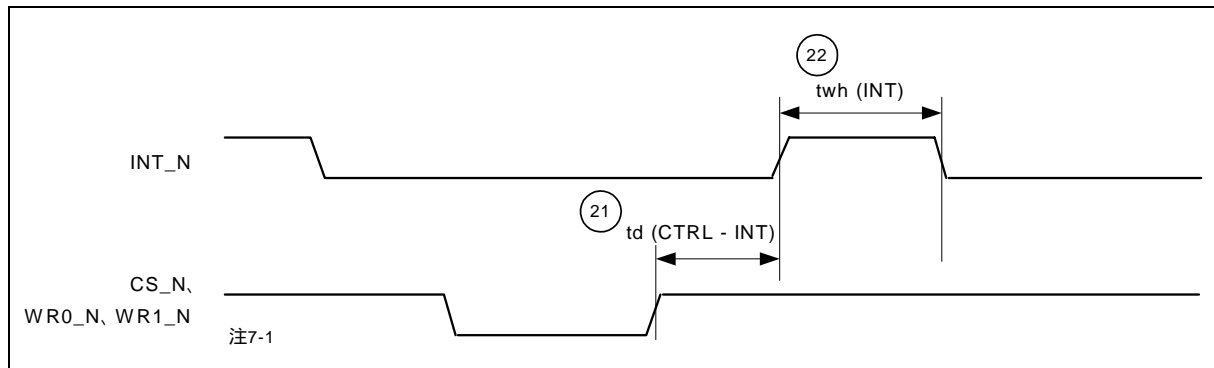
注6-1: 書き込み時のコントロール信号はCS_N、WR0_N、WR1_Nの組み合わせになります。

注6-2: 読み出し時のコントロール信号はCS_N、RD_Nの組み合わせになります。

注6-3: CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

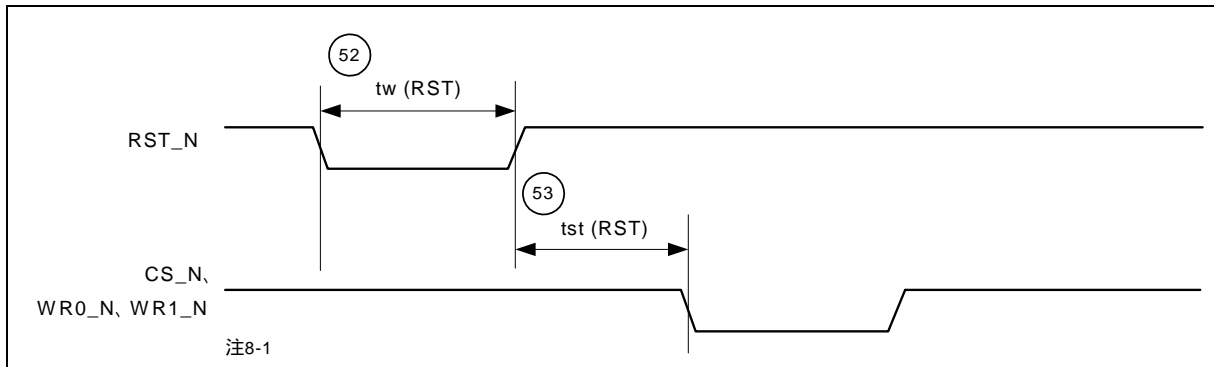
注6-4: 受信データが1バイトしかない場合、DEND信号出力確定時は“(24) td(DREQ-DendV)”となります。

4.10 割り込みタイミング



注7-1: CS_N、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

4.11 リセットタイミング



注8-1: CS_N、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ("L")のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

4.12 電源投入 / 切断タイミング

本コントローラは、1.5V電源(VDD,AFEA15V,AFED15V)、3.3V電源(AFEA33V,AFED33V)、及びIO電源(VIF:3.3Vまたは1.8V)を使用します。

以下の手順にて電源の投入・切断を行って下さい。

(1) 電源投入タイミング

以下いずれかの方法で電源を投入下さい。

- (a) 1.5V電源と3.3V電源/IO電源の同時投入
- (b) 1.5V電源を投入後、3.3V電源/IO電源を投入(図 4.1参照)
 - ・ 1.5V電源と3.3V電源/IO電源の投入時間差は500 μ s以内に抑えて下さい。
 - ・ 電源投入時は、[0V 1.5V電源 - 3.3V電源/IO電源 < 0.6V]の関係を維持して下さい。
 - ・ 3.3V電源とIO電源間の規定はありません。

(2) 電源切断タイミング

以下いずれかの方法で電源を投入下さい。

- (a) 1.5V電源と3.3V電源/IO電源の同時切断
- (b) 3.3V電源/IO電源を切断後、1.5V電源を切断(図 4.1参照)
 - ・ 3.3V電源/IO電源と1.5V電源の切断時間差は1ms以内に抑えて下さい。
 - ・ 電源切断時は、[0V 1.5V電源 - 3.3V電源/IO電源 < 0.6V]の関係を維持して下さい。
 - ・ 3.3V電源とIO電源間の規定はありません。

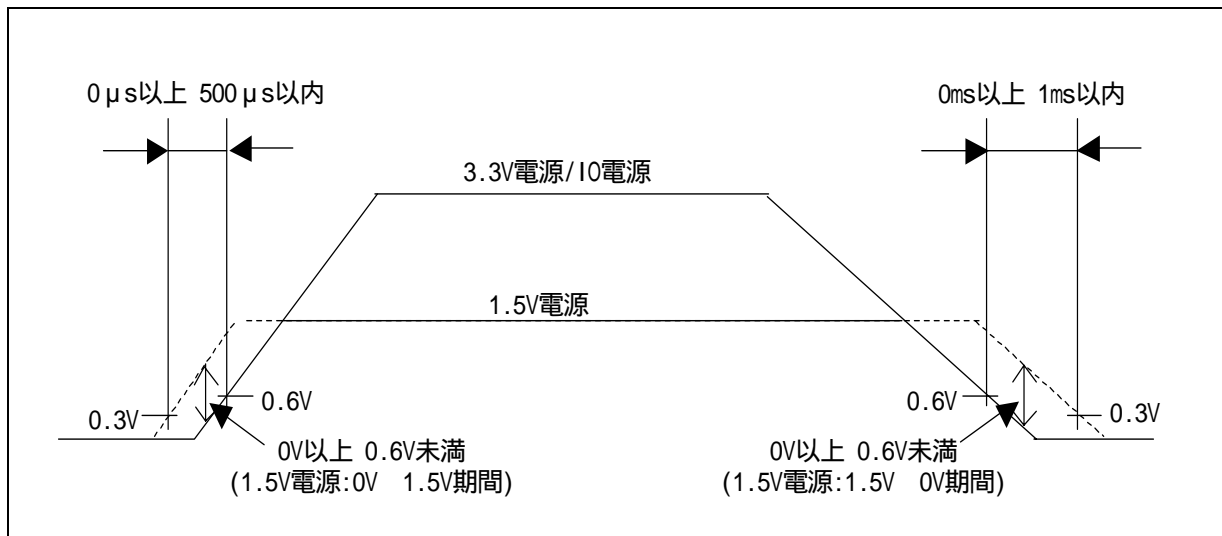


図 4.1 電源投入・切断タイミング

改定記録

M66592データシート

Rev.	発行日	改定内容	
		ページ	ポイント
0.76	'03/01/31	-	新規作成
0.80	'03/04/18	-	誤記訂正
		-	図表番号及び説明追記
		-	3章と4章を統合
		-	ATCKM/SHTNAK/RCNT機能追加
		48	SCKE PLLCタイミング変更
		-	4章タイミング図 48番のタイミング変更
			CPUバス3のアクセスタイミング追加
			23番、24番のタイミング追加
1.00	'04/05/14	4	追記;「図 1.2 M66592WG端子配置図」追記
		5~6 (表1.1)	追記;「端子の状態」欄追記。VBUS端子の「機能」欄追記
		7	追記;「表 1.2 M66592未使用端子の処理例」追記
		11 (1.7.5)	誤記削除;「SOF破損時のみ」はパルス出力ではなくSOF割り込み機能のため、文章削除
		16~17 (表2.2)	誤記訂正;TESTMODEレジスタ(アドレス06h)のUTSTビット長;4bit(bit3-bit0)→3bit(bit2-bit0)
		16~17 (表2.2)	追記; INTENB1(アドレス32h)にBRDYMビット、PCSEビット追記 PIPEnCTR(n=1,2,...,5)(アドレス70h、72h、...、78h)にINBUFMビット追記
		20 (2.4)	追記;DVSTCTR (アドレス04h)の注意事項*2追記
		20,21 (2.4)	誤記訂正;TESTMODE(アドレス06h)のUTSTビット長;4bit(bit3-bit0)→3bit(bit2-bit0)。
		31 (2.7)	追記;INTENB1(アドレス32h)にBRDYMビット、PCSEビット追記
		31 (2.7)	誤記訂正;INTENB1(アドレス32h)のINTLビット初期値修正; 低電力スリープ後→0
		44 (2.14)	追記;PIPECFG (アドレス66h)の注意事項*2追記
		46 (2.14)	追記;PIPEMAXP (アドレス6Ah)の注意事項*8追記
		47 (2.14)	追記;PIPEnCTR(n=1,2,...,5)(アドレス70h、72h、...、78h)にINBUFMビット追記 注意事項*12)、*13)、*14)追記
		50 (3.1.6.1)	誤記訂正;「表 3.3 コントローラーの状態とSYSCFGレジスタの値の対応表」の「低電力スリープ状態」行「SYSCFGレジスタの各ビットの値」列;DPRPU=0→DPRPU=x
		51 (3.1.6.2)	追記;「3.1.6.2 消費電力制御概要 : クロック停止状態を使用する場合」追記
		51 (3.1.6.5)	追記;「3.1.6.5 クロック停止状態からの復帰」追記
		56 (3.1.7.4)	追記;「3.1.7.4 内部クロック供給停止(通常動作状態からクロック停止状態)」追記
		57 (3.1.7.5)	追記;「3.1.7.5 内部クロック供給開始(クロック停止から通常動作状態 : 自動クロック供給機能許可時)」追記
		58 (3.1.7.6)	追記;「3.1.7.6 内部クロック供給開始(クロック停止から通常動作状態 : 自動クロック供給機能禁止時)」追記
		- (3.1.7)	削除;「3.1.7.4(元) 内部クロック供給開始(低電力スリープ状態から通常動作状態 : 自動クロック供給機能禁止時)」削除
		62 (表3.9)	追記;BRDY割り込み発生説明追記
		69	追記; SHTNAKビット、INBUFMビットの項目を追記;

Rev.	発行日	改定内容	
		ページ	ポイント
		(表3.11)	
		73 (表3.13)	追記;「表 3.13 INBUFMビットによるバッファステータス表」追記
		78 (表3.18)	追記;注*2)追記
		93, 94 (4.3, 4.4)	追記;電気的特性; FS動作時平均電源電流、静止時電源電流追記
		95 (4.5)	追記;測定回路追記
		97 (4.)	誤記訂正;スイッチング特性;No.23、No.24項目名欄訂正
		99 (表4.2)	誤記訂正;「バスI/F仕様」欄一部訂正;CPUバス1とCPUバス2が逆の行あり
		102 (4.9.3.1)	誤記訂正; DFORM=01→ DFORM=010
		102 (4.9.3.2)	誤記訂正; DFORM=01→ DFORM=010 追記;注3-9)追記
		103 (4.9.3.3)	誤記訂正; DFORM=11→ DFORM=110
		103 (4.9.3.4)	誤記訂正; DFORM=11→ DFORM=110
		104 (4.9.3.5)	誤記訂正;DFORM=11→ DFORM=110 追記;注3-9)追記
		105 (4.9.3.6)	誤記訂正; DFORM=00→ DFORM=000
		105 (4.9.3.7)	誤記訂正; DFORM=00→ DFORM=000 追記;注3-9)追記
		106 (4.9.3.8)	誤記訂正; DFORM=10→ DFORM=100
		106 (4.9.3.9)	誤記訂正; DFORM=10→ DFORM=100
		107 (4.9.3.10)	誤記訂正; DFORM=10→ DFORM=100 追記;注3-9)追記
		108 (4.9.3.11)	誤記訂正; DFORM=01→ DFORM=011
		108 (4.9.3.12)	誤記訂正; DFORM=01→ DFORM=011 追記;注3-9)追記
		110 (4.9.4.1)	誤記訂正; DFORM=00→ DFORM=000、図中タイミングNo.(17) No.(18)
		110 (4.9.4.2)	誤記訂正; DFORM=00→ DFORM=000 追記;注4-4)追記
		111 (4.9.5.1)	誤記訂正; DFORM=01→ DFORM=010、図中タイミングNo.(17)の基準線変更 追記;注5-8)追記、図中タイミングNo.(18)追記
		111 (4.9.5.2)	誤記訂正; DFORM=01→ DFORM=010、図中タイミングNo.(17)の基準線変更 追記;注5-6)追記、注5-8)追記
		112 (4.9.5.3)	誤記訂正; DFORM=11→ DFORM=110、図中タイミングNo.(17)の基準線変更 追記;図中タイミングNo.(18)追記
		112 (4.9.5.4)	誤記訂正; DFORM=11→ DFORM=110、図中タイミングNo.(17)の基準線変更
		113 (4.9.5.5)	誤記訂正; DFORM=11→ DFORM=110、図中タイミングNo.(17)の基準線変更 追記;注5-6)追記
		114	誤記訂正; DFORM=00→DFORM=000、図中タイミングNo.(17)の基準線変更、

Rev.	発行日	改定内容	
		ページ	ポイント
		(4.9.5.6)	No.(50)→No.(30)、No.(51)→No.(33) 追記;注5-7追記
		114 (4.9.5.7)	誤記訂正; DFORM=00→DFORM=000、図中タイミングNo.(17)の基準線変更 追記;注5-6追記、注5-7追記
		115 (4.9.5.8)	誤記訂正; DFORM=10→DFORM=100、図中タイミングNo.(17)の基準線変更 追記;図中タイミングNo.(18)追記
		115 (4.9.5.9)	誤記訂正; DFORM=10→DFORM=100、図中タイミングNo.(17)の基準線変更
		116 (4.9.5.10)	誤記訂正; DFORM=10→DFORM=100、図中タイミングNo.(17)の基準線変更 追記;注5-6追記
		117 (4.9.5.11)	誤記訂正;DFORM=01→DFORM=011、図中タイミングNo.(17)の基準線変更 追記;図中タイミングNo.(18)追記
		117 (4.9.5.12)	誤記訂正;DFORM=01→DFORM=011、図中タイミングNo.(17)の基準線変更 追記;注5-6追記
		119 (4.9.6.1)	誤記訂正;DFORM=00→DFORM=000 追記;図中タイミングNo.(17)追記
		119 (4.9.6.2)	誤記訂正;DFORM=00→DFORM=000、図中タイミングNo.(17)→No.(18) 追記;注6-4追記
1.01		2 (1.2.6)	削除;バッファサイズはプログラマブル(最大2Kバイトでダブルバッファ指定可能) 2箇所
		10 (1.7.1.2, 1.7.1.3)	追記;FIFOアクセスに関する説明を詳細に変更
		18 (2.3)	誤記訂正;SYSCFGレジスタの説明 0ビット目備考箇所 3.1.4 →3.1.1
		25 (2.6)	誤記訂正;箇条書きの開始番号(3) → (1) 追記; FIFOポートで選択されているパイプにレジスタ名("CURPIPE"の内容)書き追記
		26 (2.6)	誤記訂正;C/DxFIFOポート選択レジスタの14ビットFunction箇所 0:バッファポインタリワイ ドしない→無効 削除;C/DxFIFOポート選択レジスタの12ビット備考箇所 2)削除
		31 (2.7)	誤記訂正;INTENB1レジスタの説明 0ビット備考箇所 3.1.5 →3.1.6
		35 (2.9)	誤記訂正;INTSTS0レジスタの注意事項*2) 制御用プログラム→ソフトウェア 誤記訂正;INTSTS0レジスタの注意事項*3) VBSTS→VBINT
		39 (2.11)	誤記訂正;RECOVERレジスタの注意事項*1) 制御用プログラム→ソフトウェア
		42	追記;DCPCTRレジスタの注意事項*5)にSQCLRビットとPIPEXCTRレジスタのSQSETビット を追記
		43 (2.14)	追記;PIPESELレジスタの注意事項*2)追記
		44 (2.14)	追記;;PIPECFGレジスタの注意事項*5) のDBLBビット動的切り替え手順を追記
		47	誤記訂正;PIPESELレジスタのPIPESELビット→ CFIFO/DxFIFOレジスタのCURPIPEビット 追記;PIPEXCTRレジスタの注意事項*16)にSQSETビットとDCPCTRレジスタのSQCLRビット を追記
		49 (3.1.4)	誤記訂正;図中(図3.1)のREFIN→ REFRIN
		49 (3.1.5)	誤記訂正;図中(図3.2)のPCUT(bit2)→ PCUT(bit1)
		52 (3.1.6.3)	誤記訂正;表3.5 DREQAの説明「DREQ0_N端子及びDREQ1_N端子の状態を保持します」→「ビ ットの設定内容を保持します」
		52 (3.1.6.4)	誤記訂正;… 下記の操作で解除され… →… 下記の操作でも解除され

Rev.	発行日	改定内容	
		ページ	ポイント
		53 (3.1.6.5)	誤記訂正;(1)VBUS検出箇所と(2)RESUME検出箇所 低電力スリープ状態→クロック停止状態
		54 (3.1.7.1)	追記;自動クロック供給機能許可(ATCKM=1)時のクロック供給制御手順を追記
		56 (3.1.7.3)	誤記訂正;(1)カッコ書き内 0x00番地→0x7E番地
		58 (3.1.7.5)	追記;(2)発振バッファ許可する前に、USBブロック動作許可"USBE=1"することを追記
		59 (3.1.7.5)	誤記訂正;(3)"XCKE"のアクセスを"(H/W)と(S/W)"で場合分け
		58 (図3.9)	誤記訂正;図中 "XCKE"のアクセスを"(H/W)と(S/W)"で場合分け
		59 (3.1.7.6)	誤記訂正;(2)"XCKE"のアクセスを"(H/W)と(S/W)"で場合分け
		59 (図3.10)	タイトル訂正;図3.10タイトルを「クロック停止からの復帰制御タイミング図(自動クロック供給機能禁止設定時)」へ訂正
		59 (図3.10)	誤記訂正;図中 "XCKE"のアクセスを"(H/W)と(S/W)"で場合分け 誤記訂正;図中 "SCKE(H/W)" →"SCKE(S/W)"
		63 (3.2.2)	追記;3.2.2クロックを停止した状態での動作と注意事項
		64 (3.2.3)	追記;(1)箇所 "PID=BUF"設定であり、を追記
		64 (表3.9)	追記;表中[読み出しアクセス,受信,パイプ1-7,BEFRE=0,DBLB=0](2)箇所 *1)追記 追記;表外に注意書き*1)を追記 訂正;表中[読み出しアクセス,受信,パイプ1-7,BEFRE=0,DBLB=1]箇所 (1)-(3)を(1)-(4)へ訂正 訂正;表中[読み出しアクセス,受信,パイプ1-7,BEFRE=0,DBLB=1]箇所 (4)を追記 誤記訂正; 表中[書き込みアクセス,送信,パイプ1-7,BEFRE=0,DBLB=0](1)箇所 「INからOUTに」→「受信から送信に」へ訂正 誤記訂正; 表中[書き込みアクセス,送信,パイプ1-7,BEFRE=0,DBLB=1](1)箇所 「INからOUTに」→「受信から送信に」訂正 誤記訂正; 表中[書き込みアクセス,送信,パイプ1-7,BEFRE=0,DBLB=1](2)b)箇所 「VBAL=1」→「VBAL=1」訂正
		67 (3.2.5)	誤記訂正;(1)の「または、ソフトウェアによってバッファがクリアされ空になった時」を削除
		70 (3.2.10)	追記;本割り込みはクロックを停止した状態(低消費電力スリープ状態を含む)でも発生します。
		76 (3.4.1.4)	追記:ACLRMビットによるFIFOバッファクリアの手順を追記 テクニカルアップデート(TN-ASP-A019A/J)発行に伴い追記
		80 (3.4.2.5)	追記: トランザクションが終了する条件を追記
		96 (4.3)	誤記訂正;HS動作時平均電源電流を60mA→40mAへ訂正
		97 (4.4)	誤記訂正;HS動作時平均電源電流を60mA→40mAへ訂正
		100 (4.7)	誤記訂正;コントロール後DREQイネーブル時間を30ns→20nsへ訂正
		108 (4.9.3.6)	誤記訂正;図中タイミング → へ訂正
		125 (4.12)	追記;電源投入/切断タイミング追記
1.02	'07/06/08	全体	ヘッダー、フッターに「M66592UG」を追加
		4	追記; 図1.2にUGパッケージの端子配置図を追記
		95	追記; 4.1絶対最大定格 tstg(保存温度)に「M66592UG」を追記

Rev.	発行日	改定内容	
		ページ	ポイント
1.03	'07/08/28	69 (3.2.7)	追記;CTSQビットの確認は、INTSTS0レジスタのCTRTRT="1"確認後、INTSTS0レジスタを再リードして行うことを追記
		86 (3.6.3)	誤記訂正;(1)と(2)の内容が逆だったため訂正

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com