

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1 M66591 概要

1.1 機能概要

M66591は、USB (Universal Serial Bus) 規格Rev.2.0に準拠し、Hi-Speed転送モードおよびFull-Speed転送モードの両転送モードに対応したUSBペリフェラルコントローラです。M66591は、USB Hi-Speed/Full-Speedトランシーバを内蔵しており、USBで定義されているコントロール転送とバルク転送とインタラプト転送に対応しています。

データ転送用に3.5KByteのFIFOを内蔵しており、最大7本のエンドポイントが使用可能です。

さらに、CPUバスインタフェースから独立したスプリットバス (DMA Interface) を備え、高速で大容量データ転送が要求されるシステムに適しています。

1.2 特長

USB規格Rev.2.0準拠

USBトランシーバ内蔵

Hi-Speed (480Mbps) とFull-Speed (12Mbps) の両方に対応

H/WによるUSBプロトコル層を実現

- ・ビットスタッフィングエンコード/デコード
- ・CRC生成/チェック
- ・NRZIエンコード/デコード
- ・パケットの識別

・USBアドレスチェック

H/W制御によるHi-Speed、Full-Speed認識

対応のUSB転送タイプ

- ・コントロール転送 (PIPE0)
- ・バルク転送 (PIPE1 ~ PIPE4)
- ・インタラプト転送 (PIPE5 ~ PIPE6)

各エンドポイント用FIFOを3.5Kバイト内蔵

最大7本のエンドポイントを使用可能

各PIPEの転送条件設定

Hi-Speed動作時

- ・PIPE0 : コントロール転送、連続転送モード、256バイトFIFO
- ・PIPE1 ~ 2 : バルクINまたは、バルクOUT転送、512バイトFIFO、ダブルバッファ
- ・PIPE3 ~ 4 : バルクINまたは、バルクOUT転送、512バイトFIFO、シングルバッファ
- ・PIPE5 ~ 6 : インタラプトIN転送、64バイトFIFO、シングルバッファ

Full-Speed動作時

- ・PIPE0 : コントロール転送、連続転送モード、256バイトFIFO
- ・PIPE1 ~ 2 : バルクINまたは、バルクOUT転送、連続転送モード、512バイトFIFO、ダブルバッファ
- ・PIPE3 ~ 4 : バルクINまたは、バルクOUT転送、連続転送モード、512バイトFIFO、シングルバッファ
- ・PIPE5 ~ 6 : インタラプトIN転送、64バイトFIFO、シングルバッファ

Set Addressリクエストに対する自動応答機能

3種のクロック入力周波数に対応

- ・12/24/48MHzクロック入力に対応

16bit CPU I/F、8/16bitのDMA転送に対応

セパレート/マルチプレクスバス対応

- ・16bitセパレート/マルチプレクスバス

8bitスプリットバス (DMA Interface) 対応

パワーマネジメントに対応するUSB状態出力

1.8V/3.3Vインタフェース電源

用途

- ・デジタルカメラ、プリンタ、外部ストレージ機器および、その他Hi-Speed USB搭載のPC周辺機器全般

1.3 端子配置

図1.1にM66591の端子配置図（上面図）を示します。

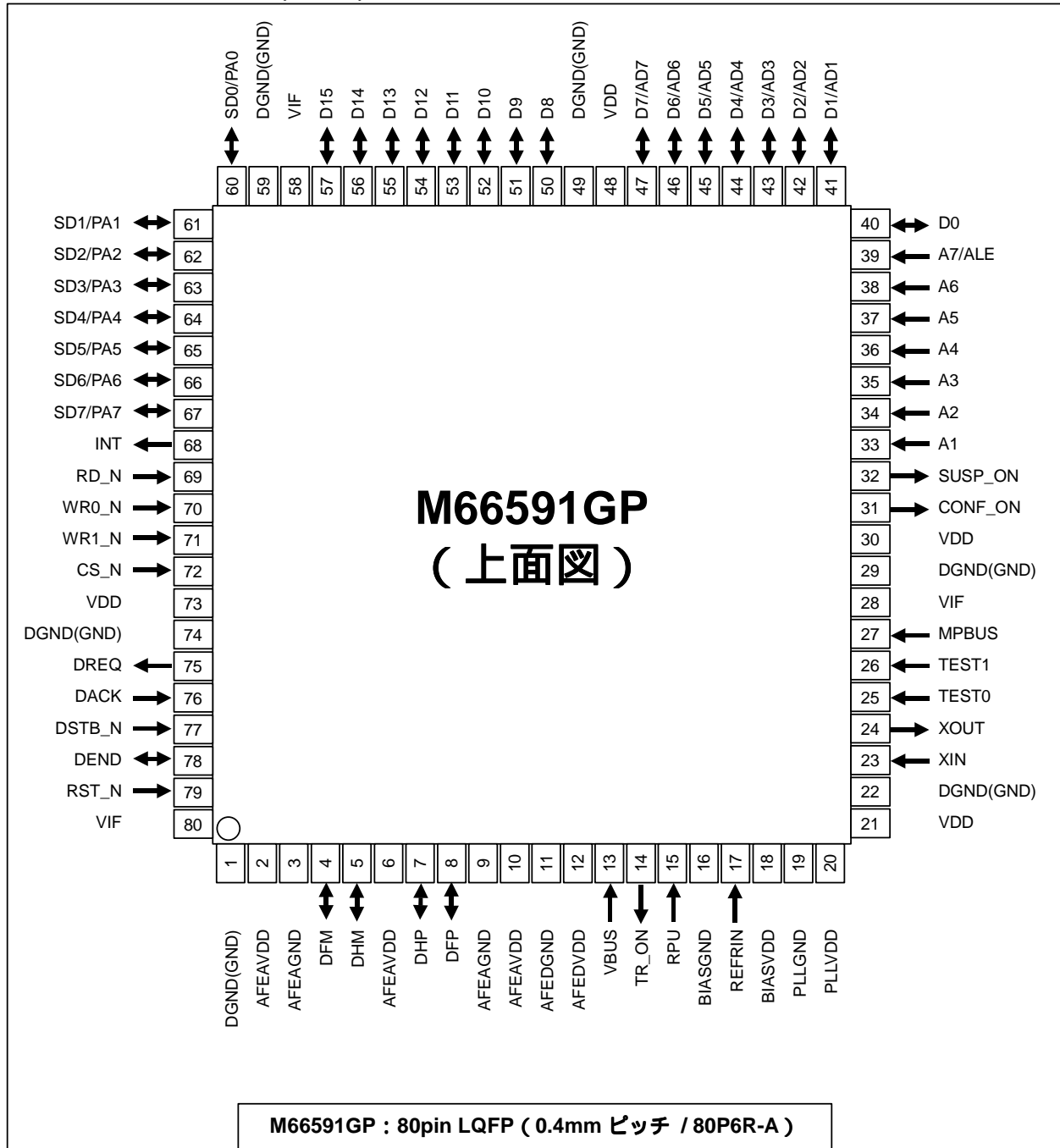


図1.1 M66591端子配置図

表1.1にM66591の端子機能説明を示します。

表1.1 M66591端子機能説明

区分	端子名	入出力	名称・機能	端子数
CPU インタ フェース	D15-D8	入出力	データバス CPUからレジスタにアクセスするデータバスです。	8
	D7/AD7-D1/AD1, D0	入出力	データバス/アドレスバス 16bitセパレートバスが選択されている場合、D7-D0です。 16bitマルチプレクスバスが選択されている場合、D7-D0の入出力と、AD7-AD1の入力を時分割で行います。AD0は未使用です。	8
	A7/ALE, A6-A1	入力	アドレスバス/アドレスラッチイネーブル 16bitセパレートバスが選択されている場合、CPUからレジスタにアクセスをするアドレスバスです。 16bitマルチプレクスバスが選択されている場合、A7はALE信号になり、立ち上がりエッジでアドレスをラッチします。A6-1は使用しません。	7
	CS_N	入力	チップセレクト “L”レベルのとき、M66591が選択されます。	1
	RD_N	入力	リード信号 “L”レベルで、レジスタからデータを読み出します。	1
	WR1_N	入力	D15-D8バイトライト信号 立ち上がりエッジでデータ (D15-D8) をレジスタに書き込みます。	1
	WR0_N	入力	D7-D0バイトライト信号 立ち上がりエッジでデータ (D7-D0) をレジスタに書き込みます。	1
	MPBUS	入力	バスモード選択 “L”レベルで16bitセパレートバスです。 “H”レベルで16bitマルチプレクスバスです。 この端子は、リセット後の切り替えは禁止です。	1
割り込み インタ フェース	INT	出力	割り込み CPUに対して割り込みをリクエストします。この信号の極性はレジスタによる設定が可能です。	1
DMA インタ フェース	SD7/PA7-SD0/PA0	入出力	スプリットバス/汎用ポート スプリットバス (DMA Interface) のデータバスまたは、汎用ポートです。	8
	DREQ	出力	DMAリクエスト D0_FIFOポートのDMA転送をリクエストするための信号です。この信号の極性はレジスタによる設定が可能です。	1
	DACK	入力	DMA受付 “L”または“H”レベルでD0_FIFOポートのDMA転送が可能になります。この信号の極性はレジスタによる設定が可能です。	1
	DSTB_N	入力	スプリットバスストローブ D0_FIFOポートがスプリットバス (DMA Interface) に設定した時に、データストローブ信号として使用します。 「データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ2」のRWstbビットの値が“1” (RD/WRストローブモード) の時に、この信号はデータストローブ信号として使用します。	1
	DEND	入出力	転送終了 PIPE方向が“IN”の時、入力信号として他の周辺チップまたはCPUから転送終了信号を受け付けます。 PIPE方向が“OUT”の時、出力信号として転送の最後データを示します。 この信号の極性はレジスタによる設定が可能です。	1
USB インタ フェース	DHP	入出力	USB Hi-Speed D+ USBバスのD+端子に接続してください。	1
	DHM	入出力	USB Hi-Speed D- USBバスのD-端子に接続してください。	1
	DFP	入出力	USB Full-Speed D+ 43 ± 1%抵抗を介してDHPに接続してください。	1
	DFM	入出力	USB Full-Speed D- 43 ± 1%抵抗を介してDHMに接続してください。	1

表1.1 M66591端子機能説明

区分	端子名	入出力	名称・機能	端子数	
	RPU	入力	プルアップコントロール 1.5K Ω \pm 5%の抵抗を介してTR_ON端子に接続してください。	1	
	TR_ON	出力	プルアップ電源出力 プルアップ用3.3V電源出力。この電源はVBUS入力より内部で5Vから3.3Vに変換して出力しています。	1	
	VBUS	入力	VBUS入力 USBバスのVbusに接続してください。USBケーブルの接続/切断を検出することが可能です。	1	
	REFRIN	入力	リファレンス入力 1.2K Ω \pm 1%抵抗を介してBIASGNDに接続してください。	1	
USB状態 出力	CONF_ON	出力	USB Configured出力信号 “L”レベルで、Congiuredステートへ遷移したことを示します。この端子はN-chオープンドレイン出力です。	1	
	SUSP_ON	出力	USBサスペンド出力信号 “L”レベルで、Suspendステートへ遷移したことを示します。この端子はN-chオープンドレイン出力です。	1	
クロック	XIN	入力	発振用入力	内部クロック発生回路の信号入出力です。XIN、XOUTの間に水晶振動子を接続してください。 外部より直接クロック入力する場合、XINに外部クロック信号を接続し、XOUTは開放してください。	1
	XOUT	出力	発振用出力		1
システム 制御	RST_N	入力	リセット信号 “L”レベルで内部レジスタやカウンタの値を初期化します。	1	
	TEST1-0	入力	テスト信号 テスト用入力です。“L”固定またはオープンにしてください	2	
電源	AFEAVDD	入力	アナログ電源 3.3Vに接続してください。	3	
	AFEAGND	入力	アナログGND	2	
	AFEDVDD	入力	USBトランシーバデジタル電源 3.3Vに接続してください。	1	
	AFEDGND	入力	USBトランシーバデジタルGND	1	
	BIASVDD	入力	BIAS電源 3.3Vに接続してください。	1	
	BIASGND	入力	BIASGND	1	
	PLLVDD	入力	PLL電源 3.3Vに接続してください。	1	
	PLLGND	入力	PLLGND	1	
	VDD	入力	コア電源 3.3Vに接続してください。	4	
	VIF	入力	IO電源 1.8Vまたは、3.3Vに接続してください。	3	
	DGND	入力	デジタルGND	6	

各信号名の“_N”は“L”アクティブであることを示します。

表1.2はM66591の端子の空きピン処理方法を示します。

表1.2 M66591端子の空きピン処理方法

区分	端子名	空きピン処理方法
CPUインタフェース	A6-A1	オープン
	SD7/PA7-SD0/PA0	外部プルアップ/プルダウンまたは、出力ポートに設定
	DREQ	オープン
	DACK、DEND	外部プルアップまたは、“H”固定
	DSTB_N	外部プルアップまたは、“H”固定
システム制御	TEST1-0	オープンまたは、“L”固定
USB状態出力	CONF_ON、SUSP_ON	オープン

1.4 端子機能構成

図1.2にM66591の端子機能構成を示します。

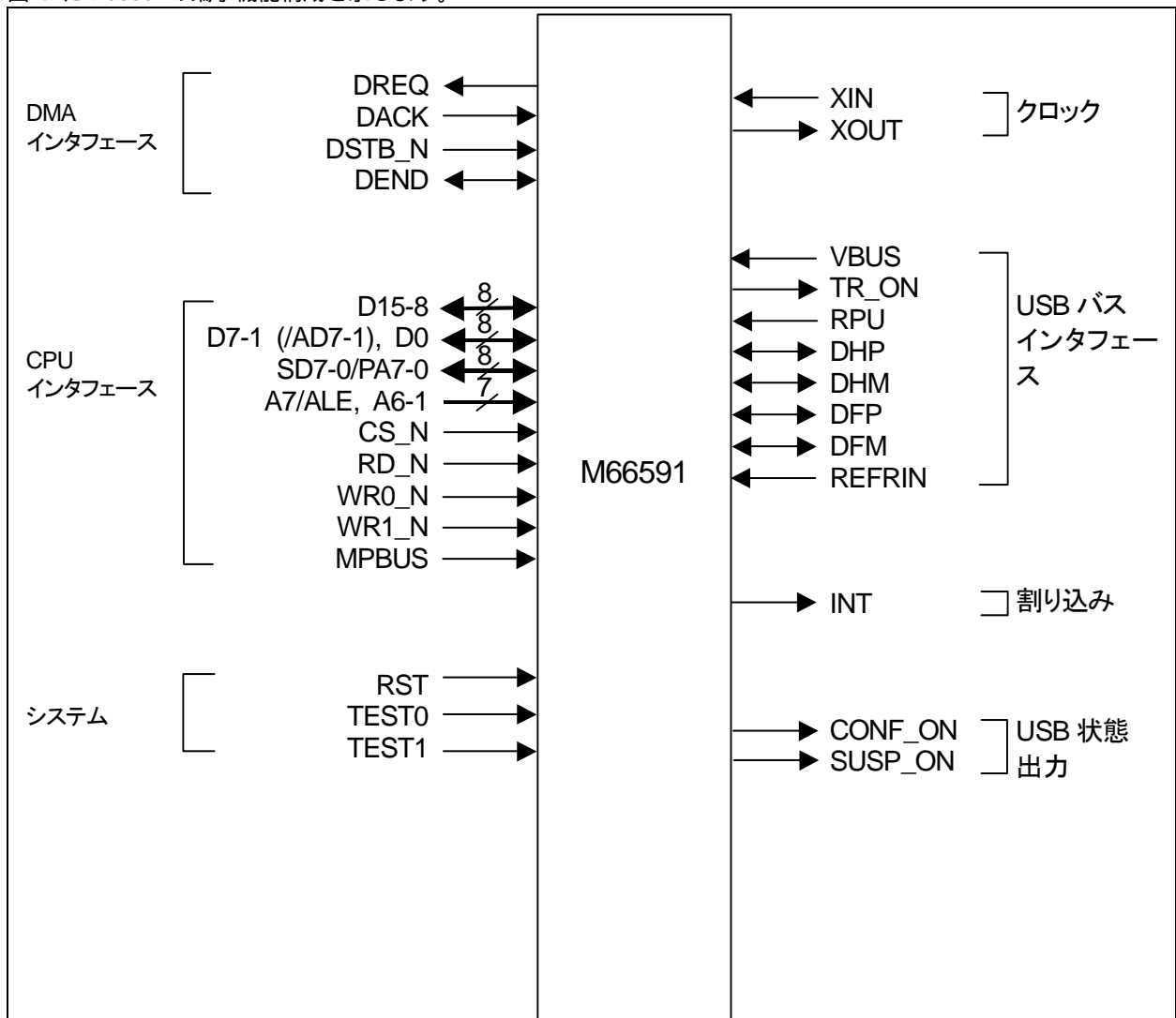


図1.2 M66591端子機能図

1.5 ブロック図

M66591は、USBトランシーバ部 (UTM)、プロトコルエンジン部 (Prctl_Eng)、割り込み制御部 (Int_Ctrl)、PIPEコントローラ部 (PIPE_Ctrl) を含むSIE (Serial Interface Engine) 側ブロックと、FIFOポート部 (FIFO_Port)、レジスタ部 (USB_Reg) を含むCPU側ブロックと、バスインタフェースユニット部 (BIU) と、FIFOメモリ部 (Memory) との四つのブロックで構成されます。

図1.3にM66591の内部ブロック図を示します。

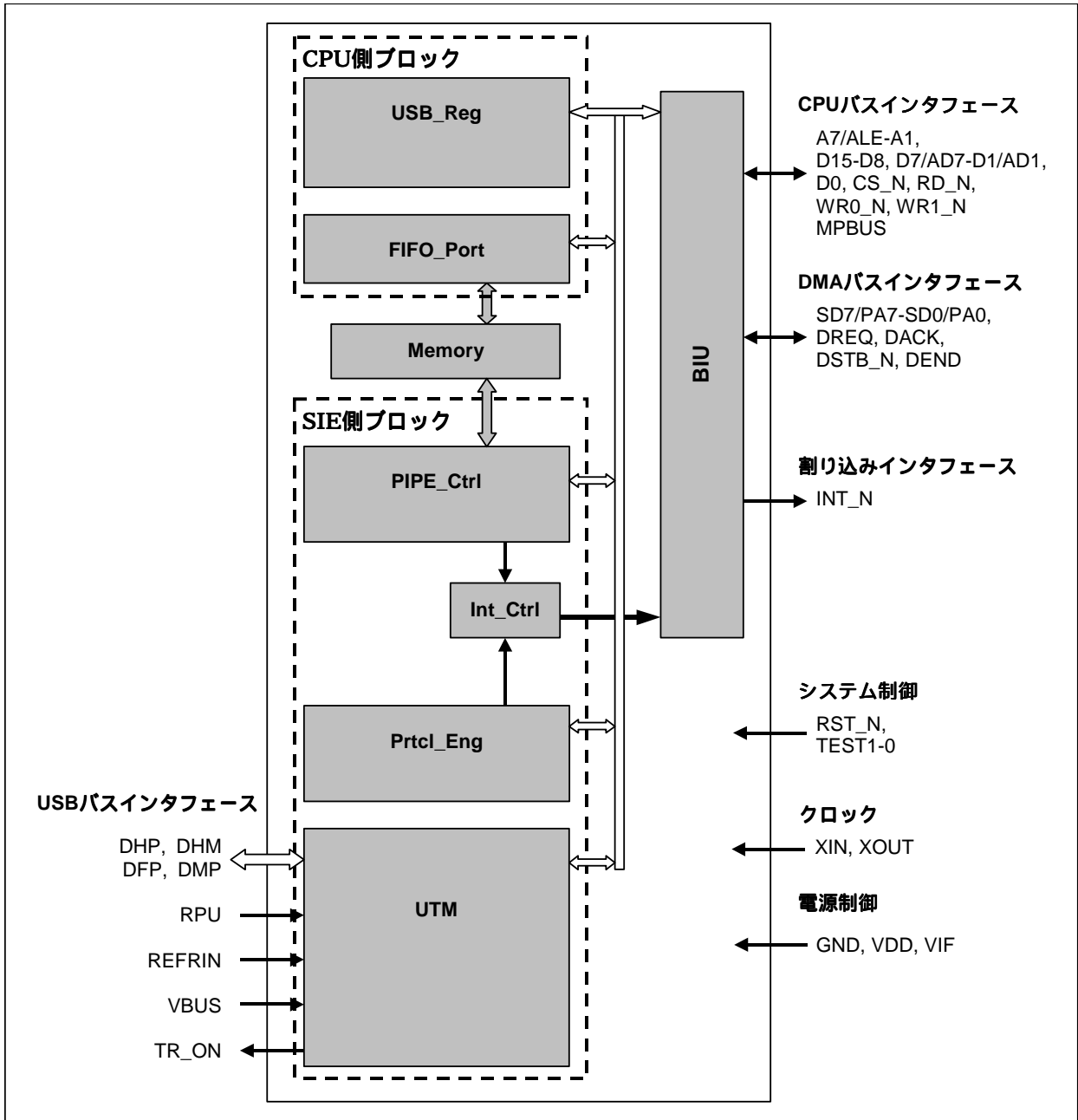


図1.3 M66591の内部ブロック図

2 レジスタ一覧

レジスタ表の見方

ビット番号 : 各レジスタは、16ビットの内部バスに接続されています。したがって、レジスタのビット番号は、奇数番地はb15～b8に、偶数番地はb7～b0になります。

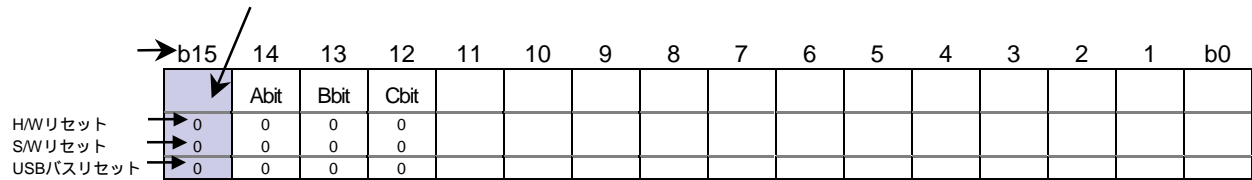
リセット後の状態 : リセット直後の初期状態を16進数または2進数で示します。
 H/Wリセットは外部リセット入力によるリセット状態、S/WリセットはUSB動作許可レジスタのUSBEビットによるリセット状態、USBバスリセットはUSBバス上でのバスリセット検出によるリセット状態を示します。“-”はリセット前の状態を保持することを意味しています。“?”はリセット後に値が不定('0'もしくは'1')であることを示します。

読み出し時の条件 :
 ・・・・読み出し有効
 “?”・・・読み出し無効（読み出し時データ不定）
 “0”・・・常に“0”が読み出される
 “1”・・・常に“1”が読み出される

書き込み時の条件 :
 ・・・・書き込み有効
 “0”・・・“0”書き込みデータ条件付き（書き込みに関し何らかの条件があるもの）
 —・・・書き込み無効（書き込み時は“0”でも “1”でもよい）
 x・・・書き込み禁止

< 表記例 >

網掛け部分には何も配置されていません。



< H/Wリセット後 : H'0000 >
 < S/Wリセット後 : - >
 < USBバスリセット後 : - >

b	ビット名	機能	R	W
15	何も配置されていない。		“0”	“0”
14	Abit (.....)	0: 1: 1:		
13	Bbit (.....)	0: 1: 1:		x
12	Cbit (.....)	0: 1: 1:	“0”	“0”

2.1 レジスタマッピング

図2.1、図2.2、図2.3にレジスタマッピングを示し、以降に各レジスタについて説明します。

番地	+1番地		+0番地		リセット後状態		
	b15	b8	b7	b0	H/W	S/W	USBバス
H'00	USBトランシーバコントロールレジスタ0				0000h	-	-
H'02	USBトランシーバコントロールレジスタ1				0000 0000 0100 00??b	---- ---- ---- -??b	---- ---- ---- --00b
H'04	HS/FSモードレジスタ				0000h	-000 0000 0000 0000b	-000 0000 0000 00--b
H'06	テストモードレジスタ				0000h	0000h	00-- ---- ---- ----b
H'08	データピン&FIFO/DMAコントロールピン コンフィギュレーションレジスタ0				00??h	-	-
H'0A	データピン&FIFO/DMAコントロールピン コンフィギュレーションレジスタ1				0000h	-	-
H'0C	データピン&FIFO/DMAコントロールピン コンフィギュレーションレジスタ2				0000h	-	-
H'0E							
H'10							
H'12							
H'14	C_FIFOポートレジスタ0				0000h	????h	-
H'16							
H'18	D0_FIFOポートレジスタ0				0000h	????h	-
H'1A							
H'1C							
H'1E							
H'20							
H'22							
H'24							
H'26	DCP連続送信データ長レジスタ				0000h	0000h	-
H'28	C_FIFOポートコントロールレジスタ0				0000h	0000h	-
H'2A							
H'2C	C_FIFOポートコントロールレジスタ1				0000h	0000h	-
H'2E	C_FIFOポートコントロールレジスタ2				0000h	0000h	-
H'30	D0_FIFOポートコントロールレジスタ0				0000h	0000h	-
H'32							
H'34	D0_FIFOポートコントロールレジスタ2				0000h	0000h	-
H'36	D0_FIFOポートコントロールレジスタ3				0000h	0000h	-
H'38							
H'3A							
H'3C							
H'3E							
H'40	INT端子コンフィギュレーションレジスタ0				0000h	0000h	-
H'42	INT端子コンフィギュレーションレジスタ1				0000h	-	-
H'44	INT端子コンフィギュレーションレジスタ2				0000h	0000h	-
H'46							

注：後述の各レジスタの詳細説明を参照してください。

図2.1 レジスタマッピング(1)

番地	+1番地		+0番地		リセット後状態		
	b15	b8	b7	b0	H/W	SW	USBバス
H'48	INT端子コンフィギュレーションレジスタ3				0000h	0000h	-
H'4A							
H'4C	INT端子コンフィギュレーションレジスタ4				0000h	0000h	-
H'4E							
H'50							
H'52							
H'54							
H'56							
H'58							
H'5A							
H'5C							
H'5E							
H'60	割り込みステータスレジスタ0				0000 0000 ?000 0000b	0000 0000 ?000 0000b	---1 ---- -001 ----b
H'62							
H'64	割り込みステータスレジスタ1				0000h	0000h	-
H'66							
H'68	割り込みステータスレジスタ2				0000h	0000h	-
H'6A							
H'6C	割り込みステータスレジスタ3				0000h	0000h	-
H'6E							
H'70							
H'72							
H'74	USBアドレスレジスタ				0000h	0000h	0000h
H'76							
H'78	USBリクエストレジスタ0				0000h	0000h	0000h
H'7A	USBリクエストレジスタ1				0000h	0000h	0000h
H'7C	USBリクエストレジスタ2				0000h	0000h	0000h
H'7E	USBリクエストレジスタ3				0000h	0000h	0000h
H'80							
H'82	DCPコンフィギュレーションレジスタ1				0000h	0000h	-
H'84	DCPコンフィギュレーションレジスタ2				0000h	0000h	-
H'86							
H'88	DCPコントロールレジスタ				0000h	0000h	---- ---- ---- -000b
H'8A							
H'8C	PIPEコンフィギュレーション選択レジスタ				0000h	0000h	-
H'8E							
H'90	PIPEコンフィギュレーション ウィンドウレジスタ0				0000h	0000h	00-- ---- ---- ----b
H'92							
H'94							
H'96							
H'98							

注：後述の各レジスタの詳細説明を参照してください。

図2.2 レジスタマッピング(2)

番地	+1番地		+0番地		リセット後状態		
	b15	b8	b7	b0	H/W	S/W	USBバス
H'9A							
H'9C							
H'A0	PIPE1コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
H'A2	PIPE2コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
H'A4	PIPE3コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
H'A6	PIPE4コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
H'A8	PIPE5コントロールレジスタ				0000h	0000h	---- ---- ---- --00b
H'AA	PIPE6コントロールレジスタ				0000h	0000h	---- ---- ---- --00b

注：後述の各レジスタの詳細説明を参照してください。

図2.3 レジスタマッピング(3)

2.2 レジスタビットマップ

奇数番地(001h)								偶数番地(000h)									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
USBトランシーバコントロールレジスタ0 (USBTrnsCtrl0)																	
0	0	XTAL [1:0]		XCKE	RCKE	PLL	SCKE			HSE			RpuE		USBE		
USBトランシーバコントロールレジスタ1 (USBTrnsCtrl1)																	
0	2														LNST [1:0]		
HS/FSモードレジスタ (HSFSMode)																	
0	4											WKUP				RHST[1:0]	
テストモードレジスタ (TestMd)																	
0	6	SUSPEN	CONFEN											TST [2:0]			
データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ0 (PinCtrlCfg0)																	
0	8								PA [7:0]								
データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ1 (PinCtrlCfg1)																	
0	A	LDRV					big_end					PAdir	DB_Cfg				
データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ2 (PinCtrlCfg2)																	
0	C		DreqA	Burst	DreqE		DackA	RWstb	DackE		DendA	Pktmd	DendE		Obus		
0	E																
1	0																
1	2																
C_FIFOポートレジスタ0 (C_FIFOPort0)																	
1	4	C_FIFO_Port [15:0]															
1	6																
D0_FIFOポートレジスタ0 (D0_FIFOPort0)																	
1	8	D0_FIFO_Port [15:0]															
1	A																
1	C																
1	E																
2	0																
2	2																
2	4																
DCP連続送信データ長レジスタ (DCPSdIn)																	
2	6									SDLN [8:0]							
C_FIFOポートコントロールレジスタ0 (C_FIFOPortCtrl0)																	
2	8	RCNT	REW					MBW					ISEL	Current_PIPE [2:0]			
2	A																
C_FIFOポートコントロールレジスタ1 (C_FIFOPortCtrl1)																	
2	C	BVAL	BCLR	FRDY					CPU_DTLN [9:0]								
C_FIFOポートコントロールレジスタ2 (C_FIFOPortCtrl2)																	
2	E	TGL	SCLR	SBUSY													

奇数番地(001h)								偶数番地(000h)							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

D0_FIFOポートコントロールレジスタ0 (D0_FIFOPortCtrl0)

3 0	RCNT	REW	ABCR			MBW	TREnb	TRclr							Current_PIPE [2:0]
3 2															

D0_FIFOポートコントロールレジスタ2 (D0_FIFOPortCtrl2)

3 4	BVAL	BCLR	FRDY												DMA_DTLN [9:0]
-----	------	------	------	--	--	--	--	--	--	--	--	--	--	--	----------------

D0_FIFOポートコントロールレジスタ3 (D0_FIFOPortCtrl3)

3 6	TRNCNT [15:0]														
3 8															
3 A															
3 C															
3 E															

INT端子コンフィギュレーションレジスタ0 (INTPinCfg0)

4 0	VBSE	RSME		DVSE	CTRE	BEMPE	INTNE	INTRE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
-----	------	------	--	------	------	-------	-------	-------	------	------	------	------	------	------	------	------

INT端子コンフィギュレーションレジスタ1 (INTPinCfg1)

4 2															INTL	INTA
-----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	------	------

INT端子コンフィギュレーションレジスタ2 (INTPinCfg2)

4 4										PIPEB_RE	PIPEB_RE	PIPEB_RE	PIPEB_RE	PIPEB_RE	PIPEB_RE	DCP_RE
4 6										6	5	4	3	2	1	

INT端子コンフィギュレーションレジスタ3 (INTPinCfg3)

4 8										PIPEB_NRE6	PIPEB_NRE5	PIPEB_NRE4	PIPEB_NRE3	PIPEB_NRE2	PIPEB_NRE1	DCP_NRE
4 A																

INT端子コンフィギュレーションレジスタ4 (INTPinCfg4)

4 C										PIPEB_EMPE6	PIPEB_EMPE5	PIPEB_EMPE4	PIPEB_EMPE3	PIPEB_EMPE2	PIPEB_EMPE1	DCP_EMPE
4 E																
5 0																
5 2																
5 4																
5 6																
5 8																
5 A																
5 C																
5 E																

割り込みステータスレジスタ0 (INTStatus0)

6 0	VBUSINT	RESM		DVST	CTRT	BEMP	INTN	INTR	VBUSSTS		DVSQ [2:0]	VALID		CTSQ [2:0]
6 2														

割り込みステータスレジスタ1 (INTStatus1)

6 4										PIPEB_RDY6	PIPEB_RDY5	PIPEB_RDY4	PIPEB_RDY3	PIPEB_RDY2	PIPEB_RDY1	DCP_RDY
6 6																

割り込みステータスレジスタ2 (INTStatus2)

6 8										PIPEB_NRDY6	PIPEB_NRDY5	PIPEB_NRDY4	PIPEB_NRDY3	PIPEB_NRDY2	PIPEB_NRDY1	DCP_NRDY
6 A																

奇数番地(001h)								偶数番地(000h)							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

割り込みステータスレジスタ3 (INTStatus3)

6 C											PIPEB_EMP_OVR6	PIPEB_EMP_OVR5	PIPEB_EMP_OVR4	PIPEB_EMP_OVR3	PIPEB_EMP_OVR2	PIPEB_EMP_OVR1	DCP_EMP_OVR
6 E																	
7 0																	
7 2																	

USBアドレスレジスタ (USBAddress)

7 4																	USB_Addr [6:0]
7 6																	

USBリクエストレジスタ0 (USBReq0)

7 8																	bRequest [7:0]	bmRequestType [7:0]
-----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	----------------	---------------------

USBリクエストレジスタ1 (USBReq1)

7 A																		wValue [15:0]
-----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	---------------

USBリクエストレジスタ2 (USBReq2)

7 C																		wIndex [15:0]
-----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	---------------

USBリクエストレジスタ3 (USBReq3)

7 E																		wLength [15:0]
8 0																		

DCPコンフィギュレーションレジスタ1 (DCPCfg1)

8 2									CNTMD									
-----	--	--	--	--	--	--	--	--	-------	--	--	--	--	--	--	--	--	--

DCPコンフィギュレーションレジスタ2 (DCPCfg2)

8 4																		DCP_MXPS [6:0]
8 6																		

DCPコントロールレジスタ (DCPCtrl)

8 8	BSTS								SQCLR									NYETMD			CCPL	PID [1:0]	
8 A																							

PIPEコンフィギュレーション選択レジスタ (PipeCfgSel)

8 C																							PIPE_SEL [2:0]
8 E																							

PIPEコンフィギュレーションウィンドウレジスタ0 (PipeCfgWin0)

9 0	PEN			ITMD					BFRE	DBLB	CNTMD												DIR									EP_NUM[2:0]	
9 2																																	
9 4																																	
9 6																																	
9 8																																	
9 A																																	
9 C																																	
9 E																																	

PIPE iコントロールレジスタ(i=1~6) (PipeiCtrl(i=1-6))

A 0	BSTS								ACL	SQCLR																								PID [1:0]	
A 2	BSTS								ACL	SQCLR																									PID [1:0]
A 4	BSTS								ACL	SQCLR																									PID [1:0]
A 6	BSTS								ACL	SQCLR																									PID [1:0]
A 8	BSTS								ACL	SQCLR																									PID [1:0]
A A	BSTS								ACL	SQCLR																									PID [1:0]

2.3 USBトランシーバコントロールレジスタ0

USBトランシーバコントロールレジスタ0 (USBTnsCtrl0)

<アドレス : H'00>

B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
Xtal [1:0]	XCKE	RCKE	PLL	SCKE			HSE			RpuE					USBE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後 : H'0000>

<S/Wリセット後 : - >

<USBバスリセット後 : - >

b	ビット名	機能	R	W
15~14	Xtal [1:0] クロック選択	00: 入力クロック周波数 : 12MHz 01: 入力クロック周波数 : 24MHz 10: 入力クロック周波数 : 48MHz 11: Reserved		
13	XCKE 発振バッファ許可	0: 発振バッファ停止 1: 発振バッファ動作		
12	RCKE 基準クロック供給許可	0: 基準クロック (RCK) 供給停止 1: 基準クロック (RCK) 供給動作		
11	PLL PLL動作許可	0: PLL停止 1: PLL動作		
10	SCKE 内部クロック供給許可	0: 内部クロック供給停止 1: 内部クロック供給動作		
9~8	何も配置されていません。"0"に固定してください。		"0"	"0"
7	HSE Hi-Speed許可	0: Hi-Speedモード禁止 1: Hi-Speedモード許可		
6~5	何も配置されていません。"0"に固定してください。		"0"	"0"
4	RpuE プルアップコントロール	0: D+プルアップ禁止 1: D+プルアップ許可		
3~1	何も配置されていません。"0"に固定してください。		"0"	"0"
0	USBE USBモジュール動作許可	0: USBモジュールリセット状態 (S/Wリセット) 1: USBモジュール動作許可 (S/Wリセット状態解除)		

(1) Xtal [1:0] (クロック選択) ビット (b15-b14)

このビットにより、PLLに入力されたクロックを何週倍するかを設定します。

(2) XCKE (発振バッファ許可) ビット (b13)

このビットにより、発振バッファの動作 / 停止を設定します。
ただし、サスペンド状態から復帰するときに、H/Wによりこのビットが"1"に設定されます。

(3) RCKE (基準クロック供給許可) ビット (b12)

このビットにより、基準クロックの供給の動作 / 停止を設定します。発振が安定するまで、このビットを"1"に設定しないでください。

(4) PLL (PLL動作許可) ビット (b11)

このビットにより、PLLの動作 / 停止を設定します。発振が安定するまで、このビットを"1"に設定しないでください。

(5) SCKE (内部クロック供給許可) ビット (b10)

このビットにより、内部クロックの供給の動作 / 停止を設定します。PLLクロック発振が安定するまで、このビットを"1"に設定しないでください。

(6) HSE (Hi-Speed許可) ビット (b7)

このビットにより、Hi-Speedモードの許可/禁止を設定します。

Hi-Speedモードを禁止した場合、M66591はFull-Speed Onlyデバイスとして動作します。Hi-Speedモード許可した場合、M66591はHi-Speedまたは、Full-Speedデバイスとして動作します。

注意事項：このビットは内部クロック非供給下で設定してください。

(7) RpuE (プルアップコントロール) ビット (b4)

このビットにより、D+ラインプルアップの許可/禁止を設定します。

(8) USBE (USBモジュール動作許可) ビット (b0)

このビットにより、USBモジュールの動作許可/リセット状態を設定します。

このビットの値が"0"である間は、S/Wリセットによって初期化されるレジスタがライト不可です。

注意事項

このレジスタの設定方法及び発振安定待ち時間は、「3.1 システム制御機能」を参照してください。

2.4 USBトランシーバコントロールレジスタ1

USBトランシーバコントロールレジスタ1 (USBTmsCtrl1)

<アドレス : H'02>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	1	0	0	0	0	LNST [1:0]	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0

<H/Wリセット後 : B'0000 0000 0100 00??>

<S/Wリセット後 : B'---- ---- ---- --??>

<USBバスリセット後 : B'---- ---- ---- --00>

b	ビット名	機能	R	W
15~7	何も配置されていません。		"?"	x
6	何も配置されていません。"1"に固定してください。		"1"	x
5~2	何も配置されていません。		"?"	x
1~0	LNST [1:0] ラインステータス	リード USBバスの状態 ライト 無効 (書き込みは無視されます)		x

(1) LNST [1:0] (ラインステータス) ビット (b1-b0)

このビットは、USBバス (D+, D-) の状態を示します。USBバスの状態とこのビットとの状態を下表に示します。

LNST [1:0]		FS	HS	Chirp
0	0	SE0	Squelch	Squelch
0	1	J State	Unsquench	Chirp J
1	0	K State	-	Chirp K
1	1	SE1	-	-

用語説明

FS :	Full-Speedモードで動作中
HS :	Hi-Speedモードで動作中
Chirp :	Hi-Speedモード許可の状態 (HSE = "1") で、リセットハンドシェイクプロトコル実行中
Squelch :	Squelch State (SE0または、Idle)
Unsquench :	Hi-Speed J Stateまたは、Hi-Speed K State
Chirp J :	Chirp J Stateまたは、Hi-speed J State
Chirp K :	Chirp K Stateまたは、Hi-speed K State

2.5 HS/FSモードレジスタ

HS/FSモードレジスタ (HSFSMode)

<アドレス: H'04>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	WKUP	0	0	0	0	0	0	0	RHST [1:0]
-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	0	0	0	0	0	0	0	0	0	0	0	0	0	-	-

<H/Wリセット後: H'0000>

<S/Wリセット後: B'-000 0000 0000 0000>

<USBバスリセット後: B'-000 0000 0000 00-->

b	ビット名	機能	R	W
15~9	何も配置されていません。"0"に固定してください。		"0"	"0"
8	WKUP リモートウェイクアップ	リード 0: リモートウェイクアップ信号を非出力中 1: リモートウェイクアップ信号を出力中 ライト 0: 無効 (書き込みは無視されます) 1: リモートウェイクアップ信号を出力		
7~2	何も配置されていません。"0"に固定してください。		"0"	"0"
1~0	RHST [1:0] リセットハンドシェイクステータス	リード リセットハンドシェイクステータスを示します。 ライト 無効		-

(1) WKUP (リモートウェイクアップ) ビット (b8)

このビットに"1"を書き込むと、10ms間Kステートを出力してバスアイドル状態に戻り、自動的に"0"にクリアされます。(リモートウェイクアップ信号)

USB規格では、リモートウェイクアップ信号の送信までに最短5msのUSBバスアイドル状態を保持する必要があり、サスペンド状態を検出した直後に、このビットに"1"を書き込んで2ms待つてからKステートを出力します。

サスペンド状態ではないときに、このビットに"1"を書き込んで、Kステートは出力されません。

注: ホストからリモートウェイクアップの許可が発行されていない場合は、このビットを"1"に設定しないでください。

(2) RHST (リセットハンドシェイクステータス) ビット (b1-b0)

このビットにより、リセットハンドシェイクプロトコルの進行ステータスを示します。

00: リセット検出待ち状態 (アイドル状態も含まれます)

01: リセットハンドシェイク処理中

10: リセットハンドシェイクが終了、Full-Speedモード動作確定。

11: リセットハンドシェイクが終了、Hi-Speedモード動作確定。

2.6 テストモードレジスタ

テストレジスタ (TestMd)

<アドレス : H'06>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
SUSPEN	CONFEN												TST [2:0]		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15	SUSPEN SUSP_ON端子出力許可ビット	0: SUSP_ON端子出力禁止 1: SUSP_ON端子出力許可		
14	CONFEN CONF_ON端子出力許可ビット	0: CONF_ON端子出力禁止 1: CONF_ON端子出力許可		
13~3	何も配置されていません。"0"に固定してください。		"0"	"0"
2~0	TST [2:0] テストモード選択ビット	テストモードを設定		

(1) SUSPEN (SUSP_ON端子出力許可) ビット (b15)

このビットにより、SUSP_ON端子出力の禁止 / 許可をします。

0: SUSP_ON端子出力を禁止します。

1: SUSP_ON端子出力を許可します。「割り込みステータスレジスタ0」の"DVSQ [2:0]"ビットが"1xx"であるときに、SUSP_ON端子に"L"レベル出力します。

(2) CONFEN (CONF_ON端子出力許可) ビット (b14)

このビットにより、CONF_ON端子出力の禁止 / 許可をします。

0: CONF_ON端子出力を禁止します。

1: CONF_ON端子出力を許可します。「割り込みステータスレジスタ0」の"DVSQ [2:0]"ビットが"x11"であるときに、CONF_ON端子に"L"レベル出力します。

(3) TST (テストモード選択) ビット (b2-b0)

このビットにより、テストモードを指定します。このビットはHi-Speedモードの時にのみ有効です。Full-Speedモードで動作している場合はこのビットの値を"000"に固定してください。

000: 通常動作モード

001: Test_J

010: Test_K

011: Test_SE0_NAK

100: Test_Packet

101-111: Reserved

2.7 データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ0

データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ0 (PinCtrlCfg0)

<アドレス : H'08 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'00?? >

< S/Wリセット後 : - - >

< USBバスリセット後 : - - >

b	ビット名	機能	R	W
15~8	何も配置されていません。"0"に固定してください。		"0"	"0"
7~0	PA [7:0] 汎用ポートA	0: "L"レベル 1: "H"レベル ポート番号はビット番号に対応しています。 b0 : PA0端子 b1 : PA1端子 b2 : PA2端子 b3 : PA3端子 b4 : PA4端子 b5 : PA5端子 b6 : PA6端子 b7 : PA7端子		

(1) PA [7:0] (汎用ポートA) ビット (b7-b0)

「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のDB_cfgビットが"0" (GPIO) 設定のときに、SD7-SD0端子は汎用ポートPA [7:0]に割り当てられます。

汎用ポートは入出力別々のバッファを持っているため、入力ポートに設定されている場合に、このビットに対して書き込みを行っても読み出せる情報は常に入力した端子の状態となります。汎用ポートの出力バッファはH/Wリセット後不定状態となります。出力端子として使用する場合はポートに初期値を書き込んだ上、出力方向切り替えを行ってください。また、出力ポートに対して読み出しを行っても書き込んだ情報が読み出せず不定となります。

2.8 データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1

データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1 (PinCtrlCfg1)

< アドレス : H'0A >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
LDRV							big_end						PAdir		DB_Cfg
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : - >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15	LDRV 駆動電流調整	0 : VIF=1.7~2.0V時 1 : VIF=2.7~3.6V時		
14~9	何も配置されていません。"0"に固定してください。		"0"	"0"
8	big_end ビッグエンディアンモード	0: リトルエンディアン 1: ビッグエンディアン		
7~3	何も配置されていません。"0"に固定してください。		"0"	"0"
2	PAdir ポートA方向	0: 入力 1: 出力		
1	何も配置されていません。"0"に固定してください。		"0"	"0"
0	DB_Cfg データバスコンフィギュレーション	0: SD7-SD0/PA7-PA0は汎用ポート設定 1: SD7- SD0/PA7-PA0はスプリットバス設定		

(1) LDRV (駆動電流調整) ビット (b15)

このビットにより、出力端子の駆動電流を調整します。ここでの出力端子とは、SD7-SD0、D15-D0、INT、DREQ、DEND、SUSP_ON、CONF_ONを示します。

(2) big_end (ビッグエンディアンモード) ビット (b8)

このビットにより、C_FIFOポート及びD0_FIFOポートのエンディアンを設定します。
このビットを"0"に設定すると、C_FIFOポート及びD0_FIFOポートはリトルエンディアンになります。
このビットを"1"に設定すると、C_FIFOポート及びD0_FIFOポートはビッグエンディアンになります。

	b15~b8	b7~b0
リトルエンディアン	奇数アドレス	偶数アドレス
ビッグエンディアン	偶数アドレス	奇数アドレス

(3) PAdir (ポートA方向) ビット (b2)

このビットにより、汎用ポートの方向を設定します。DB_Cfgビットが"0"の時にのみ、このビットは有効です。
このビットが"0"に設定されているときに、汎用ポートのPA7-PA0が同時に入力ポートになります。
このビットが"1"に設定されているときに、汎用ポートのPA7-PA0が同時に出力ポートになります。

(4) DB_Cfg (データバスコンフィギュレーション) ビット (b0)

このビットにより、SD7-SD0/PA7-PA0の動作を設定します。
このビットを"0"に設定すると、SD7-SD0/PA7-PA0は汎用ポート (GPIO) になります。
このビットを"1"に設定すると、SD7-SD0/PA7-PA0はD0_FIFOポートに対するスプリットバスになります。
この場合、「D0_FIFOポートレジスタ」に対するCPUアクセスは禁止になります。

2.9 データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2

データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2 (PinCtrlCfg2)

< アドレス : H'0C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	DreqA	Burst	DreqE	0	DackA	RWstb	DackE	0	DendA	Pktmd	DendE	0	Obus	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : - >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15	何も配置されていません。"0"に固定してください。		"0"	"0"
14	DreqA DREQ極性選択	0: Lowアクティブ 1: Highアクティブ		
13	Burst DMAモード選択	0: 通常モード (サイクルスチールモード) 1: バーストモード		
12	DreqE DREQ出力許可	0: DREQ信号出力禁止 1: DREQ信号出力許可		
11	何も配置されていません。"0"に固定してください。		"0"	"0"
10	DackA DACK極性選択	0: Lowアクティブ 1: Highアクティブ		
9	RWstb RD/WRストローブモード	0: WRn_N信号とRD_N信号をストローブ信号として使用します。 1: DSTB_N信号をストローブ信号として使用します。		
8	DackE DACK信号選択	0: アドレス、WRn_N、RD_N及び、CS_Nをハンドシェイク信号として選択します。 1: DACK信号をハンドシェイク信号として選択します。		
7	何も配置されていません。"0"に固定してください。		"0"	"0"
6	DendA DEND極性選択	0: Lowアクティブ 1: Highアクティブ		
5	Pktmd パケットモード	0: トランザクション終了出力モード 1: バッファ終了出力モード		
4	DendE DEND信号許可	0: DEND信号禁止 1: DEND信号許可		
3	何も配置されていません。"0"に固定してください。		"0"	"0"
2	Obus OUTバスモード	0: 高速モード 1: 通常モード		
1~0	何も配置されていません。"0"に固定してください。		"0"	"0"

(1) DreqA (DREQ極性選択) ビット (b14)

このビットにより、DREQ信号の極性を選択します。

(2) Burst (バーストモード) ビット (b13)

このビットにより、DREQ信号のタイミングを選択します。

通常モード (サイクルスチールモード) を設定した場合、DREQ信号は1転送 (8ビットもしくは16ビット) 毎にアサートされ、DACK信号が入力されるたびに、ネゲートされます。

バーストモードを設定した場合、DREQ信号はデータ転送中にアサートされ続き、すべてのデータ転送が完了されたあとにネゲートされます。

(3) DreqE (DREQ出力許可) ビット (b12)

このビットにより、DREQ信号出力を許可します。

(4) DackA (DACK極性選択) ビット (b10)

このビットにより、DACK信号の極性を選択します。

(5) RWstb (RD/WRストローブモード) ビット (b9)

このビットにより、DMAデータ転送用のリード/ライトストローブ信号を選択します。スプリットバス (DMA Interface) でのDMA転送を使用する時には、このビットを"1"に設定してください。
DackEビットが"1"のときのみ、このビットは有効です。

(6) DackE (DACK信号選択) ビット (b8)

このビットにより、DMA転送のハンドシェイク信号を選択します。このビットを"0"に設定した時に、DMA転送はCPUバスにて行い、スプリットバス (DMA Interface) へのアクセスは禁止です。

(7) DendA (DEND極性選択) ビット (b6)

このビットにより、DEND信号の極性を選択します。

(8) Pktmd (パケットモード) ビット (b5)

このビットにより、OUT方向データ転送においてDMAデータ転送の最後のデータ転送を示すDEND信号の振る舞いを決定します。

このビットが"0"に設定されている場合、DEND信号は、「D0_FIFOポートコントロールレジスタ3」のTRNCNT [15:0]ビットにより指定された数のパケットを転送終了、またはショートパケットを転送終了時にアサートされます。

このビットが"1"に設定されている場合、DEND信号はPIPEに設定されたバッファサイズ毎の転送終了時にアサートされます。

IN方向データ転送の場合は、DEND信号が入力方向のため、このビットは無効です。

(9) DendE (DEND信号許可) ビット (b4)

このビットにより、DEND信号の入出力を許可します。

DEND信号の入出力を禁止した場合、DEND信号はHi-Z出力です。

「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEの方向がOUTの場合、DEND信号は出力方向です。PIPEの方向がINの場合、DEND信号は入力方向です。

(10) Obus (OUTバスモード) ビット (b2)

このビットにより、スプリットバス (DMA Interface) のデータ端子及びDEND信号の駆動方法を選択します。

このビットが"0"の時、「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがOUTに設定されている場合、データバス及びDEND信号は常に駆動されます。INに設定されている場合、これらの端子は常に入力可能状態になります。

このビットが"1"の時、「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがOUTに設定されている場合、DACK端子とDSTB_N端子の両方がアサートされている期間中のみ、データバス及びDEND信号は"H"または"L"に駆動されます。INに設定されている場合、DACK端子がアサートされている期間中のみこれらの端子は入力可能状態になります。

2.10 C_FIFOポートレジスタ0

C_FIFOポートレジスタ0 (C_FIFOPort0)

<アドレス : H'14 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
C_FIFO_Port [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後 : H'0000 >

<S/Wリセット後 : H'???? >

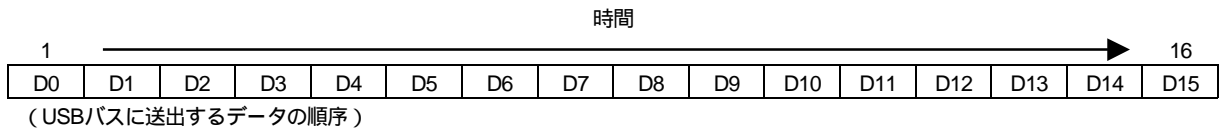
<USBバスリセット後 : - >

b	ビット名	機能	R	W
15~0	C_FIFO_Port [15:0] C_FIFOポート	<PIPE方向がOUT設定時 > リード 受信データの読み出し <PIPE方向がIN設定時 > ライト 送信データの書き込み		

(1) C_FIFO_Port [15:0] (C_FIFOポート) ビット (b15-b0)

このレジスタはCPUアクセス用FIFOバッファ読み書きデータポートです。

FIFOバッファに書き込んだデータは、LSB firstの順序でUSBバスに送出されます。USBバスから受信したデータも同じ順序でFIFOバッファに格納されます。(16bitリトルエンディアンの場合)



「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEの方向がOUT (「PIPEコンフィギュレーションウィンドウレジスタ0」のDIRビットが"0")の時には、受信FIFOデータレジスタになります。

指定されたPIPEの方向がIN (「PIPEコンフィギュレーションウィンドウレジスタ0」のDIRビットが"1")の時には、送信FIFOデータレジスタになります。

なお、Current_PIPE [2:0]ビットにDCP ("000")を指定した場合の方向は「C_FIFOポートコントロールレジスタ0」のISELビットにより決定され、ISELが"0"の時に受信FIFOデータレジスタになり、"1"の時に送信FIFOデータレジスタになります。

対応するビットは「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のbig_endビットにより以下のようになります。

big_end = "0" (リトルエンディアン)

「C_FIFOポートコントロールレジスタ0」のMBWビットが"0" (8bit幅) に設定されているとき :

C_FIFO_Port [7:0]が有効になります。

「C_FIFOポートコントロールレジスタ0」のMBWビットが"1" (16bit幅) に設定されているとき :

C_FIFO_Port [15:0]が有効になります。C_FIFO_Port [15:8]は上位8ビット、C_FIFO_Port [7:0]は下位8ビットを表します。

big_end = "1" (ビッグエンディアン)

「C_FIFOポートコントロールレジスタ0」のMBWビットが"0" (8bit幅) に設定されているとき :

C_FIFO_Port [15:8]が有効になります。

「C_FIFOポートコントロールレジスタ0」のMBWビットが"1" (16bit幅) に設定されているとき :

C_FIFO_Port [15:0]が有効になります。C_FIFO_Port [15:8]は下位8ビット、C_FIFO_Port [7:0]は上位8ビットを表します。

注意事項

DCPはこのレジスタ (C_FIFOポート) でのみFIFOバッファへのアクセスが可能です。

2.11 D0_FIFOポートレジスタ0

D0_FIFOポートレジスタ0 (D0_FIFOPort0)

<アドレス : H'18 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
D0_FIFO_Port [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後 : H'0000 >

<S/Wリセット後 : H'???? >

<USBバスリセット後 : - >

b	ビット名	機能	R	W
15~0	D0_FIFO_Port [15:0] D0_FIFOポート	<PIPE方向がOUT設定時> リード 受信データの読み出し <PIPE方向がIN設定時> ライト 送信データの書き込み		

(1) D0_FIFO_Port [15:0] (D0_FIFOポート) ビット (b15-b0)

このレジスタはDMAアクセス用FIFOバッファ読み書きデータポートです。

FIFOバッファに書き込んだデータは、LSB firstの順序でUSBバスに送出されます。USBバスから受信したデータも同じ順序でFIFOバッファに格納されます。(16bitリトルエンディアンの場合)



「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEの方向がOUT (「PIPEコンフィギュレーションウィンドウレジスタ0」のDIRビットが"0")の時には、受信FIFOデータレジスタになります。

指定されたPIPEの方向がIN (「PIPEコンフィギュレーションウィンドウレジスタ0」のDIRビットが"1")の時には、送信FIFOデータレジスタになります。

なお、Current_PIPE [2:0]ビットに"000"を指定した場合や「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のDB_Cfgビットに"1"を設定した場合には、本レジスタへのアクセスは無効になります。

対応するビットは「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のbig_endビットにより以下のようになります。

big_end = "0" (リトルエンディアン)

「D0_FIFOポートコントロールレジスタ0」のMBWビットが"0" (8bit幅) に設定されているとき :

D0_FIFO_Port [7:0]が有効になります。

「D0_FIFOポートコントロールレジスタ0」のMBWビットが"1" (16bit幅) に設定されているとき :

D0_FIFO_Port [15:0]が有効になります。D0_FIFO_Port [15:8]は上位8ビット、D0_FIFO_Port [7:0]は下位8ビットを表します。

big_end = "1" (ビッグエンディアン)

「D0_FIFOポートコントロールレジスタ0」のMBWビットが"0" (8bit幅) に設定されているとき :

D0_FIFO_Port [15:8]が有効になります。

「D0_FIFOポートコントロールレジスタ0」のMBWビットが"1" (16bit幅) に設定されているとき :

D0_FIFO_Port [15:0]が有効になります。D0_FIFO_Port [15:8]は下位8ビット、D0_FIFO_Port [7:0]は上位8ビットを表します。

2.12 DCP連続送信データ長レジスタ

DCP連続送信データ長レジスタ (DCPSdIn)

<アドレス : H'26 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~9	何も配置されていません。"0"に固定してください。		"0"	"0"
8~0	SDLN [8:0] コントロールリード連続送信データ長	コントロールリード連続送信データ長		

(1) SDLN [8:0] (コントロールリード連続送信データ長) ビット (b8-b0)

このビットにより、連続転送モードにおいて、コントロールリードの送信データ長 (バイトカウント) を設定します。設定値はH'100 (256バイト) までです。コントロールリード連続転送モードに設定された場合は、C_FIFOポートレジスタへ送信データを書き込む前にこのレジスタを設定してください。

このビットの値は下記の(1)と(2)の条件を両方同時に満たしているときにのみ有効になります。

- (1) 「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0] = "000"かつISEL = "1"
- (2) 「DCPコンフィギュレーションレジスタ1」のCNTMD = "1"のとき (コントロール連続転送モード)

このビットの値によって、コントロールリード転送は以下のように動作します。

- (1) SDLN値がMaxPacketSizeの整数倍 (256を除く) の時 :
M66591は、データのSDLNで指定した数のデータをFIFOバッファに書き込まれた後自動的にデータ送信を開始し、送信が終了した後に次のINトークンに自動的にzero-length/パケットを送信します。
- (2) SDLN値が256 (H'100) の時 :
M66591は上述(1)と同じようにデータの送信を開始しますが、zero-lengthパケットは送信しません。
- (3) SDLN値が0の時 :
FIFOバッファに送信データが書き込まれ、BVALが設定された後に、M66591はデータ送信を開始します。FIFOに書き込んだデータ数が設定されているFIFOバッファサイズと同じの場合、BVALを設定する必要はありません。また、データ送信が終了した後にzero-lengthパケットを自動的に送信しません。zero-lengthパケットを送信するためには、FIFOバッファにデータを書き込まずにBVALを設定する必要があります。
- (4) SDLN値が上記以外の時 :
M66591は、データのSDLNで指定した数のデータをFIFOバッファに書き込まれた後自動的にデータ送信を開始します。この場合では、送信データの最後はショートパケットですのでzero-lengthパケットは送信しません。(ショートパケットを送信した後にさらにINトークンが送られてきた場合にM66591はNAKを応答しINTN割り込みを発生させます。)

注意事項

SDLN [8:0]ビットを設定した後で、必ずバッファクリア (BCLR = "1") を行ってください。

2.13 C_FIFOポートコントロールレジスタ0

C_FIFOポートコントロールレジスタ0 (C_FIFOPortCtrl0)

<アドレス : H'28 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
RCNT	REW				MBW					ISEL			Current_PIPE [2:0]		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15	RCNT リードカウントモード	0: 全受信データ読み出してCPU_DTLNビットクリア 1: 受信データ読み出してCPU_DTLNビットカウントダウン		
14	REW バッファリワインド	<OUTバッファに設定時> ライト 0: 無効 (書き込みは無視されます) 1: バッファ読み出しポインタをリワインドする <INバッファに設定時> ライト 0: 無効 (書き込みは無視されます) 1: バッファ書き込みポインタをリワインドする	"0"	
13~11	何も配置されていません。"0"に固定してください。		"0"	"0"
10	MBW FIFOアクセス最大ビット幅	0: 8ビット幅 1: 16ビット幅		
9~6	何も配置されていません。"0"に固定してください。		"0"	"0"
5	ISEL DCPバッファアクセス方向選択	0: FIFOバッファ読み出し (コントロールライト) 選択 1: FIFOバッファ書き込み (コントロールリード) 選択		
4~3	何も配置されていません。"0"に固定してください。		"0"	"0"
2~0	Current_PIPE [2:0] C_FIFOポートアクセスPIPE指定	"000" DCP "001" PIPE1 "010" PIPE2 "011" PIPE3 "100" PIPE4 "101" PIPE5 "110" PIPE6 "111" 無効		

(1) RCNT (リードカウントモード) ビット (b15)

このビットにより、「C_FIFOポートコントロールレジスタ1」のCPU_DTLN [9:0]ビットのカウントダウンモードを選択します。

このビットが"0"に設定されている場合、「C_FIFOポートレジスタ」からデータの読み出しを行っても、CPU_DTLN [9:0]ビットの値が変化せず、すべてのデータを読み出したときにクリアされます。

このビットが"1"に設定されている場合に、「C_FIFOポートレジスタ」からデータを読み出されるたびに、CPU_DTLN [9:0]ビットの値はカウントダウンします。

(2) REW (バッファリワインド) ビット (b14)

このビットに"1"を書き込むことによって、FIFOバッファの読み出し/書き込みポインタをリワインドします。このビットへの"0"書き込みは無効 (無視されます) です。

Current_PIPE [2:0]ビットに設定されたPIPEの方向がOUTの時には、リワインド操作後、バッファのデータを先頭から再度読み出すことができます。

Current_PIPE [2:0]ビットに設定されたPIPEの方向がINの時には、リワインド操作後、それまで書き込んだデータは無効になり、先頭から再度書き込むことができます。

「C_FIFOポートコントロールレジスタ1」のFRDYビットが"1"のときにリワインド操作実行が可能です。Current_PIPE [2:0]ビットの更新と同時にREWビットに"1"を書き込んだ場合には、更新されたPIPEのFIFOバッファに対してリワインド操作をします。

(3) MBW (FIFOアクセス最大ビット幅) ビット (b10)

このビットにより、C_FIFOポートアクセスのビット幅を選択します。

0: 8ビット幅

1: 16ビット幅

MBWの設定を変更するときに下記の事項を注意してください。

(1) Current_PIPE [2:0]に設定されているPIPEがOUTの場合

Current_PIPE [2:0]を設定した後のMBWの設定変更は行えません。

MBWの設定は、Current_PIPE [2:0]設定と同時にもしくは設定以前に設定してください。

(2) Current_PIPE [2:0]に設定されているPIPEがINの場合

Current_PIPE [2:0]を設定した後、MBWを"0" (8ビット幅) から"1" (16ビット幅) への設定変更は行えません。

MBWを"1" (16ビット幅) から"0" (8ビット幅) への設定変更は可能です。MBWの設定変更の例を示します。

MBW設定の変更例：131バイトのショートパケットデータを書き込む例

512バイトのバッファ領域を持つPIPEを設定 (MBW = "1"をCurrent_PIPE [2:0]設定と同時に設定)

16ビット幅で130バイトまで書き込む

MBWの設定を"0"に変更

8ビット幅で1バイト書き込む (トータル131バイト)

「C_FIFOポートコントロールレジスタ1」のBVALビットに"1"を書き込む (ショートパケットデータ送信)

(4) ISEL (DCPバッファ選択) ビット (b5)

このビットにより、DCPバッファアクセス方向を選択します。

このビットは、Current_PIPE [2:0]ビットにDCPを設定したときのみ有効になります。

(5) Current_PIPE [2:0] (C_FIFOポートアクセスPIPE指定) ビット (b2-b0)

このビットにより、C_FIFOポートにアクセスするPIPEを指定します。

Current_PIPE [2:0]に設定されているPIPEの各コンフィギュレーションレジスタの内容 (マックスパケットサイズ等) を変更しないでください。

PIPEの各コンフィギュレーションレジスタの内容を変更する場合には、Current_PIPE [2:0]の値を一旦変更するか、各コンフィギュレーションレジスタの内容を変更後、「C_FIFOポートコントロールレジスタ1」のBCLRビットに"1"を設定することによってバッファクリアをしてください。

またDCPをCurrent_PIPE [2:0]に設定されている状態では、各コンフィギュレーションレジスタ以外にSDLNの変更もできません。変更した場合には、バッファクリアする必要があります。

また、「C_FIFOポートレジスタ」へのアクセス中にこの設定を変更しないでください。

注意事項

このビットは「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットと同じ値に設定しないでください。(一つのPIPEを同時にC_FIFOポートとD0_FIFOポートに設定することはできません。)

2.14 C_FIFOポートコントロールレジスタ1

C_FIFOポートコントロールレジスタ1 (C_FIFOPortCtrl1)

<アドレス: H'2C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BVAL	BCLR	FRDY								CPU_DTLN [9:0]					
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後: H'0000 >

<S/Wリセット後: H'0000 >

<USBバスリセット後: - >

b	ビット名	機能	R	W
15	BVAL バッファ有効フラグ	<OUTバッファ設定時> リード 0: バッファのデータ読み出し不可 1: バッファのデータ読み出し可 ライト 無効 (書き込みは無視されます) <INバッファ設定時> リード 0: バッファにデータ書き込み未完了 1: バッファにデータ書き込み完了 ライト 0: 無効 (書き込みは無視されます) 1: ショートパケット送信を許可		
14	BCLR バッファクリア	<OUTバッファ設定時> ライト 0: 無効 (書き込みは無視されます) 1: バッファクリア (BVALビットが "1" のとき) <INバッファ設定時> ライト 0: 無効 (書き込みは無視されます) 1: バッファクリア (BVALビットが "0" のとき)	"0"	
13	FRDY C_FIFOポートレディ	0: 「C_FIFOポートレジスタ0」へアクセス不可 1: 「C_FIFOポートレジスタ0」へアクセス可		-
12~10	何も配置されていません。"0"に固定してください。		"0"	"0"
9~0	CPU_DTLN [9:0] C_FIFO受信データ長	受信データ長 (バイトカウント) を格納します。		-

(1) BVAL (バッファ有効フラグ) ビット (b15)

このビットは「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEのバッファがアクセス可能かどうかのステータスを示します。

「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがOUTの場合には、このビットはバッファにデータが存在するかどうかを示します。

下記条件でこのビットが"0"から"1"になります。

連続転送モードで、受信したデータパケットによりバッファがフルになる時、またはショートパケットを受信した時

連続転送モードで、「C_FIFOポートコントロールレジスタ2」のTGLビットに"1"を書き込んだ時
非連続転送モードで、1パケットのデータを受信した時

このビットは、バッファからデータを読み出しバッファが空になった時にクリアされます。但し、バッファが空の状態zero-lengthパケットを受信した場合には、このビットはクリアされません。この場合BCLRビットに"1"を書き込むことによって、クリアされます。

Current_PIPE [2:0]ビットに設定されたPIPEがINの場合には、このビットに"1"を設定することによりショートパケットを送信することが可能です。また、このビットとBCLRビットに同時に"1"を書き込むことによってzero-lengthパケットを送信することができます。

下記条件でこのビットが"0"から"1"になります。

連続転送モードで、バッファがフルになるまでデータを書き込んだ時
非連続転送モードで、マックスパケットサイズまでデータを書き込んだ時
バッファが空になった時、このビットがクリアされます。このビットへの"0"書き込みは無効です。
なお、Current_PIPE [2:0]に設定されたPIPEがDCPの場合のIN/OUT方向は、ISELビットによって決定されます。

注意事項

Current_PIPE [2:0]ビットに設定されたPIPEがINの場合、このビットが"1"のときにこのビットに対して"1"を書き込まないでください。

(2) BCLR (バッファクリア) ビット (b14)

このビットに"1"を書き込むことにより、Current_PIPE [2:0]ビットに設定されたPIPEのバッファをクリアします。「3.6.2.3 バッファクリア」を参照してください。

「C_FIFOポートコントロールレジスタ1」のFRDYビットが"1"のときに、このビットに"1"を書き込むことができます。

ただし、「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがDCPの場合は、FRDYビットに関係なくISELで選択されているバッファをクリアします。DCPのバッファをクリアする時には、このビットに"1"を書き込む前に「DCPコントロールレジスタ」のPID [1:0]ビットをNAKに設定してください。

このビットへの"0"書き込みは無効です。

(3) FRDY (C_FIFOポートレディ) ビット (b13)

このビットが"1"にセットされている時に、「C_FIFOポートレジスタ0」へのアクセスが可能であることを示します。

(4) CPU_DTLN [9:0] (C_FIFO受信データ長) ビット (b9-b0)

このビットは、受信データ長を示します。

「C_FIFOポートコントロールレジスタ0」のRCNTビットの値が"1"の場合、C_FIFOポートレジスタが読み出されるたびに本ビット値はカウントダウンされます。カウントダウンの刻みは、MBWビットが8bitの場合1、MBWビットが16bit幅の場合2となります。

RCNTビットの値が"0"の場合、データ読み出し中も受信データ長を保持し、全受信データが読み出された後にこのビットはクリアされます。

「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがIN方向の場合、このビットは無効です。

なお、Current_PIPE [2:0]ビットに設定されたPIPEがDCPの場合は、ISELビットが"1"の時のみこのビットが有効になります。

注意事項

このビットを読み込む前に、FRDY = "1"であることを確認する必要があります。また、このビットの読み出しタイミングについては「3.6 バッファメモリ」を参照してください。

2.15 C_FIFOポートコントロールレジスタ2

C_FIFOポートコントロールレジスタ2 (C_FIFOPortCtrl2)

<アドレス : H'2E >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
TGL	SCLR	SBUSY													
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後 : H'0000 >

<S/Wリセット後 : H'0000 >

<USBバスリセット後 : - >

b	ビット名	機能	R	W
15	TGL バッファトグル	<OUTバッファ設定時> ライト 0: 無効 (書き込みは無視されます) 1: アクセスするバッファの切り替え <INバッファ設定時> ライト "0"に設定してください	"0"	
14	SCLR バッファクリア	<OUTバッファ設定時> ライト 0: 無効 (書き込みは無視されます) 1: 設定禁止 <INバッファ設定時> ライト "0"に設定してください	"0"	
13	SBUSY SIE側バッファビジー	0: SIEがアクセスしていない状態 1: SIEがアクセスしている状態		-
12-0	何も配置されていません。"0"に固定してください。		"0"	"0"

(1) TGL (バッファトグル) ビット (b15)

連続転送モードにおいて、このビットに"1"を書き込むことにより、受信可能なSIE側バッファを読み出し可能なCPU側バッファに切り替えることができます。このときに、バッファレディ割り込みが発生します。

このビットはOUT方向のPIPEにのみ有効です。

なお、「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがDCPの場合には、このビットへの"1"書き込みは無効です。

このビットへの"0"書き込みは無効です。

用語説明

SIE側、CPU側については「1.5 ブロック図」を参照してください。

(2) SCLR (バッファクリア) ビット (b14)

このビットに"1"を書き込むことによって、SIE側のバッファをクリアし、SIE側のバッファをCPU側のバッファに切り替えます。

このビットはIN方向のPIPEにのみ有効です。なお、「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがDCPの場合には、このビットへの"1"書き込みは無効です。

このビットを使用するときには下記手順で設定してください。

(1) INトランザクションに回答しないように「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEの「PIPEiコントロールレジスタ」のPID [1:0]ビットをNAKに設定します。

(2) SBUSYビットの値が"0"であることを確認します。(バッファアクセスがないことを確認します。)

(3) SCLRビットに"1"を書き込み、SIE側バッファをクリアします。

なお、「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがDCPの場合には、このビットへの"1"書き込みは無効です。

このビットへの"0"書き込みは無効です。

(3) SBUSY (SIE側バッファビジー) ビット (b13)

SIEが「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEのバッファへアクセス中であることを示します。

なお、Current_PIPE [2:0]ビットに設定されたPIPEがDCPの場合には、このビットの読み出しは無効です。

2.16 D0_FIFOポートコントロールレジスタ0

D0_FIFOポートコントロールレジスタ0 (D0_FIFOPortCtrl0)

<アドレス : H'30 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
RCNT	REW	ABCR			MBW	TREnb	TRclr						Current_PIPE [2:0]		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15	RCNT リードカウントモード	0: 全受信データ読み出してCPU_DTLNビットクリア 1: 受信データ読み出してCPU_DTLNビットカウントダウン		
14	REW バッファリワインド	<OUTバッファに設定時> ライト 0: 無効 (書き込みは無視されます) 1: バッファ読み出しポインタをクリア <INバッファに設定時> ライト 0: 無効 (書き込みは無視されます) 1: バッファ書き込みポインタをクリア	"0"	
13	ABCR 自動バッファクリアモード	0: 自動バッファクリア禁止。 1: 自動バッファクリア許可。		
12~11	何も配置されていません。"0"に固定してください。		"0"	"0"
10	MBW FIFOポートアクセスビット幅	0: 8ビット幅 1: 16ビット幅		
9	TREnb トランザクションカウンタ許可	0: トランザクションカウンタ機能禁止 1: トランザクションカウンタ機能許可		
8	TRclr トランザクションカウンタクリア	0: 無効 1: トランザクションカウンタクリア		
7~3	何も配置されていません。"0"に固定してください。		"0"	"0"
2~0	Current_PIPE [2:0] D0_FIFOポートアクセスPIPE指定	"000" D0_FIFOポート使用禁止 "001" PIPE1 "010" PIPE2 "011" PIPE3 "100" PIPE4 "101" PIPE5 "110" PIPE6 "111" 無効		

(1) RCNT (リードカウントモード) ビット (b15)

このビットにより、「D0_FIFOポートコントロールレジスタ1」のDMA_DTLN [9:0]ビットのカウンタダウンモードを選択します。

このビットが"0"に設定されている場合、「D0_FIFOポートレジスタ」からデータの読み出しを行っても、DMA_DTLN [9:0]ビットの値が変化せず、すべてのデータを読み出したときにクリアされます。

このビットが"1"に設定されている場合に、「D0_FIFOポートレジスタ」からデータを読み出されるたびに、DMA_DTLN [9:0]ビットの値はカウンタダウンします。

(2) REW (バッファリワインド) ビット (b14)

このビットに"1"を書き込むことによって、FIFOバッファの読み出し / 書き込みポインタをリワインドします。このビットへの"0"書き込みは無効です。

Current_PIPE [2:0]ビットに設定されたPIPEの方向がOUTの時には、リワインド操作後、バッファのデータを先頭から再度読み出すことができます。

Current_PIPE [2:0]ビットに設定されたPIPEの方向がINの時には、リワインド操作後、それまで書き込んだデータは無効になり、先頭から再度書き込むことができます。

「D0_FIFOポートコントロールレジスタ1」のFRDYビットが"1"のときにリワインド操作実行が可能です。
Current_PIPE [2:0]ビットの更新と同時にREWビットに"1"を書き込んだ場合には、更新されたPIPEのFIFOバッファに対してリワインド操作をします。

(3) ABCR (自動バッファクリアモード) ビット (b13)

このビットはCurrent_PIPE [2:0]に設定されたPIPEの方向がOUTの時のみ有効です。

下記(1)または(2)の時に、S/WによってFIFOをクリアするか、H/Wによってクリアするかを選択します。

(1) バッファが空いている状態でzero-lengthパケットを受信した時

(2) Current_PIPE [2:0]に設定されたPIPEのBFREビット (「PIPEコンフィギュレーションウィンドウレジスタ0」) が"1"で、ショートパケットを受信した時 (zero-lengthパケットを含みます) または、トランザクションカウンタ分のパケットを受信した時

0: 自動バッファクリアモード禁止

上記(1)または(2)の場合、バッファのデータを全て読み出しても、バッファの状態はクリアされません (「D0_FIFOポートコントロールレジスタ2」のBVAL = "1"のまま)。その為DMA転送により読み出し終了後、「D0_FIFOポートコントロールレジスタ2」のDMA_DTLN [9:0] (RCNT = "0") を読み出すことによって、最後の転送が何バイトあったかを確認する事ができます。バッファをクリアするには「D0_FIFOポートコントロールレジスタ2」のBCLRビットに"1"を設定してください。

1: 自動バッファクリアモード許可

バッファのデータを全て読み出したら、自動的にバッファがクリアされ、次のデータを受信可能状態になります。

(4) MBW (FIFOポートアクセスビット幅) ビット (b10)

このビットにより、D0_FIFOポートアクセスのビット幅を選択します。

0: 8ビット幅

1: 16ビット幅

MBWの設定を変更するときに下記の事項を注意してください。

(1) Current_PIPE [2:0]に設定されているPIPEがOUTの場合

Current_PIPE [2:0]を設定した後のMBWの設定変更は行えません。

MBWの設定は、Current_PIPE [2:0]設定と同時にしくは設定以前に設定してください。

(2) Current_PIPE [2:0]に設定されているPIPEがINの場合

Current_PIPE [2:0]を設定した後、MBWを"0" (8ビット幅) から"1" (16ビット幅) への設定変更は行えません。設定を変更した場合には、DREQ信号の出力が正しく動作しません。

ただしショートパケットを送信する、かつ外部DMACにバイトライト機能が無い場合には、次のようにデータを書き込むことが可能です。

MBW設定の変更例：DMAポートのPIPEに対して、ショートパケットの最後のバイトをCPUアクセスによって書き込む例

512バイトのバッファ領域を持つPIPEを設定 (MBW = "0"をCurrent_PIPE [2:0]設定と同時に設定)

DMAのDREQ/DACK等により、16ビット幅で130バイトまで書き込んで、外部DMACを停止する

「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2」のDreqEビットに"0"を書き込んで、DREQ出力を禁止する

MBWビットの設定を"1"に変更

CPUアクセスにて「D0_FIFOポートレジスタ0」により、8ビット幅で1バイト書き込み (トータル131バイト)

「D0_FIFOポートコントロールレジスタ2」のBVALビットへ"1"を書き込む (ショートパケットデータ送信)

(5) TRENb (トランザクションカウンタ許可) ビット (b9)

このビットにより、トランザクションカウンタ機能の有効/無効を設定します。

0: トランザクションカウンタ機能無効

1: トランザクションカウンタ機能有効

このビットはCurrent_PIPE [2:0]ビットに設定されたPIPEの方向がOUTの時のみ有効です。

トランザクションカウンタ機能の詳細は「D0_FIFOポートコントロールレジスタ3」のTRNCNT [15:0]ビットの記述を参照してください。

このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(6) TRclr (トランザクションカウンタクリア) ビット (b8)

このビットに"1"を書き込むとトランザクションカウンタ機能のカウンタをクリアします。

このビットへの"0"書き込みは無効です。

このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(7) Current_PIPE [2:0] (D0_FIFOポートアクセスPIPE指定) ビット (b2-b0)

このビットにより、D0_FIFOポートにアクセスするPIPEを指定します。

Current_PIPE [2:0]に設定されているPIPEの各コンフィギュレーションレジスタの内容(マックスパケットサイズ等)を変更しないでください。

PIPEの各コンフィギュレーションレジスタの内容を変更する場合には、Current_PIPE [2:0]の値を一旦変更するか、各コンフィギュレーションレジスタの内容を変更後、「D0_FIFOポートコントロールレジスタ1」のBCLRビットに"1"を設定することによってバッファクリアをしてください。

また、「D0_FIFOポートレジスタ」へのアクセス中にこの設定を変更しないでください。

注意事項

このビットは「C_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットと同じ値に設定しないでください。(一つのPIPEを同時にC_FIFOポートとD0_FIFOポートに設定することができません。)

2.17 D0_FIFOポートコントロールレジスタ2

D0_FIFOポートコントロールレジスタ2 (D0_FIFOPortCtrl2)

<アドレス : H'34 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BVAL	BCLR	FRDY								DMA_DTLN [9:0]					
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後 : H'0000 >

<S/Wリセット後 : H'0000 >

<USBバスリセット後 : - >

b	ビット名	機能	R	W
15	BVAL バッファ有効フラグ	<OUTバッファ設定時> リード 0: バッファのデータ読み出し不可 1: バッファのデータ読み出し可 ライト 無効 (書き込みは無視されます) <INバッファ設定時> リード 0: バッファにデータ書き込み未完了 1: バッファにデータ書き込み完了 ライト 0: 無効 (書き込みは無視されます) 1: ショートパケット送信を許可		
14	BCLR バッファクリア	<OUTバッファ設定時> ライト 0: 無効 (書き込みは無視されます) 1: バッファクリア (BVALビットが "1" のとき) <INバッファ設定時> ライト 0: 無効 (書き込みは無視されます) 1: バッファクリア (BVALビットが "0" のとき)	"0"	
13	FRDY D0_FIFOポートレディ	0: 「D0_FIFOポートレジスタ0」へアクセス不可 1: 「D0_FIFOポートレジスタ0」へアクセス可		-
12~10	何も配置されていません。"0"に固定してください。		"0"	"0"
9~0	DMA_DTLN [9:0] D0_FIFO受信データ	受信データ長 (バイトカウント) を格納します。		-

(1) BVAL (バッファ有効フラグ) ビット (b15)

このビットは「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEのバッファがアクセス可能かどうかのステータスを示します。

「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがOUTの場合、このビットはバッファにデータが存在するかどうかを示します。

下記条件でこのビットが"0"から"1"になります。

連続転送モードで、受信したデータパケットによりバッファがフルになる時、またはショートパケットを受信した時

「D0_FIFOポートコントロールレジスタ0」のTRENbビットが"1"の場合、「D0_FIFOポートコントロールレジスタ3」のTRNCNT [15:0]ビットに設定した値までパケットを受信した時

非連続転送モードで、1パケットのデータを受信した時

このビットは、バッファからデータを読み出しバッファが空になった時にクリアされます。但し、「D0_FIFOポートコントロールレジスタ1」のABCRビットやCurrent_PIPE [2:0]ビットに設定されたPIPEのBFREビット (「PIPEコンフィギュレーションウィンドウレジスタ0」) の設定によって、自動的にこのビットがクリアされないことがあります。詳細は、ABCRビットを参照してください。

Current_PIPE [2:0]ビットに設定されたPIPEがINの場合、このビットに"1"を設定することによりショートパケットを送信することが可能です。また、このビットとBCLRビットに同時に"1"を書き込むことによってzero-lengthパケットを送信することができます。下記条件でこのビットが"0"から"1"になります。

連続転送モードで、バッファがフルになるまでデータを書き込んだ時
非連続転送モードで、マックスパケットサイズまでデータを書き込んだ時
DMA転送中、DEND信号がアサートされた時
バッファが空になった時、このビットがクリアされます。このビットへの"0"書き込みは無効です。

注意事項

Current_PIPE [2:0]ビットに設定されたPIPEがINの場合、このビットが"1"のときにこのビットに対して"1"を書き込まないでください。

(2) BCLR (バッファクリア) ビット (b14)

このビットに"1"を書き込むことにより、Current_PIPE [2:0]ビットに設定されたPIPEのバッファをクリアします。「3.6.2.3 バッファクリア」を参照してください。

「D0_FIFOポートコントロールレジスタ1」のFRDYビットが"1"のときに、このビットに"1"を書き込むことができます。

このビットへの"0"書き込みは無効です。

(3) FRDY (D0_FIFOポートレディ) ビット (b13)

このビットが"1"にセットされている時に、「D0_FIFOポートレジスタ0」へのアクセスが可能であることを示します。

(4) DMA_DTLN [9:0] (D0_FIFO受信データ) ビット (b9-b0)

このビットは、受信データ長を示します。

「D0_FIFOポートコントロールレジスタ0」のRCNTビットの値が"1"の場合、D0_FIFOポートレジスタが読み出されるたびに本ビット値はカウントダウンされます。カウントダウンの刻みは、MBWビットが8bitの場合に1、MBWビットが16bit幅の場合に2となります。

RCNTビットの値が"0"の場合、データ読み出し中も受信データ長を保持し、全受信データが読み出された後にこのビットはクリアされます。

「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEがIN方向の場合、このビットは無効です。

注意事項

このビットを読み込む前に、FRDY = "1"であることを確認する必要があります。また、このビットの読み出しタイミングについては「3.6 バッファメモリ」を参照してください。

2.18 D0_FIFOポートコントロールレジスタ3

D0_FIFOポートコントロールレジスタ3 (D0_FIFOPortCtrl3)

<アドレス : H'36 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
TRNCNT [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後 : H'0000 >

<S/Wリセット後 : H'0000 >

<USBバスリセット後 : - >

b	ビット名	機能	R	W
15~0	TRNCNT [15:0] トランザクションカウンタ	< TRENbビットが"0"の時 > 受信完了とするバケット数 < TRENbビットが"1"の時 > 受信したバケット数		

(1) TRNCNT [15:0] (トランザクションカウンタ) ビット (b15-b0)

このビットは「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットに設定されたPIPEの方向がOUTの時のみ有効です。

トランザクションカウンタは二つの内部レジスタを使用します。

カレントカウンタレジスタ

上限レジスタ

このビットへの書き込みは上限レジスタへの書き込みとなります。このビットの読み出しは次の通りです。

「D0_FIFOポートコントロールレジスタ0」のTRENbビットが"0"に設定されている時、上限レジスタの値が読み出されます。

「D0_FIFOポートコントロールレジスタ0」のTRENbビットが"1"に設定されている時、カレントカウンタレジスタの値が読み出されます。

「D0_FIFOポートコントロールレジスタ0」のTRENbビットが"1"に設定されている場合、OUTトランザクションを受信するたびに、カレントカウンタレジスタがインクリメントされます。

下記イベントで、カレントカウンタレジスタがクリアされます。

実行されたOUTトランザクションでショートパケットを受信したとき

カレントカウンタレジスタの値が上限レジスタの値に到達したとき

「D0_FIFOポートコントロールレジスタ0」のTRclrビットに"1"が書き込まれたとき

注意事項

(1) このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(2) TRENbビットが"1"に設定されているときに、このレジスタの設定を変更しないでください。

2.19 INT端子コンフィギュレーションレジスタ0

INT端子コンフィギュレーションレジスタ0 (INTPinCfg0)

<アドレス : H'40 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
VBSE	RSME		DVSE	CTRE	BEMPE	INTNE	INTRE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後 : H'0000 >

<S/Wリセット後 : H'0000 >

<USBバスリセット後 : - >

b	ビット名	機能	R	W
15	VBSE VBUS割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のVBUSINTビットが"1"で割り込み発生)		
14	RSME レジューム割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のRESMビットが"1"で割り込み発生)		
13	何も配置されていません。"0"に固定してください。		"0"	"0"
12	DVSE デバイスステート遷移割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のDVSTビットが"1"で割り込み発生)		
11	CTRE コントロール転送ステージ遷移割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のCTRTビットが"1"で割り込み発生)		
10	BEMPE PIPEバッファエンプティ/サイズエラー割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のBEMPビットが"1"で割り込み発生)		
9	INTNE PIPEバッファノットレディ割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のINTNビットが"1"で割り込み発生)		
8	INTRE PIPEバッファレディ割り込み許可	0: 割り込み禁止 1: 割り込み許可 (「割り込みステータスレジスタ0」のINTRビットが"1"で割り込み発生)		
7	URST USBリセット検出	0: DVSTビットのセット禁止 1: DVSTビットのセット許可		
6	SADR SetAddress実行	0: DVSTビットのセット禁止 1: DVSTビットのセット許可		
5	SCFG SetConfiguration実行	0: DVSTビットのセット禁止 1: DVSTビットのセット許可		
4	SUSP サスペンド検出	0: DVSTビットのセット禁止 1: DVSTビットのセット許可		
3	WDST コントロールライト転送データステージ完了	0: CTRTビットのセット禁止 1: CTRTビットのセット許可		
2	RDST コントロールリード転送データステージ完了	0: CTRTビットのセット禁止 1: CTRTビットのセット許可		
1	CMPL コントロール転送完了	0: CTRTビットのセット禁止 1: CTRTビットのセット許可		
0	SERR コントロール転送シーケンスエラー	0: CTRTビットのセット禁止 1: CTRTビットのセット許可		

(1) VBSE (Vbus割り込み許可) ビット (b15)

このビットにより、VBUS割り込みの許可/禁止を設定します。

このビットを"1"に設定したとき、「割り込みステータスレジスタ0」のVBUSINTビットが"1"で割り込みが発生します。

なお、このビットは、クロックが供給されていない状態(「USBトランシーバコントロールレジスタ0」のSCKEビット="0"の時、もしくは、「USBトランシーバコントロールレジスタ0」のXCCKEビット="0"の時)でも書き込み/読み出し可能です。

(2) RSME (レジューム割り込み許可) ビット (b14)

このビットにより、レジューム割り込みの許可/禁止を設定します。

このビットを"1"に設定している場合、RESMビットが"1"で割り込みが発生します。

なお、このビットは、クロックが供給されていない状態(「USBトランシーバコントロールレジスタ0」のSCKEビット="0"の時、もしくは、「USBトランシーバコントロールレジスタ0」のXCCKEビット="0"の時)でも書き込み/読み出し可能です。

(3) DVSE (デバイスステート遷移割り込み許可) ビット (b12)

このビットにより、デバイスステート遷移割り込みの許可/禁止を設定します。

このビットを"1"に設定している場合、DVSTビットが"1"で割り込みが発生します。

なお、DVSTビットの"1"セットは、URST、SADR、SCFG、SUSPビットにより禁止/許可できます。

(4) CTRE (コントロール転送遷移割り込み許可) ビット (b11)

このビットにより、コントロール転送遷移割り込みの許可/禁止を設定します。

このビットを"1"に設定している場合、CTRTビットが"1"で割り込みが発生します。

なお、CTRTビットの"1"セットは、WDST、RDST、CMPL、SERRビットにより禁止/許可できます。ただし、セットアップステージ完了によるCTRTビットの"1"セットは禁止/許可できません。

(5) BEMPE (PIPEバッファエンプティ/サイズエラー割り込み許可) ビット (b10)

このビットにより、PIPEバッファエンプティ/サイズエラー割り込みの許可/禁止を設定します。

このビットを"1"に設定している場合、BEMPビットが"1"で割り込みが発生します。

(6) INTNE (PIPEバッファノットレディ割り込み許可) ビット (b9)

このビットにより、バッファノットレディ割り込みの許可/禁止を設定します。

このビットを"1"に設定している場合、INTNビットが"1"で割り込みが発生します。

(7) INTRE (PIPEバッファレディ割り込み許可) ビット (b8)

このビットにより、バッファレディ割り込みの許可/禁止を設定します。

このビットを"1"に設定している場合、INTRビットが"1"で割り込みが発生します。

(8) URST (USBリセット検出) ビット (b7)

このビットにより、USBバスリセット検出時にDVSTビットへの"1"セットの許可/禁止を設定します。

なお、このビットの値に関わらず、USBリセット検出は行われます。

(9) SADR (SetAddress実行) ビット (b6)

このビットにより、SetAddress実行時にDVSTビットへの"1"セットの許可/禁止を設定します。

詳しくは、DVSTビットを参照してください。

(10) SCFG (SetConfiguration実行) ビット (b5)

このビットにより、SetConfiguration実行時にDVSTビットへの"1"セットの許可/禁止を設定します。

詳しくは、DVSTビットを参照してください。

(11) SUSP (サスペンド検出) ビット (b4)

このビットにより、サスペンド検出時にDVSTビットへの"1"セットの許可/禁止を設定します。

(12) WDST (コントロールライト転送データステージ完了) ビット (b3)

このビットにより、コントロールライト転送でデータステージが完了して、ステータスステージに遷移した時にCTRTRTビットへの"1"セットの許可/禁止を設定します。

(13) RDST (コントロールリード転送データステージ完了) ビット (b2)

このビットにより、コントロールリード転送でデータステージが完了して、ステータスステージに遷移した時にCTRTRTビットへの"1"セットの許可/禁止を設定します。

(14) CMPL (コントロール転送完了) ビット (b1)

このビットにより、コントロール転送でステータスステージが終了した時にCTRTRTビットへの"1"セットの許可/禁止を設定します。

(15) SERR (コントロール転送シーケンスエラー) ビット (b0)

このビットにより、コントロール転送でシーケンスエラー検出時にCTRTRTビットへの"1"セットの許可/禁止を設定します。

注意事項

割り込みの詳細は「3.3 割り込み機能」を参照してください。

2.20 INT端子コンフィギュレーションレジスタ1

INT端子コンフィギュレーションレジスタ1 (INTPinCfg1)

<アドレス : H'42 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	INTL 0	INTA 0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : - >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~2	何も配置されていません。"0"に固定してください。		"0"	"0"
1	INTL 割り込み出力センス	0: エッジセンス 1: レベルセンス		
0	INTA 割り込み出力極性	0: Lowアクティブ 1: Highアクティブ		

(1) INTL (割り込み出力センス) ビット (b1)

このビットにより、割り込み信号出力タイプを選択します。

エッジセンスが選択されている時に、割り込み要因がクリアされると割り込み出力信号がネゲートされます。ただし、他の割り込み要因がまだクリアされていない場合は、再びアサートされます。ネゲートの期間は650nsです。

レベルセンスが選択されている場合は、すべての割り込み要因がクリアされない限り、アサート状態が継続されます。

(2) INTA (割り込み出力極性) ビット (b0)

このビットにより、割り込み信号の出力極性を設定します。

2.21 INT端子コンフィギュレーションレジスタ2

INT端子コンフィギュレーションレジスタ2 (INTPinCfg2)

<アドレス : H'44 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_RE6	PIPEB_RE5	PIPEB_RE4	PIPEB_RE3	PIPEB_RE2	PIPEB_RE1	DCP_RE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		"0"	"0"
6	PIPEB_RE6 PIPE6バッファレディ割り込み許可	0: INTRビットのセット禁止 1: INTRビットのセット許可		
5	PIPEB_RE5 PIPE5バッファレディ割り込み許可	0: INTRビットのセット禁止 1: INTRビットのセット許可		
4	PIPEB_RE4 PIPE4バッファレディ割り込み許可	0: INTRビットのセット禁止 1: INTRビットのセット許可		
3	PIPEB_RE3 PIPE3バッファレディ割り込み許可	0: INTRビットのセット禁止 1: INTRビットのセット許可		
2	PIPEB_RE2 PIPE2バッファレディ割り込み許可	0: INTRビットのセット禁止 1: INTRビットのセット許可		
1	PIPEB_RE1 PIPE1バッファレディ割り込み許可	0: INTRビットのセット禁止 1: INTRビットのセット許可		
0	DCP_RE DCPバッファレディ割り込み許可	0: INTRビットのセット禁止 1: INTRビットのセット許可		

(1) PIPEB_RE6 (PIPE6バッファレディ割り込み許可) ビット (b6)

このビットは、「割り込みステータスレジスタ1」のPIPEB_RDY6ビットへ"1"がセットされたときに、「割り込みステータスレジスタ0」のINTRビットへ"1"セットの許可/禁止を選択します。

(2) PIPEB_RE5 (PIPE5バッファレディ割り込み許可) ビット (b5)

このビットは、「割り込みステータスレジスタ1」のPIPEB_RDY5ビットへ"1"がセットされたときに、「割り込みステータスレジスタ0」のINTRビットへ"1"セットの許可/禁止を選択します。

(3) PIPEB_RE4 (PIPE4バッファレディ割り込み許可) ビット (b4)

このビットは、「割り込みステータスレジスタ1」のPIPEB_RDY4ビットへ"1"がセットされたときに、「割り込みステータスレジスタ0」のINTRビットへ"1"セットの許可/禁止を選択します。

(4) PIPEB_RE3 (PIPE3バッファレディ割り込み許可) ビット (b3)

このビットは、「割り込みステータスレジスタ1」のPIPEB_RDY3ビットへ"1"がセットされたときに、「割り込みステータスレジスタ0」のINTRビットへ"1"セットの許可/禁止を選択します。

(5) PIPEB_RE2 (PIPE2バッファレディ割り込み許可) ビット (b2)

このビットは、「割り込みステータスレジスタ1」のPIPEB_RDY2ビットへ"1"がセットされたときに、「割り込みステータスレジスタ0」のINTRビットへ"1"セットの許可/禁止を選択します。

(6) PIPEB_RE1 (PIPE1バッファレディ割り込み許可) ビット (b1)

このビットは、「割り込みステータスレジスタ1」のPIPEB_RDY1ビットへ"1"がセットされたときに、「割り込みステータスレジスタ0」のINTRビットへ"1"セットの許可/禁止を選択します。

(7) DCP_RE (DCPバッファレディ割り込み許可) ビット (b0)

このビットは、「割り込みステータスレジスタ1」のDCP_RDYビットに"1"がセットされたときに、「割り込みステータスレジスタ0」のINTRビットへ"1"セットの許可/禁止を選択します。

2.22 INT端子コンフィギュレーションレジスタ3

INT端子コンフィギュレーションレジスタ3 (INTPinCfg3)

<アドレス : H'48 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_NRE6	PIPEB_NRE5	PIPEB_NRE4	PIPEB_NRE3	PIPEB_NRE2	PIPEB_NRE1	DCP_NRE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		"0"	"0"
6	PIPEB_NRE6 PIPE6バッファノットレディ割り込み許可	0: INTNビットのセット禁止 1: INTNビットのセット許可		
5	PIPEB_NRE5 PIPE5バッファノットレディ割り込み許可	0: INTNビットのセット禁止 1: INTNビットのセット許可		
4	PIPEB_NRE4 PIPE4バッファノットレディ割り込み許可	0: INTNビットのセット禁止 1: INTNビットのセット許可		
3	PIPEB_NRE3 PIPE3バッファノットレディ割り込み許可	0: INTNビットのセット禁止 1: INTNビットのセット許可		
2	PIPEB_NRE2 PIPE2バッファノットレディ割り込み許可	0: INTNビットのセット禁止 1: INTNビットのセット許可		
1	PIPEB_NRE1 PIPE1バッファノットレディ割り込み許可	0: INTNビットのセット禁止 1: INTNビットのセット許可		
0	DCP_NRE DCPバッファノットレディ割り込み許可	0: INTNビットのセット禁止 1: INTNビットのセット許可		

(1) PIPEB_NRE6 (PIPE6バッファノットレディ割り込み許可) ビット (b6)

このビットは、「割り込みステータスレジスタ2」のPIPEB_NRDY6ビットに"1"がセットされたときに、「割り込みステータスレジスタ0」のINTNビットへ"1"セットの許可/禁止を選択します。

(2) PIPEB_NRE5 (PIPE5バッファノットレディ割り込み許可) ビット (b5)

このビットは、「割り込みステータスレジスタ2」のPIPEB_NRDY5ビットに"1"がセットされたときに、「割り込みステータスレジスタ0」のINTNビットへ"1"セットの許可/禁止を選択します。

(3) PIPEB_NRE4 (PIPE4バッファノットレディ割り込み許可) ビット (b4)

このビットは、「割り込みステータスレジスタ2」のPIPEB_NRDY4ビットに"1"がセットされたときに、「割り込みステータスレジスタ0」のINTNビットへ"1"セットの許可/禁止を選択します。

(4) PIPEB_NRE3 (PIPE3バッファノットレディ割り込み許可) ビット (b3)

このビットは、「割り込みステータスレジスタ2」のPIPEB_NRDY3ビットに"1"がセットされたときに、「割り込みステータスレジスタ0」のINTNビットへ"1"セットの許可/禁止を選択します。

(5) PIPEB_NRE2 (PIPE2バッファノットレディ割り込み許可) ビット (b2)

このビットは、「割り込みステータスレジスタ2」のPIPEB_NRDY2ビットに"1"がセットされたときに、「割り込みステータスレジスタ0」のINTNビットへ"1"セットの許可/禁止を選択します。

(6) PIPEB_NRE1 (PIPE1バッファノットレディ割り込み許可) ビット (b1)

このビットは、「割り込みステータスレジスタ2」のPIPEB_NRDY1ビットに"1"がセットされたときに、「割り込みステータスレジスタ0」のINTNビットへ"1"セットの許可/禁止を選択します。

(7) DCP_NRE (DCPバッファノットレディ割り込み許可) ビット (b0)

このビットは、「割り込みステータスレジスタ2」のDCP_NRDYビットに"1"がセットされたときに、「割り込みステータスレジスタ0」のINTNビットへ"1"セットの許可/禁止を選択します。

2.23 INT端子コンフィギュレーションレジスタ4

INT端子コンフィギュレーションレジスタ4 (INTPinCfg4)

<アドレス : H'4C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_EMPE6	PIPEB_EMPE5	PIPEB_EMPE4	PIPEB_EMPE3	PIPEB_EMPE2	PIPEB_EMPE1	DCP_EMPE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		"0"	"0"
6	PIPEB_EMPE6 PIPE6バッファエンブティ / サイズエラー割り込み許可	0: BEMPビットのセット禁止 1: BEMPビットのセット許可		
5	PIPEB_EMPE5 PIPE5バッファエンブティ / サイズエラー割り込み許可	0: BEMPビットのセット禁止 1: BEMPビットのセット許可		
4	PIPEB_EMPE4 PIPE4バッファエンブティ / サイズエラー割り込み許可	0: BEMPビットのセット禁止 1: BEMPビットのセット許可		
3	PIPEB_EMPE3 PIPE3バッファエンブティ / サイズエラー割り込み許可	0: BEMPビットのセット禁止 1: BEMPビットのセット許可		
2	PIPEB_EMPE2 PIPE2バッファエンブティ / サイズエラー割り込み許可	0: BEMPビットのセット禁止 1: BEMPビットのセット許可		
1	PIPEB_EMPE1 PIPE1バッファエンブティ / サイズエラー割り込み許可	0: BEMPビットのセット禁止 1: BEMPビットのセット許可		
0	DCP_EMPE DCP_FIFOバッファエンブティ / サイズエラー割り込み許可	0: BEMPビットのセット禁止 1: BEMPビットのセット許可		

(1) PIPEB_EMPE6 (PIPE6バッファエンブティ / サイズエラー割り込み許可) ビット (b6)

このビットは、「割り込みステータスレジスタ3」のPIPEB_EMP_OVR6ビットに"1"がセットされたときに「割り込みステータスレジスタ0」のBEMPビットへ"1"セットの許可 / 禁止を選択します。

(2) PIPEB_EMPE5 (PIPE5バッファエンブティ / サイズエラー割り込み許可) ビット (b5)

このビットは、「割り込みステータスレジスタ3」のPIPEB_EMP_OVR5ビットに"1"がセットされたときに「割り込みステータスレジスタ0」のBEMPビットへ"1"セットの許可 / 禁止を選択します。

(3) PIPEB_EMPE4 (PIPE4バッファエンブティ / サイズエラー割り込み許可) ビット (b4)

このビットは、「割り込みステータスレジスタ3」のPIPEB_EMP_OVR4ビットに"1"がセットされたときに「割り込みステータスレジスタ0」のBEMPビットへ"1"セットの許可 / 禁止を選択します。

(4) PIPEB_EMPE3 (PIPE3バッファエンブティ / サイズエラー割り込み許可) ビット (b3)

このビットは、「割り込みステータスレジスタ3」のPIPEB_EMP_OVR3ビットに"1"がセットされたときに「割り込みステータスレジスタ0」のBEMPビットへ"1"セットの許可 / 禁止を選択します。

(5) PIPEB_EMPE2 (PIPE2バッファエンブティ / サイズエラー割り込み許可) ビット (b2)

このビットは、「割り込みステータスレジスタ3」のPIPEB_EMP_OVR2ビットに"1"がセットされたときに「割り込みステータスレジスタ0」のBEMPビットへ"1"セットの許可 / 禁止を選択します。

(6) PIPEB_EMPE1 (PIPE1バッファエンブティ / サイズエラー割り込み許可) ビット (b1)

このビットは、「割り込みステータスレジスタ3」のPIPEB_EMP_OVR1ビットに"1"がセットされたときに「割り込みステータスレジスタ0」のBEMPビットへ"1"セットの許可 / 禁止を選択します。

(7) DCP_EMPE (DCP_FIFOバッファエンブティ / サイズエラー割り込み許可) ビット (b0)

このビットは、「割り込みステータスレジスタ3」のDCP_EMP_OVRビットに"1"がセットされたときに「割り込みステータスレジスタ0」のBEMPビットへ"1"セットの許可 / 禁止を選択します。

2.24 割り込みステータスレジスタ0

割り込みステータスレジスタ0 (INTStatus0)

<アドレス : H'60 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
VBUSINT	RESM		DVST	CTRT	BEMP	INTN	INTR	VBUSSTS	DVSQ [2:0]			VALID	CTSQ [2:0]		
0	0	0	0	0	0	0	0	?	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	?	0	0	0	0	0	0	0
-	-	-	1	-	-	-	-	-	0	0	1	-	-	-	-

<H/Wリセット後 : B'0000 0000 ?000 0000 >

<S/Wリセット後 : B'0000 0000 ?000 0000 >

<USBバスリセット後 : B'---1 ---- -001 ---- >

b	ビット名	機能	R	W
15	VBUSINT VBUS割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 内部クロック供給時には、無効(書き込みは無視されます) 内部クロック停止時には、割り込みクリア状態の解除		
14	RESM レジューム割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 内部クロック供給時には、無効(書き込みは無視されます) 内部クロック停止時には、割り込みクリア状態の解除		
13	何も配置されていません。"0"に固定してください。		"0"	"0"
12	DVST デバイスステート遷移割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効(書き込みは無視されます)		
11	CTRT コントロール転送ステージ遷移割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効(書き込みは無視されます)		
10	BEMP PIPEバッファエンプティ/サイズエラー割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 無効(書き込みは無視されます)		-
9	INTN PIPEバッファノットレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 無効(書き込みは無視されます)		-
8	INTR PIPEバッファレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 無効(書き込みは無視されます)		-

b	ビット名	機能	R	W
7	VBUSSTS VBUS入力ポート	リード 0: “L” 入力 1: “H” 入力 ライト 無効 (書き込みは無視されます)		-
6~4	DVSQ [2:0] デバイスステート	リード 000: Poweredステート 001: Defaultステート 010: Addressステート 011: Configuredステート 1xx: Suspendedステート ライト 無効 (書き込みは無視されます)		-
3	VALID セットアップパケット検出	リード 0: 検出なし 1: セットアップパケット受信 ライト 0: 本ビットのクリア 1: 無効 (書き込みは無視されます)		
2~0	CTSQ [2:0] コントロール転送ステージ	リード 000: アイドルまたはセットアップステージ 001: コントロールリード転送データステージ 010: コントロールリード転送ステータスステージ 011: コントロールライト転送データステージ 100: コントロールライト転送ステータスステージ 101: コントロールライトノードータ転送ステータスステージ 110: コントロール転送シーケンスエラー 111: Reserved ライト 無効 (書き込みは無視されます)		-

注: xは任意の値

(1) VBUSINT (VBUS割り込み) ビット (b15)

このビットはVBUS入力に変化したことを示します。

VBUS入力の入力に変化 (“L” “H”または”H” “L”) の時に、このビットは”1”にセットされます。このビットは内部クロック停止状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが”0”) でもセットされます。

このビットに”0”を書き込むことによって、割り込みが”0”にクリアされます。ただし、内部クロックが停止している状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが”0”) では、”0”を書き込み後必ず”1”の書き込みを行ってください。

(2) RESM (レジューム割り込み) ビット (b14)

USBバスの状態がサスペンド状態 (DVSTビットが”1xx”) から”Jステート” ”Kステート”または、”Jステート” ”SE0”に変化した場合このビットが”1”にセットされます。このビットは内部クロック (SCLK) 停止状態でもセットされます。

このビットに”0”を書き込むことによって、このビットは”0”にクリアされます。但し、内部クロックが停止している状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが”0”) では、”0”を書き込み後必ず”1”の書き込みを行ってください。

(3) DVST (デバイスステート遷移割り込み) ビット (b12)

このビットは、デバイスステートが遷移したことを示します。
デバイスステート遷移割り込みは次の四つの要因があります。

- USBリセットの検出
- "SET_ADDRESS"の実行
- "SET_CONFIGURATION"の実行
- サスペンドの検出

この四つの要因は個別に禁止 / 許可できます。

このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。

このビットに"1"を書き込んででも変化しません。

(4) CTRT (コントロール転送ステージ遷移割り込み) ビット (b11)

このビットは、コントロール転送でステージが遷移したことを示します。
コントロール転送ステージ遷移割り込みは次の五つの要因があります。

- セットアップステージ完了
- コントロールライト転送データステージ完了
- コントロールリード転送データステージ完了
- コントロール転送ステータスステージ完了
- コントロール転送シーケンスエラー

セットアップステージ完了を除き、各要因は個別に禁止 / 許可できます。

このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。

このビットに"1"を書き込んででも変化しません。

(5) BEMP (PIPEバッファエンプティ / サイズエラー割り込み) ビット (b10)

このビットは、バッファエンプティもしくはバッファサイズオーバーエラーが発生したことを示します。

「割り込みステータスレジスタ3」のPIPEB_EMP_OVR [6:1]ビットもしくはDCP_EMP_OVRビットのいずれかが"1"にセットされた時にこのビットが"1"セットされます。

「割り込みステータスレジスタ3」のすべてのビットがクリアされることによって、このビットがクリアされます。

(6) INTN (PIPEバッファノットレディ割り込み) ビット (b9)

このビットは、バッファノットレディ状態のためホストに対してNAK応答したことを示します。

「割り込みステータスレジスタ2」のPIPEB_NRDY [6:1]ビットもしくはDCP_NRDYビットのいずれかが"1"にセットされた時にこのビットが"1"セットされます。

「割り込みステータスレジスタ2」のすべてのビットがクリアされることによって、このビットがクリアされます。

(7) INTR (PIPEバッファレディ割り込み) ビット (b8)

このビットは、バッファレディ状態 (読み出し / 書き込み可能状態) であることを示します。

「割り込みステータスレジスタ1」のPIPEB_RDY [6:1]ビットもしくはDCP_RDYビットのいずれかが"1"にセットされた時にこのビットが"1"セットされます。

「割り込みステータスレジスタ1」のすべてのビットがクリアされることによって、このビットがクリアされます。

(8) VBUSSTS (VBUS入力ポート) ビット (b7)

このビットは、VBUS端子の状態を示します。

このビットが変化したとき、VBUSINTビットが"1"にセットされます。本ビットは、内部クロック (SCLK) 停止状態でも、正確な値を読み出すことが可能です。

このビットはVBUS端子の状態をダイレクトに反映しているために、このビットの値によりUSBアタッチ / デタッチ処理を行うときには、チャタリング除去のために、複数回同じ値を読み出すなどの処理が必要です。

(9) DVSQ [2:0] (デバイスステート) ビット (b6-b4)

このビットは、現在のデバイスステートを示します。
デバイスステートはUSB規格の9章のデバイスステートの記述と一致しています。
H/Wリセットの後の状態はPoweredステートです。
S/Wリセットの後の状態はPoweredステートです。
USBリセットの後の状態はDefaultステートです。
"SET_ADDRESS (Address != "0"の時)"実行後はAddressステート、"SET_ADDRESS (Address = "0"の時)"実行後はDefaultステートに遷移します。
"SET_CONFIGURATION (Configuration != "0")"実行後はConfiguredステート、
"SET_CONFIGURATION (Configuration = "0")"実行後はAddressステートに遷移します。
サスペンドを検出したとき、Suspendedステートに遷移します。

(10) VALID (セットアップパケット検出) ビット (b3)

このビットは、セットアップパケットを受信したことを示します。セットアップパケットの受信が完了するとこのビットが"1"セットされます。このビットによる割り込みは発生しません。
このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック (SCLK) 停止状態の時にはクリアされません。
このビットに"1"を書き込んでも変化しません。
このビットが"1"の間、「DCPコンフィギュレーションレジスタ0」のPID [1:0]ビットへの書き込みはできません。

(11) CTSQ [2:0] (コントロール転送ステージ) ビット (b2-b0)

このビットは、コントロール転送での現在のステージを示します。

VBUSINT / RESM / DVST / CTRTステータスビットのクリアの注意事項

VBUSINT / RESM / DVST / CTRTステータスビットが多重に"1"にセットされている状態で、連続にステータスビットをクリアする場合には、クリアから次のクリアまでのアクセスサイクル時間が100ns以上必要です。

例えば、DVSTステータスビットとCTRTRステータスビットが同時にセットされている状態で、DVSTビットに"0"を書き込んでからCTRTRビットに"0"を書き込むまでのアクセスサイクルは100ns以上必要になります。またこの時、同時にDVSTビットとCTRTRビットをクリアすることは可能です。

2.25 割り込みステータスレジスタ1

割り込みステータスレジスタ1 (INTStatus1)

<アドレス : H'64 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_RDY6	PIPEB_RDY5	PIPEB_RDY4	PIPEB_RDY3	PIPEB_RDY2	PIPEB_RDY1	DCP_RDY
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		"0"	"0"
6	PIPEB_RDY6 PIPE6バッファレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
5	PIPEB_RDY5 PIPE5バッファレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
4	PIPEB_RDY4 PIPE4バッファレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
3	PIPEB_RDY3 PIPE3バッファレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
2	PIPEB_RDY2 PIPE2バッファレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
1	PIPEB_RDY1 PIPE1バッファレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
0	DCP_RDY DCPバッファレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		

(1) PIPEB_RDY6 (PIPE6バッファレディ割り込み) ビット (b6)

PIPE6のバッファがレディ状態になった場合、このビットが"1"になります。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

(2) PIPEB_RDY5 (PIPE5バッファレディ割り込み) ビット (b5)

PIPE5のバッファがレディ状態になった場合、このビットが"1"になります。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

(3) PIPEB_RDY4 (PIPE4バッファレディ割り込み) ビット (b4)

PIPE4のバッファがレディ状態になった場合、このビットが"1"になります。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

(4) PIPEB_RDY3 (PIPE3バッファレディ割り込み) ビット (b3)

PIPE3のバッファがレディ状態になった場合、このビットが"1"になります。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

(5) PIPEB_RDY2 (PIPE2バッファレディ割り込み) ビット (b2)

PIPE2のバッファがレディ状態になった場合、このビットが"1"になります。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

(6) PIPEB_RDY1 (PIPE1バッファレディ割り込み) ビット (b1)

PIPE1のバッファがレディ状態になった場合、このビットが"1"になります。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

(7) DCP_RDY (DCPバッファレディ割り込み) ビット (b0)

このビットは、DCPバッファが読み出し可能状態であることを示します。

コントロールライト転送の時データパケットを正常に受信した場合に、このビットは"1"にセットされます。コントロールリード転送の時、送信バッファが書き込める状態では、このビットは"1"にセットされません。コントロールリード転送の送信終了はDCPバッファエンプティ/サイズエラー割り込みにて確認してください。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

バッファレディ割り込み (PIPEB_RDY6 ~ PIPEB_RDY1 / DCP_RDY) ステータスビットのクリアの注意事項

PIPEB_RDY6 ~ PIPEB_RDY1 / DCP_RDYステータスビットが多重に"1"にセットされている状態で、連続にステータスビットをクリアする場合には、クリアから次のクリアまでのアクセスサイクル時間が100ns以上必要です。

例えば、ステータスビットPIPEB_RDY1とステータスビットPIPEB_RDY2が同時にセットされている状態で、PIPEB_RDY1ビットに"0"を書き込んでからPIPEB_RDY2ビットに"0"を書き込むまでのアクセスサイクルは100ns以上必要になります。この時、同時にPIPEB_RDY1ビットとPIPEB_RDY2ビットをクリアすることは可能です。

2.26 割り込みステータスレジスタ2

割り込みステータスレジスタ2 (INTStatus2)

<アドレス : H'68 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	PIPEB_NRDY6	PIPEB_NRDY5	PIPEB_NRDY4	PIPEB_NRDY3	PIPEB_NRDY2	PIPEB_NRDY1	DCP_NRDY
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		"0"	"0"
6	PIPEB_NRDY6 PIPE6バッファノットレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
5	PIPEB_NRDY5 PIPE5バッファノットレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
4	PIPEB_NRDY4 PIPE4バッファノットレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
3	PIPEB_NRDY3 PIPE3バッファノットレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
2	PIPEB_NRDY2 PIPE2バッファノットレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
1	PIPEB_NRDY1 PIPE1バッファノットレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
0	DCP_NRDY DCPバッファノットレディ割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		

(1) PIPEB_NRDY6 (PIPE6バッファノットレディ割り込み) ビット (b6)

このビットは、PIPE6のバッファがノットレディ状態においてINトークン/OUTトークンを受信した場合、このビットが"1"にセットされます。

ノットレディ状態とは、「PIPE6コントロールレジスタ」のPID [1:0]ビットが"01" (BUF) 設定のときに、ホストに対して送信不可/受信不可でNAK応答した状態です。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態(「USBトランシーバコントロールレジスタ0」のSCKEビットが"0")の時にはクリアされません。

(2) PIPEB_NRDY5 (PIPE5バッファノットレディ割り込み) ビット (b5)

このビットは、PIPE5のバッファがノットレディ状態においてINトークン/OUTトークンを受信した場合、このビットが"1"にセットされます。

ノットレディ状態とは、「PIPE5コントロールレジスタ」のPID [1:0]ビットが"01" (BUF) 設定のときに、ホストに対して送信不可/受信不可でNAK応答した状態です。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態(「USBトランシーバコントロールレジスタ0」のSCKEビットが"0")の時にはクリアされません。

(3) PIPEB_NRDY4 (PIPE4バッファノットレディ割り込み) ビット (b4)

このビットは、PIPE4のバッファがノットレディ状態においてINトークン/OUTトークンを受信した場合、このビットが"1"にセットされます。

ノットレディ状態とは、「PIPE4コントロールレジスタ」のPID [1:0]ビットが"01" (BUF) 設定のときに、ホストに対して送信不可/受信不可でNAK応答した状態です。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態(「USBトランシーバコントロールレジスタ0」のSCKEビットが"0")の時にはクリアされません。

(4) PIPEB_NRDY3 (PIPE3バッファノットレディ割り込み) ビット (b3)

このビットは、PIPE3のバッファがノットレディ状態においてINトークン/OUTトークンを受信した場合、このビットが"1"にセットされます。

ノットレディ状態とは、「PIPE3コントロールレジスタ」のPID [1:0]ビットが"01" (BUF) 設定のときに、ホストに対して送信不可/受信不可でNAK応答した状態です。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態(「USBトランシーバコントロールレジスタ0」のSCKEビットが"0")の時にはクリアされません。

(5) PIPEB_NRDY2 (PIPE2バッファノットレディ割り込み) ビット (b2)

このビットは、PIPE2のバッファがノットレディ状態においてINトークン/OUTトークンを受信した場合、このビットが"1"にセットされます。

ノットレディ状態とは、「PIPE2コントロールレジスタ」のPID [1:0]ビットが"01" (BUF) 設定のときに、ホストに対して送信不可/受信不可でNAK応答した状態です。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態(「USBトランシーバコントロールレジスタ0」のSCKEビットが"0")の時にはクリアされません。

(6) PIPEB_NRDY1 (PIPE1バッファノットレディ割り込み) ビット (b1)

このビットは、PIPE1のバッファがノットレディ状態においてINトークン/OUTトークンを受信した場合、このビットが"1"にセットされます。

ノットレディ状態とは、「PIPE1コントロールレジスタ」のPID [1:0]ビットが"01" (BUF) 設定のときに、ホストに対して送信不可/受信不可でNAK応答した状態です。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態(「USBトランシーバコントロールレジスタ0」のSCKEビットが"0")の時にはクリアされません。

(7) DCP_NRDY (DCPバッファノットレディ割り込み) ビット (b0)

このビットは、バッファがノットレディ状態においてINトークン/OUTトークンを受信した場合、PIPEに対応したビットが"1"にセットされます。

ノットレディ状態とは、「DCPコンフィギュレーションレジスタ0」のPID [1:0]ビットが"01" (BUF) 設定のときに、ホストに対して送信不可/受信不可でNAK応答した状態です。

コントロール転送のステータスステージでのNAK応答では、このビットは"1"にセットされません。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態(「USBトランシーバコントロールレジスタ0」のSCKEビットが"0")の時にはクリアされません。

バッファノットレディ割り込み (PIPEB_NRDY6 ~ PIPEB_NRDY1 / DCP_NRDY) ステータスビットのクリアの注意事項

PIPEB_NRDY6 ~ PIPEB_NRDY1 / DCP_NRDYステータスビットが多重に"1"にセットされている状態で、連続にステータスビットをクリアする場合には、クリアから次のクリアまでのアクセスサイクル時間が100ns以上必要です。

例えば、ステータスビットPIPEB_NRDY1とステータスビットPIPEB_NRDY2が同時にセットされている状態で、PIPEB_NRDY1ビットに"0"を書き込んでからPIPEB_NRDY2ビットに"0"を書き込むまでのアクセスサイクルは100ns以上必要になります。またこの時、同時にPIPEB_NRDY1ビットとPIPEB_NRDY2ビットをクリアすることは可能です。

2.27 割り込みステータスレジスタ3

割り込みステータスレジスタ3 (INTStatus3)

<アドレス : H'6C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
									PIPEB_EMP_OVR6	PIPEB_EMP_OVR5	PIPEB_EMP_OVR4	PIPEB_EMP_OVR3	PIPEB_EMP_OVR2	PIPEB_EMP_OVR1	DCP_EMP_OVR
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

<H/Wリセット後 : H'0000 >
 <S/Wリセット後 : H'0000 >
 <USBバスリセット後 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		"0"	"0"
6	PIPEB_EMP_OVR6 PIPE6バッファエンプティ/サイズエラー割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
5	PIPEB_EMP_OVR5 PIPE5バッファエンプティ/サイズエラー割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
4	PIPEB_EMP_OVR4 PIPE4バッファエンプティ/サイズエラー割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
3	PIPEB_EMP_OVR3 PIPE3バッファエンプティ/サイズエラー割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
2	PIPEB_EMP_OVR2 PIPE2バッファエンプティ/サイズエラー割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
1	PIPEB_EMP_OVR1 PIPE1バッファエンプティ/サイズエラー割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		
0	DCP_EMP_OVR DCPバッファエンプティ/サイズエラー割り込み	リード 0: 割り込み発生なし 1: 割り込み発生 ライト 0: 割り込みクリア 1: 無効 (書き込みは無視されます)		

(1) PIPEB_EMP_OVR6 (PIPE6バッファエンプティ / サイズエラー割り込み) ビット (b6)

このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはPIPE6のバッファがエンプティになったことを示します。

(1) コントロールリード転送の場合

PIPE6のバッファに格納されたすべてのデータが送信された時 (バッファエンプティ) に、このビットが"1"にセットされます。

(2) コントロールライト転送の場合

受信したデータパケットのサイズがマックスパケットサイズを超えた場合 (サイズオーバー検出)、このビットが"1"にセットされます。このときに、「PIPE6コントロールレジスタ」のPID [1:0]ビットが"1x" (STALL) に設定されます。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが"0") の時にはクリアされません。

(2) PIPEB_EMP_OVR5 (PIPE5バッファエンプティ / サイズエラー割り込み) ビット (b5)

このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはPIPE5のバッファがエンプティになったことを示します。

(1) 転送方向INの場合

PIPE5のバッファに格納されたすべてのデータが送信された時 (バッファエンプティ) に、このビットが"1"にセットされます。

(2) 転送方向OUTの場合

受信したデータパケットのサイズがマックスパケットサイズを超えた場合 (サイズオーバー検出)、このビットが"1"にセットされます。このときに、「PIPE5コントロールレジスタ」のPID [1:0]ビットが"1x" (STALL) に設定されます。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが"0") の時にはクリアされません。

(3) PIPEB_EMP_OVR4 (PIPE4バッファエンプティ / サイズエラー割り込み) ビット (b4)

このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはPIPE4のバッファがエンプティになったことを示します。

(1) 転送方向INの場合

PIPE4のバッファに格納されたすべてのデータが送信された時 (バッファエンプティ) に、このビットが"1"にセットされます。

(2) 転送方向OUTの場合

受信したデータパケットのサイズがマックスパケットサイズを超えた場合 (サイズオーバー検出)、このビットが"1"にセットされます。このときに、「PIPE4コントロールレジスタ」のPID [1:0]ビットが"1x" (STALL) に設定されます。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが"0") の時にはクリアされません。

(4) PIPEB_EMP_OVR3 (PIPE3バッファエンプティ / サイズエラー割り込み) ビット (b3)

このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはPIPE3のバッファがエンプティになったことを示します。

(1) 転送方向INの場合

PIPE3のバッファに格納されたすべてのデータが送信された時 (バッファエンプティ) に、このビットが"1"にセットされます。

(2) 転送方向OUTの場合

受信したデータパケットのサイズがマックスパケットサイズを超えた場合 (サイズオーバー検出)、このビットが"1"にセットされます。このときに、「PIPE3コントロールレジスタ」のPID [1:0]ビットが"1x" (STALL) に設定されます。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態 (「USBトランシーバコントロールレジスタ0」のSCKEビットが"0") の時にはクリアされません。

(5) PIPEB_EMP_OVR2 (PIPE2バッファエンプティ / サイズエラー割り込み) ビット (b2)

このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはPIPE2のバッファがエンプティになったことを示します。

(1) 転送方向INの場合

PIPE6のバッファに格納されたすべてのデータが送信された時 (バッファエンプティ) に、このビット

が"1"にセットされます。

(2) 転送方向OUTの場合

受信したデータパケットのサイズがマックスパケットサイズを超えた場合（サイズオーバー検出）、このビットが"1"にセットされます。このときに、「PIPE2コントロールレジスタ」のPID [1:0]ビットが"1x"（STALL）に設定されます。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

(6) PIPEB_EMP_OVR1 (PIPE1バッファエンプティ/サイズエラー割り込み) ビット (b1)

このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはPIPE1のバッファがエンプティになったことを示します。

(1) 転送方向INの場合

PIPE1のバッファに格納されたすべてのデータが送信された時（バッファエンプティ）に、このビットが"1"にセットされます。

(2) 転送方向OUTの場合

受信したデータパケットのサイズがマックスパケットサイズを超えた場合（サイズオーバー検出）、このビットが"1"にセットされます。このときに、「PIPE1コントロールレジスタ」のPID [1:0]ビットが"1x"（STALL）に設定されます。

このビットに"0"を書き込むことによって、割り込みがクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

(7) DCP_EMP_OVR (DCPバッファエンプティ/サイズエラー割り込み) ビット (b0)

このビットは、受信データのサイズがマックスパケットサイズをオーバーした、またはDCPの送信バッファがエンプティになったことを示します。

(1) コントロールリード転送の場合

DCPの送信バッファに格納されたすべてのデータが送信された時（バッファエンプティ）に、このビットが"1"にセットされます。

(2) コントロールライト転送の場合

受信したデータパケットのサイズが「DCPコンフィグレーションレジスタ2」のDCP_MXPS [6:0]に設定されている値を超えた場合（サイズオーバー検出）、このビットが"1"にセットされます。このときに、「DCPコントロールレジスタ」のPID [1:0]ビットが"1x"（STALL）に設定されます。

このビットに"0"を書き込むことによって、このビットは"0"にクリアされます。内部クロック停止状態（「USBトランシーバコントロールレジスタ0」のSCKEビットが"0"）の時にはクリアされません。

バッファエンプティ割り込み (PIPEB_EMP_OVR6 ~ PIPEB_EMP_OVR1 / DCP_EMP_OVR) ステータスビットのクリアの注意事項

PIPEB_EMP_OVR6 ~ PIPEB_EMP_OVR1 / DCP_EMP_OVRステータスビットが多重に"1"にセットされている状態で、連続にステータスビットをクリアする場合には、クリアから次のクリアまでのアクセスサイクル時間が100ns以上必要です。

例えば、ステータスビットPIPEB_EMP_OVR1とステータスビットPIPEB_EMP_OVR2が同時にセットされている状態で、PIPEB_EMP_OVR1ビットに"0"を書き込んでからPIPEB_EMP_OVR2ビットに"0"を書き込むまでのアクセスサイクルは100ns以上必要になります。またこの時、同時にPIPEB_EMP_OVR1ビットとPIPEB_EMP_OVR2ビットをクリアすることは可能です。

2.28 USBアドレスレジスタ

USBアドレスレジスタ (USBAddress)

<アドレス : H'74>

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

USB_Addr [6:0]

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : H'0000 >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		"0"	"0"
6~0	USB_Addr [6:0] USB_Address	リード ホストから割り当てられたUSBのアドレス ライト 無効 (書き込みは無視されます)		-

(1) USB_Addr [6:0] (USB_Address) ビット (b6-b0)

ホストからSET_ADDRESSデバイスリクエストにより指定されたUSBアドレスを格納します。

SET_ADDRESSデバイスリクエストに対し自動応答し、コントロール転送のステータスステージ完了後に新しいUSBアドレスに更新されます。

2.29 USBリクエストレジスタ0

USBリクエストレジスタ0 (USBReq0)

<アドレス : H'78 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
bRequest [7:0]								bmRequestType [7:0]							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : H'0000 >

b	ビット名	機能	R	W
15~8	bRequest [7:0] リクエスト	リード セットアップステージで受信したリクエスト ライト 無効 (書き込みは無視されます)		-
7~0	bmRequestType [7:0] リクエストタイプ	リード セットアップステージで受信したリクエストタイプ ライト 無効 (書き込みは無視されます)		-

(1) bRequest [7:0] (リクエスト) ビット (b15-b8)

このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのbRequestが格納されます。

(2) bmRequestType [7:0] (リクエストタイプ) ビット (b7-b0)

このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのbmRequestTypeが格納されます。

2.30 USBリクエストレジスタ1

USBリクエストレジスタ1 (USBReq1)

<アドレス : H'7A >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wValue [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : H'0000 >

b	ビット名	機能	R	W
15-0	wValue [15:0] バリュー	リード セットアップステージで受信したバリュー ライト 無効 (書き込みは無視されます)		-

(1) wValue [15:0] (バリュー) ビット (b15-b0)

このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのwValueが格納されます。

2.31 USBリクエストレジスタ2

USBリクエストレジスタ2 (USBReq2)

<アドレス : H'7C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wIndex [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : H'0000 >

b	ビット名	機能	R	W
15-0	wIndex [15:0] インデックス	リード セットアップステージで受信したインデックス ライト 無効 (書き込みは無視されます)		-

(1) wIndex [15:0] (インデックス) ビット (b15-b0)

このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのwIndexが格納されます。

2.32 USBリクエストレジスタ3

USBリクエストレジスタ3 (USBReq3)

<アドレス : H'7E >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
wLength [15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : H'0000 >

b	ビット名	機能	R	W
15-0	wLength [15:0] レングス	リード セットアップステージで受信したレングス ライト 無効 (書き込みは無視されます)		-

(1) wLength [15:0] (レングス) ビット (b15-b0)

このビットは、コントロール転送のセットアップステージで受信したデバイスリクエストのwLengthが格納されます。

2.33 DCPコンフィギュレーションレジスタ1

DCPコンフィギュレーションレジスタ1 (DCPCfg1)

<アドレス : H'82 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	CNTMD	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~9	何も配置されていません。"0"に固定してください。		"0"	"0"
8	CNTMD	0: 非連続送受信モード 1: 連続送受信モード		
7~0	何も配置されていません。"0"に固定してください。		"0"	"0"

(1) CNTMD (連続送受信モード) ビット (b8)

このビットは、コントロールリード/ライト転送のデータステージにおける送受信モードを設定します。

コントロールリード転送の場合：

CNTMD = "0"：非連続送信モード

送信完了条件：

- ・「DCPコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットに設定したサイズ分のデータを送信、または「C_FIFOポートコントロールレジスタ1」のBVALビットを"1"にセットすることによるショートパケットの送信

書き込み完了条件：

- ・DCP_MXPS [6:0]ビットに設定したサイズ分のデータをバッファへ書き込み (BVALビットが"1"に変化)
- ・BVALビットへの"1"の書き込み

CNTMD = "1"：連続送信モード

送信完了条件：

- ・「DCP連続送信データ長レジスタ」のSDLN [8:0]ビットに設定したサイズ分のデータを送信、またはBVALビットを"1"にセットすることによるショートパケットの送信

書き込み完了条件：

- ・SDLN [8:0]ビットに設定したサイズ分のデータをバッファへ書き込み (BVALビットが"1"に変化)
- ・BVALビットへの"1"の書き込み

コントロールライト転送の場合：

CNTMD = "0"：非連続受信モード、1つのパケット受信 (以下の条件) で受信完了とします。

- ・「DCPコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットに設定したサイズ分のデータを受信
- ・ショートパケットを受信

CNTMD = "1"：連続受信モード、複数のパケット受信 (以下の条件) で受信完了とします。

- ・DCPのバッファサイズ256バイト分データを受信
- ・ショートパケットを受信

2.34 DCPコンフィギュレーションレジスタ2

DCPコンフィギュレーションレジスタ2 (DCPCfg2)

<アドレス : H'84 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0	
0	0	0	0	0	0	0	0	0	DCP_MXPS [6:0]						0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~7	何も配置されていません。"0"に固定してください。		"0"	"0"
6~0	DCP_MXPS [6:0] DCPマックスパケットサイズ	一回の packets 転送で送受信するデータの最大値 (8、16、32、64のみ設定可能)		

(1) DCP_MXPS [6:0] (DCPマックスパケットサイズ) ビット (b6-b0)

このビットにより、データステージでの一回の packets 転送で送受信するデータの上限値 (バイト数) を設定します。

このビットは、Full-Speedモードで動作する場合は8、16、32、64の設定が可能、Hi-Speedモードで動作する場合は64の設定が可能です。それ以外の値を設定しないでください。

送信時は、このビットで設定したサイズ分のデータがバッファから読み出され送信されます。このとき、バッファ上に、このビットで設定したサイズ分のデータが無い場合、ショート packets として送信されます。

受信時は、このビットで設定したサイズ分のデータが受信されバッファ上に書き込まれます。このとき、このビットで設定したサイズ分より大きい packets データを受信した場合、「割り込みステータスレジスタ3」のDCP_EMP_OVRビットが"1"にセットされます。

DCPの初期設定を行うときに、必ず「DCPコントロールレジスタ」のPIDビットを"01" (BUF) に設定する前にこのビットを設定してください。また、このビットの値を変更する前に「DCPコントロールレジスタ」のPIDビットを"00" (NAK) に設定してください。

2.35 DCPコントロールレジスタ

DCPコントロールレジスタ (DCPCtrl)

<アドレス : H'88 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BSTS							SQCLR				NYETMD		CCPL	PID [1:0]	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : B'----- -000 >

b	ビット名	機能	R	W
15	BSTS コントロールPIPEバッファステータス	0: バッファ読み出し不可 / 書き込み不可。 1: バッファ読み出し可能 / 書き込み可能。		-
14~9	何も配置されていません。"0"に固定してください。		"0"	"0"
8	SQCLR シーケンスビットクリア	ライト 0: 無効 1: シーケンスビットクリア	"0"	
7~5	何も配置されていません。"0"に固定してください。		"0"	"0"
4	NYETMD NYET応答モード	0: 自動応答モード (ACK/NYETを自動的に選択します) 1: ACK応答オンリーモード (常にACK応答、NYET応答なし)		
3	何も配置されていません。"0"に固定してください。		"0"	"0"
2	CCPL コントロール転送終了許可	0: ステータスステージでNAK応答 1: ステータスステージで正常完了応答 (ACK応答/zero-length/パケット送信)		
1~0	PID [1:0] 応答PID	00: NAK応答 01: BUF応答 1x: STALL応答		

(1) BSTS (コントロールPIPEバッファステータス) ビット (b15)

このビットは、DCPのバッファステータスを示します。「C_FIFOポートコントロールレジスタ0」のISELビットに"0"が設定されている場合には、コントロールライト(OUT)バッファのステータスを示し、ISELビットに"1"が設定されている場合には、コントロールリード(IN)バッファのステータスを示します。

(2) SQCLR (シーケンスビットクリア) ビット (b8)

このビットにより、DCPのシーケンスビットをクリアし、データステージでのデータPIDを"DATA1"にします。

なお、セットアップステージ及びステータスステージでのデータPIDはH/Wによって管理されます。

シーケンスビットをクリアした以降の転送からは、H/W制御によりシーケンスビットがトグルします。

USBバスリセットでは、シーケンスビットはクリアされません。また、セットアップトークンを受信すると、H/Wによって自動的にシーケンスビットをクリアし、データステージでのデータPIDを"DATA1"にします。

このビットへの"0"書き込みは無視されます。このビットは常に"0"を読み出します。このビットを設定する前に、PID [1:0]を"00" (NAK) に設定してください。

注意事項

二つ以上のPIPEのシーケンスビットを連続してクリアする場合には、ひとつのPIPEのSQCLRビットのアクセスから次のPIPEのSQCLRビットのアクセスまでのアクセスサイクル時間が200ns以上必要です。

例えば、PIPE1とPIPE2の両方のシーケンスビットをクリアする場合、PIPE1のSQCLRビットに"1"を書き込んでからPIPE2のSQCLRビットに"1"を書き込むまでのアクセスサイクルは200ns以上必要になります。

(3) NYETMD (NYET応答モード) ビット (b4)

このビットにより、NYET応答モードを選択します。

- 0: 自動応答モード (ACK/NYETを自動的に選択します)
- 1: ACK応答オンリーモード (常にACK応答、NYET応答なし)

Hi-Speedモードで動作しているコントロールライト転送の場合、PID [1:0]ビットが"01" (BUF) のときにこのビットが有効です。他の場合、このビットへの書き込みは無視されます。(USB規格では、Full-Speedモードで動作するときにNYET応答はありません。)

自動応答モードでは、下記バッファの状態に応じてH/Wが自動的に適切な応答PID (NAK/ACK/NYET) を選択します。しかし、ショートパケット受信時はNYETパケット応答を行わずNAK応答を行います。

- (1) データパケットを受信するためのバッファがバッファフルのときに、NAK応答します。
- (2) データパケットを受信したときに、バッファに1パケット以上の空き領域がある場合、ACK応答します。
- (3) データパケットを受信したときに、バッファに1パケット未満の空き領域がある場合、NYET応答します。

ACK応答オンリーモードでは、デバイスはNYETパケットを送信しません。ACK/NAK応答をします。

(4) CCPL (コントロール転送終了許可) ビット (b2)

このビットにより、コントロール転送のステータスステージの制御を行います。

このビットに"1"を設定すると、コントロール転送のステータスステージにおいて、以下の動作を行いコントロール転送の正常終了を通知をします。

- (1) コントロールライト転送に設定している場合、PIDビットが"01"であれば、INトークンの受信で、zero-lengthパケット送信します。
- (2) コントロールリード転送に設定している場合、PIDビットが"01"であれば、OUTトークン後のパケット受信で、ホストにACK応答します。

このビットが"0"の場合、コントロール転送のステータスステージにおいて、INトークン/OUTトークン受信後、ホストに対してNAK応答します。

このビットは、Setupトークン受信で、自動的に"0"クリアされます。

(5) PID [1:0] (応答PID) ビット (b1-b0)

このビットにより、コントロール転送のデータ/ステータスステージでの応答PIDを設定します。

セットアップステージでは、このビットに拘わらず、必ずACK応答します。また、セットアップトークンを受信すると、H/Wによって自動的にこのビットはNAK応答 ("00") に設定されます。

なお、このビットは、VALIDビットが"1"の場合、書き込みは無視されます。

- 00: NAK応答
バッファの状態に関係なくNAK応答します。
- 01: BUF応答
NYETMDビットの値とシーケンスストールビットの値とバッファの状態によって、ACK応答、NYET応答 (Hi-Speedモードのみ)、NAK応答、DATA0応答、DATA1応答のいずれかを応答します。
- 1x: STALL応答。バッファの状態に関係なくSTALL応答します。コントロールライト転送においてマックスパケットサイズ (MXPS) を越えているデータを受信したときやシーケンスエラーとなったときには、このビットは自動的に"1x"にセットされます。

2.36 PIPEコンフィギュレーション選択レジスタ

PIPEコンフィギュレーション選択レジスタ (PipeCfgSel)

<アドレス : H'8C >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
0	0	0	0	0	0	0	0	0	0	0	0	0	PIPE_SEL [2:0]		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : - >

b	ビット名	機能	R	W
15~3	何も配置されていません。"0"に固定してください。		"0"	"0"
2~0	PIPE_SEL [2:0] PIPE選択	コンフィギュレーションレジスタをアクセスするPIPEを指定します。 000: 未選択 001: PIPE1を選択 010: PIPE2を選択 011: PIPE3を選択 100: PIPE4を選択 101: PIPE5を選択 110: PIPE6を選択 111: 未選択		

(1) PIPE_SEL [2:0] (PIPE選択) ビット (b2-b0)

M66591の内部に、各PIPE用の「PIPEコンフィギュレーションレジスタ0」があります。「PIPEコンフィギュレーションウィンドウレジスタ0」はこれらのレジスタをアクセスするためのウィンドウレジスタです。このビットにより、「PIPEコンフィギュレーションウィンドウレジスタ0」を通して、PIPEのコンフィギュレーション設定を行うPIPEを指定します。図2.4を参照してください。

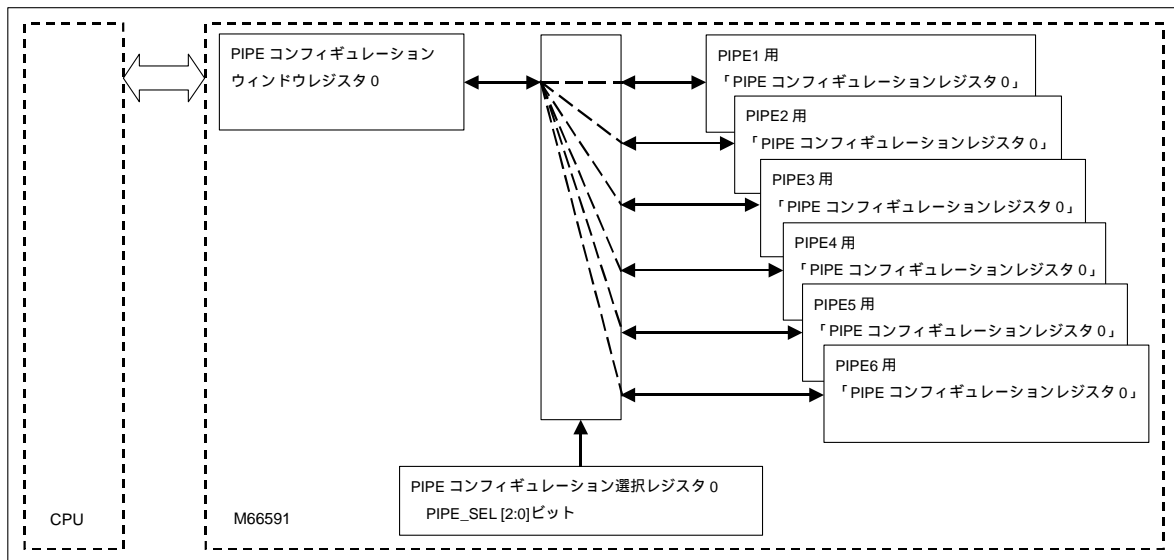


図2.4 PIPEコンフィギュレーションレジスタ関連図

例えば、このビットが"010"の時、「PIPEコンフィギュレーションウィンドウレジスタ0」へのリード/ライトアクセスはPIPE2に対するコンフィギュレーション設定になります。

2.37 PIPEコンフィギュレーションウィンドウレジスタ0

PIPEコンフィギュレーションウィンドウレジスタ0 (PipeCfgWin0)

< アドレス : H'90 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
PEN		ITMD			BFRE	DBLB	CNTMD				DIR		EP_NUM [2:0]		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	-

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : B'00-- ---- ---- ---- >

b	ビット名	機能	R	W
15	PEN PIPE使用許可	0: PIPE使用禁止 1: PIPE使用許可		
14	何も配置されていません。"0"に固定してください。		"0"	"0"
13	ITMD インタラプト転送トグルモード	0: 強制トグルモード禁止 1: 強制トグルモード許可 PIPE5とPIPE6にのみ有効です。		
12~11	何も配置されていません。"0"に固定してください。		"0"	"0"
10	BFRE バッファレディ割り込みモード	0: CPUモード 1: DMAモード PIPE1 ~ PIPE4にのみ有効です。		
9	DBLB ダブルバッファモード	0: シングルバッファモード 1: ダブルバッファモード		
8	CNTMD 連続送受信モード	< Full-Speedモード動作時 > 0: 非連続送受信モード 1: 連続送受信モード < Hi-Speedモード動作時 > "1"に設定してください。		
7~5	何も配置されていません。"0"に固定してください。		"0"	"0"
4	DIR 転送方向	0: OUT (ホストからデータを受信します。) 1: IN (データをホストに送信します。)		
3	何も配置されていません。"0"に固定してください。		"0"	"0"
2~0	EP_NUM [2:0] エンドポイント番号	リード 000: PIPE未選択 001: EP1 (PIPE1) 010: EP2 (PIPE2) 011: EP3 (PIPE3) 100: EP4 (PIPE4) 101: EP5 (PIPE5) 110: EP6 (PIPE6) 上記以外の値は存在しない ライト 無効 (書き込みは無視されます)		-

(1) PEN (PIPEイネーブル) ビット (b15)

このビットにより、「PIPEコンフィギュレーション選択レジスタ」のPIPE_SEL [2:0]ビットで選択されているPIPE使用の許可 / 禁止を設定します。

このビットを設定する前に、「PIPEiコントロールレジスタ(i=1 ~ 6)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(2) ITMD (インタラプト転送トグルモード) ビット (b13)

このビットにより、インタラプトIN転送時の強制トグルモードの許可/禁止を設定します。このビットはPIPE5とPIPE6にのみ有効です。PIPE1～PIPE4はバルク転送のみのため、このビットへの書き込みが無視されます。

強制トグルモードを許可した場合、データ送信後にACKが受信できなかったときでも、データPIDとバッファをトグルさせ、次の送信時に新たなデータを送信します。このとき、「C_FIFOポートコントロールレジスタ1」のBVALビットが"0"にクリアされ、「割り込みステータスレジスタ1」のPIPEB_RDYビットが"1"にセットされます。

強制トグルモードを禁止した場合、通常のトグルシーケンスを実施するため、送信が正常完了した場合にはデータPIDおよびバッファがトグルして次のデータを送信し、データ送信後にACKが受信できなかった場合には、データPIDおよびバッファがトグルすることなくバッファ上の同じデータを再送信します。

このビットを設定する前に、「PIPEiコントロールレジスタ(i=5～6)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(3) BFRE (バッファレディ割り込みモード) ビット (b10)

このビットにより、PIPEがOUTに設定されているときのバッファレディ割り込みの動作モードを設定します。

0: CPUモード

1: DMAモード

詳細は「3.3.6 PIPEバッファレディ割り込み」を参照してください。

このビットは、PIPE1～PIPE4にのみ有効です。PIPE5とPIPE6は、このビットへの書き込みが無視されます。

このビットを設定する前に、「PIPEiコントロールレジスタ(i=1～4)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(4) DBLB (ダブルバッファモード (バルク転送のみ)) ビット (b8)

このビットにより、PIPEバッファをシングルバッファモードまたは、ダブルバッファモードに設定します。

このビットはPIPE1とPIPE2にのみ設定可能です。PIPE3～PIPE6はシングルバッファ構成のみ可能のため、このビットへの書き込みが無視されます。

このビットを設定する前に、「PIPEiコントロールレジスタ(i=1～2)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(5) CNTMD (連続送受信モード) ビット (b8)

このビットにより、バルク転送時の送受信モードを設定します。このビットはPIPE1～PIPE4にのみ有効です。PIPE5とPIPE6は、このビットへの書き込みが無視されます。

Full-Speedで動作している場合、

CNTMD = "0" : 非連続送受信モード

PIPEがIN設定の時の送信完了条件 (下記のいずれ) :

- ・ 64バイト分のデータを送信
- ・ ショートパケットを送信または、zero-lengthパケットを送信

PIPEがIN設定の時の書き込み完了条件 (下記のいずれ) :

- ・ 64バイト分のデータをバッファへ書き込み
- ・ 「C_FIFOポートコントロールレジスタ1」のBVALビットへの"1"の書き込み

PIPEがOUT設定の時の受信完了条件 (下記のいずれ) :

- ・ 64バイト分のデータを受信
- ・ ショートパケットを受信または、zero-lengthパケットを受信

CNTMD = "1" : 連続送受信モード

PIPEがIN設定の時の送信完了条件 (下記のいずれ) :

- ・ 64バイト分のデータを自動的に複数回送信し、512バイト分のデータを送信
- ・ ショートパケットを送信、またはzero-lengthパケットを送信

PIPEがIN設定の時の書き込み完了条件 (下記のいずれ) :

- ・ 512バイト分のデータをバッファへ書き込み
- ・ BVALビットへの"1"の書き込み

PIPEがOUT設定の時の受信完了条件 (下記のいずれ) :

- ・ 64バイト分のデータを自動的に複数回受信し、512バイト分のデータを受信
- ・ ショートパケットを受信、またはzero-lengthパケットを受信

- ・ 「D0_FIFOポートコントロールレジスタ3」のTRCNT [15:0]に設定した値と、パケットの受信回数が一致した場合

Hi-Speedで動作している場合は、非連続送受信モードのみ動作します。但し、このビットを"1"に設定する必要があります。

PIPEがIN設定の時の送信完了条件（下記のいずれ）：

- ・512バイト分のデータを送信
- ・ショートパケットを送信、またはzero-lengthパケットを送信

PIPEがIN設定の時の書き込み完了条件（下記のいずれ）：

- ・512バイト分のデータをバッファへ書き込み
- ・「C_FIFOポートコントロールレジスタ1」のBVALビットへの"1"の書き込み

PIPEがOUT設定の時の受信完了条件（下記のいずれ）：

- ・512バイト分のデータを受信
- ・ショートパケットを受信、またはzero-lengthパケットを送信

このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~4)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(6) DIR (転送方向) ビット (b4)

このビットにより、PIPEの転送方向を設定します。このビットはPIPE1~PIPE4にのみ有効です。PIPE5とPIPE6はIN方向設定のみ可能のため、このビットへの書き込みが無視されます。

転送方向を切り替えた後は、「C_FIFOポートコントロールレジスタ1」または「D0_FIFOポートコントロールレジスタ2」のBCLRビットにて、バッファをクリアしてください。

このビットを設定する前に、「PIPEiコントロールレジスタ(i=1~4)」のPID [1:0]ビットを"00" (NAK) に設定してください。

(7) EP_NUM [2:0] (エンドポイント番号) ビット (b2-b0)

このビットにより、「PIPEコンフィギュレーション選択レジスタ」のPIPE_SEL [2:0]ビットで設定したPIPEのエンドポイント番号が読み出せます。エンドポイント番号は各PIPEの番号に対応し、固定です。

- PIPE1はエンドポイント番号1 (EP1) です。
- PIPE2はエンドポイント番号2 (EP2) です。
- PIPE3はエンドポイント番号3 (EP3) です。
- PIPE4はエンドポイント番号4 (EP4) です。
- PIPE5はエンドポイント番号5 (EP5) です。
- PIPE6はエンドポイント番号6 (EP6) です。

このビットは読み出しのみ可能、書き込みは無視されます。

2.38 PIPE iコントロールレジスタ(i=1~4)

PIPE 1コントロールレジスタ (Pipe1Ctrl) <アドレス: H'A0 >
 PIPE 2コントロールレジスタ (Pipe2Ctrl) <アドレス: H'A2 >
 PIPE 3コントロールレジスタ (Pipe3Ctrl) <アドレス: H'A4 >
 PIPE 4コントロールレジスタ (Pipe4Ctrl) <アドレス: H'A6 >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BSTS						ACL	SQCLR				NYETMD			PID[1:0]	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0

<H/Wリセット後: H'0000 >

<S/Wリセット後: H'0000 >

<USBバスリセット後: B'---- ---- ---- --00 >

b	ビット名	機能	R	W
15	BSTS バッファステータス	0: バッファ読み出し不可 / 書き込み不可。 1: バッファ読み出し可能 / 書き込み可能。		-
14~10	何も配置されていません。"0"に固定してください。		"0"	"0"
9	ACL バッファオートクリアモード	ライト 0: バッファオートクリア禁止 1: バッファオートクリア許可		
8	SQCLR シーケンスビットクリア	ライト 0: 無効 1: シーケンスビットクリア	"0"	
7~5	何も配置されていません。"0"に固定してください。		"0"	"0"
4	NYETMD NYET応答モード	0: 自動応答モード (ACK/NYETを自動的に選択します) 1: ACK応答オンリーモード (常にACK応答、NYET応答なし)		
3~2	何も配置されていません。"0"に固定してください。		"0"	"0"
1~0	PID [1:0] 応答PID	00: NAK応答 01: BUF応答 1x: STALL応答		

(1) BSTS (バッファステータス) ビット (b15)

このビットは、PIPE1 ~ PIPE4のバッファステータスを示します。

(2) ACL (バッファオートクリアモード) ビット (b9)

このビットに"1"を設定することにより、CPU側 / SIE側の全てのバッファをクリアします。

このビットは、バッファのクリア完了により自動的に"0"にクリアされません。"1"に設定した後に"0"を書き込む必要があります。

OUTバッファに設定しているとき、このビットに"1"を設定した状態で、PID [1:0]ビットに"01" (BUF)を設定された場合には、バッファの状態に関係なくデータを受信しホストに常にACKを応答します。受信したデータはバッファに書き込まれず、破棄されます。また、この設定では割り込みが発生しません。PID [1:0]ビットに"00"/"1x" (NAK/STALL)に設定された場合には、NAK/STALL応答を行います。

INバッファに設定しているとき、このビットに"1"を設定することにより、SIE側バッファと書き込み完了したCPU側のバッファをクリアします。クリアを行うときに、以下の手順で設定する必要があります。

- (1) PID [1:0]ビットを"00" (NAK) に設定する。
- (2) このビットを"1"に設定する。
- (3) このビットを"0"にクリアする。
- (4) PID [1:0]ビットを"01" (ACK) に設定する。

(3) SQCLR (シーケンスビットクリアモード) ビット (b8)

このビットにより、PIPE1～PIPE4のシーケンスビットをクリアし、次のデータPIDを”DATA0”にします。シーケンスビットをクリアした以降の転送からは、H/W制御によりシーケンスビットがトグルします。なお、USBバスリセットでは、シーケンストグルビットはクリアされません。S/Wによりシーケンスビットをクリアする必要があります。

このビットへの”0”書き込みは無視されます。このビットは常に”0”を読み出します。このビットを設定する前に、PID [1:0]を”00” (NAK) に設定してください。

(4) NYETMD (NYET応答モード) ビット (b4)

このビットにより、NYET応答モードを選択します。

- 0：自動応答モード (ACK/NYETを自動的に選択します)
- 1：ACK応答オンリーモード (常にACK応答、NYET応答なし)

Hi-Speedで動作しているバルクOUT転送のPID [1:0]ビットが”01” (BUF) のときにこのビットが有効です。他の場合、このビットへ書き込みは無視されます。(USB規格では、Full-Speedモードで動作するときにNYET応答はありません。)

自動応答モードでは、下記バッファの状態に応じてH/Wが自動的に適切な応答PID (NAK/ACK/NYET) を選択します。しかし、ショートパケット受信時はNYET応答を行わずNAK応答を行います。

- (1) データパケットを受信するためのバッファがバッファフルのときに、NAK応答します。
- (2) データパケットを受信したときに、バッファに1パケット以上の空き領域がある場合、ACK応答します。
- (3) データパケットを受信したときに、バッファに次の1パケットを受信する空き領域がない場合、NYET応答します。

ACK応答オンリーモードでは、デバイスはNYET応答を行わず、常にACK/NAK応答を行います。

(5) PID [1:0] (応答PID) ビット (b1-b0)

このビットにより、PIPE1～PIPE4の応答PIDを設定します。

00: NAK応答

バッファ状態に関わらず、NAK応答します。

01: BUF応答

バッファ状態、NYETMDビットの設定値及びシーケンストグルビットの値に従って応答PIDを選択します。

NYETMDビットが”00”かつHi-SpeedバルクOUT転送の時に、下記の条件でNYETを応答します。

- (1) シングルバッファモードの場合
- (2) ダブルバッファモードの時に、データパケットを受信した時に、SIE側とCPU側にある両方のバッファがエンプティではない場合

1x: STALL応答

バッファ状態に関わらず、STALL応答します。

PIPEの転送方向がOUTのときに、PIPE1～PIPE4のマックスパケットサイズ (Hi-Speed時512バイト、Full-Speed時64バイト) より大きいデータパケットを受信した時にこのビットは自動的に”1x”に設定されます。

STALL応答に設定するときに、設定する前のこのビットの値によって下記の方法で行ってください。

- (1) PID [1:0] = ”00”の時には”10”に設定します。
- (2) PID [1:0] = ”01”の時には”11”に設定します。

2.39 PIPE iコントロールレジスタ(i=5~6)

PIPE 5コントロールレジスタ (Pipe5Ctrl)
 PIPE 6コントロールレジスタ (Pipe6Ctrl)

<アドレス : H'A8 >
 <アドレス : H'AA >

b15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	b0
BSTS						ACLR	SQCLR							PID[1:0]	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0

< H/Wリセット後 : H'0000 >

< S/Wリセット後 : H'0000 >

< USBバスリセット後 : B'---- ---- ---- --00 >

b	ビット名	機能	R	W
15	BSTS バッファステータス	0: バッファ読み出し不可 / 書き込み不可。 1: バッファ読み出し可能 / 書き込み可能。		-
14~10	何も配置されていません。"0"に固定してください。		"0"	"0"
9	ACLR バッファオートクリアモード	ライト 0: バッファオートクリア禁止 1: バッファオートクリア許可		
8	SQCLR シーケンスビットクリア	ライト 0: 無効 1: シーケンスビットクリア	"0"	
7~2	何も配置されていません。"0"に固定してください。		"0"	"0"
1~0	PID [1:0] 応答PID	00: NAK応答 01: BUF応答 1x: STALL応答		

(1) BSTS (バッファステータス) ビット (b15)

このビットは、PIPE5 ~ PIPE6のバッファステータスを示します。

(2) ACLR (バッファオートクリアモード) ビット (b9)

このビットに"1"を設定することにより、CPU側 / SIE側、全てのバッファをクリアします。

このビットは、バッファのクリア完了により自動的に"0"にクリアされません。"1"に設定した後に"0"を書き込む必要があります。

このビットに"1"を設定することにより、SIE側バッファと書き込み完了したCPU側のバッファをクリアします。クリアを行うときには、以下の手順で設定する必要があります。

- (1) PID [1:0]ビットを"00" (NAK) に設定する。
- (2) このビットを"1"に設定する。
- (3) このビットを"0"にクリアする。
- (4) PID [1:0]ビットを"01" (ACK) に設定する。

(3) SQCLR (シーケンスビットクリアモード) ビット (b8)

このビットにより、PIPE5 ~ PIPE6のシーケンスビットをクリアし、次のデータPIDを"DATA0"にします。

シーケンスビットをクリアした以降の転送からは、H/W制御によりシーケンスビットがトグルします。

なお、USBバスリセットでは、シーケンストグルビットはクリアされません。S/Wによりシーケンスビットをクリアする必要があります。

このビットへの"0"書き込みは無視されます。このビットは常に"0"を読み出します。

このビットを設定する前に、PID [1:0]を"00" (NAK) に設定してください。

(4) PID [1:0] (応答PID) ビット (b1-b0)

このビットにより、PIPE5 ~ PIPE6の応答PIDを設定します。

00: NAK応答

バッファ状態に関わらず、NAK応答します。

01: BUF応答

バッファ状態、シーケンストグルビットの値に従って応答PIDを選択します。

1x: STALL応答

バッファ状態に関わらず、STALL応答します。

STALL応答に設定するときに、設定する前のこのビットの値によって下記の方法で行ってください。

(1) PID [1:0] = "00"の時には"10"に設定します。

(2) PID [1:0] = "01"の時には"11"に設定します。

3 M66591 動作説明

3.1 システム制御機能

3.1.1 クロック

M66591は水晶発振子または外部クロック入力を使用することが可能です。「USBトランシーバコントロールレジスタ0」のXtal [1:0]ビットで発振定数指定、XCKEビット、RCKEビット、PLL Cビット及びSCKEビットで内部クロック供給/停止制御を行います。図3.1にクロック制御部のブロック図を示します。

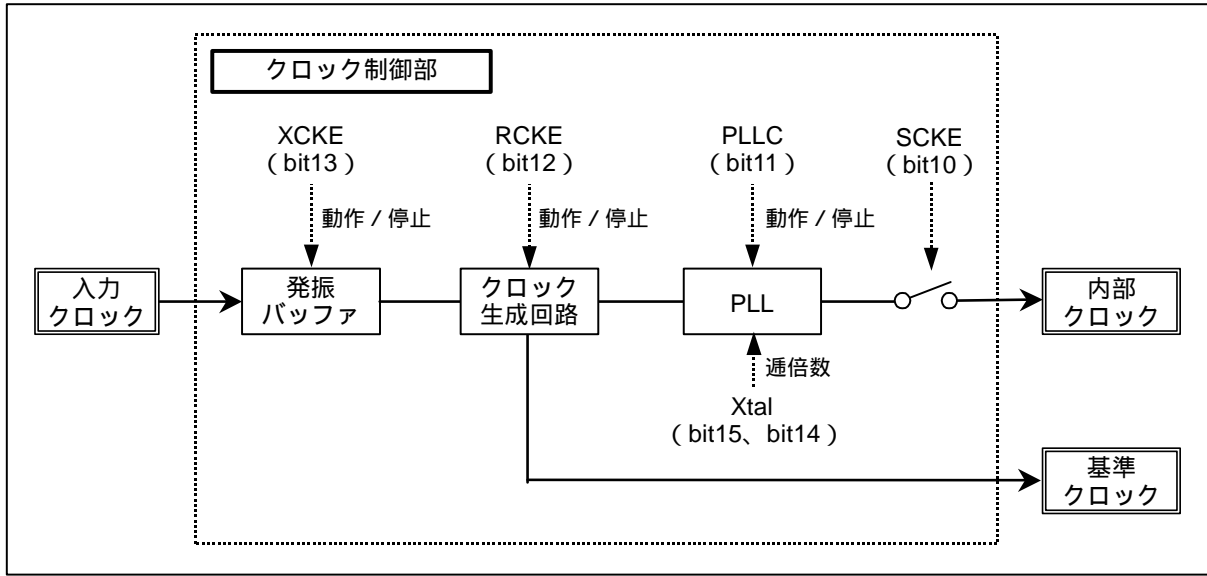


図3.1 M66591クロック制御ブロック

クロック発振を許可または禁止させるときに、上記の各ビットを許可/禁止の設定手順と許可/禁止後の発振安定待ち時間が必要です。許可/禁止の設定手順及び設定後の待ち時間は表3.1を参照してください。

表3.1 クロック発振許可/禁止の設定手順及び設定後の待ち時間一覧表

動作	設定手順	設定後の発振安定待ち時間
クロック発振許可	(1) XCKE = 1	1.5ms (外部クロック使用した場合は待ち時間が不要です)
	(2) RCKE = 1	-
	(3) PLLC = 1	8.3μs
	(4) SCKE = 1	-
クロック発振禁止	(1) SCKE = 0	3μs
	(2) PLLC = 0	3μs
	(3) RCKE = 0	3μs
	(4) XCKE = 0	-

注意事項

実際使用している推奨発振子によって、発振安定待ち時間が変わりますので、使用する推奨発振子で十分評価して発振安定待ち時間を設定する必要があります。

なお、以下のビット操作は内部クロック供給前に操作する必要があります。

「USBトランシーバコントロールレジスタ0」のXtal [1:0]ビット、USB Eビット、HSEビット

「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」のLDRVビット

「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2」のDreqAビット

「INT端子コンフィギュレーションレジスタ1」のINTLビット、INTAビット

上記以外のレジスタは内部クロック供給状態で操作して下さい。

3.1.2 リセット

M66591のリセットは、H/Wリセットとレジスタセット（「USBトランシーバコントロールレジスタ0」のUSBEビット）によるS/WリセットとUSBバスリセットとの3種類があります。

H/Wリセットでは、すべてのレジスタがクリアされます。

S/Wリセットでは、「USBトランシーバコントロールレジスタ0」、「USBトランシーバコントロールレジスタ1」、「データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ0」、「データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ1」、「データピン&FIFO/DMAコントロールピンコンフィギュレーションレジスタ2」、「C_FIFOポートレジスタ0」、「D0_FIFOポートレジスタ0」および「INT端子コンフィギュレーションレジスタ1」の値が保持され、その他のレジスタはクリアされます。

USBリセットでは、「HS/FSモードレジスタ」、「USBアドレスレジスタ」、「USBリクエストレジスタ0」、「USBリクエストレジスタ1」、「USBリクエストレジスタ2」、「USBリクエストレジスタ3」、「DCPコントロールレジスタ」のPIDビットとCCPLビットおよび「PIPEiコントロールレジスタ(i=1~6)」のPIDビットがクリアされ、その他のレジスタの値が保持されます。

リセット状態の詳細については各レジスタを参照してください。

3.1.3 D+プルアップ抵抗制御

M66591は、USB D+ラインプルアップ用電源（+3.3V）を出力する端子TR_ON及びプルアップON/OFFコントロールする入力端子RPUがあります。D+ラインをプルアップする1.5K 抵抗はTR_ON端子とRPU端子との間に接続して、「USBトランシーバコントロールレジスタ0」のRpuEビットによるプルアップのON/OFFを制御します。プルアップ抵抗の接続及びUSBコネクタ周辺の接続は図3.2を参照してください。（VBUS端子にUSB規格で規定された1~10μFのコンデンサを接続する必要があります。）

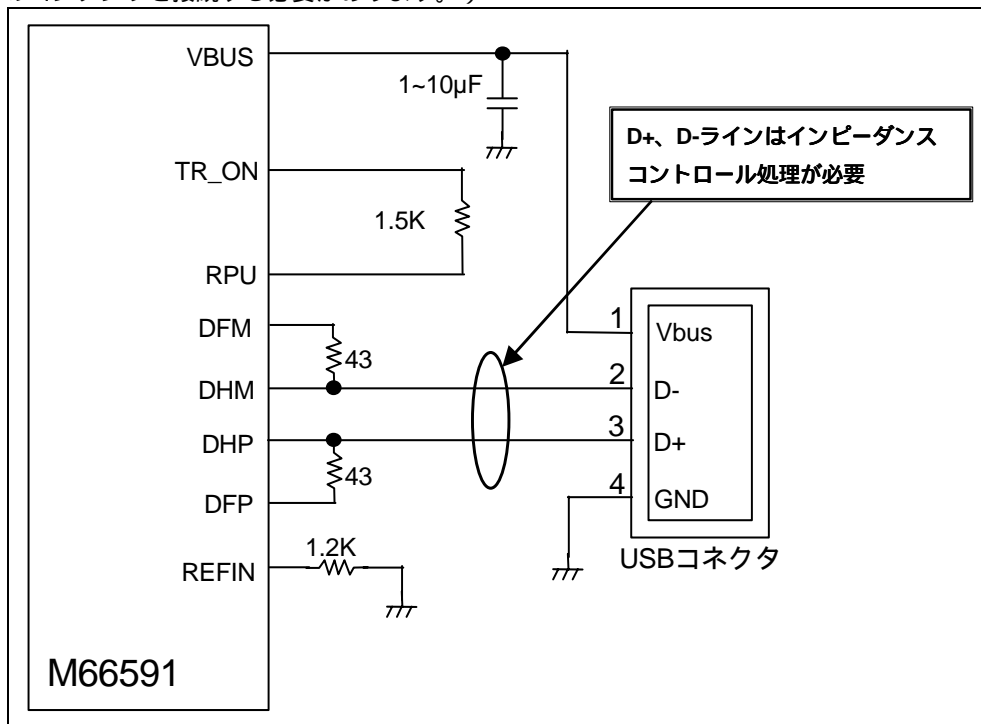


図3.2 M66591とUSBコネクタの接続

3.2 M66591初期設定及びクロック制御

M66591の初期設定方法、ホストへの接続 / 切断検出方法、サスペンド / レジュームの時のクロック制御及びリモートウェイクアップの実行方法について説明します。

3.2.1 M66591の初期設定

M66591の初期設定処理は、USB動作を許可してVBUS端子の入力を「割り込みステータスレジスタ0」のVBUSSTSビットで確認します。VBUS端子の入力状態によってVBUS割り込みを待つ処理またはUSBアタッチ処理を行います。

VBUSSTSビット"0"の場合には、ホストに接続されていない状態であるためVBUS割り込みを許可し、ホストへの接続を待ちます。

VBUSSTSビットが"1"の場合には、初期設定の前にすでにホストに接続されているためアタッチ処理を行います。具体的な処理フローチャートは図3.3に示します。

なお、VBUS端子はUSBコネクタのVBUS端子からダイレクト入力しているため入力ステータスを確認するときにソフトウェアによるチャタリング除去処理が必要です。

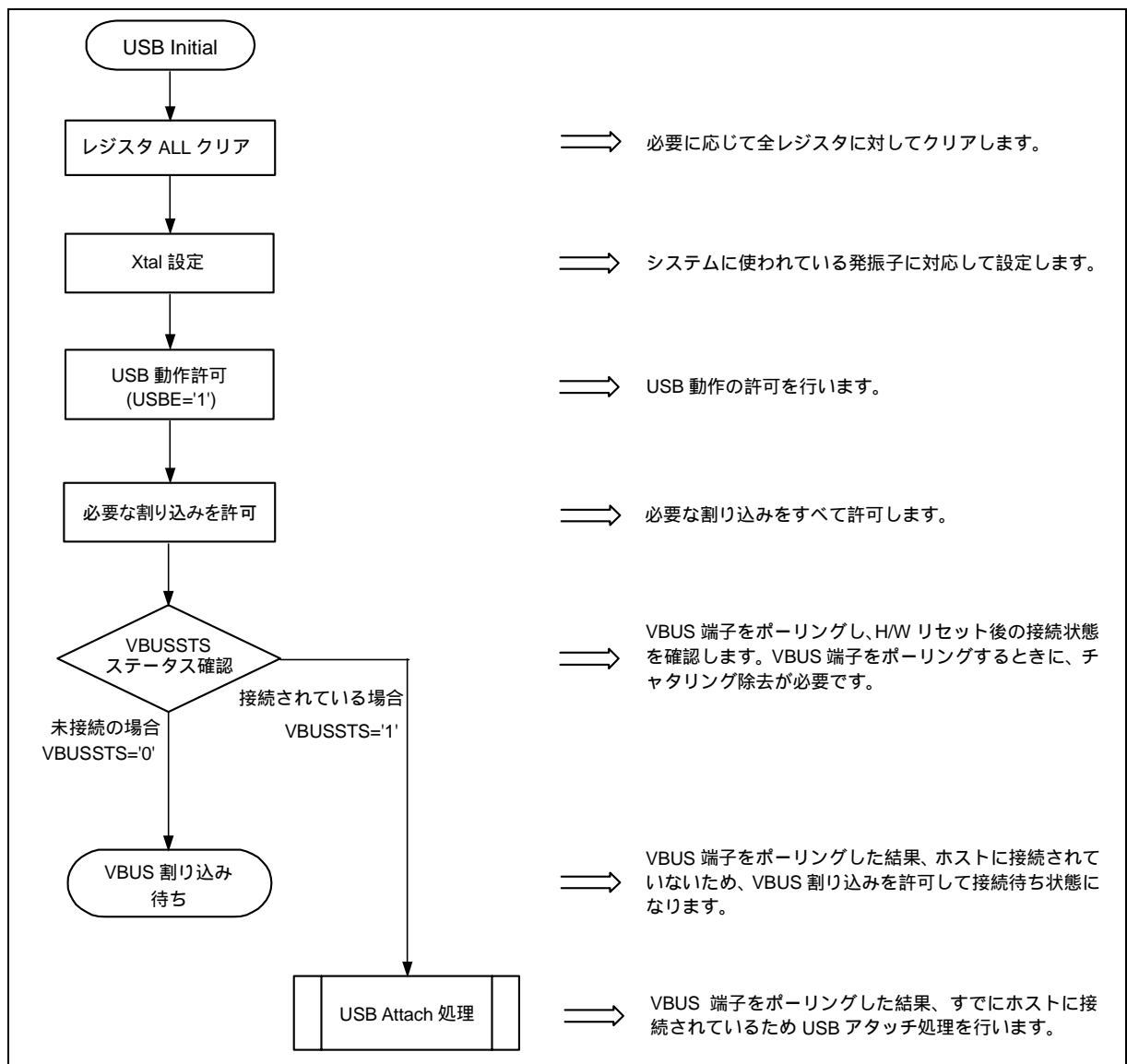


図3.3 M66591初期設定フローチャート

3.2.2 接続または切断 (VBUS割り込み) 検出後の処理

ホストへの接続または切断の検出は、M66591のVBUS割り込みを使って行います。

VBUS割り込みは、VBUS端子の入力に"L" "H"または、"H" "L"のいずれの変化があった時に発生します。ホストへの接続もしくは切断の確定は「割り込みステータスレジスタ0」のVBUSSTSビットをポーリングして判断します。

ホストへの接続が確定した場合、USBアタッチ処理を行います。

ホストへの切断が確定した場合、USBデタッチ処理を行います。

具体的な処理は下記の図3.4のフローチャートに示します。

VBUS割り込みは内部クロックが供給されていない状態(「USBトランシーバコントロールレジスタ0」SCKEビット=0)でも発生します。VBUSSTSビットも内部クロックの供給がなくても、正確な値を確認することができます。

VBUS割り込み (VBUSINTビット) のクリアは内部クロックの供給状態により下記の2方法があります。

(1) 内部クロックが供給されている状態 (「USBトランシーバコントロールレジスタ0」のSCKEビット=1)

VBUSINTビットに"0"を書き込むことにより、このビットは"0"にクリアされます。

(2) 内部クロックが供給されていない状態 (「USBトランシーバコントロールレジスタ0」SCKEビット=0)

VBUSINTビットに"0"を書き込むことにより、このビットは"0"にクリアされます。次のVBUS割り込みを許可するために再度このビットに"1"を書き込んでください。

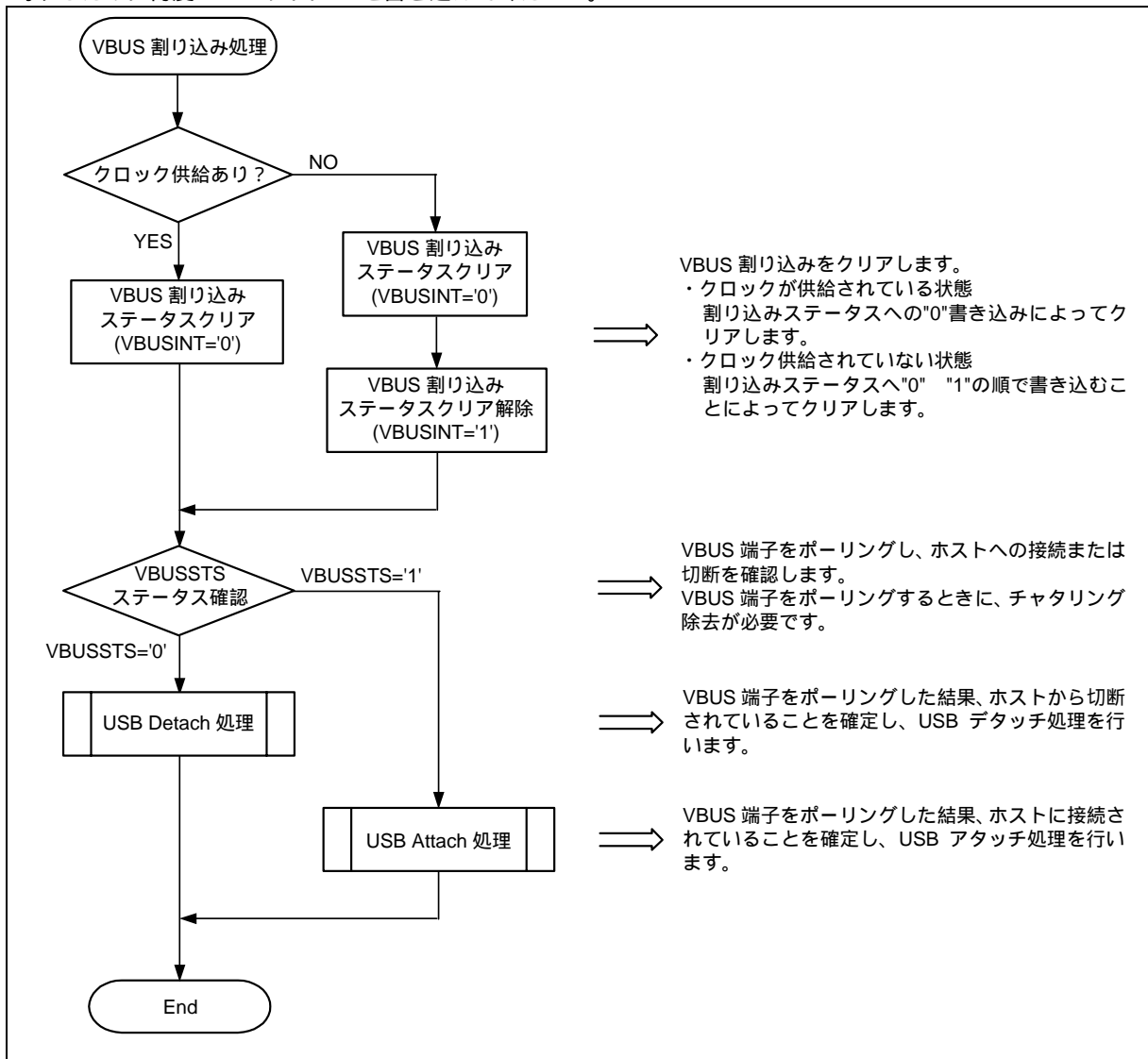


図3.4 M66591 VBUS割り込み処理フローチャート

3.2.3 USBアタッチ処理

ホストへの接続を検出した後、USBアタッチ処理を行います。

USBアタッチ処理の基本内容は以下です。

(1) M66591の動作モードの選択

M66591は、「USBトランシーバコントロールレジスタ0」のHSEビットによりHi-Speed動作モードの許可/禁止を選択することができます。

(2) M66591クロック発振許可

発振バッファの許可、基準クロック許可、PLL動作許可、内部クロック許可のシーケンスになっています。この一連の操作を行うときに発振安定するまでのウェイトを入れる必要があります。

(3) D+ラインをプルアップ

ホストに対して接続（アタッチ）通知を行います。

具体的な処理は下記の図3.5のフローチャートに示します。

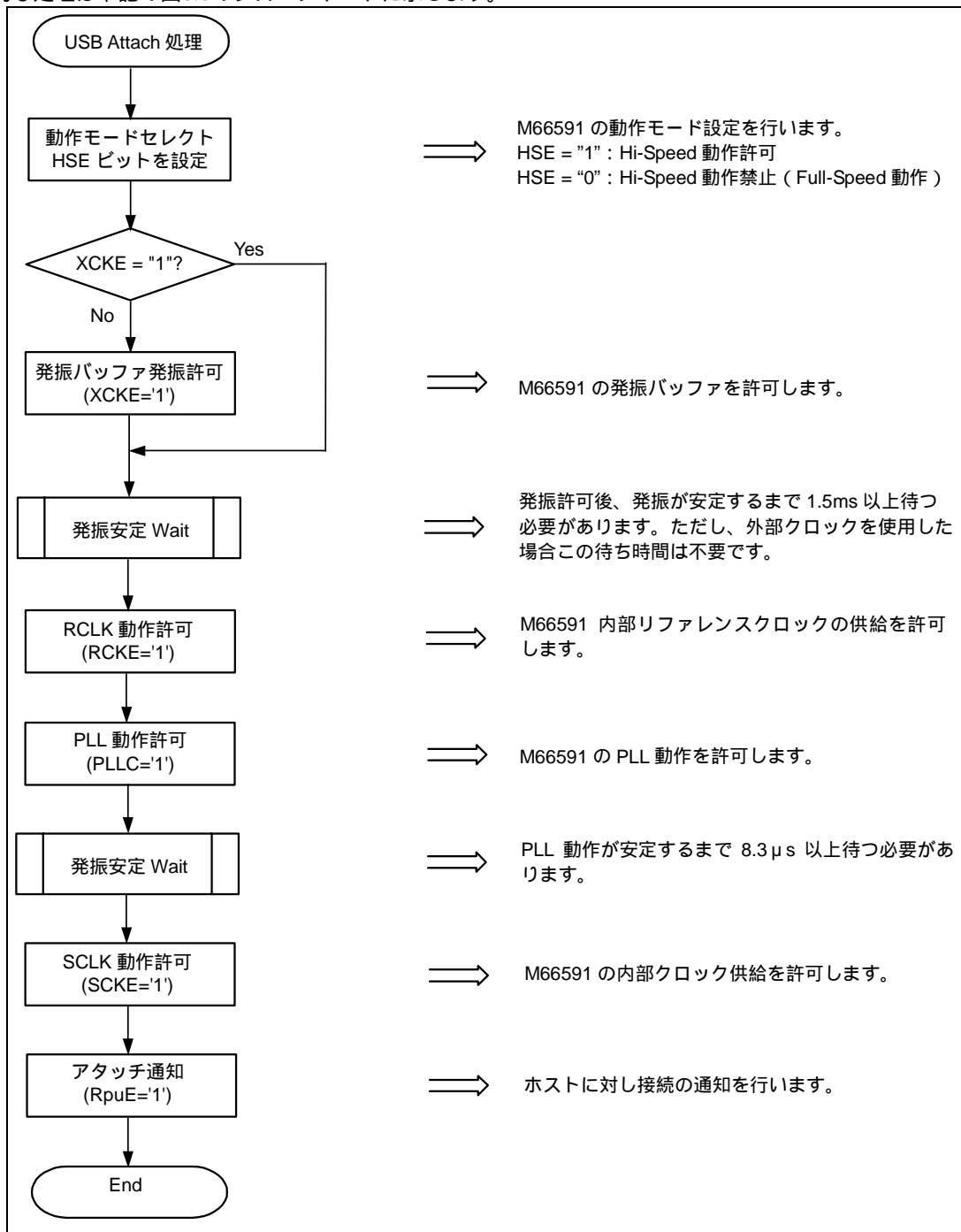


図3.5 USBアタッチ処理フローチャート

3.2.4 USBデタッチ処理

ホストから切断されたのを検出した後、USBデタッチ処理を行います。

USBデタッチ処理の基本内容は以下です。

(1) D+ラインのプルアップを中止

ホストから切断された後、D+ラインに対してのプルアップを中止します。

(2) M66591クロック発振禁止

内部クロック禁止、PLL動作禁止、基準クロック禁止、発振バッファ禁止を行います。この一連の操作を行うときに発振許可時と同様にウェイトを入れる必要があります。

具体的な処理は下記の図3.6のフローチャートに示します。

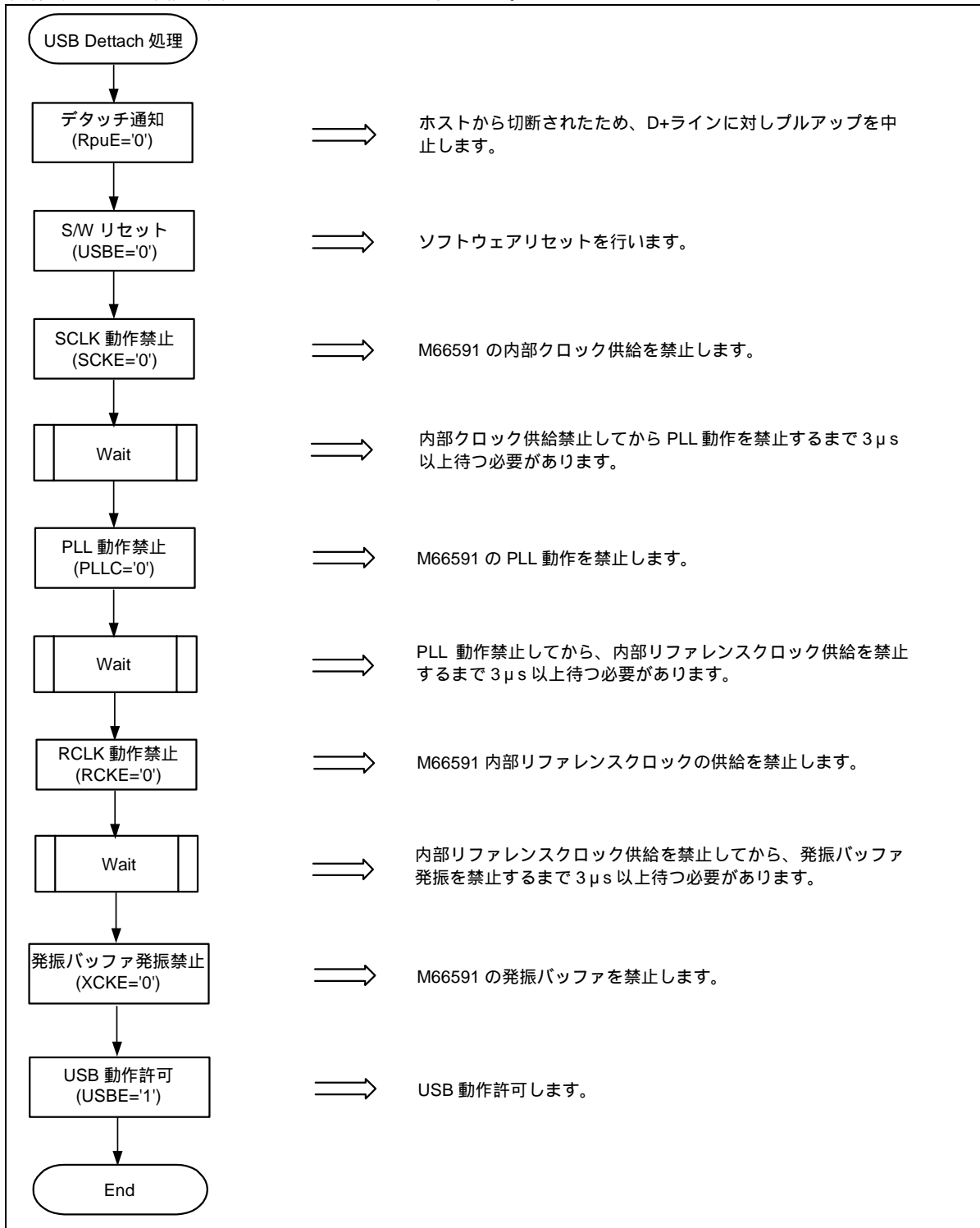


図3.6 USBデタッチ処理フローチャート

3.2.5 サスペンド/レジューム時のクロック制御

低消費電力制御の必要なシステムでは、USBバスの状態によってM66591のクロックを制御する必要があります。M66591はUSBバスのサスペンド状態を検出後、デバイスステート遷移割り込み (DVST) が発生します。サスペンド割り込みの処理でM66591のクロックの発振を禁止します。

また、USBバスがサスペンドの状態からアクティブ状態になったときにM66591はそれを検出しレジューム割り込みを発生させます。レジューム割り込みの処理でM66591のクロックの発振を再開します。

以下、図3.7のフローチャートはサスペンド時のクロック制御処理を示します。

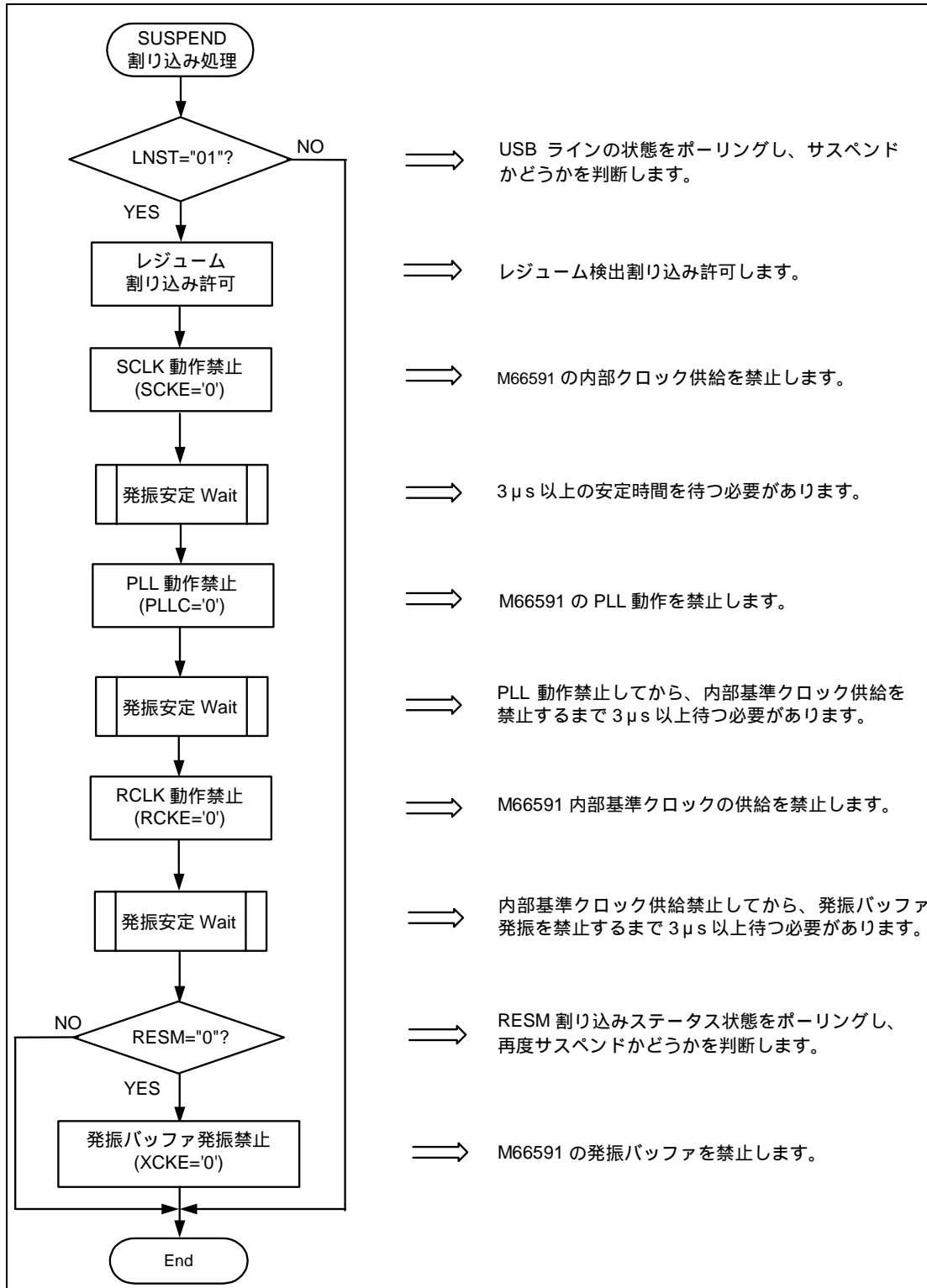


図3.7 サスペンド時のクロック制御フローチャート

図3.8のフローチャートはサスペンド時とレジューム時のクロック制御処理を示します。

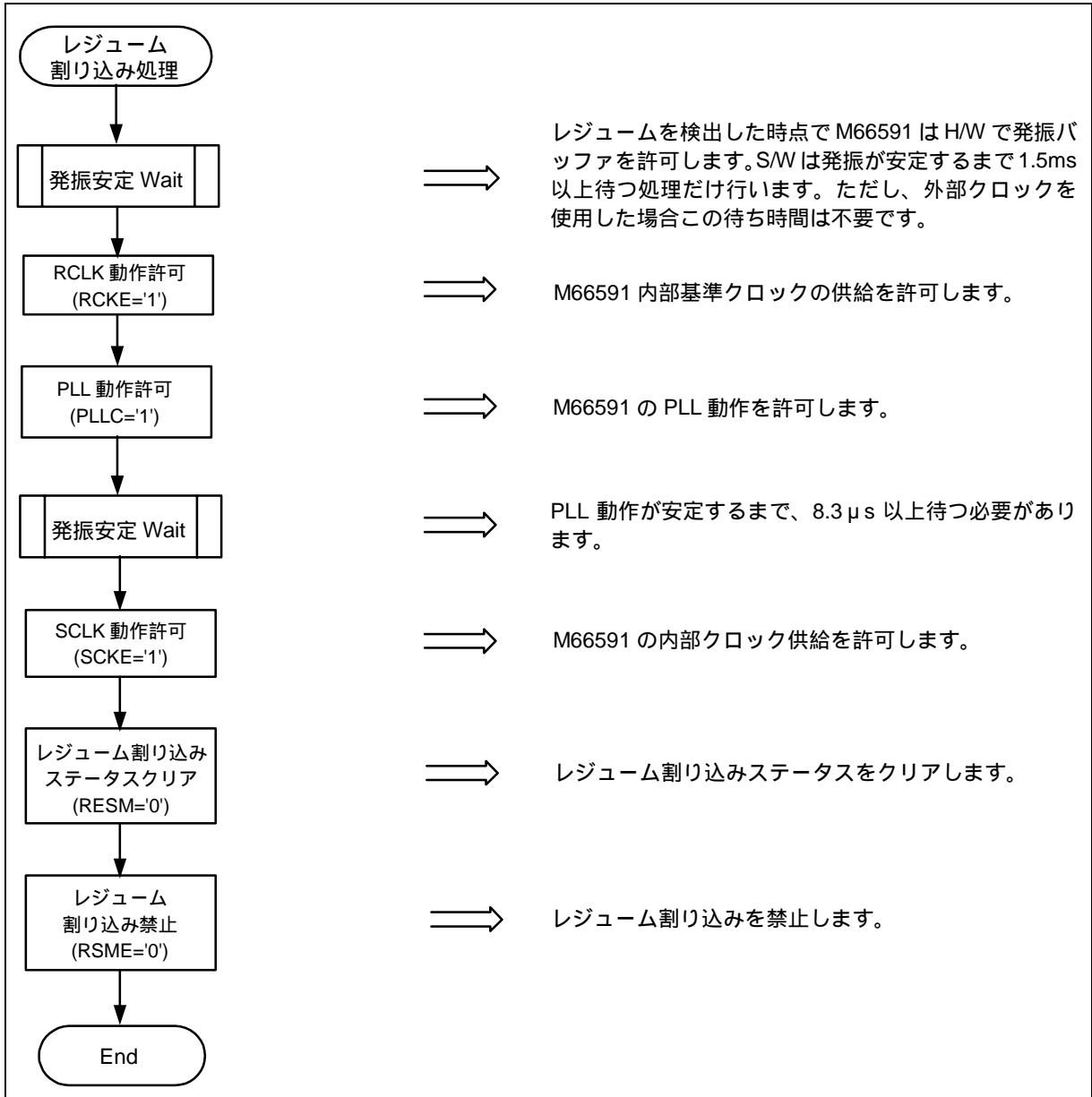


図3.8 レジューム時のクロック制御フローチャート

3.2.6 リモートウェイクアップ出力の実行方法

リモートウェイクアップとはUSBバスがサスペンド状態にあるときに、リモートウェイクアップ信号を出力し、サスペンド状態を解除する機能です。M66591はレジスタ設定でリモートウェイクアップ信号を出力することができます。

下記図3.9のフローチャートでリモートウェイクアップの実行方法を示します。なお、このフローチャートはサスペンド状態でM66591の内部クロックが禁止されているのを前提にしています。

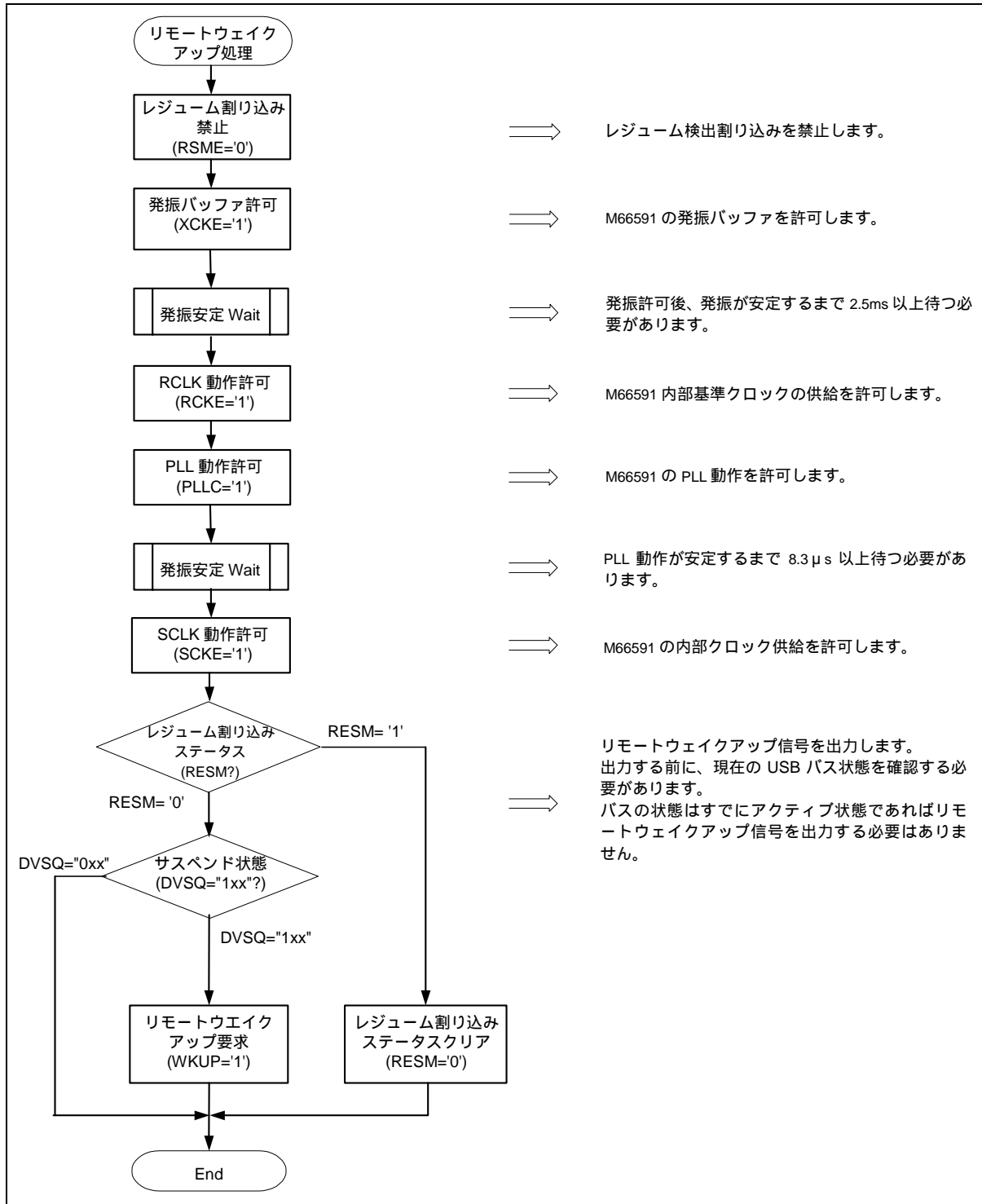


図3.9 リモートウェイクアップ出力フローチャート

3.3 割り込み機能

3.3.1 割り込み機能概要

M66591には、7種類の割り込み要因があります。表3.2に7種類の割り込み要因を示します。

「INT端子コンフィギュレーションレジスタ0、2、3」で割り込み要因を禁止/許可することが出来ます。図3.10に割り込み関連図を示します。

「INT端子コンフィギュレーションレジスタ1」で割り込み出力のセンスモード及び極性を設定することが出来ます。図3.11 割り込み信号出力タイミングを示します。

表3.2 割り込み一覧表

ステータスビット	割り込み名称	割り込み要因	関連ステータスビット
VBUSINT	VBUS割り込み (接続、切断の検出)	VBUS入力の状態変化 (“L” “H”、“H” “L”の両方の変化)	VBUSSTS
RESM	レジューム割り込み	サスペンド状態において、USBバスの状態変化 (Jステート Kステート、またはJステート SE0)	-
DVST	デバイスステート遷移割り込み	デバイスステートの遷移 <ul style="list-style-type: none"> USBバスリセット検出 サスペンド状態検出 Set Address実行 Set Configuration実行 	DVSQ [2:0]
CTRT	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移 <ul style="list-style-type: none"> セットアップステージ完了 コントロールライト転送データステージ完了 コントロールリード転送データステージ完了 コントロール転送ステータスステージ完了 コントロール転送シーケンスエラー 	CTSQ [2:0]
BEMP	PIPEバッファエンプティ/サイズエラー割り込み	各PIPEにおいて、INトークンに対しFIFOバッファにあるすべてのデータの送信が終了しバッファがエンプティになったとき、OUTトークンに対しマックスパケットサイズを越えているパケットを受信したとき	PIPEB_EMP_OVR6、 PIPEB_EMP_OVR5、 PIPEB_EMP_OVR4、 PIPEB_EMP_OVR3、 PIPEB_EMP_OVR2、 PIPEB_EMP_OVR1、 DCP_EMP_OVR
INTN	PIPEバッファノットレディ割り込み	各PIPEにおいて、INトークンに対しFIFOバッファに送信可能なデータがないとき、OUTトークンに対しFIFOバッファにデータを格納領域がなく、受信できないとき	PIPEB_NRDY6、 PIPEB_NRDY5、 PIPEB_NRDY4、 PIPEB_NRDY3、 PIPEB_NRDY2、 PIPEB_NRDY1、 DCP_NRDY
INTR	PIPEバッファレディ割り込み	各PIPEバッファがレディ (リード/ライト可能状態) になったとき	PIPEB_RDY6、 PIPEB_RDY5、 PIPEB_RDY4、 PIPEB_RDY3、 PIPEB_RDY2、 PIPEB_RDY1、 DCP_RDY

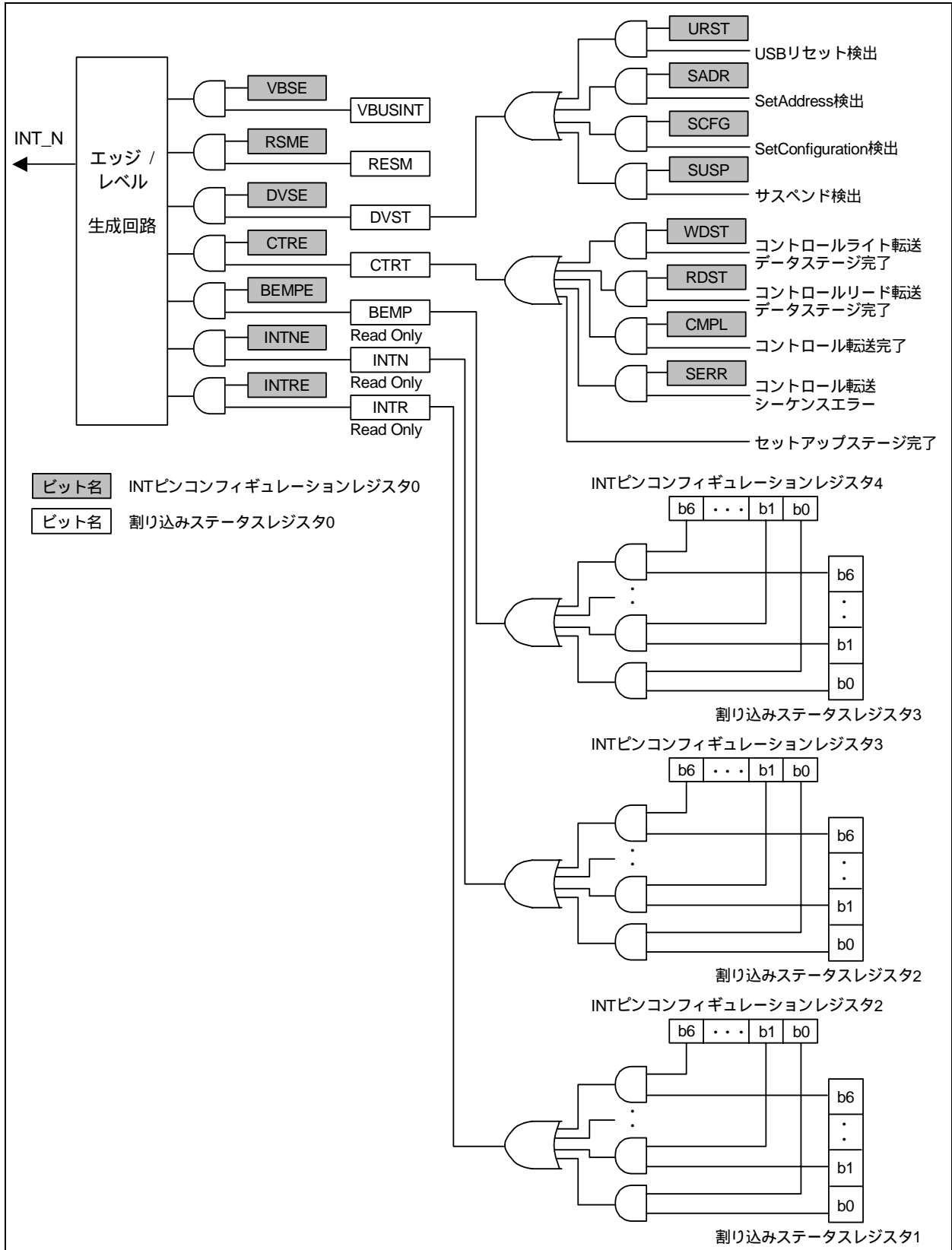


図3.10 割り込み関連図

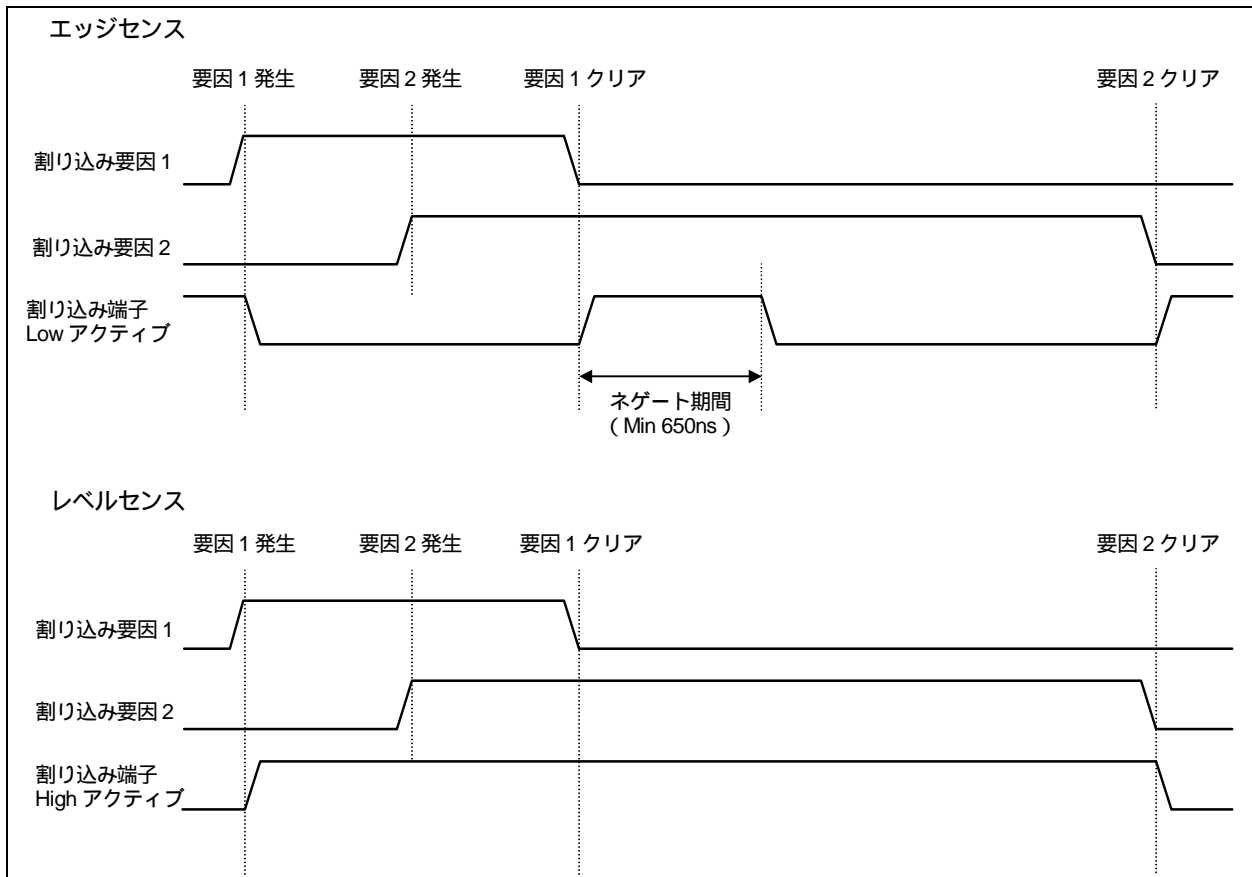


図3.11 割り込み信号出力タイミング

3.3.2 VBUS (アタッチまたはデタッチ検出) 割り込み

VBUS入力端子に“L” “H”または、“H” “L”のいずれかの変化があった場合に、VBUS割り込み (VBUSINT) が発生します。「割り込みステータスレジスタ0」のVBUSSTSビットでVBUS端子のレベルを確認でき、ホストと接続 (アタッチ) または、切断 (デタッチ) の検出ができます。

3.3.3 レジューム割り込み

デバイスステートがサスペンド状態でUSBバス状態が変化 (J-State K-State/SE0) したときにレジューム割り込み (RESM) が発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

3.3.4 デバイスステート遷移割り込み

「図3.12 デバイスステート遷移図」にM66591のデバイスステート遷移図を示します。M66591はデバイスステートを管理し、デバイスステートが更新されたときにデバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は状態遷移割り込みで検出できませんのでご注意ください。各状態遷移は「INT端子コンフィギュレーションレジスタ0」で個別に割り込み許可 / 禁止を設定することができます。また、デバイスステートは「割り込みステータスレジスタ0」のDVSQ [2:0]ビットで確認できます。

Defaultステートに遷移する場合は、リセットハンドシェイクプロトコルの終了した状態遷移割り込みが発生しません。

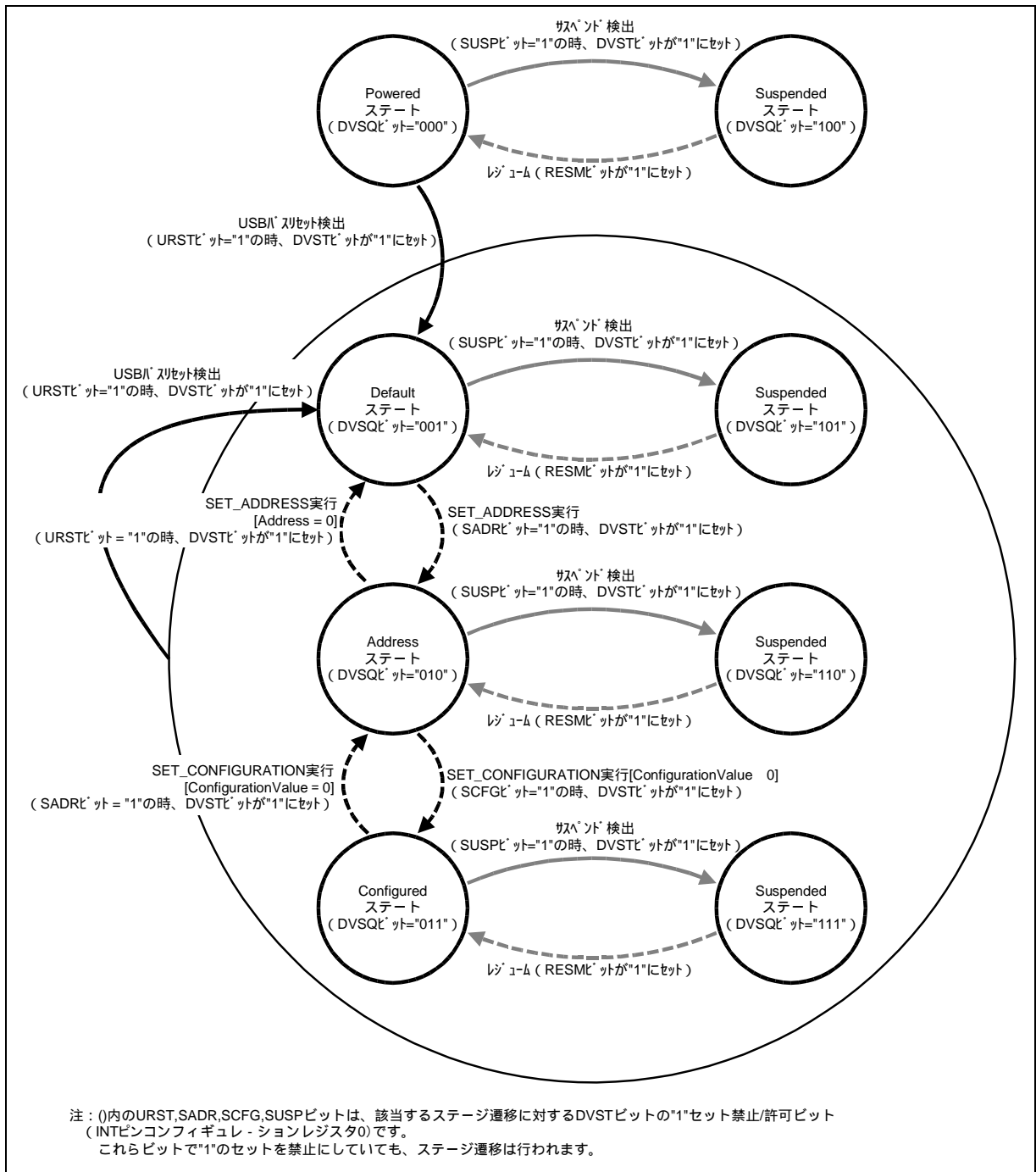


図3.12 デバイス状態遷移図

3.3.5 コントロール転送ステージ遷移割り込み

「図3.13 コントロール転送ステージ遷移図」にM66591のコントロール転送ステージ遷移図を示します。コントロール転送でステージ遷移が生じたときにコントロール転送ステージ遷移割り込みが発生します。M66591は転送シーケンスを管理しています。自動応答するSET_ADDRESSリクエスト以外はステージ遷移の検出により割り込みが発生します。各ステージ遷移は「INTコンフィギュレーションレジスタ0」で個別に割り込み許可/禁止を設定することができます。ただし、セットアップステージ完了は禁止できませんのでご注意ください。コントロール転送ステージは「割り込みステータスレジスタ0」のCTSQ [2:0]ビットで確認できます。

コントロール転送シーケンスエラーを以下に示します。エラーが発生したとき、「DCPコントロールレジスタ」のPID [1:0]ビットが“1x” (STALL) になります。

<コントロールリード転送時>

- ・ データステージのINトークンに対して、1度もデータ転送していない状態でOUTまたはPINGトークンを受信
- ・ ステータスステージでINトークン受信
- ・ ステータスステージでデータパケットが“DATA PID = DATA0”のパケットを受信

<コントロールライト転送時>

- ・ データステージのOUTトークンに対して、1度もACK応答していない状態でINトークンを受信
- ・ データステージで最初のデータパケットが“DATAPID = DATA0”のパケットを受信
- ・ ステータスステージでOUTまたはPINGトークン受信

<コントロールライトノーデータ転送時>

- ・ ステータスステージでOUTまたはPINGトークン受信

なお、ノーデータでないコントロールライト転送のデータステージの受信データ数が、USBリクエストのwLength値を越えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送のステータスステージでzero-lengthパケット以外のパケット受信にはACK応答を行い、受信データをバッファに格納しません。

シーケンスエラーによるCTRT割り込み発生時 (“SERR = 1”設定)は“CTSQ [2:0] = 110”の値がユーザーシステムからの“CTRT = 0”書き込み (割り込みステータスクリア)まで保持されます。このため、“CTSQ [2:0] = 110”保持状態では新しいUSBリクエストを受信してもセットアップステージ完了のCTRT割り込みは発生しません。(セットアップステージ完了はコントローラ内部で保持されており“CTRT = 0”書き込みによる割り込みステータスクリア後セットアップステージ完了割り込みが発生します。)

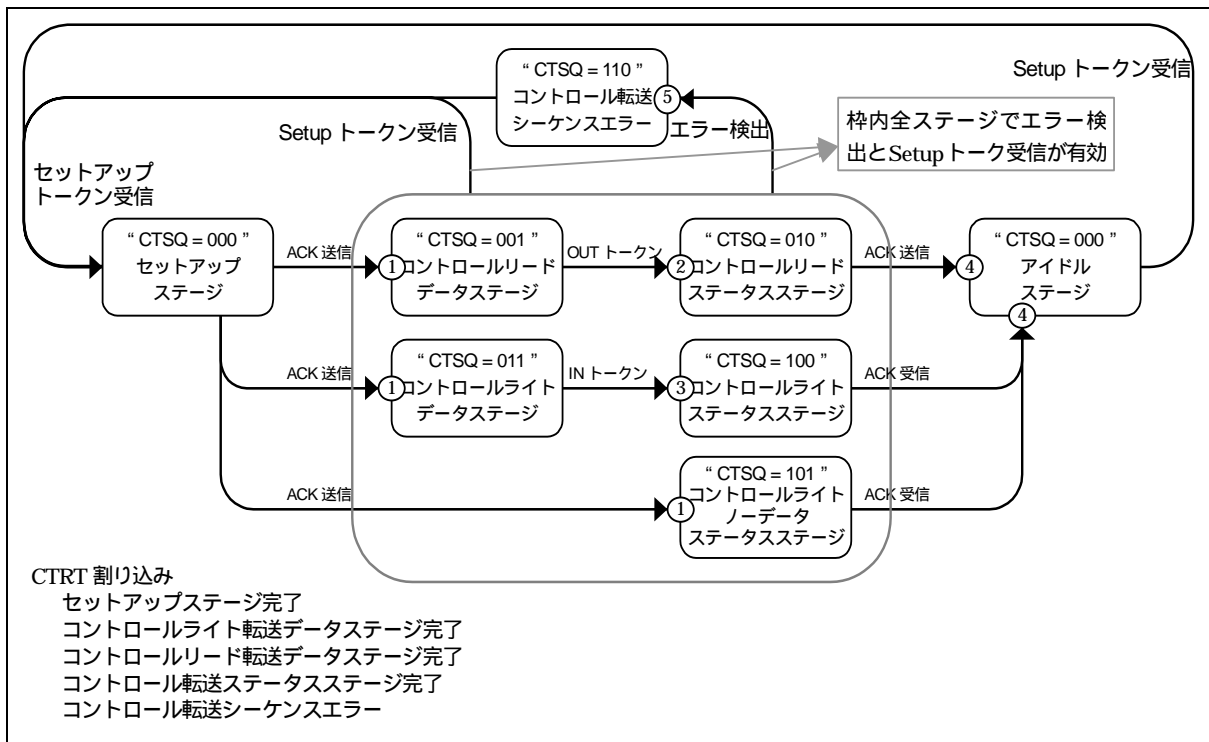


図3.13 コントロール転送ステージ遷移図

3.3.6 PIPEバッファレディ (INTR) 割り込み

表3.3にM66591のINTR割り込み発生条件表を、図3.14にM66591のINTR割り込み発生タイミング図を示します。各PIPEの要因は「割り込みステータスレジスタ1」の該当ビットで確認します。また、DMA転送を使用している場合などは1トランザクションごとの割り込み通知ではなく、トランスファー終了割り込みとして動作をするように、割り込み要因はバッファメモリアクセス方向及び「PIPEコンフィギュレーションウィンドウレジスタ0」のBFREビットにより設定を行います。ただし、DCPはBFREビットによる選択ができません。

「INT端子コンフィギュレーションレジスタ0」のINTREビットと「INT端子コンフィギュレーションレジスタ2」のPIPEB_RE6-1ビットとDCP_REビットで割り込みを禁止している場合も、「割り込みステータスレジスタ1」に割り込み要求が格納されます。「割り込みステータスレジスタ0」のINTRビットのクリアは、「割り込みステータスレジスタ1」の全てのビットをクリアすることにより、M66591がクリアします。

表3.3 INTR割り込み発生条件表

バッファアクセス	転送方向	PIPE	BFRE	INTR 割り込み発生条件	備考
読み出し	OUT	DCP	-	zero-lengthパケット受信	バッファクリアが必要
				ショートパケット受信、バッファフル受信	
		1-4	0	zero-lengthパケット受信	バッファクリアが必要
				ショートパケット受信、バッファフル受信もしくはトランザクションカウンタ完了	
1	1	zero-lengthパケット受信	バッファクリアが必要		
		ショートパケット受信もしくはトランザクションカウンタでバッファ読み出し終了	バッファクリアが必要		
書き込み	IN	DCP	-	発生しない。	
		1-4	0	パケット送信 (バッファフル送信)	書き込みが可能
			1	発生しない。	
		5-6	-	パケット送信 (バッファフル送信)	書き込みが可能

zero-lengthパケットを受信した場合、INTR割り込み要求が“1”になりますが、zero-lengthパケットの読み出しはできませんので、バッファクリアを行ってください。

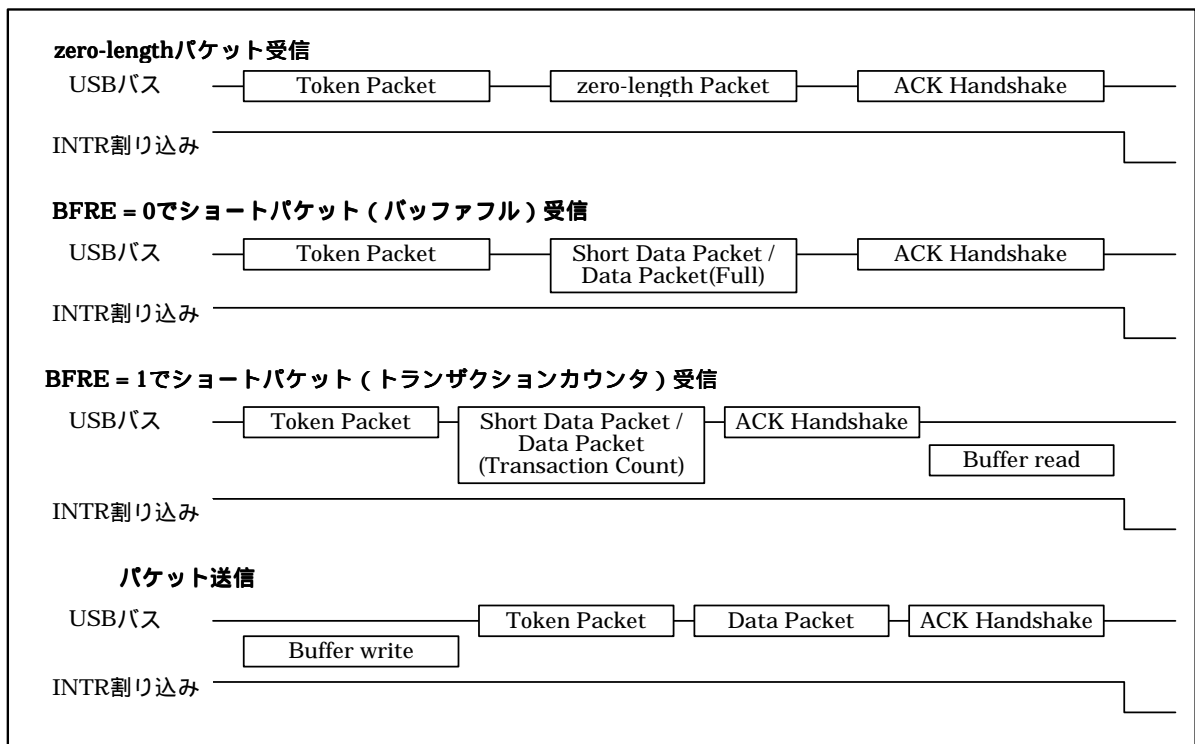


図3.14 INTR割り込み発生タイミング図

3.3.7 PIPEバッファノットレディ (INTN) 割り込み

図3.15にM66591のINTN割り込み発生タイミング図を示します。また、INTN割り込み要求発生条件を以下に示します。各PIPE毎の要因は「割り込みステータスレジスタ2」の該当ビットで確認することが出来ます。要因はデータ送受信により下記のように異なります。

(1) データ送信時

「PIPEiコントロールレジスタ」の”PID = BUF”設定状態でバッファメモリが未準備の場合にINトークンを受信（データアンダーラン）したとき

(2) データ受信時

「PIPEiコントロールレジスタ」の”PID = BUF”設定状態でバッファメモリが未準備の場合にOUTトークンを受信（データオーバーラン）したとき

なお、コントロール転送ステータスステージはCCPLで応答するためNAK応答でもバッファ未準備扱いされません。

「INT端子コンフィギュレーションレジスタ0」のINTNEビットと「INT端子コンフィギュレーションレジスタ3」のPIPEB_NRE6-1ビットとDCP_NREビットで割り込みを禁止している場合も、「割り込みステータスレジスタ2」に割り込み要求が格納されます。「割り込みステータスレジスタ0」のINTNビットのクリアは、「割り込みステータスレジスタ2」の全てのビットをクリアすることにより、M66591がクリアします。

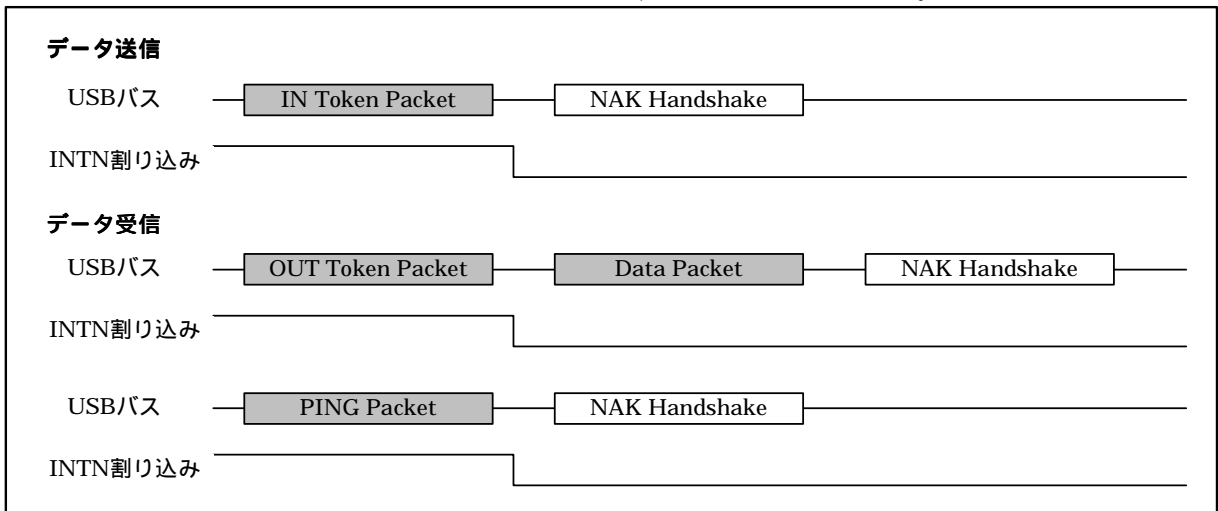


図3.15 INTN割り込み発生タイミング図

3.3.8 PIPEバッファエンブティ/サイズエラー (BEMP) 割り込み

図 3.17にM66591のBEMP割り込み発生タイミング図を示します。また、BEMP割り込み要求発生条件を以下に示します。

(1) データ送信時

バッファメモリに格納されたすべてのデータが送信された (バッファエンブティ) とき

なお、バッファメモリをダブルバッファで使用している場合は片側のバッファがエンブティ状態で反対側バッファからデータが送信し終わった時はBEMP割り込みが発生しますが、書き込みを行っている最中 (非VALID状態) で反対側バッファからデータが送信し終わった時はBEMP割り込みは発生しません。

(2) データ受信時

受信したデータパケットのサイズが設定したマックスパケットサイズを超えたとき

なお、この時、当該PIPEのPIDビットが“STALL設定”にされます。

「INT端子コンフィギュレーションレジスタ0」のBEMPEビットと「INT端子コンフィギュレーションレジスタ4」のPIPEB_EMP_E6-1ビットとDCP_EMPEビットで割り込みを禁止している場合も、「割り込みステータスレジスタ3」に割り込み要求が格納されます。「割り込みステータスレジスタ0」のINTNビットのクリアは、「割り込みステータスレジスタ3」の全てのビットをクリアすることにより、M66591がクリアします。

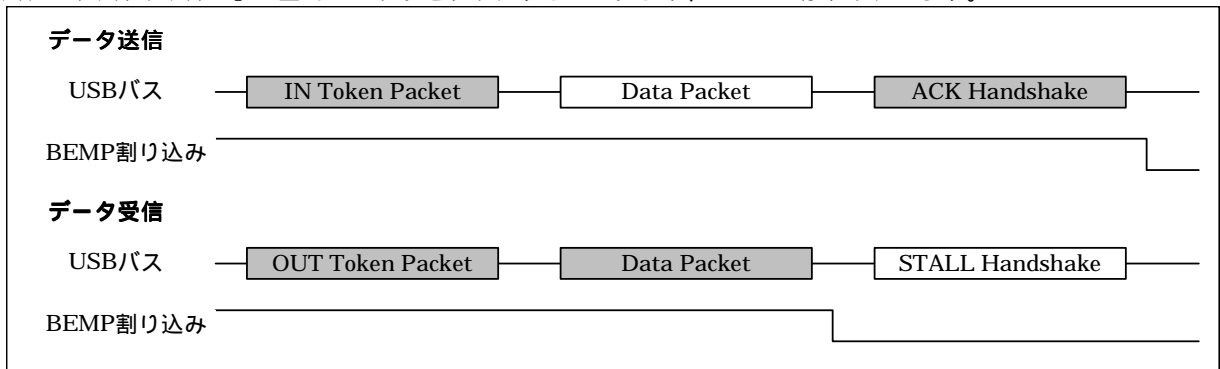


図3.16 BEMP割り込み発生タイミング

3.4 コントロール転送とエニュメレーション

コントロール転送は、セットアップステージ、データステージ、およびステータスステージで構成されます。M66591はステージ管理を行い、割り込みでステージの遷移をCPUに知らせます。

コントロール転送は、DCP（デフォルトコントロールPIPE）を使ってデータ転送を行います。

DCPのバッファメモリはコントロールリード/コントロールライト共用固定領域で256バイトシングルバッファです。DCPのバッファへの読み書きは「C_FIFOポートレジスタ」に經由して行います。C_FIFOポートレジスタはCPUアクセスのみ可能で、DMAアクセスの設定はできません。

3.4.1 セットアップステージ

M66591はセットアップパケットに対してがUSB規格で定義されているとおりACK応答します。

USBリクエストレジスタ0、USBリクエストレジスタ1、USBリクエストレジスタ2、USBリクエストレジスタ3はセットアップステージのUSBリクエストを保存する読み出し専用レジスタです。これらリクエストレジスタが更新した場合（新しいUSBリクエストを受信）は「割り込みステータスレジスタ0」のVALIDビットが"1"に、「DCPコントロールレジスタ」のPID [1:0]ビットが"00"（NAK）に及びCCPLビットが"0"に設定されます。

コントロール転送に対する応答処理は必ず「割り込みステータスレジスタ0」のVALIDビットに"0"を設定したうえ行ってください。これはコントロール転送処理中に新しいUSBリクエストを受信したことを確認するために必要な処理となります。また"VALID = 1"状態では以下のレジスタビットに書き込み保護が施されており、最新のリクエストに応答することが可能です。

- (1) 「DCPコントロールレジスタ」のPID [1:0]ビットに"01（BUF）」設定が行えず、データステージを終了することが出来ない。
- (2) 「DCPコントロールレジスタ」のCCPLビットに"1"設定が行えず、ステータスステージで正常応答（zero-length/パケット及びACK応答）することができない。

M66591は受信したUSBリクエストの方向ビット（bmRequestTypeのbit8）及びリクエストデータ長（wLength）を自動判別し、コントロールリード転送、コントロールライト転送及びコントロールライトノードータ転送を識別しステージ遷移を管理します。

3.4.2 データステージ

DCPバッファメモリを使用したデータ転送です。受信したUSBリクエストに対応したデータ転送をDCPで行ってください。

DCPバッファメモリへのアクセスする前に「C_FIFOポートコントロールレジスタ0」のISELビットでアクセス方向指定を行ってください。INTR割り込み、BEMP割り込みにより複数パケットにわたったデータ転送が可能です。

コントロールライト転送ではバッファメモリの状況に応じてNYETを応答します。NYET応答については「3.5.1 PING/NYETコントロール」を参照ください。

3.4.3 ステータスステージ

バッファメモリは使用せずに「DCPコントロールレジスタ」のCCPLビット操作によりコントロール転送を終了します。

セットアップステージで確定したデータ転送方向に従い、M66591によりzero-length/パケット送信及びACK受信もしくはzero-length/パケット受信及びACK送信応答します。

3.4.4 自動応答コントロール機能

正常なSET_ADDRESSリクエストにはM66591が自動応答します。SET_ADDRESS以外の全てのリクエストには対応するS/Wによる応答が必要です。SET_ADDRESSリクエストに以下のエラーがある場合はS/Wによる応答が必要です。

- | | | |
|---------------------------------|---------------|----------------------|
| ・ コントロールリード転送以外のコントロール転送 : | bmRequestType | "0x00" |
| ・ リクエストエラーのコントロール転送 : | wIndex | "0x00" |
| ・ コントロールライトノードータ転送以外のコントロール転送 : | wLength | "0x00" |
| ・ リクエストエラーのコントロール転送 : | wValue > | "0x7F" |
| ・ デバイスステートエラーのコントロール転送 : | DVSQ = | "011 (Configured)" |

3.4.5 コントロール転送動作の概要

図3.17 ~ 図3.22はコントロール転送の動作の概要を示します。

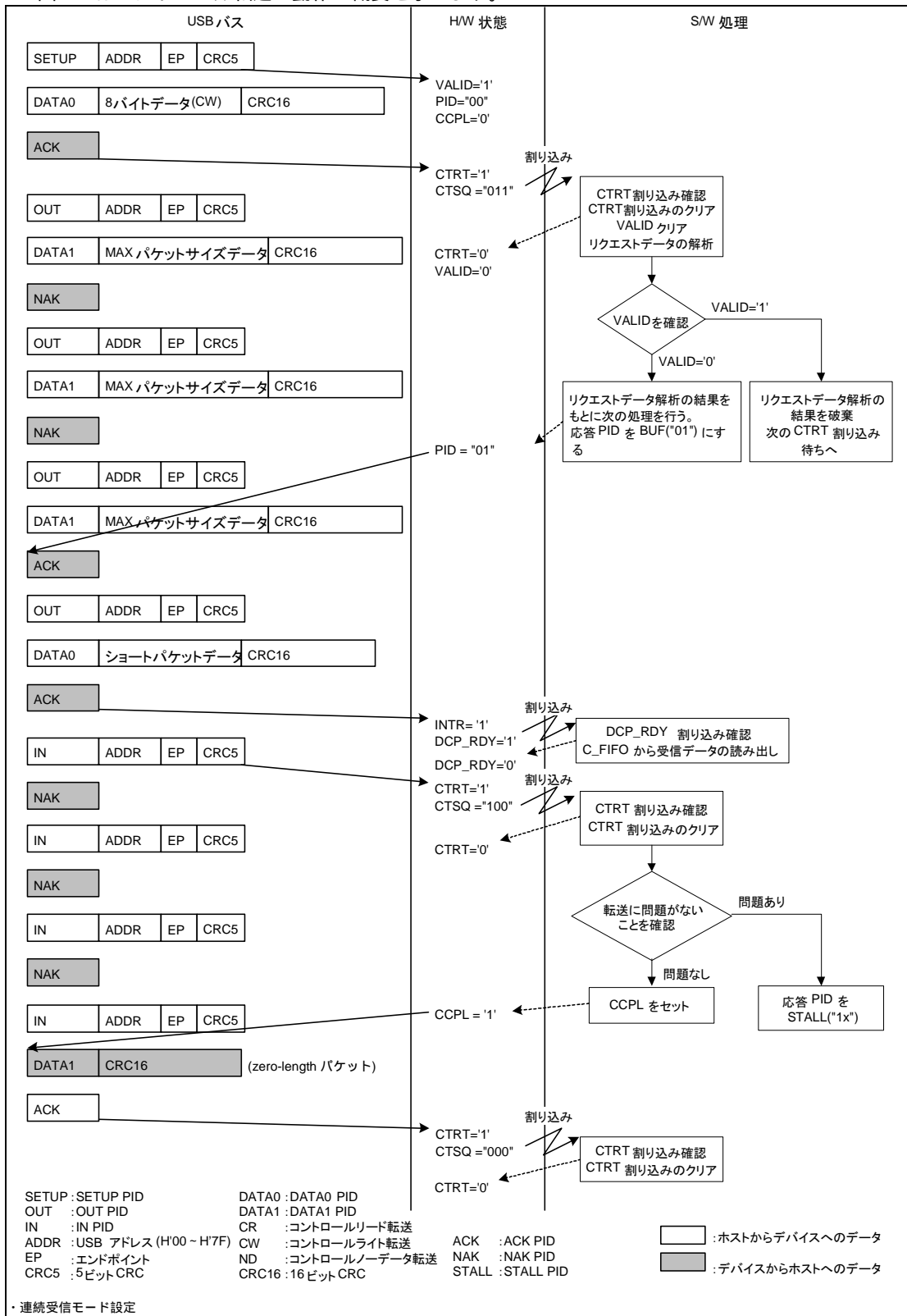


図3.17 コントロールライト転送動作例

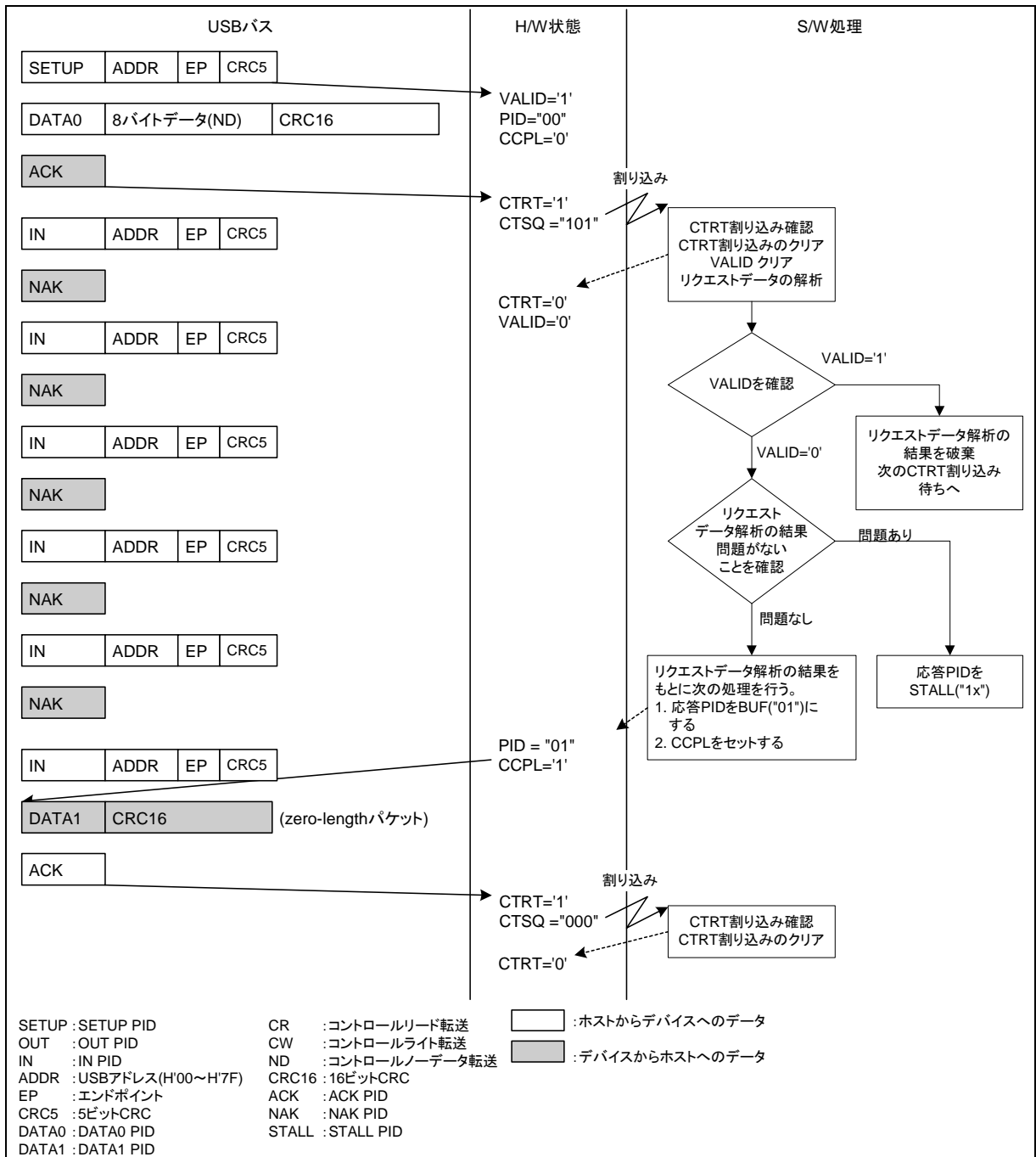


図3.19 ノーデータコントロール転送動作例

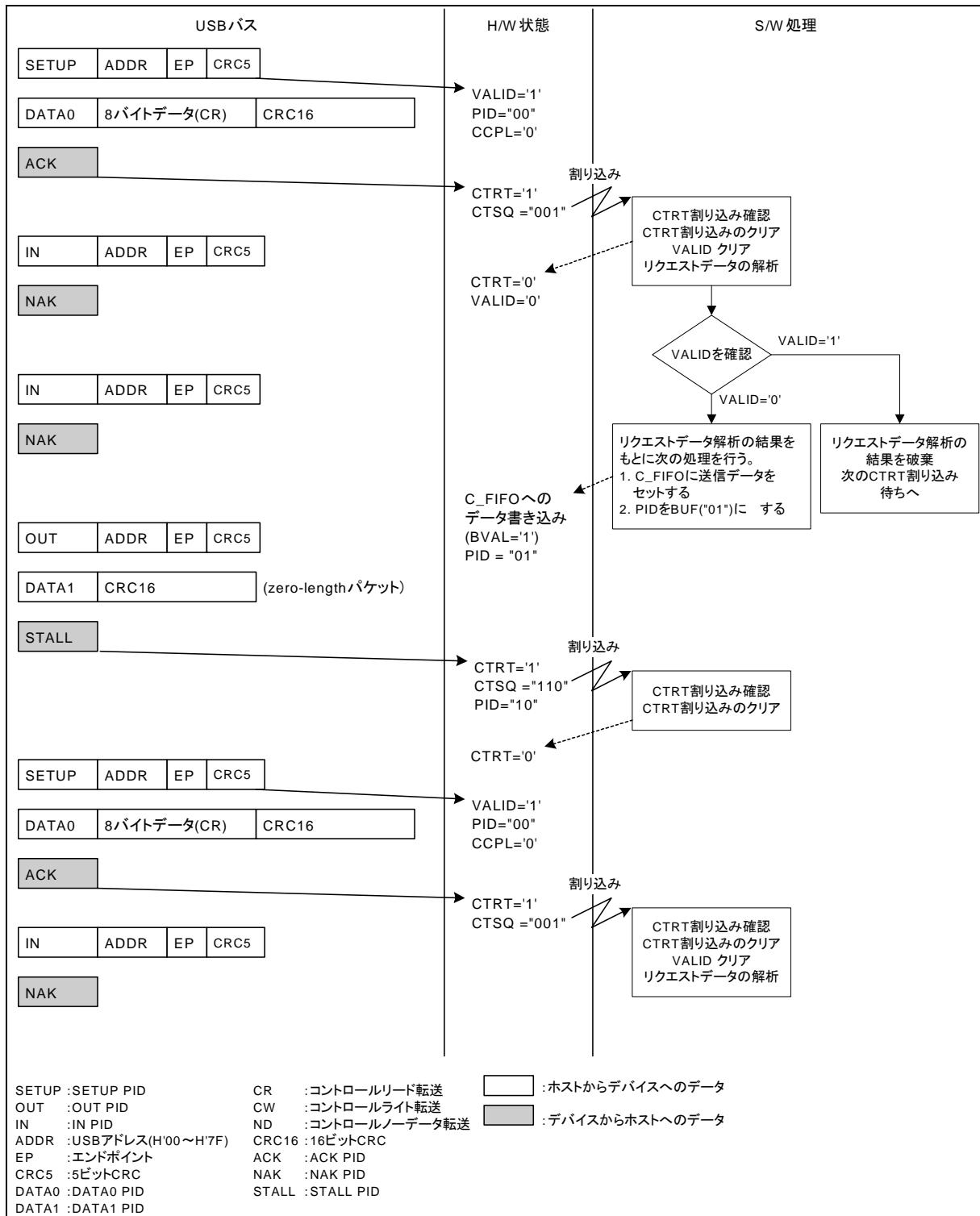


図3.20 コントロール転送エラー動作例

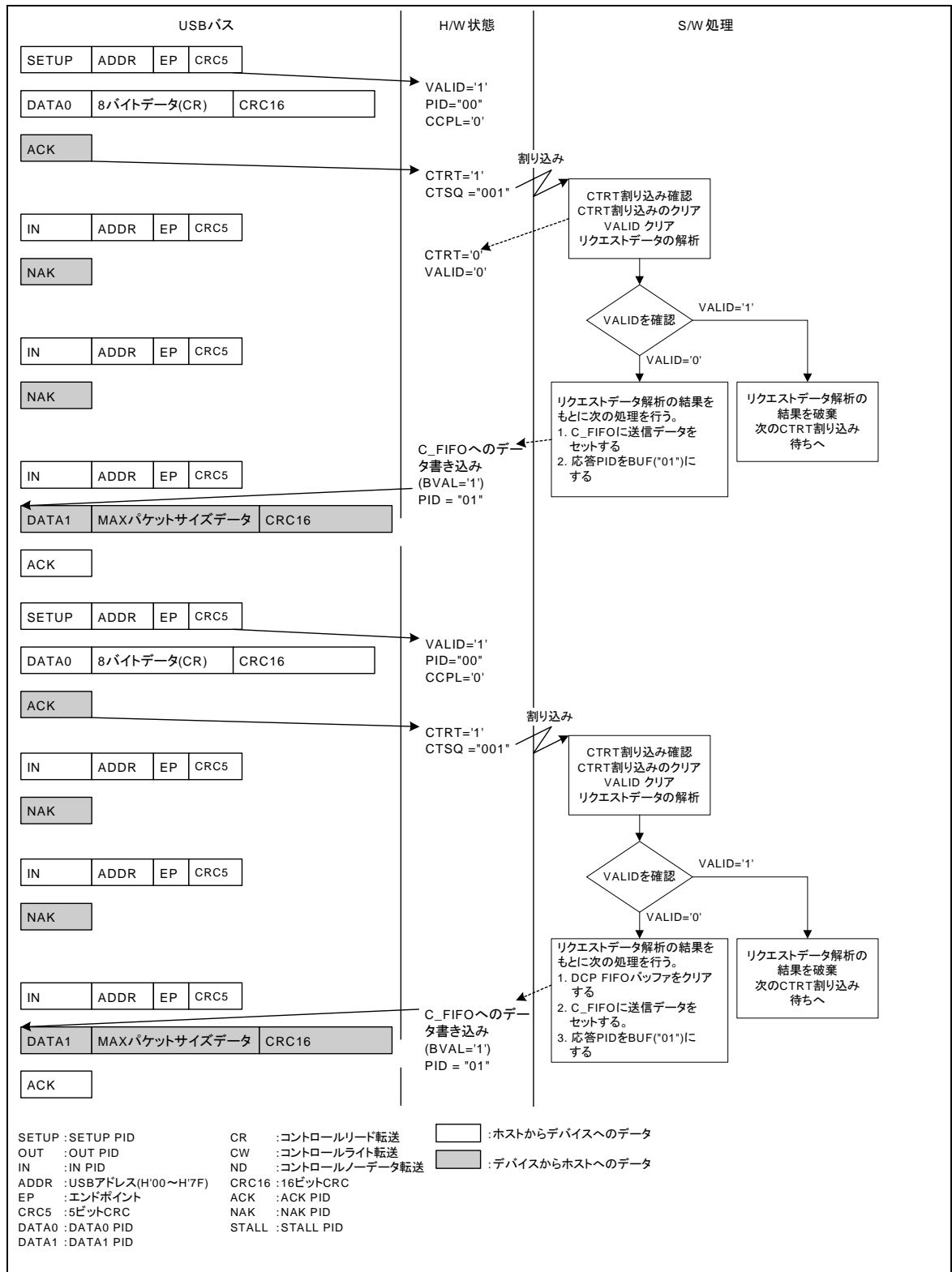


図3.22 セットアップ連続の動作例 (2)

3.5 PIPEとPIPEコントロール

M66591はDCP以外に、PIPE1～PIPE6の6本のPIPEを内蔵しています。この6本のPIPE（PIPE1～PIPE6）はそれぞれバルクとインタラプト転送に設定することができます。表3.4にM66591のPIPE設定項目一覧表を示します。

表3.4 PIPE設定項目一覧表

レジスタ名	ビット名	設定内容
DCPコンフィギュレーションレジスタ1	CNTMD	連続送受信モード
DCPコンフィギュレーションレジスタ2	DCP_MXPS [6:0]	DCPのマックスパケットサイズ設定
DCPコントロールレジスタ	SQCLR	DCPのシーケンスビットクリア
	NYETMD	NYET応答モード設定
	PID [1:0]	応答PID設定
PIPEコンフィギュレーションウィンドウレジスタ0	PEN	PIPE使用禁止 / 許可の設定
	ITMD	インタラプト転送のデータ再送機能有効 / 無効設定 PIPE5とPIPE6のみ設定可
	BFRE	バッファレディ割り込みモード設定 PIPE1～4のみ設定可
	DBLB	ダブルバッファモード設定 PIPE1～4のみ設定可、PIPE5～6はシングルバッファ固定
	CNTMD	連続送受信モード設定 PIPE1～4のみ設定可、PIPE5～6は非連続送受信モード固定
	DIR	転送方向 PIPE1～4のみ設定可、PIPE5～6はIN方向固定
	EP_NUM [2:0]	エンドポイント番号 選択しているPIPEのエンドポイント番号表示
PIPEiコントロールレジスタ (i = 1-6)	ACLAR	バッファオートクリアモード設定
	SQCLR	PIPE1～6のシーケンスビットクリア
	NYETMD	NYET応答モード設定 PIPE1～PIPE4のみ設定可
	PID	応答PID設定

3.5.1 転送タイプ

M66591の各PIPEの転送タイプは下記のように固定になります。

- DCP : コントロール転送固定
- PIPE1-4 : バルク転送固定
- PIPE5-6 : インタラプトIN転送固定

3.5.2 エンドポイント番号

M66591の各PIPEのエンドポイント番号は固定です。DCPはEP0、PIPE1～PIPE6はEP1～EP6です。「PIPEコンフィギュレーションウィンドウレジスタ0」のEP_NUM [2:0]ビットで各PIPEのエンドポイント番号を読み出すことが可能です。

3.5.3 マックスパケットサイズ設定

DCPのマックスパケットサイズは、「DCPコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビットにより設定することが可能です。PIPE1～PIPE6のマックスパケットサイズは固定です。Hi-Speedモードで動作時とFull-Speedモードで動作時のマックスパケットサイズの設定は以下に示します。

Hi-Speedモードで動作時 :

- DCP : 64バイト固定
- PIPE1～PIPE4 : 512バイト固定
- PIPE5～PIPE6 : 64バイト固定

Full-Speedモードで動作時 :

- DCP : 8 / 16 / 32 / 64バイト選択可能
- PIPE1～PIPE4 : 64バイト固定

3.5.4 応答PID

「DCPコントロールレジスタ」及び「PIPEiコントロールレジスタ(i=1~6)」のPID [1:0]ビットで各PIPEの応答PIDを設定します。トランザクション結果により、M66591のH/Wによる自動的にPID [1:0]ビットをセットする場合があります。

(1) 制御S/WによりPID [1:0]ビットを設定時の動作

NAK (H'00) 設定：PIPEのバッファメモリの状態にかかわらず、発生したトランザクションに対して常に"NAK"を応答します。

BUF (H'01) 設定：バッファメモリの状況に応じてトランザクションに応答します。

STALL (H'1x) 設定：発生したトランザクションに対して常に"STALL"を応答します。

STALL設定ではアイソクロナスINトランザクションに対して無応答になります。

また、DCPでセットアップトランザクションに対してはいかなるPID設定に対しても常に"ACK"を応答し専用レジスタにUSBリクエストを格納します。

(2) M66591のH/WによりPID [1:0]ビットをセットが発生する場合

NAK (00) 設定：USBリクエストが正常受信できた。(DCPのみ)

BUF (01) 設定：M66591のH/WによるBUFのセットはありません。

STALL (1x) 設定：受信データパケットでマックスパケットサイズオーバーエラーを検出した。または、コントロール転送ステージ遷移エラーを検出した。

以下のレジスタを設定するときに、対応するPIPEまたは選択されているPIPEのPID [1:0]をNAKに設定する必要があります。

(1) 「C_FIFOポートコントロールレジスタ0」のISELビット（同レジスタのCurrent_PIPE [2:0]がDCP (000) に設定されているときのみ）

(2) 「C_FIFOポートコントロールレジスタ1」のBCLRビット（上記(1)と同様、Current_PIPE [2:0]がDCP (000) に設定されているときのみ）

(3) 「C_FIFOポートコントロールレジスタ2」のTGLビット、CSLRビット

(4) 「D0_FIFOポートコントロールレジスタ0」のABCRビット、TRENbビット、TRclrビット

(5) 「D0_FIFOポートコントロールレジスタ2」のTRNCNT [15:0]ビット

(6) 「DCPコンフィギュレーションレジスタ1」のCNTMDビット

(7) 「DCPコンフィギュレーションレジスタ2」のDCP_MXPS [6:0]ビット

(8) 「DCPコントロールレジスタ」のSQCLRビット、NYETMDビット

(9) 「PIPEコンフィギュレーションウィンドウレジスタ0」のPENビット、ITMDビット、BFREビット、DBLBビット、CNTMDビット、DIRビット

(10) 「PIPEiコントロールレジスタ(i=1~6)」のACLRビット、SQCLRビット、NYETMDビット

3.5.5 データPIDシーケンスビット

データPIDのシーケンスビットは正常なデータ転送が行われるときにM66591によりトグル動作します。データ送信時はACK応答の受信タイミングで、データ受信時はACK応答の送信タイミングでシーケンスビットが切り替わります。また、「DCPコントロールレジスタ」及び「PIPEiコントロールレジスタ(i=1~6)」のSQCLRビットでデータPIDシーケンスビットを変更することができます。

DCPのSQCLRビットへの"1"設定はコントロール転送のデータステージのデータPIDをDATA1に設定します。

PIPE1~6のSQCLRビットへの"1"設定は各PIPEのデータPIDをDATA0に設定します。

3.5.6 PING/NYETコントロール

PING/NYETコントロールは、Hi-SpeedモードバルクOUTとHi-SpeedモードコントロールライトのデータステージのOUT転送の時にのみ有効です。

(1) NYET応答

各PIPEのNYET応答の振る舞いは「PIPEiコントロールレジスタ(i=1~6)」のNYETMDビットによって設定します。

NYETMD = "0"：バッファの状態に応じて、M66591は自動的にNYET応答を行います。

この設定の場合、バッファのモード設定によって以下のようにNYETを応答します。

・PIPEバッファがシングルバッファの場合は、常にNYETを応答します。

・PIPEバッファがダブルバッファの設定の場合は、FIFOバッファの状態によってNYETを応答します。

なお、ショートパケットを受信した場合、バッファの状態に関係なくACKを応答します。

NYETMD = "1"：バッファの状態に関係なく、常にACK/NAK応答を行います。NYET応答を行いません。

(2) PINGフローコントロール

M66591はPINGパケットに対し、対応のPIPEのバッファがデータを受信できる状態の場合にはACK応答を応答します。対応するPIPEのバッファがデータを受信できない場合にはNAKを応答しノットレディ割り込みが発生します。

3.5.7 連続転送機能

「DCPコンフィギュレーションレジスタ1」及び「PIPEiコンフィギュレーションウィンドウレジスタ0」のCNTMDビットで連続送受信モード/非連続送受信モードを選択することができます。この選択は、DCPとPIPE1~PIPE4に対して有効です。図3.23に連続送受信モード及び非連続送受信モード時のM66591のバッファメモリ動作例を示します。

連続送受信モード機能は、複数のトランザクションを連続して送受信する機能です。連続送受信モードに設定された時には、各PIPEに割り当てられたバッファサイズまでCPUへ割り込みが発生せずにデータ転送することができます。

連続送信モードでは書き込んだデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信（ショートパケットもしくはマックスパケットサイズの整数倍でバッファサイズ未満）の場合には送信データの書き込み後、「C_FIFOポートコントロールレジスタ1」と「D0_FIFOポートコントロールレジスタ2」のBVALビットを"1"に設定する必要があります。

連続受信モードではバッファサイズもしくはトランザクションカウント終了、またはショートパケットを受信までデータを連続受信しパケット毎の割り込みは発生しません。

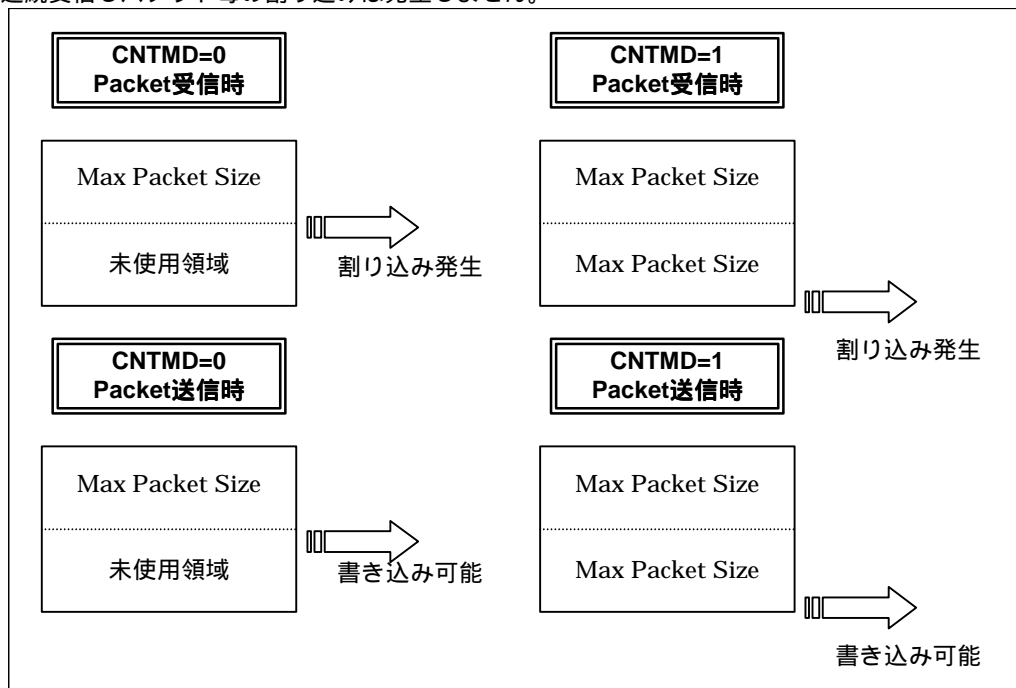


図3.23 バッファメモリ動作例

3.5.8 バッファオートクリアモード機能

M66591には、「PIPEiコントロールレジスタ (i = 1~6)」のACLRビットに"1"を設定することにより、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、M66591に対してACK応答を行います。なお、本機能はバッファメモリ読み出し方向（同レジスタのDIRビットが"0"）のみ設定可能です。

また、ACLRビットに"1"を設定し、続けて"0"を設定することで、アクセス方向に関係なく、当該PIPEのバッファメモリをクリアできます。

3.6 バッファメモリ

3.6.1 バッファメモリ割り当て及びバッファ領域

M66591のDCPとPIPE1～6は固定のバッファメモリ領域及びサイズが割り当てられています。S/Wで割り当てる必要はありません。

表3.5にM66591のFIFOバッファメモリ領域マップを示します。

表3.5 バッファメモリマップ

バッファメモリ	バッファサイズ	備考
DCP用バッファ	256バイト	シングルバッファ、連続転送可能
PIPE1用バッファ	1Kバイト	ダブルバッファ設定可能、Full-Speedモードでは連続転送可能
PIPE2用バッファ	1Kバイト	ダブルバッファ設定可能、Full-Speedモードでは連続転送可能
PIPE3用バッファ	512バイト	シングルバッファ、Full-Speedモードでは連続転送可能
PIPE4用バッファ	512バイト	シングルバッファ、Full-Speedモードでは連続転送可能
PIPE5用バッファ	64バイト	シングルバッファ、非連続転送のみ
PIPE6用バッファ	64バイト	シングルバッファ、非連続転送のみ

3.6.2 FIFOバッファアクセス

M66591のDCP及びPIPE1～PIPE6のFIFOバッファへのアクセスは、FIFOポートレジスタをアクセスすることによって行います。FIFOポートレジスタは、C_FIFOポート（CPUアクセス用）とD0_FIFOポート（DMAアクセス用）と2個のFIFOポートレジスタがあります。

表3.6にM66591のFIFOポート機能設定表を示します。データ書き込みアクセス時はバッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと自動的に送信可能状態（VALID状態）となります。端数データを送信可能状態にするには「C_FIFOポートコントロールレジスタ1」と「D0_FIFOコントロールレジスタ2」のBVALビットによる書き込み終了通知が必要です。DMA転送時にはDEND端子による通知も可能です。

読み出しアクセス時は全てのデータを読み出すと自動的に新しいパケット受信可能状態（EMPTY状態）となります。受信データ長は「C_FIFOポートコントロールレジスタ1」と「D0_FIFOポートコントロールレジスタ2」のDTLN [9:0]ビットで確認します。zero-lengthパケット受信時（DTLN = 0）は読み出し可能状態（READY状態）となりますがデータは読み出せません。この時は同レジスタのBCLRビットによるバッファクリアが必要です。

表3.6 FIFOポート機能設定表

レジスタ名	ビット名	設定内容及び機能
C_FIFOポートコントロールレジスタ0	RCNT	リードカウントモード
	REW	バッファメモリREWIND (再読み出し, 再書き込み)
	MBW	FIFOポートアクセスビット幅
	ISEL	DCPのFIFOポートアクセス方向
	Current_PIPE [2:0]	C_FIFOポートアクセスのPIPE設定
C_FIFOポートコントロールレジスタ1	BVAL	バッファメモリ書き込み終了
	BCLR	バッファメモリクリア
	FRDY	C_FIFOポートレジスタへアクセス可否確認
	CPU_DTLN	受信データ長確認
C_FIFOポートコントロールレジスタ2	TGL	CPU/SIEバッファトグル
	SCLR	SIE側バッファクリア
	SBUSY	SIE側バッファアクセス中確認
D0_FIFOポートコントロールレジスタ0	RCNT	リードカウントモード
	REW	バッファメモリREWIND (再読み出し, 再書き込み)
	ABCR	自動バッファクリアモード D0_FIFOポート専用
	MBW	FIFOポートアクセスビット幅
	TREnb	トランザクションカウンタ動作許可
	TRclr	カレントトランザクション回数クリア
	Current_PIPE [2:0]	D0_FIFOポートアクセスのPIPE設定
D0_FIFOポートコントロールレジスタ2	BVAL	バッファメモリ書き込み終了
	BCLR	バッファメモリクリア
	FRDY	C_FIFOポートレジスタへアクセス可否確認
	DMA_DTLN	受信データ長確認
D0_FIFOポートコントロールレジスタ3	TRNCNT [15:0]	受信トランザクションカウンタ設定

3.6.2.1. FIFOポート選択

表3.7にM66591のPIPE別FIFOポートアクセス表を示します。「C_FIFOポートコントロールレジスタ0」と「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットにPIPE番号を選択することによって、「C_FIFOポートレジスタ」または「D0_FIFOポートレジスタ」でアクセスするPIPEを選択することができます。

表3.7 PIPE別FIFOポートアクセス表

PIPE	アクセス方法	使用可能なポート
DCP	CPUアクセス	C_FIFOポートレジスタ0
PIPE1~PIPE6	CPUアクセス	C_FIFOポートレジスタ0
	DMAアクセス	D0_FIFOポートレジスタ0

「C_FIFOポートコントロールレジスタ0」と「D0_FIFOポートコントロールレジスタ0」のREWビット、MBWビット及びCurrent_PIPE [2:0]ビットでFIFOポートアクセスのPIPE仕様を選択します。DCPはISELビットを含めてPIPE仕様を選択します。

現在アクセス中のPIPEアクセスを一時的に中断し、別のPIPEに対するアクセスを行い、再度現在のPIPE処理を継続して行うことが可能です。PIPEアクセスを一時的に中断（別のPIPE処理実施）し、再び元のPIPEアクセス処理を継続する場合には「C_FIFOポートコントロールレジスタ0」と「D0_FIFOポートコントロールレジスタ0」のREWビットを使用します。

“REW = 1”でPIPE選択を行うとバッファメモリアクセスポインタをリワインドし、バッファメモリの先頭からデータの再読み書きが可能です。また、“REW = 0”でPIPE選択を行うとバッファメモリアクセスポインタをリワインドせずに、前回選択時の続きから継続してデータの読み書きが可能です。

FIFOポートへアクセスするには、PIPE選択後“FRDY = 1”を確認する必要があります。

3.6.2.2. バッファステータス

表3.8にM66591のバッファステータス表を示します。バッファメモリステータスを「DCPコントロールレジスタ」及び「PIPEiコントロールレジスタ(i=1~6)」のBSTSビットで確認することが出来ます。

表3.8 バッファステータス表

ISEL または DIR	BSTS	バッファメモリの状態
0(受信方向)	0	受信データ無しまたは受信中。CPUは読み出し不可。
0(受信方向)	1	受信データ有りまたはzero-length/パケット受信。CPUが読み出し可能。 ただし、zero-length/パケット受信時は読み出し不可のためバッファクリアが必要
1(送信方向)	0	送信を完了していない。CPUは書き込み不可。
1(送信方向)	1	送信完了。CPUは書き込み可能。

3.6.2.3. バッファクリア

表3.9にM66591による各PIPEのバッファメモリのクリア方法一覧表を示します。バッファメモリは下記の4ビットでクリアすることができます。

表3.9 バッファクリア一覧表

ビット名	BCLR	SCLR	ABCR	ACLR
レジスタ	C_FIFOポートコントロールレジスタ1 D0_FIFOポートコントロールレジスタ2	C_FIFOポートコントロールレジスタ2	D0_FIFOポートコントロールレジスタ0	PIPEiコントロールレジスタ (i=1-6)
機能	CPU側バッファメモリをクリアします	SIE側バッファメモリをクリアします	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。3.7.6参照	受信したパケットをすべて破棄する自動バッファクリアモードです。3.5.8参照
クリア方法	"1"を書き込みでクリア	"1"を書き込みでクリア	"1"設定でモード有効 "0"設定でモード無効	"1"設定でモード有効 "0"設定でモード無効

3.6.2.4. SIE側バッファの読み出し (C_FIFOポート読み出し方向)

"FRDY = 0"の状態、FIFOバッファからデータ読み出しが行えない場合でも、「C_FIFOポートコントロールレジスタ2」のTGLビット及びSBUSYビットでSIE側バッファにある受信データを読み出すことが可能です。

この機能を使用するときには、「PID = NAK」を設定し、「SBUSY = 0」を確認のうえ「TGL = 1」書き込みを行ってください。M66591はSIE側バッファをレディ状態 ("FRDY = 1") にしますので「C_FIFOポートレジスタ」からデータの読み出しが可能になります。

TGLビット操作でINTR割り込みが発生します。なお、DCP選択時はTGLビット操作が出来ません。

3.6.2.5. SIE側バッファのクリア (C_FIFOポート書き込み方向)

"FRDY = 0"状態で、FIFOバッファへデータ書き込みが行えない場合でも、「C_FIFOポートコントロールレジスタ2」のSCLRビット及びSBUSYビットで送信準備中のデータキャンセルが可能です。

この機能を使用するときには、「PID = NAK」を設定し、「SBUSY = 0」を確認のうえ「SCLR = 1」書き込みを行ってください。M66591はSIE側バッファをエンプティ状態 ("FRDY = 1") にしますので「C_FIFOポートレジスタ」から新しいデータ書き込みが可能になります。

SCLRビット操作でINTR割り込み及びBEMP割り込みが発生します。なお、DCP選択時はSCLRビット操作が出来ません。

3.6.3 FRDYビット、CPU_DTLN [9:0]ビット及びDMA_DTLN [9:0]ビットの制約事項

3.6.3.1. Current_PIPE [2:0]ビットを変更した時のFRDYビット、CPU_DTLN [9:0]ビット及びDMA_DTLN [9:0]ビットリードタイミング

Current_PIPE [2:0]ビットを変更した時のFRDYビット、CPU_DTLN [9:0]ビット及びDMA_DTLN [9:0]ビットが確定するまでタイミングを以下に示します。なおC_FIFOポートに対しては、ISELビットを変更した時も同様のタイミングになります。

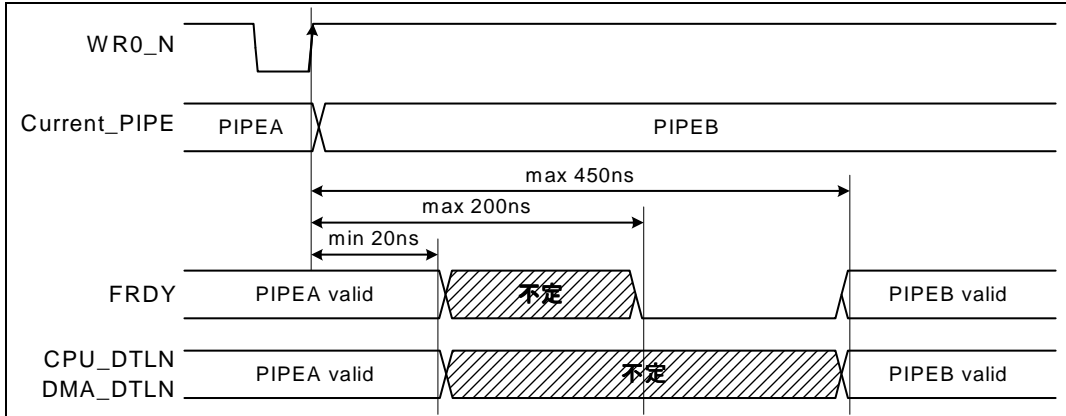


図3.24 PIPE変更後のFRDY、CPU_DTLN及びDMA_DTLNのリードタイミング

PIPE変更後FRDY/DTLN保持時間	: min 20ns
PIPE変更後FRDY = "L"遷移時間	: max 200ns
PIPE変更後FRDY/DTLN有効データ確定時間	: max 450ns

3.6.3.2. 読み出し途中のCPU_DTLN [9:0]とDMA_DTLN [9:0]リードタイミング

Current_PIPE [2:0]ビットを変更した場合には、上記(1)に示す通りの確定時間で値は確定します。しかし、「C_FIFOポートコントロールレジスタ0」と「D0_FIFOポートコントロールレジスタ0」のRCNTビットが"1"、かつFIFOアクセスの途中でCPU_DTLN [9:0]ビットまたはDMA_DTCN [12:0]ビットの内容を確認する場合のタイミングは、以下ようになります。

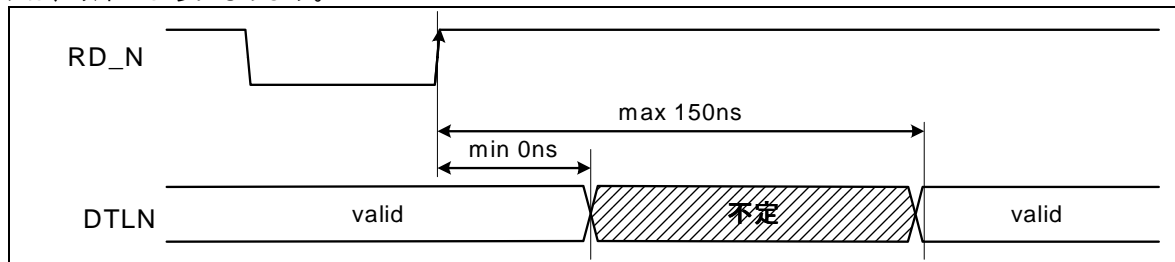


図3.25 読み出し途中のCPU_DTLNとDMA_DTLNのリードタイミング

FIFOリードアクセス後DTLN保持時間	: min 0ns
FIFOリードアクセス後DTLN有効データ確定時間	: max 150ns

RCNT = "0"場合には、FIFOアクセス中でもCPU_DTLN [9:0]ビットとDMA_DTLN [9:0]ビットは読み出し不可期間はなく値は確定しています。

3.6.3.3. ダブルバッファ時の読み出し・書き込み完了後のFRDYリードタイミング

ダブルバッファのPIPEに対して、バッファリードまたはライト完了後、もう一方のバッファがアクセス可能状態の時のFRDY確定タイミングを以下に示します。なおIN方向のPIPEでBVALによるショートパケット送信を行う時も同様のタイミングになります。

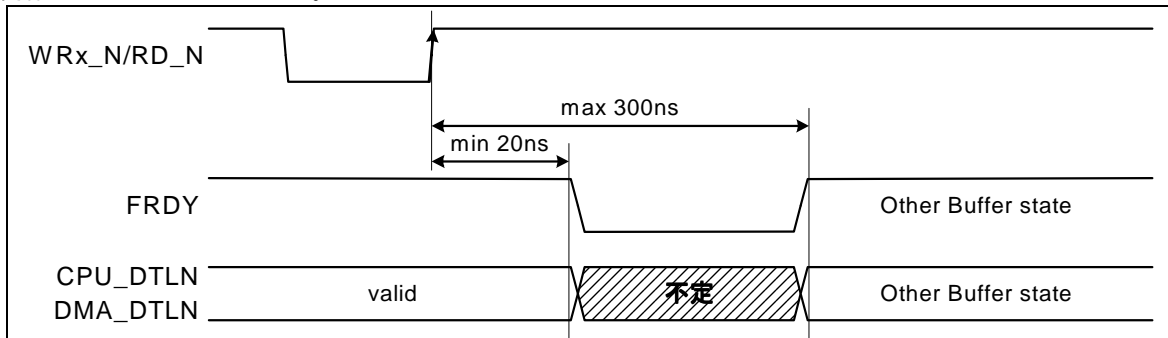


図3.26 ダブルバッファ時の読み出し・書き込み完了後のFRDYリードタイミング

FIFOアクセス完了後FRDY = “L”遷移時間 : min 20ns
 ダブルバッファFIFOアクセス完了後別バッファFRDY確定時間 : max 300ns

もう一方のバッファがアクセス可能状態で無い場合の確定時間は、HOSTとの転送状況によります。

3.7 DMA転送

3.7.1 DMA転送概要

M66591はPIPE1～PIPE6に対して、外部のDMAコントローラと接続し、8/16ビット幅のDMA転送を行うことができます。DMA転送は外部のDMACと、DREQ/DACK信号または、DREQ/(A7-1+CS_N)のハンドシェイクによって実現します。DMAによるデータ転送は1データ（8/16ビット）ごとにDREQ信号をアサートするサイクルスチール転送モードとFIFOバッファ内の全データ転送が完了するまでDREQ信号がアサート続けられるバースト転送モードを選択することができます。DMA転送及びD0_FIFOポートでサポートされる機能を使用する場合はD0_FIFOポートにPIPEが常にアサインされていることが条件になります。

DREQ信号は、「D0_FIFOポートコントロールレジスタ0」のCurrent_PIPE [2:0]ビットで設定されたPIPEのバッファが、読み出し可能 / 書き込み可能状態になった時にアサートされます。

表3.10にM66591DMA転送方法の設定組み合わせを示します。DMA転送の方法設定は「データピン&DMA制御ピンコンフィギュレーションレジスタ1」と「データピン&DMA制御ピンコンフィギュレーションレジスタ2」設定します。

表3.10 M66591DMA転送方法の設定組み合わせ

DMA転送設定	データピン&DMA制御ピンコンフィギュレーションレジスタ				DMA転送使用端子						
	1	2			D15-0	SD7-0	DREQ	DACK	AD7-1+CS	RD/WR	DSTB
	DB_Cfg	DreqE	RWstb	DackE							
CPUバスによるDMA転送 (DACK使用)	0	1	0	1		-			-		-
CPUバスによるDMA転送 (AD7-1+CS使用)	0	1	0	0		-		-			-
スプリットバスによる DMA転送	1	1	1	1	-				-	-	

3.7.2 DMA転送方法

DMA転送方法は、サイクルスチールモードとバースト転送モードがあります。「データピン & FIFO/DMA制御ピンコンフィギュレーションレジスタ2」のBurstビットによって選択されます。

(1) サイクルスチールモード (Burst = "0")

サイクルスチールモードでは、1データ (8/16ビット) 完了ごとにDREQ信号がアサートします。

(A-1) DACK信号及びRD_N / WR0-1_N信号によりDMA転送を制御 (DackE = "1"、RWstb = "0")

このモードではDACK信号とRD_N / WRx_N信号を用いて「D0_FIFOポートレジスタ0」にアクセスします。このモードでアクセス中 (DACK信号とRD_N / WRx_N信号が同時にアクティブ) にCS_N信号を"H"に固定する必要があります。

図3.27の (A-1) を参照してください。

(A-2) DACK信号及びDSTB_N信号によりDMA転送を制御 (DackE = "1"、RWstb = "1")

このモードではDACK信号とDSTB_N信号を用いて「D0_FIFOポートレジスタ0」にアクセスします。このモードではRD_N / WR0-1_N信号は使用しません。

図3.27の (A-2) を参照してください。

(A-3) CS_N信号とアドレス信号によりDMA転送を制御 (DackE = "0"、RWstb = "0")

このモードではアドレス信号、RD_N / WR0-1_N信号及びCS_N信号を用いて「D0_FIFOポートレジスタ0」にアクセスします。このモードではDACK信号を使用しません。

図3.27の (A-3) を参照してください。

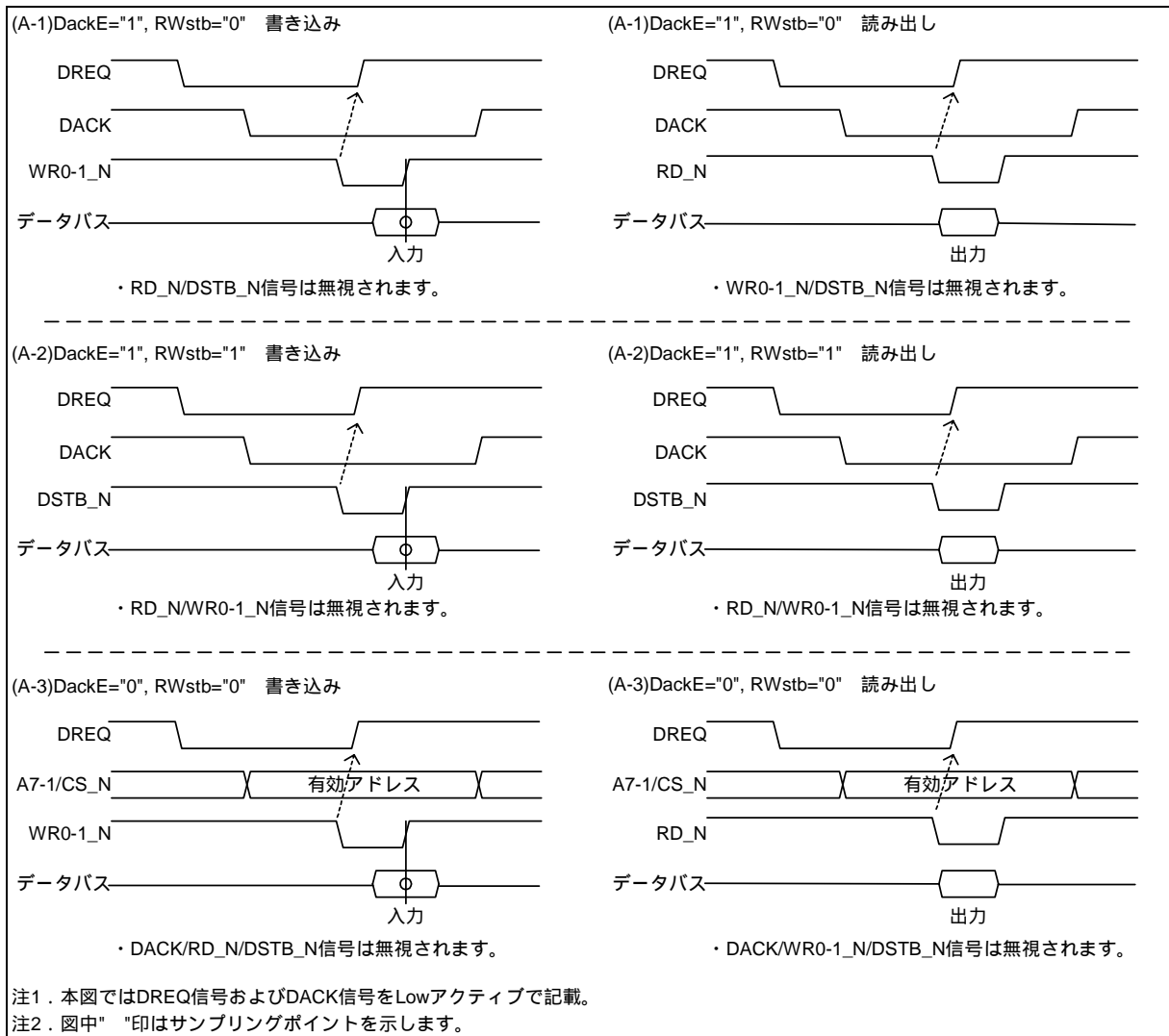


図3.27 DMAサイクルスチール転送時のアクセスタイミング

(2) バーストモード (Burst = "1")

バーストモードでは、バッファ内全てのデータ転送が完了するまでDREQ信号がアサートされ、転送完了でネゲートします。

- (B-1) DACK信号及びRD_N / WR0-1_N信号によりDMA転送を制御 (DackE = "1", RWstb = "0")
 このモードではDACK信号とRD_N / WR0-1_N信号を用いて「D0_FIFOポートレジスタ0」にアクセスします。このモードでアクセス中 (DACK信号とRD_N / WRx_N信号が同時にアクティブ) にCS_N信号を"H"に固定する必要があります。
 図3.28の (B-1) を参照してください。
- (B-2) DACK信号及びDSTB_N信号によりDMA転送を制御 (DackE = "1", RWstb = "1")
 このモードではDACK信号とDSTB_N信号を用いて「D0_FIFOポートレジスタ0」にアクセスします。このモードではRD_N / WR0-1_N信号は使用しません。
 図3.28の (B-2) を参照してください。
- (B-3) CS_N信号とアドレス信号によりDMA転送を制御 (DackE = "0", RWstb = "0")
 このモードではアドレス信号、RD_N / WR0-1_N信号及びCS_N信号を用いて「D0_FIFOポートレジスタ0」にアクセスします。このモードではDACK信号を使用しません。
 図3.28の (B-3) を参照してください。

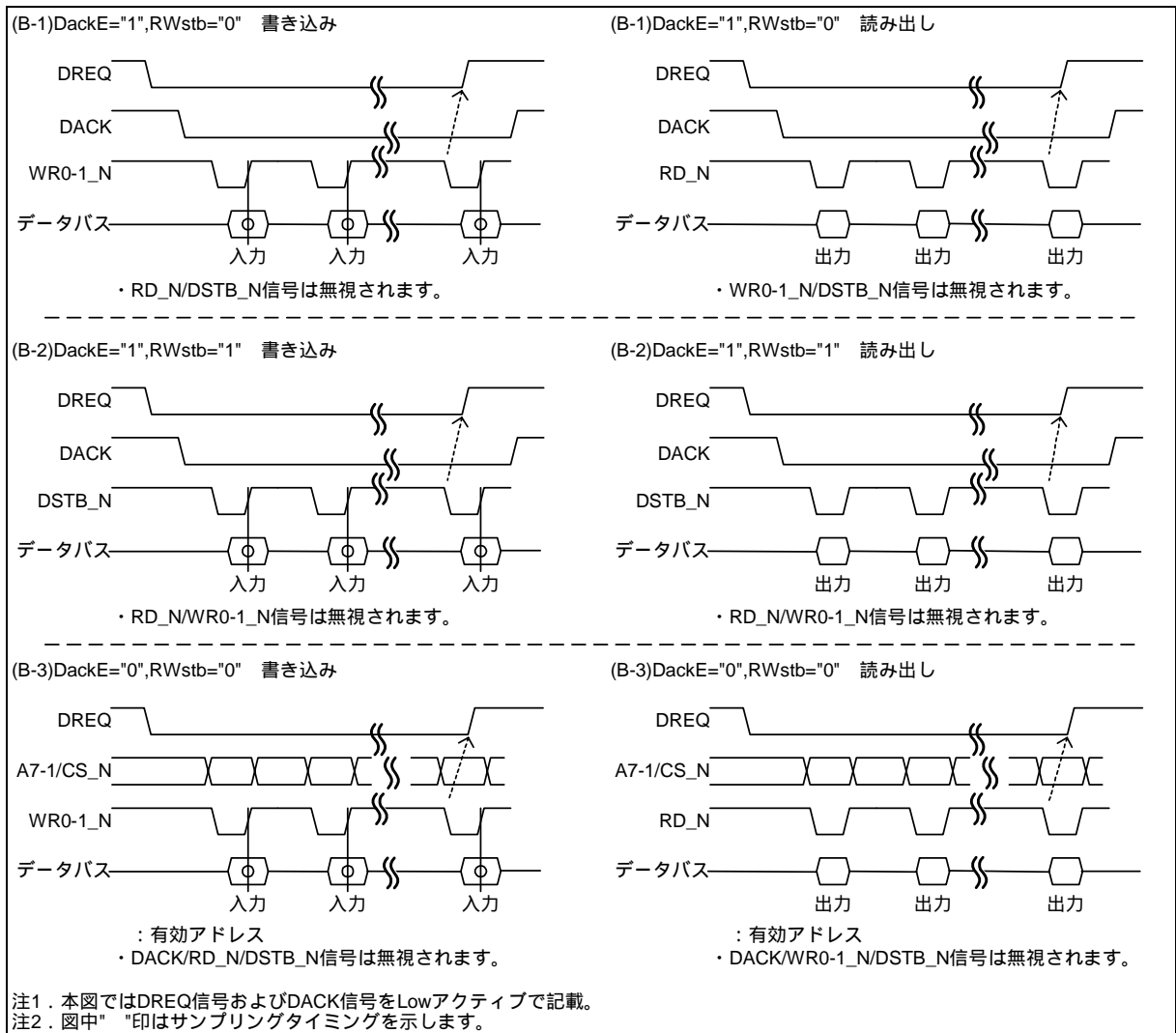


図3.28 DMAバースト転送時のアクセスタイミング

3.7.3 DEND端子

M66591は、DEND端子を使用したDMA転送を終了させることが可能です。DEND端子はUSBデータ転送方向により、入出力方向を決定します。

(1) バッファメモリ読み出し方向

DEND端子は、出力端子となり、外部DMAコントローラに対して最後のデータ転送通知が可能です。DEND信号アサート条件は、「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2」のPktmdビットによって設定することができます。

表3.11にM66591のDEND端子アサート条件一覧表を示します。

表3.11 DEND端子アサート条件一覧表

イベント Pktmd	トランザクション カウント終了	パケット受信によるパ ッファレイ割り込み 発生	zero-lengthパケット以 外のショートパケット 受信	バッファ非エンプティ 時のzero-lengthパケッ ト受信	バッファエンプティ時 のzero-lengthパケッ ト受信 *1
0	アサート	アサートせず	アサート	アサート	アサート
1	アサート	アサート	アサート	アサート	アサートせず

*1 バッファエンプティ時のzero-lengthパケット受信ではDREQ信号はアサートしません。

(2) バッファメモリ書き込み方向

DEND端子は入力端子となり、バッファメモリを送信可能状態（"BVAL = 1"を設定したのと同じ状態）にします。

3.7.4 Obusビット

M66591は「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ2」のObusビットにより、SD0-7とDEND端子のタイミングを、表3.12のように変えることができます。Obusビットは、スプリットバスを用いたDMA転送時のみ有効な機能です。CPUバスでDMA転送を行う場合には、Obusビットの設定は無視されます。

表3.12 OBUSビット設定値によるの動作相違点

方向	Obus 設定	動作
読み出し	0	DACKとDSTB_Nの入力に関わらず、SD7-0、DEND信号は常に出力します。 DACKとDSTB_Nがネゲートされると次のデータが出力されます。 このため、DMACのデータセットアップ時間が確保され、高速なDMA転送が可能になります。
	1	DACKとDSTB_Nがアサートされてから、SD7-0、DEND信号を出力します。 DACKとDSTB_NがネゲートされるとSD7-0、DEND信号はHi-zになります。
書き込み	0	DACKの入力に関わらず、SD7-0、DEND信号を常に入力可能とします。 DMACはDACK信号をアサートするより前から、次のデータを出力することが可能です。このため、M66591のデータセットアップ時間が確保されて、高速なDMA転送が可能になります。
	1	DACKがアサートされている場合のみ、SD7-0、DEND信号は入力可能となります。 DACKがネゲートされている場合は、SD7-0、DEND信号は無視します。

読み出し方向で"Obus = 0"に設定すると、SD7-0、DEND信号が常に出力になりますので、他のデバイスとバスを共有する場合には信号の衝突にご注意下さい。

書き込み方向で"Obus = 0"に設定すると、SD7-0、DEND信号を常に入力可能な状態になります。信号を中間電位にしないようご注意ください。

図3.29にM66591の、Obusビットによるデータセットアップタイミング概要図を示します。

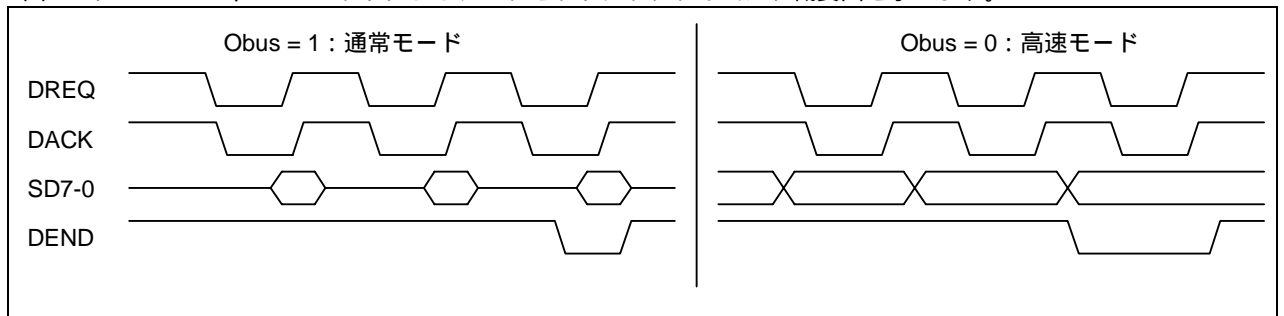


図3.29 データセットアップタイミング概要図

3.7.5 トランザクションカウンタ (D0_FIFOポート読み出し方向)

トランザクションカウンタはD0_FIFOポートで選択されているPIPEがバッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。

トランザクションカウンタはトランザクション回数を指定する「D0_FIFOポートコントロールレジスタ3」と内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致するとバッファメモリが読み出し可能状態 (レディ状態) となります。「D0_FIFOポートコントロールレジスタ0」のTRclrビットでトランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントしなおすことが可能です。

「D0_FIFOポートコントロールレジスタ0」TREnbビットの設定によりTRNCNT [15:0]ビット読み出し時の情報が異なります。

- TREnb = 0 : 設定したトランザクションカウンタ値が読み出せます。
- TREnb = 1 : 内部でカウントしたカレントカウンタ値が読み出せます。

トランザクションカウンタ制御には次の特徴と注意事項があります。

- (1) 指定したPIPEのトランザクションが終了するまでCurrent_PIPE [2:0]ビットは変更できない。
- (2) カレントカウンタがクリアされていないとCurrent_PIPE [2:0]ビットは変更できない。
- (3) トランザクションカウント中でかつ、PID = "01" (BUF) の場合はカレントカウンタはクリアできない。
- (4) FIFOバッファ内にデータが残っている状態ではカレントカウンタはクリアできない。

3.7.6 自動バッファクリアモード (D0_FIFOポート読み出し方向)

M66591は、「D0_FIFOポートコントロールレジスタ0」のABCRビットに"1"を設定することによって、バッファメモリからのデータ読み出しを完了した場合に、当該PIPEのバッファメモリを自動的にクリアします。

この機能を使用することによって、バッファクリアが必要な状態が発生しても、制御用プログラムの介入によるバッファクリアが不要になります。このため、制御用プログラムを介入させないDMA転送が可能となります。なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表3.13に各設定での、パケット受信とバッファメモリクリア処理表を示します。

表3.13 パケット受信とバッファメモリクリア処理表

レジスタ設定 パケット 受信時のバッファ状態	ABCR = "0"		ABCR = "1"	
	BFRE = "0"	BFRE = "1"	BFRE = "0"	BFRE = "1"
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
zero-lengthパケット受信	クリア 要	クリア 要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア 要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア 要	クリア不要	クリア不要

4 電気的特性

4.1 絶対最大定格

記号	項目	定格値	単位
VDD	コア電源電圧	-0.3~+4.2	V
VIF	IO 電源電圧	-0.3~+4.2	V
AFEAVDD	USB トランシーバ部アナログ電源電圧	-0.3~+4.2	V
AFEDVDD	USB トランシーバ部デジタル電源電圧	-0.3~+4.2	V
BIASVDD	BIAS 電源電圧	-0.3~+4.2	V
PLLVDD	PLL 電源電圧	-0.3~+4.2	V
Vbus	Vbus 入力電圧	-0.3~+5.5	V
V _I (IO)	システムインタフェース入力電圧	-0.3 ~VIF+0.3	V
V _O (IO)	システムインタフェース出力電圧	-0.3~VIF+0.3	V
Pd	消費電力	1250	mW
Tstg	保存温度	-55~+150	°C

4.2 推奨動作条件

記号	項目	規格値			単位	
		最小	標準	最大		
VDD	コア電源電圧	3.0	3.3	3.6	V	
VIF	IO 電源電圧	1.8V 対応	1.7	1.8	2.0	V
		3.3V 対応	2.7	3.3	3.6	V
AFEAVDD	USB トランシーバ部アナログ電源電圧	3.0	3.3	3.6	V	
AFEDVDD	USB トランシーバ部デジタル電源電圧	3.0	3.3	3.6	V	
BIASVDD	BIAS 電源電圧	3.0	3.3	3.6	V	
PLLVDD	PLL 電源電圧	3.0	3.3	3.6	V	
AFEAGND	USB トランシーバ部アナログ電源 GND		0		V	
AFEDGND	USB トランシーバ部デジタル電源 GND		0		V	
BIASGND	BIAS 電源 GND		0		V	
PLLGND	PLL 電源 GND		0		V	
DGND	電源 GND		0		V	
V _I (IO)	システムインタフェース入力電圧	0		VIF	V	
V _I (Vbus)	入力電圧 (Vbus 入力のみ)	0		5.25	V	
V _O (IO)	システムインタフェース出力電圧	0		VIF	V	
Topr	動作周囲温度	-20	+25	+85		
tr, tf	入力上昇、下降時間	ノーマル入力		500	ns	
		シュミットトリガ入力		5	ms	

4.3 電気的特性 (VIF = 2.7 ~ 3.6V, VDD = 3.0 ~ 3.6V対応規格)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V _{IH}	“ H ” 入力電圧	Xin	VDD = 3.6V		2.52	3.6	V
V _{IL}	“ L ” 入力電圧		VDD = 3.0V		0	0.9	V
V _{IH}	“ H ” 入力電圧	注 1	VIF = 3.6V		0.7VIF	3.6	V
V _{IL}	“ L ” 入力電圧		VIF = 2.7V		0	0.3VIF	V
VT+	正方向スレッシュホールド電圧	注 2	VIF = 3.3V		1.4	2.4	V
VT-	負方向スレッシュホールド電圧				0.5	1.65	V
VTH	ヒステリシス電圧					0.8	V
V _{OH}	“ H ” 出力電圧	Xout	VDD = 3.0V	I _{OH} = -50uA	2.6		V
V _{OL}	“ L ” 出力電圧			I _{OL} = 50uA		0.4	V
V _{OH}	“ H ” 出力電圧	注 3	VIF = 2.7V	I _{OH} = -2mA	VIF-0.4		V
V _{OL}	“ L ” 出力電圧			I _{OL} = 2mA		0.4	V
V _{OL}	“ L ” 出力電圧	注 4	VIF = 2.7V	I _{OL} = 2mA		0.4	V
V _{OH}	“ H ” 出力電圧	注 5	VIF = 2.7V	I _{OH} = -4mA	VIF-0.4		V
V _{OL}	“ L ” 出力電圧			I _{OL} = 4mA		0.4	V
VT+	正方向スレッシュホールド電圧	注 6	VDD = 3.3V		1.4	2.4	V
VT-	負方向スレッシュホールド電圧				0.5	1.65	V
I _{IH}	“ H ” 入力電流		VIF = 3.6V	V _I = VIF		10	uA
I _{IL}	“ L ” 入力電流			V _I = GND		-10	uA
I _{OZH}	オフ状態 “ H ” 出力電流	注 4	VIF = 3.6V	V _O = VIF		10	uA
I _{OZH}	オフ状態 “ H ” 出力電流	注 5	VIF = 3.6V	V _O = VIF		10	uA
I _{OZL}	オフ状態 “ L ” 出力電流			V _O = GND		-10	uA
R _{dv}	ブルダウン抵抗	注 6				500	k
R _{dt}	ブルダウン抵抗	注 7				50	k
I _{cc(A)}	動作時平均電源電流 (Full-Speed 動作時)	注 8	VDD = VIF = 3.3V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25 PIPE1-4 バルク、PIPE5-6 イン タラプト転送中			15	mA
			f(Xin) = 48MHz VDD = 3.6V, VIF = 3.6V, AFEAVDD = AFEDVDD = 3.6V, BIASVDD = PLLVDD = 3.6V PIPE1-4 バルク、PIPE5-6 イン タラプト転送中				18

M66591

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC(A)}	動作時平均電源電流 (Hi-Speed 動作時)	注 8 VDD = VIF = 3.3V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25 PIPE1-4 バルク、PIPE5-6 イン タラプト転送中		180		mA
					280	mA
I _{CC(S)}	静止時電源電流	注 8 USB サスペンド状態 f(Xin)クロック発振禁止状態 Ta = 25		30		uA
					300	uA
C _{IN}	端子容量 (入力)		4	7	15	pF
C _{OUT}	端子容量 (出力/入出力)		4	7	15	pF

- 注1 : A7-1, TEST0, TEST1, MPBUS入力端子、及びD15-0, SD7-0入出力端子
- 注2 : CS_N, RD_N, WR0_N, WR1_N, DACK, DSTB_N, RST_N入力端子、及びDEND入出力端子
- 注3 : INT, DREQ出力端子、及びDEND入出力端子
- 注4 : CONF_ON, SUSP_ON出力端子
- 注5 : D15-0, SD7-0入出力端子
- 注6 : VBUS入力端子 (AFEDVDD電源が入っている状態)
- 注7 : TEST0, TEST1入力端子
- 注8 : 電源電流はVDD, VIF, AFEAVDD, AFEDVDD, BIASVDD, PLLVDDの合計電流

4.4 電気的特性 (VIF = 1.7 ~ 2.0V, VDD = 3.0 ~ 3.6V対応規格)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V _{IH}	“ H ” 入力電圧	Xin	VDD = 3.6V	2.52		3.6	V	
V _{IL}	“ L ” 入力電圧		VDD = 3.0V	0		0.9	V	
V _{IH}	“ H ” 入力電圧	注 1	VIF = 2.0V	0.7VIF		2.0	V	
V _{IL}	“ L ” 入力電圧		VIF = 1.7V	0		0.3VIF	V	
VT+	正方向スレッシュホールド電圧	注 2	VIF = 1.8V	0.7		1.4	V	
VT-	負方向スレッシュホールド電圧			0.2		0.8	V	
V _{TH}	ヒステリシス電圧				0.5		V	
V _{OH}	“ H ” 出力電圧	Xout	VDD = 3.0V	I _{OH} = -50uA	2.6		V	
V _{OL}	“ L ” 出力電圧			I _{OL} = 50uA		0.4	V	
V _{OH}	“ H ” 出力電圧	注 3	VIF = 1.7V	I _{OH} = -2mA	VIF-0.4		V	
V _{OL}	“ L ” 出力電圧			I _{OL} = 2mA		0.4	V	
V _{OL}	“ L ” 出力電圧	注 4	VIF = 1.7V	I _{OL} = 2mA		0.4	V	
V _{OH}	“ H ” 出力電圧	注 5	VIF = 1.7V	I _{OH} = -4mA	VIF-0.4		V	
V _{OL}	“ L ” 出力電圧			I _{OL} = 4mA		0.4	V	
VT+	正方向スレッシュホールド電圧	注 6	VDD=3.3V		1.4		2.4	V
VT-	負方向スレッシュホールド電圧				0.5		1.65	V
I _{IH}	“ H ” 入力電流		VIF = 2.0V	V _I = VIF			10	uA
I _{IL}	“ L ” 入力電流			V _I = GND			-10	uA
I _{OZH}	オフ状態 “ H ” 出力電流	注 4	VIF = 2.0V	V _O = VIF			10	uA
I _{OZH}	オフ状態 “ H ” 出力電流	注 5	VIF = 2.0V	V _O = VIF			10	uA
I _{OZL}	オフ状態 “ L ” 出力電流			V _O = GND			-10	uA
R _{dv}	ブルダウン抵抗	注 6				500		k
R _{dt}	ブルダウン抵抗	注 7				50		k
I _{cc(A)}	動作時平均電源電流 (Full-Speed 動作時)	注 8	VDD = 3.3V, VIF = 1.8V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25 PIPE1-4 バルク、PIPE5-6 イン タラプト転送中			15		mA
			f(Xin) = 48MHz VDD = 3.3V, VIF = 2.0V, AFEAVDD = AFEDVDD = 3.6V, BIASVDD = PLLVDD = 3.6V PIPE1-4 バルク、PIPE5-6 イン タラプト転送中				18	mA

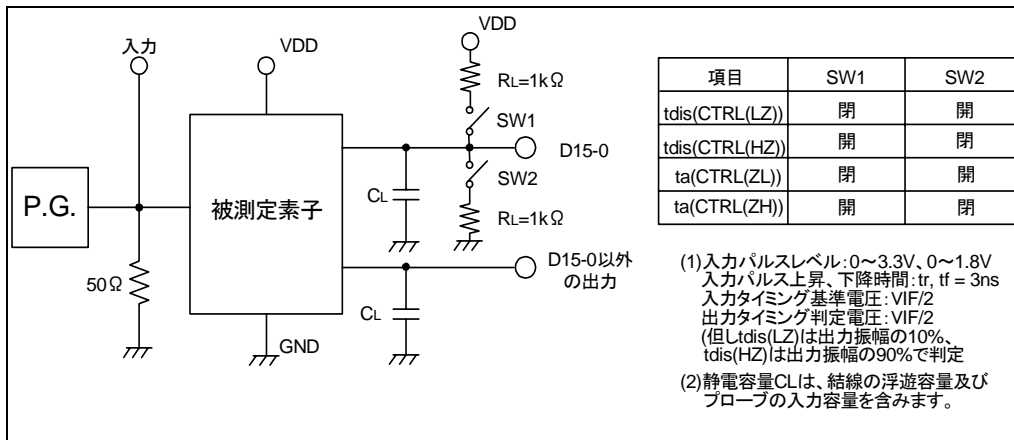
M66591

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC(A)}	動作時平均電源電流 (Hi-Speed 動作時)	注 8 VDD = 3.3V, VIF = 1.8V, AFEAVDD = AFEDVDD = 3.3V, BIASVDD = PLLVDD = 3.3V Ta = 25 PIPE1-4 バルク、PIPE5-6 イン タラプト転送中		180		mA
					280	mA
I _{CC(S)}	静止時電源電流	注 8 USB サスペンド状態 f(Xin)クロック発振禁止 Ta = 25		30		uA
					300	uA
C _{IN}	端子容量 (入力)		4	7	15	pF
C _{OUT}	端子容量 (出力/入出力)		4	7	15	pF

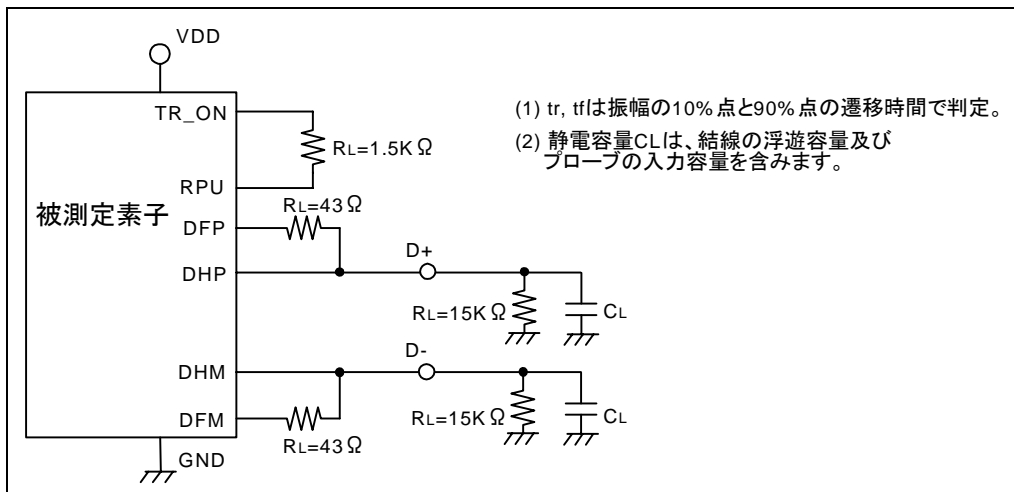
- 注1 : A7-1, TEST0, TEST1, MPBUS入力端子、及びD15-0, SD7-0入出力端子
- 注2 : CS_N, RD_N, WR0_N, WR1_N, DACK, DSTB_N, RST_N入力端子、及びDEND入出力端子
- 注3 : INT, DREQ出力端子、及びDEND入出力端子
- 注4 : CONF_ON, SUSP_ON出力端子
- 注5 : D15-0, SD7-0入出力端子
- 注6 : VBUS入力端子 (AFEDVDD電源が入っている状態)
- 注7 : TEST0, TEST1入力端子
- 注8 : 電源電流はVDD, VIF, AFEAVDD, AFEDVDD, BIASVDD, PLLVDDの合計電流

4.5 測定回路

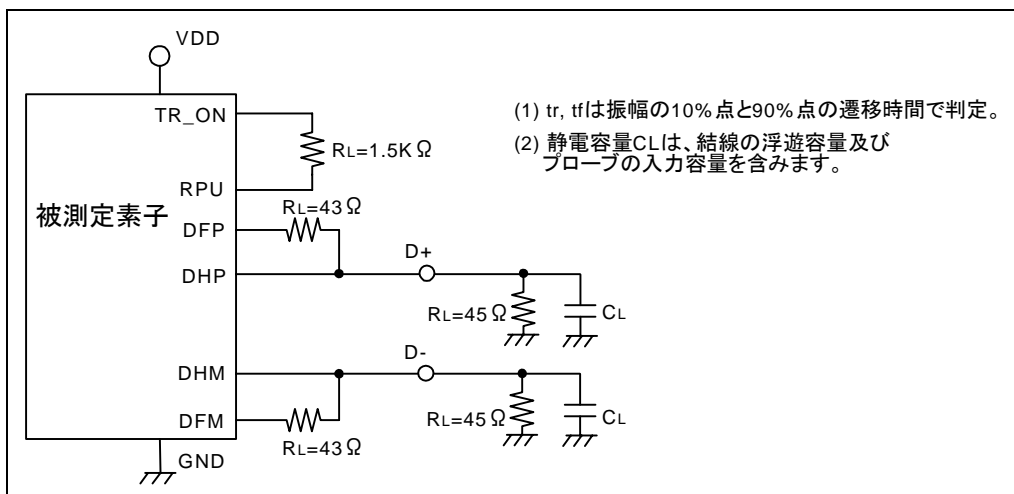
4.5.1 USBバッファ部以外の端子



4.5.2 USBバッファ部 (Full-Speed)



4.5.3 USBバッファ部 (Hi-Speed)



4.6 電気的特性 (D+/D-)

4.6.1 DC特性

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
R _s	DFP(DFM)とDHP(DHF)間の直列抵抗			42.57	43	43.43	
R _o	出力インピーダンス	直列抵抗 R _s を含む		40.5	45	49.5	
R _{pu}	D+プルアップ抵抗			1.425	1.5	1.575	K
Full-Speed 時の入力特性							
V _{IH}	“H”入力電圧			2.0			V
V _{IL}	“L”入力電圧					0.8	V
V _{DI}	差分入力感度	(D+)-(D-)		0.2			V
V _{CM}	差分コモンモード範囲			0.8		2.5	V
Full-Speed 時の出力特性							
V _{OL}	“L”出力電圧	AFEAVDD = 3.0V	1.5K の RL から 3.6V			0.3	V
V _{OH}	“H”出力電圧		15K の RL から GND	2.8		3.6	V
V _{OSE1}	SE1 出力電圧			0.8			V
V _{ORS}	出力信号クロスオーバー電圧	CL=50pF		1.3		2.0	V
Hi-Speed 時の入力特性							
V _{HSSQ}	スケルチ検出スレッショルド電圧 (差動電圧)			100		150	mV
V _{HSCM}	コモンモード電圧範囲			-50		500	mV
Hi-Speed 時の出力特性							
V _{HSOI}	アイドル状態			-10.0		10	mV
V _{HSOH}	“H”出力電圧			360		440	mV
V _{HSOL}	“L”出力電圧			-10.0		10	mV
V _{CHIRPJ}	Chirp J 出力電圧 (差分)			700		1100	mV
V _{CHIRPK}	Chirp K 出力電圧 (差分)			-900		-500	mV

4.6.2 AC特性 (Full-Speed)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
tr	立ち上がり時間	データ信号: 振幅の 10%→90%	CL=50pF	4		20	ns
tf	立ち下がり時間	データ信号: 振幅の 90%→10%	CL=50pF	4		20	ns
TRFM	立ち上がり/立ち下がり時間比	tr/tf		90		111.11	%

4.7 スイッチング特性(VIF = 3.0 ~ 3.6V、又は1.7 ~ 2.0V)

記号	項目	測定条件、 その他	規格値			単位	参照 番号
			最小	標準	最大		
ta (A)	アドレスアクセス時間	CL=50pF			40	ns	①
tv (A)	アドレス後データ有効時間	CL=10pF	2			ns	②
ta (CTRL - D)	コントロール後データアクセス時間	CL=50pF			30	ns	③
tv (CTRL - D)	コントロール後データ有効時間	CL=10pF	2			ns	④
ten (CTRL - D)	コントロール後データ出力イネーブル時間		2			ns	⑤
tdis (CTRL - D)	コントロール後データ出力ディセーブル時間	CL=50pF			30	ns	⑥
ta (CTRL - DV)	スプリットバス (DMA Interface) Obus=0 の時、コントロール後データアクセス時間	CL=30pF			30	ns	⑨
tv (CTRL - DV)	スプリットバス (DMA Interface) Obus=0 の時、コントロール後データ有効時間	CL=10pF	2			ns	⑩
ta (CTRL - DendV)	コントロール後 DEND 出力アクセス時間	CL=30pF			30	ns	⑪
tv (CTRL - DendV)	コントロール後 DEND 出力有効時間	CL=10pF	2			ns	⑫
ta (CTRL - Dend)	スプリットバス(DMA Interface) Obus=1 の時、コントロール後 DEND 出力アクセス 時間	CL=30pF			30	ns	⑬
tv (CTRL - DendV)	スプリットバス(DMA Interface) Obus=1 の時、コントロール後 DEND 出力有効時間	CL=10pF	2			ns	⑭
ten (CTRL - DendV)	スプリットバス(DMA Interface) Obus=1 の時、コントロール後 DEND 出力イネー ブル時間		2			ns	⑮
tdis (CTRL-DendV)	スプリットバス(DMA Interface) Obus=1 の時、コントロール後 DEND 出力ディセ ーブル時間	CL=30pF			30	ns	⑯
tdis (CTRL - Dreq)	コントロール後 DREQ ディセーブル時間				70	ns	⑰
tdis (CTRLH -Dreq)	DEND 入力による書き込み終了時、コント ロール後 DREQ ディセーブル時間			70	ns	⑱	
ten (CTRL - Dreq)	コントロール後 DREQ イネーブル時間		30			ns	⑲
twh (Dreq)	DREQ 出力"H"パルス幅		20		50	ns	⑳
td (CTRL - INT)	INT 出力ネゲート遅延時間				250	ns	㉑
twh (INT)	INT 出力"H"パルス幅		650			ns	㉒
td (DREQ - DV)	スプリットバス Obus=0 の時、DREQ ア サート開始後データアクセス時間				0	ns	㉓
td (DREQ - DendV)	スプリットバス Obus=0 の時、DREQ ア サート開始後 DEND 出力アクセス時間				0	ns	㉔

4.8 タイミング必要条件(VIF = 3.0 ~ 3.6V、又は1.7 ~ 2.0V)

記号	項目	測定条件、 その他	規格値			単位	参照 番号	
			最小	標準	最大			
tsuw (A)	アドレスライトセットアップ時間	CL=50pF	30			ns	③0	
tsur (A)	アドレスリードセットアップ時間		0			ns	③1	
tsu (A - ALE)	マルチプレクスバスの時、アドレスセットアップ時間		10			ns	③2	
thw (A)	アドレスライトホールド時間		0			ns	③3	
thr (A)	アドレスリードホールド時間		30			ns	③4	
th (A - ALE)	マルチプレクスバスの時、アドレスホールド時間		0			ns	③5	
tw (ALE)	マルチプレクスバスの時、ALE パルス幅		10			ns	③6	
tdwr (ALE - CTRL)	マルチプレクスバスの時、ライト/リードディレイ時間		7			ns	③7	
trec (ALE)	マルチプレクスバス時、ALE リカバリ時間		0			ns	③8	
tw (CTRL)	コントロールパルス幅 (ライト)		30			ns	③9	
trec (CTRL)	コントロールリカバリ時間 (FIFO)		30			ns	④0	
trecr (CTRL)	コントロールリカバリ時間 (REG)		12			ns	④1	
twr (CTRL)	コントロールパルス幅 (リード)		30			ns	④2	
tsu (D)	データセットアップ時間		20			ns	④3	
th (D)	データホールド時間		0			ns	④4	
tsu (Dend)	DEND 入力セットアップ時間		30			ns	④5	
th (Dend)	DEND 入力ホールド時間		0			ns	④6	
tw (cycle)	FIFO アクセスサイクル時間		8ビットFIFOアクセス	30			ns	④7
			16ビットFIFOアクセス	50			ns	
			マルチプレクスバスの時、8/16ビットFIFOアクセス	84			ns	
tw (CTRL_B)	バースト転送時コントロールパルス幅	スプリットバス使用時でOBUS=0のとき	12			ns	④8	
		スプリットバス使用時でOBUS=1のとき(*1)	30			ns		
		CPUバスを使用したDMA転送時	30			ns		
trec (CTRL_B)	バースト転送時コントロールリカバリ時間	12			ns	④9		
tsud (A)	DMA アドレスライトセットアップ時間	15			ns	⑤0		
thd (A)	DMA アドレスライトホールド時間	0			ns	⑤1		
tw (RST)	リセットパルス幅時間	100			ns	⑤2		
tst (RST)	リセット後コントロールスタート時間	500			ns	⑤3		

*1) 書き込みの場合のみ、DACK信号が30ns以上のアクティブ期間を確保している場合は、DSTB_N信号はmin 12nsでアクセス可能です。

4.9 タイミング図

表4.1及び表4.2はM66591のレジスタアクセスとFIFOポートアクセスタイミング図の一覧を示します。

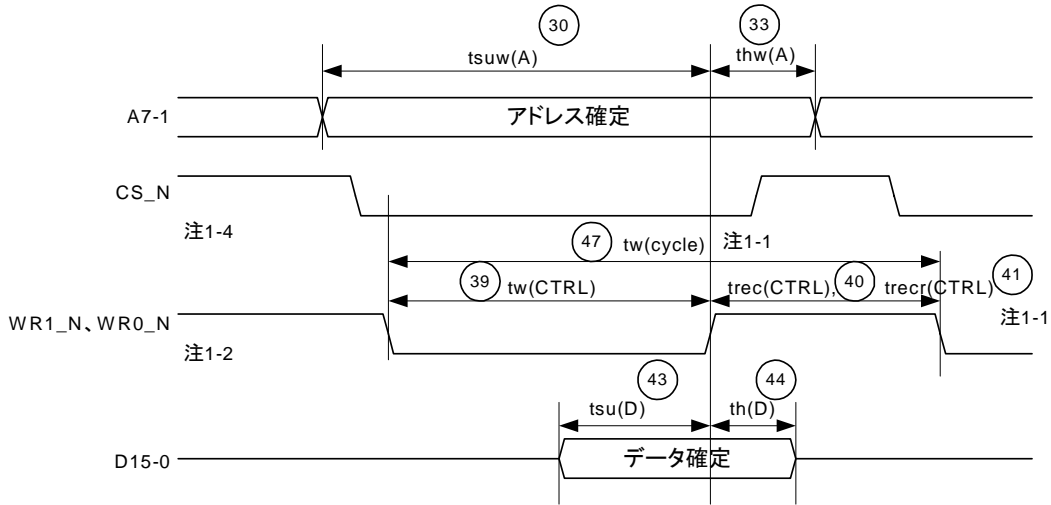
表4.1 レジスタアクセスタイミング一覧表

バス仕様	アクセス	R/W	INDEX	備考
セパレートバス	CPU	WRITE	4.9.1	
セパレートバス	CPU	READ	4.9.2	
マルチブレスバス	CPU	WRITE	4.9.3	
マルチブレスバス	CPU	READ	4.9.4	

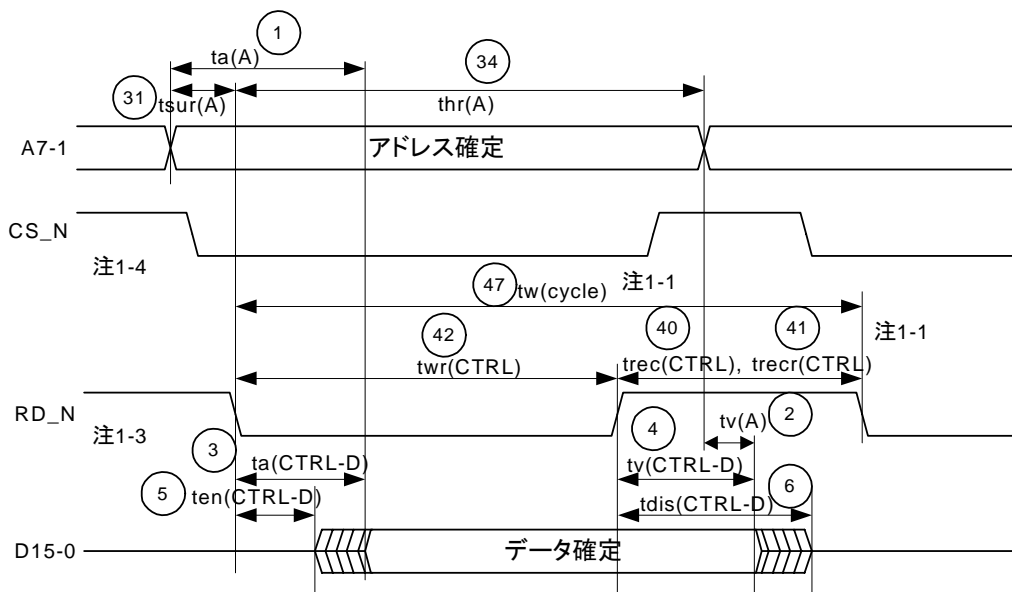
表4.2 FIFOポートアクセスタイミング一覧表

バス仕様	アクセス	R/W	DackE	RWstb	Obus	INDEX	備考
セパレートバス	CPU	WRITE	-	-	-	4.9.1	
セパレートバス	CPU	READ	-	-	-	4.9.2	
マルチブレスバス	CPU	WRITE	-	-	-	4.9.3	
マルチブレスバス	CPU	READ	-	-	-	4.9.4	
セパレートバス、CPUバス経由	DMA	WRITE	1	0	-	4.9.5	サイクルスチール転送
セパレートバス、CPUバス経由	DMA	READ	1	0	-	4.9.6	サイクルスチール転送
スプリットバス経由	DMA	WRITE	1	1	1	4.9.7	サイクルスチール転送
スプリットバス経由	DMA	READ	1	1	1	4.9.8	サイクルスチール転送
スプリットバス経由	DMA	WRITE	1	1	0	4.9.7	サイクルスチール転送
スプリットバス経由	DMA	READ	1	1	0	4.9.9	サイクルスチール転送
セパレートバス、CPUバス経由	DMA	WRITE	0	0	-	4.9.10	サイクルスチール転送
セパレートバス、CPUバス経由	DMA	READ	0	0	-	4.9.11	サイクルスチール転送
マルチブレスバス、CPUバス経由	DMA	WRITE	0	0	-	4.9.12	サイクルスチール転送
マルチブレスバス、CPUバス経由	DMA	READ	0	0	-	4.9.13	サイクルスチール転送
セパレートバス、CPUバス経由	DMA	WRITE	1	0	-	4.9.14	バースト転送
セパレートバス、CPUバス経由	DMA	READ	1	0	-	4.9.15	バースト転送
スプリットバス経由	DMA	WRITE	1	1	1	4.9.16	バースト転送
スプリットバス経由	DMA	READ	1	1	1	4.9.17	バースト転送
スプリットバス経由	DMA	WRITE	1	1	0	4.9.16	バースト転送
スプリットバス経由	DMA	READ	1	1	0	4.9.18	バースト転送
セパレートバス、CPUバス経由	DMA	WRITE	0	0	-	4.9.19	バースト転送
セパレートバス、CPUバス経由	DMA	READ	0	0	-	4.9.20	バースト転送
マルチブレスバス、CPUバス経由	DMA	WRITE	0	0	-	4.9.21	バースト転送
マルチブレスバス、CPUバス経由	DMA	READ	0	0	-	4.9.22	バースト転送

4.9.1 セバレートバス設定時、CPU書き込みタイミング

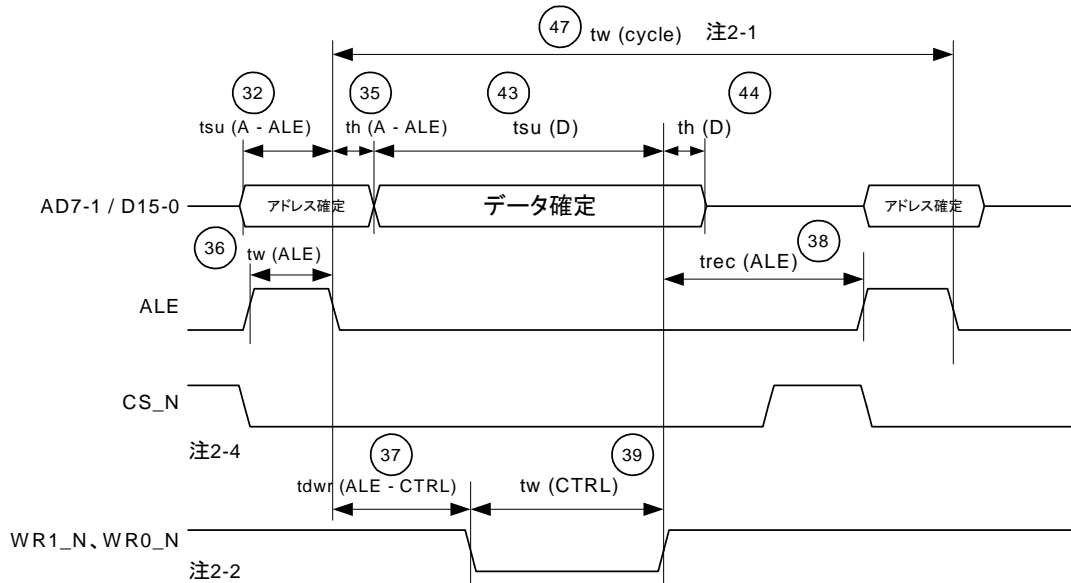


4.9.2 セバレートバス設定時、CPU読み出しタイミング

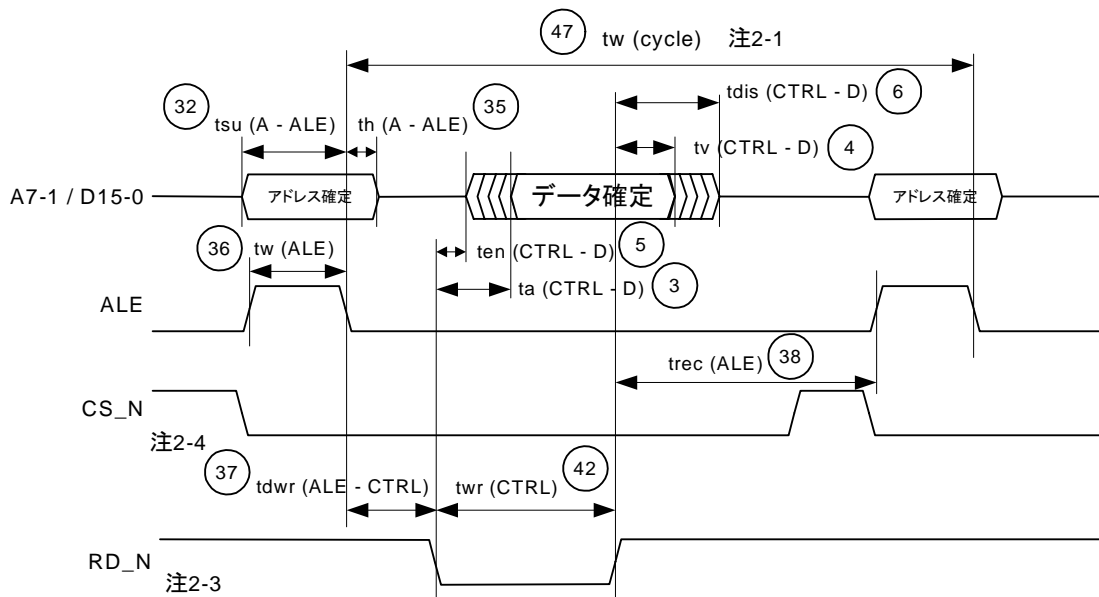


- 注1-1 : tw (cycle)はFIFOアクセス時に必要です。
- 注1-2 : CS_N、WR1_N、WR0_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注1-3 : CS_N、RD_Nの組み合わせによる読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注1-4 : CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

4.9.3 マルチプレクスバス設定時、CPU書き込みタイミング



4.9.4 マルチプレクスバス設定時、CPU読み出しタイミング



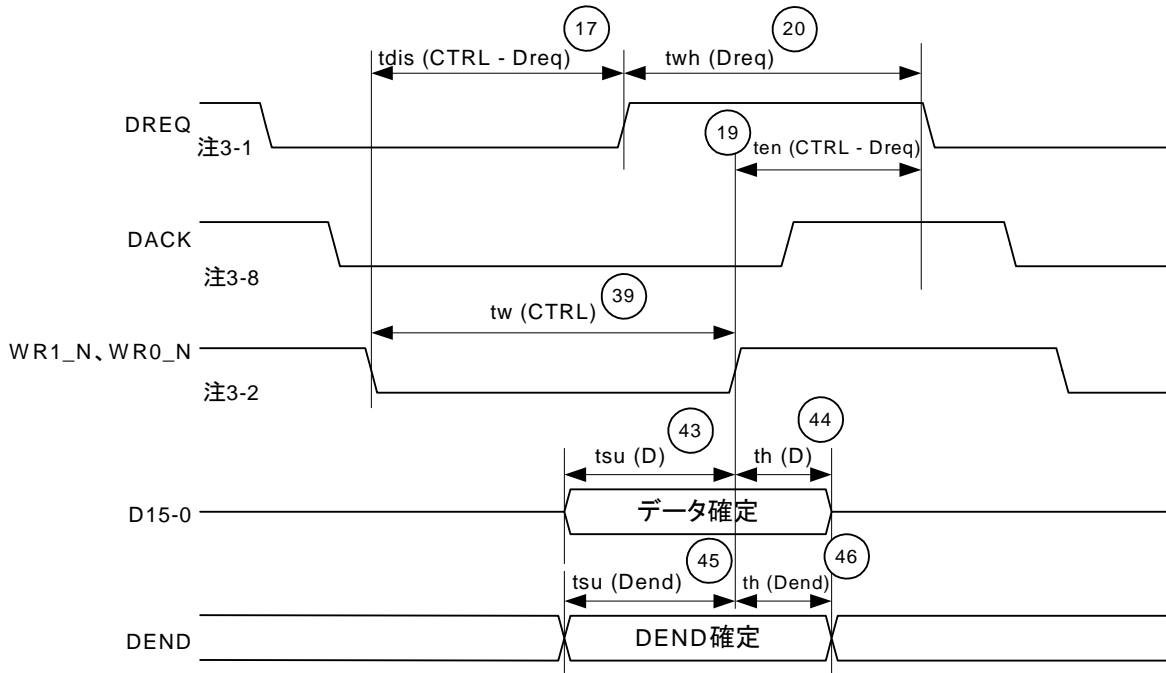
注2-1：tw (cycle)はFIFOアクセス時に必要です。

注2-2：CS_N、WR1_N、WR0_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。

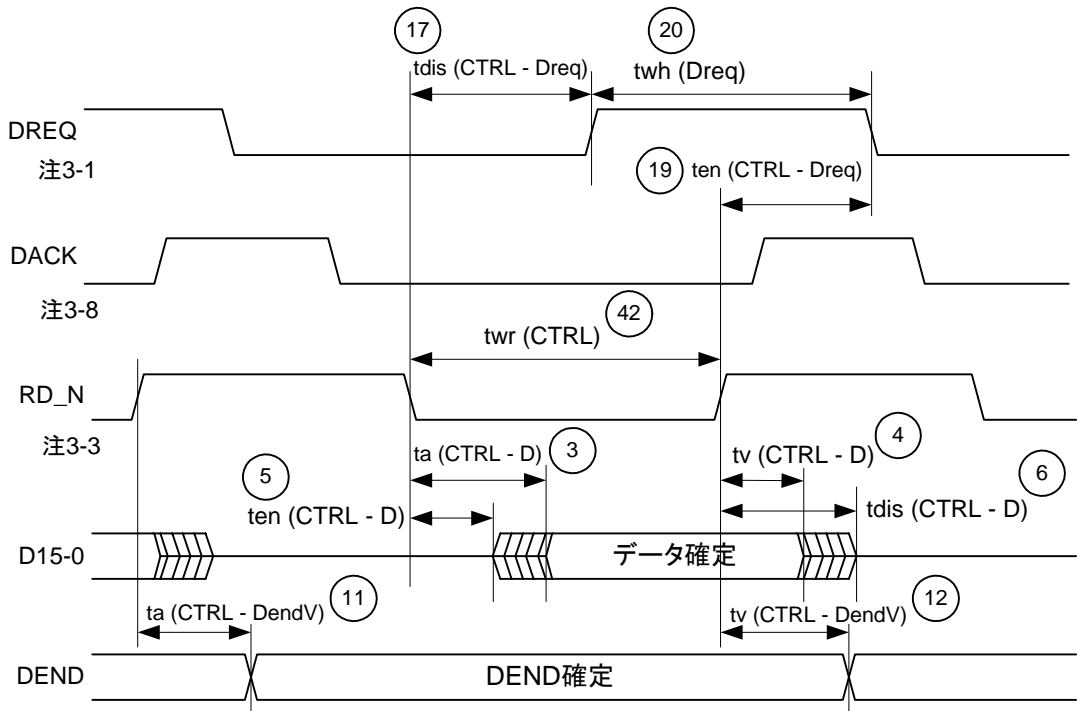
注2-3：CS_N、RD_Nの組み合わせによる読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。

注2-4：CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

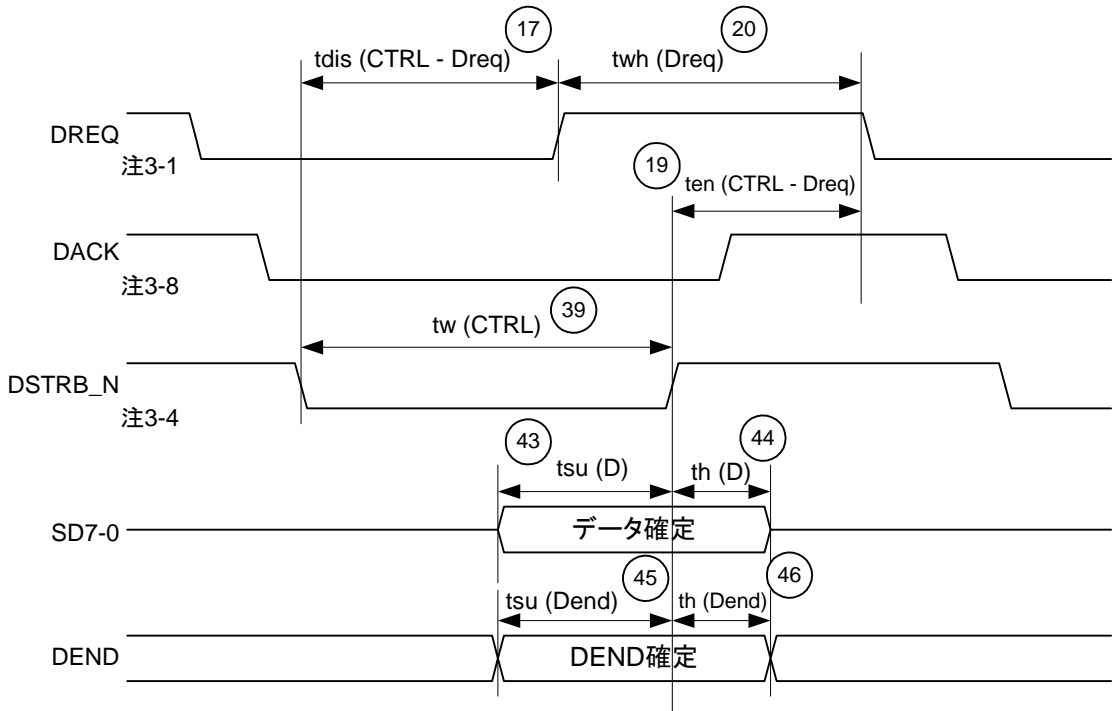
4.9.5 セパレートバス設定時、CPUバスによるDMA書き込みタイミング (サイクルスチール転送)



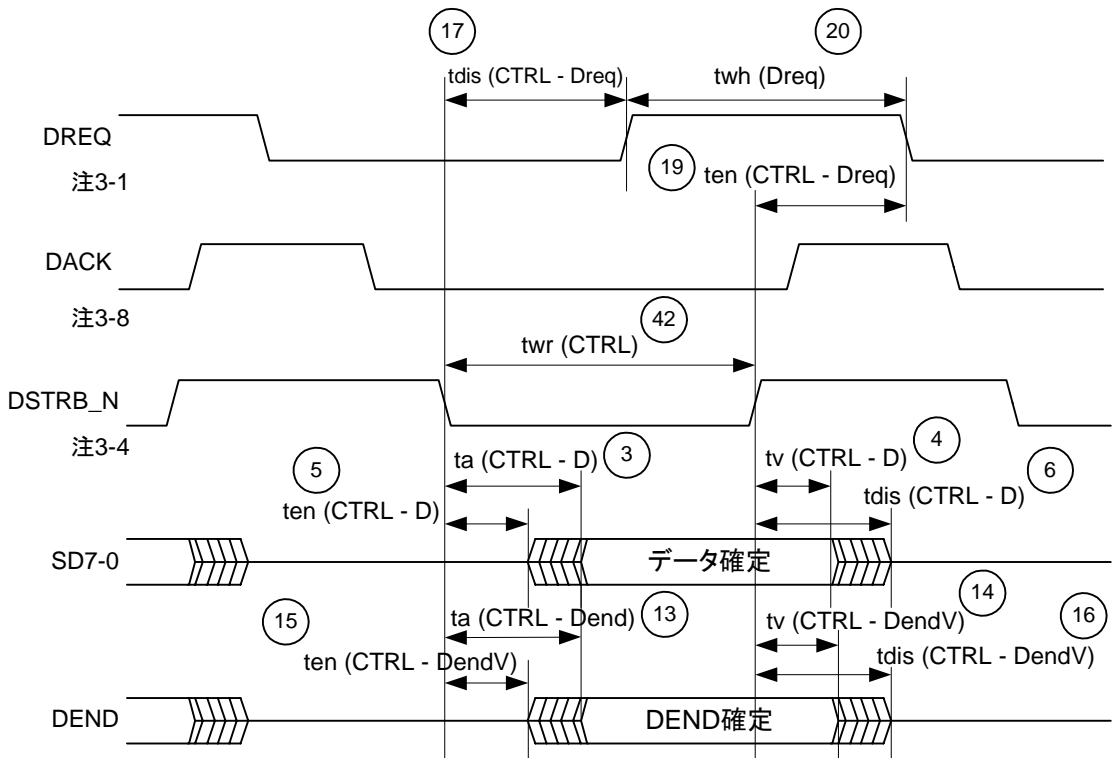
4.9.6 セパレートバス設定時、CPUバスによるDMA読み出しタイミング (サイクルスチール転送)



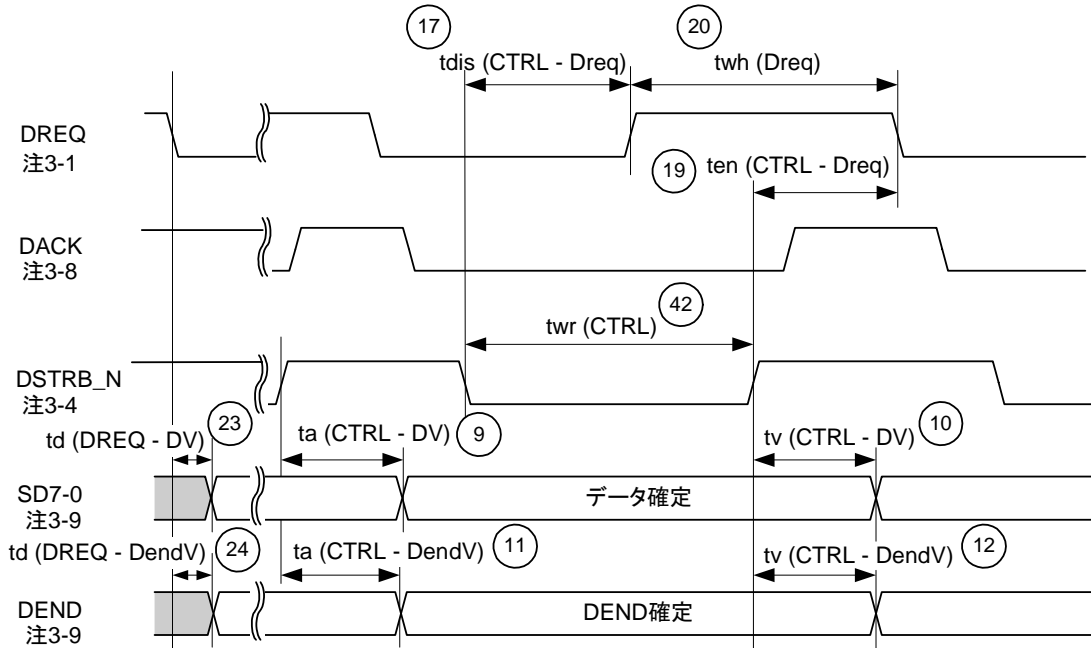
4.9.7 スプリットバスによるDMA書き込みタイミング (サイクルスチール転送)



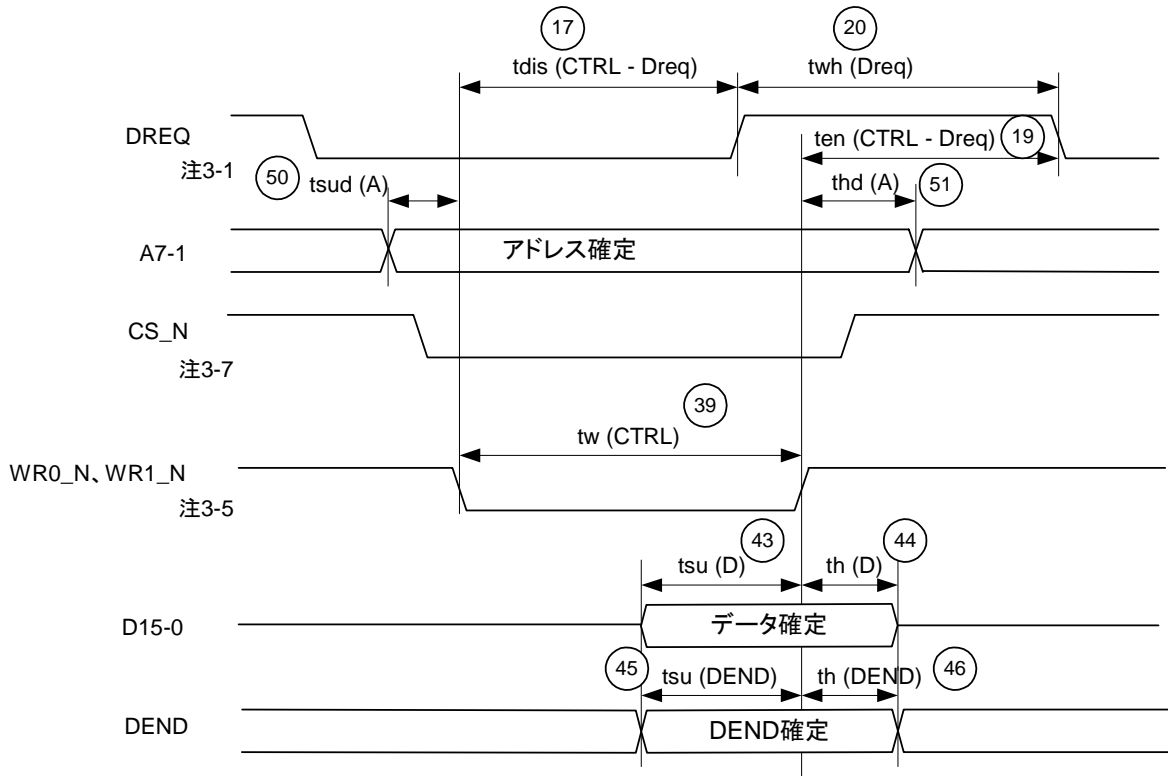
4.9.8 スプリットバスによるDMA読み出しタイミング (Obus = 1、サイクルスチール転送)



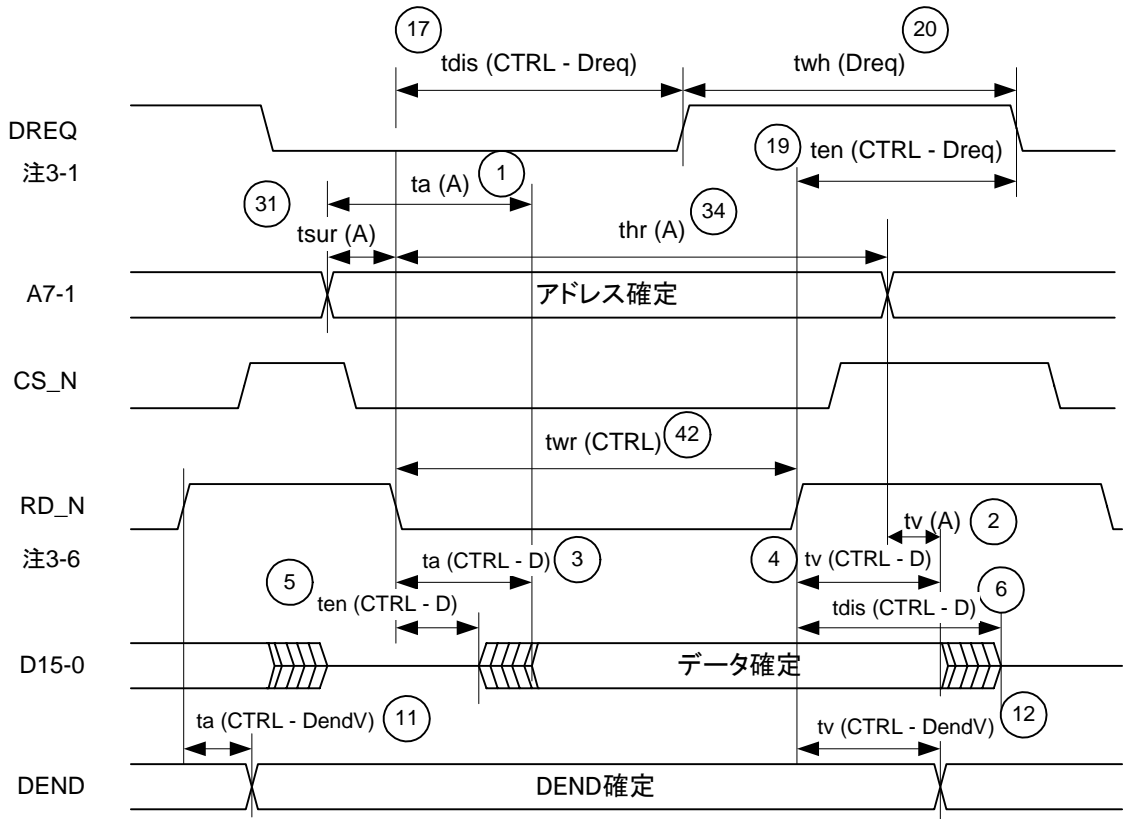
4.9.9 スプリットバスによるDMA読み出しタイミング (Obus = 0、サイクルスチール転送)



4.9.10 セパレートバス設定時、CPUバスによるDMA書き込みタイミング (サイクルスチール転送)

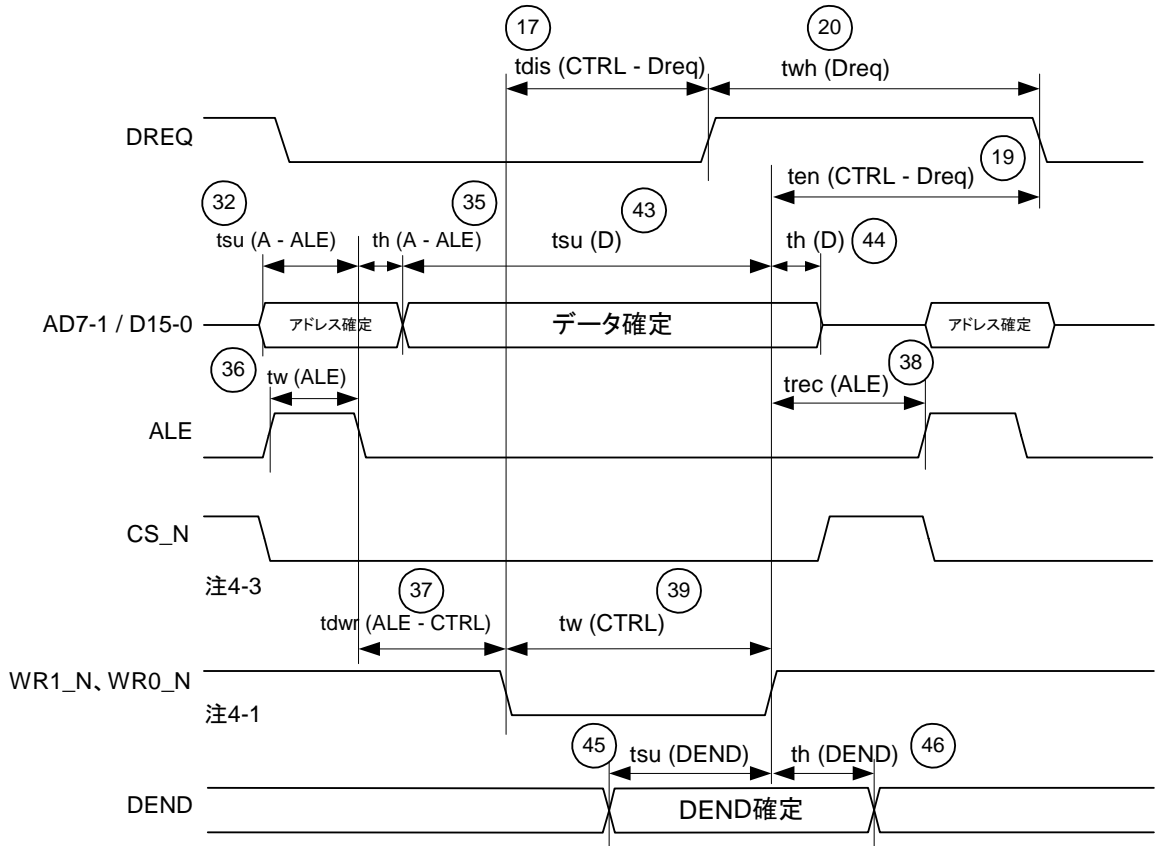


4.9.11 セバレートバス設定時、CPUバスによるDMA読み出しタイミング (サイクルスチール転送)

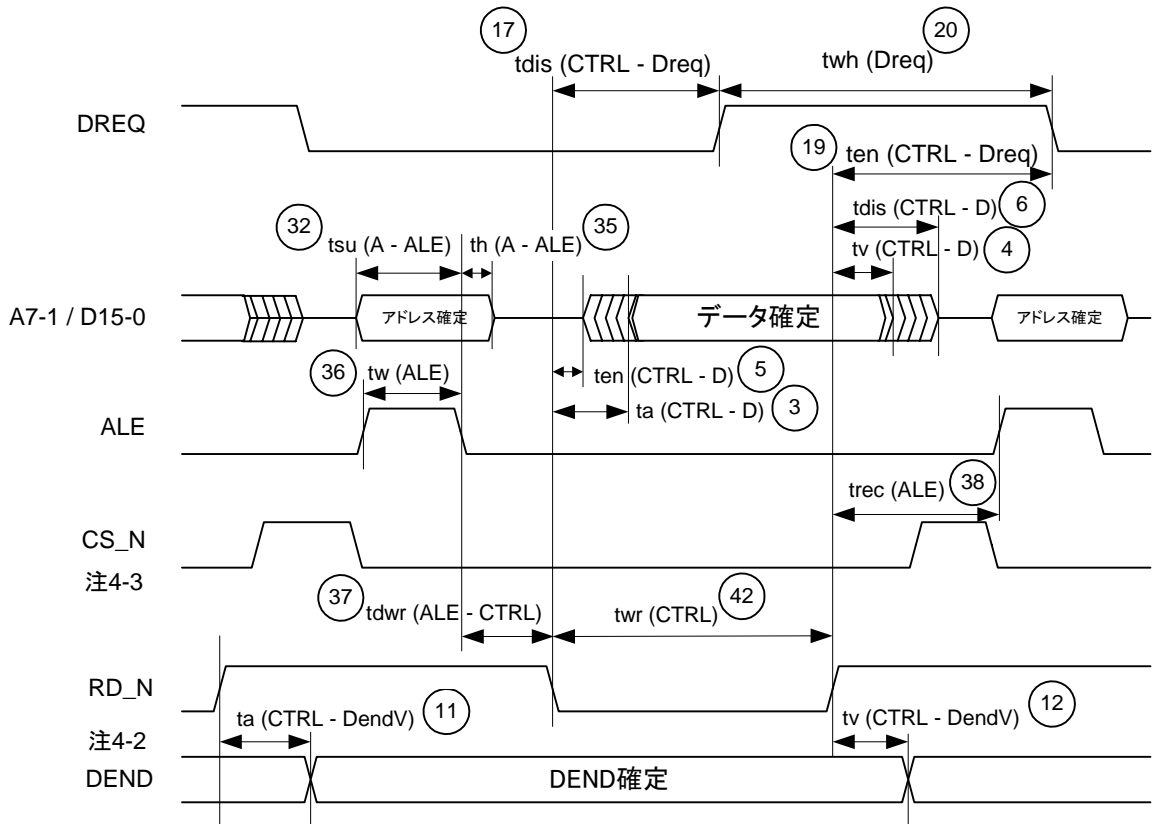


- 注3-1: DREQのインアクティブ条件は、DACK = “L”レベルであり、次のDMA転送が有る場合にDREQがアクティブとなる規格は、 $t_{wh}(\text{Dreq})$ または、 $t_{en}(\text{CTRL-Dreq})$ の遅い規格が有効です。
- 注3-2: DACK、WR1_N、WR0_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注3-3: DACK、RD_Nの組み合わせによる読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注3-4: DACK、DSTRB_Nの組み合わせによる書き込みまたは読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注3-5: CS_N、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注3-6: CS_N、RD_Nの組み合わせによる読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注3-7: CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。
- 注3-8: DACKが立ち上がる(または立ち下がる)タイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にDACKを立ち下げ(または立ち上げ)ないでください。上記の場合、10ns以上の間隔を空ける必要があります。
- 注3-9: 受信データが1バイトしかない場合、データ出力確定時間は“(23) $t_d(\text{DREQ-DV})$ ”、DEND信号出力確定時間は“(24) $t_d(\text{DREQ-DendV})$ ”となります。

4.9.12 マルチプレクスバス設定時、CPUバスによるDMA書き込みタイミング (サイクルスチール転送)

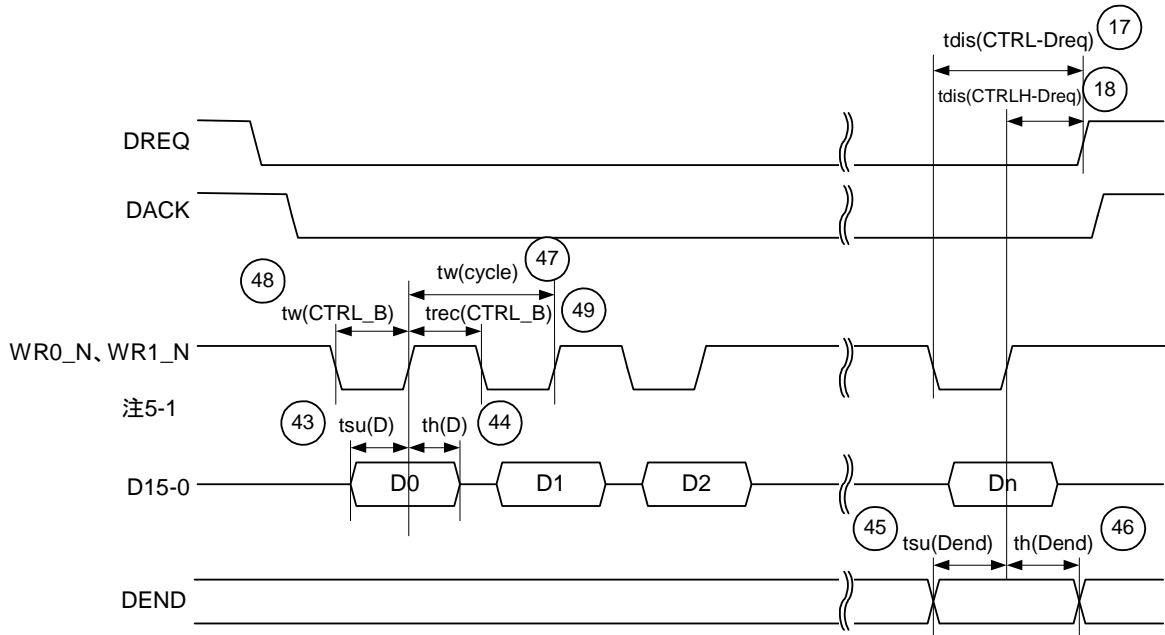


4.9.13 マルチプレクスバス設定時、CPUバスによるDMA読み出しタイミング (サイクルスチール転送)

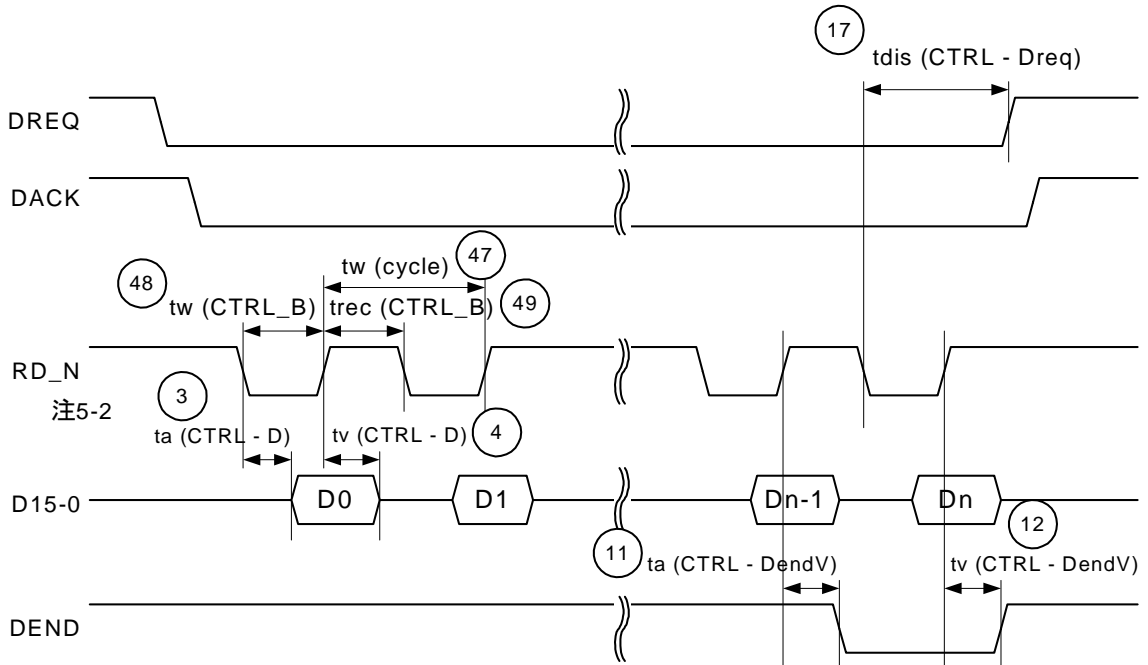


- 注4-1 : CS_N、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注4-2 : CS_N、RD_Nの組み合わせによる読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注4-3 : CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

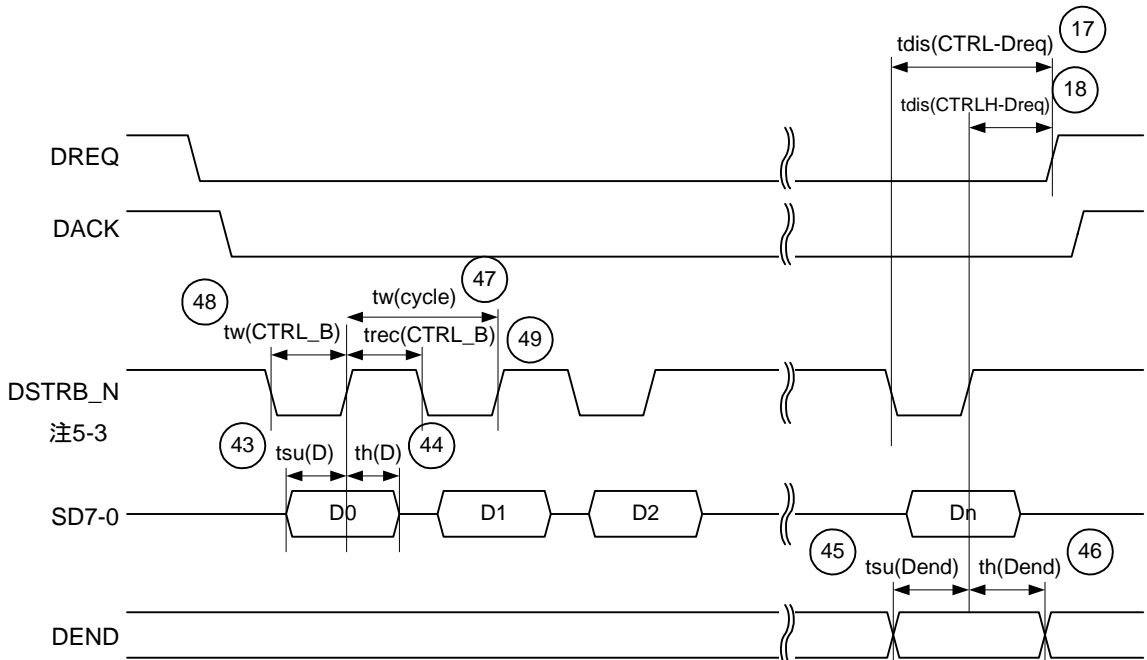
4.9.14 セバレートバス設定時、CPUバスによるDMA書き込みタイミング（バースト転送）



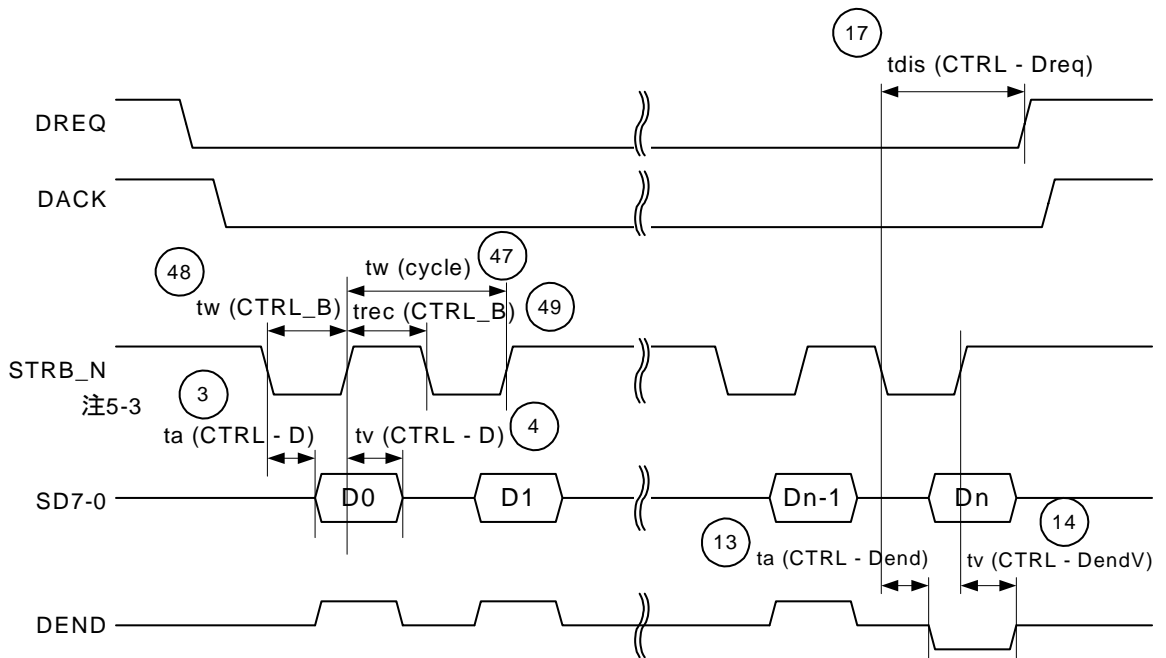
4.9.15 セバレートバス設定時、CPUバスによるDMA読み出しタイミング（バースト転送）



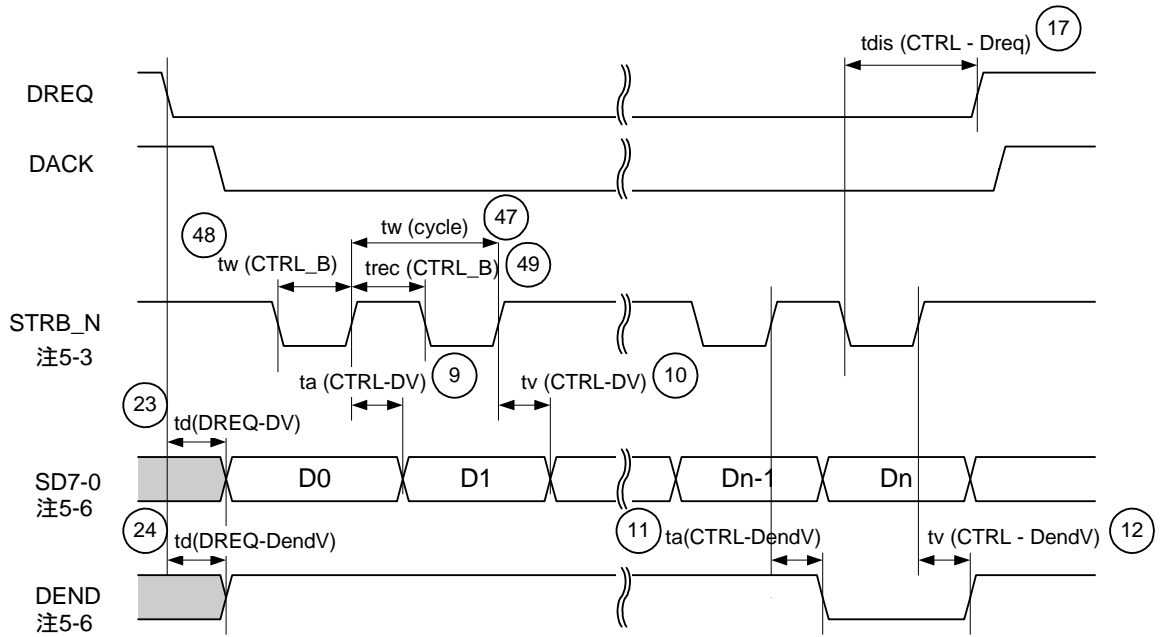
4.9.16 スプリットバスによるDMA書き込みタイミング (バースト転送)



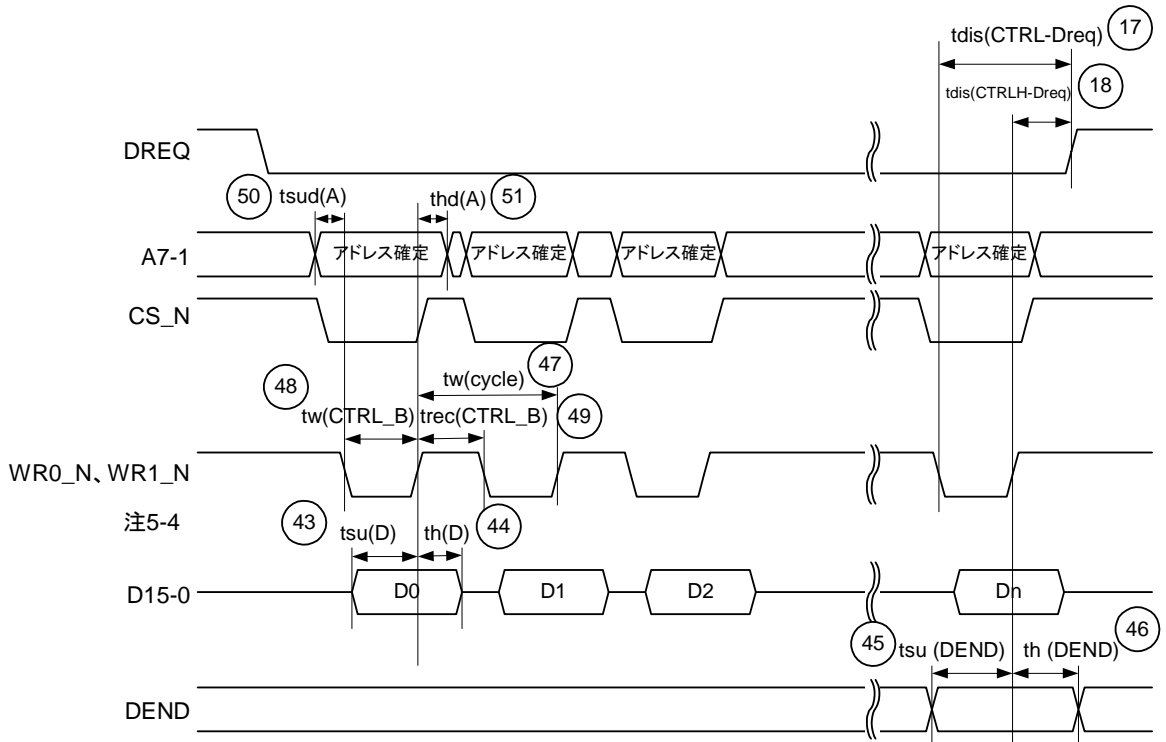
4.9.17 スプリットバスによるDMA読み出しタイミング (Obus = 1、バースト転送)



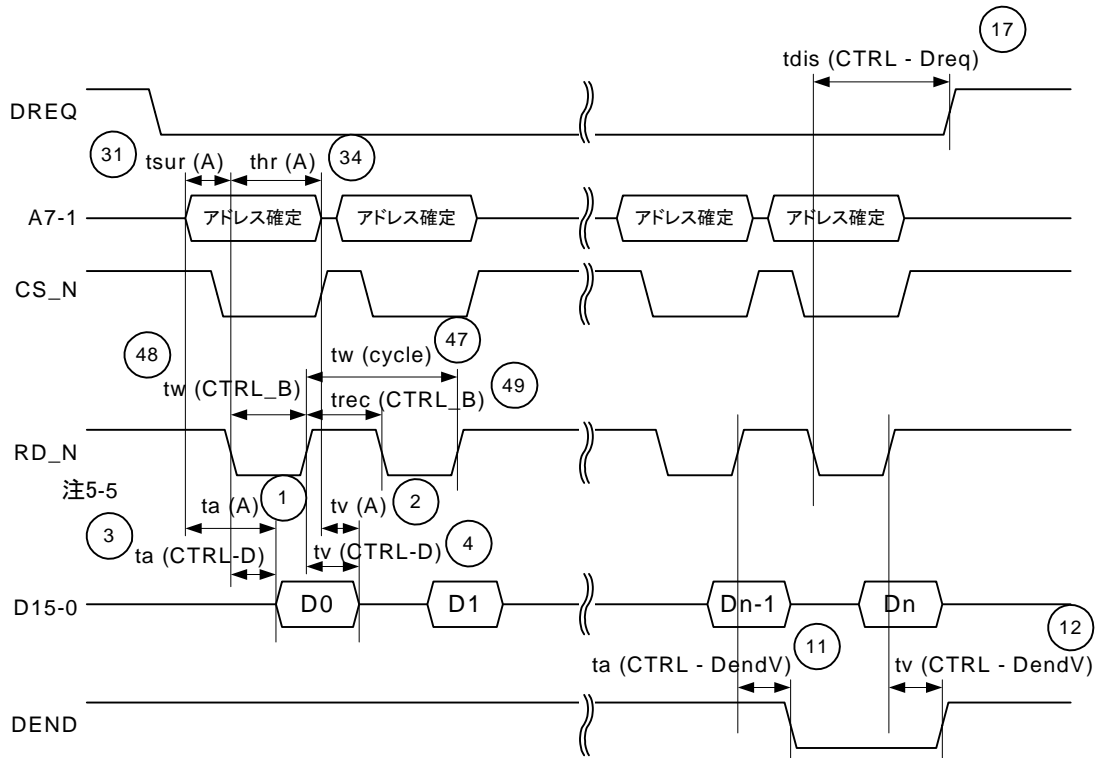
4.9.18 スプリットバスによるDMA読み出しタイミング (Obus = 0、バースト転送)



4.9.19 セパレートバス設定時、CPUバスによるDMA書き込みタイミング (バースト転送)

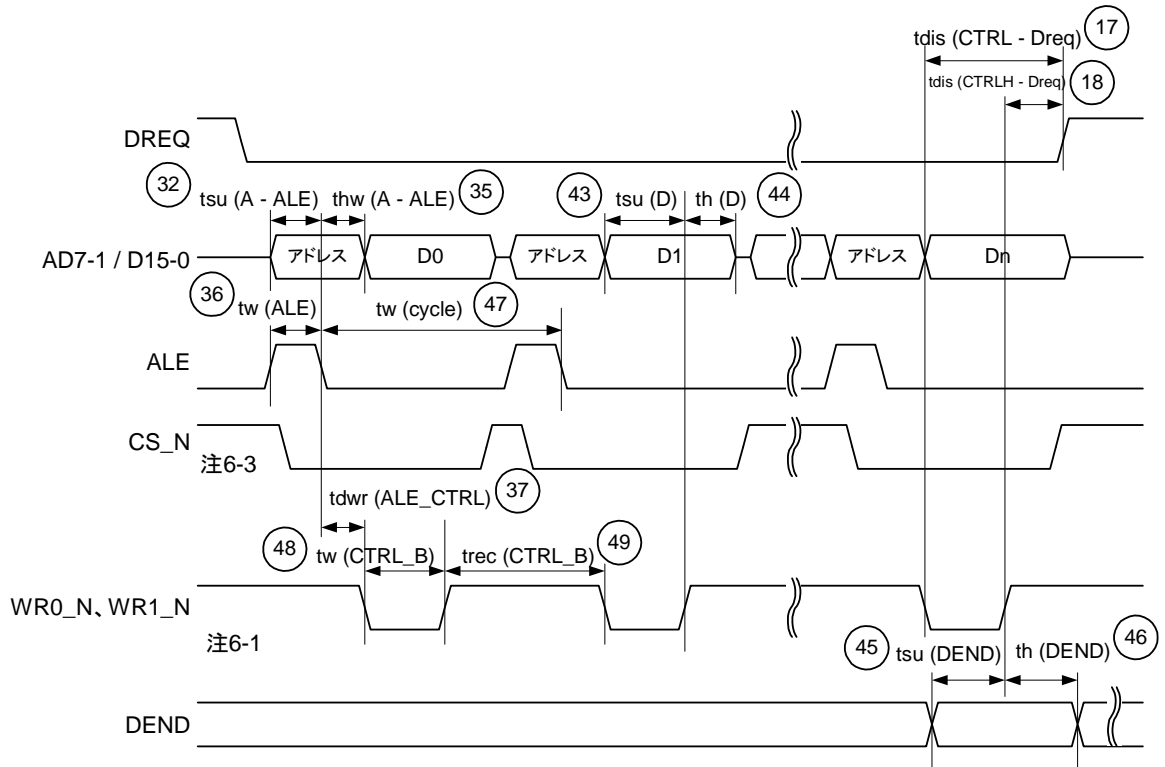


4.9.20 セバレートバス設定時、CPUバスによるDMA読み出しタイミング（バースト転送）

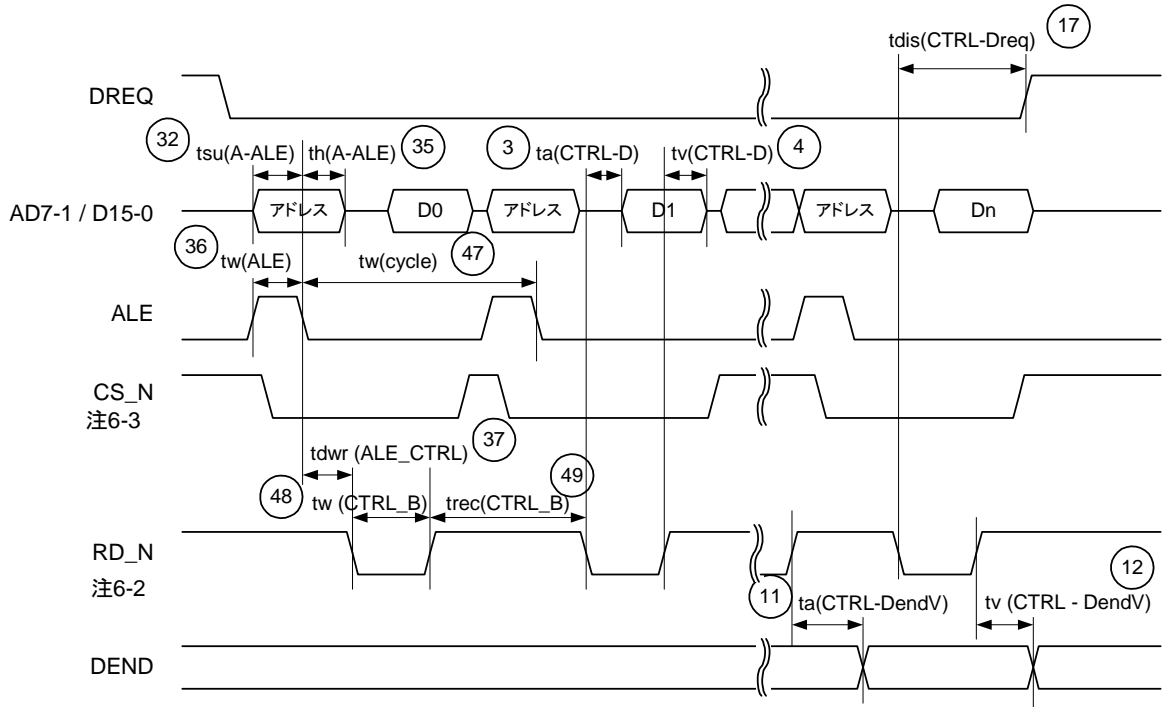


- 注5-1 : DACK、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注5-2 : DACK、RD_Nの組み合わせによる読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注5-3 : DACK、DSTRB_Nの組み合わせによる書き込みまたは読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注5-4 : CS_N、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注5-5 : CS_N、RD_Nの組み合わせによる読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注5-6 : 受信データが1バイトしかない場合、データ出力確定時間は“(23)td(DREQ-DV)”、DEND信号出力確定時間は“(24)td(DREQ-DendV)”となります。

4.9.21 マルチプレクスバス設定時、CPUバスによるDMA書き込みタイミング（バースト転送）

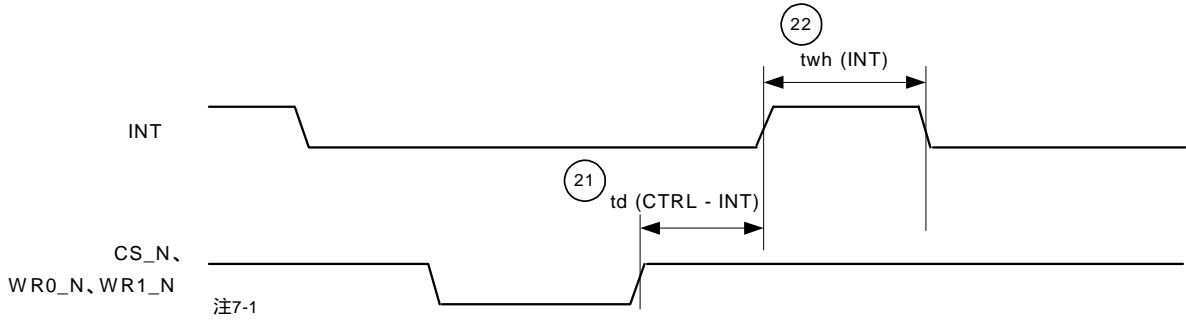


4.9.22 マルチプレクスバス設定時、CPUバスによるDMA読み出しタイミング（バースト転送）



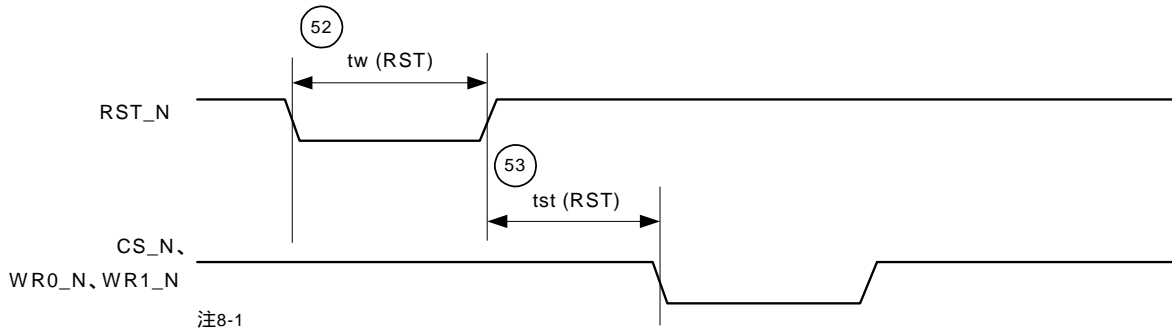
- 注6-1 : CS_N、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注6-2 : CS_N、RD_Nの組み合わせによる読み出しは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち下がりエッジからの規格は、アクティブの遅い信号変化からが有効です。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。パルス幅の規格は、アクティブ(“L”)のオーバーラップ期間が有効になります。
- 注6-3 : CS_Nが立ち上がるタイミングと同時にRD_NやWR0_N、WR1_Nを立ち下げないでください。RD_NまたはWR0_N、WR1_Nが立ち上がるタイミングと同時にCS_Nを立ち下げないでください。上記の場合、10ns以上の間隔を空ける必要があります。

4.10 割り込みタイミング



注7-1 : CS_N、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

4.11 リセットタイミング



注8-1 : CS_N、WR0_N、WR1_Nの組み合わせによる書き込みは、アクティブ(“L”)のオーバーラップ期間で行われます。立ち上がりエッジからの規格は、インアクティブの早い信号変化からが有効です。

改定記録

M66591データシート

Rev.	発行日	改定内容	
		ページ	ポイント
0.80	2002.8.28	-	初版
1.00	2003.10.1	1-6	(1) 1.2 特長の誤記訂正 (2) 図1.1のパッケージに関する誤記訂正 (3) 表1.1の誤記訂正 (4) 表1.2を追加 (5) 1.5 ブロック図の記述を簡素化
		14-15	「USBトランシーバコントロールレジスタ0」の記述を改良
		16	「USBトランシーバコントロールレジスタ1」の記述を改良及び、誤記を訂正
		18	「テストレジスタ」のビット名の記述を改良
		19	「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ0」の記述を改良及び、誤記訂正
		20	「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」の記述を改良及び、誤記訂正
		21-22	「データピン&FIFO/DMA制御ピンコンフィギュレーションレジスタ1」の記述を改良及び、誤記訂正
		23	「C_FIFOポートレジスタ0」の記述を改良及び、ビット説明の誤記訂正
		24	「D0_FIFOポートレジスタ1」の記述を改良及び、ビット説明の誤記訂正
		25	「DCP連続送信データ長レジスタ」の記述を改良及び、誤記訂正
		26-27	「C_FIFOポートコントロールレジスタ0」の記述改良及び、誤記訂正
		28-29	「C_FIFOポートコントロールレジスタ1」の記述改良
		30-31	「C_FIFOポートコントロールレジスタ2」の記述改良
		32-34	「D0_FIFOポートコントロールレジスタ0」の記述改良及び、誤記訂正
		35-36	「D0_FIFOポートコントロールレジスタ2」の記述改良
		37	「D0_FIFOポートコントロールレジスタ3」の記述改良
		38-40	「INT端子コンフィギュレーションレジスタ0」の記述改良及び、誤記訂正
		41	「INT端子コンフィギュレーションレジスタ1」の記述改良及び、誤記訂正
		42	「INT端子コンフィギュレーションレジスタ2」のbit6-bit1の名称を改正
		43	「INT端子コンフィギュレーションレジスタ3」のbit6-bit1の名称を改正
		44	「INT端子コンフィギュレーションレジスタ4」のbit6-bit1の名称を改正
		45-48	「割り込みステータスレジスタ0」の記述改良及び、誤記訂正
		49-50	「割り込みステータスレジスタ1」のbit6-bit1の名称を改正
		51-53	「割り込みステータスレジスタ2」のbit6-bit1の名称を改正
		54-56	「割り込みステータスレジスタ3」のbit6-bit1の名称を改正
		62	「DCPコンフィギュレーションレジスタ1」の記述改良及び、誤記訂正
		63	「DCPコンフィギュレーションレジスタ2」の誤記訂正
		64-65	「DCPコントロールレジスタ」の誤記訂正
		66	「PIPEコンフィギュレーション選択レジスタ」の記述改良
		67-69	「PIPEコンフィギュレーションウィンドウレジスタ0」の記述改良
70-71	「PIPEiコントロールレジスタ(i=1~4)」の記述改良		
74-75	「3.1 システム制御機能」の記述改良及び、誤記訂正		
76-82	「3.2 M66591初期設定及びクロック制御」の誤記訂正		
83-90	「3.3 割り込み機能」の記述改良及び、誤記訂正		
91-97	「3.4 コントロール転送とエニュメレーション」の記述改良		
98-100	「3.5 PIPEとPIPEコントロール」の記述改良		
101-105	「3.6 バッファメモリ」を追加		
105-109	「3.7 DMA転送」の記述改良		
111-114	電氣的特性へ「動作時平均電源電流」の標準値を追加		

Rev.	発行日	改定内容	
		ページ	ポイント
		115	「4.5.1 DC特性」の"V _{SE} - シングルエンディッドレシーバスレッシュOLD電圧"が、"V _{OSE1} - SE1出力電圧"に変更
		116	スイッチング特性の測定条件の見直しにより、規格値を変更及び、誤記訂正
		117	tw (CTRL_B)の条件を追加し、規格値を変更
		124	(1) 「4.9.9 スプリットバスによるDMA読み出しタイミング (Obus=0、サイクルスチール転送)」にスイッチング特性(23)、(24)を追加 (2) 「4.9.9 スプリットバスによるDMA読み出しタイミング (Obus=0、サイクルスチール転送)」に、受信データ数が1バイトしかない場合のDEND出力タイミングの説明を追加 (3) 「4.9.10 セパレートバス設定時、CPUバスによるDMA書き込みタイミング (サイクルスチール転送)」に、 tdis(CTRLH-Dreq)を tdis(CTRL-Dreq)に訂正
		126	「4.9.12 マルチプレクスバス設定時、CPUバスによるDMA書き込みタイミング (サイクルスチール転送)」に、 tdis(CTRLH-Dreq)を tdis(CTRL-Dreq)に訂正
		128	「4.9.14 セパレートバス設定時、CPUバスによるDMA書き込みタイミング (バースト転送)」に、 tdis(CTRLH-Dreq)を追加
		129	「4.9.16 スプリットバスによるDMA書き込みタイミング (バースト転送)」に、 tdis(CTRLH-Dreq)を追加
		130	(1) 「4.9.18 スプリットバスによるDMA読み出しタイミング (Obus = 0、バースト転送)」に、受信データ数が1バイトしかない場合のDEND出力タイミングの説明を追加 (2) 「4.9.18 スプリットバスによるDMA読み出しタイミング (Obus=0、バースト転送)」にスイッチング特性(23)、(24)を追加 (3) 「4.9.19 セパレートバス設定時、CPUバスによるDMA書き込みタイミング (バースト転送)」に、 tdis(CTRL-Dreq)を追加 (4) 「4.9.19 セパレートバス設定時、CPUバスによるDMA書き込みタイミング (バースト転送)」のアドレス確定するタイミングを訂正
		132	「4.9.21 マルチプレクスバス設定時、CPUバスによるDMA書き込みタイミング (バースト転送)」に、 tdis(CTRL-Dreq)を追加
		133	「4.9.22 マルチプレクスバス設定時、CPUバスによるDMA読み出しタイミング (バースト転送)」に、 tdis(CTRLH-Dreq)を tdis(CTRL-Dreq)に訂正

株式会社ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 (日本ビル)

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサステクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問い合わせ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第2鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1622
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌営業所	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部支社	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7724	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西部本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館10F)	(06) 6233-9400
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
鳥取営業所	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島営業所	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル)	(099) 256-9021

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサービスセンタ E-mail: csc@renesas.com