

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

概要

M65817AFPは、多様なニアPCMデジタル入力信号をアナログ段を介することなく高精度なスイッチングパルス信号に変換するS-Master方式のデジタルアンプ用プロセッサです。24ビットサンプリングレートコンバータおよびデジタル・ゲイン・コントロールを内蔵しています。パワードライバーを付加する事により、高精度（水晶発振精度）のフルデジタル・アンプ・システムを実現します。

特長

- ・24ビットサンプリングレートコンバータ内蔵
入力信号サンプリングレート32kHz～192kHz（最大24ビット）対応
4種のデジタル入力フォーマット対応
- ・L/R独立デジタルゲインコントロール機能内蔵
- ・指数関数近似カーブのソフトミュート機能
- ・SACD信号（64Fs 1bit、Fs=44.1kHz）に対応
- ・サンプリングレートコンバータ出力あり
- ・出力クロック及び入力データ/コントロール信号の3.3V/5V対応

主な仕様

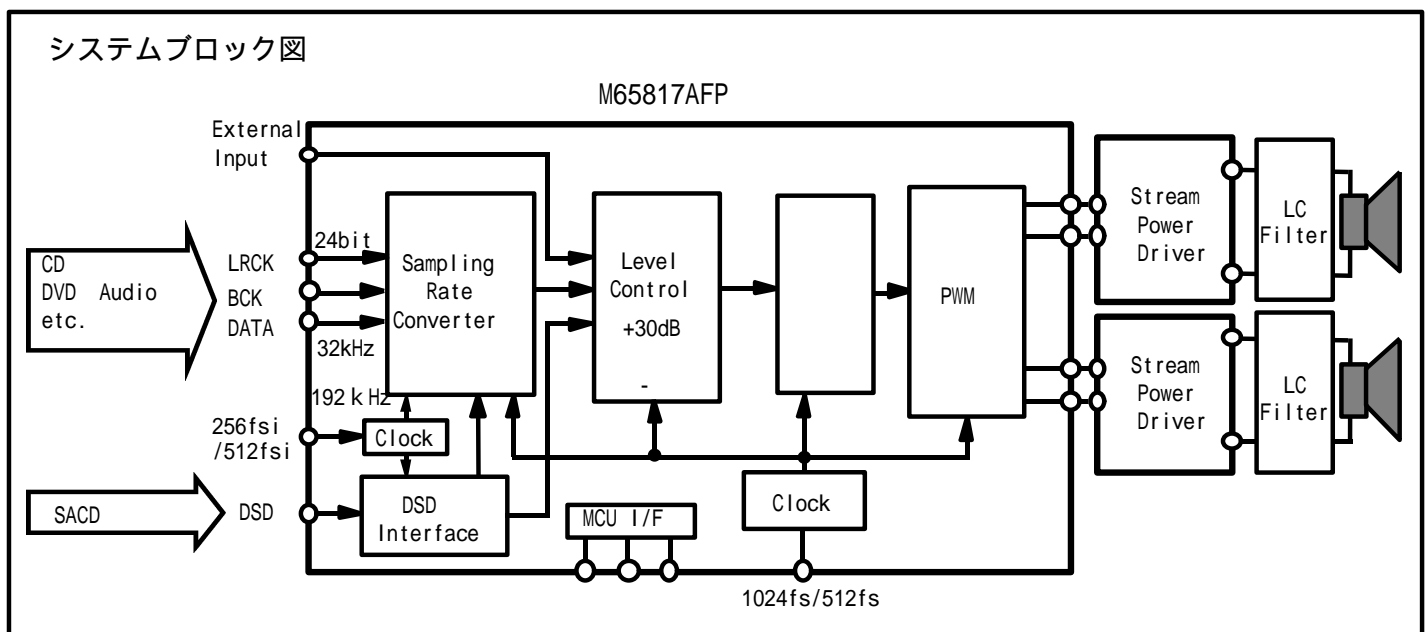
- ・マスタークロック
1次側：256Fs/512Fs
2次側：1024Fs/512Fs
- ・入力信号フォーマット
前詰めMSBファースト
後詰めMSB/LSBファースト
I²Sに対応
- ・入力語長16～24bit対応（16/20/24bit対応は、後詰めMSBファースト時のみ）
- ・入力信号サンプリングレート
32kHz～192kHz対応。
- ・8Fs入力モード
外部デジタルフィルタ、サンプリングレートコンバータ出力に対応
- ・SACD入力対応
- ・ゲインコントロール機能
+30dB～-96dBまでは0.1dBステップ制御可 最小設定値は-138dB
- ・3次デルタシグマ
2モード選択可（16Fs：6bit/5bit）
- ・サンプリングレートコンバータ出力
前詰めMSBファースト/LR独立/32BCK対応。

推奨動作条件

ロジック部3.3V ±10% , PWMバッファ部5.0V ±10%

用途

DVDレシーバ、AVアンプ

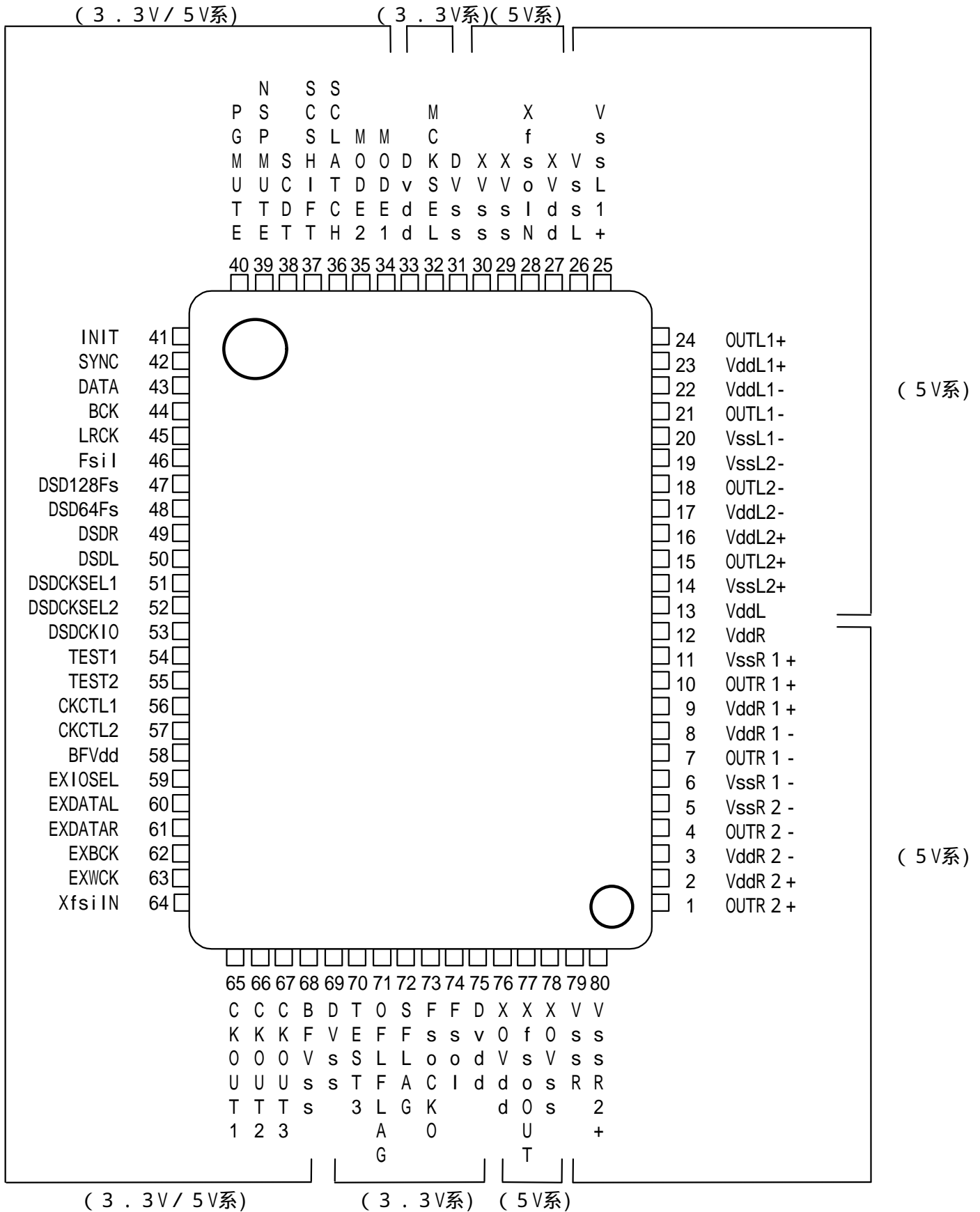


(*)S-Masterは、ソニー株式会社が開発したデジタルアンプの技術名称です。「S-Master」のロゴタイプ及び「S-Master」の文字は、ソニー株式会社の商標です。

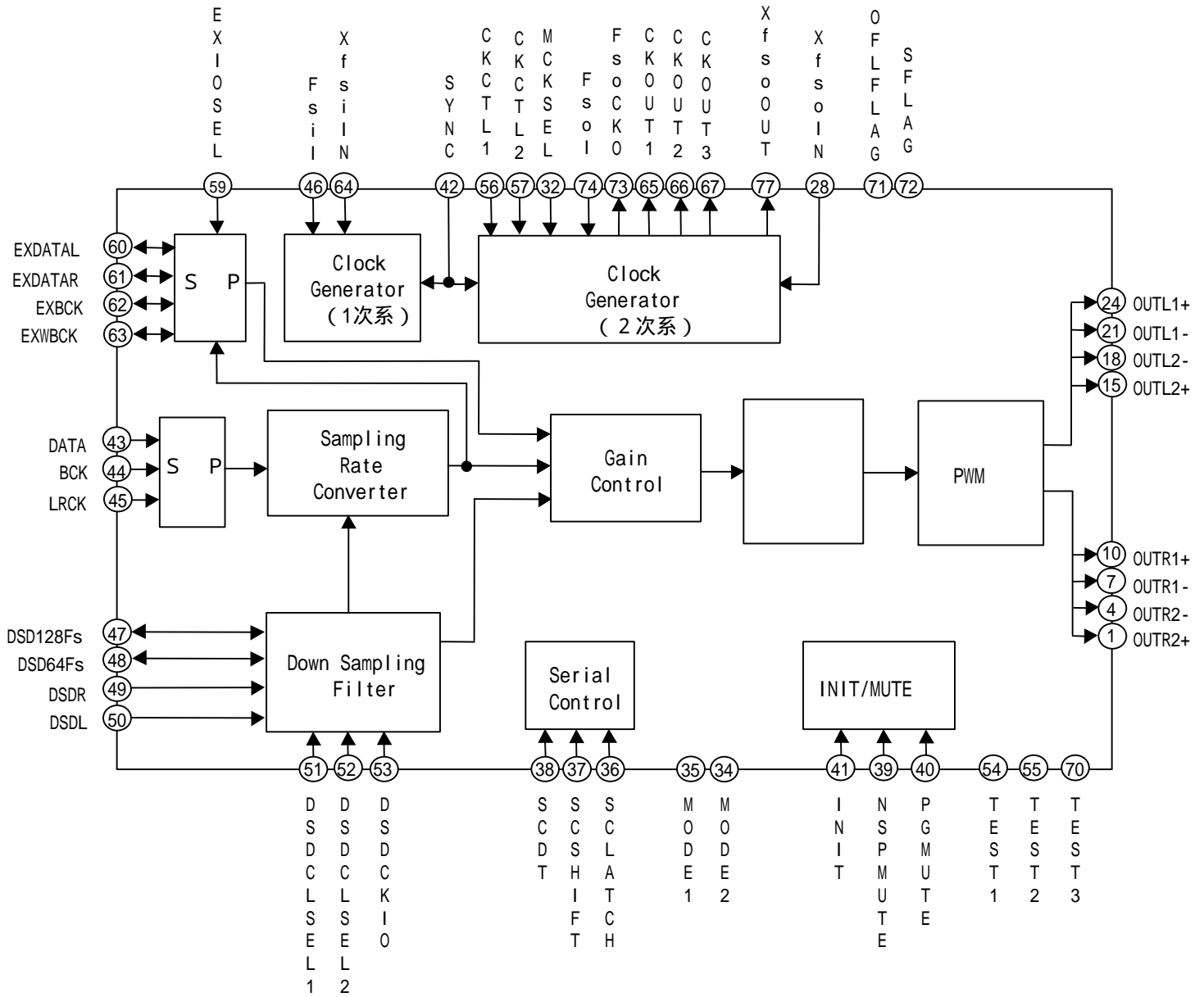
M65817AFP

S-Master方式(*)デジタルアンププロセッサ

ピン接続図 (上面図)



ブロック図



M65817AFP

S-Master方式(*)デジタルアンププロセッサ

絶対最大定格

項目	記号	条件	Min.	Typ.	Max	単位
電源電圧	PWMVdd	XVdd、XOVdd、Vdd (PWM) に対応	- 0.3	-	6.0	V
	BFVdd		- 0.3	-	6.0	V
	DVdd		- 0.3	-	4.2	V
入力電圧範囲	Vi (5V系)		- 0.3	-	Vdd+0.3V	V
	Vi (3.3V系)		- 0.3	-	Vdd+0.3V	V
消費電力	Pd	Ta=60		600		mW
保存温度	Tstg		- 40	-	125	

推奨動作条件

項目	記号	条件	Min.	Typ.	Max	単位
電源電圧	PWMVdd	XVdd、XOVdd、Vdd (PWM) に対応	4.5	5.0	5.5	V
	BFVdd	5V設定時	4.5	5.0	5.5	V
		3.3V設定時	3.0	3.3	3.6	V
	DVdd		3.0	3.3	3.6	V
周囲温度	Ta		- 10	-	60	
動作周波数	XFsoIN		16	-	50	MHz
	XFsiIN		8	-	25	MHz

電気的特性

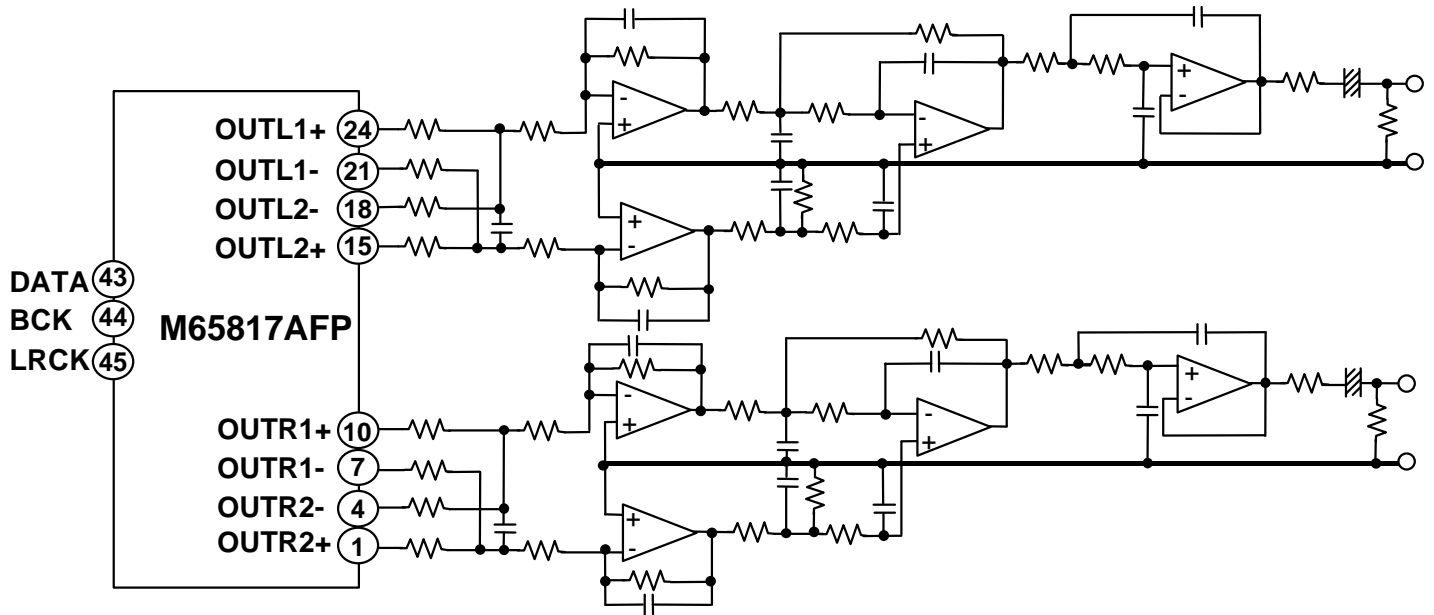
(特に指定の無い場合 Ta = 25、PWMVdd = 5V、DVdd = 3.3V)

DC特性							
項目	記号	条件	Min.	Typ.	Max	単位	
Hレベル入力電圧	VIH5	BFVdd = 4.5 ~ 5.5V	0.75Vdd	-	-	V	
	VIH3	BFVdd = 3.0 ~ 3.6V	0.75Vdd	-	-	V	
Lレベル入力電圧	VIL5	BFVdd = 4.5 ~ 5.5V	-	-	0.25Vdd	V	
	VIL3	BFVdd = 3.0 ~ 3.6V	-	-	0.25Vdd	V	
入力リーク電流	Ileak		-	-	10	μA	
Hレベル出力電圧	DSD128Fs DSD64Fs EXDATAL EXDATAR EXBCK EXWCK	VOH5	BFVdd = 4.5 ~ 5.5V IOH5 = -2.0mA	Vdd - 0.5	-	-	V
		VOH3	BFVdd = 3.0 ~ 3.6V IOH3 = -1.5mA	Vdd - 0.5	-	-	V
	CKOUT1 CKOUT2 CKOUT3	VOH5	BFVdd = 4.5 ~ 5.5V IOH5 = -4.0mA	Vdd - 0.5	-	-	V
		VOH3	BFVdd = 3.0 ~ 3.6V IOH3 = -3.0mA	Vdd - 0.5	-	-	V
	XfsoOUT	VOH5	BFVdd = 4.5 ~ 5.5V IOH5 = -2.0mA	Vdd - 0.5	-	-	V
	OFLFAG SFLAG FsoCKO	VOH3	BFVdd = 3.0 ~ 3.6V IOH3 = -2.0mA	Vdd - 0.5	-	-	V
Lレベル出力電圧	DSD128Fs DSD64Fs EXDATAL EXDATAR EXBCK EXWCK	VOL5	BFVdd = 4.5 ~ 5.5V IOH5 = 2.0mA	-	-	0.5	V
		VOL3	BFVdd = 3.0 ~ 3.6V IOH3 = 1.5mA	-	-	0.5	V
	CKOUT1 CKOUT2 CKOUT3	VOL5	BFVdd = 4.5 ~ 5.5V IOH5 = 4.0mA	-	-	0.5	V
		VOL3	BFVdd = 3.0 ~ 3.6V IOH3 = 3.0mA	-	-	0.5	V
	XfsoOUT	VOL5	BFVdd = 4.5 ~ 5.5V IOH5 = 2.0mA	-	-	0.5	V
	OFLFAG SFLAG FsoCKO	VOL3	BFVdd = 3.0 ~ 3.6V IOH3 = 2.0mA	-	-	0.5	V
消費電流	Id	BFVdd = 5V		33		mA	

M65817AFP

S-Master方式(*)デジタルアンププロセッサ

特性評価回路



参考特性		条件
S/N	103dB (typ)	<ul style="list-style-type: none"> • 入力: 1kHz sine wave • ACゲイン: E • ゲイン設定値: (指数部) 10000b / (仮数部) 10000000b • THD+N: Filter 20kHz LPF
THD+N	0.0015% (typ)	<ul style="list-style-type: none"> • Fs: 1,2次側 48kHz • DCゲイン量: 0.1% • S/N: Filter 22kHz LPF+JIS-A

端子説明

入出力は、CMOSレベル

端子番号	名称	I/O	説明	出力電流 5V時/3.3V時	信号レベル
1	OUTR2+	0	Rch PWM2(+)出力		5V
2	VddR2+		Rch PWM2(+)用電源(5V)		
3	VddR2-		Rch PWM2(-)用電源(5V)		
4	OUTR2-	0	Rch PWM2(-)出力		5V
5	VssR2-		Rch PWM2(-)用グランド		
6	VssR1-		Rch PWM1(-)用グランド		
7	OUTR1-	0	Rch PWM1(-)出力		5V
8	VddR1-		Rch PWM1(-)用電源(5V)		
9	VddR1+		Rch PWM1(+)用電源(5V)		
10	OUTR1+	0	Rch PWM1(+)出力		5V
11	VssR1+		Rch PWM1(+)用グランド		
12	VddR		RchPWM電源(5V)		
13	VddL		LchPWM電源(5V)		
14	VssL2+		Lch PWM2(+)用グランド		
15	OUTL2+	0	Lch PWM2(+)出力		5V
16	VddL2+		Lch PWM2(+)用電源(5V)		
17	VddL2-		Lch PWM2(-)用電源(5V)		
18	OUTL2-	0	Lch PWM2(-)出力		5V
19	VssL2-		Lch PWM2(-)用グランド		
20	VssL1-		Lch PWM1(-)用グランド		
21	OUTL1-	0	Lch PWM1(-)出力		5V
22	VddL1-		Lch PWM1(-)用電源(5V)		
23	VddL1+		Lch PWM1(+)用電源(5V)		
24	OUTL1+	0	Lch PWM1(+)出力		5V
25	VssL1+		Lch PWM1(+)用グランド		
26	VssL		LchPWM用グランド		
27	XVdd		マスタークロックバッファ用電源		
28	XfsoIN	I	2次側マスタークロック入力: 1024Fso/512Fso		5V
29	XVss		マスタークロックバッファ用グランド		
30	XVss		マスタークロックバッファ用グランド		
31	DVss		デジタル部グランド		
32	MCKSEL	I	2次側マスタークロック選択; L: 1024Fso, H: 512Fso		3.3V
33	DVdd		デジタル部電源(3.3V)		
34	MODE1	I	入力モード選択1		5V/3.3V
35	MODE2	I	入力モード選択2		5V/3.3V
36	SCLATCH	I	シリアルコントロール・ラッチ信号入力		5V/3.3V
37	SCSHIFT	I	シリアルコントロール・シフトクロック入力		5V/3.3V
38	SCDT	I	シリアルコントロール・データ入力		5V/3.3V
39	NSPMUTE	I	PWM duty50%ミュート(Lアクティブ)		5V/3.3V
40	PGMUTE	I	PWMのG-MUTE(Lアクティブ)		5V/3.3V

M65817AFP

S-Master方式(*)デジタルアンププロセッサ

入出力は、CMOSレベル

端子番号	名称	I/O	説明	出力電流 5V時/3.3V時	信号レベル
41	INIT	I	イニシャライズ入力(電源リセット): L リセット、H解除		5V/3.3V
42	SYNC	I	システムクロックの同期合わせ(立ち上がりエッジにて)		5V/3.3V
43	DATA	I	DATA入力(CD/MD/DVD-audioモード時)		5V/3.3V
44	BCK	I	BCK入力(CD/MD/DVD-audioモード時)		5V/3.3V
45	LRCK	I	LRCK入力(CD/MD/DVD-audioモード時)		5V/3.3V
46	Fsi I	I	1次側Fsiクロック入力(SACDモード時)		5V/3.3V
47	DSD128Fs	I/O	SACDインターフェースクロック	2mA/1.5mA	5V/3.3V
48	DSD64Fs	I/O	SACDインターフェースクロック	2mA/1.5mA	5V/3.3V
49	DSDR	I	SACD Rchデータ入力		5V/3.3V
50	DSDL	I	SACD Lchデータ入力		5V/3.3V
51	DSDCKSEL1	I	SACDインターフェース選択1		5V/3.3V
52	DSDCKSEL2	I	SACDインターフェース選択2		5V/3.3V
53	DSDCKIO	I	SACD用64Fs、128fsクロックのI/O選択 L:入力、H:出力		5V/3.3V
54	TEST1	I	テスト端子1: L固定にして下さい。		5V/3.3V
55	TEST2	I	テスト端子2: L固定にして下さい。		5V/3.3V
56	CKCTL1	I	fso系クロック出力選択端子1		5V/3.3V
57	CKCTL2	I	fso系クロック出力選択端子2		5V/3.3V
58	BFVdd		デジタル部入出力バッファ電源(3.3V/5V)		
59	EXIOSEL	I	8Fsデータ入出力選択 L:入力 H:出力		5V/3.3V
60	EXDATAL	I/O	8FsデータLch	2mA/1.5mA	5V/3.3V
61	EXDATAR	I/O	8FsデータRch	2mA/1.5mA	5V/3.3V
62	EXBCK	I/O	8Fsデータ系BCK(32BCK=1WCK)	2mA/1.5mA	5V/3.3V
63	EXWCK	I/O	8Fsデータ系ワードクロック(1WCK=32BCK)	2mA/1.5mA	5V/3.3V
64	Xfsi IN	I	1次側マスタークロック入力(256fsi/512fsi/256fso/512fso)		5V/3.3V
65	CKOUT1	O	fso系クロック出力1	4mA / 3mA	5V/3.3V
66	CKOUT2	O	fso系クロック出力2	4mA / 3mA	5V/3.3V
67	CKOUT3	O	fso系クロック出力3	4mA / 3mA	5V/3.3V
68	BFVss		デジタル部入出力バッファ用グランド		
69	DVss		デジタル部グランド		
70	TEST3	I	テスト端子3: L固定にして下さい。		3.3V
71	OFLFLAG	O	デジタル演算部オーバーフロー・ディテクターフラグ(Hアクティブ)	2mA	3.3V
72	SFLAG	O	非同期検出フラグ(Hアクティブ)	2mA	3.3V
73	FsoCKO	O	2次側Fsoクロック出力	4mA	3.3V
74	FsoI	I	2次側Fsoクロック入力		3.3V
75	DVdd		デジタル部電源(3.3V)		
76	XOVdd		2次側マスタークロックの出力用バッファ電源(5V)		
77	XfsoOUT	O	2次側マスタークロックのバッファード出力	2mA	5V
78	XOVss		2次側マスタークロックの出力用バッファ グランド		
79	VssR		Rch PWM用グランド		
80	VssR2+		Rch PWM2(+)用グランド		

動作設定

1. 各端子の設定

1-1 . MODE1、MODE2

34 35

入力信号モード (Normal/SACD/外部レートコンバータ8fs入力) の選択端子です。
MODE1, MODE2の端子はNormal/SACD/外部レートコンバータ8fs入力の切り替え制御をします。

No.	端子名	Normal	外部レートコンバ [*] -8fs	SACD-fsi	SACD-fso
34	MODE1	L	L	H	H
35	MODE2	L	H	L	H

Normalモード

CD、MD、DVDなどのデータを入力するモードです。
入力端子 (DATA、BCK、LRCK) からデータを入力します。

外部レートコンバータ8fsモード

レートコンバータ部を介さず外部機器からデータを入力するモードです。
入力端子 (EXBCK、EXWCK、EXDATAL、EXDATAR) からデータを入力します。

SACD-fsiモード

1次側クロックに同期したSACDデータを入力するモードです。
入力端子 (DSDL、DSDR、DSD128Fs、DSD64Fs) からデータを入力します。

SACD-fsoモード

2次側クロックに同期したSACDデータを入力するモードです。
入力端子 (DSDL、DSDR、DSD128Fs、DSD64Fs) からデータを入力します。

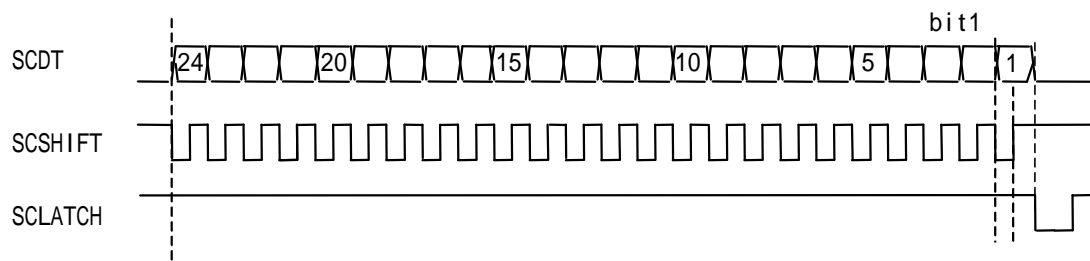
*1次側クロックとは レートコンバータの入力側クロック系のことです。
2次側クロックとは レートコンバータの出力側クロック系のことです。レートコンバータ以降
(ゲインコントロール部、デルタシグマ部、PWM部) は2次系のクロックで動作します。

1-2 . SCDT、SCSHIFT、SCLATCH

38 37 36

入力端子 (SCDT、SCSHIFT、LATCH) により動作モードの設定を制御します。
下図にSCDT、SCSHIFT、LATCHの入力フォーマットを示します。

SCDT、SCSHIFT、LATCHの入力フォーマット



モード説明

動作モードは大きく4つに分類され bit1,2によって以下の選択をします。

(bit1,2) = (L, L)	...ゲインコントロールモード	: ゲインコントロール
(bit1,2) = (L, H)	...システム1モード	: 入力側の初期設定等
(bit1,2) = (H, L)	...システム2モード	: 出力側の初期設定等
(bit1,2) = (H, H)	...テストモード (設定禁止)	

各ビットの詳細仕様については、シリアルコントロール (17ページ) を参照下さい。

1-3 . DATA、BCK、LRCK

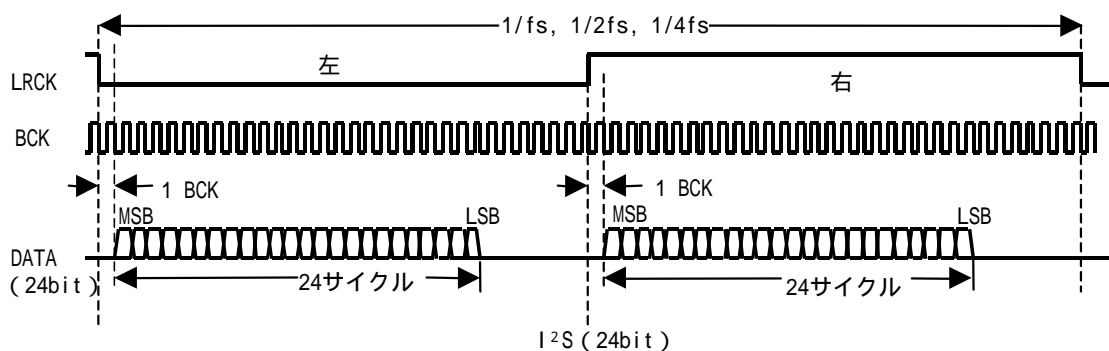
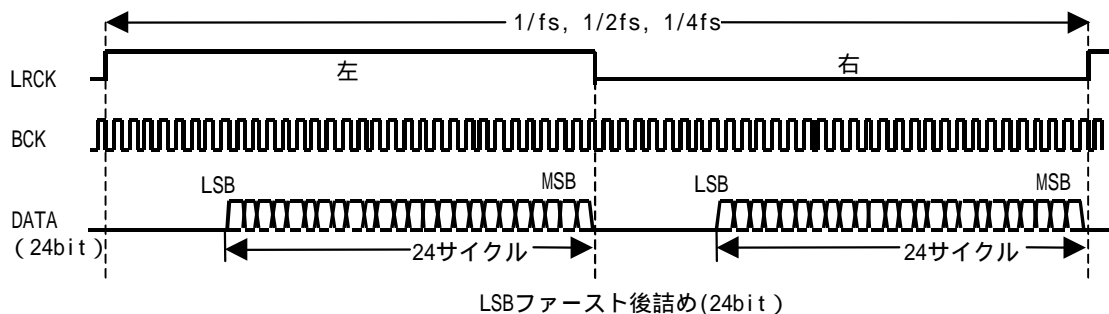
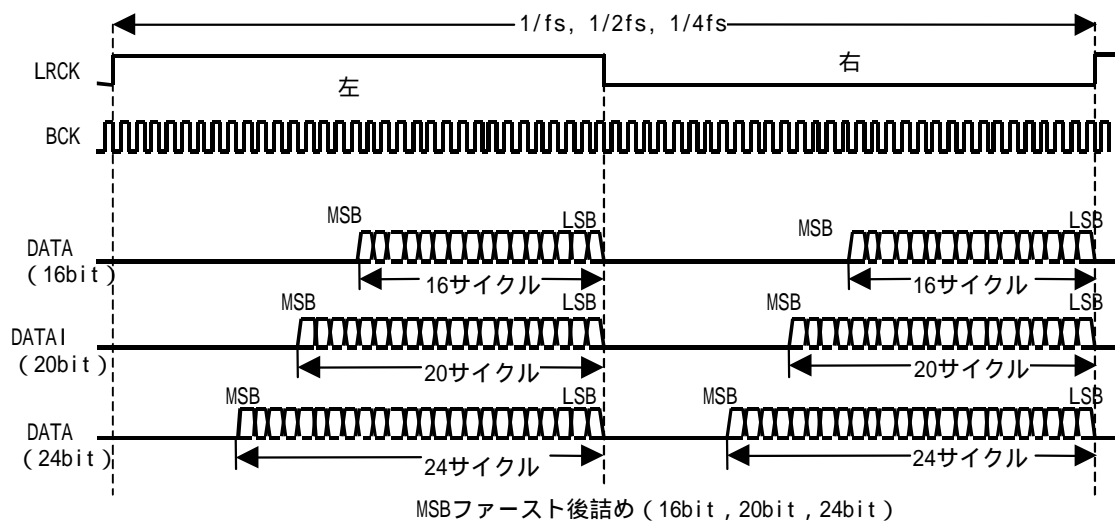
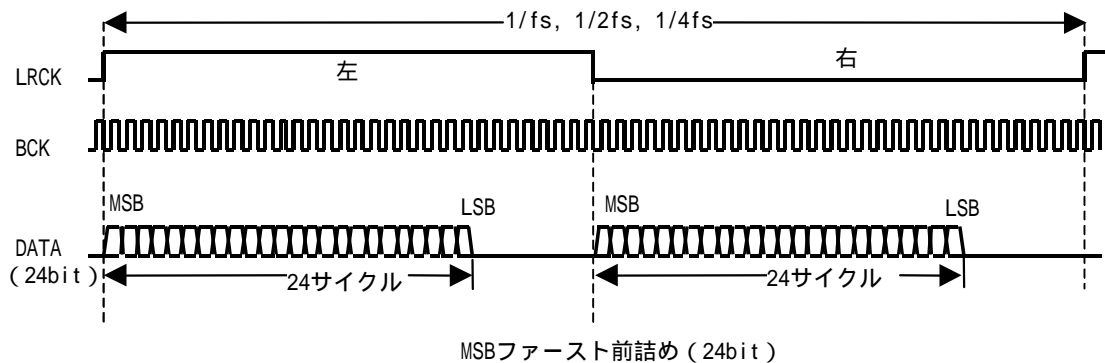
43 44 45

入力信号モードがNormalモード時の入力端子です。

シリアルコントロール(システム1モード、bit3,4)の設定により下図の4つの入力フォーマットをサポートします。またシリアルコントロール(システム1モード、bit5,6)の設定によりMSBファースト後詰めの入力データ長を設定します。

下図にDATA、BCK、LRCKの入力フォーマットを示します。

DATA、BCK、LRCKの入力フォーマット



S-Master方式(*)デジタルアンププロセッサ

1-4 . EXBCK、EXWCK、EXDATAL、EXDATAR、EXIOSEL

62 63 60 61 59

入力信号モードが外部レートコンバータ 8fs入力およびレートコンバータ出力用の端子です。
この機能を使わない場合は、59～63番ピンは“L”固定に設定してください。

この機能を使う場合は、14ページをご参照ください。

1-5 . DSDL、DSDR、DSD128Fs、DSD64Fs、DSDCKSEL1、DSDCKSEL2、DSDCKI0

50 49 47 48 51 52 53

入力信号モードがSACD- f siモードおよびSACD- f soモードの時、使用する端子です。
この機能を使わない場合は、47～53番ピンは“L”固定に設定してください。

この機能を使う場合は、15ページをご参照ください。

1-6 . MCKSEL、XfsoIN、XfsoOUT

32 28 77

XfsoINは、2次側のマスタークロック入力です。
MCKSELの設定で2次側マスタークロックの選択をします。

MCKSEL	XfsoIN
L	1024fs
H	512fs

XfsoOUTは、XfsoIN入力クロックのバッファード出力です。

1-7 . XfsiIN

64

XfsiINは、1次側のマスタークロック入力です。
シリアルコントロール(システム2モード、bit3)の設定により1次側マスタークロックの選択をします。

bit3 (IMCKSEL)	XfsiIN
H	512fs
L	256fs

1-8 . CKCTL1、CKCTL2、CKOUT1、CKOUT2、CKOUT3

56 57 65 66 67

CKOUT1、CKOUT2、CKOUT3は、2次側クロックの分周クロック出力端子です。出力クロックは、電源投入後フリーランです。

CKCTL1、CKCTL2により、CKOUT1、CKOUT2、CKOUT3の出力するクロックの選択をします。
下図にCKCTL1、CKCTL2の設定一覧表を示します。

CKCTL1	CKCTL2	CKOUT1	CKOUT2	CKOUT3
L	L	L	L	L
L	H	256Fso	16Fso	8Fso
H	L	512Fso	256Fso	16Fso
H	H	512Fso	256Fso	8Fso

1-9 . FsoCK0

73

FsoCK0は、1fs周波数のクロック出力端子です。XfsoINの分周クロックで、電源投入後フリーランです。このICを複数使用する場合や、このICと外部機器と同期をとる場合の同期用クロックです。
詳細は、次項のSYNCを参照下さい。

1-10 . SYNC、Fsol、Fsil、SFLAG

42 74 46 72

本ICの入力ソース機器と本ICとは同期動作が必要です。このため本ICでは、Fsol (1fs)、Fsil (1fs)、LRCK (1/2/4fs) のクロックを入力し、そのクロックに同期して動作します。

通常動作では、同期クロックの立ち上がりエッジ周期を常にモニターし、その周期が変化した場合には再同期を行います。

またSYNCの立ち上がりエッジを検出すると、同様に同期クロックと同期をとるために再同期を行います。電源投入時や入力ソースの切り替え時には同期クロック周期が安定になった後、SYNCによる再同期を行うことにより安定な同期動作が得られます。このSYNC機能はシリアルコントロール

(システム2モード、bit6)にも同名で存在します。再同期を行っている

非同期期間中はSFLAG端子は“H”を出力し出力ミュート処理します。同期対象クロックは、入力信号モードにより変わります。

下図にこの関係を示します。

入力信号モード	同期対象クロック	
	1次側	2次側
Normal	LRCK	Fsol
外部レートコンバ* -78fs		Fsol
SACD-fsi	Fsil	Fsol
SACD-fso		Fsol

マルチ (本ICを複数使用して多チャンネル対応にて使用する) の場合とシングル (本ICを1つ使用して2ch対応にて使用する) の場合について説明致します。

Normalモード (34ピン = “L”、35ピン = “L”)

マルチの場合

1次側は、共通で入力されるLRCKに同期します。2次側は、本ICの1つがマスターとなり、このマスターICより出力されるFsoCK0をマスターIC及びその他のスレーブICのFsolに入力することにより同期します。

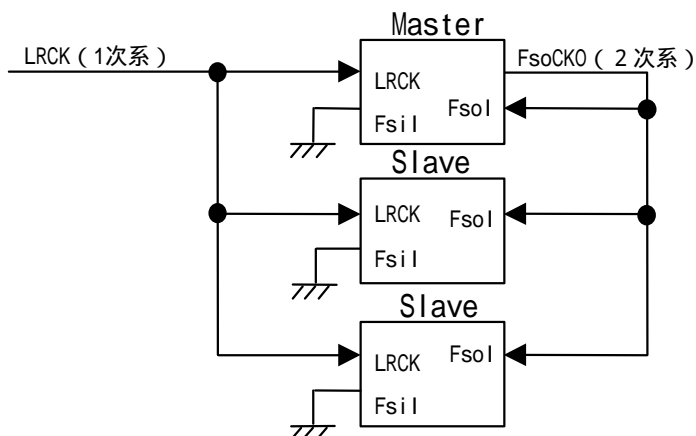
シングルの場合

1次側は、LRCKに同期します。2次側はFsoCK0をFsolに inputs します。またFsoCK0をFsolに inputs しない使用もでき、但し、その場合はシステムコントロール内のASYNCEN2フラグによって2次側非同期検出をdisableにして下さい。

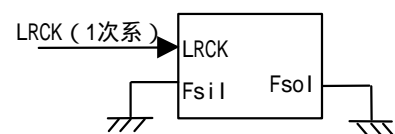
このモードでは、1次側は常にLRCKに対する同期検出を行います。

つまりシリアルコントロール：ASYNCEN1に関係なく強制enableで動作します。

【 マルチ (6ch) の場合の接続図例 】



【 シングル (2ch) の場合の接続図例 】



入力信号モードが「外部レートコンバータ8Fsモード」「SACD-fsiモード」「SACD-fsoモード」の場合の接続については14ページ、15ページを参照下さい。

1-11 . OFLFLAG

71

OFLFLAGは、演算オーバーフローのフラグ端子です。ゲインコントロール部などの演算オーバーフローを検出すると”H”出力します。”H”出力幅は、0.6msec以上になるように検出結果を内部で保持します。

1-12 . NSPMUTE

39

PWM出力をDuty50%ミュートするための端子です。

L : PWM出力 Duty50%ミュート

H : ミュート解除

1-13 . PGMUTE

40

PWM出力を絶対ゼロミュートするための端子です。

L : PWM出力ミュート

L1(+), L2(+), R1(+), R2(+): ”L”固定

L1(-), L2(-), R1(-), R2(-): ”H”固定

H : ミュート解除

1-14 . INIT

41

INITは全体のリセット端子です。

”L”入力で(1) データメモリのクリア、(2) シリアルコントロール設定の初期化、(3) PWM出力をDuty50%にします。

”L”期間中は最低5msec以上として下さい。

”H”レベルでクリア解除します。

”L” ”H”へ変化したエッジを検出してSYNCと同様な再同期を行います。

1-15 . TEST1、2、3

54 55 70

本ICの出荷テストのためのテスト端子です。TEST1、2、3端子は”L”固定として使用して下さい。

1-16 . 電源及びGND端子機能

電源、GNDの系統は、下記の5系統に分離されます。

- (1) VddL1+, VssL1+, VddL1-, VssL1-, VddL2+, VssL2+, VddL2-, VssL2-, VddR1+, VssR1+, VddR1-, VssR1-, VddR2+, VssR2+, VddR2-, VssR2-, VssL, VddL, VssR, VddR

PWM出力部バッファ用電源、GND端子です。電源は5V固定です。

- (2) XVdd, XVss

27 29 30

XfsoINクロック入力部の電源、GNDです。電源は5V固定です。

- (3) XOvdd, XOvss

76 78

XfsoOUTクロック出力部の電源、GNDです。電源は5V固定です。

- (4) DVdd, DVss

33 31 75 69

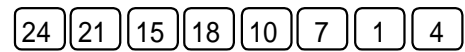
内部デジタル部及び3.3V固定入出力バッファ(端子32、70~74)用電源、GNDです。電源は3.3V固定です。

- (5) BFVdd, BFVss

58 68

3.3V / 5V入出力バッファ用電源、GNDです。本端子へ5V電源を接続すると、34~67端子の入出力は、信号レベル5Vとなります。また本端子に3.3V電源を接続すると、34~67端子の入出力は、信号レベル3.3Vとなります。

1-17 . OUTL1+, OUTL1-, OUTL2+, OUTL2-, OUTR1+, OUTR1-, OUTR2+, OUTR2-



OUTL1 (+/-)、OUTL2 (+/-)、OUTR1 (+/-)、OUTR2 (+/-) はデルタシグマ部出力データを
PWM変調したパルス出力端子です。
この出力端子を、外付けパワードライバーと接続します。

2. 外部レートコンバータ8Fsモード使用時の設定

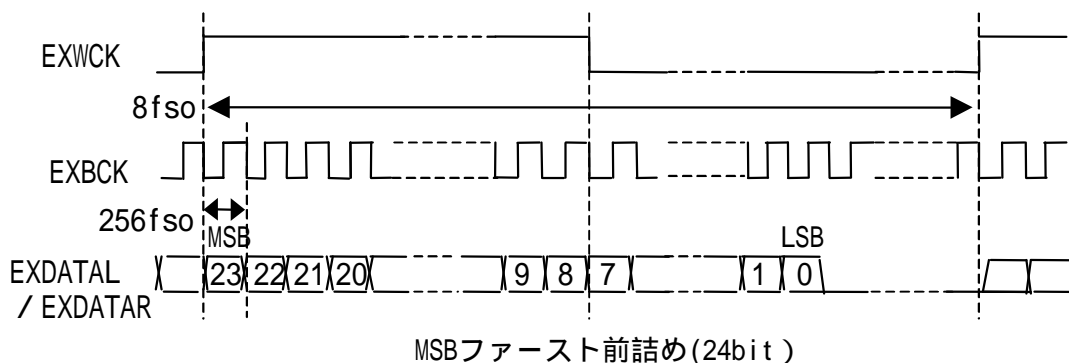
2-1. EXBCK、EXWCK、EXDATAL、EXDATAR、EXIOSEL

入力信号モードが外部レートコンバータ8fsモード時、端子(EXDATAL、EXDATAR)からデータを入力します。入力信号モードが外部レートコンバータ8fsモード以外の場合、EXIOSELを”H”とすることによりレートコンバータの出力を端子(EXDATAL、EXDATAR)から出力します。入力信号モードが外部レートコンバータ8fsモード以外の場合、EXIOSELを”L”とすることにより端子(EXBCK、EXWCK、EXDATAL、EXDATAR)は入力端子となります。したがって外部レートコンバータ8fsモードを使用しない場合は、EXIOSELを”L”とし、他の4ピン(EXBCK、EXWCK、EXDATAL、EXDATAR)を”L”または”H”固定とすることができます。

下図にEXDATAL、EXDATAR、EXBCK、EXWCKの入力/出力フォーマットを示します。

入力信号モード	EXIOSEL	EXWCK、EXBCK、EXDATAL、EXDATAR 入力/出力
外部レートコンバータ 8fsモード (MODE1,2=L,H)	L	入力
	H	入力
外部レートコンバータ 8fsモード以外 (MODE1,2=L,H以外)	L	入力
	H	出力

EXDATAL、EXDATAR、EXBCK、EXWCKの入力/出力フォーマット



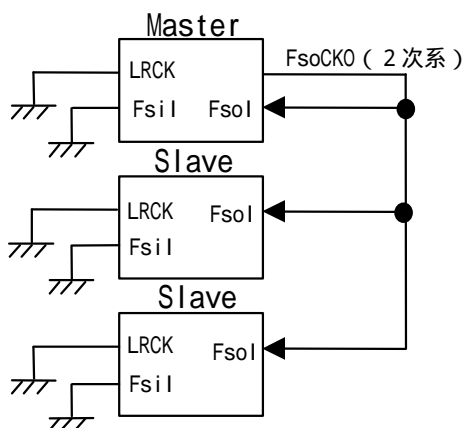
2-2. SYNC、FsoI、FsiI、SFLAG

マルチ、シングル(共通)

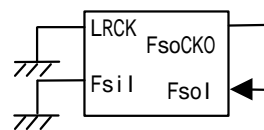
1次側は、内部レートコンバータ未使用のため同期動作は行いません。このモードでは、1次側の非同期検出は、強制的にdisableとします。2次側は、FsoCKOに対して同期をとります。

尚、本ICから外部レートコンバータに送るFsoCKOの立上がりエッジと外部レートコンバータからくるEXWCKの立上がりエッジは同期する位相とする必要があります。

【 マルチ(6ch)の場合の接続図例 】



【 シングル(2ch)の場合の接続図例 】



3. SACD入力モード使用時の設定

3-1. DSDL、DSDR、DSD128Fs、DSD64Fs、DSDCKSEL1、DSDCKSEL2、DSDCKIO

入力信号モードがSACD- f siモードおよびSACD- f soモードの時、端子 (DSDL、DSDR) からデータを入力します。SACD- f siモードでは、1次側クロックに同期したSACDデータを入力します。

SACD- f soモードでは、2次側クロックに同期したSACDデータを入力します。

DSDCKSEL1、2の設定により、SACD動作タイミング4つのモードを選択します。

DSDCKIOによりデータ取り込み用クロックDSD128Fs、DSD64Fsの入力か出力かを選択します。

下図にDSDCKSEL1、2のモード設定とDSDCKIO設定とSACD入力フォーマットを示します。

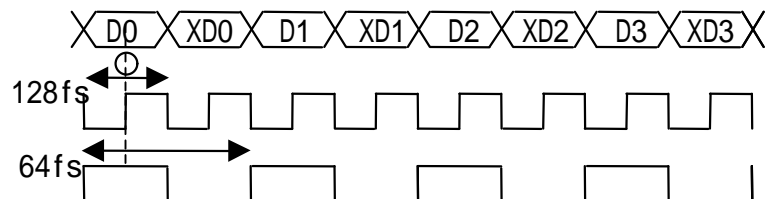
DSDCKSEL1	DSDCKSEL2	SACD動作タイミングモード
L	L	mode1
L	H	mode2
H	L	mode3
H	H	mode4

DSDCKIO	DSD64fs、 DSD128fs I/Oの選択
L	入力
H	出力

SACD入力フォーマット

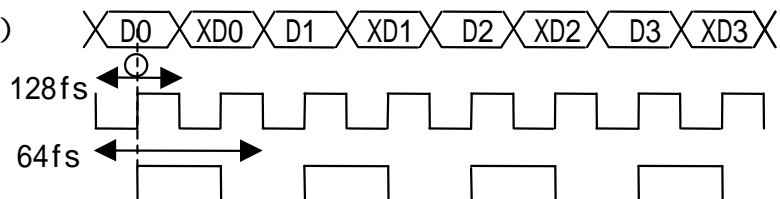
mode1

DSDL / R (入力データ)



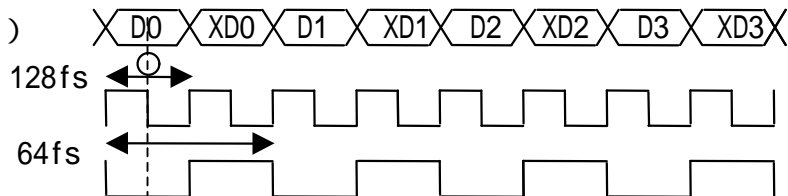
mode2

DSDL / R (入力データ)



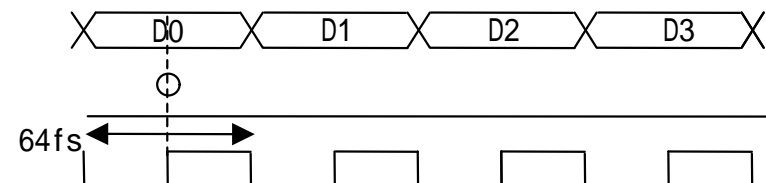
mode3

DSDL / R (入力データ)



mode4

DSDL / R (入力データ)



*D0: 正相データ, XD0: 逆相(反転)データ
上記のタイミングにて、正相データを取り込みます。

3-2 . SYNC、FsoI、FsiI、SFLAG

SACD- fsiモード

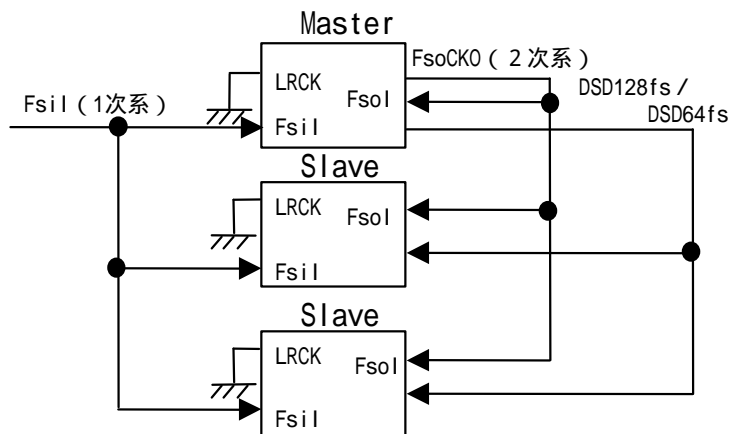
マルチの場合

1次側はFsiIに同期します。2次側は、本ICの1つがマスターとなり、このマスターICより出力されるFsoCKOをマスターIC及びその他のスレーブICのFsoIに入力することにより同期します。またこの場合、マスターICのDSD64fs、DSD128fsからクロックを出力(DSDCK10:H)し、他のICのDSD128fs、DSD64fs(DSDCK10:L)に入力します。このようにすることによりマルチの場合のSACD入力の同期がとれます。

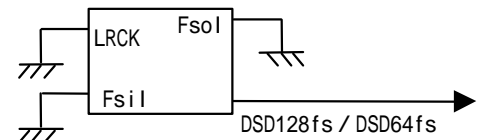
シングルの場合

1次側はFsiI、2次側はFsoIにクロックを入力します。またFsiIとFsoIにクロックを入力しない使用もできる。但し、その場合はシステムコントロール内のASYNCEN1, 2フラグによって非同期検出をdisableにしてください。

【 マルチ (6ch) の場合の接続図例 】



【 シングル (2ch) の場合の接続図例 】



SACD- fsoモード

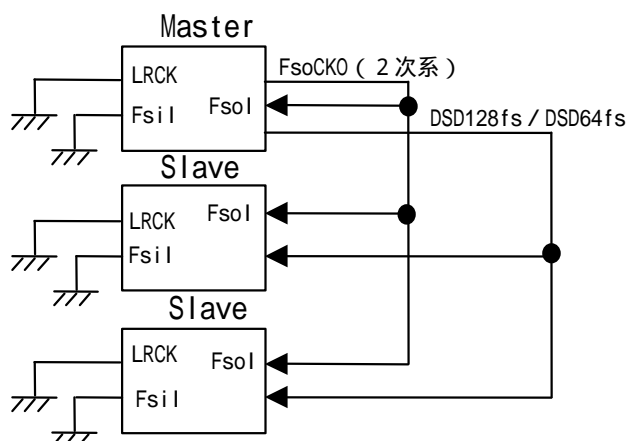
マルチの場合

1次側は、内部レートコンバータ未使用のため、同期動作は行いません。このモードでは、1次側の非同期検出を強制的にdisableとなります。2次側は、本ICの1つがマスターとなり、このICより出力されるFsoCKOをマスターIC及びその他のスレーブICのFsoIに入力することにより同期します。またこの場合、マスターICのDSD64fs、DSD128fsからクロックを出力(DSDCK10:H)し、他のICのDSD128fs、DSD64fs(DSDCK10:L)に入力します。このようにすることによりマルチの場合のSACD入力の同期がとれます。

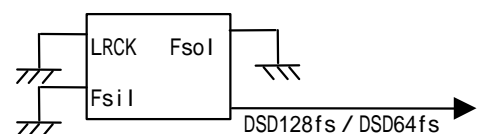
シングルの場合

1次側は、内部レートコンバータ未使用のため、同期動作は行いません。このモードでは、1次側の非同期検出を強制的にdisableとなります。2次側は、FsoIにクロックを入力します。またFsoIにクロックを入力しない使用もでき、但し、その場合は、システムコントロール内のASYNCEN2フラグによって非同期検出をdisableにしてください。

【 マルチ (6ch) の場合の接続図例 】



【 シングル (2ch) の場合の接続図例 】



シリアルコントロール

1. ゲインコントロールモード 設定なきビットは、DON'T CARE です。

bit	フラグ名	機能説明	H	L	INIT
1	MODE1	モード設定1		"L"固定	-
2	MODE2	モード設定2		"L"固定	-
3	TEST1	テストモード 1		"L"固定	L
4	TEST2	テストモード 2		"L"固定	L
5	NSLMT1	出力リミッタ1	下表 表1 - 1参照		L
6	NSLMT2	出力リミッタ2			L
7	GCONT1	ゲインコントロール部チャンネル制御	L/R独立	L/R共通	L
8	GCONT2	ゲインコントロール部チャンネル制御	Lch	Rch	L
9					-
10					-
11					-
12	GAIN0	ゲインデータ 指数(MSB)			H
13	GAIN1	ゲインデータ 指数			L
14	GAIN2	ゲインデータ 指数			L
15	GAIN3	ゲインデータ 指数			L
16	GAIN4	ゲインデータ 指数(LSB)			L
17	GAIN5	ゲインデータ 仮数(MSB)			H
18	GAIN6	ゲインデータ 仮数			L
19	GAIN7	ゲインデータ 仮数			L
20	GAIN8	ゲインデータ 仮数			L
21	GAIN9	ゲインデータ 仮数			L
22	GAIN10	ゲインデータ 仮数			L
23	GAIN11	ゲインデータ 仮数			L
24	GAIN12	ゲインデータ 仮数(LSB)			L

出力リミッタ (bit5,6 : NSLMT1,2)

入力信号のゲインによっては、オーバーフローリミッタが働きます。

リミット値は本シリアルモードbit5,6『NSLMT1,2』及びシステム2モード : bit17『NSOBT』にて設定します。

・ゲインコントロール部出力及びデルタシグマ出力のリミット値の設定

表1-1a リミット値 NSOBT(システム2モード-bit17) = L (6bit mode) の場合

NSLMT1, 2	ゲイン部出力リミット値	PWM出力の値(デルタシグマ出力のリミット値)
(L , L)	± 0.9375	63値 (± 31)
(H , L)	± 0.90625	61値 (± 30)
(L , H)	± 0.875	59値 (± 29)
(H , H)	± 0.84375	57値 (± 28)

表1-1b リミット値 NSOBT(システム2モード-bit17) = H (5bit mode) の場合

NSLMT1, 2	ゲイン部出力リミット値	PWM出力の値(デルタシグマ出力のリミット値)
(L , L)	± 0.90625	31値 (± 15)
(H , L)	± 0.875	31値 (± 15)
(L , H)	± 0.84375	29値 (± 14)
(H , H)	± 0.8125	29値 (± 14)

ゲインコントロール部チャンネル制御 (bit7,8 : GCONT1,2)

このビットの設定によりゲインデータを、L/Rch共通またはL/R独立の制御が可能です。

GCONT1 : L...L/R共通(INIT)、 H...L/R独立

GCONT2 : L...Rchのみ H...Lchのみ

bit8は、bit7 = Hの場合のみ有効です。

ゲインデータ指数 / 仮数 (bit12~24 : GAIN0~12)

GAIN量の設定は、

指数部 : bit12(MSB) ~ bit16(LSB)

仮数部 : bit17(MSB) ~ bit24(LSB)

の、計13bitで行います。

指数部 : 10100b(16.0) ~ 10000b (1.0) ~ 00000b(2^{-16})

仮数部 :

指数部が00000b以外 : 11111111b ~ 10000000b

指数部が00000b : 11111111b ~ 00000000b

INIT値 : 指数部 : 10000b 仮数部 : 10000000b
infinity zero : 指数部 : 00000b 仮数部 : 00000000b

* GAIN量の連続設定時の注意

L/Rch独立設定など、GAIN量の設定を連続で行う場合には、その設定間隔(端子SCLATCHのパルス間隔)時間を、 $1/f_{so}$ 以上とって下さい。たとえば、 $f_{so} = 48\text{kHz}$ の場合は、 $21\ \mu\text{sec}$ 以上の間隔をとって下さい。

・ゲインデータとオーディオ出力レベル

ゲインデータは13bitですが、指数5bit仮数8bitであり、 $10000b(1.0)/10000000b(0.5)$ が0.5(0dB)を表します。

表1-2 ゲインデータと出力レベル

ゲインデータ	極性	出力絶対値	出力レベル
10100/11111111 (b)		15.9375	+30.069dB
10001/10000000 (b)		1.0	+6.021dB
10000/10000000 (b)		0.5	0dB
01111/11111111 (b)	+	0.498046875	-0.0340dB
00000/10000000 (b)		$0.5 * 2^{-16}$	-96.330dB
00000/00000001 (b)		$0.00390625 * 2^{-16}$	-138.474dB
00000/00000000 (b)		infinity zero	

仮数部は、指数部の値によって以下の範囲の値をとります。

指数部 ; 10100b ~ 00001bの場合 : 仮数部 ; 11111111b ~ 10000000b (128ステップ/1指数)

指数部 ; 00000bの場合 : 仮数部 ; 11111111b ~ 00000000b (256ステップ)

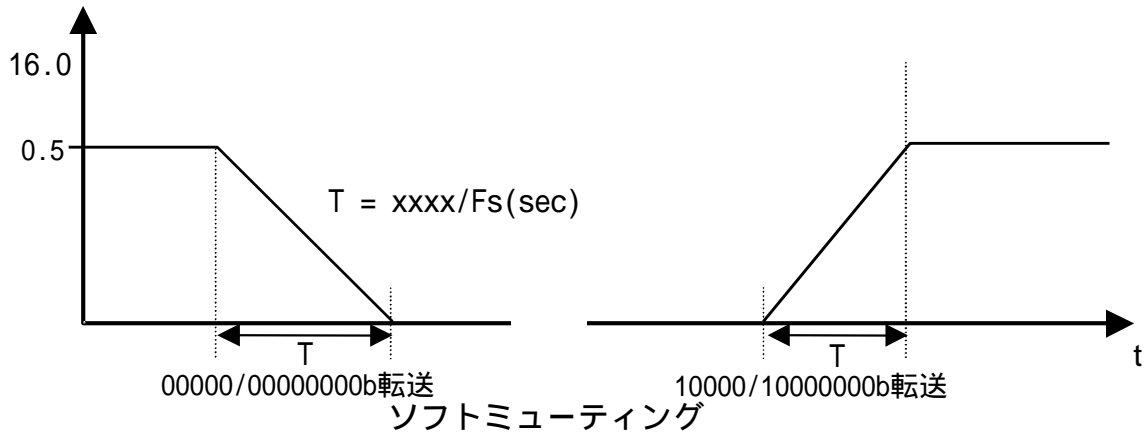
・ゲイン量の算出法

ゲインデータからゲイン量を算出するには、下記の式を用います。

$$\text{ゲイン量} = 20 \log \left[2^{\langle \text{指数データ}(10\text{進値}) - 16 \rangle} \times \frac{\text{仮数データ}(10\text{進値})}{128} \right] \text{dB}$$

・ソフトミュート

ソフトミュートはGAINとして00000/00000000b(/は指数・仮数の切れ目)を転送する事により行います。解除する時は、ソフトミュートをかける前のGAINデータ(下図では10000/10000000b=0.5)を転送します。本ミュートはリニアなものではなく指数関数近似のミュートカーブとなります。



・ソフトミュート遷移時間

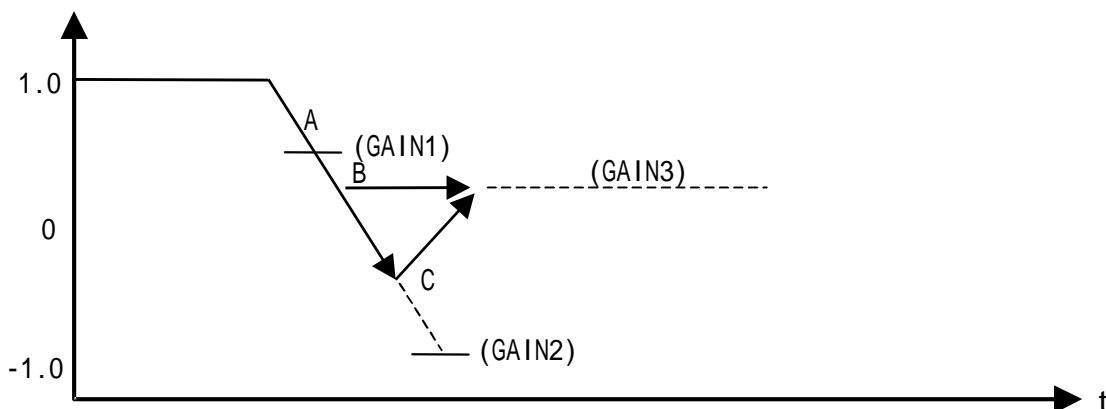
MAX値(10100b/11111111b) ~ MIN値(00000b/00000000b)までの総ステップ数は、
 $(128 \text{ステップ}/1 \text{指数}) \times (20 \text{指数}(10100b \sim 10000b)) + 256 \text{ステップ} = 2816 \text{ステップ}$
 となります。

ソフトミュート機能は、上記ステップを内部2fsoクロックでUP/DOWNさせます。従って、たとえばfso = 48kHzの場合は、 $T = 1/2fso = 10.416 \mu\text{sec}/\text{step}$ ですので、下記のようになります。

MAX値(10100b/11111111b) ~ MIN値(00000b/00000000b)まで : $2816T = 29.333\text{msec}$
 0dB値(10000b/10000000b) ~ MIN値(00000b/00000000b)まで : $2304T = 24\text{msec}$
 6dB遷移時間(但し、00000b/10000000b (= -96dB)以上の値) : $128T = 1.333\text{msec}$

・ソフトアッテネート

新しいGAINデータには、常にソフトミュートの動作で移っていきます。下図のようにGAIN1 > GAIN3 > GAIN2 というGAINデータを考え、まずGAIN1が転送され、次にGAIN2が転送されたとします。GAIN1の値に到達する前に(図中Aの状態)GAIN2が転送された場合はGAIN1は無視され、そのままGAIN2の値に近づいて行きます。次にGAIN2が転送され、GAIN2の値に到達する前に(図中BまたはC)GAIN3が転送されると、GAIN2は無視されGAIN3の値に近づいて行きます。



ソフトアッテネート

2. システム1モード (1次側)

bit	フラグ名	機能説明	H	L	INIT
1	MODE1	モード設定1		"L"固定	-
2	MODE2	モード設定2	"H"固定		-
3	IFMT0	入力フォーマットの選択	下表 表2-1 参照		L
4	IFMT1				L
5	IBIT0	入力データ語長設定	下表 表2-2 参照		L
6	IBIT1				L
7	ISF0	入力サンプリングレートの選択	下表 表2-3 参照		L
8	ISF1				L
9	EMPFS1	ディエンファシスのFs選択	下表 表2-4 参照		L
10	EMPFS2				L
11	DF1MUTE	DATA入力のゼロミュート	Active	Non-active	L
12	DF2MUTE	レートコンバータ入力のゼロミュート	Active	Non-active	L
13			don't care		-
14			don't care		-
15			don't care		-
16	ASYNCEN1	1次側非同期検出フラグのイネーブル	enable	disable	L
17					
18					
19					
20					
21					
22					
23					
24					

表2-1 入力フォーマットの選択

bit	フラグ名	MSBファースト 前詰め	MSBファースト 後詰め	LSBファースト 後詰め	I ² S
3	IFMT0	L	H	L	H
4	IFMT1	L	L	H	H

表2-2 入力ビット語長の選択

bit	フラグ名	16bit	20bit	24bit	禁止
5	IBIT0	L	L	H	H
6	IBIT1	L	H	L	H

表2-3 入力サンプリングレートの選択 (Fs : 32k ~ 48kHz, 2Fs : 64k ~ 96kHz, 4Fs : 128k ~ 192kHz)

bit	フラグ名	Fs	2Fs	4Fs	禁止
7	ISF0	L	H	L	H
8	ISF1	L	L	H	H

表2-4 ディエンファシスフィルタのFsの選択 (bit9, 10 = L, L以外でON)

bit	フラグ名	32.0K	44.1K	48.0K	OFF
9	EMPFS1	H	L	H	L
10	EMPFS2	H	H	L	L

入力フォーマットの選択(bit3,4 : IFMT0,1)

表2-1参照。

Normalモード時のみ有効です。8Fs入力(外部レートコンバータ)、SACD入力時は無効です。(MODE1,2端子に連動)
外部レートコンバータ8Fs入力とSACD入力時の詳細はそれぞれ14ページ、15ページを参照下さい。

入力データ語長設定(bit5,6 : IBIT0,1)

表2-2参照。MSBファースト後詰め時のみ有効。

入力サンプリングレートの選択(bit7,8 : ISF0,1)

表2-3参照。

ディエンファシスフィルタのon/off及びFs選択(bit9,10 : EMPFS1,2)

表2-4参照。

(bit9 , bit10) : (L , L) ... ディエンファシスoff
(L , L) 以外 ... ディエンファシスon (Fsを設定)

DATA入力のゼロミュート(bit11 : DF1MUTE)

DF1MUTE : L ... ミュート解除。

H ... ミュート。

Normalモード時にDATA端子から入力されるデータ入力をミュートします。

レートコンバータ入力のゼロミュート(bit12 : DF2MUTE)

DF2MUTE : L ... ミュート解除。

H ... ミュート。

レートコンバータ部入力データのミュートです。

Normalモード時のDATA入力及びSACD-f s iモード時のDSDL/R入力をミュートします。

1次側非同期検出フラグのイネーブル(bit16 : ASYNCEN1)

1次側非同期検出回路のイネーブル/ディセーブルを制御します。

ASYNCEN1 : L ... disable

H ... enable

これは、Fsi1端子にクロックが入力されなくてもその非同期状態を検出しないようにし、
ミュート動作等の非同期時の動作を行いません。

ただし、SACD-Fsiモード時のみこのフラグを有効とします。

3. システム2モード (2次側)

bit	フラグ名	機能説明	H	L	INIT
1	MODE1	モード設定1	"H"固定		-
2	MODE2	モード設定2		"L"固定	-
3	IMCKSEL	入力側マスタークロック選択	512Fs	256Fs	L
4	DSDFC00	ダウンサンプリングフィルタ係数	下表 表3-1 参照		L
5	DSDFC01				L
6	SYNC	再同期	L Hで再同期		L
7	Xfso0EN	XfsoOUT出力のイネーブル	disable	enable	L
8	ASYNEN2	2次側非同期検出フラグのイネーブル	enable	disable	L
9	CHSEL	PWM出力端子L/R逆転	active	non-active	L
10	DRPOL	デルタシグマ: Rch入力位相	逆相	正相	L
11	SRCRST	レートコンバータ部リセット	Active	Non-active	L
12			don't care		-
13	GIMUTE	ゲインコントロール入力のゼロミュート	Active	Non-active	L
14	NSPMUTE	PWM出力Duty50%ミュート	Active	Non-active	L
15	PGMUTE	PWM出力データのG_MUTE	Active	Non-active	L
16	NSSPEED	デルタシグマ: 動作レート		"L"固定	L
17	NSOBT	デルタシグマ: 出力ビット数設定	5bit(31値)	6bit(63値)	L
18	DCDRPOL	デルタシグマ: DCディザのRch位相	逆相	正相	L
19	DCDSELO	デルタシグマ: DCディザ選択	下表 表3-2参照		L
20	DSDSEL1				L
21	ACDRPOL	デルタシグマ: ACディザのRch位相	逆相	正相	L
22	ACDSELO	デルタシグマ: ACディザ選択	下表 表3-3参照		L
23	ACDSEL1				L
24	ACDSEL2				L

表3-1 ダウンサンプリングフィルタ係数設定

bit	フラグ名	ROM1	ROM2	ROM3	ROM4
4	DSDFC00	L	H	L	H
5	DSDFC01	L	L	H	H

表3-2 デルタシグマ部DCディザ選択

bit	フラグ名	無し	DCディザ量0.1%	DCディザ量0.2%	DCディザ量0.4%
19	DCDSELO	L	H	L	H
20	DCDSEL1	L	L	H	H

表3-3 デルタシグマ部ACディザ選択

bit	フラグ名	無し	ACディザA	ACディザC	ACディザE
22	ACDSELO	don't care	L	L	L
23	ACDSEL1	L	H	L	H
24	ACDSEL2	L	L	H	H

入力側マスタークロック選択(bit3: IMCKSEL)

L: 256Fs

H: 512Fs

ダウンサンプリングフィルタ (SACD入力用) 係数(bit4, 5: DSDFC00,1)

表3-1参照

再同期 (bit6: SYNC)

端子: SYNCと同じ機能。動作説明1-10 (11ページ) を参照下さい。

再同期はSYNCの立ち上がりエッジで掛かるため、

SYNCをかける場合は、SYNCをかける直前のSYNCフラグの状態を"L"とする必要があります。

XfsoOUT出力のイネーブル (bit7: Xfso0EN)

L: クロック出力(enable)

H: L固定 (disable)

2次側非同期検出フラグのイネーブル(bit8: ASYNCEN2)

bit8: ASYNCEN2によって2次側非同期検出回路のイネーブル/ディセーブルを制御します。

ASYNCEN2: L ... disable
H ... enable

これは、Fsol端子にクロックが入力されなくてもその非同期状態を検出しないようにし、ミュート動作等の非同期時の動作を行ないません。

PWM出力端子L/R逆転(bit9: CHSEL)

L: 端子配置のまま
H: 端子配置に対し、L/R逆転

デルタシグマ: Rch入力位相(bit10: DRPOL)

L: 正相 (スルー)
H: デルタシグマRch入力の位相を反転させ、PWM部入力でさらに位相を反転させてもとに戻します。
(端子から見た位相は変わりません。)

レートコンバータ部リセット(初期化機能)(bit11: SRCRST)

SRCRST: L ... 通常動作時。
H L ... リセット(初期化)

ゲインコントロール入力のゼロミュート(bit13: GIMUTE)

GIMUTE: L ... ミュート解除。
H ... ミュート。

PWM出力Duty50%ミュート(bit14: NSPMUTE)

NSPMUTE: L ... ミュート解除。
H ... PWM出力Duty50%ミュート。

端子にも同一名で存在(39番ピン)します。

(端子に同機能有り、どちらかをアクティブにすることによりミュート可能。)

PWM出力データのG-MUTE(bit15: PGMUTE)

G-MUTEフラグ=Hで、各PWM出力を以下のように固定します。

L1(+)/R1(+)=L L2(+)/R2(+)=L
L1(-)/R1(-)=H L2(-)/R2(-)=H

H: ミュート L: ミュート解除

端子にも同一名で存在(40番ピン)します。

(端子に同機能有り、どちらかをアクティブにすることによりミュート可能。)

デルタシグマ: 動作レート(bit16: NSSPEED)

"L"固定に設定して下さい。デルタシグマの動作レートは、16Fs固定で動作します。

デルタシグマ: 出力ビット数設定(bit17: NSOBT)

デルタシグマ演算部の出力ビット数を選択します。但し、端子MCKSEL="H"の時は、強制的に5bitに設定されます。

L: 6bit(63値)
H: 5bit(31値)

デルタシグマ: DCディザのRch位相(bit18: DCDROPOL)

L: 正相
H: 逆相

デルタシグマ: DCディザ選択(bit19,20: DCDSSEL0,1)

表 3-2参照

デルタシグマ: ACディザのRch位相(bit21: ACDROPOL)

L: 正相
H: 逆相

デルタシグマ: ACディザ選択(bit22,23,24: ACDSEL0,1,2)

表 3-3参照

S-Master方式(*)デジタルアンププロセッサ

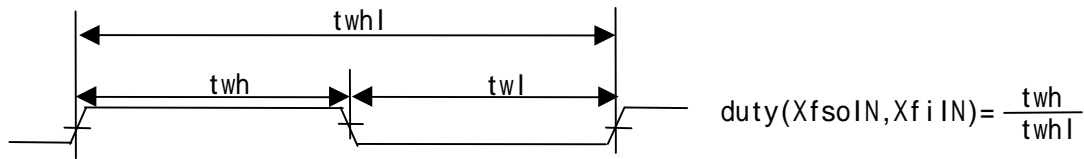
AC特性一覧

(Ta = 25、PWMVdd = 5V、DVdd = 3.3V)

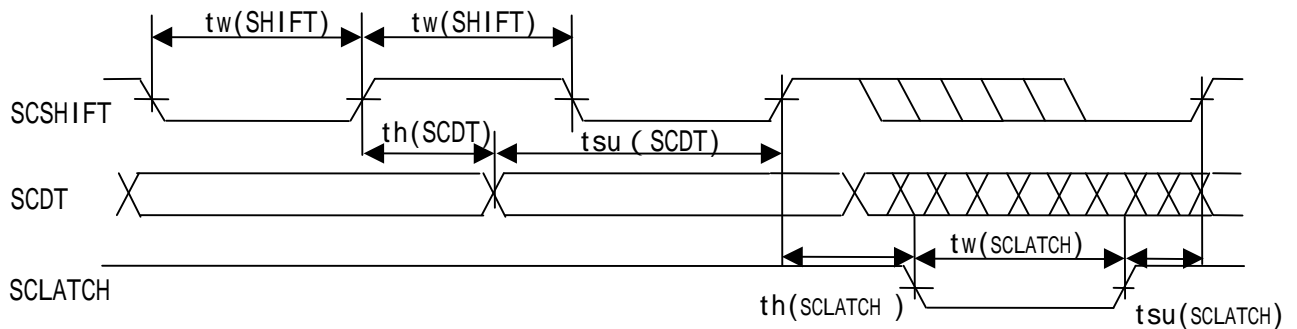
AC特性						
項目	記号	条件	Min.	Typ.	Max.	単位
XfsoINデューティー比	duty(XfsoIN)		40	50	60	%
XfsiINデューティー比	duty(XfsiIN)	512fs時	30	50	70	%
		256fs時	40	50	60	%
SCSHIFTパルス時間	tw(SHIFT)		160			nsec
SCDTセットアップ時間	tsu(SCDT)		80			nsec
SCDTホールド時間	th(SCDT)		80			nsec
SCLATCHパルス幅	tw(SCLATCH)		160			nsec
SCLATCHセットアップ時間	tsu(SCLATCH)		160			nsec
SCLATCHホールド時間	th(SCLATCH)		160			nsec
BCKパルス幅	tw(BCK)		35			nsec
DATAセットアップ時間	tsu(DATA)		20			nsec
DATAホールド時間	th(DATA)		20			nsec
LRCKセットアップ時間	tsu(LRCK)		20			nsec
LRCKホールド時間	th(LRCK)		20			nsec
EXBCKパルス時間	tw(EXBCK)		35			nsec
EXWCKセットアップ時間	tsu(EXWCK)		20			nsec
EXWCKホールド時間	th(EXWCK)		20			nsec
EXDATAL / Rセットアップ時間	tsu(EXDATA)		20			nsec
EXDATAL / Rホールド時間	th(EXDATA)		20			nsec
EXDATAL / R出力遅延時間	tpd(EXDATA)	出力負荷容量 10[pF]		1.0		nsec
EXWCK出力遅延時間	tpd(EXWCK)	出力負荷容量 10[pF]		1.0		nsec
DSD128fsパルス幅	tw(DSDCK)		70			nsec
DSD64fsパルス幅	tw(DSDCK)		140			nsec
DSDL / Rセットアップ時間	tsu(DATA)	mode1、2、3、4	40			nsec
DSDL / Rホールド時間	th(DATA)	mode1、2、3、4	40			nsec
SYNCパルス幅	tw(SYNC)		160			nsec

AC特性タイミングチャート

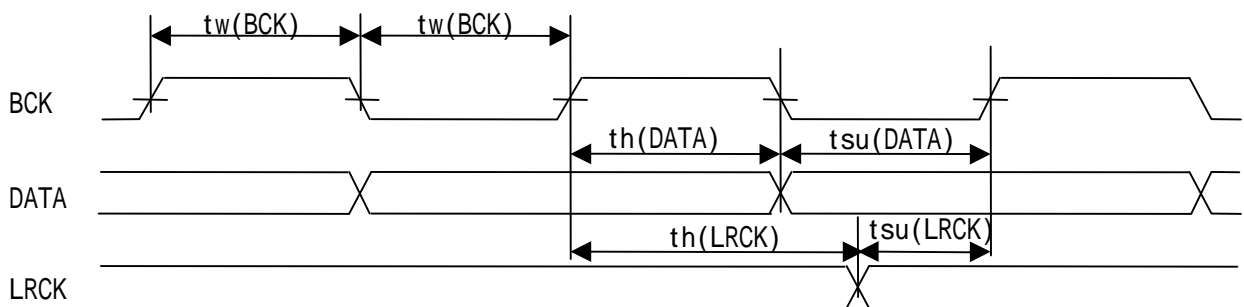
(1) XfsoIN、XfsiINデューティ比



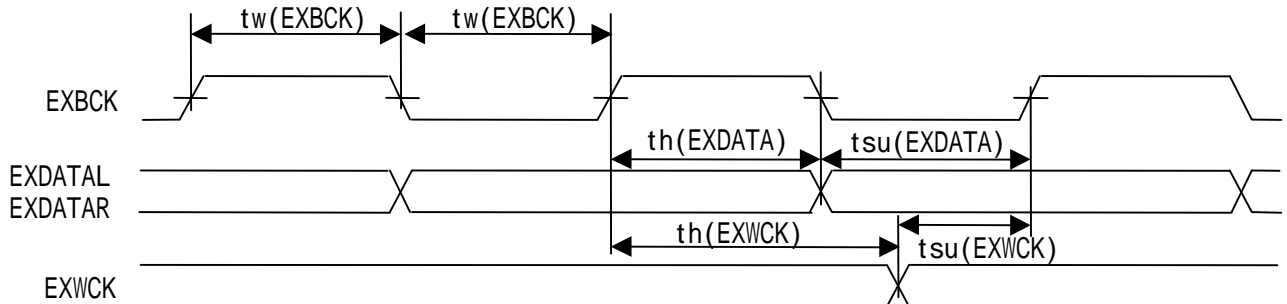
(2) SCSHIFT、SCDT、SCLATCH 入力タイミング



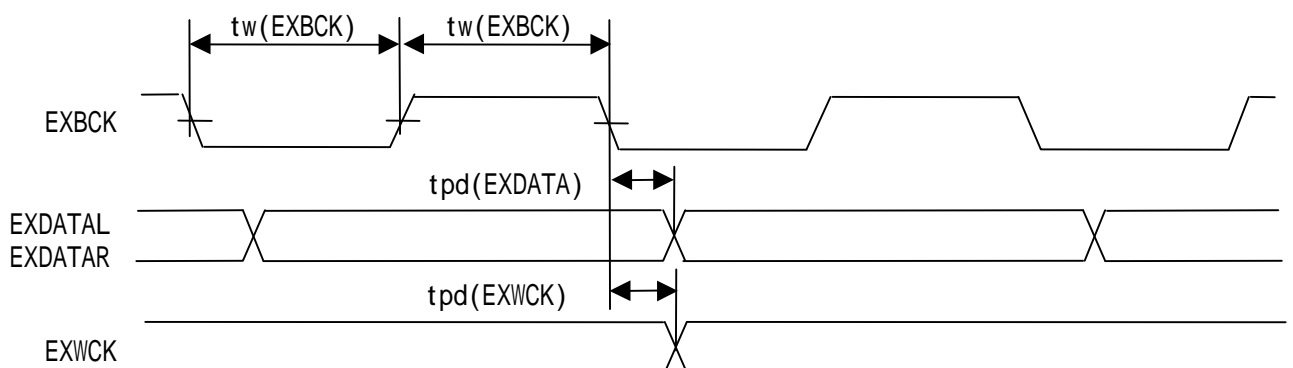
(3) BCK、DATA、LRCK 入力タイミング



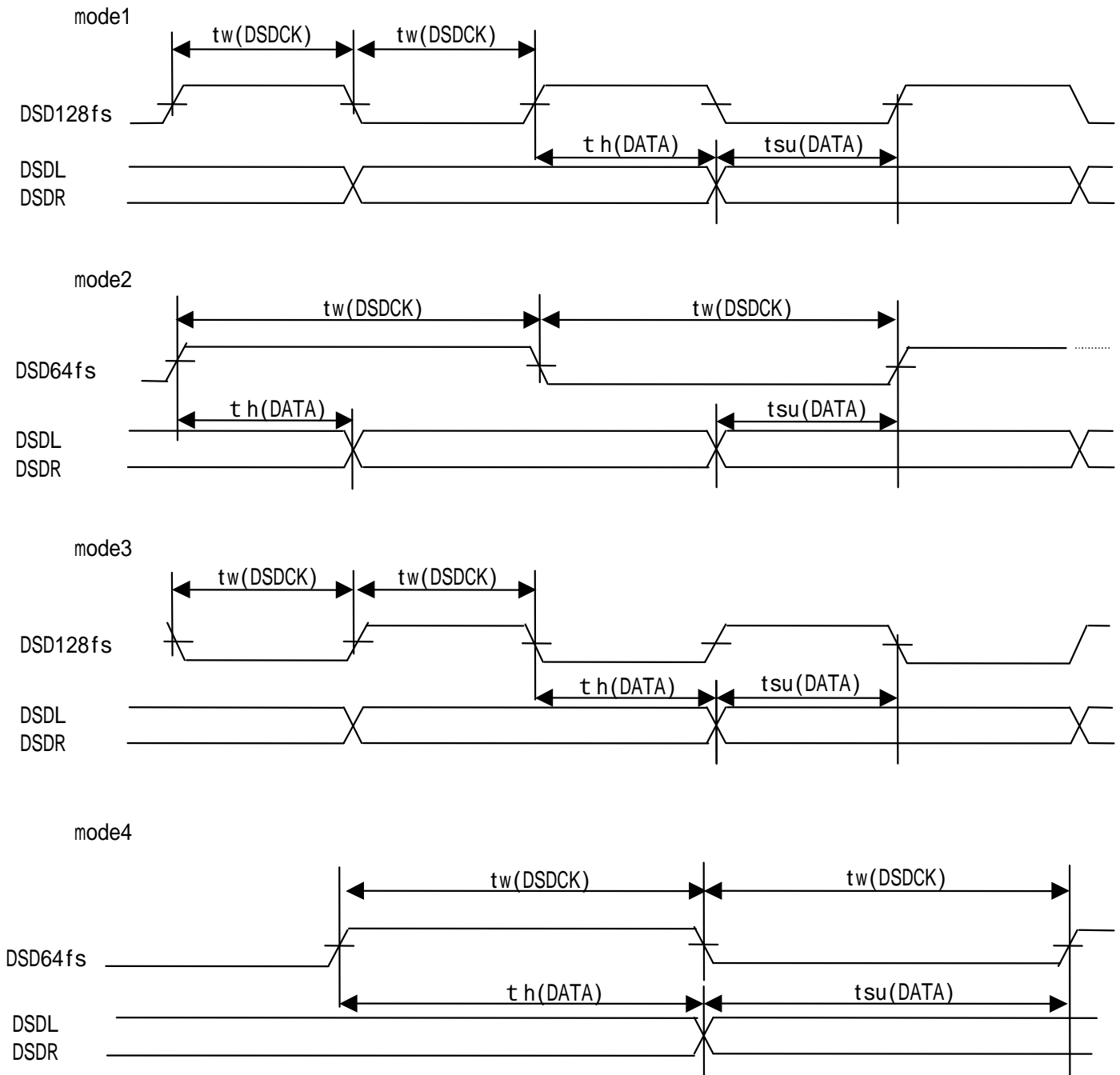
(4) EXBCK、EXDATAL、EXDATAR、EXWCK 入力タイミング



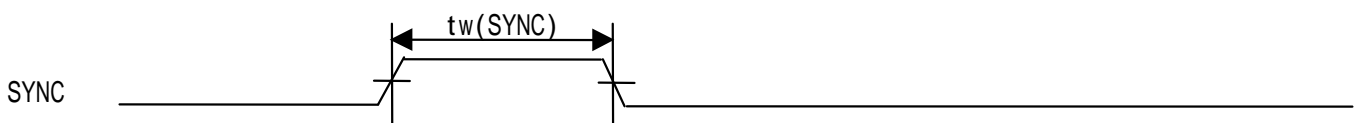
(5) EXBCK、EXDATAL、EXDATAR、EXWCK 出力タイミング



(6) DSD64fs、DSD128fs、DSDL、DSDR 入力タイミング



(7) SYNC入力タイミング



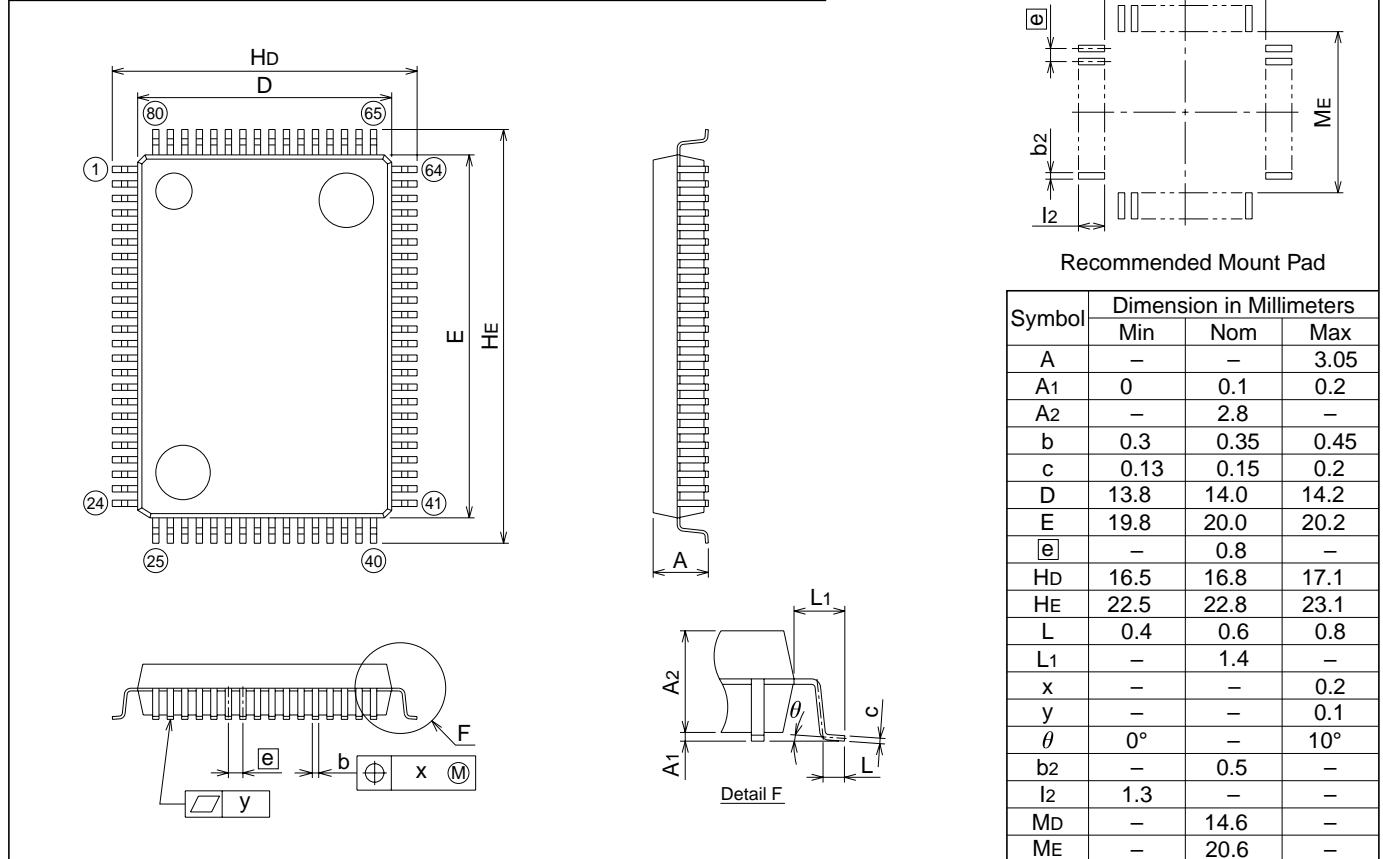
パッケージ外形寸法図

80P6N-A

(MMP)

Plastic 80pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP80-P-1420-0.80	-	1.58	Alloy 42



安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たっては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。