

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M65762FP

QM-Coder

RJJ03F0207-0200

Rev.2.00

2007.09.14

概要

M65762FP は、静止画像符号化の国際標準 JBIG/JPEG (ITU-T 勧告 T.81, T.82) における高効率符号化方式 (QM-Coder) に準拠した圧縮伸長 LSI で、さらにファクシミリに対する国際標準 (ITU-T 勧告の T.85) にも準拠します。QM-Coder は、元の画像データを完全に復元できる情報保存型で、しかも画像の統計的性質に応じて、パラメータを常に最適化する学習機能を備えるために、従来の 2 値符号化方式 (MH/MR/MMR) に比べて圧縮率が優れ、特に圧縮率の悪かった擬似中間調画像 (ディザ中間調画像) の圧縮率が大幅に改善できます。

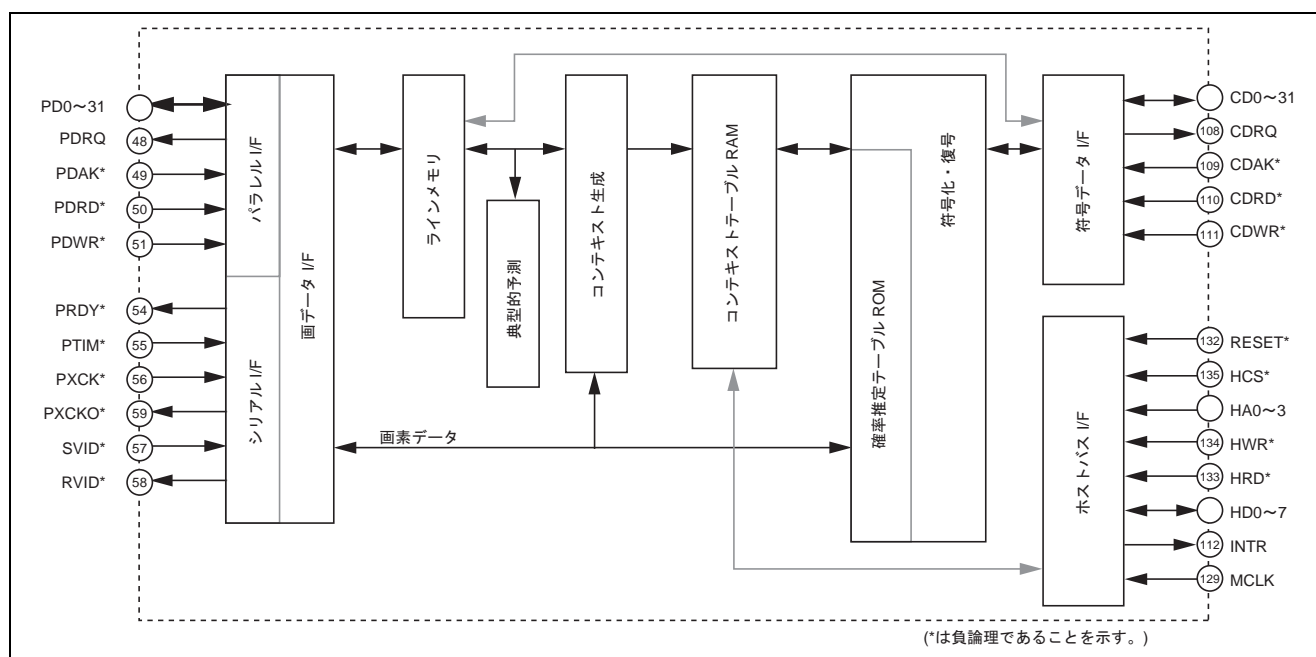
特長

- ファクシミリ国際標準 (ITU-T T.85) に完全準拠
- 国際標準 JBIG・JPEG の勧告に準拠した算術符号 (QM-Coder) による符号化・復号を実現
- カラーファクシミリ国際標準 (T.Palette-colour) にも準拠予定
- 符号化・復号を最高 4000 万画素/秒で実現する高速処理
- 符号化処理・復号処理を行わないデータ・スルー処理可能
- コンテキストの選択可能
 - JBIG 準拠の最低解像度用 10 画素テンプレートモデルを準備, 2 ラインまたは 3 ラインテンプレートモデル選択可能
- 典型的予測 (Typical Prediction) 機能内蔵
 - 典型的予測を用いた符号化・復号が可能
 - 典型的予測使用にて前ラインとデータが一致するライン (TP ライン) の処理が不要となるためデータ削除および処理時間の短縮が可能
- アダプティブテンプレート (AT) 機能内蔵
 - 符号化ライン上で AT 画素の設定が 127 画素前まで設定可能
 - 指定されたラインで AT 画素の位置移動が可能のため、画面の途中で画像の性質が変わる場合にも圧縮特性の向上が可能
- マルチストライブ対応
 - 1 ページが複数ストライブ構成の場合、ストライブ単位の符号化/復号処理を繰り返すことが可能
- ラインメモリのロード/ストア機能内蔵 → 複数プレーン・マルチストライブ機能対応
 - LSI のラインメモリへ外部から参照ライン用画像データのロード、ラインメモリ内の画像データを外部へストア可能
- 処理ライン数
 - 処理開始 (一時停止コマンド) を複数回発行することで、65535 ライン以上の任意のライン数の符号化/復号が可能
- 3 バス・インタフェースに対応
 - MPU に対応するホストバスは、8 ビットで、コンテキストテーブル RAM の内容をロードしたり、ストアしたりすることも可能
 - 2 値画像データの入出力は、32 ビット、または 16 ビットの平行入出力か、あるいはシリアル入出力が可能
 - 符号化データの入出力は、32 ビット/16 ビット/8 ビットバス選択可能で、符号化データの DMA 転送もできる
- 符号化時の縮小、および復号時の拡大可能
- 符号化時のマーカコード設定、および復号時のマーカコード検出可能
- ラインメモリ用 4096 バイト分の RAM、コンテキストテーブル RAM、および 113 状態の確率推定テーブル ROM を内蔵
- +5 V 単一電源

用途

- ファクシミリ，複写機，プリンタなどの OA 機器
- メモリ削減を目的とするデジタル機器，アミューズメント機器

ブロックダイアグラム



ブロック機能説明

(1) ホストバス I/F 部

MPU との間で，コマンド・パラメータの設定やステータスの読み出しを行う 8 ビットバス。ホストバスを通して，コンテキストテーブル RAM の内容をロードしたりストアしたりすることもできる。

(2) 符号データ I/F 部

符号化データの入出力を行うバス。バス幅は，32 ビット/16 ビット/8 ビットを選択できる。

画像データを内蔵ラインメモリを介して画データ I/F との間で転送すること（スルーモード）もできる。外部 DMA コントローラにより，符号化データ（スルーモードの場合は画像データ）を DMA 転送することができる。

符号データ I/F 内に，16 バイト分の FIFO バッファを有する。

(3) 画データ I/F 部

画データ I/F は，2 値画像データの入出力を行う I/F。32 ビット/16 ビットパラレル I/F と，シリアル I/F を選択できる。

シリアル I/F の場合，ハンドシェイク信号（PRDY*，PTIM*）でライン同期を取りながら 1 画素単位に転送される。

パラレル I/F の場合は，外部 DMA コントローラによって DMA 転送される（ストライプ単位）。

画データ I/F には，符号化時の縦横 1/2 縮小機能や，復号時の縦横 2 倍拡大機能も有する。

(4) ラインメモリ部

4 K バイト分のメモリ。3 ラインテンプレート時は最大 8192 画素/ラインまで，2 ラインテンプレート時は最大 10240 画素/ラインまで設定可能。1 ラインは外部との画像データの入出力処理に用いられ，残りのライン（2 または 3 ライン）は符号化/復号処理に用いられる。両処理は，ライン単位に同期を取りながら独立に動作できる。

ラインメモリの内容は，画データ I/F または符号データ I/F を通して，ロードしたりストアしたりすることができる。

(5) 典型的予測部

典型的予測モードの場合、符号化/復号処理ラインと直上ラインとの比較、および疑似画素 (SLNTP) 発生を行う。

(6) コンテキスト生成部

2ラインまたは3ラインの10画素テンプレート (AT画素も含む) によって、JBIG最低解像度の標準コンテキストを生成する。

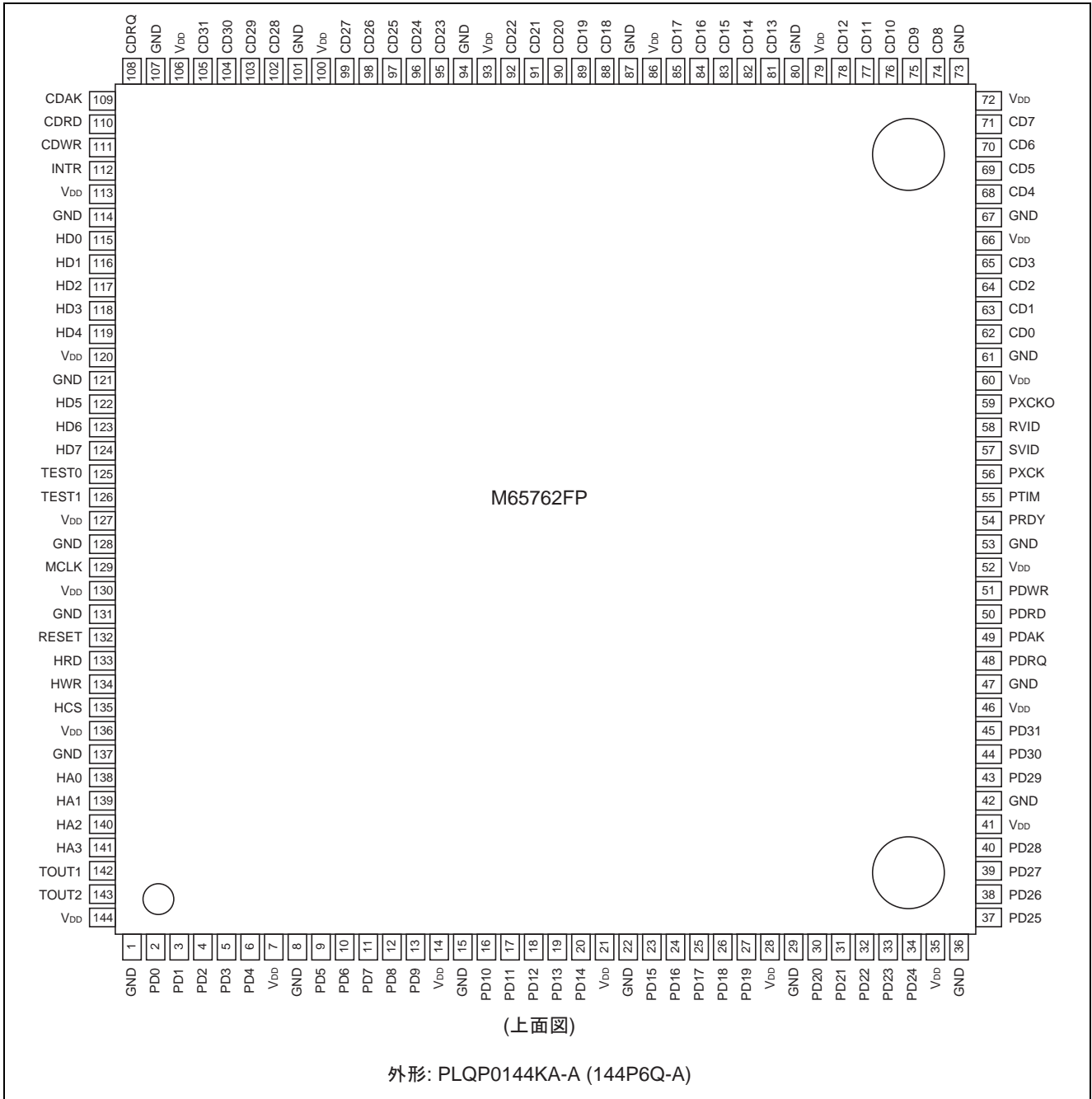
(7) コンテキストテーブルRAM部

10ビットの標準コンテキストに対応。コンテキストテーブルRAMの内容を初期化したり、ロード/ストアすることができる。

(8) 符号化・復号部

算術符号化/復号演算を行う。113状態の確率推定テーブルROM、バイトスタフ機能 ("00"バイトの挿入/除去)、および終端マーカコード制御機能 (マーカ挿入/検出) も有する。

ピン配置



ピン説明

ピン No.	I/O	ピン名	ピン No.	I/O	ピン名	ピン No.	I/O	ピン名
1	電源	GND	51	I	PDWR	101	電源	GND
2	I/O	PD0	52	電源	V _{DD}	102	I/O	CD28
3	I/O	PD1	53	電源	GND	103	I/O	CD29
4	I/O	PD2	54	O	PRDY	104	I/O	CD30
5	I/O	PD3	55	I	PTIM	105	I/O	CD31
6	I/O	PD4	56	I	PXCK	106	電源	V _{DD}
7	電源	V _{DD}	57	I	SVID	107	電源	GND
8	電源	GND	58	O	RVID	108	O	CDRQ
9	I/O	PD5	59	O	PXCKO	109	I	CDAK
10	I/O	PD6	60	電源	V _{DD}	110	I	CDRD
11	I/O	PD7	61	電源	GND	111	I	CDWR
12	I/O	PD8	62	I/O	CD0	112	O	INTR
13	I/O	PD9	63	I/O	CD1	113	電源	V _{DD}
14	電源	V _{DD}	64	I/O	CD2	114	電源	GND
15	電源	GND	65	I/O	CD3	115	I/O	HD0
16	I/O	PD10	66	電源	V _{DD}	116	I/O	HD1
17	I/O	PD11	67	電源	GND	117	I/O	HD2
18	I/O	PD12	68	I/O	CD4	118	I/O	HD3
19	I/O	PD13	69	I/O	CD5	119	I/O	HD4
20	I/O	PD14	70	I/O	CD6	120	電源	V _{DD}
21	電源	V _{DD}	71	I/O	CD7	121	電源	GND
22	電源	GND	72	電源	V _{DD}	122	I/O	HD5
23	I/O	PD15	73	電源	GND	123	I/O	HD6
24	I/O	PD16	74	I/O	CD8	124	I/O	HD7
25	I/O	PD17	75	I/O	CD9	125	I	TEST0
26	I/O	PD18	76	I/O	CD10	126	I	TEST1
27	I/O	PD19	77	I/O	CD11	127	電源	V _{DD}
28	電源	V _{DD}	78	I/O	CD12	128	電源	GND
29	電源	GND	79	電源	V _{DD}	129	I	MCLK
30	I/O	PD20	80	電源	GND	130	電源	V _{DD}
31	I/O	PD21	81	I/O	CD13	131	電源	GND
32	I/O	PD22	82	I/O	CD14	132	I	RESET
33	I/O	PD23	83	I/O	CD15	133	I	HRD
34	I/O	PD24	84	I/O	CD16	134	I	HWR
35	電源	V _{DD}	85	I/O	CD17	135	I	HCS
36	電源	GND	86	電源	V _{DD}	136	電源	V _{DD}
37	I/O	PD25	87	電源	GND	137	電源	GND
38	I/O	PD26	88	I/O	CD18	138	I	HA0
39	I/O	PD27	89	I/O	CD19	139	I	HA1
40	I/O	PD28	90	I/O	CD20	140	I	HA2
41	電源	V _{DD}	91	I/O	CD21	141	I	HA3
42	電源	GND	92	I/O	CD22	142	O	TOUT1
43	I/O	PD29	93	電源	V _{DD}	143	O	TOUT2
44	I/O	PD30	94	電源	GND	144	電源	V _{DD}
45	I/O	PD31	95	I/O	CD23			
46	電源	V _{DD}	96	I/O	CD24			
47	電源	GND	97	I/O	CD25			
48	O	PDRQ	98	I/O	CD26			
49	I	PDAK	99	I/O	CD27			
50	I	PDRD	100	電源	V _{DD}			

- 【注】
1. プルアップ付き入力端子 (端子機能を参照) は、使用されないときには、V_{CC}に直結してください。
 2. プルダウン付き入力端子 (端子機能を参照) は、使用されないときには、GNDに直結してください。
 3. テスト用入力端子 TEST0, 1 は、GNDに接続してください。
 4. テスト用出力端子 TOUT1, 2 は、開放しておいてください。

ピン機能説明

(信号名の"*"は、負論理であることを示す。)

I/F	ピン名	I/O	BUF	機能	
ホストバス I/F	RESET*	I	S	H/W リセット信号	
	HCS*	I		チップセレクト信号	
	HA0~3	I		内部レジスタのアドレス選択信号	
	HWR*	I	S	書き込みストロープ信号	
	HRD*	I	S	読み出しストロープ信号	
	HD0~7	I	R8	入出力データバス	
	INTR	O	4	割り込み要求信号	
符号化データ I/F	CD0~31	I/O	UR8	符号化データ入出力バス (16ビットバス時は CD0~15 を, 8ビットバス時は CD0~7 を使用)	
	CDRQ	O	4	符号化データ (画像データ) の DMA リクエスト信号	
	CDAK*	I	US	符号化データ (画像データ) の DMA アクノリッジ信号	
	CDRD*	I	US	符号化データ (画像データ) の読み出しストロープ信号	
	CDWR*	I	US	符号化データ (画像データ) の書き込みストロープ信号	
画データ I/F	パラレル	PD0~31	I/O	UR8	パラレル画像データ入出力バス (16ビットバス時は PD0~15 を使用)
		PDRQ	O	4	画像データの DMA リクエスト信号
		PDAK*	I	US	画像データの DAM アクノリッジ信号
		PDRD*	I	US	画像データの読み出しストロープ信号
		PDWR*	I	US	画像データの書き込みストロープ信号
	シリアル	PRDY*	O	4	画像データの1ライン入出力開始レディ信号
		PTIM*	I	US	画像データの1ライン転送区間信号
		PXCK*	I	US	画像データの転送クロック信号
		PXCKO*	O	4	画像データの転送クロック信号 (PXCK*の LSI 内部折り返し出力信号)
		SVID*	I	U	画像データの入力信号
		RVID*	O	4	画像データの出力信号
		MCLK	I		マスタクロック入力信号
		TEST0, 1	I	DS	テスト用入力信号 0, 1 (通常使用時は GND に接続のこと)
		V _{DD}	—	—	電源 (+5 V)
GND	—	—	グランド		

【注】 入力端子: ("I", "IO") の入力バッファは TTL レベルであり, オプションは以下のとおり。

(U: プルアップ抵抗付き, D: プルダウン抵抗付き, S: シュミットトリガ, R: スルーレートコントロール)

出力端子: ("O", "IO") の BUF 欄の数字 (4, 8) は, I_O (= 4, 8 mA のいずれか) を示す。

諸仕様

(1) パッケージ

プラスチック QFP 144 ピン (20 mm × 20 mm)

(2) 消費電力

5 V, 120 mA (600 mW)

(3) 最大クロック周波数

40 MHz

符号化機能仕様

(1) 符号化アルゴリズム

- ・ QM-Coder (JBIG 標準算術符号化方式)

(2) コンテキスト

a) テンプレート・モデル

- ・ 2 または 3 ライン 10 画素テンプレート (図 1 参照)
(JBIG 最低解像度用テンプレートに一致)
- 【注】3 ラインプレートは 2 ラインに比して符号化効率が数%優れる。

b) アダプティブ・テンプレート (AT)

- ・ 符号化ライン上 127 画素前まで移動可。
(AT の位置は MPU が指示をする)
- 【注】AT により、ディザ画像に対して符号化効率の改善が図れる。
- ・ 符号化/復号処理の途中でもライン単位で AT 位置を変更可 (ATmove)。
- 【注】AT 画素位置変更の際、同時にテンプレートモデルの変更はできない。

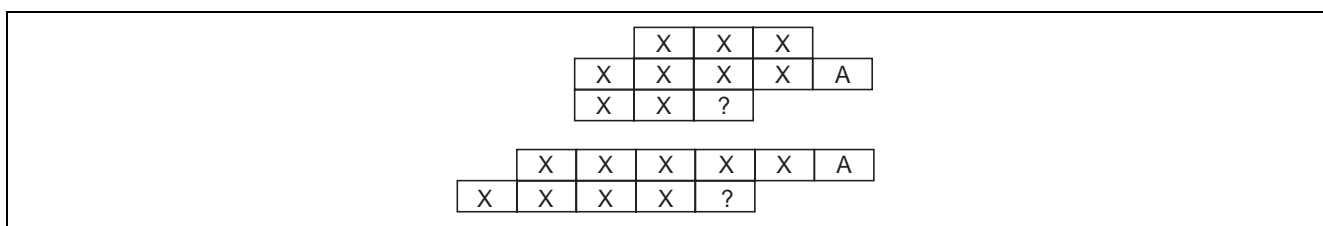


図 1 テンプレート (X, A) (上: 3 ライン, 下: 2 ライン)

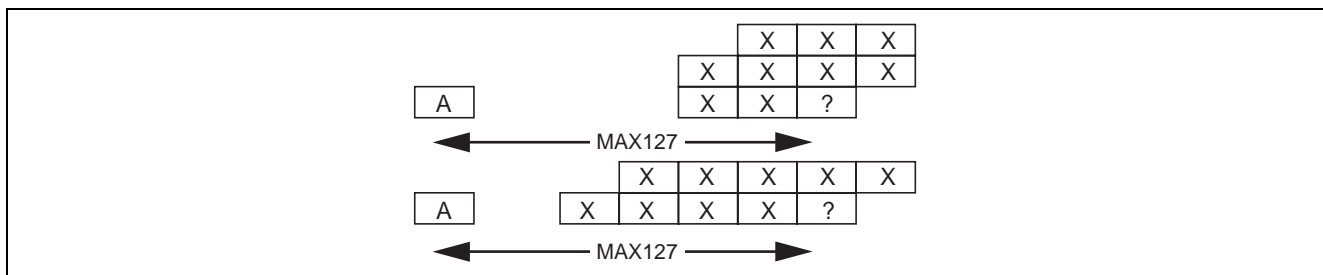


図 2 アダプティブ・テンプレート (A)

(3) 典型的予測 (Typical Prediction)

- ・ JBIG 最低解像度の典型的予測に一致。
符号化/復号処理ラインが直前ラインと一致するか否かを示すシンボル (LNTP) により擬似画素 (SLNTP) を発生させ、一致する場合は擬似画素のみを符号化処理する。そのため、符号化データの削除および、処理時間の短縮を図れる。

$$SLNTP_y = !(LNTP_y \oplus LNTP_{y-1})$$

(y はライン番号, LNTP_y = 1 はライン不一致を表す, 先頭ラインに対する初期値 LNTP_{y-1} = 1)

(4) 符号化データ形式

- ・ ストライプデータエンティティ (SDE = バイトスタック付きストライプ符号化データ (PSCD) + 終端マーカ (SDNORM/SDRST)) 1 ストライプ分の符号化/復号を行う。(付録 A.1 参照)
マルチストライプ (複数ストライプ構成) の場合は、ストライプ単位に起動をかけることで対応できる。

(5) マーカコード

- ・ SDE 終端マーカをサポート (符号化時はあらかじめレジスタ設定したマーカコードを出力する。復号時はマーカ検出時に MPU に対して割り込み要求し、検出したマーカコードバイトをレジスタから読み出せる。)

(6) 符号化/復号処理速度見積り

図3にM65762FPの符号化/復号処理速度の見積りと、従来品種(M65760/1FP)との比較を示す。図の折れ線は、予測不一致率をパラメータとして理論的に生成した画像の処理速度である。また、
 は、実画像の処理速度である(TP機能はOFF)。

この図から分かるように、M65762FPは、従来品種よりも処理速度が大幅に改善されている。また、圧縮率が低下しても処理速度の低下率が軽減されている。

理論画像で最悪ケースの処理速度を比較すると、従来品種が約9.4M画素/秒(1/圧縮率 \approx 1)であるのに対し、M65762FPでは、符号化時で約27.5M画素/秒(1/圧縮率 \approx 0.9)、復号時で約31.2M画素/秒(1/圧縮率 \approx 0.75)である。

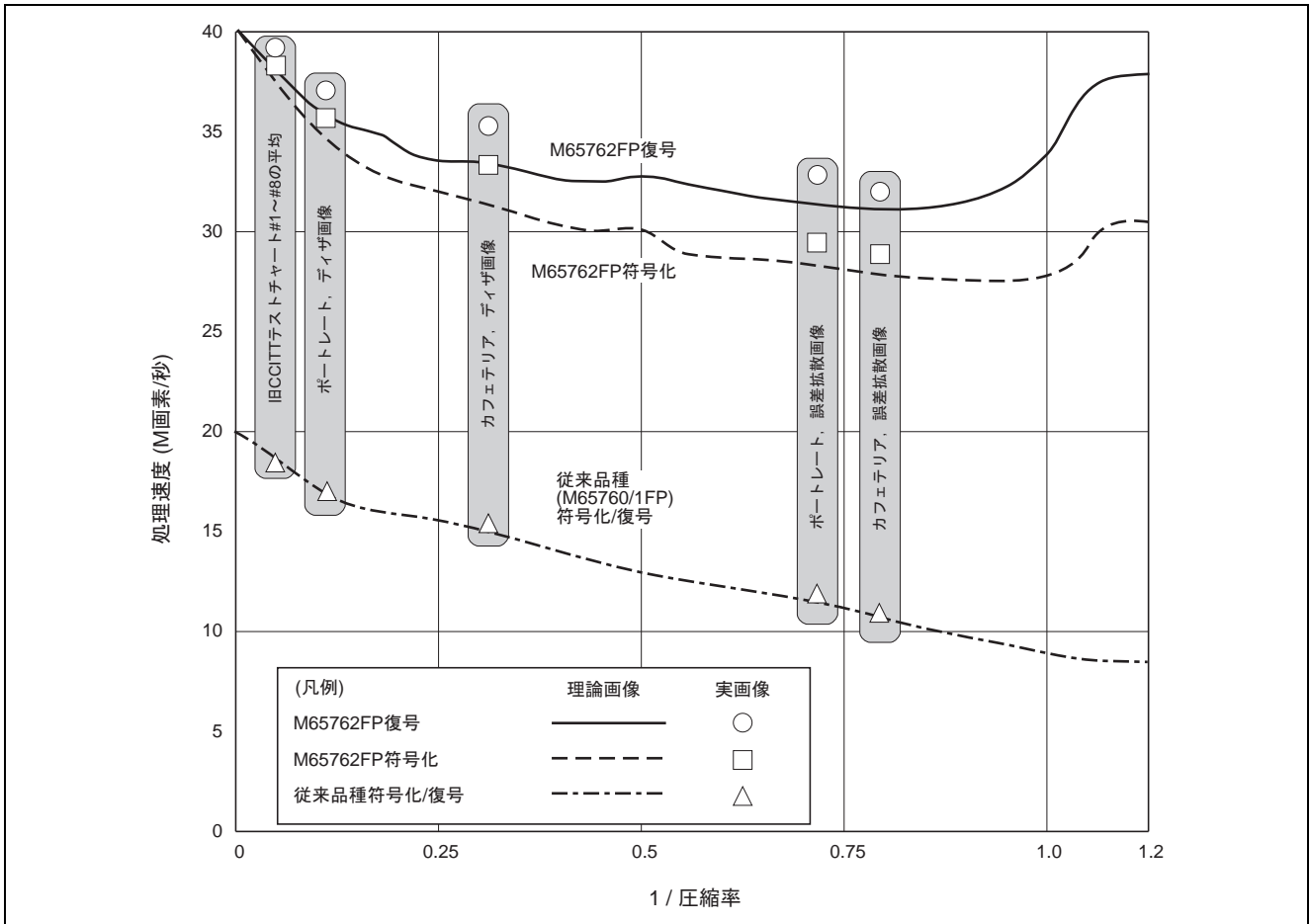


図3 処理速度見積り

レジスタ構成

1. レジスタ一覧

表1 レジスタ一覧

アドレス	レジスタ名	R/W	内容
0	システム設定	W/R	<ul style="list-style-type: none"> LSI H/W リセット 符号データバスのビット幅選択 (32 ビット/16 ビット/8 ビット) 符号データバス上の符号化 (画像) データ・バイトスワップ選択 符号データバス上の符号化 (画像) データ・ビットスワップ選択 画像データバス上の画像データビット・スワップ選択 画データ I/F 選択 (パラレル I/F, シリアル I/F) 画データバスのビット幅選択 (32 ビット/16 ビット)
1	パラメータ設定	W/R	<ul style="list-style-type: none"> テンプレート選択 (3 ラインテンプレート/2 ラインテンプレート) AT 画素位置の設定 (最大 127) (0 を設定すると AT なし (デフォルト位置) になる)
2	コマンド	W	<ul style="list-style-type: none"> コンテキストテーブル RAM 初期化処理コマンド 処理開始/終了コマンド (符号化/復号, 画像データスルー, ラインメモリのロード/ストア) コンテキストテーブル RAM のロード/ストアの開始/終了コマンド 一時停止/終端終了モードの選択
2	ステータス	R	<ul style="list-style-type: none"> 処理状態 (処理中/処理終了) 符号データバス上の符号化 (画像) データの読み出し/書き込みレディ マーカコード検出 (SDNORM, SDRST, ABORT, その他) 割り込み要求状態 SC カウンタのオーバフローエラー 処理モード (一時停止/終端終了)
3	割り込みイネーブル設定	W/R	<ul style="list-style-type: none"> ステータスレジスタの各ビット位置に対応した割り込みイネーブル設定 マーカコード検出時休止/再開指示 (復号時)
4, 5	画素数設定	W/R	<ul style="list-style-type: none"> 1 ラインの画素数設定 (2 ラインテンプレート選択の場合, 最大 10240 画素)
6, 7	ライン数設定	W/R	<ul style="list-style-type: none"> 符号化/復号するライン数設定 (1 ライン以上最大 65535 ライン)
8, 9	処理ライン数	R	<ul style="list-style-type: none"> 符号化/復号処理したライン数 (最大 65535 ライン)
A	ロード/ストアバッファ	W/R	<ul style="list-style-type: none"> コンテキストテーブル RAM データを MPU からロード/ストアするバッファ・レジスタ (RAM アドレスは, 書き込む/読み出すごとに自動的にインクリメントする)
B	動作モード設定	W/R	<ul style="list-style-type: none"> 動作モードの設定 (符号化/復号, 画像データスルー, ラインメモリのロード/ストア) 復号時の先頭符号化データ読み捨て選択 (0~3 バイト) 典型的予測機能の選択 ラインメモリ初期化禁止の選択
C	マーカコード設定	W	<ul style="list-style-type: none"> 符号化時, 終端マーカコード設定 (SDNORM/SDRST)
C	マーカコード読み出し	R	<ul style="list-style-type: none"> 復号時, マーカコード読み出し (SDNORM, SDRST, ABORT, その他)
D	拡大・縮小設定	W/R	<ul style="list-style-type: none"> 符号化時の縮小 (縦・横 1/2 縮小, 水平 OR 処理) 復号時の拡大 (縦・横 2 倍拡大)

2. レジスタ説明

(1) システム設定レジスタ (W/R)

(アドレス: 0)	d7 (MSB)						d0 (LSB)	
SYS_REG:	PB	PI	BX	BS	DS	CB	HR	

d0 (HR): H/W リセット (0: 動作状態, 1: リセット状態)

H/W リセットする場合, 本ビットに 1 を書き込み, その後 0 を書き込むこと。本リセットの書き込みによりレジスタ群, ラインメモリを含む LSI 全体を初期化する。ただし, コンテキストテーブル RAM は初期化されない。

d1 ~ 2 (CB): 符号データバスのビット幅選択

d2 = 0, d1 = 0: 8 ビットバス (CD0 ~ 7)

d2 = 0, d1 = 1: 16 ビットバス (CD0 ~ 15)

d2 = 1, d1 = 0: 32 ビットバス (CD0 ~ 31)

【注】 1. d2 = 1, d1 = 1 は設定禁止

2. 16/32 ビットバスで符号化する場合, 末尾の符号化データをワードアラインするために, 最終符号化データ (終端マーカ) の後に, "00" のパッドバイト (最大 3 バイト) を付けて出力する。

d3 (DS): 画像データバスのデータ・ビットスワップ選択
(0: MSB ファースト, 1: LSB ファースト) → 表 3 参照

d4 (BS): 符号データバスのデータ・ビットスワップ選択
(0: MSB ファースト, 1: LSB ファースト) → 表 2 参照

d5 (BX): 符号データバスのデータ・バイトスワップ選択
(0: 下位バイトファースト, 1: 上位バイトファースト) → 表 2 参照

【注】 BX は, ホストバスが 16 ビット/32 ビットバス選択の場合のみ有効。

d6 (PI): 画データ入出力 I/F 選択 (0: シリアル I/F, 1: パラレル I/F)

d7 (PB): 画データバスのビット幅選択
(0: 32 ビットバス (PD0 ~ 31), 1: 16 ビットバス (PD0 ~ 15)) → 表 3 参照

【注】 PB および DS は PI = 1 の場合のみ有効

表 2 符号データバス上の符号化データ/画像データの並び

バス幅 (CB)		スワップ (BX, BS)		符号データバス (CD) 上のデータ並び											
d2	d1	d5	d4	CD31	...	CD24	CD23	...	CD16	CD15	...	CD8	CD7	...	CD0
1 (32 ビット)	0	0	0	b24	...	b31	b16	...	b23	b8	...	b15	b0	...	b7
		0	1	b31	...	b24	b23	...	b16	b15	...	b8	b7	...	b0
		1	0	b0	...	b7	b8	...	b15	b16	...	b23	b24	...	b31
		1	1	b7	...	b0	b15	...	b8	b23	...	b16	b31	...	b24
0 (16 ビット)	1	0	0	—	—	—	—	—	—	b8	...	b15	b0	...	b7
		0	1	—	—	—	—	—	—	b15	...	b8	b7	...	b0
		1	0	—	—	—	—	—	—	b0	...	b7	b8	...	b15
		1	1	—	—	—	—	—	—	b7	...	b0	b15	...	b8
0 (8 ビット)	0	—	0	—	—	—	—	—	—	—	—	—	b0	...	b7
		—	1	—	—	—	—	—	—	—	—	—	—	b7	...

【注】 b0 は時系列で最初の符号化データ/画面上で左側の画像データ, b31 は時系列で最後の符号化データ/画面上で右側の画像データ

表3 画データパラレルバス上の画像データの並び

ビット幅	スワップ	PD31	●●●●●	PD16	PD15	●●●●●	PD0
PB = 0	DS = 0	p0	●●●●●	p15	p16	●●●●●	p31
	DS = 1	p31	●●●●●	p16	p15	●●●●●	p0
PB = 1	DS = 0	—			p0	●●●●●	p15
	DS = 1	—			p15	●●●●●	p0

【注】 p0 は画面上で左側の画像データ，p31 は画面上で右側の画像データ

(2) パラメータ設定レジスタ (W/R)

(アドレス: 1)

	d7	d6	d5	d4	d0	
PARA_REG:	AT		TM	AT		

d0 ~ 4 (AT<0> ~ AT<4>): AT 画素位置下位 5 ビット (図 2 参照)

d5 (TM): テンプレート選択 (0: 3 ラインテンプレート, 1: 2 ラインテンプレート)

d6 ~ 7 (AT<5> ~ AT<6>): AT 画素位置上位 2 ビット (第 6, 7 ビット)

(例)

	d7			d4				d0
3 ラインテンプレート, AT = 4:	0	0	0	0	0	1	0	0
2 ラインテンプレート, AT = 48:	0	1	1	1	0	0	0	0

【注】 AT 画素位置は AT<6:0> をすべて用いて設定する (0 ~ 127)。
 デフォルト位置 (AT 画素を使わない) の場合は, AT = 0 を設定する。
 2 ラインテンプレート時は, AT = 1 ~ 4 は設定禁止。3 ラインテンプレート時は, AT = 1 ~ 2 は設定禁止。

(3) コマンド・レジスタ (W)

(アドレス: 2)	d7	d3			d0
CMD_REG:	0	JP	RC	JC	IC

d0 (IC): コンテキストテーブル RAM 初期化開始コマンド (1: 初期化開始)

本ビットを 1 にすることでコンテキストテーブル RAM の初期化が開始される。

初期化処理が終了すると本ビットは自動的に 0 に戻る。

d1 (JC): 処理 (符号化/復号/スルー) 開始/終了コマンド (1: 処理開始, 0: 処理終了)

本ビットを 1 にすることで, 処理 (符号化/復号, 画像データスルー, ラインメモリのロード/ストア) が開始される。

本コマンド発行前に, 具体的な動作モードを動作モード設定レジスタに設定しておく必要がある。

終端終了選択時に設定ライン数分の処理が終了すると本ビットは自動的に 0 に戻る。

【注】 符号化処理中に本 JC ビットを 0 にし, 画像データの入力を止めると設定したライン数を満たしてなくても, 符号化処理を終端 (フラッシュ) する。また, 復号処理中に本ビットを 0 にし符号化データの入力がなくなると, それ以降は, 符号化データ"00"が入力されたものと見なして設定ライン数分の処理を行う。ただし, マルチストライプの符号化の場合, 最終ストライプ以外では, 本ビットを 0 にすることによる処理の終端は行わないこと。

d2 (RC): コンテキストテーブル RAM のロード/ストア開始/終了コマンド

(1: ロード/ストア開始, 0: ロード/ストア終了)

本ビットを 1 にすることで, バッファレジスタを介してコンテキストテーブル RAM に外部からコンテキストデータをロードしたり, あるいは外部にストアしたりできる。(「(9) バッファ・レジスタ」参照)

ロード/ストア処理が終了すると本ビットに 0 を書き込む必要がある。

d3 (JP): 処理 (符号化/復号/スルー) の一時停止モード/終端終了モード選択

(1: 一時停止選択, 0: 終端終了選択)

本 JP ビットを 1 にして処理開始コマンド d1 (JC) を発行すると, 設定したライン数を処理した時点で処理動作を一時停止する。その後, 処理開始コマンド d1 (JC) を再発行すると処理を再開する。(「4. レジスタ設定シーケンス」(3) 参照)

(4) ステータス・レジスタ (R)

(アドレス: 2)	d7	d5					d0	
STAT_REG:	0	PS	SC	IS	MS	DS	JS	

d0 (JS): 処理 (初期化/符号化/復号/スルー) 状態

(0: 処理中 (一時停止または初期化), 1: 処理完了)

RAM 初期化コマンド発行 (IC = 1) の場合は初期化完了時点で, 終端終了の処理開始コマンド発行 (JC = 1, JP = 0) の場合, 符号化時はすべての符号化データの読み出し完了時点で, 画像データスルー時および復号時はすべての画像データの読み出しの完了時点で, 本 JS ビットが 1 になる。なお, 一時停止の処理開始コマンド発行 (JC = 1, JP = 1) の場合は, 設定ライン数の処理を終了しても, 本 JS ビットは 0 のままである (ただし, 一時停止時に割り込みは発生する)。

d1 (DS): 符号データバス上での符号化データ (スルーモードの場合は画像データ) の読み出し/書き込みレディ (1: レディ, 0: 読み書き不可)

本ビットが 1 の場合, 符号データバス上でのデータの読み出し/書き込みができる。(本ビットは CDRQ 端子と等価)

d2 (MS): 復号時, マーカコード検出 (0: 未検出, 1: 検出)

復号時, 何らかのマーカコードが検出されたとき本ビットが 1 になる。

d3 (IS): 割り込み要求 (INTR 端子) の状態 (0: 要求なし, 1: 要求あり)

d4 (SC): 符号化時, SC カウントオーバーエラー (0: ノーマル, 1: SC カウンタオーバーフロー発生)

【注】 SC カウンタとは, 符号化過程で発生する連続"FF"データバイトのカウンタのこと。

SC カウンタがオーバーフローしても符号化処理は続行するが, 正しい符号化データが出力されない (符号化エラー)。

d5 (PS): 処理 (一時停止/終端終了) モード

(1: 一時停止処理モード, 0: 終端終了処理モード)

本 PS ビットは, コマンドレジスタの d3 (JP) ビットの処理一時停止/終端終了選択に対応する。

(5) 割り込みイネーブル・レジスタ (W/R)

(アドレス: 3)	d7	d3			d0	
IENB_REG:	MP	0	SE	ME	DE	JE

d0 (JE): 処理 (初期化/符号化/復号/スルー) 一時停止/終端終了割り込み
(0: 割り込みマスク, 1: 割り込みイネーブル)

d1 (DE): 符号化データ (画像データ) 読み出し/書き込みレディ割り込み
(0: 割り込みマスク, 1: 割り込みイネーブル)

d2 (ME): 復号時, マーカコード検出割り込み (0: 割り込みマスク, 1: 割り込みイネーブル)

d3 (SE): 符号化時, SC カウントオーバーエラー割り込み (0: 割り込みマスク, 1: 割り込みイネーブル)

【注】 各ビット d0 ~ d3 は, ステータスレジスタの対応するビット d0 ~ d2, d4 の割り込みイネーブル。割り込みイネーブルに設定されたステータスビットのいずれかが 1 になった時点で割り込み要求信号 (INTR) がアサートされる (なお d0 (JE) は, 一時停止時にも割り込みが発生する)。

H/W リセットなどによりステータスが 0 になるか, 割り込みマスクがかけられて割り込み要因がなくなった時点で INTR がネゲートする。

なお, 割り込みの発生や割り込みイネーブル・レジスタの R/W によって, ステータスレジスタがクリアされることはない。

d7 (MP): マーカコード検出時休止指示 (0: 継続/再開指示, 1: 一時休止指示)

復号時, 本 MP ビットをあらかじめ 1 に設定しておく, マーカコード検出した時点で復号処理を一時休止する。

(ME ビットを 1 にしておく, マーカコード検出時点で割り込みが発生する)

マーカ検出一時休止時点で復号処理が完了していない場合は, ライン数設定レジスタを再設定できる (「(7) ライン数設定レジスタ」参照)。

その後, 本 MP ビットを 0 に設定すると復号処理を再開する (設定ライン数まで復号処理を行う)。

(6) 画素数設定レジスタ (W/R)

(アドレス:4)	d7				d0
PEL_REG_L:	PEL_L				
(アドレス:5)	d7		d5		d0
PEL_REG_H:	0	PEL_H			

d0 ~ 7 (PEL_L): 1 ラインの画素数設定 (下位バイト)

d0 ~ 5 (PEL_H): 1 ラインの画素数設定 (上位バイト)

3 ラインテンプレート時は最大 8192 画素まで, 2 ラインテンプレート時は最大 10240 画素まで設定可能。

縮小時 (拡大時) は実際に符号化 (復号) される画素数を設定すること。

パラレル I/F 選択で, 画データバスが 16 ビット (32 ビット) の場合, 16 の倍数 (32 の倍数) に設定すること。

シリアル I/F 選択の場合は, 8 の倍数に設定すること。

(7) ライン数設定レジスタ (W/R)

(アドレス: 6)	d7	d0
LSET_REG_L:	LSET_L	
(アドレス: 7)		
LSET_REG_H:	LSET_H	

d0 ~ 7 (LSET_L): 処理を行うライン数の設定 (下位バイト) (1 ~ 65535: 0 ラインは設定不可)

d0 ~ 7 (LSET_H): 処理を行うライン数の設定 (上位バイト)

縮小時 (拡大時) は、実際に符号化 (復号) するライン数を設定すること。

これから発行する処理開始コマンドから直後の一時停止/終端終了までのライン数 (相対ライン数) を設定すること。

本レジスタは、処理開始コマンド発行前に所定の値に設定する必要がある。

なお、下記の条件を満たす場合に限り、処理途中で本レジスタを書き換えることができる。

- 処理開始コマンド発行前に最大値 (65535) を設定した場合、処理途中で1回任意の値に再設定して良い。
- 処理開始コマンド発行前に最大値 (65535) 以外を設定した場合、途中で再設定の必要が生じたときには、一旦最大値 (65535) を再設定し、その後に希望する値を再設定しなければならない。

(8) 処理ライン数レジスタ (R)

(アドレス: 8)	d7	d0
LIN_REG_L:	LINE_L	
(アドレス: 9)		
LIN_REG_H:	LINE_H	

d0 ~ 7 (LINE_L): 実際に処理を行ったライン数の読み出し (下位バイト) (0 ~ 65535)

d0 ~ 7 (LINE_H): 実際に処理を行ったライン数の読み出し (上位バイト)

処理ライン数 \geq 設定ライン数になった時点で符号化/復号/スルー処理が一時停止/終端終了する。

【注】 本処理ライン数は、処理開始コマンド発行により0クリアされる。

(9) バッファ・レジスタ (W/R)

(アドレス: A) d7 d0
 DWR_BUF: DWR

d0 ~ 7 (DWR): コンテキスト・テーブル RAM のロード/ストア用データ

本レジスタは、コンテキスト・テーブル RAM にホストバスを通してデータをロードしたり、外部へストアしたりするためのバッファである。コンテキストテーブル RAM のロード/ストア開始コマンドを発行した後（コマンドレジスタの d3 = 1）、本レジスタを介したデータのロードやストアを開始できる。コンテキストテーブル RAM には、計 1024 個のコンテキストごとに、予測値 (MPS) と予測不一致確率 (LSZ) が蓄えられる。コンテキストテーブル RAM のアドレス割り当てとデータビット配列を図 4 および表 4 に示す。

コンテキストテーブル RAM は 2 バイト・データであるため、下位バイト→上位バイトの順でバイト単位に交互にアクセスする。

2 バイトのアクセスが行われるごとに、RAM アドレスは自動的にインクリメントされる（アドレス 0 からのシーケンシャルアクセス）。

- 【注】
1. ロードとストアを混在して行うことはできない。RAM のランダムアクセスもできない。
 2. LSZ の値は、JBIG 国際標準で規定された 113 通り（付録 A.2 参照）以外を設定してはならない。
 （例えば、初期化する場合は、"5a1d"をロードする）

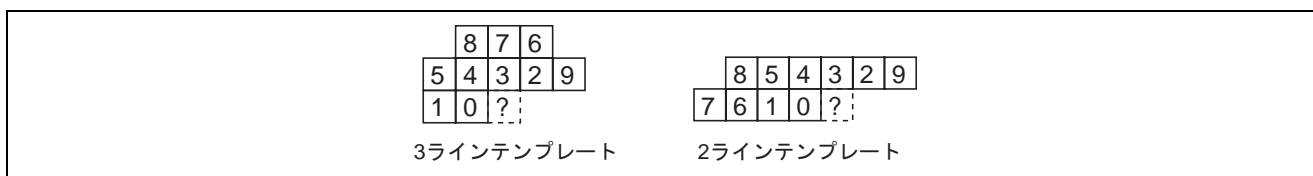


図 4 コンテキストテーブル RAM のアドレス割り当て
 (番号はアドレスビット (LSB: 0, MSB: 9), AT 画素は MSB: 9)

表 4 コンテキストテーブル RAM のデータビット配列

上位バイト		下位バイト	
d15	d14 d8	d7 d0	
MPS	L14 L8	L7 L0	

- 【注】 MPS: 予測値 MPS (0/1)
 L14 ~ 0: 予測不一致確率 LSZ の下位 15 ビット ("0001" ~ "5b12")

(10) 動作モード設定レジスタ (W/R)

(アドレス: B)	d7				d0
MOD_REG:	TP	LI	OB	LIO	MOD

本レジスタは、LSI の動作モードを設定するためのレジスタであり、処理開始コマンド (コマンドレジスタ d1 (JC) = 1) の発行前に設定しておく必要がある。

d0, 1 (MOD): 動作モード設定

d1 = 0, d0 = 0: 符号化

d1 = 1, d0 = 0: 画像データスルー (画データ I/F → 符号データ I/F) /ロード/ストア

d1 = 0, d0 = 1: 復号

d1 = 1, d0 = 1: 画像データスルー (符号データ I/F → 画データ I/F) /ロード/ストア

d2, 3 (LIO): ラインメモリの画データのロード/ストア選択 (d2 = ロード選択, d3 = ストア選択)

マルチストライプの場合、各ストライプの符号化/復号の前に参照ライン用の画データを外部からラインメモリにロードしたり、各ストライプの符号化/復号の後にラインメモリに蓄えられた画データを外部にストアしたりする場合に、本 LIO ビットを下表に従って設定する。本 LIO ビットは、画像データスルーモード (d1 = 1) の場合にのみ有効である。

- 【注】
1. LIO (d3, d2) = (1, 1) は設定禁止である。
 2. ラインメモリの画データのロード/ストア選択の場合には、一時停止 (コマンドレジスタの d3 (JP) = 1) を設定できない。
 3. 画データのロード/ストアモード選択の場合も、転送するライン数をライン数設定レジスタに設定しなければならない。
 4. ラインメモリへの画データロードのライン数は、2 ラインテンプレートの場合も 3 ラインテンプレートの場合も、2 ライン必要である。(1 ラインだと、典型的予測 (LNTTP) が正しく判定できないため)

表 5 動作モード一覧

動作モード MOD (d1, d0)	ロード/ストア LIO (d3, d2)	動作モード		備考
0 0	X X	符号化モード		通常符号化モード
0 1	X X	復号モード		通常復号モード
1 0	0 0	画像データスルー (画データ I/F → 符号データ I/F)		画像データの I/F 間転送用
	0 1	ラインメモリへ画像データロード (画データ I/F から入力)		参照ラインの LSI へのロード用
	1 0	ラインメモリの画像データストア (符号データ I/F へ出力)		ラインメモリの外部へのストア用
1 1	0 0	画像データスルー (符号データ I/F → 画データ I/F)		画像データの I/F 間転送用
	0 1	ラインメモリへ画像データロード (符号データ I/F から入力)		参照ラインの LSI へのロード用
	1 0	ラインメモリの画像ストア (画データ I/F へ出力)		ラインメモリの外部へのストア用

d4, 5 (OB): 復号時、先頭符号化データ読み捨て設定

(0 ~ 3: 読み捨てバイト数設定, 例えば d4 = 0, d5 = 1 ならば 2 バイト読み捨て)

復号時、OB = 1 ~ 3 に設定して、ストライプ最初の復号処理開始コマンド発行すると、設定バイト数分の先頭データを読み捨てる (復号処理に用いない)。OB = 0 に設定すると読み捨て処理を行わない (通常復号処理)。

例えば、符号データバスが 32/16 ビットで、符号化データの先頭がワード境界に合っていない場合に本機能を用いる。

【注】 符号データバスが 8 ビットの場合も、本機能は有効である。

3. レジスタ初期値

外部リセット端子,あるいはシステム設定レジスタへのH/Wリセット書き込みにより各レジスタは下表のように初期化される。

表6 レジスタの初期値

レジスタ	初期値	レジスタ	初期値
システム設定	00h ^注	処理ライン数	00h
パラメータ設定	00h	バッファ・レジスタ	不定
コマンド	00h	動作モード設定	00h
ステータス	00h	マーカコード設定	00h
割り込みイネーブル	00h	マーカコード読み出し	00h
画素数設定	00h	拡大・縮小設定	00h
ライン数設定	00h		

【注】 システム設定レジスタへのH/Wリセット書き込み時は,システム設定レジスタには,書き込まれた値が設定される。

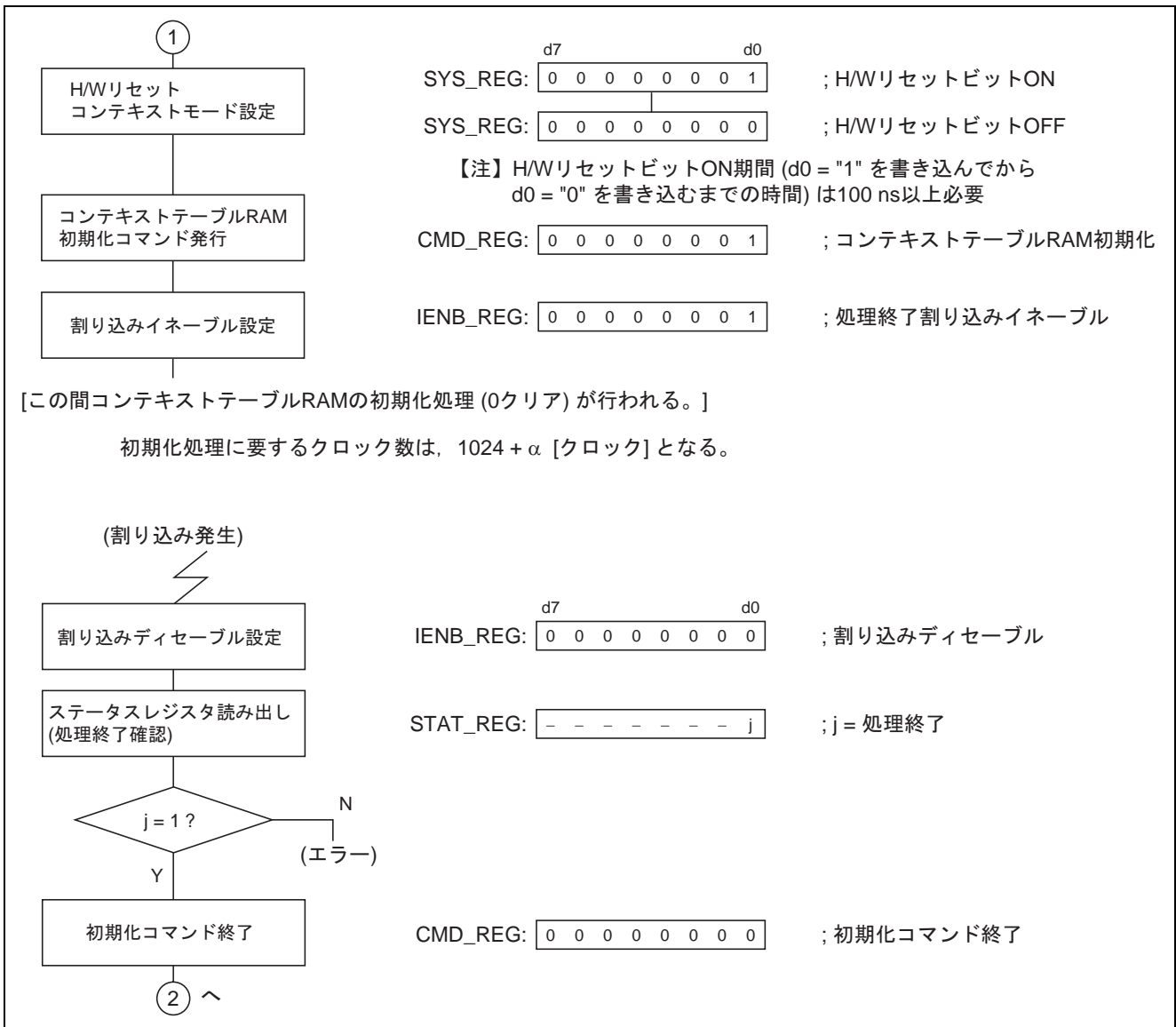
4. レジスタ設定シーケンス

(1) 内蔵ラインメモリ、コンテキストテーブルRAMの初期化シーケンス

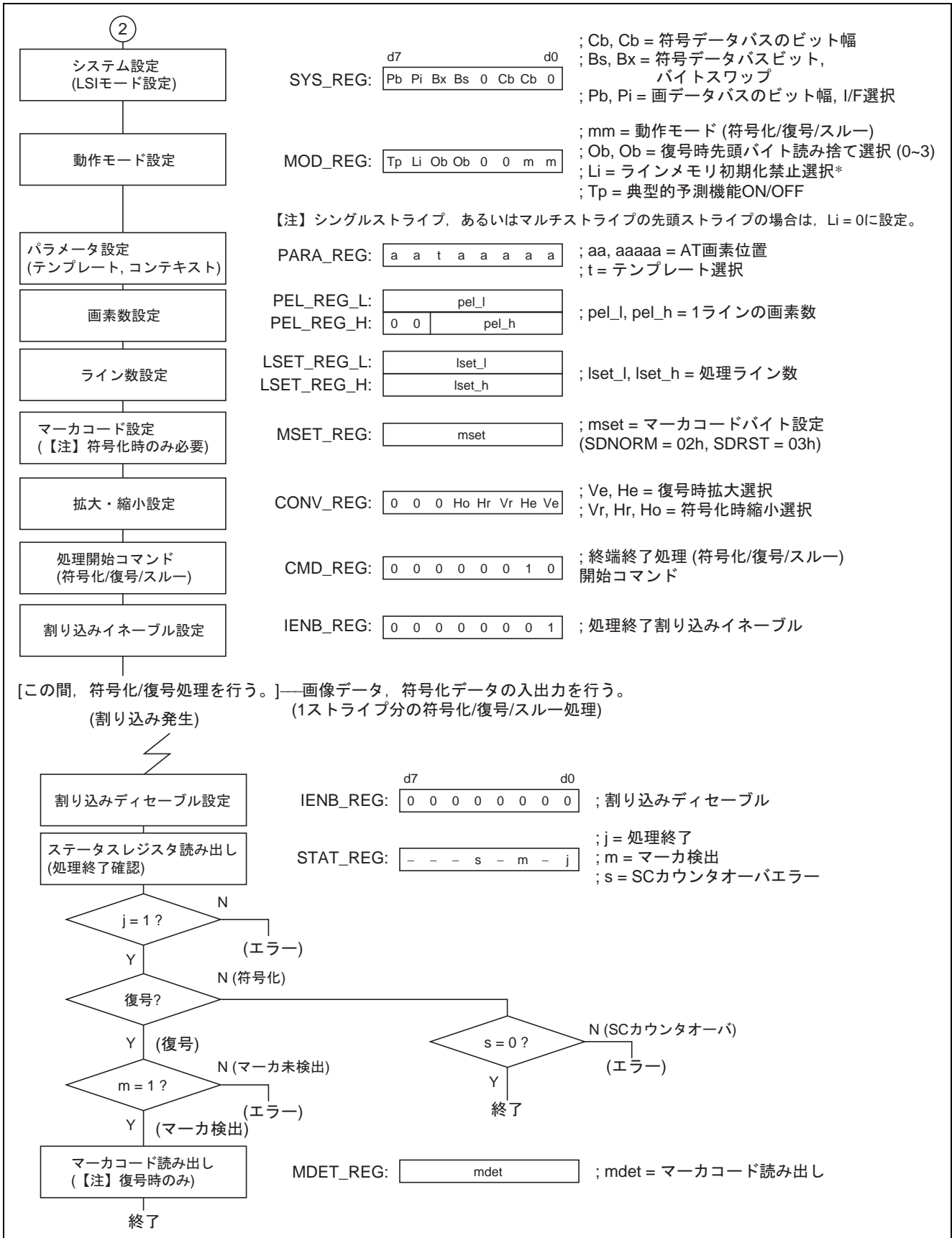
本シーケンスは、H/Wリセットによる内蔵ラインメモリの初期化設定*を行った後、コンテキストテーブルRAMの初期化処理(0クリア)を行う。

初期化不要(現状テーブルの内容をそのまま使用)の場合、本シーケンスは不要である。

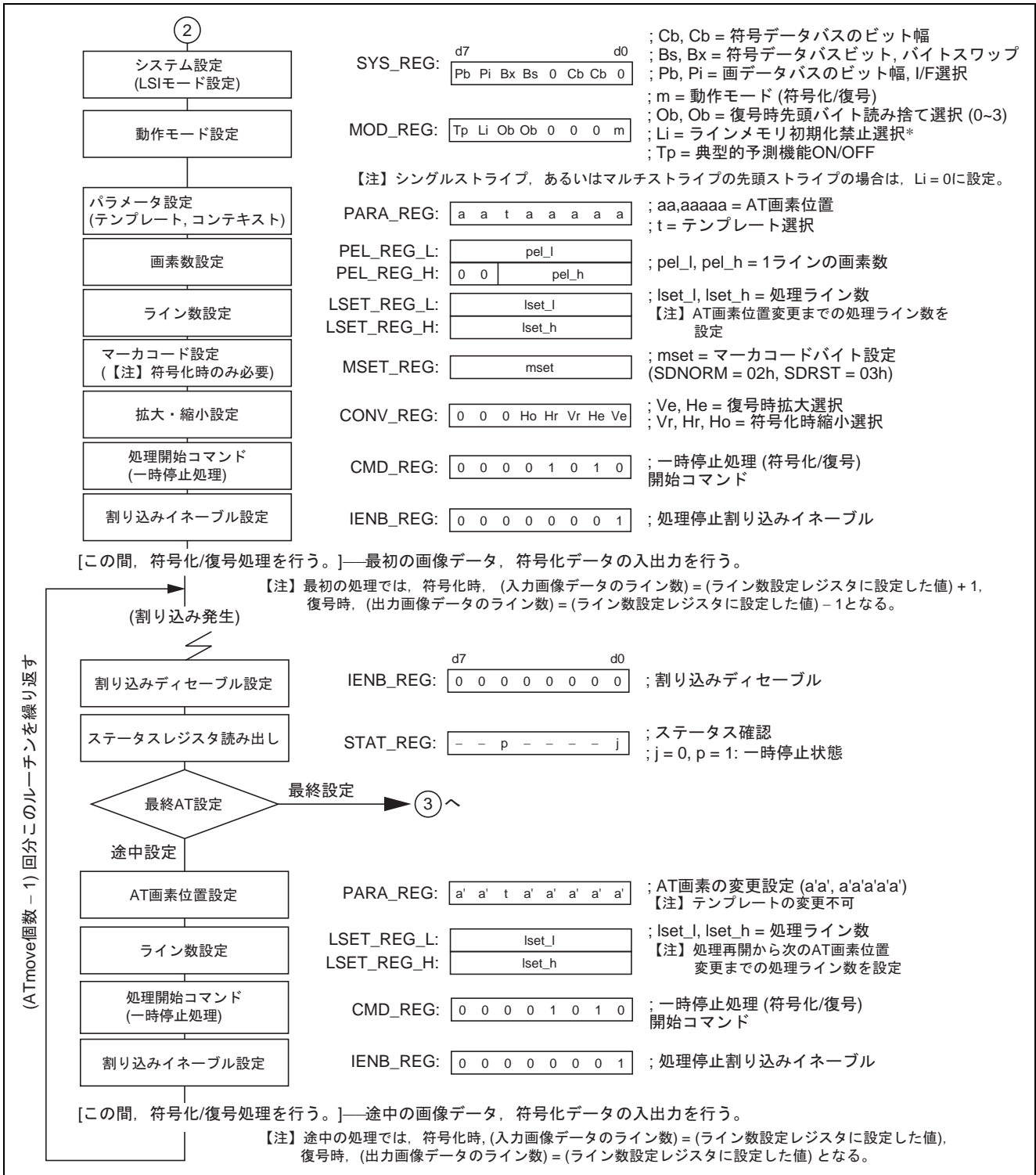
【注】 H/Wリセットによるラインメモリの初期化設定は、符号化/復号処理の開始に備えて、参照ラインとして全白(0)データを用意するとともに、典型的予測のためのLNTPビットの初期化(LNTP = 1)を行うものである。

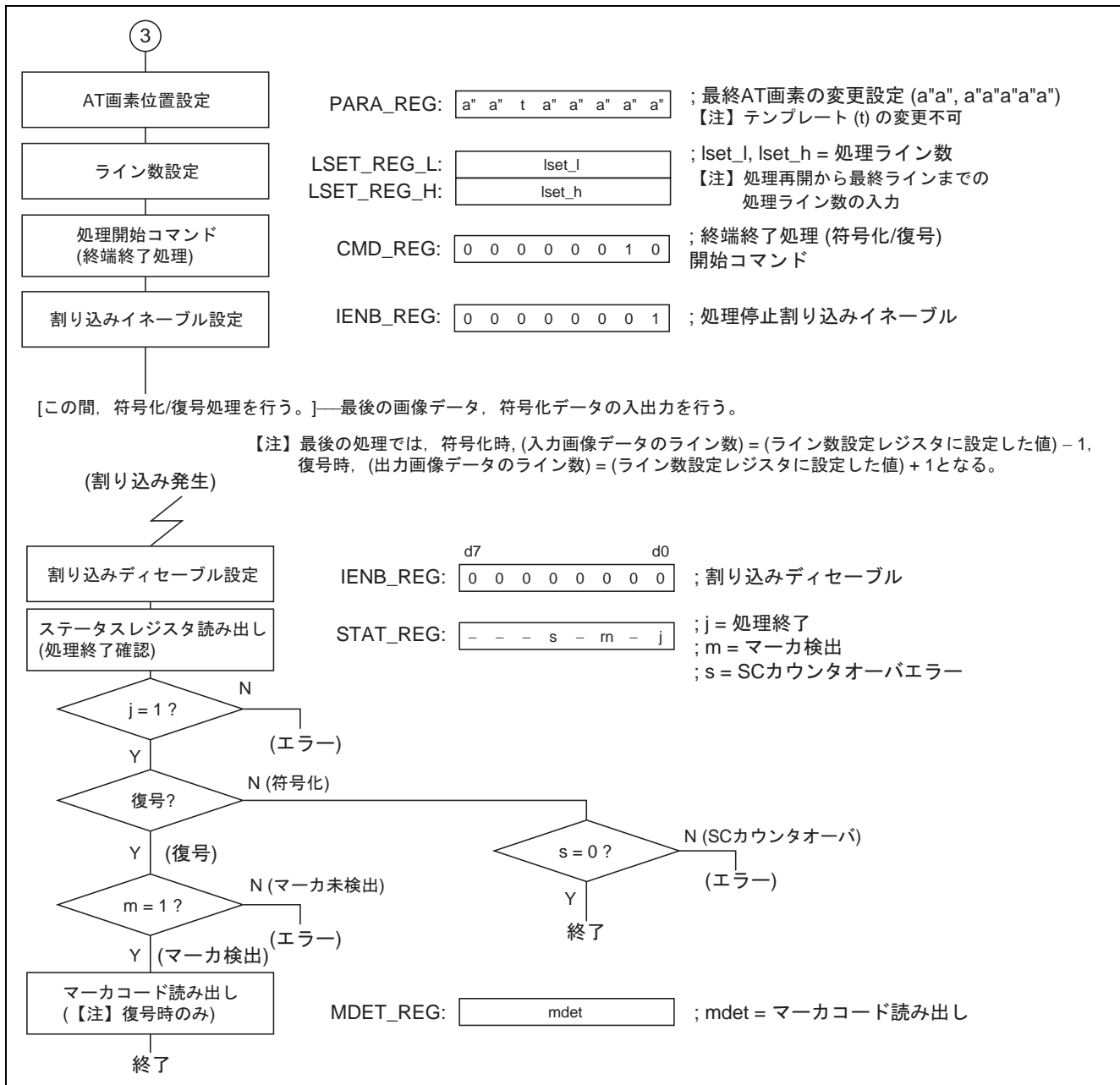


(2) ストライプ符号化/復号 (AT 画素位置の変更なし)/画像データスルー処理シーケンス



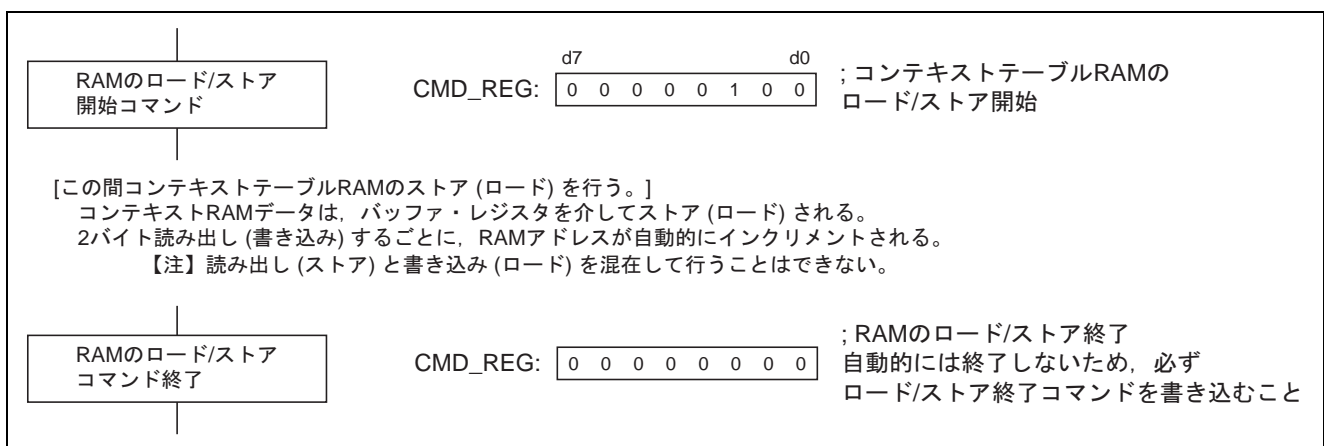
(3) ストライプ符号化/復号 (AT 画素位置の変更あり) 処理シーケンス



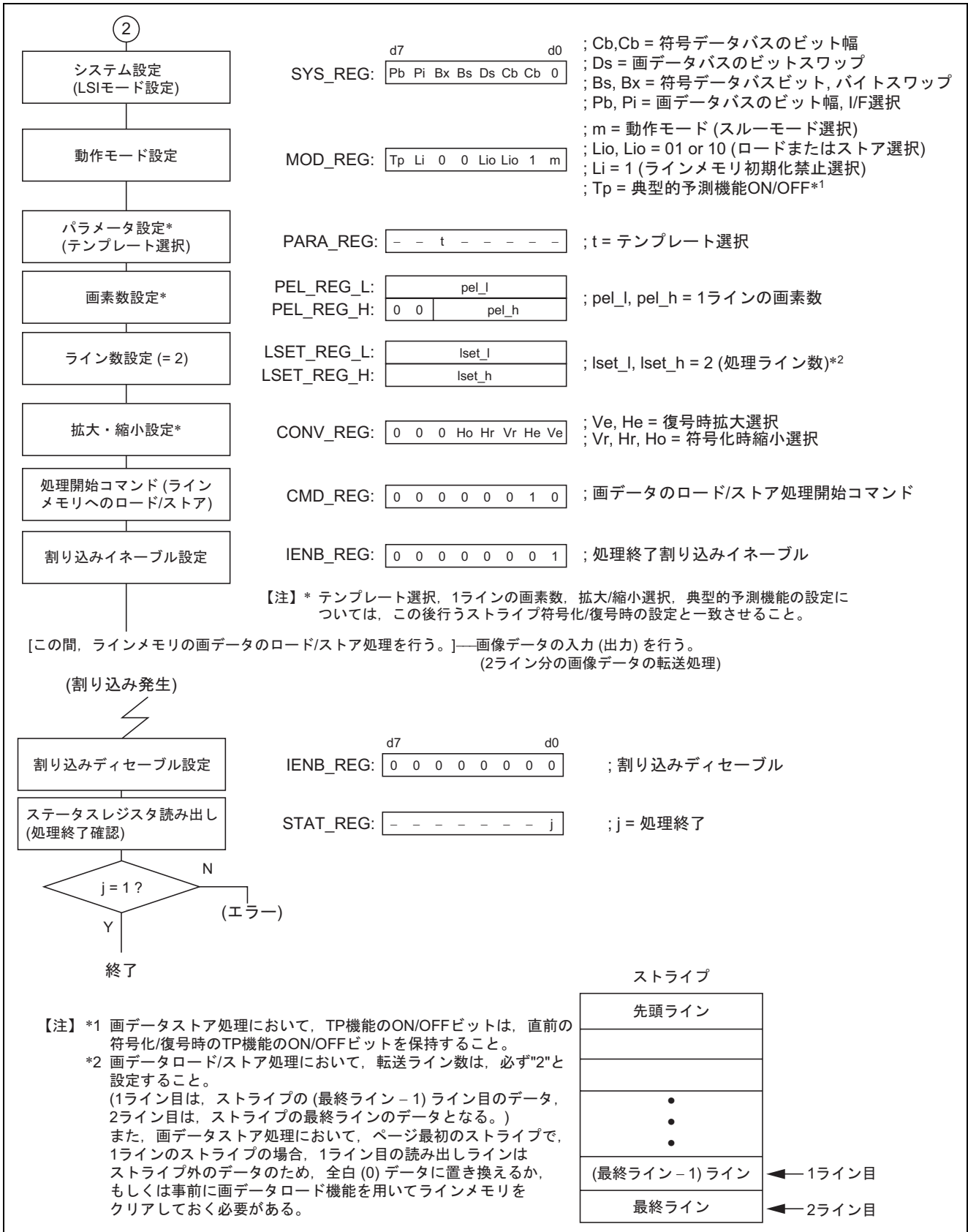


(4) コンテキストテーブル RAM のロード/ストア処理シーケンス

本シーケンスは, コンテキストテーブル RAM のロードまたはストアを行う。

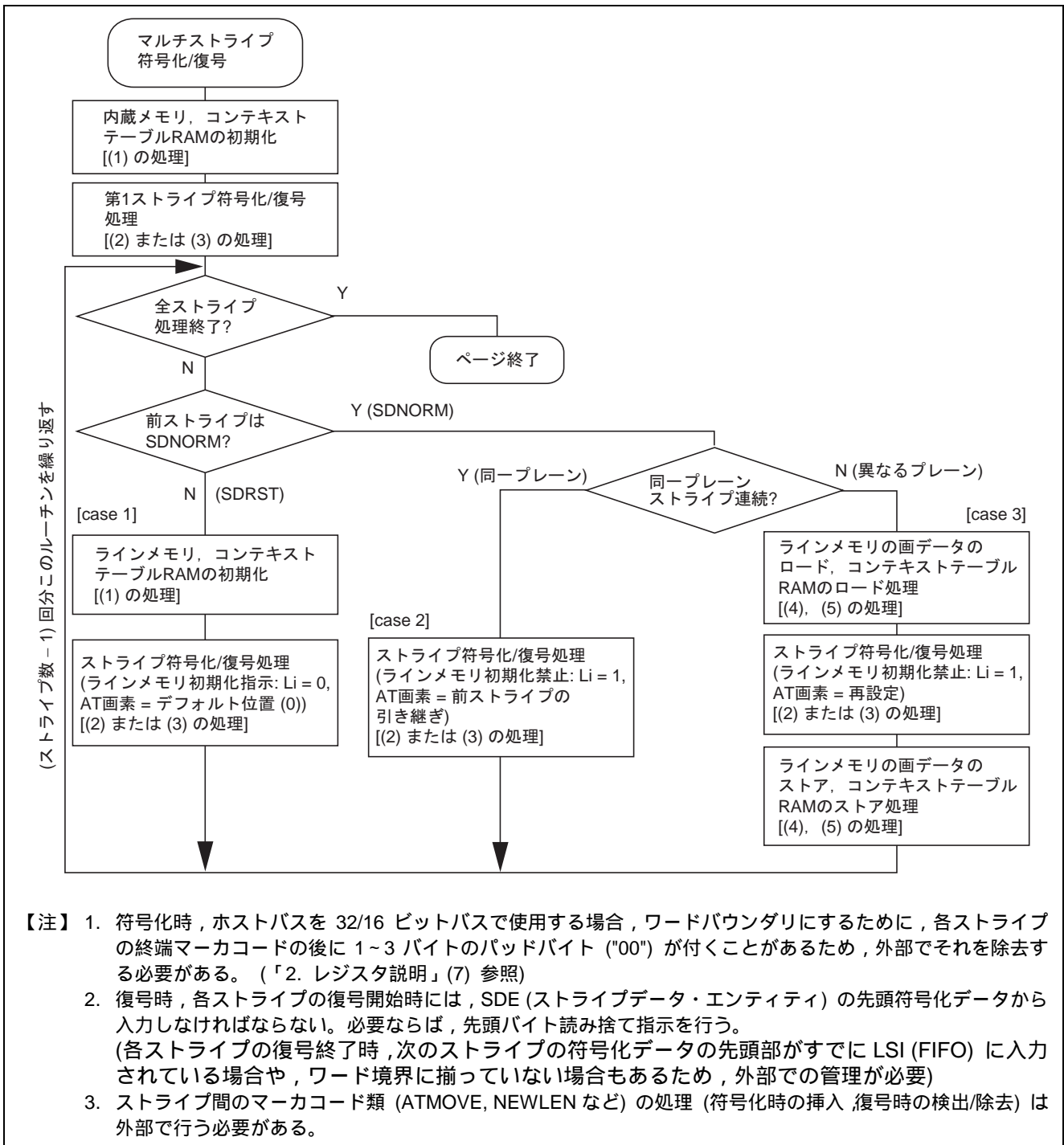


(5) ラインメモリの画データのロード/ストア処理シーケンス



(6) マルチストライプ符号化/復号の総合シーケンス

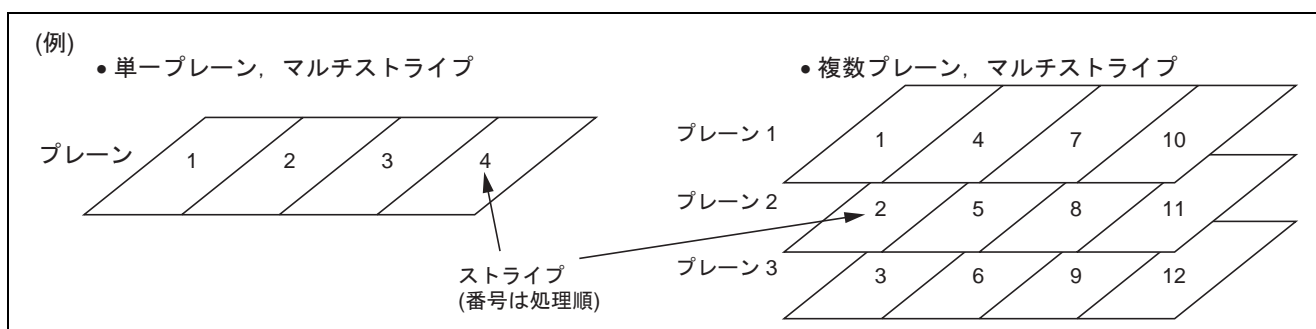
1 ページが複数個のストライプあるいはプレーンで構成される画像は、初期化処理の後、ストライプ単位に符号化または復号処理を行う必要がある。



- 説明

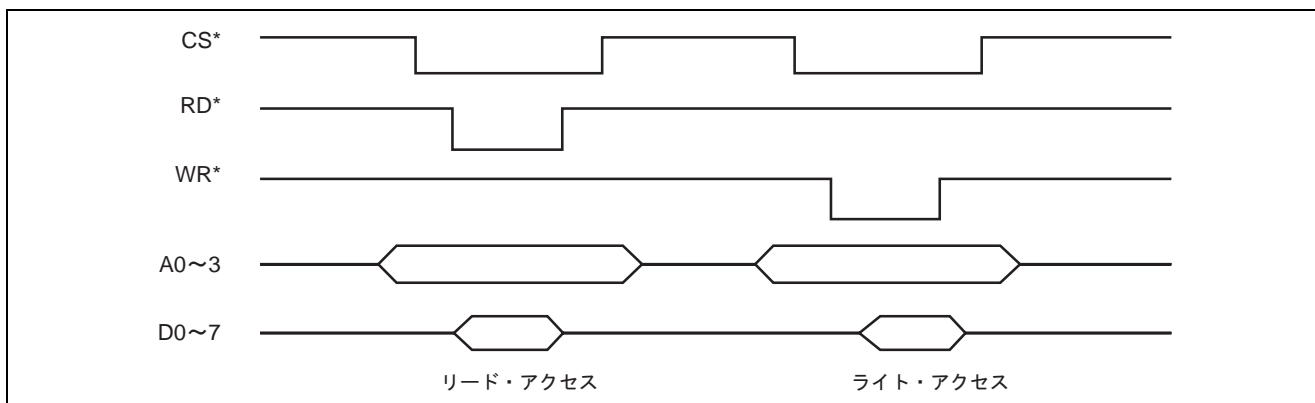
前ストライプの終端マーカが SDRST の場合は、状態を初期化して次のストライプの符号化/復号を行う必要がある。したがって、内蔵ラインメモリ、コンテキストテーブル RAM の初期化処理を行った後、AT 画素位置をデフォルト位置に戻して次のストライプの処理を開始する [case1]。

前ストライプの終端マーカが SDNORM の場合は、前ストライプの状態を引き継いで次ストライプの符号化/復号を行う必要がある。その際、同一プレーンのストライプを続けて符号化/復号する場合は、前ストライプ終了時のラインメモリとコンテキストテーブル RAM の状態を次のストライプに使うため、ラインメモリもコンテキストテーブル RAM も初期化せずに、AT 画素位置も前ストライプの最後の値を引き継いで次ストライプの処理を開始する [case2]。一方、異なるプレーン間のストライプを交互に符号化/復号する場合は、ラインメモリとコンテキストテーブル RAM の状態を同一プレーンの前ストライプ終了時の状態に再設定する必要があるため、ラインメモリとコンテキストテーブル RAM を LSI にロードし、AT 画素位置も再設定して次ストライプの処理を開始する。また、ストライプ符号化/復号後は、次のストライプのために、ラインメモリとコンテキストテーブル RAM をセーブしておく [case3]。



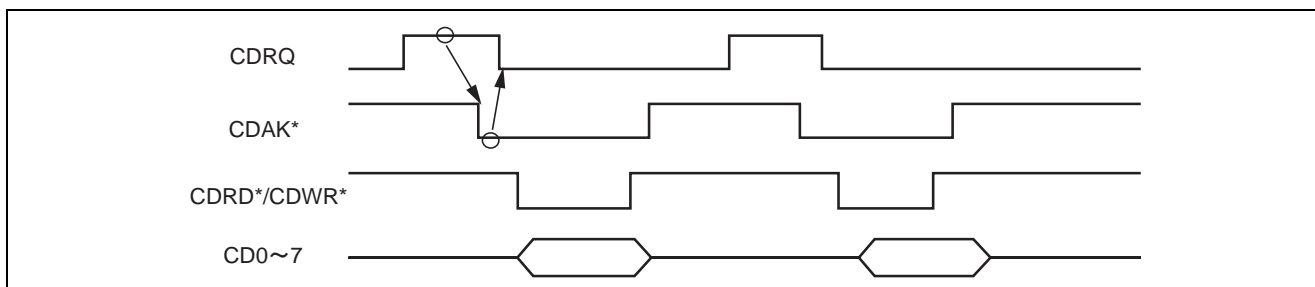
タイミングチャート

1. ホストバス I/F

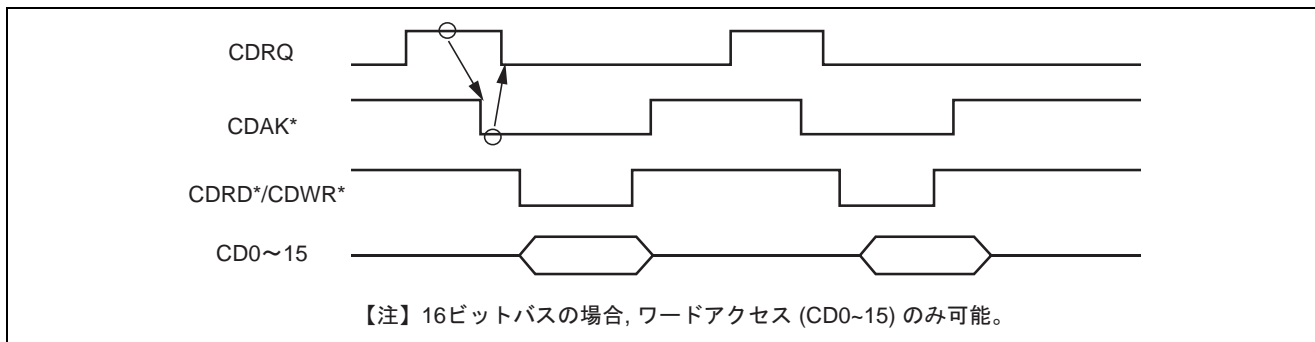


2. 符号データ I/F

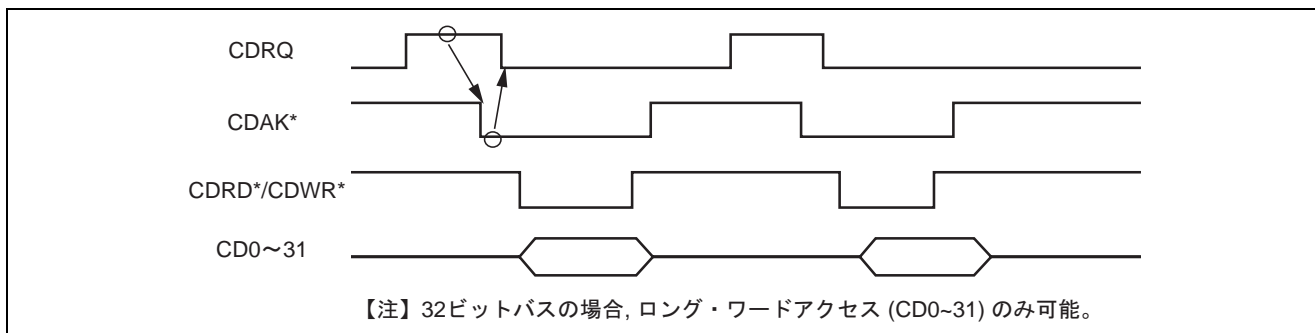
(a) 8 ビットバスの場合



(b) 16 ビットバスの場合



(c) 32 ビットバスの場合



• 説明

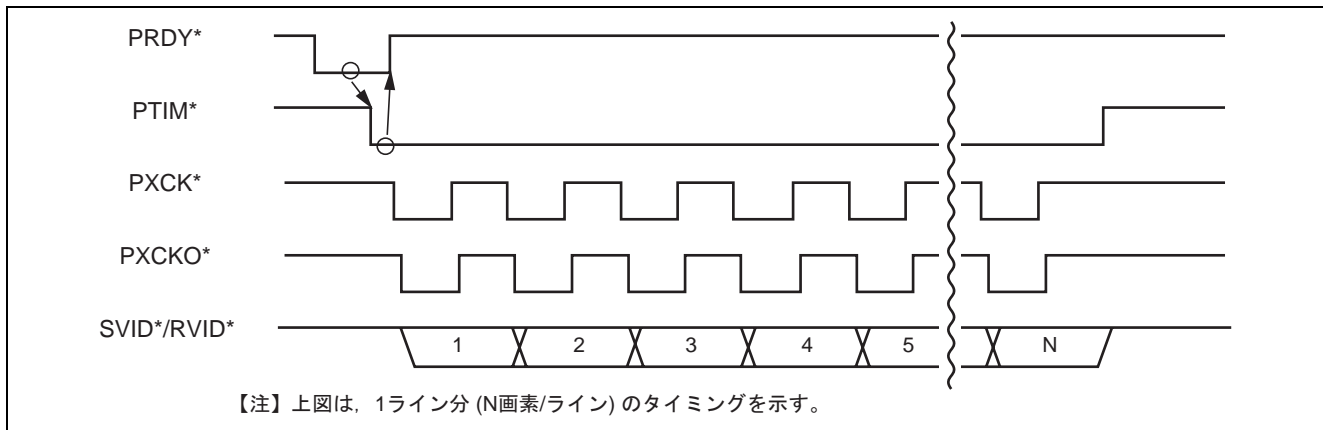
CDRQのアサート (H) を確認して、CDAK*をアサート (L) することができる。

CDAK*をアサート (L) すると、CDRQはネゲート (L) される。

CDRD*/CDWR*のアサート (L) 区間は、CDAK*のアサート区間 (L) に包含されなければならない。

3. 画データ I/F

(1) シリアル画データ I/F



● 説明

PRDY*のアサート (L) を確認して、PTIM*のアサート (L) をすることができる。

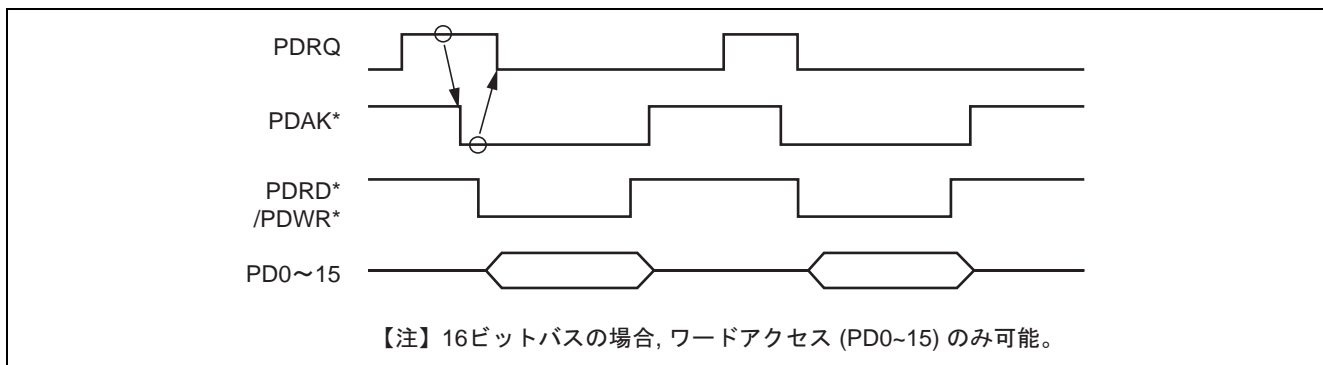
PTIM*をアサート (L) すると、PRDY*がネゲート (H) される。

PXCKO*は、PXCK*入力を PTIM*でゲートした出力である。

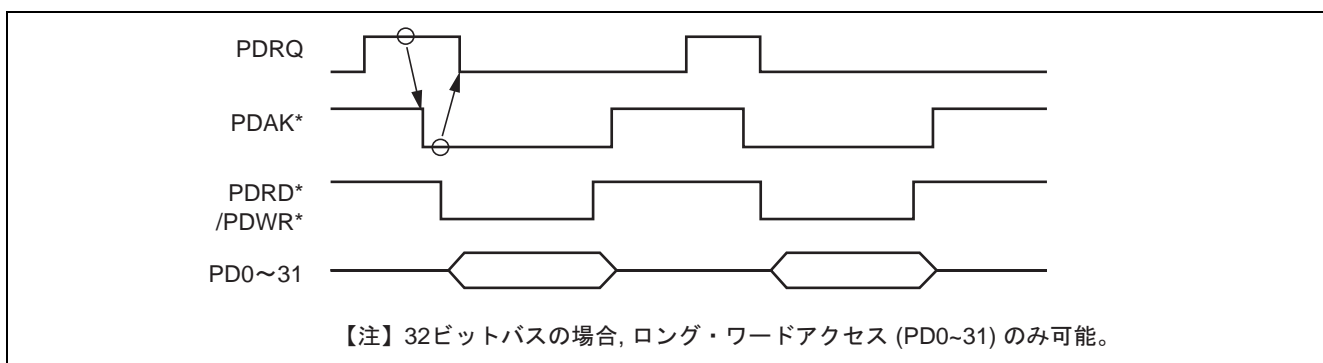
PXCK*または PXCKO*に同期して、画データ (SVID*/RVID*) の入出力が行われる。

(2) パラレル画データ I/F

(a) 16 ビットバス



(b) 32 ビットバス



● 説明

PDRQのアサート (H) を確認して、PDAK*をアサート (L) することができる。

PDAK*をアサート (L) すると、PDRQはネゲート (L) される。

PDRD*/PDWR*のアサート (L) 区間は、PDAK*のアサート区間 (L) に包含されなければならない。

システム構成例

1. デジタル PPC, FAX 複合機への応用例

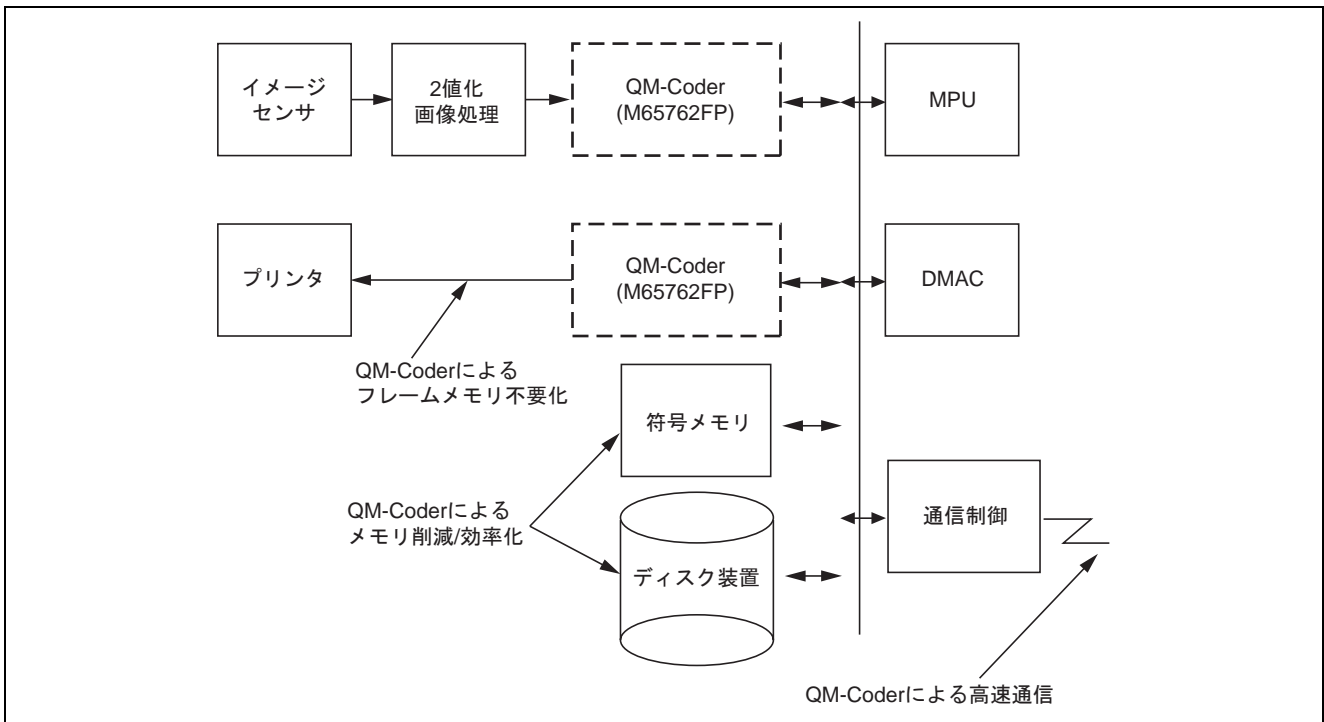


図5 デジタル PPC, FAX 複合機への応用例

2. プリンタへの応用例

PC/WS からプリンタ (LBP/IJP) への高速転送, およびメモリ削減

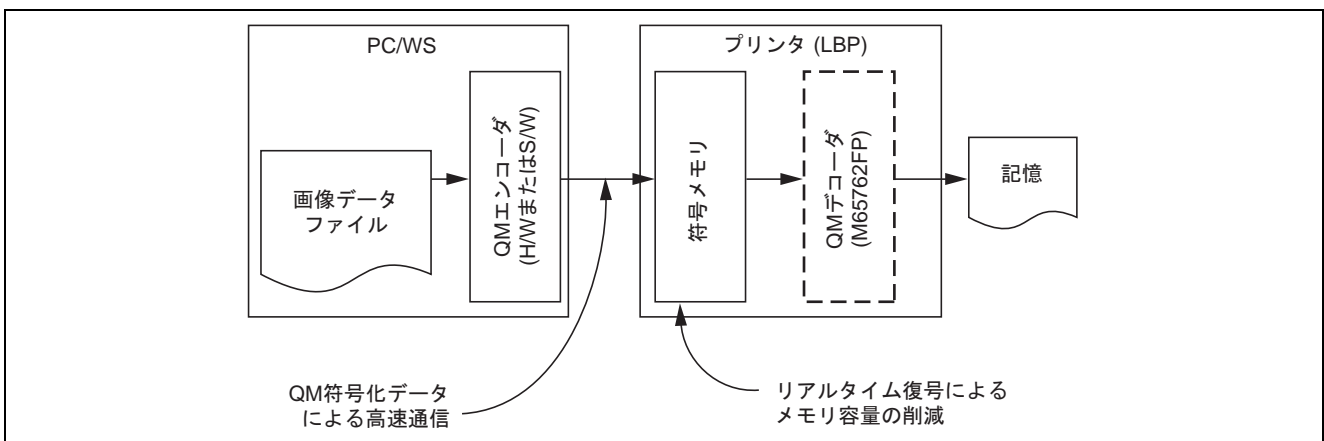


図6 プリンタへの応用例

[付録 A.1] JBIG データ・ストラクチャ

B I E	; Bi-level Image Entity										
B I H	; Bi-level Image Header										
DL	1	; lowest resolution layer									
D	1	; final resolution layer									
P	1	; number of bit-planes									
-	1	; dummy 0									
X _D	4	; horizontal dimension at highest resolution									
Y _D	4	; vertical dimension at highest resolution									
L _D	4	; number of lines per stripe at lowest resolution									
M _x	1	; maximum horizontal offsets allowed for AT pixel									
M _y	1	; maximum vertical offsets allowed for AT pixel									
Order	1	; order byte									
-	b7-4	; dummy 0									
HITOLO	b3	; resolution-order distinction									
SEQ	b2	; progressive-versus-sequential distinction									
ILEAVE	b1	; interleaving of multiple bit-planes									
SMID	b0	; indexed over stripe is in middle									
Options 1	; option byte										
-	b7	; dummy 0									
LRLTWO	b6	; lowest resolution-layer two line template									
VLENGTH	b5	; NEWLEN (new vertical dimension) marker enable									
TPDON	b4	; differential-layer TP enable									
TPBON	b3	; lowest-resolution-layer TP enable									
DPON	b2	; DP enable									
DPPRIV	b1	; private DP table									
DPLAST	b0	; DP table last is to be reused									
DPTABLE	0/1728	; private DP table									
		(It is present only if DPON = 1, DPPRIV = 1, DPLAST = 0)									
B I D	; bi-level Image Data ((1) (2) x N)										
(1)	Floating Marker Segments ((a) ~ (c))										
(a)	AT move marker										
ESC	1	; FFh									
ATMOVE	1	; 06h									
Y _{AT}	4	; line in which an AT switch is to be made									
τ _x	1	; horizontal offset of the AT pixel									
τ _y	1	; vertical offset of the AT pixel									
(b)	new-length marker										
ESC	1	; FFh									
NEWLEN	1	; 05h									
Y _D	4	; new Y _D									
(c)	comment marker										
ESC	1	; FFh									
COMMENT	1	; 07h									
L _c	4	; length in bytes of private comment									
comment	L _c	; contents of comment									
(2)	SDE ; Stripe Data Entry (枠内: LSIサポート範囲)										
<table border="0"> <tr> <td>PSCD</td> <td></td> <td>; Protected Stripe Coded Data = byte stuffed SCD (Stripe Code Data)</td> </tr> <tr> <td>ESC</td> <td>1</td> <td>; FFh</td> </tr> <tr> <td>SDNORM/SDRST</td> <td>1</td> <td>; normal terminate (02h) ; /reset "state" for next SDE (03h)</td> </tr> </table>			PSCD		; Protected Stripe Coded Data = byte stuffed SCD (Stripe Code Data)	ESC	1	; FFh	SDNORM/SDRST	1	; normal terminate (02h) ; /reset "state" for next SDE (03h)
PSCD		; Protected Stripe Coded Data = byte stuffed SCD (Stripe Code Data)									
ESC	1	; FFh									
SDNORM/SDRST	1	; normal terminate (02h) ; /reset "state" for next SDE (03h)									

abort BID marker											
ESC	1	; FFh									
ABORT	1	; 04h									
reserved marker											
ESC	1	; FFh									
RESERVE	1	; 01h									

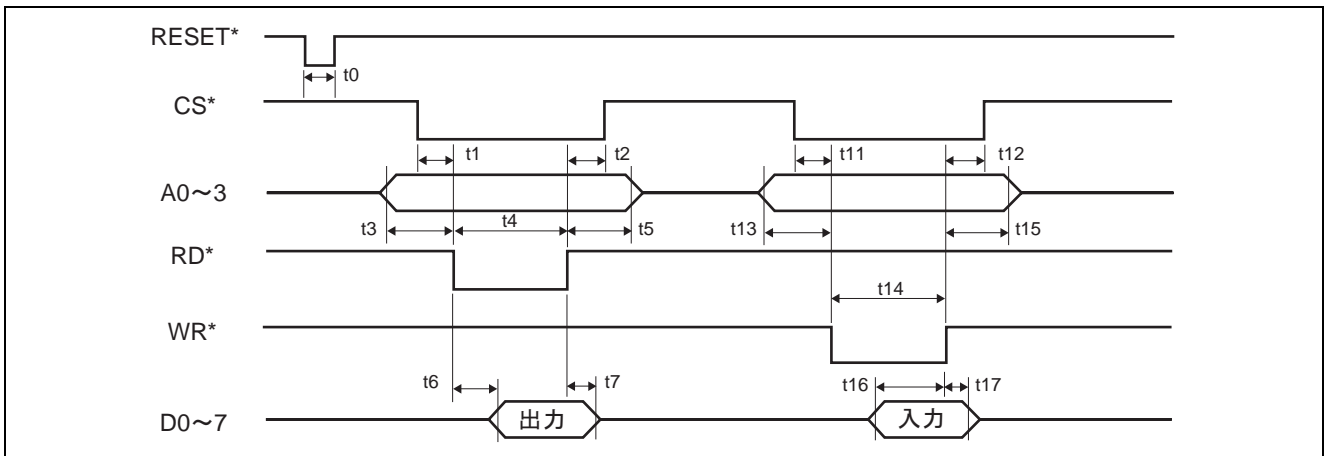
[付録 A.2] JBIG 確率推定テーブル

ST	LSZ	NLPS	NMPS	SWTCH	ST	LSZ	NLPS	NMPS	SWTCH
0	0x5ald	1	1	1	57	0x01a4	55	58	0
1	0x2586	14	2	0	58	0x0160	56	59	0
2	0x1114	16	3	0	59	0x0125	57	60	0
3	0x080b	18	4	0	60	0x00f6	58	61	0
4	0x03d8	20	5	0	61	0x00cb	59	62	0
5	0x01da	23	6	0	62	0x00ab	61	63	0
6	0x00e5	25	7	0	63	0x008f	61	32	0
7	0x006f	28	8	0	64	0x5b12	65	65	1
8	0x0036	30	9	0	65	0x4d04	80	66	0
9	0x001a	33	10	0	66	0x412c	81	67	0
10	0x000d	35	11	0	67	0x37d8	82	68	0
11	0x0006	9	12	0	68	0x2fe8	83	69	0
12	0x0003	10	13	0	69	0x293c	84	70	0
13	0x0001	12	13	0	70	0x2379	86	71	0
14	0x5a7f	15	15	1	71	0x1edf	87	72	0
15	0x3f25	36	16	0	72	0x1aa9	87	73	0
16	0x2cf2	38	17	0	73	0x174e	72	74	0
17	0x207c	39	18	0	74	0x1424	72	75	0
18	0x17b9	40	19	0	75	0x119c	74	76	0
19	0x1182	42	20	0	76	0x0f6b	74	77	0
20	0x0cef	43	21	0	77	0x0d51	75	78	0
21	0x09a1	45	22	0	78	0x0bb6	77	79	0
22	0x072f	46	23	0	79	0x0a40	77	48	0
23	0x055c	48	24	0	80	0x5832	80	81	1
24	0x0406	49	25	0	81	0x4d1c	88	82	0
25	0x0303	51	26	0	82	0x438e	89	83	0
26	0x0240	52	27	0	83	0x3bdd	90	84	0
27	0x01b1	54	28	0	84	0x34ee	91	85	0
28	0x0144	56	29	0	85	0x2eae	92	86	0
29	0x00f5	57	30	0	86	0x299a	93	87	0
30	0x00b7	59	31	0	87	0x2516	86	71	0
31	0x008a	60	32	0	88	0x5570	88	89	1
32	0x0068	62	33	0	89	0x4ca9	95	90	0
33	0x004e	63	34	0	90	0x44d9	96	91	0
34	0x003b	32	35	0	91	0x3e22	97	92	0
35	0x002c	33	9	0	92	0x3824	99	93	0
36	0x5ae1	37	37	1	93	0x32b4	99	94	0
37	0x484c	64	38	0	94	0x2e17	93	86	0
38	0x3a0d	65	39	0	95	0x56a8	95	96	1
39	0x2ef1	67	40	0	96	0x4f46	101	97	0
40	0x261f	68	41	0	97	0x47e5	102	98	0
41	0x1f33	69	42	0	98	0x41cf	103	99	0
42	0x19a8	70	43	0	99	0x3c3d	104	100	0
43	0x1518	72	44	0	100	0x375e	99	93	0
44	0x1177	73	45	0	101	0x5231	105	102	0
45	0x0e74	74	46	0	102	0x4c0f	106	103	0
46	0x0bfb	75	47	0	103	0x4639	107	104	0
47	0x09f8	77	48	0	104	0x415e	103	99	0
48	0x0861	78	49	0	105	0x5627	105	106	1
49	0x0706	79	50	0	106	0x50e7	108	107	0
50	0x05cd	48	51	0	107	0x4b85	109	103	0
51	0x04de	50	52	0	108	0x5597	110	109	0
52	0x040f	50	53	0	109	0x504f	111	107	0
53	0x0363	51	54	0	110	0x5a10	110	111	1
54	0x02d4	52	55	0	111	0x5522	112	109	0
55	0x025c	53	56	0	112	0x59eb	112	111	1
56	0x01f8	54	57	0					

[付録 B] タイミング特性

条件: $V_{DD} = 5\text{ V} \pm 5\%$, $C = 50\text{ pF}$, $T_a = 0 \sim 70^\circ\text{C}$

1. ホストバス I/F



2. 符号データ I/F

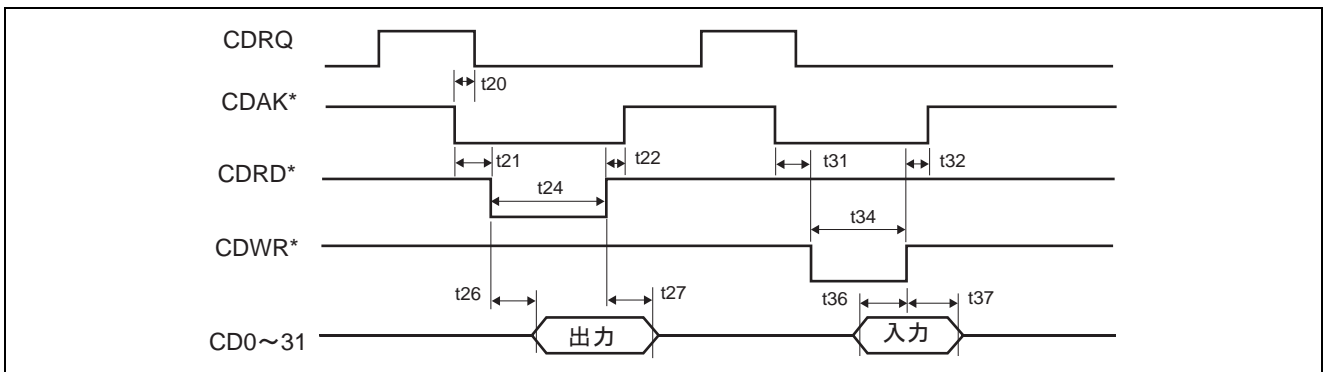


表 B.1 ホストバス I/F のタイミング特性

(単位: ns)

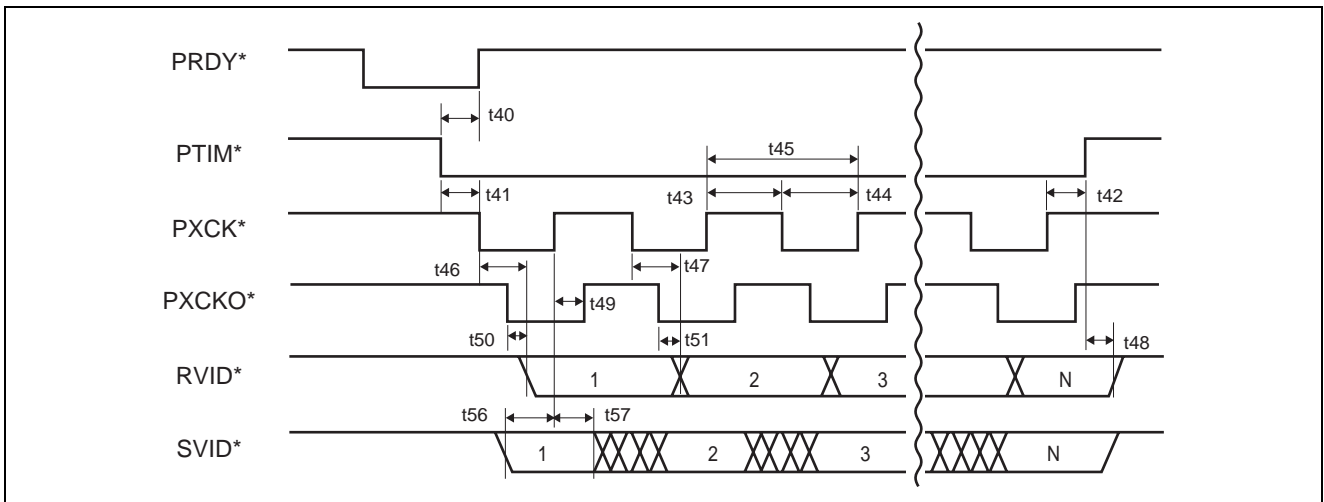
略号	項目	タイミング条件		
		Min	Typ	Max
t0	RESET*アサート時間	100	—	—
t1	RD*アサートに対する CS*セットアップ時間	15	—	—
t2	RD*ネゲートに対する CS*ホールド時間	15	—	—
t3	RD*アサートに対する A0-3 セットアップ時間	15	—	—
t4	RD*アサート時間	20	—	—
t5	RD*ネゲートに対する A0-3 ホールド時間	15	—	—
t6	RD*アサートに対する D0-7 出力確定時間	0	—	20
t7	RD*ネゲートに対する D0-7 出力ホールド時間	0	—	20
t11	WR*アサートに対する CS*セットアップ時間	15	—	—
t12	WR*ネゲートに対する CS*ホールド時間	15	—	—
t13	WR*アサートに対する A0-3 セットアップ時間	15	—	—
t14	WR*アサート時間	15	—	—
t15	WR*ネゲートに対する A0-3 ホールド時間	15	—	—
t16	WR*ネゲートに対する D0-7 入力セットアップ時間	20	—	—
t17	WR*ネゲートに対する D0-7 入力ホールド時間	5	—	—

表 B.2 符号データバス I/F のタイミング特性

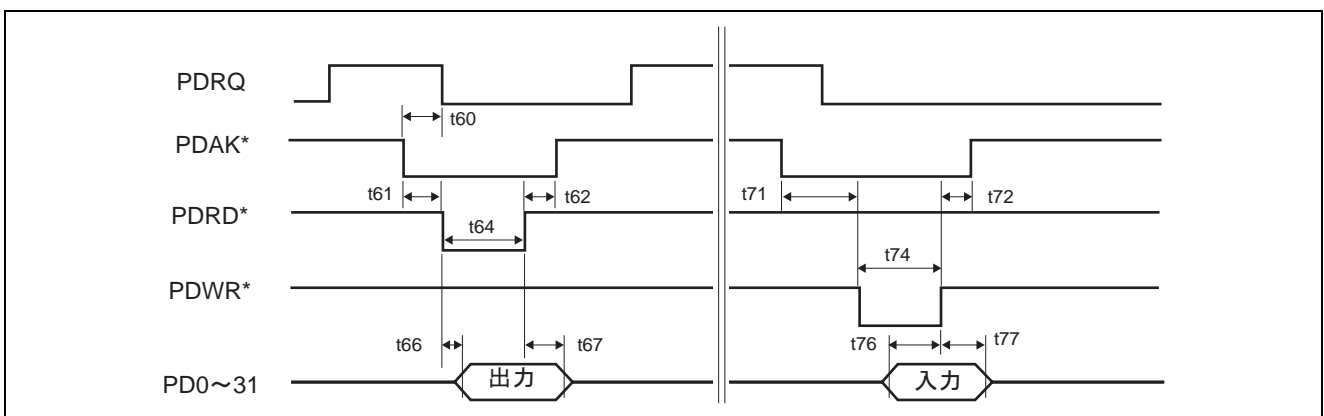
略号	項目	タイミング条件		
		Min	Typ	Max
t20	CDAK*アサートに対する CDRQ ネゲート時間	—	—	15
t21	CDRD*アサートに対する CDAK*セットアップ時間	15	—	—
t22	CDRD*ネゲートに対する CDAK*ホールド時間	15	—	—
t24	CDRD*アサート時間	20	—	—
t26	CDRD*アサートに対する CD0-15 出力確定時間	0	—	20
t27	CDRD*ネゲートに対する CD0-15 出力ホールド時間	0	—	20
t31	CDWR*アサートに対する CDAK*セットアップ時間	15	—	—
t32	CDWR*ネゲートに対する CDAK*ホールド時間	15	—	—
t34	CDWR*アサート時間	15	—	—
t36	CDWR*ネゲートに対する CD0-31 入力セットアップ時間	15	—	—
t37	CDWR*ネゲートに対する CD0-31 入力ホールド時間	5	—	—

3. 画データ I/F

(1) シリアル画データ I/F



(2) パラレル画データ I/F



4. マスタクロック入力周波数 (LSI 動作周波数)

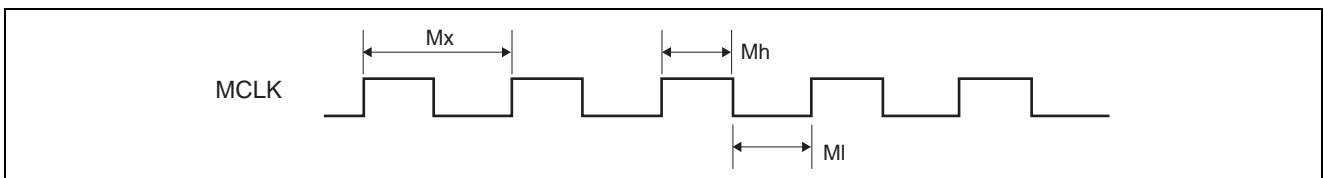


表 B.3 画データ I/F のタイミング特性

(単位: ns)

略号	項目	タイミング条件		
		Min	Typ	Max
t40	PTIM*アサートに対する PRDY*ネゲート時間	—	—	20
t41	PXCK*立ち下がりに対する PTIM*セットアップ時間	15	—	—
t42	PXCK*立ち上がりに対する PTIM*ホールド時間	15	—	—
t43	PXCK*ハイ時間	10	—	—
t44	PXCK*ロー時間	10	—	—
t45	PXCK*周期	25	—	—
t46	PXCK*立ち下がりに対する RVID*出力確定時間	—	—	20
t47	PXCK*立ち下がりに対する RVID*出力変化時間	—	—	20
t48	PTIM*ネゲートに対する RVID*ネゲート時間	0	—	—
t49	PXCK*に対する PXCKO*遅延時間	—	—	10
t50	PXCKO*立ち下がりに対する RVID*出力確定時間	—	—	12
t51	PXCKO*立ち下がりに対する RVID*出力変化時間	—	—	12
t56	PXCK*立ち上がりに対する SVID*セットアップ時間	10	—	—
t57	PXCK*立ち上がりに対する SVID*ホールド時間	10	—	—
t60	PDAK*アサートに対する PDRQ ネゲート時間	—	—	15
t61	PDRD*アサートに対する PDAK*セットアップ時間	15	—	—
t62	PDRD*ネゲートに対する PDAK*ホールド時間	15	—	—
t64	PDRD*アサート時間	20	—	—
t66	PDRD*アサートに対する PD0-31 出力確定時間	0	—	20
t67	PDRD*ネゲートに対する PD0-31 出力ホールド時間	0	—	20
t71	PDWR*アサートに対する PDAK*セットアップ時間	15	—	—
t72	PDWR*ネゲートに対する PDAK*ホールド時間	15	—	—
t74	PDWR*アサート時間	15	—	—
t76	PDWR*ネゲートに対する PD0-31 入力セットアップ時間	15	—	—
t77	PDWR*ネゲートに対する PD0-31 入力ホールド時間	5	—	—

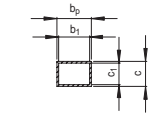
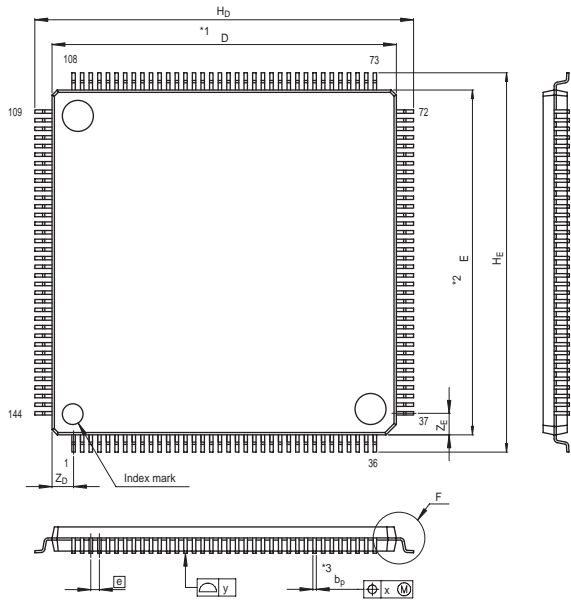
表 B.4 マスタクロック周波数

(単位: ns)

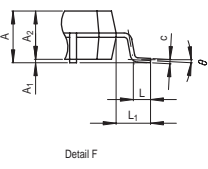
項目	タイミング条件			最大周波数
	Min	Typ	Max	
MCLK 周期 (Mx)	25	—	—	40 MHz
MCLK ハイレベル時間 (Mh)	10	—	—	
MCLK ローレベル時間 (Ml)	10	—	—	

外形寸法図

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP144-20x20-0.50	PLQP0144KA-A	144P6Q-A / FP-144L / FP-144LV	1.2g



Terminal cross section



Detail F

NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A ₂	—	1.4	—
H _D	21.8	22.0	22.2
H _E	21.8	22.0	22.2
A	—	—	1.7
A ₁	0.05	0.1	0.15
b _p	0.17	0.22	0.27
b ₁	—	0.20	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
θ	0°	—	8°
ⓐ	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z _D	—	1.25	—
Z _E	—	1.25	—
L	0.35	0.5	0.65
L ₁	—	1.0	—

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com