

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

概要

M5M5Y5672TGは、262,144語×72ビット構成の18Mビット同期式スタティックRAMです。1.8V単一電源で動作し、入出力は1.8V LVCMOSインターフェイスです。本メモリはリードからライトへのサイクルもしくはライトからリードへのサイクル遷移に生じるデッドバスサイクルを省くことができるので、高いデータ転送レートが可能です。

特徴

- 256Kワード、X72ビット構成
- 100%バスサイクル活用(Pipelined Read & Double Late Write時)
- 高速動作周波数: 250, 225, 200 MHz
- 高速アクセスタイム: 2.1, 2.8, 3.2 ns
- パイプライン動作(入出力レジスタ内蔵)
- 1.8V単一電源(1.7V~1.95V)
- 1.8V内部電源VDD、出力用電源VDDQを分離
- バイトライトイネーブル制御(BWa#~BWWh#)
- リード・ライト制御(W#)
- エコークロック出力
- 出力ドライバインピーダンス制御(ZQ)
- 2入力プログラマブルチップイネーブル
- バーストアドレスカウンタ内蔵(Linear/Interleaved Burst)
- JTAGバウンダリスキャン

用途

高性能ネットワーク機器のバッファメモリ(ルーター、スイッチ)

機能

クロックの立ち上がりに対応して内部回路への取り込みを行う、同期式スタティックRAMです。

全アドレス、データ、チップイネーブル(E1#,E2,E3)、アドレスアドバンス(ADV)、バイトライト制御(BWa#, BWb#, BWc#, BWd#, Bwe#, BWf#, BWg#, BWH#)、エコークロック(CQ1, CQ1#, CQ2, CQ2#)およびライトイネーブル(W#)の各信号端子は、同期式です。書込みは、8つのバイトライト(Bwa~BWh)およびライトイネーブル(W#)によって制御されます。

エコークロック機能を持ち、エコークロック出力によって、印加電圧や基板温度の変化によって生じた、伝送遅延差を解消することができます。

ZQにより出力ドライバのインピーダンスが選択可能です。ZQピンがLOWのときは高駆動力となり、ZQピンがHIGHもしくはフローティングのときは低駆動力となります。

チップイネーブルプログラム(EP2,EP3)の入力によって、チップイネーブル(E2, E3)をLOWアクティブもしくはHIGHアクティブに設定切替が可能です。

リニアバースト選択(LBO#)はDC制御信号端子です。LBO#によりインターリーブドとリニアのバーストシーケンスの選択ができます。

アドレスアドバンス入力(ADV)を“LOW”にすると、CLKの立ち上がりでアドレスとコントロール入力の取り込みを行います。また、ADVを“HIGH”にするとカウンタが動作し、内部バーストアドレスを前進させます。

パッケージ

	ボール	サイズ	ボールピッチ
M5M5Y5672TG	209(11X19) bump BGA	14mm X 22mm	1mm

製品形名リスト

型名	アクセスタイム	サイクルタイム	動作電流(max.)	スタンバイ電流(max.)
M5M5Y5672TG -25	2.1ns	4.0ns	550mA	20mA
M5M5Y5672TG -22	2.8ns	4.4ns	500mA	20mA
M5M5Y5672TG -20	3.2ns	5.0ns	450mA	20mA

ピン配置図(上面図)**209 ボール BGA**

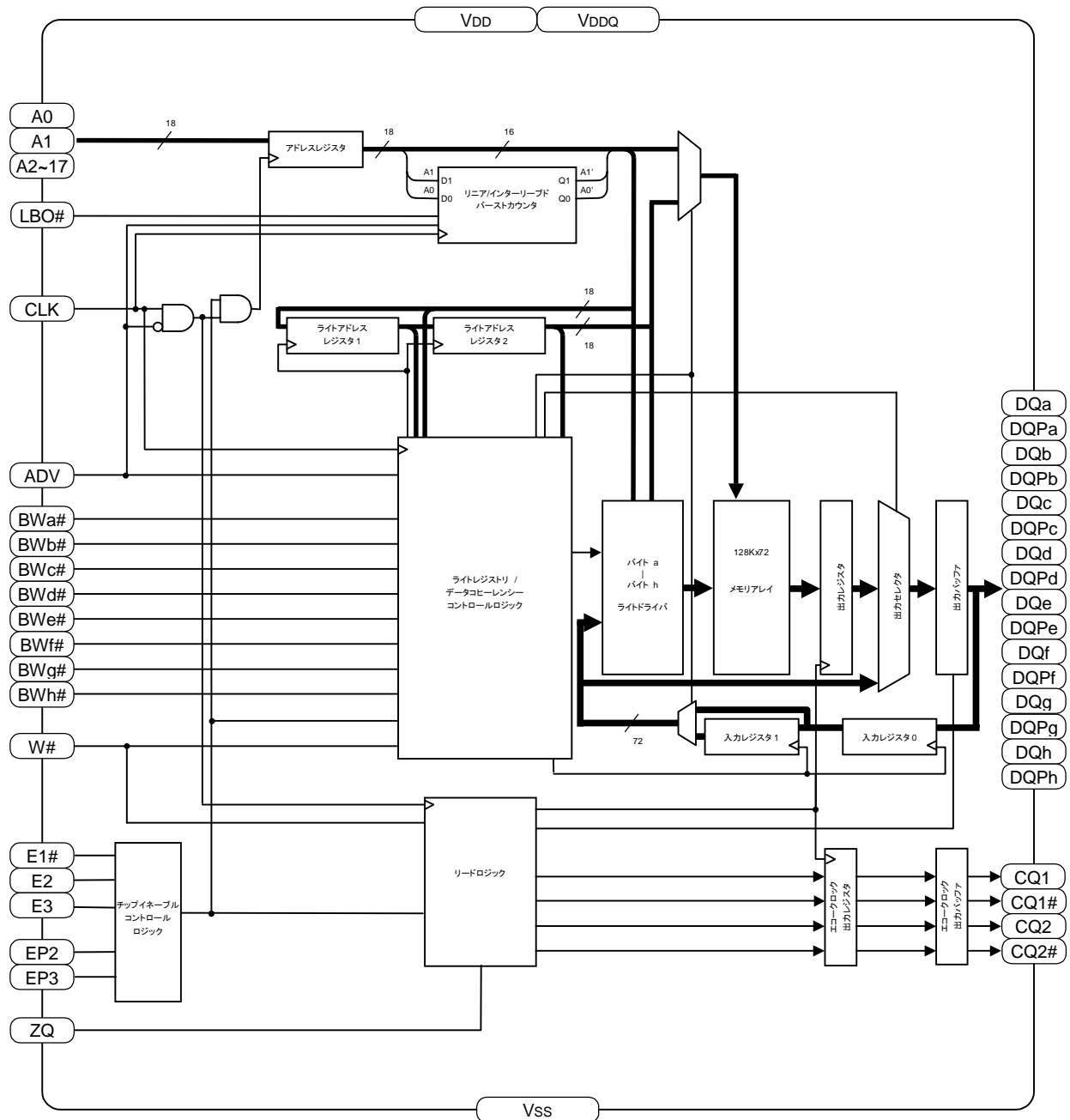
	1	2	3	4	5	6	7	8	9	10	11
A	DQg	DQg	A6	E2	A7	ADV	A8	E3	A9	DQb	DQb
B	DQg	DQg	BWc#	BWg#	NC	W#	A17	BWb#	BWf#	DQb	DQb
C	DQg	DQg	BWh#	BWd#	NC	E1#	NC	BWe#	BWa#	DQb	DQb
D	DQg	DQg	Vss	NC	NC	MCL	NC	NC	Vss	DQb	DQb
E	DQPg	DQPc	VDDQ	VDDQ	VDD	VDD	VDD	VDDQ	VDDQ	DQPf	DQPb
F	DQc	DQc	Vss	Vss	Vss	ZQ	Vss	Vss	Vss	DQf	DQf
G	DQc	DQc	VDDQ	VDDQ	VDD	EP2	VDD	VDDQ	VDDQ	DQf	DQf
H	DQc	DQc	Vss	Vss	Vss	EP3	Vss	Vss	Vss	DQf	DQf
J	DQc	DQc	VDDQ	VDDQ	VDD	MCH	VDD	VDDQ	VDDQ	DQf	DQf
K	CQ2	CQ2#	CLK	NC	Vss	MCL	Vss	NC	NC	CQ1#	CQ1
L	DQh	DQh	VDDQ	VDDQ	VDD	MCH	VDD	VDDQ	VDDQ	DQa	DQa
M	DQh	DQh	Vss	Vss	Vss	MCL	Vss	Vss	Vss	DQa	DQa
N	DQh	DQh	VDDQ	VDDQ	VDD	MCH	VDD	VDDQ	VDDQ	DQa	DQa
P	DQh	DQh	Vss	Vss	Vss	MCL	Vss	Vss	Vss	DQa	DQa
R	DQPd	DQPd	VDDQ	VDDQ	VDD	VDD	VDD	VDDQ	VDDQ	DQPa	DQPe
T	DQd	DQd	Vss	NC	NC	LBO#	NC	NC	Vss	DQe	DQe
U	DQd	DQd	NC	A3	NC	A15	NC	A11	NC	DQe	DQe
V	DQd	DQd	A5	A4	A16	A1	A13	A12	A10	DQe	DQe
W	DQd	DQd	TMS	TDI	A2	A0	A14	TDO	TCK	DQe	DQe

注1. MCH(Must Connect High)ピンは“HIGH”に接続してください。

MCL(Must Connect Low)ピンは“LOW”に接続してください。

注2. NC ピンは無接続です。

ブロック図



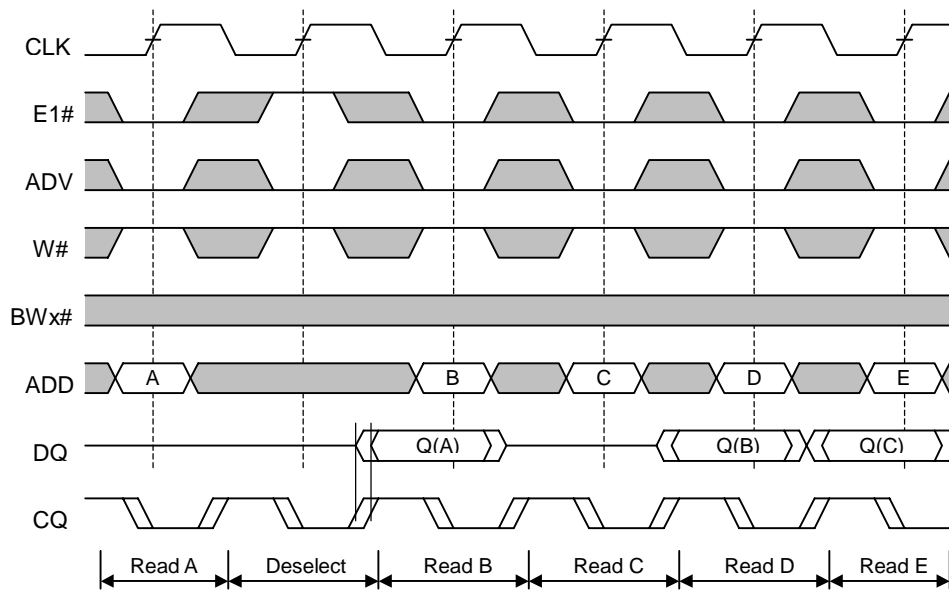
注3. 本ブロック図にバウンダリスキャンロジックは示しておりませんので、バウンダリスキャンの項目を参照ください。
 注4. 本ブロック図は単純なデバイス制御のみを図示しております。詳細な情報は真理値表、ピン動作、タイミング図をご覧ください。

端子機能説明

ピン	名前	機能
A0~A17	シンクロナス アドレス入力	CLK の立ち上がりエッジで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。A0 と A1 はアドレスの最小ビット(LSB)で、バースト時には内部バーストカウンタをセットします。
BWa#, BWb#, BWc#, BWd#, Bwe#, BWf#, BWg#, BWH#	シンクロナス バイトライト イネーブル入力	CLK の立ち上がりエッジで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。これらを LOW アクティブにすることにより、ライトサイクル時に個々のバイトに書き込むことができます。BWA#は Dqa と DQPa、BWb#は DQb と DQPb、BWC#は DQc と DQPc、BWD#は DQd と DQPd、BWE#は Dqe と DQPe、BWF#は DQf と DQPf、BWG#は DQg と DQPg、BWH#は DQh と DQPh を制御します。
CLK	クロック入力	全ての同期式信号は、この CLK 信号の立ち上がりエッジで取り込まれます。
E1#	シンクロナス チップイネーブル 入力	アクティブ LOW 入力です。新しい外部アドレスがロードされる (ADV が LOW) 時のみ取り込まれます。
E2, E3	シンクロナス チップイネーブル 入力	チップイネーブルプログラム EP2、EP3 によって LOW アクティブ HIGH アクティブが選択可能です。
EP2, EP3	チップイネーブル プログラムピン	チップイネーブル E2、E3 を LOW アクティブもしくは HIGH アクティブに選択するための制御ピンです。
ADV	シンクロナス アドレスアドバンス/ ロード入力	この入力が HIGH の時は、内部バーストカウンタを進め、外部アドレスがロードされた後のバーストアクセスをコントロールします。HIGH のときは、W#は無視されます。LOW の時はクロック立ち上がりエッジで新しいアドレスをロードします。
CQ1, CQ1#, CQ2, CQ2#	エコークロック 出力	エコークロックは、メイン RAM クロック CLK がアクセスタイム分遅延された、クロック信号です
ZQ	出力インピーダンス コントロール 入力	ZQ ピンが LOW のときは高駆動力状態となり、HIGHもしくはフローティングのときは 低駆動力状態となります
W#	シンクロナス リード/ライト入力	このアクティブ入力は ADV が LOW の時サイクルタイプを決めます。これはリードかライトを決める唯一の手段です。新しいアドレスをロードする時以外は、リードからライト(またはその逆)に切り替えることはできません。ピンを LOW にすることでバイトライト制御を可能にします。CLK の立ち上がりエッジにセットアップ及びホールドタイムを合わせる必要があります。全てのバイトライトイネーブルが LOW であれば、全バスの書き込みを行います。
DQa,DQPa,DQb,DQPb, DQc,DQPc,DQd,DQPd, DQe,DQPe,DQf,DQPf, DQg,DQPg,DQh,DQPh	シンクロナス データ I/O	入力データは CLK の立ち上がりで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。出力データは CLK に同期して出力されます。
LBO#	バーストモード コントロール入力	DC レベルの入力です。LBO#=HIGH または NC の時、インターリーブドバースト動作となります。LBO#=LOW の時リニアバースト動作となります。
VDD	電源	電源電圧
VSS	グランド	グランド
VDDQ	I/O 電源	I/O バッファ用電源
TDI	テストデータ入力	これらのピンはバウンダリスキャンテストに使用されます。
TDO	テストデータ出力	
TCK	テストクロック入力	
TMS	テストモードセレクト 入力	
MCH	HIGH に接続	これらのピンはHIGH に接続してください。
MCL	LOW に接続	これらのピンはLOW に接続してください。
NC	無接続	これらのピンは内部に接続されていないので、グランドに接続してもかまいません。

リード動作**パイプラインリード**

リード動作は、以下の条件が満足された時、クロックの立ち上がりエッジより開始されます: 全てのチップイネーブル信号(E1#, E2, E3)がアクティブ、ライトイネーブル信号(W#)が HIGH、アドレスアドバンス信号(ADV)が LOW。入力されたアドレス信号はアドレスレジスタによってラッチされ、メモリアドレス選択、ロジック制御されます。ロジック制御によりリードアクセスが決められ、要求されたデータを出カレジスタに送ります。データは、次の CLK の立ち上がりエッジにより出カレジスタから出カピンへ送られます。

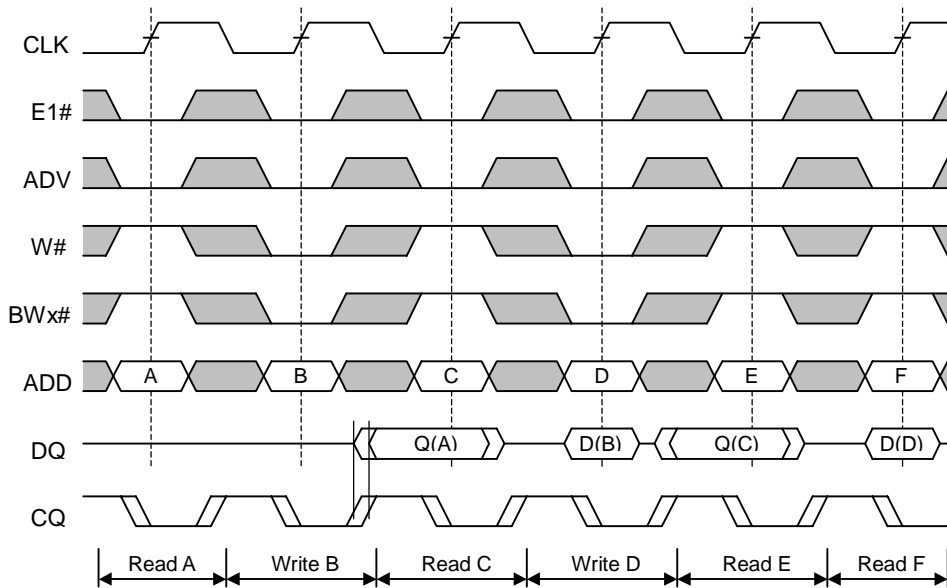


ライト動作

ダブルライトライト

ライト動作は、以下の条件が満足された時、クロックの立ち上がりエッジより開始されます: 全てのチップイネーブル信号(E1#, E2, E3)がアクティブ、ライトイネーブル信号(W#)が LOW。

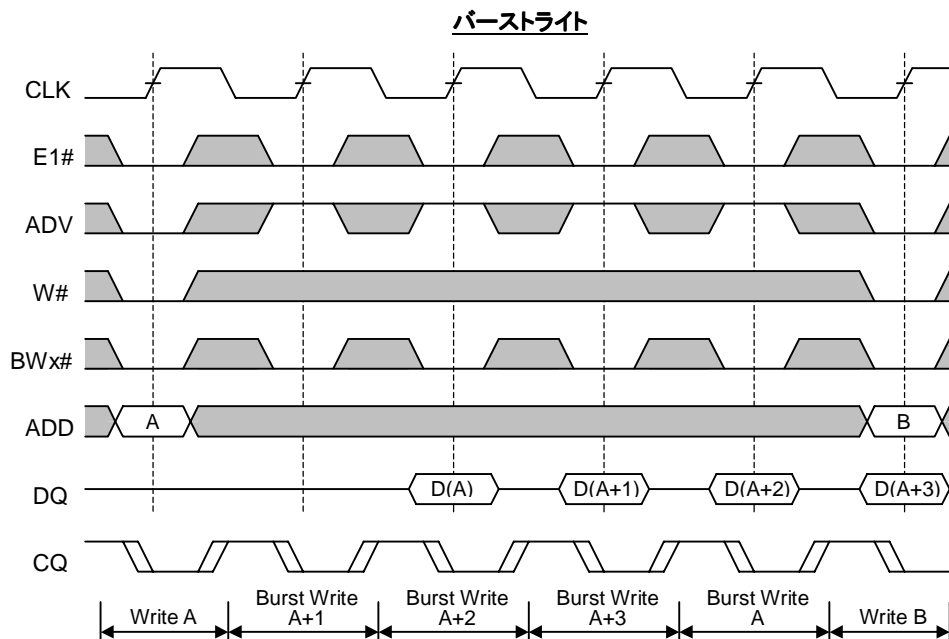
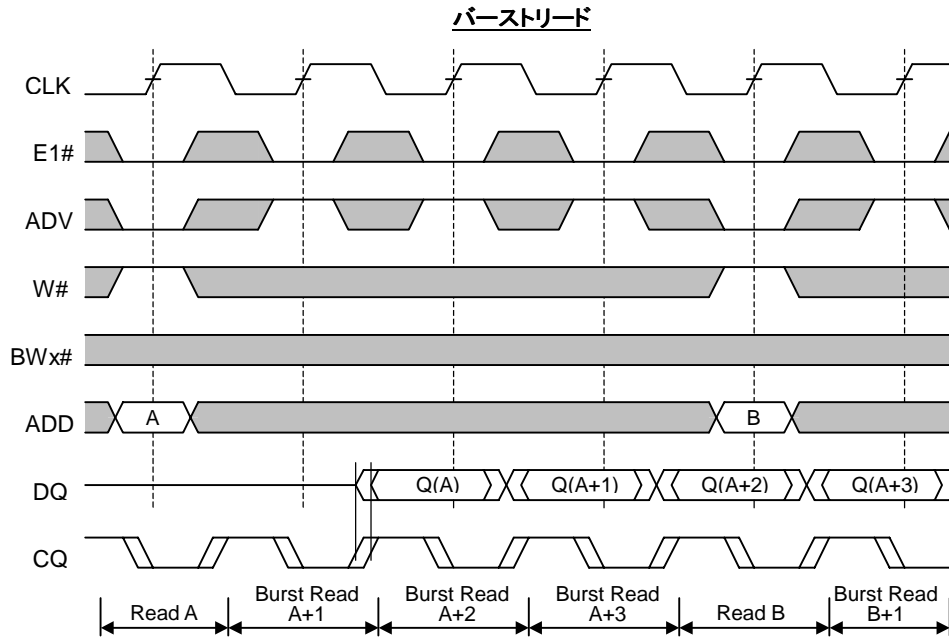
ダブルライトライトとは、ライト信号に対し 3 番目の CLK の立ち上がりエッジでデータを入力することを意味します。この制御により、リード／ライトならびにライト／リードサイクルに生じるデッドバスをなくすことができます。



特殊機能

バーストサイクル

本メモリはバーストアドレス発生器を備えているので、容易にバーストリードやライト動作ができます。ADVコントロールピンがHIGHになると、内部アドレスカウンタが進み、カウンタ発生アドレスによってSRAMのリードもしくはライト動作が行われます。ADVピンがLOWになると、バーストサイクルの開始アドレスが決定される、ロードモードとなります。



DC レベル動作端子の真理値表

ピン名	入力状態	動作
LBO#	HIGH or NC	インターリーブドバースト
	LOW	リニアバースト

注5. LBO#は DC レベル入力端子です。

注6. NC は無接続です。

注7. インターリーブドバーストとリニアバーストについてはバーストシーケンス真理値表を参照してください。

バーストシーケンス表

(1) インターリーブドバーストシーケンス (LBO# = HIGH or NC)

動作	A17~A2	A1,A0			
第 1 アクセス(ラッチ外部アドレス)	A17~A2	0, 0	0, 1	1, 0	1, 1
第 2 アクセス(第1バーストアドレス)	latched A17~A2	0, 1	0, 0	1, 1	1, 0
第 3 アクセス(第2バーストアドレス)	latched A17~A2	1, 0	1, 1	0, 0	0, 1
第 4 アクセス(第3バーストアドレス)	latched A17~A2	1, 1	1, 0	0, 1	0, 0

(2) リニアバーストシーケンス (LBO# = LOW)

動作	A17~A2	A1,A0			
第 1 アクセス(ラッチ外部アドレス)	A17~A2	0, 0	0, 1	1, 0	1, 1
第 2 アクセス(第1バーストアドレス)	latched A17~A2	0, 1	1, 0	1, 1	0, 0
第 3 アクセス(第2バーストアドレス)	latched A17~A2	1, 0	1, 1	0, 0	0, 1
第 4 アクセス(第3バーストアドレス)	latched A17~A2	1, 1	0, 0	0, 1	1, 0

注8. バーストシーケンスは完了すれば初期状態に戻ります。

エコークロック

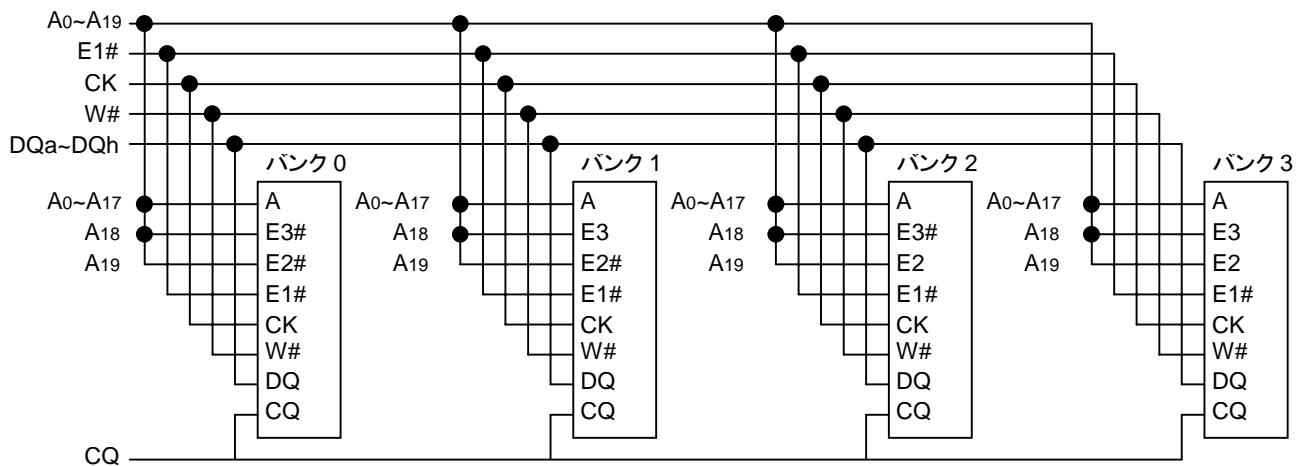
エコークロックとは、SRAM のメインクロック CLK を遅延させた、SRAM から出力される内部 CLK 信号です。エコークロックは、温度や電源電圧の変動による出力ドライバの遅延に追従するように設計されています。エコークロックは 2 つの同相クロックである正クロック信号(CQ1、CQ2)と反転クロック信号(CQ1#、CQ2#)によって構成されています。E2、E3 が非選択の場合、エコークロック出力ドライバは非活性になりますので注意して下さい。エコークロックドライバが活性化している場合は、常に、出力データと同様にパイプライン出力を行います。E1#を非選択にしても、エコークロックは非活性になりません。

プログラマブルイネーブル

本メモリは、E2 および E3 の 2 入力プログラマブルチップイネーブルピンを持っています。チップイネーブルプログラムピン(EP2,EP3)にプログラム入力することで、チップイネーブル(E2,E3)を LOW アクティブもしくは HIGH アクティブに変更することができます。例えば、EP2 を HIGH とすると E2 ピンは HIGH イネーブル入力となり、EP2 を LOW とすると E2 ピンは LOW イネーブル入力となります。

E2、E3 がプログラム可能であるためロジックチップを付加することなくバンクの深さを拡張することができます。4 つの SRAM のイネーブルピンをバイナリシーケンス(00,01,10,11)にプログラミングし、2 つのアドレス入力をイネーブル入力とすることで、4 つの SRAM をシステム上、1 つの大きな SRAM のように見なすことができます。

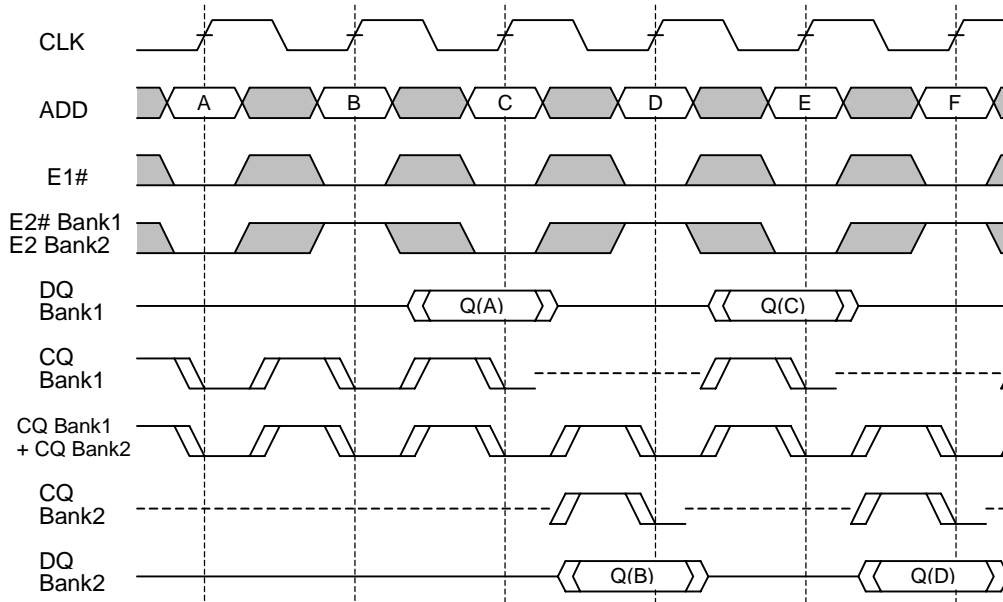
4バンク構成の例



バンクイネーブル真理値表

	EP2	EP3	E2	E3
バンク 0	LOW	LOW	Active Low	Active Low
バンク 1	LOW	HIGH	Active Low	Active High
バンク 2	HIGH	LOW	Active High	Active Low
バンク 3	HIGH	HIGH	Active High	Active High

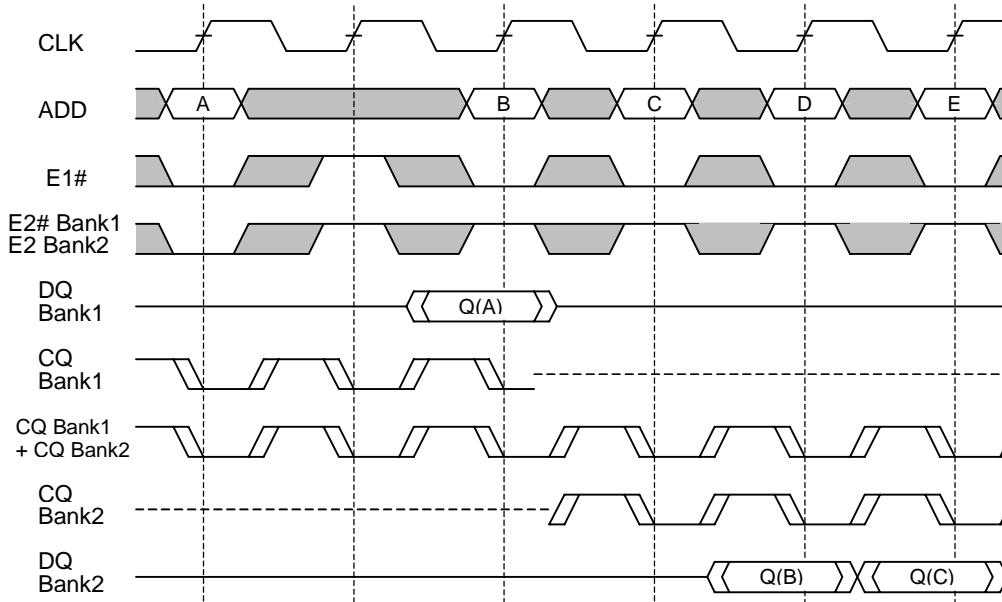
2バンクにおけるエコークロック制御



注9. E1#はエコークロック出力を非選択にしません。エコークロック出力は、E2 または E3 の非活性状態を CLK の立ち上がりエッジで取り込むことにより、非選択になります。

E2、E3を非選択にすると、エコークロック出力ドライバも非活性になりますので、ご注意ください。エコークロックドライバの非活性は常に、出力データと同様にパイプライン動作を行います。E1#を非選択にしても、エコークロックは非活性になりません。

E1#非選択を伴うパイプラインリードバンク切り替え



注10. E1#はエコークロック出力を非選択にしません。エコークロック出力は、E2 または E3 の非活性状態を CLK の立ち上がりエッジで取り込むことにより、非選択になります。

幾つかのアプリケーションでは、バンク切り替え時にポーズする、即ちリード動作を再開する前に E1#で各 SRAM を非選択にするのが適切です。つまり、バンクスイッチ時にバンクの最初のリードサイクルより前に、新しいバンクより少なくとも1つの E1#非選択サイクルを入力するのが適切です。上記の図ではバンク1 からバンク2 に切り替わる時 E1#でリードがポーズされていることを示していますが、バンク2 にライトするときも同じ動作をすることが必要です。

出カドライバインピーダンス

ZQによってインピーダンスドライバを選択可能です。ZQピンがLOWのときは高駆動力状態となり、HIGHもしくはフローティングのときは低駆動力状態となります。

真理値表

CLK	E1# (tn)	E (tn)	ADV (tn)	W# (tn)	BW# (tn)	前の動作状態	現在の動作状態	DQ/CQ (tn)	DQ/CQ (tn+1)	DQ/CQ (tn+2)
L->H	X	F	L	X	X	X	バンク非選択	***	High-Z	---
L->H	X	X	H	X	X	バンク非選択	バンク非選択(コンティニュー)	High-Z	High-Z	---
L->H	H	T	L	X	X	X	非選択	***	High-Z / CQ	---
L->H	X	X	H	X	X	非選択	非選択(コンティニュー)	High-Z / CQ	High-Z / CQ	---
L->H	L	T	L	L	T	X	ライト 新しいアドレスをロード BWx#=LOW なら DQx をストア	***	***	Dn / CQ (tn)
L->H	L	T	L	L	F	X	ライト (禁止) 新しいアドレスをロード データはストアしない	***	***	High-Z / CQ
L->H	X	X	H	X	T	ライト	ライトコンティニュー アドレスを 1 増やす BWx#=LOW なら DQx をストア	***	Dn-1 / CQ (tn-1)	Dn / CQ (tn)
L->H	X	X	H	X	F	ライト	ライトコンティニュー(禁止 t) アドレスを 1 増やす データはストアしない	***	Dn-1 / CQ (tn-1)	High-Z / CQ
L->H	L	T	L	H	X	X	リード 新しいアドレスをロード	***	Qn / CQ (tn)	---
L->H	X	X	H	X	X	リード	リードコンティニュー アドレスを 1 増やす	Qn-1 / CQ (tn-1)	Qn / CQ (tn)	---

注11. E2=EP2 かつ E3=EP3 のときは E="T" に、それ以外の場合は E="F"となります。

注12. 1 つ以上の BWx#=VIL で、その他が BWx#=VIH であるときは BW#="T"、全ての BWx#=VIH のときは BW#="F"となります。

注13. "H" = VIH, "L" = VIL, "X" = VIH or VIL, "T" = "true", "F" = "false" をそれぞれ示しています。

注14. " *** " は前のオペレーションによって、DQ 入力要求 / 出力状態および CQ 出力状態が決定されることを意味します。

注15. " --- " は次のオペレーションによって DQ 入力要求 / 出力状態および CQ 出力状態が決定されることを意味します。

注16. DQ は、コマンド取り込み後 1 サイクルの間は、bank 非選択、非選択および、ライトコマンドに対応してハイインピーダンスになります。

注17. CQ は、コマンド取り込み後 1 サイクルの間は、bank 非選択のみに対応してハイインピーダンスになります。

注18. 一つの外部アドレス入力に対し 4 個までの別個のデータをバースト転送するために、リードまたはライト動作が始まった後、3 回までのコンティニュー動作が実施できます。もし 4 回コンティニュー動作を実施すると、内部アドレスは最初の外部(ベース)アドレスに戻ります。

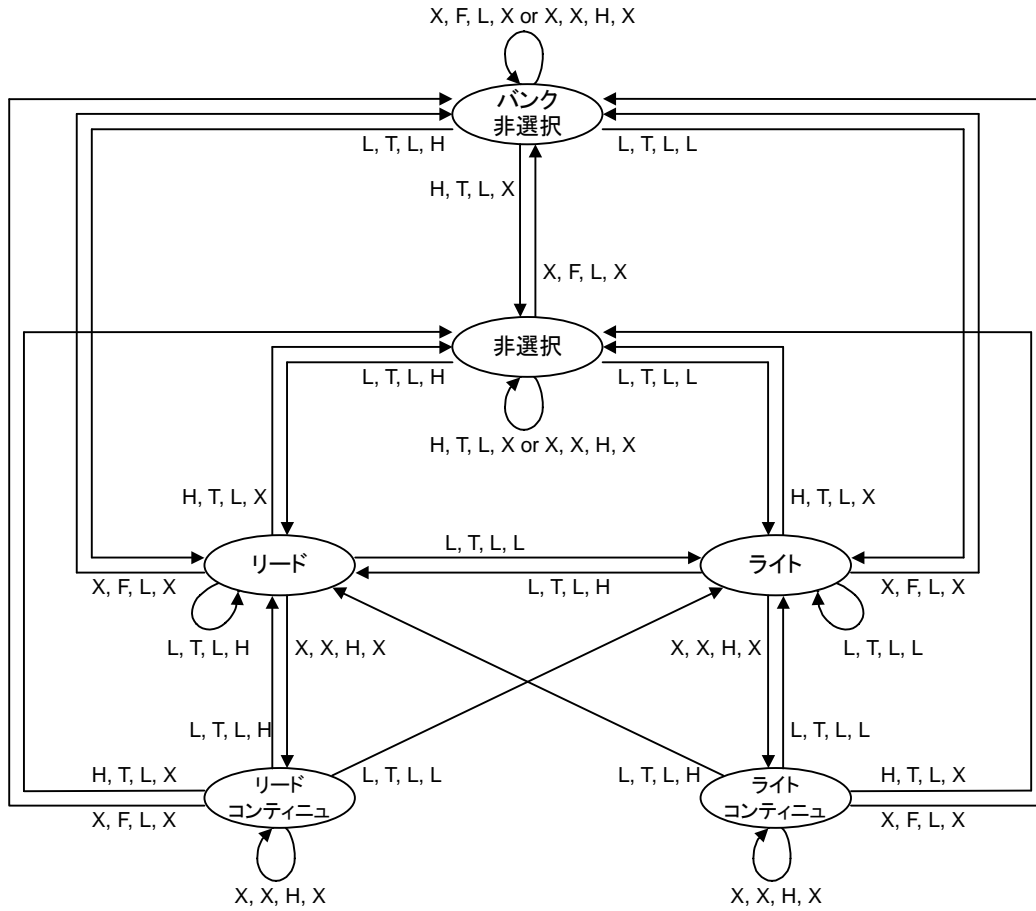
ライト真理値表

W#	BWa#	BWb#	BWc#	BWd#	BWe#	BWf#	BWg#	BWh#	Function
H	X	X	X	X	X	X	X	X	リード
L	L	H	H	H	H	H	H	H	ライト バイト "a"
L	H	L	H	H	H	H	H	H	ライト バイト "b"
L	H	H	L	H	H	H	H	H	ライト バイト "c"
L	H	H	H	L	H	H	H	H	ライト バイト "d"
L	H	H	H	H	L	H	H	H	ライト バイト "e"
L	H	H	H	H	H	L	H	H	ライト バイト "f"
L	H	H	H	H	H	H	L	H	ライト バイト "g"
L	H	H	H	H	H	H	H	L	ライト バイト "h"
L	L	L	L	L	L	L	L	L	ライト 全バイト
L	H	H	H	H	H	H	H	H	ライト禁止 / ノーオペレーション

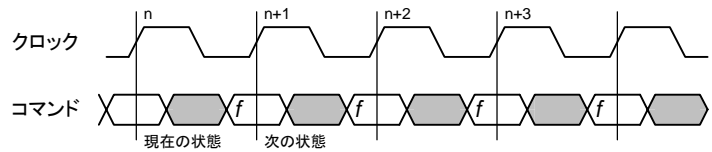
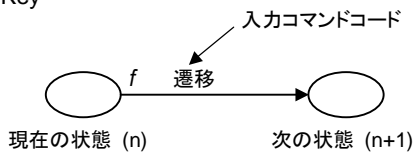
注19. "H" = VIH, "L" = VIL, "X" = VIH or VIL をそれぞれ示しています

注20. 全入力信号は、CLK の立ち上がりエッジ(LOW to HIGH) でセットアップおよびホールド時間を満足しなければなりません。

状態遷移図



Key



リード/ライト制御状態図に対する現在の状態と次の状態の定義

注21. E1#, E, ADV, W#の値を“X, X, X, X”で示しています。

注22. E2=EP2 かつ E3=EP3 の時は E="T"、それ以外の場合は E="F"となります。

注23. “H” = VIH、“L” = VIL、“X” = VIH or VIL、“T” = “true”、“F” = “false”をそれぞれ示しています。

絶対最大定格

記号	項目	条件	定格値	単位
VDD	電源電圧	Vss 端子を基準とした場合	-0.5*~2.5	V
VDDQ	I/O バッファ電源電圧		-0.5*~2.5	V
Vi	入力電圧		-0.5~VDDQ+0.5(≤2.5V max.) **	V
Vo	出力電圧		-0.5~VDDQ+0.5(≤2.5V max.) **	V
PD	最大消費電力 (VDD)		1072.5	mW
TOPR	動作周囲温度		0~70	°C
TSTG(bias)	保存温度(bias)		-10~85	°C
TSTG	保存温度		-55~125	°C

注24. * パルス幅≤2ns のときは-1.0V~3.6V です。DC のときは -0.5V~2.5V です。
 ** パルス幅≤2ns のときは-1.0V~VDDQ +1.0V(≤3.6V 最大)です。DC のときは -0.5V~VDDQ +0.5V です。

DC 電氣的特性

(1) 電源

記号	項目	条件	規格値		Unit
			最小	最大	
VDD	電源電圧		1.70	1.95	V
VDDQ	I/O バッファ電源電圧		1.70	1.95	V

(2) CMOS I/O DC 入力

記号	項目	条件	規格値		Unit
			最小	最大	
VIH	HIGH レベル入力電圧		0.65*VDDQ	VDDQ+0.3	V
VIL	LOW レベル入力電圧		-0.3*	0.35*VDDQ	V

注25. * AC(パルス幅≤2ns)のとき、VIL(最小)= -1.0V、VIH(最大)= VDDQ+1.0V(最大 3.6V)となります。

(3) 入出力リーク特性

記号	項目	条件	規格値		Unit
			最小	最大	
IIL	入力リーク電流 (EP2, EP3, LBO#, ZQ, MCH, MCL ピンを除く)	Vi = 0V~VDDQ		10	μA
	入力リーク電流 EP2, EP3, MCH, MCL ピン	Vi = 0V~VDDQ		10	
	入力リーク電流 ZQ	Vi = 0V~VDDQ		100	μA
	入力リーク電流 LBO#	Vi = 0V~VDDQ		100	
IOI	出力リーク電流	Vi/O = 0V~VDDQ		10	μA

(4) 選択可能インピーダンス出力ドライバ DC 電気特性

記号	項目	条件	規格値		単位
			最小	最大	
VOHL	低ドライブ出力 HIGH 電圧 *	IOHL = -4mA	VDDQ-0.4V		V
VOLL	低ドライブ出力 LOW 電圧*	IOLL = 4mA		0.4	V
VOHH	高ドライブ出力 HIGH 電圧 **	IOHH = -8mA	VDDQ-0.4V		V
VOLH	高ドライブ出力 LOW 電圧**	IOLH = 8mA		0.4	V

注26. * ZQ=H; 出力ドライバ高インピーダンス

注27. ** ZQ=L; 出力ドライバ低インピーダンス

(5) 動作電流

記号	項目	条件	規格値		単位	
			最小	最大		
ICC1	電源電流 : 動作時	デバイス選択; 出力端子開放 他の全ての入力ピンは $V_i \leq V_{iL}$ または $V_i \geq V_{iH}$	4.0ns cycle (250MHz)		550	mA
			4.4ns cycle (225MHz)		500	
			5.0ns cycle (200MHz)		450	
ICC2	電源電流 : チップ非選択と バンク非選択	E1# $\geq V_{iH}$ または (E2 または E3 がフォールス) 出力端子開放 他の全ての入力ピンは $V_i \leq V_{iL}$ or $V_i \geq V_{iH}$	4.0ns cycle (250MHz)		200	mA
			4.4ns cycle (225MHz)		190	
			5.0ns cycle (200MHz)		180	
ICC3	CMOS スタンドバイ電流 (CLK 停止時スタンバイモード)	デバイス費選択; 出力端子開放; CLK 周波数=0Hz 全入力 $V_i \leq V_{ss} + 0.1V$ または $V_i \geq V_{DDQ} - 0.1V$			20	mA

容量

記号	項目	条件	規格値			単位
			最小	標準	最大	
Ci	入力容量	$V_i = GND, V_i = 25mV_{rms}, f = 1MHz$			6	pF
Co	入出力(DQ)容量	$V_o = GND, V_o = 25mV_{rms}, f = 1MHz$			8	pF

注28. 最大値は、サンプリング値です。

熱抵抗

4層基板(70x70x1.6mmT)実装時

記号	項目	条件	規格値			単位
			最小	標準	最大	
θ_{JA}	ジャンクション—空気間の熱抵抗	風速=0m/sec		25.56		°C/W
		風速=2m/sec		17.63		°C/W
θ_{JC}	ジャンクション—パッケージ間の熱抵抗			6.12		°C/W

AC 特性 (指定の無い場合は、 $T_a=0\sim 70^\circ\text{C}$, $V_{DD}=1.70\sim 1.95\text{V}$)

(1)測定条件

入力パルスレベル $V_{IH}=V_{DDQ}$, $V_{IL}=0\text{V}$
入力パルス上昇、下降時間 1V/ns 以上
入力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
出力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
出力負荷図.1

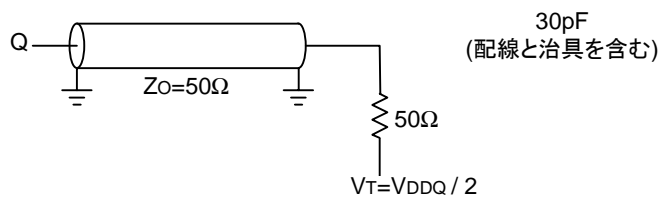


図.1 出力負荷

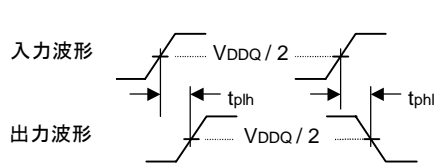


図.2 Tdly 測定

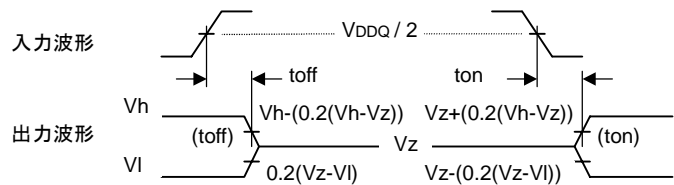


図.3 トライステート測定

注29. 有効遅延時間の測定は、入力波形の $V_{DDQ}/2$ から出力波形の $V_{DDQ}/2$ までの値です。入力波形は、 1V/ns 以上のスルーレイトにしてください。

注30. トライステートの t_{off} 測定は、入力波形の $V_{DDQ}/2$ から、出力波形が初期値から最終値($V_{DDQ}/2$)までの20%が変化したときの値です。
注: 初期値は DC 電気特性で指定されるような V_{OL} あるいは V_{OH} ではありません。

注31. トライステートの t_{on} 測定は、入力波形の $V_{DDQ}/2$ から、出力波形が初期値($V_{DDQ}/2$)から最終値までの20%が変化したときの値です。
注: 最終値は DC 電気特性で指定されるような V_{OL} あるいは V_{OH} ではありません。

注32. クロック、データ、アドレス、コントロール信号は 1V/ns 以上の最小スルーレイトでテストされます。

(2)タイミング特性

記号	項目	規格値						単位
		250MHz		225MHz		200MHz		
		-25		-22		-20		
		最小	最大	最小	最大	最小	最大	
クロック								
tKHKH	クロックサイクル時間	4.0		4.4		5.0		ns
tKHKL	クロック HIGH 時間	1.5		1.6		1.8		ns
tCLKH	クロック LOW 時間	1.5		1.6		1.8		ns
出力時間								
tKHQV	クロック HIGH から出力確定時間		2.1		2.8		3.2	ns
tKHQX	クロック HIGH から出力不定時間	0.5		0.6		0.7		ns
tKHQX1	クロック HIGH から出力 Low-Z 時間	0.5		0.6		0.7		ns
tKHQZ	クロック HIGH から出力 High-Z 時間	0.5	2.1	0.6	2.8	0.7	3.2	ns
tCHCL	エコークロック HIGH 時間	tKHKL+0.25/-0.25		tKHKL+0.25/-0.25		tKHKL+0.25/-0.25		ns
tCLCH	エコークロック LOW 時間	tCLKH +0.25/-0.25		tCLKH +0.25/-0.25		tCLKH +0.25/-0.25		ns
tKHCH	クロック HIGH からエコークロック HIGH 時間	0.5	2.0	0.5	2.7	0.5	3.1	ns
tKLCL	クロック LOW からエコークロック LOW 時間	0.5	2.0	0.5	2.7	0.5	3.1	ns
tKHCX1	クロック HIGH からエコークロック Low-Z 時間	0.5		0.5		0.5		ns
tKHCZ	クロック HIGH からエコークロック High-Z 時間	0.5	2.0	0.5	2.7	0.5	3.1	ns
tCHQV	エコークロック HIGH から出力確定時間		0.5		0.5		0.5	ns
tCHQX	エコークロック HIGH から出力不定時間	-0.5		-0.5		-0.5		ns
セットアップ時間								
tAVKH	アドレス確定からクロック HIGH 時間	0.8		1.0		1.2		ns
tadvVKH	ADV 確定からクロック HIGH 時間	0.8		1.0		1.2		ns
tWVKH	Write 確定からクロック HIGH 時間	0.8		1.0		1.2		ns
tBxVKH	Byte Write 確定からクロック HIGH 時間 (BWa#~BWh#)	0.8		1.0		1.2		ns
tEVKH	Enable 確定からクロック HIGH 時間(E1#,E2,E3)	0.8		1.0		1.2		ns
tDVKH	データ入力確定からクロック HIGH 時間	0.8		1.0		1.2		ns
ホールド時間								
tKHAX	クロック HIGH からアドレス不定時間	0.5		0.5		0.5		ns
tKHadvX	クロック HIGH から ADV 不定時間	0.5		0.5		0.5		ns
tKHwx	クロック HIGH から Write 不定時間	0.5		0.5		0.5		ns
tKHBxX	クロック HIGH から Byte Write 不定時間 (BWa#~BWh#)	0.5		0.5		0.5		ns
tKHEX	クロック HIGH から Enable 不定時間(E1#,E2,E3)	0.5		0.5		0.5		ns
tKHDX	クロック HIGH からデータ入力不定時間	0.5		0.5		0.5		ns

注33. テスト条件は、特に指定しない場合は図 1 に示す出力負荷を使用します。

注34. tKHQX1, tKHQZ, tKHCX1, tKHCZ は、全数測定されたものでなくサンプル値です。

注35. LBO#, EP2, EP3, ZQ は一定とし、通常動作の期間中は変えてはいけません。

JTAG ポート動作

概要

本 SRAM は、“IEEE Standard 1149.1-1990”に準拠した JTAG ポート (serial boundary scan interface standard) を搭載していますが、1149.1 に示されているすべての機能を搭載しているわけではありません。最近数年で SRAM ベンダー間で一般的となった JTAG の仕様とは異なり、本仕様ではクロックアシステッド EXTEST として知られる EXTEST の一形態を提供し、これによって EXTEST が無い場合に発生するテストプログラムコンパイルエラーを回避するために必要な“ハンドコーディング”を減らすか、無くすることができます。JTAG ポートのインターフェイスは CMOS ロジックレベルです。

JTAG ポートの無効化

この SRAM は JTAG ポートを使用しなくても動作可能です。ポートはパワーアップ時にリセットされ、クロックが入らない限り非活性状態となります。JTAG ポートを使用しない場合、TCK、TDI、TMS ピンはフローティングもしくは HIGH 接続とすることで正常動作を保証します。また TDO ピンは未接続としてください。

JTAG ピン説明

ピン	名前	記述
TCK	テストクロック	全 TAP 動作のためのクロック入力です。TCK の立ち上がりエッジで全入力を取り込み、TCK の立ち下りエッジで TDO(Test Data Out)に出力を行います。
TMS	テストモード選択	TCK の立ち上がりエッジで取り込まれます。これは、TAP コントローラステートマシンに対するコマンド入力です。TMS を駆動しない場合、“H”レベル入力と同じになります。
TDI	テストデータ入力	TCK の立ち上がりエッジで取り込まれます。TDI は TDI ピンと TDO ピンの間に配置されたシリアルレジスタの入力側です。TDI と TDO の間に配置されるレジスタは、TAP コントローラステートマシンの状態と、TAP インストラクションレジスタに現在ロードされている命令により決定されます。(TAP コントローラ状態遷移図を参照ください)。
TDO	テストデータ出力	TDO 出力は、TAP コントローラにステートマシンの状態により有効になります。TCK の立ち下りエッジにより、出力が変化します。TDO は TDI ピンと TDO ピンの間に配置されたシリアルレジスタの出力側です。

注意:本 SRAM では IEEE1149.1 にてオプションとなっている、TRST ピンはありません。Test-Logic-Reset 状態にするには、TCK の立ち上がり 5 回サイクルの間、TMS を High の状態に固定することで実行されます。また、TAP コントローラはパワーアップ時に自動的にリセットされます。

JTAG ポートレジスタ

概要

テストアクセスポートまたは TAP レジスタと言われる様々な JTAG レジスタは、TCK の立ち上がりエッジに対して TMS に与えられる、1 と 0 の順序によって決定されます。各々の TAP レジスタはシリアルシフトレジスタであって、TCK の立ち上がりエッジによりシリアル入力データを取り込み、TCK の立ち下りエッジでシリアルデータを出力します。レジスタが選択された場合、レジスタは TDI ピンと TDO ピンの間に配置されます。

インストラクションレジスタ

インストラクションレジスタは、TAP コントローラが Run-Test/Idle や色々なレジスタ状態になった時、TAP コントローラにより実行される命令を保持しています。インストラクションレジスタは 3 ビット構成となっており、TDI と TDO ピンの間に配置された時にロードされます。インストラクションレジスタはパワーアップ時もしくは TAP コントローラが Test-Logic-Reset 状態となったとき、IDCODE 命令を自動的にプリロードします。

バイパスレジスタ

バイパスレジスタは TDI ピンと TDO ピンの間に配置することのできるシングルビットレジスタです。このバイパスレジスタは、シリアルテストデータを SRAM の JTAG ポートを通じて、スキャンチェーン中の別のデバイスへ、可能な限り小さい遅延で送ることができます。

バウンダリスキャンレジスタ

バウンダリスキャンレジスタは SRAM の入力または I/O ピンのロジックレベルによりプリセットすることができるフリップフロップの集合体です。フリップフロップはデジチェーンとなっており、JTAG ポートの TDO ピンからシリアルにシフトアウトしていくことができます。また、バウンダリスキャンレジスタは幾つかのホルダーフリップフロップ(常に論理 1 にセットされている)を含んでいます。バウンダリスキャンレジスタのビットとデバイスピンとの関係はスキャンオーダー表に示しています。TAP コントローラによって制御されるバウンダリスキャンレジスタは、TAP コントローラが Capture-DR 状態で SRAM の I/O リングの内容を読み出し、その後 TAP コントローラが Shift-DR 状態になる時に、TDI と TDO の間に配置されます。バウンダリスキャンレジスタを有効にするには、SAMPLE-Z、SAMPLE/PRELOAD や EXTEST 命令が使われます。

ID レジスタ

ID レジスタは、IDCODE 命令がインストラクションレジスタへロードされている状態で、コントローラが Capture-DR の状態になると、デバイスや製造メーカ特有の 32 ビットのコードがロードされる 32 ビットのレジスタです。このコードは 32 ビットのオンチップ ROM からロードされ、SRAM の色々な特性を示しています。このレジスタはコントローラが Shift-DR 状態になったとき、TDI ピンと TDO ピンの間に配置されます。レジスタのビット 0 が LSB であり、シフトが始まると最初に TDO から出力されます。

TAP コントローラ命令

概要

Standard 1149.1-1190 には、標準命令とデバイス独自の命令の 2 種類が定義されています。1149.1 ではいくつかの標準命令を義務づけています。また、オプション標準命令は規定された方法で実現されなければなりません。本デバイスの TAP コントローラは 1149.1 の規定に従っていますが、義務命令の一つである EXTEST が独自に実現されているため、1149.1 に完全には従ってはいません。本デバイスの TAP は全入力および I/O パッドをモニターするために使用されます。本デバイスは、INTEST は実行できませんが、SAMPLE/PRELOAD コマンドのプリロードを実行することが可能です。TAP コントローラが Capture-IR 状態となる場合、インストラクションレジスタの最小 2 ビットには 01 がロードされます。TAP コントローラが Shift-IR 状態となると、インストラクションレジスタが TDI ピンと TDO ピンの間に配置されます。この状態で、要求された命令は TDI 入力を通してシリアルにロードされます(この時、元の内容は TDO 出力からシフトアウトされます)。全ての命令において、TAP コントローラは新しくロードした命令を、コントローラが Update-IR 状態へ遷移したときのみ実行します。本デバイスの TAP 命令集は後記の表に示します。

BYPASS

バイパス命令がインストラクションレジスタにロードされた場合、バイパスレジスタは TDI ピンと TDO ピンの間に配置されます。これは、TAP コントローラが Shift-DR 状態になるときに起こります。これは、ボードレベルのスキャンパスを短くし、スキャンパス中の他のデバイスのテストを手助けします。

SAMPLE/PRELOAD

SAMPLE/PRELOAD は 1149.1 規格にて義務付けられた標準命令です。SAMPLE/PRELOAD 命令がインストラクションレジスタにロードされる時、TAP コントローラが Capture-DR 状態へを遷移することにより、SRAM の入力及び I/O バッファのデータがバウンダリスキャンレジスタへロードされます。いくつかのバウンダリスキャンレジスタ上の位置は入力または I/O ピンと対応しておらず、BDSL ファイル上で決められたデフォルト状態がロードされます。SRAM クロックは TAP クロック(TCK)から独立しているので、入力バッファが推移している間(メタステーブル状態)I/O リングの内容を TAP コントローラが取り込むことが可能です。TAP がメタステーブル入力を取り込むことはデバイスに損害を与えませんが、同じ結果を期待することはできません。SRAM 入力は、TAP 入力データが取り込みに必要なセットアップ(tTS)とホールタイム(tTH)を合せた十分な時間の間、安定させなければいけません。SRAM クロック入力は、I/O リングの内容をバウンダリスキャンレジスタに取り込む場合を除き、他のいかなる TAP オペレーションに対しても休止する必要はありません。コントローラが Shift-DR 状態に遷移すると、バウンダリスキャンレジスタは TDI ピンと TDO ピンの間に配置されます。

EXTEST-A

EXTEST は IEEE1149.1 の必須命令のひとつです。EXTEST は、インストラクションレジスタに全て 0 がロードされるときに実行されることになっています。EXTEST コマンドは SRAM 入力ピンを塞いだり、上書きしたりはしません。そのため、SRAM の内部状態はやはり入力ピンによって決定します。

通常、バウンダリスキャンレジスタは SAMPLE/PRELOAD コマンドで必要なパターンをロードします。EXTEST コマンドは、同時にコントローラが Update-IR 状態にある場合、TCK の立下りエッジに応じて SRAM データ出力ドライバへ、バウンダリスキャンレジスタの内容を出力するのに使われます。

反対に、EXTEST コマンドを用いることでバウンダリスキャンレジスタへロードすることができます。EXTEST 命令が選択された時、全ての SRAM 入力と I/O ピンは、ピンに付加されていないスキャンレジスタ部のデフォルト値と同様に、Capture-DR 状態の TCK 立ち上がり時に、バウンダリスキャンレジスタに転送されます。この時、SRAM 出力ピンは、各出力ピンに付加されたバウンダリスキャンレジスタ部の値を出力します。このデバイスの EXTEST の実行では、更なるユーザの介入が無ければ、実際にはスキャンチェーンの内容を SRAM の出力ピンに移動しません。したがってこの SRAM は厳密には 1149.1 に準拠してはおりません。バウンダリスキャンレジスタから SRAM の I/O および出力ピンへデータを押し出すためには、SRAM のメインクロック(CK)を動作させなければなりません。一回の CK の動作で十分データを転送できますが、複数の CK 動作が損害を与えることはありません。

IDCODE

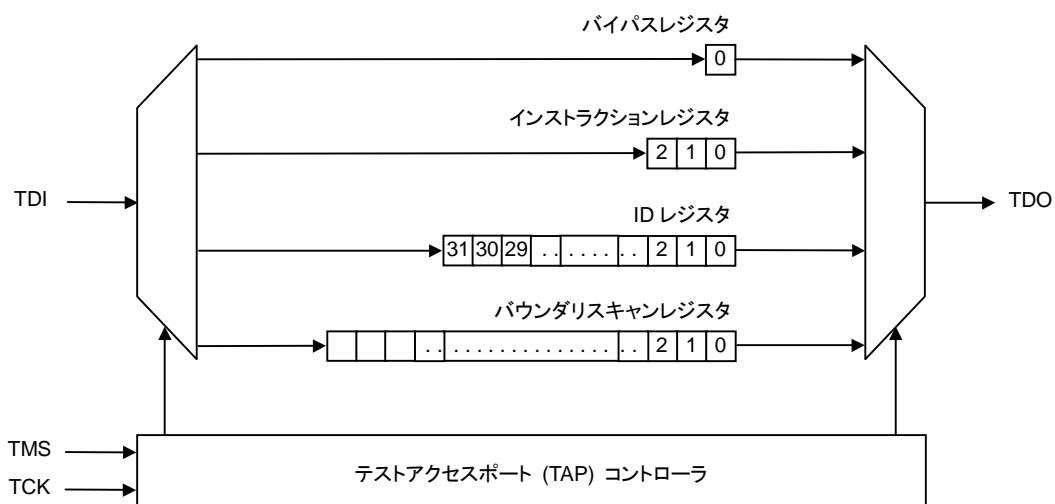
IDCODE 命令は、コントローラが Capture-DR 状態の時 ID レジスタに IDROM の値がロードされ、Shift-DR 状態の時 ID レジスタが TDI ピンと TDO ピンの間に配置されます。IDCODE 命令は、パワーアップ時やコントローラが Test-Logic-Reset 状態になるいかなる時でもロードされるデフォルトの命令です。

SAMPLE-Z

SAMPLE-Z 命令がインストラクションレジスタにロードされた場合、全ての SRAM 出力は非活性(高インピーダンス状態)となり、TAP コントローラが Shift-DR 状態に遷移した時、バウンダリスキャンレジスタは TDI ピンと TDO ピンの間に配置されます。

RFU

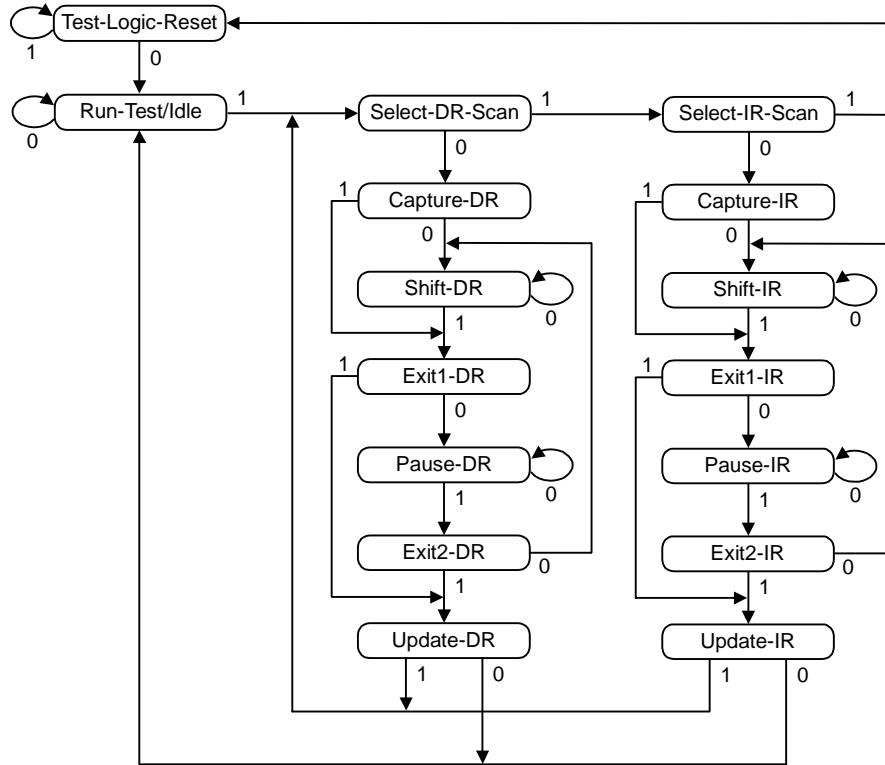
これらの命令は将来使用するために確保されているものです。これらの命令は使用しないでください。

JTAG TAP ブロック図

バウンダリスキャンオーダー

ビット	ボール	ピン名	ビット	ボール	ピン名	ビット	ボール	ピン名
0	6H	EP3	40	10E	DQPf	80	1E	DQPg
1	6G	EP2	41	11F	DQf	81	1F	DQc
2	6N	MCH	42	11E	DQPb	82	2E	DQPc
3	6F	ZQ	43	10D	DQb	83	2F	DQc
4	5V	A16	44	11D	DQb	84	1G	DQc
5	6U	A15	45	11C	DQb	85	2G	DQc
6	8U	A11	46	11B	DQb	86	1H	DQc
7	7V	A13	47	11A	DQb	87	2H	DQc
8	7W	A14	48	10C	DQb	88	1J	DQc
9	8V	A12	49	10B	DQb	89	2J	DQc
10	9V	A10	50	10A	DQb	90	2K	CQ2#
11	10W	DQe	51	9A	A9	91	6L	MCH
12	10V	DQe	52	7A	A8	92	6M	MCL
13	10U	DQe	53	7B	A17	93	1K	CQ2
14	11W	DQe	54	8C	BWe#	94	2L	DQh
15	11V	DQe	55	9C	BWa#	95	1L	DQh
16	11U	DQe	56	9B	BWf#	96	2M	DQh
17	11T	DQe	57	8B	BWb#	97	1M	DQh
18	10T	DQe	58	6A	ADV	98	2N	DQh
19	11R	DQPe	59	6D	MCL	99	1N	DQh
20	10R	DQPa	60	6K	MCL	100	2P	DQh
21	11P	DQa	61	6B	W#	101	1P	DQh
22	10P	DQa	62	3K	CLK	102	2R	DQPh
23	11N	DQa	63	8A	E3	103	1R	DQPd
24	10N	DQa	64	4B	BWg#	104	2T	DQd
25	11M	DQa	65	3B	BWc#	105	1T	DQd
26	10M	DQa	66	3C	BWh#	106	1U	DQd
27	11L	DQa	67	4C	BWd#	107	1V	DQd
28	10L	DQa	68	4A	E2	108	1W	DQd
29	11K	CQ1	69	6C	E1#	109	2U	DQd
30	6P	MCL	70	5A	A7	110	2V	DQd
31	6J	MCH	71	3A	A6	111	2W	DQd
32	10K	CQ1#	72	2A	DQg	112	6T	LBO#
33	10J	DQf	73	2B	DQg	113	3V	A5
34	11J	DQf	74	2C	DQg	114	4V	A4
35	10H	DQf	75	1A	DQg	115	4U	A3
36	11H	DQf	76	1B	DQg	116	5W	A2
37	10G	DQf	77	1C	DQg	117	6V	A1
38	11G	DQf	78	1D	DQg	118	6W	A0
39	10F	DQf	79	2D	DQg			

JTAG TAP コントローラ状態遷移図



TAP コントローラ DC 電氣的特性(指定の無い場合は、Ta=0~70°C, VDD=1.70~1.95V)

記号	項目	条件	規格値		単位
			最小	最大	
VIHT	テストポート入力 HIGH 電圧		0.65VDDQ	VDDQ+0.3 **	V
VILT	テストポート入力 LOW 電圧		-0.3 **	0.35VDDQ	V
VOHT	テストポート出力 HIGH 電圧	IOH=-100μA	VDDQ-0.1	-	V
VOLT	テストポート出力 LOW 電圧	IOL=+100μA	-	0.1	V
IINT	TMS, TCK, TDI 入力リーク電流		-10	10	μA
IOLT	TDO 出力リーク電流	出力非活性, VOUT=0V~VDDQ	-10	10	μA

注37. ** アンダーシュート/オーバーシュート電圧は-1.0V<Vi<VDDQ+1V(max. 3.6V)で、パルス幅は tTCK の 20%を超えてはいけません。

TAP コントローラ AC 電気的特性 (指定の無い場合は、 $T_a=0\sim 70^\circ\text{C}$, $V_{DD}=1.70\sim 1.95\text{V}$)

(1)測定条件

- 入力パルスレベル $V_{IH}=V_{DDQ}$, $V_{IL}=0\text{V}$
- 入力パルス上昇、下降時間 1V/ns 以上
- 入力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
- 出力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
- 出力負荷 図.4

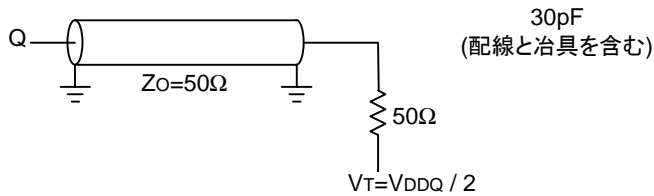
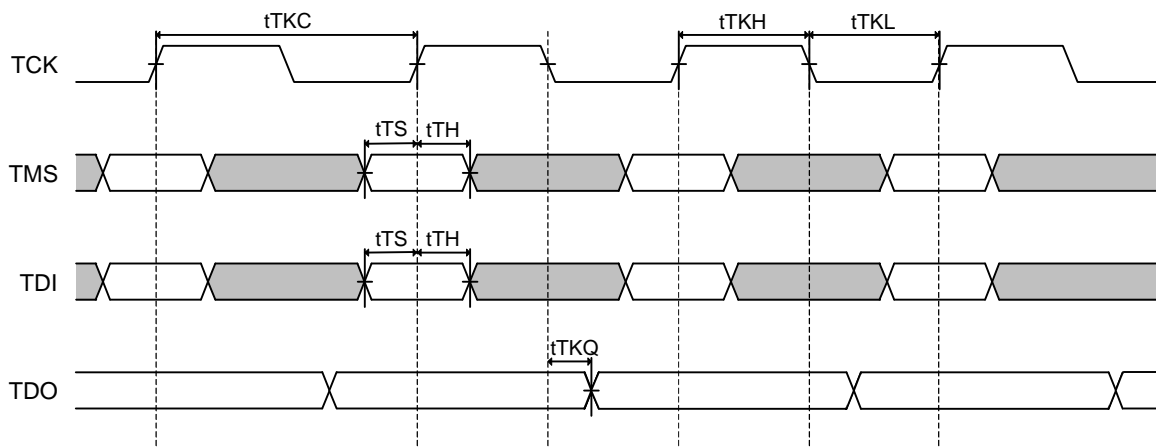


図.4 出力負荷

(2)タイミング特性

記号	項目	規格値		単位
		最小	最大	
tTF	TCK 周波数		20	MHz
tTKC	TCK サイクル時間	50		ns
tTKH	TCK HIGH パルス幅	20		ns
tTKL	TCK LOW パルス幅	20		ns
tTS	TDI, TMS セットアップ時間	10		ns
tTH	TDI, TMS ホールド時間	10		ns
tTKQ	TCK LOW から TDO 出力確定時間		20	ns

(3) タイミング図



JTAG TAP 命令

命令	コード	記述
EXTEST-A	000	I/O リングの内容を取り込みます。バウンダリスキャンレジスタを TDI ピンと TDO ピンの間に配置します。本 SRAM ではクロックアシスト EXTEST を用いており、1149.1 に準拠しません。
IDCODE	001	ID レジスタをプリロードし、TDI ピンと TDO ピンの間に配置します。
SAMPLE-Z	010	I/O リングの内容を取り込みます。バウンダリスキャンレジスタを TDI ピンと TDO ピンの間に配置します。全てのデータ及びクロック出力ドライバを高インピーダンスにします。
RFU	011	この命令は使用しないでください。将来使用するために確保されています。
SAMPLE/PRELOAD	100	I/O リングの内容を取り込みます。バウンダリスキャンレジスタを TDI ピンと TDO ピンの間に配置します。
RFU	101	この命令は使用しないでください。将来使用するために確保されています。
RFU	110	この命令は使用しないでください。将来使用するために確保されています。
BYPASS	111	TDI ピンと TDO ピンの間に BYPASS レジスタを配置します。

ID レジスタの構成

レビジョン	デバイス情報																三菱の JEDEC ベンダコード																
	電源			メモリ容量				機能				ビット幅		世代																			
Bit No.	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
M5M5Y5672	0	0	0	0	0	1	0	0	1	0	1	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1
	MSB																LSB																

注38. "世代" は以下の通りです。

Bit No.	13	12
第 1 世代	0	0
第 2 世代	0	1
第 3 世代	1	0

注39. "ビット幅" は以下の通りです。

Bit No.	16	15	14
X16	0	0	0
X18	0	0	1
X32	0	1	0
X36	0	1	1
X64	1	0	0
X72	1	0	1

注40. "機能" は以下の通りです。

Bit No.	20	19	18	17
Network SRAM	0	1	0	0
PB	0	0	0	1

注41. "メモリ容量" は以下の通りです。

Bit No.	24	23	22	21
1M または 1.15M	0	0	0	1
2M または 2.3M	0	0	1	0
4M または 4.5M	0	0	1	1
8M または 9M	0	1	0	0
16M または 18M	0	1	0	1
32M または 36M	0	1	1	0

注42. "電源" は以下の通りです。

Bit No.	27	26	25
3.3V	0	0	0
2.5V	0	0	1
1.8V	0	1	0
1.5V	0	1	1

パッケージ外形

209(11x19) ball Grid Array(BGA)、 Pin Pitch 1.0mm

JEDEC 規格 MS-028, Variation BC,

をご参照願います

<http://www.jedec.org/download/search/MS-028C.pdf>

三菱集積回路<LSI>

M5M5Y5672TG – 25,22,20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

改定記録

Rev.No.	History	Date	
0.0	初版	2002年8月8日	Preliminary
0.1	バウンダリスキャンオーダーに一部誤りがあり、修正した。	2002年9月3日	Preliminary
0.2	DC 電気的特性 入カリーク電流を 10uA から 100uA に変更 (ZQ、LBO#)	2003年1月14日	Preliminary

安全設計に関するお願い

- ・弊社は品質、信頼性向上に努めておりますが、半導体製品は故障が発生したり、誤動作を起こす場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に関する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当りましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱半導体情報ホームページなどを通じて公開される情報に常にご注意ください。(http://www.mitsubishichips.com)
- ・本資料に記載した情報は、正確を期すため慎重に製作したものです。万一本資料の記述に誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料の記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載されている製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用を検討の際は、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文章による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。