

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

Preliminary

注: これは最終的な規格ではありません。
後日規格等を変更する場合があります。

ルネサス集積回路<LSI>
M5M5V5A36GP –75,85
18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

特徴

- Flow-Through Read モード、Single Late Write モード
- 高速アクセスタイム: 7.5ns, 8.5ns
- 3.3V 単一電源 V_{DD}
- 出力電源 V_{DDQ} 3.3V または 2.5V セパレート
- 512K ワード、X36 ビット構成
- バイトライトイネーブル制御 (BWa#~BWd#)
- リード・ライト制御 (W#)
- イネーブルクロック制御 (CKE#)
- 出力イネーブル制御 (G#)
- パワーダウン機能: スヌーズモード (ZZ)
- 3 入力チップイネーブル

パッケージ

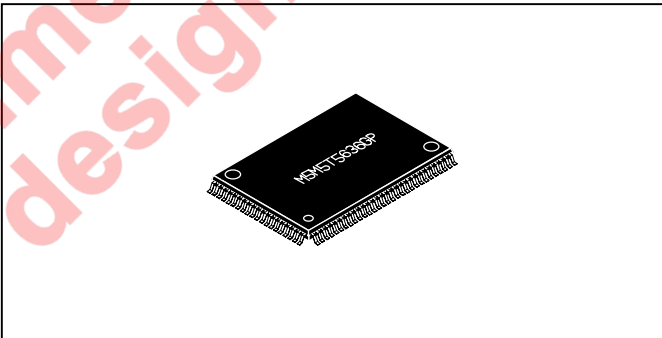
100pin TQFP

用途

高性能ネットワーク機器のバッファメモリ (ルーター、スイッチ)

機能

クロックの立ち上がりに対応して内部回路への取り込みを行う、同期式スタティック RAM です。
全アドレス、データ、チップイネーブル (E1#, E2, E3#)、アドレスアドバンス (ADV)、クロックイネーブル (CKE#)、バイトライト制御 (BWa#, BWb#, BWc#, BWd#)、およびライトイネーブル (W#) の各信号端子は、同期式です。書込みは、4 つのバイトライト (BWa#~BWd#) およびライトイネーブル (W#) によって制御されます。
出力イネーブル (G#)、クロック (CLK)、スヌーズイネーブル (ZZ) は非同同期式入力です。ZZ ピンを“HIGH”にするとパワーダウン状態となります。
アドレスアドバンス入力 (ADV) を“LOW”にすると、CLK の立ち上がりでアドレスとコントロール入力の取り込みを行います。また、ADV を“HIGH”にするとカウンタが動作し、内部バーストアドレスを前進させます。



製品型名リスト

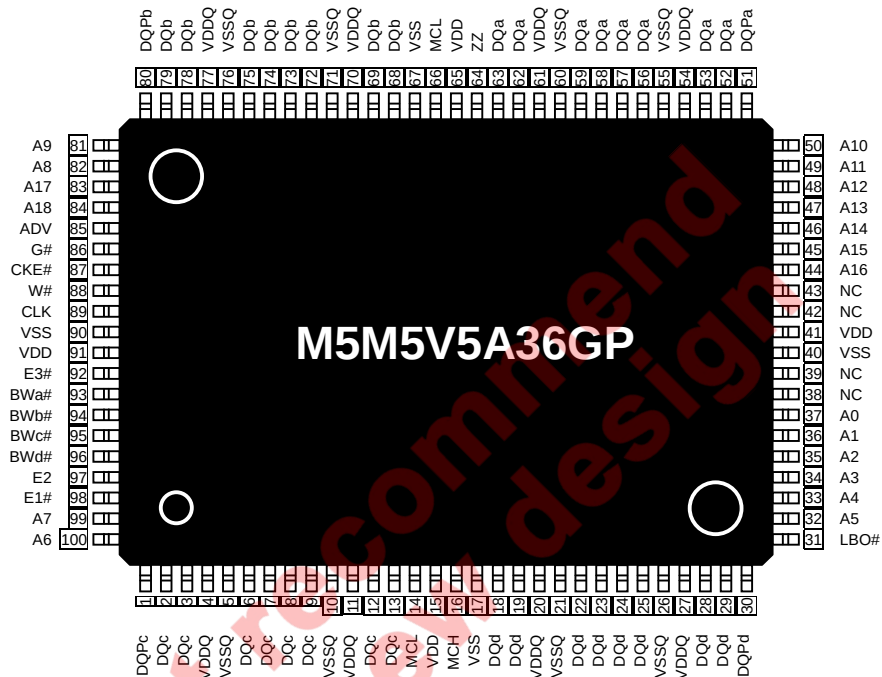
型名	アクセスタイム	サイクルタイム	動作電流(max.)	スタンバイ電流(max.)
M5M5V5A36GP – 75	7.5ns	8.5ns	280mA	30mA
M5M5V5A36GP – 85	8.5ns	10ns	260mA	30mA

M5M5V5A36GP –75,85

18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

ピン接続図(上面図)

100pin TQFP

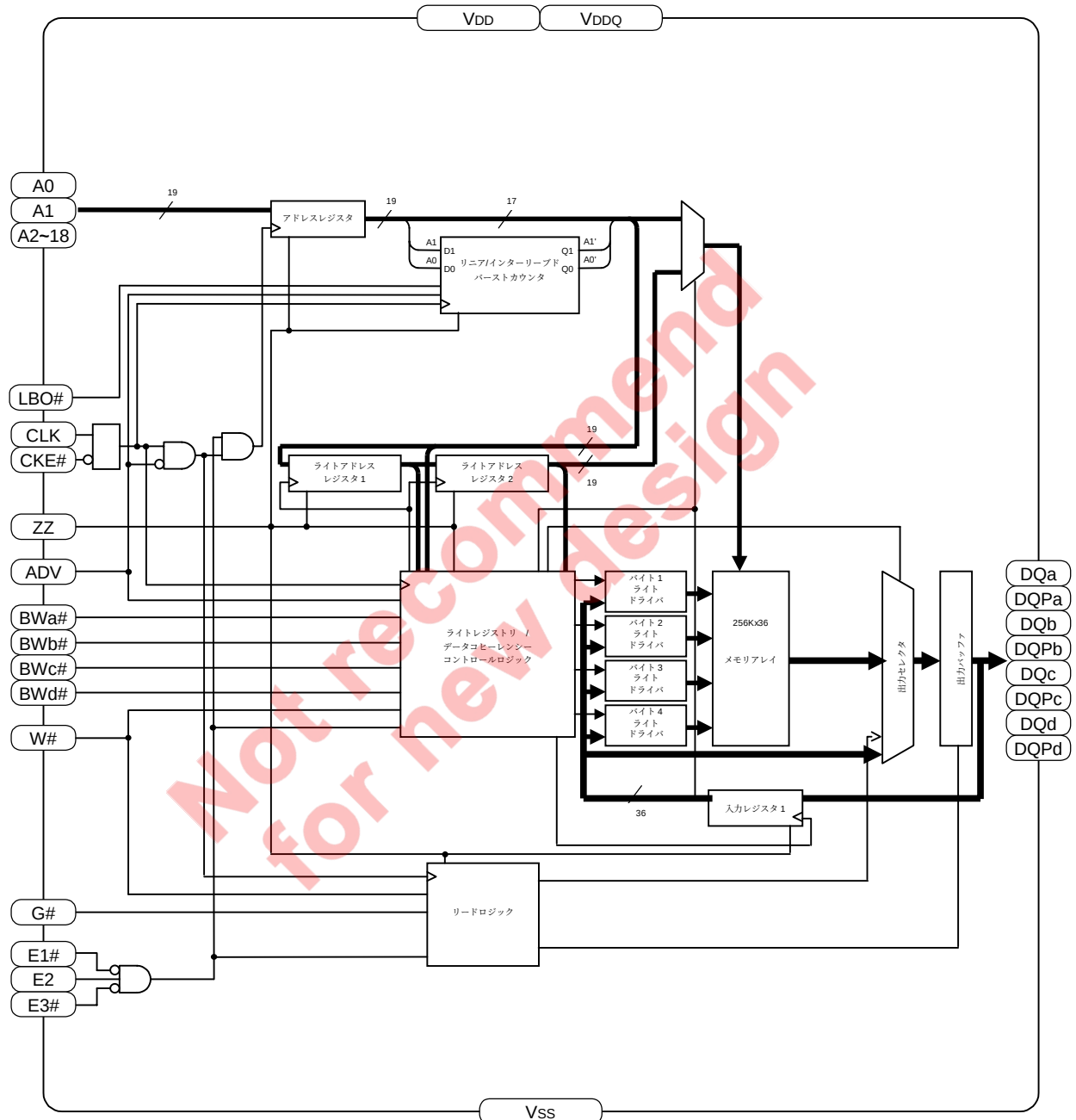


- 注 1. MCH(Must Connect High)ピンは“HIGH”に接続してください。
 注 2. MCL(Must Connect Low)ピンは“LOW”に接続してください。

ルネサス集積回路<LSI>
M5M5V5A36GP –75,85

18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

ブロック図



注 2. 本ブロック図は単純なデバイス制御のみを図示しております。詳細な情報は真値表、ピン動作、タイミング図をご覧ください。

ルネサス集積回路<LSI>
M5M5V5A36GP –75,85

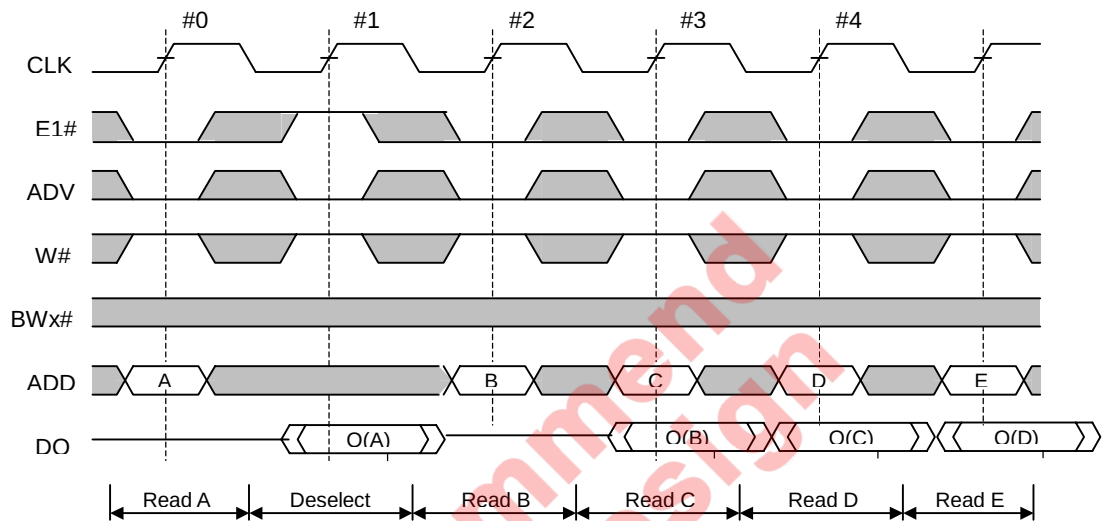
18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

端子機能説明

ピン	名前	機能
A0~A18	シンクロナス アドレス入力	CLK の立ち上がりエッジで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。A0 と A1 はアドレスの最小ビット(LSB)で、バースト時には内部バーストカウンタをセットします。
BWa#, BWb#, BWc#, BWD#	シンクロナス バイトライト イネーブル入力	CLK の立ち上がりエッジで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。これらを LOW アクティブにすることにより、ライトサイクル時に個々のバイトに書き込むことができます。BWa#は Dqa と DQPa、BWb#は DQb と DQPb、BWc#は DQc と DQPC、BWD#は DQd と DQPD を制御します。
CLK	クロック入力	全ての同期式信号は、この CLK 信号の立ち上がりエッジで取り込まれます。
E1#	シンクロナス チップイネーブル 入力	アクティブ LOW 入力です。新しい外部アドレスがロードされる(ADV が LOW)時のみ取り込まれます。
E2	シンクロナス チップイネーブル 入力	アクティブ HIGH 入力です。新しい外部アドレスがロードされる(ADV が LOW)時のみ取り込まれます。
E3#	シンクロナス チップイネーブル 入力	アクティブ LOW 入力です。新しい外部アドレスがロードされる(ADV が LOW)時のみ取り込まれます。
G#	アウトプットイネー ブル	アクティブ LOW の非同期式入力です。G#=HIGH の時は、出力がハイインピーダンス状態になります。
ADV	シンクロナス アドレスアドバンス ／ロード入力	この入力が HIGH の時は、内部バーストカウンタを進め、外部アドレスがロードされた後のバーストアクセスをコントロールします。HIGH のときは、W#は無視されます。LOW の時はクロック立ち上がりエッジで新しいアドレスをロードします。
CKE#	シンクロナス クロックイネーブル 入力	CLK の立ち上がりエッジで取り込まれます。この信号が HIGH のとき CLK 入力は無視され、前の CLK サイクルの状態を維持します。
LBO#	バーストモード コントロール入力	DC レベルの入力です。LBO#=HIGH または NC の時、インターリーブドバースト動作となります。LBO#=LOW の時リニアバースト動作となります。
ZZ	スヌーズ イネーブル入力	アクティブ HIGH の非同期式入力で低スタンバイ状態となり、メモリ内のデータは保持されます。ZZ=LOW または NC で、時通常動作となります。
W#	シンクロナス リード/ライト入力	このアクティブ入力は ADV が LOW の時サイクルタイプを決めます。これはリードかライトを決める唯一の手段です。新しいアドレスをロードする時以外は、リードからライト(またはその逆)に切り替えることはできません。ピンを LOW にすることでバイトライト制御を可能にします。CLK の立ち上がりエッジにセットアップ及びホールドタイムを合わせる必要があります。全てのバイトライトイネーブルが LOW であれば、全バスの書き込みを行います。
DQa,DQPa,DQb,DQPb DQc,DQPC,DQd,DQPD	シンクロナス データ I/O	入力データは CLK の立ち上がりで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。出力データは CLK に同期して出力されます。
VDD	電源	電源電圧
VSS	グラウンド	グラウンド
VDDQ	I/O 電源	I/O バッファ用電源
VSSQ	I/O グラウンド	I/O バッファ用グラウンド
MCH	HIGH に接続	これらのピンはHIGH に接続してください。
MCL	LOW に接続	これらのピンは LOW に接続してください。
NC	無接続	これらのピンは内部に接続されていないので、グラウンドに接続してもかまいません。

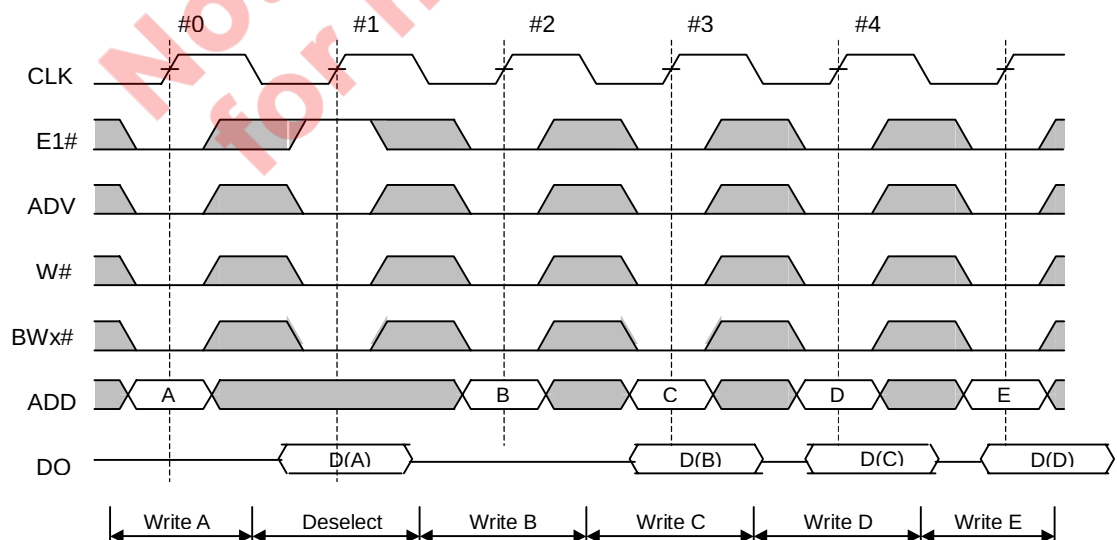
リード動作 Flow-Through Read

リード動作は、以下の条件が満足された時、クロックの立ち上がりエッジより開始されます：全てのチップイネーブル信号(E1#、E2、E3#)がアクティブ、ライトイネーブル信号(W#)が HIGH”、アドレスアドバンス信号(ADV)が LOW。

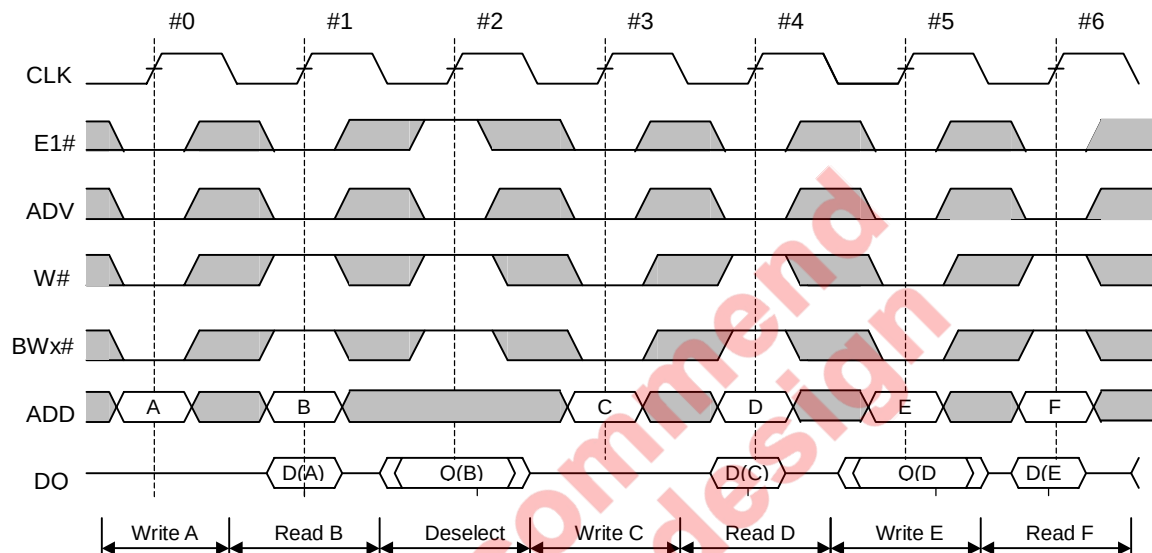
**ライト動作 Single Late Write**

ライト動作は、以下の条件が満足された時、クロックの立ち上がりエッジより開始されます：全てのチップイネーブル信号(E1#、E2、E3#)がアクティブ、ライトイネーブル信号(W#)およびアドレスアドバンス信号(ADV) が LOW。

レイトライトとは、ライト信号に対し、その次の CLK 立ち上がりエッジでデータを入力することを意味します。



Single Late Write with Flow-Through Read



ルネサス集積回路<LSI>
M5M5V5A36GP -75,85

18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

DC レベル動作端子の真理値表

ピン名	入力状態	動作
LBO#	HIGH または NC	インターリーブドバースト
	LOW	リニアバースト

注 4. LBO#は DC レベル入力端子です。

注 5. NC は無接続です。

注 6. インターリーブドバーストとリニアバーストについてはバーストシーケンス真理値表を参照してください。

バーストシーケンス表

インターリーブドバーストシーケンス (LBO# = HIGH または NC)

動作	A18~A2	A1,A0			
第 1 アクセス(ラッチ外部アドレス)	A18~A2	0, 0	0, 1	1, 0	1, 1
第 2 アクセス(第1バーストアドレス)	latched A18~A2	0, 1	0, 0	1, 1	1, 0
第 3 アクセス(第2バーストアドレス)	latched A18~A2	1, 0	1, 1	0, 0	0, 1
第 4 アクセス(第3バーストアドレス)	latched A18~A2	1, 1	1, 0	0, 1	0, 0

リニアバーストシーケンス (LBO# = LOW)

動作	A18~A2	A1,A0			
第 1 アクセス(ラッチ外部アドレス)	A18~A2	0, 0	0, 1	1, 0	1, 1
第 2 アクセス(第1バーストアドレス)	latched A18~A2	0, 1	1, 0	1, 1	0, 0
第 3 アクセス(第2バーストアドレス)	latched A18~A2	1, 0	1, 1	0, 0	0, 1
第 4 アクセス(第3バーストアドレス)	latched A18~A2	1, 1	0, 0	0, 1	1, 0

注 7. バーストシーケンスは完了すれば初期状態に戻ります。

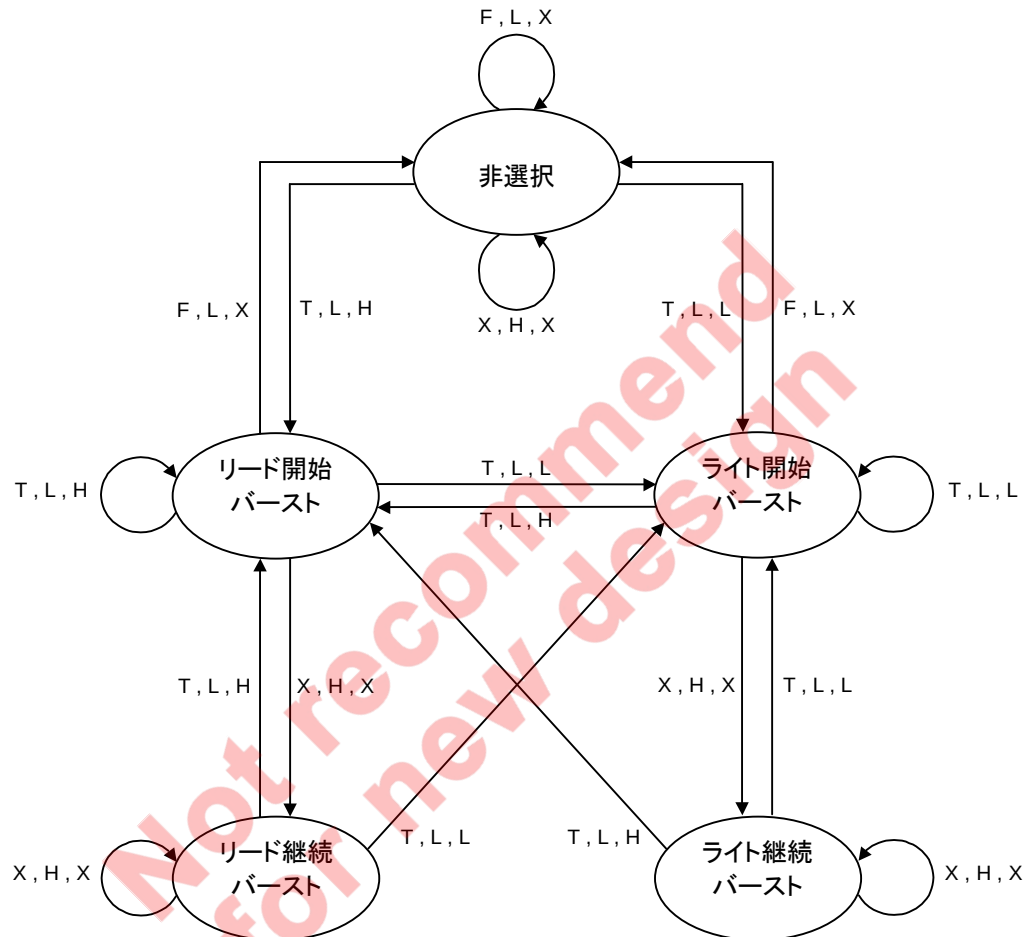
真理値表

E1#	E2	E3#	ZZ	ADV	W#	BWx#	G#	CKE#	CLK	DQ	アドレス	動作
H	X	X	L	L	X	X	X	L	L->H	High-Z	None	非選択サイクル
X	L	X	L	L	X	X	X	L	L->H	High-Z	None	非選択サイクル
X	X	H	L	L	X	X	X	L	L->H	High-Z	None	非選択サイクル
X	X	X	L	H	X	X	X	L	L->H	High-Z	None	非選択サイクル継続
L	H	L	L	L	H	X	L	L	L->H	Q	External	リードサイクル、バースト開始
X	X	X	L	H	X	X	L	L	L->H	Q	Next	リードサイクル、バースト継続
L	H	L	L	L	H	X	H	L	L->H	High-Z	External	NOP/ダミーリード、バースト開始
X	X	X	L	H	X	X	H	L	L->H	High-Z	Next	ダミーリード、バースト継続
L	H	L	L	L	L	L	X	L	L->H	D	External	ライトサイクル、バースト開始
X	X	X	L	H	X	L	X	L	L->H	D	Next	ライトサイクル、バースト継続
L	H	L	L	L	L	H	X	L	L->H	High-Z	None	NOP/ライト禁止、バースト開始
X	X	X	L	H	X	H	X	L	L->H	High-Z	Next	ライト禁止、バースト継続
X	X	X	L	X	X	X	X	H	L->H	-	Current	クロックエッジ無視、停止
X	X	X	H	X	X	X	X	X	X	High-Z	None	スヌーズモード

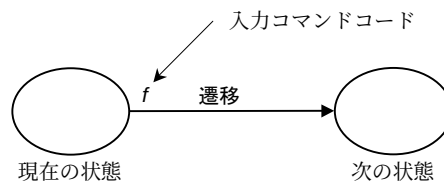
注 8. “H” = VIH、“L” = VIL、“X” = VIH または VIL をそれぞれ示しています。

注 9. BWx#=H は全シンクロナスバイトライトイネーブル入力(BWa#,BWb#,BWc#,BWd#)が“HIGH”であることを意味し、BWx#=L はシンクロナスバイトライトイネーブル入力のいずれかもしくは 2 つ以上の入力が“LOW”であることを意味します。

注 10. G#, ZZ を除いた全入力信号は CLK の立ち上がりエッジ(LOW から HIGH)でセットアップおよびホールド時間を満足しなければなりません。

状態遷移図

Key



注 11. E、ADV、W#の値を“X, X, X”で示しています。

注 12. E1# = L かつ E2 = H かつ E3# = L の時は E="T"、それ以外の場合は E="F"。

注 13. "H" = VIH、"L" = VIL、"X" = VIH または VIL、"T" = "true"、"F" = "false"をそれぞれ示しています。

ルネサス集積回路<LSI>
M5M5V5A36GP -75,85

18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

ライト真理値表

W#	BWb#	BWc#	BWd#	Function
H	X	X	X	リード
L	L	H	H	ライト バイト "a"
L	H	L	H	ライト バイト "b"
L	H	H	L	ライト バイト "c"
L	H	H	H	ライト バイト "d"
L	L	L	L	ライト 全バイト
L	H	H	H	ライト禁止 / ノーオペレーション

注 14. "H" = VIH, "L" = VIL, "X" = VIH または VIL をそれぞれ示しています。

注 15. 全入力信号は、CLK の立ち上がりエッジ(LOW から HIGH) でセットアップおよびホールド時間を満足しなければなりません。

絶対最大定格

記号	項目	条件	定格値	単位
VDD	電源電圧	Vss 端子を基準とした場合	-1.0*~4.6	V
VDDQ	I/O バッファ電源電圧		-1.0*~4.6	V
Vi	入力電圧		-1.0~VDDQ+1.0**	V
Vo	出力電圧		-1.0~VDDQ+1.0**	V
PD	最大消費電力 (VDD)		1180	mW
TOPR	動作周囲温度		0~70	°C
TSTG(bias)	保存温度(bias)		-10~85	°C
TSTG	保存温度		-65~150	°C

注 16. * パルス幅≤2ns のときは-1.0V です。DC のときは -0.5V です。

** パルス幅≤2ns のときは-1.0V~VDDQ +1.0V です。DC のときは -0.5V~VDDQ +0.5V です。

容量

記号	項目	条件	規格値			単位
			最小	標準	最大	
CI	入力容量	Vi=GND, Vi=25mVrms, f=1MHz			6	pF
Co	入出力(DQ)容量	Vo=GND, Vo=25mVrms, f=1MHz			8	pF

注 17. 最大値は、サンプリング値です。

熱抵抗

4 層基板(70x70x1.6mmT)実装時

記号	項目	条件	規格値			単位
			最小	標準	最大	
θJA	ジャンクション—空気間の熱抵抗	風速=0m/sec		28		°C/W
		風速=2m/sec		20		°C/W
θJC	ジャンクション—パッケージ間の熱抵抗			6.6		°C/W

注 18. この値はサンプリング値です。

ルネサス集積回路<LSI>
M5M5V5A36GP -75,85

18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

DC 電気特性(指定の無い場合は Ta=0~70°C, VDD=3.135~3.465V)

記号	項目	条件	規格値		単位
			最小	最大	
VDD	電源電圧		3.135	3.465	V
VDDQ	I/O バッファ電源電圧	VDDQ = 3.3V	3.135	3.465	V
		VDDQ = 2.5V	2.375	2.625	
VIH	HIGH レベル入力電圧	VDDQ = 3.135~3.465V	2.0	VDDQ+0.3*	V
		VDDQ = 2.375~2.625V	1.7		
VIL	LOW レベル入力電圧	VDDQ = 3.135~3.465V	-0.3*	0.8	V
		VDDQ = 2.375~2.625V		0.7	
VOH	HIGH レベル出力電圧	IOH = -2.0mA	VDDQ-0.4		V
VOL	LOW レベル出力電圧	IOL = 2.0mA		0.4	V
ILI	入力リーク電流 (ZZ、LBO#ピン除く)	VI = 0V ~ VDDQ		10	μA
	入力リーク電流 (LBO#ピン)	VI = 0V ~ VDDQ		100	
	入力リーク電流 (ZZピン)	VI = 0V ~ VDDQ		100	
ILO	出力リーク電流	VI (G#) ≥ VIH, VO = 0V ~ VDDQ		10	μA
ICC1	電源電流: 動作時	デバイス選択; 出力端子開放 VI ≤ VIL または VI ≥ VIH ZZ ≤ VIL	-75 (Cycle time=8.5ns)	280	mA
			-85 (Cycle time=10ns)	260	
ICC2	電源電流: チップ非選択	デバイス非選択 VI ≤ VIL または VI ≥ VIH ZZ ≤ VIL	-75 (Cycle time=8.5ns)	90	mA
			-85 (Cycle time=10ns)	80	
ICC3	CMOS スタンドバイ電流 (CLK 停止時スタンバイモード)	デバイス非選択; 出力端子開放; 入力レベル固定 VI ≤ VSS+0.2V または VI ≥ VDDQ-0.2V CLK 周波数=0Hz		30	mA
ICC4	スタンバイ電流 (スヌーズモード)	スヌーズモード ZZ ≥ VDDQ-0.2V, LBO# ≥ VDD-0.2V		30	mA
ICC5	スタンバイ電流 (CKE#モード)	デバイス非選択; 出力端子開放 CKE# ≥ VIH VI ≤ VSS+0.2V または VI ≥ VDDQ-0.2V	-75 (Cycle time=8.5ns)	80	mA
			-85 (Cycle time=10ns)	70	

注 19. *パルス幅 ≤ 2ns の場合は VIL 最小は -1.0V、VIH 最大は VDDQ+1.0V。

注 20. "デバイス非選択"は真理値表のパワーダウンモードを示しています。

AC 特性 (指定の無い場合は、 $T_a=0\sim 70^{\circ}\text{C}$, $V_{DD}=3.135\sim 3.465\text{V}$)

(1)測定条件

入力パルスレベル $V_{IH}=V_{DDQ}$, $V_{IL}=0\text{V}$
 入力パルス上昇、下降時間 1V/ns 以上
 入力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
 出力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
 出力負荷 図.1

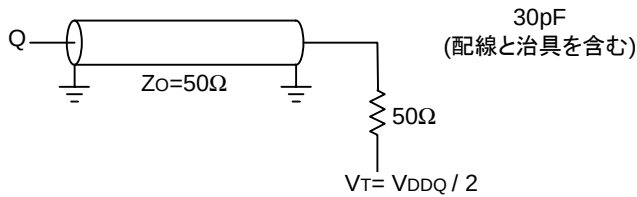


図.1 出力負荷

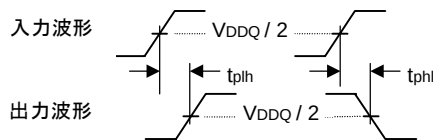


図.2 Tdly 測定

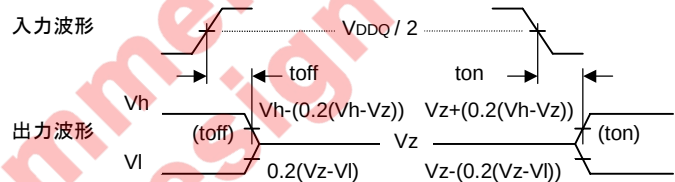


図.3 トライステート測定

- 注 21. 有効遅延時間の測定は、入力波形の $V_{DDQ}/2$ から出力波形の $V_{DDQ}/2$ までの値です。入力波形は、 1V/ns 以上のスルーレートにしてください
- 注 22. トライステートの t_{off} 測定は、入力波形の $V_{DDQ}/2$ から、出力波形が初期値から最終値($V_{DDQ}/2$)までの 20%が変化したときの値です。
 注: 初期値は DC 電気特性で指定されるような V_{OL} あるいは V_{OH} ではありません。
- 注 23. トライステートの t_{on} 測定は、入力波形の $V_{DDQ}/2$ から、出力波形が初期値($V_{DDQ}/2$)から最終値までの 20%が変化したときの値です。
 注: 最終値は DC 電気特性で指定されるような V_{OL} あるいは V_{OH} ではありません。
- 注 24. クロック、データ、アドレス、コントロール信号は 1V/ns 以上の最小スルーレートでテストされます。

(2)タイミング特性

記号	項目	規格値				単位
		-75		-85		
		最小	最大	最小	最大	
クロック						
tKHKH	クロックサイクル時間	8.5		10		ns
tKHKL	クロック HIGH 時間	2.8		3.0		ns
tCLKH	クロック LOW 時間	2.8		3.0		ns
出力時間						
tKHQV	クロック HIGH から出力確定時間		7.5		8.5	ns
tKHQX	クロック HIGH から出力不定時間	2.5		2.5		ns
tKHQX1	クロック HIGH から出力 Low-Z 時間	2.5		2.5		ns
tKHQZ	クロック HIGH から出力 High-Z 時間		4.0		5.0	ns
tGLQV	G# から出力確定時間		3.5		4.0	ns
tGLQX1	G# から出力 Low-Z 時間	0.0		0.0		ns
tGHQZ	G# から出力 High-Z 時間		3.5		4.0	ns
セットアップ時間						
tAVKH	アドレス確定からクロック HIGH 時間	2.0		2.0		ns
tckeVKH	CKE# 確定からクロック HIGH 時間	2.0		2.0		ns
tadvVKH	ADV 確定からクロック HIGH 時間	2.0		2.0		ns
tWVKH	Write 確定からクロック HIGH	2.0		2.0		ns
tBVKH	Byte Write 確定からクロック HIGH 時間 (BWa#~BWd#)	2.0		2.0		ns
tEVKH	Enable 確定からクロック HIGH 時間(E1#,E2,E3#)	2.0		2.0		ns
tDVKH	データ入力確定からクロック HIGH 時間	2.0		2.0		ns
ホールド時間						
tKHAX	クロック HIGH からアドレス不定時間	0.5		0.5		ns
tKHckeX	クロック HIGH から CKE#不定時間	0.5		0.5		ns
tKHadvX	クロック HIGH から ADV 不定時間	0.5		0.5		ns
tKHwX	クロック HIGH から Write 不定時間	0.5		0.5		ns
tKHBX	クロック HIGH から Byte Write 不定時間 (BWa#~BWb#)	0.5		0.5		ns
tKHEX	クロック HIGH から Enable 不定時間(E1#,E2,E3#)	0.5		0.5		ns
tKHDX	クロック HIGH からデータ入力不定時間	0.5		0.5		ns
ZZ						
tZZS	ZZ スタンドバイ時間		2*tKHKH		2*tKHKH	ns
tZZREC	ZZ リカバリ時間		2*tKHKH		2*tKHKH	ns

注 25. tZZS および tZZREC 以外の項目は、すべて ZZ=LOW 固定で測定した値です。

注 26. テスト条件は、特に指定しない場合は図 1 に示す出力負荷を使用します。

注 27. tKHQX1, tKHQZ, tGLQX1, tGHQZ は、全数測定されたものでなくサンプル値です。

注 28. LBO# は一定とし、通常動作の期間中は変えてはいけません。

The diagram illustrates the timing relationships between various signals during memory operations. The signals shown are CLK, CKE#, E#, ADV, W#, BWx#, ADD, DQ, and G#.

Timing parameters defined include:

- t_{KHKL} , t_{KHKLH} , t_{KHKLH} (related to CLK)
- t_{CKeVKH} , t_{CKeKex} (related to CKE#)
- t_{EVKH} , t_{KHEx} (related to E#)
- t_{advVKH} , t_{KHadvX} (related to ADV)
- t_{wVKH} , t_{KHwX} (related to W#)
- t_{tAVKH} , t_{KHAX} (related to ADD)
- t_{KHQX1} , t_{KHQV} , t_{KHQX} (related to DQ)
- t_{GLQV} , t_{GLQX1} (related to G#)
- t_{GHQZ} (related to DQ)
- t_{KHQZ} (related to DQ)

The sequence of operations shown at the bottom is:

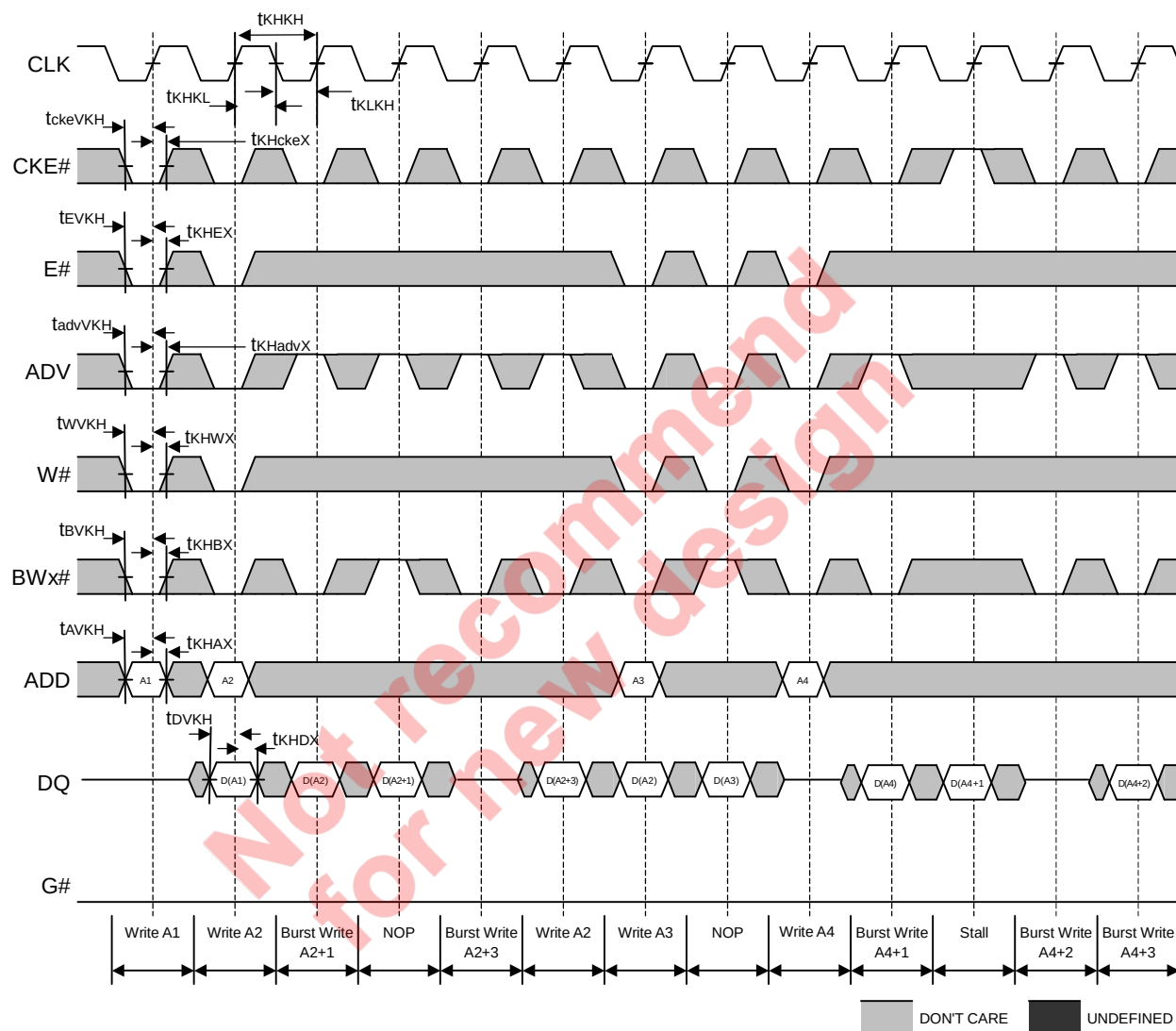
- Read A1
- Read A2
- Burst Read A2+1
- Stall
- Burst Read A2+2
- Burst Read A2+3
- Burst Read A2
- Deselect
- Continue Deselect
- Read A3
- Burst Read A3+1
- Burst Read A3+2
- Burst Read A3+3

Legend:

- Gray box: DONT CARE
- Black box: UNDEFINED

注 31. ZZ は LOW 固定です。

(4)ライトタイミング図

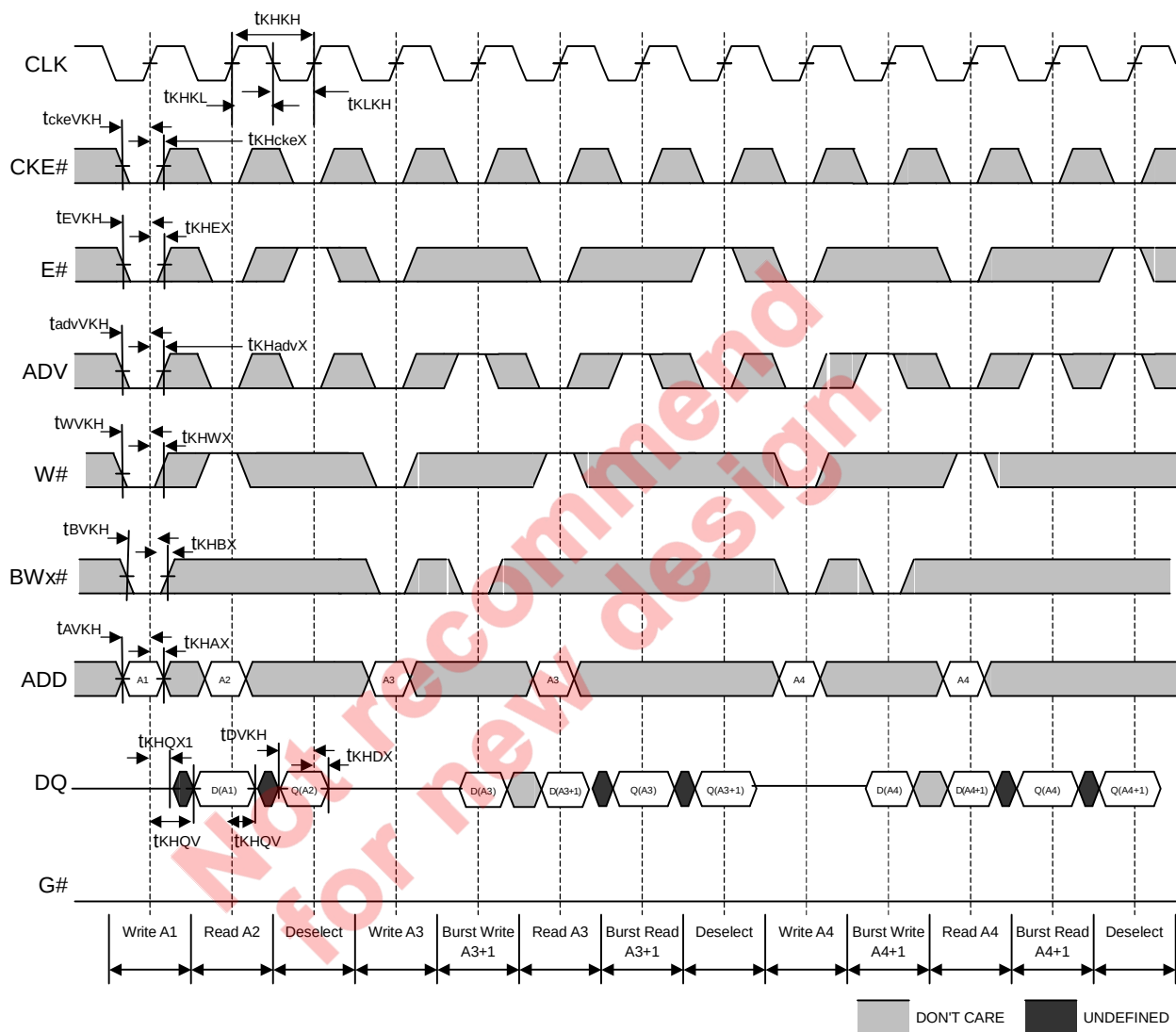


注 30. アドレス An に対応するデータ出力が $Q(An)$ です。データ出力 $Q(An+1)$ はバーストアドレス An 次のデータになります。

注 31. E# =LOW とは、E1# =LOW、E2=HIGH、E3#=LOW、3 つの信号状態を示します。

注 32. ZZ は LOW 固定です。

(5)リード・ライトタイミング

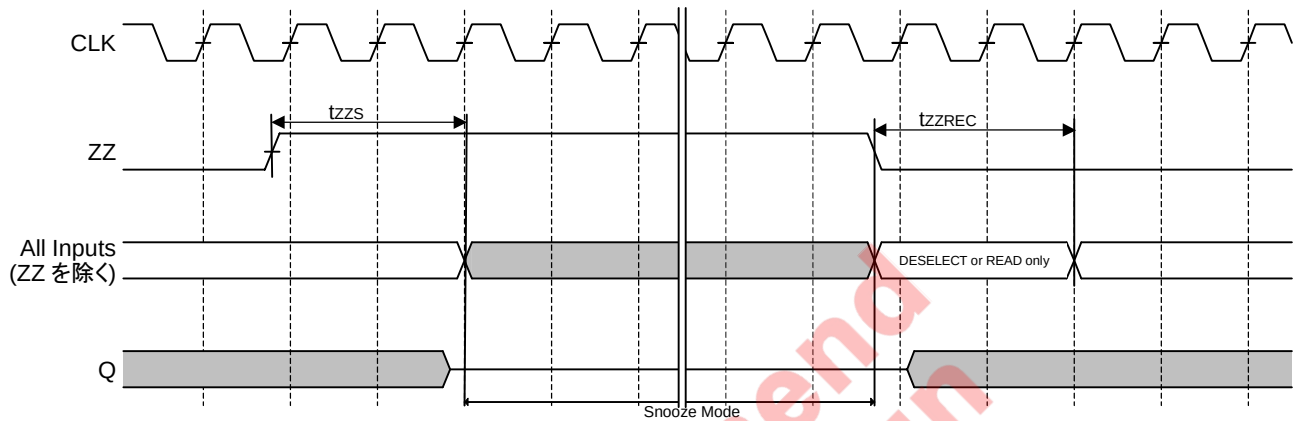


注 35. アドレス An に対応するデータ出力が $Q(An)$ です。データ出力 $Q(An+1)$ はバーストアドレス An 次のデータになります。

注 36. E# =LOW とは、E1# =LOW、E2=HIGH、E3#=LOW、3つの信号状態を示します。

注 37. ZZ は LOW 固定です。

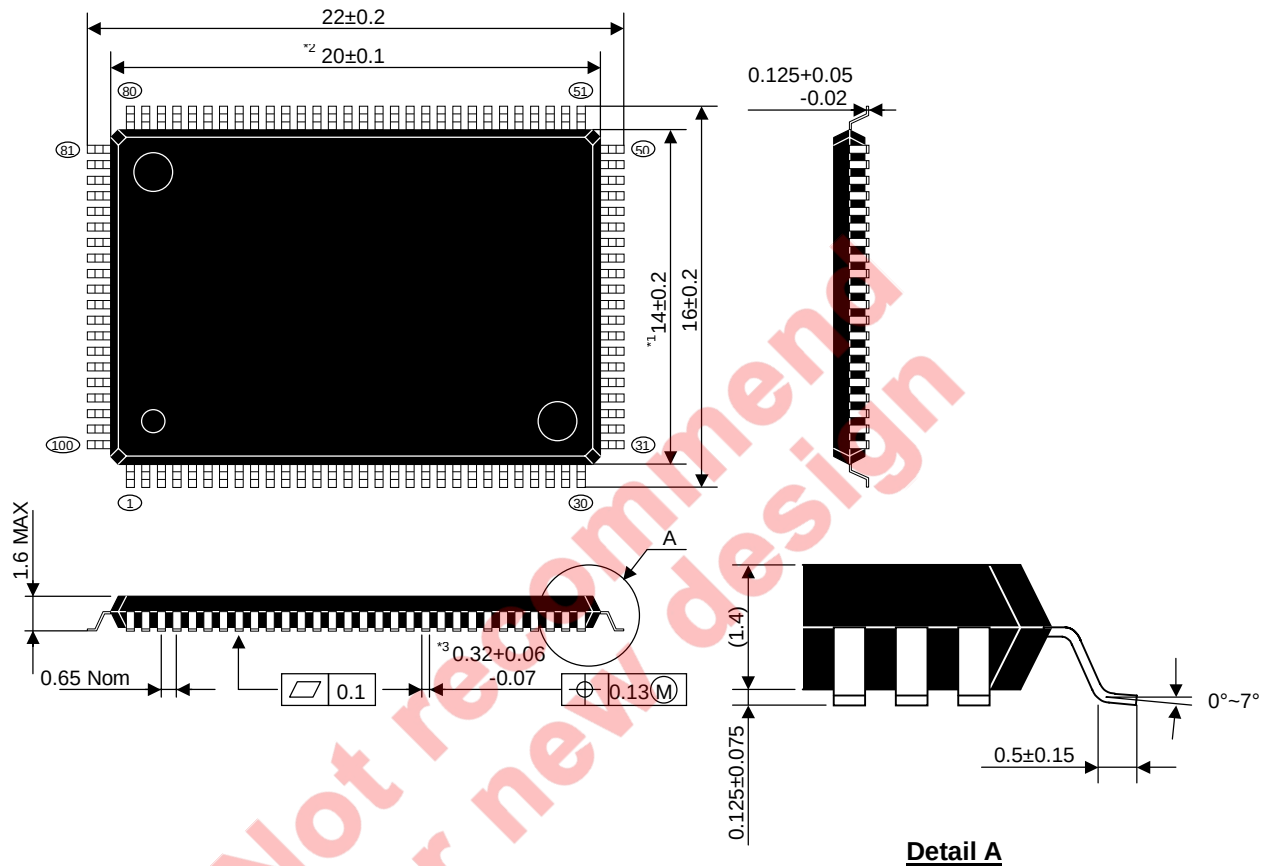
(6)スヌーズモードタイミング



Not recommended
for new design

パッケージの外形

プラスチック 100pin 14x20 mm



- 注 38. *1 および *2 は、樹脂のバリを含まず。
 注 39. *3 は、突起部分(切りくず)などを含まず。
 注 40. 単位 mm

ルネサス集積回路<LSI>

M5M5V5A36GP –75,85

18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

改定記録

Rev.No.	History	Date	
1.0	初版	2003 年 8 月 1 日	Preliminary

Not recommend
for new design

ルネサス集積回路<LSI>

M5M5V5A36GP -75,85

18874368-BIT(524288-WORD BY 36-BIT) Flow-Through NETWORK SRAM

Not recommend
for new design

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全確保に関するお願い	・ 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。
本資料ご利用に際しての留意事項	・ 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。 ・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。 ・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (http://www.renesas.com) などを通じて公開される情報に常にご注意ください。 ・ 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。 ・ 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。 ・ 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。 ・ 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。 ・ 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。