

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

Preliminary

注: これは最終的な規格ではありません。
後日規格等を変更する場合があります。

概要

M5M5T5672TG は、262,144 語 × 72 ビット構成の 18M ビット同期式スタティック RAM です。M5M5T5672TG は、2.5V 単一電源で動作し、入出力は 2.5 VCMOS インターフェイスと接続可能です。本メモリはリードからライトへのサイクルもしくはライトからリードへのサイクル遷移に生じるデットバスサイクルを省くことができるので、高いデータ転送レートが可能です。

特徴

- 256K ワード、X72 ビット構成
- 100%バスサイクル活用(Pipelined Read & Double Late Write 時)
- 入出力にレジスタ内臓(パイプライン動作)
- 高速動作周波数: 200 MHz
- 高速アクセスタイム: 3.2 ns
- 2.5V 単一電源
- バイトライトイネーブル制御(BWa# - BWd#)
- リード・ライト制御(W#)
- イネーブルクロック制御(CKE#)
- 出カイネーブル制御(G#)
- パワーダウン機能:スヌーズモード(ZZ)
- バーストアドレスカウンタ内蔵(Linear/Interleaved Burst)
- 3 入力チップイネーブル
- JTAG バウンダリスキャン

パッケージ

209(11x19) bump BGA
チップサイズ (14mm x 12mm)
ボールピッチ 1.0mm

製品型名リスト

型名	アクセスタイム	サイクルタイム	動作電流(max.)	スタンバイ電流(max.)
M5M5T5672TG - 20	3.2ns	5.0ns	450mA	30mA

用途

高性能ネットワーク機器のバッファメモリ(ルーター、スイッチ)。

機能

クロックの立ち上がりに対応して内部回路への取り込みを行う、同期式スタティック RAM です。

全アドレス、データ、チップイネーブル(E1#,E2,E3)、アドレスアドバンス(ADV)、クロックイネーブル(CKE#)、バイトライト制御(BWa#, BWb#, BWc#, BWd#)、およびライトイネーブル(W#)の各信号端子は、同期式です。書込みは、4 つのバイトライト(Bwa#~BWd#)およびライトイネーブル(W#)によって制御されます。

出カイネーブル(G#)、クロック(CLK)、スヌーズイネーブルは非同期式入力です。ZZ ピンを“HIGH”にするとパワーダウン状態となります。

リニアバースト選択(LBO#)は DC 制御信号端子です。LBO#によりインターリードとリニアのバーストシーケンスの選択ができます。

アドレスアドバンス入力(ADV)を“LOW”にすると、CLK の立ち上がりでアドレスとコントロール入力の取り込みを行います。また、ADV を“HIGH”にするとカウンタが動作し、内部バーストアドレスを前進させます。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

ピン配置図(上面図))

209 bump BGA

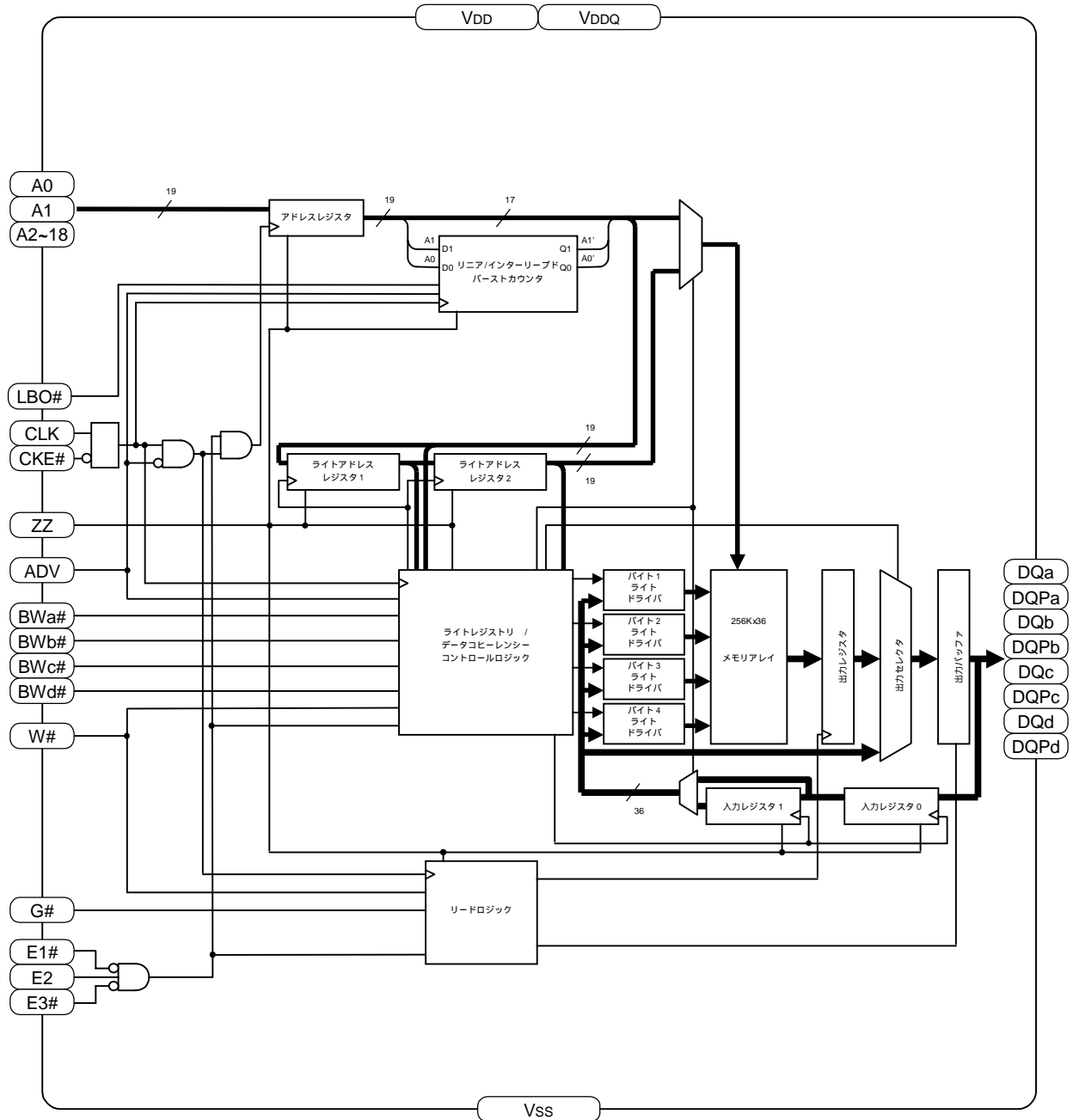
	1	2	3	4	5	6	7	8	9	10	11
A	DQg	DQg	A6	E2	A7	ADV	A8	E3#	A9	DQb	DQb
B	DQg	DQg	BWc#	BWg#	NC	W#	A17	BWb#	BWf#	DQb	DQb
C	DQg	DQg	BWh#	BWd#	NC	E1#	NC	BWe#	BWa#	DQb	DQb
D	DQg	DQg	Vss	NC	NC	G#	NC	NC	Vss	DQb	DQb
E	DQPg	DQPc	VDDQ	VDDQ	VDD	VDD	VDD	VDDQ	VDDQ	DQPf	DQPb
F	DQc	DQc	Vss	Vss	Vss	NC	Vss	Vss	Vss	DQf	DQf
G	DQc	DQc	VDDQ	VDDQ	VDD	NC	VDD	VDDQ	VDDQ	DQf	DQf
H	DQc	DQc	Vss	Vss	Vss	NC	Vss	Vss	Vss	DQf	DQf
J	DQc	DQc	VDDQ	VDDQ	VDD	MCH	VDD	VDDQ	VDDQ	DQf	DQf
K	NC	NC	CLK	NC	Vss	CKE#	Vss	NC	NC	NC	NC
L	DQh	DQh	VDDQ	VDDQ	VDD	MCH	VDD	VDDQ	VDDQ	DQa	DQa
M	DQh	DQh	Vss	Vss	Vss	MCH	Vss	Vss	Vss	DQa	DQa
N	DQh	DQh	VDDQ	VDDQ	VDD	NC	VDD	VDDQ	VDDQ	DQa	DQa
P	DQh	DQh	Vss	Vss	Vss	ZZ	Vss	Vss	Vss	DQa	DQa
R	DQPd	DQPd	VDDQ	VDDQ	VDD	VDD	VDD	VDDQ	VDDQ	DQPa	DQPe
T	DQd	DQd	Vss	NC	NC	LBO#	NC	NC	Vss	DQe	DQe
U	DQd	DQd	NC	A3	NC	A15	NC	A11	NC	DQe	DQe
V	DQd	DQd	A5	A4	A16	A1	A13	A12	A10	DQe	DQe
W	DQd	DQd	TMS	TDI	A2	A0	A14	TDO	TCK	DQe	DQe

注 1. MCH(Must Connect High)ピンは“HIGH”に接続してください。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

BLOCK DIAGRAM



注 2. 本ブロック図にバウンダリスキャンロジックは示しておりませんので、バウンダリスキャンの項目を参照ください。
 注 3. 本ブロック図は単純なデバイス制御のみを図示しております。詳細な情報は真理値表、ピン動作、タイミング図をご覧ください。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

端子機能説明

ピン	名前	機能
A0~A18	シンクロナス アドレス入力	CLK の立ち上がりエッジで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。A0 と A1 はアドレスの最小ビット(LSB)で、バースト時には内部バーストカウンタをセットします。
BWa#, BWb#, BWc#, BWd#, BWe#, BWf#, BWg#, BWH#	シンクロナス バイトライト イネーブル入力	CLK の立ち上がりエッジで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。これらを LOW アクティブにすることにより、ライトサイクル時に個々のバイトに書き込むことができます。BWA#は Dqa と DQP _a 、BWb#は DQb と DQP _b 、BWc#は DQc と DQP _c 、Bwd#は DQd と DQP _d 、Bwe#は Dqe と DQP _e 、Bwf#は DQf と DQP _f 、BWg#は DQg と QPg、Bwh#は DQh と DQP _h を制御します。
CLK	クロック入力	全ての同期式信号は、この CLK 信号の立ち上がりエッジで取り込まれます。
E1#	シンクロナス チップイネーブル 入力	アクティブ LOW 入力です。新しい外部アドレスがロードされる (ADV が LOW) 時のみ取り込まれます。
E2	シンクロナス チップイネーブル 入力	アクティブ HIGH 入力です。新しい外部アドレスがロードされる (ADV が LOW) 時のみ取り込まれます。
E3#	シンクロナス チップイネーブル 入力	アクティブ LOW 入力です。新しい外部アドレスがロードされる (ADV が LOW) 時のみ取り込まれます。
CKE#	シンクロナス クロックイネーブル 入力	CLK の立ち上がりエッジで取り込まれます。この信号が HIGH のとき CLK 入力は無視され、前の CLK サイクルの状態を維持します。
G#	アウトプットイネー ブル	アクティブ LOW の非同期式入力です。G#=HIGH の時は、出力がハイインピーダンス状態になります。
ADV	シンクロナス アドレスアドバンス /ロード入力	この入力が HIGH の時は、内部バーストカウンタを進め、外部アドレスがロードされた後のバーストアクセスをコントロールします。HIGH のときは、W#は無視されます。LOW の時はクロック立ち上がりエッジで新しいアドレスをロードします。
ZZ	スヌーズ イネーブル入力	アクティブ HIGH の非同期式入力です。低スタンバイ状態となり、メモリ内のデータは保持されます。ZZ=LOW または NC で、時通常動作となります。
W#	シンクロナス リード/ライト入力	このアクティブ入力は ADV が LOW の時サイクルタイプを決めます。これはリードかライトを決める唯一の手段です。新しいアドレスをロードする時以外は、リードからライト(またはその逆)に切り替えることはできません。ピンを LOW にすることでバイトライト制御を可能にします。CLK の立ち上がりエッジにセットアップ及びホールドタイムを合わせる必要があります。全てのバイトライトイネーブルが LOW であれば、全バスの書き込みを行います。
DQa,DQP _a ,DQb,DQP _b , DQc,DQP _c ,DQd,DQP _d , DQe,DQP _e ,DQf,DQP _f , DQg,DQP _g ,DQh,DQP _h	シンクロナス データ I/O	入力データは CLK の立ち上がりで取り込まれますが、セットアップ及びホールドタイムを合わせる必要があります。出力データは CLK に同期して出力されます。
LBO#	バーストモード コントロール入力	DC レベルの入力です。LBO#=HIGH または NC の時、インターリーブバースト動作となります。LBO#=LOW の時リアバースト動作となります。
VDD	電源	電源電圧
VSS	グラウンド	グラウンド
VDDQ	I/O 電源	I/O バッファ用電源
TDI	テストデータ入力	これらのピンはバウンダリスキャンテストに使用されます。
TDO	テストデータ出力	
TCK	テストクロック入力	
TMS	テストモードセレクト 入力	
NC	無接続	これらのピンは内部に接続されていないので、グラウンドに接続してもかまいません。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

DC レベル動作端子の真理値表

ピン名	入力状態	動作
LBO#	HIGH または NC	インターリーブドバースト
	LOW	リニアバースト

注 4. LBO#は DC レベル入力端子です。

注 5. NC は無接続です。

注 6. インターリーブドバーストとリニアバーストについてはバーストシーケンス真理値表を参照してください。

バーストシーケンス表

インターリーブドバーストシーケンス (LBO# = HIGH または NC)

Operation	A17~A2	A1,A0			
第 1 アクセス(ラッチ外部アドレス)	A17~A2	0, 0	0, 1	1, 0	1, 1
第 2 アクセス(第1バーストアドレス)	latched A17~A2	0, 1	0, 0	1, 1	1, 0
第 3 アクセス(第2バーストアドレス)	latched A17~A2	1, 0	1, 1	0, 0	0, 1
第 4 アクセス(第3バーストアドレス)	latched A17~A2	1, 1	1, 0	0, 1	0, 0

リニアバーストシーケンス (LBO# = LOW)

動作	A17~A2	A1,A0			
第 1 アクセス(ラッチ外部アドレス)	A17~A2	0, 0	0, 1	1, 0	1, 1
第 2 アクセス(第1バーストアドレス)	latched A17~A2	0, 1	1, 0	1, 1	0, 0
第 3 アクセス(第2バーストアドレス)	latched A17~A2	1, 0	1, 1	0, 0	0, 1
第 4 アクセス(第3バーストアドレス)	latched A17~A2	1, 1	0, 0	0, 1	1, 0

注 7. バーストシーケンスは完了すれば初期状態に戻ります。

真理値表

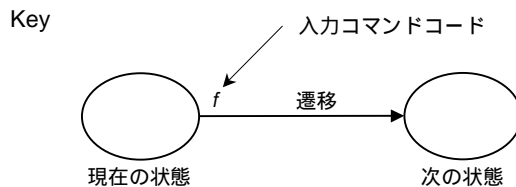
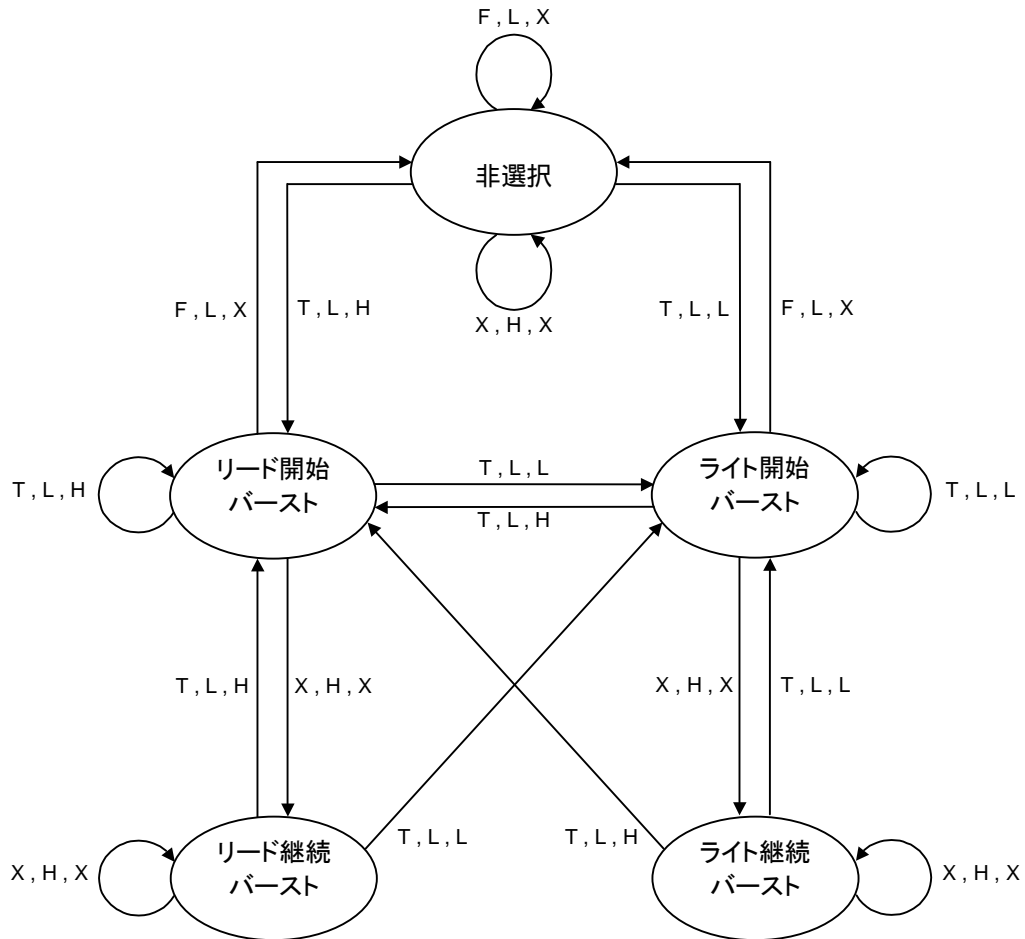
E1#	E2	E3#	ZZ	ADV	W#	BWx#	G#	CKE#	CLK	DQ	アドレス	動作
H	X	X	L	L	X	X	X	L	L->H	High-Z	None	非選択サイクル
X	L	X	L	L	X	X	X	L	L->H	High-Z	None	非選択サイクル
X	X	H	L	L	X	X	X	L	L->H	High-Z	None	非選択サイクル
X	X	X	L	H	X	X	X	L	L->H	High-Z	None	非選択サイクル継続
L	H	L	L	L	H	X	L	L	L->H	Q	External	リードサイクル、バースト開始
X	X	X	L	H	X	X	L	L	L->H	Q	Next	リードサイクル、バースト継続
L	H	L	L	L	H	X	H	L	L->H	High-Z	External	NOP/ダミーリード、バースト開始
X	X	X	L	H	X	X	H	L	L->H	High-Z	Next	ダミーリード、バースト継続
L	H	L	L	L	L	L	X	L	L->H	D	External	ライトサイクル、バースト開始
X	X	X	L	H	X	L	X	L	L->H	D	Next	ライトサイクル、バースト継続
L	H	L	L	L	L	H	X	L	L->H	High-Z	None	NOP/ライト禁止、バースト開始
X	X	X	L	H	X	H	X	L	L->H	High-Z	Next	ライト禁止、バースト継続
X	X	X	L	X	X	X	X	H	L->H	-	Current	クロックエッジ無視、停止
X	X	X	H	X	X	X	X	X	X	High-Z	None	スヌーズモード

注 8. “H” = VIH、“L” = VIL、“X” = VIH または VIL をそれぞれ示しています。

注 9. BWx#=H は全シンクロナスバイトライトイネーブル入力(BWa#,BWb#,BWc#,BWd#)が“HIGH”であることを意味し、BWx#=L はシンクロナスバイトライトイネーブル入力のいずれかもしくは 2 つ以上の入力が“LOW”であることを意味します。

注 10. G#、ZZ を除いた全入力信号は CLK の立ち上がりエッジ(LOW から HIGH)でセットアップおよびホールド時間を満足しなければなりません。

状態遷移図



注 11. E、ADV、W#の値を“X, X, X”で示しています。

注 12. E1# = L かつ E2 = H かつ E3# = L の時は E="T"、それ以外の場合は E="F"。

注 13. "H" = VIH、"L" = VIL、"X" = VIH または VIL、"T" = "true"、"F" = "false"をそれぞれ示しています。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

ライト真理値表

W#	BWa#	BWb#	BWc#	BWd#	BWe#	BWf#	BWg#	BWh#	Function
H	X	X	X	X	X	X	X	X	リード
L	L	H	H	H	H	H	H	H	ライト バイト “a”
L	H	L	H	H	H	H	H	H	ライト バイト “b”
L	H	H	L	H	H	H	H	H	ライト バイト “c”
L	H	H	H	L	H	H	H	H	ライト バイト “d”
L	H	H	H	H	L	H	H	H	ライト バイト “e”
L	H	H	H	H	H	L	H	H	ライト バイト “f”
L	H	H	H	H	H	H	L	H	ライト バイト “g”
L	H	H	H	H	H	H	H	L	ライト バイト “h”
L	L	L	L	L	L	L	L	L	ライト 全バイト
L	H	H	H	H	H	H	H	H	ライト禁止 / ノーオペレーション

注 14. “H” = VIH、“L” = VIL、“X” = VIH または VIL をそれぞれ示しています。

注 15. 全入力信号は、CLK の立ち上がりエッジ (LOW から HIGH) でセットアップおよびホールド時間を満足しなければなりません。

絶対最大定格

記号	項目	条件	定格値	Unit
VDD	電源電圧	Vss 端子を基準とした場合	-1.0*~3.6	V
VDDQ	I/O バッファ電源電圧		-1.0*~3.6	V
Vi	入力電圧		-1.0~VDDQ+1.0**	V
Vo	出力電圧		-1.0~VDDQ+1.0**	V
PD	最大消費電力 (VDD)		1050	mW
TOPR	動作周囲温度		0~70	°C
TSTG(bias)	保存温度(bias)		-10~85	°C
TSTG	保存温度		-55~125	°C

注 16. * パルス幅≤2ns のときは-1.0V です。DC のときは -0.5V です。

** パルス幅≤2ns のときは-1.0V~VDDQ +1.0V です。DC のときは -0.5V~VDDQ +0.5V です。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

DC 電気特性(指定の無い場合は Ta=0~70°C, VDD=2.375~2.625V)

記号	項目	条件	規格値		単位
			最小	最大	
VDD	電源電圧		2.375	2.625	V
VDDQ	I/O バッファ電源電圧		2.375	2.625	V
VIH	HIGH レベル入力電圧		1.7	VDDQ+0.3*	V
VIL	LOW レベル入力電圧		-0.3*	0.7	V
VOH	HIGH レベル出力電圧	IOH = -2.0mA	VDDQ-0.4		V
VOL	LOW レベル出力電圧	IOL = 2.0mA		0.4	V
ILI	入力リーク電流 (ZZ、LBO#ピンを除く)	VI = 0V ~ VDDQ		10	μA
	入力リーク電流 (LBO#ピン)	VI = 0V ~ VDDQ		100	
	入力リーク電流 (ZZピン)	VI = 0V ~ VDDQ		100	
ILO	出力リーク電流	VI/O = 0V ~ VDDQ		10	μA
ICC1	電源電流: 動作時	デバイス選択; 出力端子開放, VI ≤ VIL または VI ≥ VIH, ZZ ≤ VIL		450	mA
ICC2	電源電流 :チップ非選択	デバイス非選択 VI ≤ VIL または VI ≥ VIH, ZZ ≤ VIL		180	mA
ICC3	CMOS スタンドバイ電流 (CLK 停止時スタンバイモード)	デバイス非選択;出力端子開放;入力レベル固定 VI ≤ VSS+0.2V または VI ≥ VDDQ-0.2V CLK 周波数=0Hz		30	mA
ICC4	スヌーズモードスタンバイ電流	スヌーズモード ZZ ≥ VDDQ-0.2V, LBO# ≥ VDD-0.2V		30	mA
ICC5	スタンバイ電流(CKE#モード)	デバイス非選択; 出力端子開放, CKE# ≥ VIH VI ≤ VSS+0.2V または VI ≥ VDDQ-0.2V		140	mA

注 17. *パルス幅 ≤ 2ns の場合は VIL 最小は -1.0V、VIH 最大は VDDQ+1.0V。

注 18. "デバイス非選択"は真理値表のパワーダウンモードを示しています。

容量

記号	項目	条件	規格値			単位
			最小	標準	Max	
CI	入力容量	VI=GND, VI=25mVrms, f=1MHz			6	pF
CO	入出力(DQ)容量	Vo=GND, Vo=25mVrms, f=1MHz			8	pF

注 19. 最大値は、サンプリング値です。

熱抵抗

4層基板(70x70x1.6mmT)実装時

記号	項目	条件	規格値			単位
			最小	標準	最小	
θJA	ジャンクション—空気間の熱抵抗	風速=0m/sec		26		°C/W
		風速=2m/sec		18		°C/W
θJC	ジャンクション—パッケージ間の熱抵抗			6		°C/W

AC 特性 (指定の無い場合は、 $T_a=0\sim 70^{\circ}\text{C}$, $V_{DD}=V_{DDQ}=2.375\sim 2.625\text{V}$)

(1) 測定条件

- 入力パルスレベル $V_{IH}=V_{DDQ}$, $V_{IL}=0\text{V}$
- 入力パルス上昇、下降時間 1V/ns 以上
- 入力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
- 出力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
- 出力負荷 図.1

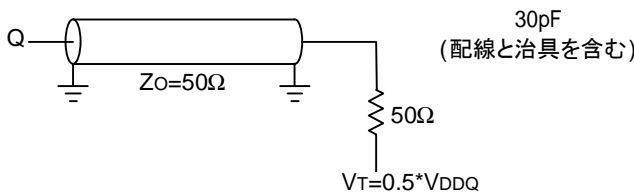


図.1 出力負荷

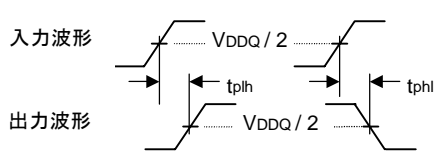


図.2 Tdly 測定

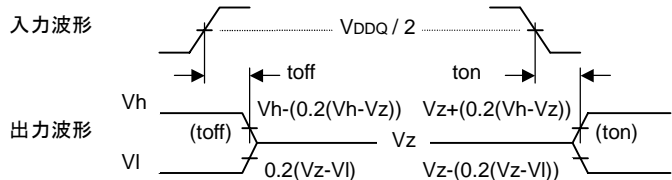


図.3 トライステート測定

- 注 20. 有効遅延時間の測定は、入力波形の $V_{DDQ}/2$ から出力波形の $V_{DDQ}/2$ までの値です。入力波形は、 1V/ns 以上のスルーレイトにしてください
- 注 21. トライステートの t_{off} 測定は、入力波形の $V_{DDQ}/2$ から、出力波形が初期値から最終値($V_{DDQ}/2$)までの 20%が変化したときの値です。
注: 初期値は DC 電気特性で指定されるような V_{OL} あるいは V_{OH} ではありません。
- 注 22. トライステートの t_{on} 測定は、入力波形の $V_{DDQ}/2$ から、出力波形が初期値($V_{DDQ}/2$)から最終値までの 20%が変化したときの値です。
注: 最終値は DC 電気特性で指定されるような V_{OL} あるいは V_{OH} ではありません。
- 注 23. クロック、データ、アドレス、コントロール信号は 1V/ns 以上の最小スルーレイトでテストされます。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

(2) タイミング特性

記号	項目	規格値		単位
		200MHz		
		-20		
		最小	最大	
クロック				
tKHKH	クロックサイクル時間	5.0		ns
tKHKL	クロック HIGH 時間	2.0		ns
tCLKH	クロック LOW 時間	2.0		ns
出力時間				
tKHQV	クロック HIGH から出力確定時間		3.2	ns
tKHQX	クロック HIGH から出力不定時間	1.5		ns
tKHQX1	クロック HIGH から出力 Low-Z 時間	1.5		ns
tKHQZ	クロック HIGH から出力 High-Z 時間	1.5	3.2	ns
tGLQV	G# から出力確定時間		3.2	ns
tGLQX1	G# から出力 Low-Z 時間	0.0		ns
tGHQZ	G# から出力 High-Z 時間		3.2	ns
セットアップ時間				
tAVKH	アドレス確定からクロック HIGH 時間	1.0		ns
tckeVKH	CKE# 確定からクロック HIGH 時間	1.0		ns
tadvVKH	ADV 確定からクロック HIGH 時間	1.0		ns
tWVKH	Write 確定からクロック HIGH	1.0		ns
tBVKH	Byte Write 確定からクロック HIGH 時間 (BWa#~BWd#)	1.0		ns
tEVKH	Enable 確定からクロック HIGH 時間(E1#,E2,E3#)	1.0		ns
tDVKH	データ入力確定からクロック HIGH 時間	1.0		ns
ホールド時間				
tKHAX	クロック HIGH からアドレス不定時間	0.8		ns
tKHckeX	クロック HIGH から CKE#不定時間	0.8		ns
tKHadvX	クロック HIGH から ADV 不定時間	0.8		ns
tKHwX	クロック HIGH から Write 不定時間	0.8		ns
tKHBX	クロック HIGH から Byte Write 不定時間 (BWa#~BWb#)	0.8		ns
tKHEx	クロック HIGH から Enable 不定時間(E1#,E2,E3#)	0.8		ns
tKHdX	クロック HIGH からデータ入力不定時間	0.8		ns
ZZ				
tZZS	ZZ スタンドバイ時間		2*tKHKH	ns
tZZREC	ZZ リカバリ時間		2*tKHKH	ns

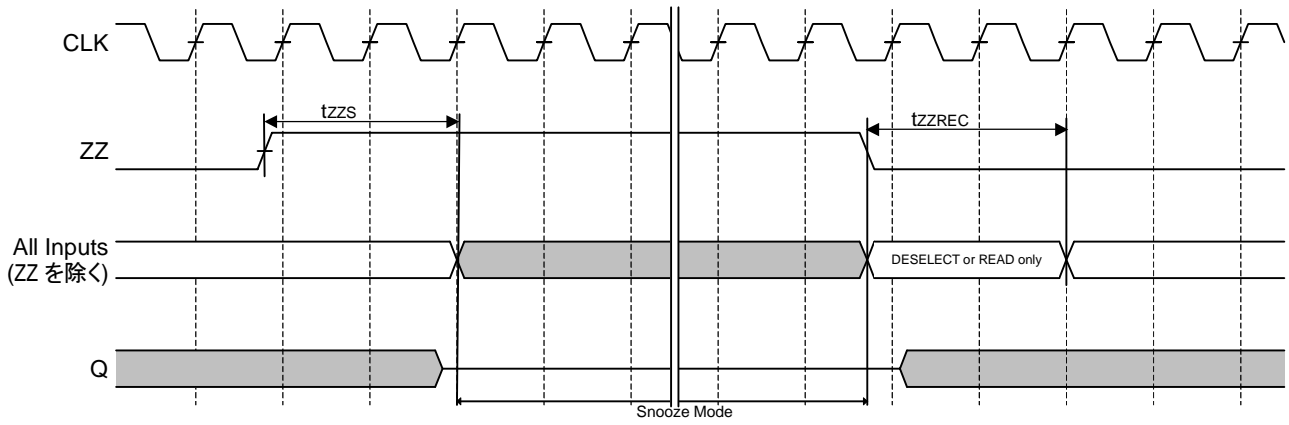
注 24. tZZS および tZZREC 以外の項目は、すべて ZZ=LOW 固定で測定した値です。

注 25. テスト条件は、特に指定しない場合は図 1 に示す出力負荷を使用します。

注 26. tKHQX1, tKHQZ, tGLQX1, tGHQZ は、全数測定されたものでなくサンプル値です。

注 27. LBO# は一定とし、通常動作の期間中は変えてはいけません。

(6) スヌーズモードタイミング



ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

JTAG ポート動作

概要

本 SRAM は、“IEEE Standard 1149.1-1990”に準拠した JTAG ポート (serial boundary scan interface standard) を搭載していますが、1149.1 に示されているすべての機能を搭載しているわけではありません。最近数年で SRAM ベンダー間で一般的となった JTAG の仕様とは異なり、本仕様ではクロックアシステッド EXTEST として知られる EXTEST の一形態を提供し、これによって EXTEST が無い場合に発生するテストプログラムコンパイルエラーを回避するために必要な“ハンドコーディング”を減らすか、無くすることができます。JTAG ポートのインターフェイスは CMOS ロジックレベルです

JTAG ポートの無効化

この SRAM は JTAG ポートを使用しなくても動作可能です。ポートはパワーアップ時にリセットされ、クロックが入らない限り非活性状態となります。JTAG ポートを使用しない場合、TCK、TDI、TMS ピンはフローティングもしくは HIGH 接続とすることで正常動作を保証します。また TDO ピンは未接続としてください。

JTAG ピン説明

ピン	名前	記述
TCK	テストクロック	全 TAP 動作のためのクロック入力です。TCK の立ち上がりエッジで全入力を取り込み、TCK の立ち下りエッジで TDO(Test Data Out)に出力を行います。
TMS	テストモード選択	TCK の立ち上がりエッジで取り込まれます。これは、TAP コントローラステートマシンに対するコマンド入力です。TMS を駆動しない場合、“H”レベル入力と同じになります。
TDI	テストデータ入力	TCK の立ち上がりエッジで取り込まれます。TDI は TDI ピンと TDO ピンの間に配置されたシリアルレジスタの入力側です。TDI と TDO の間に配置されるレジスタは、TAP コントローラステートマシンの状態と、TAP インストラクションレジスタに現在ロードされている命令により決定されます。(TAP コントローラ状態遷移図を参照ください)。
TDO	テストデータ出力	TDO 出力は、TAP コントローラにステートマシンの状態により有効になります。TCK の立ち下りエッジにより、出力が変化します。TDO は TDI ピンと TDO ピンの間に配置されたシリアルレジスタの出力側です。

注意:本 SRAM では IEEE1149.1 にてオプションとなっている、TRST ピンはありません。Test-Logic-Reset 状態にするには、TCK の立ち上がり 5 回サイクルの間、TMS を High の状態に固定することで実行されます。また、TAP コントローラはパワーアップ時に自動的にリセットされません。

JTAG ポートレジスタ

概要

テストアクセスポートまたは TAP レジスタと言われる様々な JTAG レジスタは、TCK の立ち上がりエッジに対して TMS に与えられる、1 と 0 の順序によって決定されます。各々の TAP レジスタはシリアルシフトレジスタであって、TCK の立ち上がりエッジによりシリアル入力データを取り込み、TCK の立ち下りエッジでシリアルデータを出力します。レジスタが選択された場合、レジスタは TDI ピンと TDO ピンの間に配置されます。

インストラクションレジスタ

インストラクションレジスタは、TAP コントローラが Run-Test/Idle や色々なレジスタ状態になった時、TAP コントローラにより実行される命令を保持しています。インストラクションレジスタは 3 ビット構成となっており、TDI と TDO ピンの間に配置された時にロードされます。インストラクションレジスタはパワーアップ時もしくは TAP コントローラが Test-Logic-Reset 状態となったとき、IDCODE 命令を自動的にプリロードします。

ルネサス集積回路<LSI> M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

バイパスレジスタ

バイパスレジスタは TDI ピンと TDO ピンの間に配置することのできるシングルビットレジスタです。このバイパスレジスタは、シリアルテストデータを SRAM の JTAG ポートを通じて、スキャンチェーン中の別のデバイスへ、可能な限り小さい遅延で送ることができます。

バウンダリスキャンレジスタ

バウンダリスキャンレジスタは SRAM の入力または I/O ピンのロジックレベルによりプリセットすることができるフリップフロップの集合体です。フリップフロップはデジチェーンとなっており、JTAG ポートの TDO ピンからシリアルにシフトアウトしていくことができます。また、バウンダリスキャンレジスタは幾つかのホルダーフリップフロップ(常に論理 1 にセットされている)を含んでいます。バウンダリスキャンレジスタのビットとデバイスピンとの関係はスキャンオーダー表に示しています。TAP コントローラによって制御されるバウンダリスキャンレジスタは、TAP コントローラが Capture-DR 状態で SRAM の I/O リングの内容を読み出し、その後 TAP コントローラが Shift-DR 状態になる時に、TDI と TDO の間に配置されます。バウンダリスキャンレジスタを有効にするには、SAMPLE-Z、SAMPLE/PRELOAD や EXTEST 命令が使われます。

ID レジスタ

ID レジスタは、IDCODE 命令がインストラクションレジスタへロードされている状態で、コントローラが Capture-DR の状態になると、デバイスや製造メーカー特有の 32 ビットのコードがロードされる 32 ビットのレジスタです。このコードは 32 ビットのオンチップ ROM からロードされ、SRAM の様々な特性を示しています。このレジスタはコントローラが Shift-DR 状態になったとき、TDI ピンと TDO ピンの間に配置されます。レジスタのビット 0 が LSB であり、シフトが始まると最初に TDO から出力されます。

TAP コントローラ命令

概要

Standard 1149.1-1190 には、標準命令とデバイス独自の命令の 2 種類が定義されています。1149.1 ではいくつかの標準命令を義務づけています。また、オプション標準命令は規定された方法で実現されなければなりません。本デバイスの TAP コントローラは 1149.1 の規定に従っていますが、義務命令の一つである EXTEST が独自に実現されているため、1149.1 に完全には従ってはいません。本デバイスの TAP は全入力および I/O パッドをモニターするために使用されます。本デバイスは、INTEST は実行できませんが、SAMPLE/PRELOAD コマンドのプリロードを実行することが可能です。TAP コントローラが Capture-IR 状態となる場合、インストラクションレジスタの最小 2 ビットには 01 がロードされます。TAP コントローラが Shift-IR 状態となると、インストラクションレジスタが TDI ピンと TDO ピンの間に配置されます。この状態で、要求された命令は TDI 入力を通してシリアルにロードされます(この時、元の内容は TDO 出力からシフトアウトされます)。全ての命令において、TAP コントローラは新しくロードした命令を、コントローラが Update-IR 状態へ遷移したときのみ実行します。本デバイスの TAP 命令集は後記の表に示します。

BYPASS

バイパス命令がインストラクションレジスタにロードされた場合、バイパスレジスタは TDI ピンと TDO ピンの間に配置されます。これは、TAP コントローラが Shift-DR 状態になるときに起こります。これは、ボードレベルのスキャンパスを短くし、スキャンパス中の他のデバイスのテストを手助けします。

SAMPLE/PRELOAD

SAMPLE/PRELOAD は 1149.1 規格にて義務付けられた標準命令です。SAMPLE/PRELOAD 命令がインストラクションレジスタにロードされる時、TAP コントローラが Capture-DR 状態へを遷移することにより、SRAM の入力及び I/O バッファのデータがバウンダリスキャンレジスタへロードされます。いくつかのバウンダリスキャンレジスタ上の位置は入力または I/O ピンと対応しておらず、BDSL ファイル上で決められたデフォルト状態がロードされます。SRAM クロックは TAP クロック(TCK)から独立しているので、入力バッファが推移している間(メタステーブル状態)I/O リングの内容を TAP コントローラが取り込むことが可能です。TAP がメタステーブル入力を取り込むことはデバイスに損害を与えませんが、同じ結果を期待することはできません。SRAM 入力は、TAP 入力データが取り込みに必要なセットアップ(tTS)とホールドタイム(tTH)を合せた十分な時間の間、安定させなければいけません。SRAM クロック入力は、I/O リングの内容をバウンダリスキャンレジスタに取り込む場合を除き、他のいかなる TAP オペレーションに対しても休止する必要はありません。コントローラが Shift-DR 状態に遷移すると、バウンダリスキャンレジスタは TDI ピンと TDO ピンの間に配置されます。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

EXTEST

EXTEST 命令は IEEE1149.1 の必須命令のひとつです。EXTEST 命令は、インストラクションレジスタに全て 0 がロードされるときに実行されることになっています。EXTEST 命令は TAP コントローラに組み込まれていないので、このデバイスは厳密には 1149.1 に準拠してはおりません。インストラクションレジスタに EXTEST 命令がロードされると、デバイスは、あたかも SAMPLE/PRELOAD 命令がロードされたように反応します。EXTEST 命令と SAMPLE/PRELOAD 命令の違いは、EXTEST 命令の場合は、出力がハイインピーダンス状態になる点のみです。

IDCODE

IDCODE 命令は、コントローラが Capture-DR 状態の時 ID レジスタに IDROM の値がロードされ、Shift-DR 状態の時 ID レジスタが TDI ピンと TDO ピンの間に配置されます。IDCODE 命令は、パワーアップ時やコントローラが Test-Logic-Reset 状態になるいかなる時でもロードされるデフォルトの命令です。

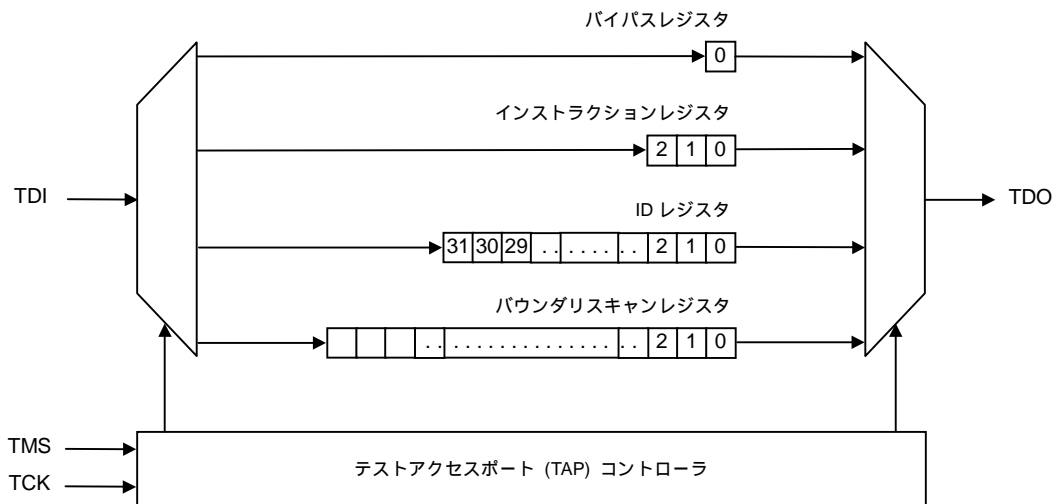
SAMPLE-Z

SAMPLE-Z 命令がインストラクションレジスタにロードされた場合、全ての SRAM 出力は非活性（高インピーダンス状態）となり、TAP コントローラが Shift-DR 状態に遷移した時、バウンダリスキャンレジスタは TDI ピンと TDO ピンの間に配置されます。

RFU

これらの命令は将来使用するために確保されているものです。これらの命令は使用しないでください。

JTAG TAP ブロック図



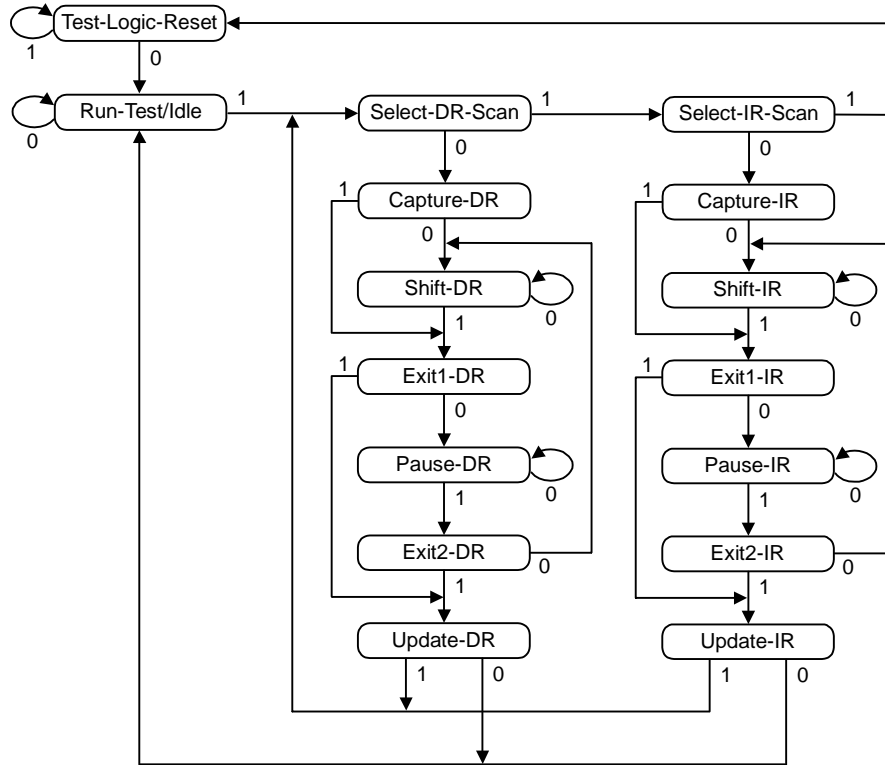
ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

バウンダリスキャンオーダー

ビット	ボール	ピン名	ビット	ボール	ピン名	ビット	ボール	ピン名
0	5V	A16	40	11B	DQb	80	1H	DQc
1	6U	A15	41	11A	DQb	81	2H	DQc
2	8U	A11	42	10C	DQb	82	1J	DQc
3	7V	A13	43	10B	DQb	83	2J	DQc
4	7W	A14	44	10A	DQb	84	6L	MCH
5	8V	A12	45	9A	A9	85	6M	MCH
6	9V	A10	46	7A	A8	86	2L	DQh
7	10W	DQe	47	7B	A17	87	1L	DQh
8	10V	DQe	48	8C	BWe#	88	2M	DQh
9	10U	DQe	49	9C	BWa#	89	1M	DQh
10	11W	DQe	50	9B	BWf#	90	2N	DQh
11	11V	DQe	51	8B	BWb#	91	1N	DQh
12	11U	DQe	52	6A	ADV	92	2P	DQh
13	11T	DQe	53	6D	G#	93	1P	DQh
14	10T	DQe	54	6K	CKE#	94	2R	DQPh
15	11R	DQPe	55	6B	W#	95	1R	DQPd
16	10R	DQPa	56	3K	CLK	96	2T	DQd
17	11P	DQa	57	8A	E3#	97	1T	DQd
18	10P	DQa	58	4B	BWg#	98	1U	DQd
19	11N	DQa	59	3B	BWc#	99	1V	DQd
20	10N	DQa	60	3C	BWh#	100	1W	DQd
21	11M	DQa	61	4C	BWd#	101	2U	DQd
22	10M	DQa	62	4A	E2	102	2V	DQd
23	11L	DQa	63	6C	E1#	103	2W	DQd
24	10L	DQa	64	5A	A7	104	6T	LBO#
25	6P	ZZ	65	3A	A6	105	3V	A5
26	6J	MCH	66	2A	DQg	106	4V	A4
27	10J	DQf	67	2B	DQg	107	4U	A3
28	11J	DQf	68	2C	DQg	108	5W	A2
29	10H	DQf	69	1A	DQg	109	6V	A1
30	11H	DQf	70	1B	DQg	110	6W	A0
31	10G	DQf	71	1C	DQg			
32	11G	DQf	72	1D	DQg			
33	10F	DQf	73	2D	DQg			
34	10E	DQPf	74	1E	DQPg			
35	11F	DQf	75	1F	DQc			
36	11E	DQPb	76	2E	DQPc			
37	10D	DQb	77	2F	DQc			
38	11D	DQb	78	1G	DQc			
39	11C	DQb	79	2G	DQc			

JTAG TAP コントローラ状態遷移図



TAP コントローラ DC 電气的特性(指定の無い場合は、Ta=0~70°C, VDD=2.375~2.625V)

記号	項目	条件	規格値		単位
			最小	最大	
VIHT	テストポート入力 HIGH 電圧		1.7	VDDQ+0.3 **	V
VILT	テストポート入力 LOW 電圧		-0.3 **	0.7	V
VOHT	テストポート出力 HIGH 電圧	IOH=-100μA	VDDQ-0.1	-	V
VOLT	テストポート出力 LOW 電圧	IOL=+100μA	-	0.1	V
IINT	TMS, TCK, TDI 入力リーク電流		-10	10	μA
IOLT	TDO 出力リーク電流	出力非活性, VOUT=0V~VDDQ	-10	10	μA

注 37. ** アンダーシュート/オーバーシュート電圧は-1.0V<Vi<VDDQ+1.0V で、パルス幅は tTCK の 20%を超えてはいけません。

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

TAP コントローラ AC 電気的特性 (指定の無い場合は、 $T_a=0\sim 70^{\circ}\text{C}$, $V_{DD}=2.375\sim 2.625\text{V}$)

(1) 測定条件

- 入力パルスレベル $V_{IH}=V_{DDQ}$, $V_{IL}=0\text{V}$
- 入力パルス上昇、下降時間 1V/ns 以上
- 入力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
- 出力タイミング基準電圧 $V_{IH}=V_{IL}=V_{DDQ}/2$
- 出力負荷 図.4

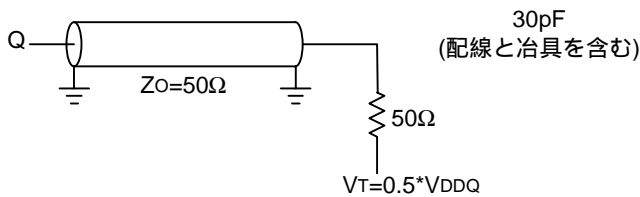
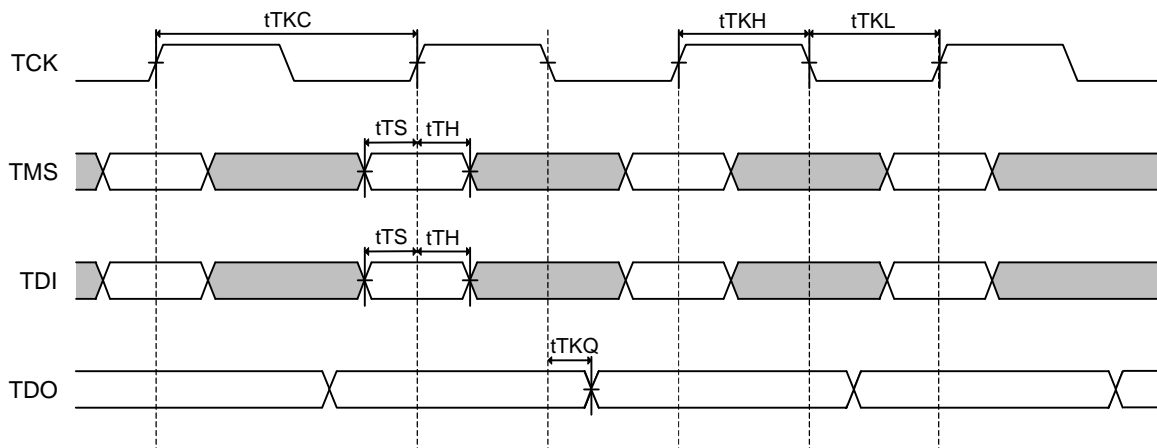


図.4 出力負荷

(2) タイミング特性

記号	項目	規格値		単位
		最小	最大	
tTF	TCK 周波数		20	MHz
tTKC	TCK サイクル時間	50		ns
tTKH	TCK HIGH パルス幅	20		ns
tTKL	TCK LOW パルス幅	20		ns
tTS	TDI, TMS セットアップ時間	10		ns
tTH	TDI, TMS ホールド時間	10		ns
tTKQ	TCK LOW から TDO 出力確定時間		20	ns

(3) タイミング図



ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

JTAG TAP 命令

命令	コード	記述
EXTEST	000	I/O リングの内容を取り込みます。バウンダリスキャンレジスタを TDI ピンと TDO ピンの間に配置します。この EXTEST によって、全ての出力ドライバを高インピーダンスにでき、厳密には 1149.1 に準拠していません。
IDCODE	001	ID レジスタをプリロードし、TDI ピンと TDO ピンの間に配置します。
SAMPLE-Z	010	I/O リングの内容を取り込みます。バウンダリスキャンレジスタを TDI ピンと TDO ピンの間に配置します。全ての出力ドライバを高インピーダンスにします。
RFU	011	この命令は使用しないでください。将来使用するために確保されています。
SAMPLE/PRELOAD	100	I/O リングの内容を取り込みます。バウンダリスキャンレジスタを TDI ピンと TDO ピンの間に配置します。この命令は 1149.1 の PRELOAD 命令に準拠していません。
RFU	101	この命令は使用しないでください。将来使用するために確保されています。
RFU	110	この命令は使用しないでください。将来使用するために確保されています。
BYPASS	111	TDI ピンと TDO ピンの間に BYPASS レジスタを配置します。

ID レジスタの構成

Bit No.	レビジョン				デバイス情報																ルネサスの JEDEC ベンダーコード												
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
M5M5T5672	0	0	0	0	0	1	0	0	1	0	1	0	1	0	0	1	0	1	0	0	0	1	0	0	0	0	1	0	0	0	1	1	1

MSB LSB

パッケージ外形

209(11x19) Bump Ball Grid Array(BGA)、 Pin Pitch 1.00mm

JEDEC 規格 MS-028, Variation BC,

をご参照願います

<http://www.jedec.org/download/search/MO-028C.pdf>

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

改定記録

Rev.No.	History	Date																																					
1.0	<p>2003 年 4 月 1 日を以って株式会社日立製作所および三菱電機株式会社の半導体事業は、株式会社ルネサス テクノロジに承継されました。</p> <p>JEDEC ベンダーコード一覧</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="font-size: small;">Bit No.</th> <th>11</th> <th>10</th> <th>9</th> <th>8</th> <th>7</th> <th>6</th> <th>5</th> <th>4</th> <th>3</th> <th>2</th> <th>1</th> </tr> </thead> <tbody> <tr> <td style="font-size: small;">ルネサス テクノロジ</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td style="font-size: small;">三菱</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> </tr> </tbody> </table>	Bit No.	11	10	9	8	7	6	5	4	3	2	1	ルネサス テクノロジ	0	1	0	0	0	1	0	0	0	1	1	三菱	0	0	0	0	0	0	1	1	1	0	0	2003 年 8 月 1 日	Preliminary
Bit No.	11	10	9	8	7	6	5	4	3	2	1																												
ルネサス テクノロジ	0	1	0	0	0	1	0	0	0	1	1																												
三菱	0	0	0	0	0	0	1	1	1	0	0																												

ルネサス集積回路<LSI>
M5M5T5672TG – 20

18874368-BIT(262144-WORD BY 72-BIT) NETWORK SRAM

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全策に関するお願い	・ 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。
本資料ご利用に際しての留意事項	・ 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。 ・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。 ・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (http://www.renesas.com) などを通じて公開される情報に常にご注意ください。 ・ 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。 ・ 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。 ・ 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。 ・ 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。 ・ 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。