

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

開発中

三菱マイクロコンピュータ
M37905M4C-XXXFP, M37905M4C-XXXSP
M37905M6C-XXXFP, M37905M6C-XXXSP
M37905M8C-XXXFP, M37905M8C-XXXSP
 16-BIT CMOS MICROCOMPUTER

概要

本製品は、高性能シリコンゲートCMOSプロセスを採用した16ビットシングルチップマイクロコンピュータで、64ピンプラスチックモールドQFP及び64ピンシュリンクプラスチックモールドDIPに収められています。このマイクロコンピュータは、既存の7700シリーズ、7751シリーズ命令セットと上位互換性を維持し、さらに強化、拡張した7900シリーズ命令セットを追加した16ビット並列処理可能 8ビット並列処理にも切り替え可能な中央演算処理装置、及び高速に命令を実行するためのバスインタフェース装置を備えています。したがって大量のデータを高速に処理する必要のある、OA、事務機器、産業機器の制御に適したマイクロコンピュータです。さらにモータ制御回路を内蔵しているため、モータ制御を要する機器の制御にも適しています。

【M37905M8C-XXXFP, M37905M8C-XXXSP】

ROM	60Kバイト
RAM	3Kバイト
命令実行時間	
最短命令、20MHz時	50ns
電源電圧	5V ± 0.5V
割り込み	外部8要因、内部23要因、7レベル
多機能16ビットタイマ	10本 + 3本 (三相モータ駆動波形及びパルスモータ駆動波形出力可能)
シリアルI/O (UART又はクロック同期形)	3本
10ビットA-D変換器	12チャンネル入力
8ビットD-A変換器	2本
監視タイマ	
プログラブル入出力 (ポートP1, P2, P4, P5, P6, P7, P8) ..	50本

特長

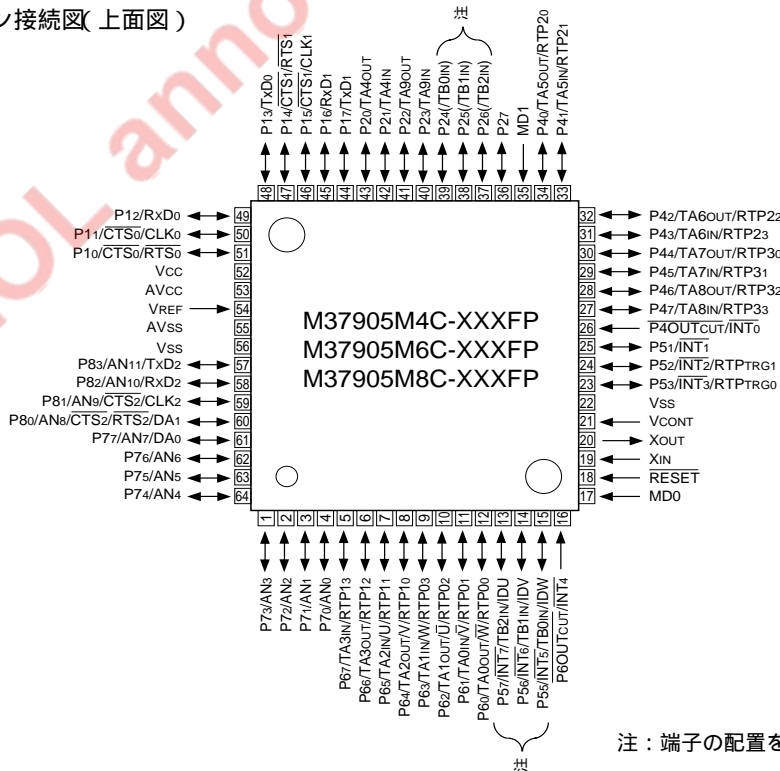
基本機械語命令数	203
メモリ容量	
【M37905M4C-XXXFP, M37905M4C-XXXSP】	
ROM	32Kバイト
RAM	1Kバイト
【M37905M6C-XXXFP, M37905M6C-XXXSP】	
ROM	48Kバイト
RAM	3Kバイト

応用

複写機、FAXなどの事務用機器制御、通信機、計測機などの産業機器制御
 インバータエアコン、汎用インバータなどのモータ制御を要する機器制御

本製品は開発中ですので規格などを変更する場合があります。

M37905MxC-XXXFPピン接続図(上面図)



注：端子の配置を()位置に変更可能

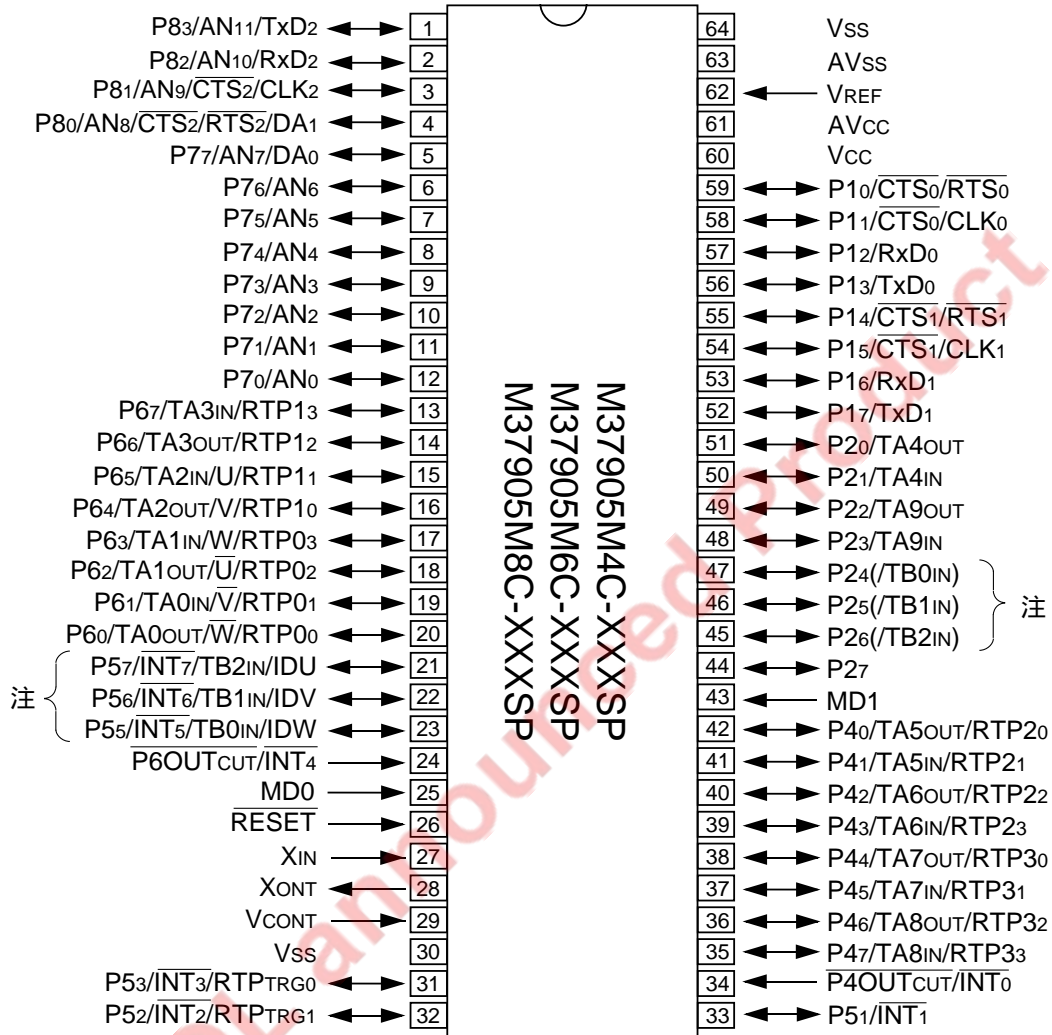
外形 64P6N-A

M37905M4C-XXXFP, M37905M4C-XXXSP
 M37905M6C-XXXFP, M37905M6C-XXXSP
 M37905M8C-XXXFP, M37905M8C-XXXSP

16-BIT CMOS MICROCOMPUTER

開発中

M37905MxC-XXXSPピン接続図(上面図)

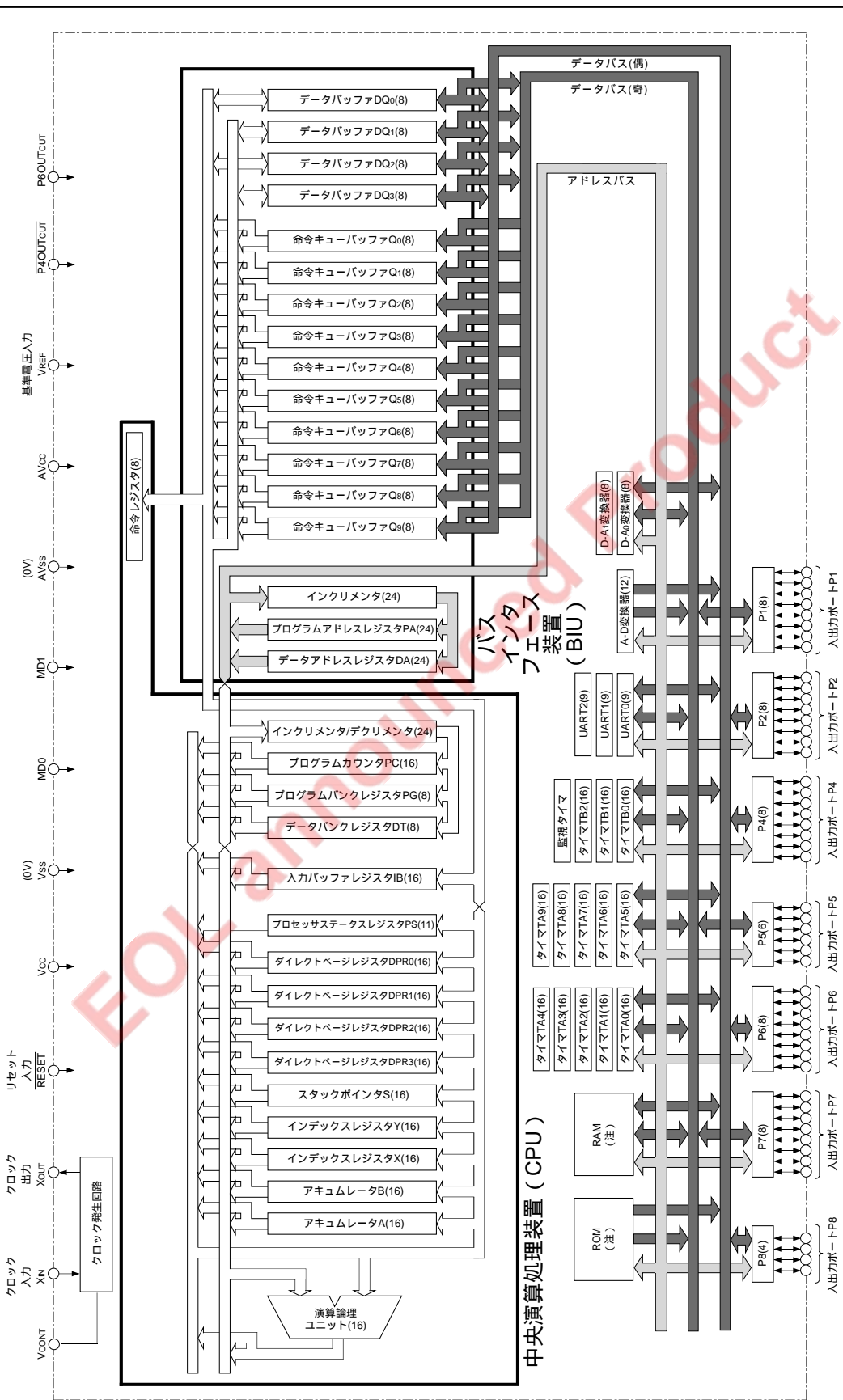


注：端子の配置を（ ）位置に変更可能

外形 64P4B

開発中

機能ブロック図



	ROM	RAM
M37905M4C-XXXFP, M37905M4C-XXXSP	32K/1バイト	1K/1バイト
M37905M6C-XXXFP, M37905M6C-XXXSP	48K/1バイト	3K/1バイト
M37905M8C-XXXFP, M37905M8C-XXXSP	60K/1バイト	3K/1バイト

注

開発中

性能概要

項 目		性 能
基本命令数		203
最短命令実行時間		50ns(f_{sys})= 20MHz時, 最短命令)
外部クロック入力周波数(f_{IN})		20MHz(最大)
システムクロック周波数(f_{sys})		20MHz(最大)
メモリ容量	ROM	(注1)
	RAM	(注1)
	P1, P2, P4, P6, P7	8ビット×5
プログラマブル 入出力ポート	P5	6ビット×1
	P8	4ビット×1
多機能タイマ	タイマA0～タイマA9	16ビット×10
シリアルI/O	タイマB0～タイマB2	16ビット×3
	UART0, UART1, UART2	(クロック同期形, 又は非同期形)×3
A-D変換器		(10ビット逐次比較変換方式)×1(12チャンネル)
D-A変換器		8ビット×2
短絡防止時間設定タイマ		8ビット×3
監視タイマ		12ビット×1
割り込み	マスカブル	外部8要因, 内部20要因 各割り込みごとにレベル0～7までの割り込み優先レベルをソフトウェア で設定可能
	ノンマスカブル	内部3要因
クロック発生回路		内蔵(セラミック共振子又は水晶共振子外付け)
PLL周波数通倍回路		2通倍, 3通倍, 4通倍を選択可能
電源電圧		5V±0.5V
消費電力		125mW(f_{sys})= 20MHz時, 標準, PLL周波数通倍回路停止時)
ポートの 入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		不可(シングルチップモード専用)
動作周囲温度		-20～85
素子構造		CMOS高性能シリコンゲート
パッケージ		(注2)

本製品は開発中ですので規格などを変更する場合があります。

注1.	ROM	M37905M4C-XXXFP, M37905M4C-XXXSP	32Kバイト
		M37905M6C-XXXFP, M37905M6C-XXXSP	48Kバイト
		M37905M8C-XXXFP, M37905M8C-XXXSP	60Kバイト
	RAM	M37905M4C-XXXFP, M37905M4C-XXXSP	1Kバイト
		M37905M6C-XXXFP, M37905M6C-XXXSP	3Kバイト
		M37905M8C-XXXFP, M37905M8C-XXXSP	3Kバイト
2.	パッケージ	M37905M4C-XXXFP, M37905M6C-XXXFP, M37905M8C-XXXFP	64ピンプラスチックモールドQFP(64P6N-A)
		M37905M4C-XXXSP, M37905M6C-XXXSP, M37905M8C-XXXSP	64ピンシュリンクプラスチックモールドDIR(64P4B)

開発中

端子の機能説明

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子には $5V \pm 0.5V$ を、Vss端子には0Vを印加してください。
MD0	MD0	入力	Vssに接続してください。
MD1	MD1	入力	Vssに接続してください。
RESET	リセット入力	入力	この端子に“L”レベルを印加すると、リセット状態になります。
XIN	クロック入力	入力	クロック発生回路を内蔵しており、発振周波数の設定は、セラミック又は水晶発振子をXIN端子とXOUT端子の間に接続して行います。外部クロック入力を利用する場合は、クロック入力をXIN端子に接続し、XOUT端子は開放してください。
XOUT	クロック出力	出力	内部クロック発生回路の出力です。共振子を使用する場合はこの端子とXIN端子の間に共振子を接続します。
VCONT	フィルタ回路接続		PLL周波数倍回路を使用する場合は、この端子にフィルタ回路を接続してください。使用しない場合は、開放してください。
AVcc, AVss	アナログ電源入力		A-D変換器及びD-A変換器の電源入力端子です。外部でAVccはVccに、AVssはVssに接続してください。
VREF	基準電圧入力	入力	A-D変換器及びD-A変換器の基準電圧入力端子です。
P10 ~ P17	入出力ポート P1	入出力	ポートP1は8ビットの入出力ポートになります。入出力方向レジスタをもっており、各ビットごとに入力端子にするか、出力端子にするかプログラムできます。リセット時には入力モードになります。UART0, UART1の入出力端子としての機能ももちます。
P20 ~ P27	入出力ポート P2	入出力	ポートP1と同じ機能の他にタイマA4, タイマA9の入出力端子としての機能ももちます。また、ソフトウェアで選択することによってタイマB0 ~ B2の入力端子としての機能ももちます。
P40 ~ P47	入出力ポート P4	入出力	ポートP1と同じ機能の他に、タイマA5, タイマA6, タイマA7, タイマA8の入出力端子としての機能ももちます。また、モータ駆動波形の出力端子としての機能ももちます。
P51 ~ P53, P55 ~ P57	入出力ポート P5	入出力	ポートP1と同じ機能の他に、INT1, INT2, INT3, INT5, INT6, INT7の入力端子としての機能ももちます。また、タイマB0 ~ B2の入力端子、及び三相波形モード時の位置データ入力端子、パルス出力ポートモード時のトリガ入力端子としての機能ももちます。
P60 ~ P67	入出力ポート P6	入出力	ポートP1と同じ機能の他に、タイマA0, タイマA1, タイマA2, タイマA3の入出力端子としての機能ももちます。また、モータ駆動波形の出力端子としての機能ももちます。
P70 ~ P77	入出力ポート P7	入出力	ポートP1と同じ機能の他に、A-D変換器の入力端子としての機能ももっています。また、P77はD-A変換器の出力端子の機能ももっています。
P80 ~ P83	入出力ポート P8	入出力	ポートP1と同じ機能の他に、A-D変換器の入力端子としての機能ももちます。また、UART2の入出力端子としての機能ももちます。またP80はD-A変換器の出力端子としての機能ももちます。
P4OUTcut	P4OUTcut 入力	入力	ポートP4を強制的に入力端子とする機能ももちます。また、INT0の入力端子、及びモータ駆動波形出力時の強制遮断信号入力端子としての機能ももちます。
P6OUTcut	P6OUTcut 入力	入力	ポートP6を強制的に入力端子とする機能ももちます。また、INT4の入力端子、及びモータ駆動波形出力時の強制遮断信号入力端子としての機能ももちます。

開発中

機能ブロック動作説明

本製品は、ROM、RAM、中央演算処理装置、バスインタフェースユニット、及び割り込み制御回路、タイマ、シリアルI/O、A-D変換器、D-A変換器、入出力ポート、クロック発生回路などの周辺装置をシングルチップ内に収めています。

メモリ

メモリ配置図を図1(1)~図1(3)に示します。アドレス空間は016番地からFFFF16番地までの64Kバイトで、この空間をバンク016と呼びます。

内蔵ROM及び内蔵RAMは図1(1)~図1(3)に示す番地に配置されています。FFB416番地からFFF16番地はリセット及び割り込みのベクトル番地で、ここに割り込みベクトルを格納します。詳細は割り込みの項を参照してください。

016番地からFF16番地には入出力ポート、A-D変換器、D-A変換器、シリアルI/O、タイマ、割り込み制御レジスタなどの周辺装置が割り付けられています。図2、3に周辺装置制御レジスタ(SFR)の配置を示します。

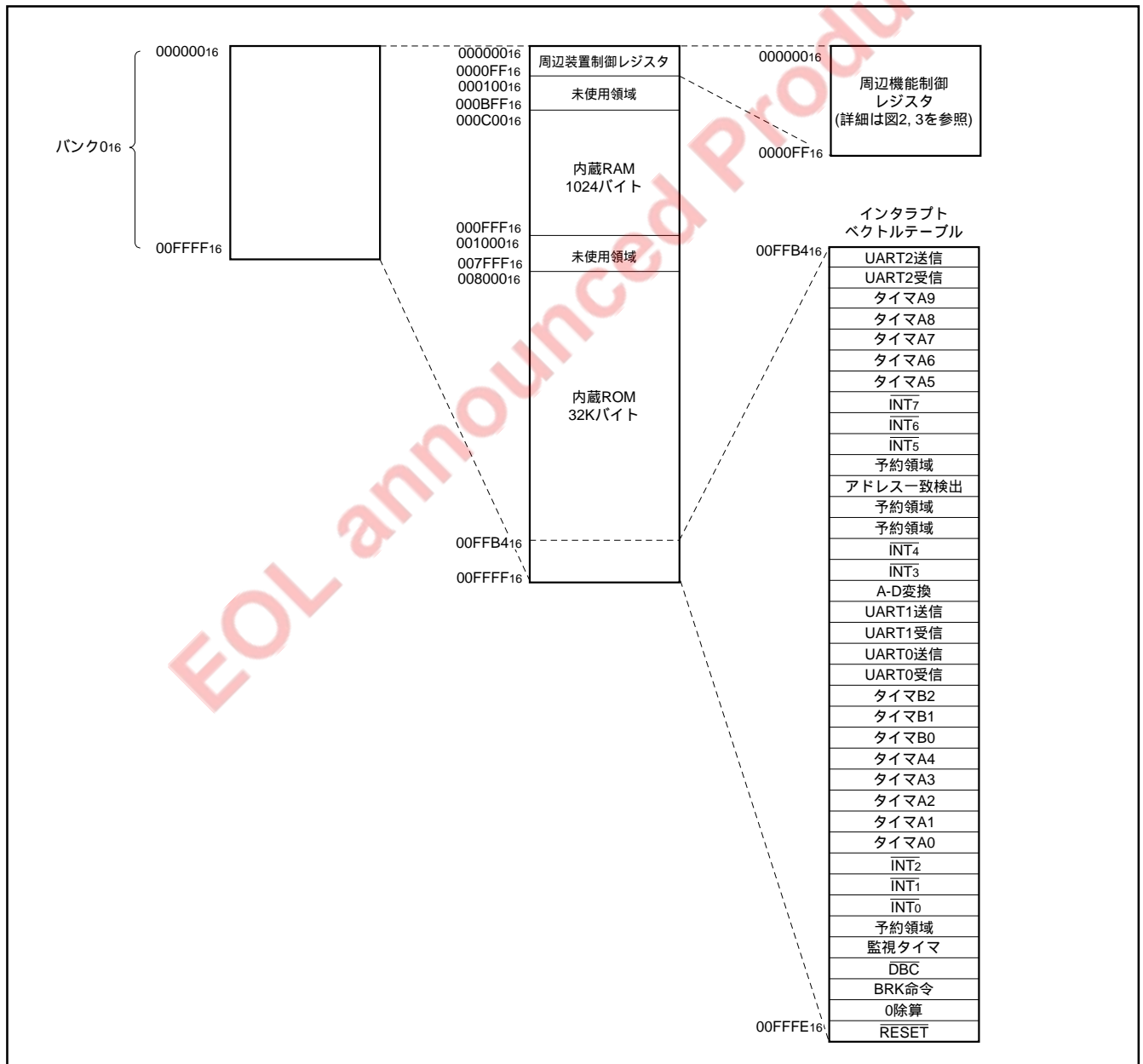


図1(1) M37905M4C-XXXFP/SPのメモリ配置図(シングルチップモード時)

M37905M4C-XXXFP, M37905M4C-XXXSP
 M37905M6C-XXXFP, M37905M6C-XXXSP
 M37905M8C-XXXFP, M37905M8C-XXXSP

16-BIT CMOS MICROCOMPUTER

開発中

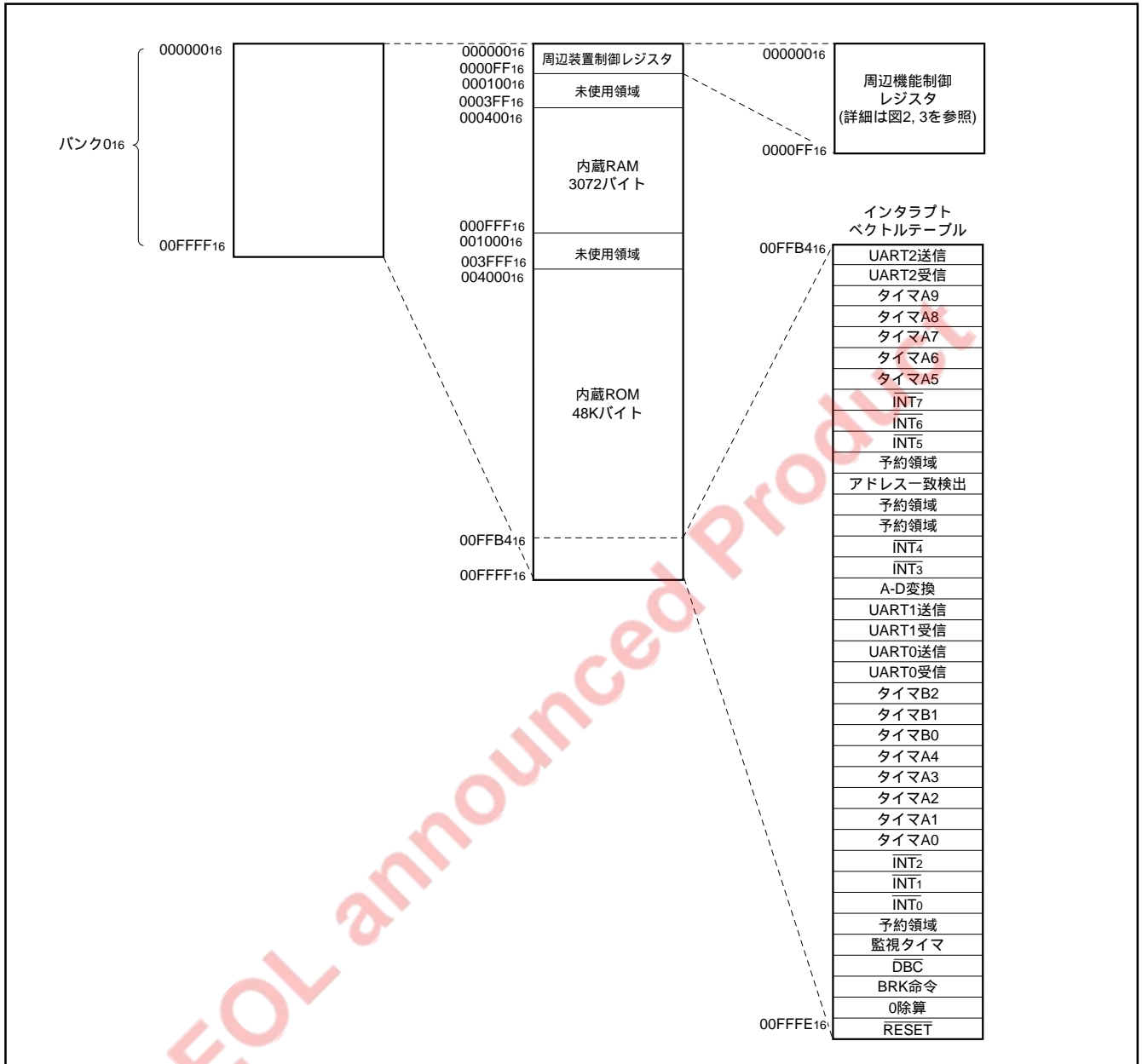


図1(2) M37905M6C-XXXFP/SPのメモリ配置図(シングルチップモード時)

開発中

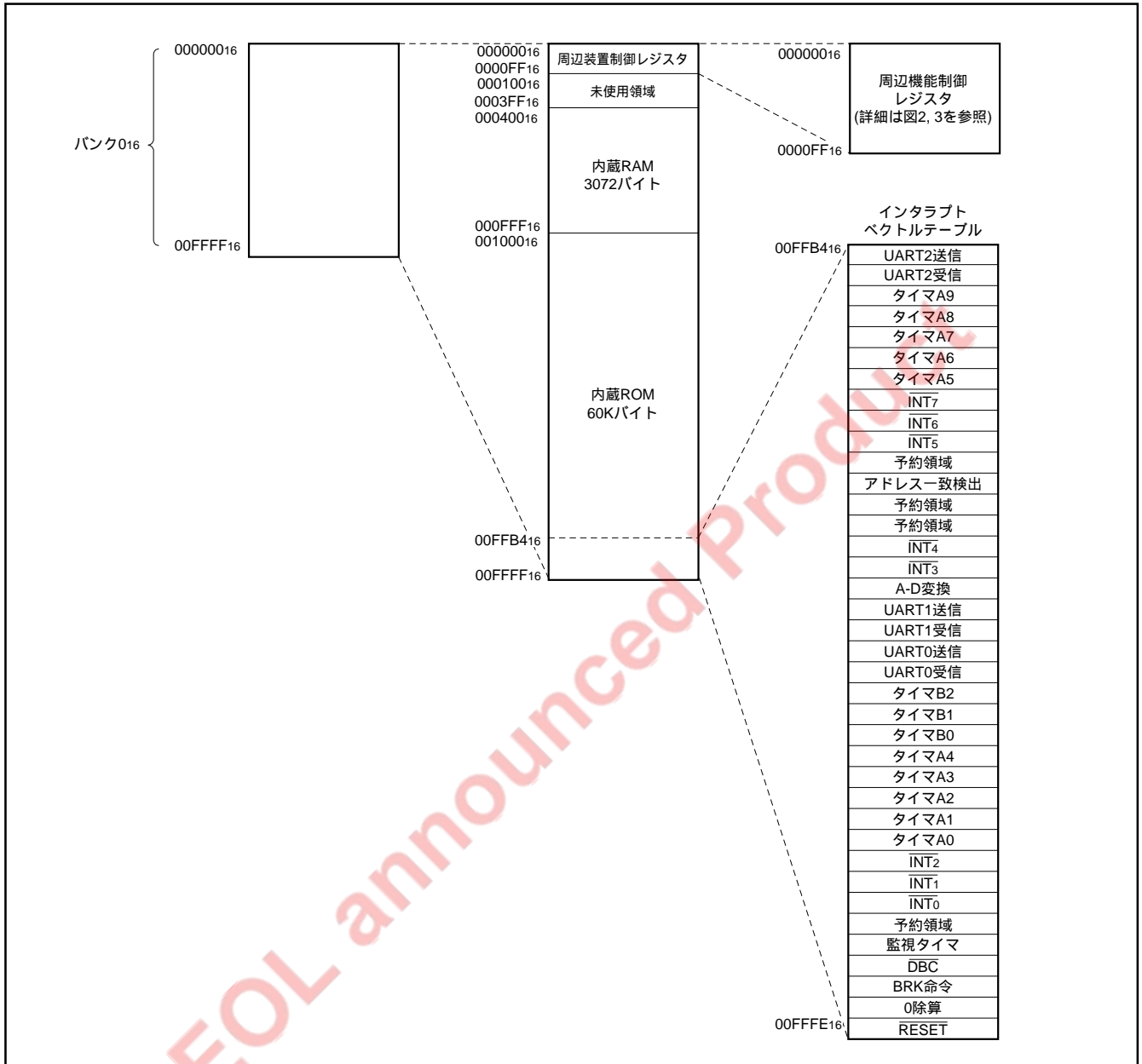


図1(3) M37905M8C-XXXFP/SPのメモリ配置図(シングルチップモード時)

開発中

三菱マイクロコンピュータ
M37905M4C-XXXFP, M37905M4C-XXXSP
M37905M6C-XXXFP, M37905M6C-XXXSP
M37905M8C-XXXFP, M37905M8C-XXXSP
16-BIT CMOS MICROCOMPUTER

番地		番地	
00000016	予約領域(注)	00004016	カウント開始フラグ0
00000116	予約領域(注)	00004116	カウント開始フラグ1
00000216	予約領域(注)	00004216	ワンショット開始フラグ0
00000316	ポートP1レジスタ	00004316	ワンショット開始フラグ1
00000416	予約領域(注)	00004416	アップダウンフラグ0
00000516	ポートP1方向レジスタ	00004516	タイマAクロック分周指定レジスタ
00000616	ポートP2レジスタ	00004616	タイマA0レジスタ
00000716	予約領域(注)	00004716	
00000816	ポートP2方向レジスタ	00004816	タイマA1レジスタ
00000916	予約領域(注)	00004916	
00000A16	ポートP4レジスタ	00004A16	タイマA2レジスタ
00000B16	ポートP5レジスタ	00004B16	
00000C16	ポートP4方向レジスタ	00004C16	タイマA3レジスタ
00000D16	ポートP5方向レジスタ	00004D16	
00000E16	ポートP6レジスタ	00004E16	タイマA4レジスタ
00000F16	ポートP7レジスタ	00004F16	
00001016	ポートP6方向レジスタ	00005016	タイマB0レジスタ
00001116	ポートP7方向レジスタ	00005116	
00001216	ポートP8レジスタ	00005216	タイマB1レジスタ
00001316		00005316	
00001416	ポートP8方向レジスタ	00005416	タイマB2レジスタ
00001516		00005516	
00001616	予約領域(注)	00005616	タイマA0モードレジスタ
00001716	予約領域(注)	00005716	タイマA1モードレジスタ
00001816	予約領域(注)	00005816	タイマA2モードレジスタ
00001916	予約領域(注)	00005916	タイマA3モードレジスタ
00001A16		00005A16	タイマA4モードレジスタ
00001B16		00005B16	タイマB0モードレジスタ
00001C16		00005C16	タイマB1モードレジスタ
00001D16		00005D16	タイマB2モードレジスタ
00001E16	A-D制御レジスタ0	00005E16	プロセッサモードレジスタ0
00001F16	A-D制御レジスタ1	00005F16	プロセッサモードレジスタ1
00002016	A-Dレジスタ0	00006016	監視タイマレジスタ
00002116		00006116	監視タイマ周波数選択レジスタ
00002216	A-Dレジスタ1	00006216	特殊機能選択レジスタ0
00002316		00006316	特殊機能選択レジスタ1
00002416	A-Dレジスタ2	00006416	特殊機能選択レジスタ2
00002516		00006516	予約領域(注)
00002616	A-Dレジスタ3	00006616	デバッグ制御レジスタ0
00002716		00006716	デバッグ制御レジスタ1
00002816	A-Dレジスタ4	00006816	
00002916		00006916	アドレス比較レジスタ0
00002A16	A-Dレジスタ5	00006A16	
00002B16		00006B16	
00002C16	A-Dレジスタ6	00006C16	アドレス比較レジスタ1
00002D16		00006D16	
00002E16	A-Dレジスタ7	00006E16	INT3 割り込み制御レジスタ
00002F16		00006F16	INT4 割り込み制御レジスタ
00003016	UART0送受信モードレジスタ	00007016	A-D変換 割り込み制御レジスタ
00003116	UART0転送速度レジスタ(BRG0)	00007116	UART0送信 割り込み制御レジスタ
00003216	UART0送信バッファレジスタ	00007216	UART0受信 割り込み制御レジスタ
00003316		00007316	UART1送信 割り込み制御レジスタ
00003416	UART0送受信制御レジスタ0	00007416	UART1受信 割り込み制御レジスタ
00003516	UART0送受信制御レジスタ1	00007516	タイマA0 割り込み制御レジスタ
00003616		00007616	タイマA1 割り込み制御レジスタ
00003716	UART0受信バッファレジスタ	00007716	タイマA2 割り込み制御レジスタ
00003816	UART1送受信モードレジスタ	00007816	タイマA3 割り込み制御レジスタ
00003916	UART1転送速度レジスタ(BRG1)	00007916	タイマA4 割り込み制御レジスタ
00003A16		00007A16	タイマB0 割り込み制御レジスタ
00003B16	UART1送信バッファレジスタ	00007B16	タイマB1 割り込み制御レジスタ
00003C16	UART1送受信制御レジスタ0	00007C16	タイマB2 割り込み制御レジスタ
00003D16	UART1送受信制御レジスタ1	00007D16	INT0 割り込み制御レジスタ
00003E16		00007E16	INT1 割り込み制御レジスタ
00003F16	UART1受信バッファレジスタ	00007F16	INT2 割り込み制御レジスタ

注. この番地は、書き込み禁止です。

図2. 周辺装置制御レジスタの配置(1)

開発中

番地		番地	
00008016	予約領域 (注)	0000C016	
00008116	予約領域 (注)	0000C116	
00008216	予約領域 (注)	0000C216	
00008316	予約領域 (注)	0000C316	
00008416	予約領域 (注)	0000C416	アップダウンフラグ1
00008516	予約領域 (注)	0000C516	
00008616	予約領域 (注)	0000C616	タイマA5レジスタ
00008716	予約領域 (注)	0000C716	
00008816		0000C816	タイマA6レジスタ
00008916		0000C916	
00008A16	予約領域 (注)	0000CA16	タイマA7レジスタ
00008B16		0000CB16	
00008C16	予約領域 (注)	0000CC16	タイマA8レジスタ
00008D16		0000CD16	
00008E16	予約領域 (注)	0000CE16	タイマA9レジスタ
00008F16		0000CF16	
00009016	予約領域 (注)	0000D016	タイマA01レジスタ
00009116		0000D116	
00009216	予約領域 (注)	0000D216	タイマA11レジスタ
00009316		0000D316	
00009416		0000D416	タイマA21レジスタ
00009516	外部割り込み入力読み出しレジスタ	0000D516	
00009616	D-A制御レジスタ	0000D616	タイマA5モードレジスタ
00009716		0000D716	タイマA6モードレジスタ
00009816	D-Aレジスタ0	0000D816	タイマA7モードレジスタ
00009916	D-Aレジスタ1	0000D916	タイマA8モードレジスタ
00009A16		0000DA16	タイマA9モードレジスタ
00009B16		0000DB16	A-D制御レジスタ2
00009C16		0000DC16	コンパレータ機能選択レジスタ0
00009D16		0000DD16	コンパレータ機能選択レジスタ1
00009E16		0000DE16	コンパレータ結果レジスタ0
00009F16		0000DF16	コンパレータ結果レジスタ1
0000A016	パルス出力制御レジスタ	0000E016	A-Dレジスタ8
0000A116		0000E116	
0000A216	パルス出力データレジスタ0	0000E216	A-Dレジスタ9
0000A316		0000E316	
0000A416	パルス出力データレジスタ1	0000E416	A-Dレジスタ10
0000A516		0000E516	
0000A616	波形出力モードレジスタ	0000E616	A-Dレジスタ11
0000A716	短絡防止時間設定タイマ	0000E716	
0000A816	三相出力データレジスタ0	0000E816	予約領域 (注)
0000A916	三相出力データレジスタ1	0000E916	予約領域 (注)
0000AA16	位置データ保持機能制御レジスタ	0000EA16	予約領域 (注)
0000AB16		0000EB16	予約領域 (注)
0000AC16	シリアルI/O端子制御レジスタ	0000EC16	予約領域 (注)
0000AD16		0000ED16	予約領域 (注)
0000AE16	ポートP2端子機能制御レジスタ	0000EE16	予約領域 (注)
0000AF16		0000EF16	予約領域 (注)
0000B016	UART2送受信モードレジスタ	0000F016	
0000B116	UART2転送速度レジスタ(BRG2)	0000F116	UART2送信割り込み制御レジスタ
0000B216		0000F216	UART2受信割り込み制御レジスタ
0000B316	UART2送信バッファレジスタ	0000F316	
0000B416	UART2送受信制御レジスタ0	0000F416	
0000B516	UART2送受信制御レジスタ1	0000F516	タイマA5割り込み制御レジスタ
0000B616		0000F616	タイマA6割り込み制御レジスタ
0000B716	UART2受信バッファレジスタ	0000F716	タイマA7割り込み制御レジスタ
0000B816	予約領域 (注)	0000F816	タイマA8割り込み制御レジスタ
0000B916		0000F916	タイマA9割り込み制御レジスタ
0000BA16	予約領域 (注)	0000FA16	
0000BB16	予約領域 (注)	0000FB16	
0000BC16	クロック制御レジスタ0	0000FC16	
0000BD16	予約領域 (注)	0000FD16	INT5 割り込み制御レジスタ
0000BE16	予約領域 (注)	0000FE16	INT6 割り込み制御レジスタ
0000BF16	予約領域 (注)	0000FF16	INT7 割り込み制御レジスタ

注: この番地は、書き込み禁止です。

図3. 周辺装置制御レジスタの配置 (2)

開発中

中央演算処理装置

中央演算処理装置(以下CPUと称します)には13個のレジスタがあります。図4にそれらを示します。次に、これらのレジスタについて説明します。

アキュムレータ A

アキュムレータAはマイクロコンピュータの中心となるレジスタです。16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはデータ長選択フラグmの内容で決めます。フラグmの内容が*0'のとき16ビット、*1'のとき8ビットです。フラグmはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

演算、転送、入出力などのデータ処理は、アキュムレータAを中心にして実行されます。

アキュムレータ B

アキュムレータBはアキュムレータAとほぼ同等の機能を持っています。ただし、一部命令では、アキュムレータAに対してと同等の操作がアキュムレータBに対してはできない場合があります。また、命令バイト数と実行サイクルがアキュムレータAを使用するより多くかかる場合があります。

アキュムレータ E

アキュムレータEは、アキュムレータAを下位16ビット、アキュムレータBを上位16ビットに、縦列接続した32ビット

長のアキュムレータです。32ビットのデータを操作する命令で使用します。

インデックスレジスタ X

インデックスレジスタXは16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはインデックスレジスタ長選択フラグxの内容で決めます。フラグxの内容が*0'のとき16ビット、*1'のとき8ビットです。

フラグxはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

レジスタXをインデックスレジスタとするインデックスアドレッシングモードでは、このレジスタの内容を加算した番地が本当の番地となります。

また、ブロック転送命令MVP、MVN、積和演算命令RMPAではデータテーブルのアドレスを示すポインタレジスタとして使用されます。

インデックスレジスタ Y

インデックスレジスタYは16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはインデックスレジスタ長選択フラグxの内容で決めます。フラグxの内容が*0'のとき16ビット、*1'のとき8ビットです。フラグxはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

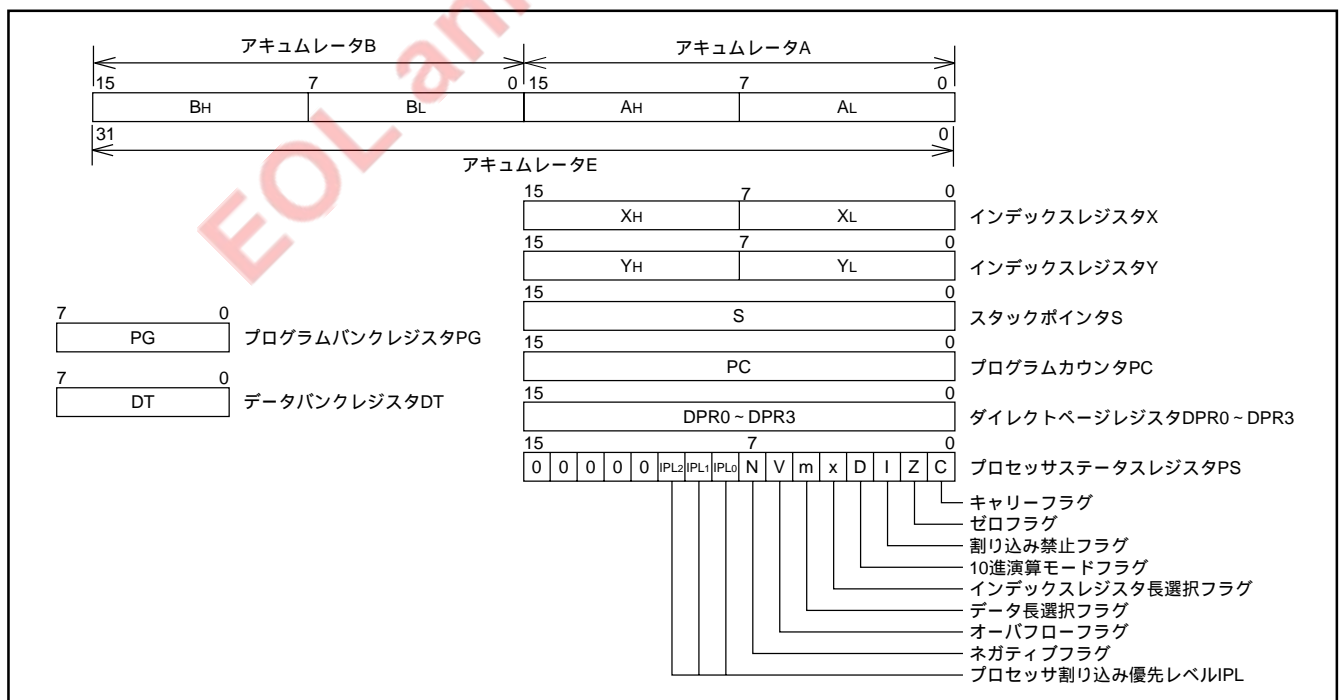


図4. レジスタ構成

レジスタYをインデックスレジスタとするインデックスアドレッシングモードでは、このレジスタの内容を加算した番地が本当の番地となります。

また、ブロック転送命令MVP、MVN、積和演算命令RMPAではデータテーブルのアドレスを示すポインタレジスタとして使用されます。

スタックポインタ S

スタックポインタSは16ビットのレジスタです。サブルーチン呼び出し、割り込み時、又はスタック、スタックポインタ・レラティブ、スタックポインタ・レラティブ・インダイレクト・インデックスYの各アドレッシングモードを使用したときに使用されます。

プログラムカウンタ PC

プログラムカウンタPCは16ビットのカウンタで、この内容で次に実行すべきプログラムメモリの番地の下位16ビットを示します。ただし、後で説明しますが、プログラムメモリとCPUとの間にバスインタフェース装置があり、これを介してプログラムメモリをアクセスします。

プログラムバンクレジスタ PG

プログラムバンクレジスタPGは8ビットのレジスタでこの内容で次に実行すべきプログラムメモリの番地の上位8ビットを示します。プログラムカウンタPCの内容がインクリメントされキャリーが生じると、プログラムバンクレジスタPGの内容は+1されます。また、分岐命令でオフセット値をプログラムカウンタPCの内容に加算又は減算したとき、キャリーあるいはボローが生じると、自動的にプログラムバンクレジスタPGの内容は+1又は-1されますので、バンクの境界を意識せずにプログラムを記述できます。

データバンクレジスタ DT

データバンクレジスタDTは8ビットのレジスタです。あるアドレッシングモードではメモリの番地を指定するのに、データバンクレジスタDTの内容をその一部に使用します。データバンクレジスタDTの内容は、24ビットの番地の上位8ビットの番地として使用されます。データバンクレジスタDTの内容を番地指定に使用するアドレッシングモードは、ダイレクト・インダイレクト、ダイレクト・インデックスX・インダイレクト、ダイレクト・インダイレクト・インデックスY、アブソリュート、アブソリュート・ビット、アブソリュート・インデックスX、アブソリュート・インデックスY、アブソリュート・ビット・レラティブ、スタックポインタ・レラティブ・インダイレクト・インデックスYの各アドレッシングモードです。

ダイレクトページレジスタ0~3 DPR0~DPR3

ダイレクトページレジスタは16ビットのレジスタで、アドレッシングモード名の中に“ダイレクト”という名を持つアドレッシングモードでは、このレジスタの内容を基底番地としてアクセスするデータの番地を生成します。

7700シリーズでは1本であったダイレクトページレジスタが、7900シリーズでは4本(DPR0~DPR3)に拡張されます。したがって、ダイレクトページレジスタを使用するダイレクトアドレッシングの方法も7700シリーズと異なります。ただし、7700シリーズでのソフトウェア資産を活用できるように、DPR0のみを使用する従来通りのダイレクトアドレッシングも選択により使用できるようになっています。詳細については、ダイレクトページの項を参照してください。

プロセッサステータスレジスタ PS

プロセッサステータスレジスタPSは11ビットのレジスタで、演算直後の状態を保持するフラグや、CPUの割り込みレベルなどから成り立っています。

C、Z、V、Nフラグはブランチ命令によりテストして分岐することができます。

以下、プロセッサステータスレジスタの各ビットについて説明します。

1. キャリーフラグ C

演算処理後の演算論理ユニットからのキャリー又はボローを保持します。シフト命令、ローテート命令でも変化しません。SEC、CLC命令、又はSEP、CLP命令で直接セット、リセットすることができます。

2. ゼロフラグ Z

演算処理、データ転送の結果が“0”のときセットされ、“0”でないときリセットされます。SEP、CLP命令で直接セット、リセットすることができます。

3. 割り込み禁止フラグ I

監視タイマ、及びソフトウェア割り込みを除くすべての割り込みを禁止するためのフラグで、その内容が“1”になっていると禁止状態です。割り込みを受け付けると自動的に“1”になります。SEI、CLI命令、又はSEP、CLP命令で直接セット、リセットすることができます。

4. 10進演算モードフラグ D

加減算を2進で行うか、10進で行うかを定めるフラグです。フラグの内容が“0”のときは通常の2進演算になります。フラグの内容が“1”のときは1語を2桁又は4桁の10進数として演算します。データ長選択フラグmの内容が“0”のときは4

開発中

桁、“1”のときは2桁で演算されます。10進補正は自動的に行われます(ただし、10進演算が行えるのはADC命令とSBC命令のみです)。SEP、CLP命令でセット、リセットすることができます。

5. インデックスレジスタ長選択フラグ x

インデックスレジスタXあるいはインデックスレジスタYを16ビット長で使用するか、8ビット長で使用するかを定めるフラグです。フラグxの内容が“0”のとき16ビット長、“1”のとき8ビット長になります。SEP、CLP命令でセット、リセットすることができます。

6. データ長選択フラグ m

データを16ビット長で扱うか、8ビット長で扱うかを定めるフラグです。フラグmの内容が“0”のとき16ビット長、“1”のとき8ビット長になります。SEM、CLM命令、又はSEP、CLP命令でセット、リセットします。

7. オーバフローフラグ V

オーバフローフラグは、1語を符号付きの2進数として加減算するときに意味を持ちます。データ長選択フラグmの内容が“0”のときは、加減算の結果が $-32768 \sim +32767$ の範囲を越えるとセットされます。それ以外ではリセットされます。データ長選択フラグmの内容が“1”のときは、加減算の結果が $-128 \sim +127$ の範囲を越えるとセットされます。

それ以外ではリセットされます。CLV命令又はSEP、CLP命令で直接セット、リセットすることができます。

また、オーバフローフラグは符号無/符号付除算命令において除算結果がそれを格納するレジスタ長を超える場合、積和演算命令で加算結果が $-2147483648 \sim +2147483647$ の範囲を越える場合にもセットされます。

8. ネガティブフラグ N

演算処理、データ転送の結果が負(データ長選択フラグmの内容が“0”のときはデータのビット15が“1”、データ長選択フラグmの内容が“1”のときはデータのビット7が“1”)のときセットされます。それ以外ではリセットされます。SEP、CLP命令でもセット、リセットできます。

9. プロセッサ割り込み優先レベル IPL

プロセッサ割り込み優先レベルIPLは3ビットで構成され、この内容でレベル0からレベル7までの8段階のプロセッサ割り込み優先レベルを決めます。割り込みを要求した装置の割り込み優先レベル(各割り込み制御レジスタで任意に設定可能)の方がプロセッサ割り込み優先レベルより高い場合に、割り込みが許可されます。割り込みが許可されると、今までのプロセッサ割り込み優先レベルはスタックに退避され、プ

ロセッサ割り込み優先レベルは、割り込みを許可された装置の割り込み優先レベルに置き換わります。詳細については、割り込みの項を参照してください。

注. プロセッサステータスレジスタPSのビット11~15は“0”に固定してください。

バンク

CPUコアは、チップ上に集積されたハードウェアを効率的に活用するため、24ビットのアドレスを上位8ビットと下位16ビットに分けて発生させる方式を採用しています。すなわち、下位16ビットで指定される64Kバイトを1つの単位(以下、バンクと称します。)として、アドレス空間を上位8ビットで示される0₁₆ ~ FF₁₆の256個のバンクに分割します。

アドレス空間上のプログラム領域は、バンクをプログラムバンクレジスタ(PG)で、バンク内のアドレスをプログラムカウンタ(PC)で指定します。

各バンクの境界において、プログラムカウンタがオーバーフローを発生した場合は、プログラムバンクレジスタの内容に1が加算されます。また、プログラムカウンタがボローを発生した場合は、プログラムバンクレジスタの内容が1減算されます。したがって、通常、バンクの境界は無視してプログラミングすることができます。また、アドレス空間上のデータ領域は、バンクをデータバンクレジスタ(DT)で、バンク内のアドレスを種々のアドレッシングモードにより算出される内容(一部のアドレッシングモードではバンクを直接指定する場合があります。)で指定します。

ダイレクトページ

バンク0₁₆(0₁₆番地 ~ FFFF₁₆番地)には内部メモリ及び内蔵周辺装置の制御レジスタ等の資源が配置されています。この領域へのアクセスを効率的に行なうためにダイレクトページが定義され、そこへのアクセスのためにダイレクトページアドレッシングモードが用意されています。ダイレクトページアドレッシングモードには、7700シリーズと互換性を保つDPR0のみを使用する通常のダイレクトアドレッシングモードと、7700シリーズから拡張された4本のダイレクトページレジスタを選択的に使用する拡張ダイレクトアドレッシングモードの2種類があります。上記2種類のアドレッシングモードのいずれを使用するかは、プロセッサモードレジスタ1のビット1の内容で選択します。ただし、このビット1の内容はリセット時0₁にクリア(通常のダイレクトアドレッシングモードを選択)され、プログラムで一旦1₁にセットすると、その後リセット以外で0₁にクリアすることはできません。すなわち、一旦リセット直後に2種類のダイレクトアドレッシングモードのいずれかを選択すると、プログラム設定の途中で2種類のダイレクトアドレッシングモードを任意に切り替えて使用することはできません。

通常のダイレクトアドレッシングモード

ダイレクトページ領域は、バンクアドレスが0₁₆、下位アドレスがダイレクトページレジスタ0(DPR0)の内容を基底番地(最下位番地)とする、256バイトの空間です。ダイレクトアドレッシングモードでは、命令語に続く1バイトをDPR0の内容に対するオフセット値と解釈して、ダイレクトページ領域内の各番地にアクセスします。

拡張ダイレクトアドレッシングモード

ダイレクトページ領域は、バンクアドレスが0₁₆、下位アドレスが4本のダイレクトページレジスタの内容をそれぞれ基底番地とする、4つの64バイトの空間です。拡張ダイレクトアドレッシングでは、命令語に続く1バイトの上位2ビットをDPR0 ~ DPR3の選択フィールド、下位6ビットを選択されたダイレクトページレジスタの内容に対するオフセット値と解釈して、各ダイレクトページ領域内の各番地にアクセスします。

ダイレクトページ領域を使用する種々のアドレッシングモードの詳細については、7900シリーズソフトウェアマニュアルを参照してください。

命令セット

CPUコアは、既存の7700/7750/7751シリーズCPUコアの拡張命令セットを持ち、7700シリーズの命令セットに対し、ソースコードレベル(ニーモニックレベル)で上位互換性を維持しています。

アドレッシングモード及び命令セットの詳細については、7900シリーズソフトウェアマニュアルを参照してください。

開発中

バスインタフェース装置

中央演算処理装置(CPU)と内部バスの間にはバスインタフェース装置(BIU)が設けられており、CPUと内部メモリ、周辺装置間のデータのやり取りは常にこのBIUを介して行われます。

図5にバスインタフェース装置とバス構造を示します。CPUとBIUは専用のバスでつながれます。この専用バスによってCPUとBIU間の制御が行なわれます。

一方、BIUと内蔵周辺装置の間のデータ転送は共通のバスによって行われます。これらは、32ビットの内部コードバス、16ビットの内部データバス、24ビットの内部アドレスバス、及び内部制御信号です。

バスのデータ転送能力を高めるために、コード/データ分離方式を採用しており、内部メモリはコード/データの双方のバスに接続され、それ以外の内蔵周辺装置のレジスタ類は、データバスのみ接続されます。

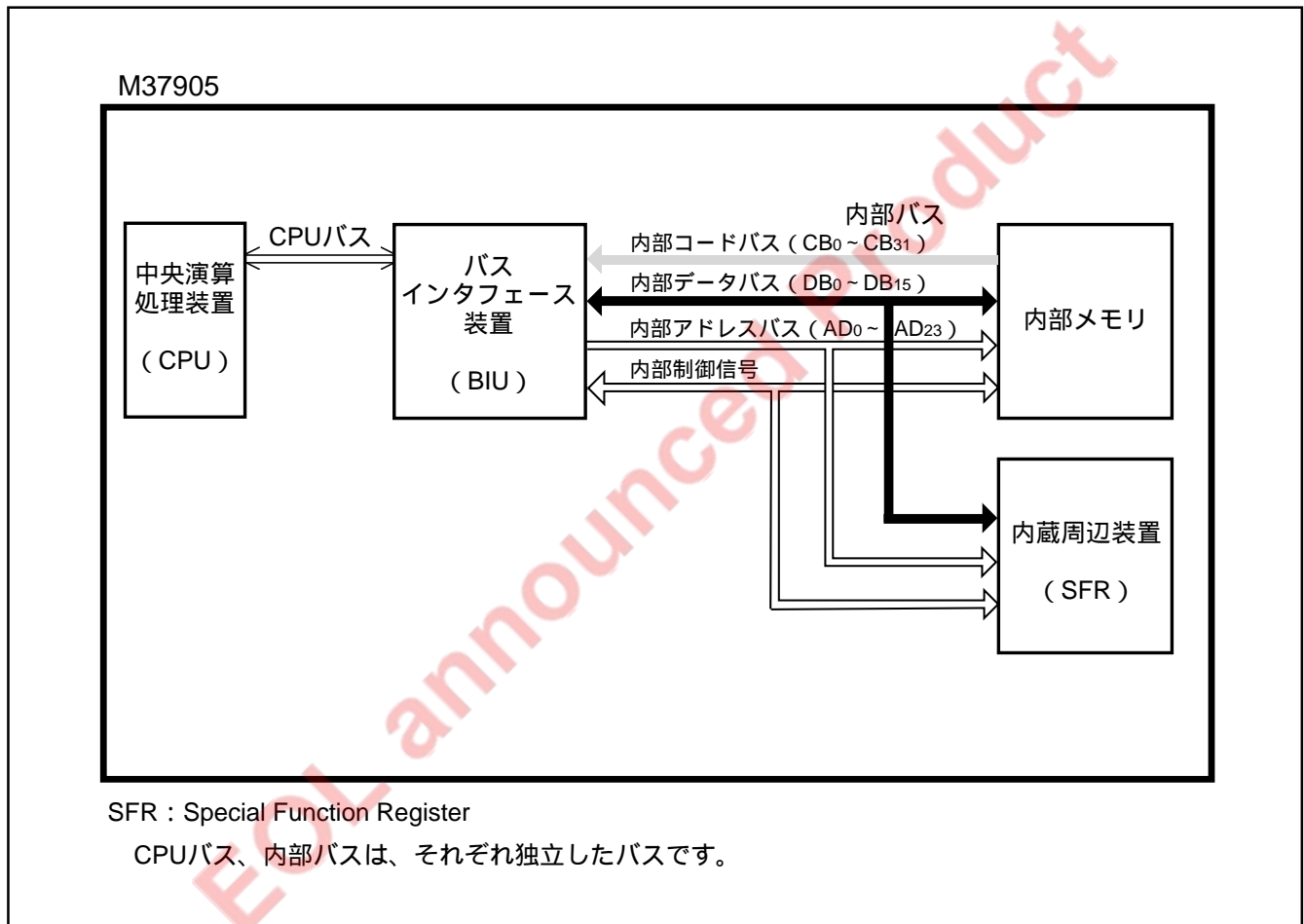


図5 . BIUとバス構造

開発中

バスインタフェース装置の構成

BIUは図6に示す4種類のレジスタで構成されています。各レジスタの機能を表1に示します。

表1. BIUレジスタの機能

名 称	機 能
プログラムアドレスレジスタ	次に命令キューバッファに取り込む命令の格納番地を示すレジスタ
命令キューバッファ	メモリから取り込んだ命令を一時的に蓄えておくための10バイトバッファ
データアドレスレジスタ	次にデータを読み出す、又は書き込む番地を示すレジスタ
データバッファ	BIUが内部メモリ・周辺装置から読み出したデータ、又はCPUが内部メモリ・周辺装置に書き込むデータを一時的に蓄えておくための32ビットバッファ

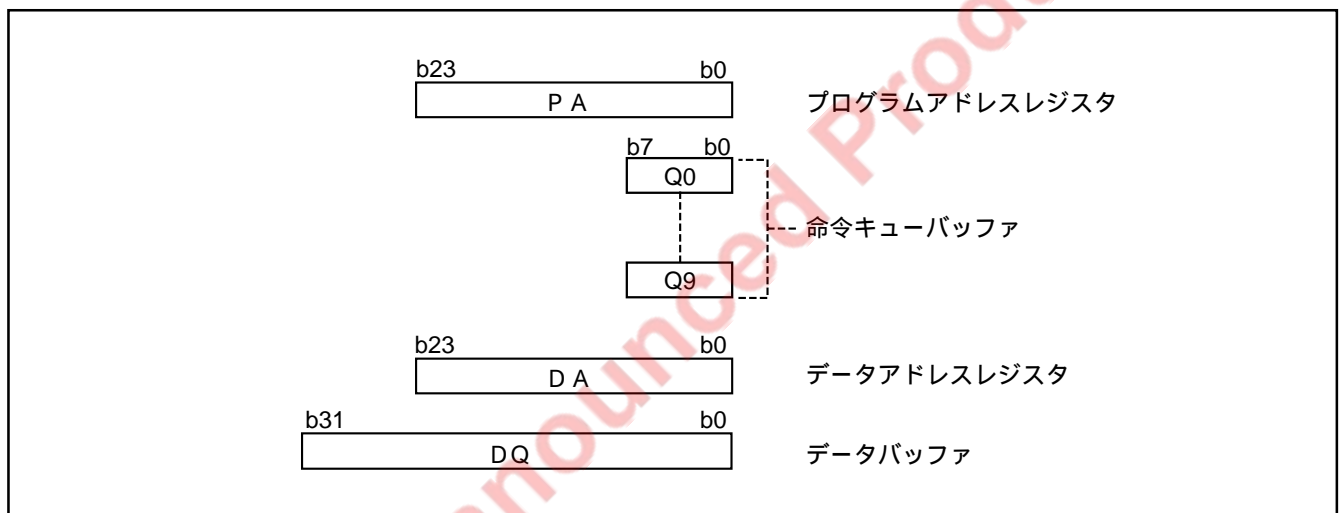


図6. BIUレジスタの構成

開発中

BIUの機能概要

(1) 命令の先取り

BIUは、10バイトの命令キューバッファをもっており、バスと命令キューバッファに空があれば、プログラムメモリ(プログラムが格納されているメモリ)から命令コードを読み出し、命令キューバッファに先取りします。命令キューバッファに先取りされた命令コードは、CPUからの要求に応じてBIUからCPUへ専用バスを介して転送されません。

また、分岐命令(JMP, BRA等)やサブルーチンの呼び出しや割り込み動作による分岐が発生した場合には、命令キューバッファの内容は初期化され、BIUは分岐先の番地から新たに命令を読み出します。

なお、BIUの命令先取りの動作は、命令の格納番地によっても異なります。先取りする命令の格納番地は表2のように区別します。

(2) データリード

内部メモリ、周辺装置のデータを読み込む処理に必要な命令を実行する場合、CPUは内部メモリ、及び周辺装置の割り付けられた番地をBIUのデータアドレスレジスタに渡し、データリードを指示します。BIUは指定された番地からデータをデータバッファへ読み込み、これをCPUへ転送します。

(3) データライト

内部メモリ、周辺装置へデータを書き込む処理に必要な命令を実行する場合、CPUは内部メモリ、及び周辺装置の割り付けられた番地をBIUのデータアドレスレジスタに、また書き込むデータをデータバッファに渡し、データライトを指示します。これに従ってBIUは指定された番地へ、指定されたデータを書き込む動作を行いません。

(4) バスサイクル

BIUは上記(1)~(3)の動作を実現するために、24ビット幅のアドレスバス、32ビット幅のコードバス、16ビット幅のデータバス及び内部制御信号を適宜制御して、内部メモリ、及び周辺装置との間でデータのやりとりを行います。これをバスサイクルと称します。バスサイクルは、データアクセス時、転送するデータ長(バイト、ワード、ダブルワード)の影響を受けます。

表2. 先取りする命令の格納番地

	命令格納番地の下位3ビット		
	AD ₂ (A ₂)	AD ₁ (A ₁)	AD ₀ (A ₀)
偶数番地	X	X	0
4バイト境界	X	0	0
8バイト境界	0	0	0

図7、図8に命令先取り、データアクセス実行バスサイクルの動作波形例を示します。

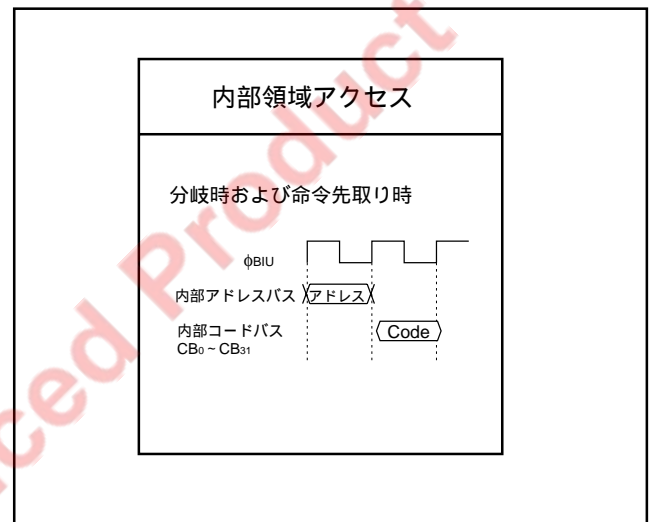


図7. 命令の先取り実行バスサイクルの動作波形例

開発中

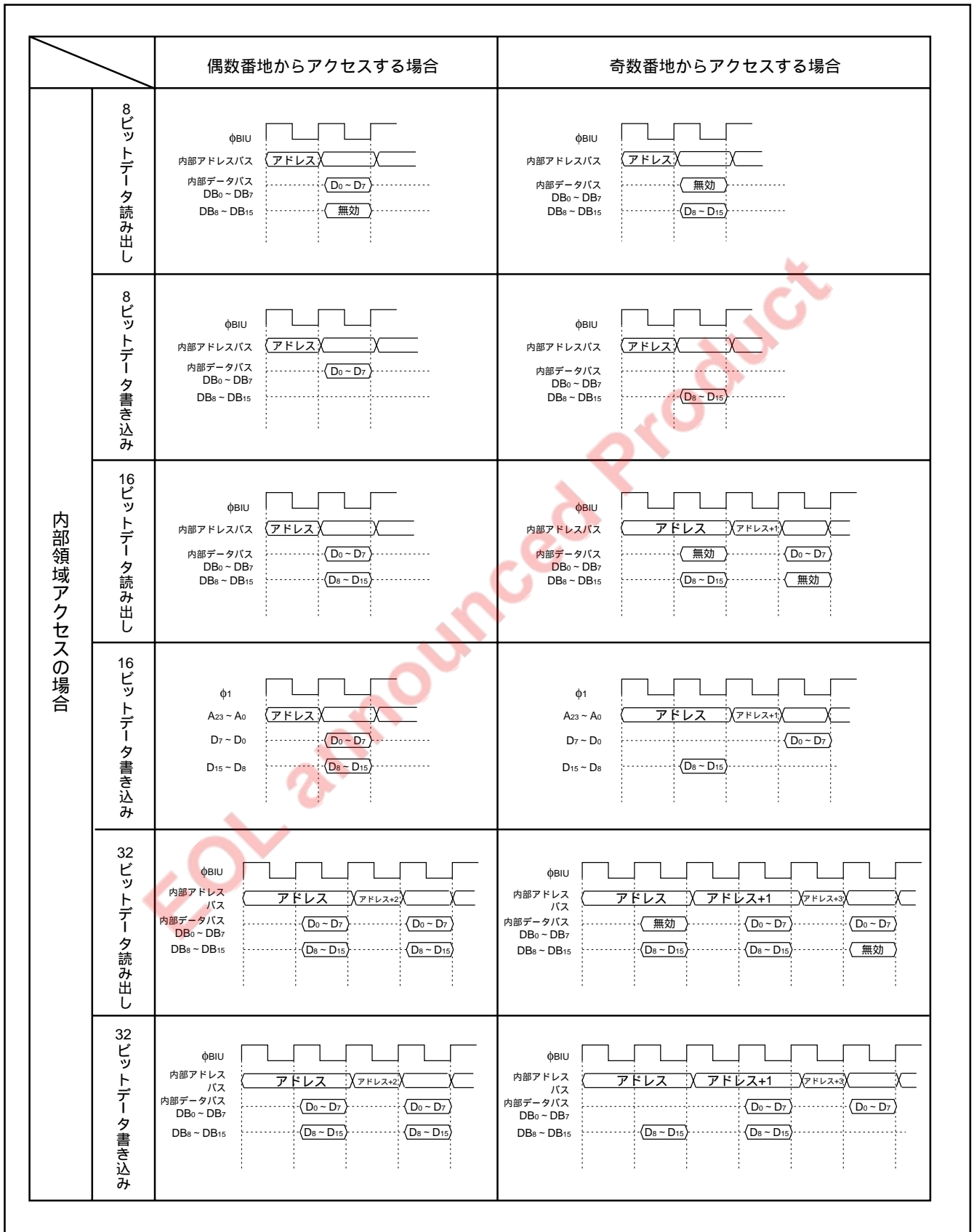


図8. 内部領域に対するデータアクセス実行バスサイクルの動作波形例

開発中

バスサイクル数

図9に内部領域アクセス時のバスサイクルの波形図を示します。内部ROMのバスサイクル数は、バスサイクル3φか、2φかを、図10に示すプロセッサモードレジスタ1(5F16番地)

のビット7(内部ROMバスサイクル選択ビット)で選択します。内部RAM、SFR(周辺装置制御レジスタ)は常にバスサイクル2φでアクセスされます。

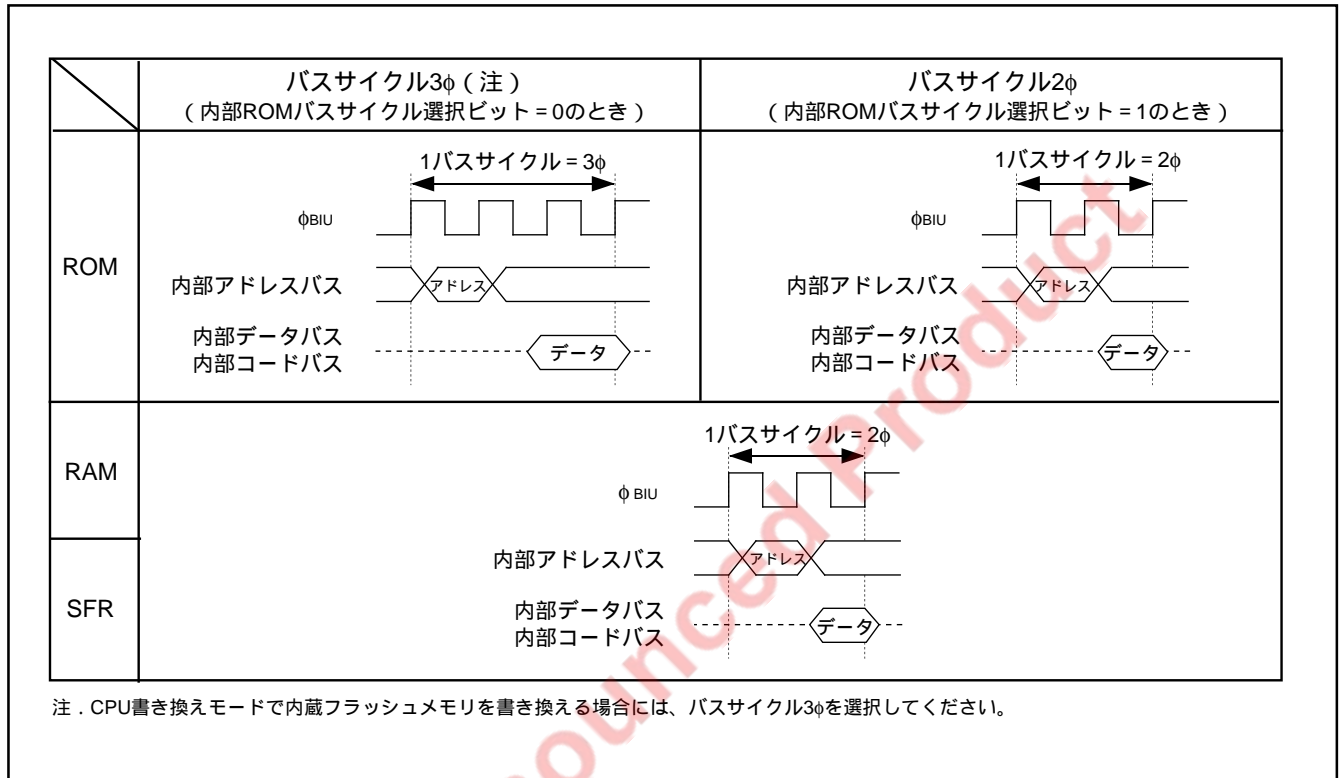


図9. 内部領域アクセス時のバスサイクル

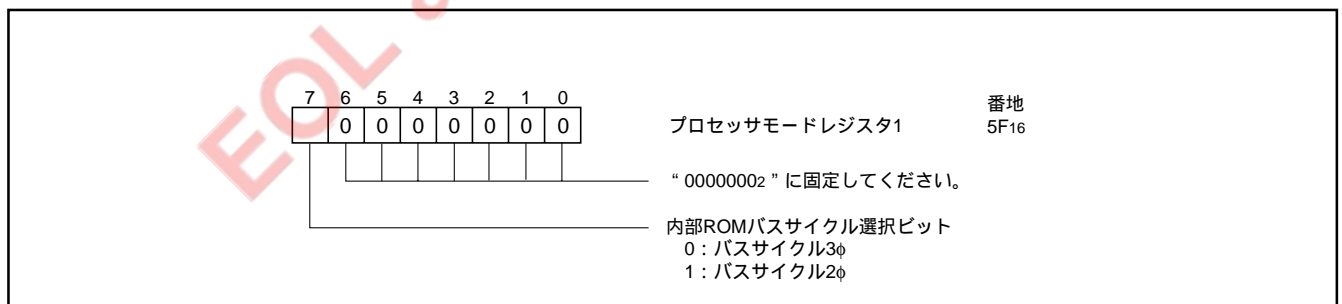


図10. プロセッサモードレジスタ1のビット構成

開発中

プロセッサモード

本製品はシングルチップモード専用です。MD0端子はVssに接続してください。図11に示すプロセッサモードレジスタ(5E16番地)のビット1, (プロセッサモードビット)は“002”に固定してください。

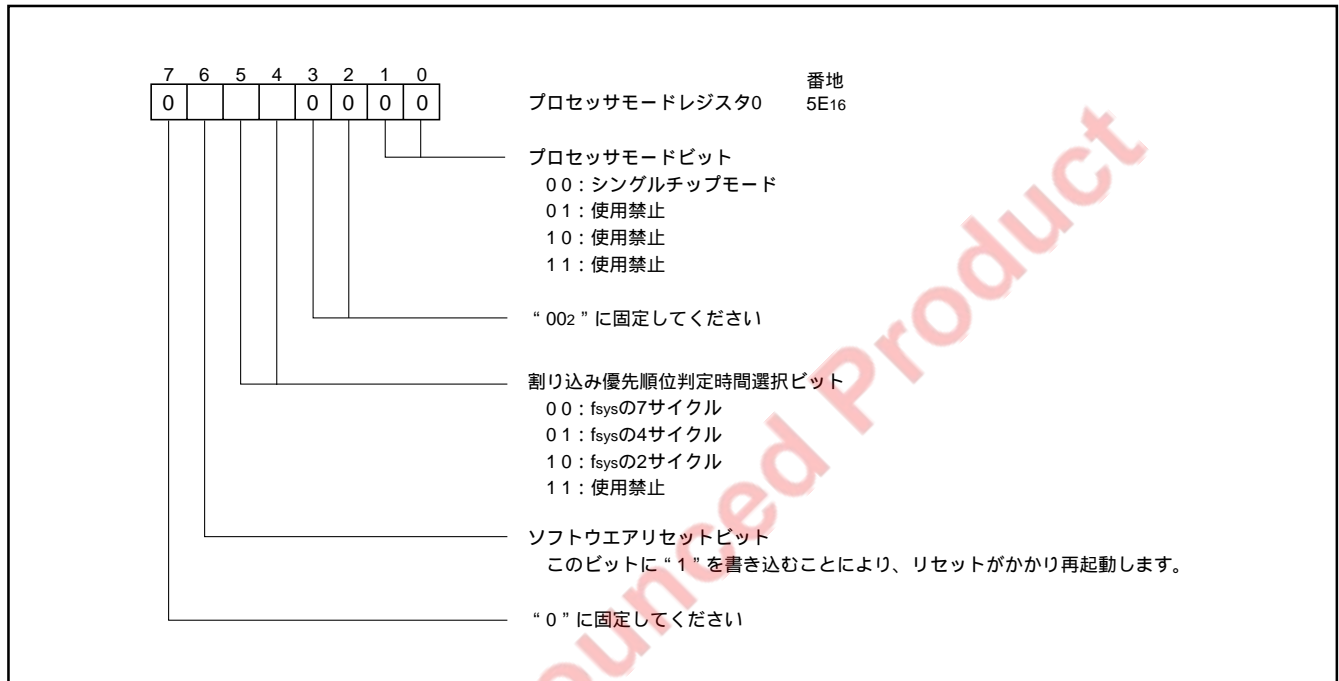


図11. プロセッサモードレジスタ0のビット構成

開発中

割り込み

割り込み要因とベクトル番地を表3に示します。リセットも割り込みの一種として扱います。

DBC、BRK命令はデバッガで使用する専用割り込みですので、使用しないでください。

リセット、監視タイマ、0除算及びアドレス一致検出による割り込み以外の割り込みは、各割り込み制御レジスタをもっています。表4に割り込み制御レジスタの番地、図13に割り込み制御レジスタのビット構成を示します。

割り込み要求ビットはリセット時あるいは、それぞれの割り込み要求が受け付けられ、割り込み処理に入るときにハードウェアで自動的にクリアされます。また、監視タイマ以外の割り込み要求ビットは、ソフトウェアでクリアできます。

$\overline{INT}(i=0\sim 7)$ は、外部入力による割り込みです。

\overline{INT}_i は外部入力のレベルで割り込みをかけるのが(レベルセンス)、エッジで割り込みをかけるのが(エッジセンス)を、レベルセンス/エッジセンス切り替えビットで選択できます。さらに、割り込みのかかる極性を極性切り替えビットで選択できます。

$P51/\overline{INT}_1$, $P52/\overline{INT}_2$, $P53/\overline{INT}_3$, $P55/\overline{INT}_5$, $P56/\overline{INT}_6$, 及び $P57/\overline{INT}_7$ 端子を外部割り込みの入力端子として使用する場合は、共用となっているポートの方向レジスタを“0”にしてください。

なお、図12に示す外部割り込み入力読み出しレジスタ(95₁₆番地)を読み出すと、 $\overline{INT}_0\sim\overline{INT}_7$ の状態を直接読み出すことができます。

タイマ、UARTなどの各割り込みについては、それぞれの項で説明します。

同一サンプリング時点で複数の割り込み要求があった場合、どの割り込みが優先されるかは図14に示すように一部はハードウェアで決まっており、一部はソフトウェアで任意に設定できます。ハードウェアでは、リセット>監視タイマ>その他の割り込みの順で優先レベルが決まっています。

0除算による割り込みあるいはアドレス一致検出による割り込みは、ソフトウェア割り込みですので、この優先順位とは無関係に割り込み動作が実施されます。

その他の割り込みとは、A-D変換器、UARTなどの割り込みで、各割り込み制御レジスタの割り込み優先レベルをソフトウェアで変更することにより、優先レベルを変更できます。

表3. 割り込み要因とそのベクトル番地

割り込み要因	ベクトル番地	
UART2送信	00FFB4 ₁₆	00FFB5 ₁₆
UART2受信	00FFB6 ₁₆	00FFB7 ₁₆
タイマA9	00FFB8 ₁₆	00FFB9 ₁₆
タイマA8	00FFBA ₁₆	00FFBB ₁₆
タイマA7	00FFBC ₁₆	00FFBD ₁₆
タイマA6	00FFBE ₁₆	00FFBF ₁₆
タイマA5	00FFC0 ₁₆	00FFC1 ₁₆
\overline{INT}_7 外部割り込み	00FFC2 ₁₆	00FFC3 ₁₆
\overline{INT}_6 外部割り込み	00FFC4 ₁₆	00FFC5 ₁₆
\overline{INT}_5 外部割り込み	00FFC6 ₁₆	00FFC7 ₁₆
アドレス一致検出	00FFCA ₁₆	00FFCB ₁₆
\overline{INT}_4 外部割り込み	00FFD0 ₁₆	00FFD1 ₁₆
\overline{INT}_3 外部割り込み	00FFD2 ₁₆	00FFD3 ₁₆
A-D変換	00FFD4 ₁₆	00FFD5 ₁₆
UART1送信	00FFD6 ₁₆	00FFD7 ₁₆
UART1受信	00FFD8 ₁₆	00FFD9 ₁₆
UART0送信	00FFDA ₁₆	00FFDB ₁₆
UART0受信	00FFDC ₁₆	00FFDD ₁₆
タイマB2	00FFDE ₁₆	00FFDF ₁₆
タイマB1	00FFE0 ₁₆	00FFE1 ₁₆
タイマB0	00FFE2 ₁₆	00FFE3 ₁₆
タイマA4	00FFE4 ₁₆	00FFE5 ₁₆
タイマA3	00FFE6 ₁₆	00FFE7 ₁₆
タイマA2	00FFE8 ₁₆	00FFE9 ₁₆
タイマA1	00FFEA ₁₆	00FFEB ₁₆
タイマA0	00FFEC ₁₆	00FFED ₁₆
\overline{INT}_2 外部割り込み	00FFEE ₁₆	00FFEF ₁₆
\overline{INT}_1 外部割り込み	00FFF0 ₁₆	00FFF1 ₁₆
\overline{INT}_0 外部割り込み	00FFF2 ₁₆	00FFF3 ₁₆
監視タイマ	00FFF6 ₁₆	00FFF7 ₁₆
DBC(使用禁止)	00FFF8 ₁₆	00FFF9 ₁₆
BRK命令(使用禁止)	00FFFA ₁₆	00FFFB ₁₆
0除算	00FFFC ₁₆	00FFFD ₁₆
リセット	00FFFE ₁₆	00FFFF ₁₆

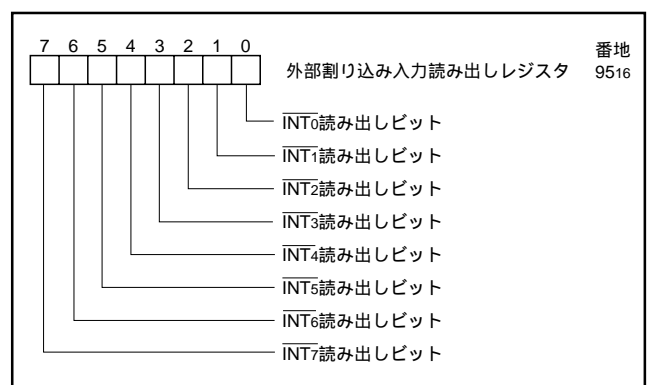
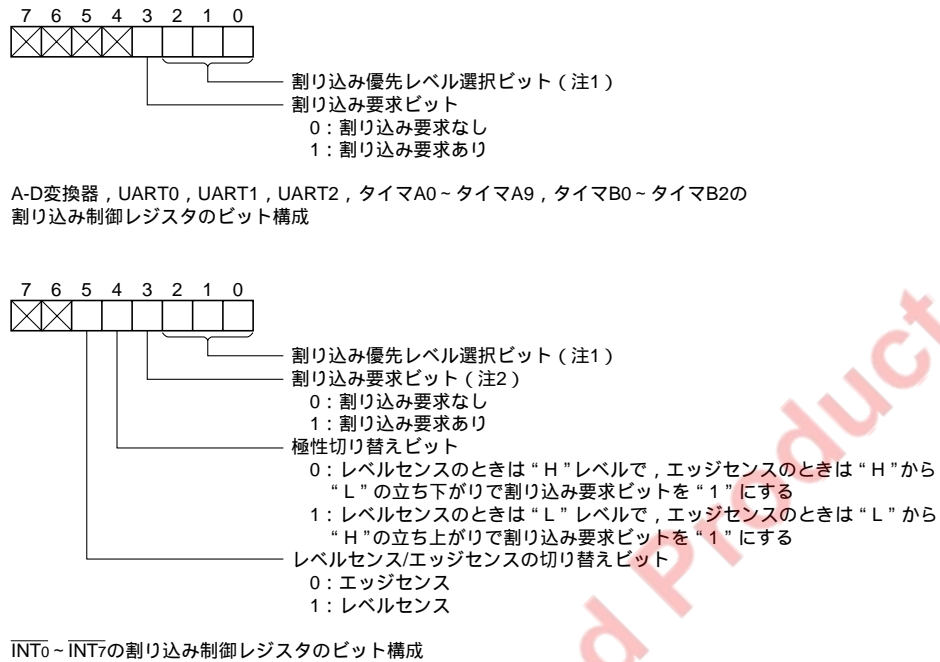


図12. 外部割り込み入力読み出しレジスタのビット構成

開発中



- 注1. このビットへの書き込みにはMOV(M)命令、又はSTA(STAB, STAD)命令を使用してください。
注2. INT0~INT7の割り込み要求ビットは、レベルセンス選択時無効です。

図13. 割り込み制御レジスタのビット構成

開発中

表4. 割り込み制御レジスタの番地

割り込み制御レジスタ	番地
INT3 割り込み制御レジスタ	00006E16
INT4 割り込み制御レジスタ	00006F16
A-D変換割り込み制御レジスタ	00007016
UART0送信割り込み制御レジスタ	00007116
UART0受信割り込み制御レジスタ	00007216
UART1送信割り込み制御レジスタ	00007316
UART1受信割り込み制御レジスタ	00007416
タイマA0割り込み制御レジスタ	00007516
タイマA1割り込み制御レジスタ	00007616
タイマA2割り込み制御レジスタ	00007716
タイマA3割り込み制御レジスタ	00007816
タイマA4割り込み制御レジスタ	00007916
タイマB0割り込み制御レジスタ	00007A16
タイマB1割り込み制御レジスタ	00007B16
タイマB2割り込み制御レジスタ	00007C16
INT0 割り込み制御レジスタ	00007D16
INT1 割り込み制御レジスタ	00007E16
INT2 割り込み制御レジスタ	00007F16
UART2送信割り込み制御レジスタ	0000F116
UART2受信割り込み制御レジスタ	0000F216
タイマA5割り込み制御レジスタ	0000F516
タイマA6割り込み制御レジスタ	0000F616
タイマA7割り込み制御レジスタ	0000F716
タイマA8割り込み制御レジスタ	0000F816
タイマA9割り込み制御レジスタ	0000F916
INT5 割り込み制御レジスタ	0000FD16
INT6 割り込み制御レジスタ	0000FE16
INT7 割り込み制御レジスタ	0000FF16

割り込み優先レベル判定回路を図15に示します。割り込みを要求している割り込みは、上側からきた優先レベルと自分の優先レベルを比較し、自分の優先レベルが高いとき、自分の優先レベルを下側へ送り出し割り込みを要求します。優先レベルが同じときは上側が優先します。

このようにして比較を続けることにより、割り込みを要求している割り込み要因のうち、優先レベルの一番高いものを選びられることになります。最後に、プロセッサステータスレジスタPSのプロセッサ割り込み優先レベルIPLと比較し、IPLより優先レベルが高く、かつ、割り込み禁止フラグIが0'のときその割り込みは受け付けられます。Iが1'のときは割り込みは受け付けられません。なお、リセット、監視タイマは割り込み禁止フラグIの影響は受けません。

割り込みを受け付けると、プロセッサステータスレジスタPSなどのレジスタの内容がスタックに退避され、割り込み禁止フラグIは1'にセットされます。

また、受け付けられた割り込みの割り込み要求ビットは“0'にクリアされ、プロセッサステータスレジスタPSの中のプロセッサ割り込み優先レベルIPLは受け付けた割り込みの優先レベルに置き換えられます。したがって、割り込み禁止フラグIを“0'にリセットし、再び割り込み受け付け可能状態にすることにより多重割り込みが可能になります。

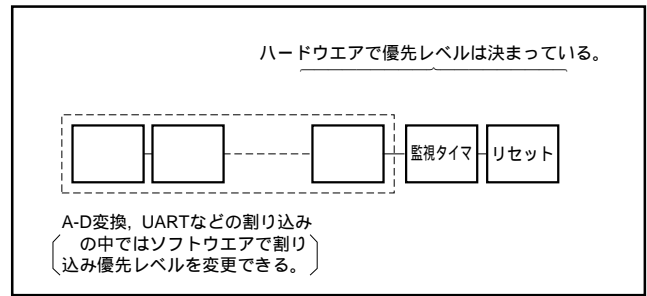


図14. 割り込み優先レベル

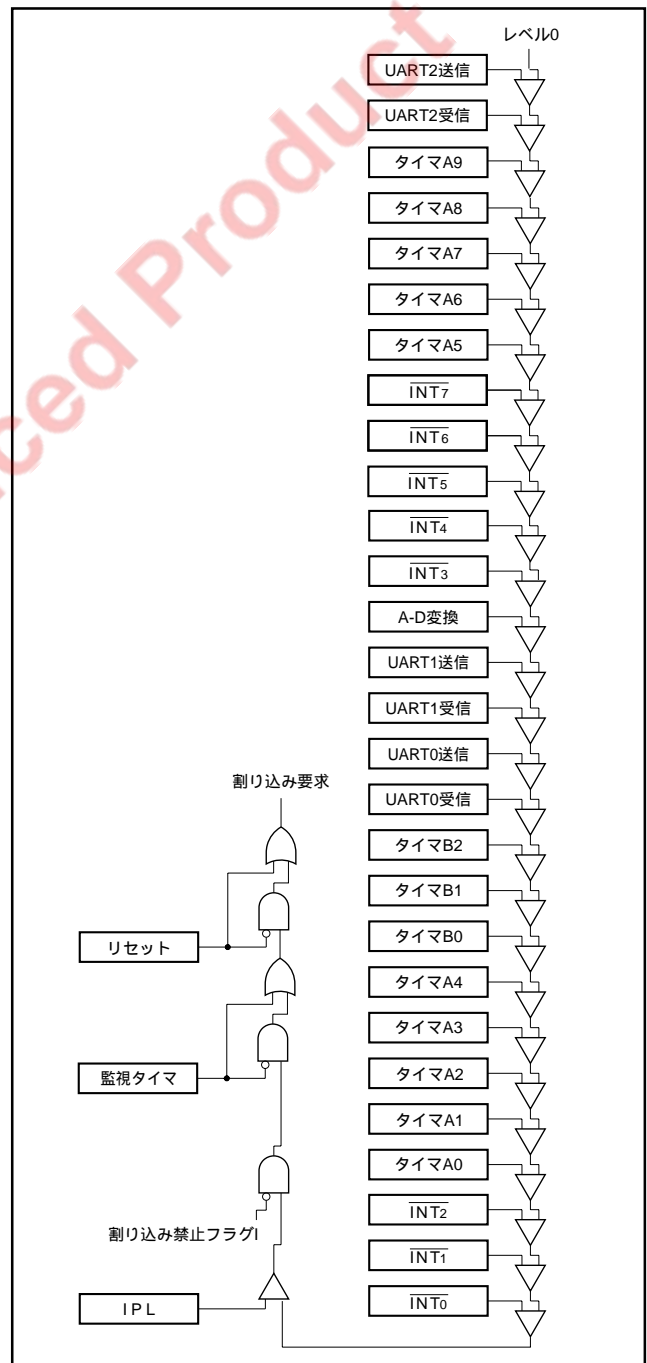


図15. 割り込み優先レベル判定

開発中

なお、割り込み制御レジスタを持っていないリセット、監視タイマ、0除算を実行した場合、アドレス一致検出による割り込みを受け付けた場合、プロセッサ割り込み優先レベルIPLは表5に示すようになります。

各割り込み要因の割り込み要求ビット及び割り込み優先レベルは、オペコードフェッチサイクルごと(オペコードフェッチサイクル中の f_{sys} が“H”の期間)にサンプリング、ラッチされます。ただし、サンプリングパルス発生後、ソフトウェアで選択したサイクル数が経過するまでは、オペコードフェッチサイクルがきてもサンプリングパルスは発生しません。この期間には、最優先の割り込み要因の判定が行われます。

図16に示すように割り込み優先レベルの判定時間には3種類の長さがあり、ソフトウェアでいずれか一つを選択します。選択した時間が経過した後、最優先の割り込みが決定され、現在実行中の命令が終了しだい割り込み処理に入ります。

時間選択は図11に示すようにプロセッサモードレジスタ0(5E16番地)のビット4とビット5で指定します。ビットと判定に要するサイクル数の関係を表6に示します。リセット解除後プロセッサモードレジスタ0は“0016”に初期化されますので、一番長い時間が選択されますが、プログラムで一番短い時間を選択してください。

表5. 割り込み時にプロセッサ割り込み優先レベルIPLにセットされる値

割り込み要因	IPLにセットされる値
リセット	0
監視タイマ	7
0除算	IPLの値は変化しない。
アドレス一致検出	IPLの値は変化しない。

表6. 割り込み優先順位判定時間選択ビットとサイクル数の関係

優先順位判定時間選択ビット		サイクル数(注)
ビット5	ビット4	
0	0	f_{sys} の7サイクル
0	1	f_{sys} の4サイクル
1	0	f_{sys} の2サイクル

注：システムクロック f_{sys} については、クロック発生回路の項を参照してください。

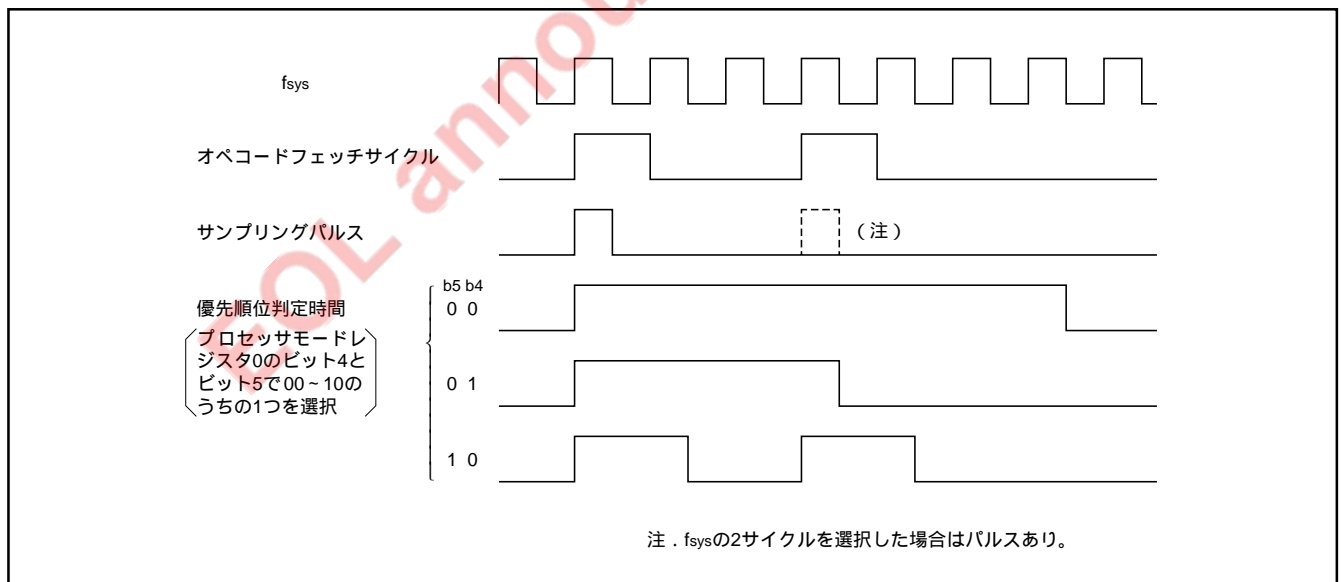


図16. 優先順位判定時間

開発中

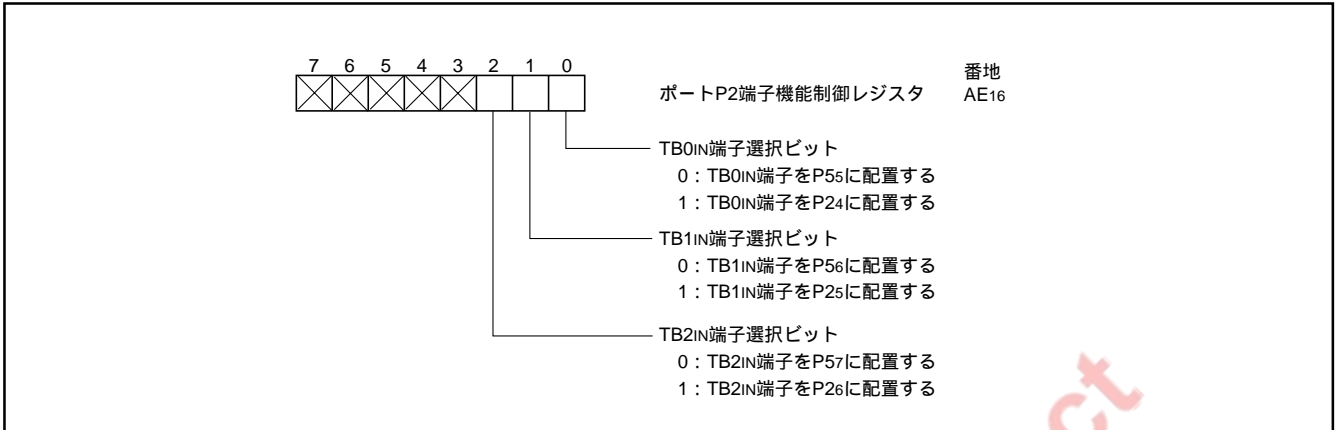


図17. ポートP2端子機能制御レジスタのビット構成

EOL announced Product

開発中

タイマ

タイマは16ビットタイマで8本内蔵されています。タイマはその機能からタイマA(10本)とタイマB(3本)の2種類のタイマに分けられます。

タイマの入出力端子はポートP2、ポートP4及びポートP6の入出力端子と共用しています。タイマの入力端子として使用する場合は、その端子に対応する方向レジスタのビットを“0”に設定し、入力モードにしてご使用ください。

タイマA

図18にタイマAのブロック図を示します。

タイマAではタイマモード、イベントカウンタモード、ワンショットパルスモード、パルス幅変調モードの4種類のモードが選択できます。モードはタイマAiモードレジスタ(i=0~9)のビット0とビット1の内容で選択します。

図19にタイマAクロック分周指定レジスタのビット構成を示します。このレジスタのビット0、ビット1で選択するカウントソースをタイマA0~タイマA9で使用します。

(1) タイマモード[00]

図20にタイマモード時のタイマAiモードレジスタのビット構成を示します。タイマモードでは、タイマAiモードレジスタのビット0、ビット1、ビット5は必ず“0”にしてください。

ビット6、ビット7及びタイマAクロック分周指定レジスタの内容でタイマのカウントソースを選択します(表7参照)。カウント開始フラグの内容が“1”のとき、選択されたクロックをカウントし、“0”のときはカウントを停止します。

カウント開始フラグのビット構成を図21に示します。カウントはダウンカウントで、カウンタの内容が0000₁₆になると割り込み要求信号を発生し、タイマAi割り込み制御レジスタの割り込み要求ビットがセットされます。同時に、リロードレジスタの内容をカウンタに入れて、カウントを続けます。

タイマAiモードレジスタのビット2の内容が“1”のときは、カウンタの内容が0000₁₆になるたびに、極性が反転する波形をTAiOUT端子から出力します。カウント開始フラグの内容が“0”のときはTAiOUT端子には“L”が出力されます。

ビット2の内容が“0”のときはTAiOUTは通常のポート端子として使用できます。

ビット4の内容が“0”のときは、TAiINは通常のポート端子として使用できます。

次に、ビット4の内容が“1”のときは、図22に示すように、TAiIN端子からの入力信号が“H”の期間又は“L”の期間のみカウントしますので、TAiINの入力信号のパルス幅を測定することが可能です。“H”の期間にカウントするのか、“L”の期間にカウントするのかは、ビット3の内容により決まります。

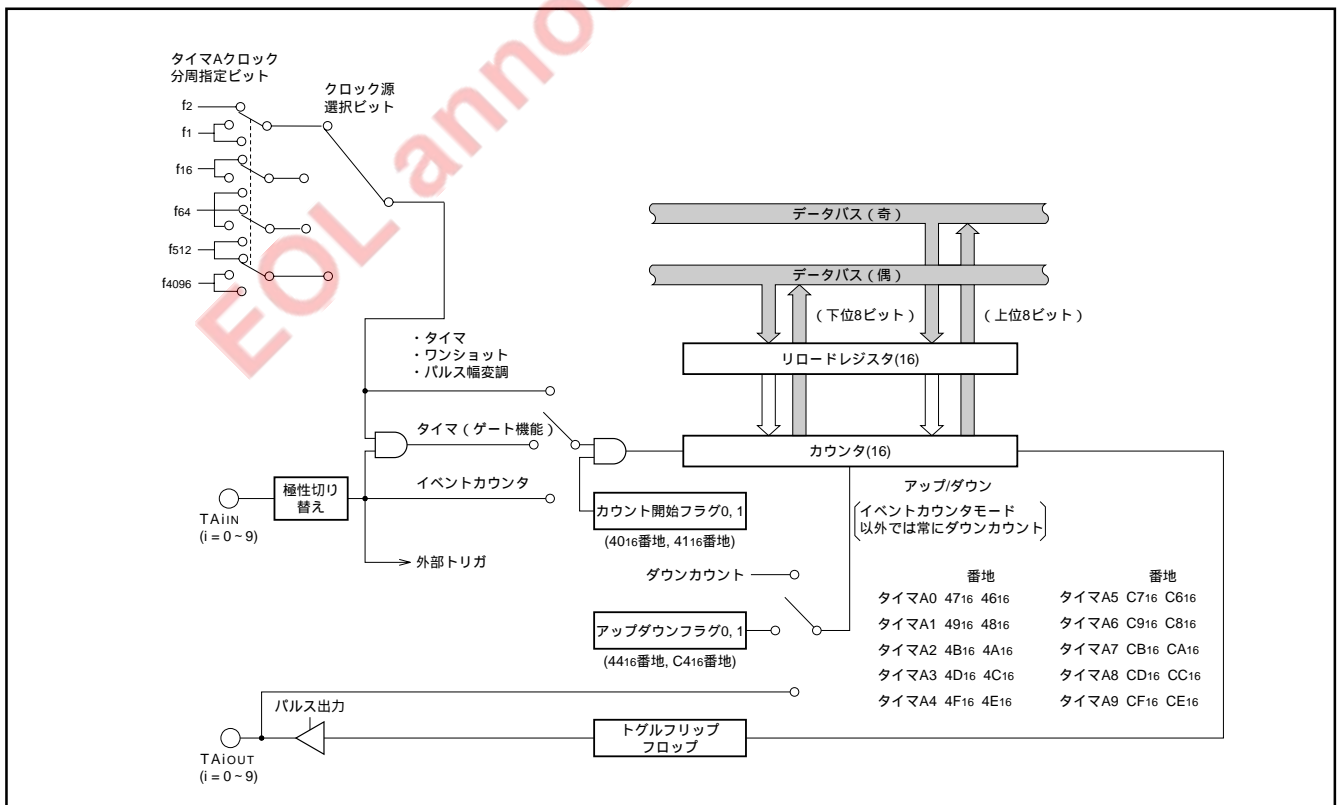


図18. タイマAのブロック図

開発中

ビット3の内容が、“1”のときは、TAiIn端子の入力信号が“H”の期間にカウントし、“0”のときはTAiIn端子の入力信号が“L”の期間にカウントします。

なお、カウントする期間のパルス幅、又はカウントを停止する期間のパルス幅はタイマのカウントソースの2サイクル分以上にしてください。

タイマAiが停止中にタイマAiレジスタにデータを書き込むと、リロードレジスタとカウンタにそのデータが書き込まれます。

タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容は任意のタイミングで読み出すことができます。

タイマAiレジスタに設定した値をnとすると、タイマの分周比は1/(n + 1)です。

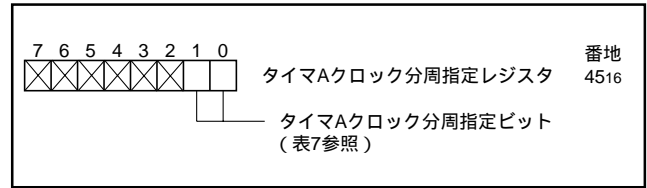


図19. タイマAクロック分周指定レジスタのビット構成

表7. タイマAクロック分周指定ビット、クロック源選択ビットとカウントソースの関係

クロック源選択ビット (5616 ~ 5A16番地のビット7, 6) (D616 ~ DA16番地のビット7, 6)	タイマAクロック分周指定ビット (4516番地のビット1, 0)				選択禁止
	00	01	10	11	
00	f2	f1	f1		選択禁止
01	f16	f16	f64		
10	f64	f64	f512		
11	f512	f4096	f4096		

注. タイマAクロック分周指定ビットで選択したクロックをタイマA0 ~ タイマA9で共通に使用します。

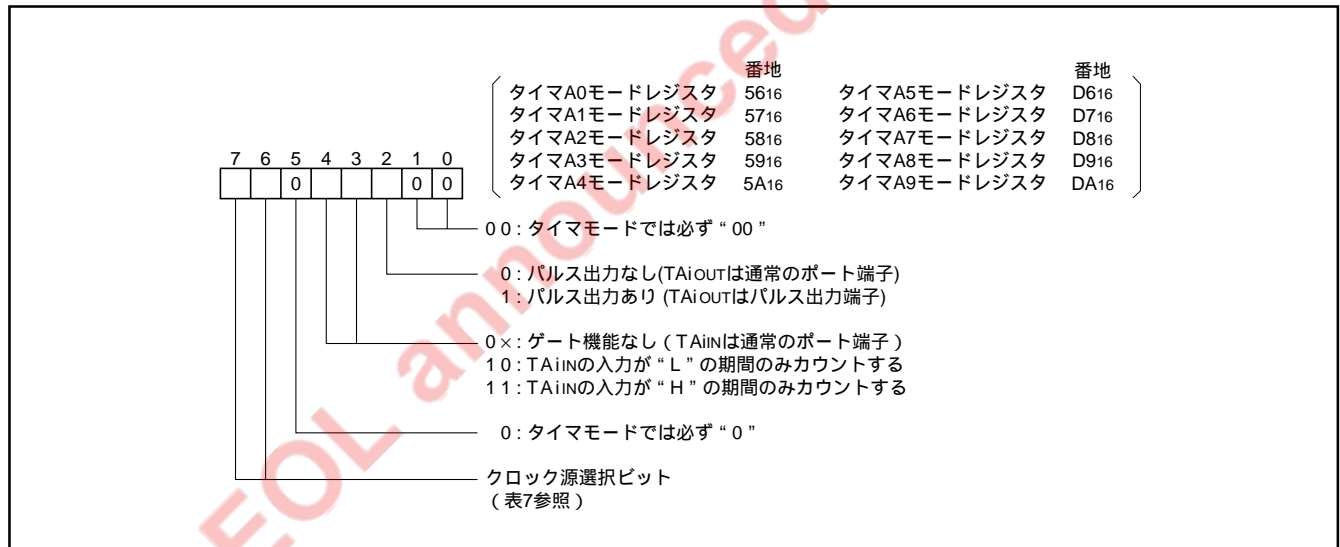


図20. タイマモード時のタイマAiモードレジスタのビット構成

開発中

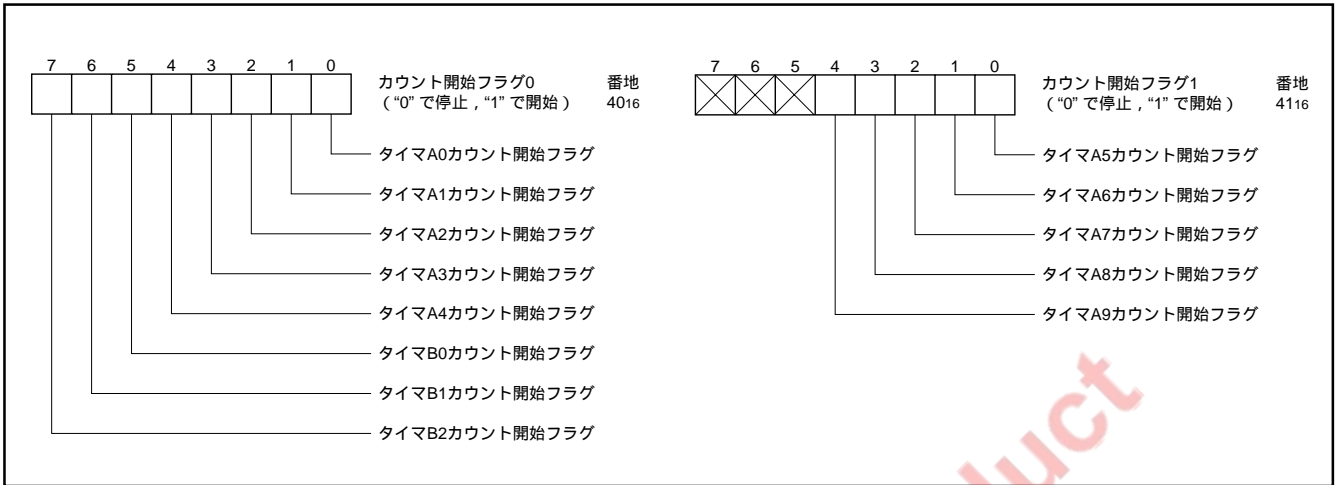


図21. カウント開始フラグのビット構成

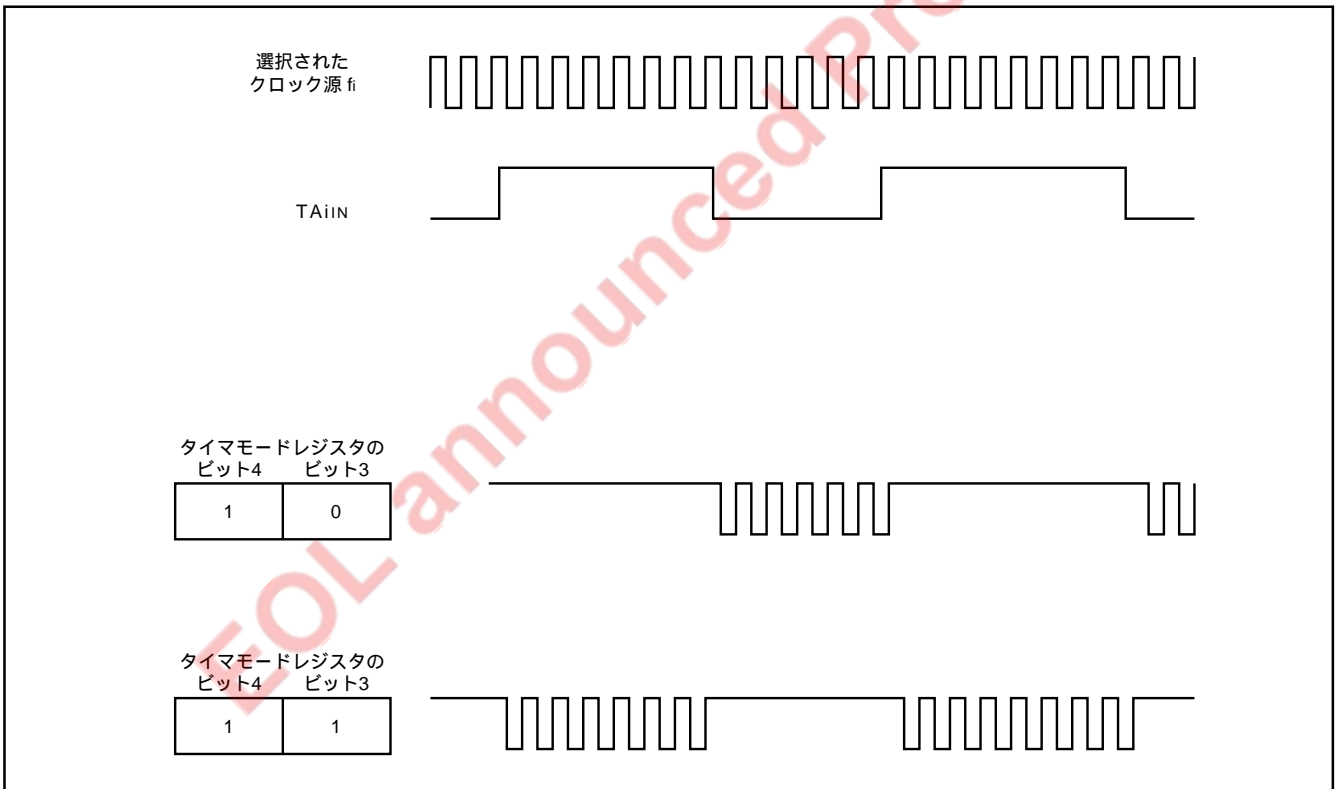


図22. ゲート機能有りの場合のカウンタ波形

開発中

(2) イベントカウンタモード [01]

図23にイベントカウンタモード時のタイマAiモードレジスタのビット構成を示します。イベントカウンタモードでは、タイマAiモードレジスタのビット0は“1”に、ビット1とビット5は“0”にします。

図21に示すカウント開始フラグの内容が“1”のときTAiIn端子からの入力信号をカウントし、“0”のときカウントを停止します。

ビット3の内容が“0”のときは入力信号の立ち下がりでもカウントし、“1”のときは立ち上がりでもカウントします。イベントカウンタモードでは、アップカウントかダウンカウントかをアップダウンフラグの内容かTAiOut端子の入力信号かで選択できます。

タイマAiモードレジスタのビット4の内容が“0”のときはアップダウンフラグの内容によって、アップカウントかダウンカウントかが決まります(アップダウンフラグの内容が“0”のときはダウンカウント、“1”のときはアップカウントになります)。図24にアップダウンフラグのビット構成を示します。

タイマAiモードレジスタのビット4の内容が“1”のときはTAiOut端子の入力信号によって、アップカウントかダウンカウントかを選択します。ただし、ビット2の内容が“1”である場合、TAiOut端子は出力端子となり、パルスが出力されるので、ビット4の内容が“1”の場合は、ビット2は“0”にしてください。

TAiOut端子の入力信号が“L”のときダウンカウント、“H”

のときアップカウントになります。TAiOut端子の入力信号のレベルは、TAiIn端子に入力される有効エッジが入力される前に確定させてください。

ダウンカウントのときはカウンタの内容が0000₁₆に、またアップカウントのときは、カウンタの内容がFFFF₁₆になると、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。同時に、リロードレジスタの内容をカウンタに入れてカウントを続けます。

ビット2の内容が“1”のときは、カウンタの内容が0000₁₆(ダウンカウント時)又はFFFF₁₆(アップカウント時)になるたびに、極性の反転する波形をTAiOut端子から出力します。

ビット2の内容が“0”のときはTAiOut端子は通常のポート端子として使用できます。ただし、ビット4の内容を“1”にしておくと、TAiOut端子を出力端子として使用する場合、その端子からの出力でカウンタのアップ、ダウンが変わりますので、TAiOut端子からの出力でカウンタのアップ、ダウンを選択しない場合は、ビット4の内容を“0”にしておいてください。

データの書き込み、読み出しはタイマモードと同じで、タイマAiが停止中にタイマAiにデータを書き込むと、リロードレジスタとカウンタに書き込まれます。タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容

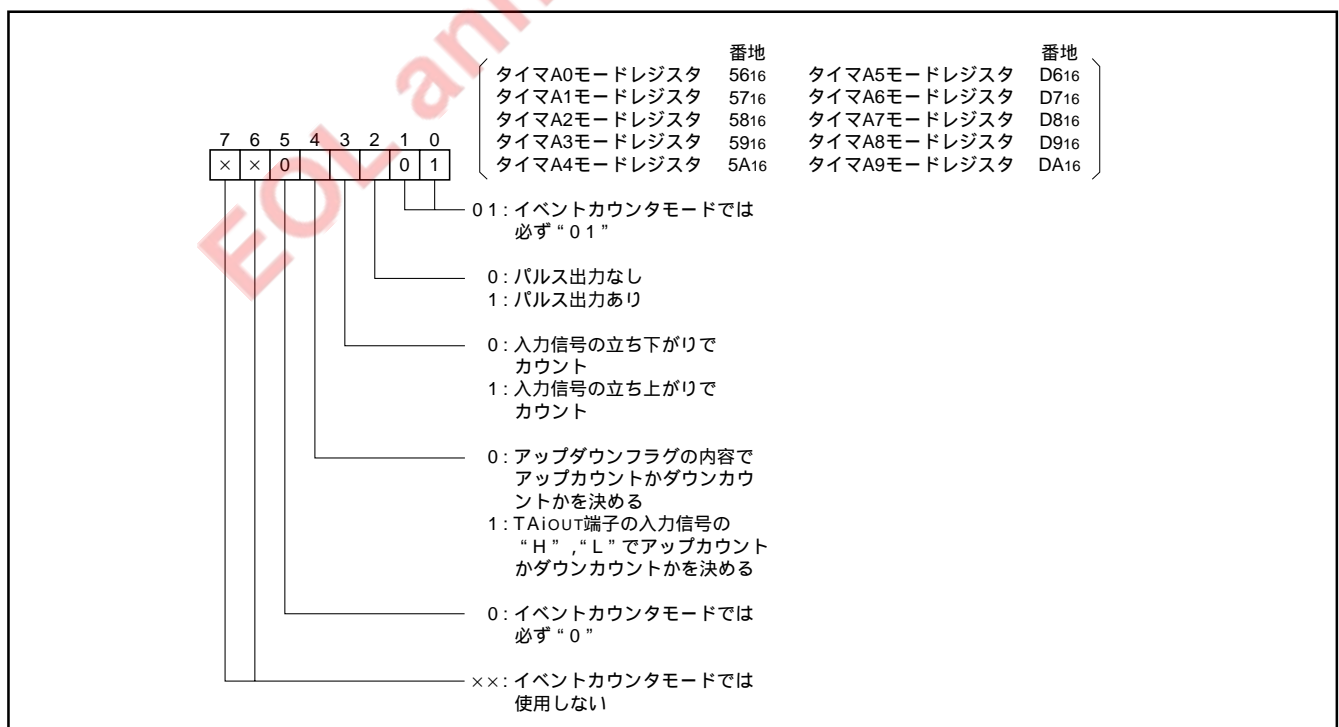


図23. イベントカウンタモード時のタイマAiモードレジスタのビット構成

開発中

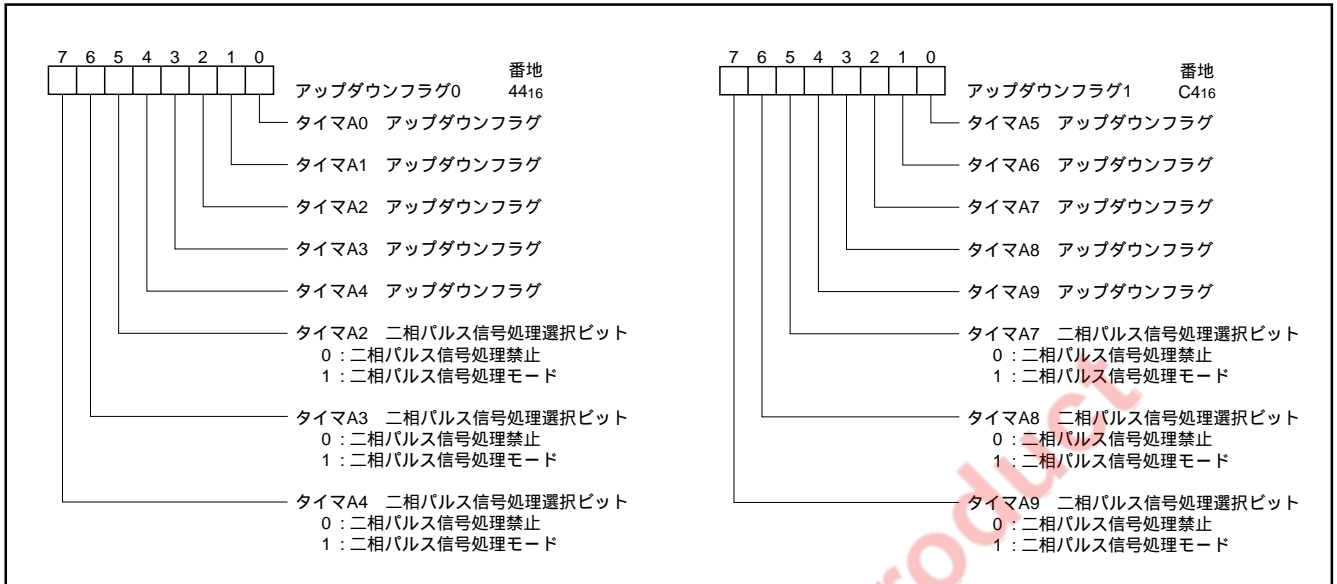


図24. アップダウンフラグのビット構成

は、任意のタイミングで読み出すことができます。

イベントカウンタモードの場合、タイマA2、タイマA3、タイマA4、タイマA7、タイマA8、タイマA9に対しては位相が90°ずれた二相パルスを入力することで、カウンタのアップダウンを制御することもできます。二相パルス処理の動作にはタイマA2、タイマA3、タイマA7及びタイマA8を使用した処理動作と、タイマA4及びタイマA9を使用した処理動作の2種類があります。どちらの処理動作においても二相パルスの入力方法は同じで、TAjOUT(j = 2~4, 7~9)端子及びTAjIN端子にお互いに90°位相のずれたパルスを入力します。

タイマA2、タイマA3、タイマA7及びタイマA8を使用した場合、図25に示すようにTAKOUT(k = 2, 3, 7, 8)端子のレベルが「L」から「H」に立ち上がった後、TAKIN端子に立ち上がりエッジが入力されるとアップカウントし、立ち下がりエッジが入力されるとダウンカウントを行います。

タイマA4及びタイマA9の場合、図26に示すようにTAIOUT(l = 4, 9)端子のレベルが「L」から「H」に立ち上がった後、TAIIN端子に立ち上がりエッジが入力される位相関係のパルスが入力されたときは、TAIOUT端子及びTAIIN端子のそれぞれの立ち上がりエッジ、立ち下がりエッジをすべてアップカウントします。

また、TAIIN端子のレベルが「H」から「L」に立ち下がった後、TAIOUT端子に立ち下がりエッジが入力される位相関係のパルスが入力されたときは、TAIIN端子及びTAIOUT端子のそれぞれの立ち下がりエッジ、立ち上がりエッジをすべてダウンカウントします。このような二相パルス信号処理を行う場合は、図27に示すように対応するタイマのタイマAjモードレジスタのビット0とビット4は「1」に、ビット1、ビット2、

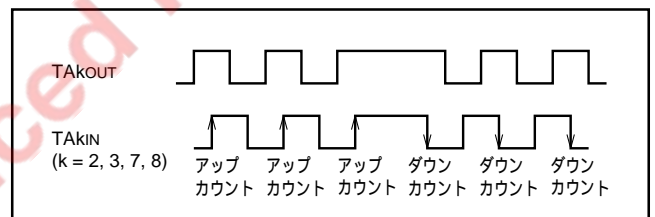


図25. タイマA2、タイマA3、タイマA7、タイマA8の二相パルス処理動作

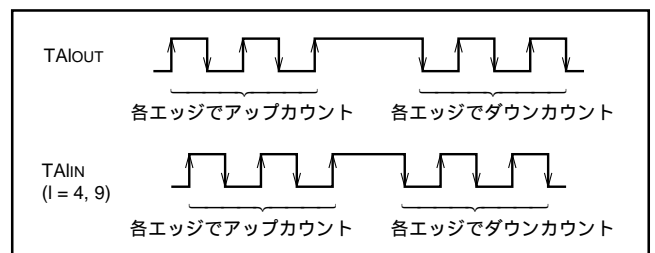


図26. タイマA4、タイマA9の二相パルス処理動作

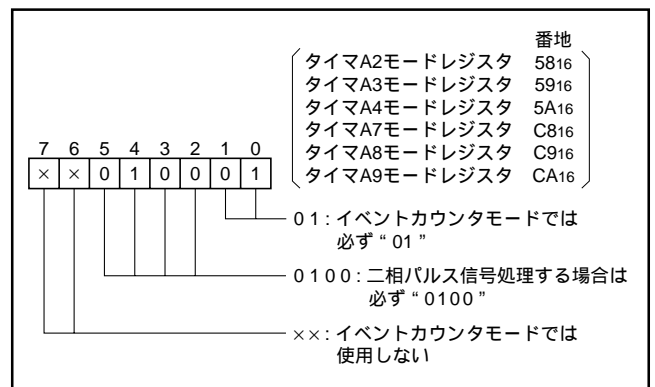


図27. イベントカウンタモード時、二相パルス信号処理させる場合のタイマAjモードレジスタのビット構成

開発中

ビット3、ビット5は“0”にしてください。ビット6とビット7は無効になります。また、アップダウンフラグ(C416番地)のビット5、ビット6、ビット7がそれぞれタイマA2、タイマA3、タイマA4、アップダウンフラグ(C416番地)のビット5、ビット6、ビット7がタイマA7、タイマA8、タイマA9の二相パルス信号処理選択ビットであり、“0”のときは通常のイベントカウンタモードの動作となり、“1”にセットすることで対応したタイマが二相パルス信号処理を行います。

カウントは、カウント開始フラグの内容を“1”にすることで開始されます。データの書き込み、読み出しは、通常のイベントカウンタモードと同じです。なお、二相パルス信号を入力しますので、入力するポートの方向レジスタは入力モードにしてください。また、この場合はパルス出力はできません。

(3) ワンショットパルスモード [10]

図28にワンショットパルスモード時のタイマAiモードレジスタのビット構成を示します。ワンショットパルスモードでは、ビット0とビット5は“0”に、ビット1とビット2は“1”にしてください。

カウント開始フラグの内容が“1”のとき、トリガ受け付け可能です。トリガはソフトウェアで発生するか、TAiIN端子から入力するか選択できます。ビット4の内容が“0”のときソフトウェアトリガ、“1”のときTAiIN端子からの入力信号がトリガになります。

トリガ信号の立ち下がりでトリガをかけるか、立ち上がりでトリガをかけるかをビット3の内容で選択します。ビット3の内容が“0”のときは立ち下がりで“1”のときは立ち上がりでトリガがかかります。

ソフトウェアトリガはワンショット開始フラグの各タイマに対応するビットに“1”を書き込むことにより発生します。

図29にワンショット開始フラグのビット構成を示します。

図30に示すように、トリガを受け付けると、カウンタはビット6、ビット7、及びタイマAクロック分周指定レジスタの内容で選択されたクロックをカウントします(表7参照)。

カウンタの内容が0000₁₆でない場合は、トリガを受け付けるとTAiOUT端子は“H”になります。カウントはダウンカウントです。

カウンタの内容が0001₁₆になるとTAiOUT端子は“L”になり、カウントは停止します。カウンタには、リロードレジスタの内容が転送されて停止します。同時に、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。トリガが入ると再び同じことを繰り返します。出力されるパルス幅は

(選択したクロックのパルス周期)

× (トリガ時点のカウンタの値)

となります。

カウント開始フラグの内容が“0”のときは、TAiOUT端子には“L”が出力されます。したがって、タイマAiカウント開始フラグの内容を“1”にする前に、発生させたいパルス幅に対応するカウント値をタイマAiに書き込んでください。

図31に示すように、前のトリガによる動作が完了する前でも、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が、カウンタへ転送された後、その値をカウントダウンします。動作中に再トリガする場合を除いて、トリガによってリロードレジスタの内容がカウンタへ転送されることはありません。

なお、再びトリガをかける場合、前のトリガ後、タイマのカウントソースの1サイクル分以上経過後にかけてください。

データの書き込みはタイマモードと同じで、タイマAiが停止中にタイマAiにデータを書き込むと、リロードレジスタとカウンタに書き込まれます。タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけ

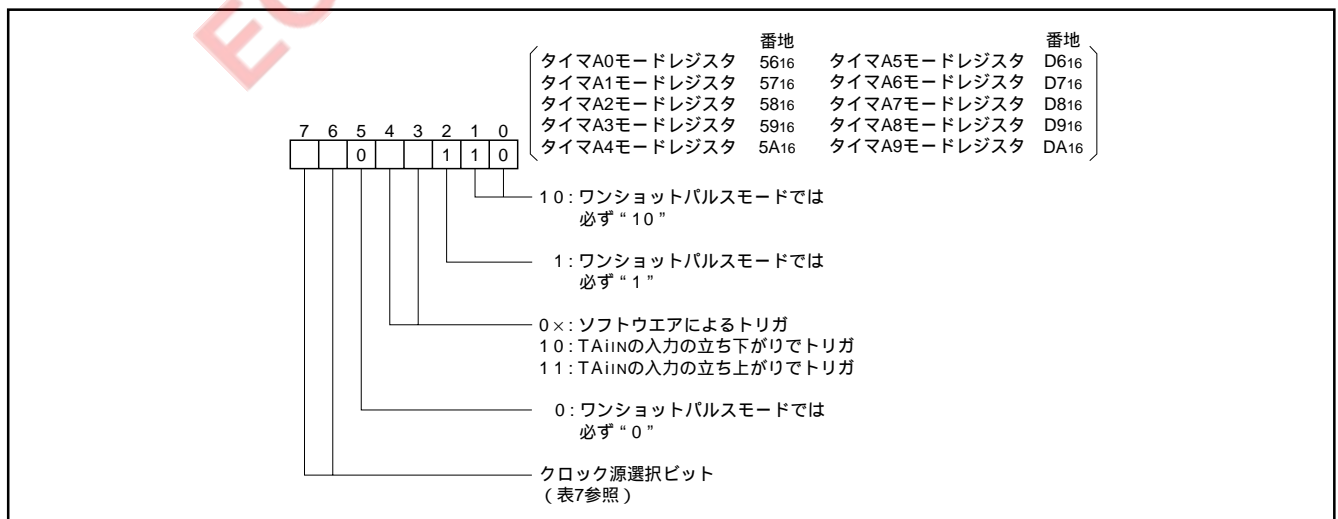


図28. ワンショットパルスモード時のタイマAiモードレジスタのビット構成

開発中

で、カウンタには書き込まれません。カウンタには、次にリロードするときリロードレジスタから新しいデータがリロードされ、動作を続けます。

タイマを読み出すと不定の値が読み出されます。

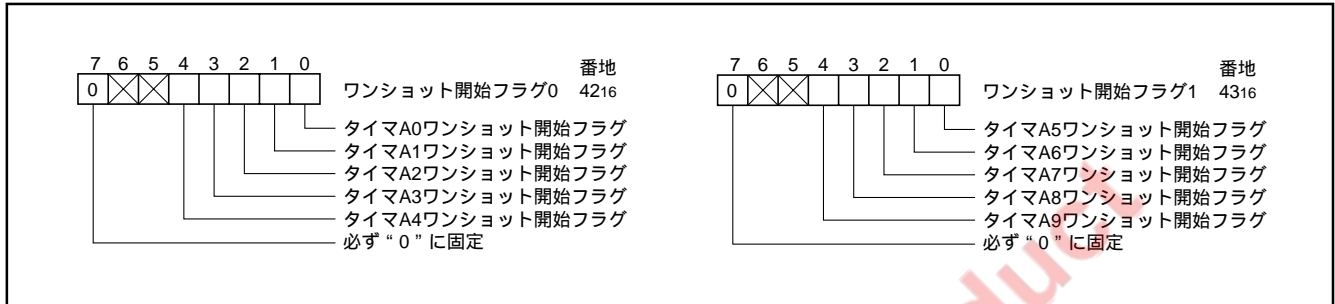


図29. ワンショット開始フラグのビット構成

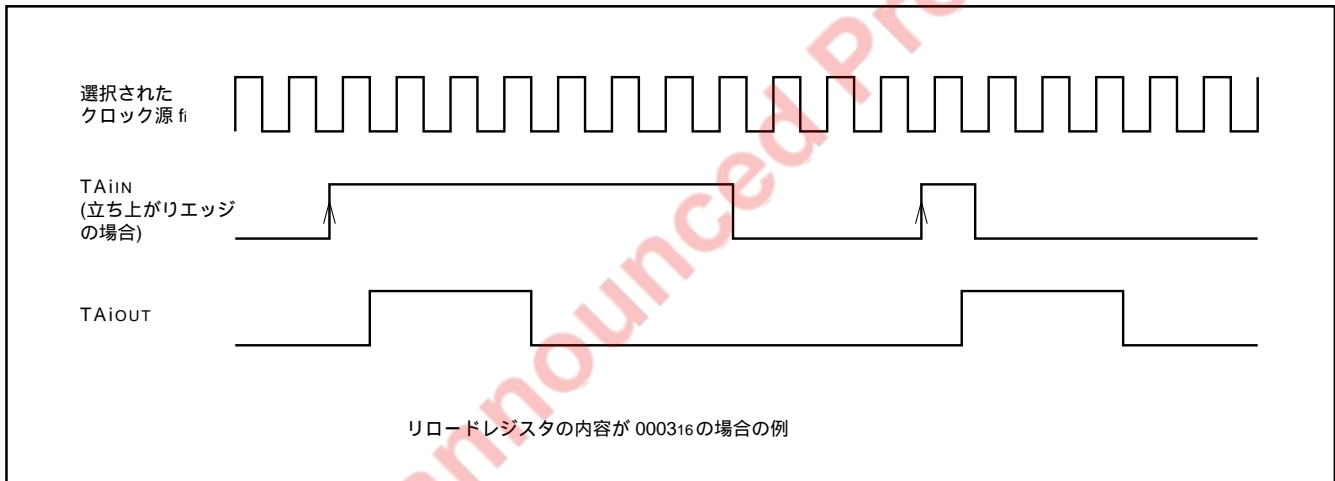


図30. 外部立ち上がりエッジを選択した場合のパルス出力例

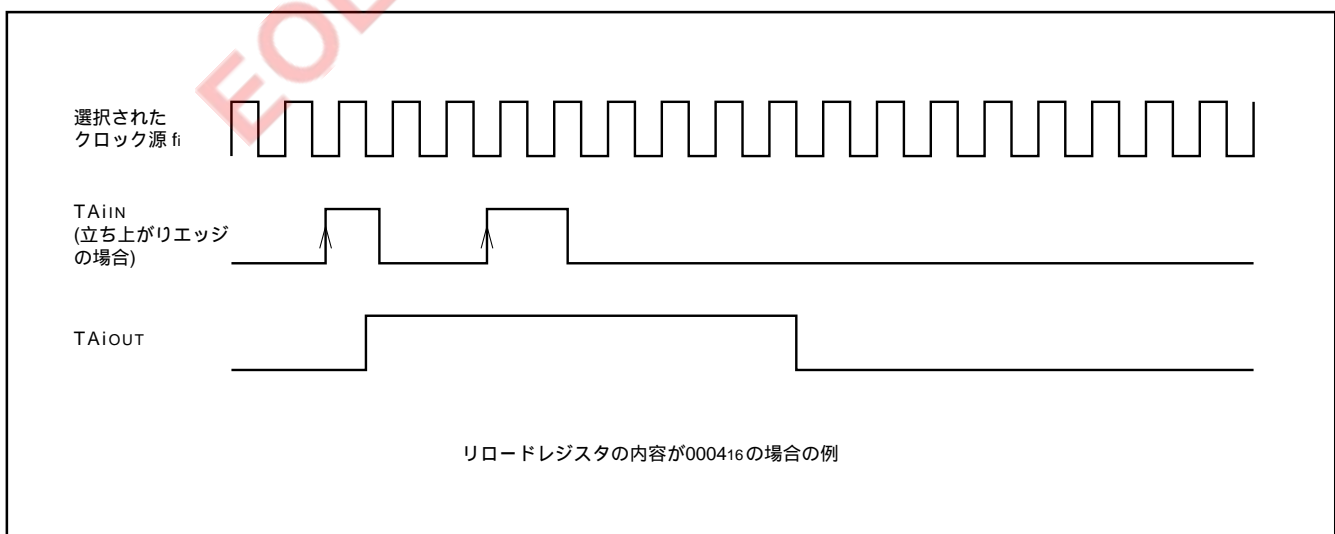


図31. パルス出力動作中にトリガを再入力した場合の例

開発中

(4) パルス幅変調モード [11]

図32にパルス幅変調モード時のタイマAiモードレジスタのビット構成を示します。パルス幅変調モードでは、ビット0、ビット1、ビット2は“1”にしてください。

ビット5の内容によって、16ビット長のパルス幅変調器として動作させるか、8ビット長のパルス幅変調器として動作させるか選択できます。ビット5の内容が“0”のとき、16ビット長のパルス幅変調器、“1”のとき8ビット長のパルス幅変調器になります。まず、16ビット長パルス幅変調器について説明します。

パルス幅変調器は、ソフトウェアでトリガをかけて動作を開始するか、TAiIN端子からの入力信号で外部トリガをかけて動作を開始するか、選択できます。

ビット4の内容が“0”のときはソフトウェアトリガモードが選択されます。カウント開始フラグの内容を“1”にするとパルス幅変調器は動作を開始し、TAiOUT端子からパルスを出力します。

ビット4の内容が“1”のときは、外部トリガモードが選択されます。カウント開始フラグの内容が“1”のときに、TAiIN端子からトリガ信号を入力すると、パルス幅変調器は動作を開始します。トリガ信号の立ち下がりかトリガをかけるか、立ち上がりかトリガをかけるかは、ビット3の内容で選択します。ビット3の内容が“0”のときは立ち下がりかトリガがかかります。“1”のときは立ち上がりかトリガがかかります。

パルス幅変調器の動作が停止しているときに、タイマAiにデータを書き込むと、リロードレジスタとカウンタに書き込まれます。その後、カウント開始フラグの内容を“1”にし、ソフトウェアトリガあるいは、外部トリガをかけ、動作を開始すると図33に示すような波形が連続して出力されます。—

旦、動作を開始すると、動作中にはトリガは受け付けられません。リロードレジスタの値をmとするとパルスの“H”の間は

$$(\text{選択したクロックの周期}) \times (m)$$

出力パルスの周期は

$$(\text{選択したクロックの周期}) \times (2^{16} - 1)$$

となります。

出力パルスの立ち下がりのたびに、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。出力中のパルス幅を変更する場合は、タイマのデータを書き替えます。この書き替えはいつでもできます。出力パルス幅は、データがタイマに書き込まれた後のパルスの立ち上がりから変わります。

リロードレジスタの内容は、次のパルスが立ち上がる直前にカウンタに転送されるので、次に出力されるパルスから変更したパルス幅になります。

タイマを読み出すと、不定の値が読み出されます。

次に、8ビット長パルス幅変調器について説明します。

タイマAiモードレジスタのビット5の内容が“1”のときは、8ビット長パルス幅変調器になります。

リロードレジスタとカウンタは、共に8ビット長に2分割されます。

下位8ビットは、プリスケアラとして働きます。上位8ビットは、8ビット長のパルス幅変調器として働きます。プリスケアラは、ビット6、ビット7、及びタイマAクロック分周指定レジスタの内容で選択されたクロックをカウントします(表7参照)。カウンタの内容が000016になると図34に示すようにパルスを発生します。同時にリロードレジスタの内容をカウンタへ転送し、カウントを続けます。

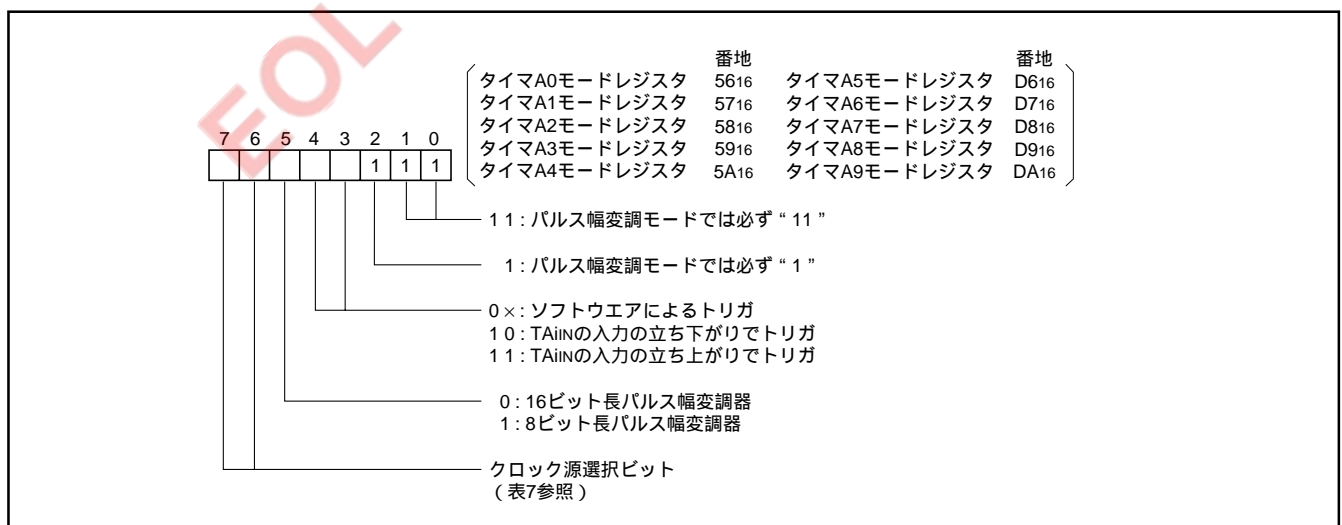


図32 . パルス幅変調モード時のタイマAiモードレジスタのビット構成

開発中

したがって、下位8ビットのリロードレジスタの内容を n とすると、発生するパルスの周期は

$$(\text{選択したクロックの周期}) \times (n+1)$$

となります。

上位8ビットは、このパルスを入力とする8ビット長のパルス幅変調器として働きます。ビット長が8ビットになるだけ

で、動作は16ビット長の場合と同じです。上位8ビットのリロードレジスタの内容を m とするとパルスの“H”の期間は

$$(\text{選択したクロックの周期}) \times (n+1) \times (m)$$

出力パルスの周期は

$$(\text{選択したクロックの周期}) \times (n+1) \times (2^8 - 1)$$

となります。

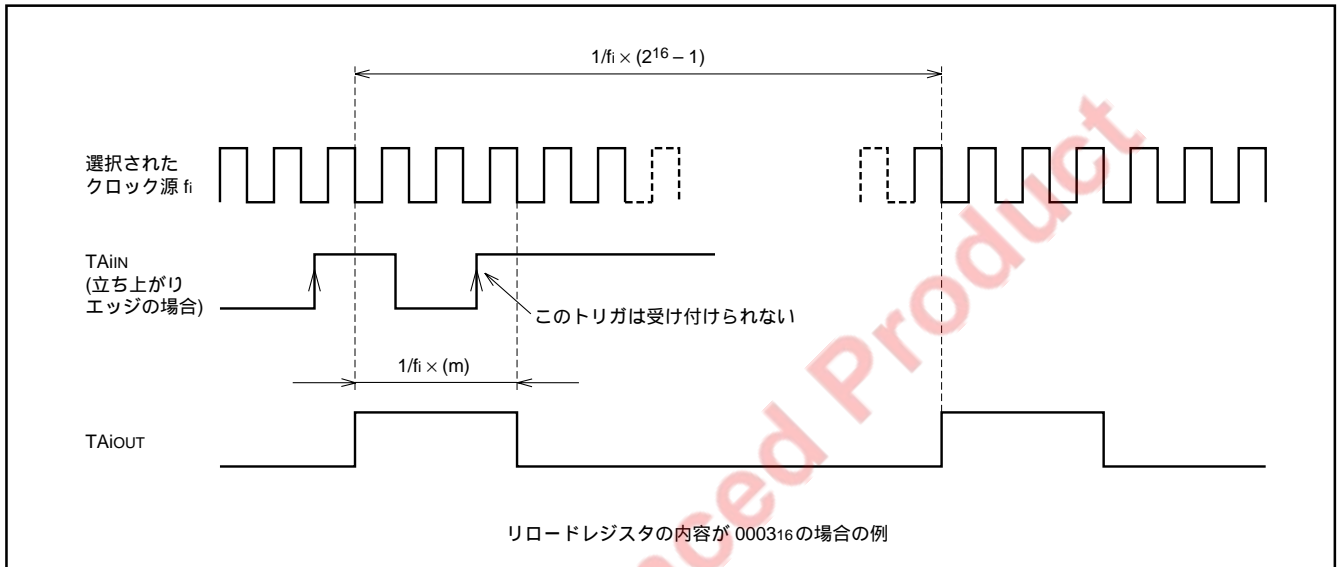


図33 . 16ビット長パルス幅変調器の出力パルス例

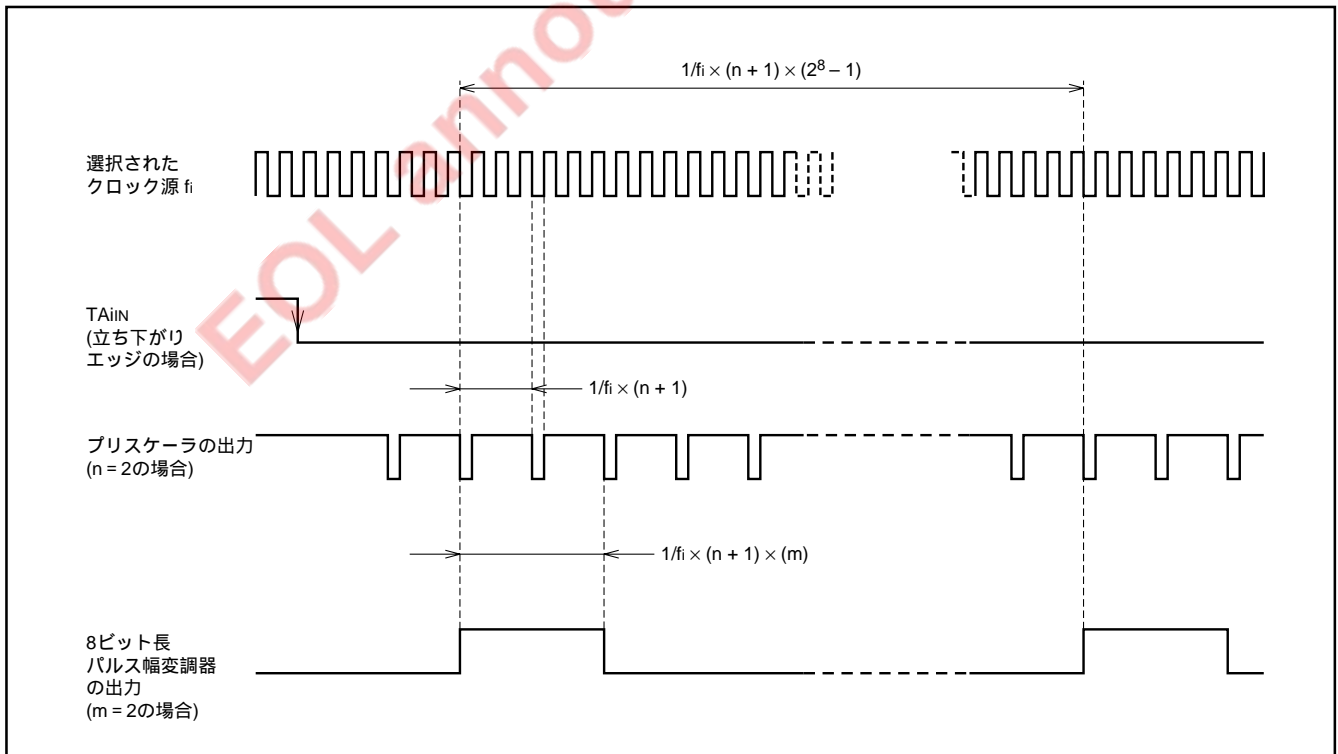


図34 . 8ビット長パルス幅変調器の出力パルス例

開発中

タイマB

図35にタイマBのブロック図を示します。

タイマBは、タイマモード、イベントカウンタモード、パルス周期測定/パルス幅測定モードの3種類のモードが選択できます。モードは、タイマBiモードレジスタ($i=0\sim 2$)のビット0とビット1の内容で選択します。

次に、各モードについて説明します。

(1) タイマモード [00]

図36にタイマモード時のタイマBiモードレジスタのビット構成を示します。タイマモードでは、タイマBiモードレジスタのビット0とビット1は必ず 0 にしてください。ビット6とビット7でクロック源を選択します。カウント開始フラグの内容が 1 のとき、選択されたクロックをカウントします。 0 のときは停止します。タイマBiのカウント開始フラグは、図21に示すようにタイマAiのカウント開始フラグ0と同一番地にあります。

カウントはダウンカウントで、カウンタの内容が 0000_{16} になると、割り込み要求信号を発生し、タイマBi割り込み制御レジスタの割り込み要求ビットをセットします。同時に、リロードレジスタの内容をカウンタに入れ、カウントを続けます。

タイマBiには、パルス出力機能、ゲート機能はありません。

タイマBiが停止中にタイマBiレジスタにデータを書き込む

と、リロードレジスタとカウンタにそのデータが書き込まれます。タイマBiが動作中にタイマBiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容は任意のタイミングで読み出すことができます。

(2) イベントカウンタモード [01]

図37にイベントカウンタモード時のタイマBiモードレジスタのビット構成を示します。イベントカウンタモードでは、ビット0は 1 に、ビット1は 0 にしてください。

カウント開始フラグの内容が 1 のとき、TBin端子からの入力信号をカウントします。 0 のときはカウントを停止します。

ビット3の内容が 0 で、ビット2の内容が 0 のとき、入力信号の立ち下がりカウントし、 1 のとき、入力信号の立ち上がりでカウントします。

また、ビット3の内容が 1 で、ビット2の内容が 0 のとき、入力信号の立ち下がり及び立ち上がりでカウントします。

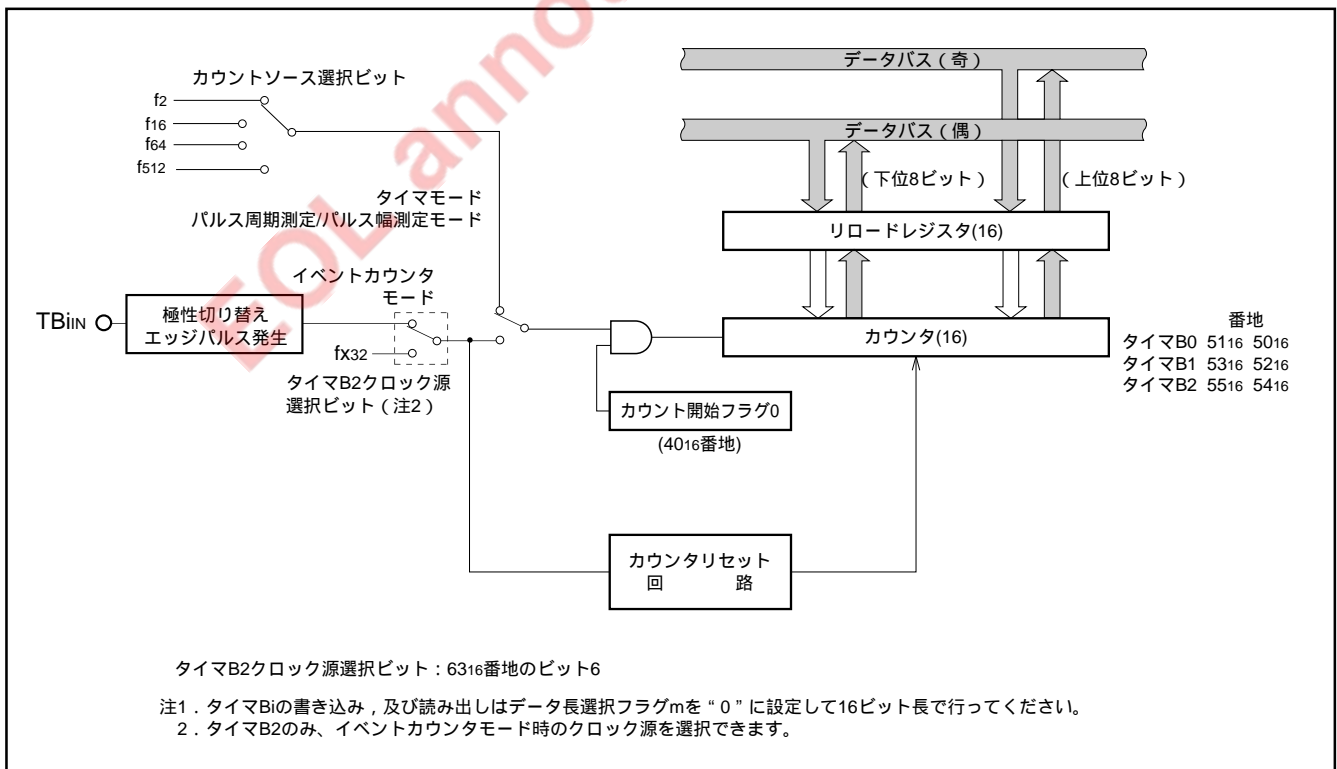


図35. タイマBのブロック図

開発中

タイマB2のみはイベントカウンタモードにおいて、タイマB2クロック源選択ビット(特殊機能選択レジスタ1(6316番地)のビット6)を“1”にすると、XIN入力クロックfx32がクロック源として選択できます(このビットが“0”の場合は前述のようにTB2IN端子からの入力信号がカウント源となります)。特殊機能選択レジスタ1のビット構成は、スタンバイ機能の項を参照してください。

なお、TBiIN端子は、TBiIN端子選択ビット(図17に示すポートP2端子機能制御レジスタ(AE16番地)のビット0~2)によって割り付ける端子の位置を変更できます。

(3) パルス周期測定/パルス幅測定モード [10]

図38にパルス周期測定/パルス幅測定モード時のタイマBiモードレジスタのビット構成を示します。

パルス周期測定/パルス幅測定モードでは、ビット0は“0”に、ビット1は“1”にしてください。ビット6とビット7でクロック源を選択します。カウント開始フラグの内容が“1”のとき、選択されたクロックをカウントします。“0”のときはカウントを停止します。

ビット3の内容が“0”のときは、パルス周期測定モードになります。パルス周期測定モードでは、TBiIN端子からの入力信号の立ち下がりから立ち下がりまで、又は入力信号の立ち上がりから立ち上がりまでの間選択されたクロックをカウントし、結果をリロードレジスタに入れます。この場合リロードレジスタはバッファレジスタとして働いています。

ビット2の内容が“0”のときは、入力信号の立ち下がりから立ち下がりまでカウントし、“1”のときは、入力信号の立ち上がりから立ち上がりまでカウントします。

入力信号の立ち下がりから立ち下がりまでカウントする場合について、カウントの方法を説明します。図39に示すようにTBiIN端子からの入力信号の立ち下がりを検出すると、カウンタの内容をリロードレジスタへ転送します。次にカウンタをクリアし、次のクロックからカウントを始めます。次の入力信号の立ち下がりを検出すると、再びカウンタの内容をリロードレジスタへ転送し、カウンタをクリアした後、クロックのカウントを始めます。このようにして、入力信号の立ち下がりから立ち下がりまでの周期を測定します。カウンタの内容をリロードレジスタに送った後、割り込み要求信号を発生し、タイマBi割り込み制御レジスタの割り込み要求ビットをセットします。ただし、カウント開始フラグの内容を“1”にした後、最初にカウンタの内容をリロードレジスタに送ったときには、割り込み要求信号は発生しません。

ビット3の内容が“1”のときは、パルス幅測定モードになります。パルス幅測定モードでは、図40に示すようにTBiIN端子からの入力信号の立ち下がりから立ち上がり又は立ち上がりから立ち下がりまでカウントします。カウントする期間が異なることを除けば、パルス周期測定モードと同じです。タ

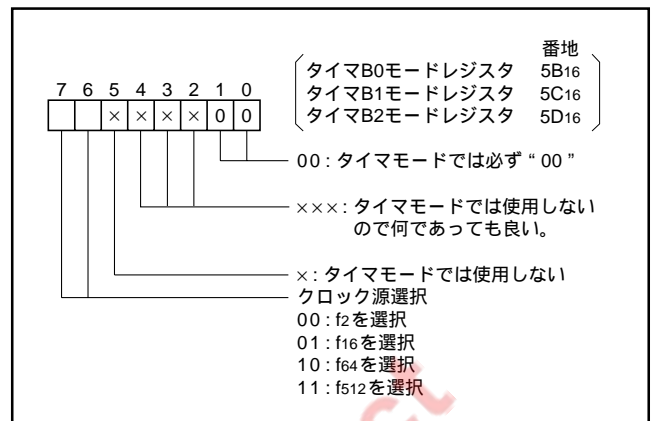


図36. タイマモード時のタイマBiモードレジスタのビット構成

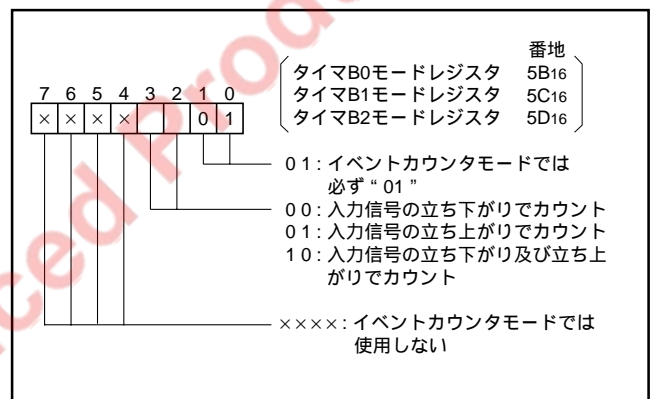


図37. イベントカウンタモード時のタイマBiモードレジスタのビット構成

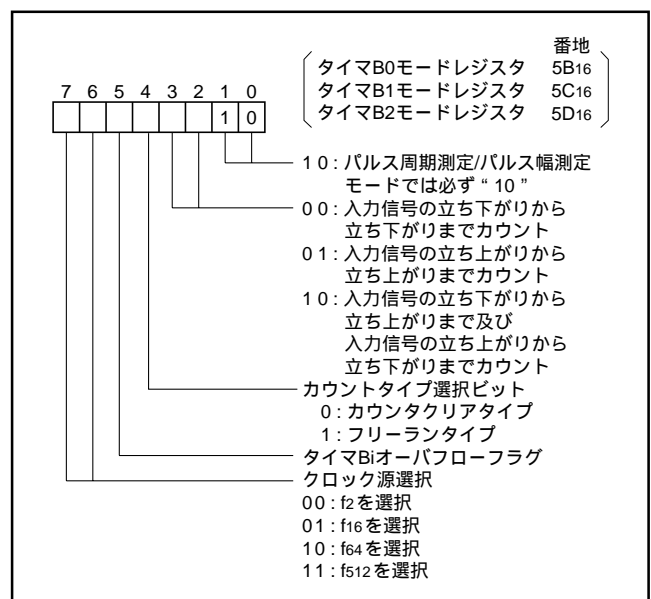


図38. パルス周期測定/パルス幅測定モード時のタイマBiモードレジスタのビット構成

開発中

イマBiから読み出しを行うと、リロードレジスタのデータが読み出されます。

なお、このモードでのTBiIn端子からの入力信号の立ち上がりから立ち上がりまでの期間、又は立ち上がりから立ち下がりまでの期間は、タイマのカウントソースの2サイクル分以上にしてください。

また、タイマBiモードレジスタのビット5はタイマBiオーバフローフラグで、タイマBiカウンタの内容が 0000_{16} になる(パルス幅あるいはパルス周期が16ビット長で計測できる長さよりも長かったことを示します。)と“1”がセットされま

す。このフラグは対応するタイマBiモードレジスタに書き込みを行うとクリアされます。なお、リセット時は“1”です。

これらのモードでは、タイマBiモードレジスタのカウントタイプ選択ビット(ビット4)によってカウントタイプを選択できます。このビットを“1”にするとフリーランタイプとなり、TBiIn端子から有効エッジが入力されてもカウンタの内容を 0000_{16} にクリアせずにカウント動作を続けます。ただし、有効エッジが入力されると割り込み要求信号が発生し

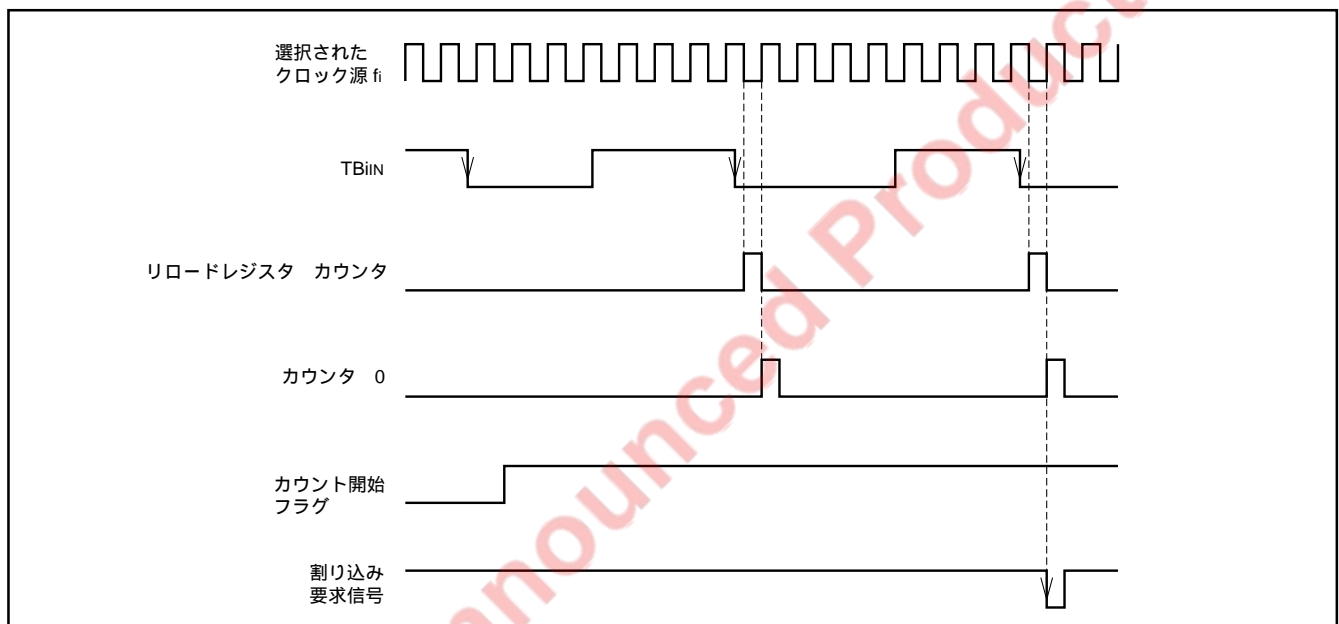


図39. パルス周期測定モードの動作(立ち下がりから立ち下がりまで測定の例)

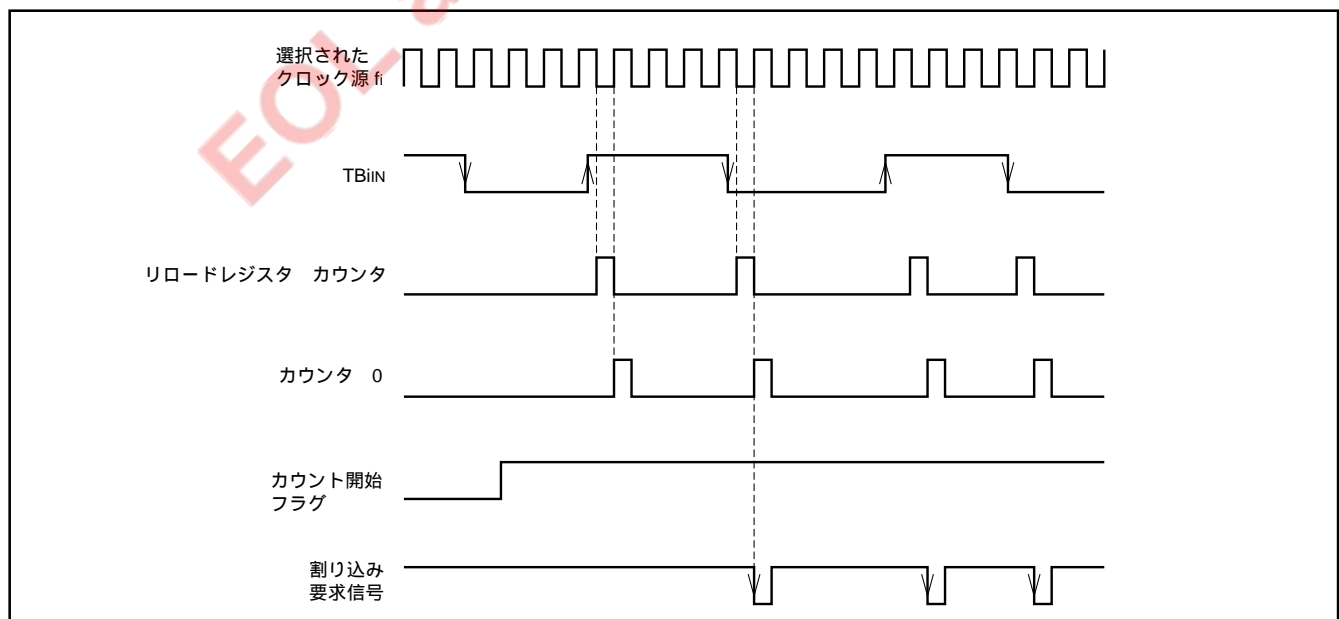


図40. パルス幅測定モードの動作

開発中

モータ制御用タイマ機能

内蔵のタイマAを複数個使用して三相モータ駆動波形、パルスモータ駆動波形を出力することができます。これらのモードについて以下に説明します。

三相モータ駆動波形出力モード(三相波形モード)

図41に示す波形出力モードレジスタ(A6₁₆番地)の波形出力選択ビット(ビット2、ビット1、ビット0)を“100”に設定するとタイマA0～タイマA3の4つのタイマを使用する三相波形モードが選択されます。三相波形モードには三相モード0及び三相モード1があり、波形出力モードレジスタのビット4で選択します。また、図42に示すように三相波形モードではタイマA0～タイマA2はワンショットパルスモードの外部トリガ、立ち上がりエッジ有効の状態に、タイマA3はタイマモードにそれぞれのタイマモードレジスタで設定してください。

三相波形モード時のブロック図を図43に示します。三相波形モードにおいては正相波形(U相、V相、W相)及び逆相波形(U_反相、V_反相、W_反相)の6つの波形が対応したポートから“L”レベルアクティブで出力されます。このモードで使用するタイマのうちタイマA2はU相、U_反相、タイマA1はV相、V_反相、タイマA0はW相、W_反相の波形をそれぞれ制御し、タイマA3によってこれらタイマA2～タイマA0のワンショットパルス出力の周期を制御します。

波形出力においては、正相波形出力(U相、V相、W相)の“L”レベルがその逆相波形出力(U_反相、V_反相、W_反相)の“L”レベルと重ならないようにするための短絡防止時間を設定することができます。短絡防止時間の設定は、リロードレジスタを共用した8ビット構成の短絡防止時間設定タイマ3本で行います。短絡防止時間設定タイマはワンショットタイマとして動作します。開始トリガにはタイマA0～A2のワンショットパルスの立ち上がり、立ち下がりの両エッジ、又は立ち下がりエッジのみが選択できます。この選択は波形出力モードレジスタ(A6₁₆番地)のビット6で行い、このビットが“0”のとき立ち上がり、立ち下がりの両エッジ、“1”のとき立ち下がりエッジが開始トリガになります。

短絡防止時間設定タイマ(A7₁₆番地)に値を書き込むと、3本の短絡防止時間設定タイマが共用しているリロードレジスタにその値が書き込まれます。短絡防止時間設定タイマは、対応したタイマから開始トリガが来るとリロードレジスタの値をカウンタに入れ、三相出力データレジスタ(A8₁₆番地)のビット6とビット7で選択したクロック源でダウンカウントを行います。また、前のトリガによる動作が完了する前に、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が短絡防止時間設定タイマへ転送された後、その値をダウンカウントします。

短絡防止時間設定タイマは、ワンショットパルスタイマとして動作しますので、トリガが来るとパルス出力を開始し、

その内容が00₁₆になるとパルス出力を終えて動作を停止し、次のトリガを待ちます。

三相波形モードにおける正相波形(U相、V相、W相)とその逆相波形(U_反相、V_反相、W_反相)は、波形出力モードレジスタ(A6₁₆番地)のビット7を“1”にすることで、各ポートから出力されます。このビットを“0”にするとポートはフローティング状態になります。このビットは、命令で“0”にする以外に、P6OUTCUT端子に立ち下がりエッジを入力するか、リセットをかけても“0”にできます。

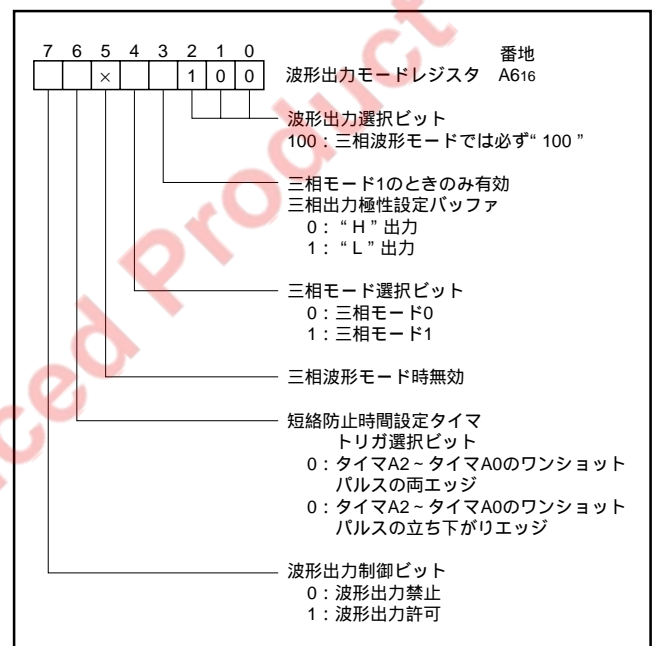


図41. 三相波形モード時の波形出力モードレジスタのビット構成

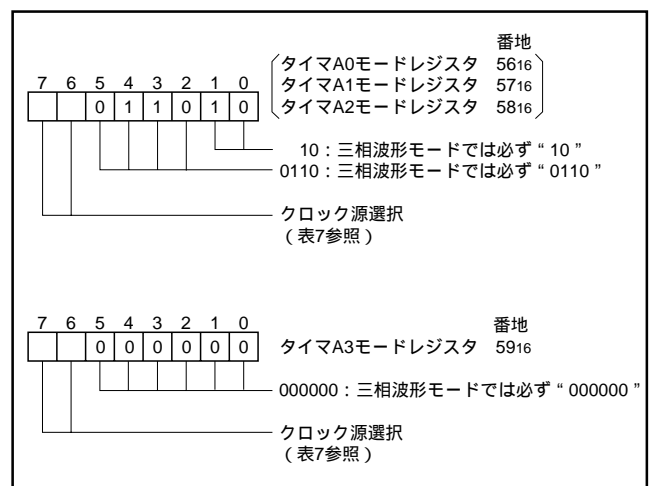


図42. 三相波形モード時のタイマA0～タイマA2、及びタイマA3モードレジスタのビット構成

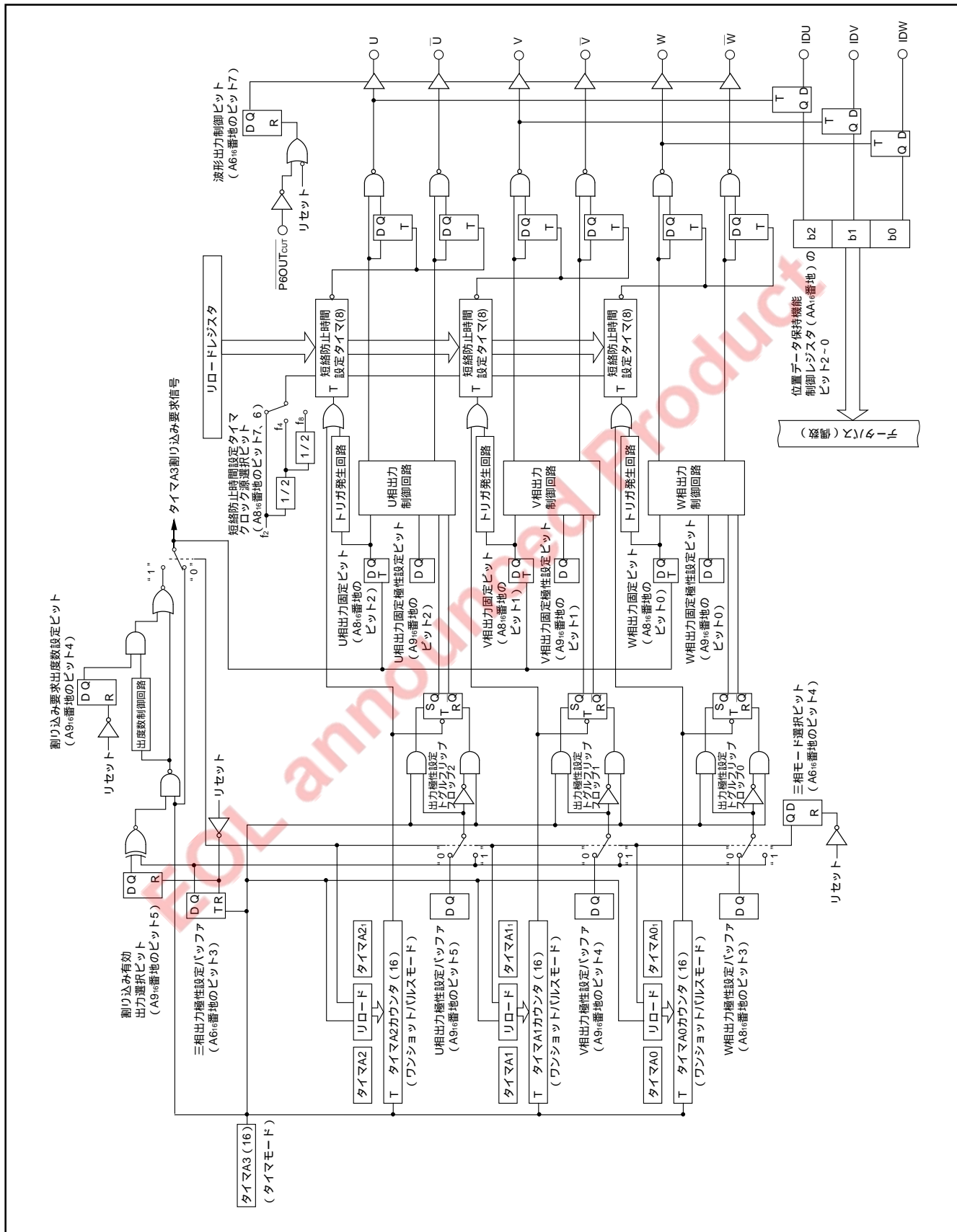


図43 . 三相波形モード時のブロック図

開発中

また、三相出力データレジスタ0(A8₁₆番地)のビット2、ビット1、ビット0を“1”にすることで、対応した波形出力を固定することができます。出力固定を“H”又は“L”のいずれにするかは、三相出力データレジスタ1(A9₁₆番地)のビット2、ビット1、ビット0で選択します。これらのビットを“0”にすると“H”出力固定、“1”にすると“L”出力固定になります。

三相モード0

三相波形モードを選択時、波形出力モードレジスタ(A6₁₆番地)のビット4を“0”にすると三相モード0が選択されます。

三相波形の出力極性は出力極性設定トグルフリップフロップ

によって決まります。出力極性設定トグルフリップフロップの内容が“0”のとき三相波形の正相波形は“H”レベルを出力、“1”のときは“L”レベルを出力します(三相波形は負論理で出力されます)。

出力極性設定トグルフリップフロップはそれぞれ図44に示される出力極性設定バッファを持っており、タイマB2のカウンタの内容が0000₁₆になったときに出力極性設定バッファの内容が出力極性設定トグルフリップフロップにセットされます。その後、出力極性設定トグルフリップフロップの内容は、各相に対応したタイマ(タイマA2~タイマA0)のワンショットパルスの終了ごとに、その極性が反転します。

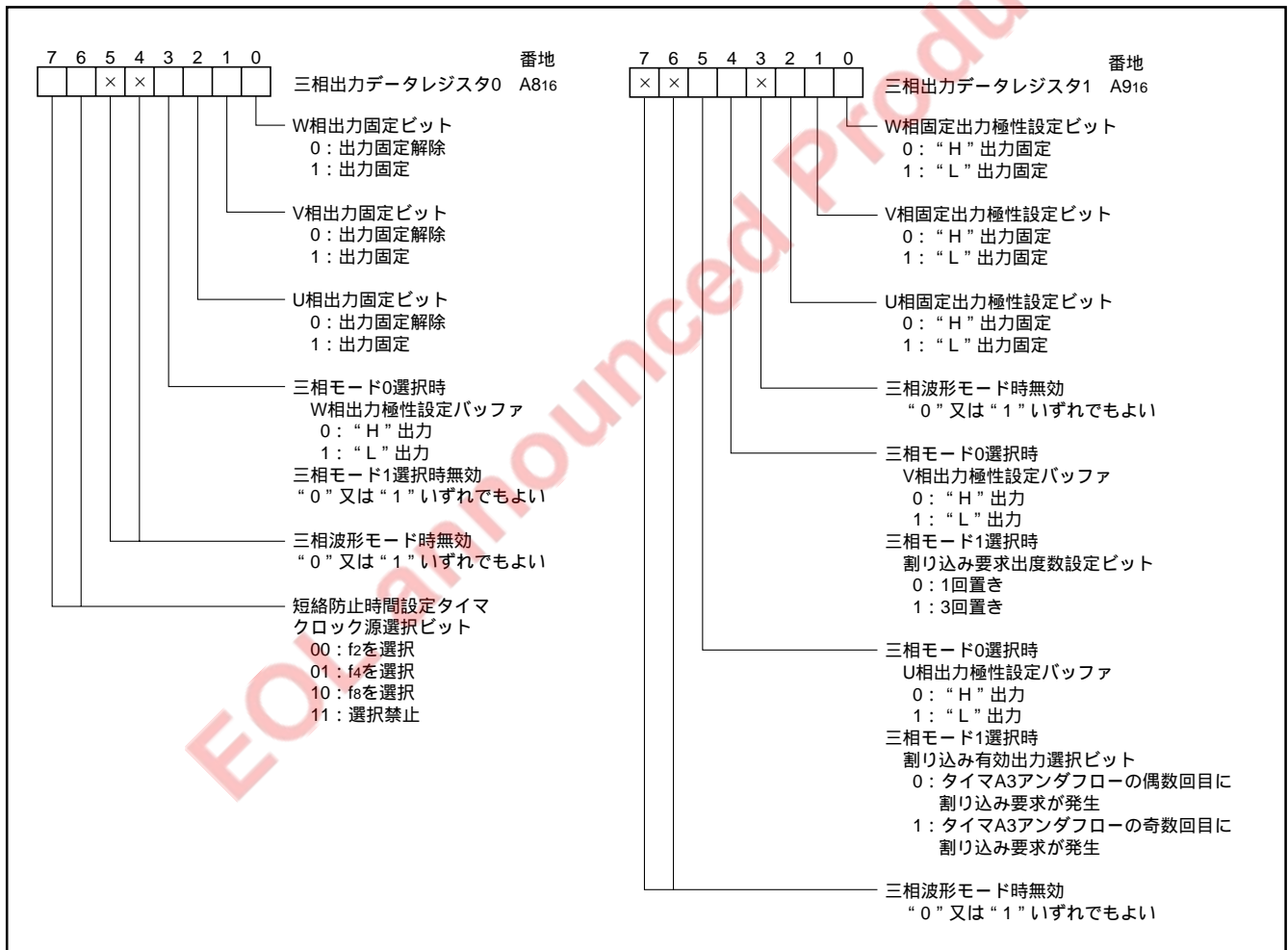


図44. 三相波形モード時の三相出力データレジスタ1, 0のビット構成

開発中

次にU相波形の一例を図45に示し、波形出力動作を説明します。U相出力極性設定バッファ(A9₁₆番地のビット5)に“0”を書き込み、タイマA3を動作させると、三相モード0が動作します。タイマA3のカウンタの内容が0000₁₆になると、タイマA3が割り込み要求信号を発生し、同時にタイマA2がワンショットパルス出力を開始します。このとき出力極性設定トグルフリップフロップ2にU相出力極性設定バッファの内容(この場合“0”)が設定されます。タイマA2のワンショットパルス出力が終了すると出力極性設定トグルフリップフロップ2の内容が“0”から“1”に反転すると同時に、U相波形とその逆相である \bar{U} 相波形との“L”レベルが重ならない時間を設定する8ビットの短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA2のワンショットパルス出力により出力極性設定トグルフリップフロップ2の内容が“0”から“1”に反転しても、短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでに反転した出力極性設定トグルフリップフロップ2の“1”が有効となり、U相波形は“L”レベルに変わります。次に、もう一度タイマA3のカウンタの内容が0000₁₆になる前にU相出力極性設定バッファ(A9₁₆番地のビット5)に“1”を書き込んでおきます。その後、タイマA3のカウンタの内容が0000₁₆になると、タイマA2のワ

ンショットパルス出力が動作を開始します。同時にU相出力極性設定バッファに書き込んだ“1”が出力極性設定トグルフリップフロップ2にセットされ、U相波形出力は“L”レベルの状態のままとなります。タイマA2のワンショットパルス出力が終了すると、出力極性設定トグルフリップフロップ2の内容が“1”から“0”に反転し、同時に短絡防止時間設定タイマのワンショットパルス出力が動作を開始します。U相波形の出力は出力極性設定トグルフリップフロップ2の内容が“1”から“0”に変わる場合は、短絡防止時間設定タイマのワンショットパルス出力の終わりを待つことなく出力レベルが“L”から“H”に変わります。

このような動作を繰り返してU相波形を発生します。この逆相である \bar{U} 相波形は、出力極性設定トグルフリップフロップ2の内容がU相波形の場合とは反対の信号となって扱われるだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である \bar{U} 相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅もタイマA3の値や、タイマA2の値を変えることで可変できます。V相、W相、及びその逆相である \bar{V} 相、 \bar{W} 相についてもそれに対応したタイマで同様に動作し、波形が発生します。

以上の説明は三角波変調による三相波形の発生例ですが、のこぎり波変調による三相波形の発生も各相の開始レベルを固定させる方法により実現することができます。

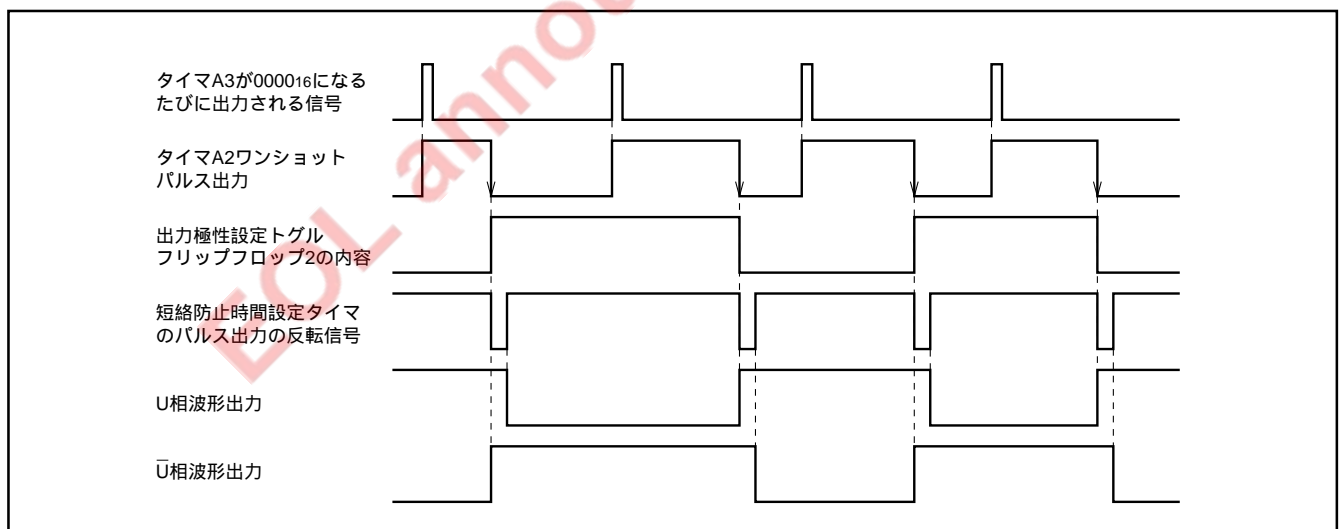


図45．三相モード0時のU相波形出力例(三角波変調)

開発中

三相モード1

三相波形モード選択時、波形出力モードレジスタ(A6₁₆番地)のビット4を“1”にすると三相モード1が選択されます。

このモードでは、タイマA0, A1, A2はそれぞれ2つのタイマレジスタを持ち、タイマA3のカウンタの内容が0000₁₆になるごとに交互にタイマレジスタの内容をカウンタにリロードします。タイマA3のカウンタの内容が0000₁₆になるごとに発生する割り込み要求を1回おきか又は3回おきのいずれかに選択できます。この選択は、三相出力データレジスタ(A9₁₆番地)のビット4で行います。また、このタイマA3の割り込み要求をタイマA3のアンダフローの偶数回目又は奇数回目のいずれかで発生させるよう選択できます。これは三相出力データレジスタ(A9₁₆番地)のビット5で行います。

三相波形の出力極性を決める出力極性設定トグルフリップフロップには、タイマA3のカウンタの内容が0000₁₆になるごとに三相出力極性設定バッファの内容がセットされ、この後に、三相出力極性設定バッファの内容が反転します。また、出力極性設定トグルフリップフロップの内容は、各相に対応したタイマA0～タイマA2のワンショットパルスの終了ごとにその極性を反転します。

次にU相波形の一例を図46に示し、波形出力動作を説明します。三相出力極性設定バッファ(A6₁₆番地のビット3)に“0”を書き込みます。また、割り込み要求出度数設定ビット(A9₁₆番地のビット4)を“0”にして1回おきにタイマA3の割り込み要求を発生するように選択し、さらにタイマA3のアンダフローの偶数回目に発生させるよう割り込み有効出力選択ビット(A9₁₆番地のビット5)を“0”にします。この後、タイマA3を動作させると三相モード1が動作します。

タイマA3のカウンタの内容が0000₁₆になると、タイマA3が割り込み要求を発生し、同時にタイマA2がワンショットパルス出力を開始します。このとき、出力極性設定トグルフリップフロップ2に三相出力極性設定バッファの内容(この場合“0”)が設定されます。また、この後、三相出力極性設定バッファは“0”から“1”に反転します。タイマA2のカウンタがタイマA2に書き込んだ値をカウントし、タイマA2のワンショットパルス出力が終了すると出力極性設定トグルフリップフロップ2の内容が“0”から“1”に反転すると同時に、U相波形とその逆相であるU相波形との“L”レベルが重ならない時間を設定する8ビットの短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA2のワンショットパルス出力により出力極性設定トグルフリップフロップ2の内容が“0”から“1”に反転しても短絡防止時間設定タイマのワンショットパルス出力が終るまでは、“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終ると、すでに反転した出力極性設定トグルフリップフロップ2の“1”が有効となり、U相波形は“L”レベルに変わります。次に、タイマA3のカウンタの

内容が0000₁₆になるとタイマA2のカウンタがタイマA2に書き込んだ値のカウントを始め、ワンショットパルス出力を開始します。同時に、三相出力極性設定バッファの内容が出力極性設定トグルフリップフロップ2に設定されますが、同じ“1”で変化しませんので、U相波形出力は“L”レベルの状態のままとなります。この後、三相出力極性設定バッファは“1”から“0”に反転します。タイマA2のワンショットパルス出力が終了すると、出力極性設定トグルフリップフロップ2の内容が“1”から“0”に反転すると同時に短絡防止時間設定タイマがワンショットパルス出力を開始します。U相波形の出力は出力極性設定トグルフリップフロップ2の内容が“1”から“0”に変わる場合は短絡防止時間設定タイマのワンショットパルス出力の終わりを待つことなく出力レベルが“L”から“H”に変わります。このような動作を繰り返してU相波形を発生します。この逆相であるU相波形は、出力極性設定トグルフリップフロップ2の内容がU相波形の場合とは反対の信号となって扱われるだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相であるU相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅もタイマA3の値や、タイマA2、タイマA2₁の値を変えることで可変できます。V相、W相、及びその逆相であるV相、W相についても、それに対応したタイマで同様に動作し、波形が発生します。

開発中

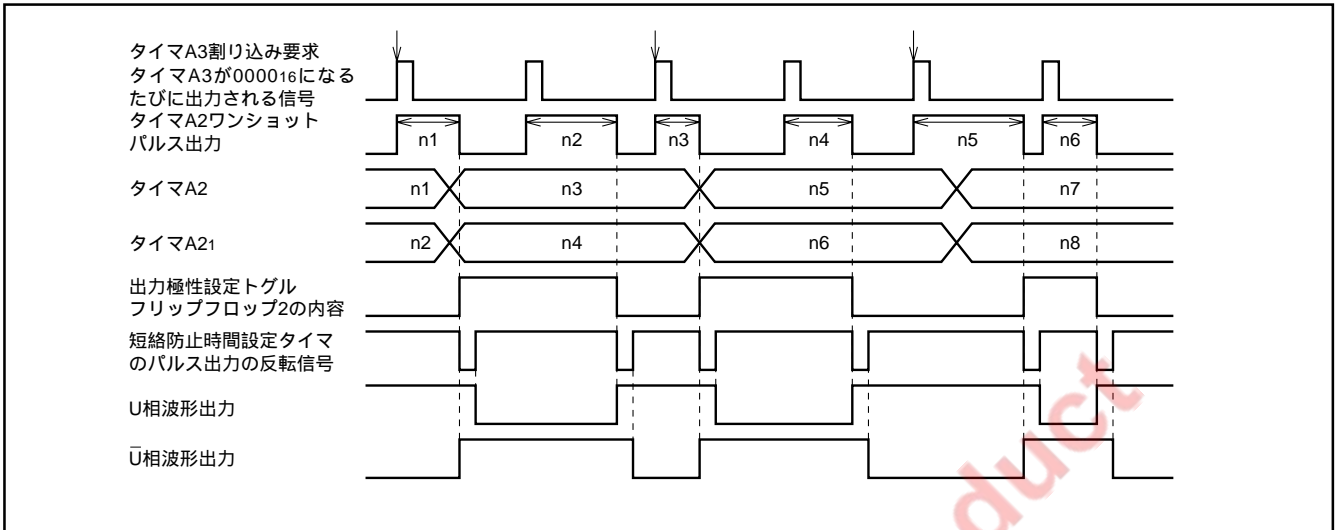


図46. 三相モード1時のU相波形出力例(三角波変調)

位置データ保持機能

三相波形モードでは、正相波形(U相、V相、W相)のエッジで対応する端子(IDU、IDV、IDW)の入力データを保持する機能を持ちます。立ち下がり又は立ち上がりのいずれかでデータを保持するかは図47に示す位置データ保持機能制御レジスタ(AA16番地)のビット3で選択します。

保持したデータは各相に対応して位置データ保持機能制御レジスタ(AA16番地)のビット2、ビット1、ビット0で読み出せます。

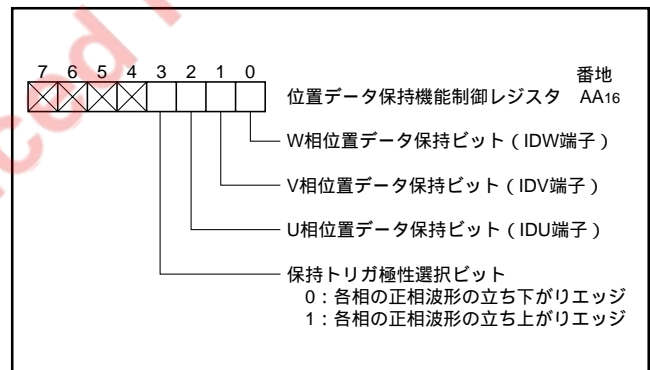


図47. 位置データ保持機能制御レジスタのビット構成

開発中

パルス出力ポートモード0

図48にパルス出力ポートモード0のブロック図を示します。このモードは、8ビットのパルス出力ポートをもっています。パルス出力ポートを使用するかどうかは、図49に示す波形出力モードレジスタ(A616番地)の波形出力選択ビット(ビット0、ビット1、ビット2)により選択できます。また、8ビットのパルス出力ポートは、波形出力モードレジスタ(A616番地)のパルス出力モード選択ビット(ビット3)により4ビットと4ビットに分けて、又は6ビットと2ビットに分けて制御することができます。

パルス出力ポートモード0ではタイマA3, A0を使用しますので、タイマA3, A0はタイマモードに設定してください。図50にパルス出力ポートモード0時のタイマA3, A0のモードレジスタのビット構成を示します。

タイマA3, A0のカウント開始は、各タイマに対応するカウント開始フラグのビットの内容を“1”にするとカウントを開始し、“0”にするとカウントを停止します。

タイマA0をトリガとする各ビットは、RTPTRG0端子からの入力トリガで制御することもできます。この選択は図51に示す三相出力データレジスタ(A816番地)のパルス出力トリガ選択ビット(ビット6、ビット7)で行います。外部入力トリガは、これらのビットによって立ち下がり、立ち上がり、立ち下がり及び立ち上がりの3種類が選択できます。

各パルス出力ポートに対して、三相出力データレジスタ1(A916番地)のパルス出力極性選択ビット(ビット3)により、パルス出力データビットの内容を反転して出力することができます。パルス出力極性選択ビットが“0”の場合はパルス出力データビットの内容がそのまま出力されますが、パルス出

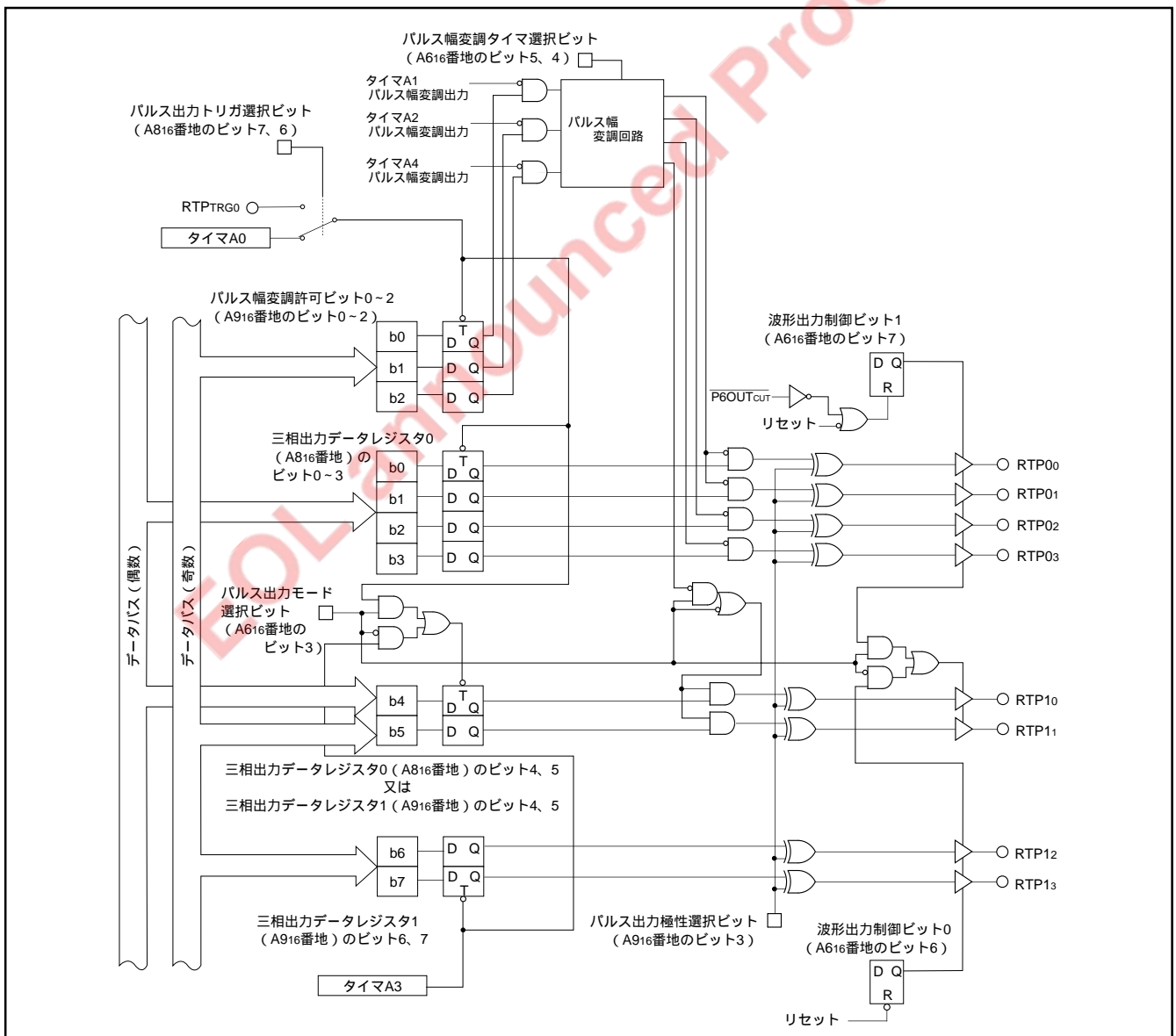


図48. パルス出力ポートモード0時のブロック図

開発中



図49. パルス出力ポートモード0時の波形出力モードレジスタのビット構成

力極性選択ビットが[※]1の場合はパルス出力データビットの内容の反転データが出力されます。

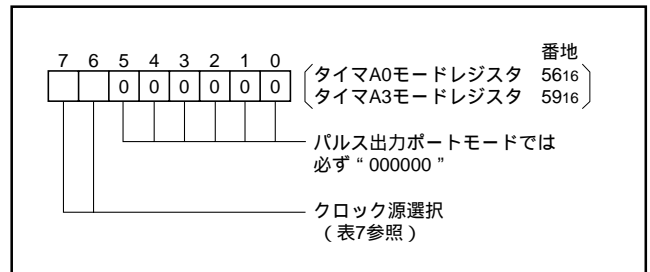


図50. パルス出力ポートモード0時のタイムA3, A0モードレジスタのビット構成

開発中

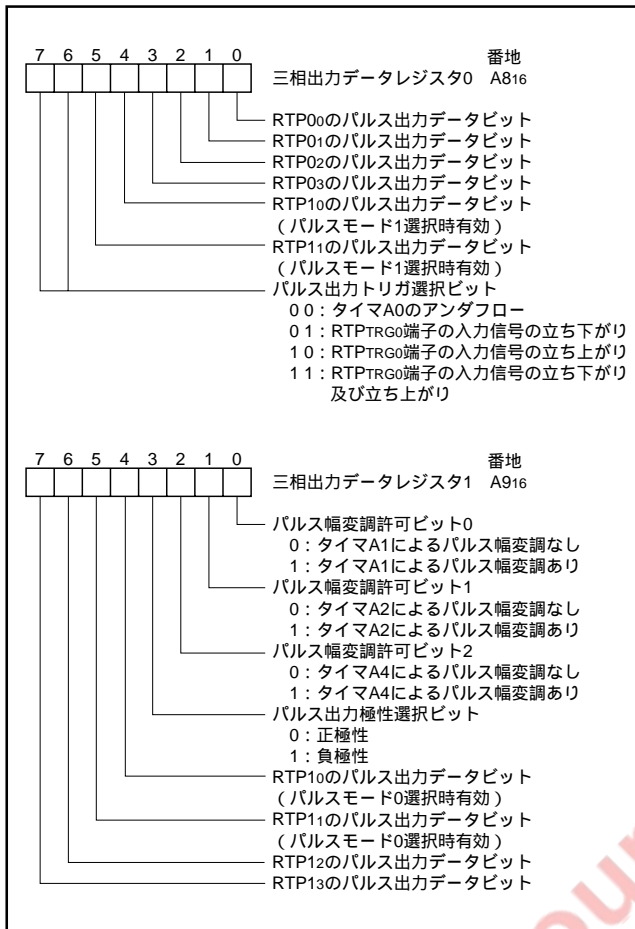


図51. パルス出力ポートモード0時の三相出力データレジスタ1, 0のビット構成

パルスモード0

このモードでは、パルス出力ポートを4ビットと4ビットに分けて制御します。パルス出力モード選択ビットを“0”、波形出力選択ビットのビット2、ビット1を“0”、ビット0を“1”にすると、RTP03, RTP02, RTP01, RTP00の4本がパルス出力ポート(RTP0を選択)となり、波形出力選択ビットのビット2, ビット0を“0”、ビット1を“1”にすると、RTP13, RTP12, RTP11, RTP10の4本がパルス出力ポート(RTP1を選択)となります。また、パルス出力モード選択ビットを“0”、波形出力選択ビットのビット2を“0”、ビット1, ビット0を“1”にすると、RTP13, RTP12, RTP11, RTP10の4本と、RTP03, RTP02, RTP01, RTP00の4本の2組がパルス出力ポートとなります。RTP13, RTP12, RTP11, RTP10に対応する三相出力データレジスタ1(A916番地)のビット7、ビット6、ビット5、ビット4の内容は、タイマA3のカウンタの内容が0000₁₆になるごとにポートに出力されます。RTP03, RTP02, RTP01, RTP00に対応する三相出力データレジスタ0(A816番地)のビット3、ビット2、ビット1、ビット0の内容は、タイマA0のカウンタの内容が0000₁₆になるごとにポートに出力されます。

パルス出力データビットの指定したビットに“0”を書き込んだ場合、対応するタイマのカウンタの内容が0000₁₆になるとパルス出力ポートに“L”レベルが出力され、“1”を書き込んだ場合、パルス出力ポートに“H”レベルが出力されます。

RTPTRG0端子の入力トリガを選択した場合、パルス出力データビットに書き込んだデータが、選択されたトリガによって対応するパルス出力ポートから出力されます。

また、RTP03, RTP02, RTP01, RTP00はパルス幅変調をかけることができます。パルス幅変調をかけるためには、タイマA1を使用しますので、このタイマをパルス幅変調モードで動作させてください。パルス出力データビットのあるビットが“1”のとき、タイマA0のカウンタの内容が0000₁₆になるとパルス幅変調がかけられたパルスがパルス出力ポートから出力されます。

パルス幅変調は三相出力データレジスタ1(A916番地)のパルス幅変調許可ビット(ビット0)を“1”、波形出力モードレジスタ(A616番地)のパルス幅変調タイマ選択ビット(ビット5、ビット4)を“00”にすることにより、タイマA1によるパルス幅変調がかけられます。これらのパルスモード0の波形例を図52に示します。

パルスモード0を選択したポートは、波形出力モードレジスタの波形出力制御ビット(ビット6)によって、RTP13, RTP12, RTP11, RTP10の出力を制御でき、波形出力制御ビット(ビット7)によって、RTP03, RTP02, RTP01, RTP00の出力を制御できます。波形出力制御ビットを“1”にすると、対応するポートから波形が出力されます。“0”にすると、対応するポートからの波形出力は停止され、ポートはフローティングになります。これらのビットは、命令で“0”にする以外

開発中

に、リセットをかけても“0”にできます。また、波形出力制御ビット1は、P6OUTCUT端子に立ち下がりエッジを入力しても“0”にできます。

パルスモード1

このモードでは、パルス出力ポートを6ビットと2ビットに分けて制御します。パルス出力モード選択ビットを“1”、波形出力選択ビットのビット2、ビット1を“0”、ビット0を“1”にすると、RTP11, RTP10, RTP03, RTP02, RTP01, RTP00の6本がパルス出力ポートとなり、波形出力選択ビットのビット2、ビット0を“0”、ビット1を“1”にすると、RTP13, RTP12の2本がパルス出力ポートになります。また、パルス出力モード選択ビットを“1”、波形出力選択ビットのビット2を“0”、ビット1、ビット0を“1”にすると、RTP13, RTP12の2本と、RTP11, RTP10, RTP03, RTP02, RTP01, RTP00の6本がパルス出力ポートになります。RTP13, RTP12に対応する三相出力データレジスタ(A916番地)のビット7、ビット6の内容は、タイマA3のカウンタの内容が0000₁₆になるごとにポートに出力されます。RTP11, RTP10, RTP03, RTP02, RTP01, RTP00に対応する三相出力データレジスタ(A816番地)のビット5、ビット4、ビット3、ビット2、ビット1、ビット0の内容は、タイマA0のカウンタの内容が0000₁₆になるごとにポートに出力されます。

これらのパルス出力ポートの制御をタイマA0のアンダフローで行うか、RTPTRG0端子の入力エッジで行うかは、三相出力データレジスタ(A816番地)のパルス出力トリガ選択ビットによって選択できます。

また、RTP11, RTP10, RTP03, RTP02, RTP01, RTP00は、パルス幅変調をかけることができます。パルス幅変調はRTP11, RTP10, RTP03, RTP02, RTP01, RTP00の6本に共通にかけるか、RTP11, RTP10, RTP03とRTP02, RTP01, RTP00の3本ごとにかけるか、RTP11, RTP10と、RTP03, RTP02と、RTP01, RTP00の2本ごとにかけるかを選択できます。この選択は波形出力モードレジスタ(A616番地)のパルス幅変調タイマ選択ビット(ビット5、ビット4)によって行います。パルス幅変調タイマ選択ビットを“00”にすると6本共通、“01”にすると3本ごと、“10”にすると2本ごとにパルス幅変調がかけられます。パルス幅変調を6本共通にかけるためにはタイマA1、3本ごとにかけるためにはタイマA1、タイマA2、2本ごとにかけるためにはタイマA1、タイマA2、タイマA4を使用しますので、それぞれ対応するタイマをパルス幅変調モードで動作させてください。同時に、三相出力データレジスタ(A916番地)のパルス幅変調許可ビット(ビット2、ビット1、ビット0)によってパルス幅変調を許可しますので、対応するビットを“1”にしてください。

その他の動作は、パルスモード0と同様です。

これらのパルスモード1の波形例を図53に示します。

パルスモード1を選択したポートは、波形出力モードレジスタの波形出力制御ビット(ビット6)によって、RTP13, RTP12の出力を制御でき、波形出力制御ビット1(ビット7)によって、RTP11, RTP10, RTP03, RTP02, RTP01, RTP00の出力を制御できます。波形出力制御ビットを“1”にすると、対応するポートから波形が出力されます。“0”にすると、対応するポートからの波形出力は停止され、ポートはフローティングになります。これらの波形出力制御ビット0, 1は、命令で“0”にする以外に、リセットをかけても“0”にできません。また、波形出力制御ビット1は、P6OUTCUT端子に立ち下がりエッジを入力しても“0”にできます。

開発中

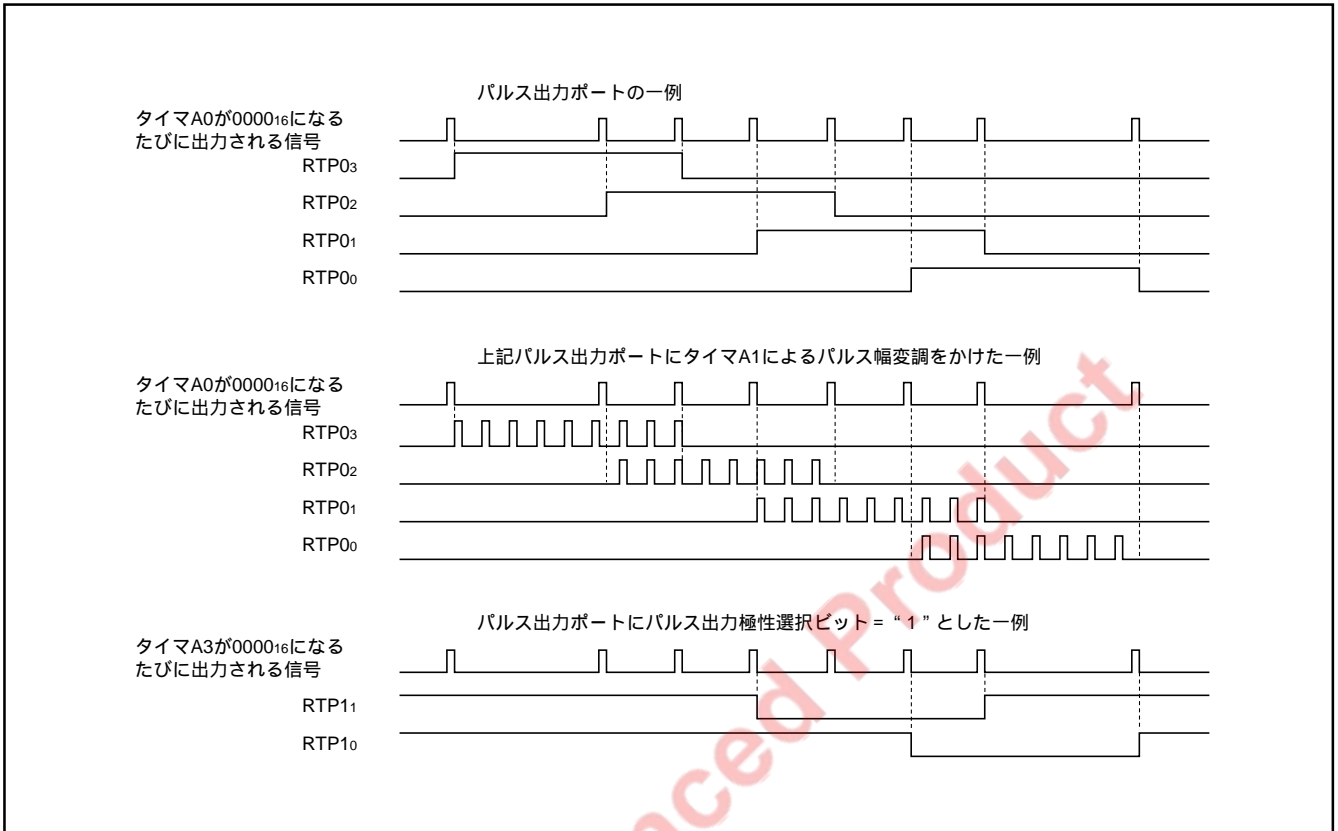


図52. パルスモード0時の波形例

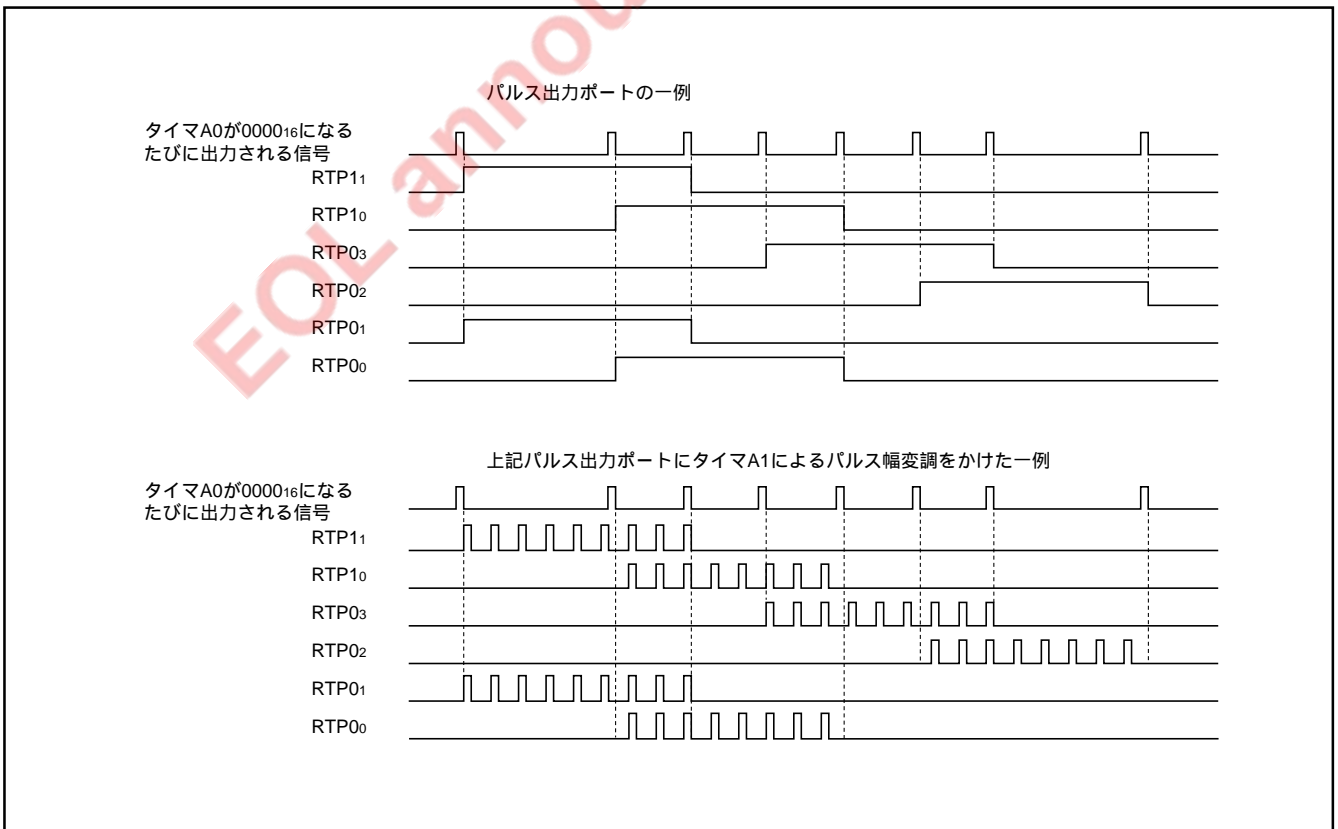


図53. パルスモード1時の波形例

開発中

パルス出力ポートモード1

図54にパルス出力ポートモード1のブロック図を示します。このモードは、8ビットのパルス出力ポートをもっています。パルス出力ポートを使用するかどうかは、図55に示すパルス出力制御レジスタ(A016番地)の波形出力選択ビット(ビット0、ビット1、ビット2)により選択できます。また、8ビットのパルス出力ポートは、パルス出力制御レジスタ(A016番地)のパルス出力モード選択ビット(ビット3)により4ビットと4ビットに分けて、又は6ビットと2ビットに分けて制御することができます。

パルス出力ポートモード1ではタイマA8, A5を使用しますので、タイマA8, A5はタイマモードに設定してください。図56にパルス出力ポートモード1時のタイマA8, A5のモードレジスタのビット構成を示します。

タイマA8, A5のカウンタ開始は、各タイマに対応するカウンタ開始フラグのビットの内容を“1”にするとカウンタを開始し、“0”にするとカウンタを停止します。

タイマA5をトリガとする各ビットは、RTPTRG1端子からの入力トリガで制御することもできます。この選択は図57に示すパルス出力データレジスタ(A216番地)のパルス出力トリガ選択ビット(ビット6、ビット7)で行います。外部入力トリガは、これらのビットによって立ち下がり、立ち上がり、立ち下がり及び立ち上がりの3種類が選択できます。

各パルス出力ポートに対して、パルス出力データレジスタ1(A416番地)のパルス出力極性選択ビット(ビット3)により、パルス出力データビットの内容を反転して出力することができます。パルス出力極性選択ビットが“0”の場合はパルス出力データビットの内容がそのまま出力されますが、パルス出

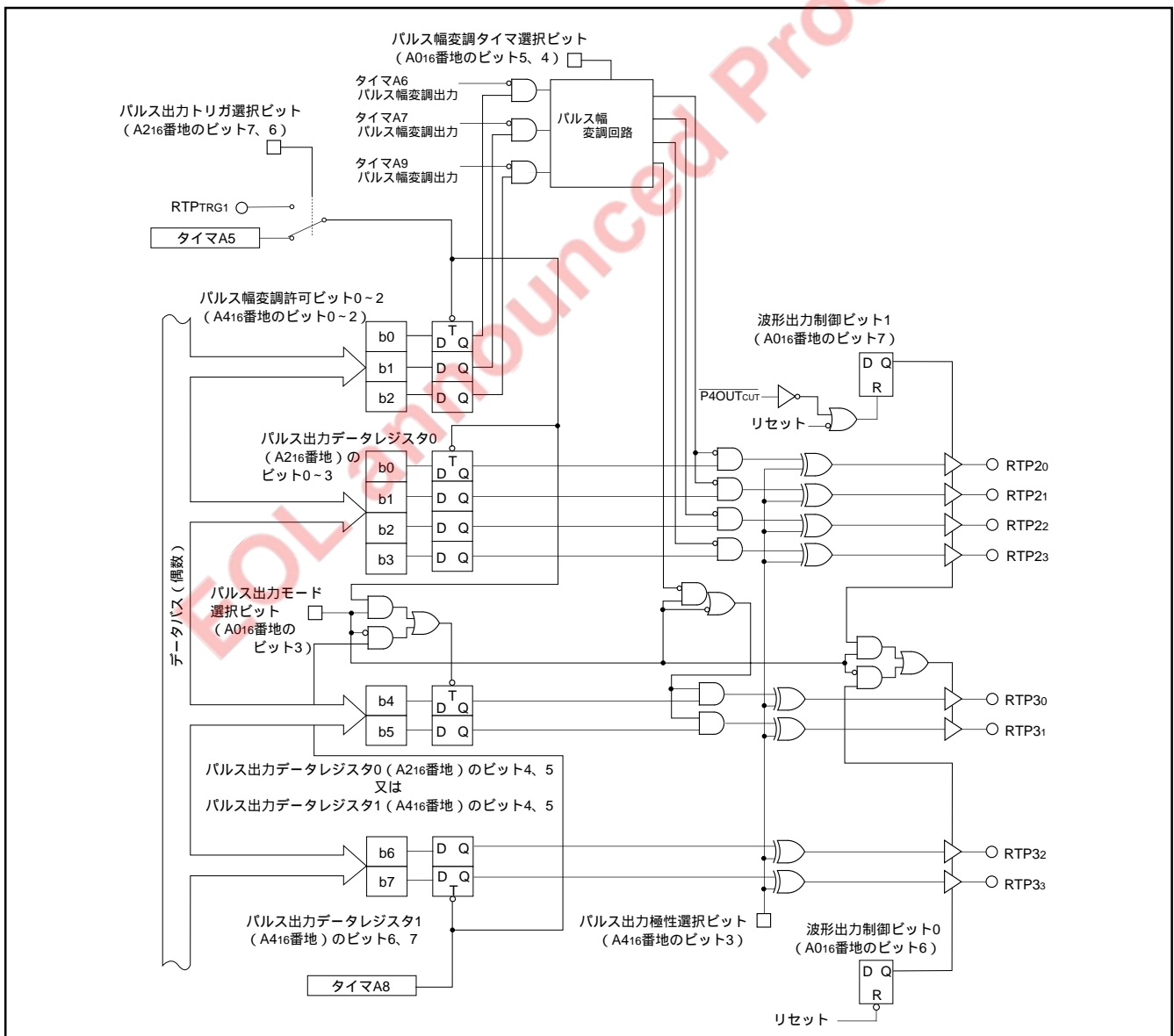


図54. パルス出力ポートモード1時のブロック図

開発中



図55. パルス出力ポートモード1時のパルス出力制御レジスタのビット構成

力極性選択ビットが[※]1の場合はパルス出力データビットの内容の反転データが出力されます。

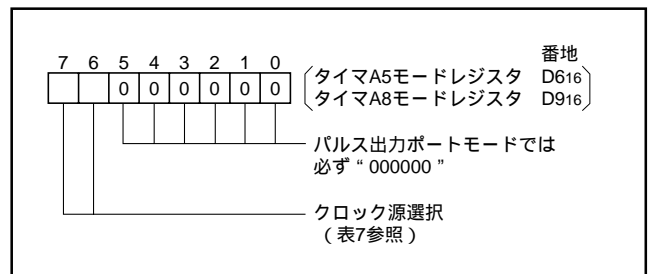


図56. パルス出力ポートモード1時のタイマA8, A5モードレジスタのビット構成

開発中

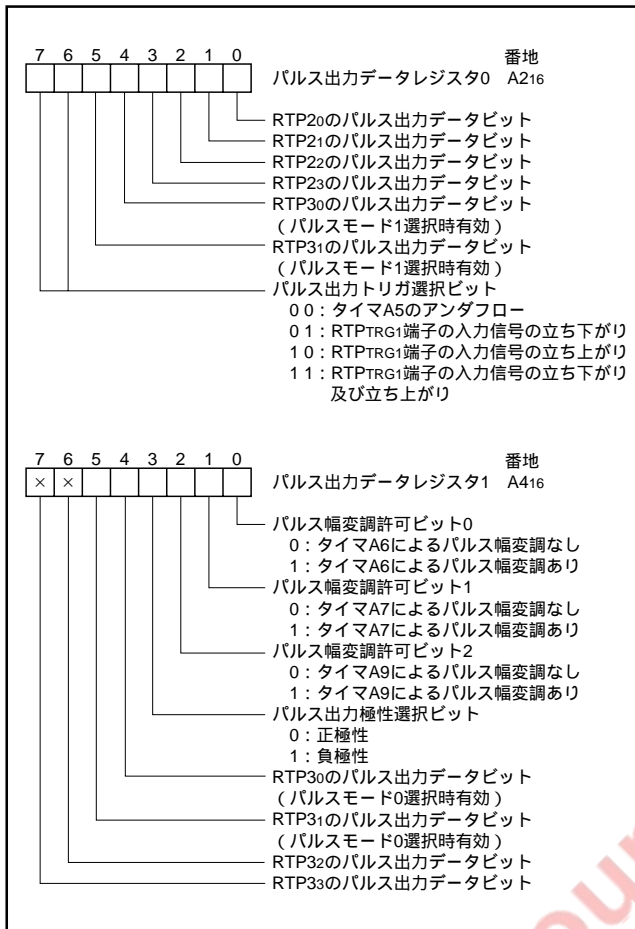


図57. パルス出力ポートモード1時のパルス出力データレジスタ1, 0のビット構成

パルスモード0

このモードでは、パルス出力ポートを4ビットと4ビットに分けて制御します。パルス出力モード選択ビットを“0”、波形出力選択ビットのビット2, ビット1を“0”、ビット0を“1”にすると、RTP23, RTP22, RTP21, RTP20の4本がパルス出力ポート(RTP2を選択)となり、波形出力選択ビットのビット2, ビット0を“0”、ビット1を“1”にすると、RTP33, RTP32, RTP31, RTP30の4本がパルス出力ポート(RTP3を選択)となります。また、パルス出力モード選択ビットを“0”、波形出力選択ビットのビット2を“0”、ビット1, ビット0を“1”にすると、RTP33, RTP32, RTP31, RTP30の4本と、RTP23, RTP22, RTP21, RTP20の4本の2組がパルス出力ポートとなります。RTP33, RTP32, RTP31, RTP30に対応するパルス出力データレジスタ1(A416番地)のビット7, ビット6, ビット5, ビット4の内容は、タイマA8のカウンタの内容が0000₁₆になるごとにポートに出力されます。RTP23, RTP22, RTP21, RTP20に対応するパルス出力データレジスタ0(A216番地)のビット3, ビット2, ビット1, ビット0の内容は、タイマA5のカウンタの内容が0000₁₆になるごとにポートに出力されます。

パルス出力データビットの指定したビットに“0”を書き込んだ場合、対応するタイマのカウンタの内容が0000₁₆になるとパルス出力ポートに“L”レベルが出力され、“1”を書き込んだ場合、パルス出力ポートに“H”レベルが出力されます。

RTPTRG1端子の入力トリガを選択した場合、パルス出力データビットに書き込んだデータが、選択されたトリガによって対応するパルス出力ポートから出力されます。

また、RTP23, RTP22, RTP21, RTP20はパルス幅変調をかけることができます。パルス幅変調をかけるためには、タイマA6を使用しますので、このタイマをパルス幅変調モードで動作させてください。パルス出力データビットのあるビットが“1”のとき、タイマA5のカウンタの内容が0000₁₆になるとパルス幅変調がかけられたパルスがパルス出力ポートから出力されます。

パルス幅変調はパルス出力データレジスタ1(A416番地)のパルス幅変調許可ビット(ビット0)を“1”、パルス出力制御レジスタ(A016番地)のパルス幅変調タイマ選択ビット(ビット5, ビット4)を“00”にすることにより、タイマA6によるパルス幅変調がかけられます。これらのパルスモード0の波形例を図58に示します。

パルスモード0を選択したポートは、パルス出力制御レジスタの波形出力制御ビット(ビット6)によって、RTP33, RTP32, RTP31, RTP30の出力を制御でき、波形出力制御ビット(ビット7)によって、RTP23, RTP22, RTP21, RTP20の出力を制御できます。波形出力制御ビットを“1”にすると、対応するポートから波形が出力されます。“0”にすると、対応するポートからの波形出力は停止され、ポートはフローティ

開発中

ングになります。これらのビットは、命令で“0”にする以外に、リセットをかけても“0”にできます。また、波形出力制御ビット1は、P4OUTCUT端子に立ち下がりエッジを入力しても“0”にできます。

パルスモード1

このモードでは、パルス出力ポートを6ビットと2ビットに分けて制御します。パルス出力モード選択ビットを“1”、波形出力選択ビットのビット2、ビット1を“0”、ビット0を“1”にすると、RTP31, RTP30, RTP23, RTP22, RTP21, RTP20の6本がパルス出力ポートとなり、波形出力選択ビットのビット2, ビット0を“0”、ビット1を“1”にすると、RTP33, RTP32の2本がパルス出力ポートになります。また、パルス出力モード選択ビットを“1”、波形出力選択ビットのビット2を“0”、ビット1, ビット0を“1”にすると、RTP33, RTP32の2本と、RTP31, RTP30, RTP23, RTP22, RTP21, RTP20の6本がパルス出力ポートになります。RTP33, RTP32に対応するパルス出力データレジスタ(A416番地)のビット7、ビット6の内容は、タイマA8のカウンタの内容が0000₁₆になるごとにポートに出力されます。RTP31, RTP30, RTP23, RTP22, RTP21, RTP20に対応するパルス出力データレジスタ(A216番地)のビット5、ビット4、ビット3、ビット2、ビット1、ビット0の内容は、タイマA5のカウンタの内容が0000₁₆になるごとにポートに出力されます。

これらのパルス出力ポートの制御をタイマA5のアンダフローで行うか、RTPTRG1端子の入力エッジで行うかは、パルス出力データレジスタ(A216番地)のパルス出力トリガ選択ビットによって選択できます。

また、RTP31, RTP30, RTP23, RTP22, RTP21, RTP20は、パルス幅変調をかけることができます。パルス幅変調はRTP31, RTP30, RTP23, RTP22, RTP21, RTP20の6本に共通にかけるか、RTP31, RTP30, RTP23とRTP22, RTP21, RTP20の3本ごとにかけるか、RTP31, RTP30と、RTP23, RTP22と、RTP21, RTP20の2本ごとにかけるかを選択できます。この選択はパルス出力制御レジスタ(A016番地)のパルス幅変調タイマ選択ビット(ビット5、ビット4)によって行います。パルス幅変調タイマ選択ビットを“00”にすると6本共通、“01”にすると3本ごと、“10”にすると2本ごとにパルス幅変調がかけられます。パルス幅変調を6本共通にかけるためにはタイマA6、3本ごとにかけるためにはタイマA6、タイマA7、2本ごとにかけるためにはタイマA6、タイマA7、タイマA9を使用しますので、それぞれ対応するタイマをパルス幅変調モードで動作させてください。同時に、パルス出力データレジスタ(A416番地)のパルス幅変調許可ビット(ビット2、ビット1、ビット0)によってパルス幅変調を許可しますので、対応するビットを“1”にしてください。

その他の動作は、パルスモード0と同様です。

これらのパルスモード1の波形例を図59に示します。

パルスモード1を選択したポートは、パルス出力制御レジスタの波形出力制御ビット(ビット6)によって、RTP33, RTP32の出力を制御でき、波形出力制御ビット1(ビット7)によって、RTP31, RTP30, RTP23, RTP22, RTP21, RTP20の出力を制御できます。波形出力制御ビットを“1”にすると、対応するポートから波形が出力されます。“0”にすると、対応するポートからの波形出力は停止され、ポートはフローティングになります。これらのビットは、命令で“0”にする以外に、リセットをかけても“0”にできます。また、波形出力制御ビット1は、P4OUTCUT端子に立ち下がりエッジを入力しても“0”にできます。

開発中

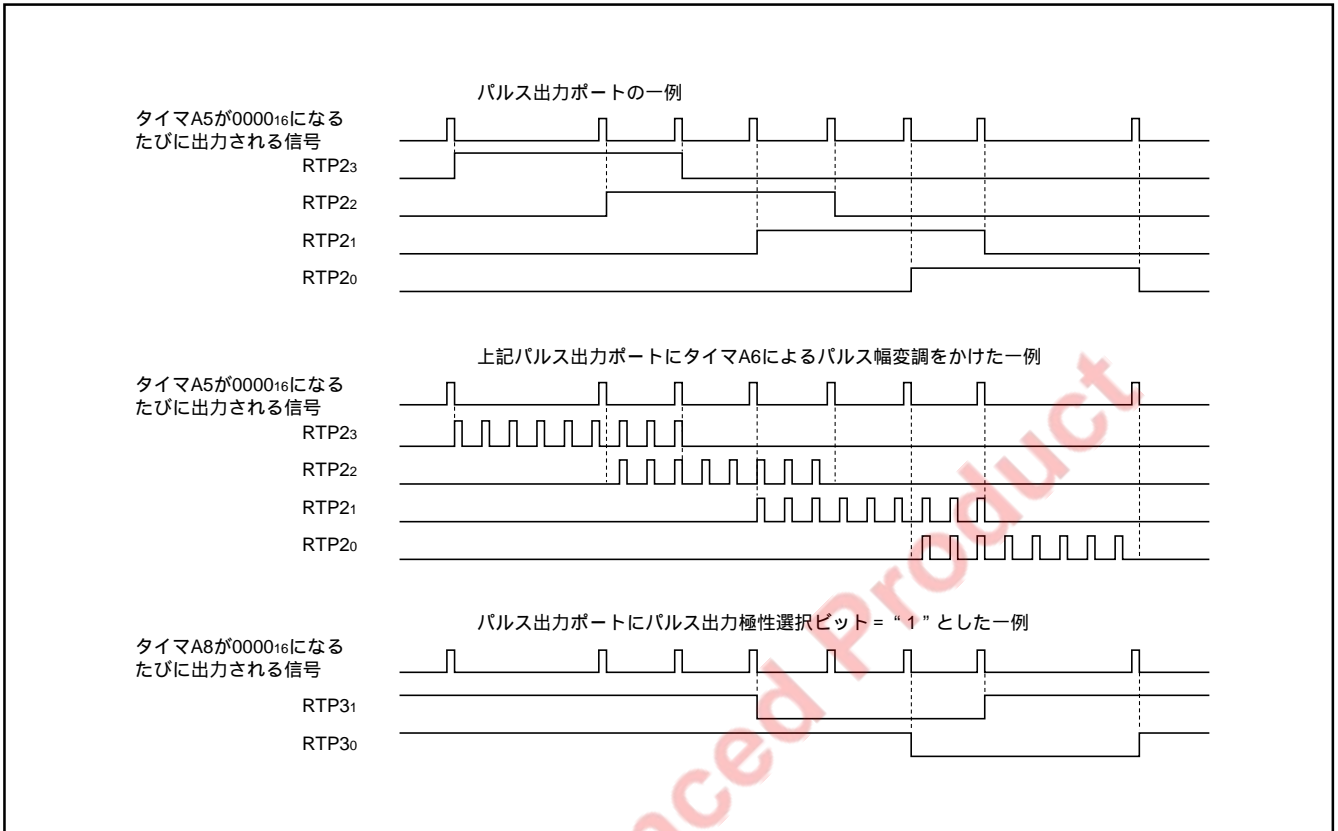


図58. パルスモード0時の波形例

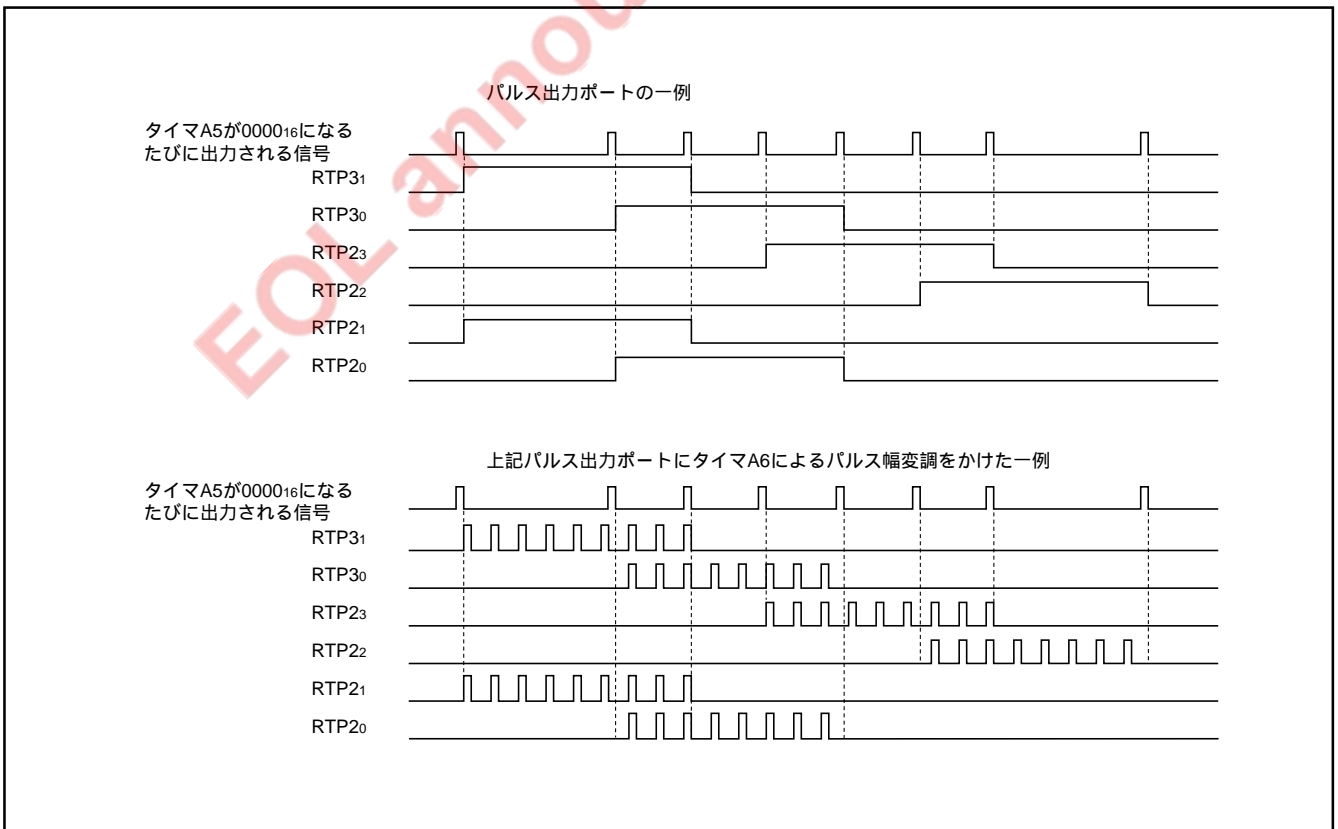


図59. パルスモード1時の波形例

開発中

シリアルI/O

シリアルI/Oは全く独立して2本内蔵されています。

図60にシリアルI/Oのブロック図を示します。

図61に示すUARTi(i = 0, 1, 2)送受信モードレジスタのビット0~2の内容でポートP1及びポートP8をプログラマブル入出力ポートとして使用するか、クロック同期形シリアルI/Oとして使用するか、あるいはスタートビット、ストップビットを用いる非同期形(UART)シリアルI/Oとして使用するかを選択します。ただし、クロック同期形シリアルI/O又はUARTモードを選択した場合でも、一部の端子はプログラマブル入出力ポートとして使用できます。

図62と図63に受信部及び送信部のブロック図を示します。

図64にUARTi送受信制御レジスタのビット構成を示します。

以下に各通信方法について説明します。

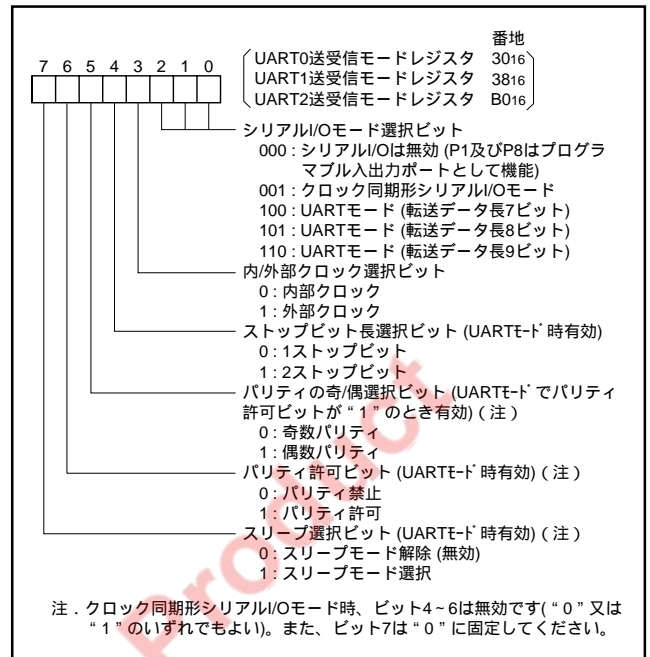


図61. UARTi送受信モードレジスタのビット構成

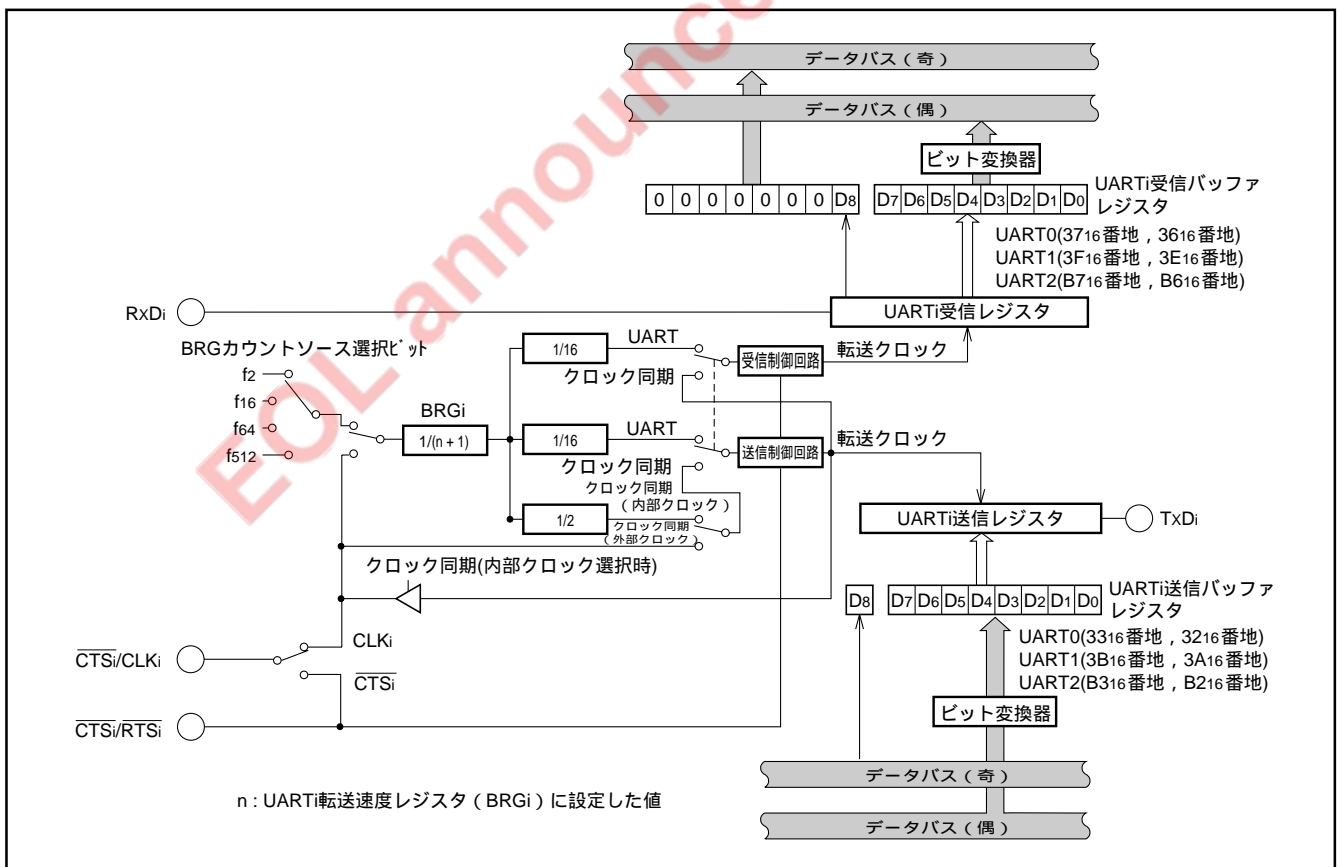


図60. シリアルI/Oのブロック図

開発中

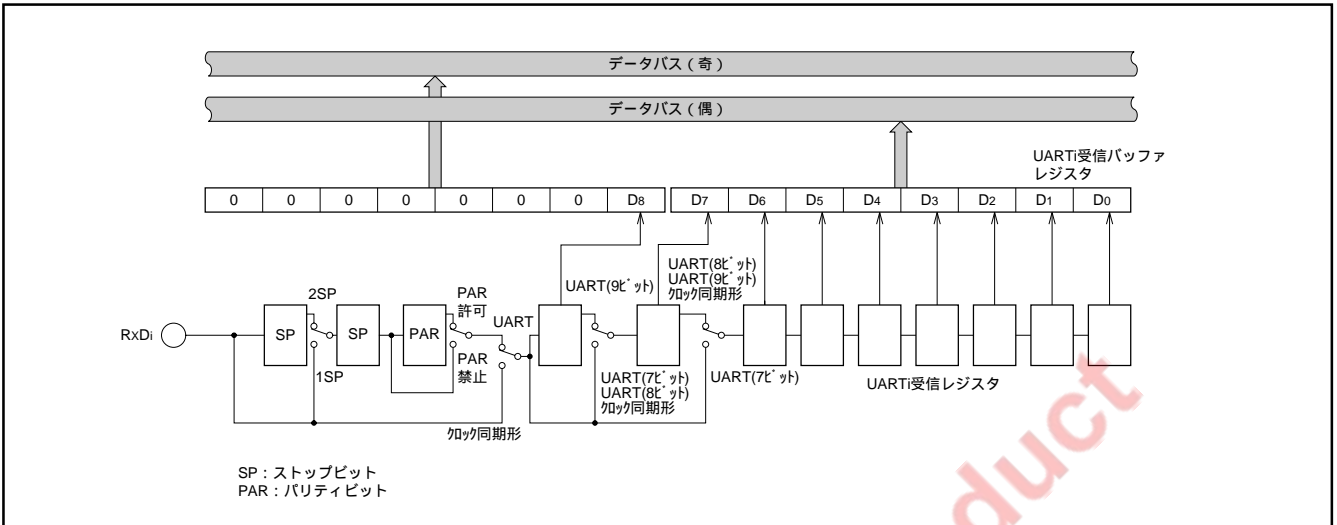


図62. 受信部ブロック

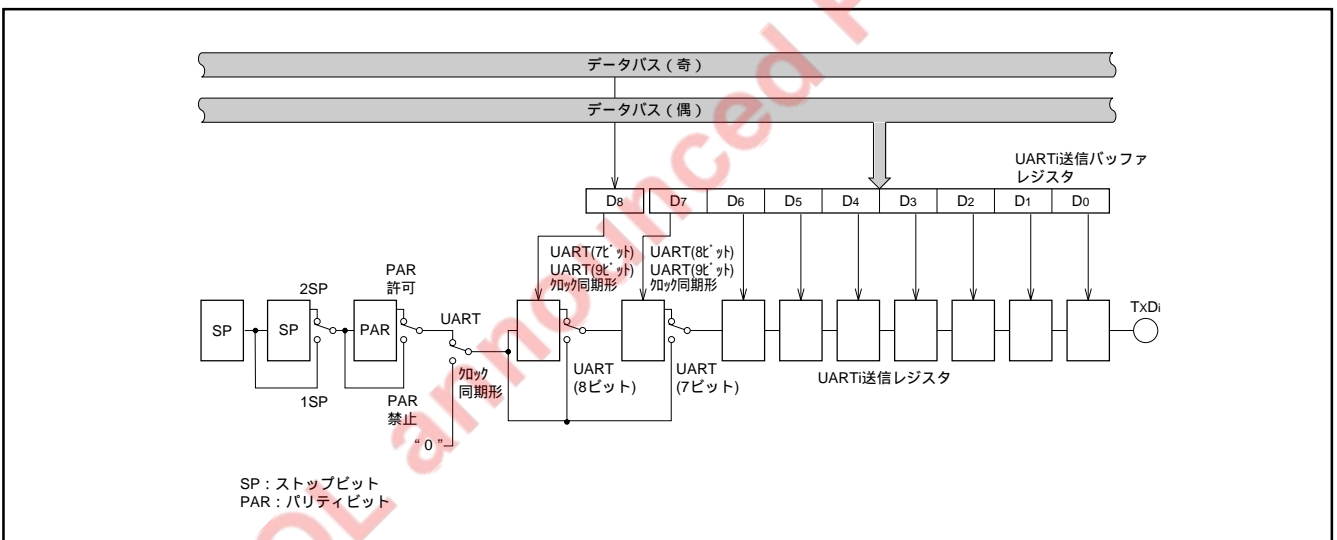


図63. 送信部ブロック

開発中

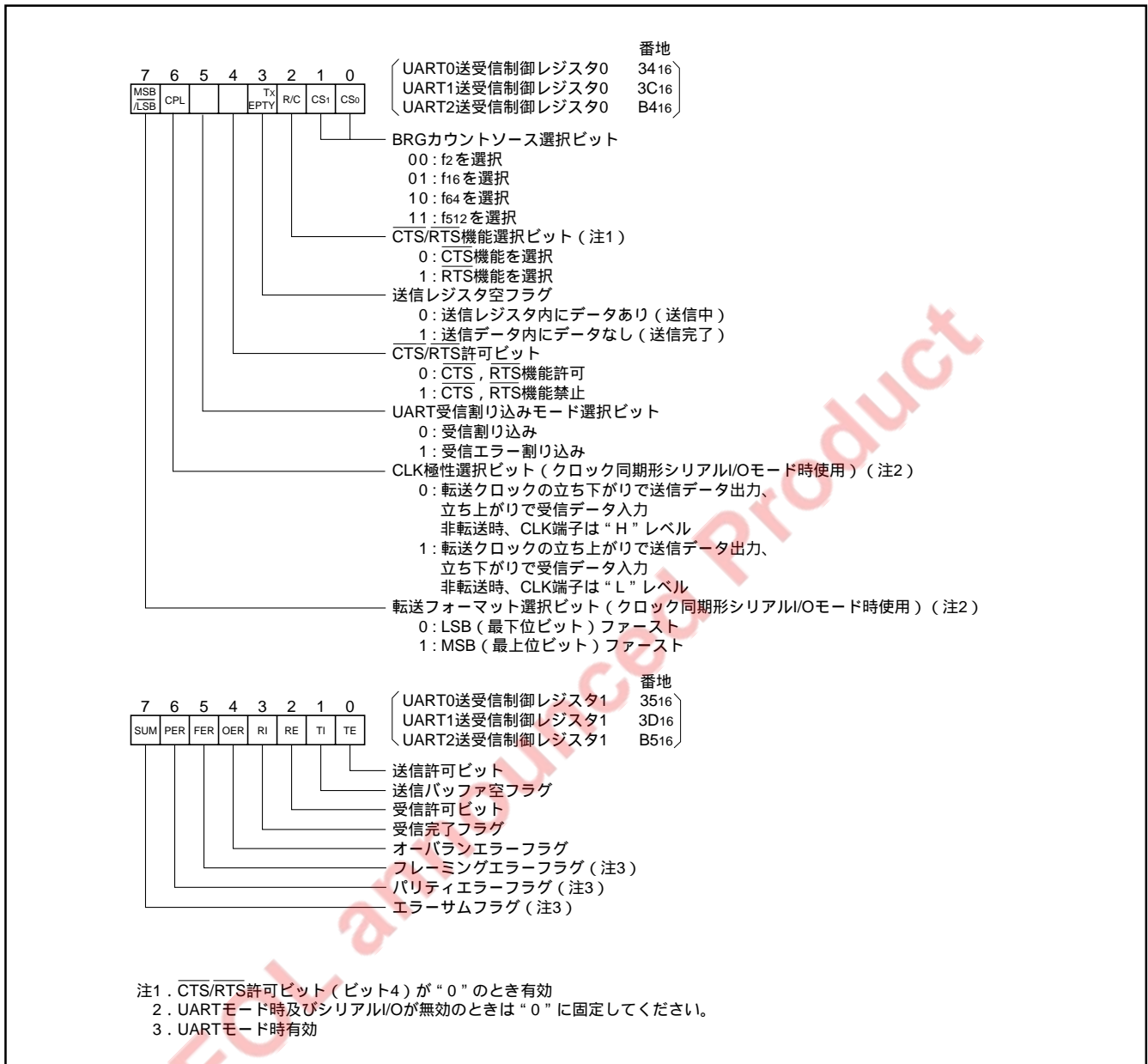


図64. UARTi送受信制御レジスタのビット構成

開発中

クロック同期形直列通信

図65に示すように、2つのクロック同期形シリアルI/Oの間で通信を行う場合を例にとって説明します。(送信側の添字はjとし、受信側の添字はkとします。)

UARTj送受信モードレジスタ、及びUARTk送受信モードレジスタのビット0は“1”に、ビット1とビット2は“0”にします。転送データのビット長は8ビットで固定です。

クロックを送る側のUARTj送受信モードレジスタのビット3の内容を“0”にして、内部クロックを選択します。

クロックを受け取る側のUARTk送受信モードレジスタのビット3の内容を“1”にして、外部クロックを選択します。ビット4、ビット5、ビット6はクロック同期形では無効になります。ビット7の内容は必ず“0”にしてください。

クロックを送る側のUARTj送受信制御レジスタ0のビット0(CS0)とビット1(CS1)の内容でクロック源を選択します。

選択されたクロックは、図60に示すように(n+1)分周され、さらに2分周されて送信制御回路を経て外部へ送信クロックCLKjとして出力されます。したがって、選択したクロックをfiとすると、

$$\text{転送速度} = fi / \{(n+1) \times 2\}$$

となります。

クロックを受け取る側は、外部クロックを選択しているのでUARTk送受信制御レジスタ0のCS0とCS1の内容は無効です。

UART0とUART1と共にCTS、RTS機能を使用することができます。

CTS、RTS信号を使用するかどうかはUARTi送受信制御レジスタ0のビット4(CTS/RTS許可ビット)で選択できます。CTS、RTS信号を使用する場合はビット4を“0”に、使用しない場合はビット4を“1”にします。CTS、RTS信号を使用しない場合、CTS/RTS端子は通常のポートとして使用できます。

CTS/RTS端子として使用する場合、UARTi送受信制御レジスタ0のビット2(CTS/RTS機能選択ビット)の内容を“0”にすると、CTS入力を選択され、“1”にするとRTS出力が選択されます。

以下の説明ではCTS、RTS信号を使用する場合について説明しますが、CTS、RTS信号を使用しない場合、CTS入力の条件は必要なく、RTS出力はありません。

また図72に示すシリアルI/O端子制御レジスタのビット2、ビット3、ビット5でポートP13、P17及びポートP83をTxDi機能として使用するか、ポート機能として使用するかを選択できます。ビット2、ビット3、ビット5を“0”にするとTxDi機能になり、“1”にするとポート機能になります。したがって、TxDi端子を使用しない入力専用のシステムではTxDi端子はポートとして使用できます。

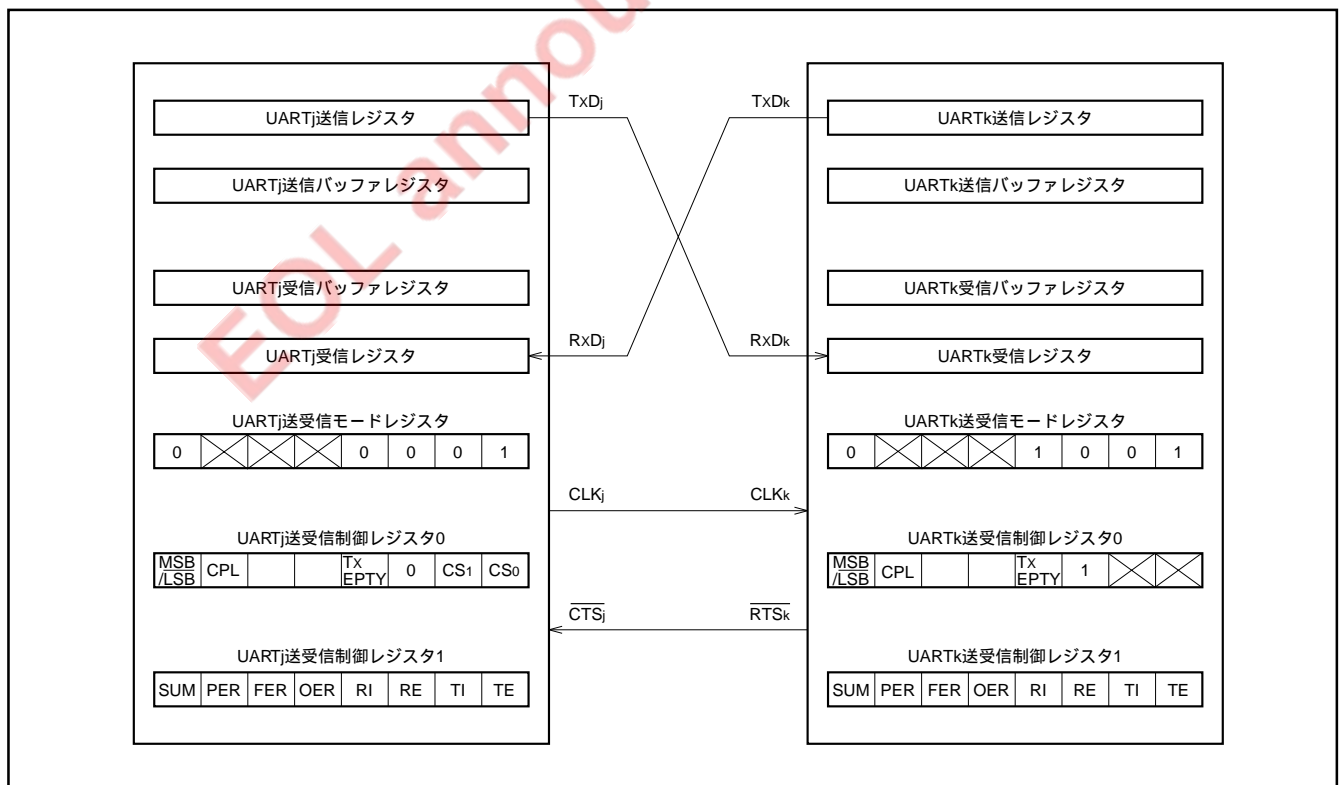


図65. クロック同期形直列通信

開発中

送信

送信器は以下の3条件が成立した時に、送信を開始します。

- ・UARTj送受信制御レジスタ1のビット0(TEjフラグ：送信許可フラグ)の内容が“1”
- ・UARTj送受信制御レジスタ1のビット1(TIjフラグ)の内容が“0”

TIjフラグは、送信バッファレジスタが空かどうかを示すフラグで、送信バッファレジスタに送信データの書き込みを行うと“0”になり、送信バッファレジスタの内容を送信レジスタへ転送して、送信バッファレジスタが空になると“1”になります。

- ・CTSj入力(受信側からの送信許可入力)が“L”

送信条件が整うと送信バッファレジスタ内の送信データが送信レジスタに転送され送信が開始されます。送信が開始されると図66に示すように、送信クロックCLKjが“H”から“L”(クロック同期形シリアルI/Oでは転送クロックの極性を反転することができます。後述の転送クロック極性の選択を参照してください。)になるたびに、TxDj端子からデータが出力されます。データは送信バッファレジスタ下位ビットから出力します。

送信レジスタの内容を送信し終って、送信レジスタの内容が空になったときに、次の送信開始条件が整っていれば送信バッファレジスタから、送信レジスタへのデータの転送は自動的に行われ、連続して次の送信が開始されます。一度、送信を開始すると送信中のデータを送信し終るまではTEjフラグ、TIjフラグ、CTSj信号の条件を見ないので、送信中にCTSj入力を“H”にしても送信が中断されることはありません。

図66に示すTENDj信号の“H”の期間に送信開始条件であるTEjフラグ、TIjフラグ、CTSjの状態を調べます。したがって、TENDj信号の“H”の期間が来る前に、送信バッファレジスタに次に送信すべきデータを書き込んでTIjフラグを“0”にしておくと、連続してデータを転送することができます。

UARTj送受信制御レジスタ0のビット3(TxEPTYjフラグ)は、TENDj信号が“H”になった次のサイクルで“1”になり送信を始めると“0”になります。したがって、このフラグによってデータを送信し終ったかどうか判定することができます。

TIjフラグが“0”から“1”に変化すると、UARTj送信割り込み制御レジスタの割り込み要求ビットが“1”になります。

受信

UARTk送受信制御レジスタ1のビット2(REkフラグ)を“1”にすると受信可能状態となり、外部からCLKkが入力されるとこれに同期して受信動作を行います。

RTSk出力はREkフラグの内容が“0”のときは“H”ですが、REkフラグの内容を“1”にすると“L”になり、受信可能状態に

なったことを送信側に知らせます。受信を始めるとRTSk出力は自動的に“H”になります。

受信が開始されると受信器は、送信クロックCLKjが“L”から“H”(クロック同期形シリアルI/Oでは転送クロックの極性を反転することができます。後述の転送クロック極性の選択を参照してください。)になるたびに、RxDk端子からデータを取り込むと同時に、受信レジスタの内容を1ビットシフトします。8ビット長のデータを受け取ると、受信レジスタの内容は受信バッファレジスタへ転送され、UARTk送受信制御レジスタ1のビット3(RIkフラグ)が“1”になります。すなわち、RIkフラグが“1”になることは、受信バッファレジスタに受信データが入ったことを示します。

このときUARTk受信バッファレジスタの下位バイトを読み出すとRTSk出力は再び“L”になり、次のデータの受信が可能であることを示します。

UARTk送受信制御レジスタ1のビット4(OERkフラグ)は、RIkフラグが“1”のままで、次のデータを受信レジスタから受信バッファレジスタへ転送したときに“1”になり、受信バッファレジスタの内容を読み出す前に、次のデータが受信バッファレジスタに転送されたことを示します(オーバランエラーの発生)。RIkフラグは、受信バッファレジスタの下位バイトを読み出すか、REkフラグを“0”にすると自動的に“0”になります。また、OERkフラグはREkフラグを“0”にすることによって、“0”になります。ビット5(FERkフラグ)、ビット6(PERkフラグ)、ビット7(SUMkフラグ)は、クロック同期形では無効になります。

図60に示すように、クロック同期形直列通信では、受信クロックは送信クロックから作られるので、送信器が動作しないと受信は行われません。したがって、UARTk側からUARTj側へのデータの送信が必要なくても、送信器は動作させてダミーデータの送信をする必要があります。

開発中

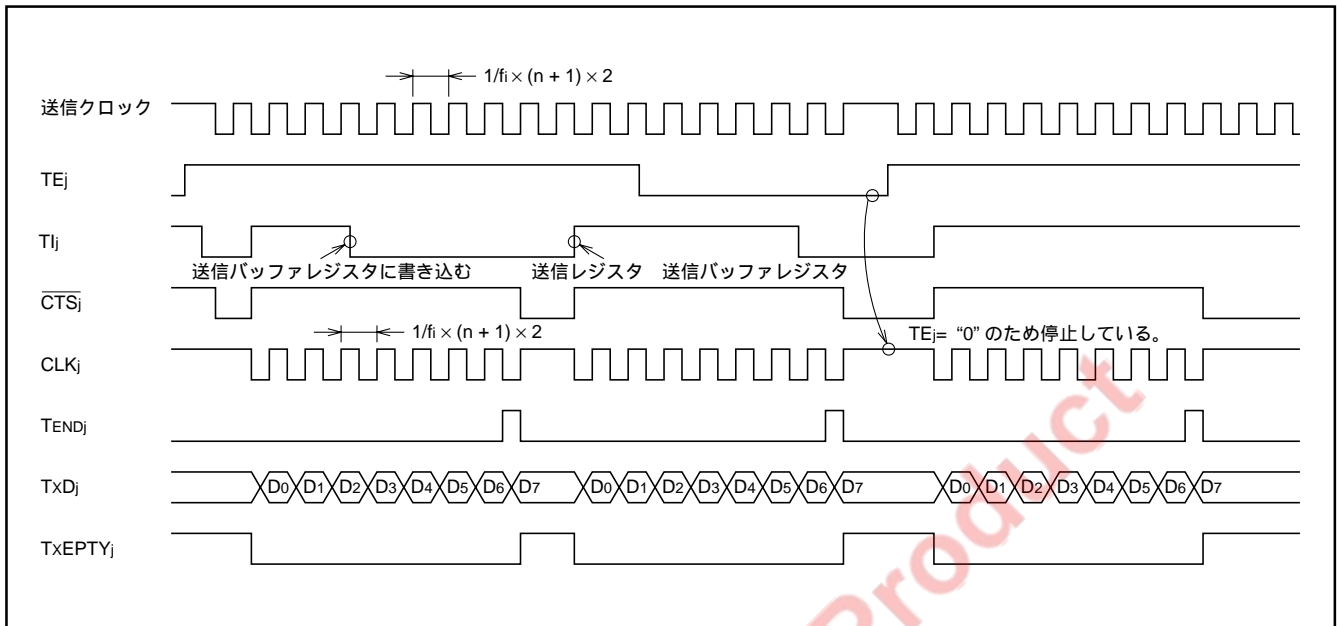


図66. クロック同期形シリアルI/Oのタイミング

受信完了時の割り込み要求

RIKフラグが 0 から 1 に変化したとき、すなわち受信完了時にUARTk受信割り込み制御レジスタの割り込み要求ビットを 1 にすることができます。

割り込み要求ビットを 1 にするタイミングは、受信ごとと受信時にエラーが発生したときのいずれから選択できます。UARTk送受信制御レジスタ0のビット5(UARTk受信割り込みモード選択ビット)を 0 にすると、受信ごとに割り込み要求ビットが 1 になり、ビット5を 1 にするとエラー発生時(クロック同期形シリアルI/Oモード時はオーバランエラー発生時)のみ割り込み要求ビットが 1 になります。

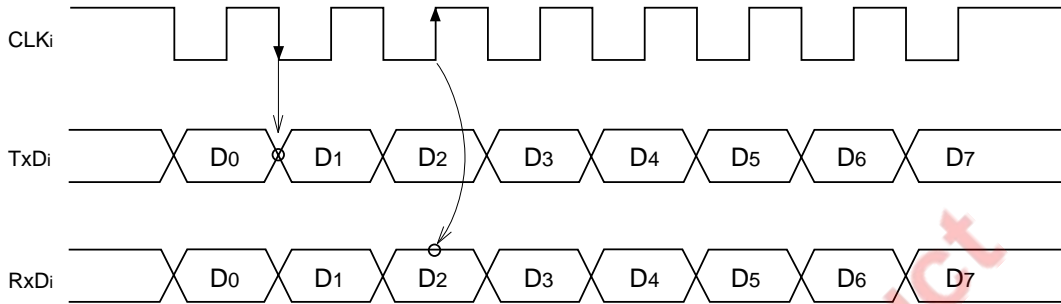
転送クロック極性の選択

クロック同期形直列通信では、UARTj送受信制御レジスタ0のビット6(CPL)で転送クロックの極性を選択することができます。

図67に示すようにビット6が 0 の場合、送信時はCLKjの立ち下がりエッジで送信データ出力を、受信時はCLKkの立ち上がりエッジで受信データ入力を行い、非転送時のCLKiを H レベルとします。ビット6が 1 の場合は逆に、送信時はCLKj立ち上がりエッジで送信データ出力を、受信時はCLKkの立ち下がりエッジで受信データ入力を行い、非転送時のCLKiを L レベルとします。

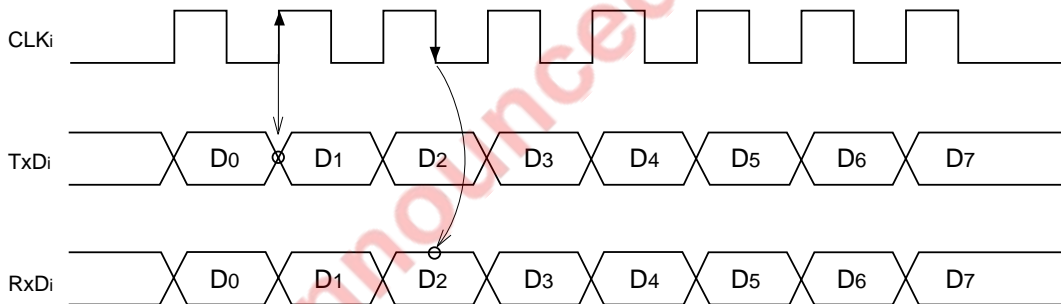
開発中

CLK極性選択ビット = 0 のとき



転送クロックの立ち下がりで送信データをTxDi端子に出力し、立ち上がりで受信データをRxDi端子から入力します。
転送を行っていないときのCLKi端子のレベルは“H”です。

CLK極性選択ビット = 1 のとき



転送クロックの立ち上がりで送信データをTxDi端子に出力し、立ち下がりで受信データをRxDi端子から入力します。
転送を行っていないときのCLKi端子のレベルは“L”です。

図67. 転送クロックの極性

開発中

転送フォーマットの選択

クロック同期形直列通信では、送受信制御レジスタ0のビット7の内容によって、転送フォーマットを選択することができます。ビット7の内容が「0」のとき転送フォーマットはLSBファースト、「1」のときMSBファーストになります。

図68に示すようにこの機能は、送信バッファレジスタに送

信データを書き込むとき、又は受信バッファレジスタから受信データを読み出すときに、送信バッファレジスタ/受信バッファレジスタとデータバスの接続関係を切り替えることによって実現しています。したがって、いずれの転送フォーマットを選択した場合も、送受信器本体の動作は同じです。

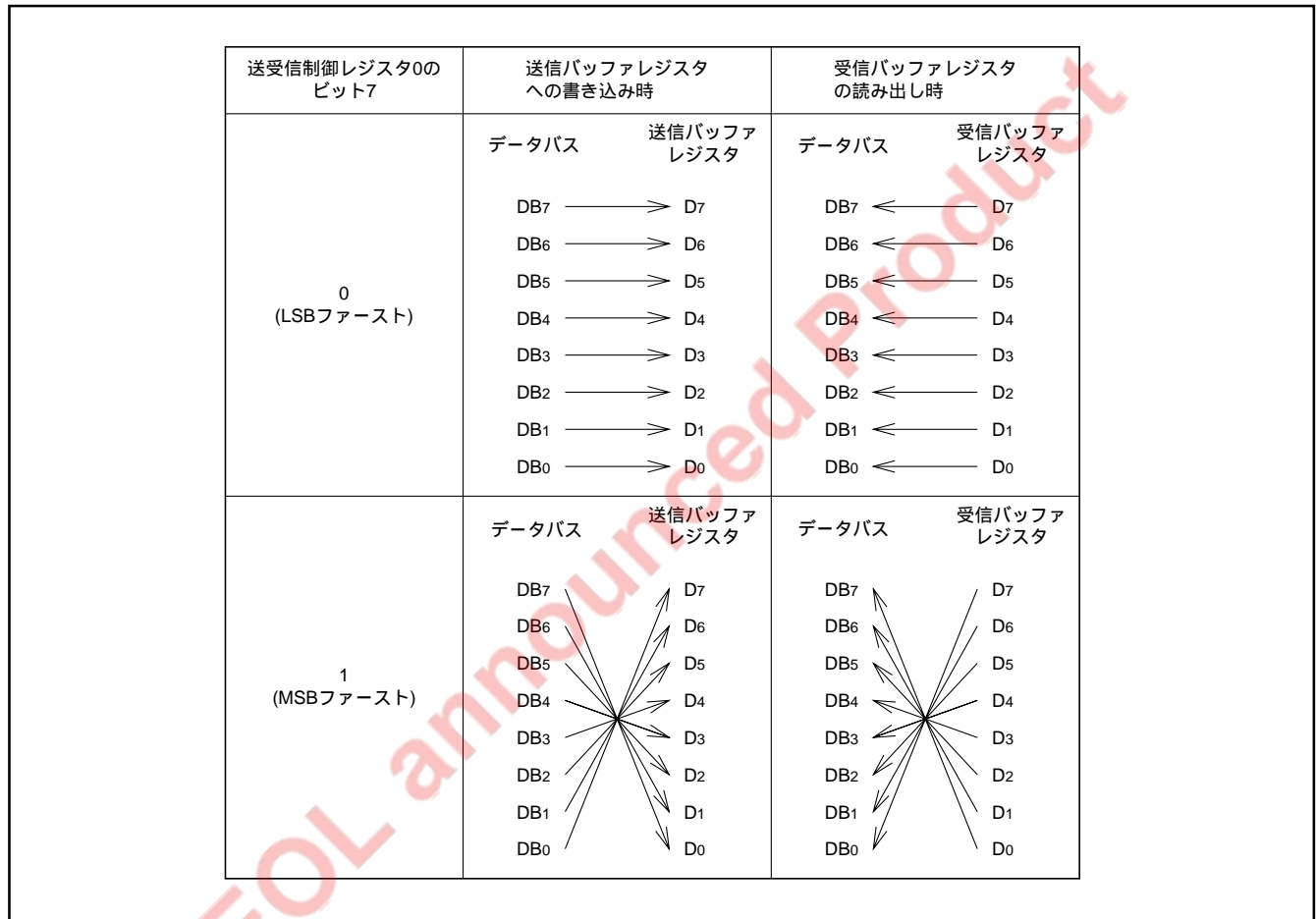


図68. 送信バッファレジスタ/受信バッファレジスタとデータバスの接続関係

クロック同期形シリアルI/Oモード使用上の注意

クロック同期形シリアルI/OモードではCTS_i/RTS_iの分離機能を選択できません。更に内部クロック選択時はRTS出力が不定のため、RTS機能を使用しないでください。

送信を行うときは、シリアルI/O端子制御レジスタ(AC16番地)のビット2、ビット3、ビット5を「0」にしてください。

開発中

非同期形直列通信

非同期形直列通信では転送データ長により、7ビット非同期通信、8ビット非同期通信、9ビット非同期通信のうちいずれか一つを選択できます。これらは転送ビット長が異なるだけです。8ビット非同期通信についてのみ説明します。

8ビット非同期通信では、UART_i送受信モードレジスタのビット0は“1”に、ビット1は“0”に、ビット2は“1”にします。

ビット3は、内部クロックを選択する場合は“0”、外部クロックを選択する場合は“1”にします。内部クロックを選択した場合は、さらにUART_i送受信制御レジスタ0のビット0(CS₀)とビット1(CS₁)でクロック源を選択します。非同期形直列通信で内部クロックを選択した場合、CLK_i端子は通常の入出力端子として使用できます。

選択された内部クロック又は外部クロックは(n+1)分周さ

れ、さらに16分周され、制御回路を経てUART送信クロックあるいはUART受信クロックとなります。したがって、転送速度レジスタの内容nを変えると、転送速度を変えることができます。選択した内部クロックをf_iあるいは外部クロックをf_{EXT}とすると

$$\text{転送速度} = (f_i \text{ 又は } f_{\text{EXT}}) / \{(n+1) \times 16\}$$

となります。

ビット4は、ストップビット長を1ビットとするか、2ビットとするかを選択するストップビット長選択ビットです。

ビット5は、データの“1”の個数とパリティビットの“1”の個数を加算した合計がいつも奇数になるようにパリティビットを“1”あるいは“0”に調整する奇数パリティ、あるいは合計がいつも偶数になるように調整する偶数パリティのいずれかを選択するパリティ奇/偶選択ビットです。

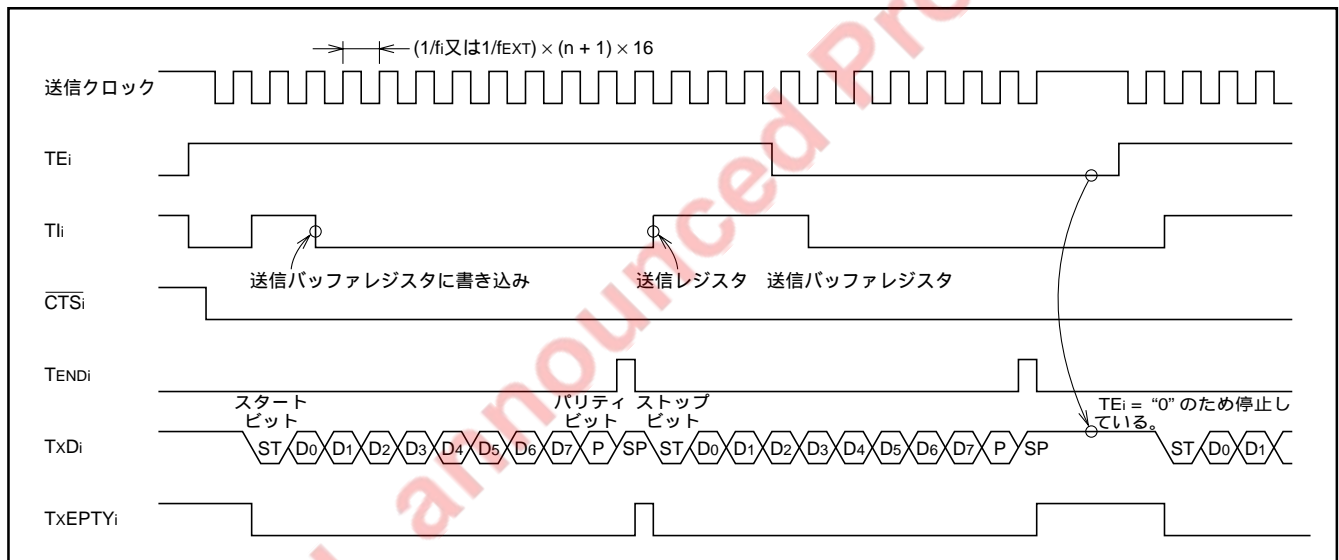


図69. パリティ付、1ストップビット、8ビット非同期を選択した場合の送信のタイミング例

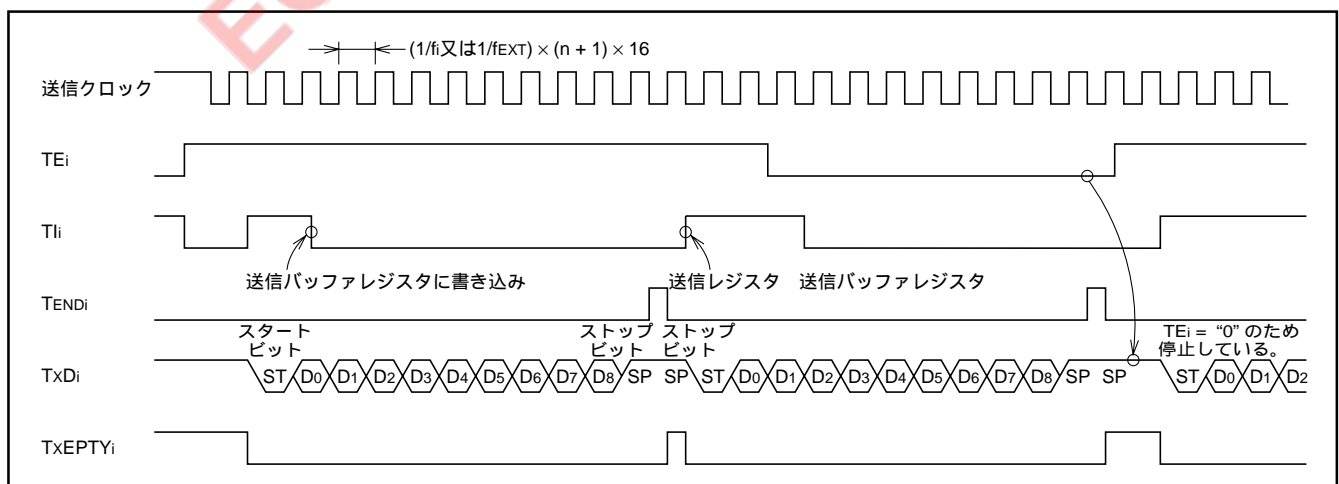


図70. パリティなし、2ストップビット、9ビット非同期を選択した場合の送信のタイミング例

開発中

ビット6は、パリティビットを付加するかしないかを選択するパリティ許可ビットです。

ビット4からビット6は、相互に通信する通信フォーマットにより“0”あるいは“1”に設定します。

ビット7はスリープ選択ビットです。スリープモードについては後で説明します。

図72にシリアルI/O端子制御レジスタのビット構成を示します。シリアルI/O端子制御レジスタのビット0、ビット1及びビット4(CTS_i/RTS_i分離選択ビット)にてCTS/RTS端子の機能を2つの端子に分離し、それぞれ別々の端子に割り付けることができます。分離する場合はビット0、ビット1及びビット4を“1”に、行わない場合はビット0、ビット1及びビット4を“0”にします。表8にCTS/RTS機能の選択を示します。

送信

送信器はクロック同期形直列通信モードと同様、以下の3条件が成立した時に送信を開始します。

- ・UART_i 送受信制御レジスタ1のビット0(TE_iフラグ: 送信許可フラグ)の内容が“1”
- ・UART_i 送受信制御レジスタ1のビット1(TI_iフラグ)の内容が“0”

TI_iフラグは、送信バッファレジスタが空かどうかを示すフラグで、送信バッファレジスタに送信データの書き込みを行うと“0”になり、送信バッファレジスタの内容を送信レジスタへ転送して、送信バッファレジスタが空になると“1”になります。

- ・CTS_i入力(受信側からの送信許可入力)が“L”

送信条件が整うと送信バッファレジスタ内の送信データが送信レジスタに転送され、送信が開始されます。データは、図69、図70の例に示すように、スタートビット及びUART_i送受信モードレジスタのビット4からビット6の内容で設定したストップビットあるいはパリティビットが付加されて、TxDi端子から出力されます。データは下位ビットから転送されず。

送信レジスタの内容を送信し終わって、送信レジスタの内容が空になったとき、次の送信開始条件が整っていれば、送信バッファレジスタから送信レジスタへのデータの転送は自動的に行われ、連続して次の送信が開始されます。

送信を開始すると、送信中のデータを送信し終るまではTE_iフラグ、TI_iフラグ、CTS_iの条件を見ないので、送信中にTE_iフラグを“0”にしても、あるいはCTS_i入力を“1”にしても送信中のデータを送信し終るまで停止しません。図69に示すTEND_i信号の“H”の期間に送信開始条件であるTE_iフラグ、TI_iフラグ、CTS_i入力を検査します。したがって、TEND_i信号の“H”の期間が来る前に、送信バッファレジスタに次に送信すべきデータを書き込んでTI_iフラグを“0”にしておくことで連続してデータを転送することができます。

UART_i送受信制御レジスタ0のビット3(TxEPTY_iフラグ)はTEND_i信号が“H”になった次のサイクルで“1”になり送信を始めると“0”になります。

したがって、このフラグを検査すると、データを送信し終ったかどうか分かります。

TI_iフラグが“0”から“1”に変化すると、UART_i送信割り込み制御レジスタの中の割り込み要求ビットが“1”になります。

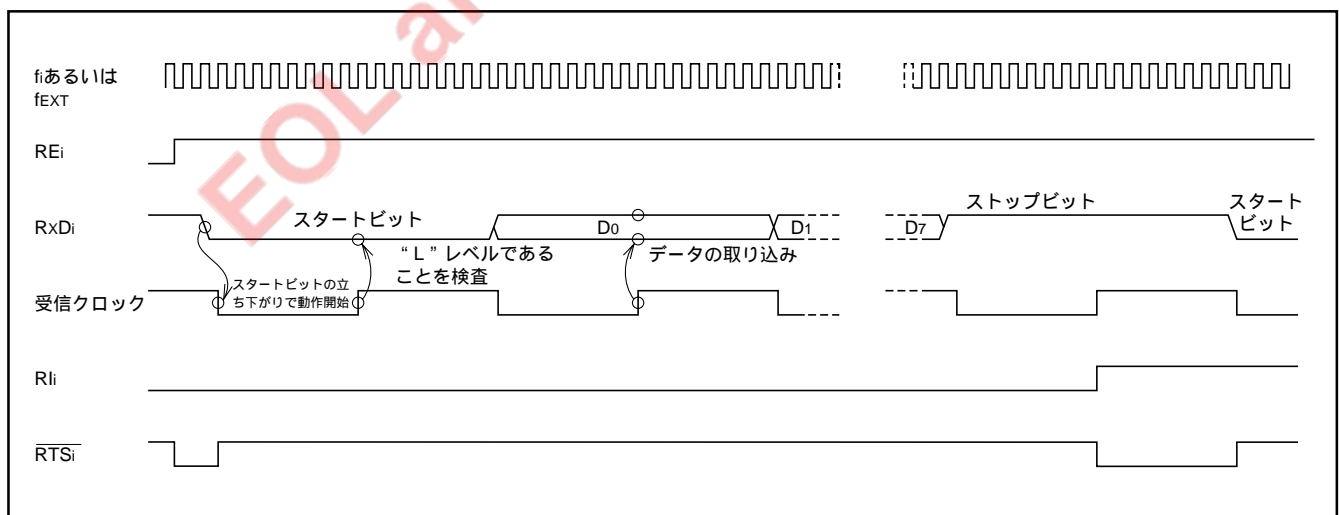


図71. パリティなし、1ストップビット、8ビット非同期を選択した場合の受信のタイミング例

開発中

表8. CTS/RTS機能の選択

CTS/RTS 許可ビット	CTS _i /RTS _i 分離選択ビット	CTS/RTS 機能選択ビット	機 能					
			P10/CTS ₀ /RTS ₀ 端子	P11/CTS ₀ /CLK ₀ 端子	P14/CTS ₁ /RTS ₁ 端子	P15/CTS ₁ /CLK ₁ 端子	P80/CTS ₂ /RTS ₂ 端子	P81/CTS ₂ /CLK ₂ 端子
0	0	0	CTS ₀	P11又はCLK ₀	CTS ₁	P15又はCLK ₁	CTS ₂	P81又はCLK ₂
		1	RTS ₀	P11又はCLK ₀	RTS ₁	P15又はCLK ₁	RTS ₂	P81又はCLK ₂
	1	x	RTS ₀	CTS ₀ (注1,2)	RTS ₁	CTS ₁ (注1,2)	RTS ₂	CTS ₂ (注1,2)
1	x	x	P10	P11又はCLK ₀	P14	P15又はCLK ₁	P80	P81又はCLK ₂

x: "0"又は"1"いずれでもよい

注1. CTS機能を使用する場合は、ポートP1及びポートP8方向レジスタの対応するビットを"0"にしてください。

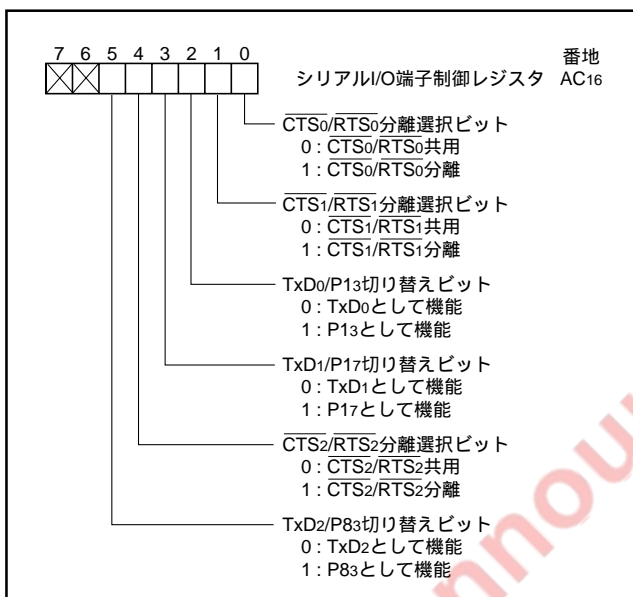
注2. CTS_i/RTS_i分離を選択した場合は、CLK_i端子を使用できません。したがって、クロック同期形シリアルI/Oモードでは、CTS_i/RTS_iを分離できません。また、UARTモードでCTS_i/RTS_iを分離する場合は、内部クロックを選択してください。

図72. シリアルI/O端子制御レジスタのビット構成

受 信

UART_i送受信制御レジスタ1のビット2(RE_iフラグ)を"1"にすると受信可能状態となり、図71に示すようにスタートビットが来ると、受信側の16分周回路が動作を始めデータを受信します。UART_i送受信制御レジスタ0のビット2の内容を"1"にしてRTS_i出力を選択している場合、RE_iフラグが"0"のときRTS_i出力は" H "ですが、RE_iフラグを"1"にすると" L "になり、受信可能状態になったことを送信側に知らせます。受信を始めるとRTS_i出力は自動的に" H "になります。

受信開始後、スタートビットが図62に示す受信部ブロックの受信レジスタの終端ビットを通り抜けたときに、送信されたデータの全ビットを受信したことになり、受信レジスタの内容は受信バッファレジスタへ転送され、UART_i送受信制御レジスタ1のビット3(R_iフラグ)が"1"にセットされます。すなわち、R_iフラグが"1"になることは、受信バッファレジスタにデータが入ったことを示します。

このときUART_k受信バッファレジスタの下位バイトを読み出すとRTS_k出力は再び" L "になり、次のデータの受信が可能であることを示します。

UART_i送受信制御レジスタ1のビット4(OER_iフラグ)は、R_iフラグが"1"のままで次のデータを受信レジスタから受信バッファレジスタへ転送したとき(オーバーランエラー) "1"になります。OER_iフラグが"1"であるということは、受信バッファレジスタの内容を読み出す前に、次のデータが受信バッファレジスタに転送されたことを示します。

ビット5(FER_iフラグ)は、ストップビットが規定の個数なかったとき(フレーミングエラー)に"1"になります。

ビット6(PER_iフラグ)は、パリティエラーが発生すると"1"になります。

ビット7(SUM_iフラグ)は、OER_iフラグあるいはFER_iフラグあるいはPER_iフラグのいずれか一つでも"1"になるとSUM_iフラグも"1"になります。したがって、SUM_iフラグを検査するだけでエラーが発生したかどうか分かります。R_iフラグ、OER_iフラグ、FER_iフラグ、PER_iフラグは受信レジスタの内容を受信バッファレジスタへ転送するとき"1"になり

開発中

まず、FERiフラグ、PERiフラグ、SUMiフラグは受信バッファレジスタの下位バイトを読み出すか、REiフラグを“0”にすると“0”になります。OERiフラグは、REiフラグを“0”にすると“0”になります。

受信完了時の割り込み要求

RIkフラグが“0”から“1”に変化したとき、すなわち受信完了時にUARTk受信割り込み制御レジスタの割り込み要求ビットを“1”にすることができます。

割り込み要求ビットを“1”にするタイミングは、受信ごとと受信時にエラーが発生したときのいずれから選択できます。UARTk送受信制御レジスタ0のビット5(UART受信割り込みモード選択ビット)を“0”にすると、受信ごとに割り込み要求ビットが“1”になり、ビット5を“1”にするとエラー発生時(クロック非同期形シリアルI/Oモード時はオーバーランエラー、フレーミングエラー、パリティエラー発生時)のみに割り込み要求ビットが“1”になります。

スリープモード

スリープモードは、複数のマイクロコンピュータをシリアルI/Oを通して接続した場合に、特定のマイクロコンピュータ間のみで通信を行いたい場合に使用します。

UARTi送受信モードレジスタのビット7の内容を“1”にするとスリープモードになります。

スリープモードを選択した場合の動作を8ビット非同期通信の場合について説明します。

スリープモードを選択した場合、受信したデータのビット7(7ビット非同期通信の場合はビット6、9ビット非同期通信の場合はビット8)が“0”のときは、受信レジスタの内容を受信バッファレジスタへ転送しません。また、Rliフラグ、OERiフラグ、FERiフラグ、PERiフラグ、SUMiフラグの内容も変化しません。したがって、UARTi受信割り込み制御レジスタの割り込み要求ビットも変化しません。受信したデータのビット7が“1”の場合は、通常の受信動作を行います。

次に、スリープモードの使用例について説明します。主となる一つのマイクロコンピュータは、最初にデータのビット7が“1”で、残りのビット0～ビット6で表される数値を、通信したい従のマイクロコンピュータの番地としたデータを送信します。そうすると、すべての従のマイクロコンピュータは同じデータを受信します。各々の従のマイクロコンピュータは受け取ったデータを調べ、データのビット0～ビット6が自分の番地であれば、スリープ選択ビットを“0”にし、自分の番地でないマイクロコンピュータはスリープ選択ビットを“1”にします。次からは主のマイクロコンピュータは、データのビット7を“0”にしたデータを送信します。そうすると、スリープ選択ビットが“0”になっているマイクロコンピュータは、送られてきたデータを受信しますが、スリープ選択

ビットが“1”になっているマイクロコンピュータは、送られてきたデータを受信しません。このようにして、主のマイクロコンピュータと、特定の従のマイクロコンピュータの間で通信を行うことができます。

クロック非同期形シリアルI/O(UART)モード使用上の注意

CTS_i/RTS_i分離を選択した場合は、CLK_i端子が使用できません。したがって、UARTモードでCTS_i/RTS_iを分離する場合は、内部クロックを選択してください。

送信を行うときは、シリアルI/O端子制御レジスタ(AC16番地)のビット2、ビット3、ビット5を“0”にしてください。

開発中

A-D変換器

10ビットの逐次比較方式のA-D変換器です。コンパレータ機能選択レジスタの内容により、A-D入力端子ごとにA-D変

換器として使用するか、コンパレータとして使用するかを選択することができます。

図73にA-D変換器のブロック図を示します。

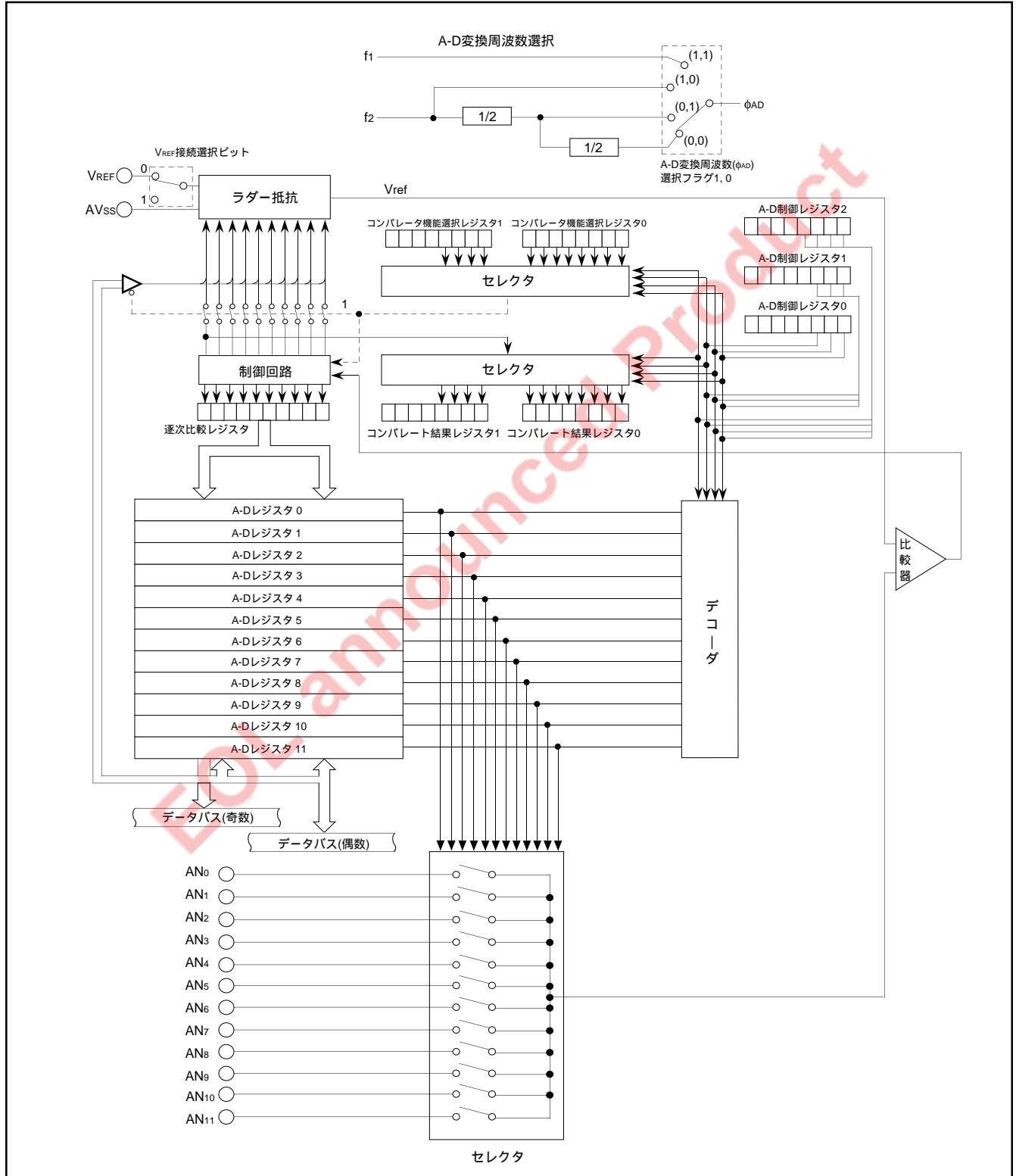


図73 . A-D変換器のブロック図

開発中

図74にコンパレータ機能選択レジスタ(DC₁₆番地)、図75にコンパレータ機能選択レジスタ(DD₁₆番地)のビット構成を示します。それぞれのビットがそれぞれチャンネルに対応しており、チャンネルごとにA-D変換器として使用するか、コンパレータとして使用するかを選択できます。ビットの内容が“0”の場合は、対応したチャンネルが10ビット、又は8ビットA-D変換器として動作し、“1”の場合は、コンパレータとして動作します。

A-D変換器を選択した場合は、アナログ入力端子に印加された電圧レベルをA-D変換し、その結果をA-Dレジスタに格納します。

コンパレータを選択した場合は、A-Dレジスタの偶数番地に格納された8ビットの値を上位8ビットとし、下位2ビットを“10₂”としてD-A変換した電圧とアナログ入力端子に印加された電圧レベルとを比較し、その結果、アナログ入力端子に印加された電圧レベルの方が高い場合には“1”を、低い場合には“0”を、図76に示すコンパレート結果レジスタ(DE₁₆番地)又は図77に示すコンパレート結果レジスタ(DF₁₆番地)に格納します。

なお、A-D変換器を選択したチャンネルのA-Dレジスタは読み出しのみ、コンパレータを選択したチャンネルのA-Dレジスタは書き込みのみ行ってください。

また、A-D変換器、又はコンパレータ動作中は、コンパレータ機能選択レジスタ0, 1、及びA-Dレジスタに書き込みを行わないでください。

アナログ入力ポートはポートP7及びポートP8と共用していますのでA-D変換を行う端子に対応する方向レジスタのビットは“0”にして入力モードにしておく必要があります。

図78にA-D制御レジスタ(1E₁₆番地)、図79にA-D制御レジスタ(1F₁₆番地)、図80にA-D制御レジスタ(DB₁₆番地)のビット構成を示します。

A-D制御レジスタ0のビット7及びA-D制御レジスタ1のビット4でA-D変換器の動作クロック ϕ_{AD} の周波数を選択します。

A-D制御レジスタ1のビット4が“0”の場合、A-D制御レジスタ0のビット7が“0”であれば $\phi_{AD} = f_2/4$ 、“1”であれば $\phi_{AD} = f_2/2$ になります。A-D制御レジスタ1のビット4が“1”の場合、A-D制御レジスタ0のビット7が“0”であれば $\phi_{AD} = f_2$ 、“1”であれば $\phi_{AD} = f_1$ になります。ただし、最速の $\phi_{AD} = f_1$ は、8ビットモード時のみ選択可能です。

また、比較器は容量結合増幅器で構成されていますので、A-D変換中は ϕ_{AD} の周波数は250kHz以上にしてください。

A-D制御レジスタ1のビット3は変換結果を10ビットで扱うか、8ビットで扱うかを選択するビットです。

ビット3の内容が“1”のとき、変換結果は10ビットとなり、“0”のとき、変換結果は8ビットとなります。

変換結果を10ビットで扱う場合には、対応するA-Dレジスタの偶数番地に変換結果の下位8ビットが格納され、A-Dレジ

スタの奇数番地のビット0及びビット1に変換結果の上位2ビットが格納されます。A-Dレジスタの奇数番地のビット2～ビット7の読み出し時の値は“000000₂”です。

変換結果を8ビットで扱う場合には、10ビットA-D変換のうち上位8ビットの変換結果が、対応するA-Dレジスタの偶数番地に格納されます。この場合、A-Dレジスタの奇数番地の読み出し時の値は“00₁₆”です。

A-D制御レジスタ1のビット5は、基準電圧入力VREFを抵抗ラダーと接続するか、切断するかを選択するビットです。ビット5の内容が“0”のときVREF入力には接続され、“1”のとき切断されます(ハイインピーダンス)。A-D変換又はD-A変換を行わないときにはVREF入力を切断することにより、VREF端子からラダー抵抗に流れ込む電流を遮断できます。

なお、A-D変換を行う場合には、ビット5を“0”とした後、1 μ s以上待ってからA-D変換を開始してください。

開発中

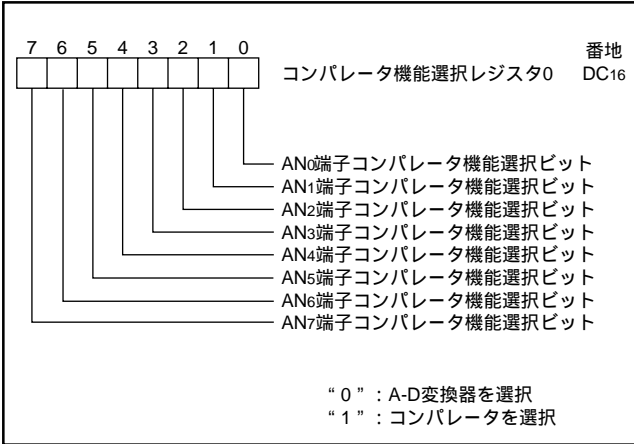


図74. コンパレータ機能選択レジスタ0のビット構成

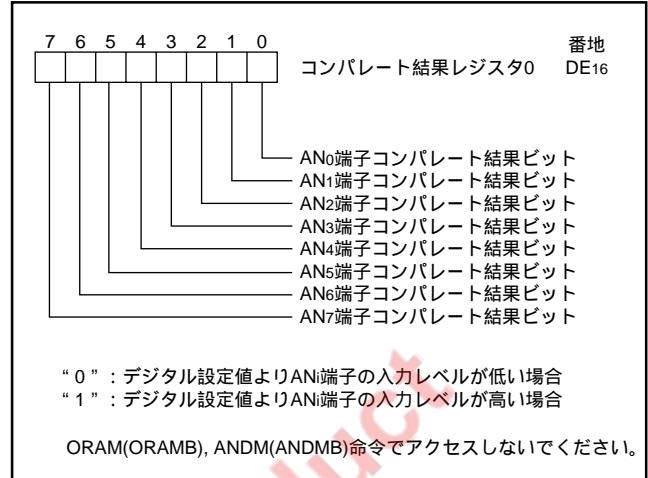


図76. コンパレート結果レジスタ0のビット構成

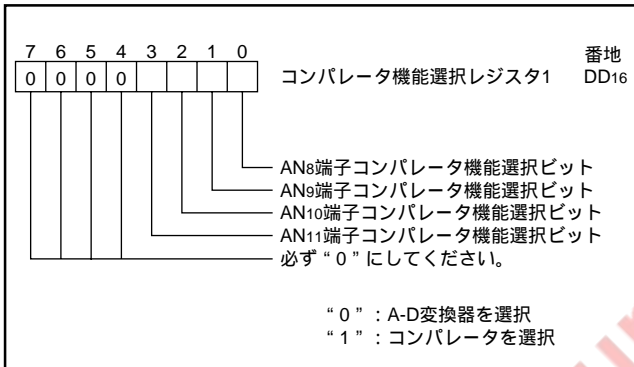


図75. コンパレータ機能選択レジスタ1のビット構成

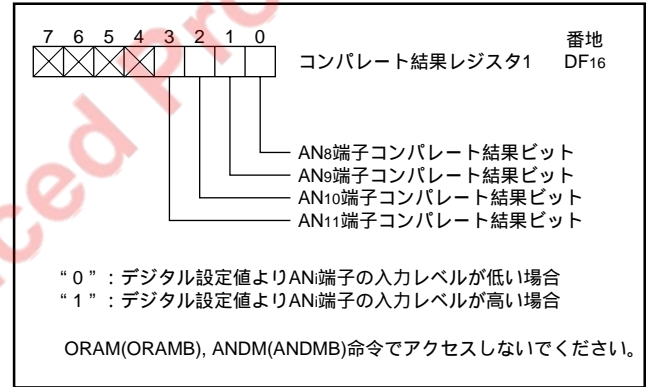


図77. コンパレート結果レジスタ1のビット構成

EOL announced Product

開発中

動作モード

A-D制御レジスタ0のビット3とビット4、A-D制御レジスタ1のビット2の内容で動作モードを選択します。動作モードは単発、繰り返し、単掃引、繰り返し掃引0、繰り返し掃引1の5種類があります。ただし、AN8～AN11は単発、繰り返ししか選択できません。

次に各動作モードについて説明します。

以下に示す、5種類のすべてのモードにおいて、各端子ごとにA-D変換器、又はコンパレータのどちらでも選択することができます。

以下の説明は、コンパレータ機能選択レジスタ0,1のビットが“0”でA-D変換器を選択した場合について述べますが、コンパレータを選択した場合は、A-D変換がコンパレータ動作に変わること、及びコンパレートされた結果がコンパレート結果レジスタ0,1に格納されることを除けば、同じ動作を行います。

(1) 単発モード

A-D制御レジスタ0のビット3、ビット4の内容が“0”のとき、単発モードになり、A-D制御レジスタ0のビット0～2及びA-D制御レジスタ2のビット0～3の内容でA-D変換を行う端子を選択します。A-D制御レジスタ0のビット6(A-D変換開始フラグ)の内容を“1”にするとA-D変換動作、又はコンパレータ動作を開始します。コンパレータ機能選択レジスタ0,1のAN_i(i=11～0)コンパレータ機能選択ビットが“0”で、A-D制御レジスタ1のビット3が“1”のとき、φ_{AD}で計って59サイクル後にA-D変換は終了し、A-D変換割り込み制御レジスタの割り込み要求ビットが“1”にセットされます。同時にA-D制御レジスタ0のビット6(A-D変換開始フラグ)の内容は“0”にクリアされ、A-D変換動作は停止します。A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。

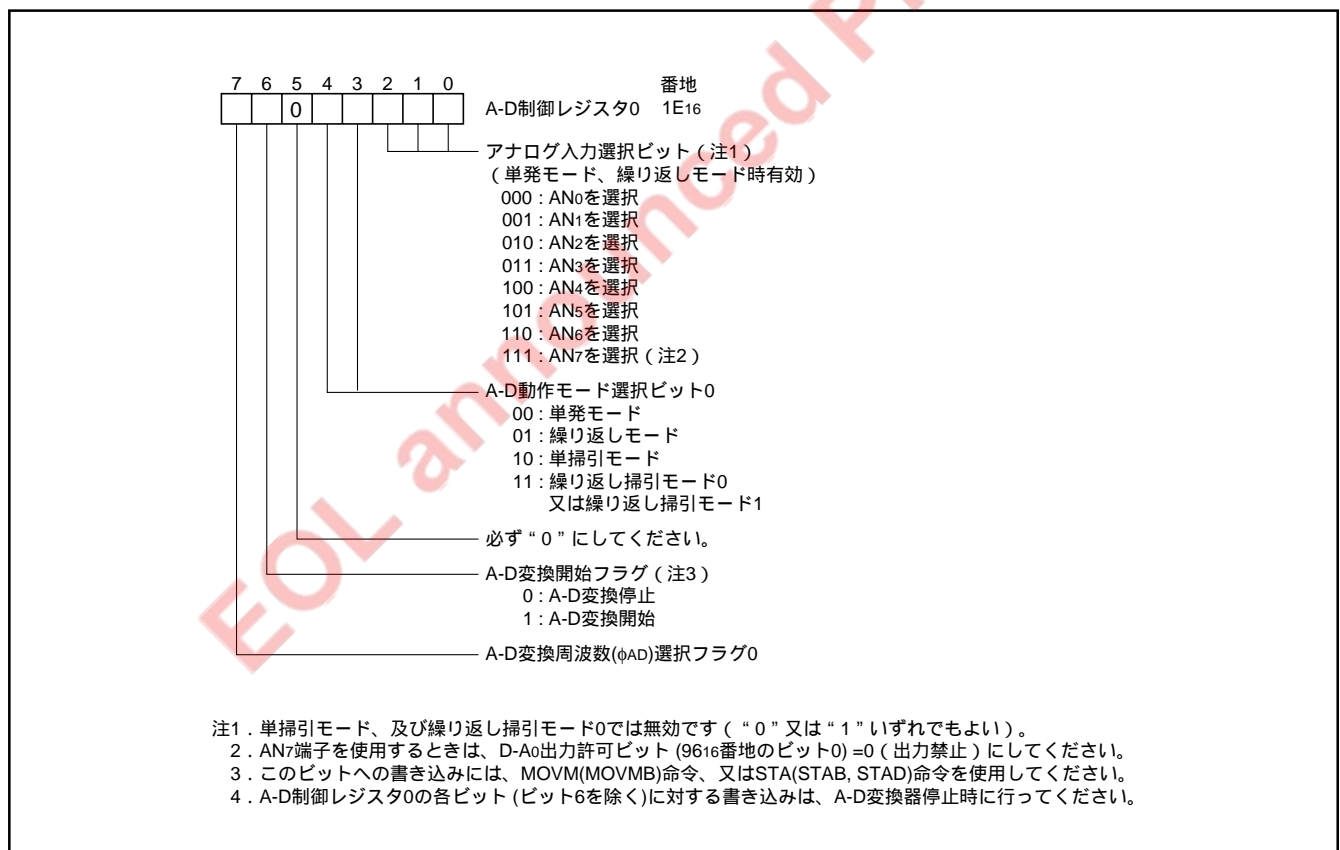
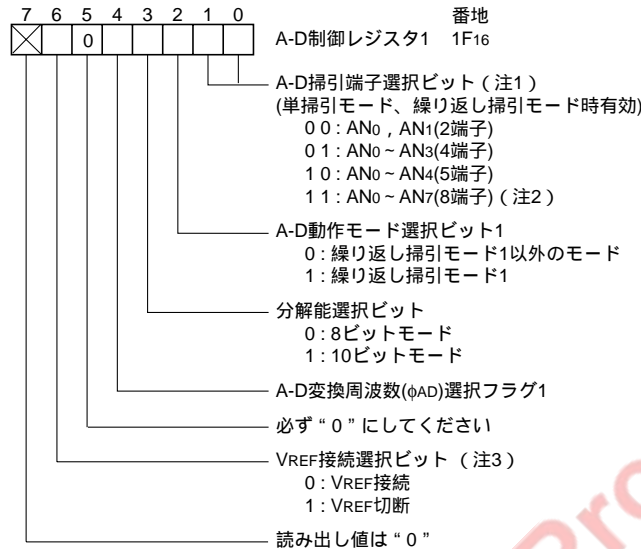


図78. A-D制御レジスタ0のビット構成

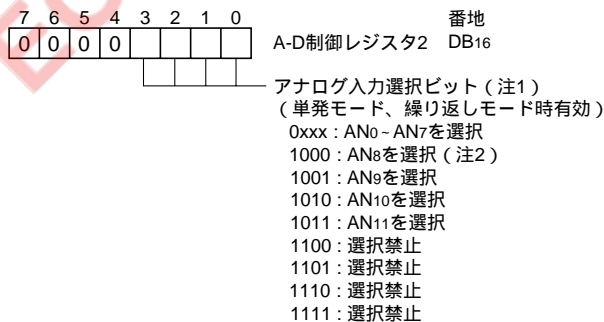
開発中



A-D変換周波数選択フラグ		ϕ_{AD}
フラグ1	フラグ0	
0	0	$f_2/4$
0	1	$f_2/2$
1	0	f_2
1	1	f_1 (8ビットモード時のみ選択可)

- 注1. 単発モード、及び繰り返しモードでは無効です (“0”又は“1”いずれでもよい)。
 2. AN₇端子を使用するときは、D-A₀出力許可ビット (9616番地のビット0) =0 (出力禁止) にしてください。
 3. このビットを“1”から“0”にしたときは、1 μ s以上経過した後に、A-D変換を開始させてください。
 4. A-D制御レジスタ1の各ビットに対する書き換えは、A-D変換器停止時に行ってください。

図79. A-D制御レジスタ1のビット構成



- 注1. 単掃引モード、及び繰り返し掃引モード0では無効です (“0”又は“1”いずれでもよい)。
 2. AN₈端子を使用するときは、D-A₁出力許可ビット (9616番地のビット1) =0 (出力禁止) にしてください。
 3. A-D制御レジスタ2の各ビットに対する書き込みは、A-D変換器停止時に行ってください。

図80. A-D制御レジスタ2のビット構成

開発中

コンパレータ機能選択レジスタ0, 1のAN*i* (*i* = 11 ~ 0)コンパレータ機能選択ビットが“1”のときは、φADで計って14サイクル後にコンパレータ動作は終了し、A-D変換割り込み制御レジスタの割り込み要求ビットが“1”にセットされます。同時にA-D制御レジスタ0のビットα (A-D変換開始フラグ)の内容は“0”にクリアされ、コンパレータ動作は停止します。コンパレートした結果は、選択した端子に対応したコンパレータ結果レジスタのビットに格納されます。

(2) 繰り返しモード

A-D制御レジスタ0のビット3の内容が“1”、ビット4の内容が“0”のとき、繰り返しモードになります。

このモードは、選択した端子のA-D変換が終了し、変換結果をA-Dレジスタに格納した後、停止しないで再び同一端子をA-D変換し変換結果をA-Dレジスタに格納することを繰り返す点を除けば、単発モードと同じです。

このモードでは割り込み要求は発生しません。また、A-D変換開始フラグのクリアも行いません。

なお、A-D変換器を選択した端子に対応したA-Dレジスタの内容はいつでも読み出せます。

ただし、コンパレータを選択している端子に対応したA-Dレジスタの書き込みは動作中には行わないでください。

(3) 単掃引モード

A-D制御レジスタ0のビット3の内容が“0”、ビット4の内容が“1”のとき、単掃引モードになります。

単掃引モードでは、掃引するアナログ入力端子数を選択できます。アナログ入力端子の選択は、A-D制御レジスタ1 (1F₁₆番地)のビット1、ビット0で行います。これらのビットの内容により、アナログ入力端子として2端子、4端子、5端子の3種類が選択できます。

A-D変換は、選択された入力端子に対してのみ行われません。AN₀端子の入力をA-D変換した後、その変換結果をA-Dレジスタ0に格納し、続いて同様に、選択された端子を順次A-D変換します。選択された端子すべてのA-D変換を終了した後、掃引を停止します。

A-D制御レジスタ0のビットα (A-D変換開始フラグ)の内容を“1”にすると、A-D変換を開始します。選択された端子のA-D変換をすべて終了すると、A-D変換割り込み制御レジスタの割り込み要求ビットを“1”にセットします。同時に、A-D変換開始フラグを“0”にクリアし、A-D変換は停止します。

(4) 繰り返し掃引モード0

A-D制御レジスタ0のビット3の内容が“1”、ビット4の内容が“1”のとき、繰り返し掃引モード0になります。

前の項で説明した単掃引モードと異なる点は、AN₀端子が

ら選択された端子までのA-D変換が終了しても、掃引を停止しないで再びAN₀端子からA-D変換を繰り返すことです。繰り返しは、選択された端子の範囲で行われます。このモードでは割り込み要求は発生しません。また、A-D変換開始フラグのクリアは行いません。

なお、A-D変換器を選択した端子に対応したA-Dレジスタの内容はいつでも読み出せます。

ただし、コンパレータを選択している端子に対応したA-Dレジスタの書き込みは動作中には行わないでください。

(5) 繰り返し掃引モード1

A-D制御レジスタ0のビット3の内容が“1”、ビット4の内容が“1”で、A-D制御レジスタ1のビット2の内容が“1”のとき、繰り返し掃引モード1になります。

前の項で説明した繰り返し掃引モード0と異なる点は、AN₀端子から順に選択された端子のA-D変換を終了するたびに、選択されていない端子を1端子だけA-D変換し、再びAN₀端子からA-D変換を繰り返すことと、掃引するアナログ入力端子数のみです。

繰り返し掃引するアナログ入力端子の選択は、A-D制御レジスタ1のビット1、ビット0で行います。これらのビットの内容により、アナログ入力端子数として1端子、2端子、3端子、4端子の4種類が選択できます。

選択されていない端子の変換は、繰り返し掃引端子として選択された端子の次の端子から順に行われます。

このモードでは割り込み要求は発生しません。また、A-D変換開始フラグのクリアは行いません。

なお、A-D変換器を選択した端子に対応したA-Dレジスタの内容はいつでも読み出せます。

ただし、コンパレータを選択している端子に対応したA-Dレジスタの書き込みは動作中には行わないでください。

A-D変換割り込み機能使用上の注意

A-D変換割り込み制御レジスタ(70₁₆番地)の割り込み要求ビット(ビット3)は、リセット後不定になっています。A-D変換による割り込みを使用する場合は、割り込み要求ビット(ビット3)をクリアしてから使用してください。

開発中

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。図81にD-A変換器のブロック図を、図82にD-A制御レジスタ(96₁₆番地)のビット構成を示します。

D-A変換は対応したD-Aレジスタに値を書き込むことで行われます。アナログ電圧の出力可否は、D-A制御レジスタのビット0、1で選択します。ビット0、1を“1”にすると、それぞれDA₀、DA₁端子からアナログ電圧が出力されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

V_{REF} : 基準電圧

D-Aレジスタ及びD-A出力許可ビットはリセット時に“0”にクリアされます。

D-A出力はバッファを内蔵していないので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

D-A($i=0, 1$)端子は入出力ポート、アナログ入力端子、及び外部割り込み入力端子と共用です。D-A_i出力許可ビットを“1”(出力許可)にすると、共用となっている他の入出力端子としては使用できません。

なお、D-A変換器を使用しない場合には、対応するD-A出力許可ビット及びD-Aレジスタを“0”にしてください。

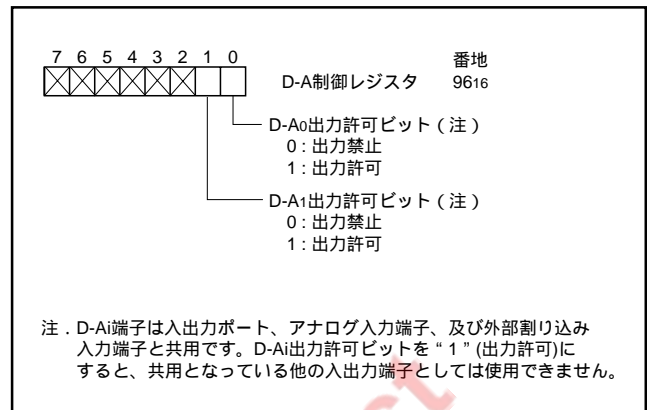


図82 . D-A制御レジスタのビット構成

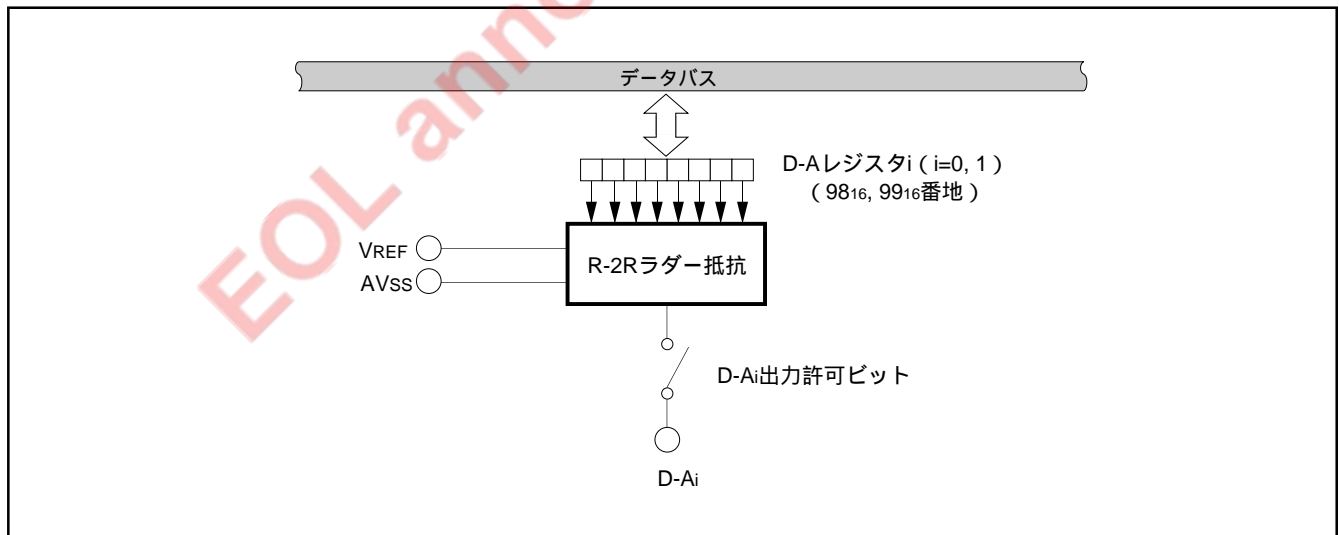


図81 . D-A変換器ブロック図

開発中

監視タイマ

監視タイマは、プログラムの暴走などでプログラムされた順序通りに動作しなくなったことを検知するために使用されます。図83に監視タイマのブロック図を示します。監視タイマは12ビットの2進カウンタで構成されています。

監視タイマは周辺装置用クロック f_2 を16分周した Wf_{32} 又は256分周した Wf_{512} をカウントします。 Wf_{32} をカウントするか Wf_{512} をカウントするかは図84に示す監視タイマ周波数選択レジスタのビット α (監視タイマ周波数選択ビット)で選択します。

このビット0の内容が α 0 のとき Wf_{512} 、フラグの内容が α 1 のとき Wf_{32} が選択されます。リセット解除後は、ビット0の内容は α 0 になっています。

RESET端子に“L”を印加、STP命令を実行、監視タイマレジスタ(60₁₆番地)への書き込みを行ったとき、及び監視タイマの最上位ビットが α 0 になったときは、監視タイマにFFF₁₆がセットされます。

FFF₁₆にセットされた監視タイマは、 Wf_{32} 又は Wf_{512} を2048回カウントすると、最上位ビットが α 0 になり監視タイマ割り込み要求ビットが α 1 にセットされ、再び監視タイマにFFF₁₆がセットされます。

監視タイマの最上位ビットが α 0 になる前に監視タイマに書き込みを行うようにプログラムを組んでください。暴走な

どでこのループを走らなくなると、監視タイマの最上位ビットが α 0 になり、割り込みが発生することになります。

割り込み処理プログラムの中で、プロセッサモードレジスタ0のビット α (ソフトウェアリセットビット)に“1”を書き込むとリセットパルスが発生し、リセットから再出発することができます。

監視タイマは、STP命令でクロックが停止した状態から復帰する場合にも使用されます。詳細についてはクロック発生回路、及びスタンバイ機能の項を参照してください。

ホールド状態で外部領域アクセス発生時、ウエイトモード時、及びストップモード時は、監視タイマは停止し、監視タイマへの入力禁止されます。

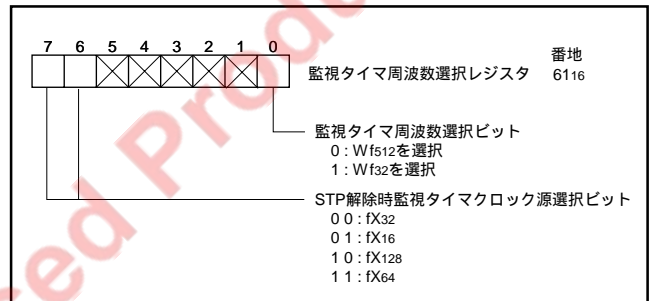


図84. 監視タイマ周波数選択レジスタのビット構成

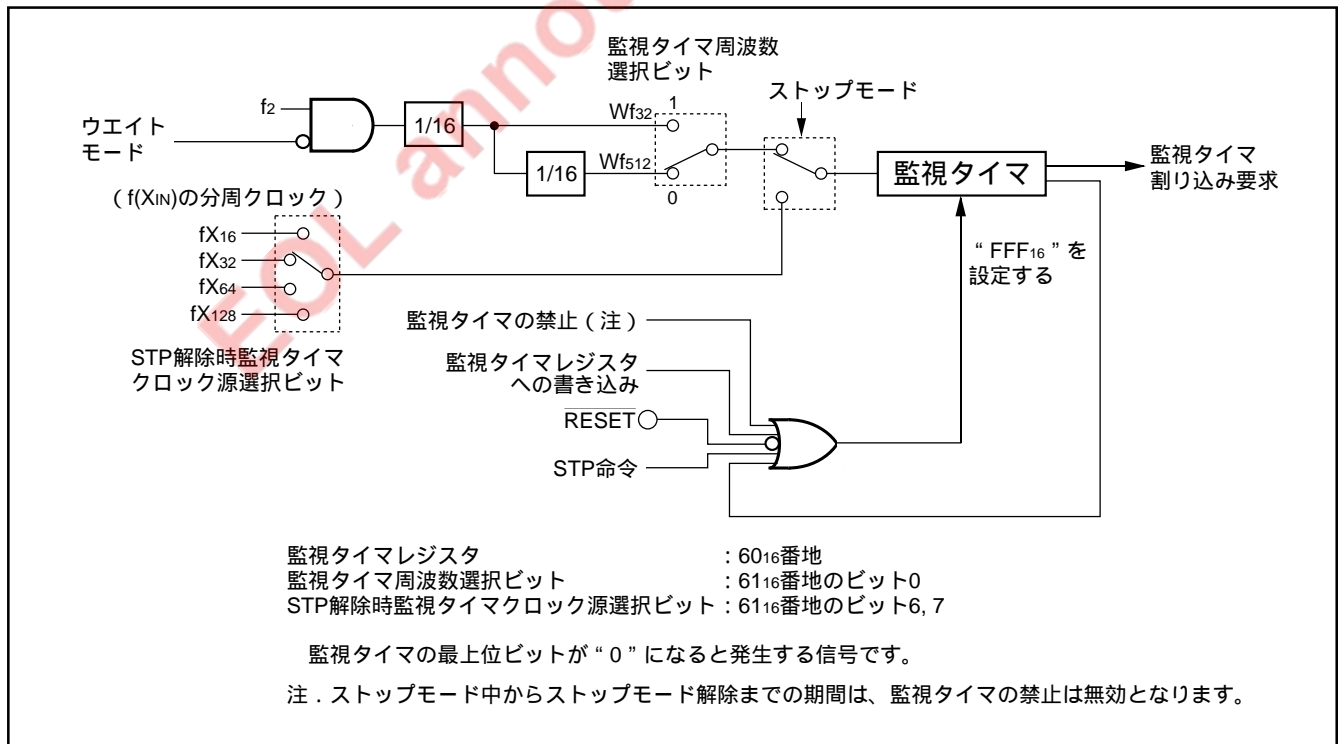


図83. 監視タイマのブロック図

監視タイマ機能の禁止

監視タイマを使用しない場合、監視タイマを禁止にすることができます。監視タイマの禁止を行うと監視タイマは停止し、監視タイマ割り込みが発生しません。

監視タイマ機能の禁止の設定は、特殊機能選択レジスタ2 (64₁₆番地)にMOVMB命令、STAB命令、またはm=1でMOVMB命令、STA命令を使用し、“79₁₆”、“50₁₆”を連続して書き込むことにより行われます。

監視タイマの禁止の設定以外の方法で特殊機能選択レジスタ2にアクセス(読み出し及び書き込みを)すると、アクセス以降、リセットが行われない限り監視タイマの禁止設定はできません。また、監視タイマの禁止の設定解除はリセットのみです。

なお、STP状態からの復帰時には、この監視タイマ禁止機能は無効となり、監視タイマは動作します(スタンバイ機能の項を参照)。

EOL announced Product

開発中

入出力端子

ポートP1, P2及びP4～P8は、すべて方向レジスタをもっており、入力として使用するか、出力として使用するかをビット単位にプログラムできます。方向レジスタの対応ビットを“1”に設定した場合は出力端子、“0”に設定した場合は入力端子となります。また、ポートP6方向レジスタは、命令で“0”にする以外にP6OUTCUT端子に立ち下がりエッジを入力することで“0”にでき、ポートP4方向レジスタは、命令で“0”にする以外にP4OUTCUT端子に立ち下がりエッジを入力することで“0”にできます。

出力端子としてプログラムされている端子に書き込んだデータは、ポートのラッチに書き込まれ、その内容が出力端子に出力されます。出力端子としてプログラムされている端子から読み込んだ場合は、端子の値が読み込まれるのではなく、ポートのラッチの内容が読み込まれます。したがって、外部負荷などによって出力“H”電圧が下がったり、“L”電圧が上がったりした場合も、以前に出力した値を正しく読むことができます。

入力端子としてプログラムされている端子はフローティングとなり、端子に入力される値を読み込むことができます。入力端子としてプログラムされている端子に書き込みを行っても、データはポートのラッチに書き込まれるのみで、端子はフローティングのままです。

図85、図86に各ポートのブロック図を示します。

各ポートを周辺装置の入力端子として使用する場合には、対応するポートの方向レジスタのビットを“0”にして入力してください。周辺装置の出力端子として使用する場合には、方向レジスタの値は“0”又は“1”のいずれでも使用できます。

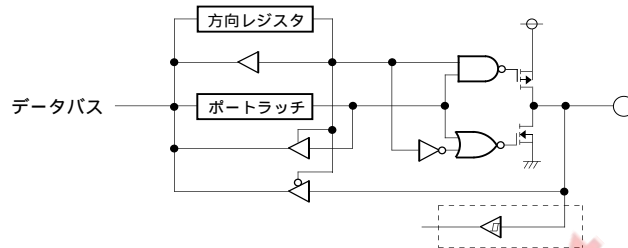
開発中

【破線枠内なし】

P27

【破線枠内あり】

P12/RxD0、P16/RxD1
 P21/TA4IN、P23/TA9IN
 P24/TB0IN、P25/TB1IN
 P26/TB2IN、P51/INT1
 P52/INT2/RTPTRG1
 P53/INT3/RTPTRG0
 P55/INT5/TB0IN/IDW
 P56/INT6/TB1IN/IDV
 P57/INT7/TB2IN/IDU

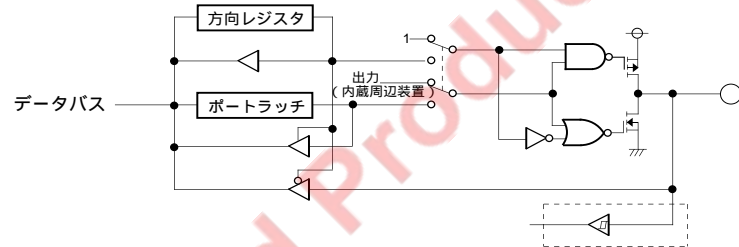


【破線枠内なし】

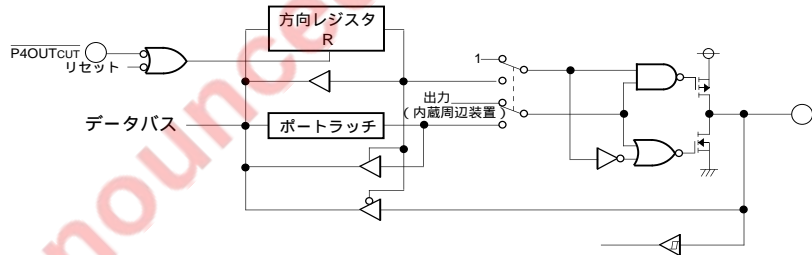
P13/TxD0、P17/TxD1

【破線枠内あり】

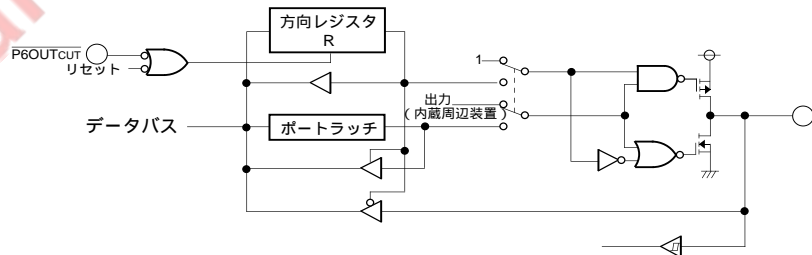
P20/TA4out、P22/TA9out



P40/TA5out/RTP20
 P41/TA5IN/RTP21
 P42/TA6out/RTP22
 P43/TA6IN/RTP23
 P44/TA7out/RTP30
 P45/TA7IN/RTP31
 P46/TA8out/RTP32
 P47/TA8IN/RTP33

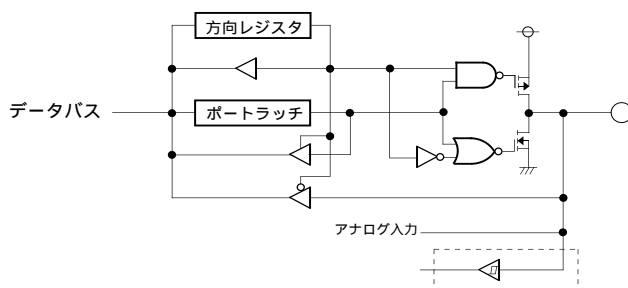


P60/TA0out/W/RTP00
 P61/TA0IN/V/RTP01
 P62/TA1out/U/RTP02
 P63/TA1IN/W/RTP03
 P64/TA2out/V/RTP10
 P65/TA2IN/U/RTP11
 P66/TA3out/RTP12
 P67/TA3IN/RTP13



【破線枠内なし】

P70/AN0、P71/AN1
 P72/AN2、P73/AN3
 P74/AN4、P75/AN5
 P76/AN6



【破線枠内あり】

P82/AN10/RxD0

図85 . 各ポートのブロック図(1)

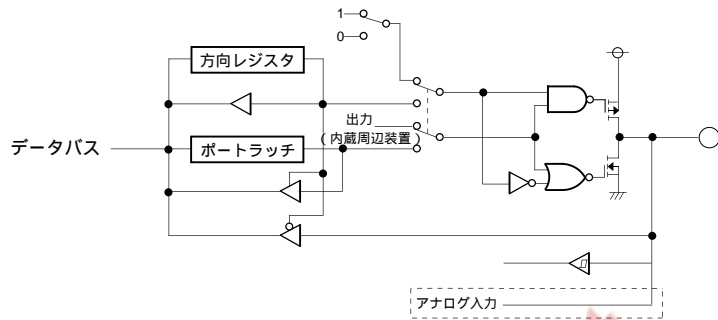
開発中

【破線枠内なし】

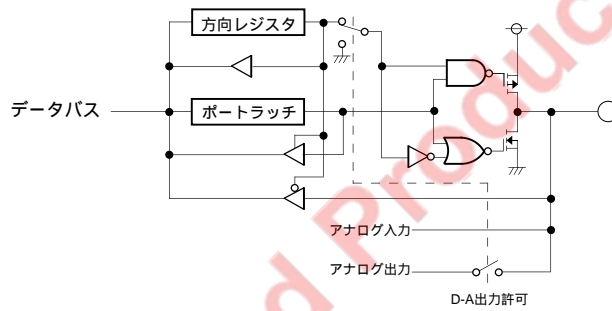
P10/CTS0/RTS0
 P11/CTS0/CLK0
 P14/CTS1/RTS1
 P15/CTS1/CLK1

【破線枠内あり】

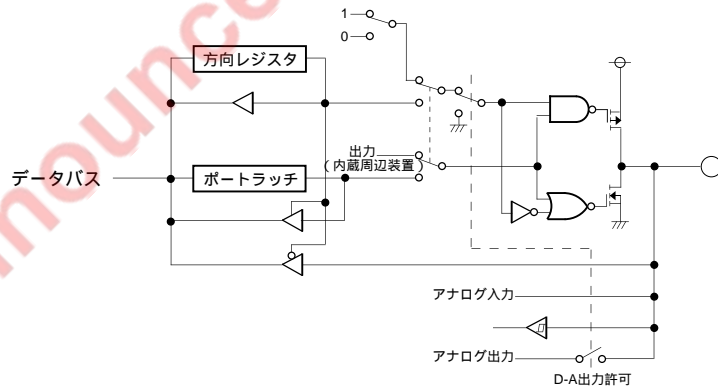
P81/AN9/CTS2/CLK2



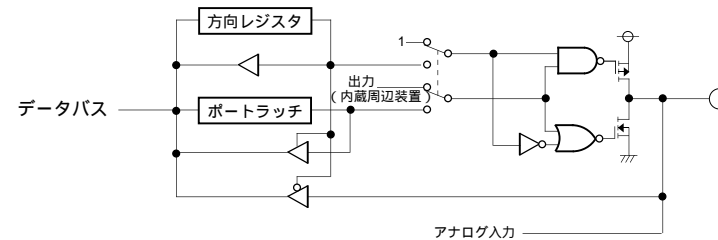
P77/AN7/DA0



P80/AN8/CTS2/RTS2/DA1



P83/AN11/TxD2



P4OUTcut/INT0, P6OUTcut/INT4



図86. 各ポートのブロック図(2)

開発中

リセット回路

電源電圧が推奨動作条件範囲内にあるとき、RESET端子を“L”レベルに保った後、“H”レベルに戻るとリセット解除され、00₁₆をアドレスA₂₃～A₁₆、FFFF₁₆番地の内容をアドレスA₁₅～A₈、FFE₁₆番地の内容をアドレスA₇～A₀とする番地(リセットのベクトル番地)からプログラムの実行を開始します。

リセット時のマイクロコンピュータの内部レジスタの状態を図87及び図88に示します。

リセット回路動作の一例を、図89に示します。V_{cc}端子のレベルが推奨動作条件を満たし、かつ発振子の発振が安定した後、更に10μs以上の期間、RESET端子に“L”レベルを印加してください。

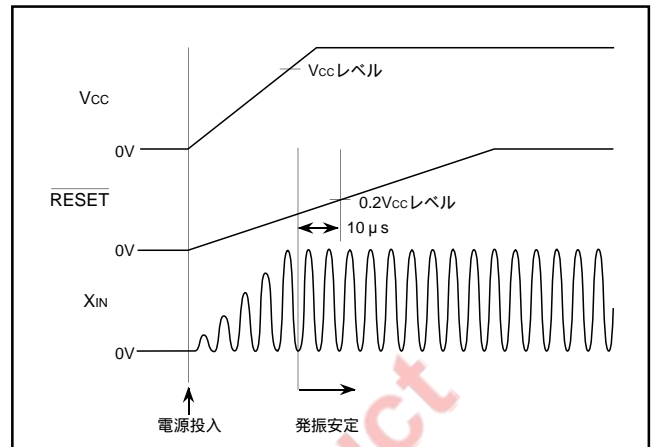


図89. リセット回路動作の一例(ご使用に際しては、システム設計レベルで充分評価をお願いします。)

レジスタ名	番地	初期値	レジスタ名	番地	初期値
パルス出力制御レジスタ	(A0 ₁₆)...	00 ₁₆	コンパレータ機能選択レジスタ0	(DC ₁₆)...	00 ₁₆
パルス出力データレジスタ0	(A2 ₁₆)...	00 ₁₆	コンパレータ機能選択レジスタ1	(DD ₁₆)...	00 ₁₆
パルス出力データレジスタ1	(A4 ₁₆)...	00 ₁₆	コンパレータ結果レジスタ0	(DE ₁₆)...	00 ₁₆
波形出力モードレジスタ	(A6 ₁₆)...	00 ₁₆	コンパレータ結果レジスタ1	(DF ₁₆)...	00 ₁₆
三相出力データレジスタ0	(A8 ₁₆)...	00 ₁₆	UART2送信割り込み制御レジスタ	(F1 ₁₆)...	XXXXXXXX0000
三相出力データレジスタ1	(A9 ₁₆)...	00 ₁₆	UART2受信割り込み制御レジスタ	(F2 ₁₆)...	XXXXXXXX0000
位置データ保持機能制御レジスタ	(AA ₁₆)...	XXXXXXXX0000	タイマA5割り込み制御レジスタ	(F5 ₁₆)...	XXXXXXXX0000
シリアルI/O端子制御レジスタ	(AC ₁₆)...	XXXXXXXX0000	タイマA6割り込み制御レジスタ	(F6 ₁₆)...	XXXXXXXX0000
ポートP2端子機能制御レジスタ	(AE ₁₆)...	XXXXXXXX0000	タイマA7割り込み制御レジスタ	(F7 ₁₆)...	XXXXXXXX0000
UART2送受信モードレジスタ	(B0 ₁₆)...	00 ₁₆	タイマA8割り込み制御レジスタ	(F8 ₁₆)...	XXXXXXXX0000
UART2送受信制御レジスタ0	(B4 ₁₆)...	0000010000	タイマA9割り込み制御レジスタ	(F9 ₁₆)...	XXXXXXXX0000
UART2送受信制御レジスタ1	(B5 ₁₆)...	0000000010	INT ₅ 割り込み制御レジスタ	(FD ₁₆)...	XXXX00000000
クロック制御レジスタ0	(BC ₁₆)...	00010111	INT ₆ 割り込み制御レジスタ	(FE ₁₆)...	XXXX00000000
アップダウンフラグ1	(C4 ₁₆)...	00 ₁₆	INT ₇ 割り込み制御レジスタ	(FF ₁₆)...	XXXX00000000
タイマA5モードレジスタ	(D6 ₁₆)...	00 ₁₆	プロセッサステータスレジスタPS		000??00001??
タイマA6モードレジスタ	(D7 ₁₆)...	00 ₁₆	プログラムバンクレジスタPG		00 ₁₆
タイマA7モードレジスタ	(D8 ₁₆)...	00 ₁₆	プログラムカウンタPCH		FFFF ₁₆ 番地の内容
タイマA8モードレジスタ	(D9 ₁₆)...	00 ₁₆	プログラムカウンタPCL		FFE ₁₆ 番地の内容
タイマA9モードレジスタ	(DA ₁₆)...	00 ₁₆	ダイレクトページレジスタDPR0～DPR3		0000 ₁₆
A-D機能制御レジスタ2	(DB ₁₆)...	XXXXXXXX0000	データバンクレジスタDT		00 ₁₆
			スタックポインタ		FFF ₁₆

注. これ以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図88. リセット時のマイクロコンピュータの内部状態(2)

開発中

ポートP1方向レジスタ	(05 ₁₆)...	00 ₁₆	プロセッサモードレジスタ0	(5E ₁₆)...	0 0 0 0 1 0 0 0
ポートP2方向レジスタ	(08 ₁₆)...	00 ₁₆	プロセッサモードレジスタ1	(5F ₁₆)...	0 0 0 0 0 0 0 1
ポートP4方向レジスタ	(0C ₁₆)...	00 ₁₆	監視タイマレジスタ	(60 ₁₆)...	FFF ₁₆
ポートP5方向レジスタ	(0D ₁₆)...	0 0 0 X 0 0 0 X	監視タイマ周波数選択レジスタ	(61 ₁₆)...	0 0 X X X X X X 0
ポートP6方向レジスタ	(10 ₁₆)...	X X 0 0 0 0 0 0	特殊機能選択レジスタ0	(62 ₁₆)...	0 X 0 X X X 0 0
ポートP7方向レジスタ	(11 ₁₆)...	X X X 0 0 0 0 0	特殊機能選択レジスタ1	(63 ₁₆)...	X 0 X 0 0 0 (注2)
ポートP8方向レジスタ	(14 ₁₆)...	X X X X 0 0 0 0	デバッグ制御レジスタ0	(66 ₁₆)...	1 (注2)
A-D制御レジスタ0	(1E ₁₆)...	0 0 0 0 0 ? ? ?	デバッグ制御レジスタ1	(67 ₁₆)...	0 0 0 X 0 0 0 注2
A-D制御レジスタ1	(1F ₁₆)...	X 0 0 0 0 0 ? ?	INT ₃ 割り込み制御レジスタ	(6E ₁₆)...	X X X 0 0 0 0 0
UART0送受信モードレジスタ	(30 ₁₆)...	00 ₁₆	INT ₄ 割り込み制御レジスタ	(6F ₁₆)...	X X X 0 0 0 0 0
UART1送受信モードレジスタ	(38 ₁₆)...	00 ₁₆	A-D変換割り込み制御レジスタ	(70 ₁₆)...	X X X X ? 0 0 0
UART0送受信制御レジスタ0	(34 ₁₆)...	0 0 0 0 1 0 0 0	UART0送信割り込み制御レジスタ	(71 ₁₆)...	X X X X 0 0 0 0
UART1送受信制御レジスタ0	(3C ₁₆)...	0 0 0 0 1 0 0 0	UART0受信割り込み制御レジスタ	(72 ₁₆)...	X X X X 0 0 0 0
UART0送受信制御レジスタ1	(35 ₁₆)...	0 0 0 0 0 0 1 0	UART1送信割り込み制御レジスタ	(73 ₁₆)...	X X X X 0 0 0 0
UART1送受信制御レジスタ1	(3D ₁₆)...	0 0 0 0 0 0 1 0	UART1受信割り込み制御レジスタ	(74 ₁₆)...	X X X X 0 0 0 0
カウント開始フラグ0	(40 ₁₆)...	00 ₁₆	タイマA0割り込み制御レジスタ	(75 ₁₆)...	X X X X 0 0 0 0
カウント開始フラグ1	(41 ₁₆)...	X X X 0 0 0 0 0	タイマA1割り込み制御レジスタ	(76 ₁₆)...	X X X X 0 0 0 0
ワンショット開始フラグ0	(42 ₁₆)...	0 X X 0 0 0 0 0	タイマA2割り込み制御レジスタ	(77 ₁₆)...	X X X X 0 0 0 0
ワンショット開始フラグ1	(43 ₁₆)...	0 X X 0 0 0 0 0	タイマA3割り込み制御レジスタ	(78 ₁₆)...	X X X X 0 0 0 0
アップダウンフラグ0	(44 ₁₆)...	00 ₁₆	タイマA4割り込み制御レジスタ	(79 ₁₆)...	X X X X 0 0 0 0
タイマAクロック分周指定レジスタ	(45 ₁₆)...	X X X X X X 0 0	タイマB0割り込み制御レジスタ	(7A ₁₆)...	X X X X 0 0 0 0
タイマA0モードレジスタ	(56 ₁₆)...	00 ₁₆	タイマB1割り込み制御レジスタ	(7B ₁₆)...	X X X X 0 0 0 0
タイマA1モードレジスタ	(57 ₁₆)...	00 ₁₆	タイマB2割り込み制御レジスタ	(7C ₁₆)...	X X X X 0 0 0 0
タイマA2モードレジスタ	(58 ₁₆)...	00 ₁₆	INT ₀ 割り込み制御レジスタ	(7D ₁₆)...	X X 0 0 0 0 0 0
タイマA3モードレジスタ	(59 ₁₆)...	00 ₁₆	INT ₁ 割り込み制御レジスタ	(7E ₁₆)...	X X 0 0 0 0 0 0
タイマA4モードレジスタ	(5A ₁₆)...	00 ₁₆	INT ₂ 割り込み制御レジスタ	(7F ₁₆)...	X X 0 0 0 0 0 0
タイマB0モードレジスタ	(5B ₁₆)...	0 0 ? 0 0 0 0 0	D-A制御レジスタ	(96 ₁₆)...	X X X X X X 0 0
タイマB1モードレジスタ	(5C ₁₆)...	0 0 ? 0 0 0 0 0	D-Aレジスタ0	(98 ₁₆)...	00 ₁₆
タイマB2モードレジスタ	(5D ₁₆)...	0 0 ? 0 0 0 0 0	D-Aレジスタ1	(99 ₁₆)...	00 ₁₆

注1. これ以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。
注2. パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。

図87. リセット時のマイクロコンピュータの内部状態(1)

開発中

発振回路

XIN、XOUT端子間にクロック発振回路を内蔵しています。

図90にセラミック共振子又は水晶発振子を接続した場合の回路例を示します。容量などの定数は、共振子・発振子により異なりますので、共振子・発振子メーカーの推奨値で请使用してください。

外部からクロック信号を供給する場合の回路を図91に示します。クロックを外部から入力する場合には、XOUT端子を開放にしてください。また、この場合には特殊機能選択レジスタα(図95)のビット1(クロック外部入力選択ビット)で“1”を設定することにより、クロック発振回路の動作を停止し、消費電力を削減することができます。なお、このビットはSTP状態からの復帰条件を選択する機能ももっていますので注意してください。詳細はスタンバイ機能の項を参照してください。

このクロック発振回路の他にXIN端子から入力されたクロックを使用し、逡倍クロックを生成するPLL(Phase Locked Loop)周波数逡倍回路(以下、PLL回路と称す)も内蔵しています。PLL回路を使用する場合には、VCONT端子に図92に示すように外部にフィルタ回路を接続してください。PLL回路を使用しない場合には、VCONT端子を開放にしてください。

PLL回路を使用しない場合には、クロック制御レジスタ0(図94)のビット1(PLL回路動作許可ビット)へ“0”を設定して、PLL回路を停止させてください。

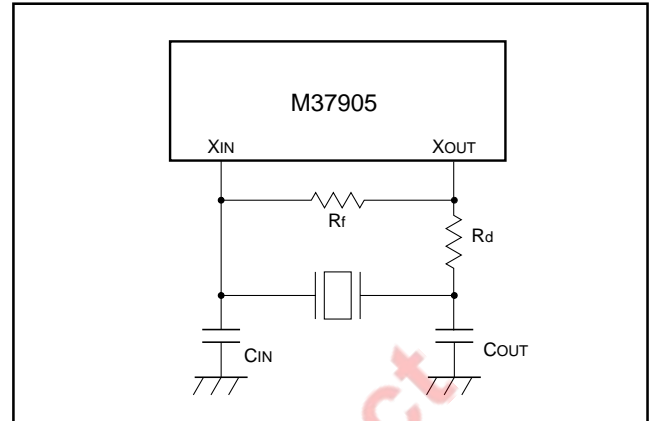


図90．セラミック共振子外付け回路

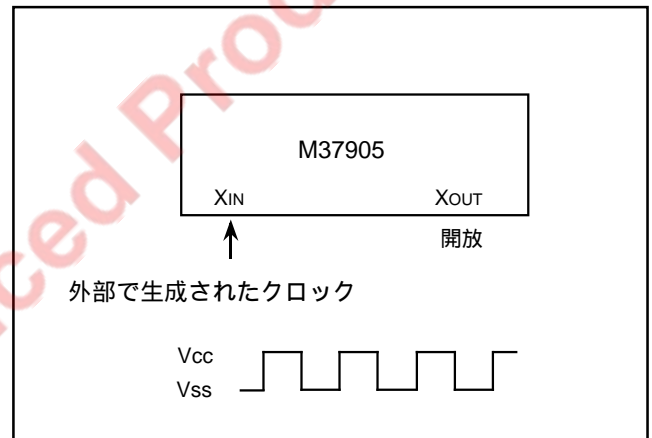


図91．外部クロック入力回路

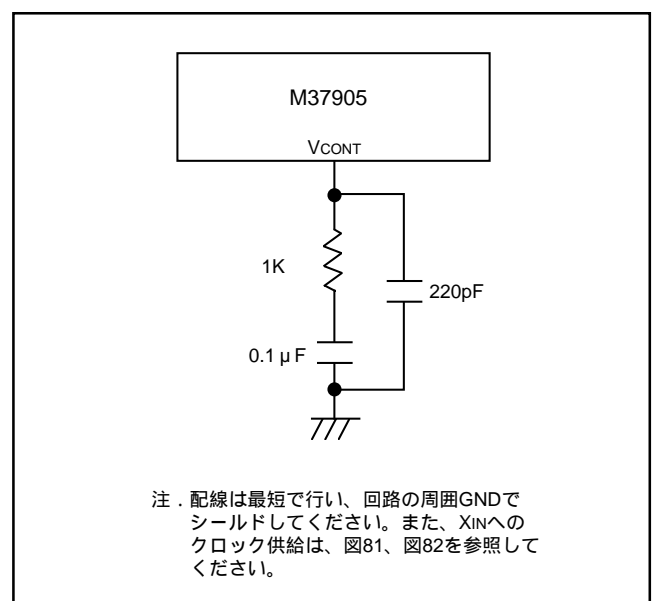


図92．PLL発振回路使用時のVCONT端子接続回路例

クロック発生回路

図93にクロック発生回路のブロック図を示します。クロック発生回路は、クロック発振回路、PLL周波数通倍回路(PLL回路) システムクロック切り替え回路、周辺装置クロック切り替え回路、クロック分周回路、及びスタンバイ制御回路などで構成されています。クロック発生回路の動作を制御するレジスタとして、図94、図95に示すクロック制御レジスタ(BC16番地)、特殊機能選択レジスタ(6216番地)などがあります。

図93に示すとおり、中央演算処理装置(CPU)、バスインタフェース装置(BIU)、周辺装置、監視タイマでそれぞれ使用するクロックφCPU、φBIU、f1~f4096、Wf32、Wf512はシステムクロックf_{sys}から生成します。システムクロックf_{sys}は、XIN端子からの入力クロックf_{XIN}又はPLL回路が生成するPLL出力クロックf_{PLL}から選択できます。

PLL回路の動作制御、システムクロックf_{sys}の選択、及び周辺装置用クロックf1~f4096の分周比選択はクロック制御レジスタで行います。以下にこれらの選択方法について説明します。

クロック制御レジスタ0のビット1(PLL回路動作許可ビット)は、PLL回路の動作/停止を選択するビットで、このビットを“1”にすると、VCONT端子が有効となり、PLL回路が動作します。リセット時、PLL回路動作許可ビットは“1”(PLL回路動作)となります。PLL回路を使用しない場合にはPLL回路動作許可ビットを必ず“0”(停止)に設定してください。なお、STP命令実行時には、このビットの状態にかかわらず、PLL回路は停止し、VCONT端子は無効になります。

ビット2、ビット3はPLL通倍率選択ビットで、PLL回路で生成するクロックf_{PLL}の入力クロックf_{XIN}に対する周波数の通倍比率を選択します。PLL通倍率は、PLL出力クロックf_{PLL}の周波数が10MHz~20MHzとなるように設定してください。リセット時、PLL通倍率選択ビットは“0,1”(2通倍)となります。通倍率の変更は、必ず入力クロックf_{XIN}をシステムクロックとして選択している時(下記のビット5が“0”のとき)に行ってください。その後、PLL回路の動作安定時間を待った後、システムクロックをPLL出力クロックf_{PLL}に切り換えて(ビット5を“1”に設定)ください。なお、PLL通倍率選択ビットは、リセット後1回のみ変更可能です。

ビット5はシステムクロック選択ビットで、このビットが“0”のときシステムクロックとして入力クロックf_{XIN}が、“1”のときPLL出力クロックf_{PLL}が選択されます。リセット時、システムクロック選択ビットは“0”となります。PLL出力クロックf_{PLL}を選択する場合には、PLL回路動作が充分安定した後、システムクロック選択ビットを“1”に設定してください。なお、PLL回路動作許可ビットを“0”(PLL回路停止)にすると、システムクロック選択ビットも自動的に“0”となります。また、PLL回路動作許可ビットが“0”の状態ではシステムクロック選択ビットに“1”を書き込むことはできません。

表9にシステムクロックf_{sys}の選択を示します。

ビット6、ビット7は周辺装置用クロック選択ビット0,1で周辺装置用クロックf1~f4096のシステムクロックf_{sys}に対する分周比率を選択します。

表10に内蔵周辺装置動作クロックの周波数を示します。リセット時、これらのビットは“0,0”となります。

表9. システムクロックf_{sys}の選択

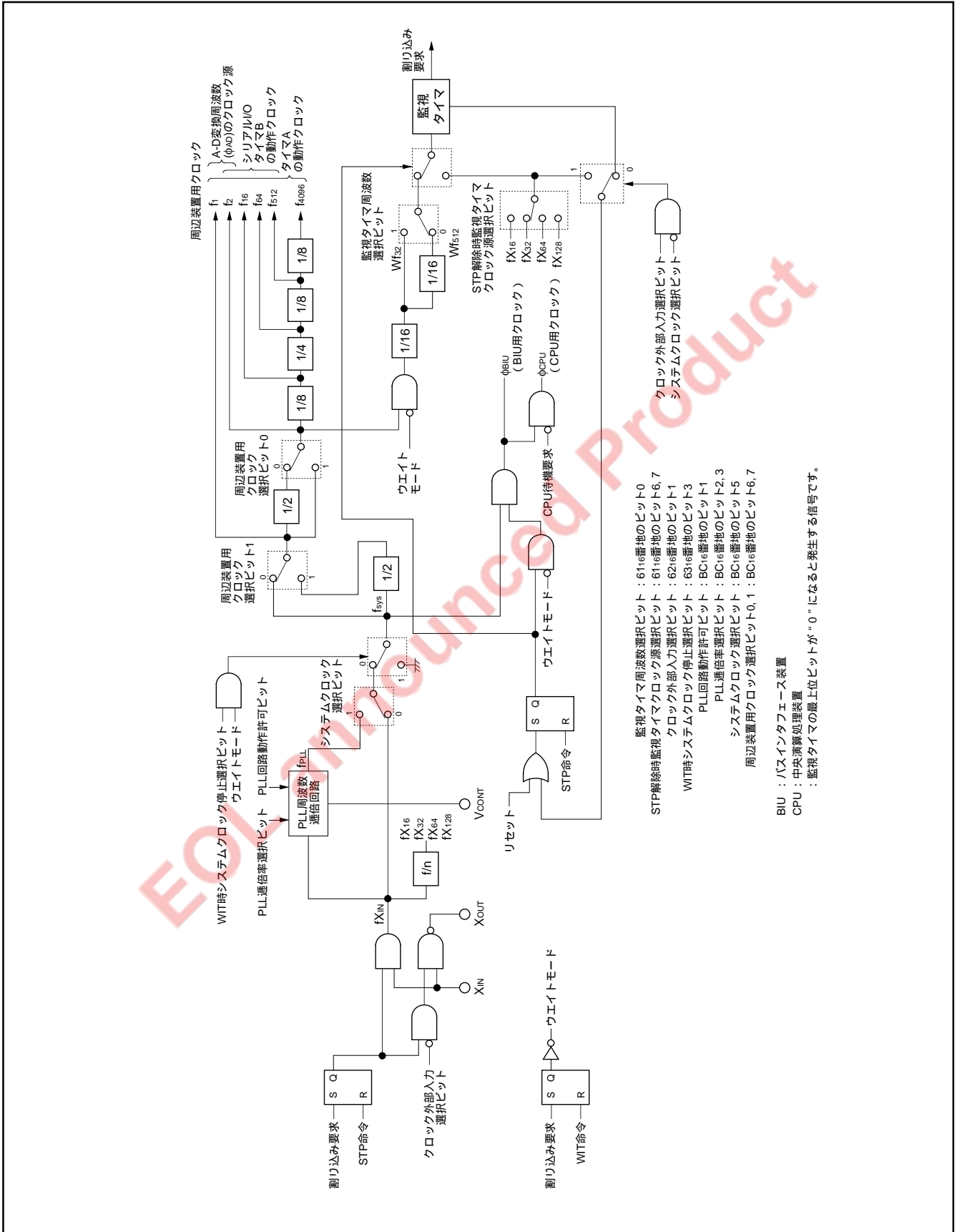
システムクロック選択ビット (ビット5)	PLL回路動作許可ビット (ビット1)	PLL通倍率選択ビット (ビット3, 2) (注)	システムクロックf _{sys}	
			クロック源	周波数(注)
0	—	—	f _{XIN}	f(XIN)
1	1	01(2通倍)	f _{PLL}	f(XIN) × 2
		10(3通倍)	f _{PLL}	f(XIN) × 3
		11(4通倍)	f _{PLL}	f(XIN) × 4

注. PLL通倍率は、PLL出力クロックf_{PLL}の周波数が10MHz~20MHzとなるように設定してください。f(XIN)はXIN入力クロックf_{XIN}の周波数を示します。なお、PLL通倍率選択ビットは、リセット後1回のみ変更可能です。

表10. 内蔵周辺装置動作クロックの周波数

内蔵周辺装置動作クロック	周辺装置用クロック選択ビット1, 0 (ビット7, 6)			
	00	01(注)	10	11
f1	f _{sys}	f _{sys}	f _{sys} の2分周	選択禁止
f2	f _{sys} の2分周	f _{sys}	f _{sys} の4分周	
f16	f _{sys} の16分周	f _{sys} の8分周	f _{sys} の32分周	
f64	f _{sys} の64分周	f _{sys} の32分周	f _{sys} の128分周	
f512	f _{sys} の512分周	f _{sys} の256分周	f _{sys} の1024分周	
f4096	f _{sys} の4096分周	f _{sys} の2048分周	f _{sys} の8192分周	

注. 周辺装置用クロック選択ビット1, 0=“012”を選択する場合、f_{sys}の周波数が10MHzを越えないように設定してください。

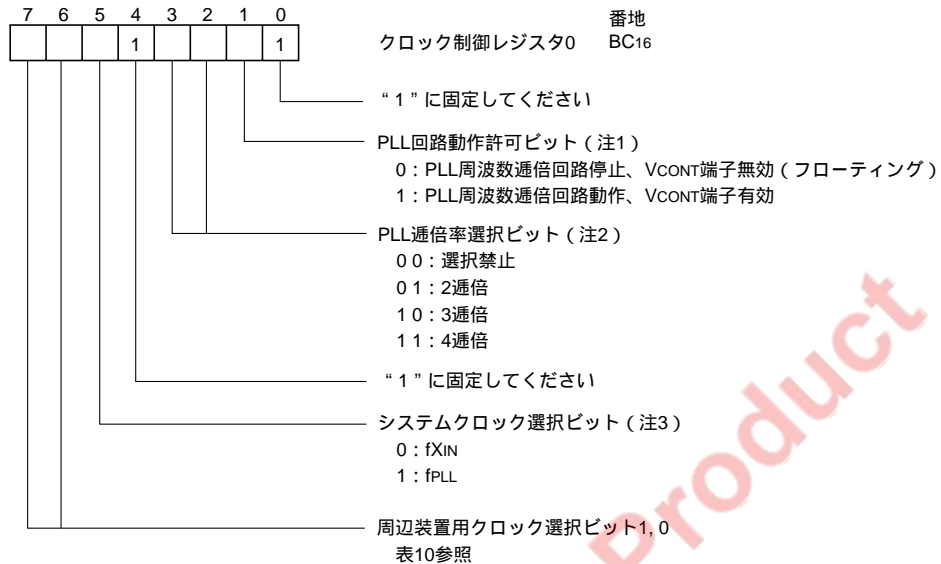


- 監視タイム周波数選択ビット
- 監視解除時監視タイムクロック源選択ビット
- システムクロック外部入力選択ビット
- システムクロック選択ビット
- システムクロック停止選択ビット
- PLL同期率選択ビット
- PLL周波数選択ビット
- PLL周波数停止選択ビット
- ウェイトモード許可ビット
- ウェイトモード
- ウェイトモード
- ウェイトモード

BIU : バスインタフェース装置
CPU : 中央演算処理装置
: 監視タイムの最上位ビットが " 0 " になると発生する信号です。

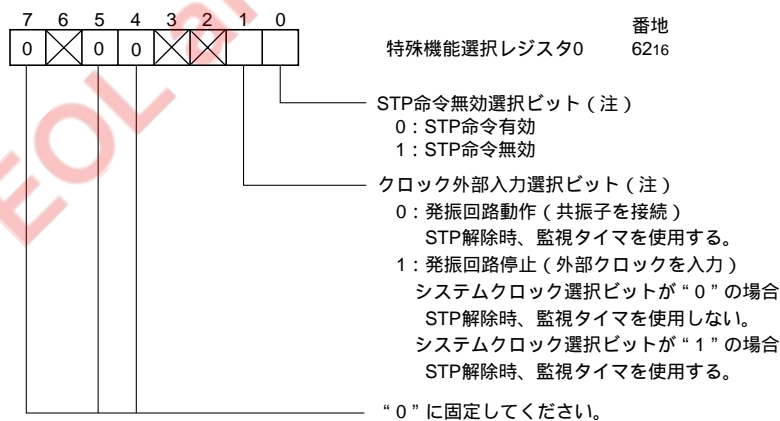
図93 . クロック発生回路のブロック図

開発中



- 注1. PLL周波数通倍回路を使用しない場合は、“0”にしてください。
ストップモード時は、ビットの内容にかかわらずPLL回路は停止し、VCONT端子は無効になります。
2. このビットを書き換える場合は、同時にビット5=0にしてください。また、このビットを書き換えした後、2ms待ってからビット5=1にしてください。
3. PLL回路動作許可ビット(ビット1)を“0”にすると、このビットも“0”になります。
また、ビット1=0のときはこのビットに書き込みません(“0”に固定される)。

図94. クロック制御レジスタ0のビット構成



- 注. これらのビットに書き込むときは、このレジスタに“55₁₆”を書き込んだ後、続けて各ビットに対して“0”又は“1”を書き込んでください。(“55₁₆”の書き込みでは、ビットの状態は変化しません。)
また、これらの書き込みには、MOV_M(MOV_MB), STA(STAB, STAD)命令を使用してください。

図95. 特殊機能選択レジスタ0のビット構成

スタンバイ機能

スタンバイ機能として、ストップ(以下、STPと称する)モード及びウイット(以下、WITと称する)モードがあります。これらは中央演算処理装置(CPU)を動作させる必要がないときに、発振又はシステムクロックを停止させて消費電力を低減する機能です。

マイクロコンピュータは、STP命令、WIT命令の実行によって、STPモード、WITモードになります。STPモード、WITモードは、割り込みの受け付け、またはリセットによって解除されます。

割り込みによってSTPモード、WITモードを解除する場合、STP命令、WIT命令実行前に、STPモード、WITモードの解除に使用する割り込みを許可状態にしてください。また、解除に使用する割り込みの割り込み優先レベルは、STP命令、WIT命令を実行するルーチンのプロセッサ割り込み優先レベル(IPL)より大きい値にしてください。

図95に特殊機能選択レジスタ0、図96に特殊機能選択レジスタ1のビット構成を、図97に監視タイマ周波数選択レジスタのビット構成を示します。STP命令無効選択ビット(特殊機能選択レジスタ0のビット0)を“1”にすると、STP命令が無効になり、STP命令は無視されます。リセット解除後は“0”が選択されていますので、STP命令は有効です。

STP命令実行ステータスフラグ(特殊機能選択レジスタ1のビット0)、WIT命令実行ステータスフラグ(特殊機能選択レジスタ1のビット1)は、STP命令、WIT命令が実行されるとそれぞれ“1”にセットされ、STPモード、WITモードの解除された後にそれぞれSTP命令、WIT命令が実行されたことを検出できます。これらのビットは、STPモード、WITモード解除時に、ソフトウェアでそれぞれ“0”にしてください。

表11に、STPモード、WITモードと、各部の動作の関係を示します。

STPモード

STP命令を実行すると発振回路、PLL回路は停止し、入力クロックfXIN、システムクロックfsys、φBIU、φCPU及び周辺装置用クロックf1~f4096、Wf32、Wf512は“L”の状態、分周クロックfX16~fX128は“H”の状態に停止します。また、監視タイマには、FFF16が自動的に設定され、図93に示すとおり、監視タイマのクロック源はSTP解除時監視タイマクロック源選択ビット(監視タイマ周波数選択レジスタのビット6、ビット7)で選択される分周クロックfX16~fX128のうちの1つになります。

STPモードでは、周辺装置用クロックf1~f4096、Wf32、Wf512を用いるA-D変換器、監視タイマは停止します。この場合、タイマA、Bはイベントカウンタモードでだけ、シリアルI/Oは外部クロック選択時だけ動作可能です。

STPモードは、割り込み又はリセット受け付けにより解除され、発振回路、PLL回路は動作を再開します。また、入力クロックfXIN、システムクロックfsys、及び周辺装置用クロックf1~f4096、Wf32、Wf512の供給も再開します。

リセットによりSTPモードを解除した場合には、発振回路、PLL回路の動作再開後、直ちにφBIU、φCPUの供給を開始します。したがって、この場合には、発振及びPLL回路動作の安定に必要な時間を待ってからリセット入力を“H”にしてください。

割り込みよりSTPモードを解除する方法として、発振回路、PLL回路の動作再開後、φBIU、φCPUの供給を開始するまでの時間を監視タイマで計測するモードと、動作再開後、直ちにφBIU、φCPUの供給を開始するモードを選択できます。

クロック外部入力選択ビット(特殊機能選択レジスタ0のビット1)が“0”又はシステムクロック選択ビット(クロック制御レジスタ0のビット5)が“1”の場合には、割り込みにより発振回路、PLL回路が動作開始した後、監視タイマは上述の分

表11. STPモード、WITモードと各部動作

状態	WIT時 システムクロック 停止選択ビット	WIT, STP中の動作					
		発振回路	PLL回路	f _{sys} , φ ₁ , f ₁ ~ f ₄₀₉₆	Wf ₃₂ , Wf ₅₁₂	φ _{BIU} , φ _{CPU}	f ₁ ~ f ₄₀₉₆ , Wf ₃₂ , Wf ₅₁₂ を使用する周辺装置
STP	-	停止	停止	停止 (“L”)	停止 (“L”)	停止 (“L”)	タイマA, B: イベントカウンタモードでだけ動作可能 シリアルI/O: 外部クロック選択時だけ動作可能 A-D変換器: 停止 (監視タイマ: 停止)
WIT	“0”	動作 (注1)	動作 (注2)	動作	停止 (“L”)	停止 (“L”)	タイマA, B, シリアルI/O, A-D変換器: 動作可能 (監視タイマ: 停止)
	“1”	動作 (注1)	動作 (注2)	停止 (“L”)	停止 (“L”)	停止 (“L”)	タイマA, B: イベントカウンタモードでだけ動作可能 シリアルI/O: 外部クロック選択時だけ動作可能 A-D変換器: 停止 (監視タイマ: 停止)

注1. クロック外部入力選択ビットが“1”の場合、発振回路は停止します。ただし、XIN端子からのクロック入力は許可されます。

注2. PLL動作許可ビットが“0”の場合、PLL回路は停止します。

開発中

周クロック $f_{X16} \sim f_{X128}$ のうちの1つでカウントダウンします。この監視タイマの最上位ビットが“0”となった後、 ϕ_{BIU} 、 ϕ_{CPU} の供給が再開されます。

一方、クロック外部入力選択ビットが“1”でかつシステムクロック選択ビットが“0”の場合には、割り込みにより発振

回路、PLL回路が動作開始した後、直ちに ϕ_{BIU} 、 ϕ_{CPU} の供給を再開します(実際には、上述の分周クロック $f_{X16} \sim f_{X128}$ のうちの選択された1つのクロックが“H”から“L”になった後、供給が再開されます)。

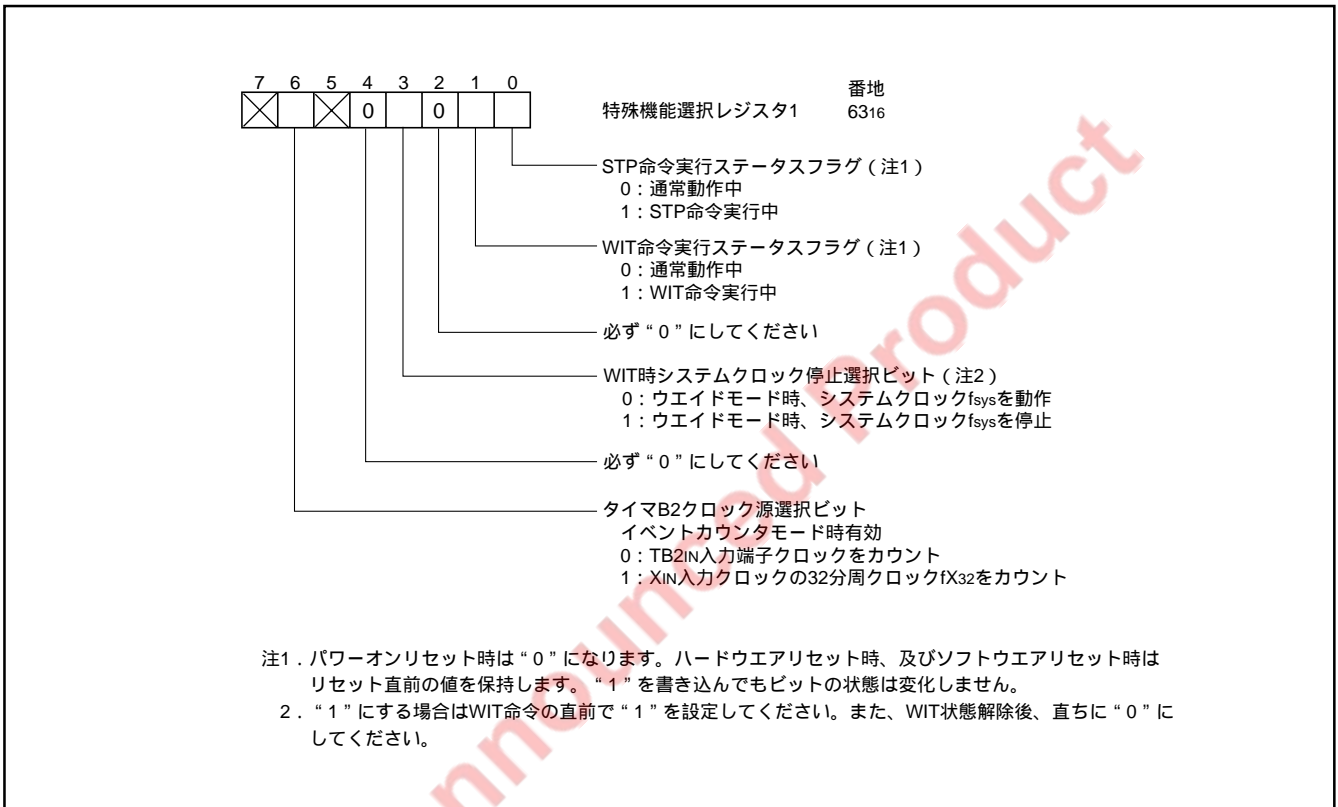


図96. 特殊機能選択レジスタ1のビット構成

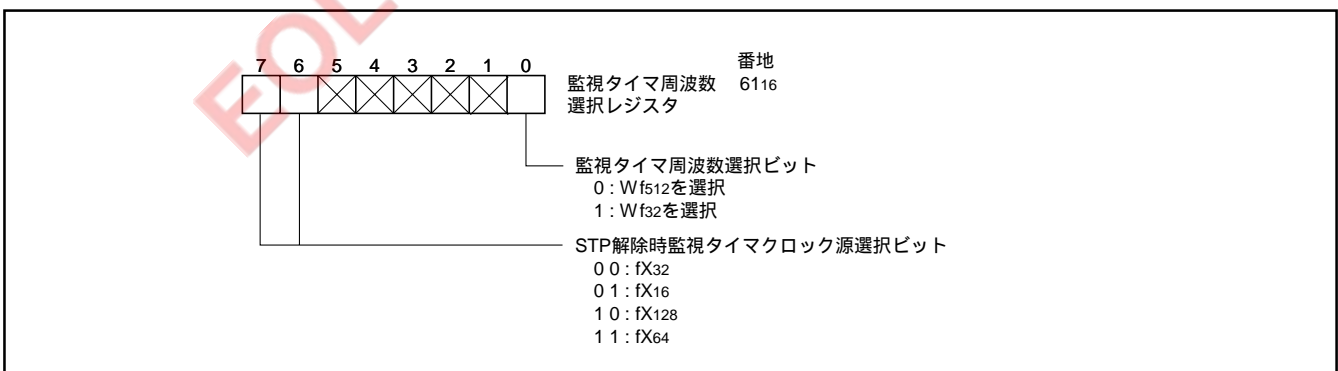


図97. 監視タイマ周波数選択レジスタのビット構成

開発中

WITモード

WIT時システムクロック停止選択ビット(特殊機能選択レジスタ1のビット3; 図96)が 0 の状態ではWIT命令を実行すると、 ϕ BIU, ϕ CPU, 分周クロック Wf_{32} , Wf_{512} は L の状態では停止しますが、発振回路、PLL回路及び入力クロック f_{XIN} 、システムクロック f_{sys} 、 ϕ_1 、周辺装置用クロック $f_1 \sim f_{4096}$ は停止しません。したがって、BIU、CPUは停止しますが、周辺装置用クロック $f_1 \sim f_{4096}$ を用いるタイマA、B、シリアルI/O、A-D変換器は動作可能です。また、監視タイマは停止します。

一方、WIT時システムクロック停止選択ビットが 1 の状態ではWIT命令を実行すると、発振回路、PLL回路、入力クロック f_{XIN} は停止しませんが、システムクロック f_{sys} 、 ϕ BIU、 ϕ CPU及び周辺装置用クロックは停止します。したがって、この場合、周辺装置用クロック $f_1 \sim f_{4096}$ 、 Wf_{32} 、 Wf_{512} を用いるA-D変換器、監視タイマは停止します。またタイマA、Bはイベントカウンタモードでだけ、シリアルI/Oは外部クロック選択時だけ動作可能です。WITモードで内蔵周辺装置を使用しない場合には、後者の方がより消費電流が少なくできるので有利です。なお、WIT時システムクロック停止選択ビットは、WIT命令の直前で 1 を設定し、WITモード解除後、直ちに 0 に戻すようにしてください。

WITモードは、割り込みを受け付けると解除され、 ϕ CPU、 ϕ BIUの供給が再開されます。WITモードでは発振回路、PLL回路、入力クロック f_{XIN} は停止していませんので、WITモード解除後、直ちに割り込み処理の実行が可能です。

開発中

低消費電力機能

以下の機能を選択することにより、システム全体の消費電力を低減することができます。

(1) WITモード時のシステムクロック停止

WITモード時、内蔵周辺装置を動作させる必要がない場合、WIT時システムクロック停止選択ビット(特殊機能選択レジスタ1のビット3)を“1”にすると、システムクロック f_{sys} 、周辺装置用クロックが停止し、マイクロコンピュータの消費電力を低減することができます。詳細はスタンバイ機能の項を参照してください。

(2) 発振回路停止

外部で生成された安定したクロックをXIN端子に入力する場合、クロック外部入力選択ビット(特殊機能選択レジスタ0のビット1)を“1”にして、XIN端子とXOUT端子の間の発振用ドライバー回路を停止させると、消費電力を低減することができます。このとき、XOUT端子の出力レベルは“H”に固定されます。また、PLL出力クロックを使用しない場合、割り込み要求発生によってストップモードから復帰したとき、直ちに ϕ_{BIU} 、 ϕ_{CPU} の供給が再開するため、STPモード解除直後から命令を実行することができます。詳細はクロック発生回路及びスタンバイ機能の項を参照してください。

(3) VREF切断

A-D変換器を使用しない場合は、VREF接続選択ビット(A-D制御レジスタ1のビット6)を“1”にすると、A-D変換器のラダー抵抗と基準電圧入力端子(VREF)が切り離されます。これによりVREF端子からラダー抵抗に電流が流れなくなるため、消費電力を低減することができます。VREF接続選択ビットを“1”(VREF切断)から“0”(VREF接続)にしたときは、1 μ S以上経過した後に、A-D変換を開始させてください。詳細はA-D変換器の項を参照してください。

デバッグ機能

CPUが命令コードを取り込むときに、その命令コードが格納されている先頭アドレス(PG, PCの内容)と、あらかじめ選択したアドレスを比較し、選択された条件が成立したときに割り込み要求が発生します。この条件が成立するかどうかの判定をアドレス一致検出と称します。また、これにより発生する割り込みをアドレス一致検出割り込みと称します。(割り込みベクトル番地については割り込みの項を参照してください。)

アドレス一致検出が行われると、そのアドレスに配置した本来の命令は実行されずに、ノンマスカブルの割り込み処理動作が行われます。

デバッグ機能には、プログラムの存在する部分の回避や修正に用いるモード(アドレス一致検出モード)と、プログラムの暴走を検知するモード(アドレス範囲外検出モード)の2つのモードがあります。

図98にデバッグ機能ブロック図を、図99にデバッグ制御レジスタ0, 1のビット構成を、図100にアドレス比較レジスタ0, 1のビット構成を示します。

デバッグ制御レジスタ0の検出条件選択ビットで、以下の4条件が選択可能です。選択した条件が成立したときに、アドレス一致検出割り込み要求が発生します。

(1)アドレス一致検出0

PGとPCの内容が、アドレス比較レジスタ0に設定されたアドレスと一致したとき。

(2)アドレス一致検出1

PGとPCの内容が、アドレス比較レジスタ1に設定されたアドレスと一致したとき。

(3)アドレス一致検出2

PGとPCの内容が、アドレス比較レジスタ0もしくはアドレス比較レジスタ1に設定されたアドレスのいずれかと一致したとき。

(4)アドレス範囲外検出

PGとPCの内容が、アドレス比較レジスタ0に設定されたアドレスより小さいとき、又はアドレス比較レジスタ1に設定されたアドレスより大きいとき。

デバッグ制御レジスタ0の検出許可ビットを“1”にすると、前述のアドレス条件が成立したときに、アドレス一致検出割り込み要求が発生します。“0”の場合は、アドレス条件が成立しても割り込み要求は発生しません。

デバッグ制御レジスタ1のアドレス比較レジスタアクセス許可ビットは、アドレス比較レジスタ0, 1へのアクセス(リードもしくはライト)動作を行う直前の命令で“1”にし、アクセスの次の命令で“0”(禁止)にしてください。“0”の場合には、アドレス比較レジスタ0, 1にアクセスすることはできません。

デバッグ制御レジスタ1のアドレス一致検出2判定フラグは、アドレス一致検出2選択時において、PG, PCの内容がアドレス比較レジスタ0, 1のいずれに設定されたアドレスと一致したのかを判定するフラグです。アドレス一致検出0, 1選択時、このビットの内容は無効です。

プログラムの回避・修正に用いる場合、アドレス一致割り込みルーチン内にて必要な処理を実施してください。またこの場合、スタックには、アドレス一致検出割り込み要求受付時(アドレス一致検出条件が成立したアドレス)のPG, PC値及びPSが退避されています。割り込み処理後の戻り先番地を変更する場合は、スタックの内容を書き換えた後、RTI命令にて復帰してください。

プログラムの暴走検出に用いる場合は、アドレス範囲外検出にて、アドレス比較レジスタ0, 1に、プログラムの存在しないアドレス領域を設定してください。CPUがこれらのアドレス領域から命令を読み込み、実行するとアドレス一致検出割り込み要求が発生します。

これらのデバッグ機能をデバッガで評価することはできません。デバッガ使用時は、デバッグ機能を使用しないでください。

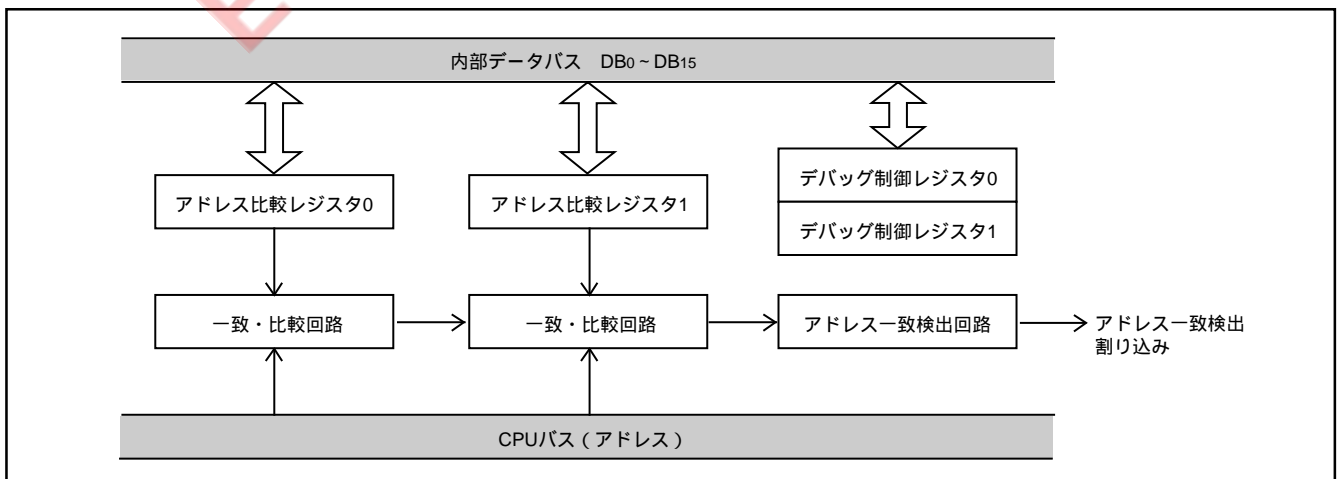


図98. デバッグ機能ブロック図

開発中

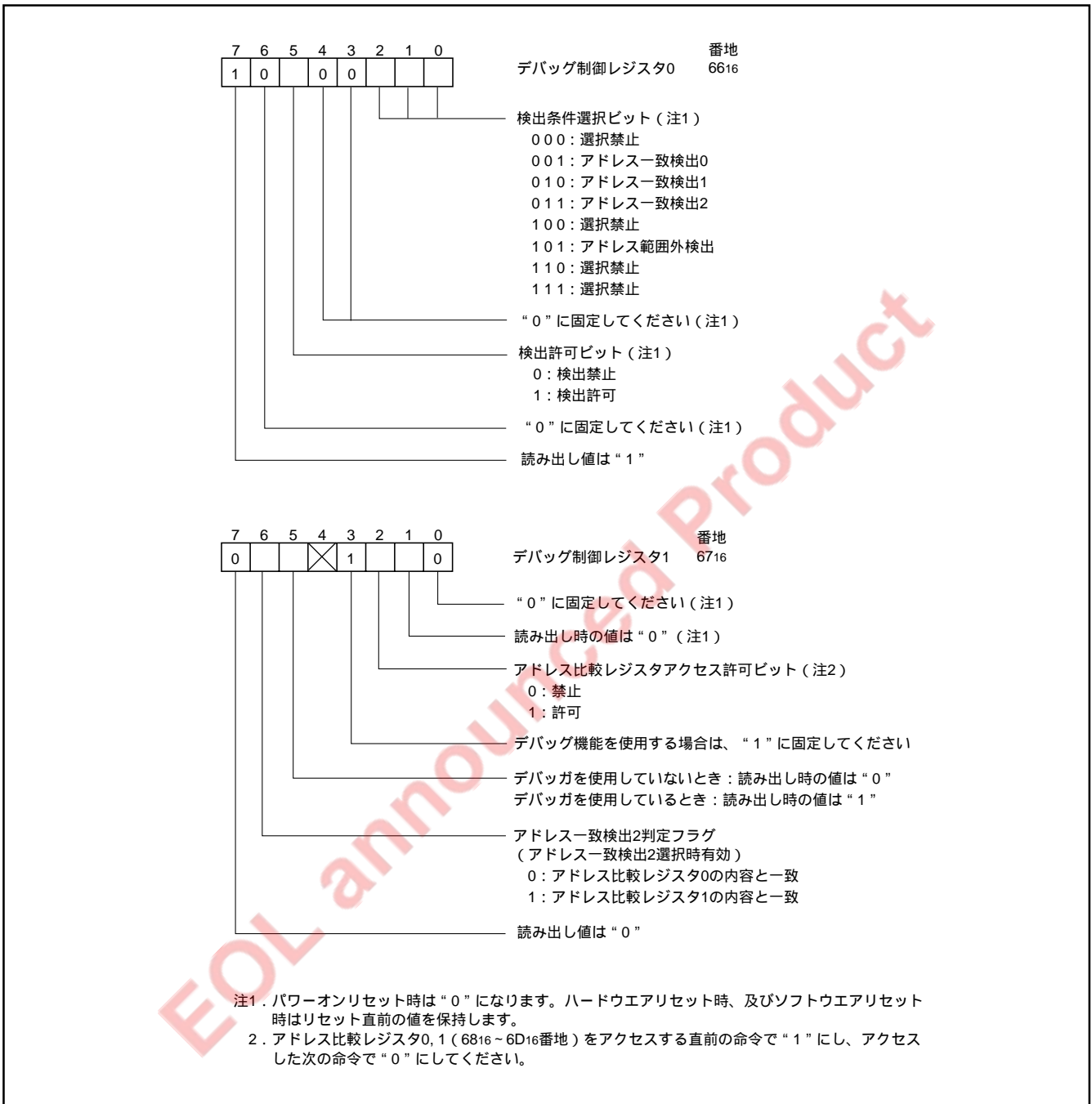


図99. デバッグ制御レジスタ0, 1のビット構成

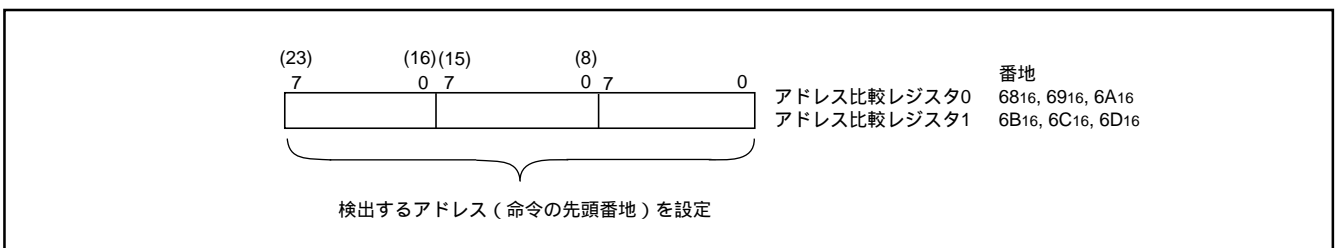


図100. アドレス比較レジスタ0, 1のビット構成

開発中

絶対最大定格

記号	項目	定格値	単位
V _{CC}	電源電圧	-0.3 ~ 6.5	V
AV _{CC}	アナログ電源電圧	-0.3 ~ 6.5	V
V _I	入力電圧 P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ ~P4 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₃ , $\overline{P4OUT}_{CUT}$, $\overline{P6OUT}_{CUT}$, V _{CONT} , V _{REF} , X _{IN} , \overline{RESET} , MD0, MD1	-0.3 ~ V _{CC} +0.3	V
V _O	出力電圧 P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ ~P4 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₃ , X _{OUT}	-0.3 ~ V _{CC} +0.3	V
P _d	消費電力	300	mW
T _{opr}	動作周囲温度	-20 ~ 85	
T _{stg}	保存温度	-40 ~ 150	

推奨動作条件(指定のない場合は、V_{CC}=5V, Ta=-20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
V _{CC}	電源電圧	4.5	5.0	5.5	V
AV _{CC}	アナログ電源電圧		V _{CC}		V
V _{SS}	電源電圧		0		V
AV _{SS}	アナログ電源電圧		0		V
V _{IH}	"H"入力電圧 P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ ~P4 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₃ , $\overline{P4OUT}_{CUT}$, $\overline{P6OUT}_{CUT}$, X _{IN} , \overline{RESET} , MD0, MD1	0.8V _{CC}		V _{CC}	V
V _{IL}	"L"入力電圧 P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ ~P4 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₃ , $\overline{P4OUT}_{CUT}$, $\overline{P6OUT}_{CUT}$, X _{IN} , \overline{RESET} , MD0, MD1	0		0.2V _{CC}	V
I _{OH} (peak)	"H"尖頭出力電流 P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇			-10	mA
I _{OH} (avg)	"H"平均出力電流 P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇			-5	mA
I _{OL} (peak)	"L"尖頭出力電流 P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P7 ₀ ~P7 ₇			10	mA
I _{OL} (peak)	"L"尖頭出力電流 P4 ₀ ~P4 ₇ , P6 ₀ ~P6 ₇			20	mA
I _{OL} (avg)	"L"平均出力電流 P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P7 ₀ ~P7 ₇			5	mA
I _{OL} (avg)	"L"平均出力電流 P4 ₀ ~P4 ₇ , P6 ₀ ~P6 ₇			15	mA
f(X _{IN})	外部クロック入力周波数(注1)			20	MHz
f(f _{sys})	システムクロック周波数			20	MHz

注1. PLL周波数逓倍回路を使用する場合、システムクロック周波数f(f_{sys})が20MHzを越えないようにしてください。

2. 平均出力電流は100msの期間内での平均値です。

3. I_{OL}(peak)の合計は110mA以下、I_{OH}(peak)の合計は80mA以下にしてください。

開発中

直流電気的特性(指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$, $f(f_{sys})=20MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V_{OH}	“H”出力電圧	P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ ~P4 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₃	$I_{OH}=-10mA$	3			V
V_{OL}	“L”出力電圧	P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ ~P4 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₃	$I_{OL}=10mA$			2	V
$V_{T+}-V_{T-}$	ヒステリシス	TA0 _{IN} ~TA9 _{IN} , TA0 _{OUT} ~TA9 _{OUT} , TB0 _{IN} ~TB2 _{IN} , INT ₀ ~INT ₇ , CTS ₀ , CTS ₁ , CTS ₂ , CLK ₀ , CLK ₁ , CLK ₂ , RxD ₀ , RxD ₁ , RxD ₂ , RTP _{TRG0} , RTP _{TRG1} , P4 _{OUTCUT} , P6 _{OUTCUT}		0.4		1	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET		0.5		1.5	V
$V_{T+}-V_{T-}$	ヒステリシス	X _{IN}		0.1		0.3	V
I_{IH}	“H”入力電流	P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ ~P4 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₃ , P4 _{OUTCUT} , P6 _{OUTCUT} , X _{IN} , RESET, MD0, MD1	$V_I=5.0V$			5	μA
I_{IL}	“L”入力電流	P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ ~P4 ₇ , P5 ₁ ~P5 ₃ , P5 ₅ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₃ , P4 _{OUTCUT} , P6 _{OUTCUT} , X _{IN} , RESET, MD0, MD1	$V_I=0V$			-5	μA
V_{RAM}	RAM保持電圧		クロック停止時	2			V
I_{CC}	電源電流	出力専用端子は開放、その他の 端子は V_{SS} 又は V_{CC} 、外部方形波 クロック入力(X _{OUT} 開放) PLL周波数逡倍回路停止時	$f(f_{sys})=20MHz$ 、CPU動作時		25	50	mA
			クロック停止時 $T_a=25$			1	μA
			クロック停止時 $T_a=85$			20	

開発中

A-D変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=5V\pm 0.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC}$	A-D変換選択時		10	Bits
			コンパレータ選択時		$\frac{1}{256} V_{REF}$	V
-	絶対精度	$V_{REF}=V_{CC}$	分解能10ビットモード		± 3	LSB
			分解能8ビットモード		± 2	LSB
			コンパレータ		± 40	mV
R_{LADDER}	ラダー抵抗	$V_{REF}=V_{CC}$	5			k Ω
t_{CONV}	変換時間	$f(f_{sys})$ 20MHz	分解能10ビットモード	5.9		μs
			分解能8ビットモード	2.45(注)		
			コンパレータ	0.7(注)		
V_{REF}	基準電圧		2.7		V_{CC}	V
V_{IA}	アナログ入力電圧		0		V_{REF}	V

注. A-D変換周波数(ϕ_{AD})に $f(\phi)$ を選択した場合。D-A変換特性(指定のない場合は、 $V_{CC}=5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=5V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				± 1.0	%
t_{su}	設定時間				3	μs
R_o	出力抵抗		2	3.5	4.5	k Ω
I_{VREF}	基準電源入力電流	(注)			3.2	mA

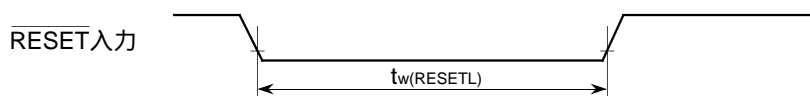
注. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が"0016"の場合です。

A-D変換器のラダー抵抗分は除きます。

リセット入力

リセット入力タイミング必要条件(指定のない場合は、 $V_{CC}=5V\pm 0.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
$t_w(RESETL)$	RESET入力“L”パルス幅	10			μs



内蔵周辺装置入出力タイミング(指定のない場合は、 $V_{CC}=5V\pm 0.5V$, $V_{SS}=0V$, $T_a=-20\sim 85^\circ C$, $f(f_{sys})=20MHz$)
システムクロック周波数に依存する規格値は、算出式で示します。また、()内に $f(f_{sys})=20MHz$ 時の値を示します。

タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値	規格値		単位
			最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	$f(f_{sys})$ 20MHz	$\frac{16 \times 10^9}{f(f_{sys})}$ (800)		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	$f(f_{sys})$ 20MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (400)		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	$f(f_{sys})$ 20MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (400)		ns

注：TAiIN入力サイクル時間はカウントソースの4サイクル分以上、TAiIN入力“H”パルス幅及び“L”パルス幅はカウントソースの2サイクル分以上必要です。上記規格は $f(f_{sys})=20MHz$ 時、カウントソースにf2を選択した場合の値です。

タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	80		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	40		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	40		ns

タイマA入力(ワンショットパルスモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	$f(f_{sys})$ 20MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (400)	ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	80		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	80		ns

タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	80		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	80		ns

タイマA入力(イベントカウンタモードのアップダウン入力及びカウント入力)

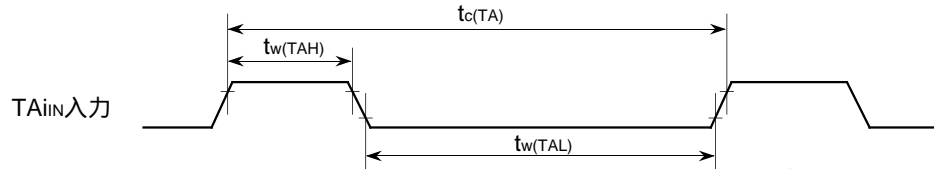
記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

タイマA入力(イベントカウンタモードの二相パルス入力)

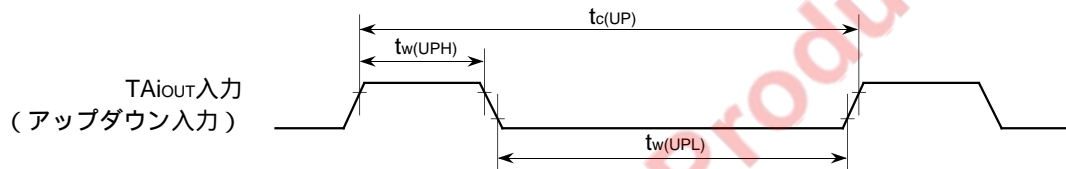
記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAjIN入力サイクル時間	800		ns
$t_{su}(TAjIN-TAjOUT)$	TAjIN入力セットアップ時間	200		ns
$t_{su}(TAjOUT-TAjIN)$	TAjOUT入力セットアップ時間	200		ns

開発中

タイマモードのゲーティング入力
イベントカウンタモードのカウント入力
ワンショットパルスモードの外部トリガ入力
パルス幅変調モードの外部トリガ入力



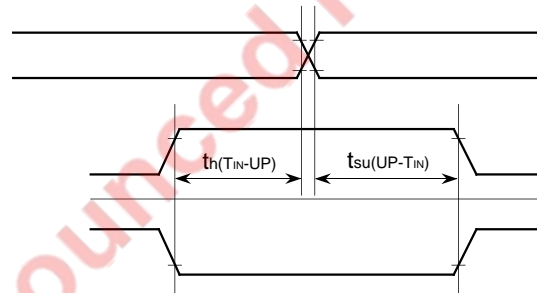
イベントカウンタモードのアップダウン入力及びカウント入力



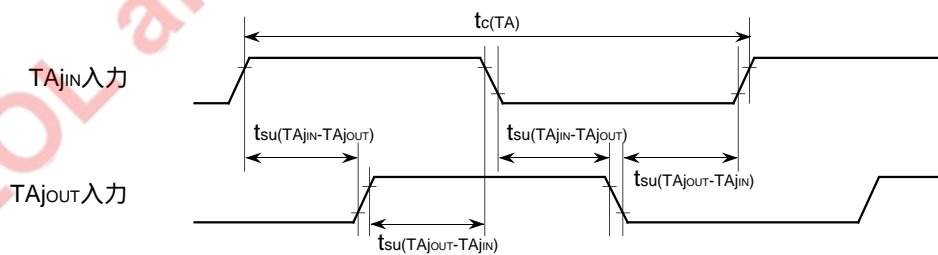
TAiout入力
(アップダウン入力)

TAiin入力
(立ち下がりカウント選択時)

TAiin入力
(立ち上がりカウント選択時)



イベントカウンタモードの二相パルス入力



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL}=1.0V$, $V_{IH}=4.0V$ で判定

開発中

タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間 (片エッジカウント)	80		ns
$t_w(TBH)$	TB _{iIN} 入力“H”パルス幅 (片エッジカウント)	40		ns
$t_w(TBL)$	TB _{iIN} 入力“L”パルス幅 (片エッジカウント)	40		ns
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間 (両エッジカウント)	160		ns
$t_w(TBH)$	TB _{iIN} 入力“H”パルス幅 (両エッジカウント)	80		ns
$t_w(TBL)$	TB _{iIN} 入力“L”パルス幅 (両エッジカウント)	80		ns

タイマB入力(パルス周期測定モード)

記号	項目	規格値	規格値		単位
			最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間	$f(f_{sys})$ 20MHz	16×10^9 $f(f_{sys})$ (800)		ns
$t_w(TBH)$	TB _{iIN} 入力“H”パルス幅	$f(f_{sys})$ 20MHz	8×10^9 $f(f_{sys})$ (400)		ns
$t_w(TBL)$	TB _{iIN} 入力“L”パルス幅	$f(f_{sys})$ 20MHz	8×10^9 $f(f_{sys})$ (400)		ns

注 . TB_{iIN}入力サイクル時間はカウントソースの4サイクル分以上、TB_{iIN}入力“H”パルス幅及び“L”パルス幅はカウントソースの2サイクル分以上必要です。上記規格は $f(f_{sys})$ 20MHz時、カウントソースにf₂を選択した場合の値です。

タイマB入力(パルス幅測定モード)

記号	項目	規格値	規格値		単位
			最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間	$f(f_{sys})$ 20MHz	16×10^9 $f(f_{sys})$ (800)		ns
$t_w(TBH)$	TB _{iIN} 入力“H”パルス幅	$f(f_{sys})$ 20MHz	8×10^9 $f(f_{sys})$ (400)		ns
$t_w(TBL)$	TB _{iIN} 入力“L”パルス幅	$f(f_{sys})$ 20MHz	8×10^9 $f(f_{sys})$ (400)		ns

注 . TB_{iIN}入力サイクル時間はカウントソースの4サイクル分以上、TB_{iIN}入力“H”パルス幅及び“L”パルス幅はカウントソースの2サイクル分以上必要です。上記規格は $f(f_{sys})$ 20MHz時、カウントソースにf₂を選択した場合の値です。

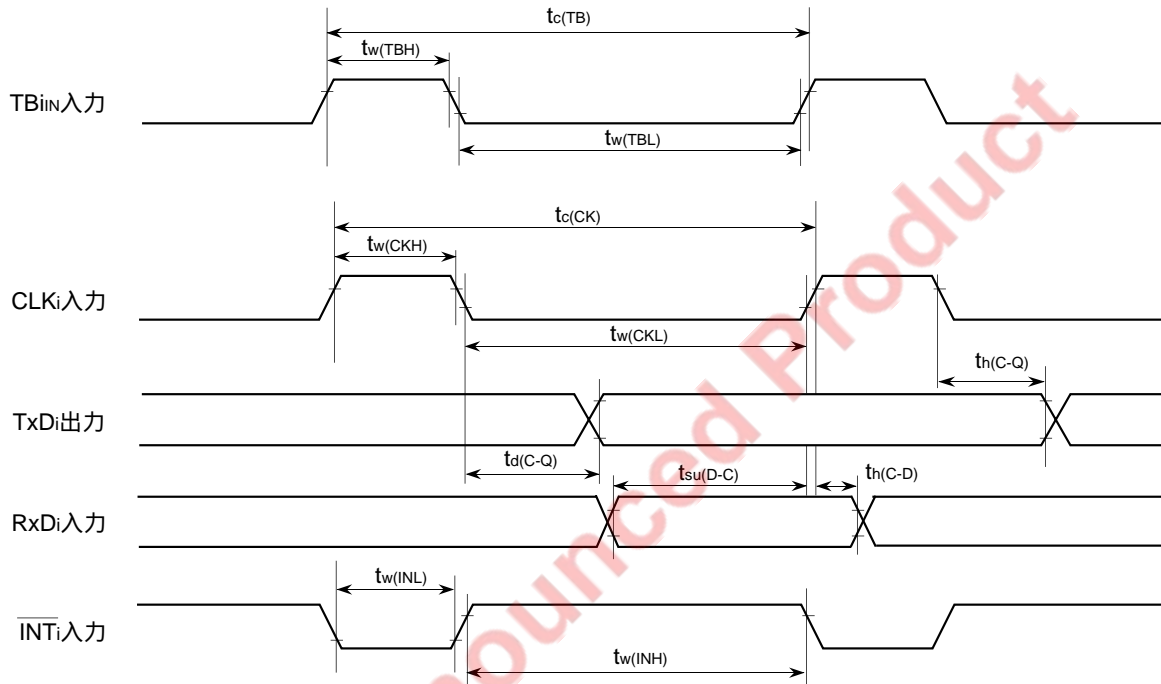
シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK _i 入力サイクル時間	200		ns
$t_w(CKH)$	CLK _i 入力“H”パルス幅	100		ns
$t_w(CKL)$	CLK _i 入力“L”パルス幅	100		ns
$t_d(C-Q)$	TxD _i 出力遅延時間		80	ns
$t_h(C-Q)$	TxD _i ホールド時間	0		ns
$t_{su}(D-C)$	RxD _i 入力セットアップ時間	20		ns
$t_h(C-D)$	RxD _i 入力ホールド時間	90		ns

開発中

外部割り込み $\overline{\text{INT}}_i$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INT}}_i$ 入力“H”パルス幅	250		ns
$t_w(\text{INL})$	$\overline{\text{INT}}_i$ 入力“L”パルス幅	250		ns



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL}=1.0V$, $V_{IH}=4.0V$ で判定
- 出力タイミング電圧: $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定

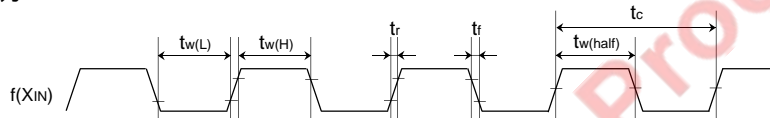
開発中

外部クロック入力

タイミング必要条件(指定のない場合は $V_{CC}=5V \pm 0.5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$, $f(X_{IN})=20MHz$)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(half)}$	外部クロック入力半値パルス幅	$0.45t_c$	$0.55t_c$	ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	$0.5t_c-8$		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	$0.5t_c-8$		ns
t_r	外部クロック入力立ち上がり時間		8	ns
t_f	外部クロック入力立ち下がり時間		8	ns

外部クロック入力



測定条件

- ・ $V_{CC}=5V \pm 0.5V$, $T_a=-20 \sim 85$
- ・ 入力タイミング電圧: $V_{IL}=1.0V$, $V_{IH}=4.0V$ で判定 ($t_{w(H)}$, $t_{w(L)}$, t_r , t_f)
- ・ 入力タイミング電圧: $2.5V$ で判定 (t_c , $t_{w(half)}$)

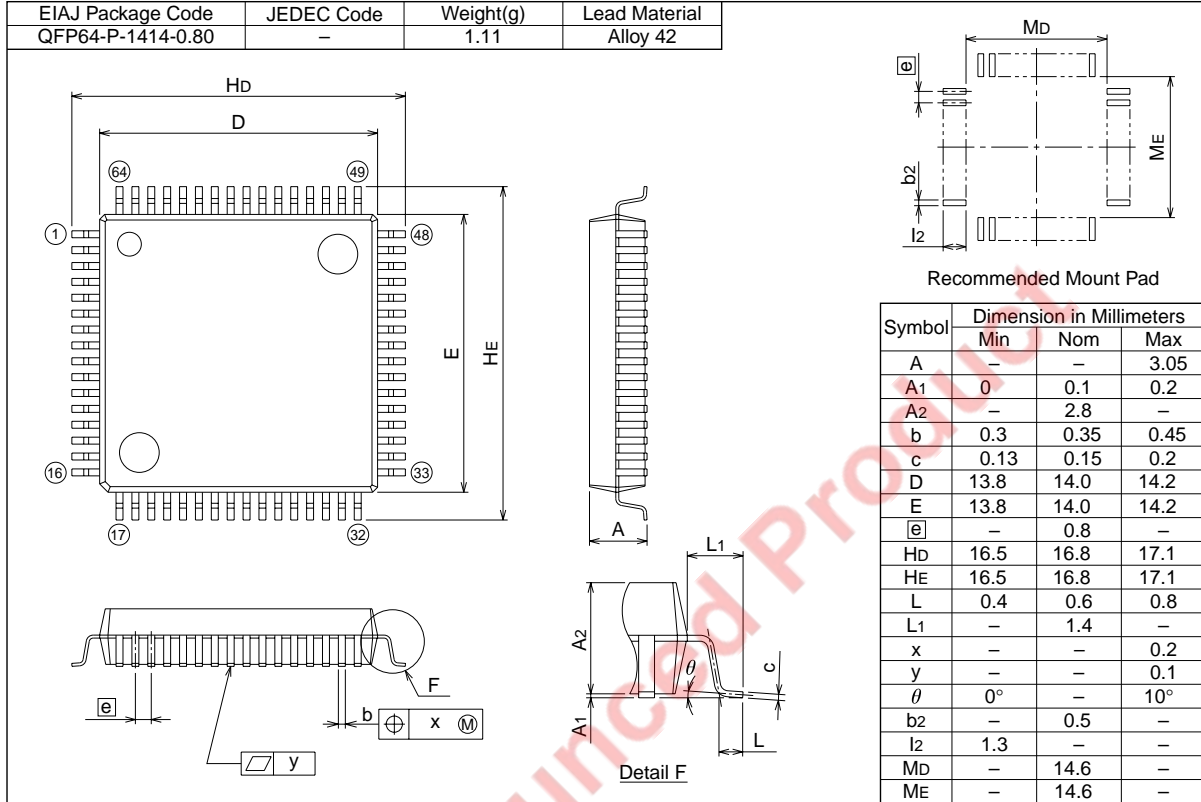
EOL announced Product

開発中

パッケージ外形寸法図

64P6N-A

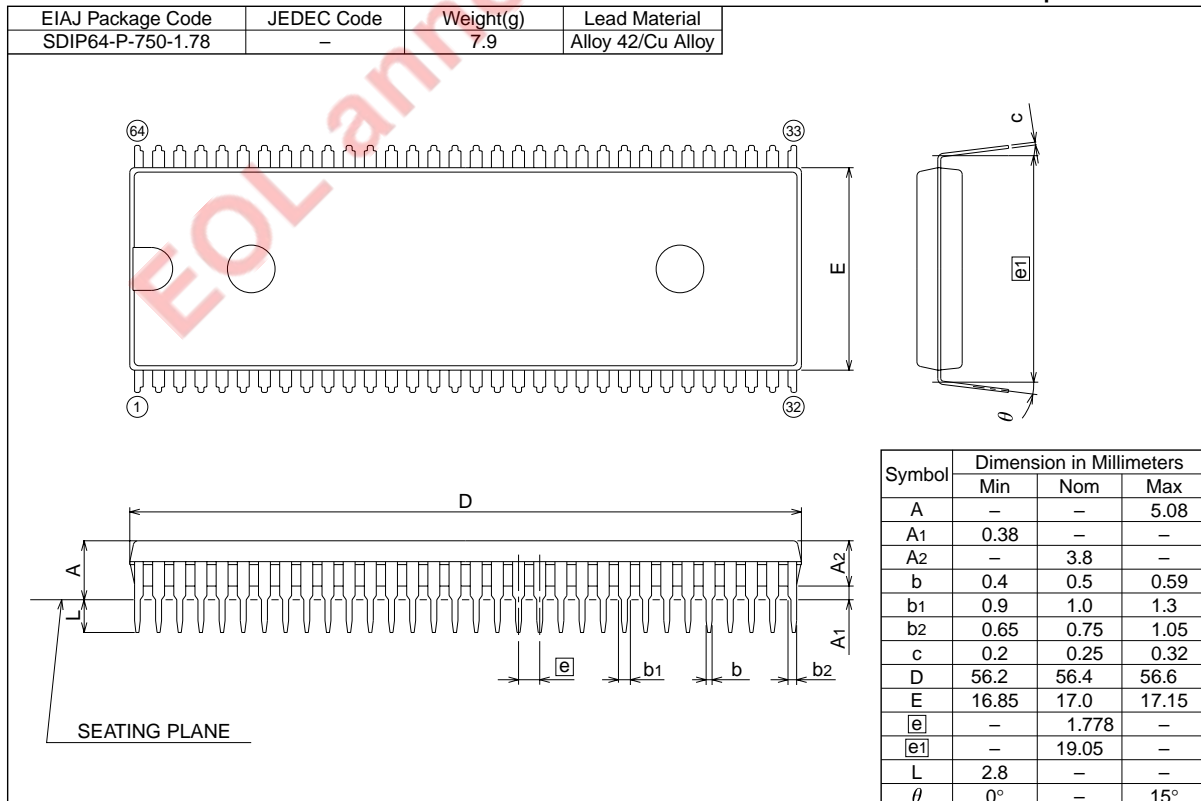
Plastic 64pin 14X14mm body QFP



64P4B

(MMP)

Plastic 64pin 750mil SDIP



開発中

EOL announced Product

株式会社ルネサステクノロジー 東京都千代田区大手町 2-6-2 〒100-0004

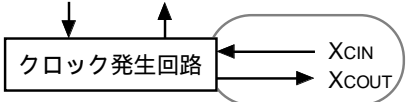
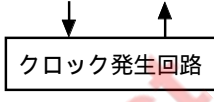
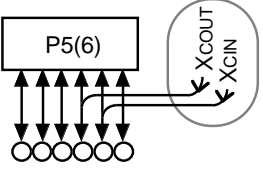
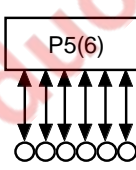
安全設計に関するお願い	<p>弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。</p>
本資料ご利用に際しての留意事項	<ul style="list-style-type: none"> 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (http://www.semicon.melco.co.jp/) などを通じて公開される情報に常にご注意ください。 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。 本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴

M37905MxC-XXXFP/SP データシート

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	000721
2.0	正誤表 Rev.A を参照	000803
3.0	正誤表 Rev.B を参照	001220
EOL announced Product		

M37905MxC-XXXFP/SP和文データシート正誤表(Rev.B) No.1

訂正箇所	誤	正										
1ペ - ジ 特長	プログラマブル入出力(ポートP1, P2, P4, P5, P6, P7, P8)..50本 クロック発生回路.....2回路内蔵	プログラマブル入出力(ポートP1, P2, P4, P5, P6, P7, P8)..50本										
1ペ - ジ ピン接続図 外形64P6N-A	XcOUT	VCONT										
1ペ - ジ ピン接続図 外形64P6N-A, 2ペ - ジ ピン接続図 外形64P4B	P52/ $\overline{\text{INT2}}$ /RTPTRG1/XcIN P53/ $\overline{\text{INT3}}$ /RTPTRG0/XcOUT	P52/ $\overline{\text{INT2}}$ /RTPTRG1 P53/ $\overline{\text{INT3}}$ /RTPTRG0										
3ペ - ジ 機能ブロック図												
												
4ペ - ジ 性能概要	<table border="1"> <tr> <td>外部メインクロック入力周波数 f(XIN)</td> <td>20MHz(最大)</td> </tr> <tr> <td>外部サブクロック入力周波数 f(XcIN)</td> <td>32.768kHz(標準)</td> </tr> <tr> <td>システムクロック入力周波数 f(fsyst)</td> <td>20MHz(最大)</td> </tr> </table>	外部メインクロック入力周波数 f(XIN)	20MHz(最大)	外部サブクロック入力周波数 f(XcIN)	32.768kHz(標準)	システムクロック入力周波数 f(fsyst)	20MHz(最大)	<table border="1"> <tr> <td>外部クロック入力周波数 f(XIN)</td> <td>20MHz(最大)</td> </tr> <tr> <td>システムクロック周波数 f(fsyst)</td> <td>20MHz(最大)</td> </tr> </table>	外部クロック入力周波数 f(XIN)	20MHz(最大)	システムクロック周波数 f(fsyst)	20MHz(最大)
外部メインクロック入力周波数 f(XIN)	20MHz(最大)											
外部サブクロック入力周波数 f(XcIN)	32.768kHz(標準)											
システムクロック入力周波数 f(fsyst)	20MHz(最大)											
外部クロック入力周波数 f(XIN)	20MHz(最大)											
システムクロック周波数 f(fsyst)	20MHz(最大)											
	<table border="1"> <tr> <td>クロック発生回路</td> <td>2回路内蔵(セラミック共振子...)</td> </tr> </table>	クロック発生回路	2回路内蔵(セラミック共振子...)	<table border="1"> <tr> <td>クロック発生回路</td> <td>内蔵(セラミック共振子...)</td> </tr> </table>	クロック発生回路	内蔵(セラミック共振子...)						
クロック発生回路	2回路内蔵(セラミック共振子...)											
クロック発生回路	内蔵(セラミック共振子...)											
5ペ - ジ P51 ~ P53, P55 ~ P57 [機能]	ポートP1と同じ...トリガ入力端子としての機能ももちます。P52, P53はサブクロック(32kHz)発振回路の入力端子XcIN, 出力端子XcOUTとしての機能ももちます。XcIN, XcOUT端子として使用する場合には、両端子間に共振子を接続します。	ポートP1と同じ...トリガ入力端子としての機能ももちます。										
5ペ - ジ P80 ~ P83 [機能]	ポートP1と同じ...の入出力端子としての機能ももちます。	ポートP1と同じ...の入出力端子としての機能ももちます。またP80はD-A変換器の出力端子としての機能ももちます。										
10ペ - ジ 図3; 0000BA ₁₆ 番地	クロック制御レジスタ1	予約領域(注)										
35ペ - ジ タイマB	(左6~7行目) ...。モードは、タイマBiモードレジスタ(i=0~2)のビット0とビット1の内容で選択します。 タイマB2はメインクロック、又はサブクロックを32分周したクロックをクロック源とする時計用タイマとしての機能を選択できます。 次に、各モードについて説明します。	(左6~7行目) ...。モードは、タイマBiモードレジスタ(i=0~2)のビット0とビット1の内容で選択します。 次に、各モードについて説明します。										
36ペ - ジ (2)イベントカウンタモード[01]	(3~4行目) ...を“1”にすると、XIN入力クロック又はサブクロックの32分周クロックfc32がクロック源として選択できません...	(3~4行目) ...を“1”にすると、XIN入力クロックfx32がクロック源として選択できます...										
47ペ - ジ 右8~9行目	これらのビットは、命令で“0”にする以外に、リセットをかけても“0”にできます。	これらの波形出力制御ビット0,1は、命令で“0”にする以外に、リセットをかけても“0”にできます。										
67ペ - ジ 左24行目	...動作中は、コンパレータ機能選択レジスタ、及びA-Dレジスタに書き込みを行わないでください。	...動作中は、コンパレータ機能選択レジスタ0,1、及びA-Dレジスタに書き込みを行わないでください。										
68ペ - ジ 動作モード, (1)単発モード	(動作モード; 11行目、(1)単発モード; 7行目) コンパレータ機能選択レジスタ	(動作モード; 11行目、(1)単発モード; 7行目) コンパレータ機能選択レジスタ0,1										

M37905MxC-XXXFP/SP和文データシート正誤表(Rev.B) No.2

訂正箇所	誤	正																																																
68ペ - ジ 動作モード; 15行目	…結果がコンバレート結果レジスタに格納されることを…	…結果がコンバレート結果レジスタ0,1に格納されることを…																																																
70ペ - ジ 図79	<table border="1"> <tr><th colspan="2">周波数選択フラグ</th></tr> <tr><td>フラグ1</td><td>フラグ0</td></tr> </table>	周波数選択フラグ		フラグ1	フラグ0	<table border="1"> <tr><th colspan="2">A-D変換周波数選択フラグ</th></tr> <tr><td>フラグ1</td><td>フラグ0</td></tr> </table>	A-D変換周波数選択フラグ		フラグ1	フラグ0																																								
周波数選択フラグ																																																		
フラグ1	フラグ0																																																	
A-D変換周波数選択フラグ																																																		
フラグ1	フラグ0																																																	
71ペ - ジ 左1行目	コンバレータ機能選択レジスタのAN _i (i = 11 ~ 0)コンバレータ機能選択ビット…	コンバレータ機能選択レジスタ0,1のAN _i (i = 11 ~ 0)コンバレータ機能選択ビット…																																																
78ペ - ジ 図88	クロック制御レジスタ1 (BA ₁₆)… <table border="1"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr></table>	0	0	0	0	0	0	0	1	(削除)																																								
0	0	0	0	0	0	0	1																																											
79ペ - ジ 図87	デバッグ制御レジスタ1 (67 ₁₆)… <table border="1"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>	0	0	0	0	0	0	0	0	デバッグ制御レジスタ1 (67 ₁₆)… <table border="1"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>	0	0	0	0	0	0	0	0																																
0	0	0	0	0	0	0	0																																											
0	0	0	0	0	0	0	0																																											
80ペ - ジ 発振回路	(Rev.2.0での内容 ; P80, P81)	(P80として内容改訂)																																																
81 ~ 83ペ - ジ クロック発生回路	(Rev.2.0での内容 ; P82 ~ P86)	(P81 ~ P83として内容改訂)																																																
85ペ - ジ 図96	図98. 特殊機能選択レジスタ1のビット構成	図96. 特殊機能選択レジスタ1のビット構成																																																
85ペ - ジ 図97	図99. 監視タイマ周波数選択レジスタのビット構成	図97. 監視タイマ周波数選択レジスタのビット構成																																																
88ペ - ジ 図98	図100. デバッグ機能ブロック図	図98. デバッグ機能ブロック図																																																
89ペ - ジ 図99	図101. デバッグ制御レジスタ0, 1のビット構成	図99. デバッグ制御レジスタ0, 1のビット構成																																																
89ペ - ジ 図100	図102. アドレス比較レジスタ0, 1のビット構成	図100. アドレス比較レジスタ0, 1のビット構成																																																
90ペ - ジ 推奨動作条件	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>f(XIN)</td> <td>外部メインクロック入力周波数 (注1)</td> <td></td> <td></td> <td>20</td> <td>MHz</td> </tr> <tr> <td>f(XCIN)</td> <td>外部サブクロック入力周波数</td> <td></td> <td>32.768</td> <td>50</td> <td>kHz</td> </tr> <tr> <td>f(fsyst)</td> <td>システムクロック周波数</td> <td></td> <td></td> <td>20</td> <td>MHz</td> </tr> </tbody> </table>	記号	項目	規格値			単位	最小	標準	最大	f(XIN)	外部メインクロック入力周波数 (注1)			20	MHz	f(XCIN)	外部サブクロック入力周波数		32.768	50	kHz	f(fsyst)	システムクロック周波数			20	MHz	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>f(XIN)</td> <td>外部クロック入力周波数 (注1)</td> <td></td> <td></td> <td>20</td> <td>MHz</td> </tr> <tr> <td>f(fsyst)</td> <td>システムクロック周波数</td> <td></td> <td></td> <td>20</td> <td>MHz</td> </tr> </tbody> </table>	記号	項目	規格値			単位	最小	標準	最大	f(XIN)	外部クロック入力周波数 (注1)			20	MHz	f(fsyst)	システムクロック周波数			20	MHz
記号	項目			規格値				単位																																										
		最小	標準	最大																																														
f(XIN)	外部メインクロック入力周波数 (注1)			20	MHz																																													
f(XCIN)	外部サブクロック入力周波数		32.768	50	kHz																																													
f(fsyst)	システムクロック周波数			20	MHz																																													
記号	項目	規格値			単位																																													
		最小	標準	最大																																														
f(XIN)	外部クロック入力周波数 (注1)			20	MHz																																													
f(fsyst)	システムクロック周波数			20	MHz																																													
マスク化確認書	7905M4C-XXXFP/SP, 7905M6C-XXXFP/SP, 7905M8C-XXXFP/SPの各マスク化確認書	(削除)																																																
マーク指定書	64P6N-A, 64P4Bの各マーク指定書	(削除)																																																