

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

概要

本製品は、高性能シリコンゲートCMOSプロセスを採用したフラッシュメモリ内蔵形シングルチップマイクロコンピュータです。このマイクロコンピュータは、既存の7700シリーズ、7751シリーズ命令セットと上位互換性を維持し、さらに強化、拡張した7900シリーズ命令セットを追加した16ビット並列処理可能(8ビット並列処理にも切り替え可能)な中央演算処理装置、及び高速に命令を実行するためのバスインタフェース装置を備えています。したがって大量のデータを高速に処理する必要のある、OA、事務機器、産業機器の制御に適したマイクロコンピュータです。

一方、内蔵のフラッシュメモリは単一電源で書き込み、消去を行うことができます。PROMライタを用いて書き込み、消去を行える他、内蔵する中央演算処理装置の制御で書き込み、消去を行う機能ももっていますので、マイクロコンピュータを基板に実装した後も、プログラムの変更が容易に実現できます。

特長

<マイコンモード>

基本機械語命令数	203
メモリ	
フラッシュメモリ(ユーザROM領域)	61Kバイト
RAM	2048バイト
フラッシュメモリ(ブートROM領域)	8Kバイト
命令実行時間	
最短命令、26MHz時	38ns
単一電源	5V ± 0.5V
割り込み	外部6要因、内部15要因、7レベル
多機能16ビットタイマ	5本 + 3本
シリアルI/O(UART又はクロック同期形)	2本
10ビットA-D変換器	8チャンネル入力
8ビットD-A変換器	2チャンネル出力
リアルタイム出力	4ビット×2チャンネル又は 6ビット、2ビット各1チャンネル
監視タイマ	
プログラムブル入出力(ポートP0, P1, P2, P3, P4, P5, P6, P7, P8, P10, P11)	84本

<フラッシュメモリモード>

電源電圧	5V ± 0.5V
プログラム/イレーズ電圧	5V ± 0.5V
プログラム方式	ワード単位
イレーズ方式	ブロック消去又は一括消去
ソフトウェアコマンドによるプログラム/イレーズ制御	
プログラム/イレーズ回数	100回

応用

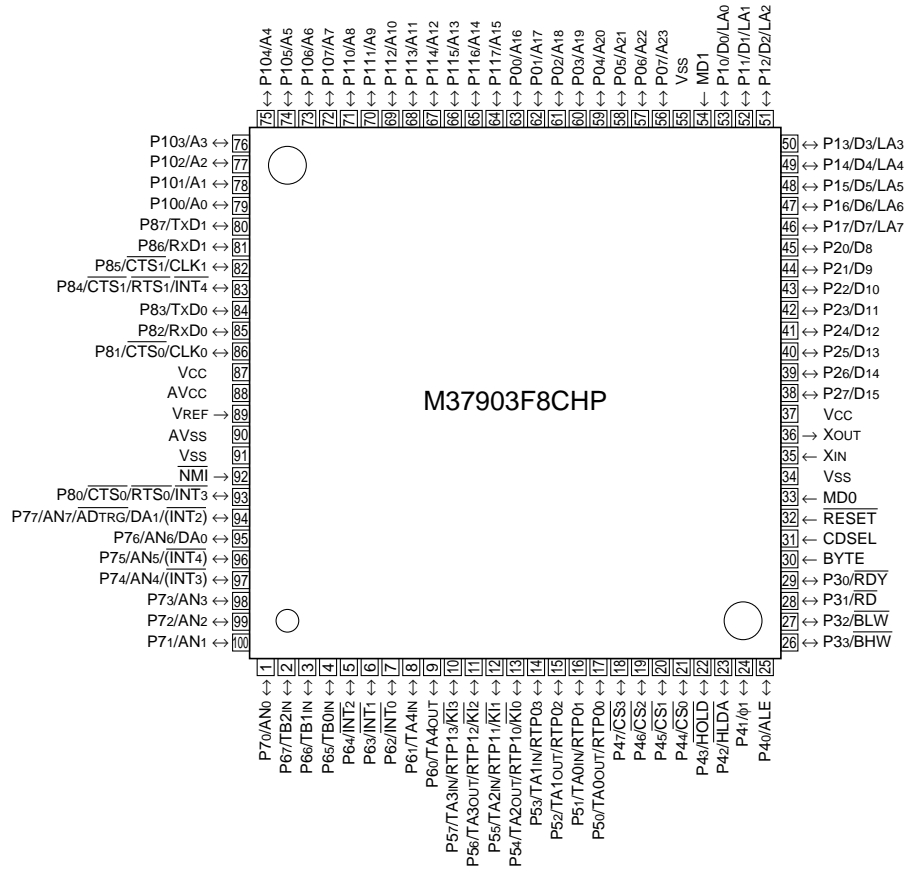
CD-ROM, DVD-ROM, HDD、高密度FDD、プリンタなどのパーソナルコンピュータ周辺機器制御

本製品は開発中ですので規格などを変更する場合があります。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

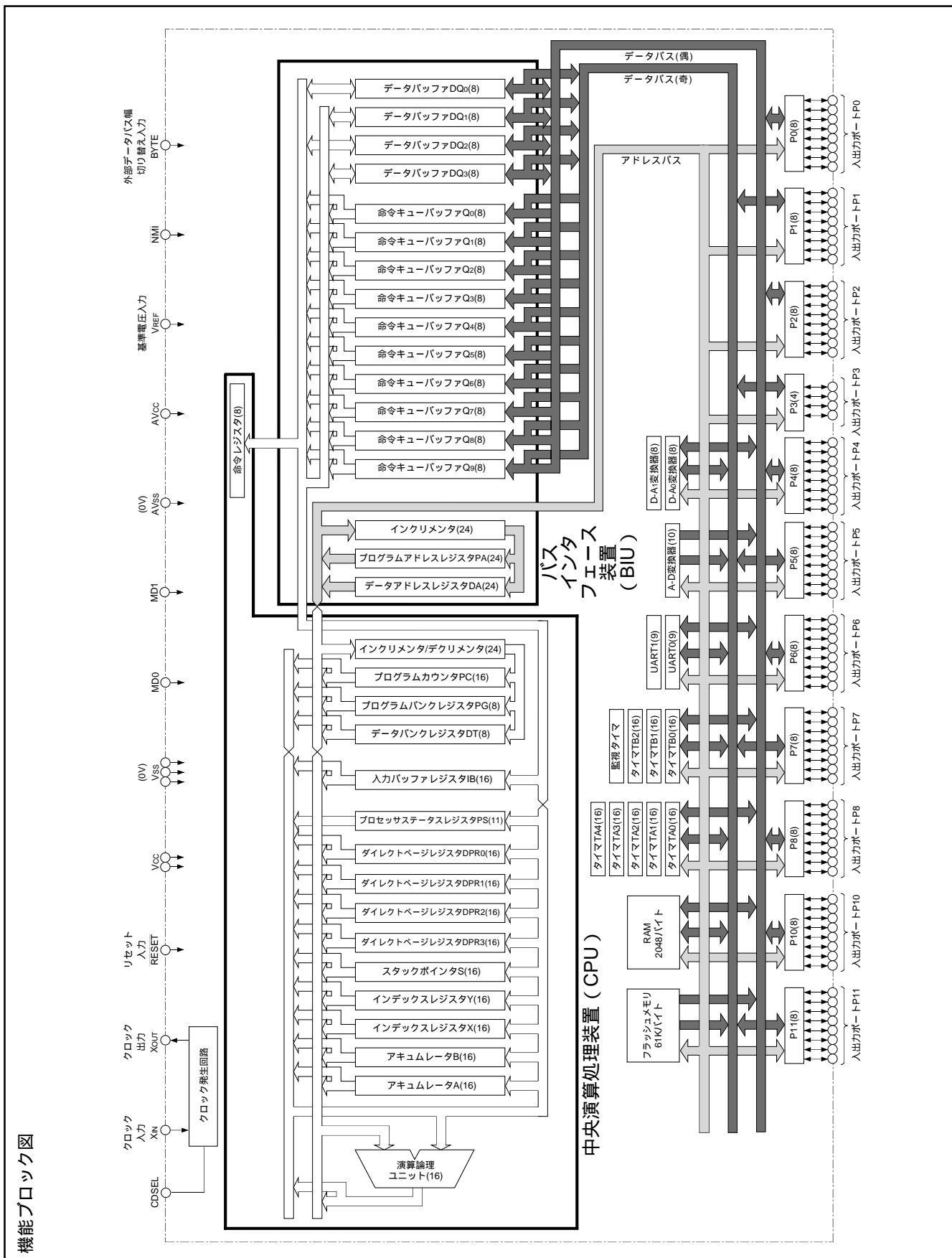
M37903F8CHPピン接続図(上面図)



外形 100P6Q-A

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION



開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

性能概要

<マイコンモード>

項 目		性 能
基本命令数		203
命令実行時間		38n \leq (f _{sys})=26MHz時, 最短命令)
外部クロック入力周波数 (XIN)		26MHz \leq 最大) (注)
システムクロック周波数 f _{sys})		26MHz \leq 最大)
メモリ容量	フラッシュメモリ(ユーザROM領域)	61Kバイト
	RAM	2048バイト
	フラッシュメモリ(ブートROM領域)	8Kバイト
プログラマブル 入出力ポート	P0~P2, P4~P8, P10, P11	8ビット \times 10
	P3	4ビット \times 1
多機能タイマ	タイマA0~タイマA4	16ビット \times 5
	タイマB0~タイマB2	16ビット \times 3
シリアルI/O	UART0, UART1	(クロック同期形, 又は非同期形) \times 2
A-D変換器		(10ビット逐次比較変換方式) \times 1(8チャンネル)
D-A変換器		8ビット \times 2
監視タイマ		12ビット \times 1
チップセレクトウエイトコントロール		チップセレクト \times 4($\overline{CS0}$ ~ $\overline{CS3}$) 各チップセレクト領域ごとにウエイト数, バス幅の設定が可能
リアルタイム出力		4ビット \times 2チャンネル, 又は6ビット, 2ビット各1チャンネル
割り込み	マスカブル	外部5要因, 内部13要因 各割り込みごとにレベル0~7までの割り込み優先レベルをソフトウェアで設定可能
	ノンマスカブル	外部1要因, 内部2要因
クロック発生回路		内蔵(セラミック共振子又は水晶共振子外付け)
電源電圧		5V \pm 0.5V
消費電力		150mW(f _{sys})=26MHz時, 標準)
ポートの 入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能(最大16Mバイト, ただしバンクFF16は予約領域)
動作周囲温度		-20~85
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP

注. XIN入力クロック分周選択ビットが0の場合、最大52MHzとなります。

本製品は開発中ですので規格などを変更する場合があります。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

<フラッシュメモリモード>

項 目		性 能
電源電圧		5V ± 0.5V
プログラム/イレーズ電圧		5V ± 0.5V
フラッシュメモリモード		3モード(パラレル入出力, シリアル入出力, CPU書き替え)
消去ブロック分割	ユーザROM領域	3分割(52Kバイト×1, 8Kバイト×1, 1Kバイト×1) 計61Kバイト
	ブートROM領域	1分割(8Kバイト)(注)
プログラム方式		ワード単位
	パラレル入出力モード	ユーザROM領域 + ブートROM領域
	シリアル入出力モード	ユーザROM領域
	CPU書き替えモード	ユーザROM領域
イレーズ方式		一括消去/ブロック消去
	パラレル入出力モード	ユーザROM領域 + ブートROM領域
	シリアル入出力モード	ユーザROM領域
	CPU書き替えモード	ユーザROM領域
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回

注. ブートROM領域には出荷時にシリアル入出力モードの制御プログラムが格納されています。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

端子の機能説明(マイコンモード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vcc端子には5V ± 0.5Vを, Vss端子には0Vを印加してください。
MD0	MD0	入 力	プロセッサモードを切り替える端子です。シングルチップモード及びメモリ拡張モードではVssに接続してください。マイクロプロセッサモードではVccに接続してください。
MD1	MD1	入 力	Vssに接続してください。
RESET	リセット入力	入 力	リセット入力端子です。Vssレベルを印加すると, リセット状態になります。
XIN	クロック入力	入 力	クロック発生回路の入力, 出力端子で, XIN端子とXOUT端子の前にセラミック又は水晶発振子を接続します。外部クロック入力を利用する場合は, クロック入力をXIN端子に接続し, XOUT端子は開放してください。
XOUT	クロック出力	出 力	
BYTE	外部データバス幅切り替え入力	入 力	メモリ拡張モード又はマイクロプロセッサモード時, 外部データバス幅を8ビットとするか16ビットとするかを選択する端子です。Vssレベルのとき16ビット幅, Vccレベルのとき8ビット幅です。BYTE=Vssレベルのときは, レジスタ設定により, CS1~CS3領域ごとに外部データバス幅を8ビットにすることができます。
CDSEL	クロック分周選択入力	入 力	XIN入力クロック分周選択ビットのリセット時の状態及びXIN端子の入力レベルを選択する端子です。注. XIN入力クロック分周選択ビットは, XIN端子への入力クロックの分周の有無を選択するためのビットです。
AVcc, AVss	アナログ電源入力		A-D変換器, D-A変換器の電源入力端子です。外部でAVccはVccに, AVssはVssに接続してください。
VREF	基準電圧入力	入 力	A-D変換器, D-A変換器の基準電圧入力端子です。
P00 ~ P07	入出力ポート P0	入出力	シングルチップモード時 ポートP0は8ビットの入出力ポートになります。入出力方向レジスタをもっており, 各ビットごとに入力端子にするか, 出力端子にするかプログラムできます。リセット時には入力モードになります。メモリ拡張又は, マイクロプロセッサモード時 アドレス(A16 ~ A23)を出力します。レジスタ設定により入出力ポートとしても機能します。
P10 ~ P17	入出力ポート P1	入出力	シングルチップモード時 ポートP0と同じ機能をもちます。 メモリ拡張又は, マイクロプロセッサモード時 データの低位8ビット(D0 ~ D7)を入出力します。 外部データバス幅8ビットの場合, レジスタ設定により, CS2領域アクセス時, アドレス(LA0 ~ LA7)出力とデータ(D0 ~ D7)入出力を時分割で行うこともできます。
P20 ~ P27	入出力ポート P2	入出力	シングルチップモード時, 又はメモリ拡張, マイクロプロセッサモードで外部データバス幅を8ビット幅で使用する場合 ポートP0と同じ機能をもちます。 メモリ拡張又は, マイクロプロセッサモードで外部データバス幅を16ビット幅で使用する場合 データの上位8ビット(D8 ~ D15)を入出力します。
P30 ~ P33	入出力ポート P3	入出力	シングルチップモード時 ポートP0と同じ機能をもちます。 メモリ拡張モード時 P30は入出力ポート, P31, P32, P33はそれぞれRD, BLW, BHWの出力端子となります。P30はレジスタ設定によりRDYの出力端子としても機能します。外部データバス幅が8ビットの場合, BHW端子は入出力ポート(P33)として機能します。 マイクロプロセッサモード時 P30はRDYの入力端子となり, P31, P32, P33はそれぞれRD, BLW, BHWの出力端子となります。P30はレジスタ設定により入出力ポートとしても機能します。外部データバス幅が8ビットの場合, BHW端子は入出力ポート(P33)として機能します。
P40 ~ P47	入出力ポート P4	入出力	シングルチップモード時 ポートP0と同じ機能をもちます。 メモリ拡張モード時 P40 ~ P47は入出力ポートとして機能します。レジスタ設定によりそれぞれALE, $\overline{1}$, HLDA, HOLD, CS0 ~ CS3の出力端子, 入力端子としても機能します。 マイクロプロセッサモード時 P40 ~ P44はそれぞれALE, $\overline{1}$, HLDA, HOLD, CS0の出力端子, 入力端子となり, P45 ~ P47は入出力ポートとなります。レジスタ設定により, P40 ~ P43は入出力ポート, P45 ~ P47はCS1 ~ CS3の出力端子としても機能します。
P50 ~ P57	入出力ポート P5	入出力	シングルチップモード時のポートP0と同じ機能の他に, タイマA0 ~ タイマA3の入出力端子, リアルタイム出力の出力端子, またキー入力割り込みの入力端子としての機能ももちます。
P60 ~ P67	入出力ポート P6	入出力	シングルチップモード時のポートP0と同じ機能の他に, タイマA4の入出力端子, INT0 ~ INT2の入力端子, タイマB0 ~ タイマB2の入力端子としての機能ももちます。
P70 ~ P77	入出力ポート P7	入出力	シングルチップモード時のポートP0と同じ機能の他に, A-D変換器の入力端子, D-A変換器の出力端子, INT2, INT3, INT4の入力端子の機能ももちます。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

端子の機能説明(マイコンモード)

端子名	名 称	入出力	機 能
P80 ~ P87	入出力ポート P8	入出力	シングルチップモード時のポートP0と同じ機能の他に, UART0, UART1の入出力端子, $\overline{\text{INT}}_3$, $\overline{\text{INT}}_4$ の入力端子としての機能ももちます。
P100 ~ P107	入出力ポート P10	入出力	シングルチップモード時 ポートP0と同じ機能をもちます。 メモリ拡張又は, マイクロプロセッサモード時 アドレス(A0 ~ A7)を出力します。
P110 ~ P117	入出力ポート P11	入出力	シングルチップモード時 ポートP0と同じ機能をもちます。 メモリ拡張又は, マイクロプロセッサモード時 アドレス(A8 ~ A15)を出力します。レジスタ設定により入出力ポートとしても機能します。
$\overline{\text{NMI}}$	ノンマスクブル 割り込み	入 力	ノンマスクブル割り込みの入力端子です。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

端子の機能説明(フラッシュメモリシリアル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCC端子には $5V \pm 0.5V$ を, VSS端子には0Vを印加してください。
MD0	MD0	入力	VSSに接続してください。
MD1	MD1	入力	抵抗(10k ~ 100k)を介してVSSに接続してください。
RESET	リセット入力	入力	リセット入力端子です。
XIN	クロック入力	入力	XIN, XOUTの間にセラミック共振子を接続します。又はXOUTを開放し, XINから外部クロックを入力します。
XOUT	クロック出力	出力	
BYTE	BYTE	入力	VCC又はVSSに接続してください。(シリアル入出力モードでは使用しません)
CDSEL	クロック分周 選択入力	入力	"H"を入力, "L"を入力, 又は開放してください。
AVCC, AVSS	アナログ電源 入力		AVCCはVCCに, AVSSはVSSに接続してください。
VREF	基準電圧入力	入力	VSS ~ VCC間の任意のレベルを入力してください。(シリアル入出力モードでは使用しません)
P00 ~ P07	入力ポート P0	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P10 ~ P17	入力ポート P1	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P20 ~ P27	入力ポート P2	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P30 ~ P33	入力ポート P3	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P40, P44 ~ P47	入力ポート P4	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P41	SCLK入力	入力	シリアルクロックの入力端子です。
P42	SDA入出力	入出力	シリアルデータの入出力端子です。抵抗(1kΩ程度)を介してVCCに接続してください。
P43	BUSY出力	出力	BUSY信号の出力端子です。
P50 ~ P57	入力ポート P5	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P60 ~ P67	入力ポート P6	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P70 ~ P77	入力ポート P7	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P80 ~ P87	入力ポート P8	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P100 ~ P107	入力ポート P10	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
P110 ~ P117	入力ポート P11	入力	"H"を入力, "L"を入力, 又は開放してください。(シリアル入出力モードでは使用しません)
NMI	ノンマスクブル 割り込み	入力	"H"を入力, 又は開放してください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

機能ブロック動作説明

本製品は、フラッシュメモリ、RAM、中央演算処理装置、バスインタフェースユニット、及び割り込み制御回路、タイマ、シリアルI/O、A-D変換器、D-A変換器、入出力ポート、クロック発生回路などの周辺装置をシングルチップ内に収めています。

メモリ

メモリ配置図を図1に示します。アドレス空間は0₁₆番地からFFFFFF₁₆番地までの16Mバイトあります。アドレス空間を64Kバイトごとに分けてそれぞれバンク0₁₆、バンク1₁₆、.....、バンクFF₁₆と呼びます。バンクFF₁₆は開発サポートツールのための予約領域です、使用できません。

内蔵フラッシュメモリ及び内蔵RAMは図1に示す番地に配置されています。

FFC0₁₆番地からFFF₁₆番地はリセット及び割り込みのベクトル番地で、ここに割り込みベクトルを格納します。詳細は割り込みの項を参照してください。

0₁₆番地からFF₁₆番地には入出力ポート、A-D変換器、D-A変換器、シリアルI/O、タイマ、割り込み制御レジスタなどの周辺装置が割り付けられています。図2、3に周辺装置制御レジスタ(SFR)の配置を示します。

なお、ブートROM領域のフラッシュメモリについては、フラッシュメモリモードの項を参照してください。

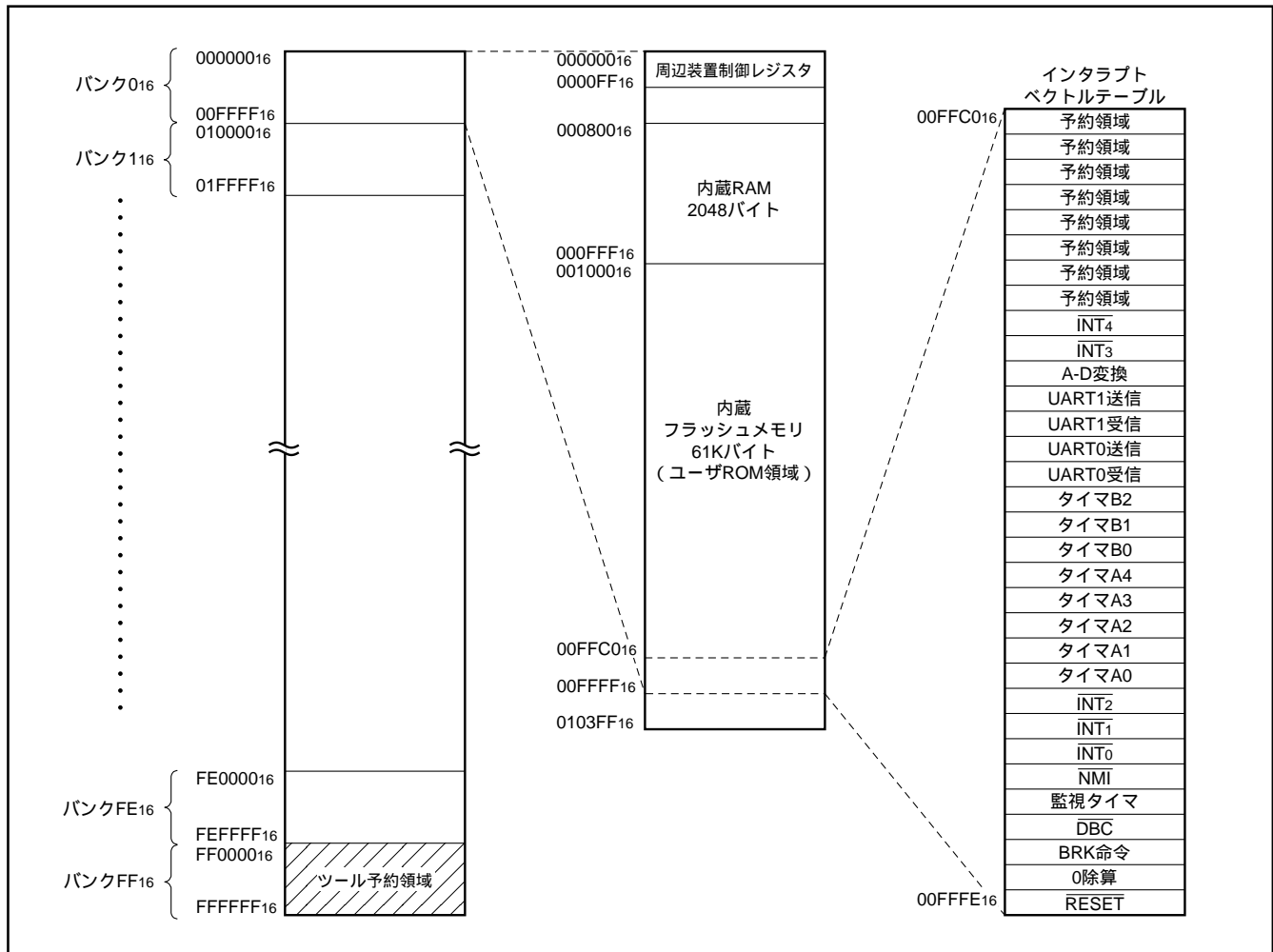


図1. M37903F8CHPのメモリ配置図(シングルチップモード時)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

番地		番地	
00000016	予約領域(注)	00004016	カウント開始フラグ
00000116	予約領域(注)	00004116	
00000216	ポートP0レジスタ	00004216	ワンショット開始フラグ
00000316	ポートP1レジスタ	00004316	
00000416	ポートP0方向レジスタ	00004416	アップダウンフラグ
00000516	ポートP1方向レジスタ	00004516	タイマAクロック分周指定レジスタ
00000616	ポートP2レジスタ	00004616	タイマA0レジスタ
00000716	ポートP3レジスタ	00004716	
00000816	ポートP2方向レジスタ	00004816	タイマA1レジスタ
00000916	ポートP3方向レジスタ	00004916	
00000A16	ポートP4レジスタ	00004A16	タイマA2レジスタ
00000B16	ポートP5レジスタ	00004B16	
00000C16	ポートP4方向レジスタ	00004C16	タイマA3レジスタ
00000D16	ポートP5方向レジスタ	00004D16	
00000E16	ポートP6レジスタ	00004E16	タイマA4レジスタ
00000F16	ポートP7レジスタ	00004F16	
00001016	ポートP6方向レジスタ	00005016	タイマB0レジスタ
00001116	ポートP7方向レジスタ	00005116	
00001216	ポートP8レジスタ	00005216	タイマB1レジスタ
00001316		00005316	
00001416	ポートP8方向レジスタ	00005416	タイマB2レジスタ
00001516		00005516	
00001616	ポートP10レジスタ	00005616	タイマA0モードレジスタ
00001716	ポートP11レジスタ	00005716	タイマA1モードレジスタ
00001816	ポートP10方向レジスタ	00005816	タイマA2モードレジスタ
00001916	ポートP11方向レジスタ	00005916	タイマA3モードレジスタ
00001A16		00005A16	タイマA4モードレジスタ
00001B16		00005B16	タイマB0モードレジスタ
00001C16		00005C16	タイマB1モードレジスタ
00001D16		00005D16	タイマB2モードレジスタ
00001E16	A-D制御レジスタ0	00005E16	プロセッサモードレジスタ0
00001F16	A-D制御レジスタ1	00005F16	プロセッサモードレジスタ1
00002016	A-Dレジスタ0	00006016	監視タイマレジスタ
00002116		00006116	監視タイマ周波数選択レジスタ
00002216	A-Dレジスタ1	00006216	特殊機能選択レジスタ0
00002316		00006316	特殊機能選択レジスタ1
00002416	A-Dレジスタ2	00006416	特殊機能選択レジスタ2
00002516		00006516	予約領域(注)
00002616	A-Dレジスタ3	00006616	予約領域(注)
00002716		00006716	予約領域(注)
00002816	A-Dレジスタ4	00006816	
00002916		00006916	
00002A16	A-Dレジスタ5	00006A16	
00002B16		00006B16	
00002C16	A-Dレジスタ6	00006C16	
00002D16		00006D16	
00002E16	A-Dレジスタ7	00006E16	INT3 割り込み制御レジスタ
00002F16		00006F16	INT4 割り込み制御レジスタ
00003016	UART0送受信モードレジスタ	00007016	A-D変換 割り込み制御レジスタ
00003116	UART0転送速度レジスタ(BRG0)	00007116	UART0送信 割り込み制御レジスタ
00003216	UART0送信バッファレジスタ	00007216	UART0受信 割り込み制御レジスタ
00003316		00007316	UART1送信 割り込み制御レジスタ
00003416	UART0送受信制御レジスタ0	00007416	UART1受信 割り込み制御レジスタ
00003516	UART0送受信制御レジスタ1	00007516	タイマA0 割り込み制御レジスタ
00003616	UART0受信バッファレジスタ	00007616	タイマA1 割り込み制御レジスタ
00003716		00007716	タイマA2 割り込み制御レジスタ
00003816	UART1送受信モードレジスタ	00007816	タイマA3 割り込み制御レジスタ
00003916	UART1転送速度レジスタ(BRG1)	00007916	タイマA4 割り込み制御レジスタ
00003A16	UART1送信バッファレジスタ	00007A16	タイマB0 割り込み制御レジスタ
00003B16		00007B16	タイマB1 割り込み制御レジスタ
00003C16	UART1送受信制御レジスタ0	00007C16	タイマB2 割り込み制御レジスタ
00003D16	UART1送受信制御レジスタ1	00007D16	INT0 割り込み制御レジスタ
00003E16	UART1受信バッファレジスタ	00007E16	INT1 割り込み制御レジスタ
00003F16		00007F16	INT2 割り込み制御レジスタ

注. この番地は、書き込み禁止です。

図2. 周辺装置制御レジスタ(SFR)の配置(1)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

番地		番地	
000080 ¹⁶	CS ₀ 制御レジスタ L	0000C0 ¹⁶	
000081 ¹⁶	CS ₀ 制御レジスタ H	0000C1 ¹⁶	
000082 ¹⁶	CS ₁ 制御レジスタ L	0000C2 ¹⁶	
000083 ¹⁶	CS ₁ 制御レジスタ H	0000C3 ¹⁶	
000084 ¹⁶	CS ₂ 制御レジスタ L	0000C4 ¹⁶	
000085 ¹⁶	CS ₂ 制御レジスタ H	0000C5 ¹⁶	
000086 ¹⁶	CS ₃ 制御レジスタ L	0000C6 ¹⁶	
000087 ¹⁶	CS ₃ 制御レジスタ H	0000C7 ¹⁶	
000088 ¹⁶		0000C8 ¹⁶	
000089 ¹⁶		0000C9 ¹⁶	
00008A ¹⁶	CS ₀ 領域先頭アドレスレジスタ	0000CA ¹⁶	
00008B ¹⁶		0000CB ¹⁶	
00008C ¹⁶	CS ₁ 領域先頭アドレスレジスタ	0000CC ¹⁶	
00008D ¹⁶		0000CD ¹⁶	
00008E ¹⁶	CS ₂ 領域先頭アドレスレジスタ	0000CE ¹⁶	
00008F ¹⁶		0000CF ¹⁶	
000090 ¹⁶	CS ₃ 領域先頭アドレスレジスタ	0000D0 ¹⁶	
000091 ¹⁶		0000D1 ¹⁶	
000092 ¹⁶	ポート機能制御レジスタ	0000D2 ¹⁶	
000093 ¹⁶		0000D3 ¹⁶	
000094 ¹⁶	外部割り込み入力制御レジスタ	0000D4 ¹⁶	
000095 ¹⁶	外部割り込み入力読み出しレジスタ	0000D5 ¹⁶	
000096 ¹⁶	D-A制御レジスタ	0000D6 ¹⁶	
000097 ¹⁶		0000D7 ¹⁶	
000098 ¹⁶	D-Aレジスタ0	0000D8 ¹⁶	
000099 ¹⁶	D-Aレジスタ1	0000D9 ¹⁶	
00009A ¹⁶	予約領域 (注)	0000DA ¹⁶	
00009B ¹⁶		0000DB ¹⁶	
00009C ¹⁶	予約領域 (注)	0000DC ¹⁶	
00009D ¹⁶	予約領域 (注)	0000DD ¹⁶	
00009E ¹⁶	フラッシュメモリ制御レジスタ	0000DE ¹⁶	
00009F ¹⁶		0000DF ¹⁶	
0000A0 ¹⁶	リアルタイム出力制御レジスタ	0000E0 ¹⁶	
0000A1 ¹⁶		0000E1 ¹⁶	
0000A2 ¹⁶	パルス出力データレジスタ 0	0000E2 ¹⁶	
0000A3 ¹⁶		0000E3 ¹⁶	
0000A4 ¹⁶	パルス出力データレジスタ 1	0000E4 ¹⁶	
0000A5 ¹⁶		0000E5 ¹⁶	
0000A6 ¹⁶	予約領域 (注)	0000E6 ¹⁶	
0000A7 ¹⁶		0000E7 ¹⁶	
0000A8 ¹⁶		0000E8 ¹⁶	
0000A9 ¹⁶		0000E9 ¹⁶	
0000AA ¹⁶		0000EA ¹⁶	
0000AB ¹⁶		0000EB ¹⁶	
0000AC ¹⁶	シリアルI/O制御レジスタ	0000EC ¹⁶	
0000AD ¹⁶		0000ED ¹⁶	
0000AE ¹⁶		0000EE ¹⁶	
0000AF ¹⁶		0000EF ¹⁶	
0000B0 ¹⁶		0000F0 ¹⁶	
0000B1 ¹⁶		0000F1 ¹⁶	
0000B2 ¹⁶		0000F2 ¹⁶	
0000B3 ¹⁶		0000F3 ¹⁶	
0000B4 ¹⁶		0000F4 ¹⁶	
0000B5 ¹⁶		0000F5 ¹⁶	
0000B6 ¹⁶		0000F6 ¹⁶	
0000B7 ¹⁶		0000F7 ¹⁶	
0000B8 ¹⁶		0000F8 ¹⁶	
0000B9 ¹⁶		0000F9 ¹⁶	
0000BA ¹⁶	予約領域 (注)	0000FA ¹⁶	
0000BB ¹⁶	予約領域 (注)	0000FB ¹⁶	
0000BC ¹⁶	クロック制御レジスタ	0000FC ¹⁶	
0000BD ¹⁶	予約領域 (注)	0000FD ¹⁶	
0000BE ¹⁶	予約領域 (注)	0000FE ¹⁶	
0000BF ¹⁶	予約領域 (注)	0000FF ¹⁶	

注: この番地は、書き込み禁止です。

図3. 周辺装置制御レジスタ(SFR)の配置(2)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

中央演算処理装置

中央演算処理装置(以下CPUと称します)には13個のレジスタがあります。図4にそれらを示します。次に、これらのレジスタについて説明します。

アキュムレータ A

アキュムレータAはマイクロコンピュータの中心となるレジスタです。16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはデータ長選択フラグmの内容で決めます。フラグmの内容が* 0'のとき16ビット、* 1'のとき8ビットです。フラグmはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

演算、転送、入出力などのデータ処理は、アキュムレータAを中心にして実行されます。

アキュムレータ B

アキュムレータBはアキュムレータAとほぼ同等の機能を持っています。ただし、一部命令では、アキュムレータAに対してと同等の操作がアキュムレータBに対してはできない場合があります。また、命令バイト数と実行サイクルがアキュムレータAを使用するより多くかかる場合があります。

アキュムレータ E

アキュムレータEは、アキュムレータAを下位16ビット、アキュムレータBを上位16ビットに、縦列接続した32ビット

長のアキュムレータです。32ビットのデータを操作する命令で使用します。

インデックスレジスタ X

インデックスレジスタXは16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはインデックスレジスタ長選択フラグxの内容で決めます。フラグxの内容が* 0'のとき16ビット、* 1'のとき8ビットです。

フラグxはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

レジスタXをインデックスレジスタとするインデックスアドレッシングモードでは、このレジスタの内容を加算した番地が本当の番地となります。

また、ブロック転送命令MVP、MVN、積和演算命令RMPAではデータテーブルのアドレスを示すポインタレジスタとして使用されます。

インデックスレジスタ Y

インデックスレジスタYは16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはインデックスレジスタ長選択フラグxの内容で決めます。フラグxの内容が* 0'のとき16ビット、* 1'のとき8ビットです。フラグxはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

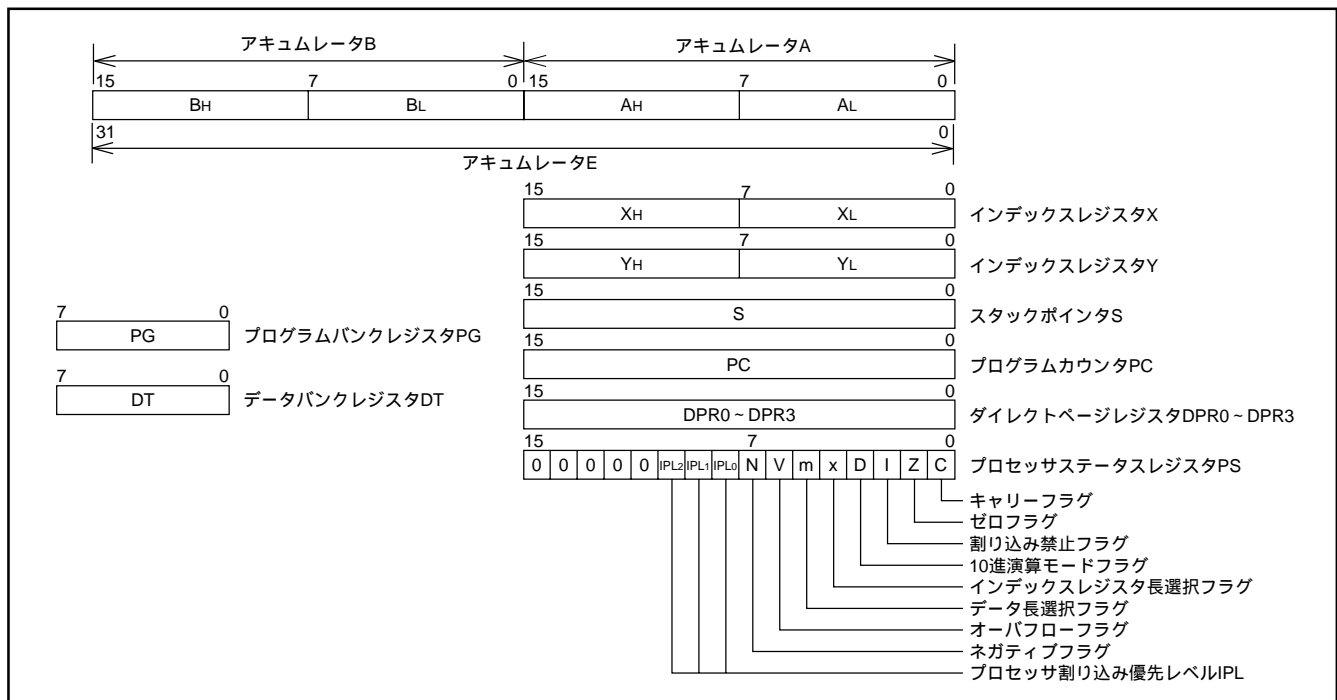


図4. レジスタ構成

レジスタYをインデックスレジスタとするインデックスアドレッシングモードでは、このレジスタの内容を加算した番地が本当の番地となります。

また、ブロック転送命令MVP、MVN、積和演算命令RMPAではデータテーブルのアドレスを示すポインタレジスタとして使用されます。

スタックポインタ S

スタックポインタSは16ビットのレジスタです。サブルーチン呼び出し、割り込み時、又はスタック、スタックポインタ・レラティブ、スタックポインタ・レラティブ・インダイレクト・インデクストYの各アドレッシングモードを使用したときに使用されます。

プログラムカウンタ PC

プログラムカウンタPCは16ビットのカウンタで、この内容で次に実行すべきプログラムメモリの番地の下位16ビットを示します。ただし、後で説明しますが、プログラムメモリとCPUとの間にバスインタフェース装置があり、これを介してプログラムメモリをアクセスします。

プログラムバンクレジスタ PG

プログラムバンクレジスタPGは8ビットのレジスタでこの内容で次に実行すべきプログラムメモリの番地の上位8ビットを示します。プログラムカウンタPCの内容がインクリメントされキャリーが生じると、プログラムバンクレジスタPGの内容は+1されます。また、分岐命令でオフセット値をプログラムカウンタPCの内容に加算又は減算したとき、キャリーあるいはボローが生じると、自動的にプログラムバンクレジスタPGの内容は+1又は-1されますので、バンクの境界を意識せずにプログラムを記述できます。

データバンクレジスタ DT

データバンクレジスタDTは8ビットのレジスタです。あるアドレッシングモードではメモリの番地を指定するのに、データバンクレジスタDTの内容をその一部に使用します。データバンクレジスタDTの内容は、24ビットの番地の上位8ビットの番地として使用されます。データバンクレジスタDTの内容を番地指定に使用するアドレッシングモードは、ダイレクト・インダイレクト、ダイレクト・インデクストX・インダイレクト、ダイレクト・インダイレクト・インデクストY、アブソリュート、アブソリュート・ビット、アブソリュート・インデクストX、アブソリュート・インデクストY、アブソリュート・ビット・レラティブ、スタックポインタ・レラティブ・インダイレクト・インデクストYの各アドレッシングモードです。

ダイレクトページレジスタ0~3 DPR0~DPR3

ダイレクトページレジスタは16ビットのレジスタで、アドレッシングモード名の中に“ダイレクト”という名を持つアドレッシングモードでは、このレジスタの内容を基底番地としてアクセスするデータの番地を生成します。

7700シリーズでは1本であったダイレクトページレジスタが、7900シリーズでは4本(DPR0~DPR3)に拡張されます。したがって、ダイレクトページレジスタを使用するダイレクトアドレッシングの方法も7700シリーズと異なります。ただし、7700シリーズでのソフトウェア資産を活用できるように、DPR0のみを使用する従来通りのダイレクトアドレッシングも選択により使用できるようになっています。詳細については、ダイレクトページの項を参照してください。

プロセッサステータスレジスタ PS

プロセッサステータスレジスタPSは11ビットのレジスタで、演算直後の状態を保持するフラグや、CPUの割り込みレベルなどから成り立っています。

C、Z、V、Nフラグはブランチ命令によりテストして分岐することができます。

以下、プロセッサステータスレジスタの各ビットについて説明します。

1. キャリーフラグ C

演算処理後の演算論理ユニットからのキャリー又はボローを保持します。シフト命令、ローテート命令でも変化しません。SEC、CLC命令、又はSEP、CLP命令で直接セット、リセットすることができます。

2. ゼロフラグ Z

演算処理、データ転送の結果が“0”のときセットされ、“0”でないときリセットされます。SEP、CLP命令で直接セット、リセットすることができます。

3. 割り込み禁止フラグ I

監視タイマ、NMI、及びソフトウェア割り込みを除くすべての割り込みを禁止するためのフラグで、その内容が“1”になっていると禁止状態です。割り込みを受け付けると自動的に“1”になります。SEI、CLI命令、又はSEP、CLP命令で直接セット、リセットすることができます。

4. 10進演算モードフラグ D

加減算を2進で行うか、10進で行うかを定めるフラグです。フラグの内容が“0”のときは通常の2進演算になります。フラグの内容が“1”のときは1語を2桁又は4桁の10進数として演算します。データ長選択フラグmの内容が“0”のときは4

桁、“1”のときは2桁で演算されます。10進補正は自動的に行われます(ただし、10進演算が行えるのはADC命令とSBC命令のみです)。SEP、CLP命令でセット、リセットすることができます。

5. インデックスレジスタ長選択フラグ x

インデックスレジスタXあるいはインデックスレジスタYを16ビット長で使用するか、8ビット長で使用するかを定めるフラグです。フラグxの内容が“0”のとき16ビット長、“1”のとき8ビット長になります。SEP、CLP命令でセット、リセットすることができます。

6. データ長選択フラグ m

データを16ビット長で扱うか、8ビット長で扱うかを定めるフラグです。フラグmの内容が“0”のとき16ビット長、“1”のとき8ビット長になります。SEM、CLM命令、又はSEP、CLP命令でセット、リセットします。

7. オーバフローフラグ V

オーバフローフラグは、1語を符号付きの2進数として加減算するときに意味を持ちます。データ長選択フラグmの内容が“0”のときは、加減算の結果が $-32768 \sim +32767$ の範囲を越えるとセットされます。それ以外ではリセットされます。データ長選択フラグmの内容が“1”のときは、加減算の結果が $-128 \sim +127$ の範囲を越えるとセットされます。

それ以外ではリセットされます。CLV命令又はSEP、CLP命令で直接セット、リセットすることができます。

また、オーバフローフラグは符号無/符号付除算命令において除算結果がそれを格納するレジスタ長を超える場合、積和演算命令で加算結果が $-2147483648 \sim +2147483647$ の範囲を越える場合にもセットされます。

8. ネガティブフラグ N

演算処理、データ転送の結果が負(データ長選択フラグmの内容が“0”のときはデータのビット15が“1”、データ長選択フラグmの内容が“1”のときはデータのビット7が“1”)のときセットされます。それ以外ではリセットされます。SEP、CLP命令でもセット、リセットできます。

9. プロセッサ割り込み優先レベル IPL

プロセッサ割り込み優先レベルIPLは3ビットで構成され、この内容でレベル0からレベル7までの8段階のプロセッサ割り込み優先レベルを決めます。割り込みを要求した装置の割り込み優先レベル(各割り込み制御レジスタで任意に設定可能)の方がプロセッサ割り込み優先レベルより高い場合に、割り込みが許可されます。割り込みが許可されると、今までのプロセッサ割り込み優先レベルはスタックに退避され、プ

ロセッサ割り込み優先レベルは、割り込みを許可された装置の割り込み優先レベルに置き換わります。詳細については、割り込みの項を参照してください。

注. プロセッサステータスレジスタPSのビット11~15は“0”に固定してください。

バンク

CPUコアは、チップ上に集積されたハードウェアを効率的に活用するため、24ビットのアドレスを上位8ビットと下位16ビットに分けて発生させる方式を採用しています。すなわち、下位16ビットで指定される64Kバイトを1つの単位(以下、バンクと称します。)として、アドレス空間を上位8ビットで示される0₁₆ ~ FF₁₆の256個のバンクに分割します。

アドレス空間上のプログラム領域は、バンクをプログラムバンクレジスタ(PG)で、バンク内のアドレスをプログラムカウンタ(PC)で指定します。

各バンクの境界において、プログラムカウンタがオーバーフローを発生した場合は、プログラムバンクレジスタの内容に1が加算されます。また、プログラムカウンタがボローを発生した場合は、プログラムバンクレジスタの内容が1減算されます。したがって、通常、バンクの境界は無視してプログラミングすることができます。また、アドレス空間上のデータ領域は、バンクをデータバンクレジスタ(DT)で、バンク内のアドレスを種々のアドレッシングモードにより算出される内容(一部のアドレッシングモードではバンクを直接指定する場合があります。)で指定します。

ダイレクトページ

バンク0₁₆(0₁₆番地 ~ FFFF₁₆番地)には内部メモリ及び内蔵周辺装置の制御レジスタ等の資源が配置されています。この領域へのアクセスを効率的に行なうためにダイレクトページが定義され、そこへのアクセスのためにダイレクトページアドレッシングモードが用意されています。ダイレクトページアドレッシングモードには、7700シリーズと互換性を保つDPR0のみを使用する通常のダイレクトアドレッシングモードと、7700シリーズから拡張された4本のダイレクトページレジスタを選択的に使用する拡張ダイレクトアドレッシングモードの2種類があります。上記2種類のアドレッシングモードのいずれを使用するかは、プロセッサモードレジスタ1のビット1の内容で選択します。ただし、このビット1の内容はリセット時0₁にクリア(通常のダイレクトアドレッシングモードを選択)され、プログラムで一旦1₁にセットすると、その後リセット以外で0₁にクリアすることはできません。すなわち、一旦リセット直後に2種類のダイレクトアドレッシングモードのいずれかを選択すると、プログラム設定の途中で2種類のダイレクトアドレッシングモードを任意に切り替えて使用することはできません。

通常のダイレクトアドレッシングモード

ダイレクトページ領域は、バンクアドレスが0₁₆、下位アドレスがダイレクトページレジスタ0(DPR0)の内容を基底番地(最下位番地)とする、256バイトの空間です。ダイレクトアドレッシングモードでは、命令語に続く1バイトをDPR0の内容に対するオフセット値と解釈して、ダイレクトページ領域内の各番地にアクセスします。

拡張ダイレクトアドレッシングモード

ダイレクトページ領域は、バンクアドレスが0₁₆、下位アドレスが4本のダイレクトページレジスタの内容をそれぞれ基底番地とする、4つの64バイトの空間です。拡張ダイレクトアドレッシングでは、命令語に続く1バイトの上位2ビットをDPR0 ~ DPR3の選択フィールド、下位6ビットを選択されたダイレクトページレジスタの内容に対するオフセット値と解釈して、各ダイレクトページ領域内の各番地にアクセスします。

ダイレクトページ領域を使用する種々のアドレッシングモードの詳細については、7900シリーズソフトウェアマニュアルを参照してください。

命令セット

CPUコアは、既存の7700/7750/7751シリーズCPUコアの拡張命令セットを持ち、7700シリーズの命令セットに対し、ソースコードレベル(ニーモニックレベル)で上位互換性を維持しています。

アドレッシングモード及び命令セットの詳細については、7900シリーズソフトウェアマニュアルを参照してください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

バスインタフェース装置

中央演算処理装置 (CPU) と内部バスの間にはバスインタフェース装置 (BIU) が設けられており、CPUと内部メモリ、周辺装置、外部領域間のデータのやり取りは常にこのBIUを介して行われます。

図5にバスインタフェース装置とバス構造を示します。CPUとBIUは専用のバスでつながれます。この専用バスによってCPUとBIU間の制御が行なわれます。

一方、BIUと内蔵周辺装置の間のデータ転送は共通のバスによって行われます。これらは、32ビットの内部コードバス、16ビットの内部データバス、24ビットの内部アドレスバス、及び内部制御信号です。

バスのデータ転送能力を高めるために、コード/データ分離方式を採用しており、内部メモリはコード/データの双方のバスに接続され、それ以外の内蔵周辺装置のレジスタ類は、データバスのみ接続されます。

外部バスのビット幅は、アドレスバスが24ビット、データバスが16ビットです。データバス端子はコード/データ共用方式になります。外部に対するコードもしくはデータアクセスが発生した場合、バス変換回路を介して外部アクセスが行われます。

外部デバイスとの接続については、後述のプロセッサモード及びチップセレクトウエイトコントローラの項も参照してください。

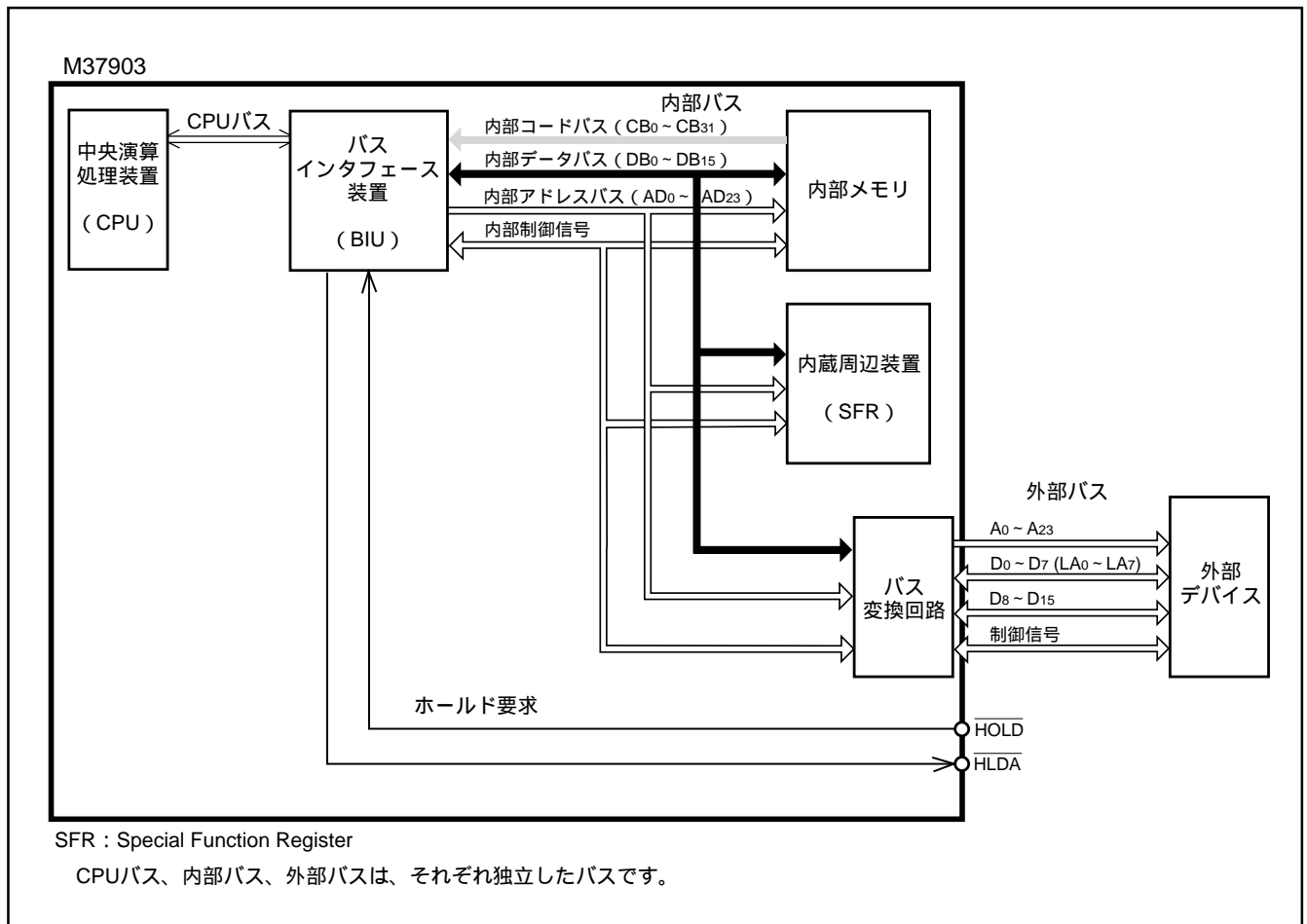


図5 . BIUとバス構造

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

バスインタフェース装置の構成

BIUは図6に示す4種類のレジスタで構成されています。各レジスタの機能を表1に示します。

表1 . BIUレジスタの機能

名 称	機 能
プログラムアドレスレジスタ	次に命令キューバッファに取り込む命令の格納番地を示すレジスタ
命令キューバッファ	メモリから取り込んだ命令を一時的に蓄えておくための10バイトバッファ
データアドレスレジスタ	次にデータを読み出す、又は書き込む番地を示すレジスタ
データバッファ	BIUが内部メモリ・周辺装置・外部領域から読み出したデータ、又はCPUが内部メモリ・周辺装置・外部領域に書き込むデータを一時的に蓄えておくための32ビットバッファ

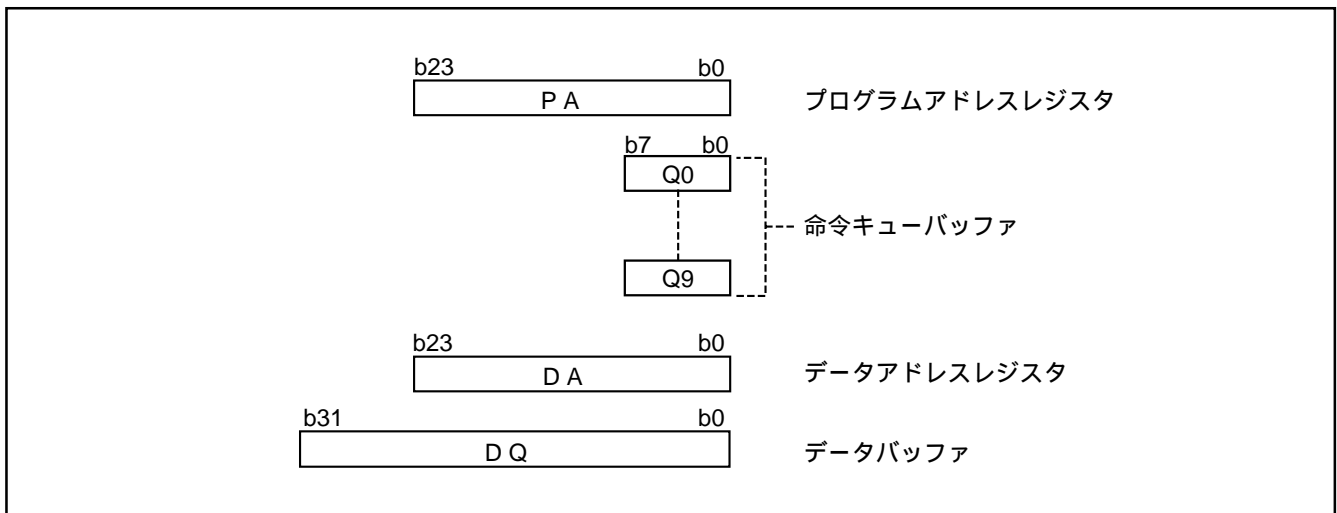


図6 . BIUレジスタの構成

BIUの機能概要

(1) 命令の先取り

BIUは、10バイトの命令キューバッファをもっており、バスと命令キューバッファに空があれば、プログラムメモリ(プログラムが格納されているメモリ)から命令コードを読み出し、命令キューバッファに先取りします。命令キューバッファに先取りされた命令コードは、CPUからの要求に応じてBIUからCPUへ専用バスを介して転送されません。

また、分岐命令(JMP, BRA等)やサブルーチンの呼び出しや割り込み動作による分岐が発生した場合には、命令キューバッファの内容は初期化され、BIUは分岐先の番地から新たに命令を読み出します。

なお、BIUの命令先取りの動作は、命令の格納番地によっても異なります。先取りする命令の格納番地は表2のように区別します。

(2) データリード

内部メモリ、周辺装置、外部領域のデータを読み込む処理に必要な命令を実行する場合、CPUは内部メモリ、周辺装置、及び外部領域の割り付けられた番地をBIUのデータアドレスレジスタに渡し、データリードを指示します。BIUは指定された番地からデータをデータバッファへ読み込み、これをCPUへ転送します。

(3) データライト

内部メモリ、周辺装置、外部領域へデータを書き込む処理に必要な命令を実行する場合、CPUは内部メモリ、周辺装置、及び外部領域の割り付けられた番地をBIUのデータアドレスレジスタに、また書き込むデータをデータバッファに渡し、データライトを指示します。これに従ってBIUは指定された番地へ、指定されたデータを書き込む動作を行いません。

(4) バスサイクル

BIUは上記(1)~(3)の動作を実現するために、24ビット幅のアドレスバス、32ビット幅のコードバス、16ビット幅のデータバス及び内部制御信号を適宜制御して、内部メモリ、周辺装置、及び外部領域との間でデータのやりとりを行います。これをバスサイクルと称します。バスサイクルは、命令の先取りとデータアクセス時、以下の条件の影響を受けます。

[命令の先取り]

- ・アドレス領域(内部領域か外部領域のいずれか)
- ・外部領域の場合
 - 外部バス幅が8ビット又は16ビットのいずれか
 - (a)バス幅が16ビットのとき、アクセスする開始アドレスが4バイト境界若しくは8バイト境界のいずれにあるか
 - (b)バス幅が8ビットのとき、アクセスする開始アドレスが偶数番地若しくは4、8バイト境界にあるか
 - そうでないか
 - 分岐による命令の先取りかそうでないか
 - ウェイト数
 - バーストROM指定

表2. 先取りする命令の格納番地

	命令格納番地の下位3ビット		
	AD2(A2)	AD1(A1)	AD0(A0)
偶数番地	X	X	0
4バイト境界	X	0	0
8バイト境界	0	0	0

[データアクセス]

- ・アドレス領域(内部領域か外部領域のいずれか)
- ・転送するデータ長(バイト、ワード、ダブルワード)
- ・外部領域の場合
 - 外部バス幅が8ビット又は16ビットのいずれか
 - ウェイト数

BIUは、これらの条件に従って、バスサイクルの起動及び制御を行います。

図7~図11に命令の先取り、データアクセス実行サイクルの動作波形例を示します。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

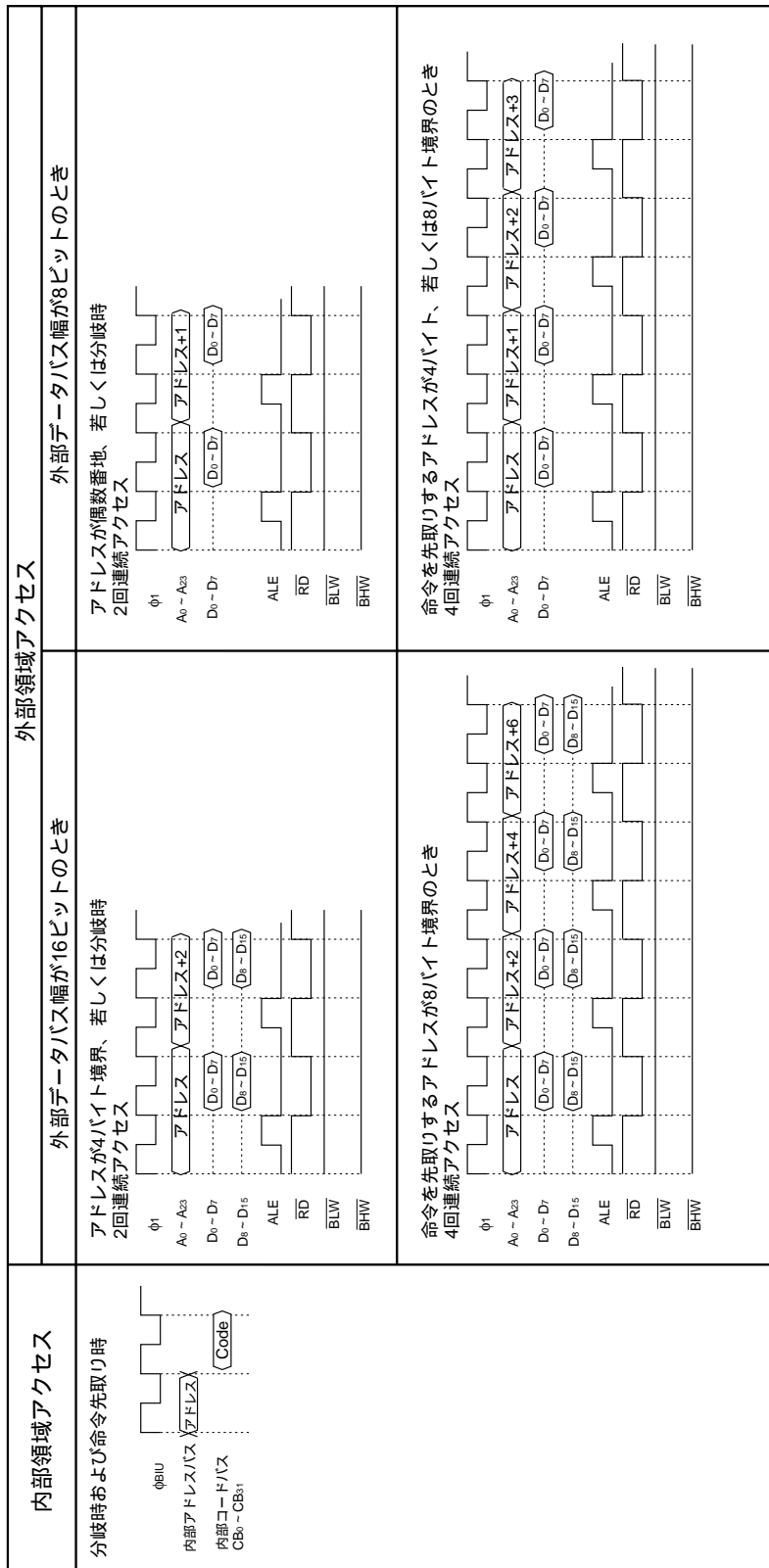


図7. 命令の先取り実行バスサイクルの動作波形例

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

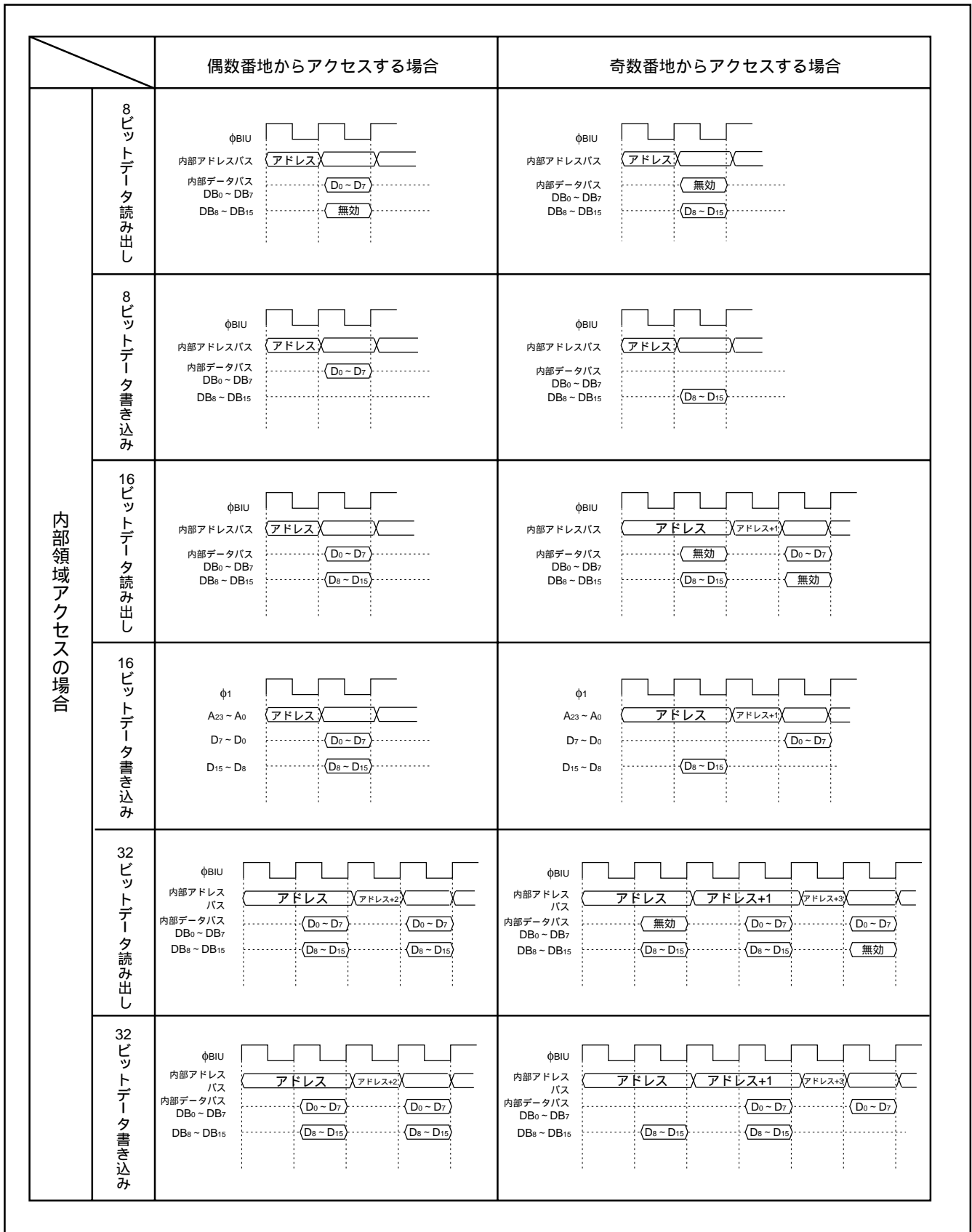


図8. 内部領域に対するデータアクセス実行バスサイクルの動作波形例

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

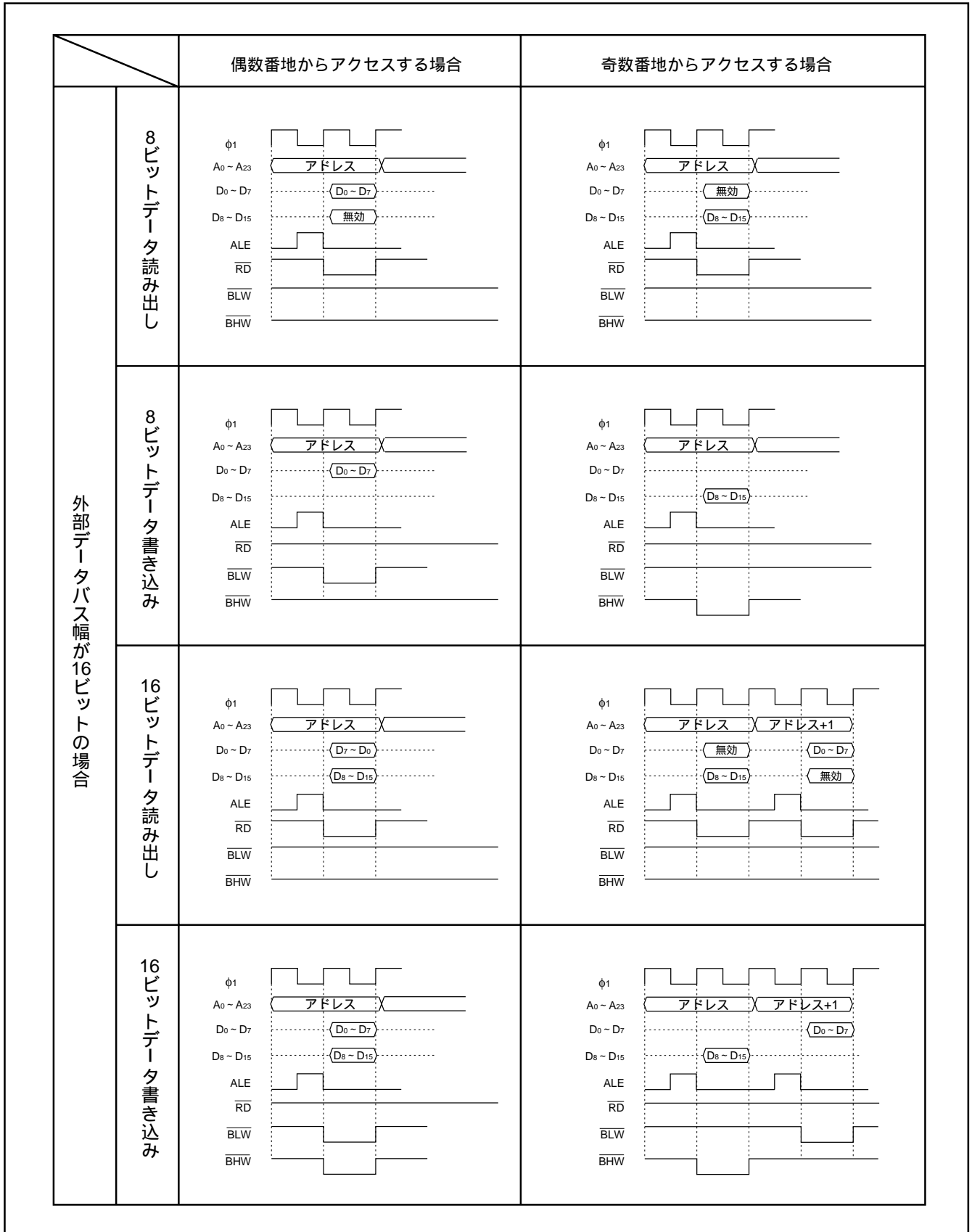


図9 . 外部領域に対するデータアクセス実行バスサイクルの動作波形例(1)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

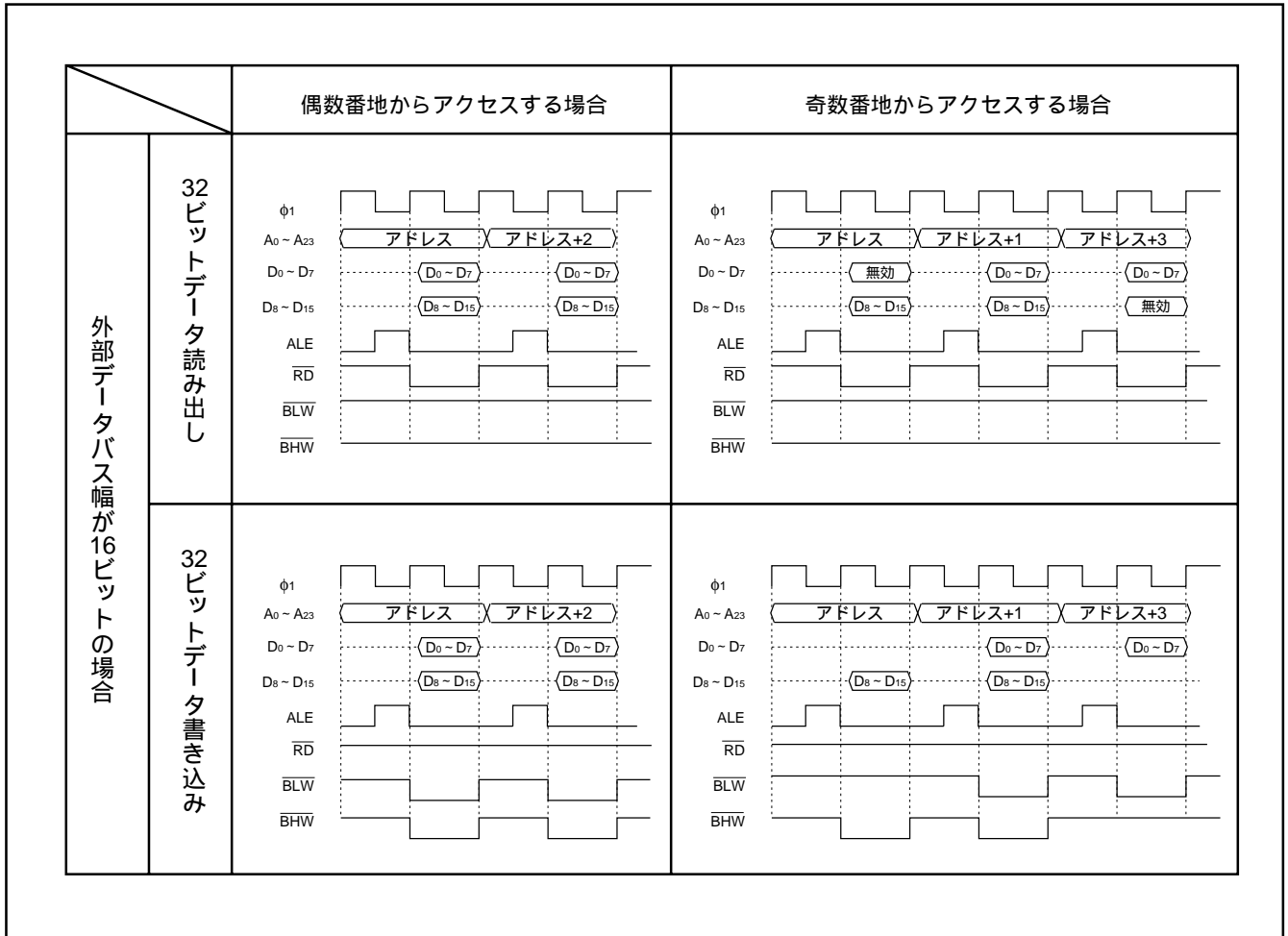


図10. 外部領域に対するデータアクセス実行バスサイクルの動作波形例(2)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

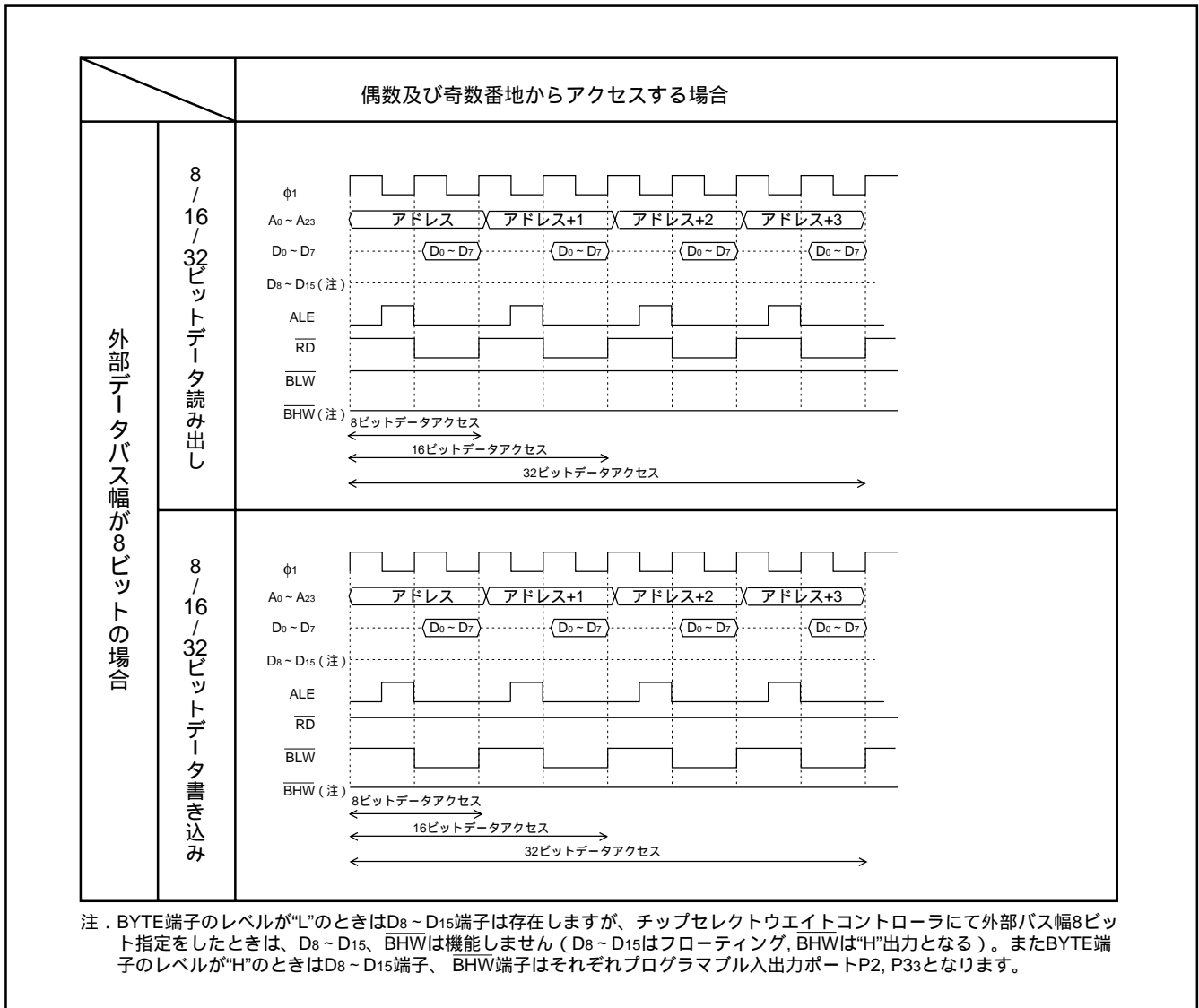


図11．外部領域に対するデータアクセス実行バスサイクルの動作波形例(3)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

バスサイクル数

図12に内部領域アクセス時のバスサイクルの波形図を示します。内部ROMのバスサイクル数は、バスサイクル3φか、2φかをプロセッサモードレジスタ(5F16番地)のビット7(内部ROMバスサイクル選択ビット)で選択します。内部RAM、SFR(周辺装置制御レジスタ)は常にバスサイクル2φでアクセ

スされます。

図13に外部領域アクセス時のバスサイクルの波形図を示します。図13の注に示すバスサイクル選択ビット0,1により、各チップセレクトCSi領域ごとに、8種類のバスサイクル数を選択することができます。

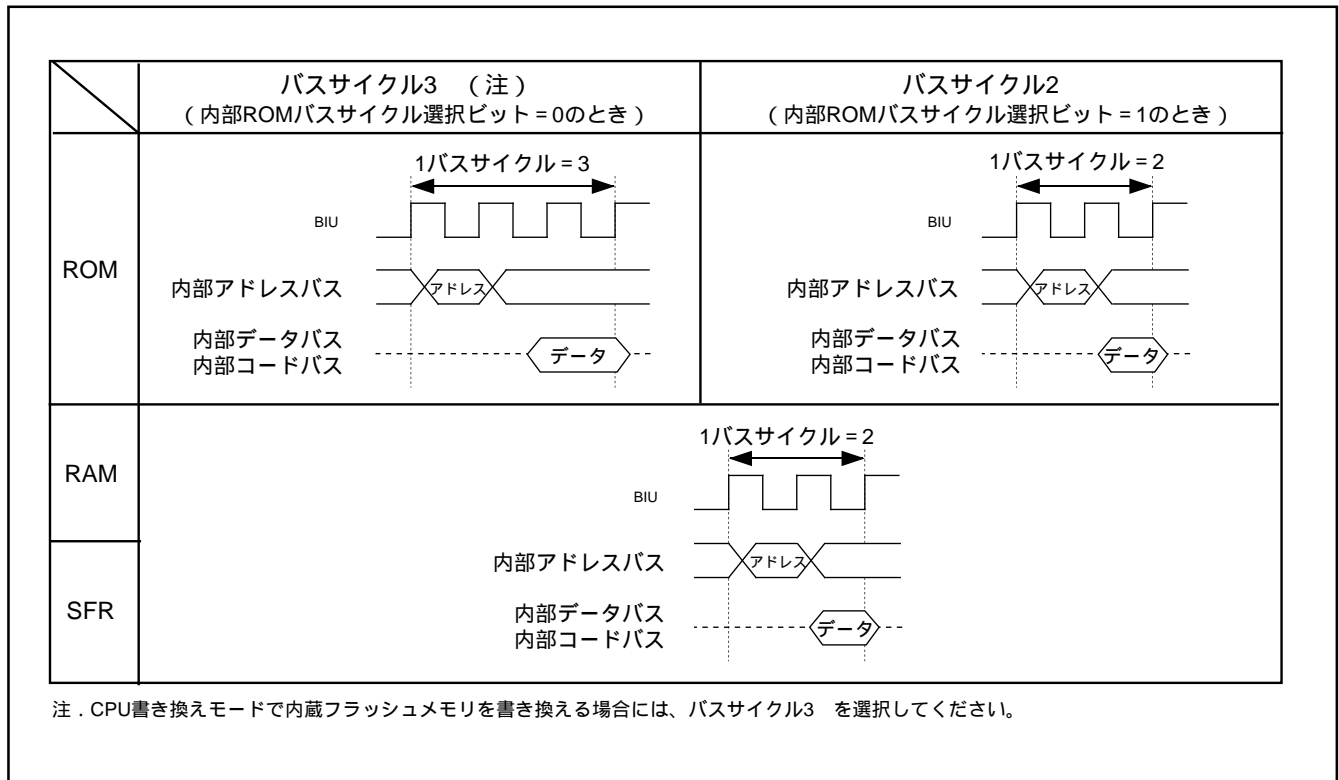


図12 . 内部領域アクセス時のバスサイクル

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

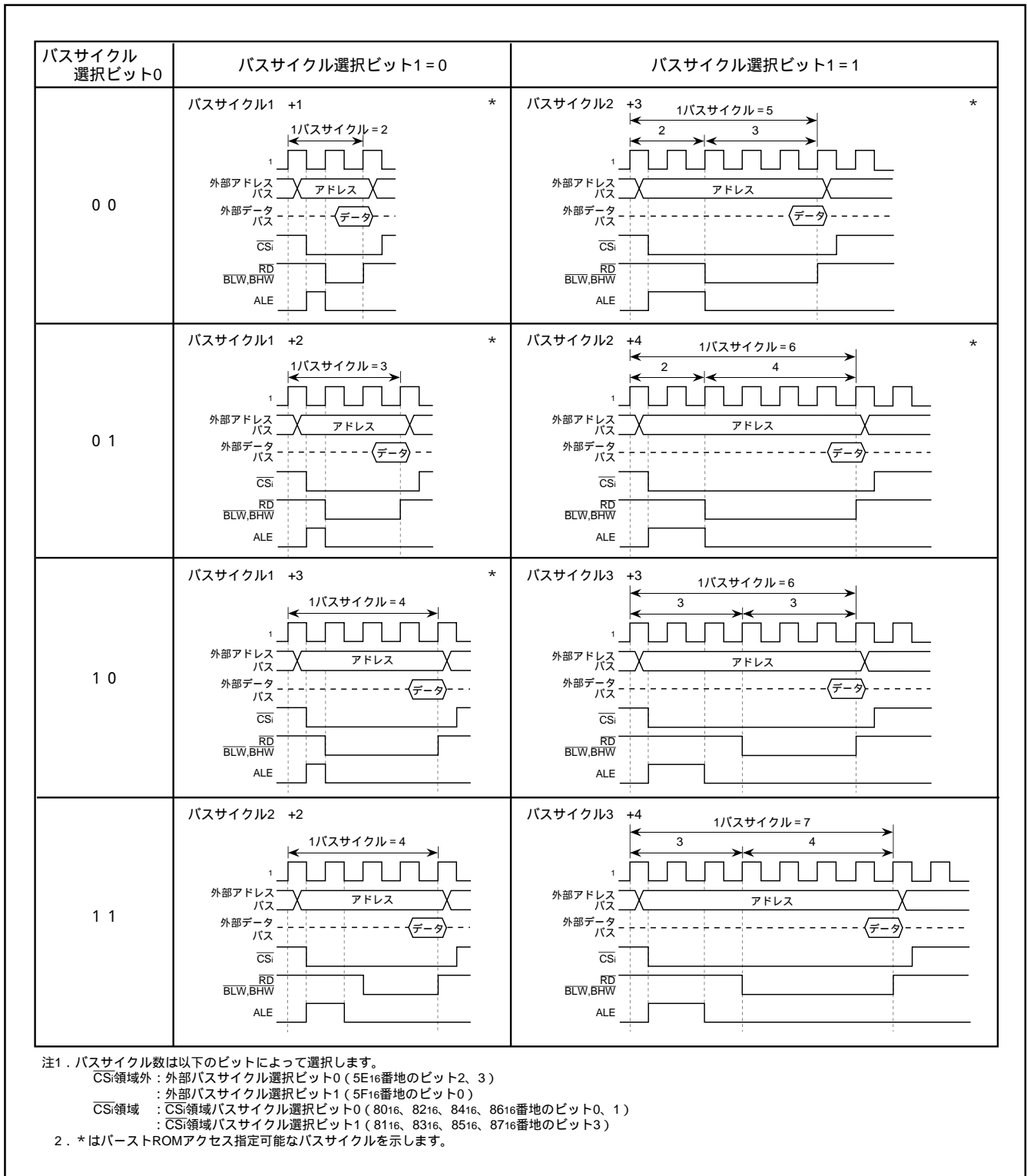


図13. 外部領域アクセス時のバスサイクル

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

リカバリサイクル

各チップセレクトCSi領域アクセスサイクルの後に、φ1の1サイクル分、又は2サイクル分のリカバリサイクルを挿入することができます。リカバリサイクルの挿入有無は各CSi制御レジスタ(8016, 8216, 8416, 8616番地)のビットα(リカバリ

サイクル挿入選択ビット)で、リカバリサイクル数はプロセッサモードレジスタ(5F16番地)のビットα(リカバリサイクル挿入数選択ビット)でそれぞれ指定します。図14にリカバリサイクル挿入時の動作波形例を示します。

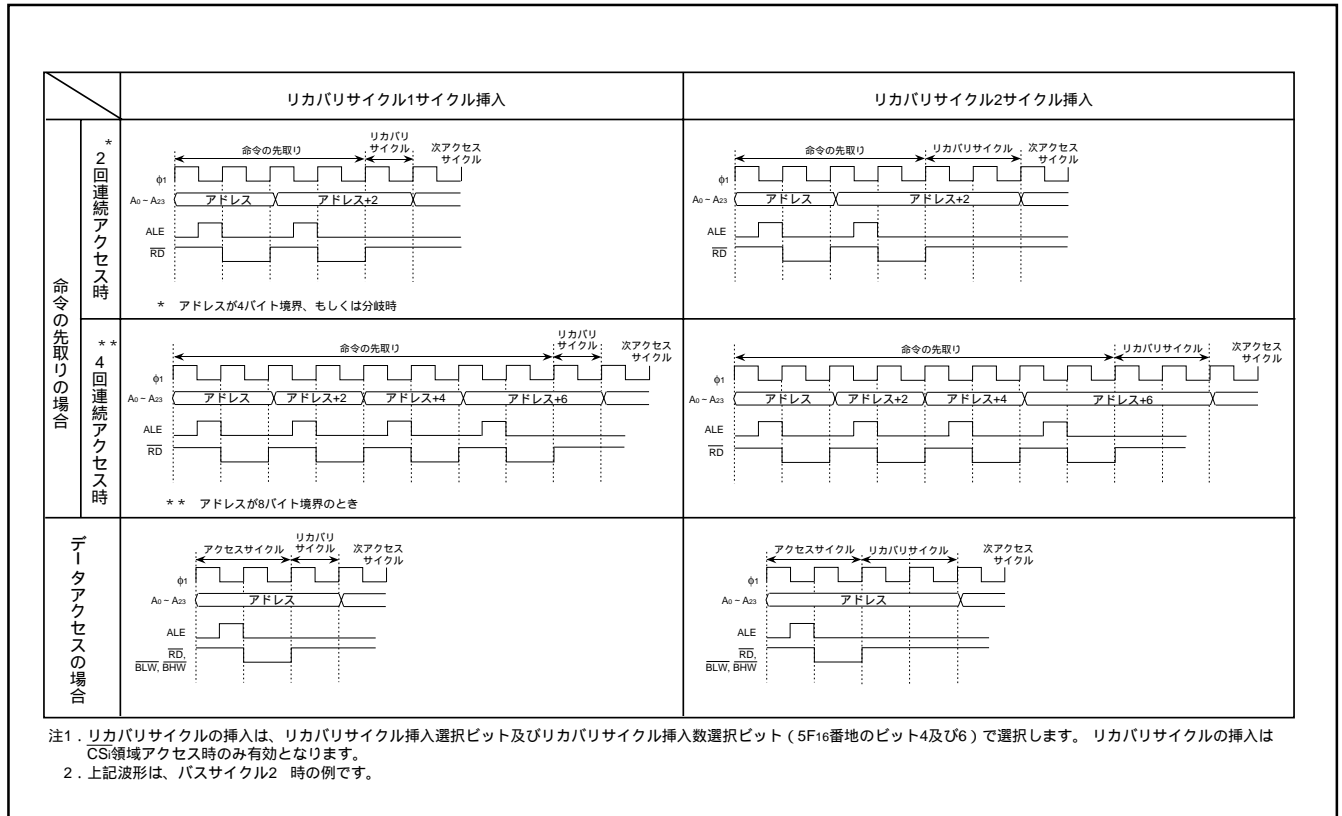


図14. リカバリサイクル挿入時の動作波形例

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

バーストROMアクセス

バーストアクセスをサポートしているROMをチップセレクトCS_i領域に配置した場合、バーストROMアクセスを指定することができます。バーストROMアクセスの指定は各CS_i制御レジスタL(8016, 8216, 8416, 8616番地)のビット5(バーストROMアクセス指定ビット)で行います。バーストROMアクセスは外部データバス幅16ビット、かつ命令の先取り時のみ有効です。それ以外の場合は、バーストROMアクセス指定ビットの内容にかかわらず通常アクセスとなります。バーストROMアクセスは、図13に示すバスサイクルの中で*の場合のみ指定することができます。

合のみ指定することができます。

図15にバーストROMアクセス時の動作波形を示します。バーストROMから命令の先取りを行う場合は、8バイト境界(下位アドレス3ビットA₂, A₁, A₀="000"時)から(a)の波形で8バイト取り込みます。分岐時は、分岐先番地の8バイト境界とは無関係に4バイト境界(下位アドレス2ビットA₁, A₀="00"時)からのアクセスとなり、(b)の波形でアクセスを行います。一旦8バイト境界になると、分岐がない限り、(a)の波形で命令の先取りを行います。

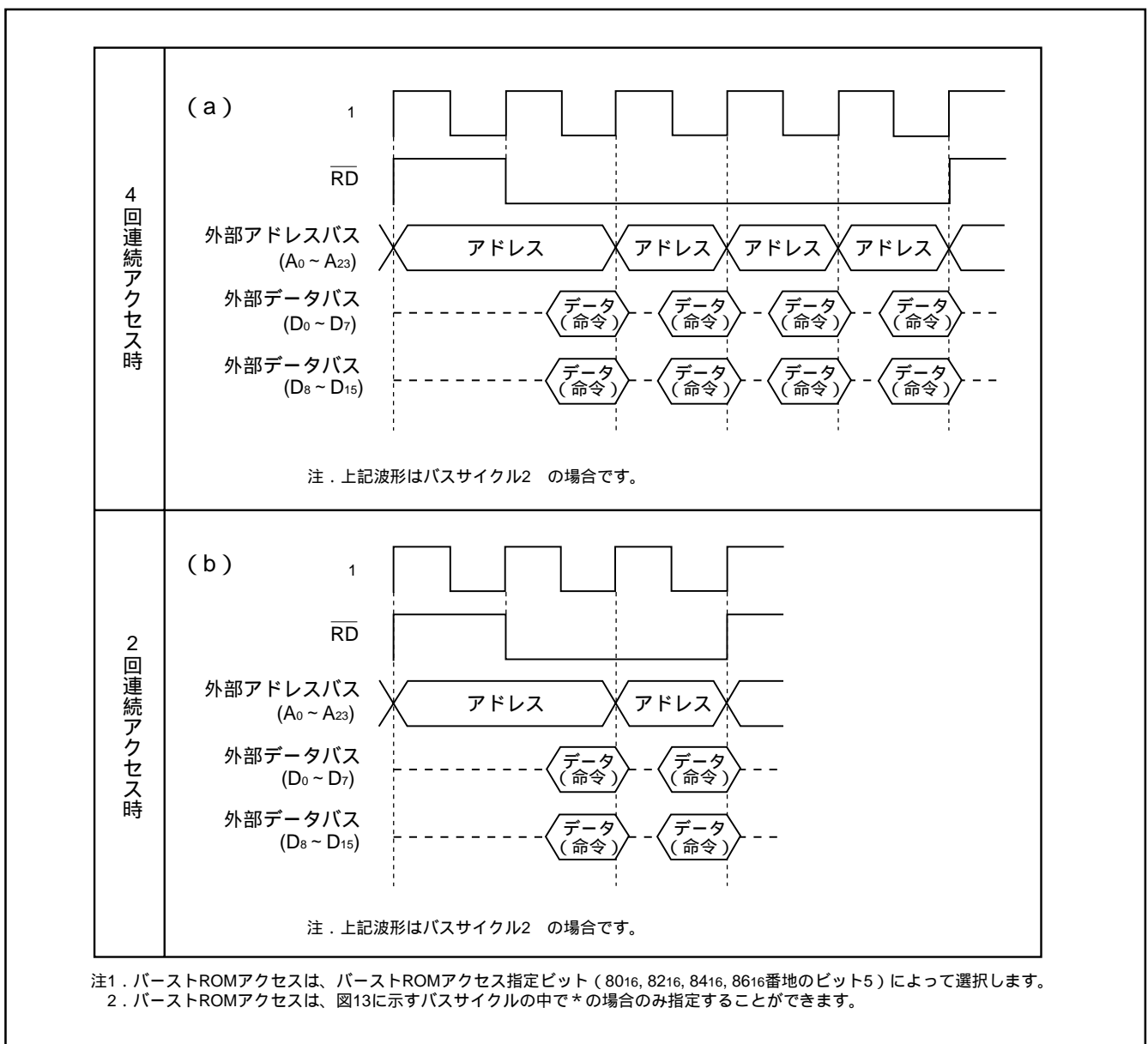


図15. バーストROMアクセス時の動作波形

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

アドレス出力選択

図16に示すように、内部領域アクセス時のアドレスを出力させず、アドレス出力端子A0～A23の不要な状態変化をなくすることができます。

特殊機能選択レジスタ1(6316番地)のビット4(アドレス出力選択ビット)を“1”にすると、外部領域アクセス時のみアドレスが出力され、内部領域アクセス時には前の外部領域アク

セス時のアドレスを保持します。この場合のアドレス出力開始タイミングは、通常アクセス時(アドレス出力選択ビットが“0”のとき)より、1の半サイクル分遅れます。特殊機能選択レジスタ1のビット構成は、スタンバイモードの項を参照してください。

なお、通常アクセス時には、内部領域アクセス時、外部領域アクセス時と共にアドレスが出力されます。

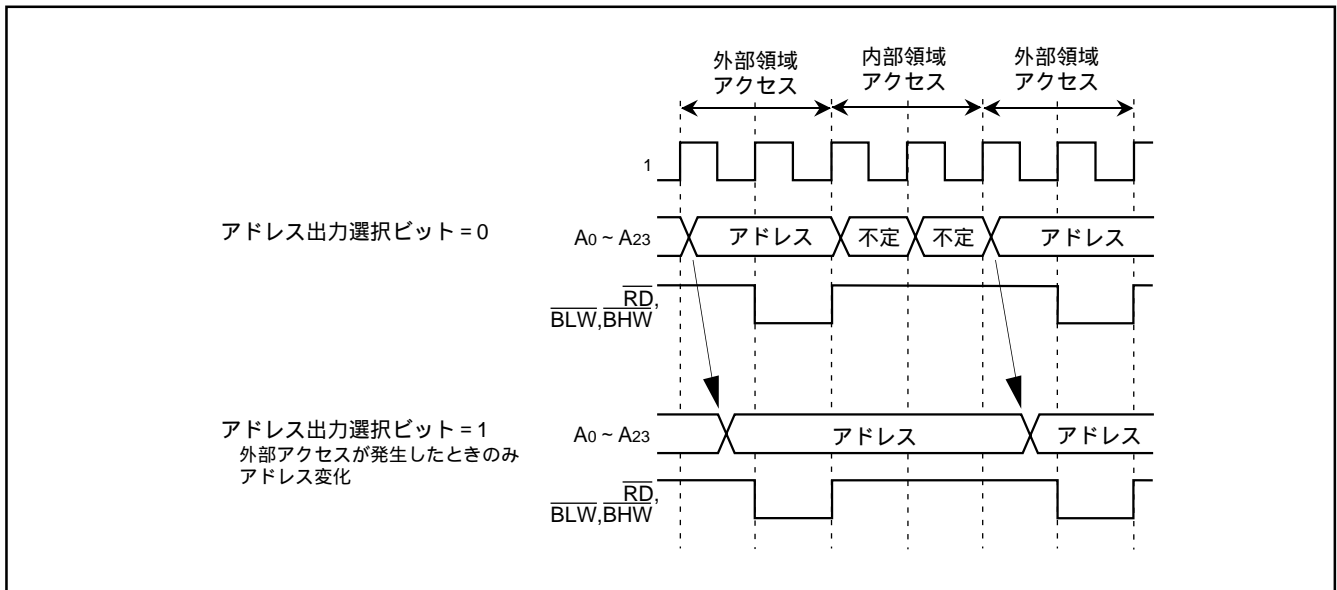


図16．アドレス出力機能選択による動作波形例

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

領域マルチプレクス

チップセレクトCS₂領域の外部データバス幅を8ビットとし、CS₂制御レジスタH(8516番地)のビット5(マルチプレクスバス選択ビット)を“1”に設定した場合、CS₂領域アクセス時のみ、外部バス形式をマルチプレクスバス形式に変更することができます。この場合、データ端子D₀~D₇からアドレスの

下位8ビット(LA₀~LA₇)の出力、データの下位8ビット(D₀~D₇)が時分割で入出力されます。

図17に各バスサイクルごとの領域マルチプレクスの動作波形例を示します。この図に記載されていないバスサイクル数に対応する領域マルチプレクスは選択禁止です。

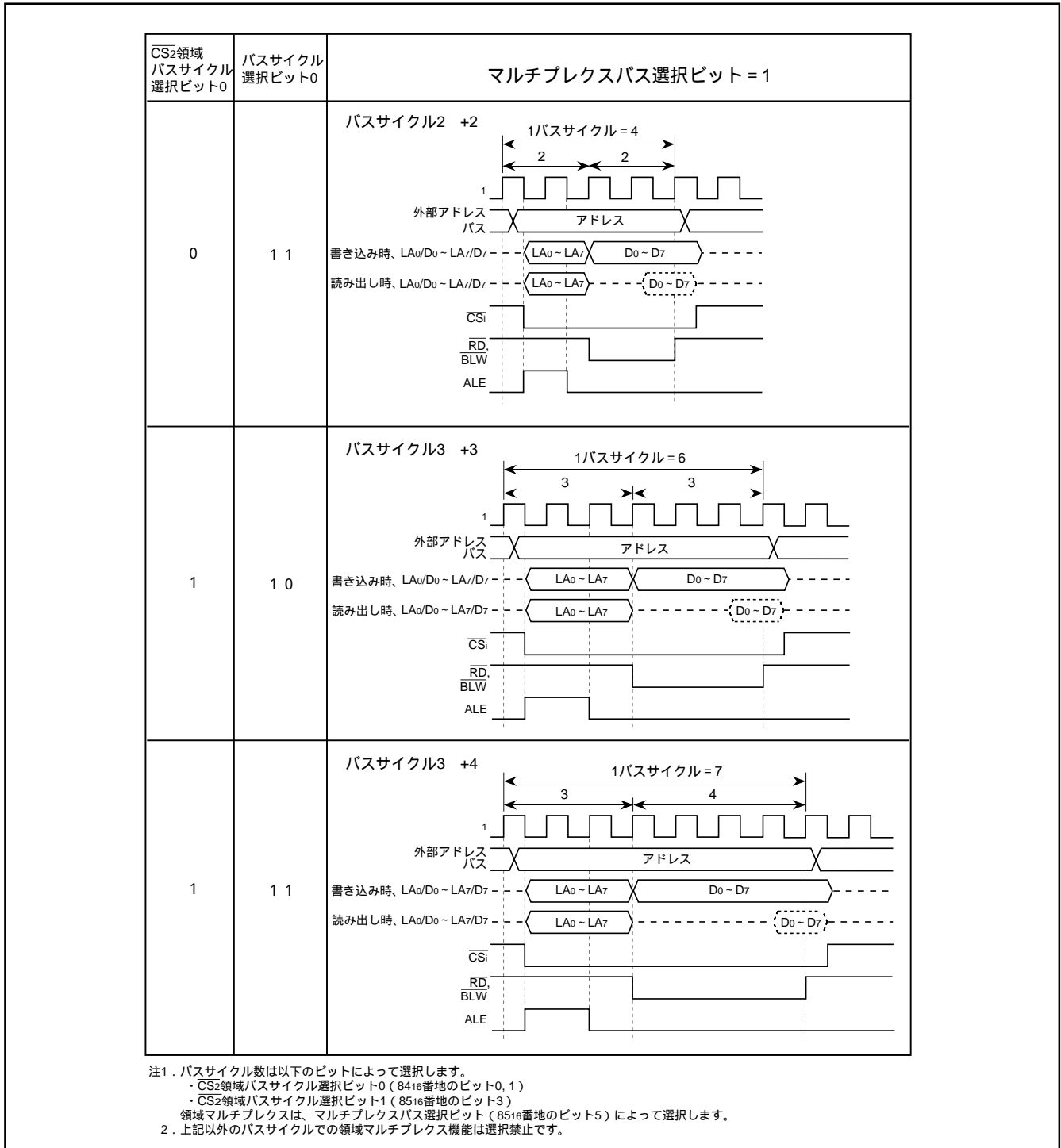


図17. バスサイクルごとの領域マルチプレクスの動作波形例

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

プロセッサモード

図19に示すプロセッサモードレジスタ(5E16番地)のビット1, α(プロセッサモードビット)の内容及びMD0端子レベルへの電圧印加でシングルチップモード、メモリ拡張モード、マイクロプロセッサモードのいずれかのプロセッサモードを選択できます。プロセッサモードの選択方法を表3に示します。

プロセッサモードによって、CPUがアクセスできるメモリ配置が変わります。図18に各プロセッサモード時のメモリ配置図を示します。

また、プロセッサモードによって、ポートP0~P4, P10, P11の機能が異なります。詳細は表5、表6に示すプロセッサモードとメモリ領域、ポート機能の関係表を参照してください。

プロセッサモードに関連するレジスタのビット構成図を図19(プロセッサモードレジスタ0)、図20(プロセッサモードレジスタ1)及び図21(ポート機能制御レジスタ)に示します。

シングルチップモードでは、ポートP0~P4, P10, P11はす

べて入出力ポート(内蔵周辺装置使用時はその入出力端子)として機能します。このモードでは、内部領域(SFR、内部RAM、内部ROM)のみアクセスできます。

メモリ拡張モード、マイクロプロセッサモードでは、外部メモリ領域に配置した外部デバイスとバス接続できます。このため、ポートP0~P4, P10, P11は、アドレスバス、データバス、バス制御信号の入出力端子として機能します(一部ポート機能も選択可能)。表4に各バス制御信号の機能を示します。

メモリ拡張モードでは、すべての内部領域(SFR、内部RAM、内部ROM)及び外部領域をアクセスできます。一方、マイクロプロセッサモードでは、内部ROMを除く内部領域(SFR、内部RAM)及び外部領域をアクセスできます。

なお、外部デバイスを内部領域と重複する領域に配置した場合には、内部領域のみ書き込み、読み出しが行われ、外部領域への書き込み、読み出しは行われません。

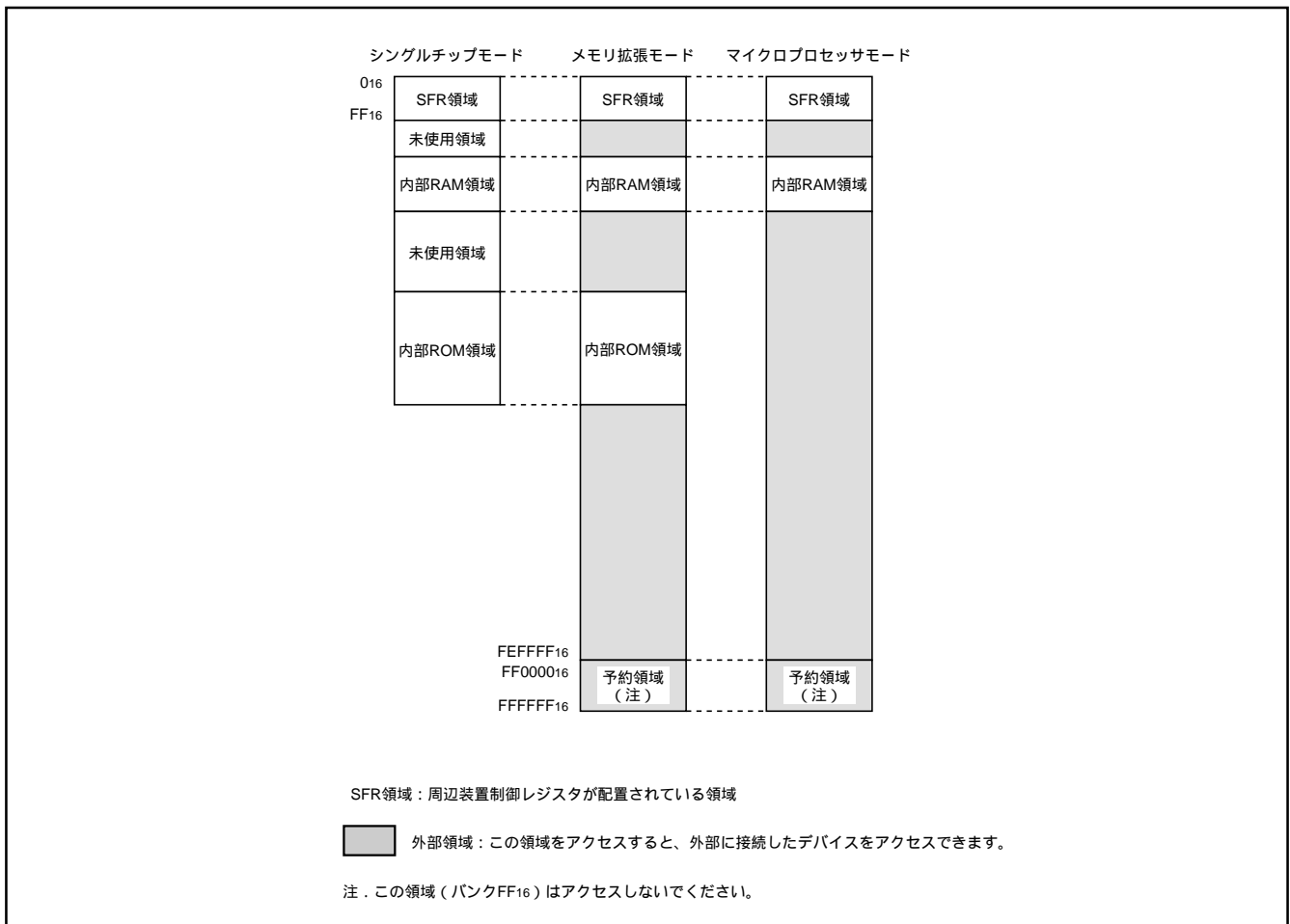


図18．各プロセッサモード時のメモリ配置図

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

表3. 各プロセッサモードの選択方法

MD0	プロセッサモードビット (注1)	プロセッサモード	説明
Vss	00	シングルチップモード	リセット解除後、シングルチップモードとなります。プロセッサモードビットをプログラムで変更することにより、メモリ拡張モード、マイクロプロセッサモードを選択できます。
	01	メモリ拡張モード	
	10	マイクロプロセッサモード	
Vcc	10 (注2)	マイクロプロセッサモード	リセット解除後、マイクロプロセッサモードとなります。

注1. プロセッサモードビット：プロセッサモードレジスタ(5E16番地)のビット0, 1

2. MD0端子にVccレベルを印加しているときは「10」に固定されます。

表4. 各バス制御信号の機能

信号名	入出力	機能	備考
RD	出力	リード信号です。外部領域の読み出しを行う時、「L」レベルを出力します。	
BLW BHW	出力	ライト信号です。外部領域への書き込みを行う時、「L」レベルを出力します。	外部バス幅によるBLW, BHWの動作の違いは表5を参照してください。
ALE	出力	アドレス・ラッチ・イネーブル信号です。RD, BLW, BHW信号が「L」となる前の期間に「H」パルスを出力します。外部でアドレスをラッチする場合に使用します。	ALE信号でアドレスをラッチさせる場合には、ALEが「H」の期間にラッチを開きアドレスを通過させ、「L」の期間は保持するようにしてください。
1	出力	内部基準クロックの出力です。システムクロック f_{sys} を出力します。	
RDY	入力	レディ信号です。「L」レベルを印加すると、外部領域アクセスサイクルの最後の「1」の「L」期間RD, BLW, BHWの「L」期間が延長されます。	
HOLD	入力	ホールド・リクエスト信号です。「L」レベルの印加でホールドを要求し、「H」レベルの印加でホールド解除を要求します。	ホールド要求の受け付け、及び解除は、BIU動作中のバスサイクル完了時に行われます。ホールド期間中は、A0 ~ A23, D0 ~ D15, RD, BLW, BHW, ALE, CS0 ~ CS3端子がフローティングとなります。ホールド解除時、HLDAが「H」レベルとなるのと同時にフローティングが解除され、次の「1」の1サイクル後からバスアクセスが再開されます。ホールド期間中も、CPUは内部領域をアクセスして動作します。CPUが外部領域をアクセスした場合にはCPUは停止します。
HLDA	出力	ホールド・アクノリッジ信号です。ホールド期間中に「L」レベルを出力します。	
CS0 ~ CS3	出力	チップセレクト信号です。チップセレクト指定領域をアクセス中に「L」レベルを出力します。	詳細は、チップセレクトウエイトコントローラの項を参照してください。
BYTE	入力	外部データバス幅を選択する入力です。この端子のレベルがVssのとき16ビット幅、Vccレベルのとき8ビット幅になります。	BYTE=Vssレベルのときは、レジスタ設定により、チップセレクト領域(CS1 ~ CS3)ごとに外部データバス幅を8ビットにすることができます。詳細は、チップセレクトウエイトコントローラの項を参照してください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

表5. プロセッサモードとメモリ領域，ポート機能の関係(1)

		シングルチップモード	メモリ拡張モード	マイクロプロセッサモード
モード 設定 (注1)	MD0端子	Vssレベル印加	Vssレベル印加	Vccレベル印加
	プロセッサモード ビット(注2)	00	01	10
メモ リ 領 域	SFR領域	SFR領域	SFR領域	SFR領域
	内部RAM領域	内部RAM領域	内部RAM領域	内部RAM領域
	内部ROM領域	内部ROM領域	内部ROM領域	外部メモリ領域
	その他の領域	(アクセス不可)	外部メモリ領域	外部メモリ領域
ポートP100～P107		入出力ポートP100～P107	アドレス下位A0～A7出力	アドレス下位A0～A7出力
ポートP110～P117		入出力ポートP110～P117	アドレス中位A8～A15出力 入出力ポートP110～P117 (注3)	アドレス中位A8～A15出力 入出力ポートP110～P117 (注3)
ポートP00～P07		入出力ポートP00～P07	アドレス上位A16～A23出力 入出力ポートP00～P07 (注3)	アドレス上位A16～A23出力 入出力ポートP00～P07 (注3)
ポート P10～P17	外部バス幅 16ビット	入出力ポートP10～P17	データ下位D0～D7(偶数番地データ)入出力	データ下位D0～D7(偶数番地データ)入出力
	外部バス幅 8ビット		データ下位D0～D7(偶数, 奇数番地データ)入出力	データ下位D0～D7(偶数, 奇数番地データ)入出力
			アドレス下位LA0～LA7出力/データ下位D0～D7(偶数, 奇数番地データ)入出力 (注4)	アドレス下位LA0～LA7出力/データ下位D0～D7(偶数, 奇数番地データ)入出力 (注4)
ポート P20～P27	外部バス幅 16ビット	入出力ポートP20～P27	データ上位D8～D15(奇数番地データ)入出力	データ上位D8～D15(奇数番地データ)入出力
	外部バス幅 8ビット		入出力ポートP20～P27 (注5)	入出力ポートP20～P27 (注5)
ポートP30		入出力ポートP30	入出力ポートP30 レディ信号RDY入力 (注6)	レディ信号RDY入力 入出力ポートP30 (注6)
ポートP31		入出力ポートP31	リード信号RD出力	リード信号RD出力
ポート P32	外部バス幅 16ビット	入出力ポートP32	ライト信号BLW(偶数番地への書き込み)出力	ライト信号BLW(偶数番地への書き込み)出力
	外部バス幅 8ビット		ライト信号BLW(偶数, 奇数番地への書き込み)出力	ライト信号BLW(偶数, 奇数番地への書き込み)出力
ポート P33	外部バス幅 16ビット	入出力ポートP33	ライト信号BHW(奇数番地への書き込み)出力	ライト信号BHW(奇数番地への書き込み)出力
	外部バス幅 8ビット		入出力ポートP33 (注5)	入出力ポートP33 (注5)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

表6. プロセッサモードとメモリ領域, ポート機能の関係(2)

	シングルチップモード	メモリ拡張モード	マイクロプロセッサモード
ポートP40	入出力ポートP40	入出力ポートP40	アドレス・ラッチ・イネーブル信号 ALE出力
		アドレス・ラッチ・イネーブル信号 ALE出力 (注6)	入出力ポートP40 (注6)
ポートP41	入出力ポートP41	入出力ポートP41	クロック 1出力
	クロック 1出力 (注6)	クロック 1出力 (注6)	入出力ポートP41 (注6)
ポートP42	入出力ポートP42	入出力ポートP42	ホールド・アクノリッジ信号 HLDA出力
		ホールド・アクノリッジ信号 HLDA出力 (注6)	入出力ポートP42 (注6)
ポートP43	入出力ポートP43	入出力ポートP43	ホールド・リクエスト信号 HOLD入力
		ホールド・リクエスト信号 HOLD入力 (注6)	入出力ポートP43 (注6)
ポートP44	入出力ポートP44	入出力ポートP44	チップセレクト信号CS ₀ 出力
		チップセレクト信号CS ₀ 出力 (注7)	
ポートP45 ~ P47	入出力ポートP45 ~ P47	入出力ポートP45 ~ P47	入出力ポートP45 ~ P47
		チップセレクト信号CS ₁ ~ CS ₃ 出力 (注8)	チップセレクト信号CS ₁ ~ CS ₃ 出力 (注8)

- 注1. プロセッサモードの設定方法は、表3を参照してください。
2. プロセッサモードビット: プロセッサモードレジスタ(5E16番地)のビット0, 1
3. メモリ拡張モード、マイクロプロセッサモード時のアドレス中位, 上位出力端子は、アドレス/ポート切り換え選択ビット(ポート機能制御レジスタ(9216番地)のビット2~0)により、入出力ポートに変更できます。
4. チップセレクトCS₂領域の外部データバス幅を8ビットにしたとき、マルチプレクスバス選択ビット(CS₂制御レジスタH(8516番地)のビット5)により、CS₂領域アクセス時のみ、アドレスLA₀~LA₇出力、データD₀~D₇入出力を時分割で行うマルチプレクスバスとすることができます。
5. BYTE端子をVssレベルとし、CS₁~CS₃制御レジスタL(8216, 8416, 8616番地)のビット α 外部データバス幅選択ビット)を“1”(外部バス幅8ビット)に設定して、各CS₁~CS₃領域をアクセスした場合には、D₈~D₁₅端子、BHW端子はそれぞれフローティング、“H”出力となります(ともに入出力ポートにはなりません)。
6. メモリ拡張モード時、ポートP30, P40, P41, P42, P43は、プロセッサモードレジスタ0, 1(5E16, 5F16番地)の対応する選択ビットにより、それぞれRDY入力、ALE出力、1出力、HLDA出力、HOLD入力に変更できます。
また、マイクロプロセッサモード時、RDY、ALE、1、HLDA、HOLD端子は、上記選択ビットにより、それぞれポートP30, P40, P41, P42, P43に変更できます。
7. メモリ拡張モード時、ポートP44は、CS₀出力選択ビット(CS₀制御レジスタL(8016番地)のビット7)により、CS₀出力端子に変更できます。
8. メモリ拡張モード、マイクロプロセッサモード時、ポートP45~P47は、CS_i出力選択ビット(i=1~3)(CS_i制御レジスタL(8216, 8416, 8616番地)のビット7)により、それぞれCS₁~CS₃出力端子に変更できます。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

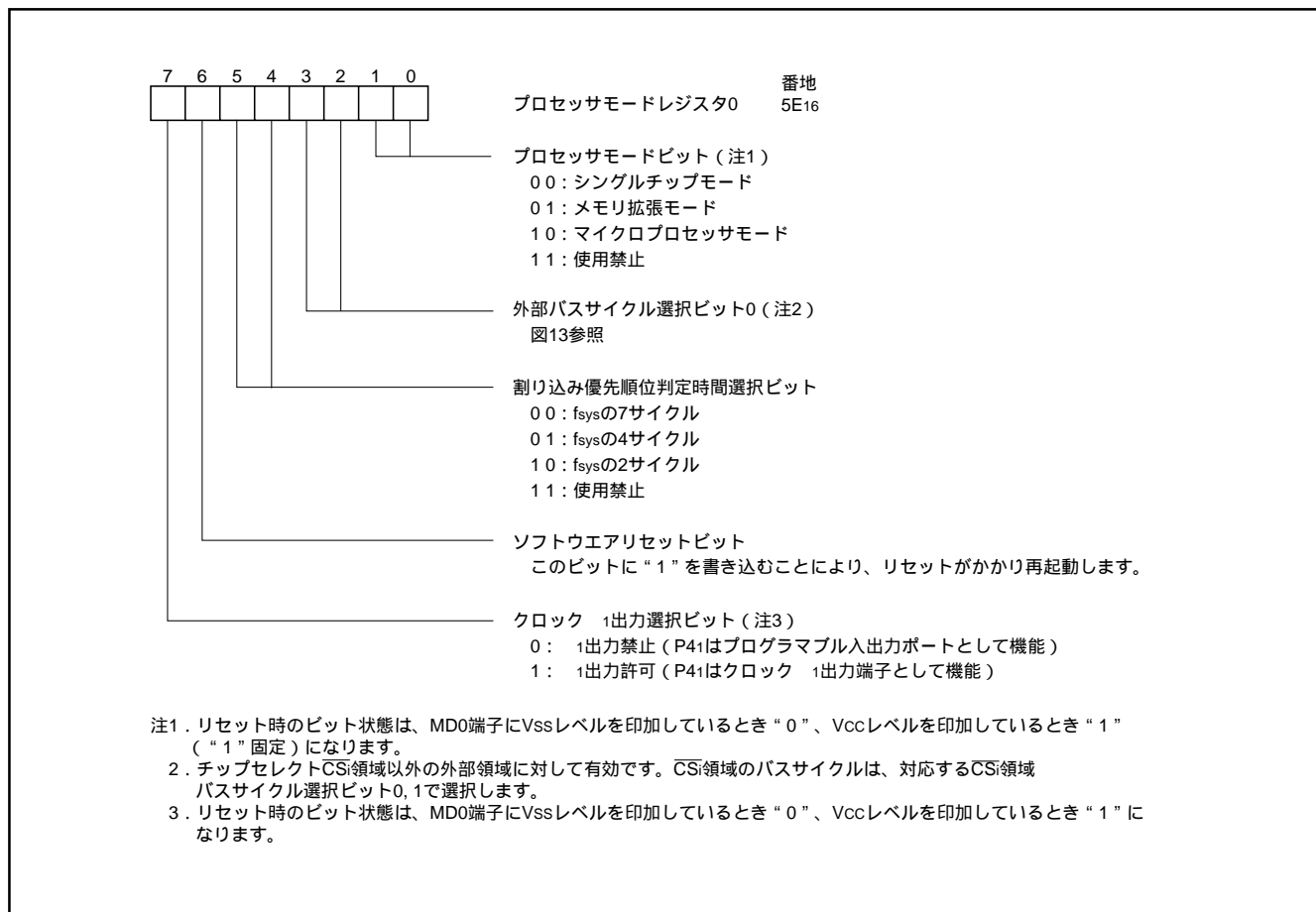
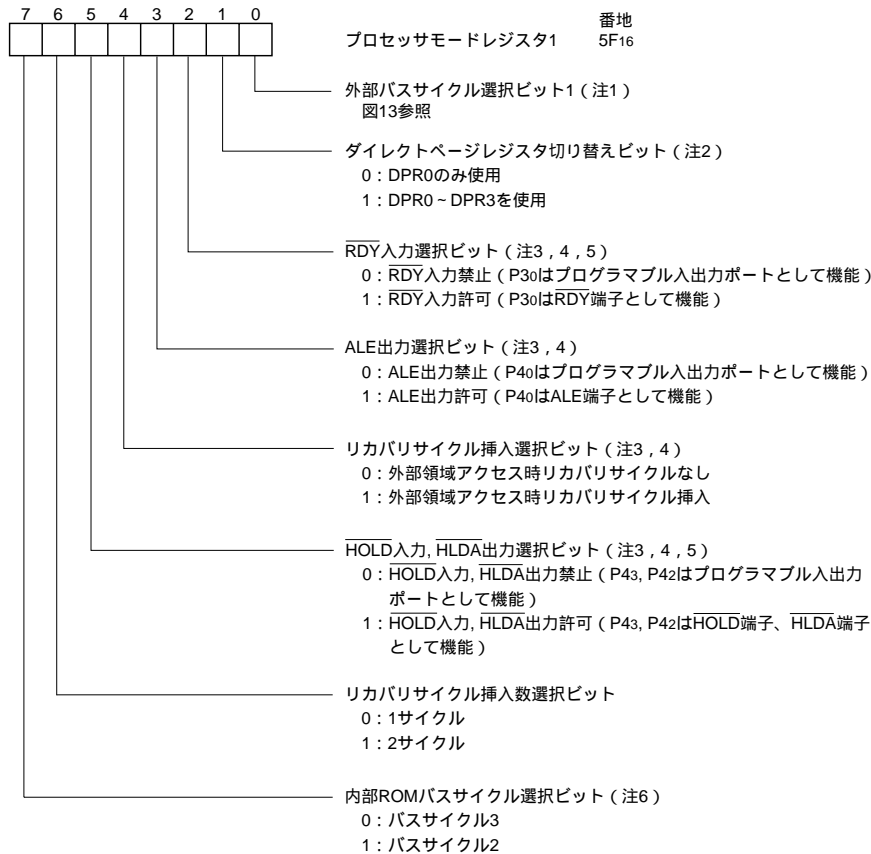


図19. プロセッサモードレジスタ0のビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION



- 注1. CSi領域以外の外部領域に対して有効です。CSi領域のバスサイクルは、これらのビットの内容にかかわらず、対応するCSi領域バスサイクル選択ビット0, 1 (8016, 8216, 8416, 8616番地のビット0, 1、8116, 8316, 8516, 8716番地のビット3) によって決まります。
2. リセット後、一度だけ内容を変更できます (ソフトウェアの実行途中で切り替えしないでください)。
3. シングルチップモード時は、これらのビットの内容にかかわらず、各機能が禁止となります。
4. リセット時のビット状態は、MD0端子にVssレベルを印加しているとき "0"、Vccレベルを印加しているとき "1" になります。
5. メモリ拡張モード又はマイクロプロセッサモードで、かつこのビットが "1" の状態からシングルチップモードに変更すると、このビットは "0" になります。その後 "1" にできません。再度 "1" にする場合はリセットしてください。
6. マイクロプロセッサモード時、このビットの内容は無効です。
CPU書き換えモードで内蔵フラッシュメモリを書き換えるときは、このビットを "0" にしてください。

図20. プロセッサモードレジスタ1のビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

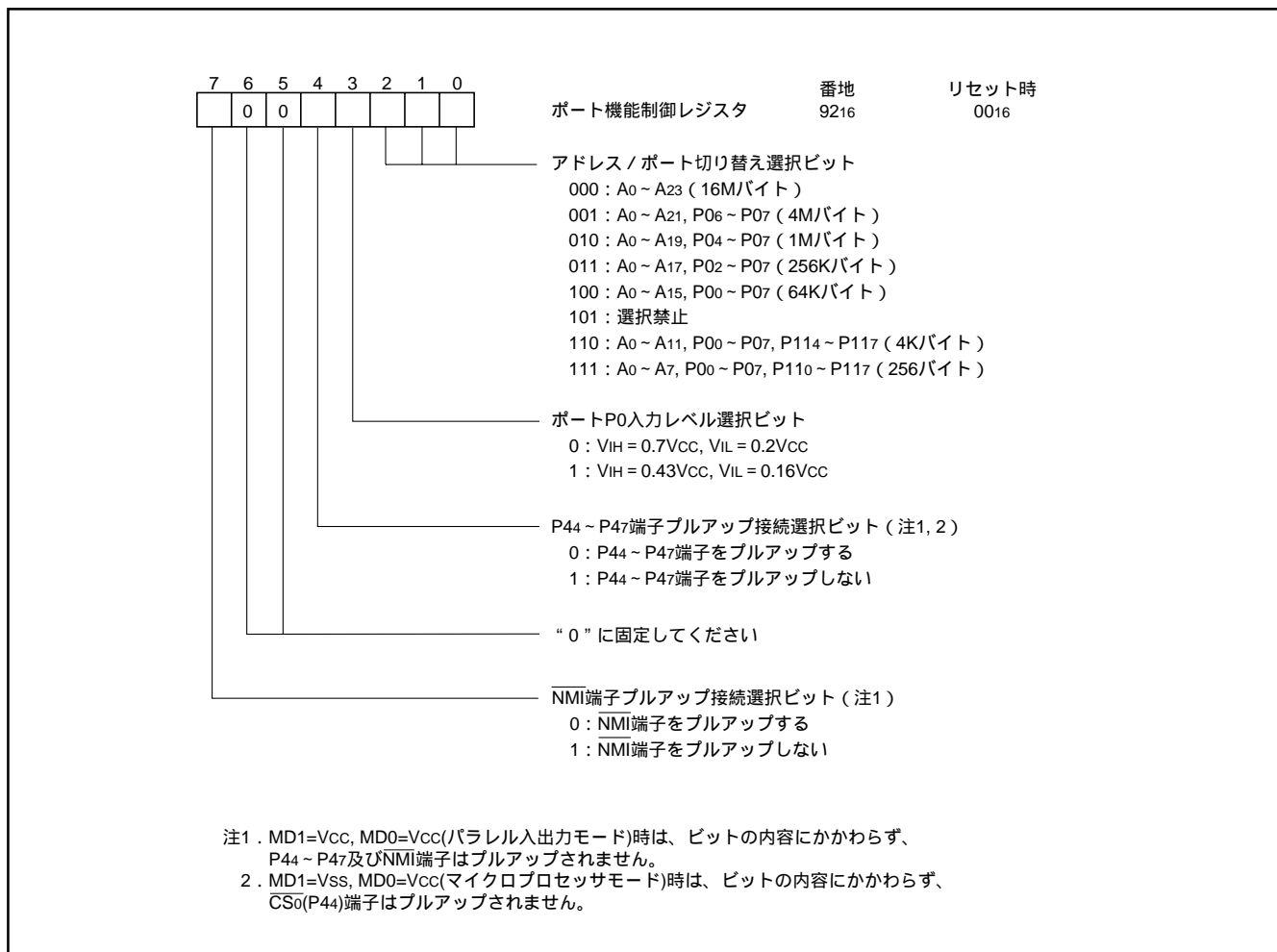


図21 . ポート機能制御レジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

チップセレクトウエイトコントローラ

チップセレクトウエイトコントローラ(CSWC)の制御により、外部領域アクセス時のバスアクセスについて最大4ブロックのチップセレクト機能を設定することができます。CSWCの設定により、ポートP44～P47をそれぞれチップセレクト出力CS₀～CS₃に設定することが可能です。

図22にチップセレクト出力の出力波形例を示します。

このチップセレクト機能は、外部領域の開始アドレス、アドレスのブロックサイズ、ウエイト数、外部データバス幅、RDY制御の有無、バーストロム指定、リカバリサイクル挿入の有無、及び領域マルチプレクスの有無の設定をすることができます。

CS₀～CS₃領域以外の外部領域に対しては、プロセッサモードレジスタ0、1で機能を設定します。リセット解除後、マイクロプロセッサモードで動作開始する場合には、CS₀が自動的に選択されます。

表7にCS₀～CS₃領域の機能を示します。

図23にCS₀～CS₃制御レジスタLのビット構成を示します。このレジスタで、接続するデバイスのウエイト数、バス幅(CS₀領域はBYTE端子のレベルで選択)、RDY制御の有無、バーストロムアクセス指定、リカバリサイクル挿入、及びCS₀～CS₃の出力有無の設定を行います。

図24にCS₀～CS₃制御レジスタHのビット構成を示します。これらのレジスタで、接続する外部領域のブロックサイズ他を指定します。CS₀～CS₂領域については、CS_k領域設定モード指定ビットでモード1を選択することによって、バンク0内の外部領域に対し、チップセレクト領域を設定することができます。

図25にCS₀～CS₃領域先頭アドレスレジスタのビット構成を示します。これらのアドレス設定方法については、図26～図28を参照してください。

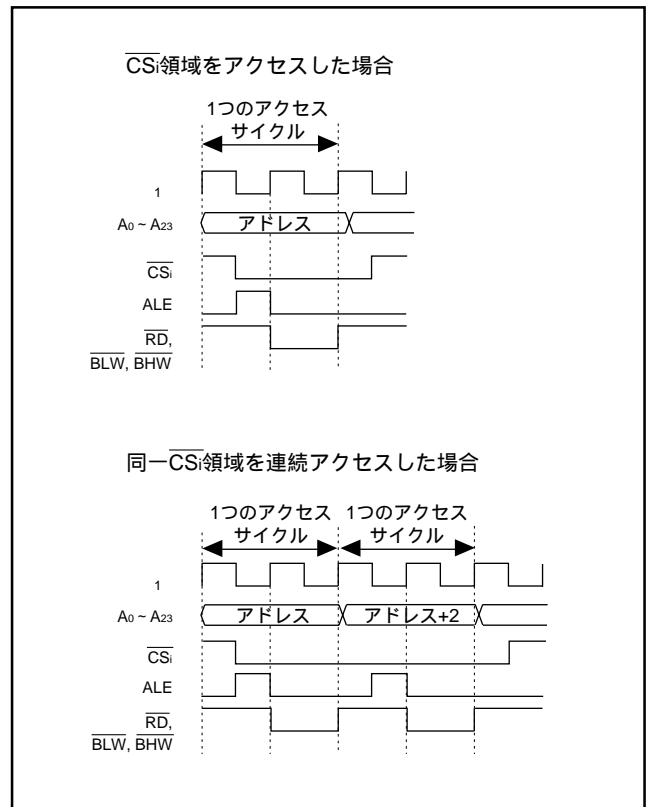


図22. チップセレクト出力の出力波形例

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

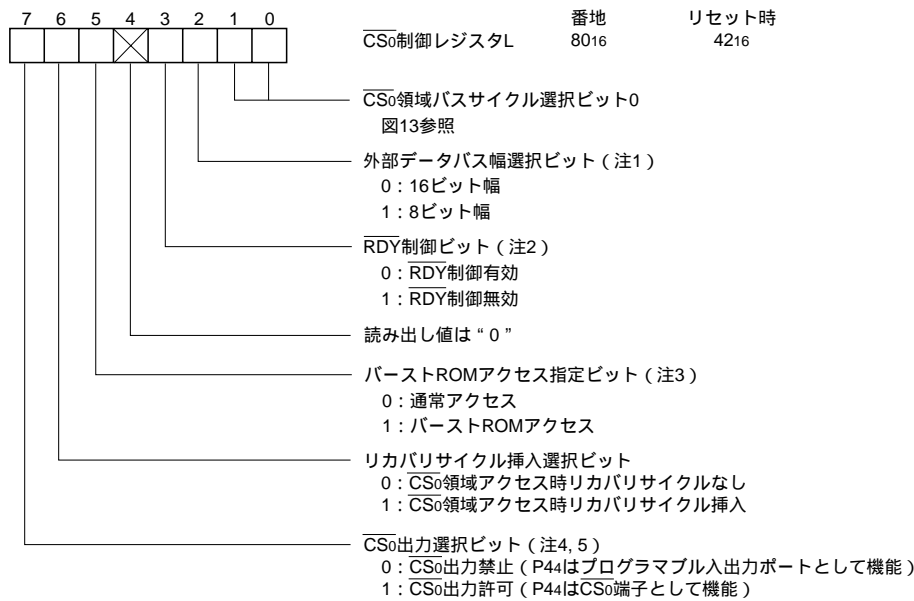
表7. 各チップセレクト領域の機能

	CS ₀		CS ₁ , CS ₂		CS ₃	CS ₀ ~ CS ₃ 以外の外部領域
	モード0	モード1	モード0	モード1		
先頭アドレスを設定できる空間	バンク2 ₁₆ ~バンクFE ₁₆	バンク0 ₁₆	バンク2 ₁₆ ~バンクFE ₁₆	バンク0 ₁₆	バンク2 ₁₆ ~バンクFE ₁₆	
ブロックの大きさ	128Kバイト, 256Kバイト, 512Kバイト, 1Mバイト, 2Mバイト, 4Mバイト, 又は8Mバイト	128Kバイト, 256Kバイト, 512Kバイト, 1Mバイト, 2Mバイト, 4Mバイト, 又は8Mバイト	128Kバイト, 256Kバイト, 512Kバイト, 1Mバイト, 2Mバイト, 4Mバイト, 又は8Mバイト	4Kバイト, 又は8Kバイト	128Kバイト, 256Kバイト, 512Kバイト, 1Mバイト, 2Mバイト, 4Mバイト, 又は8Mバイト	
バスサイクル	バスサイクル ・1 +1 ・1 +2 ・1 +3 ・2 +2 ・2 +3 ・2 +4 ・3 +3 ・3 +4 (80 ₁₆ 番地のビット0, 1+80 ₁₆ 番地のビット3で選択)		バスサイクル ・1 +1 ・1 +2 ・1 +3 ・2 +2 ・2 +3 ・2 +4 ・3 +3 ・3 +4 (82 ₁₆ , 84 ₁₆ 番地のビット0, 1+83 ₁₆ , 85 ₁₆ 番地のビット3で選択)		バスサイクル ・1 +1 ・1 +2 ・1 +3 ・2 +2 ・2 +3 ・2 +4 ・3 +3 ・3 +4 (86 ₁₆ 番地のビット0, 1+87 ₁₆ 番地のビット3で選択)	バスサイクル ・1 +1 ・1 +2 ・1 +3 ・2 +2 ・2 +3 ・2 +4 ・3 +3 ・3 +4 (5E ₁₆ 番地のビット2, 3+5F ₁₆ 番地のビット0で選択)
外部データバス幅	BYTE端子のレベルで決まる		BYTE = V _{SS} レベルであれば8ビット幅, 16ビット幅を任意に選択できる (82 ₁₆ , 84 ₁₆ 番地のビット2で選択) (注1)		BYTE = V _{SS} レベルであれば8ビット幅, 16ビット幅を任意に選択できる (86 ₁₆ 番地のビット2で選択)(注1)	BYTE端子のレベルで決まる
RDY制御	有効(5F ₁₆ 番地のビット2及び80 ₁₆ 番地のビット3で選択)		有効(5F ₁₆ 番地のビット2及び82 ₁₆ , 84 ₁₆ 番地のビット3で選択)		有効(5F ₁₆ 番地のビット2及び86 ₁₆ 番地のビット3で選択)	有効(5F ₁₆ 番地のビット2で選択)
バーストROMアクセス(注2, 3)	できる		できる		できる	できない
リカバリサイクル挿入	できる		できる		できる	できる
領域マルチプレックスバスアクセス(注3)	できない		CS ₁ できない CS ₂ できる(注4)		できない	できない
アドレス出力選択(注5)	できる		できる		できる	できる

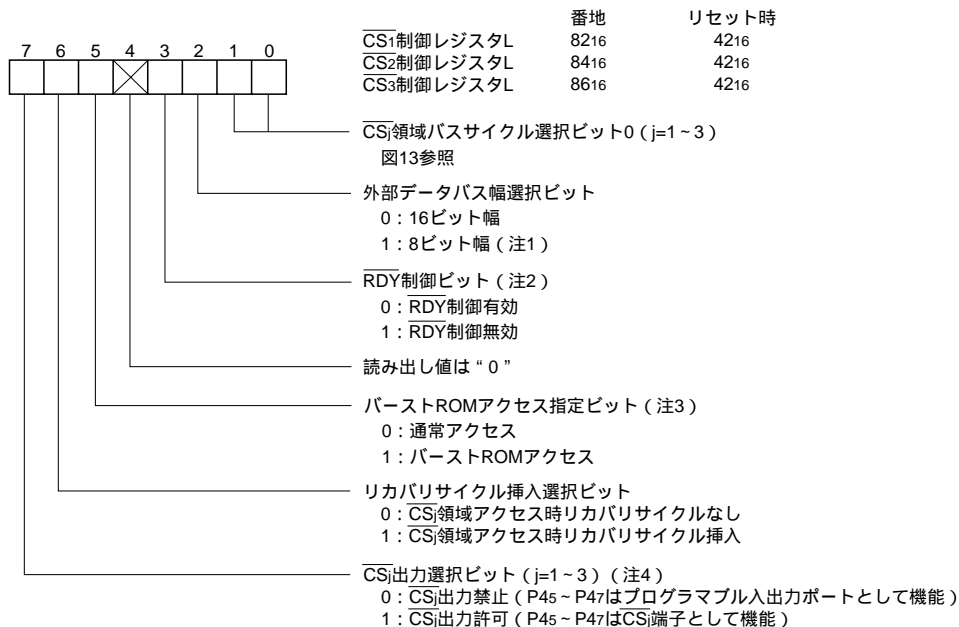
- 注1. BYTE = V_{CC}レベル時は8ビット幅に固定されます。
 2. バーストROMアクセスは、外部データバス幅16ビット、かつ命令の先取り時だけ有効です。
 3. バーストROMアクセスと領域マルチプレックスバスアクセスは、同時に使用することができません。
 4. CS₂領域を外部データバス幅8ビットでアクセス時のみ有効です。
 5. 63₁₆番地のビット4(アドレス出力選択ビット)で選択します。アドレス出力選択は各領域ごとには指定できません。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION



- 注1. リセット時のビット状態は、BYTE端子にVssレベルを印加しているとき "0"、Vccレベルを印加しているとき "1" になります。
2. RDY入力選択ビット(5F16番地のビット2)が "1" のとき有効。
3. BYTE端子にVccレベルを印加しているときは、このビットの内容にかかわらず通常アクセスになります。
4. シングルチップモード時は、このビットの内容は無効です (CS0出力禁止)。
5. リセット時のビット状態は、MD0端子にVssレベルを印加しているとき "0"、Vccレベルを印加しているとき "1" になります ("1" に固定されます)。



- 注1. BYTE端子にVccレベルを印加しているときは、"1" (8ビット幅)に固定されます。
2. RDY入力選択ビット(6F16番地のビット2)が "1" のとき有効。
3. 外部データバス幅選択ビット(ビット2)のみが "1"、又はBYTE端子にVccレベルを印加しているときは、このビットの内容にかかわらず通常アクセスになります。
4. シングルチップモード時は、このビットは無効です (CSj出力禁止)。

図23. CS0 ~ CS3制御レジスタLのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

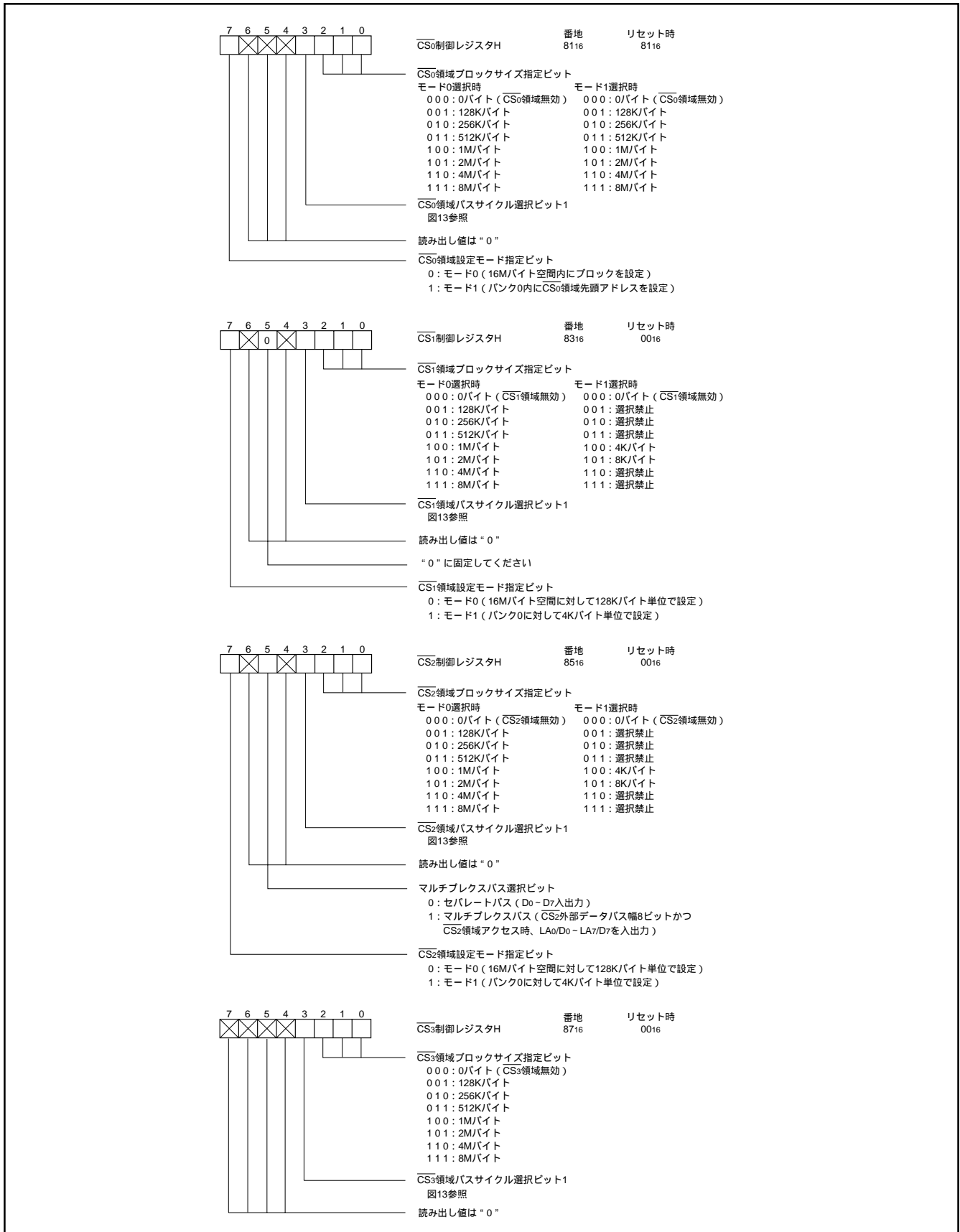


図24. CS0 ~ CS3制御レジスタHのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

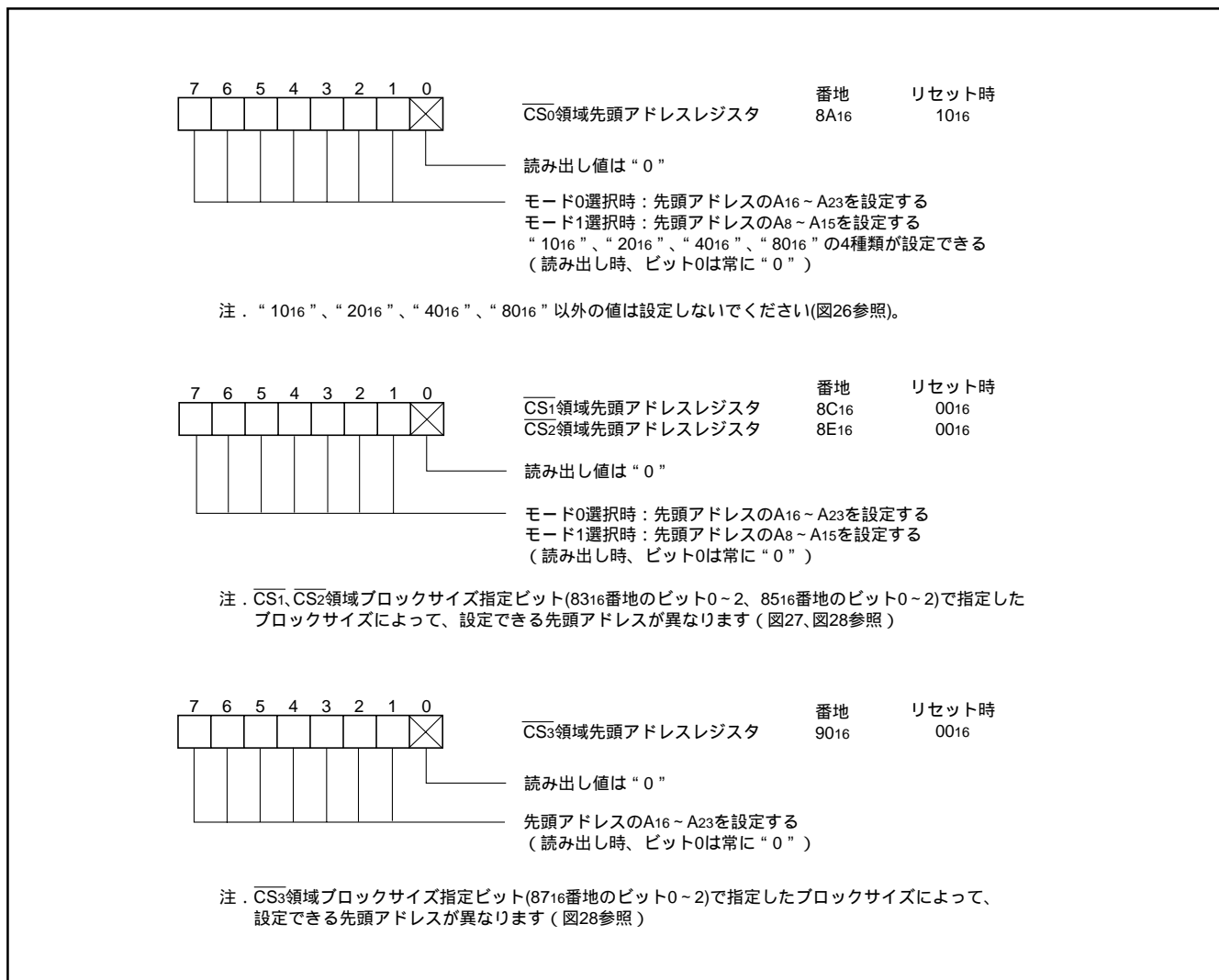


図25．CS₀～CS₃領域先頭アドレスレジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

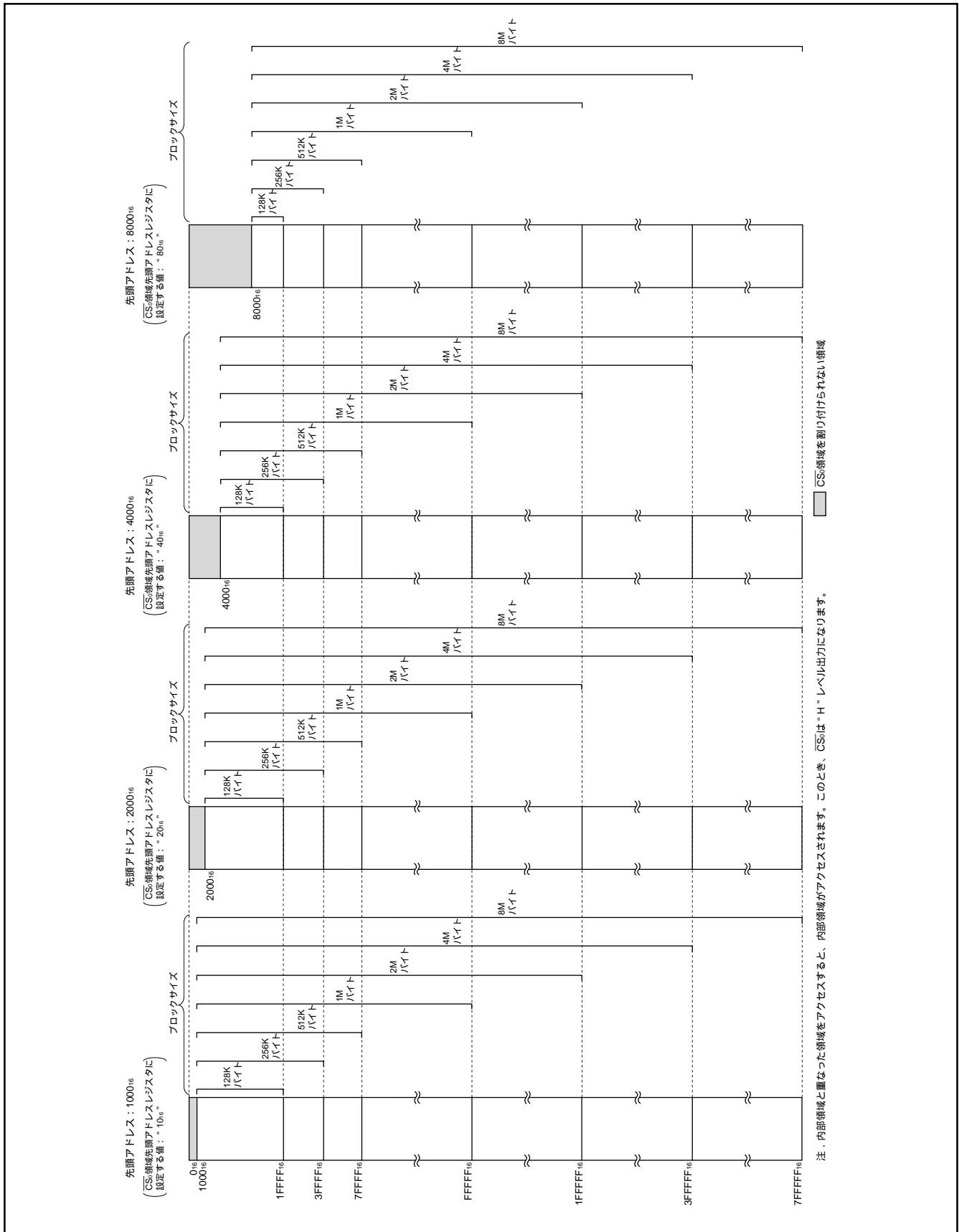


図26. CS₀領域 (モード1)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

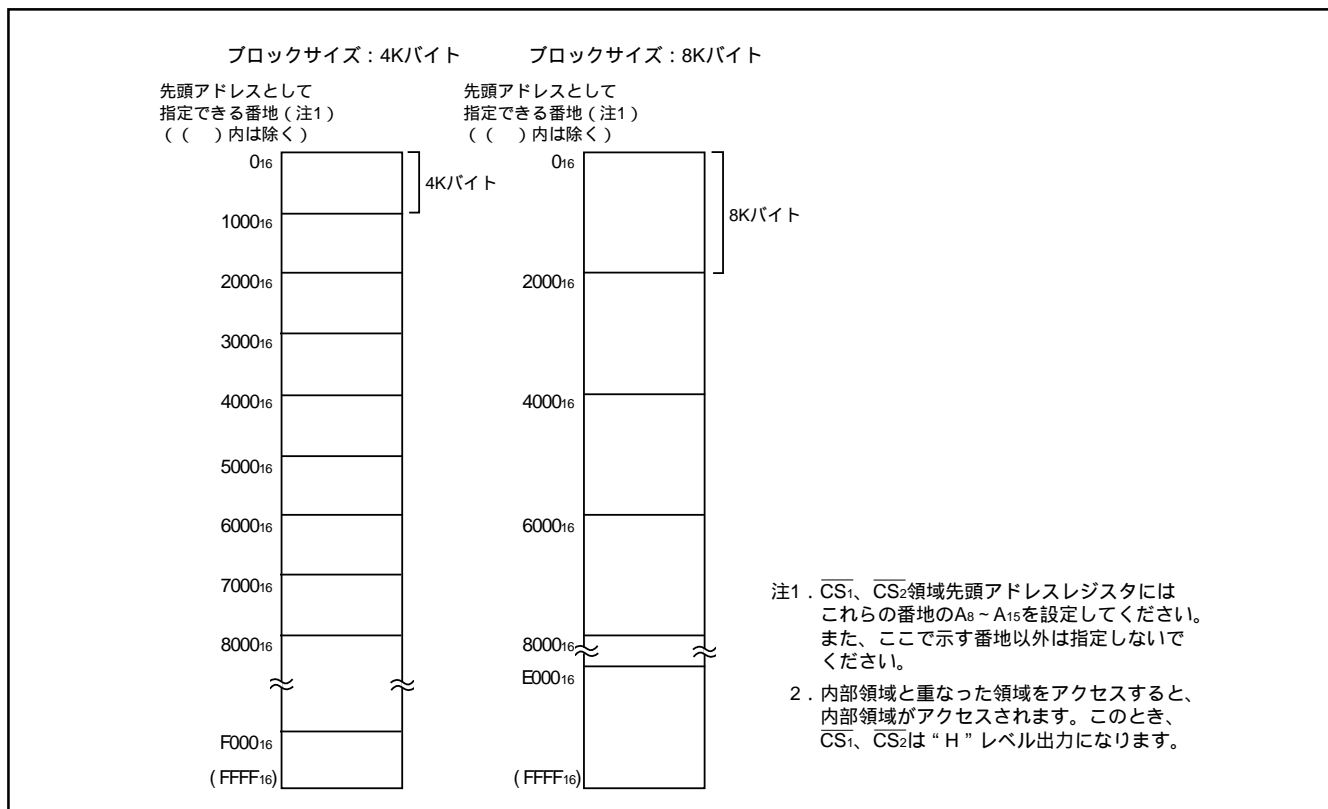


図27 . \overline{CS}_1 、 \overline{CS}_2 領域(モード1)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

割り込み

割り込み要因とベクトル番地を表8に示します。リセットも割り込みの一種として扱います。

DBC、BRK命令はデバッガで使用する専用割り込みですので、使用しないでください。

リセット、監視タイマ、0除算、NMIによる割り込み以外の割り込みは、各割り込み制御レジスタを持っています。表9に割り込み制御レジスタの番地、図30に割り込み制御レジスタのビット構成を示します。

割り込み要求ビットはリセット時あるいは、それぞれの割り込み要求が受け付けられ、割り込み処理に入るときにハードウェアで自動的にクリアされます。また、監視タイマ、NMI以外の割り込み要求ビットは、ソフトウェアでクリアできます。

NMI割り込みは、外部入力によるノンマスクابل割り込みで、NMI端子への入力の立ち上がりで受け付けられます。NMI端子には、プルアップ機能があります。詳細は入出力端子の項を参照してください。

INT_i (i = 0 ~ 4) は、外部入力による割り込みです。

INT₀ ~ INT₂は外部入力のレベルで割り込みをかけるのか(レベルセンス)、エッジで割り込みをかけるのか(エッジセンス)を、レベルセンス/エッジセンス切り替えビットで選択できます。さらに、割り込みのかかる極性を極性切り替えビットで選択できます。INT₃、INT₄は割り込み信号の極性を極性切り替えビットで選択できます(エッジセンスのみ有効)。

INT₂ ~ INT₄端子は、INT₂ ~ INT₄端子選択ビット(図35に示す外部割り込み入力制御レジスタ(94₁₆番地)のビット4~6)によって割り付ける端子の位置を変更できます。

P62/INT₀、P63/INT₁、P64(P77)/INT₂、P80(P74)/INT₃、及びP84(P75)/INT₄端子を外部割り込みの入力端子として使用する場合は、共用となっているポートの方向レジスタを“0”にしてください。

また、INT₃割り込み機能は、キー入力割り込みとして機能させることができます。詳細は後述のキー入力割り込みの項を参照してください。

なお、図29に示す外部割り込み入力読み出しレジスタ(95₁₆番地)を読み出すと、INT₀ ~ INT₄及びNMI端子の状態を直接読み出すことができます。

タイマ、UARTなどの各割り込みについては、それぞれの項で説明します。

同一サンプリング時点で複数の割り込み要求があった場合、どの割り込みが優先されるかは図31に示すように一部はハードウェアで決まっており、一部はソフトウェアで任意に設定できます。ハードウェアでは、リセット > NMI > 監視タイマ > その他の割り込みの順で優先レベルが決まっています。

表8. 割り込み要因とそのベクトル番地

割り込み要因	ベクトル番地	
INT ₄ 外部割り込み	00FFD0 ₁₆	00FFD1 ₁₆
INT ₃ 外部割り込み	00FFD2 ₁₆	00FFD3 ₁₆
A-D変換	00FFD4 ₁₆	00FFD5 ₁₆
UART1送信	00FFD6 ₁₆	00FFD7 ₁₆
UART1受信	00FFD8 ₁₆	00FFD9 ₁₆
UART0送信	00FFDA ₁₆	00FFDB ₁₆
UART0受信	00FFDC ₁₆	00FFDD ₁₆
タイマB2	00FFDE ₁₆	00FFDF ₁₆
タイマB1	00FFE0 ₁₆	00FFE1 ₁₆
タイマB0	00FFE2 ₁₆	00FFE3 ₁₆
タイマA4	00FFE4 ₁₆	00FFE5 ₁₆
タイマA3	00FFE6 ₁₆	00FFE7 ₁₆
タイマA2	00FFE8 ₁₆	00FFE9 ₁₆
タイマA1	00FFEA ₁₆	00FFEB ₁₆
タイマA0	00FFEC ₁₆	00FFED ₁₆
INT ₂ 外部割り込み	00FFEE ₁₆	00FFEF ₁₆
INT ₁ 外部割り込み	00FFF0 ₁₆	00FFF1 ₁₆
INT ₀ 外部割り込み	00FFF2 ₁₆	00FFF3 ₁₆
NMI外部割り込み	00FFF4 ₁₆	00FFF5 ₁₆
監視タイマ	00FFF6 ₁₆	00FFF7 ₁₆
DBC(使用禁止)	00FFF8 ₁₆	00FFF9 ₁₆
BRK命令(使用禁止)	00FFFA ₁₆	00FFFB ₁₆
0除算	00FFFC ₁₆	00FFFD ₁₆
リセット	00FFFE ₁₆	00FFFF ₁₆

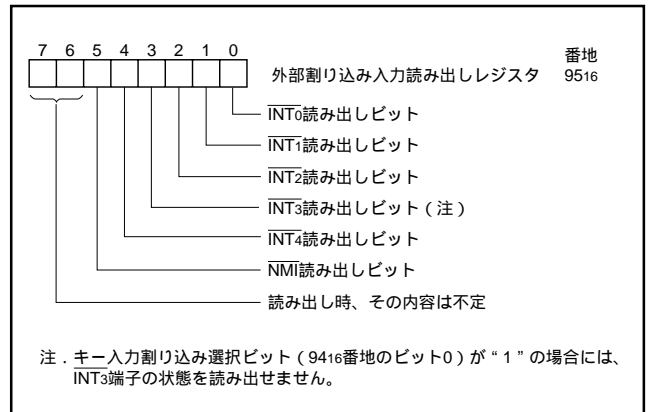


図29. 外部割り込み入力読み出しレジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

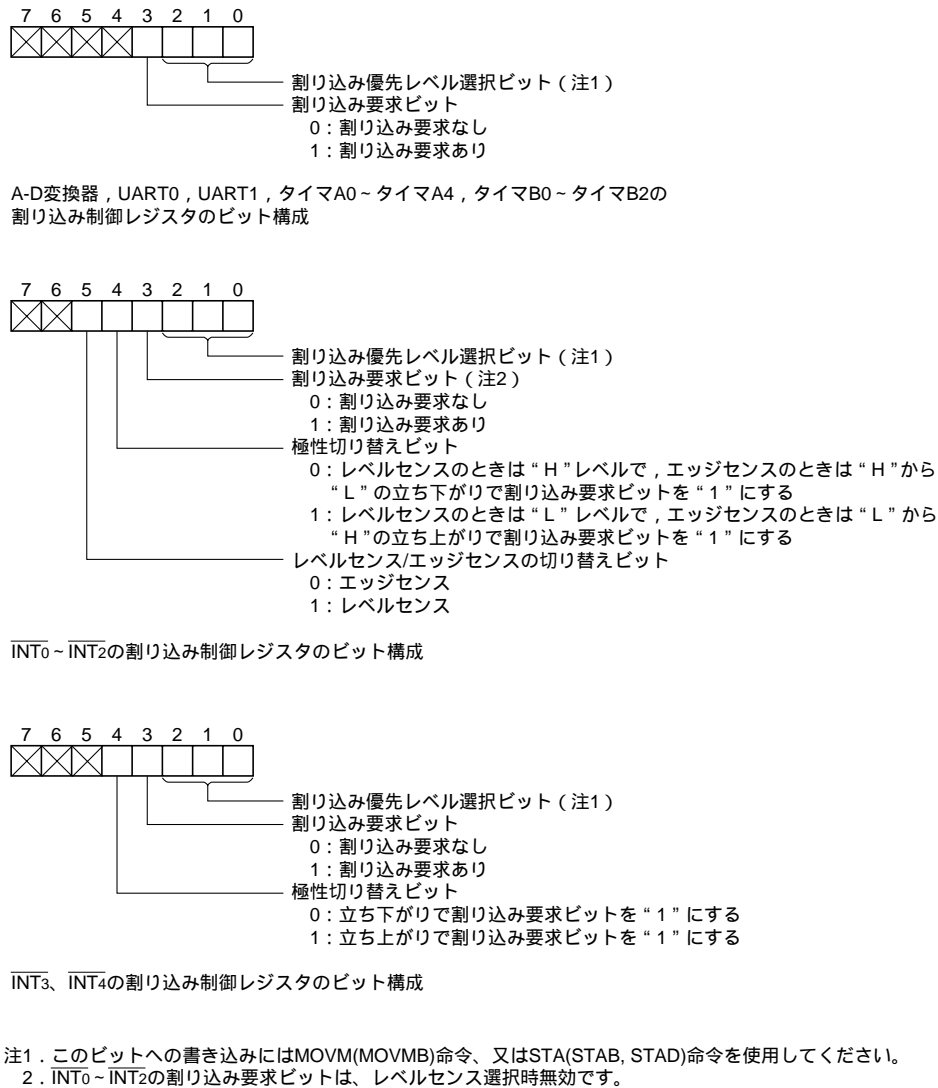


図30. 割り込み制御レジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

表9. 割り込み制御レジスタの番地

割り込み制御レジスタ	番地
INT3 割り込み制御レジスタ	00006E16
INT4 割り込み制御レジスタ	00006F16
A-D変換割り込み制御レジスタ	00007016
UART0送信割り込み制御レジスタ	00007116
UART0受信割り込み制御レジスタ	00007216
UART1送信割り込み制御レジスタ	00007316
UART1受信割り込み制御レジスタ	00007416
タイマA0割り込み制御レジスタ	00007516
タイマA1割り込み制御レジスタ	00007616
タイマA2割り込み制御レジスタ	00007716
タイマA3割り込み制御レジスタ	00007816
タイマA4割り込み制御レジスタ	00007916
タイマB0割り込み制御レジスタ	00007A16
タイマB1割り込み制御レジスタ	00007B16
タイマB2割り込み制御レジスタ	00007C16
INT0 割り込み制御レジスタ	00007D16
INT1 割り込み制御レジスタ	00007E16
INT2 割り込み制御レジスタ	00007F16

0除算による割り込みは、ソフトウェア割り込みですので、この優先順位とは無関係に割り込み動作が実施されます。

その他の割り込みとは、A-D変換器、UARTなどの割り込みで、各割り込み制御レジスタの割り込み優先レベルをソフトウェアで変更することにより、優先レベルを変更できます。

割り込み優先レベル判定回路を図32に示します。割り込みを要求している割り込みは、上側からきた優先レベルと自分の優先レベルを比較し、自分の優先レベルが高いとき、自分の優先レベルを下側へ送り出し割り込みを要求します。優先レベルが同じときは上側が優先します。

このようにして比較を続けることにより、割り込みを要求している割り込み要因のうち、優先レベルの一番高いものを選びられることになります。最後に、プロセッサステータスレジスタPSのプロセッサ割り込み優先レベルIPLと比較し、IPLより優先レベルが高く、かつ、割り込み禁止フラグが「0」のときその割り込みは受け付けられます。Iが「1」のときは割り込みは受け付けられません。なお、リセット、監視タイマ、NMIは割り込み禁止フラグの影響を受けません。

割り込みを受け付けると、プロセッサステータスレジスタPSなどのレジスタの内容がスタックに退避され、割り込み禁止フラグは「1」にセットされます。

また、受け付けられた割り込みの割り込み要求ビットは「0」にクリアされ、プロセッサステータスレジスタPSの中のプロセッサ割り込み優先レベルIPLは受け付けた割り込みの優先レベルに置き換えられます。したがって、割り込み禁止フラグを「0」にリセットし、再び割り込み受け付け可能状態にすることにより多重割り込みが可能になります。

なお、割り込み制御レジスタを持っていないリセット、監視タイマ、0除算を実行した場合、NMIによる割り込みを受け付けた場合、プロセッサ割り込み優先レベルIPLは表10に示すようになります。

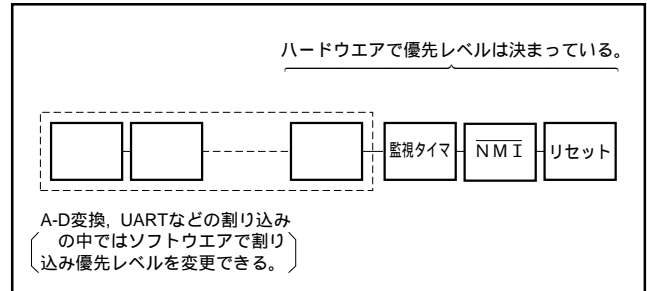


図31. 割り込み優先レベル

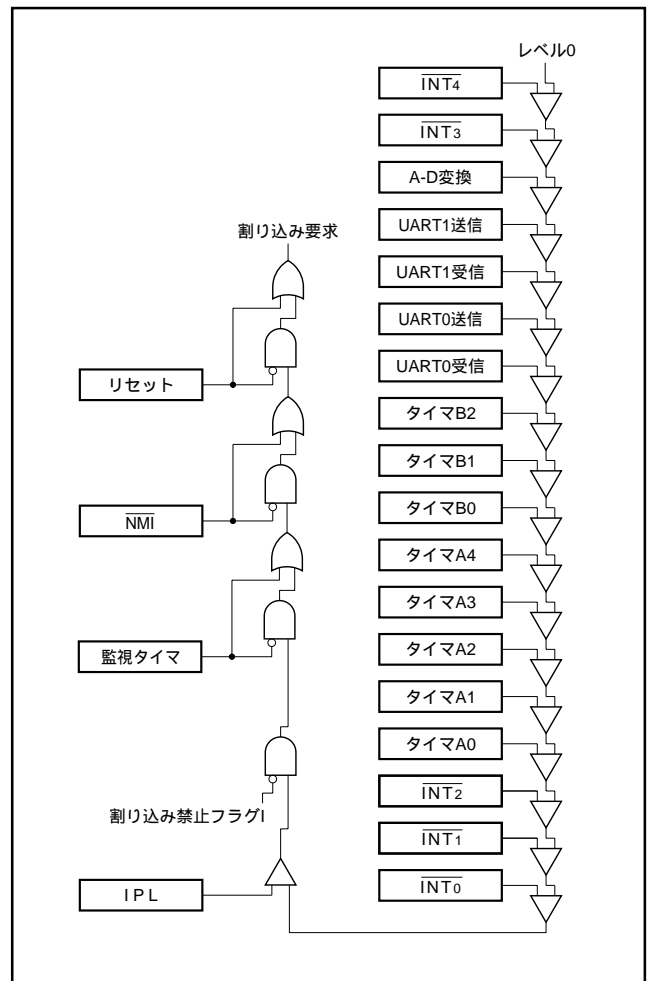


図32. 割り込み優先レベル判定

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

各割り込み要因の割り込み要求ビット及び割り込み優先レベルは、オペコードフェッチサイクルごと(オペコードフェッチサイクル中の f_{sys} が“H”の期間)にサンプリング、ラッチされます。ただし、サンプリングパルス発生後、ソフトウェアで選択したサイクル数が経過するまでは、オペコードフェッチサイクルがきてもサンプリングパルスは発生しません。この期間には、最優先の割り込み要因の判定が行われます。

図33に示すように割り込み優先レベルの判定時間には3種類の長さがあり、ソフトウェアでいずれか一つを選択します。選択した時間が経過した後、最優先の割り込みが決定され、現在実行中の命令が終了しだい割り込み処理に入ります。

時間選択は図19に示すようにプロセッサモードレジスタ0(5E16番地)のビット4とビット5で指定します。ビットと判定に要するサイクル数の関係を表11に示します。リセット解除後プロセッサモードレジスタ0は“0016”に初期化されますので、一番長い時間が選択されますが、プログラムで一番短い時間を選択してください。

表10. 割り込み時にプロセッサ割り込み優先レベルIPLにセットされる値

割り込み要因	IPLにセットされる値
リセット	0
監視タイマ	7
NMI	7
0除算	IPLの値は変化しない。

表11. 割り込み優先順位判定時間選択ビットとサイクル数の関係

優先順位判定時間選択ビット		サイクル数(注)
ビット5	ビット4	
0	0	f_{sys} の7サイクル
0	1	f_{sys} の4サイクル
1	0	f_{sys} の2サイクル

注：システムクロック f_{sys} については、クロック発生回路の項を参照してください。

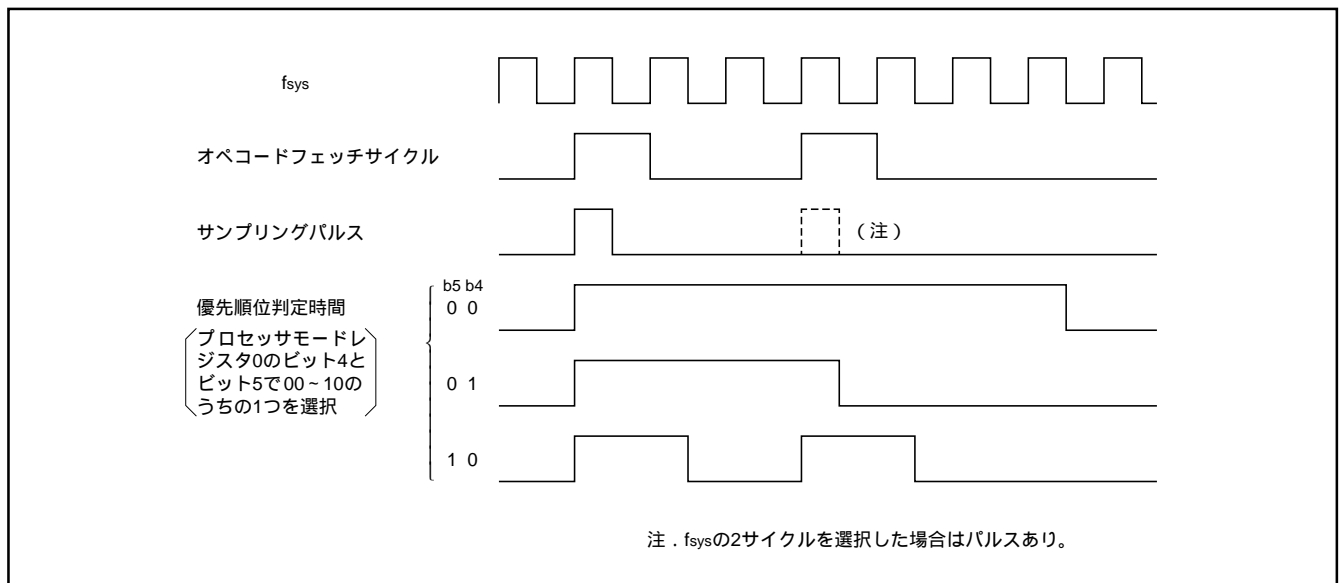


図33. 優先順位判定時間

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

キー入力割り込み

INT3割り込み機能は、外部割り込み入力制御レジスタ(9416番地)のビット1、ビット2及びビット3を設定することにより、KI0~KI3入力を用いたキー入力割り込みとして機能させることができます。図34にINT3/キー入力割り込み入力回路のブロック図、図35に外部割り込み入力制御レジスタのビット構成を示します。

外部割り込み入力制御レジスタのビット0(キー入力割り込み選択ビット)が“0”の場合は、INT3の割り込み制御回路にはINT3からの入力が接続され、通常のINT3外部割り込みとして機能します。ビット0が“1”の場合は、INT3の割り込み制御回路には、KI0~KI3端子(ポートP54~P57に対応)の負論理の論

理が接続され、KI0~KI3を入力とする外部割り込みとして機能します。

外部割り込み入力制御レジスタのビット2、ビット3はキー入力割り込み端子選択ビットです。これらのビットを設定することで使用するキー入力割り込み端子の組み合わせを選択できます。割り込みベクトル及び割り込み制御レジスタはINT3と共用です。

また、外部割り込み入力制御レジスタのビット1(キー入力割り込み端子プルアップ選択ビット)を“1”に設定し、ビット2、ビット3で選択したキー入力割り込み端子に対応したポートの方向レジスタの内容を“0”にすることにより、各端子にプルアップ抵抗(トランジスタ)を付加することができます。

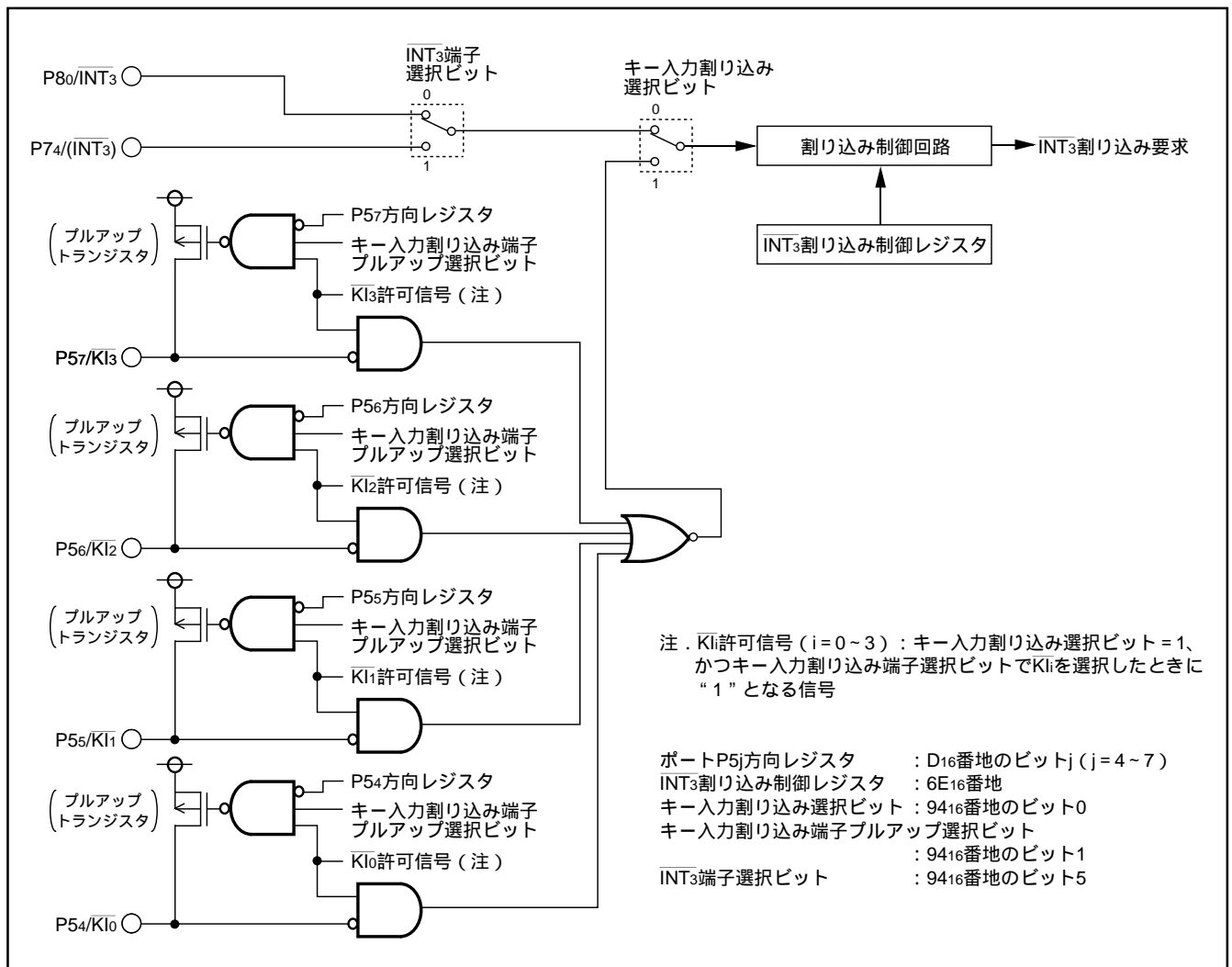


図34. INT3/キー入力割り込み機能ブロック図

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

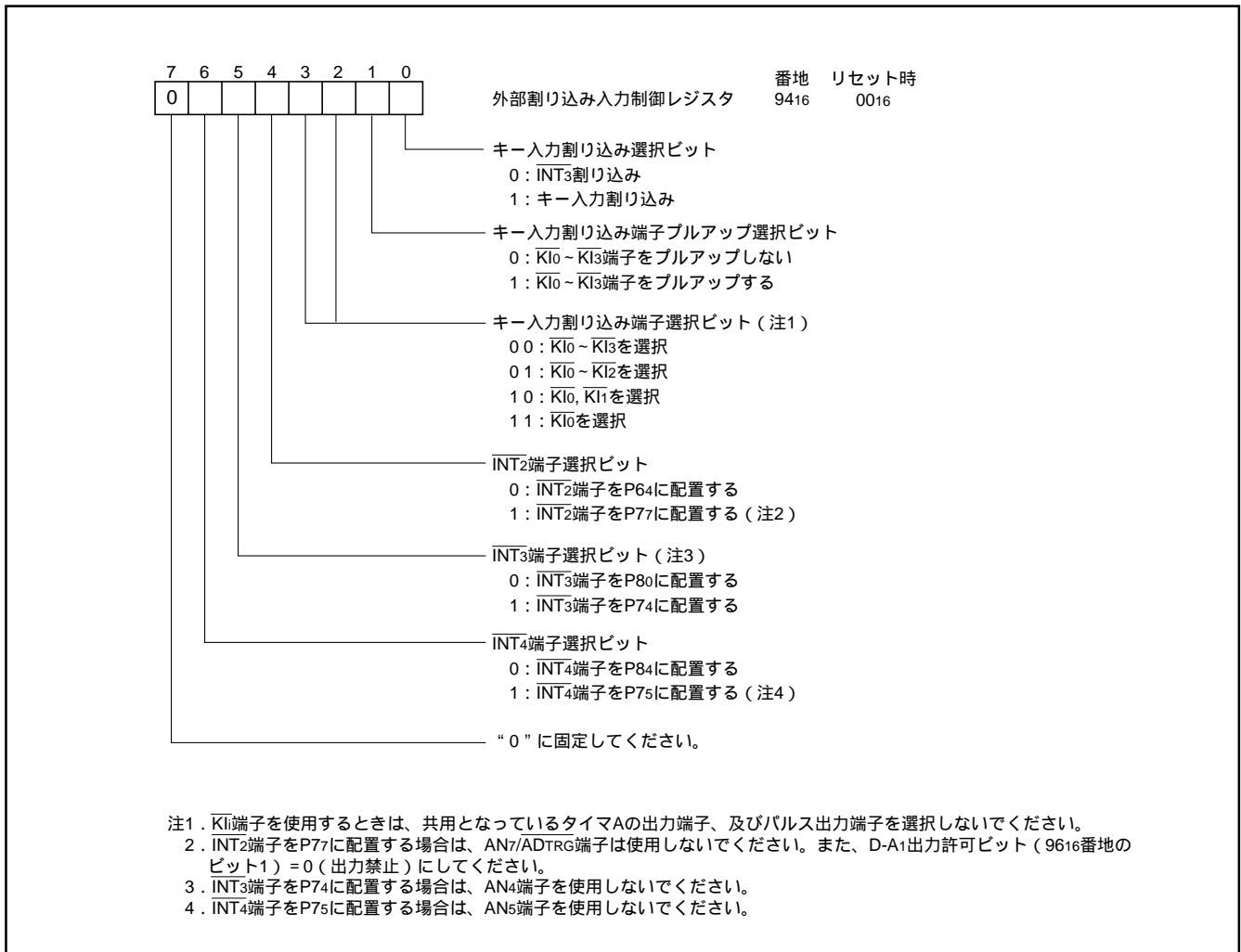


図35. 外部割り込み入力制御レジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

タイマ

タイマは16ビットタイマで8本内蔵されています。タイマはその機能からタイマA(5本)とタイマB(3本)の2種類のタイマに分けられます。

タイマの入出力端子はポートP5、ポートP6の入出力端子と共用しています。タイマの入力端子として使用する場合は、その端子に対応する方向レジスタのビットを“0”に設定し、入力モードにしてご使用ください。

タイマA

図36にタイマAのブロック図を示します。

タイマAではタイマモード、イベントカウンタモード、ワンショットパルスモード、パルス幅変調モードの4種類のモードが選択できます。モードはタイマAiモードレジスタ(i = 0 ~ 4)のビット0とビット1の内容で選択します。

図37にタイマAクロック分周指定レジスタのビット構成を示します。このレジスタのビット0、ビット1で選択するカウントソースをタイマA0 ~ タイマA4で使用します。

(1) タイマモード[00]

図38にタイマモード時のタイマAiモードレジスタのビット構成を示します。タイマモードでは、タイマAiモードレジスタのビット0、ビット1、ビット5は必ず“0”にしてください。

ビット6、ビット7及びタイマAクロック分周指定レジスタの内容でタイマのカウントソースを選択します(表12参照)。カウント開始フラグの内容が“1”のとき、選択されたクロックをカウントし、“0”のときはカウントを停止します。

カウント開始フラグのビット構成を図39に示します。カウントはダウンカウントで、カウンタの内容が0000₁₆になると割り込み要求信号を発生し、タイマAi割り込み制御レジスタの割り込み要求ビットがセットされます。同時に、リロードレジスタの内容をカウンタに入れて、カウントを続けます。

タイマAiモードレジスタのビット2の内容が“1”のときは、カウンタの内容が0000₁₆になるたびに、極性が反転する波形をTAiOUT端子から出力します。カウント開始フラグの内容が“0”のときはTAiOUT端子には“L”が出力されます。

ビット2の内容が“0”のときはTAiOUTは通常のポート端子として使用できます。

ビット4の内容が“0”のときは、TAiINは通常のポート端子として使用できます。

次に、ビット4の内容が“1”のときは、図40に示すように、TAiIN端子からの入力信号が“H”の期間又は“L”の期間のみカウントしますので、TAiINの入力信号のパルス幅を測定することが可能です。“H”の期間にカウントするのか、“L”の期間にカウントするのかは、ビット3の内容により決まります。

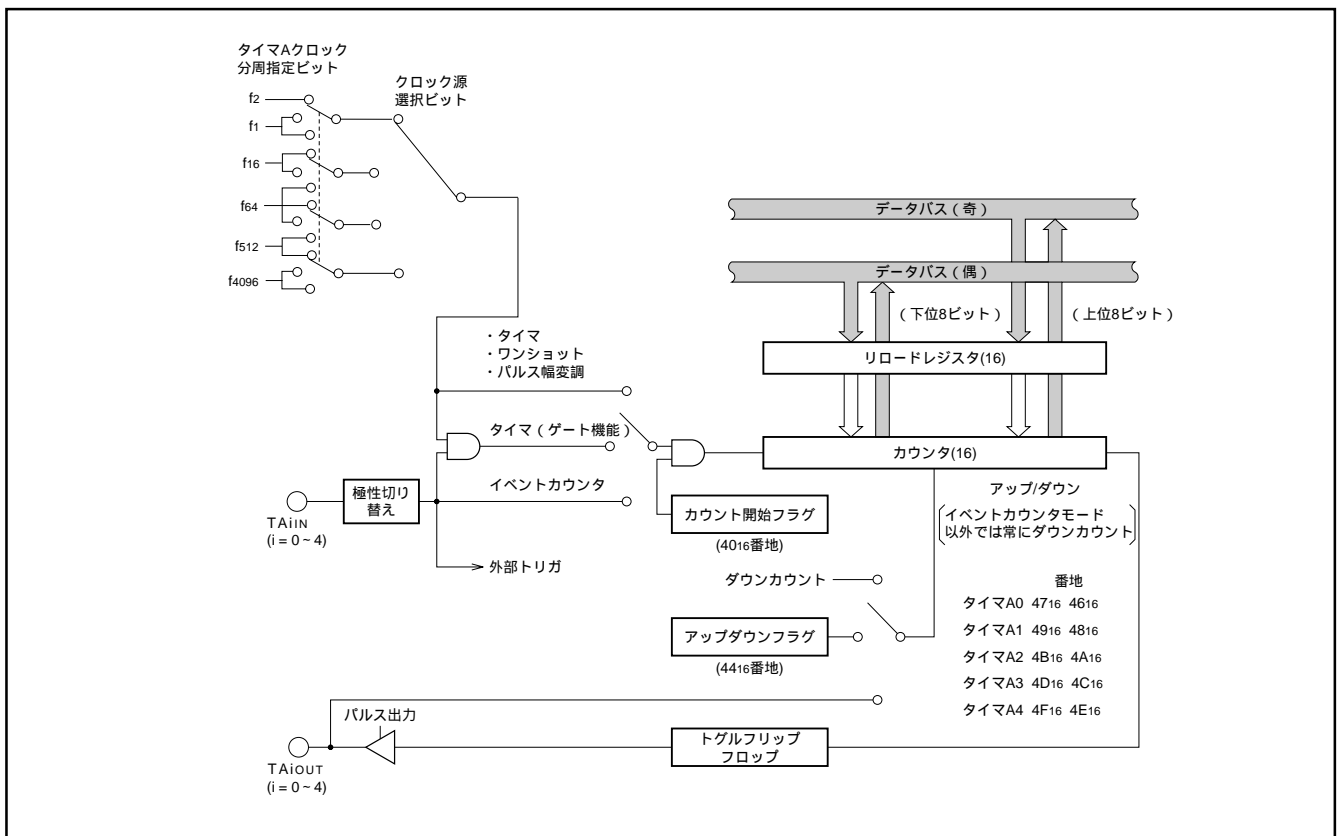


図36. タイマAのブロック図

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

ビット3の内容が、“1”のときは、TAiIN端子の入力信号が“H”の期間にカウントし、“0”のときはTAiIN端子の入力信号が“L”の期間にカウントします。

なお、カウントする期間のパルス幅、又はカウントを停止する期間のパルス幅はタイマのカウントソースの2サイクル分以上にしてください。

タイマAiが停止中にタイマAiレジスタにデータを書き込むと、リロードレジスタとカウンタにそのデータが書き込まれます。

タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容は任意のタイミングで読み出すことができます。

タイマAiレジスタに設定した値をnとすると、タイマの分周比は $1/(n + 1)$ です。

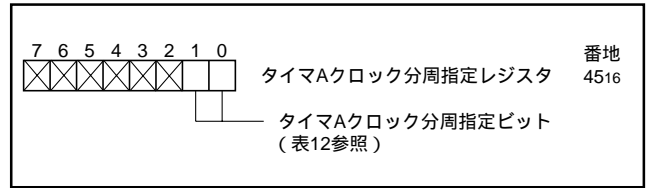


図37. タイマAクロック分周指定レジスタのビット構成

表12. タイマAクロック分周指定ビット、クロック源選択ビットとカウントソースの関係

クロック源選択ビット (5616 ~ 5A16番地のビット7,6)	タイマAクロック分周指定ビット (4516番地のビット1,0)			選択禁止
	00	01	10	
00	f2	f1	f1	選択禁止
01	f16	f16	f64	
10	f64	f64	f512	
11	f512	f4096	f4096	

注. タイマAクロック分周指定ビットで選択したクロックをタイマA0~タイマA4で共通に使用します。

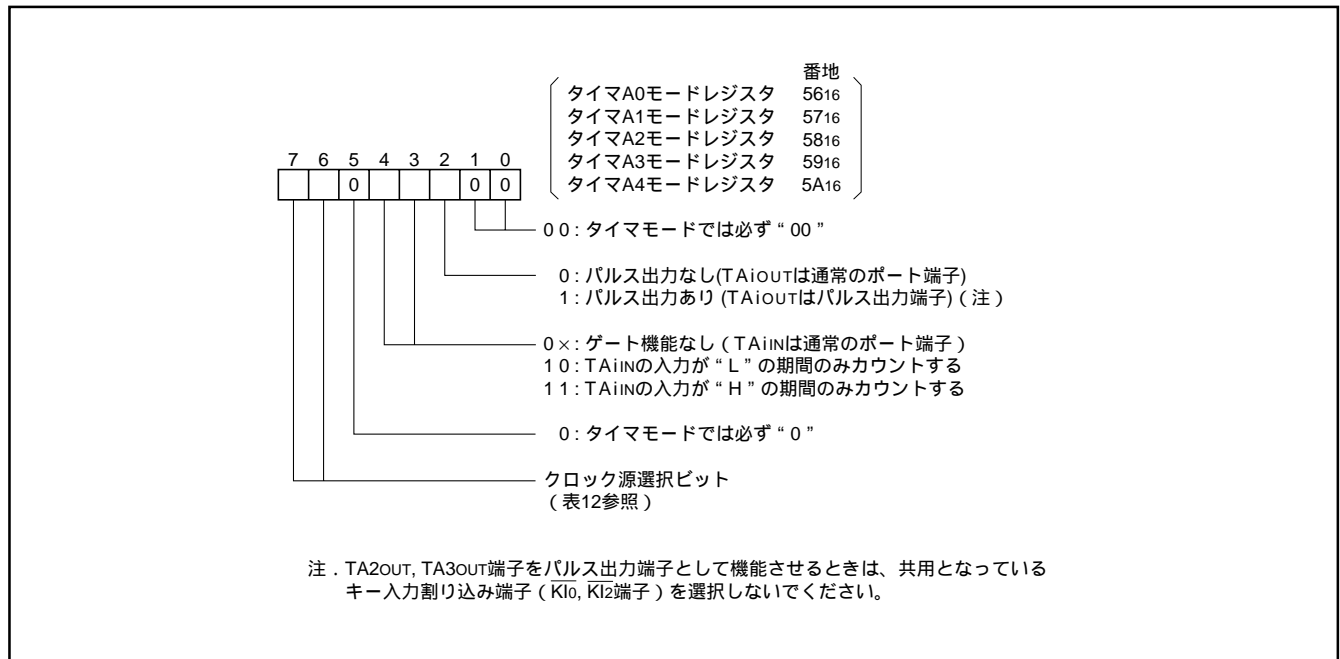


図38. タイマモード時のタイマAiモードレジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

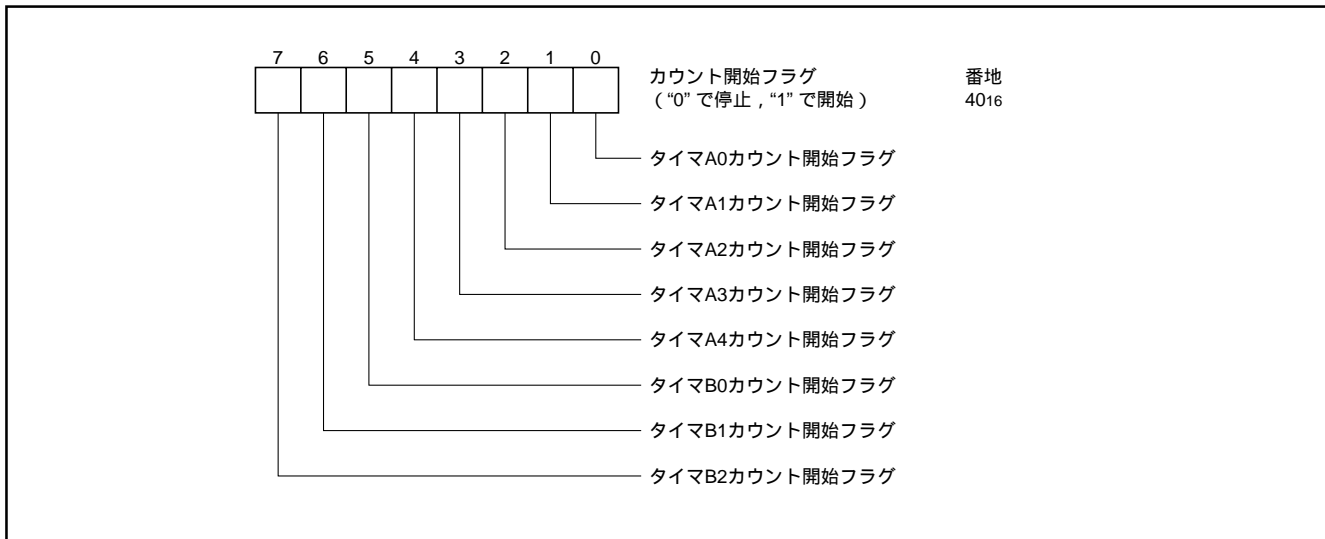


図39. カウント開始フラグのビット構成

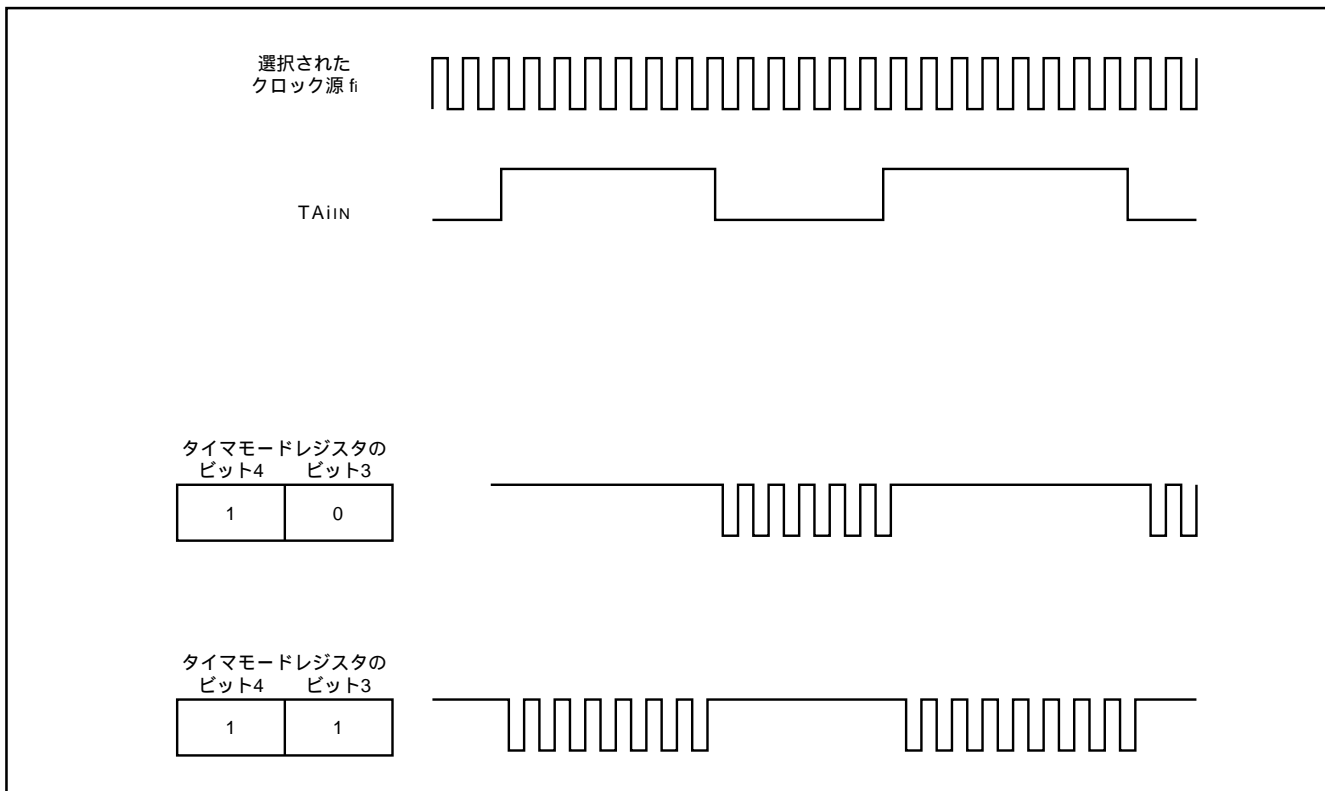


図40. ゲート機能有りの場合のカウント波形

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

(2) イベントカウンタモード [01]

図41にイベントカウンタモード時のタイマAiモードレジスタのビット構成を示します。イベントカウンタモードでは、タイマAiモードレジスタのビット0は“1”に、ビット1とビット5は“0”にします。

図39に示すカウント開始フラグの内容が“1”のときTAiIn端子からの入力信号をカウントし、“0”のときカウントを停止します。

ビット3の内容が“0”のときは入力信号の立ち下がりでもカウントし、“1”のときは立ち上がりでもカウントします。イベントカウンタモードでは、アップカウントかダウンカウントかをアップダウンフラグの内容がTAiOut端子の入力信号かを選択できます。

タイマAiモードレジスタのビット4の内容が“0”のときはアップダウンフラグの内容によって、アップカウントかダウンカウントかが決まります(アップダウンフラグの内容が“0”のときはダウンカウント、“1”のときはアップカウントになります)。図42にアップダウンフラグのビット構成を示します。

タイマAiモードレジスタのビット4の内容が“1”のときはTAiOut端子の入力信号によって、アップカウントかダウンカウントかを選択します。ただし、ビット2の内容が“1”である場合、TAiOut端子は出力端子となり、パルスが出力されるので、ビット4の内容が“1”の場合は、ビット2は“0”にしてください。

TAiOut端子の入力信号が“L”のときダウンカウント、“H”のときアップカウントになります。TAiOut端子の入力信号のレベルは、TAiIn端子に入力される有効エッジが入力される前に確定させてください。

ダウンカウントのときはカウンタの内容が0000₁₆に、またアップカウントのときは、カウンタの内容がFFFF₁₆になると、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。同時に、リロードレジスタの内容をカウンタに入れてカウントを続けます。

ビット2の内容が“1”のときは、カウンタの内容が0000₁₆(ダウンカウント時)又はFFFF₁₆(アップカウント時)になるたびに、極性の反転する波形をTAiOut端子から出力します。

ビット2の内容が“0”のときはTAiOut端子は通常のポート端子として使用できます。ただし、ビット4の内容を“1”にしておくと、TAiOut端子を出力端子として使用する場合、その端子からの出力でカウンタのアップ、ダウンが変わりますので、TAiOut端子からの出力でカウンタのアップ、ダウンを選択しない場合は、ビット4の内容を“0”にしておいてください。

データの書き込み、読み出しはタイマモードと同じで、タイマAiが停止中にタイマAiにデータを書き込むと、リロード

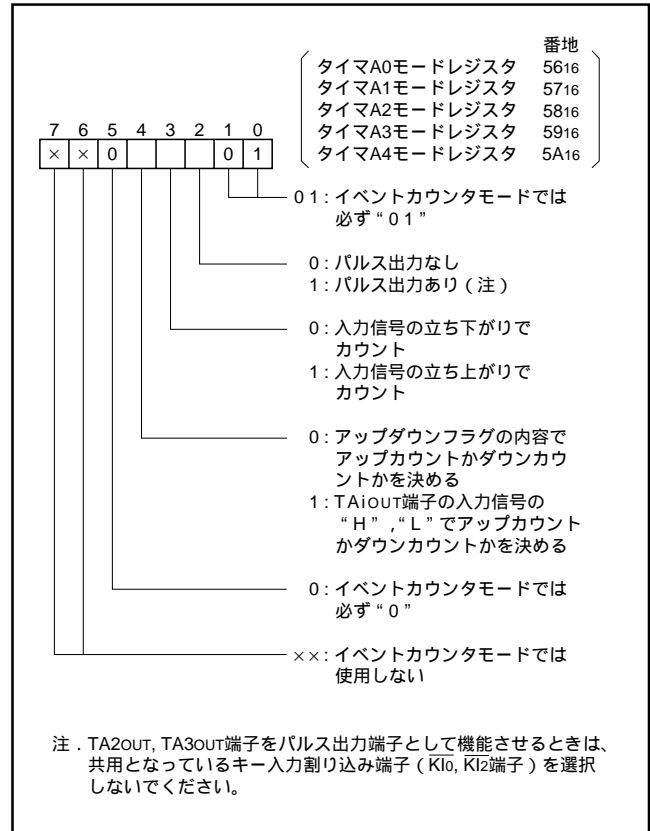


図41. イベントカウンタモード時のタイマAiモードレジスタのビット構成

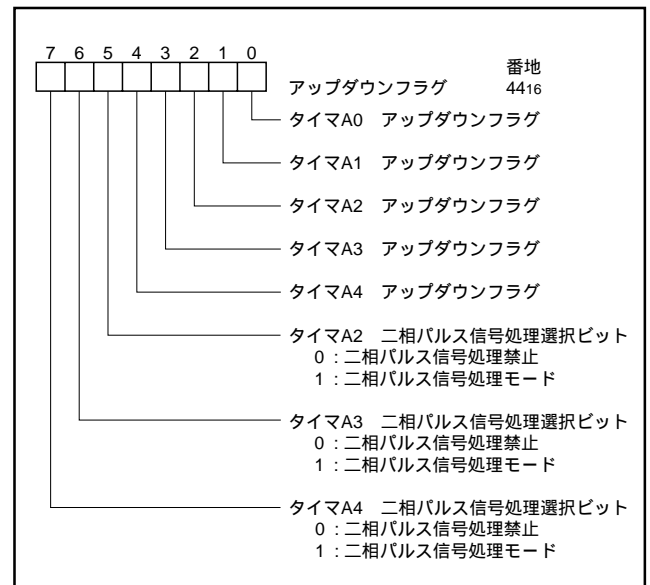


図42. アップダウンフラグのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

レジスタとカウンタに書き込まれます。タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容は、任意のタイミングで読み出すことができます。

イベントカウンタモードの場合、タイマA2、タイマA3、タイマA4に対しては位相が90°ずれた二相パルスを入力することで、カウンタのアップダウンを制御することもできます。二相パルス処理の動作にはタイマA2及びタイマA3を使用した処理動作と、タイマA4を使用した処理動作の2種類があります。どちらの処理動作においても二相パルスの入力方法は同じで、TAjOUT(j=2~4)端子及びTAjIN端子にお互いに90°位相のずれたパルスを入力します。

タイマA2及びタイマA3を使用した場合、図43に示すようにTAkOUT(k=2, 3)端子のレベルが“L”から“H”に立ち上がった後、TAkIN端子に立ち上がりエッジが入力されるとアップカウントし、立ち下がりエッジが入力されるとダウンカウントを行います。

タイマA4の場合、図44に示すようにTA4OUT端子のレベルが“L”から“H”に立ち上がった後、TA4IN端子に立ち上がりエッジが入力される位相関係のパルスが入力されたときは、TA4OUT端子及びTA4IN端子のそれぞれの立ち上がりエッジ、立ち下がりエッジをすべてアップカウントします。

また、TA4IN端子のレベルが“H”から“L”に立ち下がった後、TA4OUT端子に立ち下がりエッジが入力される位相関係のパルスが入力されたときは、TA4IN端子及びTA4OUT端子のそれぞれの立ち下がりエッジ、立ち上がりエッジをすべてダウンカウントします。このような二相パルス信号処理を行う

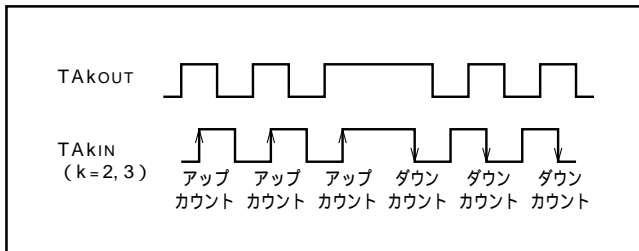


図43. タイマA2, タイマA3の二相パルス処理動作

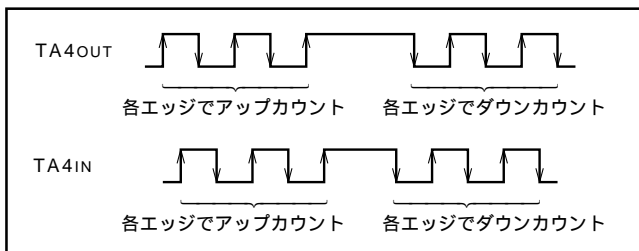


図44. タイマA4の二相パルス処理動作

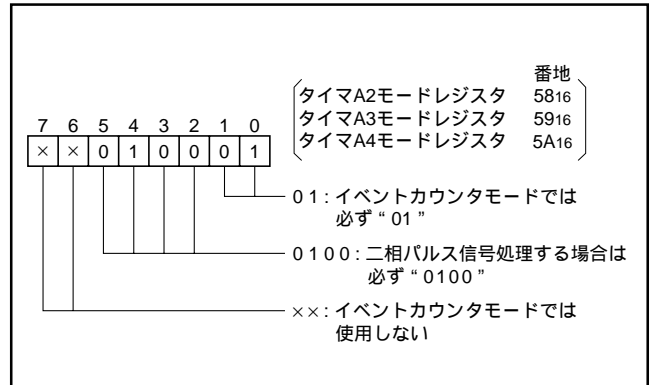


図45. イベントカウンタモード時、二相パルス信号処理させる場合のタイマAjモードレジスタのビット構成

場合は、図45に示すように対応するタイマのタイマAjモードレジスタのビット0とビット4は“1”に、ビット1、ビット2、ビット3、ビット5は“0”にしてください。ビット6とビット7は無効になります。また、アップダウンフラグレジスタ(4416番地)のビット5、ビット6、ビット7がそれぞれタイマA2、タイマA3、タイマA4の二相パルス信号処理選択ビットであり、“0”のときは通常のイベントカウンタモードの動作となり、“1”にセットすることで対応したタイマが二相パルス信号処理を行います。

カウントは、カウント開始フラグの内容を“1”にすることで開始されます。データの書き込み、読み出しは、通常のイベントカウンタモードと同じです。なお、二相パルス信号を入力しますので、入力するポートの方向レジスタは入力モードにしてください。また、この場合はパルス出力はできません。

(3) ワンショットパルスモード [10]

図46にワンショットパルスモード時のタイマAiモードレジスタのビット構成を示します。ワンショットパルスモードでは、ビット0とビット5は“0”に、ビット1とビット2は“1”にしてください。

カウント開始フラグの内容が“1”のとき、トリガ受け付け可能です。トリガはソフトウェアで発生するか、TAiIN端子から入力するか選択できます。ビット4の内容が“0”のときソフトウェアトリガ、“1”のときTAiIN端子からの入力信号がトリガになります。

トリガ信号の立ち下がりトリガをかけるか、立ち上がりトリガをかけるかをビット3の内容で選択します。ビット3の内容が“0”のときは立ち下がりトリガ、“1”のときは立ち上がりトリガがかかります。

ソフトウェアトリガはワンショット開始フラグの各タイマに対応するビットに“1”を書き込むことにより発生します。

図47にワンショット開始フラグのビット構成を示します。

図48に示すように、トリガを受け付けると、カウンタはビット6、ビット7、及びタイマAクロック分周指定レジスタの内容で選択されたクロックをカウントします(表12参照)。

カウンタの内容が0000₁₆でない場合は、トリガを受け付けるとTAiOUT端子は“H”になります。カウントはダウンカウントです。

カウンタの内容が0001₁₆になるとTAiOUT端子は“L”になり、カウントは停止します。カウンタには、リロードレジスタの内容が転送されて停止します。同時に、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。トリガが入ると再び同じことを繰り返します。出力されるパルス幅は

$$\begin{aligned} & (\text{選択したクロックのパルス周期}) \\ & \times (\text{トリガ時点のカウンタの値}) \end{aligned}$$

となります。

カウント開始フラグの内容が* 0”のときは、TAiOUT端子には“L”が出力されます。したがって、タイマAiカウント開始フラグの内容を“1”にする前に、発生させたいパルス幅に対応するカウント値をタイマAiに書き込んでください。

図49に示すように、前のトリガによる動作が完了する前でも、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が、カウンタへ転送された後、その値をカウンタダウンします。動作中に再トリガする場合を除いて、トリガによってリロードレジスタの内容がカウンタへ転送されることはありません。

なお、再びトリガをかける場合、前のトリガ後、タイマのカウントソースの1サイクル分以上経過後にかけてください。

データの書き込みはタイマモードと同じで、タイマAiが停止中にタイマAiにデータを書き込むと、リロードレジスタとカウンタに書き込まれます。タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときリロードレジスタから新しいデータがリロードされ、動作を続けます。

タイマを読み出すと不定の値が読み出されます。

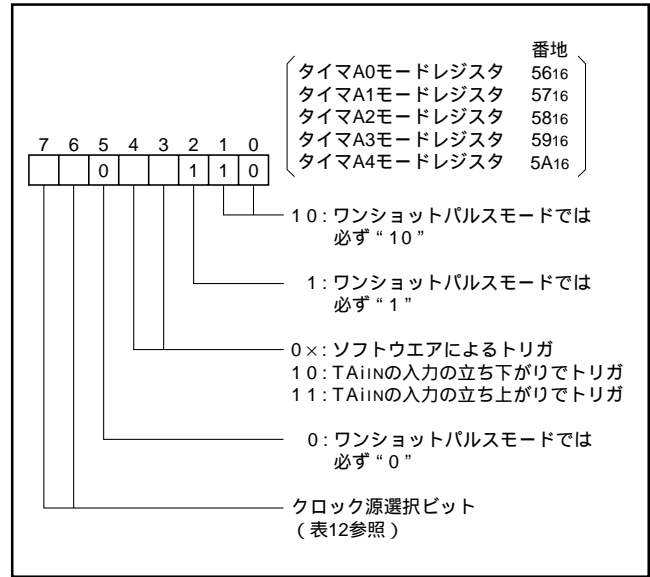


図46 . ワンショットパルスモード時のタイマAiモードレジスタのビット構成

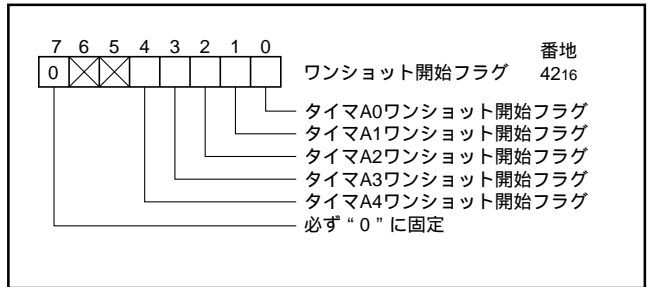


図47 . ワンショット開始フラグのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

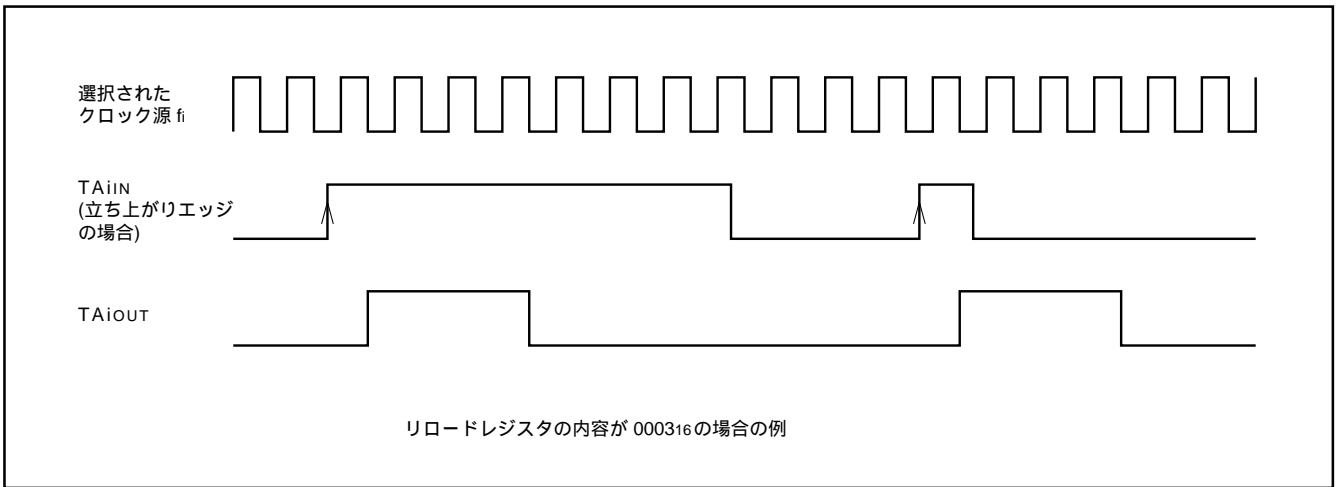


図48．外部立ち上がりエッジを選択した場合のパルス出力例

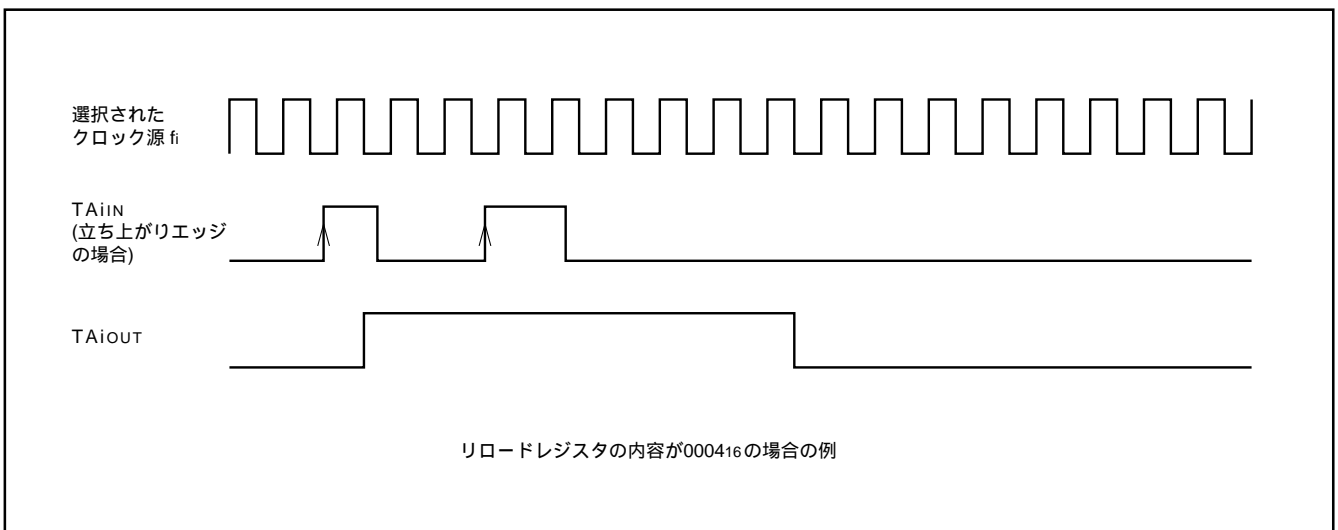


図49．パルス出力動作中にトリガを再入力した場合の例

(4) パルス幅変調モード [11]

図50にパルス幅変調モード時のタイマAiモードレジスタのビット構成を示します。パルス幅変調モードでは、ビット0、ビット1、ビット2は“1”にしてください。

ビット5の内容によって、16ビット長のパルス幅変調器として動作させるか、8ビット長のパルス幅変調器として動作させるか選択できます。ビット5の内容が“0”のとき、16ビット長のパルス幅変調器、“1”のとき8ビット長のパルス幅変調器になります。まず、16ビット長パルス幅変調器について説明します。

パルス幅変調器は、ソフトウェアでトリガをかけて動作を開始するか、TAiIN端子からの入力信号で外部トリガをかけて動作を開始するか、選択できます。

ビット4の内容が“0”のときはソフトウェアトリガモードが選択されます。カウント開始フラグの内容を“1”にするとパルス幅変調器は動作を開始し、TAiOUT端子からパルスを出力します。

ビット4の内容が“1”のときは、外部トリガモードが選択されます。カウント開始フラグの内容が“1”のときに、TAiIN端子からトリガ信号を入力すると、パルス幅変調器は動作を開始します。トリガ信号の立ち下がりトリガをかけるか、立ち上がりトリガをかけるかは、ビット3の内容で選択します。ビット3の内容が“0”のときは立ち下がりトリガがかかります。“1”のときは立ち上がりトリガがかかります。

パルス幅変調器の動作が停止しているときに、タイマAiにデータを書き込むと、リロードレジスタとカウンタに書き込まれます。その後、カウント開始フラグの内容を“1”にし、ソフトウェアトリガあるいは、外部トリガをかけ、動作を開始すると図51に示すような波形が連続して出力されます。一旦、動作を開始すると、動作中にはトリガは受け付けられません。リロードレジスタの値をmとするとパルスの“H”の期間は

$$(\text{選択したクロックの周期}) \times (m)$$

出力パルスの周期は

$$(\text{選択したクロックの周期}) \times (2^{16} - 1)$$

となります。

出力パルスの立ち下がりのたびに、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。出力中のパルス幅を変更する場合は、タイマのデータを書き替えます。この書き替えはいつでもできます。出力パルス幅は、データがタイマに書き込まれた後のパルスの立ち上がりから変わります。

リロードレジスタの内容は、次のパルスが立ち上がる直前にカウンタに転送されるので、次に出力されるパルスから変更したパルス幅になります。

タイマを読み出すと、不定の値が読み出されます。

次に、8ビット長パルス幅変調器について説明します。

タイマAiモードレジスタのビット5の内容が“1”のときは、8ビット長パルス幅変調器になります。

リロードレジスタとカウンタは、共に8ビット長に2分割されます。

下位8ビットは、プリスケラとして働きます。上位8ビットは、8ビット長のパルス幅変調器として働きます。プリスケラは、ビット6、ビット7、及びタイマAクロック分周指定レジスタの内容で選択されたクロックをカウントします(表12参照)。カウンタの内容が000016になると図52に示すようにパルスを発生します。同時にリロードレジスタの内容をカウンタへ転送し、カウントを続けます。

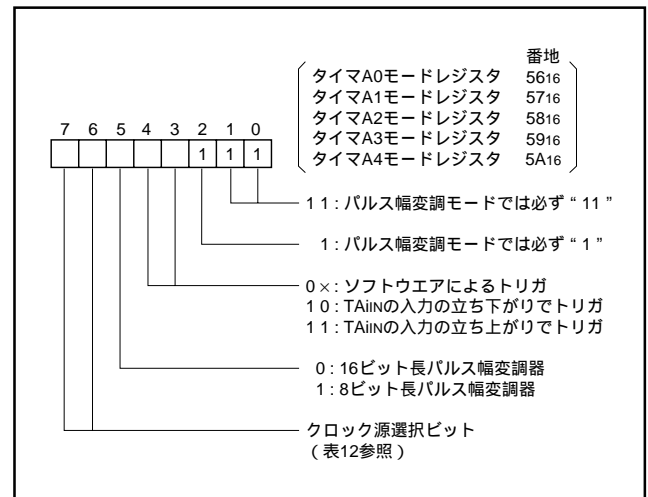


図50. パルス幅変調モード時のタイマAiモードレジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

したがって、下位8ビットのリロードレジスタの内容をnとすると、発生するパルスの周期は

$$(\text{選択したクロックの周期}) \times (n + 1)$$

となります。

上位8ビットは、このパルスを入力とする8ビット長のパルス幅変調器として働きます。ビット長が8ビットになるだけ

で、動作は16ビット長の場合と同じです。上位8ビットのリロードレジスタの内容をmとするとパルスの“H”の期間は

$$(\text{選択したクロックの周期}) \times (n + 1) \times (m)$$

出力パルスの周期は

$$(\text{選択したクロックの周期}) \times (n + 1) \times (2^8 - 1)$$

となります。

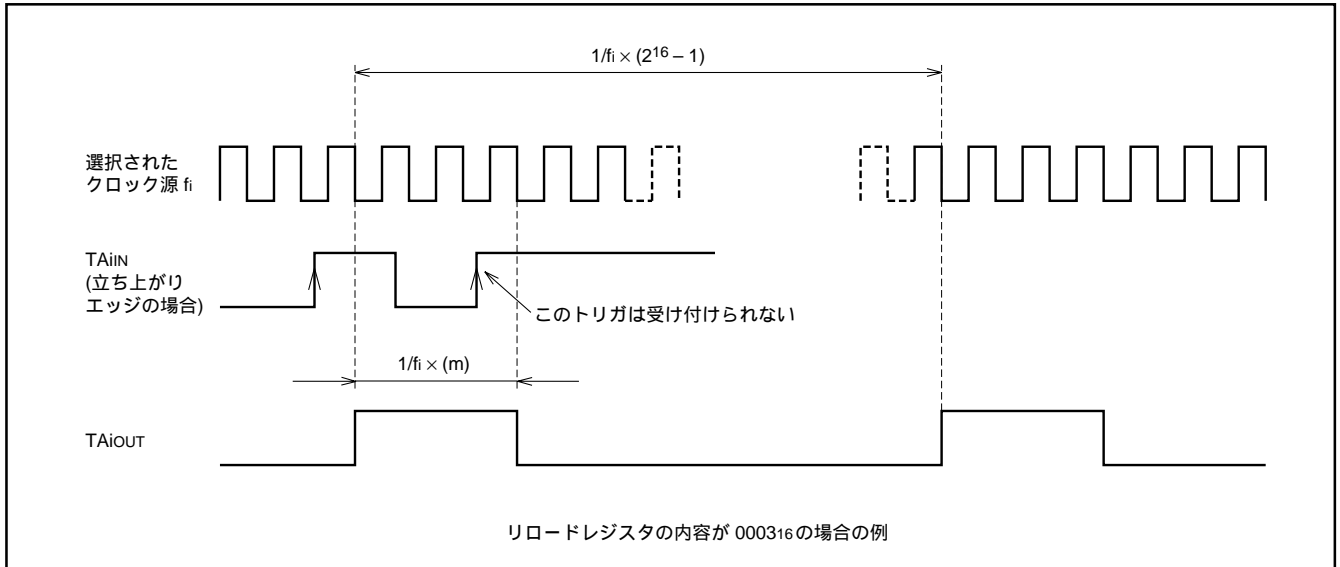


図51 . 16ビット長パルス幅変調器の出力パルス例

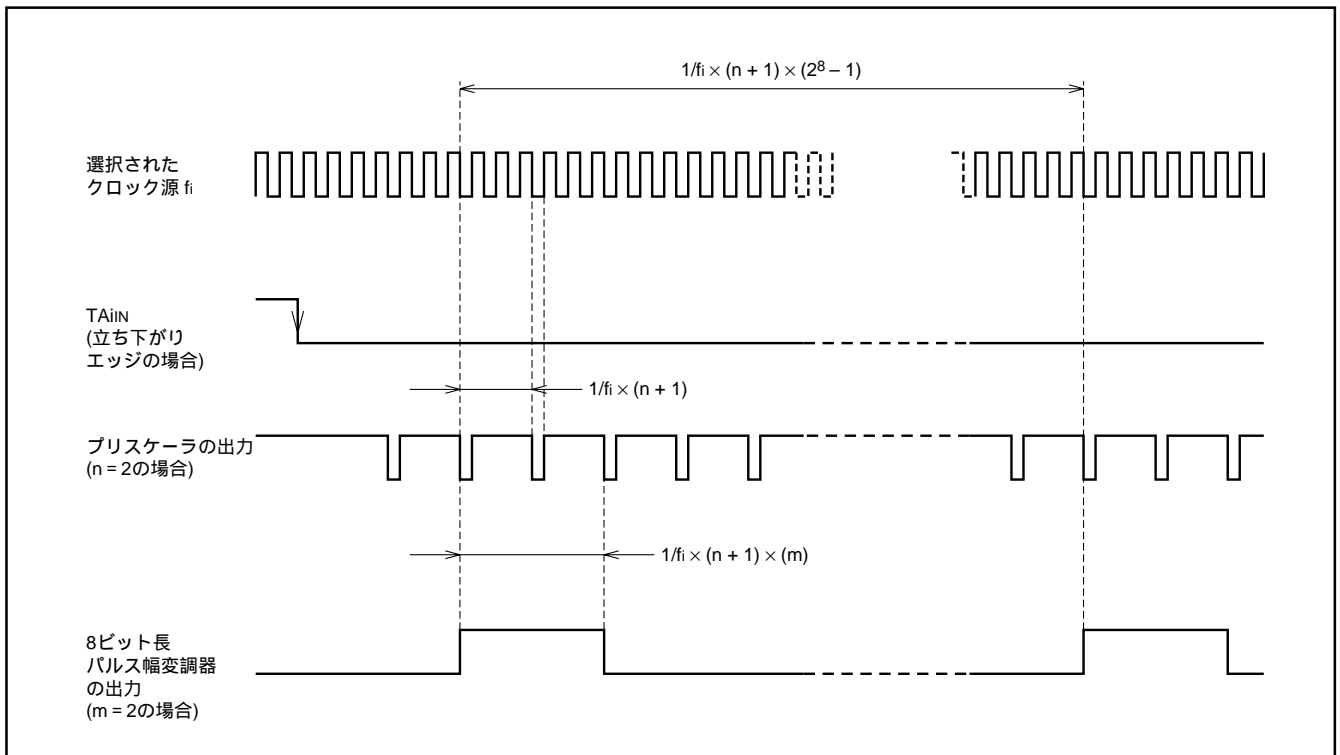


図52 . 8ビット長パルス幅変調器の出力パルス例

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

タイマB

図53にタイマBのブロック図を示します。

タイマBは、タイマモード、イベントカウンタモード、パルス周期測定/パルス幅測定モードの3種類のモードが選択できます。モードは、タイマBiモードレジスタ(i=0~2)のビット0とビット1の内容で選択します。

次に、各モードについて説明します。

(1) タイマモード [00]

図54にタイマモード時のタイマBiモードレジスタのビット構成を示します。タイマモードでは、タイマBiモードレジスタのビット0とビット1は必ず“0”にしてください。ビット6とビット7でクロック源を選択します。カウント開始フラグの内容が“1”のとき、選択されたクロックをカウントします。“0”のときは停止します。タイマBiのカウント開始フラグは、図39に示すようにタイマAiのカウント開始フラグと同一番地にあります。

カウントはダウンカウントで、カウンタの内容が0000₁₆になると、割り込み要求信号を発生し、タイマBi割り込み制御レジスタの割り込み要求ビットをセットします。同時に、リロードレジスタの内容をカウンタに入れ、カウントを続けます。

タイマBiには、パルス出力機能、ゲート機能はありません。

タイマBiが停止中にタイマBiレジスタにデータを書き込むと、リロードレジスタとカウンタにそのデータが書き込まれます。タイマBiが動作中にタイマBiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容は任意のタイミングで読み出すことができます。

(2) イベントカウンタモード [01]

図55にイベントカウンタモード時のタイマBiモードレジスタのビット構成を示します。イベントカウンタモードでは、ビット0は“1”に、ビット1は“0”にしてください。

カウント開始フラグの内容が“1”のとき、TBin端子からの入力信号をカウントします。“0”のときはカウントを停止します。

ビット3の内容が“0”で、ビット2の内容が“0”のとき、入力信号の立ち下がりでカウントし、“1”のとき、入力信号の立ち上がりでカウントします。

また、ビット3の内容が“1”で、ビット2の内容が“0”のとき、入力信号の立ち下がり及び立ち上がりでカウントします。

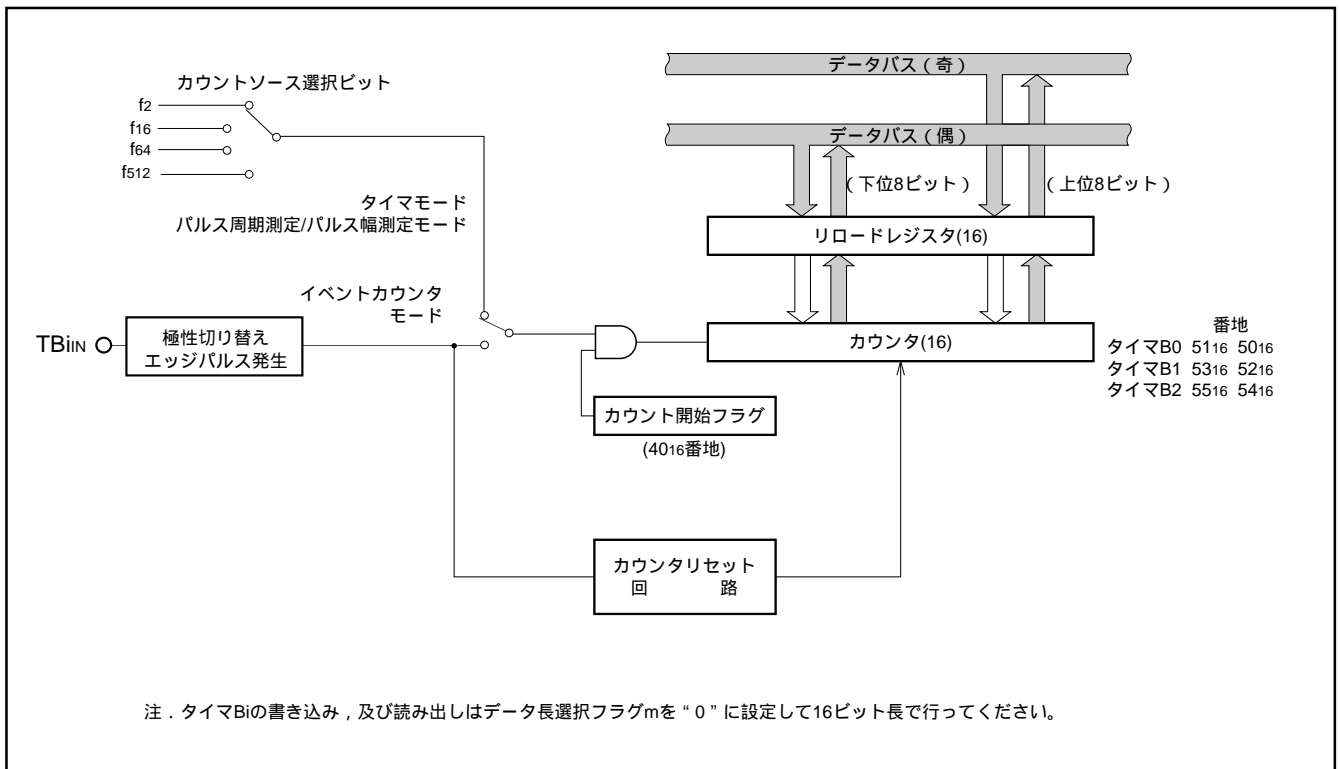


図53．タイマBのブロック図

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

(3) パルス周期測定/パルス幅測定モード [10]

図56にパルス周期測定/パルス幅測定モード時のタイマBiモードレジスタのビット構成を示します。

パルス周期測定/パルス幅測定モードでは、ビット0は“0”に、ビット1は“1”にしてください。ビット6とビット7でクロック源を選択します。カウント開始フラグの内容が“1”のとき、選択されたクロックをカウントします。“0”のときはカウントを停止します。

ビット3の内容が“0”のときは、パルス周期測定モードになります。パルス周期測定モードでは、TBIIN端子からの入力信号の立ち下がりから立ち上がりまで、又は入力信号の立ち上がりから立ち上がりまでの間選択されたクロックをカウントし、結果をリロードレジスタに入れます。この場合リロードレジスタはバッファレジスタとして働いています。

ビット2の内容が“0”のときは、入力信号の立ち下がりから立ち上がりまでカウントし、“1”のときは、入力信号の立ち上がりから立ち上がりまでカウントします。

入力信号の立ち下がりから立ち上がりまでカウントする場合について、カウントの方法を説明します。図57に示すようにTBIIN端子からの入力信号の立ち下がりを検出すると、カウンタの内容をリロードレジスタへ転送します。次にカウンタをクリアし、次のクロックからカウントを始めます。次の入力信号の立ち下がりを検出すると、再びカウンタの内容をリロードレジスタへ転送し、カウンタをクリアした後、クロックのカウントを始めます。このようにして、入力信号の立ち下がりから立ち上がりまでの周期を測定します。カウンタの内容をリロードレジスタに送った後、割り込み要求信号を発生し、タイマBi割り込み制御レジスタの割り込み要求ビットをセットします。ただし、カウント開始フラグの内容を“1”にした後、最初にカウンタの内容をリロードレジスタに送ったときには、割り込み要求信号は発生しません。

ビット3の内容が“1”のときは、パルス幅測定モードになります。パルス幅測定モードでは、図58に示すようにTBIIN端子からの入力信号の立ち下がりから立ち上がり又は立ち上がりから立ち下がりまでカウントします。カウントする期間が異なることを除けば、パルス周期測定モードと同じです。タイマBiから読み出しを行うと、リロードレジスタのデータが読み出されます。

なお、このモードでのTBIIN端子からの入力信号の立ち下がりから立ち上がりまでの期間、又は立ち上がりから立ち下がりまでの期間は、タイマのカウントソースの2サイクル分以上にしてください。

また、タイマBiモードレジスタのビット5はタイマBiオーバフローフラグで、タイマBiカウンタの内容が0000₁₆になる(パルス幅あるいはパルス周期が16ビット長で計測できる長さよりも長かったことを示します。)と“1”がセットされます。このフラグは対応するタイマBiモードレジスタに書き込

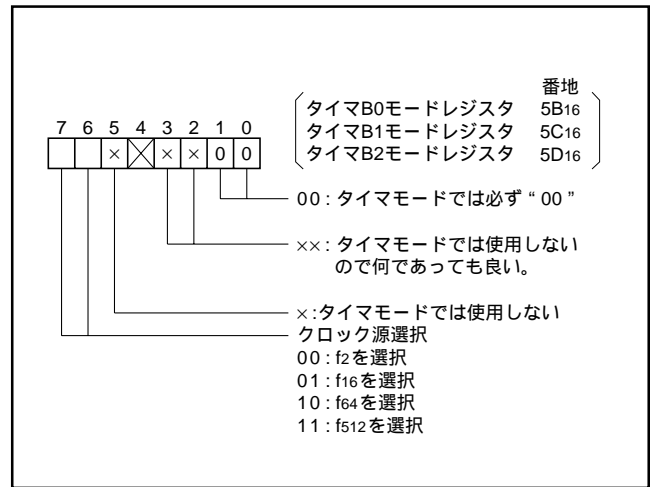


図54. タイマモード時のタイマBiモードレジスタのビット構成

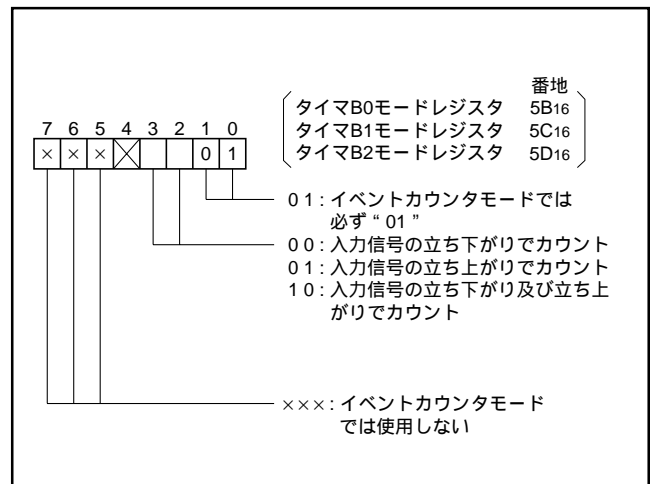


図55. イベントカウンタモード時のタイマBiモードレジスタのビット構成

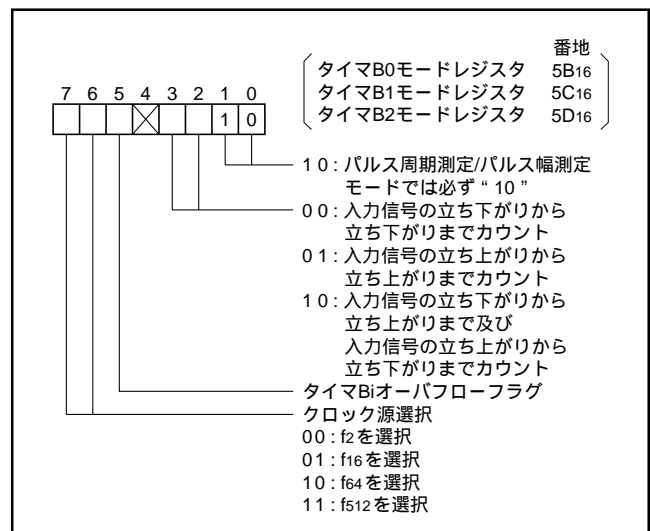


図56. パルス周期測定/パルス幅測定モード時のタイマBiモードレジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

みを行うとクリアされます。なお、リセット時は“1”です。

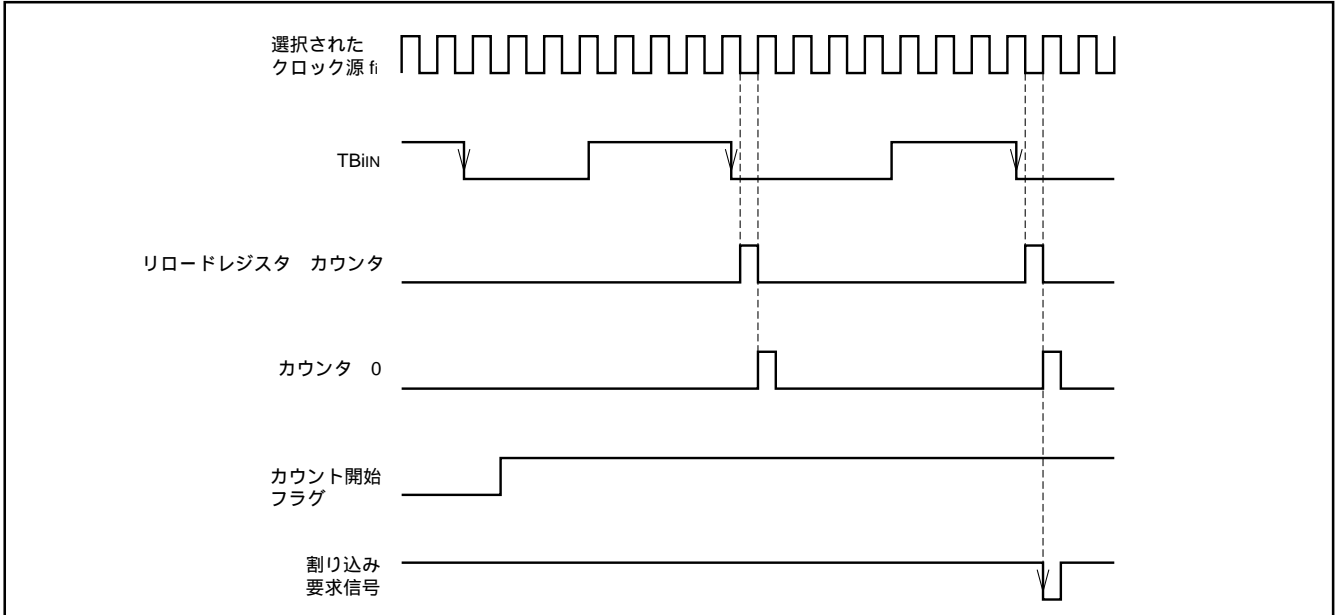


図57. パルス周期測定モードの動作(立ち下がりから立ち下がりまで測定の例)

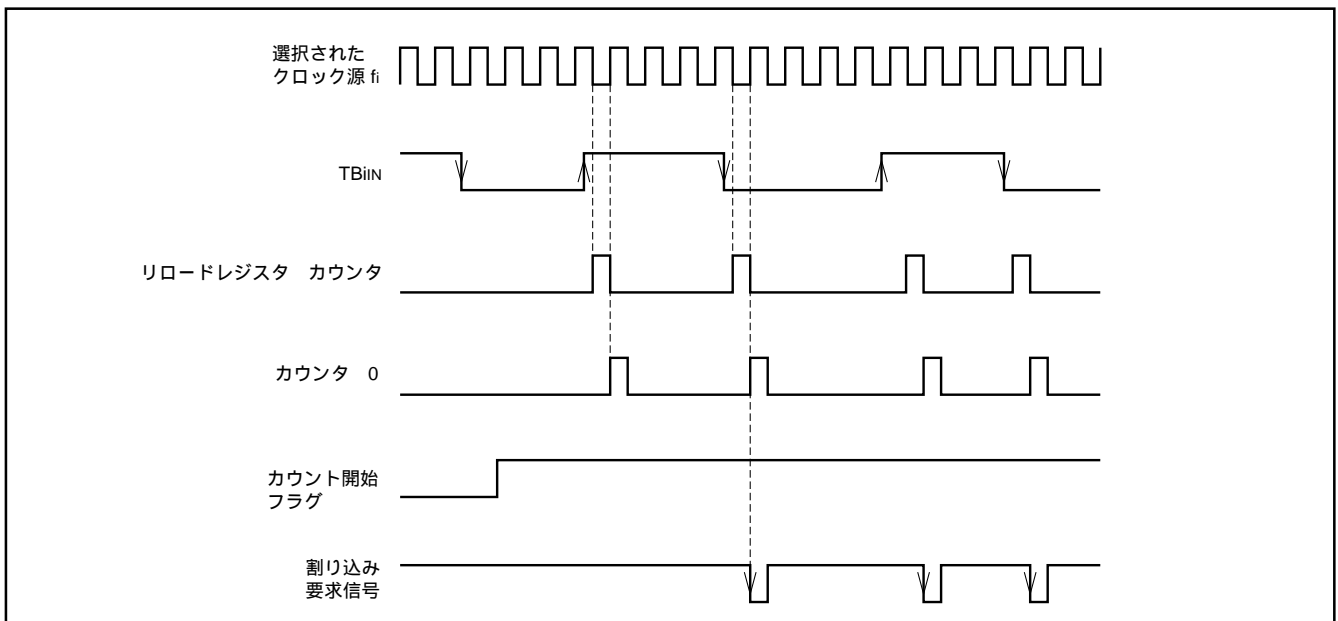


図58. パルス幅測定モードの動作

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

シリアルI/O

シリアルI/Oは全く独立して2本内蔵されています。

図59にシリアルI/Oのブロック図を示します。

図60に示すUARTi(i = 0, 1)送受信モードレジスタのビット0~2の内容でポートP8をプログラマブル入出力ポートとして使用するか、クロック同期形シリアルI/Oとして使用するか、あるいはスタートビット、ストップビットを用いる非同期形(UART)シリアルI/Oとして使用するかを選択します。ただし、クロック同期形シリアルI/O又はUARTモードを選択した場合でも、一部の端子はプログラマブル入出力ポートとして使用できます。

図61と図62に受信部及び送信部のブロック図を示します。

図63にUARTi送受信制御レジスタのビット構成を示します。

以下に各通信方法について説明します。

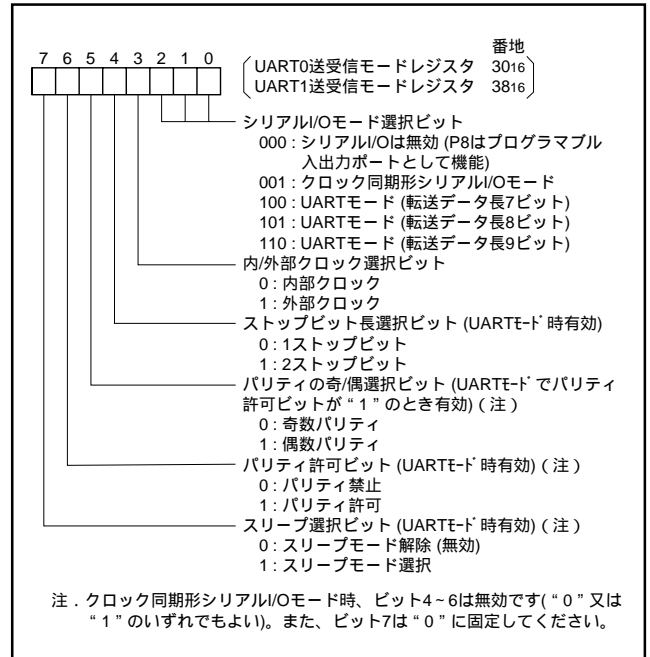


図60. UARTi送受信モードレジスタのビット構成

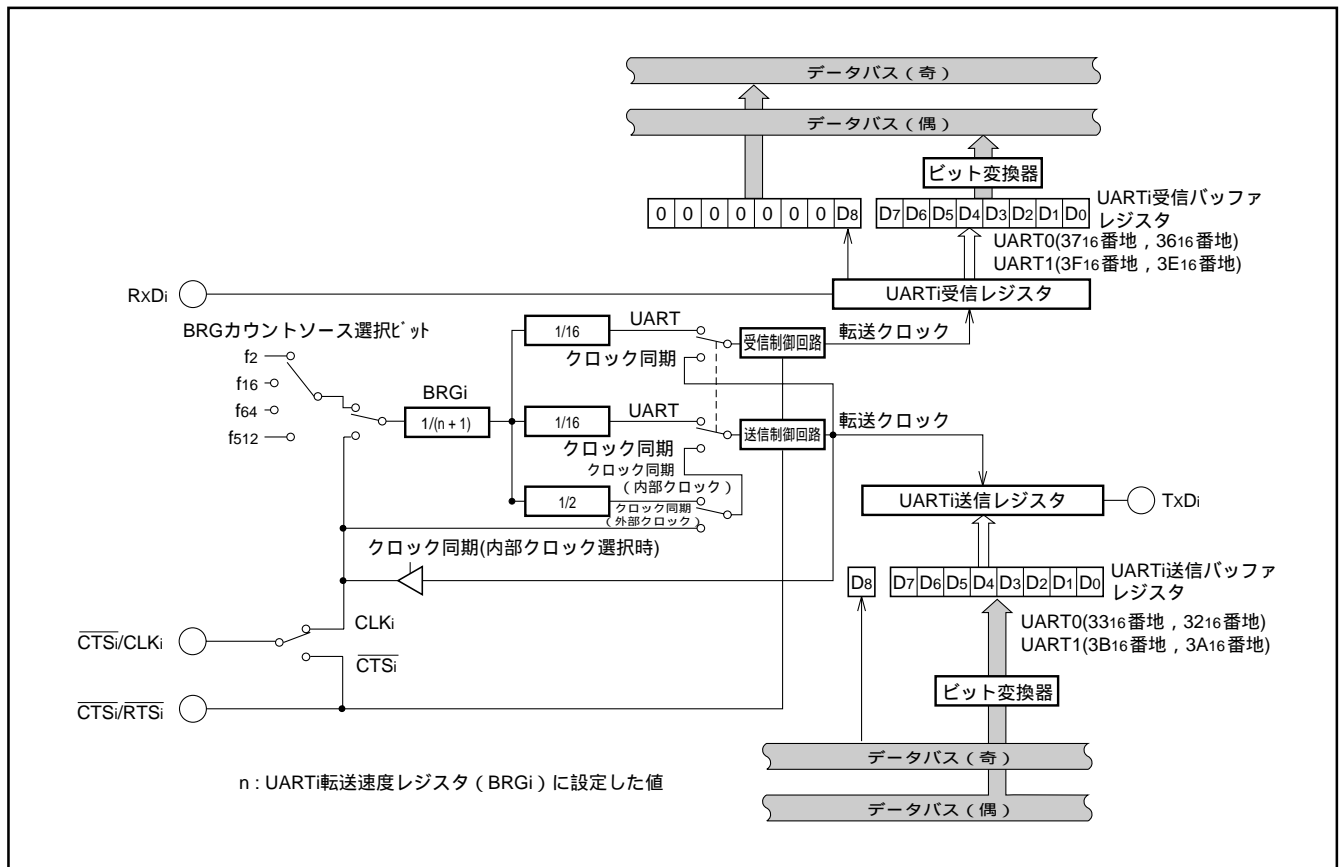


図59. シリアルI/Oのブロック図

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

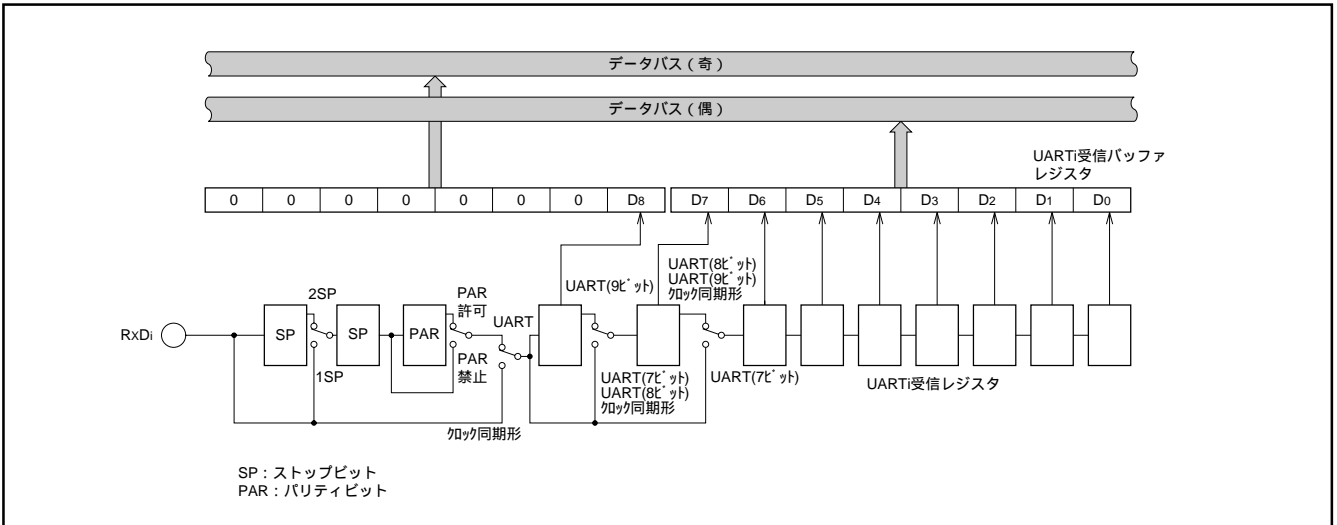


図61. 受信部ブロック

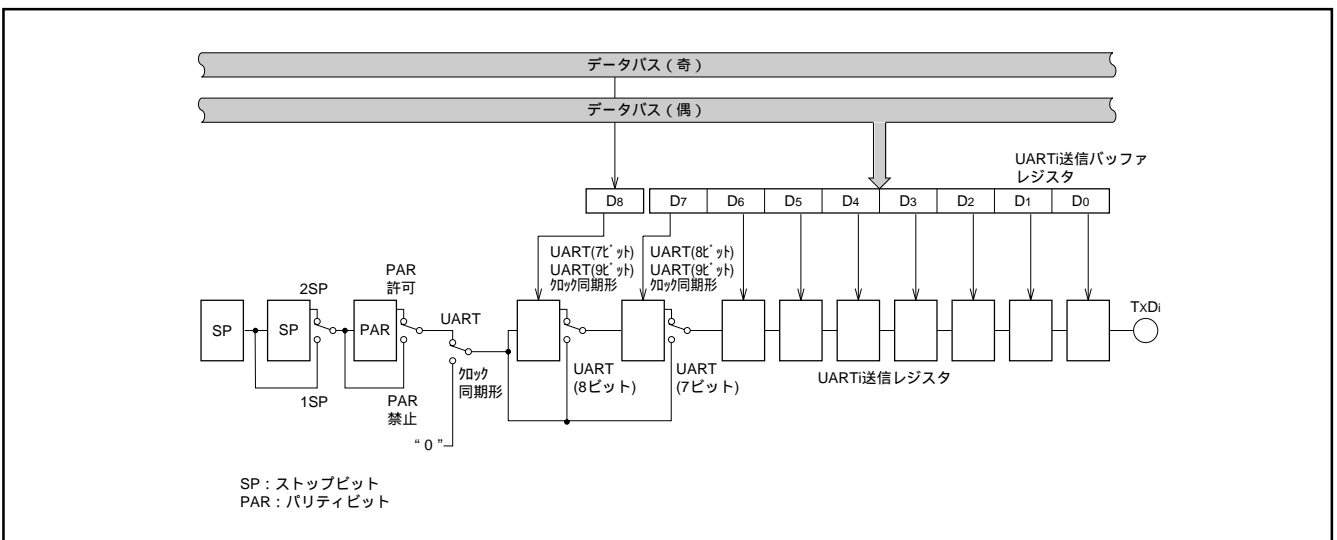


図62. 送信部ブロック

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

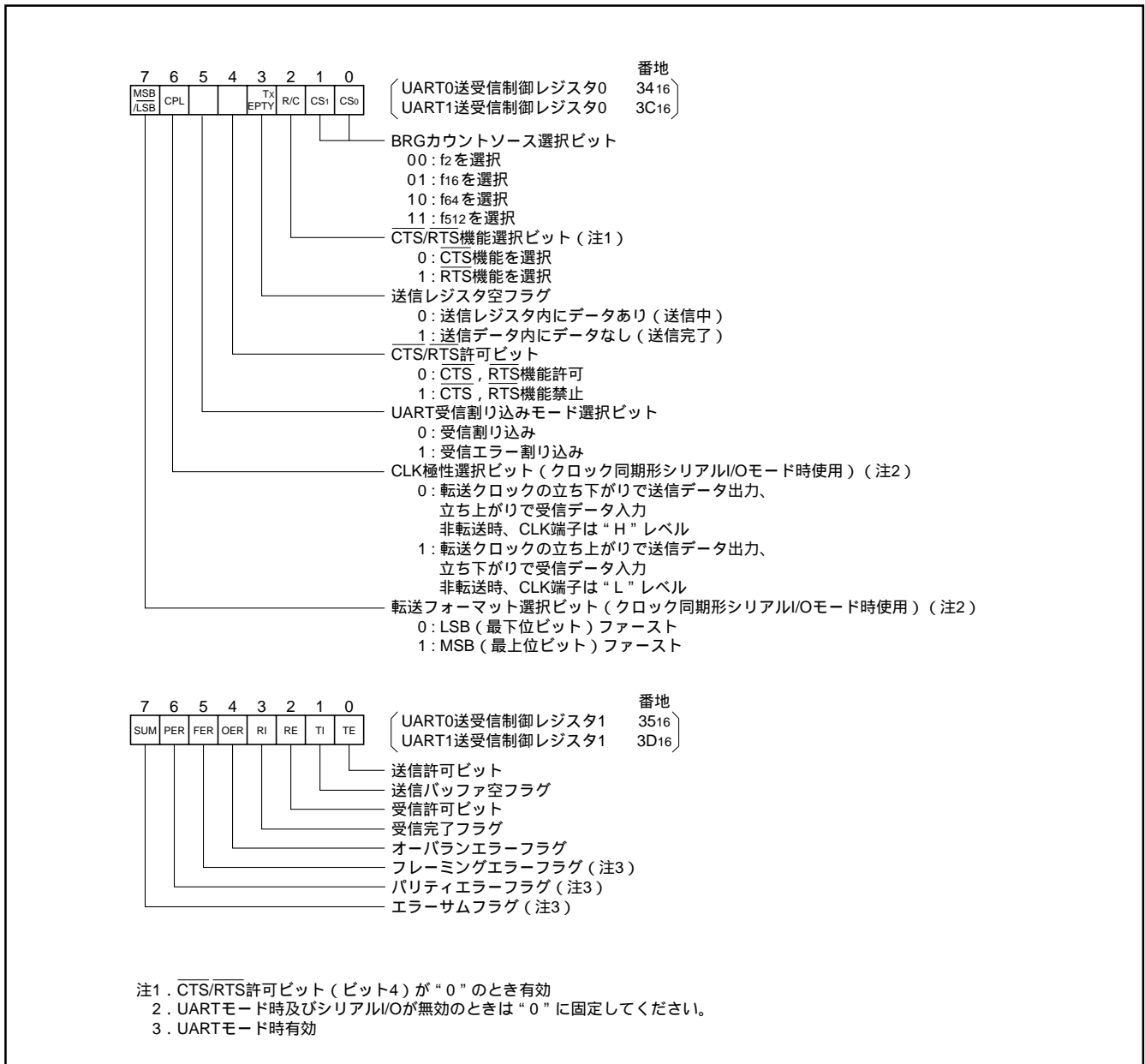


図63. UARTi送受信制御レジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

クロック同期形直列通信

図64に示すように、2つのクロック同期形シリアルI/Oの間で通信を行う場合を例にとって説明します。(送信側の添字はjとし、受信側の添字はkとします。)

UARTj送受信モードレジスタ、及びUARTk送受信モードレジスタのビット0は“1”に、ビット1とビット2は“0”にします。転送データのビット長は8ビットで固定です。

クロックを送る側のUARTj送受信モードレジスタのビット3の内容を“0”にして、内部クロックを選択します。

クロックを受け取る側のUARTk送受信モードレジスタのビット3の内容を“1”にして、外部クロックを選択します。ビット4、ビット5、ビット6はクロック同期形では無効になります。ビット7の内容は必ず“0”にしてください。

クロックを送る側のUARTj送受信制御レジスタ0のビット0(CS0)とビット1(CS1)の内容でクロック源を選択します。

選択されたクロックは、図59に示すように(n+1)分周され、さらに2分周されて送信制御回路を経て外部へ送信クロックCLKjとして出力されます。したがって、選択したクロックをfiとすると、

$$\text{転送速度} = fi / \{(n+1) \times 2\}$$

となります。

クロックを受け取る側は、外部クロックを選択しているのでUARTk送受信制御レジスタ0のCS0とCS1の内容は無効です。

UART0とUART1と共にCTS、RTS機能を使用することができます。

CTS、RTS信号を使用するかどうかはUARTi送受信制御レジスタ0のビット4(CTS/RTS許可ビット)で選択できます。CTS、RTS信号を使用する場合はビット4を“0”に、使用しない場合はビット4を“1”にします。CTS、RTS信号を使用しない場合、CTS/RTS端子は通常のポートとして使用できます。

CTS/RTS端子として使用する場合、UARTi送受信制御レジスタ0のビット2(CTS/RTS機能選択ビット)の内容を“0”にすると、CTS入力を選択され、“1”にするとRTS出力が選択されます。

以下の説明ではCTS、RTS信号を使用する場合について説明しますが、CTS、RTS信号を使用しない場合、CTS入力の条件は必要なく、RTS出力はありません。

また図71に示すシリアルI/O端子制御レジスタのビット2、ビット3でポートP83、P87をTxDi機能として使用するか、ポート機能として使用するかを選択できます。ビット2、ビット3を“0”にするとTxDi機能になり、“1”にするとポート機能になります。したがって、TxDi端子を使用しない入力専用のシステムではTxDi端子はポートとして使用できます。

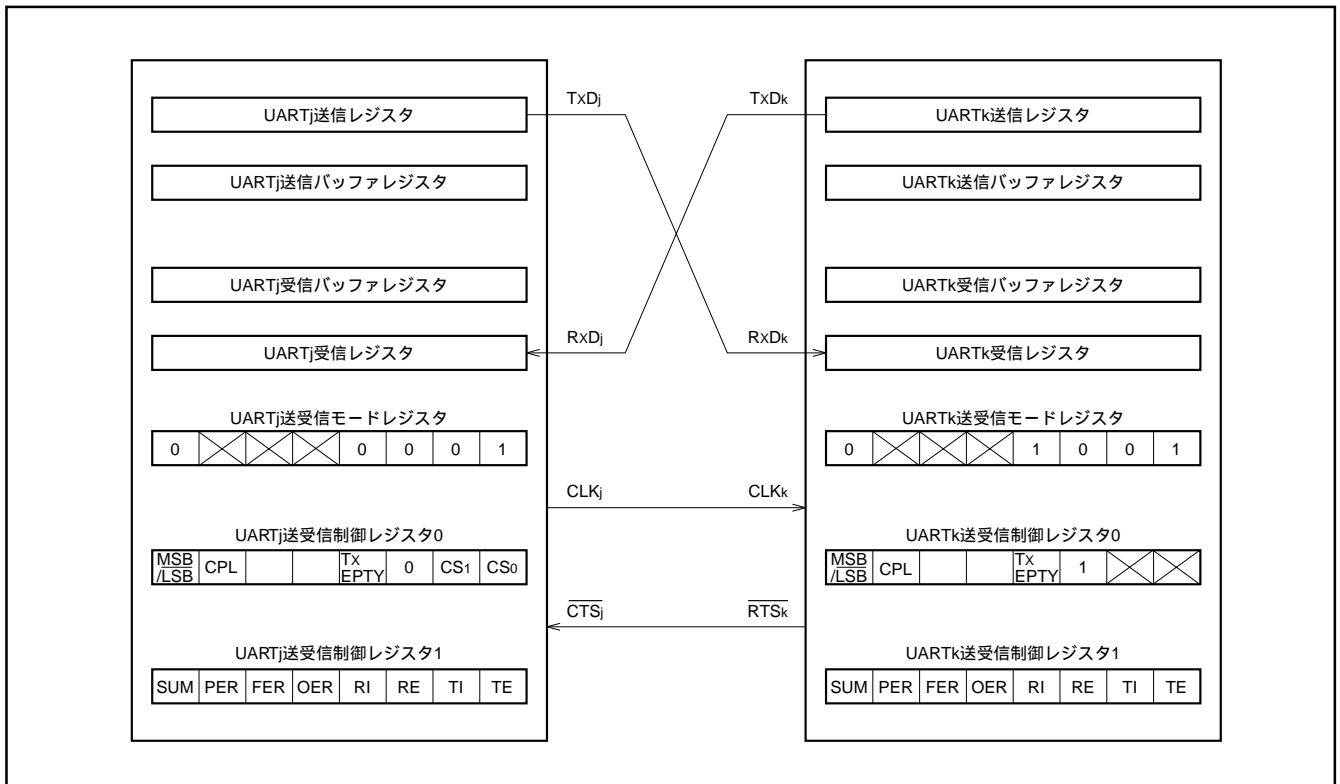


図64. クロック同期形直列通信

送 信

送信器は以下の3条件が成立した時に、送信を開始します。

- ・UARTj送受信制御レジスタ1のビット0(TEjフラグ：送信許可フラグ)の内容が $\bar{1}$
- ・UARTj送受信制御レジスタ1のビット1(TIjフラグ)の内容が $\bar{0}$

TIjフラグは、送信バッファレジスタが空かどうかを示すフラグで、送信バッファレジスタに送信データの書き込みを行うと $\bar{0}$ になり、送信バッファレジスタの内容を送信レジスタへ転送して、送信バッファレジスタが空になると $\bar{1}$ になります。

- ・CTSj入力(受信側からの送信許可入力)が \bar{L}

送信条件が整うと送信バッファレジスタ内の送信データが送信レジスタに転送され送信が開始されます。送信が開始されると図65に示すように、送信クロックCLKjが \bar{H} から \bar{L} (クロック同期形シリアルI/Oでは転送クロックの極性を反転することができます。後述の転送クロック極性の選択を参照してください。)になるたびに、TxDj端子からデータが出力されます。データは送信バッファレジスタ下位ビットから出力します。

送信レジスタの内容を送信し終って、送信レジスタの内容が空になったときに、次の送信開始条件が整っていれば送信バッファレジスタから、送信レジスタへのデータの転送は自動的に行われ、連続して次の送信が開始されます。一度、送信を開始すると送信中のデータを送信し終るまではTEjフラグ、TIjフラグ、CTSj信号の条件を見ないので、送信中にCTSj入力を \bar{H} にしても送信が中断されることはありません。

図65に示すTENDj信号の \bar{H} の期間に送信開始条件であるTEjフラグ、TIjフラグ、CTSjの状態を調べます。したがって、TENDj信号の \bar{H} の期間が来る前に、送信バッファレジスタに次に送信すべきデータを書き込んでTIjフラグを $\bar{0}$ にしておくと、連続してデータを転送することができます。

UARTj送受信制御レジスタ0のビット3(TxEPTYjフラグ)は、TENDj信号が \bar{H} になった次のサイクルで $\bar{1}$ になり送信を始めると $\bar{0}$ になります。したがって、このフラグによってデータを送信し終ったかどうか判定することができます。

TIjフラグが $\bar{0}$ から $\bar{1}$ に変化すると、UARTj送信割り込み制御レジスタの割り込み要求ビットが $\bar{1}$ になります。

受 信

UARTk送受信制御レジスタ1のビット2(REkフラグ)を $\bar{1}$ にすると受信可能状態となり、外部からCLKkが入力されるとこれに同期して受信動作を行います。

RTSk出力はREkフラグの内容が $\bar{0}$ のときは \bar{H} ですが、REkフラグの内容を $\bar{1}$ にすると \bar{L} になり、受信可能状態に

なったことを送信側に知らせます。受信を始めるとRTSk出力は自動的に \bar{H} になります。

受信が開始されると受信器は、送信クロックCLKjが \bar{L} から \bar{H} (クロック同期形シリアルI/Oでは転送クロックの極性を反転することができます。後述の転送クロック極性の選択を参照してください。)になるたびに、RxDk端子からデータを取り込むと同時に、受信レジスタの内容を1ビットシフトします。8ビット長のデータを受け取ると、受信レジスタの内容は受信バッファレジスタへ転送され、UARTk送受信制御レジスタ1のビット3(RIkフラグ)が $\bar{1}$ になります。すなわち、RIkフラグが $\bar{1}$ になることは、受信バッファレジスタに受信データが入ったことを示します。

このときUARTk受信バッファレジスタの下位バイトを読み出すとRTSk出力は再び \bar{L} になり、次のデータの受信が可能であることを示します。

UARTk送受信制御レジスタ1のビット4(OERkフラグ)は、RIkフラグが $\bar{1}$ のまま、次のデータを受信レジスタから受信バッファレジスタへ転送したときに $\bar{1}$ になり、受信バッファレジスタの内容を読み出す前に、次のデータが受信バッファレジスタに転送されたことを示します(オーバランエラーの発生)。RIkフラグは、受信バッファレジスタの下位バイトを読み出すか、REkフラグを $\bar{0}$ にすると自動的に $\bar{0}$ になります。また、OERkフラグはREkフラグを $\bar{0}$ にすることによって、 $\bar{0}$ になります。ビット5(FERkフラグ)、ビット6(PERkフラグ)、ビット7(SUMkフラグ)は、クロック同期形では無効になります。

図59に示すように、クロック同期形直列通信では、受信クロックは送信クロックから作られるので、送信器が動作しないと受信は行われません。したがって、UARTk側からUARTj側へのデータの送信が必要なくても、送信器は動作させてダミーデータの送信をする必要があります。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

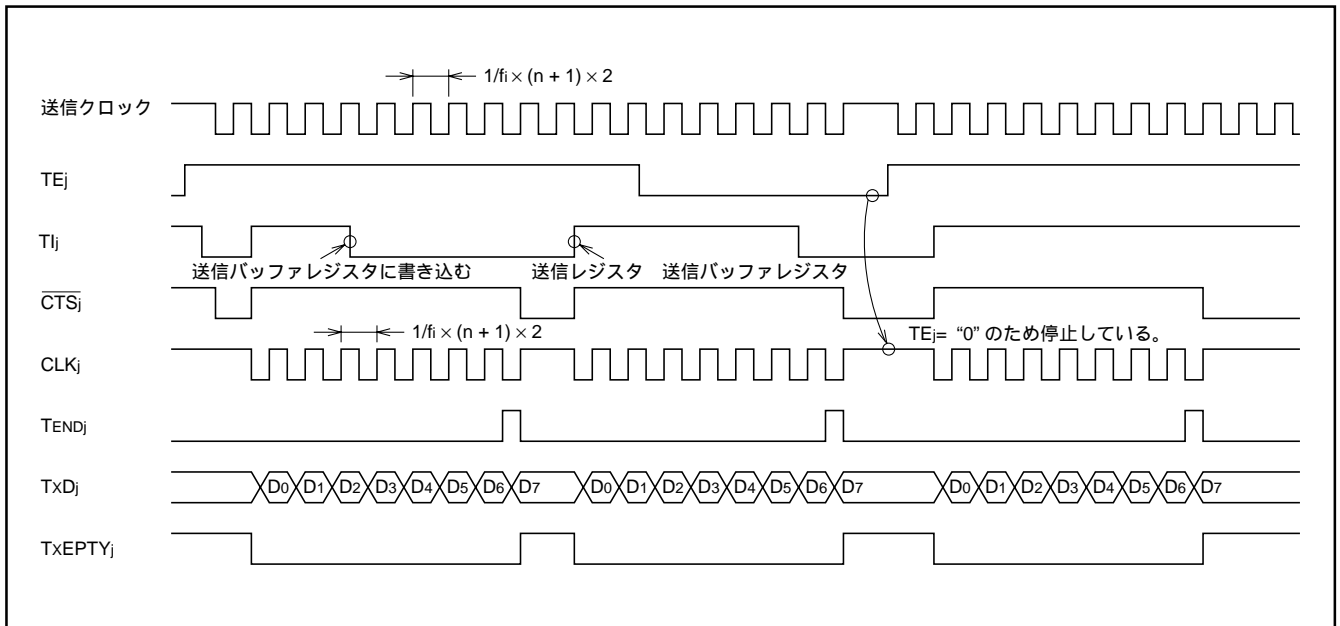


図65. クロック同期形シリアルI/Oのタイミング

受信完了時の割り込み要求

RIKフラグが 0 から 1 に変化したとき、すなわち受信完了時にUARTk受信割り込み制御レジスタの割り込み要求ビットを 1 にすることができます。

割り込み要求ビットを 1 にするタイミングは、受信ごとと受信時にエラーが発生したときのいずれから選択できます。UARTk送受信制御レジスタ0のビット5(UARTk受信割り込みモード選択ビット)を 0 にすると、受信ごとに割り込み要求ビットが 1 になり、ビット5を 1 にするとエラー発生時(クロック同期形シリアルI/Oモード時はオーバランエラー発生時)のみ割り込み要求ビットが 1 になります。

転送クロック極性の選択

クロック同期形直列通信では、UARTj送受信制御レジスタ0のビット6(CPL)で転送クロックの極性を選択することができます。

図66に示すようにビット6が 0 の場合、送信時はCLKjの立ち下がりエッジで送信データ出力を、受信時はCLKkの立ち上がりエッジで受信データ入力を行い、非転送時のCLKiを H レベルとします。ビット6が 1 の場合は逆に、送信時はCLKj立ち上がりエッジで送信データ出力を、受信時はCLKkの立ち下がりエッジで受信データ入力を行い、非転送時のCLKiを L レベルとします。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

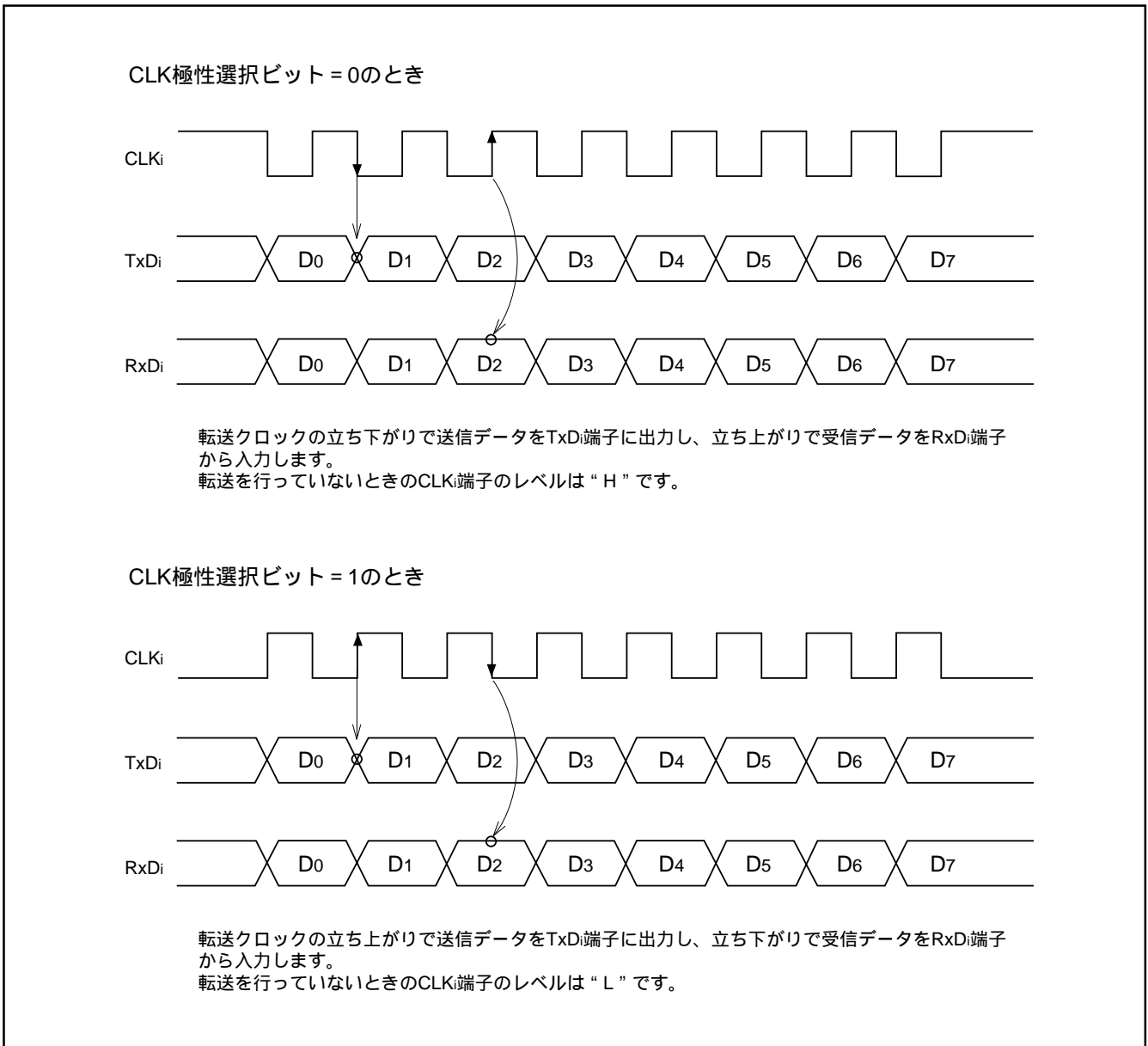


図66. 転送クロックの極性

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

転送フォーマットの選択

クロック同期形直列通信では、送受信制御レジスタ0のビット7の内容によって、転送フォーマットを選択することができます。ビット7の内容が「0」のとき転送フォーマットはLSBファースト、「1」のときMSBファーストになります。

図67に示すようにこの機能は、送信バッファレジスタに送

信データを書き込むとき、又は受信バッファレジスタから受信データを読み出すときに、送信バッファレジスタ/受信バッファレジスタとデータバスの接続関係を切り替えることによって実現しています。したがって、いずれの転送フォーマットを選択した場合も、送受信器本体の動作は同じです。

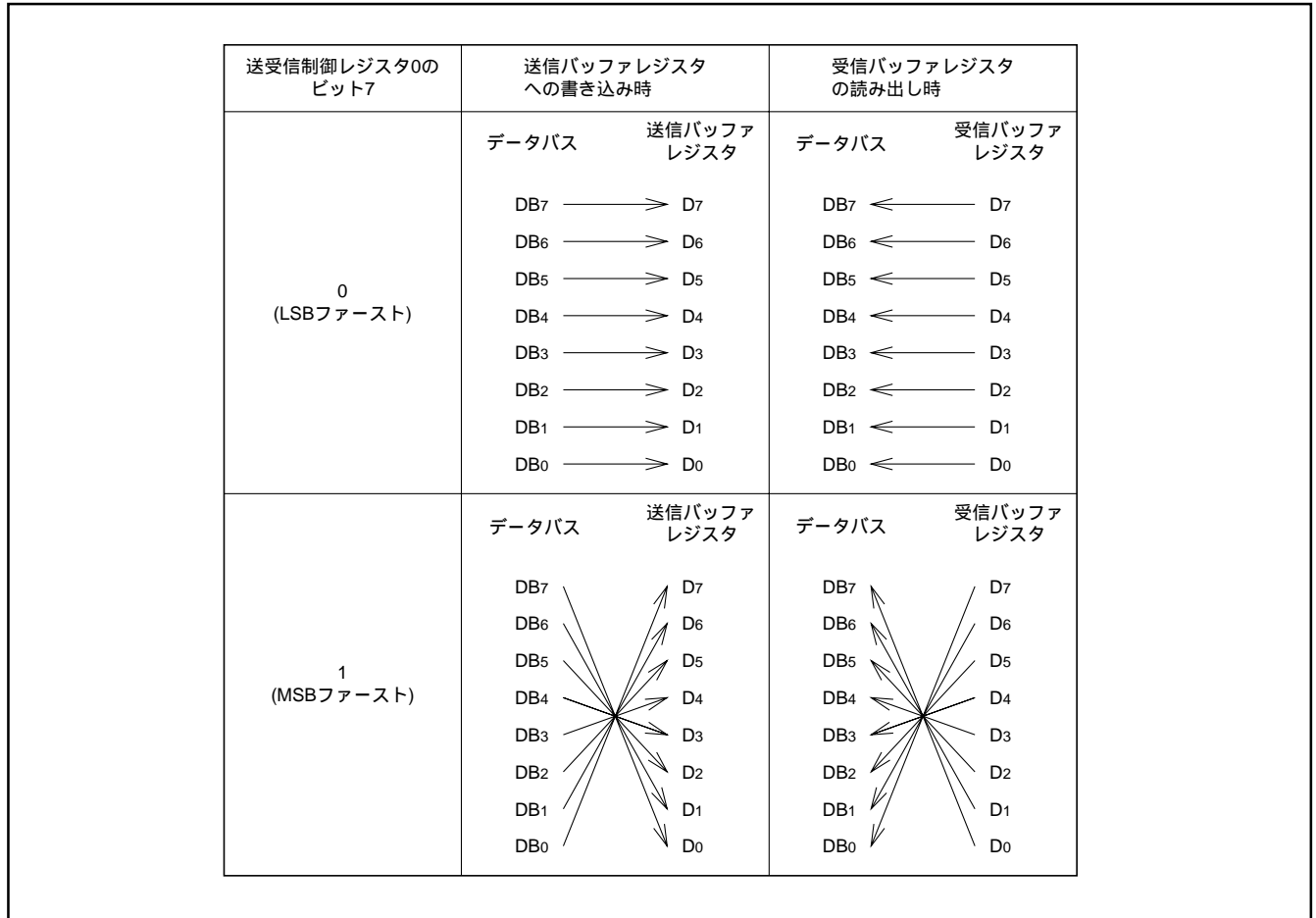


図67. 送信バッファレジスタ/受信バッファレジスタとデータバスの接続関係

クロック同期形シリアルI/Oモード使用上の注意

CTS₀/RTS₀端子を使用するときは、D-A2出力許可ビット(9616番地のビット2)を(出力禁止)にしてください。また、クロック同期形シリアルI/OモードではCTS_i/RTS_iの分離機能を選択できません。更に内部クロック選択時はRTS出力が不定のため、RTS機能を使用しないでください。

送信を行うときは、シリアルI/O端子制御レジスタ(AC16番地)のビット2、ビット3を「0」にしてください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

非同期形直列通信

非同期形直列通信では転送データ長により、7ビット非同期通信、8ビット非同期通信、9ビット非同期通信のうちいずれか一つを選択できます。これらは転送ビット長が異なるだけですので、8ビット非同期通信についてのみ説明します。

8ビット非同期通信では、UARTi送受信モードレジスタのビット0は“1”に、ビット1は“0”に、ビット2は“1”にします。

ビット3は、内部クロックを選択する場合は“0”、外部クロックを選択する場合は“1”にします。内部クロックを選択した場合は、さらにUARTi送受信制御レジスタ0のビット0(CS0)とビット1(CS1)でクロック源を選択します。非同期形直列通信で内部クロックを選択した場合、CLKi端子は通常の入出力端子として使用できます。

選択された内部クロック又は外部クロックは(n+1)分周さ

れ、さらに16分周され、制御回路を経てUART送信クロックあるいはUART受信クロックとなります。したがって、転送速度レジスタの内容nを変えると、転送速度を変えることができます。選択した内部クロックをfiあるいは外部クロックをfEXTとすると

転送速度 = (fi又はfEXT) / {(n+1) × 16} となります。

ビット4は、ストップビット長を1ビットとするか、2ビットとするかを選択するストップビット長選択ビットです。

ビット5は、データの“1”の個数とパリティビットの“1”の個数を加算した合計がいつも奇数になるようにパリティビットを“1”あるいは“0”に調整する奇数パリティ、あるいは合計がいつも偶数になるように調整する偶数パリティのいずれかを選択するパリティ奇/偶選択ビットです。

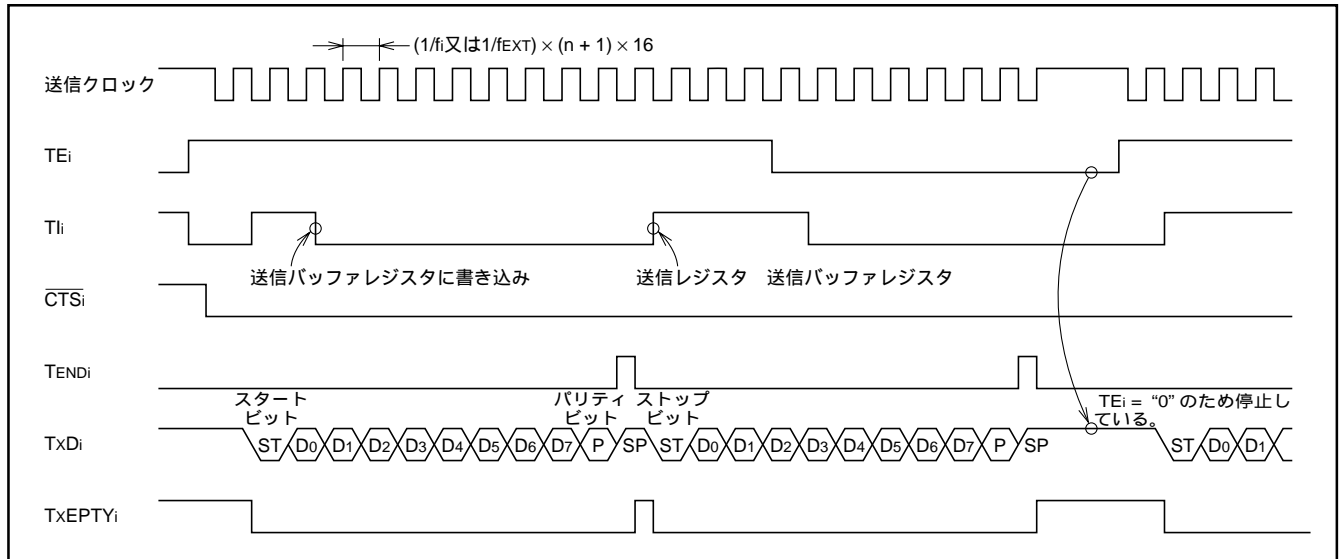


図68. パリティ付、1ストップビット、8ビット非同期を選択した場合の送信のタイミング例

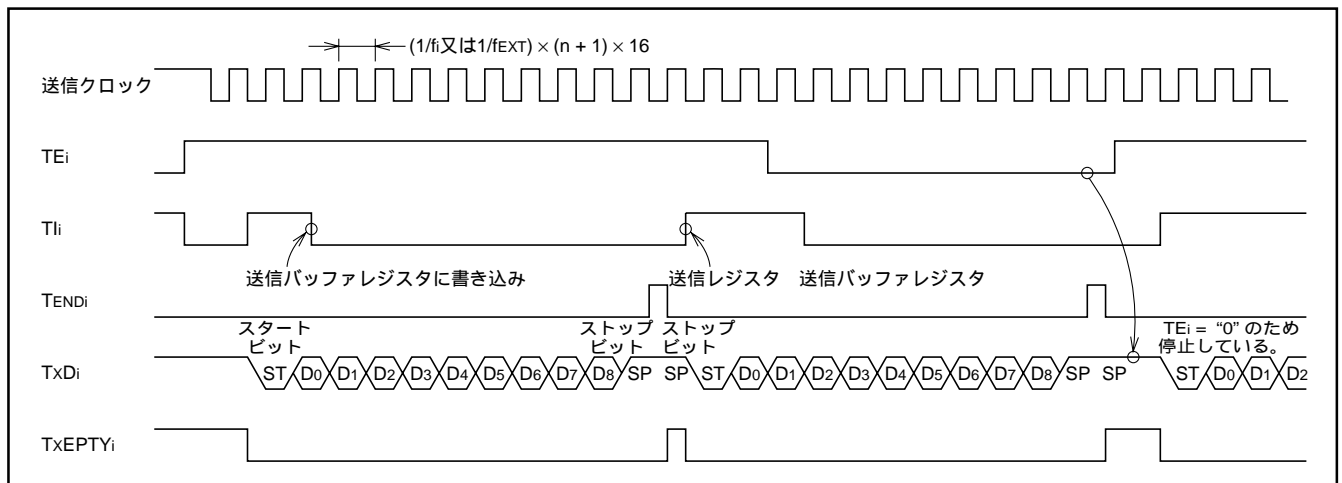


図69. パリティなし、2ストップビット、9ビット非同期を選択した場合の送信のタイミング例

ビット6は、パリティビットを付加するかしないかを選択するパリティ許可ビットです。

ビット4からビット6は、相互に通信する通信フォーマットにより“0”あるいは“1”に設定します。

ビット7はスリープ選択ビットです。スリープモードについては後で説明します。

図71にシリアルI/O端子制御レジスタのビット構成を示します。シリアルI/O端子制御レジスタのビット0及びビット1(CTS_i/RTS_i分離選択ビット)にてCTS/RTS端子の機能を2つの端子に分離し、それぞれ別々の端子に割り付けることができます。分離する場合はビット0及びビット1を“1”に、行わない場合はビット0及びビット1を“0”にします。表13にCTS/RTS機能の選択を示します。

送 信

送信器はクロック同期形直列通信モードと同様、以下の3条件が成立した時に送信を開始します。

- ・ UART_i 送受信制御レジスタ1のビット0(TE_iフラグ: 送信許可フラグ)の内容が“1”
- ・ UART_i 送受信制御レジスタ1のビット1(TI_iフラグ)の内容が“0”

TI_iフラグは、送信バッファレジスタが空かどうかを示すフラグで、送信バッファレジスタに送信データの書き込みを行うと“0”になり、送信バッファレジスタの内容を送信レジスタへ転送して、送信バッファレジスタが空になると“1”になります。

- ・ CTS_i入力(受信側からの送信許可入力)が“L”

送信条件が整うと送信バッファレジスタ内の送信データが送信レジスタに転送され、送信が開始されます。データは、図68、図69の例に示すように、スタートビット及びUART_i送受信モードレジスタのビット4からビット6の内容で設定したストップビットあるいはパリティビットが付加されて、TxDi端子から出力されます。データは下位ビットから転送されず。

送信レジスタの内容を送信し終わって、送信レジスタの内容が空になったとき、次の送信開始条件が整っていれば、送信バッファレジスタから送信レジスタへのデータの転送は自動的に行われ、連続して次の送信が開始されます。

送信を開始すると、送信中のデータを送信し終るまではTE_iフラグ、TI_iフラグ、CTS_iの条件を見ないので、送信中にTE_iフラグを“0”にしても、あるいはCTS_i入力を“1”にしても送信中のデータを送信し終るまで停止しません。図68に示すTEND_i信号の“H”の期間に送信開始条件であるTE_iフラグ、TI_iフラグ、CTS_i入力を検査します。したがって、TEND_i信号の“H”の期間が来る前に、送信バッファレジスタに次に送信すべきデータを書き込んでTI_iフラグを“0”にしておくことで連続してデータを転送することができます。

UART_i送受信制御レジスタ0のビット3(TxEPTY_iフラグ)はTEND_i信号が“H”になった次のサイクルで“1”になり送信を始めると“0”になります。

したがって、このフラグを検査すると、データを送信し終ったかどうか分かります。

TI_iフラグが“0”から“1”に変化すると、UART_i送信割り込み制御レジスタの中の割り込み要求ビットが“1”になります。

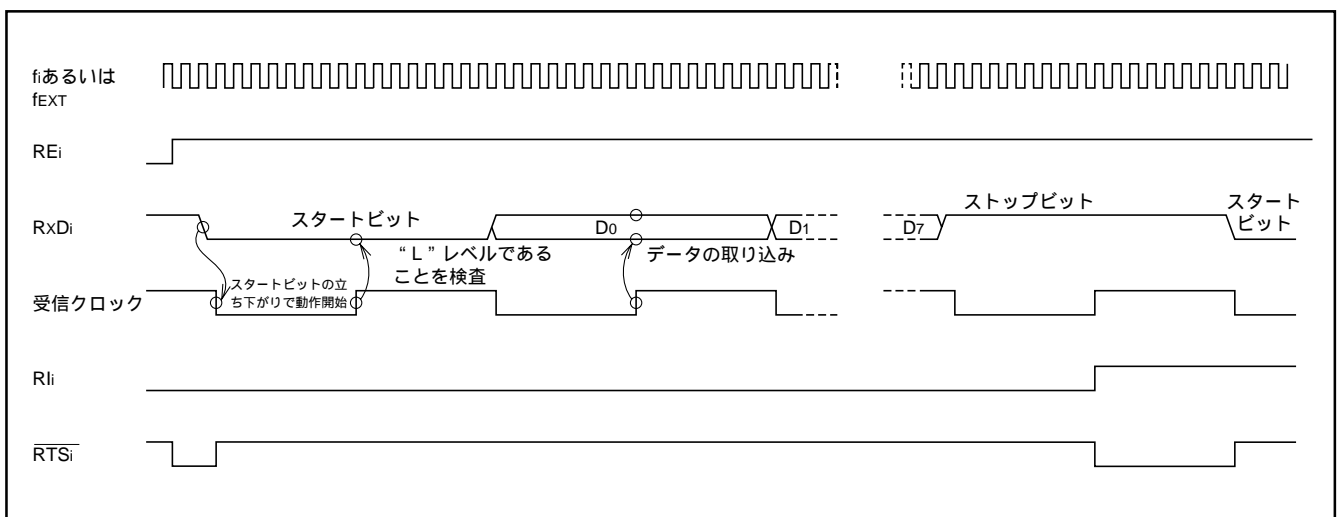


図70. パリティなし、1ストップビット、8ビット非同期を選択した場合の受信のタイミング例

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

表13. CTS/RTS機能の選択

CTS/RTS 許可ビット	CTS _i /RTS _i 分離選択ビット	CTS/RTS 機能選択ビット	機 能			
			P80/CTS ₀ /RTS ₀ 端子(注1)	P81/CTS ₀ /CLK ₀ 端子	P84/CTS ₁ /RTS ₁ 端子	P85/CTS ₁ /CLK ₁ 端子
0	0	0	CTS ₀	P81又はCLK ₀	CTS ₁	P85又はCLK ₁
		1	RTS ₀	P81又はCLK ₀	RTS ₁	P85又はCLK ₁
1	x	x	RTS ₀	CTS ₀ (注2,3)	RTS ₁	CTS ₁ (注2,3)
		x	P80	P81又はCLK ₀	P84	P85又はCLK ₁

x : “0”又は“1”いずれでもよい

- 注1. CTS₀/RTS₀端子を使用するときは、D-A2出力許可ビット(9616番地のビット2) = 0(出力禁止)にしてください。
 注2. CTS機能を使用する場合は、ポートP8方向レジスタの対応するビットを“0”にしてください。
 注3. CTS_i/RTS_i分離を選択した場合は、CLK_i端子を使用できません。したがって、クロック同期形シリアルI/Oモードでは、CTS_i/RTS_iを分離できません。また、UARTモードでCTS_i/RTS_iを分離する場合は、内部クロックを選択してください。

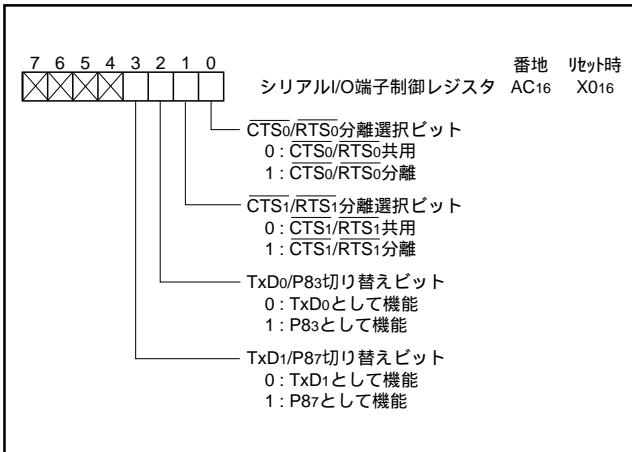


図71. シリアルI/O端子制御レジスタのビット構成

受信

UART_i送受信制御レジスタ1のビット2(RE_iフラグ)を“1”にすると受信可能状態となり、図70に示すようにスタートビットが来ると、受信側の16分周回路が動作を始めデータを受信します。UART_i送受信制御レジスタ0のビット2の内容を“1”にしてRTS_i出力を選択している場合、RE_iフラグが“0”のときRTS_i出力は“H”ですが、RE_iフラグを“1”にすると“L”になり、受信可能状態になったことを送信側に知らせます。受信を始めるとRTS_i出力は自動的に“H”になります。

受信開始後、スタートビットが図61に示す受信部ブロックの受信レジスタの終端ビットを通り抜けたときに、送信されたデータの全ビットを受信したことになり、受信レジスタの内容は受信バッファレジスタへ転送され、UART_i送受信制御レジスタ1のビット3(RI_iフラグ)が“1”にセットされます。すなわち、RI_iフラグが“1”になることは、受信バッファレジスタにデータが入ったことを示します。

このときUART_k受信バッファレジスタの下位バイトを読み出すとRTS_k出力は再び“L”になり、次のデータの受信が可能であることを示します。

UART_i送受信制御レジスタ1のビット4(OER_iフラグ)は、RI_iフラグが“1”のままで次のデータを受信レジスタから受信バッファレジスタへ転送したとき(オーバランエラー)“1”になります。OER_iフラグが“1”であるということは、受信バッファレジスタの内容を読み出す前に、次のデータが受信バッファレジスタに転送されたことを示します。

ビット5(FER_iフラグ)は、ストップビットが規定の個数なかったとき(フレーミングエラー)に“1”になります。

ビット6(PER_iフラグ)は、パリティエラーが発生すると“1”になります。

ビット7(SUM_iフラグ)は、OER_iフラグあるいはFER_iフラグあるいはPER_iフラグのいずれか一つでも“1”になるとSUM_iフラグも“1”になります。したがって、SUM_iフラグを検査するだけでエラーが発生したかどうか分かります。RI_iフラグ、OER_iフラグ、FER_iフラグ、PER_iフラグは受信レジスタの内容を受信バッファレジスタへ転送するとき“1”になり

まず、FERiフラグ、PERiフラグ、SUMiフラグは受信バッファレジスタの下位バイトを読み出すか、REiフラグを“0”にすると“0”になります。OERiフラグは、REiフラグを“0”にすると“0”になります。

受信完了時の割り込み要求

RIkフラグが“0”から“1”に変化したとき、すなわち受信完了時にUARTk受信割り込み制御レジスタの割り込み要求ビットを“1”にすることができます。

割り込み要求ビットを“1”にするタイミングは、受信ごとと受信時にエラーが発生したときのいずれから選択できます。UARTk送受信制御レジスタ0のビット5(UART受信割り込みモード選択ビット)を“0”にすると、受信ごとに割り込み要求ビットが“1”になり、ビット5を“1”にするとエラー発生時(クロック非同期形シリアルI/Oモード時はオーバーランエラー、フレーミングエラー、パリティエラー発生時)のみに割り込み要求ビットが“1”になります。

スリープモード

スリープモードは、複数のマイクロコンピュータをシリアルI/Oを通して接続した場合に、特定のマイクロコンピュータ間のみで通信を行いたい場合に使用します。

UARTi送受信モードレジスタのビット7の内容を“1”にするとスリープモードになります。

スリープモードを選択した場合の動作を8ビット非同期通信の場合について説明します。

スリープモードを選択した場合、受信したデータのビット7(7ビット非同期通信の場合はビット6、9ビット非同期通信の場合はビット8)が“0”のときは、受信レジスタの内容を受信バッファレジスタへ転送しません。また、Rliフラグ、OERiフラグ、FERiフラグ、PERiフラグ、SUMiフラグの内容も変化しません。したがって、UARTi受信割り込み制御レジスタの割り込み要求ビットも変化しません。受信したデータのビット7が“1”の場合は、通常の実動作を行います。

次に、スリープモードの使用例について説明します。主となる一つのマイクロコンピュータは、最初にデータのビット7が“1”で、残りのビット0～ビット6で表される数値を、通信したい従のマイクロコンピュータの番地としたデータを送信します。そうすると、すべての従のマイクロコンピュータは同じデータを受信します。各々の従のマイクロコンピュータは受け取ったデータを調べ、データのビット0～ビット6が自分の番地であれば、スリープ選択ビットを“0”にし、自分の番地でないマイクロコンピュータはスリープ選択ビットを“1”にします。次からは主のマイクロコンピュータは、データのビット7を“0”にしたデータを送信します。そうすると、スリープ選択ビットが“0”になっているマイクロコンピュータは、送られてきたデータを受信しますが、スリープ選択

ビットが“1”になっているマイクロコンピュータは、送られてきたデータを受信しません。このようにして、主のマイクロコンピュータと、特定の従のマイクロコンピュータの間で通信を行うことができます。

クロック非同期形シリアルI/O(UART)モード使用上の注意

CTS₀/RTS₀端子を使用するときは、D-A₂出力許可ビット(9616番地のビット2)を“0”出力禁止)にしてください。また、CTS_i/RTS_i分離を選択した場合は、CLK_i端子が使用できません。したがって、UARTモードでCTS_i/RTS_iを分離する場合は、内部クロックを選択してください。

送信を行うときは、シリアルI/O端子制御レジスタ(AC16番地)のビット2、ビット3を“0”にしてください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

A-D変換器

10ビットの逐次比較方式のA-D変換器です。

図72にA-D変換器のブロック図を、図73にA-D制御レジスタ0(1E16番地)を、図74にA-D制御レジスタ1(1F16番地)のビット構成を示します。

変換精度の選択

A-D制御レジスタ1のビット3で、A-D変換器を10ビットモードで使用するか、8ビットモードで使用するかを選択できます。

ビット3の内容が“1”のとき、変換結果は10ビットとなり、“0”のとき、変換結果は8ビットとなります。

10ビットモードの場合には、変換結果の下位8ビットが対応するA-Dレジスタの偶数番地に格納され、変換結果の上位2ビットはA-Dレジスタの奇数番地のビット0及びビット1に格納されます。A-Dレジスタの奇数番地のビット2～ビット7の読み出し時の値は“0000002”です。

8ビットモードの場合には、変換結果は対応するA-Dレジスタの偶数番地に格納されます。この場合、A-Dレジスタの奇数番地の読み出し時の値は“0016”です。

変換周波数の選択

A-D制御レジスタ0のビット7及びA-D制御レジスタ1のビット4でA-D変換器の動作クロックφADの周波数を選択します。

A-D制御レジスタ1のビット4が“0”の場合、A-D制御レジスタ0のビット7が“0”であればφAD=f2/4、“1”であればφAD=f2/2になります。

A-D制御レジスタ1のビット4が“1”の場合、A-D制御レジスタ0のビット7が“0”であればφAD=f2、“1”であればφAD=f1になります。ただし、最速のφAD=f1は、8ビットモード時のみ選択可能です。

また、比較器は容量結合増幅器で構成されていますので、A-D変換中はφADの周波数は250kHz以上にしてください。

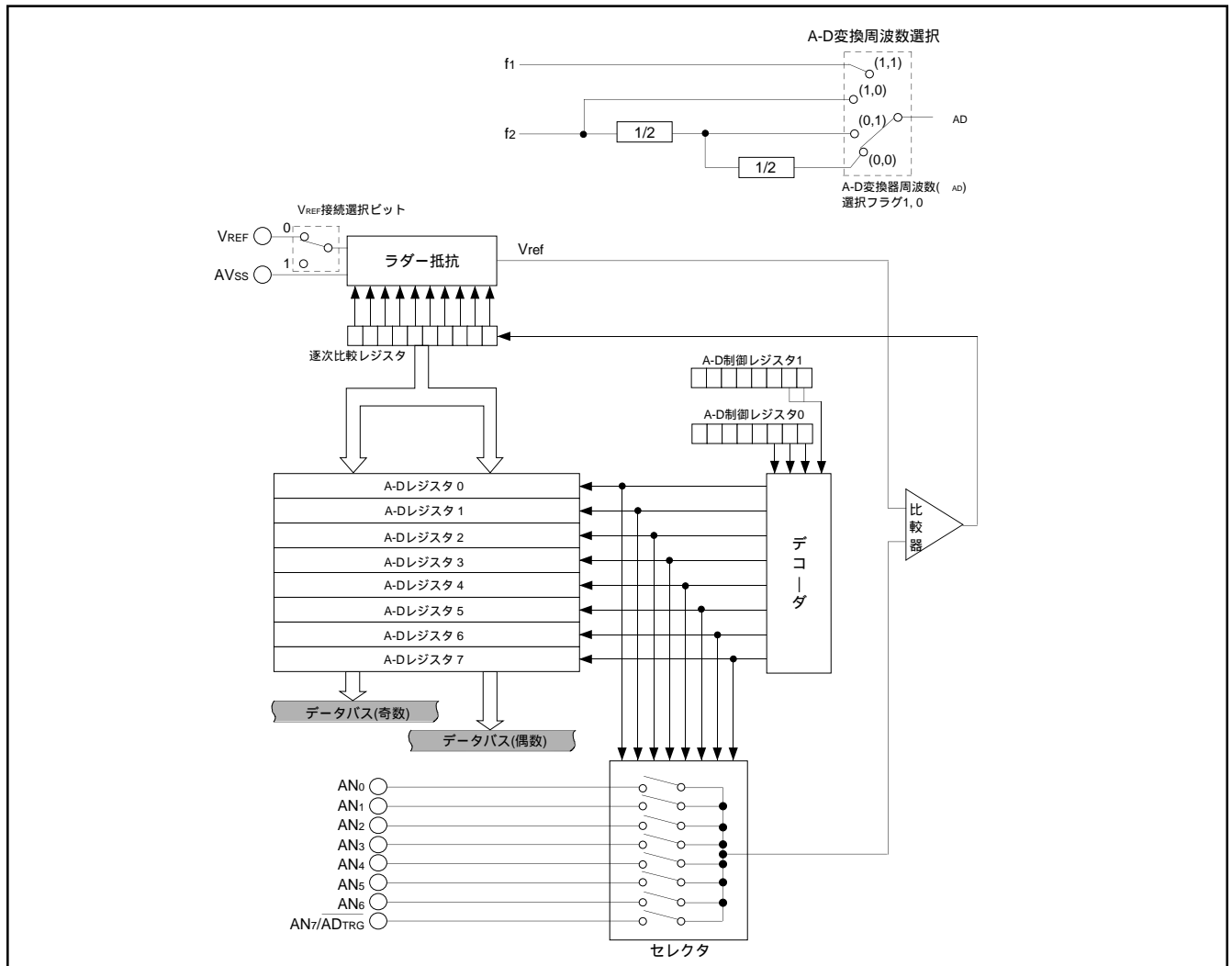


図72. A-D変換器のブロック図

トリガ選択

A-D変換の開始方法は、内部トリガ及びADTRG入力を用いる外部トリガのいずれかを選択できます。

A-D制御レジスタ0のビット5の内容が“0”のとき内部トリガ、“1”のときには外部トリガになります。内部トリガを選択した場合は、A-D制御レジスタ0のビット6(A-D変換開始フラグ)の内容を“1”にするとA-D変換を開始します。外部トリガを選択した場合は、さらにA-D制御レジスタ1のビット5の内容で、トリガ入力の極性選択ができます。ビット5の内容が“0”のときは、立ち下がりエッジ、“1”のときには立ち上がりエッジになります。A-D変換開始フラグの内容が“1”で、かつADTRG入力が“H”から“L”(または“L”から“H”)に変化するとA-D変換を開始します。この場合、ADTRG端子はアナログ電圧入力端子AN7と共用していますので、A-D変換できる端子はAN0～AN6の7本になります。外部トリガ選択時は、A-D変換が終了してもA-D変換開始フラグの内容は“1”のままです。また、A-D変換動作中でも再トリガをかけられます。

VREF接続

A-D制御レジスタ1のビット6は、基準電圧入力VREFを抵抗ラダーと接続するか、切断するかを選択するビットです。

ビット6の内容が“0”のときVREF入力は接続され、“1”のときに切断されます(ハイインピーダンス)。A-D変換を行わないときにはVREF入力を切断することにより、VREF端子からラダー抵抗に流れ込む電流を遮断できます。

なお、A-D変換を行なう場合には、ビット6を“0”とした後、1μs以上待ってからA-D変換を開始してください。

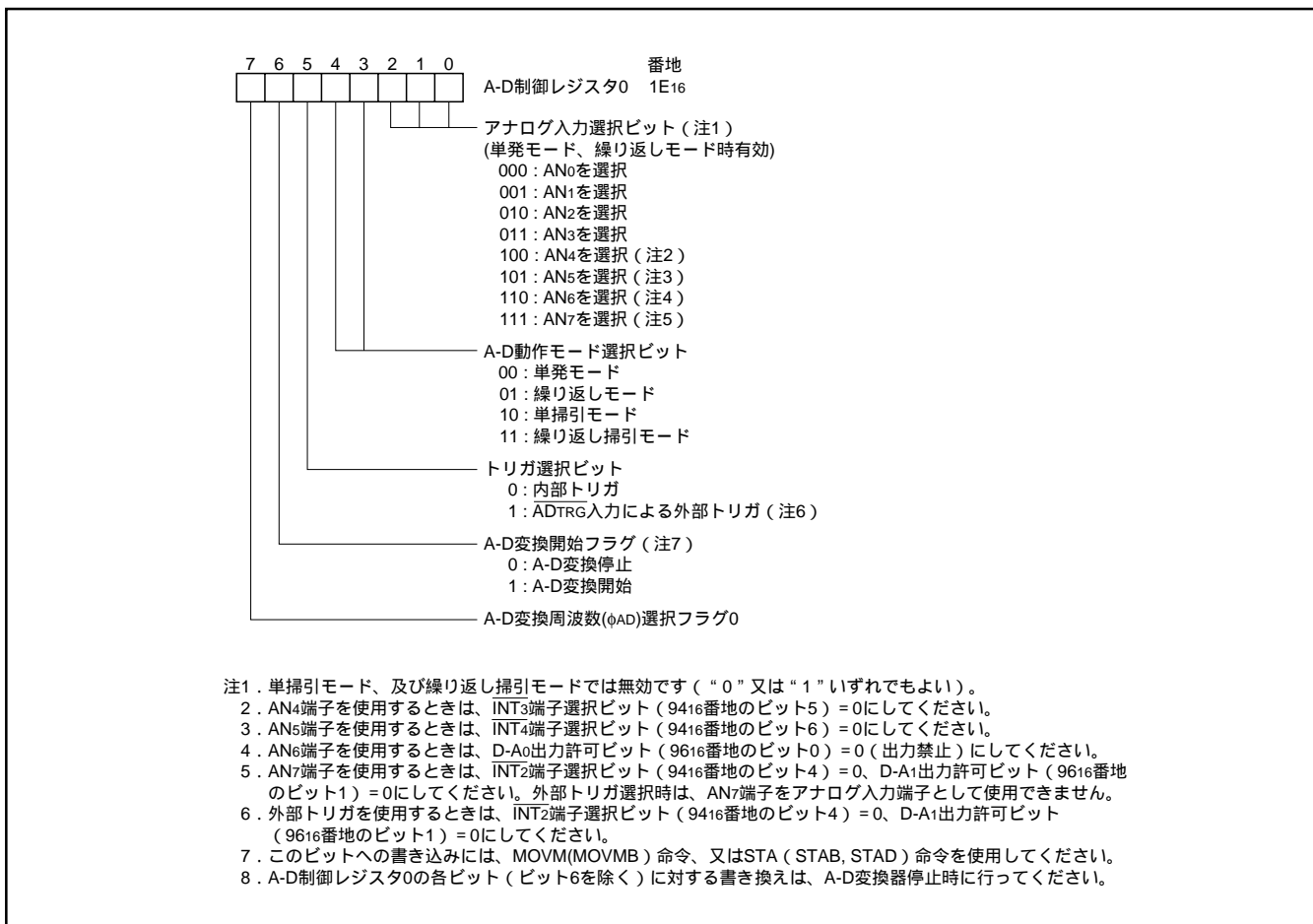
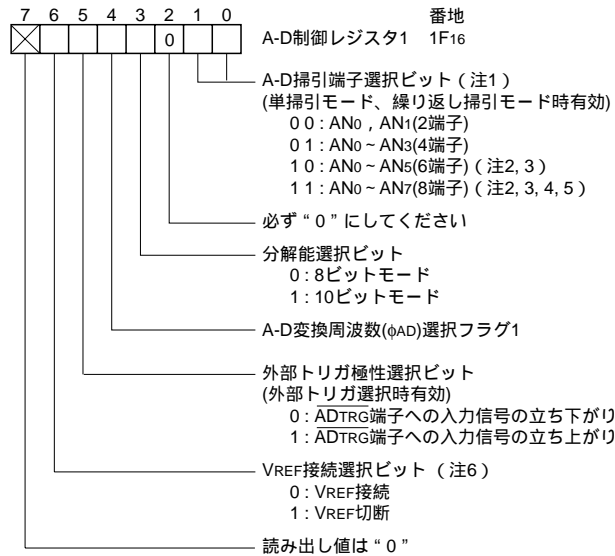


図73. A-D制御レジスタ0のビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION



周波数選択フラグ		ϕ_{AD}
フラグ1	フラグ0	
0	0	$f_2/4$
0	1	$f_2/2$
1	0	f_2
1	1	f_1 (8ビットモード時のみ選択可)

- 注1. 単発モード、及び繰り返しモードでは無効です (“0”又は“1”いずれでもよい)。
 2. AN₄端子を使用するときは、INT₃端子選択ビット (9416番地のビット5) = 0にしてください。
 3. AN₅端子を使用するときは、INT₄端子選択ビット (9416番地のビット6) = 0にしてください。
 4. AN₆端子を使用するときは、D-A₀出力許可ビット (9616番地のビット0) = 0 (出力禁止) にしてください。
 5. AN₇端子を使用するときは、INT₂端子選択ビット (9416番地のビット4) = 0、D-A₁出力許可ビット (9616番地のビット1) = 0にしてください。外部トリガ選択時は、AN₇端子をアナログ入力端子として使用できません。
 6. このビットを“1”から“0”にしたときは、1 μ s以上経過した後に、A-D変換を開始させてください。
 7. A-D制御レジスタ1の各ビットに対する書き換えは、A-D変換器停止時に行ってください。

図74. A-D制御レジスタ1のビット構成

動作モード選択

A-D制御レジスタ0のビット3とビット4の内容で動作モードを選択します。動作モードは単発、繰り返し、単掃引、繰り返し掃引の4種類があります。

アナログ入力ポートはポートP7と共用していますので、A-D変換を行う端子に対応する方向レジスタのビットは“0”にして入力モードにしておく必要があります。次に各動作モードについて説明します。

(1) 単発モード

A-D制御レジスタ0のビット3、ビット4の内容が“0”のとき、単発モードになり、A-D制御レジスタ0のビット0～ビット2の内容でA-D変換を行う端子を選択します。

内部トリガを選択した場合は、ビット α (A-D変換開始フラグ)の内容を“1”にするとA-D変換を開始します。A-D制御レジスタ1のビット3が“1”のとき、 ϕ_{AD} で計って59サイクル後にA-D変換は終了し、A-D変換割り込み制御レジスタの割り込み要求ビットが“1”にセットされます。同時にA-D制御レジスタ0のビット α (A-D変換開始フラグ)の内容は“0”にクリアされ、A-D変換動作は停止します。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。外部トリガを選択した場合は、A-D変換開始フラグの内容が“1”で、かつ \overline{ADTRG} 端子に有効エッジが入力されるとA-D変換を開始します。A-D変換が終了後、A-D変換開始フラグの内容を“0”にクリアしない点、及びA-D変換動作中でも再トリガをかけられる点を除けば、A-D変換動作は内部トリガの場合と同じです。

(2) 繰り返しモード

A-D制御レジスタ0のビット3の内容が“1”、ビット4の内容が“0”のとき、繰り返しモードになります。

このモードは、選択した端子のA-D変換が終わり、変換結果をA-Dレジスタに格納した後、停止しないで再び同一端子をA-D変換し変換結果をA-Dレジスタに格納することを繰り返す点を除けば、単発モードと同じです。

このモードでは割り込み要求は発生しません。また、内部トリガを選択している場合でも、A-D変換開始フラグのクリアは行いません。なお、A-Dレジスタの内容はいつでも読み出せます。

(3) 単掃引モード

A-D制御レジスタ0のビット3の内容が“0”、ビット4の内容が“1”のとき、単掃引モードになります。

単掃引モードでは、掃引するアナログ入力端子数を選択できます。アナログ入力端子の選択は、A-D制御レジスタ1(1F₁₆番地)のビット0、ビット1で行います。このビットの内容により、アナログ入力端子として2端子、4端子、6端子、

8端子の4種類が選択できます。

A-D変換は、選択された入力端子に対してのみ行われません。AN₀端子の入力をA-D変換した後、その変換結果をA-Dレジスタ0に格納し、続いて同様に選択された端子を順次A-D変換します。選択された端子すべてのA-D変換を終了した後、掃引を停止します。

A-D変換の開始は、内部トリガで行うか、外部トリガで行うかを選択できます。A-D制御レジスタ α (1E₁₆番地)のビット5の内容が“0”のとき内部トリガ、“1”のとき外部トリガが選択されます。

内部トリガを選択した場合は、A-D制御レジスタ0のビット α (A-D変換開始フラグ)の内容を“1”にすると、A-D変換を開始します。選択された端子のA-D変換をすべて終了すると、A-D変換割り込み制御レジスタの割り込み要求ビットを“1”にセットします。同時に、A-D変換開始フラグを“0”にクリアし、A-D変換は停止します。

外部トリガを選択した場合は、A-D変換開始フラグが“1”で、かつ \overline{ADTRG} 端子に有効エッジを入力すると、A-D変換を開始します。外部トリガを使用する場合、A-Dレジスタ7の変換結果は無効です。

A-D変換終了後、A-D変換開始フラグを“0”にクリアしない点、及びA-D変換動作中でも再トリガをかけられる点を除けば、A-D変換動作は内部トリガの場合と同じです。

(4) 繰り返し掃引モード

A-D制御レジスタ0のビット3の内容が“1”、ビット4の内容が“1”のとき、繰り返し掃引モードになります。

前の項で説明した単掃引モードと異なる点は、AN₀端子から選択された端子までのA-D変換が終了しても、掃引を停止しないで再びAN₀端子からA-D変換を繰り返すことです。繰り返しは、選択された端子の範囲で行われます。このモードでは割り込み要求は発生しません。また、内部トリガを選択している場合も、A-D変換開始フラグのクリアは行いません。

なお、A-Dレジスタの内容はいつでも読み出せます。

A-D変換割り込み機能使用上の注意

A-D変換割り込み制御レジスタ(70₁₆番地)の割り込み要求ビット(ビット3)は、リセット後不定になっています。A-D変換による割り込みを使用する場合は、割り込み要求ビット(ビット3)をクリアしてから使用してください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。図75にD-A制御レジスタ(9616番地)のビット構成を、図76にD-A変換器のブロック図、図77にD-A変換器等価接続図を示します。

D-A変換は対応したD-Aレジスタに値を書き込むことで行われます。アナログ電圧の出力可否は、D-A制御レジスタのビット0,1で選択します。ビット0,1を“1”にすると、それぞれD-A0, D-A1端子からアナログ電圧が出力されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

V_{REF} : 基準電圧

D-Aレジスタ及びD-A出力許可ビットはリセット時に“0”にクリアされます。

なお、D-A変換器を使用しない場合には、対応するD-A出力許可ビット及びD-Aレジスタを“0”にしてください。

D-A出力はバッファを内蔵していないので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

D-Ai端子は入出力ポート、アナログ入力端子、及び外部割り込み入力端子と共用です。D-Ai出力許可ビットを“1”(出力許可)にすると、共用となっている他の入出力端子としては使用できません。

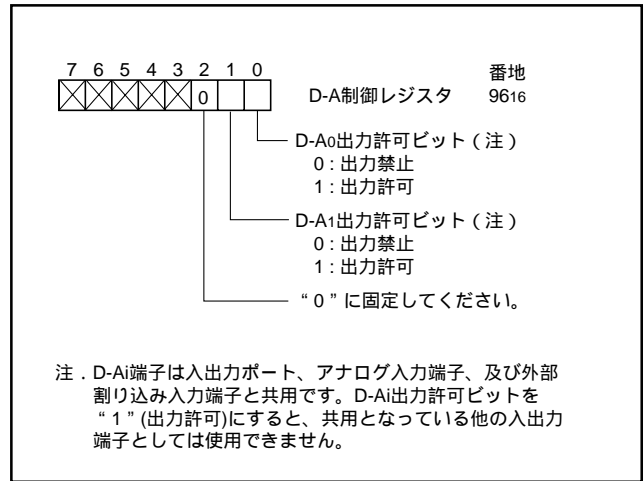


図75 . D-A制御レジスタのビット構成

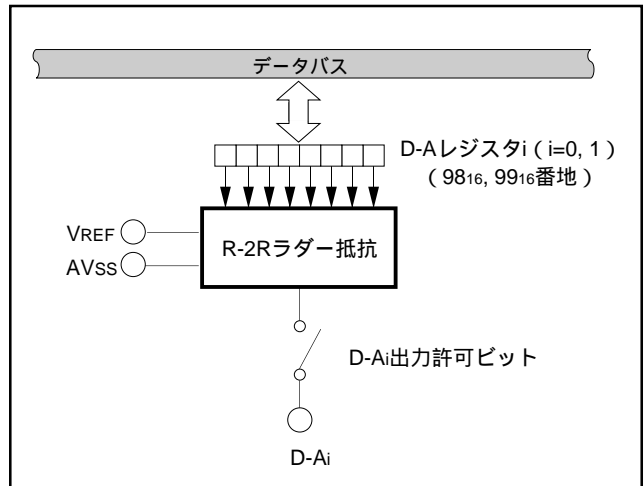


図76 . D-A変換器ブロック図

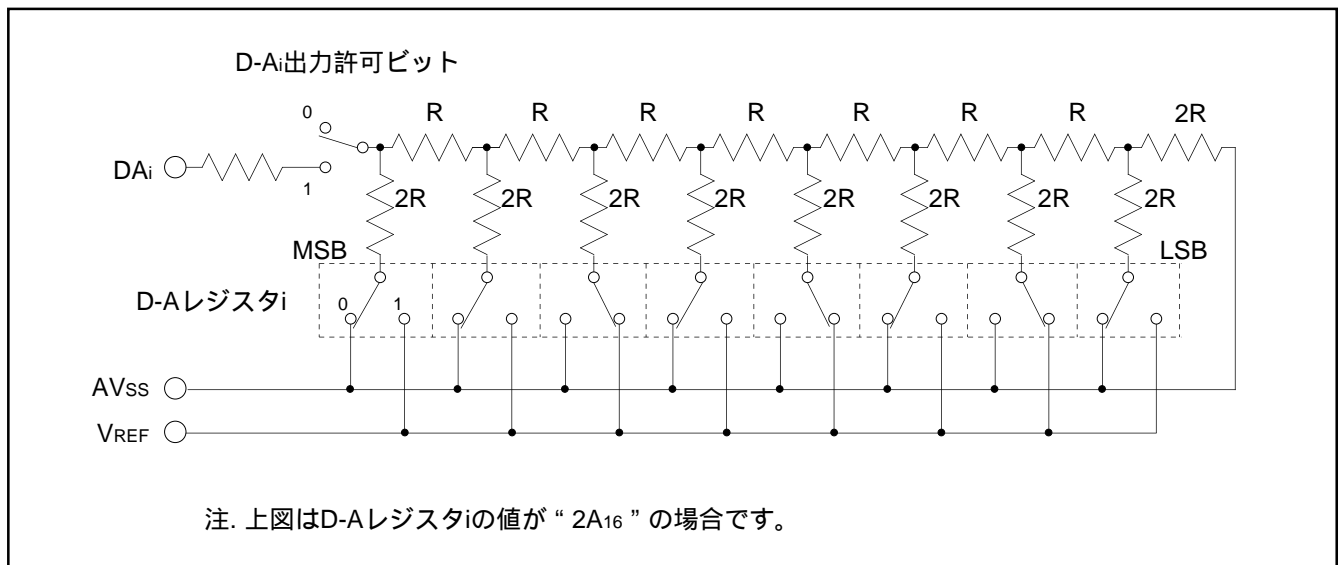


図77 . D-A変換器等価接続図

リアルタイム出力

リアルタイム出力は、タイマでカウントする同期ごとに複数の端子の出力レベルを同時に変化させる機能です。リアルタイム出力機能を使用するかどうかは、図78に示すリアルタイム出力制御レジスタ(A016番地)の波形出力選択ビット(ビット0、ビット1)により選択できます。また、8ビットのリアルタイム出力ポートは、リアルタイム出力制御レジスタのパルス出力モード選択ビット(ビット2)により4ビットごと、又は6ビットと2ビットに分けて制御することができます。

(1) パルスモード0

パルス出力モード選択ビットを“0”にすると、パルス出力モード0になり、パルス出力ポートを4ビットごと2組に分けて制御します。

図79にパルス出力データレジスタ(A216番地)及びパルス出力データレジスタ1(A416番地)のビット構成を、図80にパルスモード0時のリアルタイム出力構成を示します。

波形出力選択ビットのビット1を“0”、ビット0を“1”にすると、RTP03, RTP02, RTP01, RTP00の4本がパルス出力ポート(RTP0を選択)となり、波形出力選択ビットのビット1を“1”、ビット0を“0”にすると、RTP13, RTP12, RTP11, RTP10の4本がパルス出力ポート(RTP1を選択)となります。また、波形出力選択ビットのビット1、ビット0を“1”にすると、RTP13, RTP12, RTP11, RTP10の4本と、RTP03, RTP02, RTP01, RTP00の4本の2組がパルス出力ポート(RTP1及びRTP0を選択)となります。波形出力選択ビットのビット1、ビット0を“0”にすると、ポートP5端子は通常のプログラマブル入出力ポートとなります。RTP13, RTP12, RTP11,

RTP10に対応するパルス出力データレジスタ1(A416番地の上位4ビット)の内容は、タイマA1のカウンタの内容が000016になるごとにポートに出力されます。RTP03, RTP02, RTP01, RTP00に対応するパルス出力データレジスタ(A216番地の下位4ビット)の内容は、タイマA0のカウンタの内容が000016になるごとにポートに出力されます。

パルス出力データレジスタの指定したビットに“0”を書き込んだ場合、対応するタイマのカウンタの内容が000016になるとパルス出力ポートに“L”レベルが出力され、“1”を書き込んだ場合、パルス出力ポートに“H”レベルが出力されます。

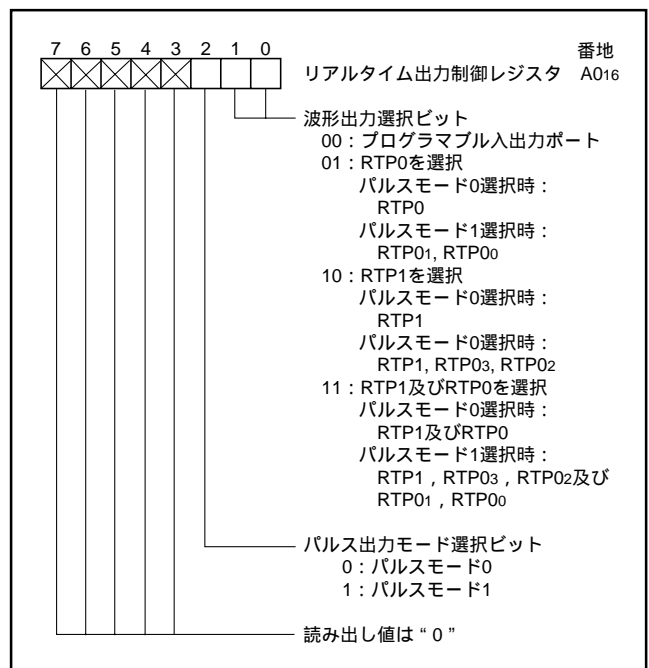


図78. リアルタイム出力制御レジスタのビット構成

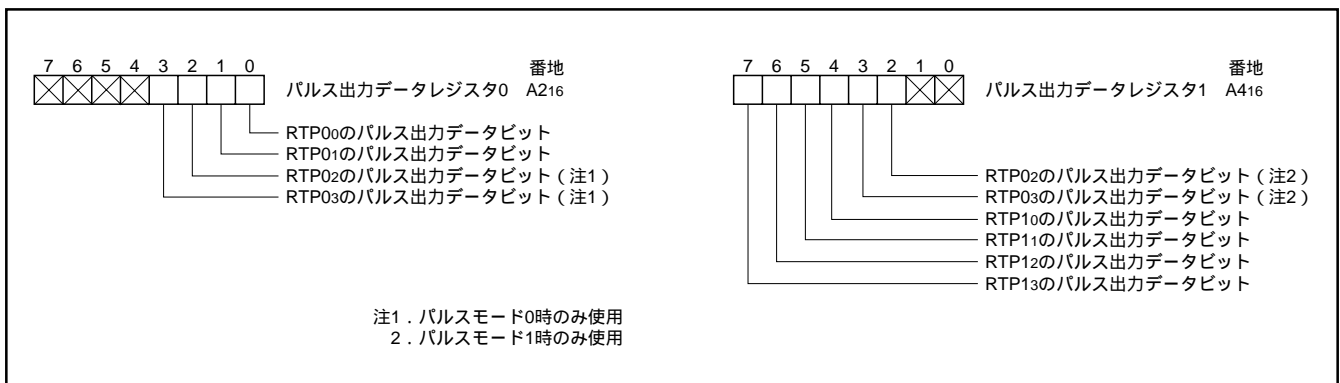


図79. パルス出力データレジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

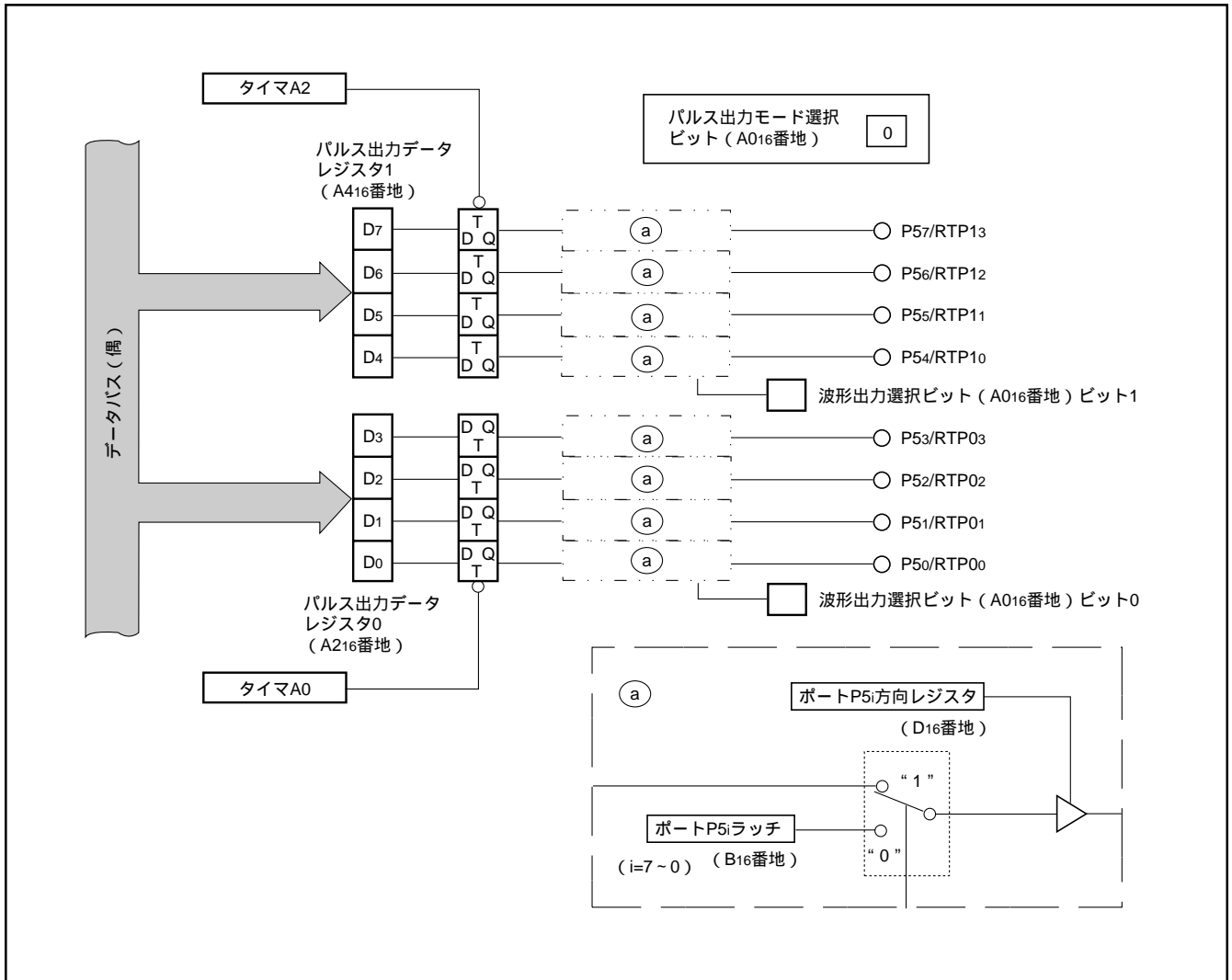


図80．パルスモード0時のリアルタイム出力構成

(2) パルスモード1

パルス出力モード選択ビットを“1”にすると、パルスモード1になり、パルス出力ポートを6ビットと2ビットの2組に分けて制御します。図81にパルスモード1時のリアルタイム出力構成を示します。

波形出力選択ビットのビット1を“0”、ビット0を“1”にすると、RTP13, RTP12, RTP11, RTP10, RTP03, RTP02の6本がプログラマブル入出力ポート、RTP01, RTP00の2本がパルス出力ポートとなります。

波形出力選択ビットのビット1を“1”、ビット0を“0”にすると、RTP13, RTP12, RTP11, RTP10, RTP03, RTP02の6本がパルス出力ポート、RTP01, RTP00の2本がプログラマブル入出力ポートとなります。

また、波形出力選択ビットのビット1、ビット0を“1”にすると、RTP13, RTP12, RTP11, RTP10, RTP03, RTP02の6本とRTP01, RTP00の2本の2組がパルス出力ポートとなりま

す。波形出力選択ビットのビット1、ビット0を“0”にすると、ポートP5端子は通常のプログラマブル入出力ポートとなります。

RTP13, RTP12, RTP11, RTP10, RTP03, RTP02の6本の制御はタイマA2に、RTP01, RTP00の2本の制御はタイマA0によって行います。RTP13, RTP12, RTP11, RTP10, RTP03, RTP02に対応するパルス出力データレジスタ1(A416番地の上位6ビット)の内容は、タイマA2のカウンタの内容が0000₁₆になるごとに、ポートに出力されます。RTP01, RTP00の対応するパルス出力データレジスタ0(A216番地の下位2ビット)の内容は、タイマA0のカウンタの内容が0000₁₆になるごとに、ポートに出力されます。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

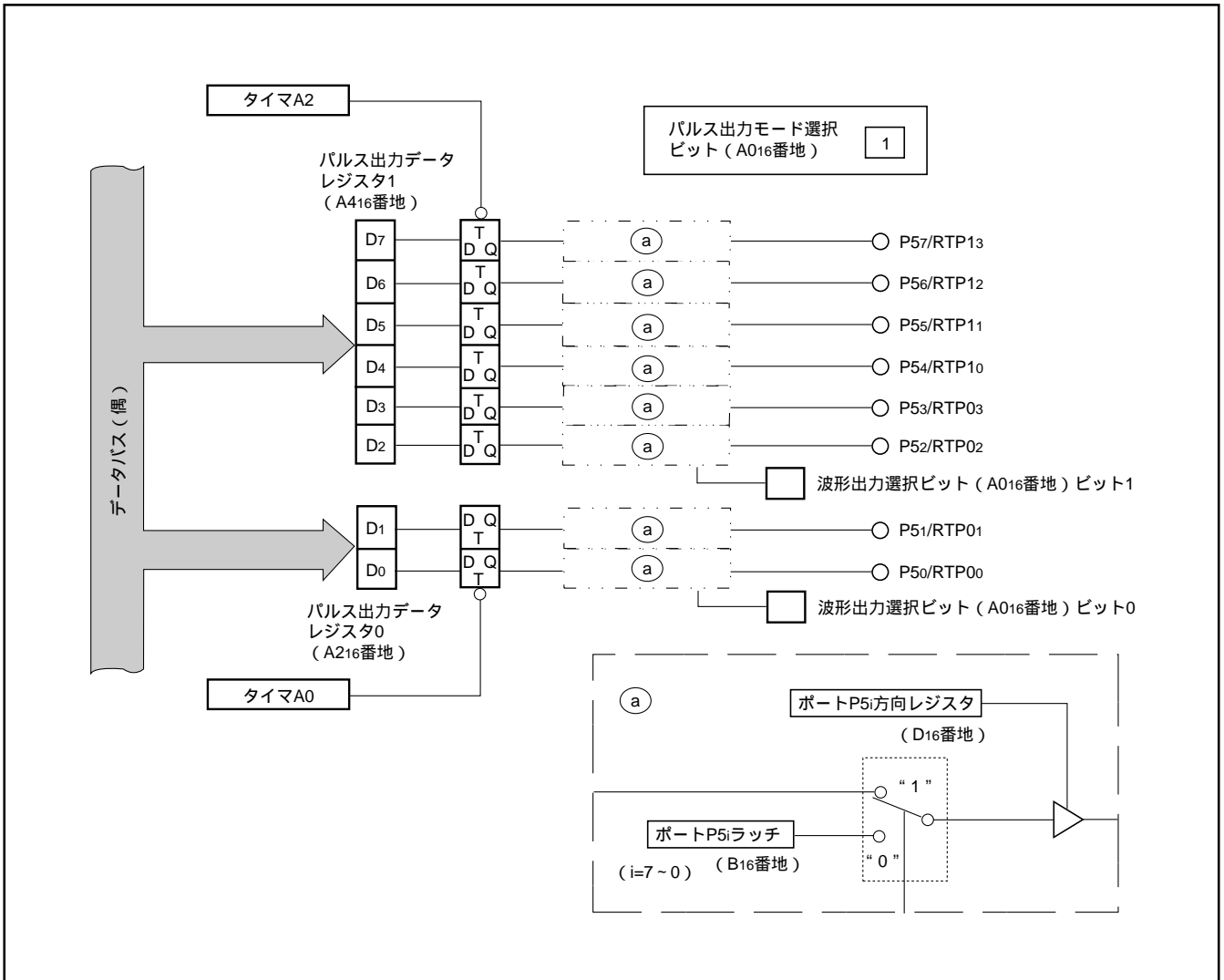


図81．パルスモード1時のリアルタイム出力構成

表14にポートP5方向レジスタをすべて出力モードにした場合のポートP5/RTP端子の出力を示します。

リアルタイム出力機能使用上の注意

リセット後、ポートP5方向レジスタは入力モードになり、ポートP5(i=0~7)端子は通常の入出力ポートとして動作します。リアルタイム出力ポートとして使用する場合は必ずポートP5方向レジスタの対応するビットを出力モードに設定してください。なお、リアルタイム出力ポートの値をポートP5レジスタから読み出すと、端子の出力レベルを読み出すことができます。

表14．ポートP5/RTP端子の出力

リアルタイム出力制御レジスタ (A016番地)		ポートP5/RTP端子出力データの格納番地									
bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
0	0	0	0B	0B	0B	0B	0B	0B	0B	0B	
	0	1	0B	0B	0B	0B	A2	A2	A2	A2	
	1	0	A4	A4	A4	A4	0B	0B	0B	0B	
	1	1	A4	A4	A4	A4	A2	A2	A2	A2	
1	0	0	0B	0B	0B	0B	0B	0B	0B	0B	
	0	1	0B	0B	0B	0B	0B	0B	A2	A2	
	1	0	A4	A4	A4	A4	A4	A4	0B	0B	
	1	1	A4	A4	A4	A4	A4	A4	A2	A2	

0B16番地：ポートP5
A216番地：パルス出力データレジスタ0
A416番地：パルス出力データレジスタ1

監視タイマ

監視タイマは、プログラムの暴走などでプログラムされた順序通りに動作しなくなったことを検知するために使用されます。図82に監視タイマのブロック図を示します。監視タイマは12ビットの2進カウンタで構成されています。

監視タイマは周辺装置用クロック f_2 を16分周した Wf_{32} 又は256分周した Wf_{512} をカウントします。 Wf_{32} をカウントするか Wf_{512} をカウントするかは図83に示す監視タイマ周波数選択レジスタのビット α (監視タイマ周波数選択ビット) で選択します。

このビット0の内容が α 0 のとき Wf_{512} 、フラグの内容が α 1 のとき Wf_{32} が選択されます。リセット解除後は、ビット0の内容は α 0 になっています。

リセットを実行、STP命令を実行、監視タイマレジスタ (60₁₆番地) への書き込みを実行、及び監視タイマの最上位ビットが α 0 になったときは、監視タイマにFFF₁₆がセットされます。

FFF₁₆にセットされた監視タイマは、 Wf_{32} 又は Wf_{512} を2048回カウントすると、最上位ビットが α 0 になり監視タイマ割り込み要求ビットが α 1 にセットされ、再び監視タイマにFFF₁₆がセットされます。

監視タイマの最上位ビットが α 0 になる前に監視タイマに書き込みを行うようにプログラムを組んでください。暴走な

どでこのループを走らなくなると、監視タイマの最上位ビットが α 0 になり、割り込みが発生することになります。

割り込み処理プログラムの中で、プロセッサモードレジスタ0のビット α (ソフトウェアリセットビット) に α 1 を書き込むとリセットパルスが発生し、リセットから再出発することができます。

監視タイマは、STP命令でクロックが停止した状態から復帰する場合にも使用されます。詳細についてはクロック発生回路、及びスタンバイ機能の項を参照してください。

ホールド状態で外部領域アクセス発生時、ウエイトモード時、及びストップモード時は、監視タイマは停止し、監視タイマへの入力禁止されます。

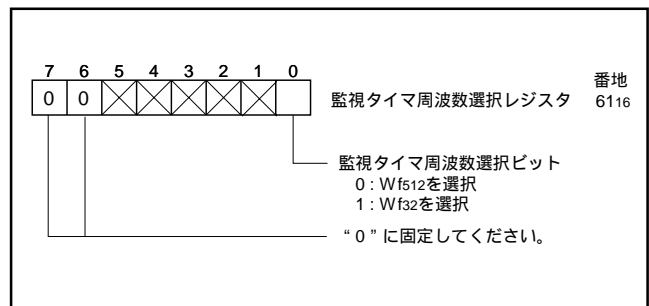


図83. 監視タイマ周波数選択レジスタのビット構成

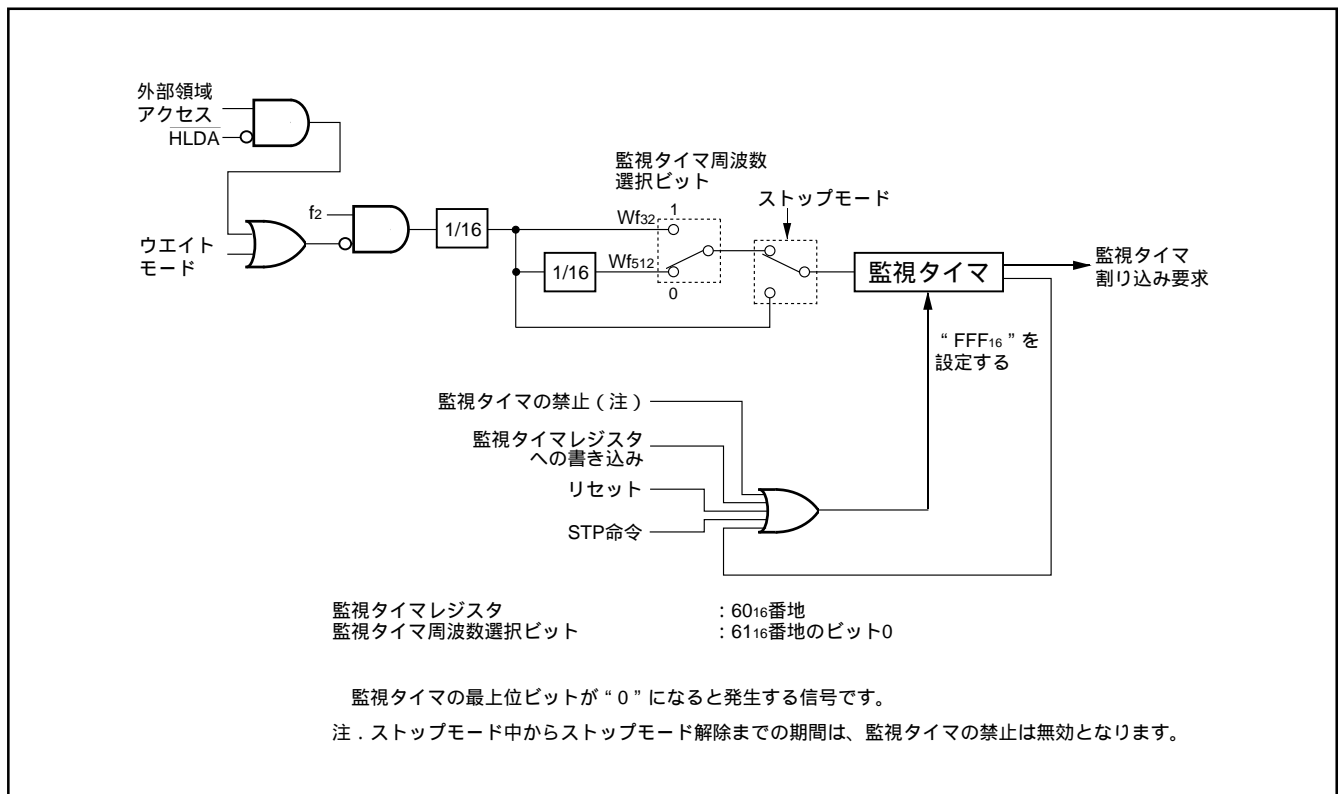


図82. 監視タイマのブロック図

監視タイマ機能の禁止

監視タイマを使用しない場合、監視タイマを禁止にすることができます。監視タイマの禁止を行うと監視タイマは停止し、監視タイマ割り込みが発生しません。

監視タイマ機能の禁止の設定は、特殊機能選択レジスタ2 (64₁₆番地)にMOVMB命令、STAB命令、またはm=1でMOVMB命令、STA命令を使用し、“79₁₆”、“50₁₆”を連続して書き込むことにより行われます。

監視タイマの禁止の設定以外の方法で特殊機能選択レジスタ2にアクセス(読み出し及び書き込みを)すると、アクセス以降、リセットが行われない限り監視タイマの禁止設定はできません。また、監視タイマの禁止の設定解除はリセットのみです。

なお、STP状態からの復帰時には、この監視タイマ禁止機能は無効となり、監視タイマは動作します(スタンバイ機能の項を参照)。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

入出力端子

ポートP0～P8及びP10, P11は、すべて方向レジスタを持っており、入力として使用するか、出力として使用するかをビット単位にプログラムできます。方向レジスタの対応ビットを“1”に設定した場合は出力端子、“0”に設定した場合は入力端子となります。

出力端子としてプログラムされている端子に書き込んだデータは、ポートのラッチに書き込まれ、その内容が出力端子に出力されます。出力端子としてプログラムされている端子から読み込んだ場合は、端子の値が読み込まれるのではなく、ポートのラッチの内容が読み込まれます。したがって、外部負荷などによって出力“H”電圧が下がったり、“L”電圧が上がったりした場合も、以前に出力した値を正しく読むことができます。

入力端子としてプログラムされている端子はフローティングとなり、端子に入力される値を読み込むことができます。入力端子としてプログラムされている端子に書き込みを行っても、データはポートのラッチに書き込まれるのみで、端子はフローティングのままです。

図84、図85に各ポート及びNMI端子のブロック図を、図86にポート機能制御レジスタのビット構成を示します。

ポート機能制御レジスタのビット3は、ポートP0入力レベル選択ビットで、このビットによりポートP0を入力ポートと

して使用した場合の V_{IH} 、 V_{IL} のレベルを選択することができます。

ビット4はP44～P47プルアップ接続選択ビットで、ポートP44～P47(チップセレクト端子と兼用)をプルアップするかしないかを選択します。リセット時、このビット4は“0”で、P44～P47はプルアップされています。プルアップはポートを入力ポートとして使用する時のみ有効です。

同様にビット7は、NMI端子プルアップ接続選択ビットで、NMI端子のプルアップの有無を選択します。リセット時、このビット7は“0”で、NMI端子はプルアップされています。

ポートP54～P57をキー入力割り込み入力端子 $\overline{KI0}$ ～ $\overline{KI3}$ として、使用する場合にもプルアップ機能を選択できます。詳細は割り込みの項を参照してください。

各ポートを周辺装置の入力端子として使用する場合には、対応するポートの方向レジスタのビットを“0”にして入力してください。周辺装置の出力端子として使用する場合には、方向レジスタの値は“0”又は“1”のいずれでも使用できます。

メモリ拡張モード、マイクロプロセッサモード時には、ポートP0～P4, P10, P11は外部バスの入出力端子となり、入出力ポートの機能は無効となります。ただし、一部のポートは設定によってポートとして機能できます。詳細はプロセッサモードの項を参照してください。

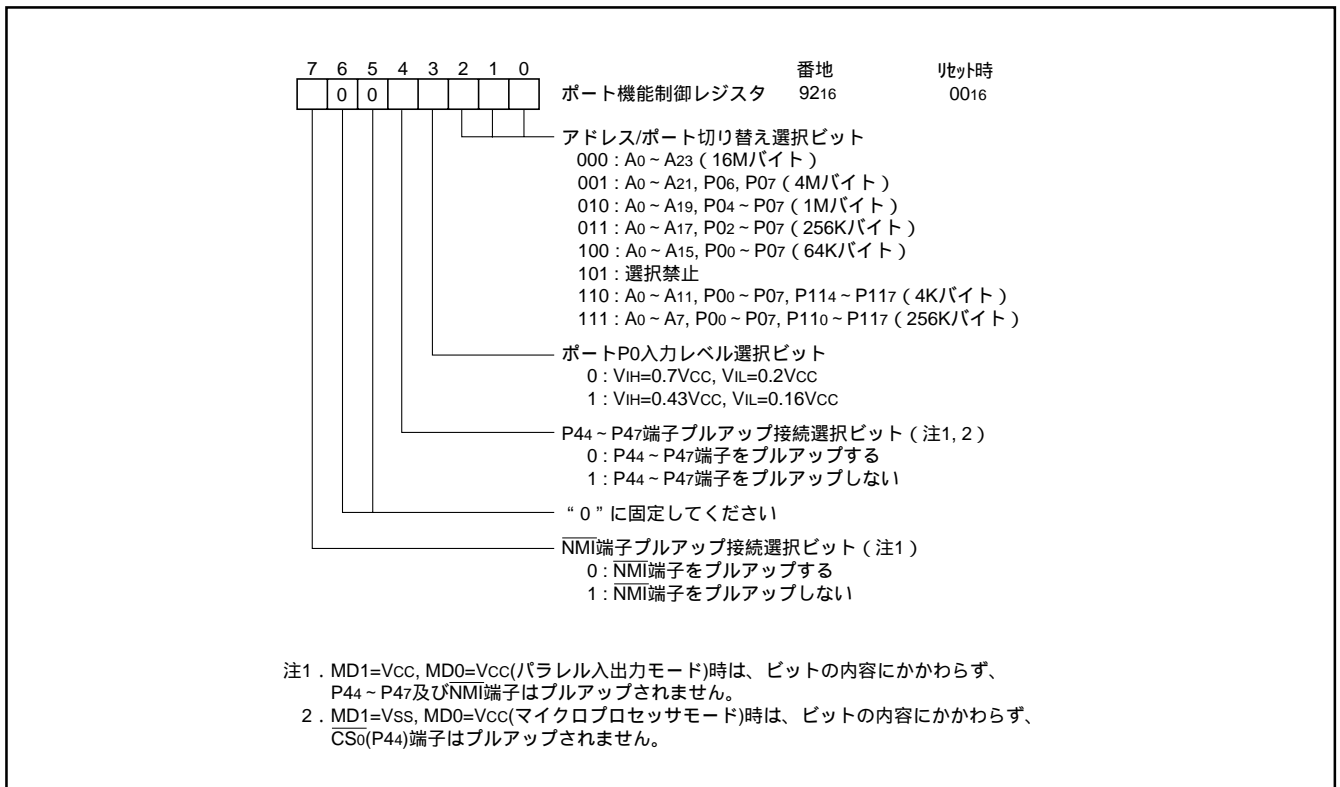


図86. ポート機能制御レジスタのビット構成

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

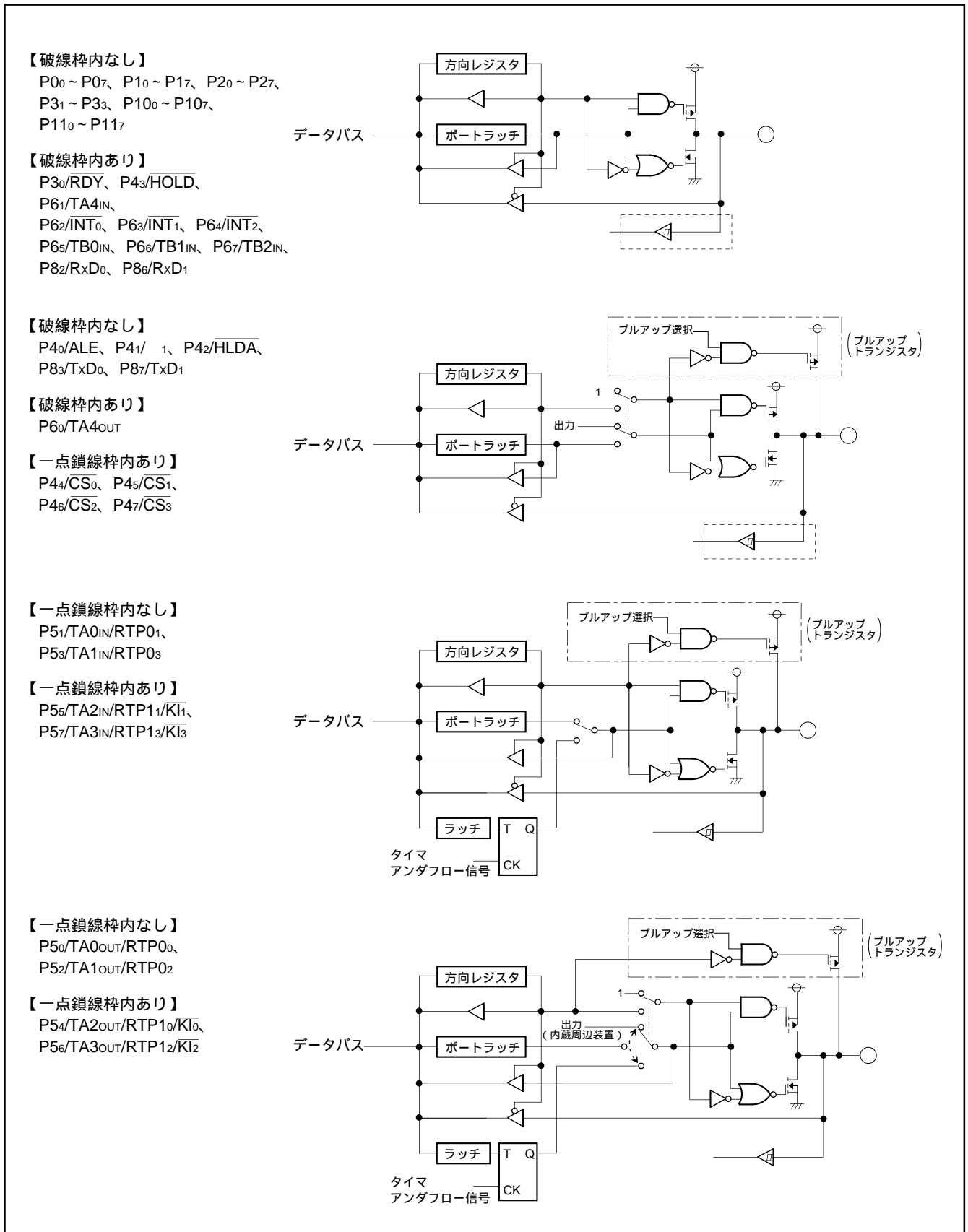
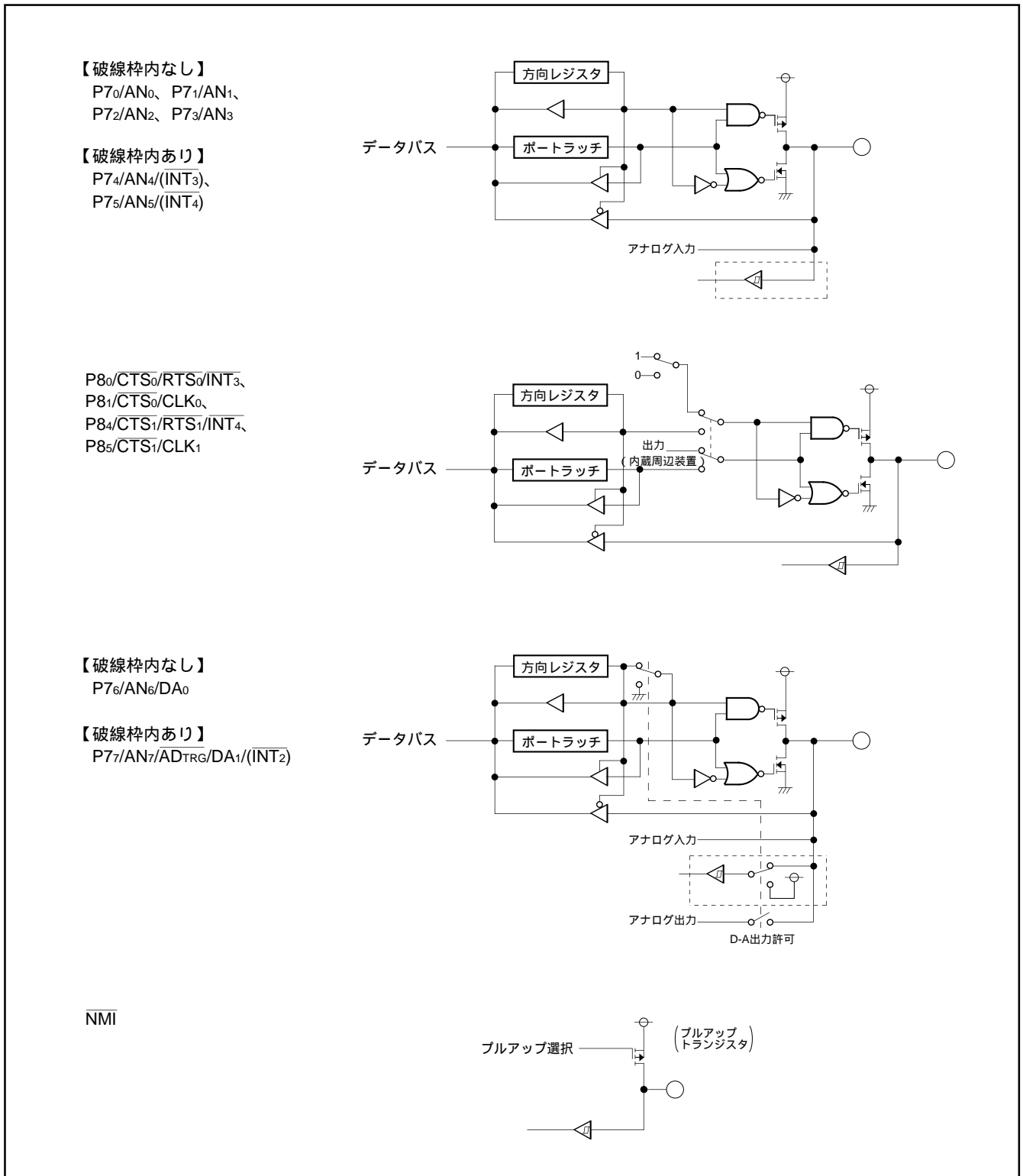


図84. 各ポート及びNMI端子のブロック図(1)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION



開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

リセット回路

電源電圧が推奨動作条件範囲内にあるとき、RESET端子を“L”レベルに保った後、“H”レベルに戻すとリセット解除され、00₁₆をアドレスA₂₃～A₁₆、FFFF₁₆番地の内容をアドレスA₁₅～A₈、FFFE₁₆番地の内容をアドレスA₇～A₀とする番地(リセットのベクトル番地)からプログラムの実行を開始します。

リセット時のマイクロコンピュータの内部レジスタの状態を図87及び図88に示します。

リセット回路動作の一例を、図89に示します。Vcc端子のレベルが推奨動作条件を満たし、かつ発振子の発振が安定した後、更に10μs以上の期間、RESET端子に“L”レベルを印加してください。

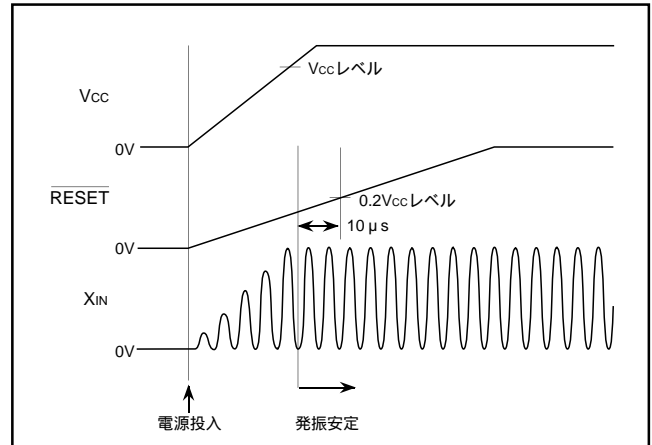


図89. リセット回路動作の一例(ご使用に際しては、システム設計レベルで充分評価をお願いします。)

	番地		番地		
CS0制御レジスタL	(80 ₁₆)...	注2 1 0 ⊗ 0 注3 1 0	D-A制御レジスタ	(96 ₁₆)...	⊗ ⊗ ⊗ ⊗ ⊗ ⊗ 0 0 0
CS0制御レジスタH	(81 ₁₆)...	1 ⊗ ⊗ ⊗ ⊗ 0 0 0 1	D-Aレジスタ0	(98 ₁₆)...	00 ₁₆
CS1制御レジスタL	(82 ₁₆)...	0 1 0 ⊗ 0 注3 1 0	D-Aレジスタ1	(99 ₁₆)...	00 ₁₆
CS1制御レジスタH	(83 ₁₆)...	0 ⊗ 0 ⊗ 0 0 0 0	フラッシュメモリ制御レジスタ	(9E ₁₆)...	⊗ ⊗ 0 ⊗ 0 ⊗ 0 1
CS2制御レジスタL	(84 ₁₆)...	0 1 0 ⊗ 0 注3 1 0	リアルタイム出力制御レジスタ	(A0 ₁₆)...	⊗ ⊗ ⊗ ⊗ ⊗ 0 0 0
CS2制御レジスタH	(85 ₁₆)...	0 ⊗ 0 ⊗ 0 0 0 0	シリアルI/O端子制御レジスタ	(AC ₁₆)...	⊗ ⊗ ⊗ ⊗ ⊗ 0 0 0
CS3制御レジスタL	(86 ₁₆)...	0 1 0 ⊗ 0 注3 1 0	クロック制御レジスタ	(BC ₁₆)...	0 0 0 0 0 1 1 注4
CS3制御レジスタH	(87 ₁₆)...	⊗ ⊗ ⊗ ⊗ ⊗ 0 0 0	プロセッサステータスレジスタPS		0 0 0 ? ? 0 0 0 1 ? ?
CS0領域先頭アドレスレジスタ	(8A ₁₆)...	0 0 0 1 0 0 0 ⊗	プログラムバンクレジスタPG		00 ₁₆
CS1領域先頭アドレスレジスタ	(8C ₁₆)...	0 0 0 0 0 0 0 ⊗	プログラムカウンタPCH		FFFF ₁₆ 番地の内容
CS2領域先頭アドレスレジスタ	(8E ₁₆)...	0 0 0 0 0 0 0 ⊗	プログラムカウンタPCL		FFFE ₁₆ 番地の内容
CS3領域先頭アドレスレジスタ	(90 ₁₆)...	0 0 0 0 0 0 0 ⊗	ダイレクトページレジスタDPR0～DPR3		0000 ₁₆
ポート機能制御レジスタ	(92 ₁₆)...	0 0 0 0 0 0 0 0	データバンクレジスタDT		00 ₁₆
外部割り込み入力制御レジスタ	(94 ₁₆)...	0 0 0 0 0 0 0 0	スタックポインタ		FFF ₁₆

注1. これ以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。
 注2. MD0端子にVssレベルを印加しているとき“0”、Vccレベルを印加しているとき“1”となります。
 注3. BYTE端子にVssレベルを印加しているときは“0”、Vccレベルを印加しているときは“1”になります。
 注4. CDSEL端子にVssレベルを印加しているときは“0”、Vccレベルを印加又は開放しているときは“1”になります。

図88. リセット時のマイクロコンピュータの内部状態(2)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

ポートP0方向レジスタ	(04 ₁₆)...	00 ₁₆	タイマB0モードレジスタ	(5B ₁₆)...	0 0 ? X 0 0 0 0
ポートP1方向レジスタ	(05 ₁₆)...	00 ₁₆	タイマB1モードレジスタ	(5C ₁₆)...	0 0 ? X 0 0 0 0
ポートP2方向レジスタ	(08 ₁₆)...	00 ₁₆	タイマB2モードレジスタ	(5D ₁₆)...	0 0 ? X 0 0 0 0
ポートP3方向レジスタ	(09 ₁₆)...	X X X X X 0 0 0 0	プロセッサモードレジスタ0	(5E ₁₆)...	注2 0 0 0 0 1 注2 0
ポートP4方向レジスタ	(0C ₁₆)...	00 ₁₆	プロセッサモードレジスタ1	(5F ₁₆)...	0 0 (注2) 0 0
ポートP5方向レジスタ	(0D ₁₆)...	00 ₁₆	監視タイマレジスタ	(60 ₁₆)...	FFF ₁₆
ポートP6方向レジスタ	(10 ₁₆)...	00 ₁₆	監視タイマ周波数選択レジスタ	(61 ₁₆)...	0 0 X X X X X 0
ポートP7方向レジスタ	(11 ₁₆)...	00 ₁₆	特殊機能選択レジスタ0	(62 ₁₆)...	0 X 0 X X X X 0 0
ポートP8方向レジスタ	(14 ₁₆)...	00 ₁₆	特殊機能選択レジスタ1	(63 ₁₆)...	X 0 X 0 0 0 (注3)
ポートP10方向レジスタ	(18 ₁₆)...	00 ₁₆	INT ₃ 割り込み制御レジスタ	(6E ₁₆)...	X X X X 0 0 0 0 0
ポートP11方向レジスタ	(19 ₁₆)...	00 ₁₆	INT ₄ 割り込み制御レジスタ	(6F ₁₆)...	X X X X 0 0 0 0 0
A-D制御レジスタ0	(1E ₁₆)...	0 0 0 0 0 ? ? ?	A-D変換割り込み制御レジスタ	(70 ₁₆)...	X X X X ? 0 0 0 0
A-D制御レジスタ1	(1F ₁₆)...	X 0 0 0 0 0 1 1	UART0送信割り込み制御レジスタ	(71 ₁₆)...	X X X X 0 0 0 0 0
UART0送受信モードレジスタ	(30 ₁₆)...	00 ₁₆	UART0受信割り込み制御レジスタ	(72 ₁₆)...	X X X X 0 0 0 0 0
UART1送受信モードレジスタ	(38 ₁₆)...	00 ₁₆	UART1送信割り込み制御レジスタ	(73 ₁₆)...	X X X X 0 0 0 0 0
UART0送受信制御レジスタ0	(34 ₁₆)...	0 0 0 0 1 0 0 0	UART1受信割り込み制御レジスタ	(74 ₁₆)...	X X X X 0 0 0 0 0
UART1送受信制御レジスタ0	(3C ₁₆)...	0 0 0 0 1 0 0 0	タイマA0割り込み制御レジスタ	(75 ₁₆)...	X X X X 0 0 0 0 0
UART0送受信制御レジスタ1	(35 ₁₆)...	0 0 0 0 0 0 1 0	タイマA1割り込み制御レジスタ	(76 ₁₆)...	X X X X 0 0 0 0 0
UART1送受信制御レジスタ1	(3D ₁₆)...	0 0 0 0 0 0 1 0	タイマA2割り込み制御レジスタ	(77 ₁₆)...	X X X X 0 0 0 0 0
カウント開始フラグ	(40 ₁₆)...	00 ₁₆	タイマA3割り込み制御レジスタ	(78 ₁₆)...	X X X X 0 0 0 0 0
ワンショット開始フラグ	(42 ₁₆)...	0 X X X 0 0 0 0 0	タイマA4割り込み制御レジスタ	(79 ₁₆)...	X X X X 0 0 0 0 0
アップダウンフラグ	(44 ₁₆)...	00 ₁₆	タイマB0割り込み制御レジスタ	(7A ₁₆)...	X X X X 0 0 0 0 0
タイマAクロック分周指定レジスタ	(45 ₁₆)...	X X X X X X X 0 0	タイマB1割り込み制御レジスタ	(7B ₁₆)...	X X X X 0 0 0 0 0
タイマA0モードレジスタ	(56 ₁₆)...	00 ₁₆	タイマB2割り込み制御レジスタ	(7C ₁₆)...	X X X X 0 0 0 0 0
タイマA1モードレジスタ	(57 ₁₆)...	00 ₁₆	INT ₀ 割り込み制御レジスタ	(7D ₁₆)...	X X 0 0 0 0 0 0 0
タイマA2モードレジスタ	(58 ₁₆)...	00 ₁₆	INT ₁ 割り込み制御レジスタ	(7E ₁₆)...	X X 0 0 0 0 0 0 0
タイマA3モードレジスタ	(59 ₁₆)...	00 ₁₆	INT ₂ 割り込み制御レジスタ	(7F ₁₆)...	X X 0 0 0 0 0 0 0
タイマA4モードレジスタ	(5A ₁₆)...	00 ₁₆			

注1. これ以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。
 注2. MD0端子にVssレベルを印加しているとき“0”、Vccレベルを印加しているとき“1”となります。
 注3. パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。

図87. リセット時のマイクロコンピュータの内部状態(1)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

発振回路

XIN、XOUT端子間にクロック発振回路を内蔵しています。

図90にセラミック共振子又は水晶発振子を接続した場合の回路例を示します。容量などの定数は、共振子・発振子により異なりますので、共振子・発振子メーカーの推奨値で使用してください。なお、セラミック共振子又は水晶発振子を接続する場合の発振周波数は、26MHz以下にしてください。

外部からクロック信号を供給する場合の回路を図91に示します。クロックを外部から入力する場合には、XOUT端子を開放にしてください。また、この場合には特殊機能選択レジスタ(図94)のビット1(クロック外部入力選択ビット)を必ず“1”にしてください。なお、このビットはSTP状態からの復帰条件を選択する機能ももっていますので注意してください。詳細はスタンバイ機能の項を参照してください。

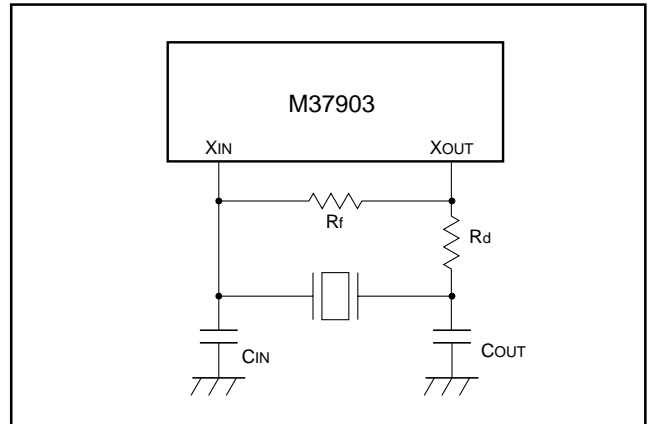


図90．セラミック共振子外付け回路

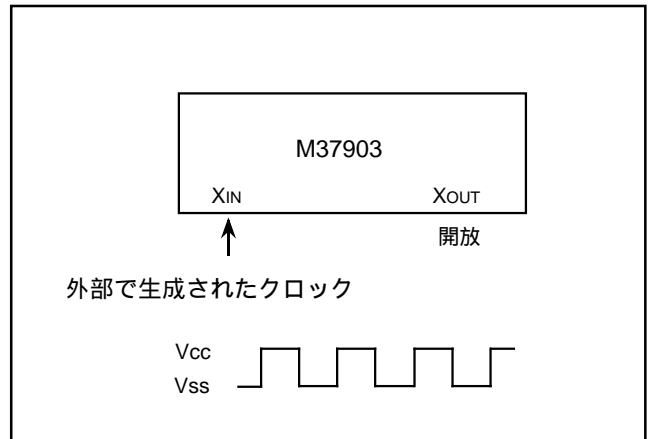


図91．外部クロック入力回路

クロック発生回路

図92にクロック発生回路のブロック図を示します。クロック発生回路は、クロック発振回路、入力クロック分周回路、分周クロック切り替え回路、周辺装置クロック切り替え回路、クロック分周回路、及びスタンバイ制御回路などで構成されています。クロック発生回路の動作を制御するレジスタとして、図93、図94に示すクロック制御レジスタ(BC16番地)、特殊機能選択レジスタ(6216番地)などがあります。

図92に示すとおり、中央演算処理装置(CPU)、バスインタフェース装置(BIU)、周辺装置、監視タイマでそれぞれ使用するクロックφCPU、φBIU、f1～f4096、Wf32、Wf512はシステムクロックf_{sys}から生成します。システムクロックf_{sys}は、XIN端子からの入力クロックfXIN又は分周クロックfDIVから選択できます。また、システムクロックf_{sys}は、プロセッサモードレジスタ0のビット7(クロックφ1出力選択ビット)を“1”にすることでクロックφ1として端子(ポートP41)から出力することができます。

XIN入力クロックの分周比の選択、及び周辺装置用クロックf1～f4096の分周比選択等はクロック制御レジスタで行いま

す。以下にこれらの選択方法について説明します。

クロック制御レジスタのビット0は、XIN入力クロック分周選択ビットで、このビットが“1”のときXIN端子からの入力クロックfXINが、“0”のときfXINを2分周した分周クロックfDIVがそれぞれシステムクロックf_{sys}として選択されます。このビットのリセット時の状態は、CDSEL端子によって選択します。

表15にCDSEL端子の機能を示します。CDSEL端子への印加レベルはマイコン動作中に変更しないでください。

ビット6、ビット7は周辺装置用クロック選択ビット0,1で周辺装置用クロックf1～f4096のシステムクロックf_{sys}に対する分周比率を選択します。

表16に内蔵周辺装置動作クロックの周波数を示します。リセット時、これらのビットは“0,0”となります。

表15に示すとおり、XIN端子の入力レベルはCDSEL端子によって切り替えることができます。CDSEL端子にV_{SS}レベルを印加することにより、外部から供給するクロックの出力レベルがマイコンの動作電源電圧より低い場合においても、XIN端子からクロックを入力することができます。

表15. CDSEL端子の機能

CDSEL端子の状態 (注1)	XIN入力クロック分周選択ビットの リセット時の状態(注2)	XIN端子の入力レベル
V _{SS} レベルを印加	“0”(システムクロックとして分周クロックfDIVを選択)	V _{IH} =0.43V _{CC} V _{IL} =0.16V _{CC}
V _{CC} レベルを印加 又は開放	“1”(システムクロックとして入力クロックfXINを選択)	V _{IH} =0.8V _{CC} V _{IL} =0.2V _{CC}

注1. CDSEL端子の状態は、マイコン動作中に変更しないでください。

2. リセット解除後は、CDSEL端子の状態にかかわらず、XIN入力クロック分周選択ビットの状態を変更できます。

表16. 内蔵周辺装置動作クロックの周波数

内蔵周辺装置動作クロック	周辺装置用クロック選択ビット1,0(ビット7,6)			
	00	01(注)	10	11
f1	f _{sys}	f _{sys}	f _{sys} の2分周	選択禁止
f2	f _{sys} の2分周	f _{sys}	f _{sys} の4分周	
f16	f _{sys} の16分周	f _{sys} の8分周	f _{sys} の32分周	
f64	f _{sys} の64分周	f _{sys} の32分周	f _{sys} の128分周	
f512	f _{sys} の512分周	f _{sys} の256分周	f _{sys} の1024分周	
f4096	f _{sys} の4096分周	f _{sys} の2048分周	f _{sys} の8192分周	

注. 周辺装置用クロック選択ビット1,0=“012”を選択する場合、f_{sys}の周波数が13MHzを越えないように設定してください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

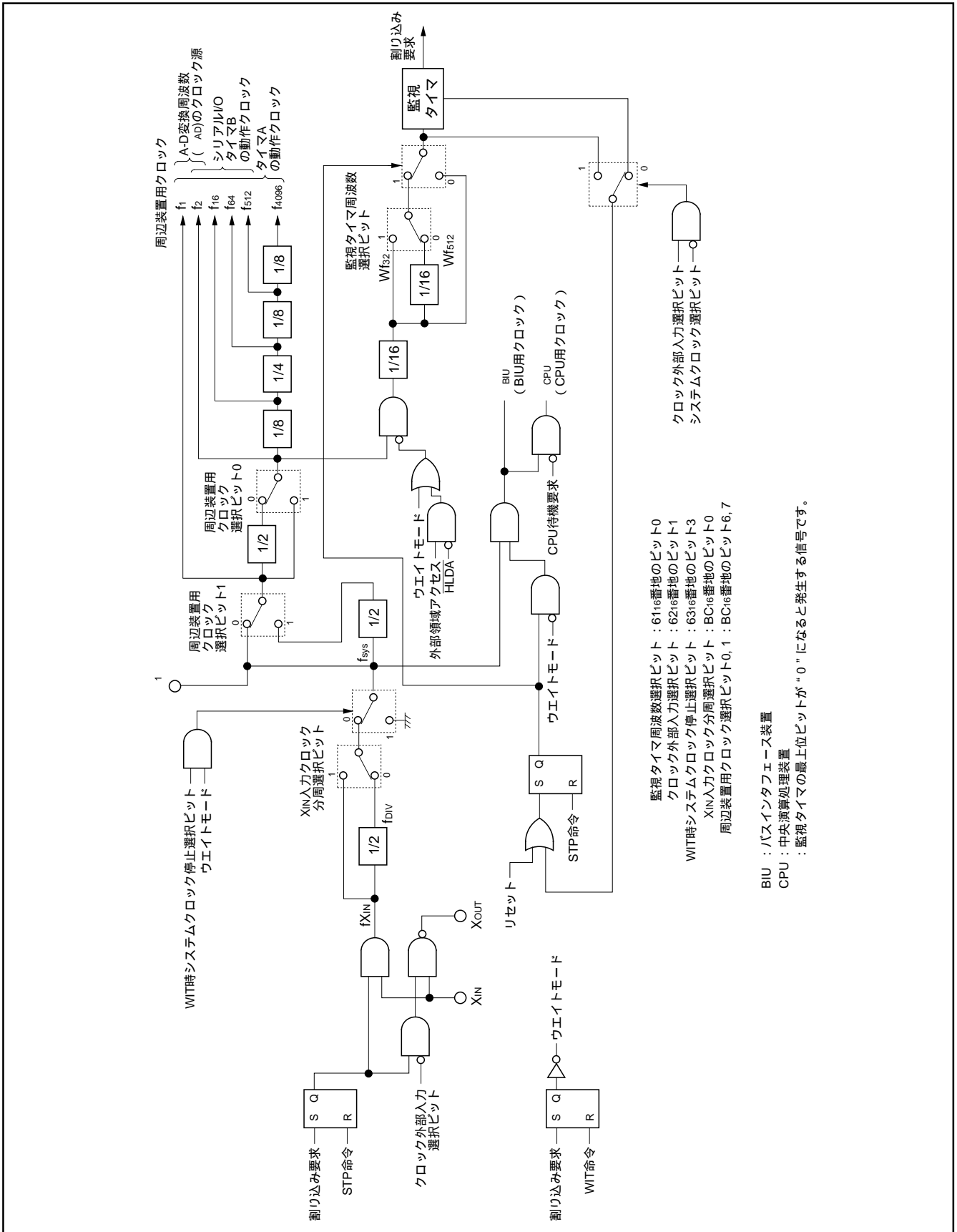


図92. クロック発生回路のブロック図

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

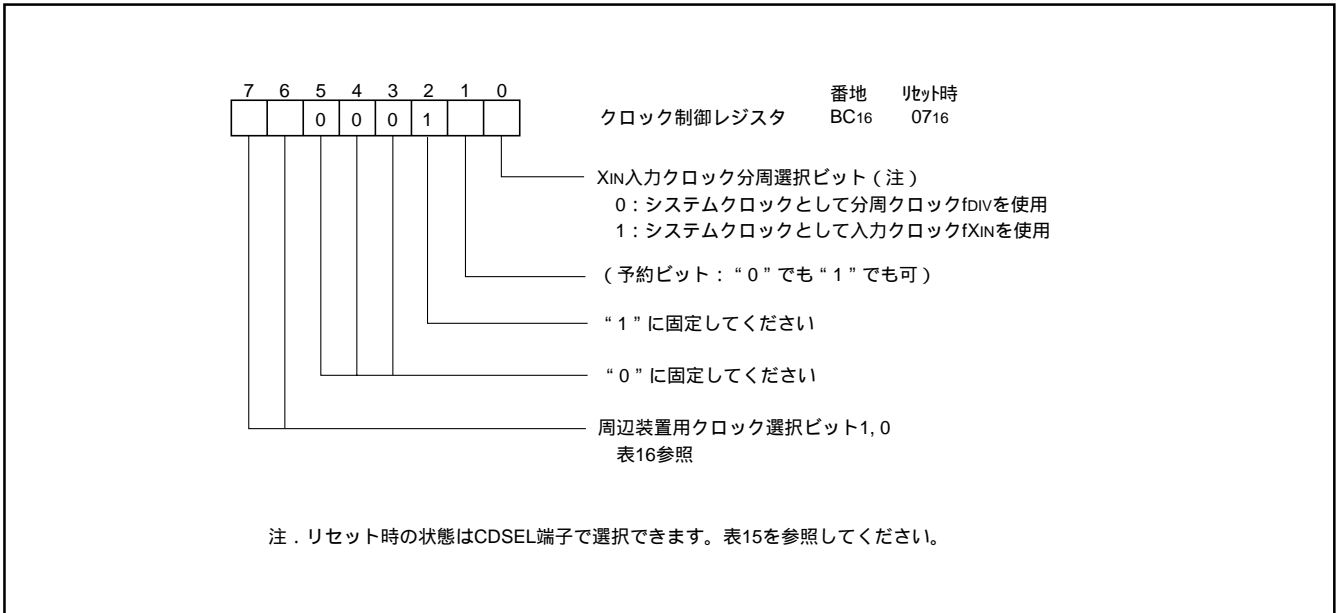


図93. クロック制御レジスタのビット構成

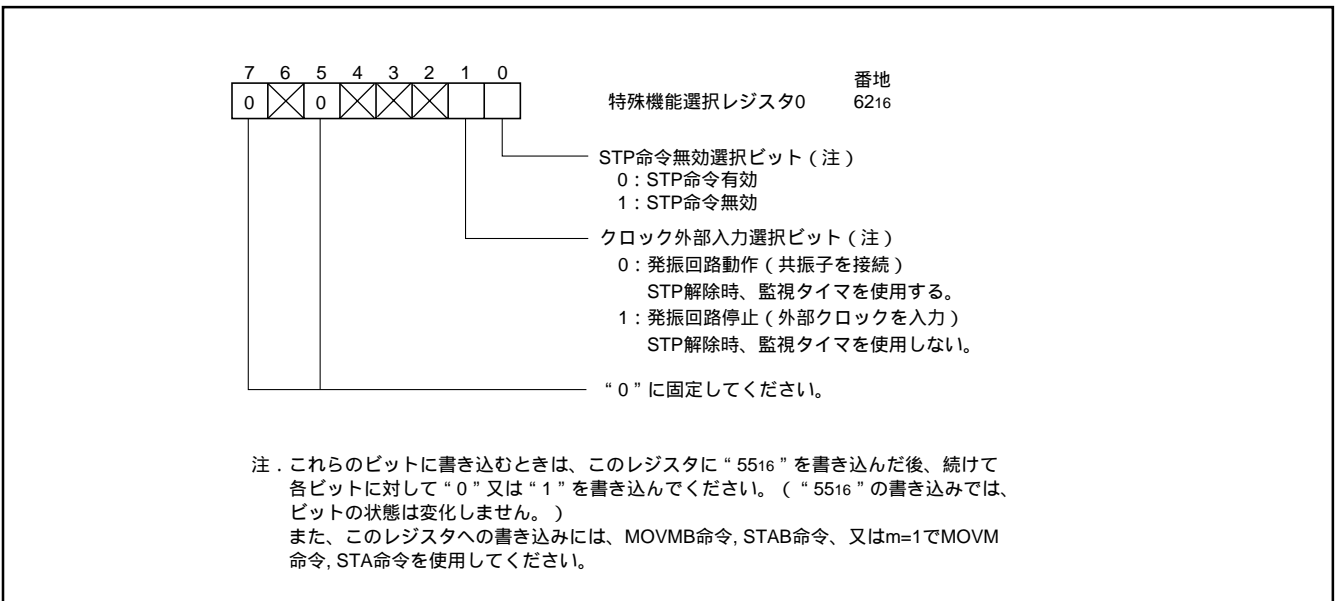


図94. 特殊機能選択レジスタ0のビット構成

スタンバイ機能

スタンバイ機能として、ストップ(以下、STPと称する)モード及びウエイト(以下、WITと称する)モードがあります。これらは中央演算処理装置(CPU)を動作させる必要がないときに、発振又はシステムクロックを停止させて消費電力を低減する機能です。

マイクロコンピュータは、STP命令、WIT命令の実行によって、STPモード、WITモードになります。STPモード、WITモードは、割り込みの受け付け、又はリセットによって解除されます。

割り込みによってSTPモード、WITモードを解除する場合、STP命令、WIT命令実行前に、STPモード、WITモードの解除に使用する割り込みを許可状態にしてください。また、解除に使用する割り込みの割り込み優先レベルは、STP命令、WIT命令を実行するルーチンのプロセッサ割り込み優先レベル(IPL)より大きい値にしてください。

図94に特殊機能選択レジスタ0、図95に特殊機能選択レジスタ1のビット構成を示します。STP命令無効選択ビット(特殊機能選択レジスタ0のビット0)を“1”にすると、STP命令が無効になり、STP命令は無視されます。リセット解除後は“0”が選択されていますので、STP命令は有効です。

STP命令実行ステータスフラグ(特殊機能選択レジスタ1のビット0)、WIT命令実行ステータスフラグ(特殊機能選択レジスタ1のビット1)は、STP命令、WIT命令が実行されるとそれぞれ“1”にセットされ、STPモード、WITモードの解除された後にそれぞれSTP命令、WIT命令が実行されたことを検出できます。これらのビットは、STPモード、WITモード解除時に、ソフトウェアでそれぞれ“0”にしてください。

表17に、STPモード、WITモードと、各部の動作の関係を示します。

また、STPモード、WITモードにおいて、メモリ拡張モー

ド、マイクロプロセッサモード時の外部バス及びバス制御信号の状態を任意に設定できる外部バス固定機能も用意しています。詳細は低消費電力機能の項を参照してください。

STPモード

STP命令を実行すると発振回路は停止し、入力クロックfXIN、分周クロックfDIV、システムクロックfsys、φBIU、φCPU及び周辺装置用クロックf1~f4096、Wf32、Wf512は“L”の状態です。また、監視タイマには、FFF16が自動的に設定され、図92に示すとおり、監視タイマのクロック源はWf32となります。

STPモードでは、周辺装置用クロックf1~f4096、Wf32、Wf512を用いるA-D変換器、監視タイマは停止します。この場合、タイマA、Bはイベントカウンタモードでだけ、シリアルI/Oは外部クロック選択時だけ動作可能です。

STPモードは、割り込み又はリセット受け付けにより解除され、発振回路は動作を再開します。また、入力クロックfXIN、分周クロックfDIV、システムクロックfsys、及び周辺装置用クロックf1~f4096、Wf32、Wf512の供給も再開します。

リセットによりSTPモードを解除した場合には、発振回路の動作再開後、直ちにφBIU、φCPUの供給を開始します。したがって、この場合には、発振の安定に必要な時間を待ってからリセット入力を“H”にしてください。

割り込みよりSTPモードを解除する方法として、発振回路の動作再開後、φBIU、φCPUの供給を開始するまでの時間を監視タイマで計測するモードと、動作再開後、直ちにφBIU、φCPUの供給を開始するモードを選択できます。

クロック外部入力選択ビット(特殊機能選択レジスタ0のビット1)が“0”の場合には、割り込みにより発振回路が動作開始した後、監視タイマはWf32でカウントダウンします。この監視タイマの最上位ビットが“0”となった後、φBIU、φCPUの

表17 . STPモード、WITモードと各部動作

状態	WIT時 システムクロック 停止選択ビット	WIT, STP中の動作				
		発振回路	f _{sys} , φ ₁ , f ₁ ~ f ₄₀₉₆	Wf ₃₂ , Wf ₅₁₂	φ _{BIU} , φ _{CPU}	f ₁ ~ f ₄₀₉₆ , Wf ₃₂ , Wf ₅₁₂ を使用する周辺装置
STP	-	停止	停止 (“L”)	停止 (“L”)	停止 (“L”)	タイマA, B : イベントカウンタモードでだけ動作可能 シリアルI/O : 外部クロック選択時だけ動作可能 A-D変換器 : 停止 (監視タイマ : 停止)
WIT	“0”	動作 (注)	動作	停止 (“L”)	停止 (“L”)	タイマA, B, シリアルI/O, A-D変換器 : 動作可能 (監視タイマ : 停止)
	“1”	動作 (注)	停止 (“L”)	停止 (“L”)	停止 (“L”)	タイマA, B : イベントカウンタモードでだけ動作可能 シリアルI/O : 外部クロック選択時だけ動作可能 A-D変換器 : 停止 (監視タイマ : 停止)

注 . クロック外部入力選択ビットが“1”の場合、発振回路は停止します。ただし、XIN端子からのクロック入力は許可されます。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

供給が再開されます。

一方、クロック外部入力選択ビットが“1”の場合には、割り込みにより発振回路が動作開始した後、 ϕ BIU, ϕ CPUの供給を再開します。

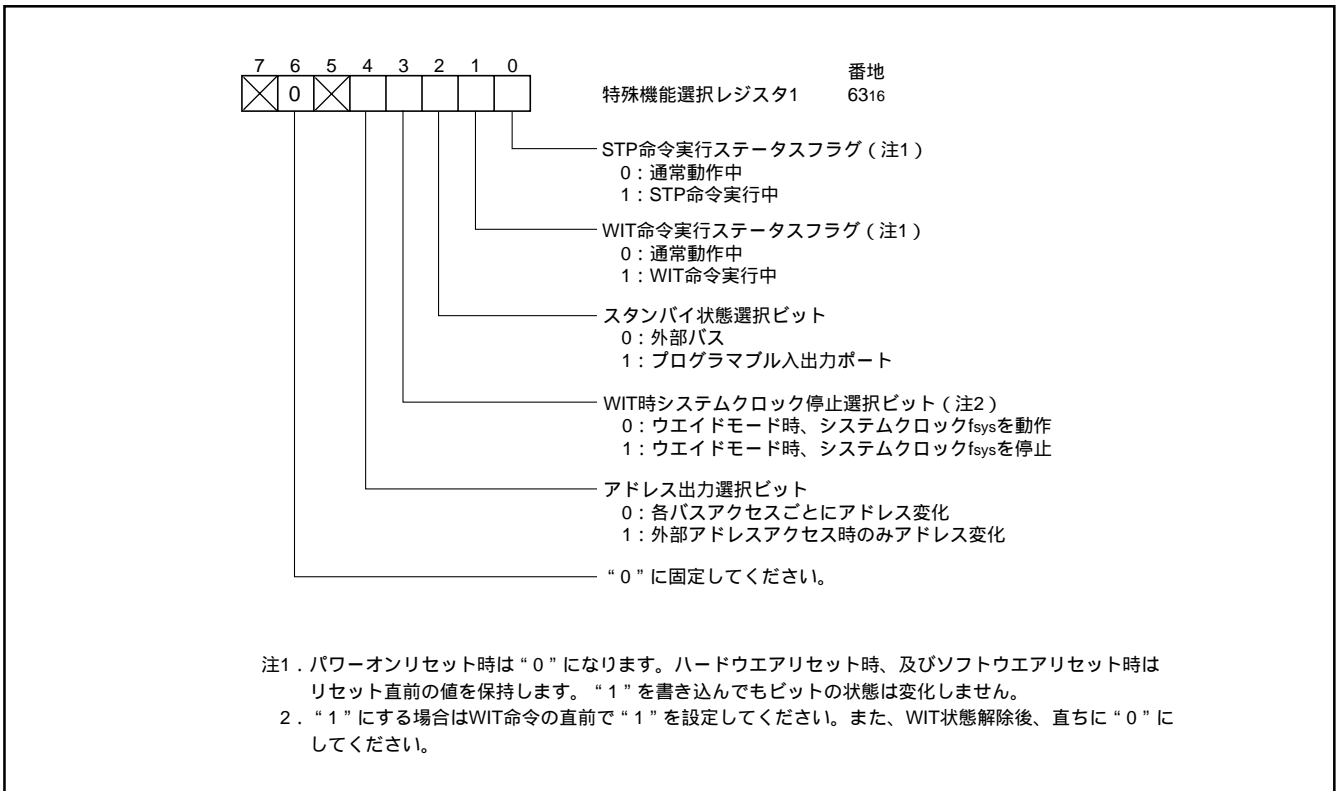


図95. 特殊機能選択レジスタ1のビット構成

WITモード

WIT時システムクロック停止選択ビット(特殊機能選択レジスタ1のビット3; 図95)が $\bar{0}$ の状態ではWIT命令を実行すると、 ϕ BIU, ϕ CPU, 分周クロック Wf_{32} , Wf_{512} は \bar{L} の状態では停止しますが、発振回路及び入力クロック f_{XIN} , 分周クロック f_{DIV} , システムクロック f_{sys} , ϕ_1 , 周辺装置用クロック $f_1 \sim f_{4096}$ は停止しません。したがって、BIU、CPUは停止しますが、周辺装置用クロック $f_1 \sim f_{4096}$ を用いるタイマA、B、シリアルI/O、A-D変換器は動作可能です。また、監視タイマは停止します。

一方、WIT時システムクロック停止選択ビットが $\bar{1}$ の状態ではWIT命令を実行すると、発振回路、入力クロック f_{XIN} , 分周クロック f_{DIV} は停止しませんが、システムクロック f_{sys} , ϕ BIU, ϕ CPU及び周辺装置用クロックは停止します。したがって、この場合、周辺装置用クロック $f_1 \sim f_{4096}$, Wf_{32} , Wf_{512} を用いるA-D変換器、監視タイマは停止します。またタイマA、Bはイベントカウンタモードでだけ、シリアルI/Oは外部クロック選択時だけ動作可能です。WITモードで内蔵周辺装置を使用しない場合には、後者の方がより消費電流が少なくできるので有利です。なお、WIT時システムクロック停止選択ビットは、WIT命令の直前で $\bar{1}$ を設定し、WITモード解除後、直ちに $\bar{0}$ に戻すようにしてください。

WITモードは、割り込みを受け付けると解除され、 ϕ CPU, ϕ BIUの供給が再開されます。WITモードでは発振回路、入力クロック f_{XIN} は停止していませんので、WITモード解除後、直ちに割り込み処理の実行が可能です。

低消費電力機能

以下の機能を選択することにより、システム全体の消費電力を低減することができます。

(1) スタンバイ状態での外部バス固定

スタンバイ状態選択ビット(特殊機能選択レジスタ1のビット2)を“1”にすることにより、STPモード、WITモードにおいて、外部バス及びバス制御信号の入出力端子をプログラマブル入出力ポートに切り替えることができます。マイクロコンピュータと外部デバイスとの間で不要な電流が発生しないように、端子の状態を、対応するポートレジスタ及びポート方向レジスタで設定することによって、STPモード及びWITモード時のシステム全体の消費電力を低減できます。表18に、外部バス及びバス制御信号の入出力端子とプログラマブル入出力ポートの対応を示します。

この機能はSTPモード、WITモード中のみ有効です。STPモード、WITモードの解除時に本来の外部バス及びバス制御信号の機能に戻ります。

表18．外部バス及びバス制御信号の入出力端子とプログラマブル入出力ポートの対応

外部バス及び バス制御信号	スタンバイ状態選択ビット	
	0	1
A0 ~ A7, A8 ~ A15, A16 ~ A23	A0 ~ A7, A8 ~ A15, A16 ~ A23	P100 ~ P107, P110 ~ P117, P00 ~ P07
D0 ~ D7, D8 ~ D15	D0 ~ D7, D8 ~ D15(注)	P10 ~ P17, P20 ~ P27
\overline{RD} , \overline{BLW} , \overline{BHW}	\overline{RD} , \overline{BLW} , \overline{BHW} (注)	P31, P32, P33
$\overline{CS0}$	$\overline{CS0}$	P90

注．外部データバス幅8ビット(BYTE=Vccレベル)時は、スタンバイ状態選択ビットの内容にかかわらず、プログラマブル入出力ポートになります。

(2) WITモード時のシステムクロック停止

WITモード時、内蔵周辺装置を動作させる必要がない場合、WIT時システムクロック停止選択ビット(特殊機能選択レジスタ1のビット3)を“1”にすると、システムクロック f_{sys} 、周辺装置用クロックが停止し、マイクロコンピュータの消費電力を低減することができます。詳細はスタンバイ機能の項を参照してください。

(3) 発振回路停止

外部で生成された安定したクロックをXIN端子に入力する場合、クロック外部入力選択ビット(特殊機能選択レジスタ0のビット1)を“1”にして、XIN端子とXOUT端子の間の発振用

ドライバー回路を停止させると、消費電力を低減することができます。このとき、XOUT端子の出力レベルは“H”に固定されます。また、割り込み要求発生によってストップモードから復帰したとき、直ちに ϕ_{BIU} 、 ϕ_{CPU} の供給が再開するため、STPモード解除直後から命令を実行することができます。詳細はクロック発生回路及びスタンバイ機能の項を参照してください。

(4) VREF切断

A-D変換器を使用しない場合は、VREF接続選択ビット(A-D制御レジスタ1のビット6)を“1”にすると、A-D変換器のラダー抵抗と基準電圧入力端子(VREF)が切り離されます。これによりVREF端子からラダー抵抗に電流が流れなくなるため、消費電力を低減することができます。VREF接続選択ビットを“1”(VREF切断)から“0”(VREF接続)にしたときは、1 μ s以上経過した後に、A-D変換を開始させてください。詳細はA-D変換器の項を参照してください。

(5) アドレス出力選択

メモリ拡張モード、マイクロプロセッサモードにおいて、アドレス出力選択ビット(特殊機能選択レジスタ1のビット4)を“1”にすると、内部領域アクセス時のアドレスを出力させず、アドレス端子の不要な状態変化をなくすることができます。詳細はバスインタフェース装置の項を参照してください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

フラッシュメモリモード

本製品は、単一電源での書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、外部のライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、シリアル入出力モード及び、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次頁以降で説明します。

図96に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことが

できます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及びシリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時にシリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むこともできます。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

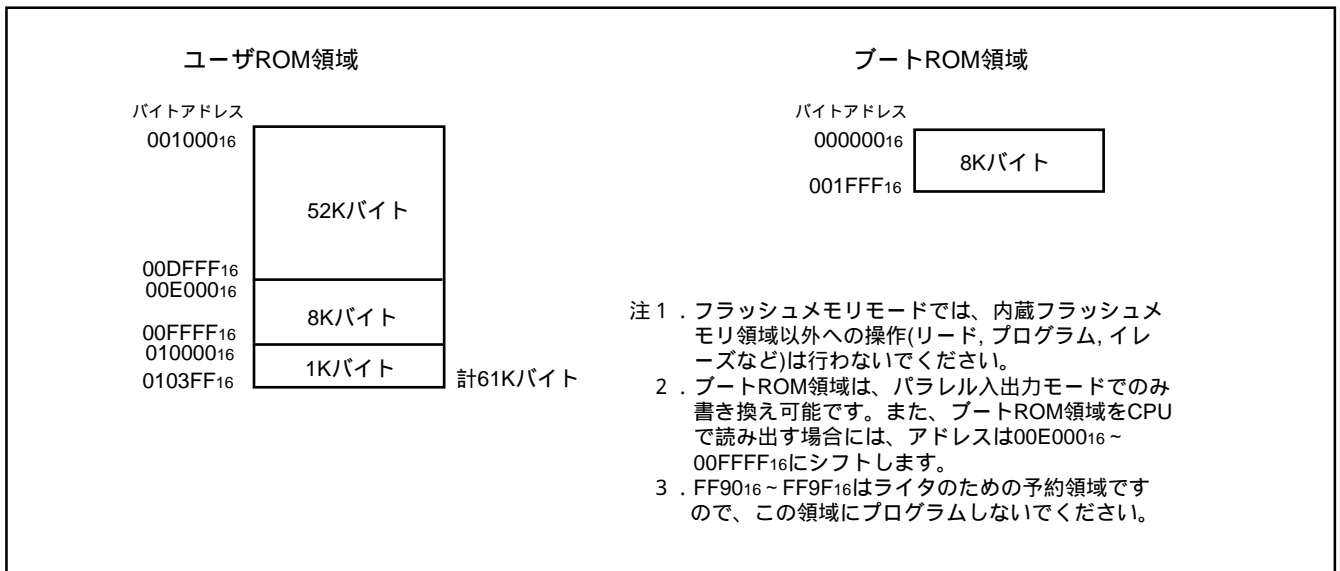


図96. M37903F8CHPの内蔵フラッシュメモリのブロック構成

パラレル入出力モード

パラレル入出力モードは、パラレルライタを用いて、内蔵するフラッシュメモリの操作(リード、プログラム、イレーズなど)を行うためのモードです。パラレルライタは、表19に示すソフトウェアコマンドを使用して、フラッシュメモリの操作を行います。

表19. ソフトウェアコマンド一覧表(パラレル入出力モード)

ソフトウェアコマンド
リードアレイ
リードステータスレジスタ
クリアステータスレジスタ
プログラム
ブロックイレーズ
イレーズ全ブロック

なお、FF90₁₆ ~ FF9F₁₆番地はパラレルライタの予約領域です。パラレル入出力モードを使用する場合は、この領域にプログラムしないでください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、ユーザROM領域及びブートROM領域の書き換えを行うことができます。

プログラム、ブロックイレーズはこれらの領域に対してのみ行ってください。

ブートROM領域は、8Kバイトで、パラレル入出力モードでは、0000₁₆ ~ 1FFF₁₆番地に配置されていますので、プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは8Kバイト単位の1ブロックのみです。ブートROM領域には、弊社からの出荷時にシリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、シリアル入出力モードを使用される場合には、ブートROM領域の書き換えは行わないでください。

また、FF90₁₆ ~ FF9F₁₆はライタの予約領域ですので、この領域にプログラムしないでください。

なお、後述のCPU書き換えモード等においてブートROM領域をCPUから読み出す場合には、アドレスがE000₁₆ ~ FFFF₁₆番地にシフトしますので注意してください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

シリアル入出力モード

シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)に必要なソフトウェアコマンド、アドレス、データを少数の端子を使用してシリアルに入出力するモードで、専用のシリアルライターを使用します。

シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。

この制御プログラムは弊社からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、シリアル入出力モードは使用できなくなりますので注意してください。

なお、本シリアル入出力モード制御プログラムの内容は予告なしに変更される場合があります。

図97にシリアル入出力モード時の端子結線図を示します。

シリアルデータの入出力は、端子SCLK、SDA、BUSYの3本を使って行います。

SCLK端子は転送クロックの入力端子で、外部から転送クロックを入力します。SDA端子は送信、受信データの入出力端子で出力の場合はNチャンネルオープンドレイン出力となります。SDA端子には、外部でプルアップ抵抗(1k程度)を接続してください。BUSY端子はBUSYフラグの出力端子(CMOS出力)で、送受信中、イレース、プログラム動作中等のビジー期間中に“H”を出力します。

送受信データは8ビット単位でシリアル転送します。

シリアル入出力モードでは、ユーザROM領域のみ書き換えが可能で、ブートROM領域はアクセスできません。

なお、FF9016～FF9F16番地はシリアルライターの予約領域です。シリアル入出力モードを使用する場合は、この領域にプログラムしないでください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

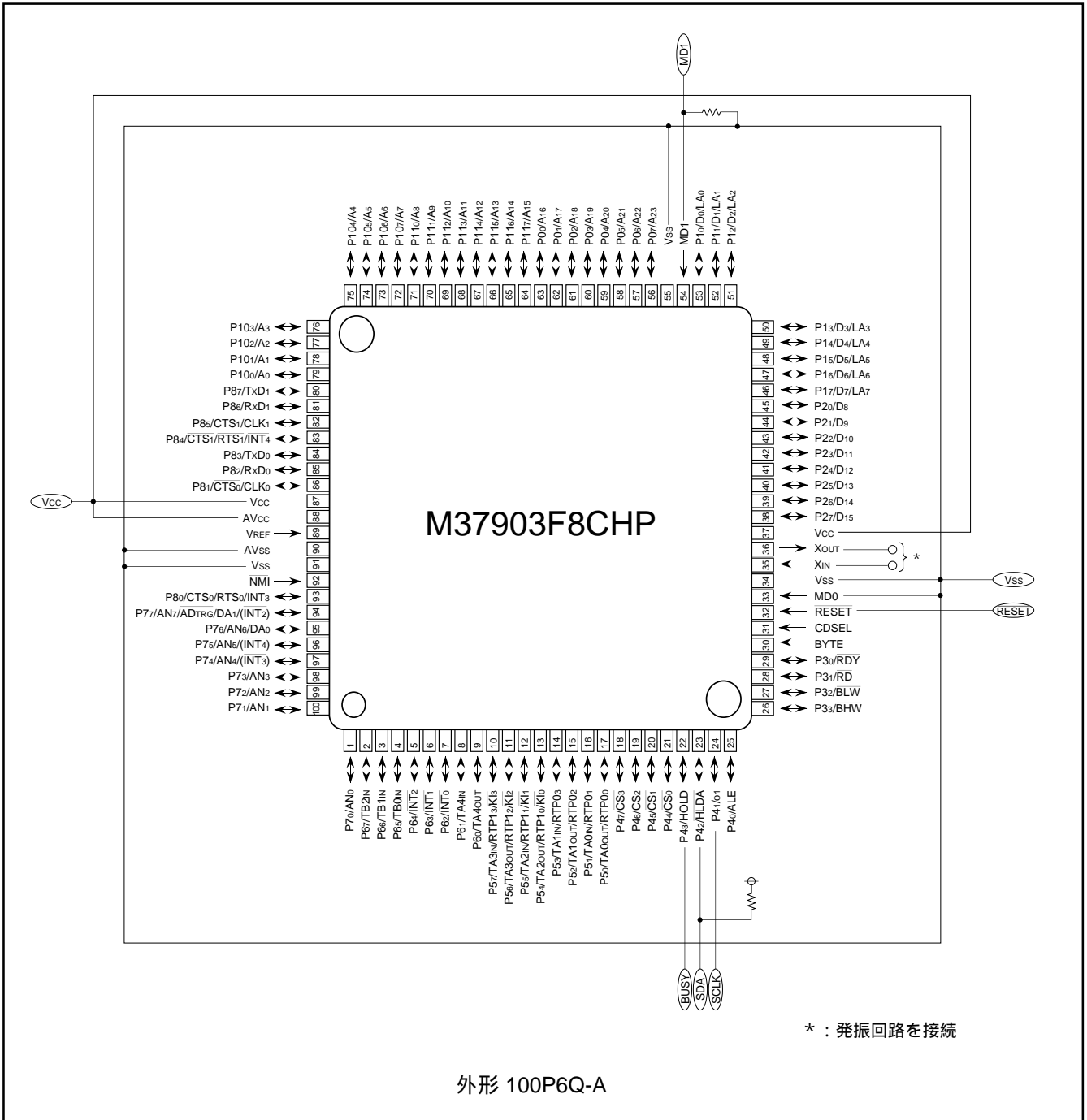


図97. シリアル入出力モード時の端子の結線図(外形 : 100P6Q-A)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、ユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらでも格納できます。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、ここで実行させる必要があります。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、シリアル入出力モードは使用できなくなります。)

ブートROM領域のアドレスは、パラレル入出力モードでアクセスする場合には0000₁₆~1FFF₁₆番地ですが、CPUがアクセスする場合にはE000₁₆~FFFF₁₆番地にシフトしますので注意してください。

MD0、MD1端子をともに“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。このとき、ブートROM領域はアクセスできません。

MD0端子を“L”、MD1端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

リセット解除後、MD0、MD1端子の状態は変更しないでください。

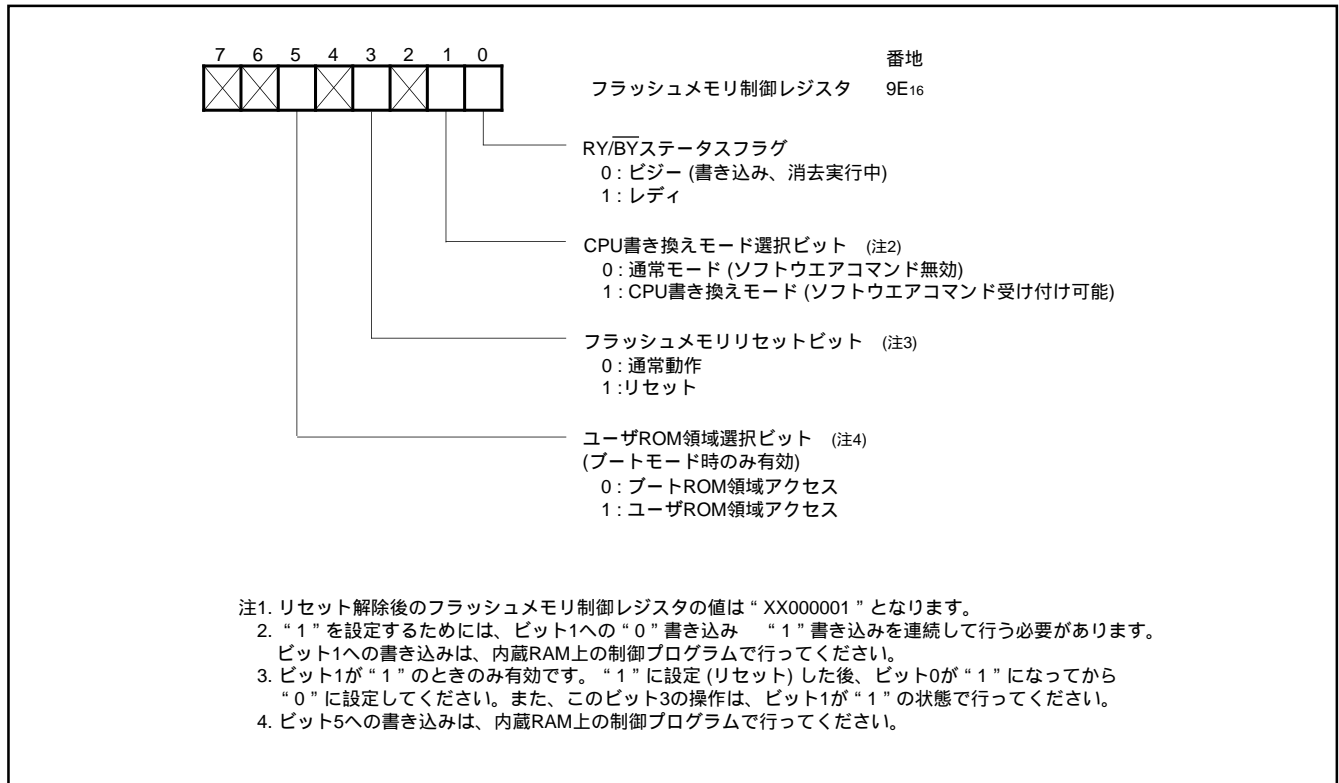


図98. フラッシュメモリ制御レジスタのビット構成

機能概要 (CPU書き換えモード)

CPU書き換えモードは、シングルチップモード、メモリ拡張モード及びブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドをライトすることにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行させる必要がありますので注意してください。

CPU書き換えモードは、図98に示すフラッシュメモリ制御レジスタのビット1(CPU書き換えモード選択ビット)に“1”を書き込むことにより成立し、ソフトウェアコマンドを受け付けることができます。

CPU書き換えモードでは、ソフトウェアコマンド、データ等はすべて16ビット単位で偶数アドレス(バイトアドレスのアドレスA0は“0”)へライト、リードします。したがって、8ビットのソフトウェアコマンドは、偶数アドレスにライトしてください。奇数番地にライトされたコマンドは無効になります。プログラムコマンドの第2サイクルのライトデータは16ビットですので、偶数、奇数番地へライトしてください。

プログラム、イレーズ動作の制御はフラッシュメモリ内のシーケンサが行います。シーケンサの動作状態、プログラム又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできますが、このとき、リードステータスレジスタコマンドは実行しないでください。

図98にフラッシュメモリ制御レジスタのビット配置を示します。

ビット0はRY/BYステータスフラグで、シーケンサの動作状況を示す読み出し専用のビットです。自動書き込み、自動消去の動作中には“0”(ビジー)、これ以外のときには“1”(レディ)となります。プログラム、ブロックイレーズ及び、イレーズ全ブロックのコマンド実行中に変化します。これらのコマンド実行後は、このフラグで自動書き込み及び自動消去の終了を確認してください。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドを受け付けることができます。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は“0”書き込みだけで行えます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。CPU書き換えモードの終了時及び、フラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換え

モード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除する場合は、ビット0(RY/BYステータスフラグ)が“1”になったことを確認した後、“0”を書き込んでください。

ビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスされる領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合には常にユーザROM領域のみアクセス可能で、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードかどうかにかかわらず有効です。このビット5の書き換えは、RAM上に転送した制御プログラムで行ってください。

図99にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。図99の注1に示すとおり、CPU書き換えモードを選択する前に、プロセッサモードレジスタ1のビット7(内部ROMバスサイクル選択ビット)を“0”に設定するとともに、1フラグを“1”にセットし、割り込み要求が入らないようにしてください。

CPU書き換えモード時にNMI割り込み、監視タイマ割り込み要求が発生した場合、RESET入力を“L”とした場合及びソフトウェアリセットをかけた場合には、フラッシュメモリ制御回路はリセットされるとともに、フラッシュメモリ制御レジスタもリセットされます。

イレーズ、プログラム動作中にフラッシュメモリがリセットされると、それらの動作は取り消され、そのブロックのデータは無効となります。イレーズ、プログラムを伴うコマンドをライトする直前には、必ず監視タイマへの書き込みを行ってください。また、NMI端子は“H”とし、NMI割り込み要求が発生しないようにしてください。

また、CPU書き換えモードでは、STP命令、WIT命令は使用しないでください。

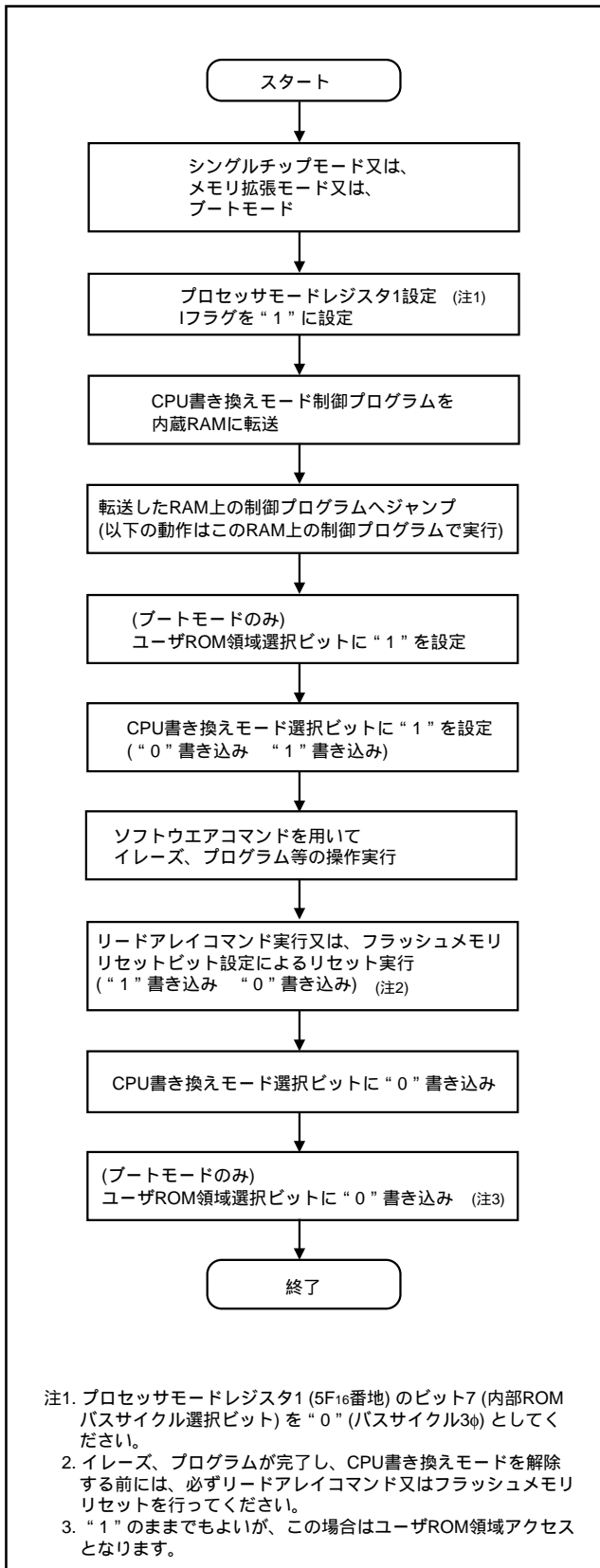


図99. CPU書き換えモードの設定/解除フローチャート

ソフトウェアコマンド

表20にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウェアコマンドの入力時、上位バイト(D₈～D₁₅)は無視されます。(プログラムコマンドの第2サイクルのライトデータは除く。)

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド (FF₁₆)

第1バスサイクルでコマンドコード“FF₁₆”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D₀～D₁₅)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されますので、複数のアドレスのデータを続けて読み出せます。

リードステータスレジスタコマンド (70₁₆)

第1バスサイクルでコマンドコード“70₁₆”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D₀～D₇)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド (50₁₆)

ステータスレジスタのエラー終了を示すビット(SR.4, 5) がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50₁₆”をライトします。

プログラムコマンド (40₁₆)

プログラムコマンドによって1ワード (=2バイト) 単位でプログラムを実行します。第1バスサイクルでコマンドコード“40₁₆”をライトすると、プログラム動作を開始します。第2バスサイクルでライトデータを16ビット単位でライトすると同時にアドレスも指定します。データライトが完了すると自動書き込み(データのプログラムとペリファイ)動作を開始します。

自動書き込みの終了は、フラッシュメモリ制御レジスタのリードによって確認することを推奨します。フラッシュメモリ制御レジスタのRY/BYステータスフラグは自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。

RY/BYステータスフラグが1(レディ)となるのを確認した後、次のコマンド処理を行ってください。自動書き込み実行中は、コマンド書き込み、及びフラッシュメモリへのアクセスは行わないでください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

表20. ソフトウェアコマンド一覧表 (CPU書き換えモード)

コマンド	第1サイクル			第2サイクル		
	モード	アドレス	データ (D0~D7)	モード	アドレス	データ
リードアレイ	ライト	X(注2)	FF ₁₆			
リードステータスレジスタ	ライト	X	70 ₁₆	リード	X	SRD(注3)
クリアステータスレジスタ	ライト	X	50 ₁₆			
プログラム	ライト	X	40 ₁₆	ライト	WA(注4)	WD(注4)
ブロックイレーズ	ライト	X	20 ₁₆	ライト	BA(注5)	D0 ₁₆
イレーズ全ブロック	ライト	X	20 ₁₆	ライト	X	20 ₁₆

- 注1. ソフトウェアコマンド入力時には上位バイト (D8 ~ D15) のデータは無視されます。
 2. X=ユーザROM領域内の任意のアドレス(ただし、アドレスA0="0")
 3. SRD=ステータスレジスタデータ
 4. WA=ライトアドレス、WD=ライトデータ(16ビット)
 5. ブロックアドレス(各ブロックの最大アドレスを入力してください。ただし、アドレスA0="0")

なお、連続してプログラムを行う場合には、プログラムエラーがなければ、リードステータスレジスタモードのままプログラムコマンドを実行することができます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳細はステータスレジスタの節を参照してください。

図100にプログラムのフローチャート例を示します。

既にプログラムされたワードに対する追加書き込みは禁止します。

ブロックイレーズコマンド (20₁₆/D0₁₆)

第1バスサイクルでコマンドコード"20₁₆"、続く第2バスサイクルで確認コマンドコード"D0₁₆"とブロックの最大アドレス(ただし、アドレスA0="0")をライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、フラッシュメモリ制御レジスタのリードによって確認することを推奨します。フラッシュメモリ制御レジスタのRY/BYステータスフラグは自動消去の開始とともに"0"となり、終了とともに"1"に戻ります。

RY/BYステータスフラグが"1(レディ)"となるのを確認した後、次のコマンド処理を行ってください。自動消去実行中は、コマンド書き込み、及びフラッシュメモリへのアクセスは行わないでください。

自動消去開始とともに自動的にリードステータスレジスタモードとなります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳細はステータスレジスタの節を参照してください。

図101にブロックイレーズのフローチャート例を示します。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

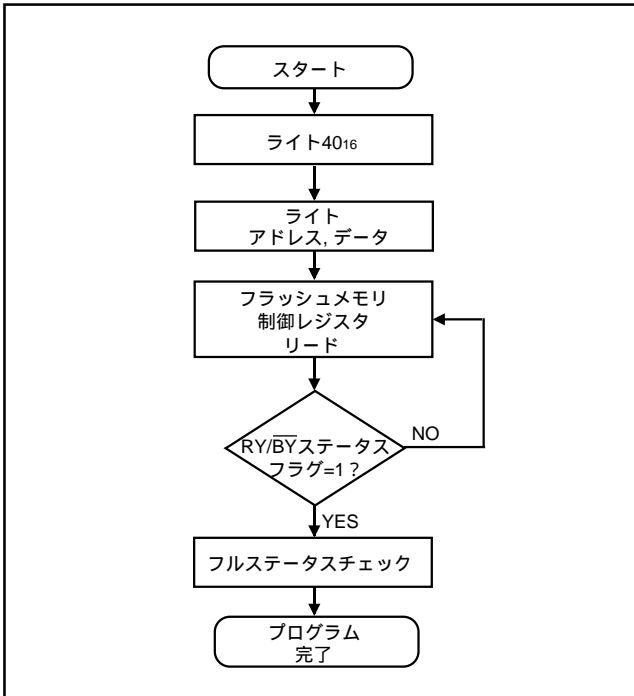


図100. プログラムフローチャート

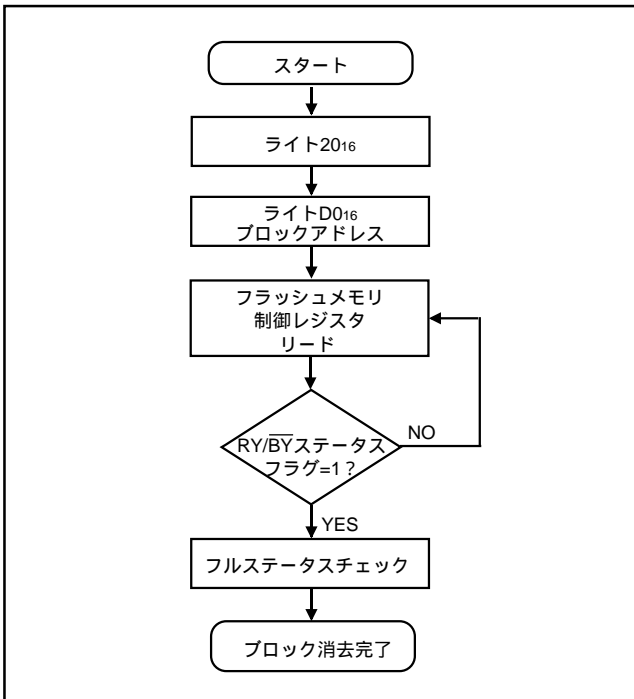


図101. ブロックイレーズフローチャート

イレーズ全ブロックコマンド (20₁₆/20₁₆)

第1バスサイクルでコマンドコード“20₁₆”、続く第2バスサイクルでコマンドコード“20₁₆”をライトすると全ブロックに対し、連続的にブロックイレーズを実行します (チップイレーズ)。

チップイレーズの終了も、ブロックイレーズと同様にフラッシュメモリ制御レジスタのリードによって確認することを推奨します。また、自動消去の結果はステータスレジスタの読み出しにより知ることができます。自動消去実行中(RY/B \bar{Y} ステータスフラグが0のとき)は、コマンド書き込み、及びフラッシュメモリへのアクセスは行わないでください。

ステータスレジスタ

ステータスレジスタは、イレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド (70₁₆)をライトしたとき読み出すことができます。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

表21にステータスレジスタの各ビットの定義を示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

以下に各ビットの内容を説明します。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

イレーズステータス (SR.5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。イレーズステータスは、クリアされると“0”になります。

プログラムステータス (SR.4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。プログラムステータスは、クリアされると“0”になります。

SR.5、SR.4のいずれかが“1”にセットされている状態では、プログラム、ブロックイレーズ、イレーズ全ブロックコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(5016)を実行し、ステータスをクリアしてください。

また、以下のときにはSR.4、SR.5の両方が“1”にセットされます(コマンドシーケンスエラー)。

(1) ブロックイレーズコマンド(2016/D016)の第2バスサイクルのデータに“D016”または“FF16”以外のデータを入力した場合。

(2) イレーズ全ブロックコマンド(2016/2016)の第2バスサイクルのデータに“2016”または“FF16”以外のデータを入力した場合。

ただし“FF16”を入力すると、リードアレイモードになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図102にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

表21. ステータスレジスタのビット定義

記号	ステータス	定義	
		“1”	“0”
SR.7 (D7)	リザーブ	—	—
SR.6 (D6)	リザーブ	—	—
SR.5 (D5)	イレーズステータス	エラー終了	正常終了
SR.4 (D4)	プログラムステータス	エラー終了	正常終了
SR.3 (D3)	リザーブ	—	—
SR.2 (D2)	リザーブ	—	—
SR.1 (D1)	リザーブ	—	—
SR.0 (D0)	リザーブ	—	—

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

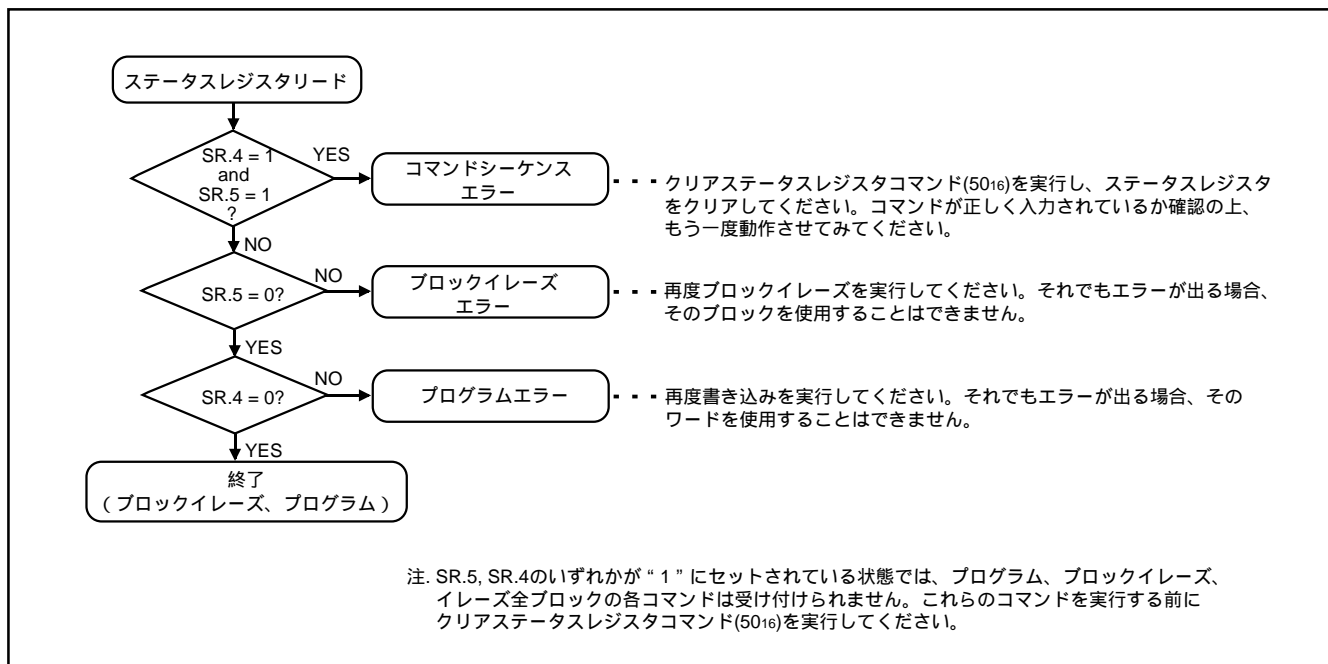


図102. フルステータスチェックフローチャート及び各エラー発生時の対処方法

直流電気的特性($V_{CC}=5V \pm 0.5V$, $T_a=0 \sim 60$, $f(f_{sys})=26MHz$ (注))

記号	項目	規格値			単位
		最小	標準	最大	
lcc1	V _{CC} 電源電流(プログラム時)			54	mA
lcc2	V _{CC} 電源電流(イレーズ時)			54	mA

各端子のV_{IH}, V_{IL}, V_{OH}, V_{OL}, I_{IH}, I_{IL}規格値は、マイコンモードの規格値に準じます。

注. f(f_{sys})はシステムクロックf_{sys}の周波数を示します。

交流電気的特性($V_{CC} = 5V \pm 0.5V$, $T_a = 0 \sim 60$, $f(f_{sys})=26MHz$ (注))

項目	規格値			単位
	最小	標準	最大	
ワードプログラム時間		20	640	μs
1Kブロックイレーズ時間		0.3	8	s
8Kブロックイレーズ時間		0.3	8	s
52Kブロックイレーズ時間		0.6	8	s
イレーズ全ブロック時間		1.2	24	s

上記以外の規格値は、マイコンモードの規格値に準じます。

注. f(f_{sys})はシステムクロックf_{sys}の周波数を示します。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

絶対最大定格

記号	項目	定格値	単位
V _{CC}	電源電圧	-0.3 ~ 6.5	V
AV _{CC}	アナログ電源電圧	-0.3 ~ 6.5	V
V _I	入力電圧 P0~P07, P10~P17, P20~P27, P30~P33, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P100~P107, P110~P117, V _{REF} , X _{IN} , $\overline{\text{RESET}}$, BYTE, MD0, MD1, $\overline{\text{NMI}}$, CDSEL	-0.3 ~ V _{CC} +0.3	V
V _O	出力電圧 P0~P07, P10~P17, P20~P27, P30~P33, P40~P47, P50~P57, P60~P67, P70~P77, P80~P87, P100~P107, P110~P117, X _{OUT}	-0.3 ~ V _{CC} +0.3	V
P _d	消費電力	400	mW
T _{opr}	動作周囲温度	-20 ~ 85	
T _{stg}	保存温度	-40 ~ 150	

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

推奨動作条件(指定のない場合は、 $V_{CC}=5V$, $T_a=-20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
V_{CC}	電源電圧	4.5	5.0	5.5	V
AV_{CC}	アナログ電源電圧		V_{CC}		V
V_{SS}	電源電圧		0		V
AV_{SS}	アナログ電源電圧		0		V
V_{IH}	“H”入力電圧 RESET, BYTE, MD0, MD1, CDSEL	$0.8V_{CC}$		V_{CC}	V
V_{IH}	“H”入力電圧 X_{IN} (CDSEL端子= V_{CC} レベル又は開放の時)	$0.8V_{CC}$		V_{CC}	V
V_{IH}	“H”入力電圧 X_{IN} (CDSEL端子= V_{SS} レベルの時)	$0.43V_{CC}$		V_{CC}	V
V_{IH}	“H”入力電圧 $P1_0 \sim P1_7$, $P2_0 \sim P2_7$, $P3_0 \sim P3_3$, $P4_0 \sim P4_7$, $P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $P10_0 \sim P10_7$, $P11_0 \sim P11_7$	$0.7V_{CC}$		V_{CC}	V
V_{IH}	“H”入力電圧 $P0_0 \sim P0_7$ (ポートP0入力レベル選択ビット=0の時)	$0.7V_{CC}$		V_{CC}	V
V_{IH}	“H”入力電圧 $P0_0 \sim P0_7$ (ポートP0入力レベル選択ビット=1の時)	$0.43V_{CC}$		V_{CC}	V
V_{IH}	“H”入力電圧 $D_0 \sim D_7$, $D_8 \sim D_{15}$	$0.43V_{CC}$		V_{CC}	V
V_{IH}	“H”入力電圧 RDY, HOLD, $TA0_{IN} \sim TA4_{IN}$, $TA0_{OUT} \sim TA4_{OUT}$, $TB0_{IN} \sim TB2_{IN}$, $KI_0 \sim KI_3$, $INT_0 \sim INT_4$, NMI, AD_{TRG} , CTS_0 , CTS_1 , CLK_0 , CLK_1 , RxD_0 , RxD_1	$0.43V_{CC}$		V_{CC}	V
V_{IH}	“H”入力電圧 SCLK, SDA (注1)	$0.43V_{CC}$		V_{CC}	V
V_{IL}	“L”入力電圧 RESET, BYTE, MD0, MD1, CDSEL	0		$0.2V_{CC}$	V
V_{IL}	“L”入力電圧 X_{IN}	0		$0.16V_{CC}$	V
V_{IL}	“L”入力電圧 $P1_0 \sim P1_7$, $P2_0 \sim P2_7$, $P3_0 \sim P3_3$, $P4_0 \sim P4_7$, $P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $P10_0 \sim P10_7$, $P11_0 \sim P11_7$	0		$0.2V_{CC}$	V
V_{IL}	“L”入力電圧 $P0_0 \sim P0_7$ (ポートP0入力レベル選択ビット=0の時)	0		$0.2V_{CC}$	V
V_{IL}	“L”入力電圧 $P0_0 \sim P0_7$ (ポートP0入力レベル選択ビット=1の時)	0		$0.16V_{CC}$	V
V_{IL}	“L”入力電圧 $D_0 \sim D_7$, $D_8 \sim D_{15}$	0		$0.16V_{CC}$	V
V_{IL}	“L”入力電圧 RDY, HOLD, $TA0_{IN} \sim TA4_{IN}$, $TA0_{OUT} \sim TA4_{OUT}$, $TB0_{IN} \sim TB2_{IN}$, $KI_0 \sim KI_3$, $INT_0 \sim INT_4$, NMI, AD_{TRG} , CTS_0 , CTS_1 , CLK_0 , CLK_1 , RxD_0 , RxD_1	0		$0.16V_{CC}$	V
V_{IL}	“L”入力電圧 SCLK, SDA (注1)	0		$0.16V_{CC}$	V
$I_{OH}(\text{peak})$	“H”尖頭出力電流 $P0_0 \sim P0_7$, $P1_0 \sim P1_7$, $P2_0 \sim P2_7$, $P3_0 \sim P3_3$, $P4_0 \sim P4_7$, $P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $P10_0 \sim P10_7$, $P11_0 \sim P11_7$			-10	mA
$I_{OH}(\text{avg})$	“H”平均出力電流 $P0_0 \sim P0_7$, $P1_0 \sim P1_7$, $P2_0 \sim P2_7$, $P3_0 \sim P3_3$, $P4_0 \sim P4_7$, $P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $P10_0 \sim P10_7$, $P11_0 \sim P11_7$			-5	mA
$I_{OL}(\text{peak})$	“L”尖頭出力電流 $P0_0 \sim P0_7$, $P1_0 \sim P1_7$, $P2_0 \sim P2_7$, $P3_0 \sim P3_3$, $P4_0 \sim P4_7$, $P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $P10_0 \sim P10_7$, $P11_0 \sim P11_7$			10	mA
$I_{OL}(\text{avg})$	“L”平均出力電流 $P0_0 \sim P0_7$, $P1_0 \sim P1_7$, $P2_0 \sim P2_7$, $P3_0 \sim P3_3$, $P4_0 \sim P4_7$, $P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $P10_0 \sim P10_7$, $P11_0 \sim P11_7$			5	mA
$f(X_{IN})$	外部クロック入力周波数			26 (注2)	MHz
$f(f_{sys})$	システムクロック周波数			26	MHz

注1. SCLK, SDAはフラッシュメモリのシリアル入出力モード時のみ使用する端子です。

2. X_{IN} 入力クロック分周選択ビットが“0”の場合は、最大52MHzとなります。

3. 平均出力電流は100msの期間内での平均値です。

4. P_0 , P_1 , P_2 , P_8 , P_{10} , P_{11} の $I_{OL}(\text{peak})$ 及び $I_{OH}(\text{peak})$ の合計は80mA以下、 P_3 , P_4 , P_5 , P_6 , P_7 の $I_{OL}(\text{peak})$ 及び $I_{OH}(\text{peak})$ の合計は80mA以下にしてください。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

直流電気的特性(指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$, $f(f_{sys})=26MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{OH}	“H”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇	$I_{OH}=-10mA$	3			V
V_{OH}	“H”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ , P4 ₂ , P4 ₄ ~P4 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇	$I_{OH}=-400\mu A$	4.7			V
V_{OH}	“H”出力電圧 P3 ₁ ~P3 ₃	$I_{OH}=-10mA$	3.4			V
		$I_{OH}=-400\mu A$	4.8			V
V_{OL}	“L”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇	$I_{OL}=10mA$			2	V
V_{OL}	“L”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P4 ₀ , P4 ₂ , P4 ₄ ~P4 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇	$I_{OL}=2mA$			0.45	V
V_{OL}	“L”出力電圧 P3 ₁ ~P3 ₃	$I_{OL}=10mA$			1.6	V
		$I_{OL}=2mA$			0.4	V
$V_{T+}-V_{T-}$	ヒステリシス RDY, HOLD, TA0 _{IN} ~TA4 _{IN} , TA0 _{OUT} ~TA4 _{OUT} , TB0 _{IN} ~TB2 _{IN} , KI ₀ ~KI ₃ , INT ₀ ~INT ₄ , NMI, AD _{TRG} , CTS ₀ , CTS ₁ , CLK ₀ , CLK ₁ , RxD ₀ , RxD ₁		0.2		0.7	V
$V_{T+}-V_{T-}$	ヒステリシス RESET		0.5		1.5	V
$V_{T+}-V_{T-}$	ヒステリシス X _{IN} (CDSSEL端子= V_{CC} 又は開放の時)		0.1		0.3	V
$V_{T+}-V_{T-}$	ヒステリシス X _{IN} (CDSSEL端子= V_{SS} の時)		0.05		0.26	V
I_{IH}	“H”入力電流 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₃ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇ , X _{IN} , RESET, BYTE, MD0, MD1, NMI	$V_i=5.0V$			5	μA
I_{IL}	“L”入力電流 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₃ , P4 ₀ ~P4 ₃ , P5 ₀ ~P5 ₃ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₇ , P10 ₀ ~P10 ₇ , P11 ₀ ~P11 ₇ , X _{IN} , RESET, BYTE, MD0, MD1	$V_i=0V$			-5	μA
		$V_i=0V$ (プリアンプトランジスタなし)			-5	μA
I_{IL}	“L”入力電流 P4 ₄ ~P4 ₇ , P5 ₄ ~P5 ₇ , NMI	$V_i=0V$ (プリアンプトランジスタあり)	-0.4	-0.7	-1.1	μA
V_{RAM}	RAM保持電圧	クロック停止時	2			V
I_{CC}	電源電流 出力専用端子は開放、その他の 端子は V_{SS} 又は V_{CC} 、外部方形波 クロック入力 (X _{OUT} 開放)	$f(f_{sys})=26MHz$ CPU動作時		30	54	μA
		クロック停止時 $T_a=25$			1	μA
		クロック停止時 $T_a=85$			20	μA

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

A-D変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=5V\pm 0.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値		単位	
			最小	最大		
—	分解能	$V_{REF}=V_{CC}$		10	Bits	
—	絶対精度	$V_{REF}=V_{CC}$	分解能10ビットモード		± 3	LSB
			分解能8ビットモード		± 2	LSB
R_{LADDER}	ラダー抵抗	$V_{REF}=V_{CC}$	5		$k\Omega$	
t_{CONV}	変換時間	$f(f_{sys})$ 26MHz	分解能10ビットモード	4.54		μs
			分解能8ビットモード	1.89(注)		
V_{REF}	基準電圧		2.7	V_{CC}	V	
V_{IA}	アナログ入力電圧		0	V_{REF}	V	

注. A-D変換周波数(AD)に f_1 を選択した場合。

D-A変換特性(指定のない場合は、 $V_{CC}=5V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=5V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				± 1.0	%
t_{su}	設定時間				3	μs
R_O	出力抵抗		2	3.5	4.5	$k\Omega$
I_{VREF}	基準電源入力電流	(注)			3.2	mA

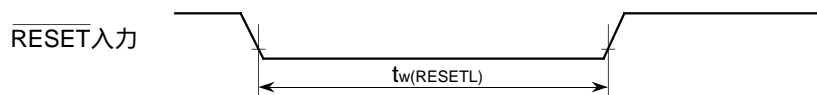
注. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が"0016"の場合です。

A-D変換器のラダー抵抗分は除きます。

リセット入力

リセット入力タイミング必要条件(指定のない場合は、 $V_{CC}=5V\pm 0.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
$t_{w(RESETL)}$	RESET入力“L”パルス幅	10			μs



開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

外部クロック入力

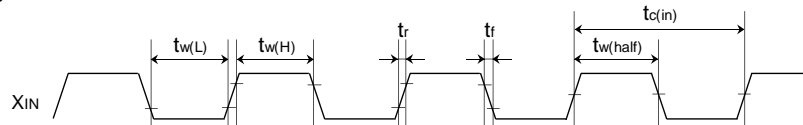
タイミング必要条件(指定のない場合は $V_{CC}=5V \pm 0.5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_{c(in)}$	外部クロック入力サイクル時間	$1/f(X_{IN})$		ns
$t_{w(half)}$	外部クロック入力半値パルス幅	$0.45t_{c(in)}$	$0.55t_{c(in)}$	ns
$t_{w(H)}$	外部クロック入力“H”パルス幅(注1)	$0.5t_{c(in)}-2$		ns
	外部クロック入力“H”パルス幅(注2)	$0.5t_{c(in)}-6$		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅(注1)	$0.5t_{c(in)}-3.4$		ns
	外部クロック入力“L”パルス幅(注2)	$0.5t_{c(in)}-6.8$		ns
t_r	外部クロック入力立ち上がり時間(注1)		2.7	ns
	外部クロック入力立ち上がり時間(注2)		6.4	ns
t_f	外部クロック入力立ち下がり時間(注1)		2.7	ns
	外部クロック入力立ち下がり時間(注2)		6.4	ns

注1 X_{IN} 入力クロック分周選択ビットが“0”の場合

2 X_{IN} 入力クロック分周選択ビットが“1”の場合

外部クロック入力



測定条件

- ・ $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- ・ 入力タイミング電圧：CDSEL端子に V_{SS} レベルを印加したとき、 $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
CDSEL端子に V_{CC} レベルを印加したとき、 $V_{IL}=1.0V$, $V_{IH}=4.0V$ で判定
($t_{w(H)}$, $t_{w(L)}$, t_r , t_f)
- ・ 入力タイミング電圧：CDSEL端子に V_{SS} レベルを印加したとき、1.65Vで判定
CDSEL端子に V_{CC} レベルを印加したとき、2.5Vで判定
($t_{c(in)}$, $t_{w(half)}$)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

内蔵周辺装置入出力タイミング(指定のない場合は、 $V_{CC}=5V\pm 0.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$ 、 $f(f_{sys})=26MHz$)
システムクロック周波数に依存する規格値は、算出式で示します。また、()内に $f(f_{sys})=26MHz$ 時の値を示します。

タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	$f(f_{sys})$ 26MHz	$\frac{16 \times 10^9}{f(f_{sys})}$ (615)	ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)	ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)	ns

注・TAiIN入力サイクル時間はカウントソースの4サイクル分以上、TAiIN入力“H”パルス幅及び“L”パルス幅はカウントソースの2サイクル分以上必要です。上記規格は $f(f_{sys})=26MHz$ 時、カウントソースにf2を選択した場合の値です。

タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間		80	ns
$t_w(TAH)$	TAiIN入力“H”パルス幅		40	ns
$t_w(TAL)$	TAiIN入力“L”パルス幅		40	ns

タイマA入力(ワンショットパルスモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)	ns
$t_w(TAH)$	TAiIN入力“H”パルス幅		80	ns
$t_w(TAL)$	TAiIN入力“L”パルス幅		80	ns

タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅		80	ns
$t_w(TAL)$	TAiIN入力“L”パルス幅		80	ns

タイマA入力(イベントカウンタモードのアップダウン入力及びカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間		2000	ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅		1000	ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅		1000	ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間		400	ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間		400	ns

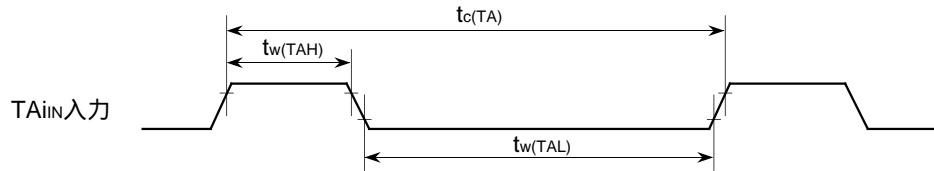
タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAjIN入力サイクル時間		800	ns
$t_{su}(TAjIN-TAjOUT)$	TAjIN入力セットアップ時間		200	ns
$t_{su}(TAjOUT-TAjIN)$	TAjOUT入力セットアップ時間		200	ns

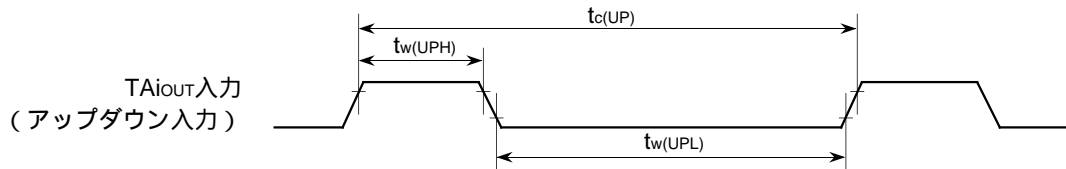
開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

タイマモードのゲーティング入力
イベントカウンタモードのカウンタ入力
ワンショットパルスモードの外部トリガ入力
パルス幅変調モードの外部トリガ入力



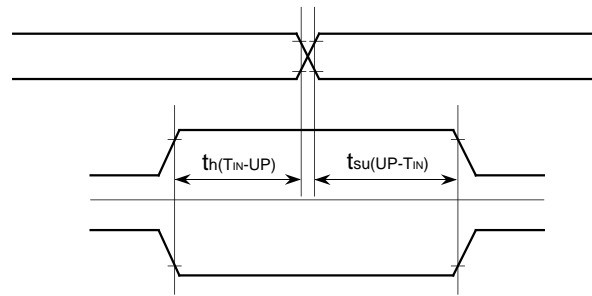
イベントカウンタモードのアップダウン入力及びカウンタ入力



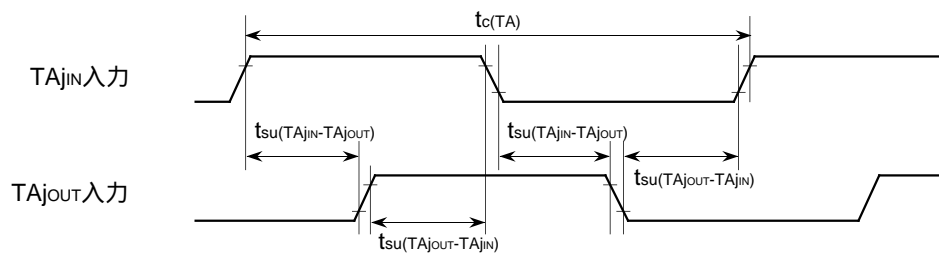
TAiout入力
(アップダウン入力)

TAiin入力
(立ち下がりカウント選択時)

TAiin入力
(立ち上がりカウント選択時)



イベントカウンタモードの二相パルス入力



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間 (片エッジカウント)	80		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅 (片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅 (片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間 (両エッジカウント)	160		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅 (両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅 (両エッジカウント)	80		ns

タイマB入力(パルス周期測定モード)

記号	項目		規格値		単位
			最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	$f(f_{sys})$ 26MHz	$\frac{16 \times 10^9}{f(f_{sys})}$ (615)		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)		ns

注 . TBiIN入力サイクル時間はカウントソースの4サイクル分以上、TBiIN入力“H”パルス幅及び“L”パルス幅はカウントソースの2サイクル分以上必要です。上記規格は $f(f_{sys})$ 26MHz時、カウントソースにf2を選択した場合の値です。

タイマB入力(パルス幅測定モード)

記号	項目		規格値		単位
			最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	$f(f_{sys})$ 26MHz	$\frac{16 \times 10^9}{f(f_{sys})}$ (615)		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	$f(f_{sys})$ 26MHz	$\frac{8 \times 10^9}{f(f_{sys})}$ (307)		ns

注 . TBiIN入力サイクル時間はカウントソースの4サイクル分以上、TBiIN入力“H”パルス幅及び“L”パルス幅はカウントソースの2サイクル分以上必要です。上記規格は $f(f_{sys})$ 26MHz時、カウントソースにf2を選択した場合の値です。

A-Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	AD \overline{TRG} 入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	AD \overline{TRG} 入力“L”パルス幅	125		ns

開発中

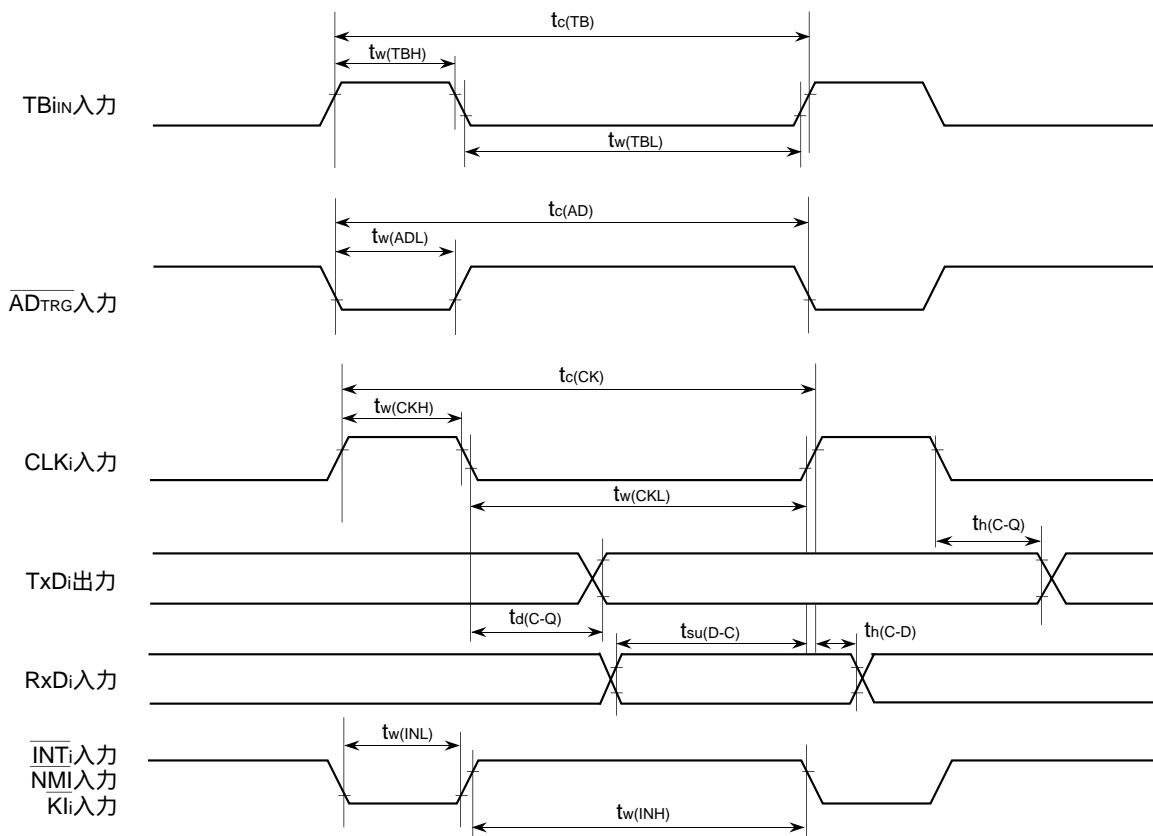
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLK _i 入力サイクル時間	200		ns
$t_{w(CKH)}$	CLK _i 入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLK _i 入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TxD _i 出力遅延時間		80	ns
$t_{h(C-Q)}$	TxD _i ホールド時間	0		ns
$t_{su(D-C)}$	RxD _i 入力セットアップ時間	20		ns
$t_{h(C-D)}$	RxD _i 入力ホールド時間	90		ns

外部割り込み \overline{INT}_i 入力、 \overline{NMI} 入力、キー入力割り込み \overline{KI}_i 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INT}_i 入力、 \overline{NMI} 入力、 \overline{KI}_i 入力“H”パルス幅	250		ns
$t_{w(INL)}$	\overline{INT}_i 入力、 \overline{NMI} 入力、 \overline{KI}_i 入力“L”パルス幅	250		ns



測定条件

- $V_{cc}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧: $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

レディー機能、ホールド機能タイミング

タイミング必要条件(指定のない場合は、 $V_{CC}=5V\pm 0.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_{su}(RDY-1)$	RDY入力セットアップ時間	40		ns
$t_h(1-RDY)$	RDY入力ホールド時間	0		ns
$t_{su}(HOLD-1)$	HOLD入力セットアップ時間	40		ns
$t_h(1-HOLD)$	HOLD入力ホールド時間	0		ns

スイッチング特性(指定のない場合は、 $V_{CC}=5V\pm 0.5V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

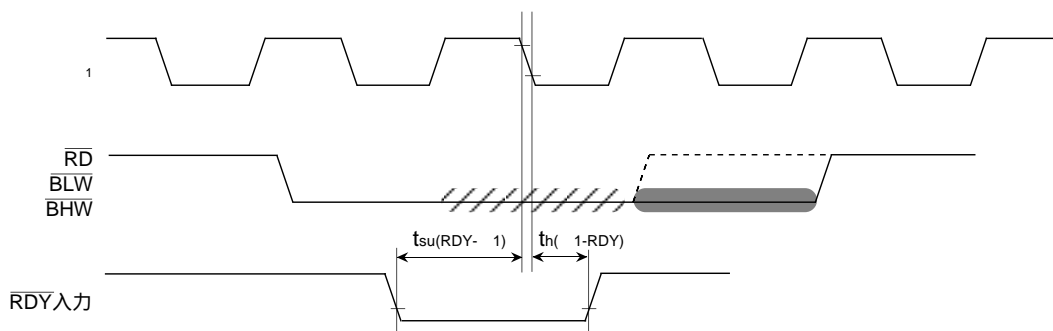
記号	項目	規格値		単位
		最小	最大	
$t_d(1-HLDAL)$	H LDA出力遅延時間		20	ns
$t_d(RDH-HLDAL)$	リード後H LDA“L”出力遅延時間	t_c-15 (注)		ns
$t_d(BXWH-HLDAL)$	ライト後H LDA“L”出力遅延時間	t_c-15 (注)		ns
$t_{pxz}(HLDAL-RDZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-BXWZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-CSIZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-ALEZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(HLDAL-AZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pzx}(HLDAL-RDZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(HLDAL-BXWZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(HLDAL-CSIZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(HLDAL-ALEZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(HLDAL-AZ)$	フローティング解除遅延時間	0		ns

注 . $t_c = 1/f(f_{sys})$

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

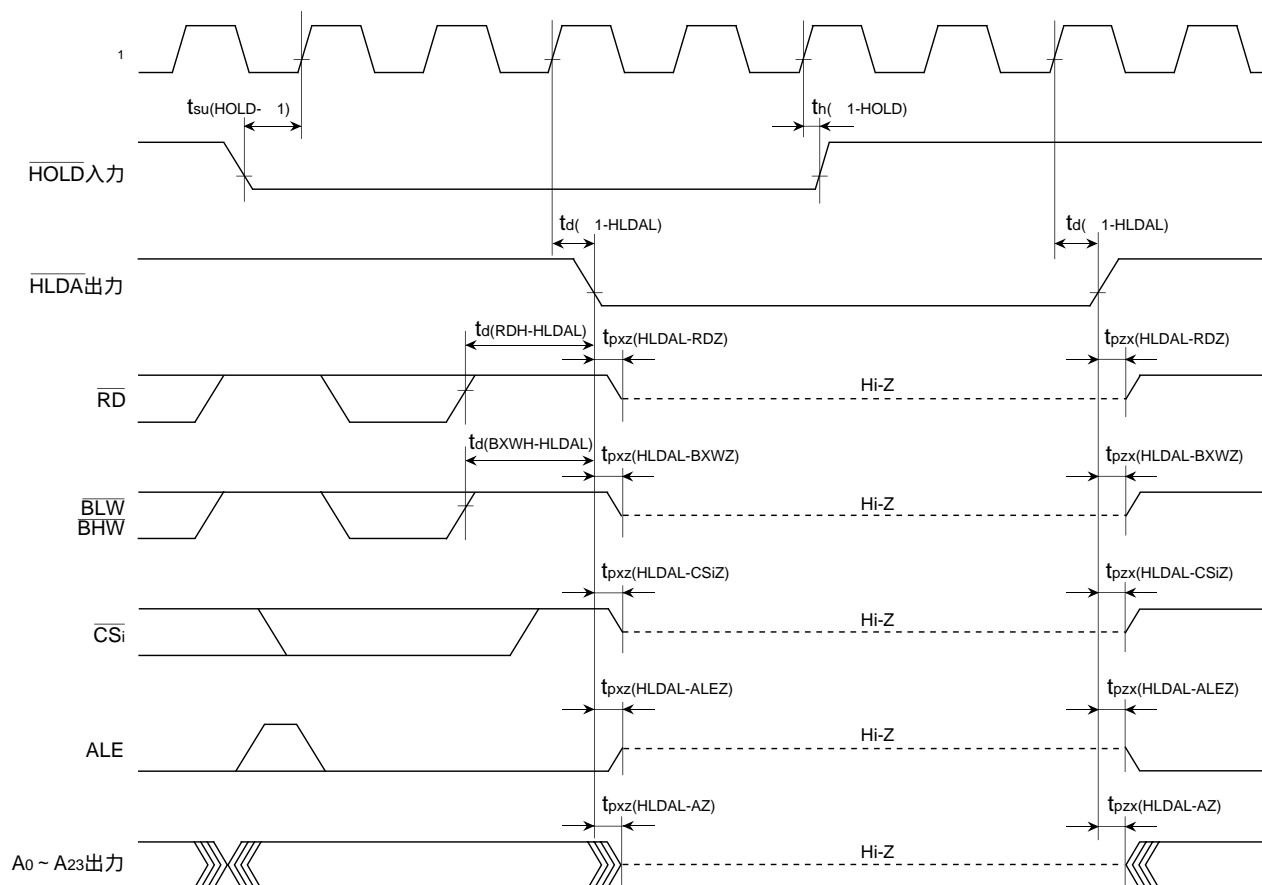
RDY入力



//// : ソフトウェアによるウエイト (上記はバスサイクル1 +2 選択時)

■ : レディー機能によるウエイト

HOLD入力



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- RDY入力、HOLD入力 : $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- HLDA出力 : $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

外部バスタイミング

システムクロック周波数に依存する規格値は、算出式で示します。算出式の中の記号は以下の値を示します。

バスサイクル	W _H	W _L	バスサイクル	W _H	W _L
1 +1	1	1	2 +3	2	3
1 +2	1	2	2 +4	2	4
1 +3	1	3	3 +3	3	3
2 +2	2	2	3 +4	3	4

$$t_c = 1/f(f_{sys})$$

タイミング必要条件(指定のない場合はV_{cc}=5V±0.5V, V_{ss}=0V, T_a=-20~85)

記号	項目	規格値		単位
		最小	最大	
t _a (A-D)	アドレスアクセス時間(アドレス出力選択ビット=0時)		(W _H +W _L)t _c -45	ns
t _a (A-D)	アドレスアクセス時間(アドレス出力選択ビット=1時)		(W _H +W _L -0.5)t _c -35	ns
t _a (LA-D)	アドレスアクセス時間(マルチプレックスバス選択ビット=1時)	(W _H +W _L -0.5)t _c -35 (注)		ns
t _a (CSIL-D)	チップセレクトアクセス時間		(W _H +W _L -0.5)t _c -35	ns
t _a (RDL-D)	リードアクセス時間		W _L ×t _c -30	ns
t _{su} (D-RDL)	リードデータセットアップ時間	15		ns
t _h (RDH-D)	リード後データ入力ホールド時間	0		ns
t _a (BA-D)	バーストROMアクセス時アドレスアクセス時間		W _L ×t _c -35	ns
t _h (BA-D)	バーストROMアクセス時アドレス後データホールド時間	8		ns

注.アドレス出力選択ビットの内容に影響されません。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

スイッチング特性(指定のない場合はVcc=5V±0.5V, Vss=0V, Ta=-20~85)

記号	項目	規格値		単位
		最小	最大	
t _d (1-RDL)	リード“ L ”出力遅延時間	-18	0	ns
t _d (1-RDH)	リード“ H ”出力遅延時間	-18	0	ns
t _d (1-BXWL)	ライト“ L ”出力遅延時間	-18	0	ns
t _d (1-BXWH)	ライト“ H ”出力遅延時間	-18	0	ns
t _d (1L-CSiL)	チップセレクト“ L ”出力遅延時間	-20	0	ns
t _d (1L-CSiH)	チップセレクト“ H ”出力遅延時間	-22	10	ns
t _d (1H-A)	アドレス出力遅延時間(アドレス出力選択ビット=0時)	-5	25	ns
t _d (1L-A)	アドレス出力遅延時間(アドレス出力選択ビット=1時)	-20	16	ns
t _w (ALEH)	ALEパルス幅	バスサイクル1 +1、+2、+3 選択時	0.5tc-19	ns
		バスサイクル2 +2 選択時	tc-20	ns
		バスサイクル2 +3、+4、+3、+4 選択時	1.5tc-20	ns
t _d (A-ALEL)	アドレス確定後ALE完了遅延時間(アドレス出力選択ビット=0時)	バスサイクル1 +1、+2、+3 選択時	tc-30	ns
		バスサイクル2 +2 選択時	1.5tc-30	ns
		バスサイクル2 +3、+4、+3、+4 選択時	2tc-30	ns
t _d (A-ALEH)	アドレス確定後ALE完了遅延時間(アドレス出力選択ビット=1時)	バスサイクル1 +1、+2、+3 選択時	0.5tc-19	ns
		バスサイクル2 +2 選択時	tc-20	ns
		バスサイクル2 +3、+4、+3、+4 選択時	1.5tc-20	ns
t _w (RDL)	リード出力パルス幅	W _L ×tc-15		ns
t _w (RDH)	リード出力“ H ”幅(注1)	W _H ×tc-15		ns
t _d (RDH-BXWH)	リード後ライトディセーブル有効時間(注2)	tc-15		ns
t _d (A-RDH)	リード前アドレス有効時間(アドレス出力選択ビット=0時)	W _H ×tc-30		ns
t _d (A-RDH)	リード前アドレス有効時間(アドレス出力選択ビット=1時)	(W _H +0.5)tc-19		ns
t _h (RDH-A)	リード後アドレスホールド時間(アドレス出力選択ビット=0時)(注2)	8		ns
t _h (RDH-A)	リード後アドレスホールド時間(アドレス出力選択ビット=1時)(注2)	0.5tc-10		ns
t _d (RDH-ALEL)	リード開始後ALE完了遅延時間		20	ns
t _d (ALEL-RDH)	ALE完了後リード	バスサイクル2 +2 選択時	0.5tc-19	ns
	ディセーブル有効時間	バスサイクル3 +3、+4 選択時	tc-15	ns
t _d (CSiL-RDH)	リード前チップセレクト有効時間	(W _H +0.5)tc-19		ns
t _d (CSiL-RDL)	リード完了前チップセレクト出力有効時間	(W _H +W _L -0.5)tc-20		ns
t _h (RDH-CSiL)	リード後チップセレクトホールド時間	0.5tc-14		ns
t _d (RDH-D)	リード後次ライトサイクルデータ出力遅延時間(注2)	tc-15		ns
t _w (BXWL)	ライト出力パルス幅	W _L ×tc-15		ns
t _w (BXWH)	ライト出力“ H ”幅(注1)	W _H ×tc-15		ns
t _d (BXWH-RDH)	ライト後リードディセーブル有効時間(注2)	tc-15		ns
t _d (A-BXWH)	ライト前アドレス有効時間(アドレス出力選択ビット=0時)	W _H ×tc-30		ns
t _d (A-BXWH)	ライト前アドレス有効時間(アドレス出力選択ビット=1時)	(W _H +0.5)tc-19		ns
t _h (BXWH-A)	ライト後アドレスホールド時間(アドレス出力選択ビット=0時)(注2)	8		ns
t _h (BXWH-A)	ライト後アドレスホールド時間(アドレス出力選択ビット=1時)(注2)	0.5tc-10		ns
t _d (BXWH-ALEL)	ライト開始後ALE完了遅延時間		20	ns
t _d (ALEL-BXWH)	ALE完了後ライト	バスサイクル2 +2 選択時	0.5tc-19	ns
	ディセーブル有効時間	バスサイクル2 +3、+4、+3、+4 選択時	tc-15	ns
t _d (CSiL-BXWH)	ライト前チップセレクト有効時間	(W _H +0.5)tc-19		ns
t _d (CSiL-BXWL)	ライト完了前チップセレクト出力有効時間	(W _H +W _L -0.5)tc-20		ns
t _h (BXWH-CSiL)	ライト後チップセレクトホールド時間	0.5tc-14		ns
t _d (D-BXWL)	ライト完了前データ出力有効時間	W _L ×tc-20		ns
t _h (BXWH-D)	ライト後データホールド時間(注3)	0.5tc-10		ns
t _{pxz} (BXWH-DZ)	ライト後フローティング開始遅延時間(注3)		0.5tc+10	ns

注1. 直前のバスサイクルが、リカバリサイクル挿入を選択した領域に対するアクセスであった場合は、tc(リカバリサイクル挿入数1サイクル)ns]、又は2tc(リカバリサイクル挿入数2サイクル)ns]だけ延びます。
 2. リカバリサイクル挿入を選択した領域をアクセスした場合は、tc(リカバリサイクル挿入数1サイクル)、又は2tc(リカバリサイクル挿入数2サイクル)ns]だけ延びます。
 3. リカバリサイクル挿入を選択した領域をアクセスし、かつリカバリサイクル挿入数2サイクルの場合、tc]ns]だけ延びます。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

スイッチング特性(指定のない場合は $V_{cc}=5V\pm 0.5V$, $V_{ss}=0V$, $T_a=-20\sim 85$)

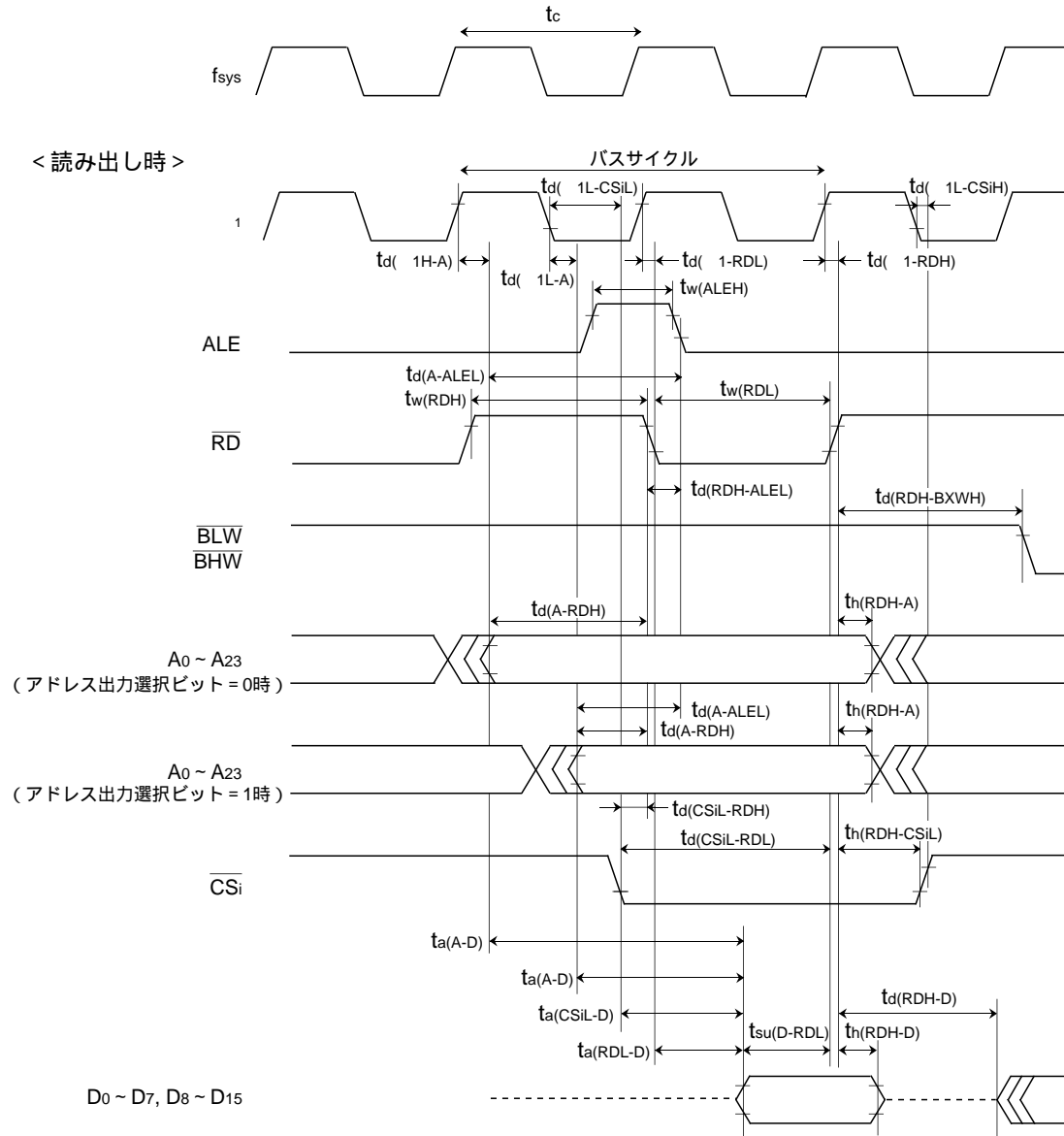
記号	項目		規格値		単位
			最小	最大	
$t_d(LA-RDH)$	リード前アドレス有効時間		$(W_H-0.5)t_c-19$ (注)		ns
$t_d(LA-ALEL)$	アドレス確定後	バスサイクル2 +2 選択時	t_c-20 (注)		ns
	ALE完了遅延時間	バスサイクル3 +3、3 +4 選択時	$1.5t_c-20$ (注)		ns
$t_h(ALEL-LA)$	ALE完了後	バスサイクル2 +2 選択時	$0.5t_c-19$		ns
	アドレスホールド時間	バスサイクル3 +3、3 +4 選択時	t_c-15		ns
$t_{pxz}(RDH-LAZ)$	フローティング開始遅延時間			5	ns
$t_d(LA-BXWH)$	ライト前アドレス有効時間		$(W_H-0.5)t_c-19$ (注)		ns
$t_{pzx}(RDH-DZ)$	フローティング解除遅延時間		$0.5t_c-19$ (注)		ns

注．アドレス出力選択ビットの内容に影響されません。

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

通常アクセス：バスサイクル1 +1、バスサイクル1 +2、バスサイクル1 +3、
バスサイクル2 +3、バスサイクル2 +4 選択時



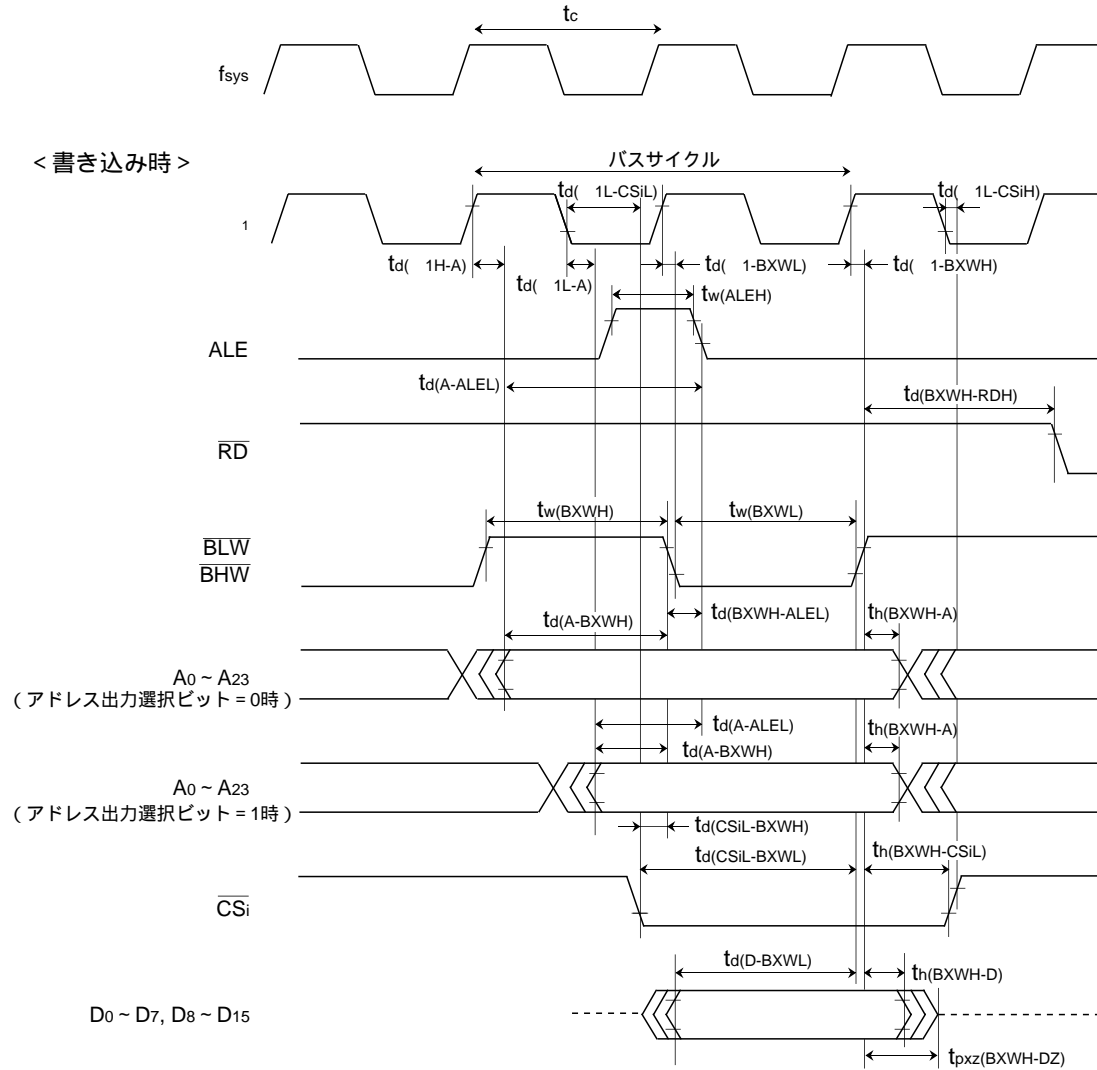
測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧： $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (\overline{CS}_i)
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (\overline{CS}_i 以外)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

通常アクセス：バスサイクル1 +1、バスサイクル1 +2、バスサイクル1 +3、
バスサイクル2 +3、バスサイクル2 +4 選択時



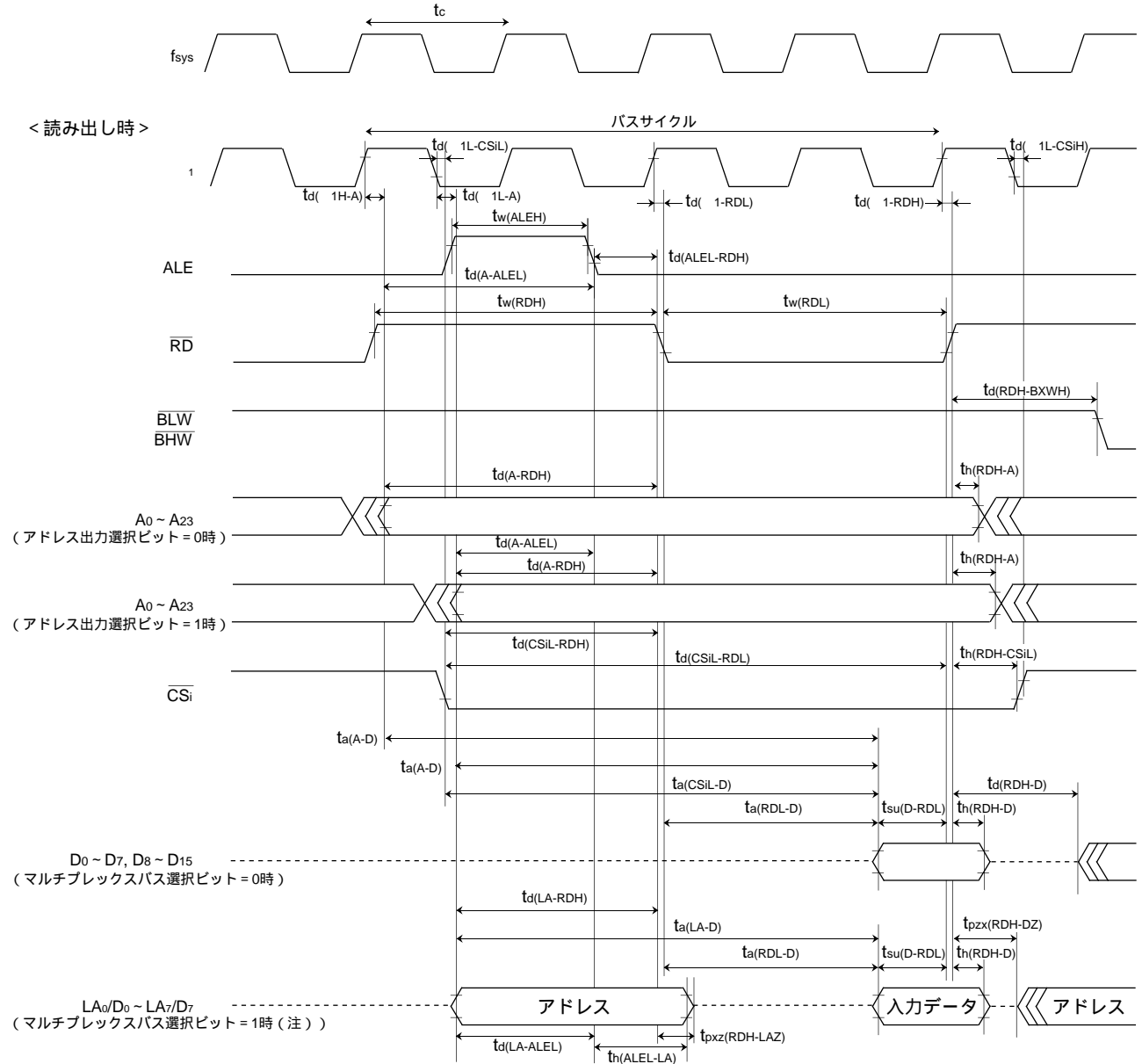
測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧： $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (\overline{CSi})
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (\overline{CSi} 以外)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

通常アクセス：バスサイクル2 +2、バスサイクル3 +3、バスサイクル3 +4 選択時



注. \overline{CS}_2 領域を外部データバス幅8ビットでアクセスしたときだけ有効。

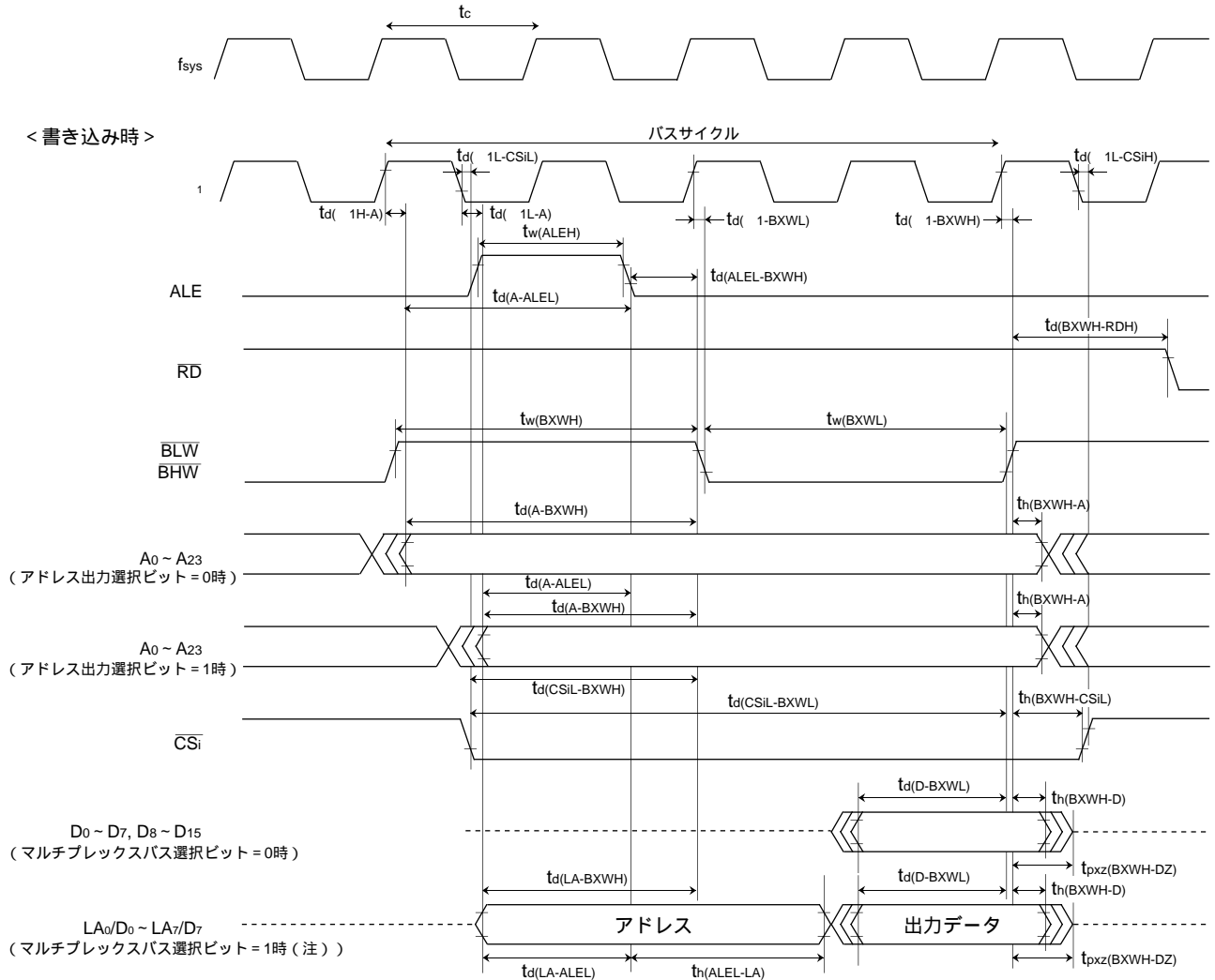
測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧： $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (\overline{CS}_i)
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (\overline{CS} 以外)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

通常アクセス：バスサイクル2 +2、バスサイクル3 +3、バスサイクル3 +4 選択時



注． \overline{CS}_2 領域を外部データバス幅8ビットでアクセスしたときだけ有効。

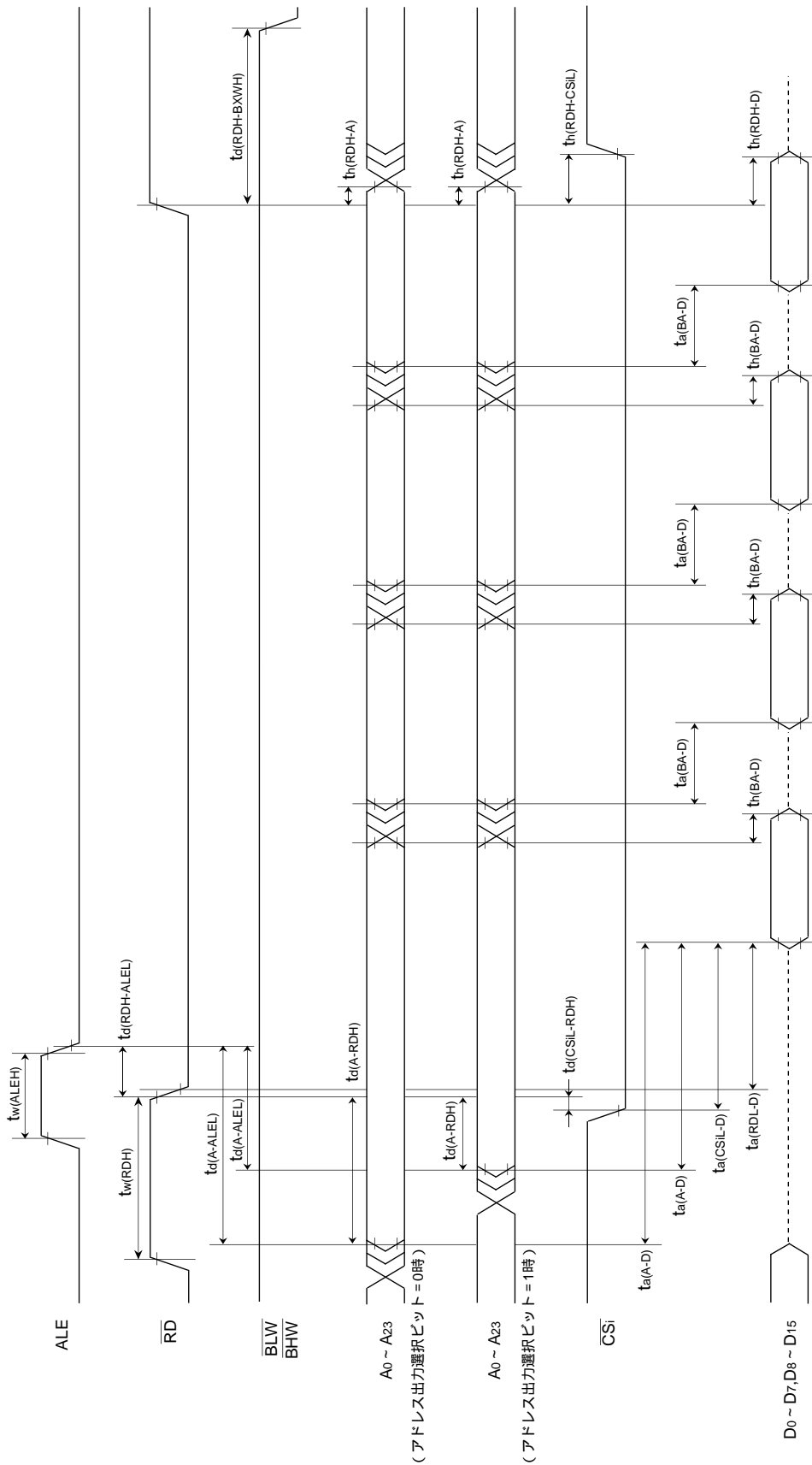
測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧： $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (\overline{CS}_i)
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (\overline{CS}_i 以外)

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

バーストROMアクセス：バスサイクル1 +1、バスサイクル1 +2、バスサイクル1 +3、バスサイクル1 +4、バスサイクル2 +3、バスサイクル2 +4 選択時



測定条件

- $V_{CC}=5V \pm 0.5V$, $T_a = -20 \sim 85$
- 入力タイミング電圧： $V_{IL}=0.8V$, $V_{IH}=2.15V$ で判定
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=15pF$ で判定 (CS)
- 出力タイミング電圧： $V_{OL}=0.8V$, $V_{OH}=2.0V$, $C_L=50pF$ で判定 (CS以外)

開発中

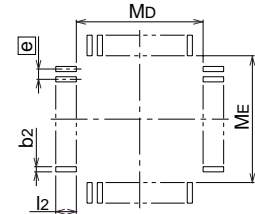
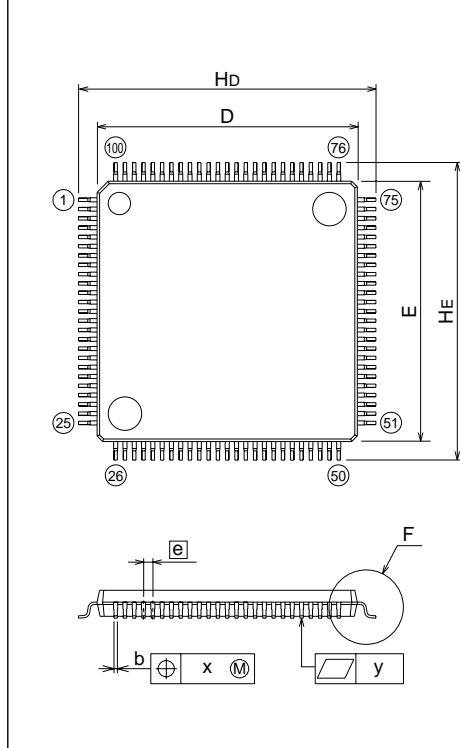
SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER FLASH MEMORY VERSION

パッケージ外形寸法図

100P6Q-A

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	-	0.63	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	-	0.5	-
Hd	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
theta	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
MD	-	14.4	-
ME	-	14.4	-

株式会社ルネサステクノロジー 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い
 ・ 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項
 ・ 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
 ・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
 ・ 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
 ・ 本資料に記載した情報は、正確を期すため、慎重に制作したものです。本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
 ・ 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
 ・ 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へ照会ください。
 ・ 本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
 ・ 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴	M37903F8CHP データシート
------	--------------------

Rev. No.	改訂内容	Rev. date
1.0	PDF ファイル初版発行	991008
2.0	正誤表 Rev.A を参照	991019
3.0	<p>(1) フラッシュメモリモード (98 ページ) の記載内容改訂</p> <ul style="list-style-type: none"> ・ 図 96 の注意事項 <li style="padding-left: 20px;">(改訂前)3 . FFB_{016} ~ FFB_{F16} はシリアルライタのための予約領域です。…… <li style="padding-left: 20px;">(改訂後)3 . FF9_{016} ~ FF9_{F16} はシリアルライタのための予約領域です。…… <p>(2) ユーザ ROM 領域とブート ROM 領域 (99 ページ) の記載内容改訂</p> <ul style="list-style-type: none"> ・ 右コラム 14 行目 <li style="padding-left: 20px;">(改訂前)また、FFB_{016} ~ FFB_{F16} はシリアルライタの予約領域で…… <li style="padding-left: 20px;">(改訂後)また、FF9_{016} ~ FF9_{F16} はシリアルライタの予約領域で…… <p>(3) シリアル入出力モード (100 ページ) の記載内容改訂</p> <ul style="list-style-type: none"> ・ 左コラム 29 行目 <li style="padding-left: 20px;">(改訂前)なお、FFB_{016} ~ FFB_{F16} 番地はシリアルライタの予約領域…… <li style="padding-left: 20px;">(改訂後)なお、FF9_{016} ~ FF9_{F16} 番地はシリアルライタの予約領域…… 	991112
4.0	正誤表 Rev.B を参照	991224
5.0	<p>正誤表 Rev.C を参照</p> <p>(1) Rev.5.0 で追加した内容は左端の 印で示す。</p> <p>(2) Rev.4.0 まで Rev.A と Rev.B に分けていた正誤表を一本化した。また、Rev.3.0 で広報した内容も上記正誤表に盛り込んだ。</p>	000623
6.0	<p>正誤表 Rev.D を参照</p> <p>Rev.6.0 で追加・変更した内容は左端の 印、Rev.5.0 で追加・変更した内容は左端の 印で示す。</p>	001023
7.0	<p>正誤表 Rev.E を参照</p> <p>Rev.7.0 で追加・変更した内容は左端の 印、Rev.6.0 で追加・変更した内容は左端の 印で示す。</p>	001130
8.0	<p>(1) 外部クロック入力 (113 ページ) の記載内容改訂</p> <ul style="list-style-type: none"> ・ $t_{w(H)}$ 外部クロック入力 “H” パルス幅 (注 1) 0.5c(in)-6 0.5c(in) - <u>2</u> ・ $t_{w(H)}$ 外部クロック入力 “H” パルス幅 (注 2) 0.5c(in)-2 0.5c(in) - <u>6</u> ・ $t_{w(L)}$ 外部クロック入力 “L” パルス幅 (注 1) 0.5c(in)-6.8 0.5c(in) - <u>3.4</u> ・ $t_{w(L)}$ 外部クロック入力 “L” パルス幅 (注 2) 0.5c(in)-3.4 0.5c(in) - <u>6.8</u> ・ t_r 外部クロック入力立ち上がり時間 (注 1) 6.4 <u>2.7</u> ・ t_r 外部クロック入力立ち上がり時間 (注 2) 2.7 <u>6.4</u> ・ t_f 外部クロック入力立ち下がり時間 (注 1) 6.4 <u>2.7</u> ・ t_f 外部クロック入力立ち下がり時間 (注 2) 2.7 <u>6.4</u> 	030218

改訂履歴

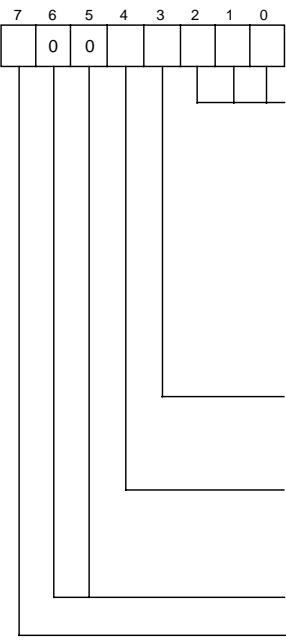
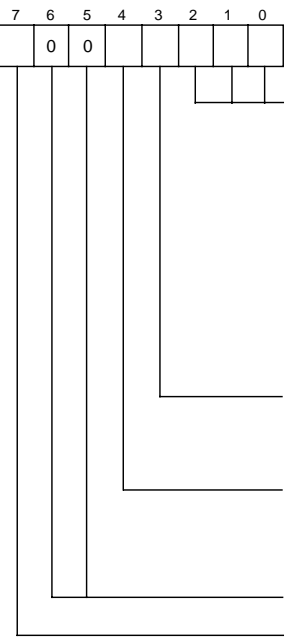
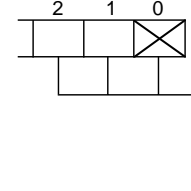
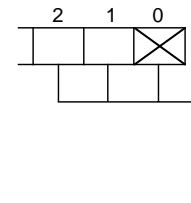
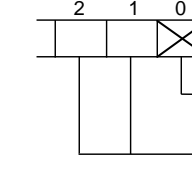
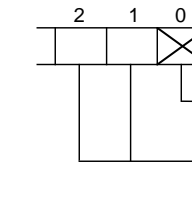
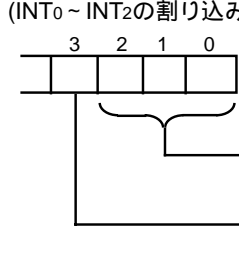
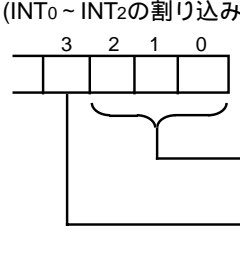
M37903F8CHP データシート

Rev. No.	改訂内容	Rev. date
	<p>(2)レディー機能、ホールド機能タイミング (118 ページ) の記載内容改訂</p> <ul style="list-style-type: none"> ・ タイミング必要条件 (改訂前) (指定のない場合は $V_{CC}=5V \pm 0.5$, $V_{SS}=0V$, $T_a = -20 \sim 85$, $f(f_{sys}) - 26MHz$) (改訂後) (指定のない場合は $V_{CC}=5V \pm 0.5$, $V_{SS}=0V$, $T_a = -20 \sim 85$) ・ スイッチング特性 (改訂前) (指定のない場合は $V_{CC}=5V \pm 0.5$, $V_{SS}=0V$, $T_a = -20 \sim 85$, $f(f_{sys}) - 26MHz$) (改訂後) (指定のない場合は $V_{CC}=5V \pm 0.5$, $V_{SS}=0V$, $T_a = -20 \sim 85$) <p>(3)外部バスタイミング (121 ページ) の記載内容改訂</p> <ul style="list-style-type: none"> ・ スイッチング特性 (改訂前) (指定のない場合は $V_{CC}=5V \pm 0.5$, $V_{SS}=0V$, $T_a = -20 \sim 85$, $f(f_{sys}) - 26MHz$) (改訂後) (指定のない場合は $V_{CC}=5V \pm 0.5$, $V_{SS}=0V$, $T_a = -20 \sim 85$) <p>(4)外部バスタイミング (122 ページ) の記載内容改訂</p> <ul style="list-style-type: none"> ・ スイッチング特性 (改訂前) (指定のない場合は $V_{CC}=5V \pm 0.5$, $V_{SS}=0V$, $T_a = -20 \sim 85$, $f(f_{sys}) - 26MHz$) (改訂後) (指定のない場合は $V_{CC}=5V \pm 0.5$, $V_{SS}=0V$, $T_a = -20 \sim 85$) 	

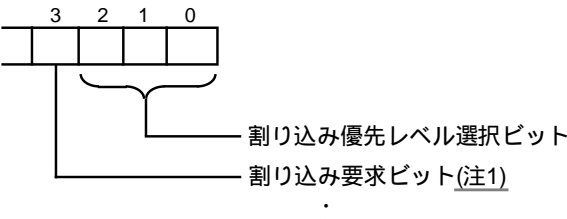
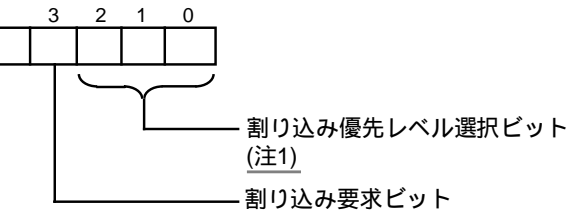
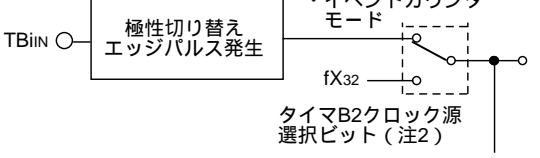
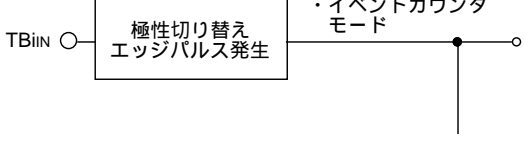

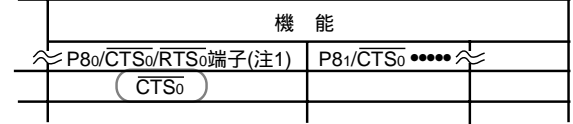
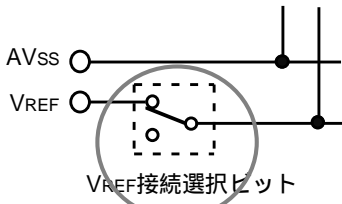
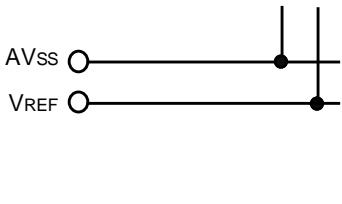
M37903F8CHP和文データシート正誤表(REV.E) No.1

訂正箇所	誤	正												
1ページ 特長；割り込み	割り込み.....外部6要因、内部16要因、7レベル	割り込み.....外部6要因、内部15要因、7レベル												
1ページ 応用	CD-ROM, DVD-ROM, HDD、高密度FDD、プリンタなどのパーソナルコンピュータ周辺機器制御、複写機、FAXなどの事務用機器制御、通信機、計測機などの産業機器制御	CD-ROM, DVD-ROM, HDD、高密度FDD、プリンタなどのパーソナルコンピュータ周辺機器制御												
2ページ 外形 100P6Q-A	P63/INT2	P64/INT2												
4ページ 性能概要 (マイコンモード)	<table border="1"> <tr> <td rowspan="2">割り込み</td> <td>マスカブル</td> <td>.....</td> </tr> <tr> <td>ノンマスカブル</td> <td>外部1要因、内部3要因</td> </tr> </table>	割り込み	マスカブル	ノンマスカブル	外部1要因、内部3要因	<table border="1"> <tr> <td rowspan="2">割り込み</td> <td>マスカブル</td> <td>.....</td> </tr> <tr> <td>ノンマスカブル</td> <td>外部1要因、内部2要因</td> </tr> </table>	割り込み	マスカブル	ノンマスカブル	外部1要因、内部2要因		
割り込み	マスカブル												
	ノンマスカブル	外部1要因、内部3要因												
割り込み	マスカブル												
	ノンマスカブル	外部1要因、内部2要因												
6ページ 端子の機能説明 (マイコンモード)	<table border="1"> <tr> <td>MD1</td> <td>MD1</td> <td>入 力</td> <td>Vss端子に接続してください。</td> </tr> </table> <table border="1"> <tr> <td>P40 ~ P47</td> <td> <p style="text-align: center;">⋮</p> マイクロプロセッサモード時 レジスタ設定により、P40 ~ P44は 入出力ポート、..... </td> </tr> </table>	MD1	MD1	入 力	Vss端子に接続してください。	P40 ~ P47	<p style="text-align: center;">⋮</p> マイクロプロセッサモード時レジスタ設定により、P40 ~ P44は 入出力ポート、.....	<table border="1"> <tr> <td>MD1</td> <td>MD1</td> <td>入 力</td> <td>Vssに接続してください。</td> </tr> </table> <table border="1"> <tr> <td>P40 ~ P47</td> <td> <p style="text-align: center;">⋮</p> マイクロプロセッサモード時 レジスタ設定により、P40 ~ P43は 入出力ポート、..... </td> </tr> </table>	MD1	MD1	入 力	Vssに接続してください。	P40 ~ P47	<p style="text-align: center;">⋮</p> マイクロプロセッサモード時レジスタ設定により、P40 ~ P43は 入出力ポート、.....
MD1	MD1	入 力	Vss端子に接続してください。											
P40 ~ P47	<p style="text-align: center;">⋮</p> マイクロプロセッサモード時レジスタ設定により、P40 ~ P44は 入出力ポート、.....													
MD1	MD1	入 力	Vssに接続してください。											
P40 ~ P47	<p style="text-align: center;">⋮</p> マイクロプロセッサモード時レジスタ設定により、P40 ~ P43は 入出力ポート、.....													
10ページ 図2	[000000 ₁₆ , 000001 ₁₆ 番地]	[000000 ₁₆ , 000001 ₁₆ 番地] 『予約領域(注)』を追記。												
17ページ 図6														
34ページ 図19 注意事項	<p>注1. <u>ビット1は、MD0端子にVssレベルを印加しているときは“0”、Vccレベルを印加しているときは、リセット時“1”(“1”固定)になります。</u></p> <p>3. MD0端子にVssレベルを印加しているときは“0”、Vccレベルを印加しているときは、<u>リセット時“1”</u>になります。</p>	<p>注1. <u>リセット時のビット状態は、MD0端子にVssレベルを印加しているとき“0”、Vccレベルを印加しているとき“1”(“1”固定)になります。</u></p> <p>3. <u>リセット時のビット状態は、MD0端子にVssレベルを印加しているとき“0”、Vccレベルを印加しているとき“1”</u>になります。</p>												
35ページ 図20	<p>注1.、これらのビットにかかわらず、対応する....</p> <p>2. リセット後、一度だけ設定できます(ソフトウェアの実行途中で変更しないでください)。</p> <p>4. MD0端子にVssレベルを印加しているときは“0”、Vccレベルを印加しているときは、“1”になります。</p> <p>5. リセット後、一度だけ“1”に変更できます。“1”から“0”に変更すると、それ以降“1”に変更できません(“0”に固定されます)。</p> <p>6. このビット内容を変更するプログラムは、内部領域に配置してください。</p>	<p>注1.、これらのビットの<u>内容</u>にかかわらず、対応する....</p> <p>2. リセット後、一度だけ内容を変更できます(ソフトウェアの実行途中で切り替えないでください)。</p> <p>4. <u>リセット時のビット状態は、MD0端子にVssレベルを印加しているとき“0”、Vccレベルを印加しているとき“1”</u>になります。</p> <p>5. <u>メモリ拡張モード又はマイクロプロセッサモードで、かつこのビットが“1”の状態からシングルチップモードに変更すると、このビットは“0”になります。その後“1”にできません。再度“1”にする場合はリセットしてください。</u></p> <p>(削除)</p>												

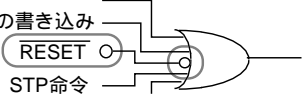
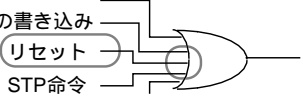
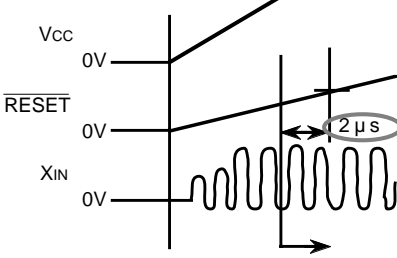
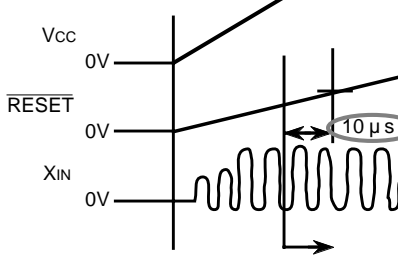
M37903F8CHP和文データシート正誤表(REV.E) No.2

訂正箇所	誤	正
35ペ - ジ 図20	<p>7. マイクロプロセッサモード時、このビットの内容は無効です。 CPU書き換えモードで内蔵フラッシュメモリを書き換えるときは、このビットを“0”にしてください。</p>	<p>6. マイクロプロセッサモード時、このビットの内容は無効です。 CPU書き換えモードで内蔵フラッシュメモリを書き換えるときは、このビットを“0”にしてください。</p>
36ペ - ジ 図21 85ペ - ジ 図86	 <p>ポート機能制御レジスタ</p> <p>アドレス/ポート切り替え選択ビット 000 : A₀ ~ A₂₃ (16M/バイト) 001 : A₀ ~ A₂₁, P₀₆ ~ P₀₇ (4M/バイト) 010 : A₀ ~ A₁₉, P₀₄ ~ P₀₇ (1M/バイト) 011 : A₀ ~ A₁₇, P₀₂ ~ P₀₇ (256K/バイト) 100 : A₀ ~ A₁₅, P₀₀ ~ P₀₇ (64K/バイト) 101 : 選択禁止 110 : A₀ ~ A₁₁, P₀₀ ~ P₀₇, P₁₁₄ ~ P₁₁₇ (4K/バイト) 111 : A₀ ~ A₇, P₀₀ ~ P₀₇, P₁₁₀ ~ P₁₁₇ (256/バイト)</p> <p>ポートP0入力レベル選択ビット 0 : V_{IH}=0.7V_{CC}, V_{IL}=0.2V_{CC} 1 : V_{IH}=0.43V_{CC} (注1), V_{IL}=0.16V_{CC}</p> <p>P4₄ ~ P4₇端子プルアップ接続選択ビット (注2,3) 0 : P4₄ ~ P4₇端子をプルアップする 1 : P4₄ ~ P4₇端子をプルアップしない</p> <p>“0”に固定してください。</p> <p>NMI端子プルアップ接続選択ビット(注2) 0 : NMI端子をプルアップする 1 : NMI端子をプルアップしない</p> <p>注1 . 3.3V版では、V_{IH}=0.5V_{CC}になります。 2 . MD1=V_{CC}, MD0=V_{CC} (パラレル入出力モード)時は、ビットの内容にかかわらず、P4₄ ~ P4₇及びNMI端子はプルアップされません。 3 . MD1=V_{SS}, MD0=V_{CC} (マイクロプロセッサモード)時は、ビットの内容にかかわらず、CS₀ (P4₄)及びNMI端子はプルアップされません。</p>	 <p>ポート機能制御レジスタ</p> <p>アドレス/ポート切り替え選択ビット 000 : A₀ ~ A₂₃ (16M/バイト) 001 : A₀ ~ A₂₁, P₀₆ ~ P₀₇ (4M/バイト) 010 : A₀ ~ A₁₉, P₀₄ ~ P₀₇ (1M/バイト) 011 : A₀ ~ A₁₇, P₀₂ ~ P₀₇ (256K/バイト) 100 : A₀ ~ A₁₅, P₀₀ ~ P₀₇ (64K/バイト) 101 : 選択禁止 110 : A₀ ~ A₁₁, P₀₀ ~ P₀₇, P₁₁₄ ~ P₁₁₇ (4K/バイト) 111 : A₀ ~ A₇, P₀₀ ~ P₀₇, P₁₁₀ ~ P₁₁₇ (256/バイト)</p> <p>ポートP0入力レベル選択ビット 0 : V_{IH}=0.7V_{CC}, V_{IL}=0.2V_{CC} 1 : V_{IH}=0.43V_{CC}, V_{IL}=0.16V_{CC}</p> <p>P4₄ ~ P4₇端子プルアップ接続選択ビット (注1,2) 0 : P4₄ ~ P4₇端子をプルアップする 1 : P4₄ ~ P4₇端子をプルアップしない</p> <p>“0”に固定してください。</p> <p>NMI端子プルアップ接続選択ビット(注1) 0 : NMI端子をプルアップする 1 : NMI端子をプルアップしない</p> <p>注1 . MD1=V_{CC}, MD0=V_{CC} (パラレル入出力モード)時は、ビットの内容にかかわらず、P4₄ ~ P4₇及びNMI端子はプルアップされません。 2 . MD1=V_{SS}, MD0=V_{CC} (マイクロプロセッサモード)時は、ビットの内容にかかわらず、CS₀ (P4₄)及びNMI端子はプルアップされません。</p>
39ペ - ジ 図23 ; CS ₀ 制御レジスタL 注意事項	<p>注1 . BYTE端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります。</p> <p>5 . MD0端子にV_{SS}レベルを印加しているときは“0”、V_{CC}レベルを印加しているときは“1”になります (“1”に固定されます)。</p>	<p>注1 . リセット時のビット状態は、BYTE端子にV_{SS}レベルを印加しているとき“0”、V_{CC}レベルを印加しているとき“1”になります。</p> <p>5 . リセット時のビット状態は、MD0端子にV_{SS}レベルを印加しているとき“0”、V_{CC}レベルを印加しているとき“1”になります (“1”に固定されます)。</p>
41ペ - ジ 図25 ; CS _x 領域先頭 アドレスレジスタ (x = 0 to 3)	 <p>CS_x領域先頭アドレスレジスタ (x = 0 to 2)</p> <p>モード0選択時 : :</p>  <p>CS₃領域先頭アドレスレジスタ</p> <p>先頭アドレスの :</p>	 <p>CS_x領域先頭アドレスレジスタ (x = 0 to 2)</p> <p>読み出し値は“0”</p> <p>モード0選択時 : :</p>  <p>CS₃領域先頭アドレスレジスタ</p> <p>読み出し値は“0”</p> <p>先頭アドレスの :</p>
46ページ 図30	<p>(INT₀ ~ INT₂の割り込み制御レジスタのビット構成)</p>  <p>割り込み優先レベル選択ビット (注1,2) 割り込み要求ビット :</p>	<p>(INT₀ ~ INT₂の割り込み制御レジスタのビット構成)</p>  <p>割り込み優先レベル選択ビット (注1) 割り込み要求ビット(注2) :</p>

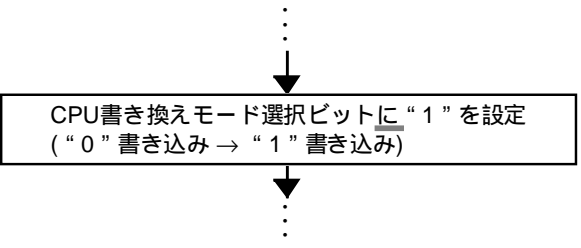
M37903F8CHP和文データシート正誤表(REV.E) No.3

訂正箇所	誤	正
46ページ 図30	<p>(INT₃、INT₄の割り込み制御レジスタのビット構成)</p>  <p>割り込み優先レベル選択ビット 割り込み要求ビット(注1)</p>	<p>(INT₃、INT₄の割り込み制御レジスタのビット構成)</p>  <p>割り込み優先レベル選択ビット(注1) 割り込み要求ビット</p>
50ページ 図35 注意事項	<p>注3 . INT₃端子をP8₀に配置する場合は、D-A₂出力許可ビット(96₁₆番地のビット2)=0 (出力禁止)にしてください。 INT₃端子をP7₄に配置する場合は、AN₄端子を使用しないでください。</p>	<p>注3 . INT₃端子をP7₄に配置する場合は、AN₄端子を使用しないでください。</p>
58ページ 左15, 19, 27行目	タイマAi開始フラグ	カウント開始フラグ
60ページ 図53	 <p>・イベントカウンタモード fX₃₂ タイマB2クロック源選択ビット(注2)</p>	 <p>・イベントカウンタモード</p>
	<p>タイマB2クロック源選択ビット：63₁₆番地のビット6</p> <p>注1 . タイマBiの書き込み、及び読み出しはデータ長選択フラグmを“0”に設定して16ビット長で行ってください。 2 . タイマB2のみ、イベントカウンタモード時のクロック源を選択できます。</p>	<p>(削除)</p> <p>注 . タイマBiの書き込み、及び読み出しはデータ長選択フラグmを“0”に設定して16ビット長で行ってください。</p>
73ページ 表13	 <p>機能 P8₀/CTS₀/RTS₀端子(注1) P8₁/CTS₀ CTS₂</p>	 <p>機能 P8₀/CTS₀/RTS₀端子(注1) P8₁/CTS₀ CTS₀</p>
75ページ 右8～9行目	A-D制御レジスタ1のビット4が“0”の場合、A-D制御レジスタのビット7が0であれば、.....	A-D制御レジスタ1のビット4が“0”の場合、A-D制御レジスタ0のビット7が0であれば、.....
77ページ 図74	注6 . このビットを“1”から“0”にしたときは、1 μs以上経過した後に、A-D変換又はD-A変換を開始させてください。	注6 . このビットを“1”から“0”にしたときは、1 μs以上経過した後に、A-D変換を開始させてください。
79ページ 左2～4行目	図75にD-A変換器等価接続図を、図76にD-A制御レジスタ(96 ₁₆ 番地)のビット構成、図77にD-A変換器のブロック図を示します。	図75にD-A制御レジスタ(96 ₁₆ 番地)のビット構成を、図76にD-A変換器のブロック図、図77にD-A変換器等価接続図を示します。
79ページ 左9行目 ぞれDA ₀ 、DA ₁ 端子からアナログ電圧が出力されます。 ぞれD-A ₀ 、D-A ₁ 端子からアナログ電圧が出力されます。
79ページ 図題	図75 . D-A変換器等価接続図 図76 . D-A制御レジスタのビット構成 図77 . D-A変換器ブロック図	図75 . D-A制御レジスタのビット構成 図76 . D-A変換器ブロック図 図77 . D-A変換器等価接続図
79ページ 図77	 <p>AVSS VREF VREF接続選択ビット</p>	 <p>AVSS VREF</p>

M37903F8CHP和文データシート正誤表(REV.E) No.4

訂正箇所	誤	正
83ページ 左14～15行目	RESET端子に“L”を印加、STP命令を実行、監視タイマレジスタ(60 ₁₆ 番地)への書き込みを行ったとき、及び監視タイマの最上位ビットが“0”に***	リセットを実行、STP命令を実行、監視タイマレジスタ(60 ₁₆ 番地)への書き込みを実行、及び監視タイマの最上位ビットが“0”に***
83ページ 図82	監視タイマレジスタへの書き込み 	監視タイマレジスタへの書き込み 
88ページ 図88	CS ₀ 制御レジスタH (81 ₁₆)... 0XXXXX0001 CS ₀ 領域先頭アドレスレジスタ (8A ₁₆)... 00010000 CS ₁ 領域先頭アドレスレジスタ (8C ₁₆)... 00000000 CS ₂ 領域先頭アドレスレジスタ (8E ₁₆)... 00000000 CS ₃ 領域先頭アドレスレジスタ (90 ₁₆)... 00000000	CS ₀ 制御レジスタH (81 ₁₆)... 1XXXXX0001 CS ₀ 領域先頭アドレスレジスタ (8A ₁₆)... 0001000X CS ₁ 領域先頭アドレスレジスタ (8C ₁₆)... 0000000X CS ₂ 領域先頭アドレスレジスタ (8E ₁₆)... 0000000X CS ₃ 領域先頭アドレスレジスタ (90 ₁₆)... 0000000X
88ページ 図89		
90ページ 3～7行目	図90にセラミック共振子又は水晶共振子を接続した***。容量などの定数は、共振子により異なりますので、共振子メーカーの推奨値で使用してください。外部からクロック信号を***	図90にセラミック共振子又は水晶共振子を接続した***。容量などの定数は、共振子・発振子により異なりますので、共振子・発振子メーカーの推奨値で使用してください。なお、セラミック共振子又は水晶共振子を接続する場合の発振周波数は、26MHz以下にしてください。外部からクロック信号を***
90ページ 10～12行目	*** また、この場合には特殊機能選択制御レジスタ0(図94)のビット1(クロック外部入力選択ビット)で“1”を選択することにより、クロック発振回路の動作を停止し、消費電力を削減することができます。なお、***	*** また、この場合には特殊機能選択レジスタ0(図94)のビット1(クロック外部入力選択ビット)を必ず“1”にしてください。なお、***
93ページ 図94	図94．特殊機能選択制御レジスタ0のビット構成 注．これらのビットに書き込むときは、このレジスタに“55 ₁₆ ”を書き込んだ後、続けて各ビットに対して“0”又は“1”を書き込んでください。(“55 ₁₆ ”の書き込みでは、ビットの状態は変化しません。)また、これらの書き込みには、MOV _M (MOV _M B)、STA(STAB、STAD)命令を使用してください。	図94．特殊機能選択レジスタ0のビット構成 注．これらのビットに書き込むときは、このレジスタに“55 ₁₆ ”を書き込んだ後、続けて各ビットに対して“0”又は“1”を書き込んでください。(“55 ₁₆ ”の書き込みでは、ビットの状態は変化しません。)また、このレジスタへの書き込みには、MOV _M B命令、STAB命令、又はm=1でMOV _M 命令、STA命令を使用してください。
95ページ 3～4行目	*** 動作開始した後、直ちにφBIU、φCPUの供給を再開します(実際には、Wf ₃₂ が“H”から“L”になった後、供給が再開されます)。	*** 動作開始した後、φBIU、φCPUの供給を再開します。
95ページ 図95	図95．特殊機能制御レジスタ1のビット構成	図95．特殊機能選択レジスタ1のビット構成
97ページ (4) V _{REF} 切断	(2行目) A-D変換器、及びD-A変換器を使用しない場合は、V _{REF} 接続 ***** (最終行から2行目) い。詳細はA-D変換器、及びD-A変換器の項を参照してください *****	(2行目) A-D変換器を使用しない場合は、V _{REF} 接続 ***** (最終行から2行目) い。詳細はA-D変換器の項を参照してください *****
98ページ 図96	注3．FFB ₀₁₆ ～FFB _{F16} はシリアルライタのための予約領域です。シリアル入出力モードを使用する場合は、この領域にプログラムしないでください。	注3．FF9 ₀₁₆ ～FF9 _{F16} はライタのための予約領域ですので、この領域にプログラムしないでください。

M37903F8CHP和文データシート正誤表(REV.E) No.5

訂正箇所	誤	正
99ページ 表19の下	(記述なし)	なお、FF90 ₁₆ ～FF9F ₁₆ 番地はパラレルライタの予約領域です。パラレル入出力モードを使用する場合は、この領域にプログラムしないでください。
99ページ 右コラム 15～17行目	また、FFB0 ₁₆ ～FFBF ₁₆ はシリアルライタの予約領域です。 <u>シリアル入出力モードを使用する場合は、この領域にプログラムしないでください。</u>	また、FF90 ₁₆ ～FF9F ₁₆ はライタの予約領域です <u>ので、この領域にプログラムしないでください。</u>
100ページ 左コラム 29行目	なお、FFB0 ₁₆ ～FFBF ₁₆ はシリアルライタの予約領域です。*****	なお、FF90 ₁₆ ～FF9F ₁₆ はシリアルライタの予約領域です。*****
102ページ 右コラム 最終行の下	換えを行うことができます。	換えを行うことができます。 <u>リセット解除後、MD0, MD1端子の状態は変更しないでください。</u>
102ペ - ジ 図98 注意事項	3. “1” になってから “0” に設定してください。	3. “1” になってから “0” に設定してください。 <u>また、このビット3の操作は、ビット1が “1” の状態で行ってください。</u>
103ペ - ジ 左16～20行目	***8ビット単位のソフトウェアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地のデータは無効になります。	***8ビットのソフトウェアコマンドは、偶数アドレスにライトしてください。 <u>奇数番地にライトされたコマンドは無効になります。プログラムコマンドの第2サイクルのライトデータは16ビットですので、偶数、奇数番地へライトしてください。</u>
103ページ 左24～25行目	*** 状態はステータスレジスタを読み出すことでチェックできます。 図98にフラッシュメモリ ****	*** 状態はステータスレジスタを読み出すことでチェックできますが、このとき、リードステータスレジスタコマンドは実行しないでください。 図98にフラッシュメモリ ****
103ページ 左31～34行目	*** これ以外のときには “1” (レディ) となります。ビット1はCPU書き換えモード選択ビットです。 ****	*** これ以外のときには “1” (レディ) となります。 <u>プログラム、ブロックイレーズ及び、イレーズ全ブロックのコマンド実行中に変化します。これらのコマンド実行後は、このフラグで自動書き込み及び自動消去の終了を確認してください。</u> ビット1はCPU書き換えモード選択ビットです。 ****
103ページ 右コラム 最終行の下	要求が発生しないようにしてください。	要求が発生しないようにしてください。 <u>また、CPU書き換えモードでは、STP命令、WIT命令は使用しないでください。</u>
104ページ 図99		
104ペ - ジ ソフトウェア コマンド	(6行目) *** 上位バイト(D8～D15)は無視されます。 以下に各ソフトウェア ****	(6行目) *** 上位バイト(D8～D15)は無視されます。 <u>(プログラムコマンドの第2サイクルのライトデータは除く。)</u> 以下に各ソフトウェア ****
104ページ リードアレイ コマンド	(最終行) リードアレイモードは、他のコマンドがライトされるまで保持されます。	(最終行) リードアレイモードは、他のコマンドがライトされるまで保持されます <u>ので、複数のアドレスのデータを続けて読み出せます。</u>
104ページ クリアステータス レジスタコマンド	(2行目) ステータスレジスタのエラー終了を示すビット (SR.3, 4) ***	(2行目) ステータスレジスタのエラー終了を示すビット (SR.4, 5) ***

M37903F8CHP和文データシート正誤表(REV.E) No.6

訂正箇所	誤	正
104ペ - ジ プログラム コマンド	<p>(9～16行目) 自動書き込みの終了は、ステータスレジスタのリード又はフラッシュメモリ制御レジスタのリードによって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR.7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで又は、フラッシュメモリリセットビットでリセットをかけるまで継続されます。</p> <p>(9～10行目) 自動書き込みの終了は、フラッシュメモリ制御レジスタのリードによって確認できます。</p>	<p>(9～16行目) 自動書き込みの終了は、フラッシュメモリ制御レジスタのリードによって確認できます。フラッシュメモリ制御レジスタのRY/BYステータスフラグは自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。 RY/BYステータスフラグが“1”(レディ)となるのを確認した後、次のコマンド処理を行ってください。自動書き込み実行中は、コマンド書き込み、及びフラッシュメモリへのアクセスは行わないでください。</p> <p>(9～10行目) 自動書き込みの終了は、フラッシュメモリ制御レジスタのリードによって確認することを推奨します。</p>
105ペ - ジ プログラム コマンド	<p>(1～5行目) なお、連続してプログラムを行う場合には、リードステータスレジスタモードのままプログラムコマンドを実行することができます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで又は、フラッシュメモリリセットビットでリセットをかけるまで継続されます。 自動書き込み終了後、ステータスレジスタを...</p>	<p>(1～5行目) なお、連続してプログラムを行う場合には、プログラムエラーがなければ、リードステータスレジスタモードのままプログラムコマンドを実行することができます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなります。 自動書き込み終了後、ステータスレジスタを...</p>
105ページ ブロックイレーズ コマンド	<p>(7～14行目) 自動消去の終了は、ステータスレジスタのリード又はフラッシュメモリ制御レジスタのリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR.7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで又は、フラッシュメモリリセットビットでリセットをかけるまで継続されます。</p> <p>(7～8行目) 自動消去の終了は、フラッシュメモリ制御レジスタのリードによって確認できます。</p> <p>(15～16行目) 自動消去開始とともに自動的にリードステータスレジスタモードとなります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで又は、フラッシュメモリリセットビットでリセットをかけるまで継続されます。 自動消去終了後、ステータスレジスタを...</p>	<p>(7～14行目) 自動消去の終了は、フラッシュメモリ制御レジスタのリードによって確認できます。フラッシュメモリ制御レジスタのRY/BYステータスフラグは自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。 RY/BYステータスフラグが“1”(レディ)となるのを確認した後、次のコマンド処理を行ってください。自動消去実行中は、コマンド書き込み、及びフラッシュメモリへのアクセスは行わないでください。</p> <p>(7～9行目) 自動消去の終了は、フラッシュメモリ制御レジスタのリードによって確認することを推奨します。</p> <p>(15～16行目) 自動消去開始とともに自動的にリードステータスレジスタモードとなります。 自動消去終了後、ステータスレジスタを...</p>
106ペ - ジ 図100, 図101	<p style="text-align: center;">ステータスレジスタ リード</p> <p style="text-align: center;">SR.7=1?</p>	<p style="text-align: center;">フラッシュメモリ制御 レジスタリード</p> <p style="text-align: center;">RY/BYステータス フラグ=1?</p>
106ペ - ジ 図100	<p style="text-align: center;">ページプログラム 完了</p>	<p style="text-align: center;">プログラム 完了</p>
106ペ - ジ イレーズ 全ブロック コマンド	<p>(7～8行目) チップイレーズの終了も、ブロックイレーズと同様にフラッシュメモリ制御レジスタのリードによって確認することができます。</p>	<p>(7～8行目) チップイレーズの終了も、ブロックイレーズと同様にフラッシュメモリ制御レジスタのリードによって確認することを推奨します。</p>

M37903F8CHP和文データシート正誤表(REV.E) No.7

訂正箇所	誤	正																																																												
106ペ - ジ イレース 全ブロック コマンド	(9~11行目) *** 読み出しにより知ることができます。	(9~11行目) *** 読み出しにより知ることができます。自動消去実行中(RY/BYステータスフラグが“0”のとき)は、コマンド書き込み、及びフラッシュメモリへのアクセスは行わないでください。																																																												
106ペ - ジ ステータス レジスタ	(2~4行目) ステータスレジスタは、プログラム、イレース動作を制御するシーケンサの動作状態やイレース、プログラムの正常/エラー終了等の状態を示すレジスタで、***	(2~4行目) ステータスレジスタは、イレース、プログラムの正常/エラー終了等の状態を示すレジスタで、***																																																												
—————	シーケンサステータス(SR.7) シーケンサステータスは、シーケンサの動作状況を知らせるもので電源投入後、及びリセット解除後は“1”(レディ)にセットされています。 自動書き込みや自動消去の動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。	(削除)																																																												
107ペ - ジ 表21	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">ステータス</th> <th colspan="2">定義</th> </tr> <tr> <th>“1”</th> <th>“0”</th> </tr> </thead> <tbody> <tr> <td>SR.7 (D7)</td> <td>シーケンサステータス</td> <td>レディ</td> <td>ビジー</td> </tr> </tbody> </table>	記号	ステータス	定義		“1”	“0”	SR.7 (D7)	シーケンサステータス	レディ	ビジー	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">ステータス</th> <th colspan="2">定義</th> </tr> <tr> <th>“1”</th> <th>“0”</th> </tr> </thead> <tbody> <tr> <td>SR.7 (D7)</td> <td>リサーチ</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	記号	ステータス	定義		“1”	“0”	SR.7 (D7)	リサーチ	—	—																																								
記号	ステータス			定義																																																										
		“1”	“0”																																																											
SR.7 (D7)	シーケンサステータス	レディ	ビジー																																																											
記号	ステータス	定義																																																												
		“1”	“0”																																																											
SR.7 (D7)	リサーチ	—	—																																																											
108ペ - ジ 直流電気的特性	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>lcc1</td> <td>Vcc電源電流(リード時)</td> <td></td> <td>30</td> <td>48</td> <td>mA</td> </tr> <tr> <td>lcc2</td> <td>Vcc電源電流(ライト時)</td> <td></td> <td></td> <td>48</td> <td>mA</td> </tr> <tr> <td>lcc3</td> <td>Vcc電源電流(プログラム時)</td> <td></td> <td></td> <td>54</td> <td>mA</td> </tr> <tr> <td>lcc4</td> <td>Vcc電源電流(イレース時)</td> <td></td> <td></td> <td>54</td> <td>mA</td> </tr> </tbody> </table>	記号	項目	規格値			単位	最小	標準	最大	lcc1	Vcc電源電流(リード時)		30	48	mA	lcc2	Vcc電源電流(ライト時)			48	mA	lcc3	Vcc電源電流(プログラム時)			54	mA	lcc4	Vcc電源電流(イレース時)			54	mA	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>lcc1</td> <td>Vcc電源電流(プログラム時)</td> <td></td> <td></td> <td>54</td> <td>mA</td> </tr> <tr> <td>lcc2</td> <td>Vcc電源電流(イレース時)</td> <td></td> <td></td> <td>54</td> <td>mA</td> </tr> </tbody> </table>	記号	項目	規格値			単位	最小	標準	最大	lcc1	Vcc電源電流(プログラム時)			54	mA	lcc2	Vcc電源電流(イレース時)			54	mA						
記号	項目			規格値				単位																																																						
		最小	標準	最大																																																										
lcc1	Vcc電源電流(リード時)		30	48	mA																																																									
lcc2	Vcc電源電流(ライト時)			48	mA																																																									
lcc3	Vcc電源電流(プログラム時)			54	mA																																																									
lcc4	Vcc電源電流(イレース時)			54	mA																																																									
記号	項目	規格値			単位																																																									
		最小	標準	最大																																																										
lcc1	Vcc電源電流(プログラム時)			54	mA																																																									
lcc2	Vcc電源電流(イレース時)			54	mA																																																									
108ペ - ジ 交流電気的特性	<table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>256バイトプログラム時間</td> <td></td> <td>4</td> <td>40</td> <td>ms</td> </tr> <tr> <td>ブロックイレース時間</td> <td></td> <td>0.6</td> <td>8</td> <td>s</td> </tr> <tr> <td>イレース全ブロック時間</td> <td></td> <td>0.6 × n</td> <td>8 × n</td> <td>s</td> </tr> </tbody> </table> <p>n: イレースするブロック数</p>	項目	規格値			単位	最小	標準	最大	256バイトプログラム時間		4	40	ms	ブロックイレース時間		0.6	8	s	イレース全ブロック時間		0.6 × n	8 × n	s	<table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>ワードプログラム時間</td> <td></td> <td>20</td> <td>640</td> <td>μs</td> </tr> <tr> <td>1Kブロックイレース時間</td> <td></td> <td>0.3</td> <td>8</td> <td>s</td> </tr> <tr> <td>8Kブロックイレース時間</td> <td></td> <td>0.3</td> <td>8</td> <td>s</td> </tr> <tr> <td>52Kブロックイレース時間</td> <td></td> <td>0.6</td> <td>8</td> <td>s</td> </tr> <tr> <td>イレース全ブロック時間</td> <td></td> <td>1.2</td> <td>24</td> <td>s</td> </tr> </tbody> </table>	項目	規格値			単位	最小	標準	最大	ワードプログラム時間		20	640	μs	1Kブロックイレース時間		0.3	8	s	8Kブロックイレース時間		0.3	8	s	52Kブロックイレース時間		0.6	8	s	イレース全ブロック時間		1.2	24	s				
項目	規格値			単位																																																										
	最小	標準	最大																																																											
256バイトプログラム時間		4	40	ms																																																										
ブロックイレース時間		0.6	8	s																																																										
イレース全ブロック時間		0.6 × n	8 × n	s																																																										
項目	規格値			単位																																																										
	最小	標準	最大																																																											
ワードプログラム時間		20	640	μs																																																										
1Kブロックイレース時間		0.3	8	s																																																										
8Kブロックイレース時間		0.3	8	s																																																										
52Kブロックイレース時間		0.6	8	s																																																										
イレース全ブロック時間		1.2	24	s																																																										
109ペ - ジ 絶対最大定格; Pdの定格値	<table border="1"> <thead> <tr> <th>記号</th> <th>項目</th> <th>定格値</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>Pd</td> <td>消費電力</td> <td>300</td> <td>mW</td> </tr> </tbody> </table>	記号	項目	定格値	単位	Pd	消費電力	300	mW	<table border="1"> <thead> <tr> <th>記号</th> <th>項目</th> <th>定格値</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>Pd</td> <td>消費電力</td> <td>400</td> <td>mW</td> </tr> </tbody> </table>	記号	項目	定格値	単位	Pd	消費電力	400	mW																																												
記号	項目	定格値	単位																																																											
Pd	消費電力	300	mW																																																											
記号	項目	定格値	単位																																																											
Pd	消費電力	400	mW																																																											
110ペ - ジ 推奨動作条件	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>VIL</td> <td>“L”入力電圧 RESET, BYTE, MD0, MD1, CDSEL</td> <td>0</td> <td></td> <td>0.2Vcc</td> <td>V</td> </tr> <tr> <td>VIL</td> <td>“L”入力電圧 XIN (CDSEL端子 =Vccレベル又は開放の時)</td> <td>0</td> <td></td> <td>0.2Vcc</td> <td>V</td> </tr> <tr> <td>VIL</td> <td>“L”入力電圧 XIN (CDSEL端子 =Vssレベルの時)</td> <td>0</td> <td></td> <td>0.16Vcc</td> <td>V</td> </tr> <tr> <td>VIL</td> <td>“L”入力電圧 P10 ~ P17, P20 ~ P27, P30 ~ P33,</td> <td>0</td> <td></td> <td>0.2Vcc</td> <td>V</td> </tr> </tbody> </table>	記号	項目	規格値			単位	最小	標準	最大	VIL	“L”入力電圧 RESET, BYTE, MD0, MD1, CDSEL	0		0.2Vcc	V	VIL	“L”入力電圧 XIN (CDSEL端子 =Vccレベル又は開放の時)	0		0.2Vcc	V	VIL	“L”入力電圧 XIN (CDSEL端子 =Vssレベルの時)	0		0.16Vcc	V	VIL	“L”入力電圧 P10 ~ P17, P20 ~ P27, P30 ~ P33,	0		0.2Vcc	V	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>VIL</td> <td>“L”入力電圧 RESET, BYTE, MD0, MD1, CDSEL</td> <td>0</td> <td></td> <td>0.2Vcc</td> <td>V</td> </tr> <tr> <td>VIL</td> <td>“L”入力電圧 XIN</td> <td>0</td> <td></td> <td>0.16Vcc</td> <td>V</td> </tr> <tr> <td>VIL</td> <td>“L”入力電圧 P10 ~ P17, P20 ~ P27, P30 ~ P33,</td> <td>0</td> <td></td> <td>0.2Vcc</td> <td>V</td> </tr> </tbody> </table>	記号	項目	規格値			単位	最小	標準	最大	VIL	“L”入力電圧 RESET, BYTE, MD0, MD1, CDSEL	0		0.2Vcc	V	VIL	“L”入力電圧 XIN	0		0.16Vcc	V	VIL	“L”入力電圧 P10 ~ P17, P20 ~ P27, P30 ~ P33,	0		0.2Vcc	V
記号	項目			規格値				単位																																																						
		最小	標準	最大																																																										
VIL	“L”入力電圧 RESET, BYTE, MD0, MD1, CDSEL	0		0.2Vcc	V																																																									
VIL	“L”入力電圧 XIN (CDSEL端子 =Vccレベル又は開放の時)	0		0.2Vcc	V																																																									
VIL	“L”入力電圧 XIN (CDSEL端子 =Vssレベルの時)	0		0.16Vcc	V																																																									
VIL	“L”入力電圧 P10 ~ P17, P20 ~ P27, P30 ~ P33,	0		0.2Vcc	V																																																									
記号	項目	規格値			単位																																																									
		最小	標準	最大																																																										
VIL	“L”入力電圧 RESET, BYTE, MD0, MD1, CDSEL	0		0.2Vcc	V																																																									
VIL	“L”入力電圧 XIN	0		0.16Vcc	V																																																									
VIL	“L”入力電圧 P10 ~ P17, P20 ~ P27, P30 ~ P33,	0		0.2Vcc	V																																																									

M37903F8CHP和文データシート正誤表(REV.E) No.8

訂正箇所	誤					正																																																																																																		
111ペ - ジ 直流電気的特性	<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td rowspan="2">IIL</td> <td>Vi=0V(プルアップトランジスタなし)</td> <td>-0.4</td> <td>-0.7</td> <td>-5</td> <td>μA</td> </tr> <tr> <td>Vi=0V(プルアップトランジスタあり)</td> <td>2</td> <td></td> <td>-1.1</td> <td>mA</td> </tr> <tr> <td>VREM</td> <td>クロック停止時</td> <td></td> <td>30</td> <td></td> <td>V</td> </tr> <tr> <td rowspan="4">Icc</td> <td>f(fsyst)=26MHz CPU動作時</td> <td></td> <td></td> <td>54</td> <td>mA</td> </tr> <tr> <td>クロック停止時 Ta=25</td> <td></td> <td></td> <td>1</td> <td>μA</td> </tr> <tr> <td>クロック停止時 Ta=85</td> <td></td> <td></td> <td>20</td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>					記号	測定条件	規格値			単位	最小	標準	最大	IIL	Vi=0V(プルアップトランジスタなし)	-0.4	-0.7	-5	μA	Vi=0V(プルアップトランジスタあり)	2		-1.1	mA	VREM	クロック停止時		30		V	Icc	f(fsyst)=26MHz CPU動作時			54	mA	クロック停止時 Ta=25			1	μA	クロック停止時 Ta=85			20							<table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>標準</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td rowspan="2">IIL</td> <td>Vi=0V(プルアップトランジスタなし)</td> <td></td> <td></td> <td>-5</td> <td>μA</td> </tr> <tr> <td>Vi=0V(プルアップトランジスタあり)</td> <td>-0.4</td> <td>-0.7</td> <td>-1.1</td> <td>mA</td> </tr> <tr> <td>VREM</td> <td>クロック停止時</td> <td>2</td> <td></td> <td></td> <td>V</td> </tr> <tr> <td rowspan="4">Icc</td> <td>f(fsyst)=26MHz CPU動作時</td> <td></td> <td>30</td> <td>54</td> <td>mA</td> </tr> <tr> <td>クロック停止時 Ta=25</td> <td></td> <td></td> <td>1</td> <td>μA</td> </tr> <tr> <td>クロック停止時 Ta=85</td> <td></td> <td></td> <td>20</td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>					記号	測定条件	規格値			単位	最小	標準	最大	IIL	Vi=0V(プルアップトランジスタなし)			-5	μA	Vi=0V(プルアップトランジスタあり)	-0.4	-0.7	-1.1	mA	VREM	クロック停止時	2			V	Icc	f(fsyst)=26MHz CPU動作時		30	54	mA	クロック停止時 Ta=25			1	μA	クロック停止時 Ta=85			20						
記号	測定条件	規格値			単位																																																																																																			
		最小	標準	最大																																																																																																				
IIL	Vi=0V(プルアップトランジスタなし)	-0.4	-0.7	-5	μA																																																																																																			
	Vi=0V(プルアップトランジスタあり)	2		-1.1	mA																																																																																																			
VREM	クロック停止時		30		V																																																																																																			
Icc	f(fsyst)=26MHz CPU動作時			54	mA																																																																																																			
	クロック停止時 Ta=25			1	μA																																																																																																			
	クロック停止時 Ta=85			20																																																																																																				
記号	測定条件	規格値			単位																																																																																																			
		最小	標準	最大																																																																																																				
IIL	Vi=0V(プルアップトランジスタなし)			-5	μA																																																																																																			
	Vi=0V(プルアップトランジスタあり)	-0.4	-0.7	-1.1	mA																																																																																																			
VREM	クロック停止時	2			V																																																																																																			
Icc	f(fsyst)=26MHz CPU動作時		30	54	mA																																																																																																			
	クロック停止時 Ta=25			1	μA																																																																																																			
	クロック停止時 Ta=85			20																																																																																																				
113ペ - ジ 外部クロック入力						『タイミング必要条件』、『外部クロック入力タイミング図』を追記。																																																																																																		
113ペ - ジ 外部クロック入力; 測定条件	<p>(外部クロック入力タイミング必要条件)</p> <table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>tr</td> <td>外部クロック入力立ち上がり時間(注1)</td> <td>6.4</td> <td></td> <td>ns</td> </tr> <tr> <td>tr</td> <td>外部クロック入力立ち上がり時間(注2)</td> <td>2.7</td> <td></td> <td>ns</td> </tr> <tr> <td>tr</td> <td>外部クロック入力立ち下がり時間(注1)</td> <td>6.4</td> <td></td> <td>ns</td> </tr> <tr> <td>tr</td> <td>外部クロック入力立ち下がり時間(注2)</td> <td>2.7</td> <td></td> <td>ns</td> </tr> </tbody> </table> <p>・ Vcc=5V ± 0.5V, Ta=-20 ~ 85 ・ 入力タイミング電圧 : ●●●●●●●● CDSEL端子にVccレベルを印加したとき、 VIL=0.8V, VIH=4.0Vで判定 (tw(H), tw(L), tr, tr)</p>					記号	項目	規格値		単位	最小	最大	tr	外部クロック入力立ち上がり時間(注1)	6.4		ns	tr	外部クロック入力立ち上がり時間(注2)	2.7		ns	tr	外部クロック入力立ち下がり時間(注1)	6.4		ns	tr	外部クロック入力立ち下がり時間(注2)	2.7		ns	<p>(外部クロック入力タイミング必要条件)</p> <table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>tr</td> <td>外部クロック入力立ち上がり時間(注1)</td> <td></td> <td>6.4</td> <td>ns</td> </tr> <tr> <td>tr</td> <td>外部クロック入力立ち上がり時間(注2)</td> <td></td> <td>2.7</td> <td>ns</td> </tr> <tr> <td>tr</td> <td>外部クロック入力立ち下がり時間(注1)</td> <td></td> <td>6.4</td> <td>ns</td> </tr> <tr> <td>tr</td> <td>外部クロック入力立ち下がり時間(注2)</td> <td></td> <td>2.7</td> <td>ns</td> </tr> </tbody> </table> <p>・ Vcc=5V ± 0.5V, Ta=-20 ~ 85 ・ 入力タイミング電圧 : ●●●●●●●● CDSEL端子にVccレベルを印加したとき、 VIL=1.0V, VIH=4.0Vで判定 (tw(H), tw(L), tr, tr)</p>					記号	項目	規格値		単位	最小	最大	tr	外部クロック入力立ち上がり時間(注1)		6.4	ns	tr	外部クロック入力立ち上がり時間(注2)		2.7	ns	tr	外部クロック入力立ち下がり時間(注1)		6.4	ns	tr	外部クロック入力立ち下がり時間(注2)		2.7	ns																																								
記号	項目	規格値		単位																																																																																																				
		最小	最大																																																																																																					
tr	外部クロック入力立ち上がり時間(注1)	6.4		ns																																																																																																				
tr	外部クロック入力立ち上がり時間(注2)	2.7		ns																																																																																																				
tr	外部クロック入力立ち下がり時間(注1)	6.4		ns																																																																																																				
tr	外部クロック入力立ち下がり時間(注2)	2.7		ns																																																																																																				
記号	項目	規格値		単位																																																																																																				
		最小	最大																																																																																																					
tr	外部クロック入力立ち上がり時間(注1)		6.4	ns																																																																																																				
tr	外部クロック入力立ち上がり時間(注2)		2.7	ns																																																																																																				
tr	外部クロック入力立ち下がり時間(注1)		6.4	ns																																																																																																				
tr	外部クロック入力立ち下がり時間(注2)		2.7	ns																																																																																																				
120ペ - ジ 外部バス タイミング; タイミング 必要条件	<p>(指定のない場合はVcc=5V ± 0.5V, Vss=0V, Ta=-20 ~ 85, f(XIN)=26MHz)</p> <table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>tc(in)</td> <td>外部クロックサイクル時間</td> <td>38 (注1)</td> <td></td> <td>ns</td> </tr> <tr> <td>tw(half)</td> <td>外部クロック入力半値パルス幅</td> <td>0.45tc</td> <td>0.55tc</td> <td>ns</td> </tr> <tr> <td>tw(H)</td> <td>外部クロック入力“H”パルス幅</td> <td>0.5tc-6 (注2)</td> <td></td> <td>ns</td> </tr> <tr> <td>tw(L)</td> <td>外部クロック入力“L”パルス幅</td> <td>0.5tc-6.8 (注3)</td> <td></td> <td>ns</td> </tr> <tr> <td>tr</td> <td>外部クロック入力立ち上がり時間</td> <td>6.4 (注4)</td> <td></td> <td>ns</td> </tr> <tr> <td>tr</td> <td>外部クロック入力立ち下がり時間</td> <td>6.4 (注4)</td> <td></td> <td>ns</td> </tr> <tr> <td>ta(A-D)</td> <td>アドレスアクセス時間(アドレス●●●●●)</td> <td></td> <td>(WH+WL) tc-45</td> <td>ns</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>ta(LA-D)</td> <td>アドレスアクセス時間(マルチプレックスバス選択ビット=1時)</td> <td>(WH+WL-0.5)tc-35 (注5)</td> <td></td> <td>ns</td> </tr> </tbody> </table> <p>5. アドレス出力選択ビットの内容に影響されません。</p>					記号	項目	規格値		単位	最小	最大	tc(in)	外部クロックサイクル時間	38 (注1)		ns	tw(half)	外部クロック入力半値パルス幅	0.45tc	0.55tc	ns	tw(H)	外部クロック入力“H”パルス幅	0.5tc-6 (注2)		ns	tw(L)	外部クロック入力“L”パルス幅	0.5tc-6.8 (注3)		ns	tr	外部クロック入力立ち上がり時間	6.4 (注4)		ns	tr	外部クロック入力立ち下がり時間	6.4 (注4)		ns	ta(A-D)	アドレスアクセス時間(アドレス●●●●●)		(WH+WL) tc-45	ns	記号	項目	規格値		単位	最小	最大	ta(LA-D)	アドレスアクセス時間(マルチプレックスバス選択ビット=1時)	(WH+WL-0.5)tc-35 (注5)		ns	<p>(指定のない場合はVcc=5V ± 0.5V, Vss=0V, Ta=-20 ~ 85)</p> <table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>ta(A-D)</td> <td>アドレスアクセス時間(アドレス●●●●●)</td> <td></td> <td>(WH+WL) tc-45</td> <td>ns</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>ta(LA-D)</td> <td>アドレスアクセス時間(マルチプレックスバス選択ビット=1時)</td> <td>(WH+WL-0.5tc)-35 (注)</td> <td></td> <td>ns</td> </tr> </tbody> </table> <p>注. アドレス出力選択ビットの内容に影響されません。</p>					記号	項目	規格値		単位	最小	最大	ta(A-D)	アドレスアクセス時間(アドレス●●●●●)		(WH+WL) tc-45	ns	記号	項目	規格値		単位	最小	最大	ta(LA-D)	アドレスアクセス時間(マルチプレックスバス選択ビット=1時)	(WH+WL-0.5tc)-35 (注)		ns																
記号	項目	規格値		単位																																																																																																				
		最小	最大																																																																																																					
tc(in)	外部クロックサイクル時間	38 (注1)		ns																																																																																																				
tw(half)	外部クロック入力半値パルス幅	0.45tc	0.55tc	ns																																																																																																				
tw(H)	外部クロック入力“H”パルス幅	0.5tc-6 (注2)		ns																																																																																																				
tw(L)	外部クロック入力“L”パルス幅	0.5tc-6.8 (注3)		ns																																																																																																				
tr	外部クロック入力立ち上がり時間	6.4 (注4)		ns																																																																																																				
tr	外部クロック入力立ち下がり時間	6.4 (注4)		ns																																																																																																				
ta(A-D)	アドレスアクセス時間(アドレス●●●●●)		(WH+WL) tc-45	ns																																																																																																				
記号	項目	規格値		単位																																																																																																				
		最小	最大																																																																																																					
ta(LA-D)	アドレスアクセス時間(マルチプレックスバス選択ビット=1時)	(WH+WL-0.5)tc-35 (注5)		ns																																																																																																				
記号	項目	規格値		単位																																																																																																				
		最小	最大																																																																																																					
ta(A-D)	アドレスアクセス時間(アドレス●●●●●)		(WH+WL) tc-45	ns																																																																																																				
記号	項目	規格値		単位																																																																																																				
		最小	最大																																																																																																					
ta(LA-D)	アドレスアクセス時間(マルチプレックスバス選択ビット=1時)	(WH+WL-0.5tc)-35 (注)		ns																																																																																																				