お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

EOL announced product

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

EOL announced product

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。
従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

EOL announced Product

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ

M37753M8C-XXXFP, M37753M8C-XXXHP
M37753S4CFP, M37753S4CHP

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

End of Announced Product

概　要

M37753M8C-XXXFPは、シリコンゲートCMOSプロセスを用いた16ビットシングルチップマイクロコンピュータで、80ピンプラスチックモールドQFPに収められています。

このマイクロコンピュータは、既存の7700ファミリ命令セットにサーボ演算性能を向上させる符号付き乗除算命令等6種の専用命令を追加した16ビット並列処理可能(8ビット並列処理にも切り替え可)な中央演算処理装置、及びメモリアクセスを効率的に行い命令実行の高速化を図るためのバスインタフェース装置を備えています。また、周辺装置としてROM，RAM、多機能タイマ、モータ制御機能、シリアルI/O、A-D変換器、D-A変換器なども内蔵しています。

M37753M8C-XXXFP, M37753M8C-XXXHP, M37753S4CFP, M37753S4CHPの相違点は、次ページの表に示すとおり、内蔵ROMの有無、使用できるプロセッサモード及びパッケージのみですので特に断わらない限りM37753M8C-XXXFPについて説明します。

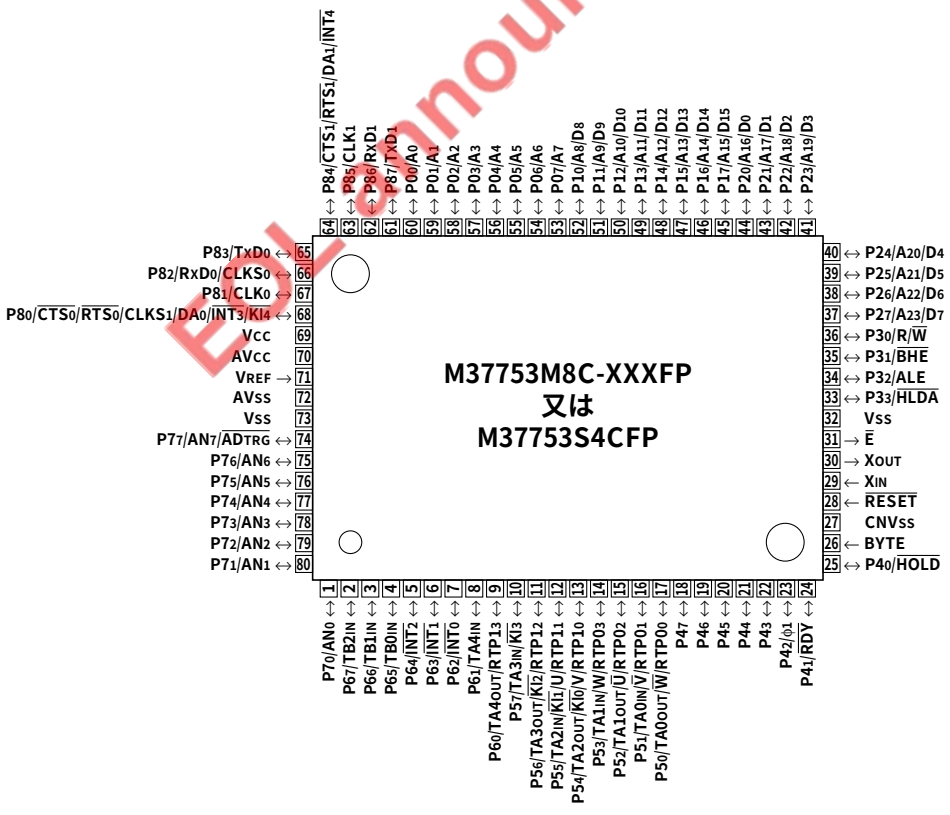
特　長

- 基本機械語命令数 109
  （7700ファミリ基本命令103＋専用命令6）
- メモリ容量　ROM ..... 60K バイト
  RAM ..... 2048 バイト
- 命令実行時間(最短命令、40MHz 時) 100ns
- 単一電源 ..... 5V±10%
- 低消費電力(40MHz動作時) ..... 125mW(標準)
- 割り込み ..... 21要因、7レベル
- 多機能16ビットタイマ ..... 5本＋3本
  （三相モータ駆動波形又はパルスモータ制御波形出力可）
- UART (クロック同期形も可能) 2本
- 10ビットA-D変換器 8チャネル入力
- 8ビットD-A変換器 2チャネル出力
- 監視タイマ
- プログラマブル入出力
  （ポートP0, P1, P2, P3, P4, P5, P6, P7, P8） 68本

応　用

CD-ROM、HDD、高密度FDD、プリンタなどのパーソナルコンピュータ周辺機器制御、複写機、FAXなどの事務用機器制御、通信機、計測機などの産業用機器制御、インバータエアコン、汎用インバータなどのモータ制御を要する機器制御

M37753M8C-XXXFP ピン接続図（上面図）



外形　80P6N-A

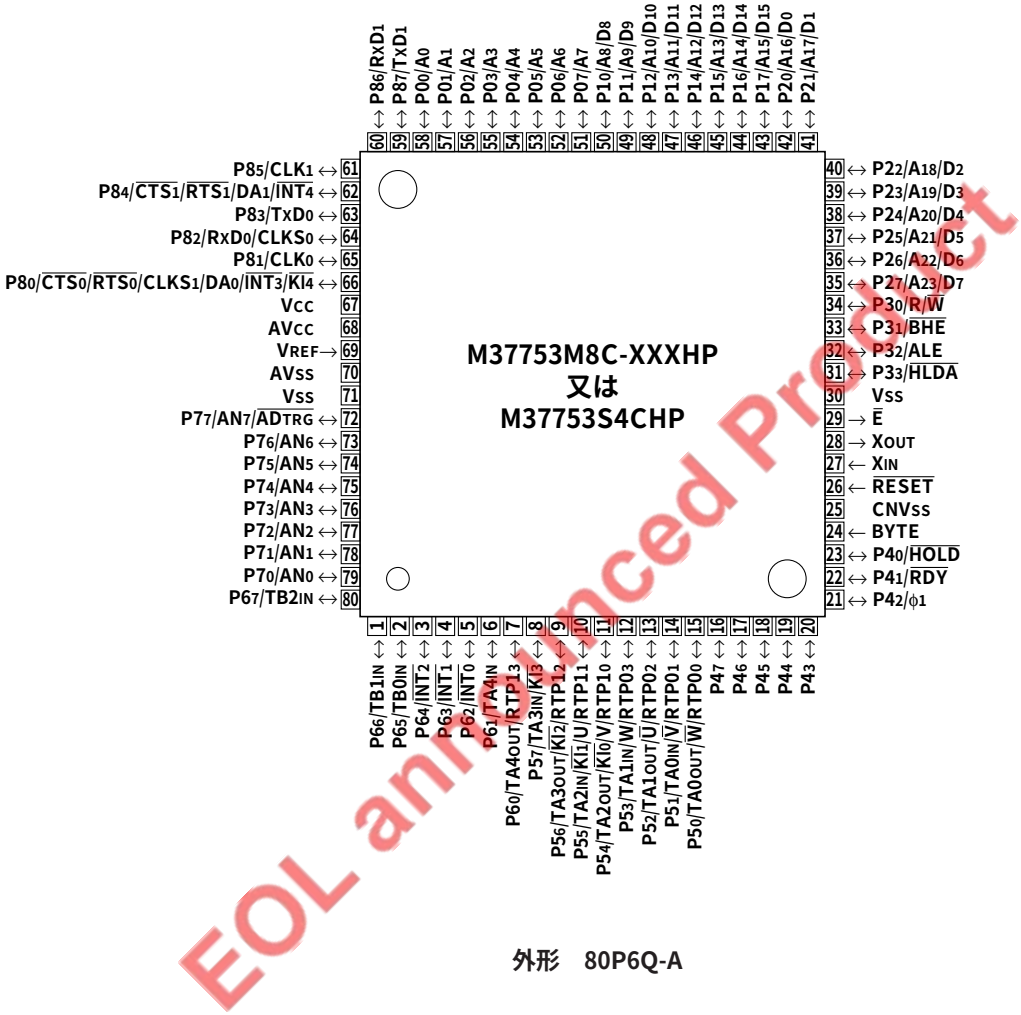
この製品は開発中ですので規格などを変更する場合があります。

M37753M8C-XXFP, M37753M8C-XXXHP
M37753S4CFP, M37753S4CHP

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

M37753M8C-XXXHP ピン接続図（上面図）



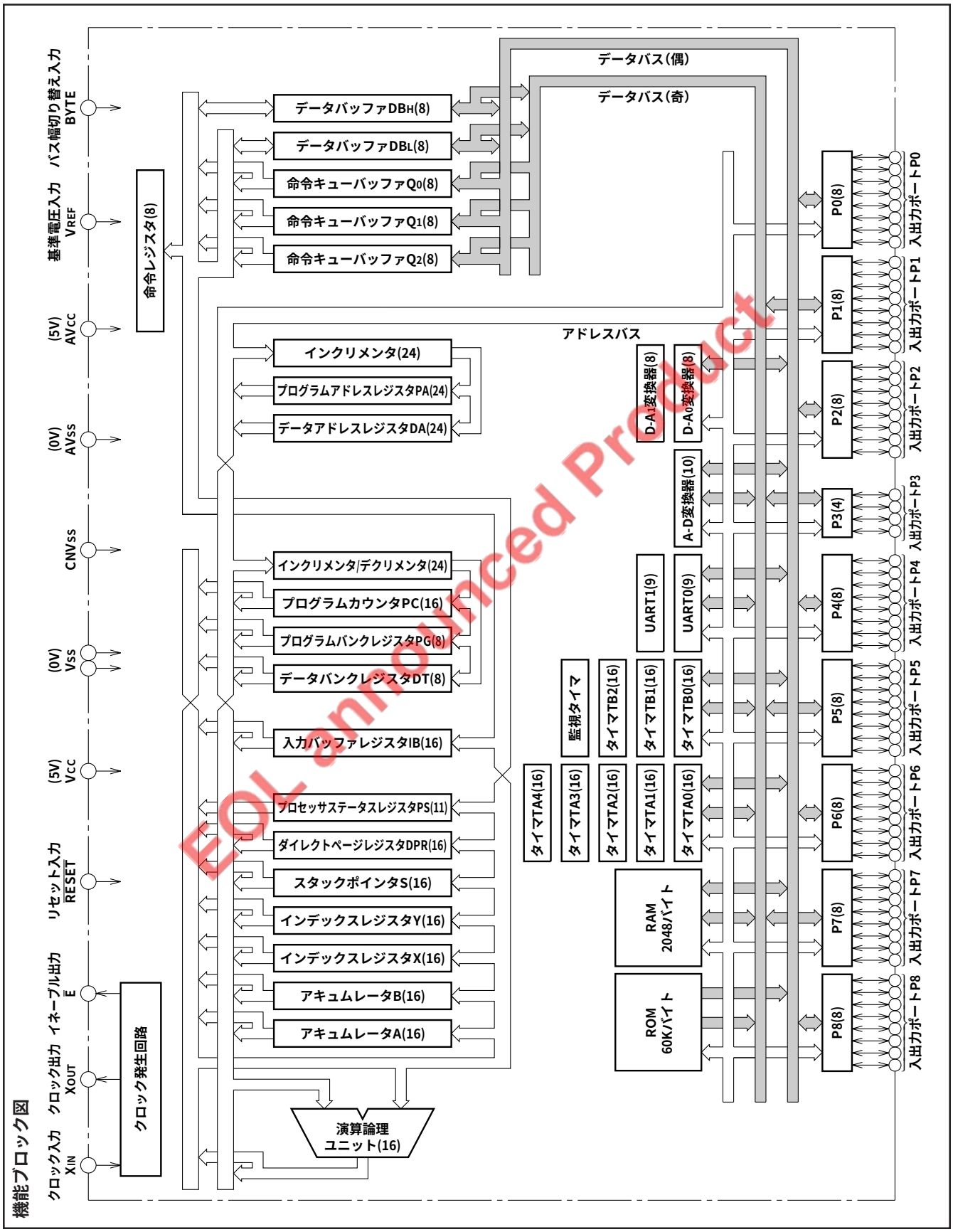
外形　80P6Q-A

EOL announced Product

M37753M8C-XXXFP, M37753M8C-XXXHP, M37753S4CFP, M37753S4CHPの相違点

形　名	内蔵ROMの有無	使用できるプロセッサモード	パッケージ
M37753M8C-XXXFP	あり（60Kバイト）	・シングルチップモード ・メモリ拡張モード ・マイクロプロセッサモード	80ピンQFP(80P6N-A)
M37753M8C-XXXHP			80ピンファインピッチQFP(80P6Q-A)
M37753S4CFP	なし（ROM外付け）	・マイクロプロセッサモード	80ピンQFP(80P6N-A)
M37753S4CHP			80ピンファインピッチQFP(80P6Q-A)

機能ブロック図



EOL announced Product

性能概要

項　　目		性　　能
基本命令数		109（7700ファミリ 基本命令103＋専用命令6）
命令実行時間		100ns（最短命令, 外部クロック入力周波数40MHz時）
メモリ容量	ROM（注1）	60Kバイト
	RAM	2048バイト
入出力ポート（注2）	P0～P2, P4～P8	8ビット×8
	P3	4ビット×1
多機能タイマ	TA0, TA1, TA2, TA3, TA4	16ビット×5
	TB0, TB1, TB2	16ビット×3
シリアルI/O		（UART又はクロック同期形）×2
A-D変換器		10ビット×1（8チャネル）
D-A変換器		8ビット×2
監視タイマ		12ビット×1
短絡防止時間設定タイマ		8ビット×3
割り込み		外部5要因, 内部16要因 各割り込みごとにレベル0～7までの割り込み優先レベルが設定可能
クロック発生回路		内蔵（セラミック共振子又は水晶共振子外付け）
電源電圧		5V±10%
消費電力		125mW（外部クロック入力周波数40MHz時）
入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能（最大16Mバイト）
動作周囲温度		−20～85°C
素子構造		CMOS高性能シリコンゲート
パッケージ		80ピンプラスチックモールドQFP

注1．M37753S4CFP, M37754S4CHPは，ROMを内蔵していません。
　2．M37753S4CFP, M37754S4CHPの入出力ポートは，P5～P8（8ビット×4），P4（5ビット×1）となります。

EOL announced Product

端子の機能説明

端子名	名　　称	入出力	機　　能
VCC, VSS	電源入力		VCCに5V±10%, VSSに0Vを印加します。
CNVSS	CNVSS入力	入　力	プロセッサモードを切り替える端子です。シングルチップモード及びメモリ拡張モードではVSSに接続してください。マイクロプロセッサモード及びROM外付け版ではVCCに接続してください。
$\overline{RESET}$	リセット入力	入　力	リセット入力端子です。“L”レベルを印加するとリセット状態になります。
XIN	クロック入力	入　力	クロック発生回路を内蔵しており，発振周波数の設定は，セラミック又は水晶共振子をXIN，XOUTの間に接続して行います。外部クロック入力を利用する場合は，クロック入力をXIN端子に接続し，XOUT端子は開放してください。
XOUT	クロック出力	出　力	内部クロック発生回路の出力です。共振子を使用する場合は，この端子とXIN端子の間に共振子を接続します。
$\overline{E}$	イネーブル出力	出　力	この端子出力が“L”のとき，データ又は命令コードの読み出し，データの書き込みが行われます。
BYTE（注）	バス幅切り替え入力	入　力	メモリ拡張モード又はマイクロプロセッサモード時，外部データバス幅を8ビット幅で使用するのか，16ビット幅で使用するのかを選択する端子です。“L”のとき16ビット幅,“H”のとき8ビット幅です。
AVCC, AVSS	アナログ電源入力		A-D変換器，D-A変換器の電源入力端子です。外部で，AVCCはVCCに，AVSSはVSSに接続してください。
VREF	基準電圧入力	入　力	A-D変換器，D-A変換器の基準電圧入力端子です。
P00～P07	入出力ポートP0	入出力	シングルチップモード時は，ポートP0は8ビットの入出力ポートになります。入出力方向レジスタを持っており，各ビットごとに入力端子にするか，出力端子にするかプログラムできます。リセット時には入力モードになります。メモリ拡張又は，マイクロプロセッサモード時にはアドレス（A0～A7）が出力されます。
P10～P17	入出力ポートP1	入出力	シングルチップモード時は，ポートP0と同じ機能を持ちます。メモリ拡張又はマイクロプロセッサモードでBYTE端子を“L”として，外部データバス幅を16ビット幅で使用する場合は，$\overline{E}$出力が“L”のとき上位のデータ（D8～D15）が入出力され，$\overline{E}$出力が“H”のときアドレス（A8～A15）が出力されます。BYTE端子を“H”として外部データバス幅を8ビット幅で使用する場合は，アドレス（A8～A15）のみ出力されます。
P20～P27	入出力ポートP2	入出力	シングルチップモード時は，ポートP0と同じ機能を持ちます。メモリ拡張又はマイクロプロセッサモードでは，$\overline{E}$出力が“L”のとき下位データ（D0～D7）が入出力され，$\overline{E}$出力が“H”のときアドレス（A16～A23）が出力されます。
P30～P33	入出力ポートP3	入出力	シングルチップモード時は，ポートP0と同じ機能を持ちます。メモリ拡張又はマイクロプロセッサモードでは，R/$\overline{W}$，$\overline{BHE}$，ALE，$\overline{HLDA}$信号が出力されます。
P40～P47	入出力ポートP4	入出力	シングルチップモード時は，ポートP0と同じ機能を持ちます。メモリ拡張又はマイクロプロセッサモードでは，P40，P41，P42はそれぞれ$\overline{HOLD}$，$\overline{RDY}$の入力端子，クロックφ1の出力端子となります。他の端子の機能はシングルチップモード時と同じです。ただし，P42はメモリ拡張モード時には入出力ポートとしての機能も選択できます。
P50～P57	入出力ポートP5	入出力	シングルチップモード時のポートP0と同じ機能の他に，タイマA0，タイマA1，タイマA2，タイマA3の入出力端子，モータ駆動波形の出力端子及びキー入力割り込みの入力端子としての機能も持ちます。
P60～P67	入出力ポートP6	入出力	シングルチップモード時のポートP0と同じ機能の他にタイマA4の入出力端子，外部割り込み入力$\overline{INT0}$，$\overline{INT1}$，$\overline{INT2}$の入力端子，タイマB0，タイマB1，タイマB2の入力端子及びモータ駆動波形の出力端子としての機能も持ちます。
P70～P77	入出力ポートP7	入出力	シングルチップモード時のポートP0と同じ機能の他に，A-D変換器の入力端子としての機能も持ちます。
P80～P87	入出力ポートP8	入出力	シングルチップモード時のポートP0と同じ機能の他に，UART0，UART1の入出力端子及びD-A出力端子，$\overline{INT3}$，$\overline{INT4}$の入力端子としての機能も持ちます。

注．BYTE端子の入力レベルをバスサイクルごとに変化させる（バス幅をダイナミックに変化させる）ことはできません。BYTE端子の入力レベルは，選択するバス幅に応じて“H”又は“L”に固定してください。

EOL Announced Product

EOL announced Product

機能ブロック動作説明

M37753M8C-XXXFP, M37753M8C-XXXHPは、ROMとRAM、中央演算処理装置、バスインタフェース装置、及びタイマ、シリアルI/O、A-D変換器、D-A変換器、入出力ポート、クロック発生回路などの周辺装置をシングルチップ内に収めています。

次に各装置について説明します。

メモリ

メモリ配置図を図1に示します。アドレス空間は0_{16}番地から$FFFFFF_{16}$番地までの16Mバイトあります。アドレス空間を64Kバイトごとに分けてそれぞれバンク0_{16}、バンク1_{16}、……バンクFF_{16}と呼びます。

バンク0_{16}には内蔵ROM、内蔵RAM及び内蔵周辺装置の制御レジスタなどが割り付けられています。

1000_{16}番地から$FFFF_{16}$番地までは内蔵ROMで、60Kバイトあります。$FFD2_{16}$番地から$FFFF_{16}$番地はリセット及び割り込みのベクトル番地で、ここに割り込みベクトルを格納します。詳細は割り込みの項を参照してください。

80_{16}番地から$87F_{16}$番地は内蔵RAMで2048バイトあります。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用されます。

0_{16}番地から$7F_{16}$番地には入出力ポート、A-D変換器、D-A変換器、シリアルI/O、タイマ、割り込み制御レジスタなどの周辺装置が割り付けられています。

なお、内蔵ROMの領域はプログラムで変更できます。詳しくは、メモリ領域変更機能の項を参照ください。

バンク0_{16}内には、256バイトのダイレクトページ領域をダイレクトページレジスタDPRにより任意の場所に設定できます。ダイレクトページ領域のメモリはダイレクトページアドレッシングモードを使用することにより、2語でアクセスすることができ、プログラムステップ数の節減に役立ちます。

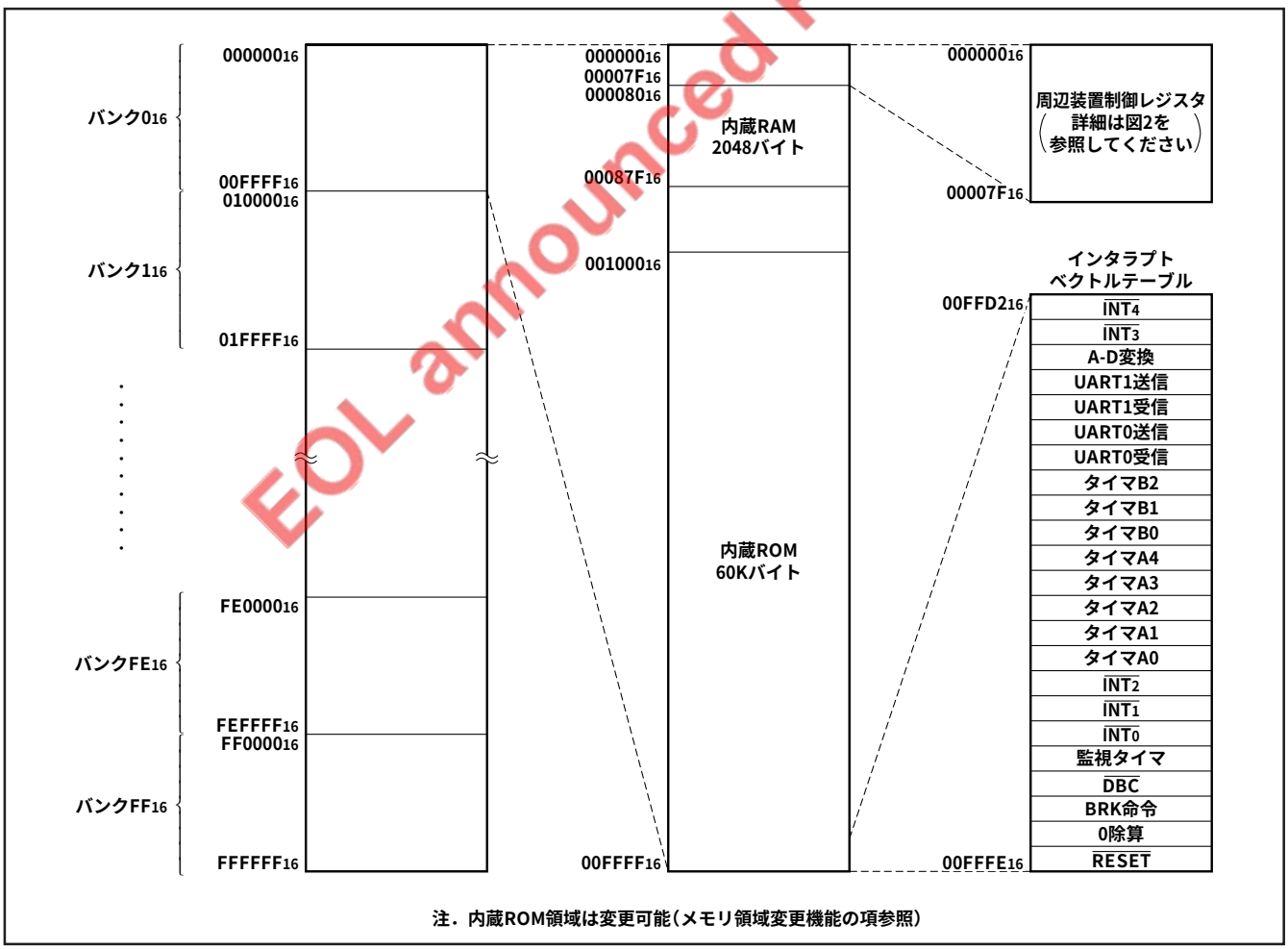


図1．メモリ配置図

番地(16進表記)	
000000	
000001	
000002	ポートP0
000003	ポートP1
000004	ポートP0方向レジスタ
000005	ポートP1方向レジスタ
000006	ポートP2
000007	ポートP3
000008	ポートP2方向レジスタ
000009	ポートP3方向レジスタ
00000A	ポートP4
00000B	ポートP5
00000C	ポートP4方向レジスタ
00000D	ポートP5方向レジスタ
00000E	ポートP6
00000F	ポートP7
000010	ポートP6方向レジスタ
000011	ポートP7方向レジスタ
000012	ポートP8
000013	
000014	ポートP8方向レジスタ
000015	
000016	
000017	
000018	
000019	
00001A	波形出力モードレジスタ
00001B	短絡防止時間設定タイマ
00001C	パルス出力データレジスタ1
00001D	パルス出力データレジスタ0
00001E	A-D制御レジスタ0
00001F	A-D制御レジスタ1
000020 000021	A-Dレジスタ0
000022 000023	A-Dレジスタ1
000024 000025	A-Dレジスタ2
000026 000027	A-Dレジスタ3
000028 000029	A-Dレジスタ4
00002A 00002B	A-Dレジスタ5
00002C 00002D	A-Dレジスタ6
00002E 00002F	A-Dレジスタ7
000030	UART0送受信モードレジスタ
000031	UART0転送速度レジスタ
000032 000033	UART0送信バッファレジスタ
000034	UART0送受信制御レジスタ0
000035	UART0送受信制御レジスタ1
000036 000037	UART0受信バッファレジスタ
000038	UART1送受信モードレジスタ
000039	UART1転送速度レジスタ
00003A 00003B	UART1送信バッファレジスタ
00003C	UART1送受信制御レジスタ0
00003D	UART1送受信制御レジスタ1
00003E 00003F	UART1受信バッファレジスタ

番地(16進表記)	
000040	カウント開始フラグ
000041	
000042	ワンショット開始フラグ
000043	
000044	アップダウンフラグ
000045	タイマA書き込みフラグ
000046 000047	タイマA0
000048 000049	タイマA1
00004A 00004B	タイマA2
00004C 00004D	タイマA3
00004E 00004F	タイマA4
000050 000051	タイマB0
000052 000053	タイマB1
000054 000055	タイマB2
000056	タイマA0モードレジスタ
000057	タイマA1モードレジスタ
000058	タイマA2モードレジスタ
000059	タイマA3モードレジスタ
00005A	タイマA4モードレジスタ
00005B	タイマB0モードレジスタ
00005C	タイマB1モードレジスタ
00005D	タイマB2モードレジスタ
00005E	プロセッサモードレジスタ0
00005F	プロセッサモードレジスタ1
000060	監視タイマ
000061	監視タイマ周波数選択フラグ
000062	
000063	
000064	コンパレータ機能選択レジスタ
000065	予約領域(注)
000066	コンパレート結果レジスタ
000067	予約領域(注)
000068	D-Aレジスタ0
000069	
00006A	D-Aレジスタ1
00006B	
00006C	特殊機能選択レジスタ0
00006D	特殊機能選択レジスタ1
00006E	$\overline{INT_4}$ 割り込み制御レジスタ
00006F	$\overline{INT_3}$ 割り込み制御レジスタ
000070	A-D変換 割り込み制御レジスタ
000071	UART0送信 割り込み制御レジスタ
000072	UART0受信 割り込み制御レジスタ
000073	UART1送信 割り込み制御レジスタ
000074	UART1受信 割り込み制御レジスタ
000075	タイマA0 割り込み制御レジスタ
000076	タイマA1 割り込み制御レジスタ
000077	タイマA2 割り込み制御レジスタ
000078	タイマA3 割り込み制御レジスタ
000079	タイマA4 割り込み制御レジスタ
00007A	タイマB0 割り込み制御レジスタ
00007B	タイマB1 割り込み制御レジスタ
00007C	タイマB2 割り込み制御レジスタ
00007D	$\overline{INT_0}$ 割り込み制御レジスタ
00007E	$\overline{INT_1}$ 割り込み制御レジスタ
00007F	$\overline{INT_2}$ 割り込み制御レジスタ

注. この番地は, 書き込み禁止です。

Not recommended for new design
FOL announced product

図2．周辺装置制御レジスタの配置

EOL announced Product

中央演算処理装置

中央演算処理装置には10個のレジスタがあります。図3にそれらを示します。次に、これらのレジスタについて説明します。

アキュムレータ　A

アキュムレータAはマイクロコンピュータの中心となるレジスタです。16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはデータ長選択フラグmの内容で決めます。フラグmの内容が“0”のとき16ビット、“1”のとき8ビットです。フラグmはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

演算、転送、入出力などのデータ処理は、アキュムレータAを中心にして実行されます。

アキュムレータ　B

アキュムレータBはアキュムレータAと同等の機能を持っていますが、命令バイト数と実行サイクルがアキュムレータAを使用するより多くかかります。

インデックスレジスタ　X

インデックスレジスタXは16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはインデックスレジスタ長選択フラグxの内容で決めます。フラグxの内容が“0”のとき16ビット、“1”のとき8ビットです。

フラグxはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

レジスタXをインデックスレジスタとするインデックスアドレッシングモードでは，このレジスタの内容を加算した番地が本当の番地となります。

また、ブロック転送命令MVP，MVN、繰り返し積和演算命令RMPAでは、データテーブルの番地を示すポインタレジスタとして機能します。

インデックスレジスタ　Y

インデックスレジスタYは16ビットで構成されていますが、下位8ビットのみを使用することもできます。16ビットで使用するか、8ビットで使用するかはインデックスレジスタ長選択フラグxの内容で決めます。フラグxの内容が“0”のとき16ビット、“1”のとき8ビットです。フラグxはプロセッサステータスレジスタPSの中にあります。これについては後で説明します。

レジスタYをインデックスレジスタとするインデックスアドレッシングモードでは、このレジスタの内容を加算した番地が本当の番地となります。また、ブロック転送命令MVP，MVN、繰り返し積和演算命令RMPAでは、データテーブルの番地を示すポインタレジスタとして機能します。

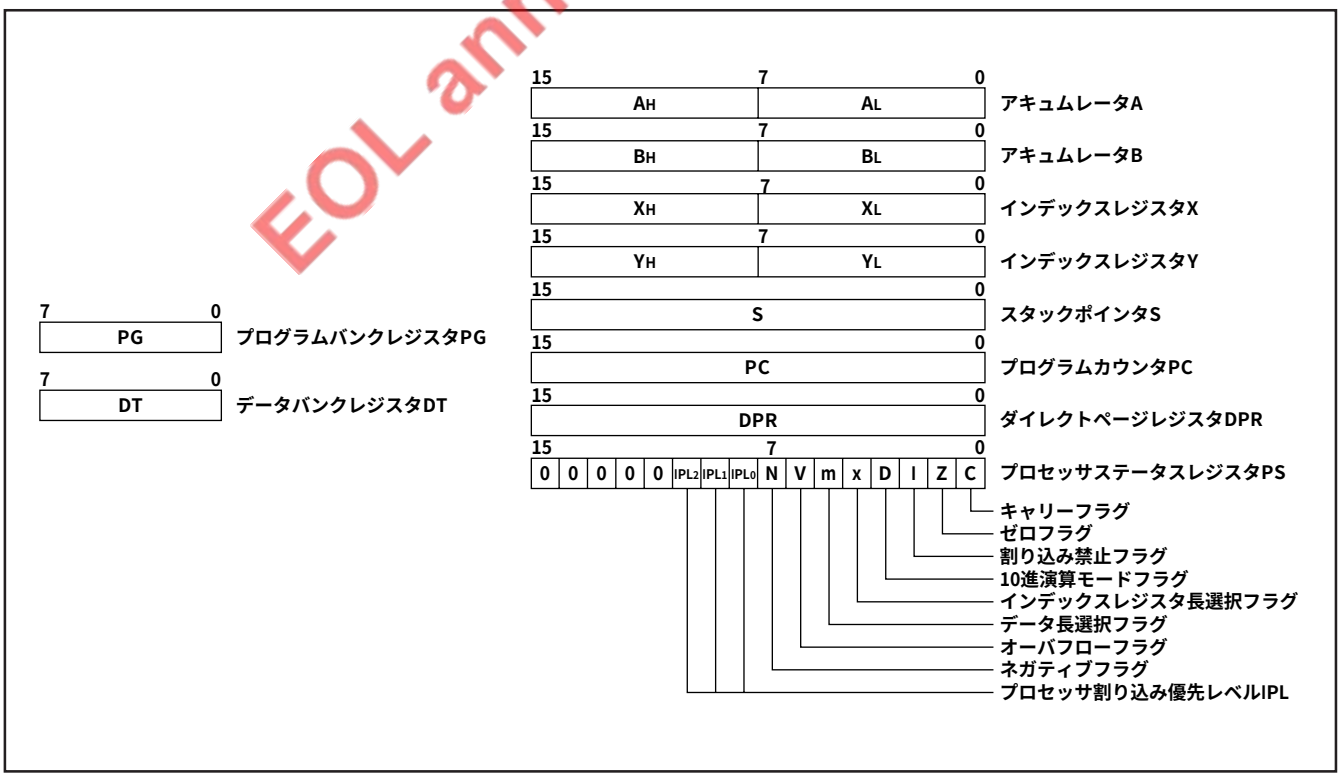


図3．レジスタ構成

スタックポインタ　S

スタックポインタSは16ビットのレジスタです。サブルーチン呼び出し、割り込み時、又はスタック、スタックポインタ・レラティブ、スタックポインタ・レラティブ・インダイレクト・インデクストYの各アドレッシングモードを使用したときに使用されます。

プログラムカウンタ　PC

プログラムカウンタPCは16ビットのカウンタで、この内容で次に実行すべきプログラムメモリの番地の下位16ビットを示します。ただし、後で説明しますが、プログラムメモリと中央演算処理装置との間にバスインタフェース装置があり、これを介してプログラムメモリをアクセスします。

プログラムバンクレジスタ　PG

プログラムバンクレジスタPGは8ビットのレジスタで、この内容で次に実行すべきプログラムメモリの番地の上位8ビットを示します。プログラムカウンタPCの内容がインクリメントされキャリーが生じると、プログラムバンクレジスタPGの内容は＋1されます。また、分岐命令でオフセット値をプログラムカウンタPCの内容に加算又は減算したとき、キャリーあるいはボローが生じると、自動的にプログラムバンクレジスタPGの内容は＋1又は－1されますので、バンクの境界を意識せずにプログラムを記述できます。

データバンクレジスタ　DT

データバンクレジスタDTは8ビットのレジスタです。あるアドレッシングモードではメモリの番地を指定するのに、データバンクレジスタDTの内容をその一部に使用します。データバンクレジスタDTの内容は、24ビットの番地の上位8ビットの番地として使用されます。データバンクレジスタDTの内容を番地指定に使用するアドレッシングモードは、ダイレクト・インダイレクト、ダイレクト・インデクストX・インダイレクト、ダイレクト・インダイレクト・インデクストY、アブソリュート、アブソリュート・ビット、アブソリュート・インデクストX、アブソリュート・インデクストY、アブソリュート・ビット・レラティブ、スタックポインタ・レラティブ・インダイレクト・インデクストYの各アドレッシングモードです。

ダイレクトページレジスタ　DPR

ダイレクトページレジスタDPRは16ビットのレジスタで、その内容で256バイトのダイレクトページ領域の基底番地を示します。ダイレクトページ領域はバンク0_{16}内に設定されますが、DPRの内容が$FF01_{16}$以上の場合、ダイレクトページ領域はバンク0_{16}とバンク1_{16}にまたがります。アドレッシングモード名の中に“ダイレクト”という名を持つアドレッシングモードでは、データの番地を生成するためにダイレクトページレジスタDPRの内容を使用します。ダイレクトページレジスタDPRの下位8ビットの内容が00_{16}のときは、番地生成のサイクル数が少なくて済みますので、通常はダイレクトページレジスタDPRの下位8ビットの内容を00_{16}として使用します。

プロセッサステータスレジスタ　PS

プロセッサステータスレジスタPSは11ビットのレジスタで、演算直後の状態を保持するフラグや、中央演算処理装置の割り込みレベルなどから成りたっています。

C，Z，V，Nフラグはブランチ命令によりテストして分岐することができます。

以下、プロセッサステータスレジスタの各ビットについて説明します。

1．キャリーフラグ　C

演算処理後の演算論理ユニットからのキャリー又はボローを保持します。シフト命令、ローテート命令でも変化します。SEC，CLC命令、又はSEP，CLP命令で直接セット、リセットすることができます。

2．ゼロフラグ　Z

演算処理、データ転送の結果が“0”のときセットされ、“0”でないときリセットされます。SEP，CLP命令で直接セット、リセットすることができます。

3．割り込み禁止フラグ　I

監視タイマ、$\overline{DBC}$、及びソフトウエア割り込みを除くすべての割り込みを禁止するためのフラグで、その内容が“1”になっていると禁止状態です。割り込みを受け付けると自動的に“1”になります。SEI，CLI命令、又はSEP，CLP命令で直接セット、リセットすることができます。

4．10進演算モードフラグ　D

加減算を2進で行うか、10進で行うかを決めるフラグです。フラグの内容が“0”のときは通常の2進演算になります。フラグの内容が“1”のときは1語を2桁又は4桁の10進数として演算します。データ長選択フラグmの内容が“0”のときは4桁、“1”のときは2桁で演算されます。10進補正は自動的に行われます(ただし、10進演算が行えるのは、ADC命令とSBC命令のみです)。SEP、CLP命令でセット、リセットすることができます。

EOL announced product

5．インデックスレジスタ長選択フラグ　x

インデックスレジスタXあるいはインデックスレジスタYを16ビット長で使用するか、8ビット長で使用するかを決めるフラグです。フラグxの内容が“0”のとき16ビット長、“1”のとき8ビット長になります。SEP，CLP命令でセット、リセットすることができます。

6．データ長選択フラグ　m

データを16ビット長で扱うか、8ビット長で扱うかを決めるフラグです。フラグmの内容が“0”のとき16ビット長、“1”のとき8ビット長になります。SEM，CLM命令、又はSEP，CLP命令でセット、リセットします。

7．オーバフローフラグ　V

オーバフローフラグは、1語を符号付きの2進数として加減算するときに意味を持ちます。データ長選択フラグmの内容が“0”のときは、加減算の結果が−32768～＋32767の範囲を越えるとセットされます。それ以外ではリセットされます。データ長選択フラグmの内容が“1”のときは、加減算の結果が−128～＋127の範囲を越えるとセットされます。それ以外ではリセットされます。CLV命令又はSEP，CLP命令で直接セット、リセットすることができます。

また、符号なし又は符号付き除算命令において除算結果がこれを格納するレジスタ長を超える場合、繰り返し積和演算命令RMPAで加算結果が−2147483648～＋2147483647の範囲を越える場合にも、オーバフローフラグはセットされます。

8．ネガティブフラグ　N

演算処理、データの転送の結果が負（データ長選択フラグmの内容が“0”のときはデータのビット15が“1”、データ長選択フラグmの内容が“1”のときはデータのビット7が“1”）のときセットされます。それ以外ではリセットされます。SEP，CLP命令でもセット、リセットできます。

9．プロセッサ割り込み優先レベル　IPL

プロセッサ割り込み優先レベルIPLは3ビットで構成され、この内容でレベル0からレベル7までの8段階のプロセッサ割り込み優先レベルを決めます。割り込みを要求した装置の割り込み優先レベル（各割り込み制御レジスタで任意に設定可能）の方がプロセッサ割り込み優先レベルより高い場合に、割り込みが許可されます。割り込みが許可されると、今までのプロセッサ割り込み優先レベルはスタックに退避され、プロセッサ割り込み優先レベルは、割り込みを許可された装置の割り込み優先レベルに置き換わります。詳細については、割り込みの項を参照してください。

注．プロセッサステータスレジスタPSのビット11～ビット15は“0”に固定してください。

バスインタフェース装置

中央演算処理装置は、内部クロックφCPUの周波数で動作します。高速化のために、現在実行中の命令がバスを使用しておらず、命令を先取りできるときは、命令を先取りするバスインタフェース装置を持っています。中央演算処理装置とバスの同期、命令の先取りは、このバスインタフェース装置が行います。中央演算処理装置とバスインタフェース装置の関係を図4に示します。また、バスインタフェース装置はメモリアクセスを容易にするために、バスを制御します。これについては、後述のバスサイクルを参照してください。バスインタフェース装置はプログラムアドレスレジスタと3バイトの命令キューバッファ及びデータアドレスレジスタと2バイトのデータバッファを持っています。

バスインタフェース装置は、メモリから命令コードを読み出して、命令キューバッファに取り込んだり、あるいはメモリからデータを読み出してデータバッファに取り込んだり、又はデータバッファの中のデータをメモリに書き込んだりします。

EOL announced Product

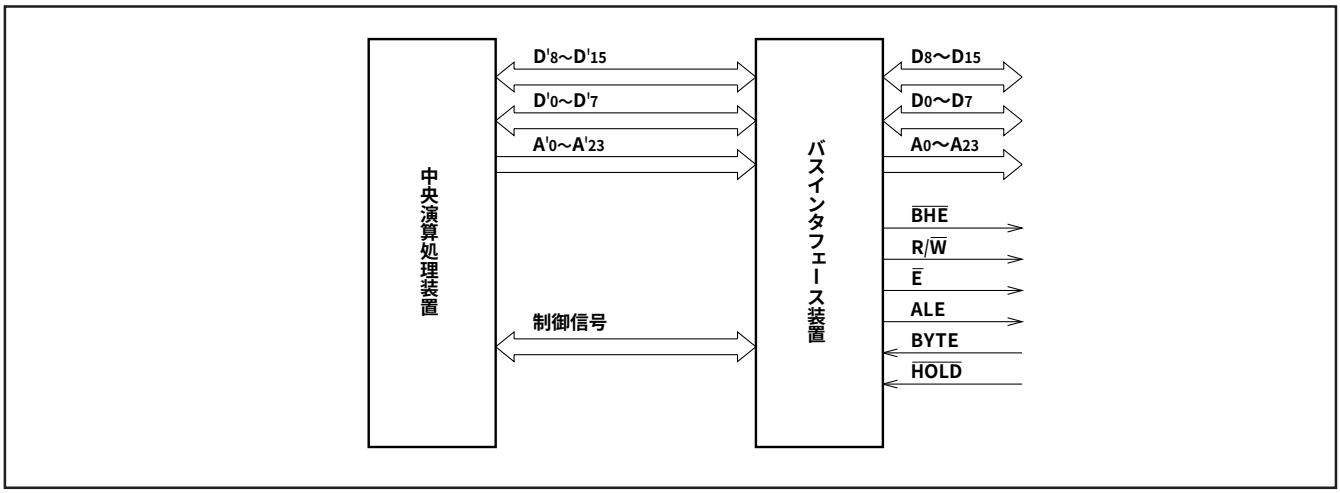


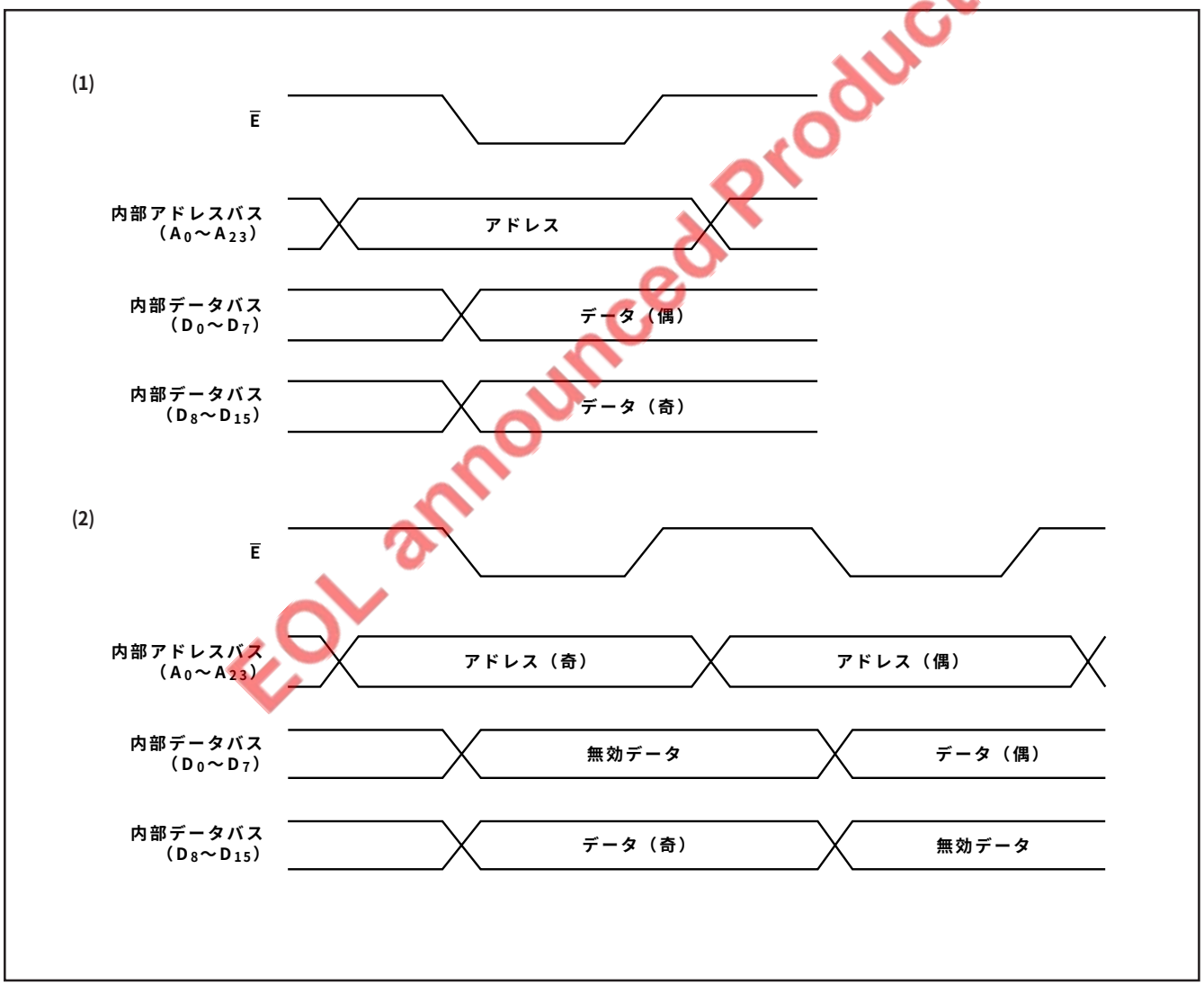
図4．中央演算処理処置とバスインタフェース装置の関係

バスインタフェース装置の基本波形を図5に示します。

$\overline{E}$信号は、バスインタフェース装置がメモリから命令コード又はデータを読み出したり、メモリへデータを書き込むときに、“L”になります。読み出しか、書き込みかはR/$\overline{W}$信号で制御します。R/$\overline{W}$信号が“H”のとき読み出し、“L”のとき書き込みです。

図5の(1)は1バイトのみ、又は2バイト同時にアクセスする場合です。2バイト同時にアクセスするためには、2バイトを読み出し、又は書き込みするときアクセスする最初の番地が偶数でなければなりません。さらに、メモリ拡張モードあるいは、マイクロプロセッサモードで、外部メモリ領域をアクセスする場合は、バス幅選択入力端子BYTEを“L”レベルとして外部データバス幅を16ビット幅で使用してください。内部メモリ領域は、BYTEの影響を受けず常に16ビットバス幅として扱われます。

16ビットデータの読み出し、書き込みを行うとき、2バイト同時にアクセスできる条件が満たされていない場合は(2)のような波形で動作し、1バイトずつアクセスします。ただし、命令コードを命令キューバッファに取り込むときに、アクセスした番地が奇数ならば1バイトしか取り込みません。



EOL announced Product

図5．バスインタフェース装置の基本波形

命令コードの読み出しと、データの読み出し、書き込みについてそれぞれ説明します。

まず、命令コードの読み出しについて説明します。

中央演算処理装置は、命令キューバッファから命令コードを取り出して実行します。中央演算処理装置は、命令コードを必要とするサイクルにバスインタフェース装置に命令コードを要求していることを知らせます。要求された命令コードが、まだ命令キューバッファに取り込まれていないとき、バスインタフェース装置は、要求されたバイト数以上の命令コードを命令キューバッファに取り込むまで中央演算処理装置を待機させます。

バスインタフェース装置は、中央演算処理装置から命令コードの要求がなくても命令キューバッファが空又は命令コードが1個しか取り込まれていなく、かつ次のサイクルでバスが使用できる場合、命令コードをメモリから読み出し、命令キューバッファに取り込みます。これが命令の先取りです。

メモリから命令コードを読み出す場合、基本的には読み出すためにアクセスした番地が偶数番地ならば次の奇数番地の命令コードも同時に読み出し、命令キューバッファに取り込もうとします。

ただし、メモリ拡張モード、マイクロプロセッサモードで、バス幅切り替え端子BYTEを“H”として、外部データバス幅を8ビットで使用している場合に、読み出す番地が外部メモリ領域にあるとき、又は読み出すためにアクセスした番地が奇数番地のときは、1バイトのみ読み出し、命令キューバッファに取り込みます。

次にデータの読み出し、書き込みについて説明します。中央演算処理装置は、データの読み出し、書き込みを実行しようとすると、その要求をバスインタフェース装置に知らせます。そのとき、すでにバスインタフェース装置がバスを使用していたり、優先度の高い要求がある場合は、バスインタフェース装置は、中央演算処理装置を待機させます。データの読み出し、書き込みにバスの使用が許可されると、バスインタフェース装置はデータの読み出し、書き込みを実行します。

データの読み出しの場合は、データバッファにデータが揃うまで中央演算処理装置は待機します。バスインタフェース装置は中央演算処理装置から送られてきた番地をアドレスバスに送り出します。そして、$\overline{E}$信号が“L”のときにそのメモリの内容を読み出し、データバッファに取り込みます。

データの書き込みの場合は、中央演算処理装置はデータをデータバッファに書き込みます。メモリへの書き込みはバスインタフェース装置が行います。そのため、中央演算処理装置は書き込みの完了を待つことなく、次のステップへ進みます。バスインタフェース装置は中央演算処理装置から送られてきた番地をアドレスバスに送り出します。そして、$\overline{E}$信号が“L”のとき、データバッファ内のデータをデータバスに送り出し、メモリに書き込みます。

バスサイクル

図6、図7に示すバスサイクルの選択が可能です。中央演算処理装置(CPU)の走行速度について、低速走行(クロックφ1≦12.5MHz)か高速走行(クロックφ1≦20MHz)かの選択は、プロセッサモードレジスタ1(図9)のビット3で行ないます。また、外部メモリアクセス時のバスサイクルの選択は、プロセッサモードレジスタ1のビット4、ビット5で、内部メモリアクセス時のバスサイクルは、プロセッサモードレジスタ0(図14)のビット2でそれぞれ行います。

図8に高速走行3φアクセス時、外部に出力される信号を示します。BHE信号は奇数番地をアクセスするとき“L”になる信号です。偶数番地からの1バイト読み出し、奇数番地からの1バイト読み出し、偶数番地と奇数番地からの2バイト同時読み出し、又は偶数番地への1バイト書き込み、奇数番地への1バイト書き込み、偶数番地と奇数番地への2バイト同時書き込みの区別は、表1のようにA0信号と$\overline{BHE}$信号で示されます。A0信号はアドレスのビット0で偶数番地をアクセスするとき“L”になります。

表1．A0信号と$\overline{BHE}$信号

信号名 ＼ アクセス方法	2バイト同時アクセス	偶数番地を1バイトアクセス	奇数番地を1バイトアクセス
A0	“L”	“L”	“H”
$\overline{BHE}$	“L”	“H”	“L”

EOL announced Product

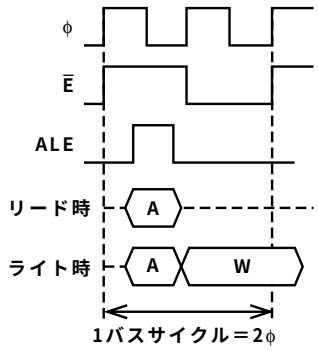
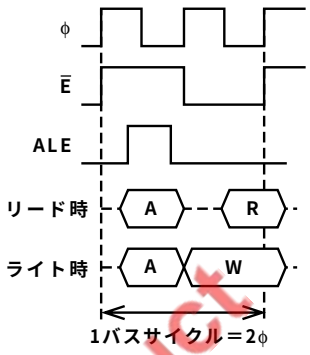
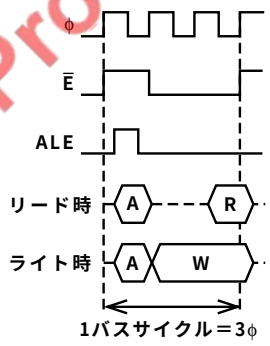
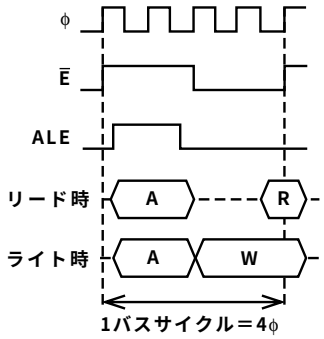
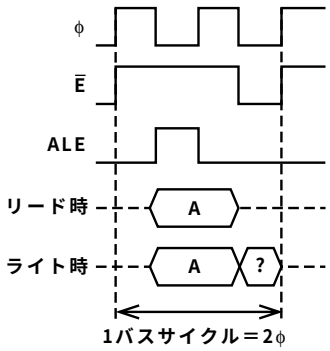
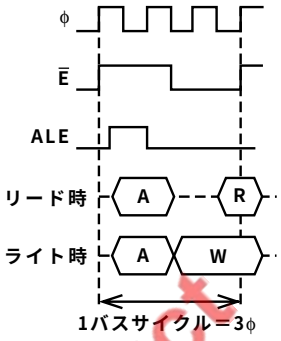
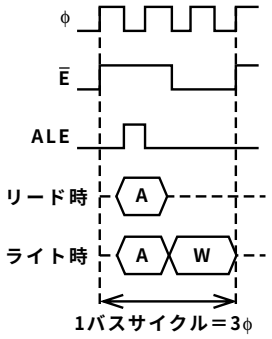
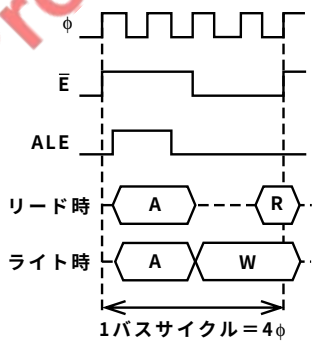
<table>
<tr><th colspan="2">低速走行(φ1≦12.5MHz)</th></tr>
<tr><th>内部メモリアクセス</th><th>外部メモリアクセス</th></tr>
<tr><td>2φアクセス
 
</td><td>2φアクセス
 
</td></tr>
<tr><td rowspan="2">※A ：アドレス
R ：リードデータ
W：ライトデータ</td><td>3φアクセス
 
</td></tr>
<tr><td>4φアクセス
 
</td></tr>
</table>

図6．バスサイクルの選択(低速走行時)

EOL announced Product

<table>
<tr><th colspan="2">高速走行(φ1≦20MHz)</th></tr>
<tr><th>内部メモリアクセス</th><th>外部メモリアクセス</th></tr>
<tr><td>2φアクセス(注)
 
</td><td>3φアクセス
 
</td></tr>
<tr><td>3φアクセス(注)
 
</td><td>4φアクセス
 
</td></tr>
<tr><td>注．内部メモリアクセスバスサイクル選択ビット(プロセッサモードレジスタ0のビット2；図14)を参照。

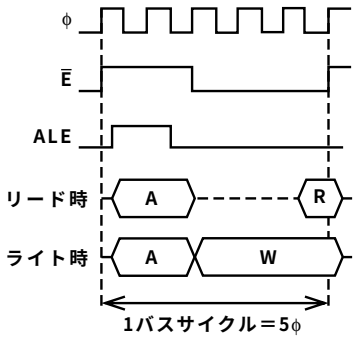
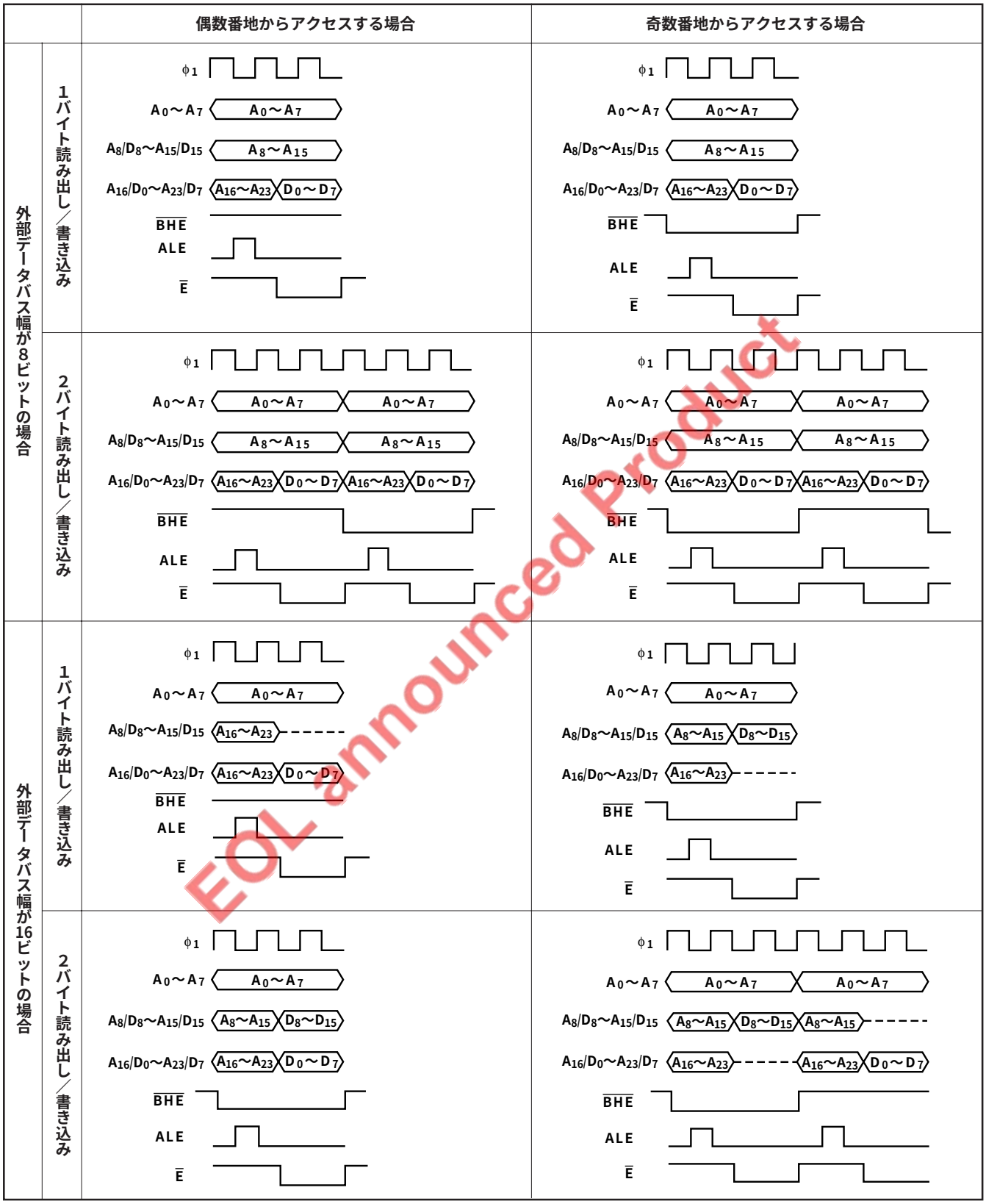
※A ：アドレス
R ：リードデータ
W：ライトデータ
？：不定</td><td>5φアクセス
 
</td></tr>
</table>

図7．バスサイクルの選択(高速走行時)

EOL announced Product



EOL announced Product

図8．高速走行3φアクセス時，外部に出力される信号

※　読み出し時はHi-Z，書き込み時は不定データを出力。

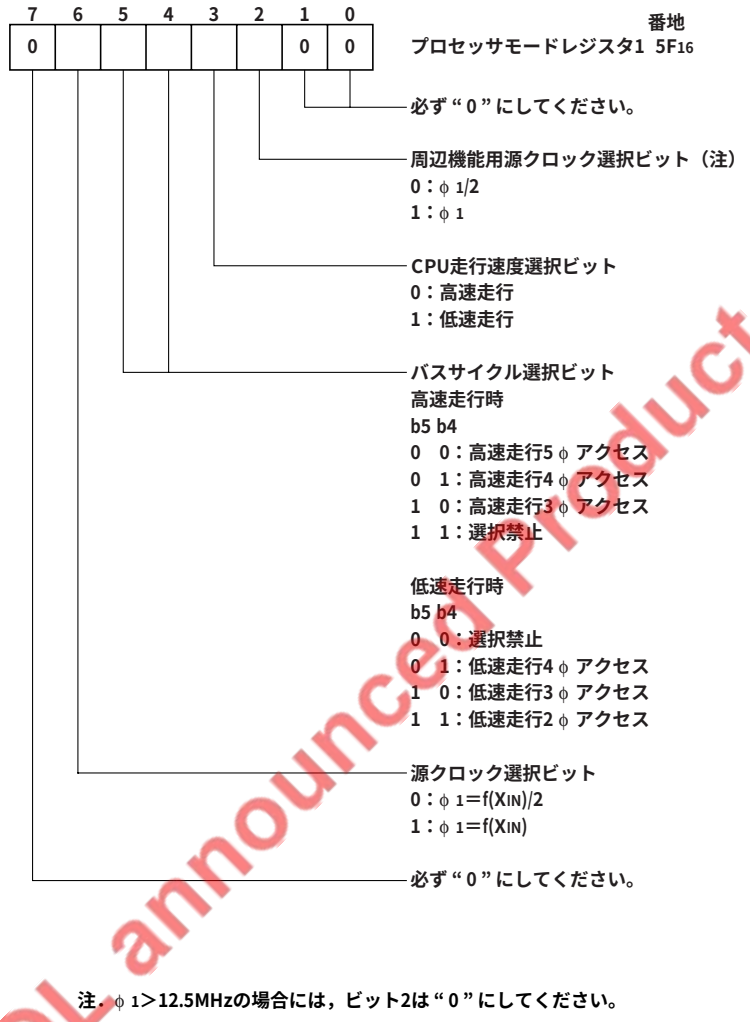


図9．プロセッサモードレジスタ1のビット構成

EOL announced Product

割り込み

割り込み要因とベクトル番地を表2に示します。リセットも割り込みの一種として、この項で説明します。

$\overline{DBC}$はデバック時に使用する割り込みです。

リセット、$\overline{DBC}$、監視タイマ、零で割った場合及びBRK命令による割り込み以外の割り込みは、各割り込み制御レジスタを持っています。表3に割り込み制御レジスタの番地、図10に割り込み制御レジスタのビット構成を示します。

割り込み要求ビットはリセット時あるいは、それぞれの割り込み要求が受け付けられ、割り込み処理に入るときにハードウエアで自動的にクリアされます。また、$\overline{DBC}$、監視タイマ以外の割り込み要求ビットは、ソフトウエアでクリアできます。

$\overline{INT4}$～$\overline{INT0}$は外部入力による割り込みで、入力のレベルで割り込みをかけるのか(レベルセンス)、エッジで割り込みをかけるのか(エッジセンス)を、レベルセンス/エッジセンス切り替えビットで選択できます。さらに、割り込みのかかる極性を極性切り替えビットで選択できます。

$\overline{INT3}$外部割り込みは、$\overline{INT3}$の割り込み制御レジスタのビット7，6により、$\overline{INT3}$入力とするのか、$\overline{KI3}$～$\overline{KI0}$入力とするのか、又は$\overline{KI4}$～$\overline{KI0}$入力とするのかを選択できます。

表2．割り込み要因とそのベクトル番地

割り込み要因	ベクトル番地	
$\overline{INT4}$外部割り込み	00FFD2$_{16}$	00FFD3$_{16}$
$\overline{INT3}$外部割り込み	00FFD4$_{16}$	00FFD5$_{16}$
A-D変換	00FFD6$_{16}$	00FFD7$_{16}$
UART1送信	00FFD8$_{16}$	00FFD9$_{16}$
UART1受信	00FFDA$_{16}$	00FFDB$_{16}$
UART0送信	00FFDC$_{16}$	00FFDD$_{16}$
UART0受信	00FFDE$_{16}$	00FFDF$_{16}$
タイマB2	00FFE0$_{16}$	00FFE1$_{16}$
タイマB1	00FFE2$_{16}$	00FFE3$_{16}$
タイマB0	00FFE4$_{16}$	00FFE5$_{16}$
タイマA4	00FFE6$_{16}$	00FFE7$_{16}$
タイマA3	00FFE8$_{16}$	00FFE9$_{16}$
タイマA2	00FFEA$_{16}$	00FFEB$_{16}$
タイマA1	00FFEC$_{16}$	00FFED$_{16}$
タイマA0	00FFEE$_{16}$	00FFEF$_{16}$
$\overline{INT2}$外部割り込み	00FFF0$_{16}$	00FFF1$_{16}$
$\overline{INT1}$外部割り込み	00FFF2$_{16}$	00FFF3$_{16}$
$\overline{INT0}$外部割り込み	00FFF4$_{16}$	00FFF5$_{16}$
監視タイマ	00FFF6$_{16}$	00FFF7$_{16}$
$\overline{DBC}$(使用禁止)	00FFF8$_{16}$	00FFF9$_{16}$
BRK命令	00FFFA$_{16}$	00FFFB$_{16}$
零で割った場合	00FFFC$_{16}$	00FFFD$_{16}$
リセット	00FFFE$_{16}$	00FFFF$_{16}$

EOL announced Product

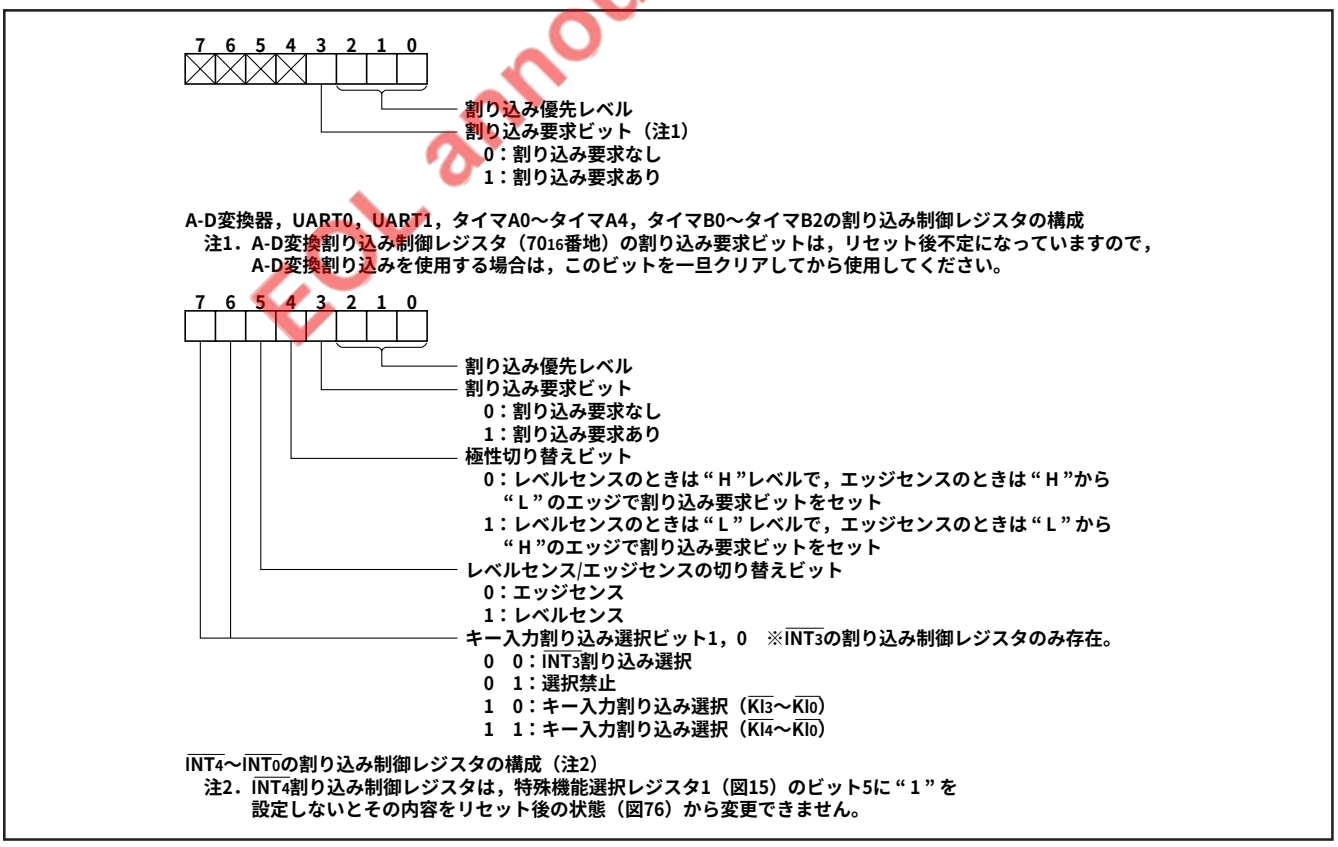


図10．割り込み制御レジスタの構成

表3．割り込み制御レジスタの番地

割り込み制御レジスタ	番地
$\overline{INT_4}$割り込み制御レジスタ	00006E16
$\overline{INT_3}$割り込み制御レジスタ	00006F16
A-D変換割り込み制御レジスタ	00007016
UART0送信割り込み制御レジスタ	00007116
UART0受信割り込み制御レジスタ	00007216
UART1送信割り込み制御レジスタ	00007316
UART1受信割り込み制御レジスタ	00007416
タイマA0割り込み制御レジスタ	00007516
タイマA1割り込み制御レジスタ	00007616
タイマA2割り込み制御レジスタ	00007716
タイマA3割り込み制御レジスタ	00007816
タイマA4割り込み制御レジスタ	00007916
タイマB0割り込み制御レジスタ	00007A16
タイマB1割り込み制御レジスタ	00007B16
タイマB2割り込み制御レジスタ	00007C16
$\overline{INT_0}$割り込み制御レジスタ	00007D16
$\overline{INT_1}$割り込み制御レジスタ	00007E16
$\overline{INT_2}$割り込み制御レジスタ	00007F16

タイマ、UARTなどの各割り込みについては、それぞれの項で説明します。

同一サンプリング時点で複数の割り込み要求があった場合、どの割り込みが優先されるかは図11に示すように一部はハードウエアで決まっており、一部はソフトウエアで任意に設定できます。ハードウエアでは、リセット＞$\overline{DBC}$＞監視タイマ＞その他の割り込みの順で優先レベルが決まっています。

BRK命令による割り込みあるいは除数を零として除算したための割り込みは、ソフトウエア割り込みですので、この優先順位には関係しません。

その他の割り込みとは、A-D変換器、UARTなどの割り込みで、各割り込み制御レジスタの割り込み優先レベルをソフトウエアで変更することにより、優先レベルを変更できます。

割り込み優先レベル判定回路を図12に示します。割り込みを要求している割り込みは、上側からきた優先レベルと自分の優先レベルを比較し、自分の優先レベルが高いとき、自分の優先レベルを下側へ送り出し割り込みを要求します。優先レベルが同じときは上側が優先します。

このようにして比較を続けることにより、割り込みを要求している割り込み要因のうち、優先レベルの一番高いものが選ばれることになります。最後に、プロセッサステータスレジスタPSのプロセッサ割り込み優先レベルIPLと比較し、IPLより優先レベルが高く、かつ、割り込み禁止フラグIが“0”のときその割り込みは受け付けられます。Iが“1”のときは割り込みは受け付けられません。なお、リセット、$\overline{DBC}$、監視タイマは割り込み禁止フラグIの影響は受けません。

割り込みを受け付けると、プロセッサステータスレジスタPSなどのレジスタの内容がスタックに退避され、割り込み禁止フラグIば“1”にセットされます。

また、受け付けられた割り込みの割り込み要求ビットは“0”にクリアされ、プロセッサステータスレジスタPSの中のプロセッサ割り込み優先レベルIPLは受け付けた割り込みの優先レベルに置き換えられます。したがって、割り込み禁止フラグIを“0”にリセットし、再び割り込み受け付け可能状態にすることにより多重割り込みが可能になります。

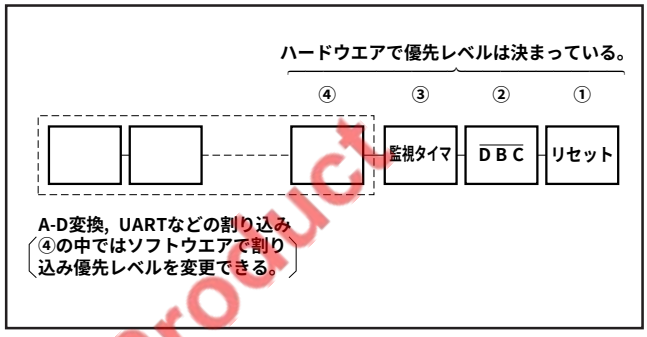


図11．割り込み優先レベル

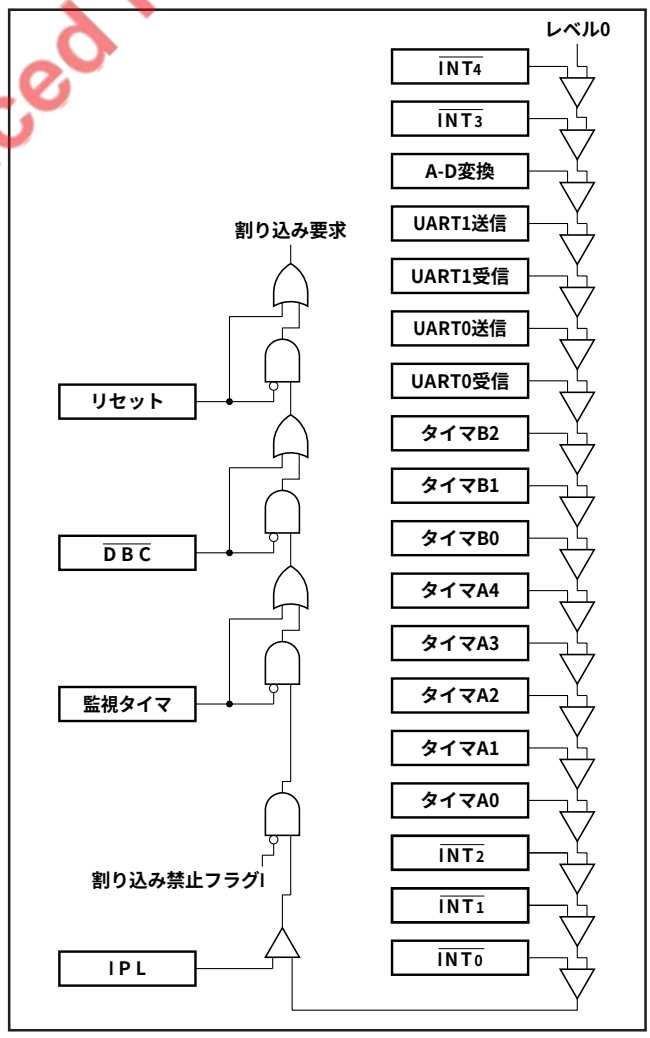


図12．割り込み優先レベル判定

EOL announced Product

なお、割り込み制御レジスタを持っていないリセット、DBC、監視タイマ、除数を零として除算を実行した場合、BRK命令による割り込みを受け付けた場合、プロセッサ割り込み優先レベルIPLは表4に示すようになります。

各割り込み要因の割り込み要求ビット及び割り込み優先レベルは、オペコードフェッチサイクルごと(オペコードフェッチサイクルのφBIUが“H”の期間)にサンプリング、ラッチされます。ただし、サンプリングパルス発生後、ソフトウエアで選択したサイクル数が経過するまでは、オペコードフェッチサイクルがきてもサンプリングパルスは発生しません。この期間には、最優先の割り込み要因の判定が行われます。

図13に示すように割り込み優先レベルの判定時間には3種類の長さがあり、ソフトウエアでいずれか一つを選択します。選択した時間が経過した後、最優先の割り込みが決定され、現在実行中の命令が終了しだい割り込み処理に入ります。

時間選択は図14に示すようにプロセッサモードレジスタ0(5E16番地)のビット4とビット5で指定します。ビットと判定に要するサイクル数の関係を表5に示します。リセット解除後プロセッサモードレジスタ0は“0016”に初期化されますので、一番長い時間が選択されますが、プログラムで一番短い時間を選択してください。

表4．割り込み時にプロセッサ割り込み優先レベルIPLにセットされる値

割り込み要因	IPLにセットされる値
リセット	0
DBC	7
監視タイマ	7
零で割ったとき	IPLの値は変化しない。
BRK命令	IPLの値は変化しない。

表5．優先順位判定時間選択ビットとサイクル数の関係

優先順位判定時間選択ビット		サイクル数
ビット5	ビット4	
0	0	φBIUで7サイクル
0	1	φBIUで4サイクル
1	0	φBIUで2サイクル

EOL announced Product

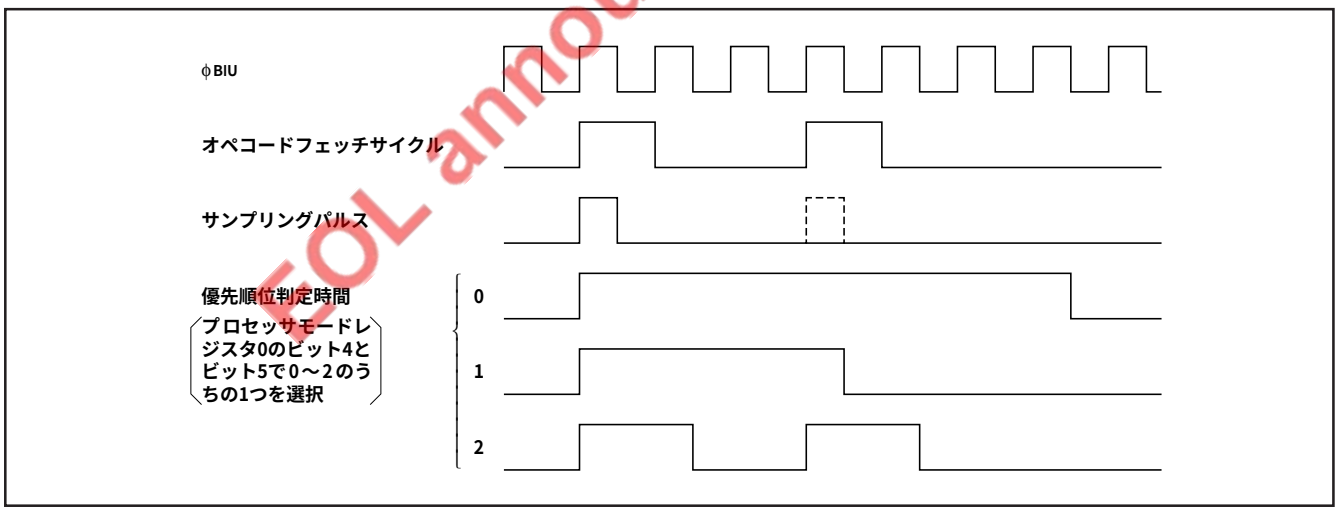


図13．優先順位判定時間

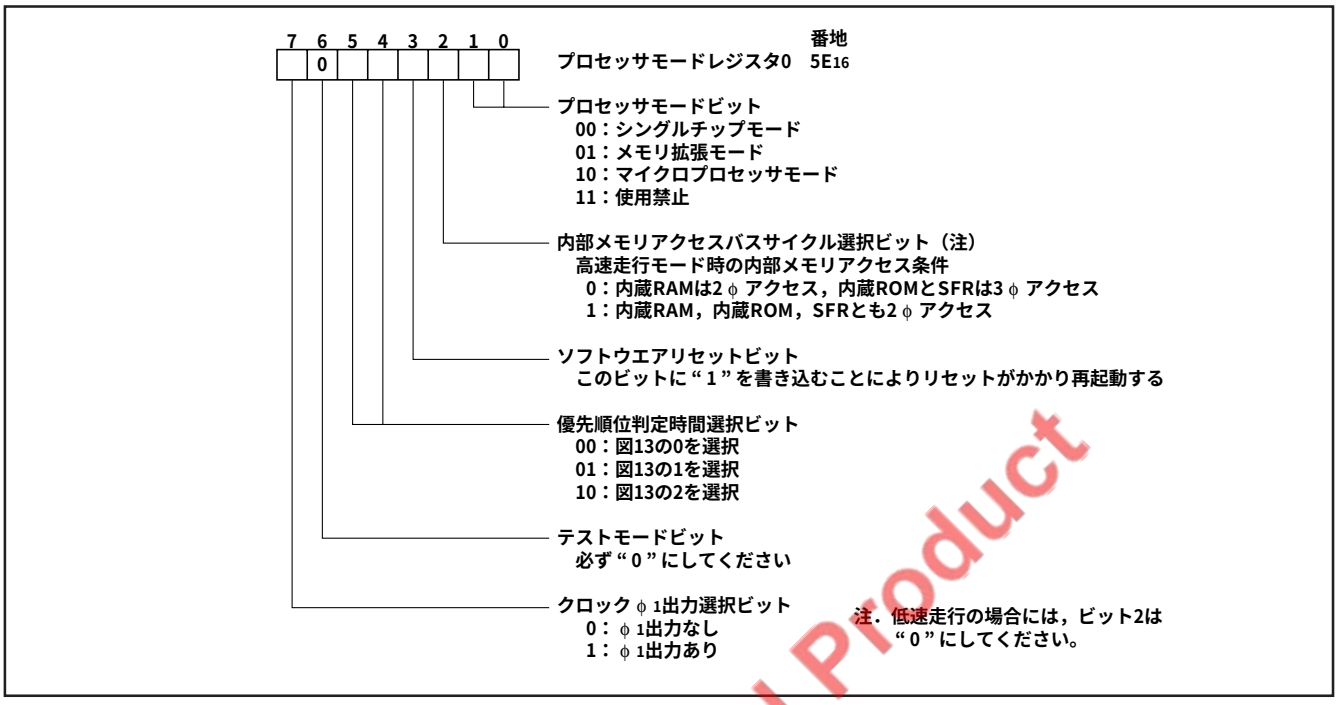
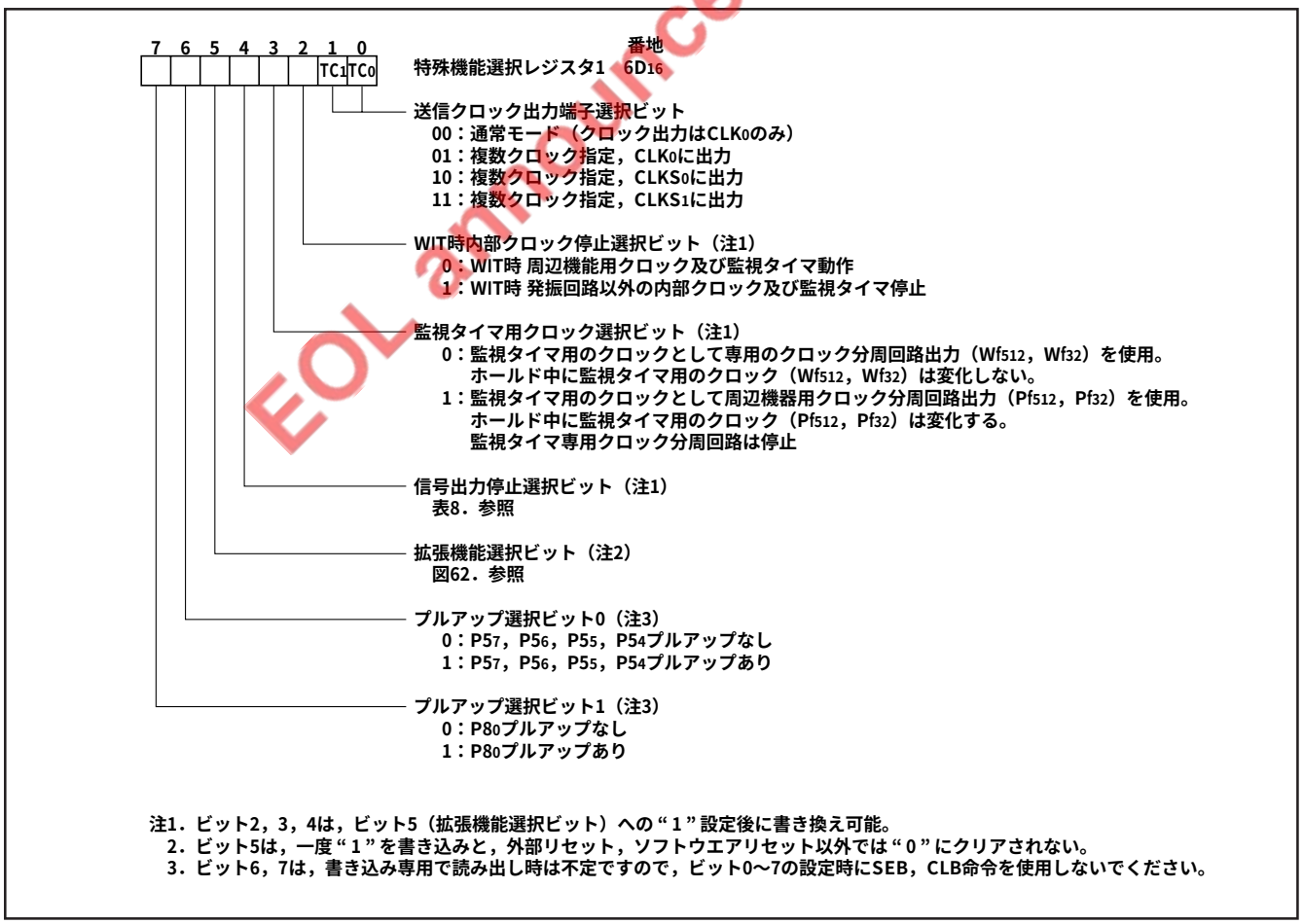


図14．プロセッサモードレジスタ0のビット構成



注1．ビット2，3，4は，ビット5（拡張機能選択ビット）への“1”設定後に書き換え可能。
2．ビット5は，一度“1”を書き込みと，外部リセット，ソフトウエアリセット以外では“0”にクリアされない。
3．ビット6，7は，書き込み専用で読み出し時は不定ですので，ビット0～7の設定時にSEB，CLB命令を使用しないでください。

図15．特殊機能選択レジスタ1のビット構成

EOL announced Product

$\overline{INT_3}$割り込み機能は、$\overline{INT_3}$の割り込み制御レジスタのビット7、及びビット6を設定することにより、$\overline{KI_3}$～$\overline{KI_0}$、又は$\overline{KI_4}$～$\overline{KI_0}$入力を用いて、キー入力割り込みとして機能させることができます。図10に割り込み制御レジスタのビット構成、図15に特殊機能選択レジスタ1のビット構成、図16に$\overline{INT_3}$/キー入力割り込み入力回路のブロック図を示します。

$\overline{INT_3}$割り込み制御レジスタのビット7が“0”、ビット6が“0”の場合は、$\overline{INT_3}$の割り込み制御回路には、$\overline{INT_3}$からの入力が接続され、通常の$\overline{INT_3}$外部割り込みとして機能します。ビット7が“1”、ビット6が“0”の場合は、$\overline{INT_3}$の割り込み制御回路には、$\overline{KI_3}$～$\overline{KI_0}$端子(ポートP57～P54に対応)の負論理の論理和が接続され、$\overline{KI_3}$～$\overline{KI_0}$を入力とする外部割り込みとして機能します。

ビット7が“1”、ビット6が“1”の場合は、$\overline{INT_3}$の割り込み制御回路には、$\overline{KI_4}$(ポートP80に対応)と$\overline{KI_3}$～$\overline{KI_0}$端子(ポートP57～P54に対応)の負論理の論理和が接続され、$\overline{KI_4}$～$\overline{KI_0}$を入力とする外部割り込みとして機能します。

これらキー入力割り込みを使用する場合は、$\overline{INT_3}$の割り込み制御レジスタで、“H”から“L”のエッジを用いるエッジセンスを指定して、$\overline{KI_3}$～$\overline{KI_0}$、又は$\overline{KI_4}$～$\overline{KI_0}$のいずれかに“L”を入力すると割り込みを発生するようにしてください。

割り込みベクトルは$\overline{INT_3}$と共用です。

また、$\overline{KI_4}$～$\overline{KI_0}$端子には、特殊機能選択レジスタのビット7、ビット6の内容と、各端子に対応したポートの方向レジスタの内容を“0”にすることにより、プルアップ抵抗(トランジスタ)を付加できます。

EOL announced Product

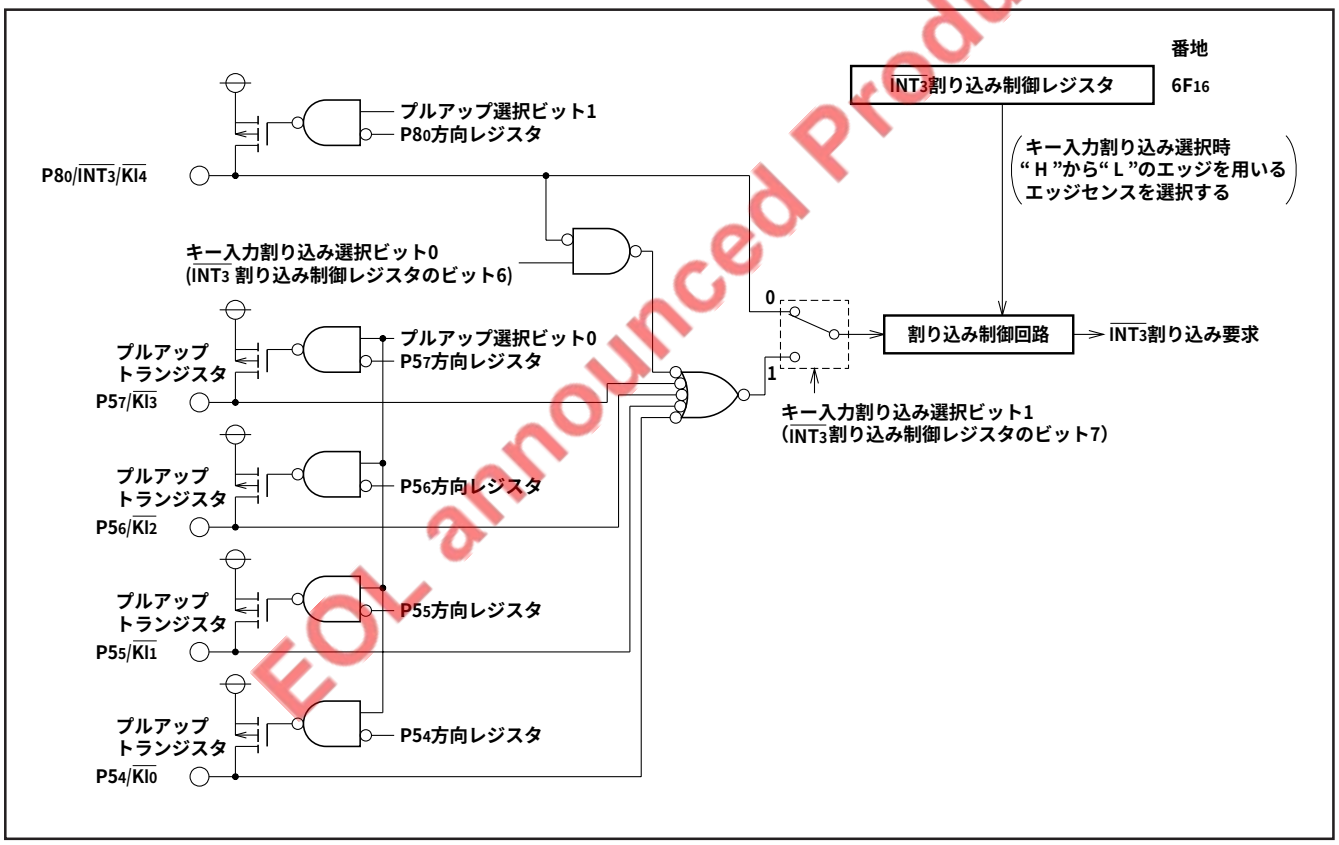


図16．$\overline{INT_3}$/キー入力割り込み入力回路ブロック図

タイマ

タイマは16ビットタイマで8本内蔵されています。タイマはその機能からタイマA(5本)とタイマB(3本)の2種類のタイマに分けられます。

タイマの入出力端子はポートP5、ポートP6の入出力端子と共用しています。タイマの入力端子として使用する場合は、その端子に対応する方向レジスタのビットを“0”に設定し、入力モードにしてご使用ください。

タイマA

図17にタイマAのブロック図を示します。

タイマAではタイマモード、イベントカウンタモード、ワンショットパルスモード、パルス幅変調モードの4種類のモードが選択できます。モードはタイマAiモードレジスタ(i=0～4)のビット0とビット1の内容で選択します。次に、各モードについて説明します。

(1) タイマモード[00]

図18にタイマモード時のタイマAiモードレジスタのビット構成を示します。タイマモードでは、タイマAiモードレジスタのビット0、ビット1を“0”にしてください。ビット3、ビット4、ビット5でゲート機能を選択します。ゲート機能を選択しないときは、ビット4、ビット5を“0”にしてください。ビット4の内容が“0”の場合はビット3は無効になります。

ビット6、ビット7でタイマのカウントソースを選択します。カウント開始フラグの内容が“1”のとき、選択されたクロックをカウントし、“0”のときはカウントを停止します。

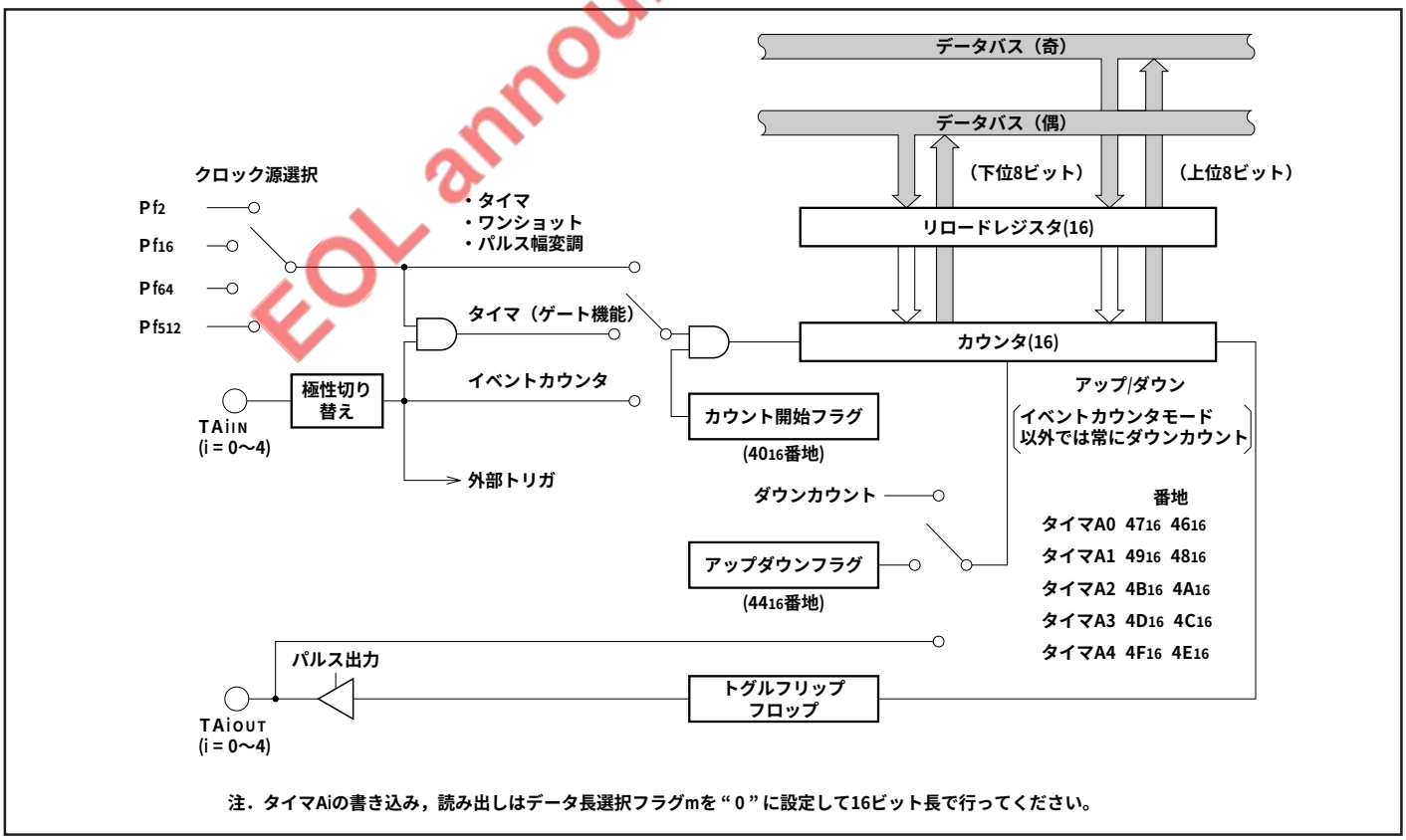
カウント開始フラグのビット構成を図19に示します。カウントはダウンカウントで、カウンタの内容が0000$_{16}$になると割り込み要求信号を発生し、タイマAi割り込み制御レジスタの割り込み要求ビットがセットされます。同時に、リロードレジスタの内容をカウンタに入れて、カウントを続けます。

タイマAiが停止中にタイマAiレジスタにデータを書き込むと、リロードレジスタとカウンタにそのデータが書き込まれます。

タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときにリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容は任意のタイミングで読み出すことができます。

タイマAiレジスタに設定した値をnとすると、タイマの分周比は1/(n+1)です。

EOL announced Product



注．タイマAiの書き込み，読み出しはデータ長選択フラグmを“0”に設定して16ビット長で行ってください。

図17．タイマAのブロック図

パルス出力機能

タイマAiモードレジスタのビット2の内容が“1”のときは、カウンタの内容が0000$_{16}$になるたびに、極性の反転する波形をTAi$_{OUT}$端子から出力します。カウント開始フラグの内容が“0”のときはTAi$_{OUT}$端子には“L”が出力されます。

ビット2の内容が“0”のときはTAi$_{OUT}$は通常のポート端子として使用できます。

ビット4の内容が“0”のときは、TAi$_{IN}$は通常のポート端子として使用できます。

ゲート機能

ビット4の内容が“1”のときは、図20に示すように、TAi$_{IN}$端子からの入力信号が“H”の期間又は“L”の期間のみカウントしますので、TAi$_{IN}$の入力信号のパルス幅を測定することが可能です。“H”の期間にカウントするのか、“L”の期間にカウントするのかは、ビット3の内容により決まります。ビット3の内容が、“1”のときはTAi$_{IN}$端子の入力信号が“H”の期間にカウントし、“0”のときはTAi$_{IN}$端子の入力信号が“L”の期間にカウントします。

この時、ビット5の内容が“0”の場合は、図21に示すように、カウントを再開する際、その時のカウント値よりカウント開始し（ゲート機能0〔リロードなし〕）、カウントソースでn＋1サイクルカウント後にオーバフローが発生します。

また、ビット5の内容が“1”の場合は、図22に示すように、カウントを再開する際、リロード動作を行ないそのリロード値よりカウント開始し（ゲート機能1〔リロードあり〕）、カウントソースのn＋2サイクル後に最初のオーバフローが発生します。その後、TAi$_{IN}$端子の入力信号が連続して有効なレベルにある期間は、n＋1サイクルごとにオーバフローが発生します。なお、nは1以上の値を設定してください。

これらのゲート機能を使用する場合には、カウントする期間のパルス幅、又はカウントを停止する期間のパルス幅はタイマのカウントソースの2サイクル分以上にしてください。

EOL announced Product

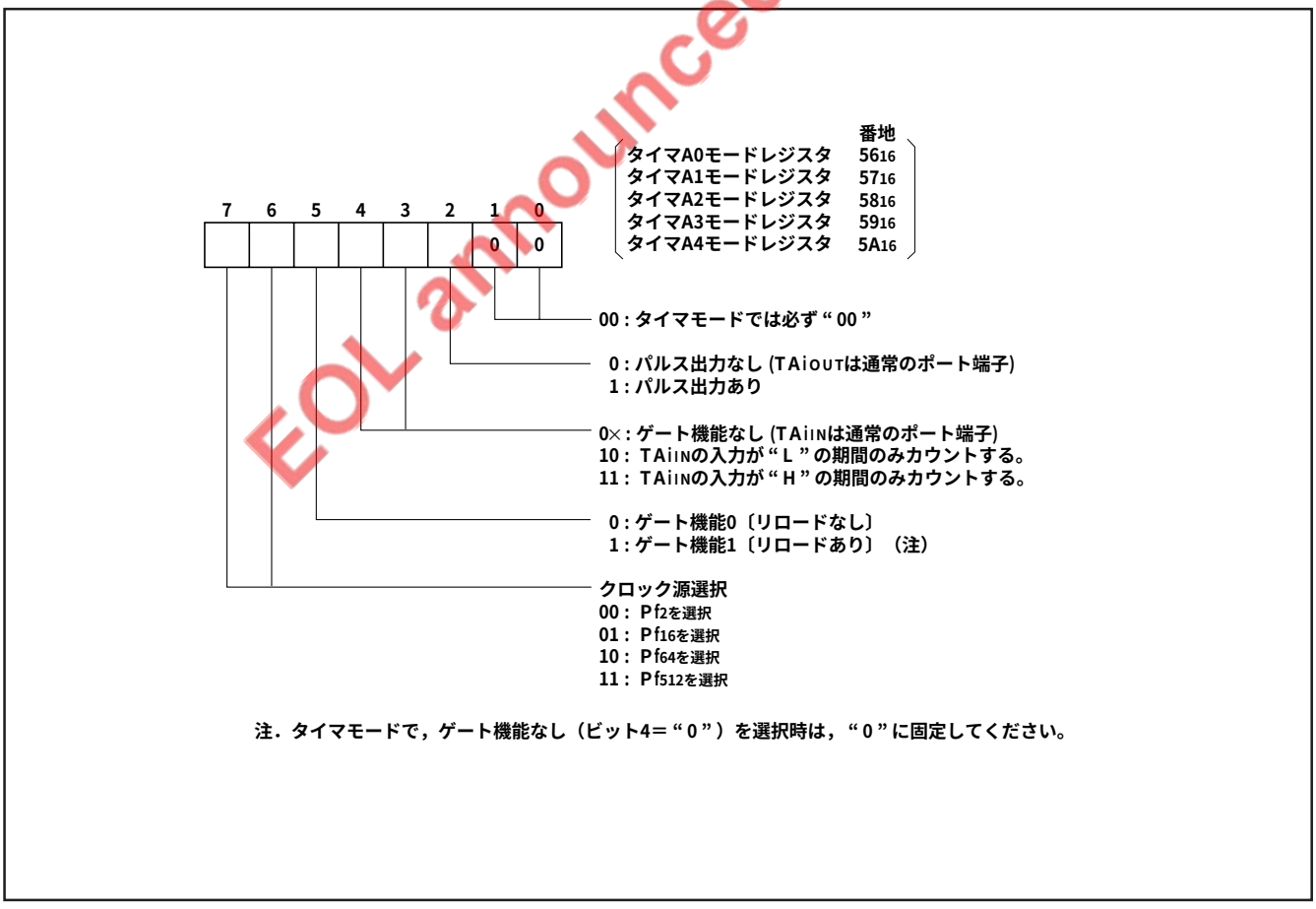


図18．タイマモード時のタイマAiモードレジスタのビット構成

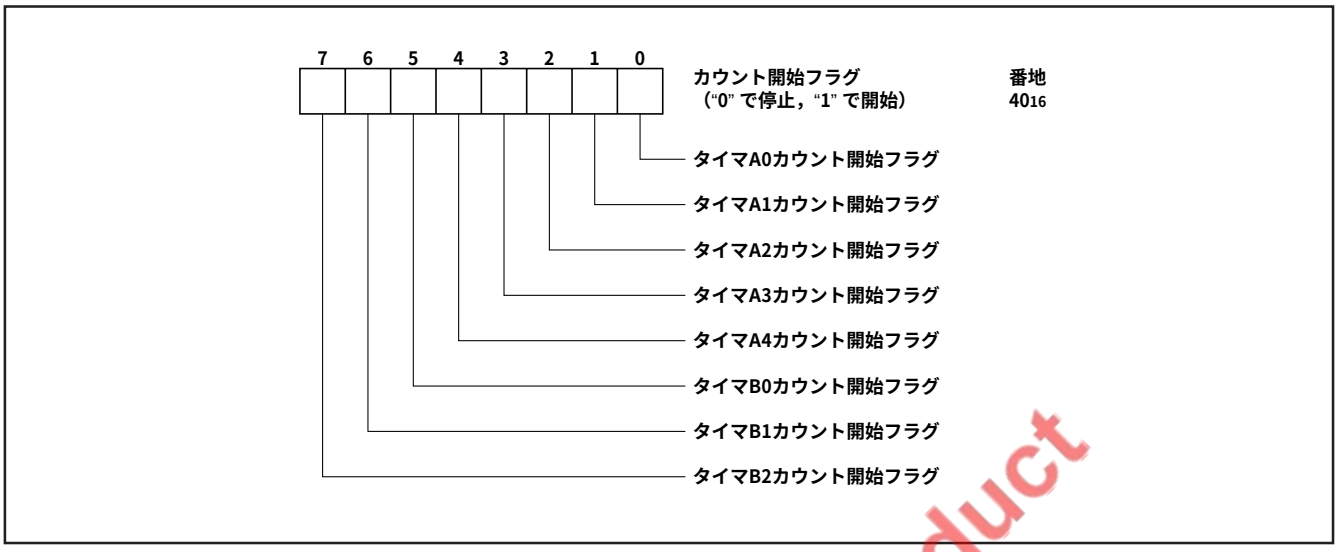


図19．カウント開始フラグのビット構成

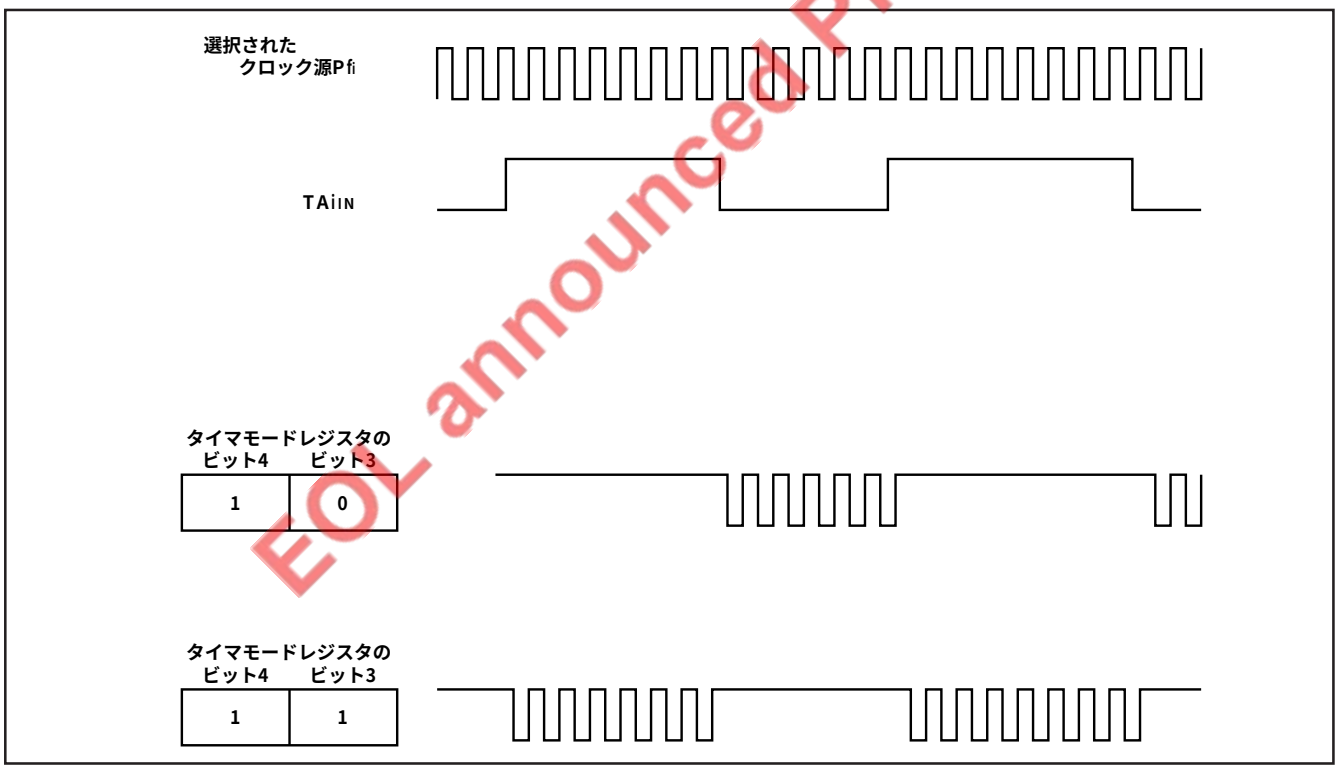


図20．ゲート機能有りの場合のカウント波形

EOL announced Product

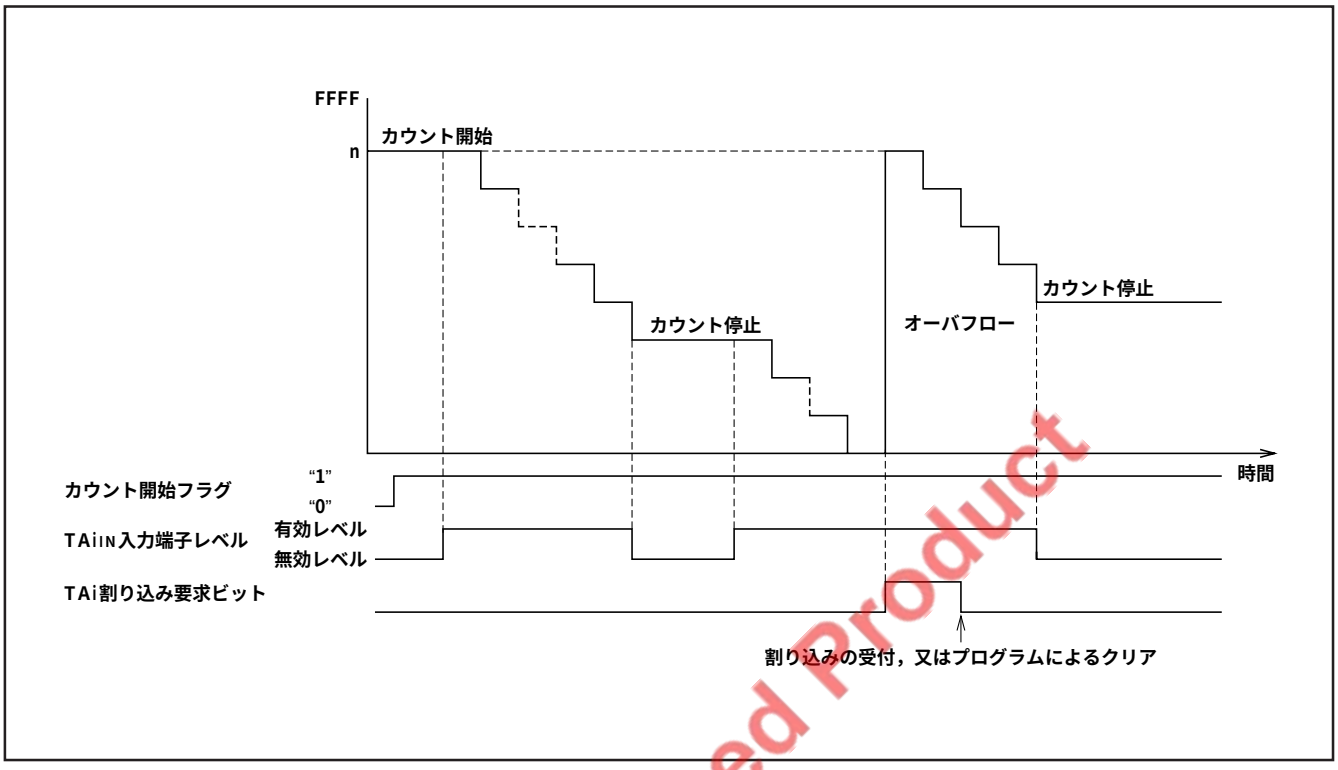


図21．ゲート機能0〔リロードなし〕選択時のタイマ動作例

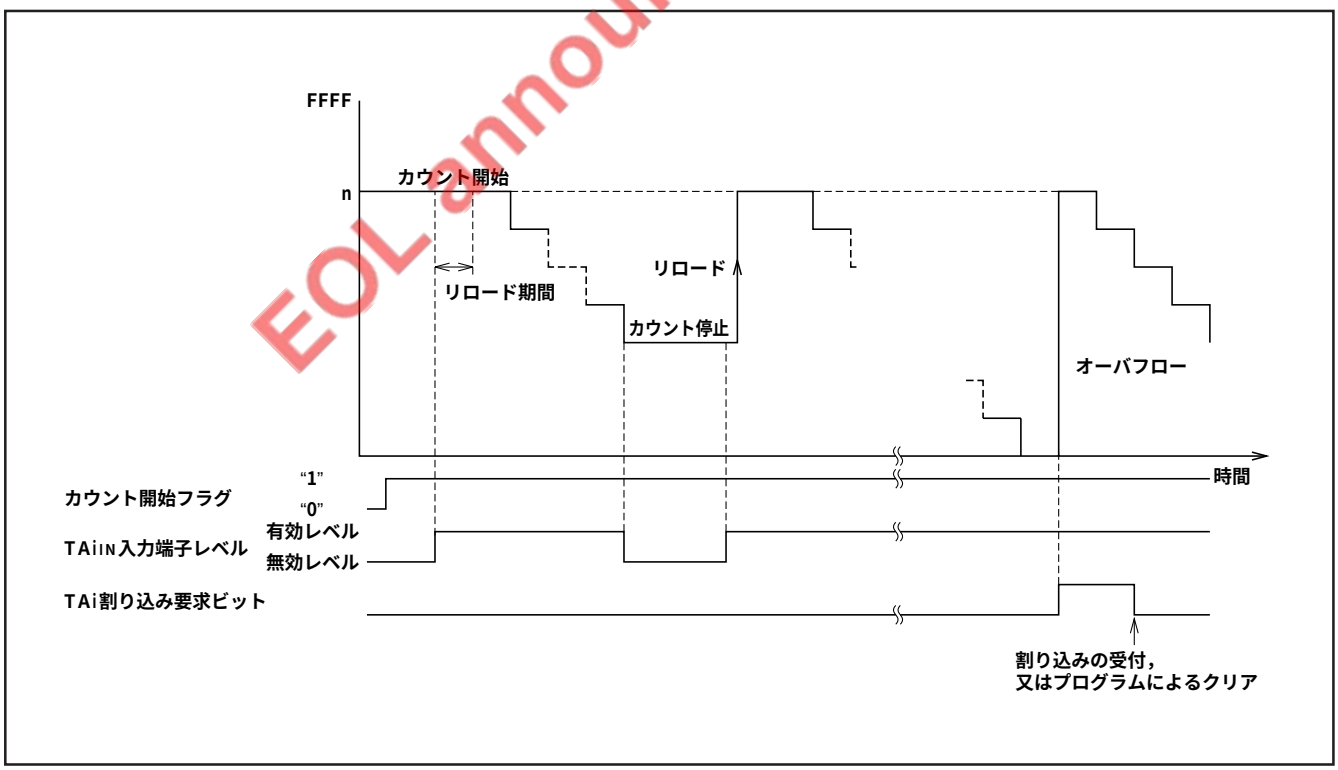


図22．ゲート機能1〔リロードあり〕選択時のタイマ動作例

EOL announced Product

EOL announced Product

(2) イベントカウンタモード[01]

図23にイベントカウンタモード時のタイマAiモードレジスタのビット構成を示します。イベントカウンタモードでは、タイマAiモードレジスタのビット0は“1”に、ビット1とビット5は“0”にします。

図19に示すカウント開始フラグの内容が“1”のときTAiIN端子からの入力信号をカウントし、“0”のときカウントを停止します。

ビット3の内容が“0”のときは入力信号の立ち下がりでカウントし、“1”のときは立ち上がりでカウントします。イベントカウンタモードでは、アップカウントかダウンカウントかをアップダウンフラグの内容かTAiOUT端子の入力信号かで選択できます。

タイマAiモードレジスタのビット4の内容が“0”のときはアップダウンフラグの内容によって、アップカウントかダウンカウントかが決まります(アップダウンフラグの内容が“0”のときはダウンカウント、“1”のときはアップカウントになります)。図24にアップダウンフラグのビット構成を示します。

タイマAiモードレジスタのビット4の内容が“1”のときはTAiOUT端子の入力信号によって、アップカウントかダウンカウントかを選択します。ただし、ビット2の内容が“1”である場合、TAiOUT端子は出力端子となり、パルスが出力されるので、ビット4の内容が“1”の場合は、ビット2は“0”にしてください。

TAiOUT端子の入力信号が“L”のときダウンカウント、“H”のときアップカウントになります。TAiOUT端子の入力信号のレベルは、TAiIN端子に入力される有効エッジが入力される前に確定させてください。

ダウンカウントのときはカウンタの内容が0000$_{16}$に、またアップカウントのときは、カウンタの内容がFFFF$_{16}$になると、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。同時に、リロードレジスタの内容をカウンタに入れてカウントを続けます。

ビット2の内容が“1”のときは、カウンタの内容が0000$_{16}$(ダウンカウント時)又はFFFF$_{16}$(アップカウント時)になるたびに、極性の反転する波形をTAiOUT端子から出力します。

ビット2の内容が“0”のときはTAiOUT端子は通常のポート端子として使用できます。ただし、ビット4の内容を“1”にしておくと、TAiOUT端子を出力端子として使用する場合、その端子からの出力でカウンタのアップ、ダウンが変わりますので、TAiOUT端子からの出力でカウンタのアップ、ダウンを選択しない場合は、ビット4の内容を“0”にしておいてください。

データの書き込み、読み出しはタイマモードと同じで、タイマAiが停止中にタイマAiにデータを書き込むと、リロード

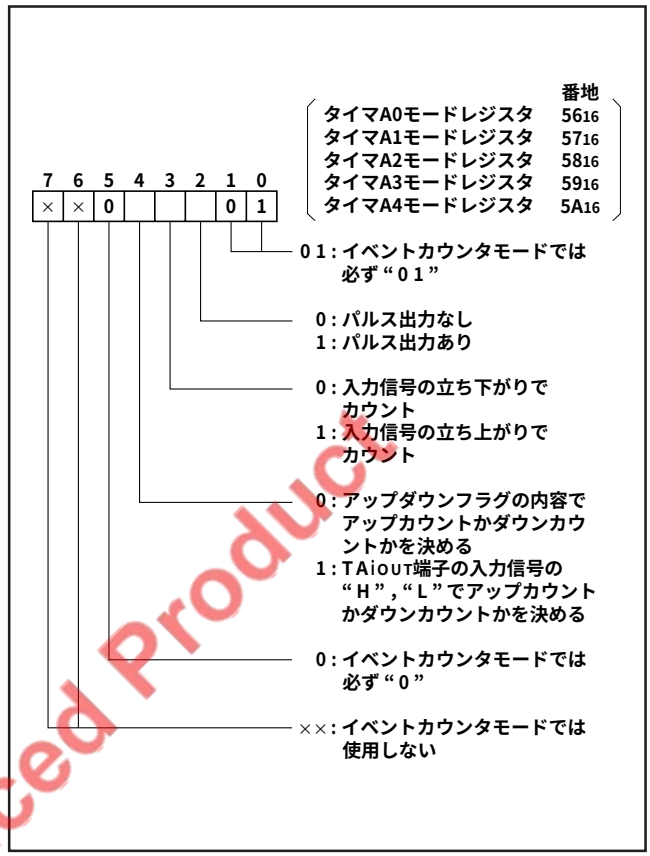


図23．イベントカウンタモード時のタイマAiモードレジスタのビット構成

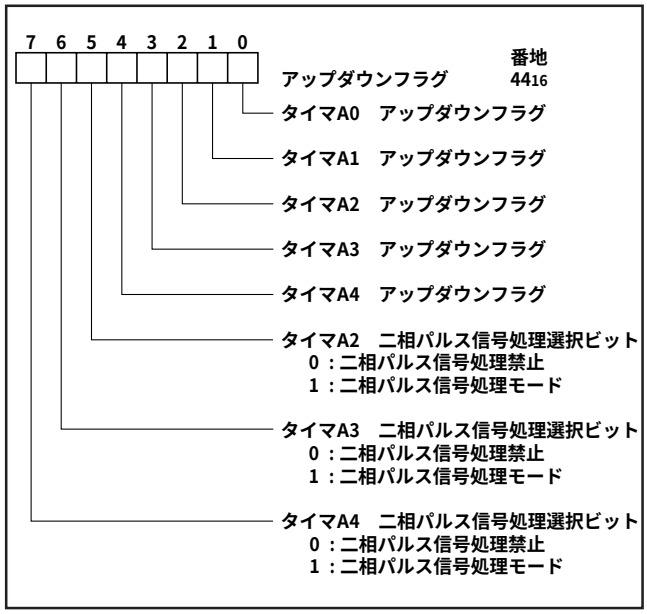


図24．アップダウンフラグのビット構成

レジスタとカウンタに書き込まれます。タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときにリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容は、任意のタイミングで読み出すことができます。

二相パルス処理

イベントカウンタモードの場合、タイマA2、タイマA3、タイマA4に対しては位相が90 °ずれた二相パルスを入力することで、カウンタのアップダウンを制御することもできます。二相パルス処理の動作にはタイマA2及びタイマA3を使用した処理動作と、タイマA4を使用した処理動作の2種類があります。どちらの処理動作においても二相パルスの入力方法は同じで、TAjOUT(j＝2～4)端子及びTAjIN端子にお互いに90 °位相のずれたパルスを入力します。

タイマA2及びタイマA3を使用した場合、図25に示すようにTAkOUT(k＝2，3)端子のレベルが“ L ”から“ H ”に立ち上がった後、TAkIN端子に立ち上がりエッジが入力されるとアップカウントし、立ち下がりエッジが入力されるとダウンカウントを行います。

タイマA4の場合、図26に示すようにTA4OUT端子のレベルが“ L ”から“ H ”に立ち上がった後、TA4IN端子に立ち上がりエッジが入力される位相関係のパルスが入力されたときは、TA4OUT端子及びTA4IN端子のそれぞれの立ち上がりエッジ、立ち下がりエッジをすべてアップカウントします。

また、TA4IN端子のレベルが“ H ”から“ L ”に立ち下がった後、TA4OUT端子に立ち下がりエッジが入力される位相関係のパルスが入力されたときは、TA4IN端子及びTA4OUT端子の

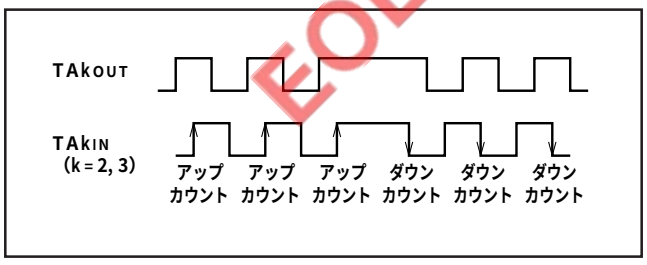


図25．タイマA2, タイマA3の二相パルス処理動作

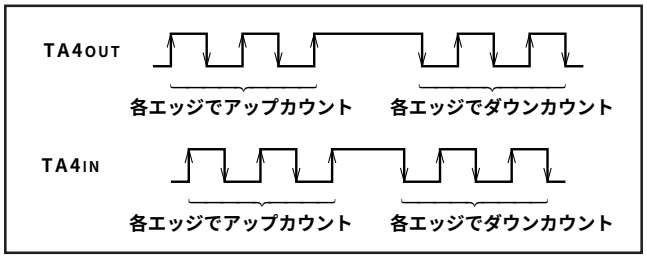


図26．タイマA4の二相パルス処理動作

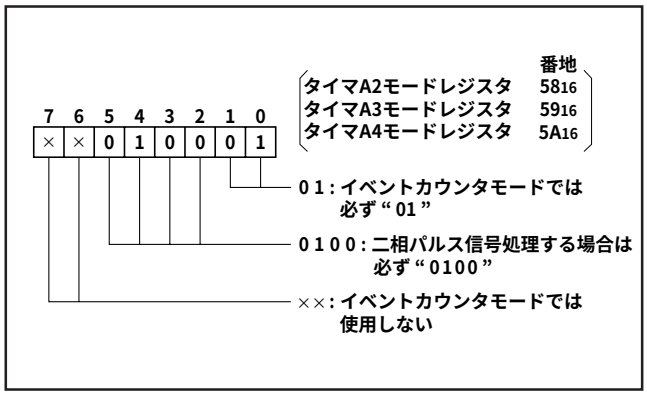


図27．イベントカウンタモード時，二相パルス信号処理させる場合のタイマAjモードレジスタのビット構成

それぞれの立ち下がりエッジ，立ち上がりエッジをすべてダウンカウントします。このような二相パルス信号処理を行う場合は、図27に示すように対応するタイマのタイマAjモードレジスタのビット0とビット4は“ 1 ”に、ビット1、ビット2、ビット3、ビット5は“ 0 ”にしてください。ビット6とビット7は無効になります。また、アップダウンフラグレジスタ(4416番地)のビット5、ビット6、ビット7がそれぞれタイマA2、タイマA3、タイマA4の二相パルス信号処理選択ビットであり、“ 0 ”のときは通常のイベントカウンタモードの動作となり、“ 1 ”にセットすることで対応したタイマが二相パルス信号処理を行います。

カウントは、カウント開始フラグの内容を“ 1 ”にすることで開始されます。データの書き込み、読み出しは、通常のイベントカウンタモードと同じです。なお、二相パルス信号を入力しますので、入力するポートの方向レジスタは入力モードにしてください。また、この場合はパルス出力はできません。

(3) ワンショットパルスモード[10]

図28にワンショットパルスモード時のタイマAiモードレジスタのビット構成を示します。ワンショットパルスモードでは、ビット0とビット5は“ 0 ”に、ビット1とビット2は“ 1 ”にしてください。

カウント開始フラグの内容が“ 1 ”のとき、トリガ受け付け可能です。トリガはソフトウエアで発生するか、TAiIN端子から入力するか選択できます。ビット4の内容が“ 0 ”のときソフトウエアトリガ、“ 1 ”のときTAiIN端子からの入力信号がトリガになります。

トリガ信号の立ち下がりでトリガをかけるか、立ち上がりでトリガをかけるかをビット3の内容で選択します。ビット3の内容が“ 0 ”のときは立ち下がりで“ 1 ”のときは立ち上がりでトリガがかかります。

ソフトウエアトリガはワンショット開始フラグの各タイマに対応するビットに“ 1 ”を書き込むことにより発生します。

EOL announced Product

図29にワンショット開始フラグのビット構成を示します。

図30に示すように、トリガを受け付けると、カウンタはビット6とビット7の内容で選択されたクロックをカウントします。

カウンタの内容が0000_{16}でない場合は、トリガを受け付けるとTAiOUT端子は“H”になります。カウントはダウンカウントです。

カウンタの内容が0001_{16}になるとTAiOUT端子は“L”になり、カウントは停止します。カウンタには、リロードレジスタの内容が転送されて停止します。同時に、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。トリガが入ると再び同じことを繰り返します。出力されるパルス幅は

（選択したクロックのパルス周期）
× （トリガ時点のカウンタの値）

となります。

カウント開始フラグの内容が“0”のときは、TAiOUT端子には“L”が出力されます。したがって、タイマAiカウント開始フラグの内容を“1”にする前に、発生したいパルス幅に対応するカウント値をタイマAiに書き込んでください。

図31に示すように、前のトリガによる動作が完了する前でも、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が、カウンタへ転送された後、その値をカウントダウンします。動作中に再トリガする場合を除いて、トリガによってリロードレジスタの内容がカウンタへ転送されることはありません。

なお、再びトリガをかける場合、前のトリガ後、タイマのカウントソースの1サイクル分以上経過後にかけてください。

データの書き込みはタイマモードと同じで、タイマAiが停止中にタイマAiにデータを書き込むと、リロードレジスタとカウンタに書き込まれます。タイマAiが動作中にタイマAiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときにリロードレジスタから新しいデータがリロードされ、動作を続けます。

タイマを読み出すと不定の値が読み出されます。

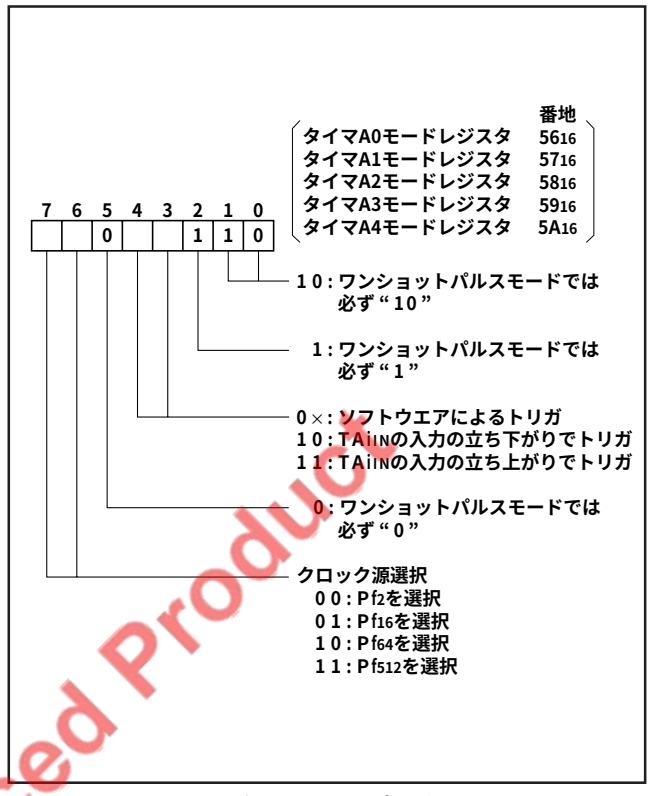


図28．ワンショットパルスモード時のタイマAiモードレジスタのビット構成

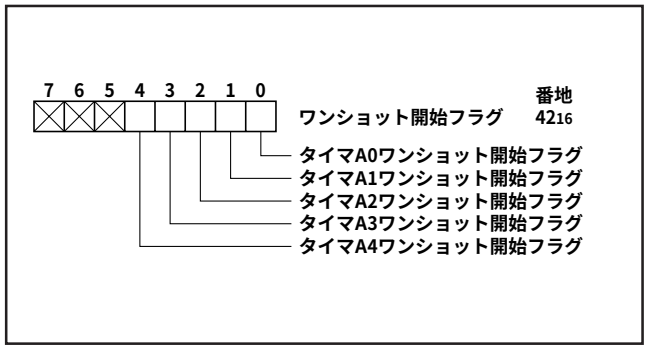


図29．ワンショット開始フラグのビット構成

EOL announced Product

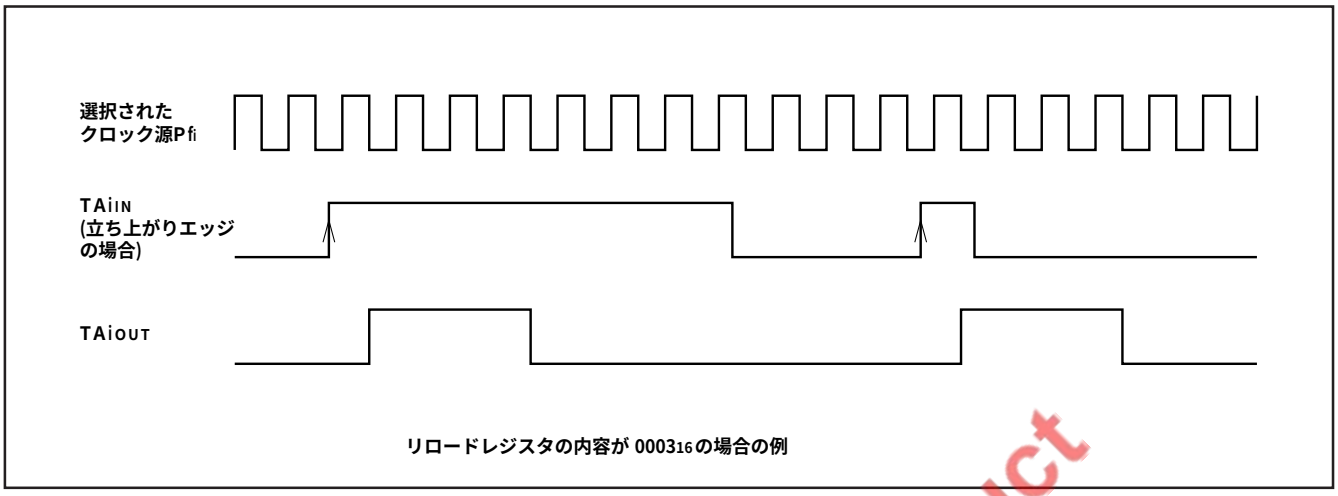


図30．外部立ち上がりエッジを選択した場合のパルス出力例

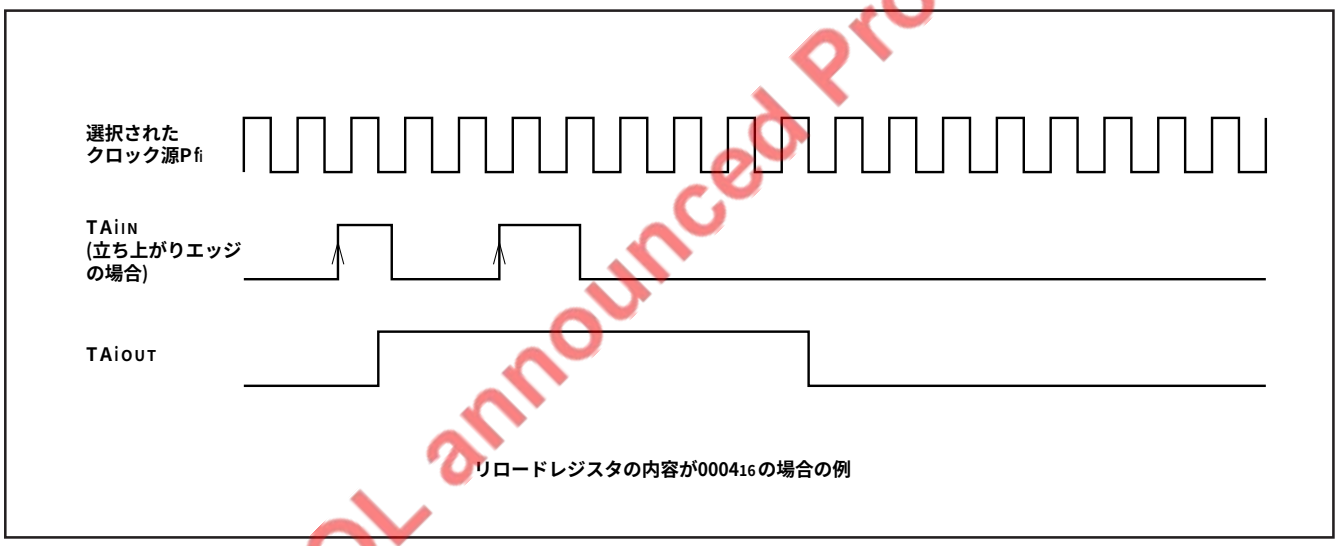


図31．パルス出力動作中にトリガを再入力した場合の例

EOL announced Product

(4) パルス幅変調モード[11]

図32にパルス幅変調モード時のタイマAiモードレジスタのビット構成を示します。パルス幅変調モードでは、ビット0、ビット1、ビット2は“1”にしてください。

ビット5の内容によって、16ビット長のパルス幅変調器として動作させるか、8ビット長のパルス幅変調器として動作させるか選択できます。ビット5の内容が“0”のとき、16ビット長のパルス幅変調器、“1”のとき8ビット長のパルス幅変調器になります。最初、16ビット長パルス幅変調器について説明します。

パルス幅変調器は、ソフトウエアでトリガをかけて動作を開始するか、TAiIN端子からの入力信号で外部トリガをかけて動作を開始するか、選択できます。

ビット4の内容が“0”のときはソフトウエアトリガモードが選択されます。タイマAi開始フラグの内容を“1”にするとパルス幅変調器は動作を開始し、TAiOUT端子からパルスを出力します。

ビット4の内容が“1”のときは、外部トリガモードが選択されます。タイマAi開始フラグの内容が“1”のときに、TAiIN端子からトリガ信号を入力すると、パルス幅変調器は動作を開始します。トリガ信号の立ち下がりでトリガをかけるか、立ち上がりでトリガをかけるかは、ビット3の内容で選択します。ビット3の内容が“0”のときは立ち下がりでトリガがかかります。“1”のときは立ち上がりでトリガがかかります。

パルス幅変調器の動作が停止しているときに、タイマAiにデータを書き込むと、リロードレジスタとカウンタに書き込まれます。その後、タイマAi開始フラグの内容を“1”にし、ソフトウエアトリガあるいは、外部トリガをかけ、動作を開始すると図33に示すような波形が連続して出力されます。一旦、動作を開始すると、動作中にはトリガは受け付けられません。リロードレジスタの値をmとするとパルスの“H”の期間は

(選択したクロックの周期)×(m)

出力パルスの周期は

(選択したクロックの周期)×($2^{16}-1$)

となります。

出力パルスの立ち下がりのたびに、割り込み要求信号を発生し、タイマAi割り込み制御レジスタの中の割り込み要求ビットをセットします。出力中のパルス幅を変更する場合は、タイマのデータを書き替えます。この書き替えはいつでもできます。出力パルス幅は、データがタイマに書き込まれた後のパルスの立ち上がりから変わります。

リロードレジスタの内容は、次のパルスが立ち上がる直前にカウンタに転送されるので、次に出力されるパルスから変更したパルス幅になります。

タイマを読み出すと、不定の値が読み出されます。

次に、8ビット長パルス幅変調器について説明します。

タイマAiモードレジスタのビット5の内容が“1”のときは、8ビット長パルス幅変調器になります。

リロードレジスタとカウンタは、共に8ビット長に2分割されます。

下位8ビットは、プリスケーラとして働きます。上位8ビットは、8ビット長のパルス幅変調器として働きます。プリスケーラは、ビット6とビット7で選択されたクロックをカウントします。カウンタの内容が0000_{16}になると図34に示すようにパルスを発生します。同時にリロードレジスタの内容をカウンタへ転送し、カウントを続けます。

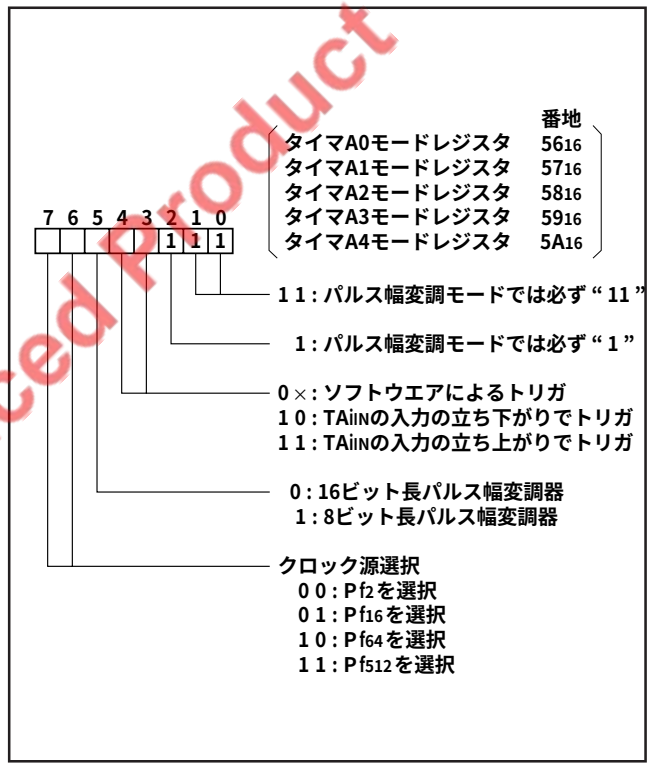


図32．パルス幅変調モード時のタイマAiモードレジスタのビット構成

EOL announced Product

したがって、下位8ビットのリロードレジスタの内容をnとすると、発生するパルスの周期は
（選択したクロックの周期）×（n＋1）
となります。
上位8ビットは、このパルスを入力とする8ビット長のパルス幅変調器として働きます。ビット長が8ビットになるだけで、動作は16ビット長の場合と同じです。上位8ビットのリロードレジスタの内容をmとするとパルスの“H”の期間は
（選択したクロックの周期）×（n＋1）×（m）
出力パルスの周期は
（選択したクロックの周期）×（n＋1）×（2^8－1）
となります。

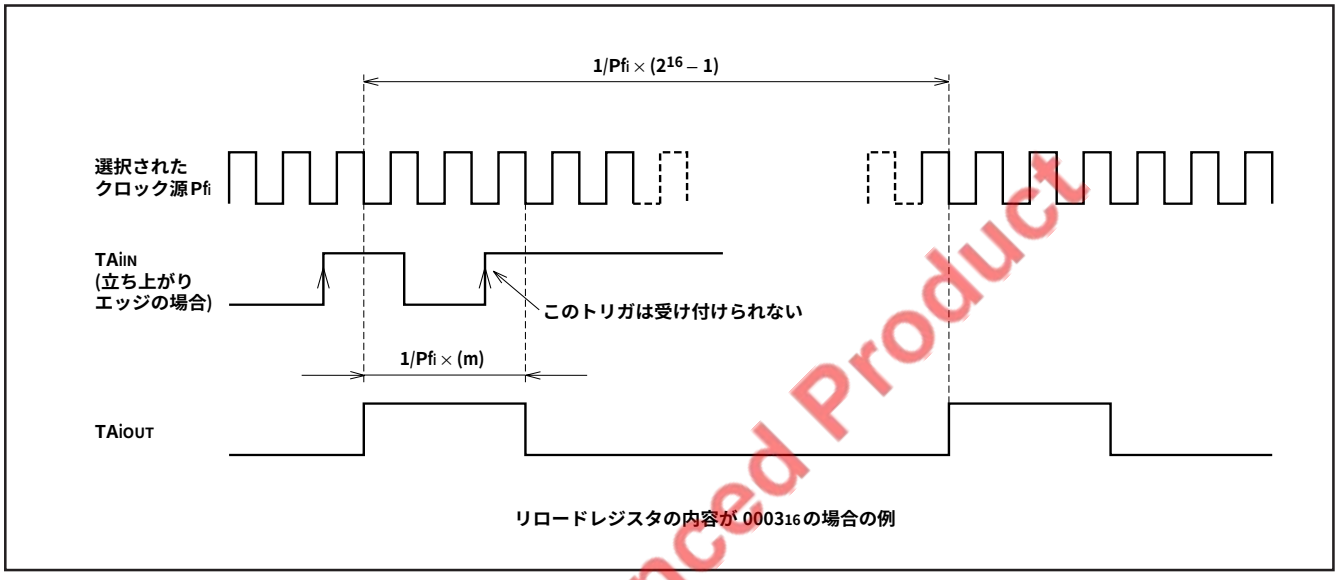


図33．16ビット長パルス幅変調器の出力パルス例

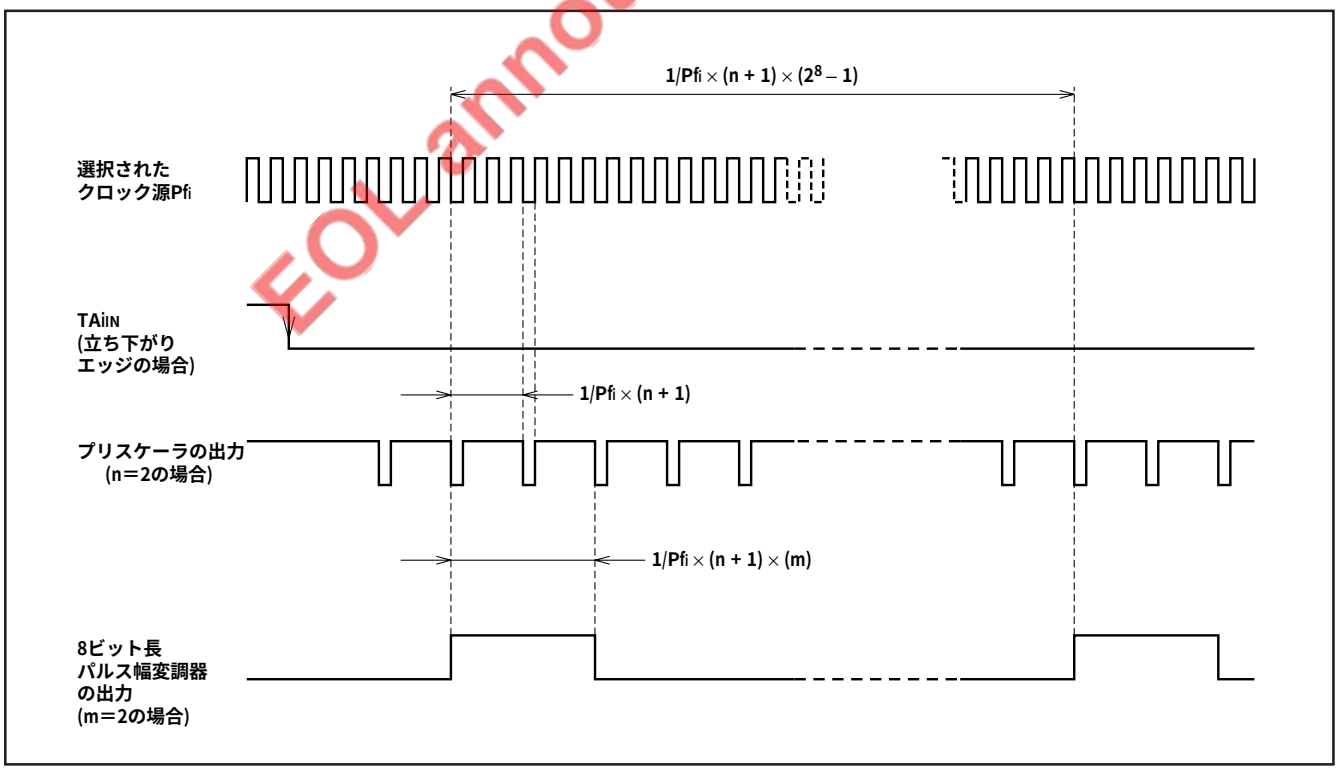


図34．8ビット長パルス幅変調器の出力パルス例

EOL announced Product

タイマB

図35にタイマBのブロック図を示します。

タイマBは、タイマモード、イベントカウンタモード、パルス周期測定/パルス幅測定モードの3種類のモードが選択できます。モードは、タイマBiモードレジスタ(i＝0～2)のビット0とビット1の内容で選択します。

次に、各モードについて説明します。

(1) タイマモード[00]

図36にタイマモード時のタイマBiモードレジスタのビット構成を示します。タイマモードでは、タイマBiモードレジスタのビット0とビット1は必ず“0”にしてください。ビット6とビット7でクロック源を選択します。カウント開始フラグの内容が“1”のとき、選択されたクロックをカウントします。“0”のときは停止します。タイマBiのカウント開始フラグは、図19に示すようにタイマAiのカウント開始フラグと同一番地にあります。

カウントはダウンカウントで、カウンタの内容が0000_{16}になると、割り込み要求信号を発生し、タイマBi割り込み制御レジスタの割り込み要求ビットをセットします。同時に、リロードレジスタの内容をカウンタに入れ、カウントを続けます。

タイマBiには、パルス出力機能、ゲート機能はありません。

タイマBiが停止中にタイマBiレジスタにデータを書き込むと、リロードレジスタとカウンタにそのデータが書き込まれます。タイマBiが動作中にタイマBiにデータを書き込むと、リロードレジスタに書き込まれるだけで、カウンタには書き込まれません。カウンタには、次にリロードするときにリロードレジスタから新しいデータがリロードされ、動作を続けます。カウンタの内容は任意のタイミングで読み出すことができます。

EOL announced Product

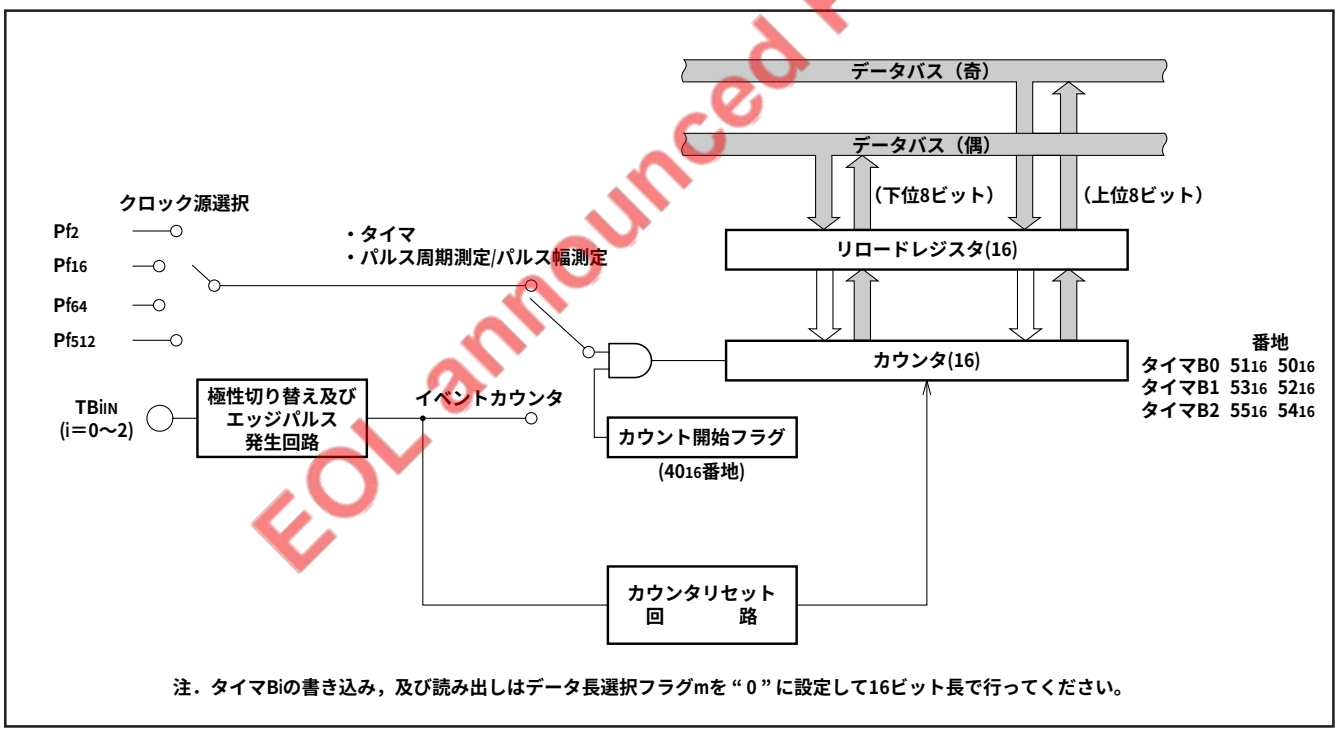


図35．タイマBのブロック図

(2) イベントカウンタモード[01]

図37にイベントカウンタモード時のタイマBiモードレジスタのビット構成を示します。イベントカウンタモードでは、ビット0は“1”に、ビット1は“0”にしてください。

カウント開始フラグの内容が“1”のとき、TBiIN端子からの入力信号をカウントします。“0”のときはカウントを停止します。

ビット3の内容が“0”で、ビット2の内容が“0”のとき、入力信号の立ち下がりでカウントし、“1”のとき、入力信号の立ち上がりでカウントします。

ビット3の内容が“1”で、ビット2の内容が“0”のとき、入力信号の立ち下がり及び立ち上がりでカウントします。

割り込みの発生及びデータの書き込み、読み出しについてはタイマモードと同じです。

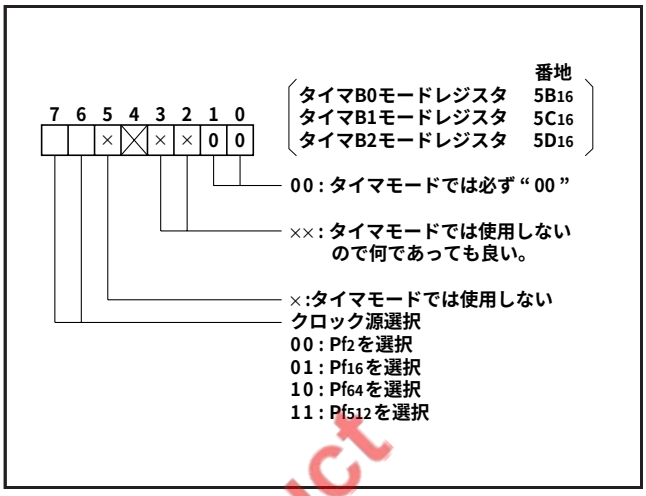


図36．タイマモード時のタイマBiモードレジスタのビット構成

(3) パルス周期測定/パルス幅測定モード[10]

図38にパルス周期測定/パルス幅測定モード時のタイマBiモードレジスタのビット構成を示します。

パルス周期測定/パルス幅測定モードでは、ビット0は“0”に、ビット1は“1”にしてください。ビット6とビット7でクロック源を選択します。カウント開始フラグの内容が“1”のとき、選択されたクロックをカウントします。“0”のときはカウントを停止します。

ビット3の内容が“0”のときは、パルス周期測定モードになります。パルス周期測定モードでは、TBiIN端子からの入力信号の立ち下がりから立ち下がりまで、又は入力信号の立ち上がりから立ち上がりまでの間選択されたクロックをカウントし、結果をリロードレジスタに入れます。この場合リロードレジスタはバッファレジスタとして働いています。

ビット2の内容が“0”のときは、入力信号の立ち下がりから立ち下がりまでカウントし、“1”のときは、入力信号の立ち上がりから立ち上がりまでカウントします。

入力信号の立ち下がりから立ち下がりまでカウントする場合について、カウントの方法を説明します。図39に示すようにTBiIN端子からの入力信号の立ち下がりを検出すると、カウンタの内容をリロードレジスタへ転送します。次にカウンタをクリアし、次のクロックからカウントを始めます。次の入力信号の立ち下がりを検出すると、再びカウンタの内容をリロードレジスタへ転送し、カウンタをクリアした後、クロックのカウントを始めます。このようにして、入力信号の立ち下がりから立ち下がりまでの周期を測定します。カウンタの内容をリロードレジスタに送った後、割り込み要求信号を発生し、タイマBi割り込み制御レジスタの割り込み要求ビットをセットします。ただし、カウント開始フラグの内容を“1”にした後、最初にカウンタの内容をリロードレジスタに送ったときには、割り込み要求信号は発生しません。

ビット3の内容が“1”のときは、パルス幅測定モードになり

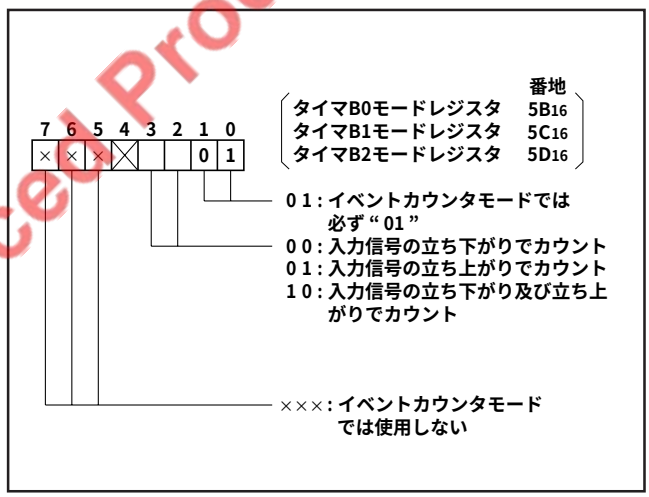


図37．イベントカウンタモード時のタイマBiモードレジスタのビット構成

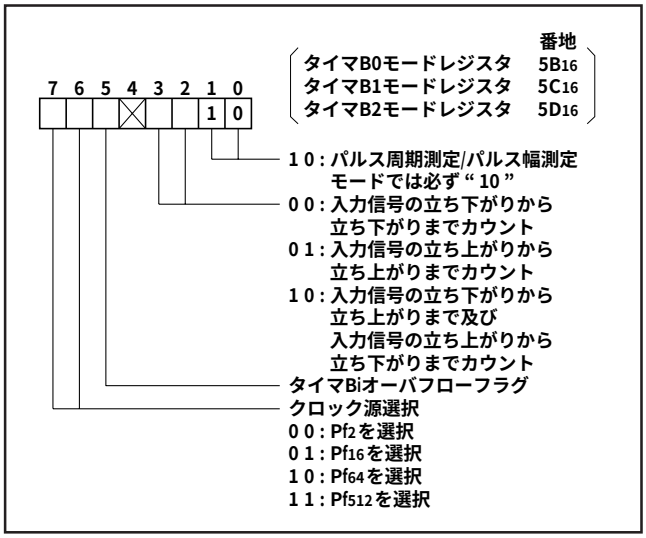


図38．パルス周期測定/パルス幅測定モード時のタイマBiモードレジスタのビット構成

EOL announced Product

ます。パルス幅測定モードでは、図40に示すようにTBiIN端子からの入力信号の立ち下がりから立ち上がり又は立ち上がりから立ち下がりまでカウントします。カウントする期間が異なることを除けば、パルス周期測定モードと同じです。タイマBiから読み出しを行うと、リロードレジスタのデータが読み出されます。

なお、このモードでのTBiIN端子からの入力信号の立ち下がりから立ち上がりまでの期間、又は立ち上がりから立ち下がりまでの期間は、タイマのカウントソースの2サイクル分以上にしてください。

また、タイマBiモードレジスタのビット5はタイマBiオーバフローフラグで、タイマBiカウンタの内容が0000_{16}になる（パルス幅あるいはパルス周期が16ビット長で計測できる長さよりも長かったことを示す）と“1”がセットされます。このフラグは対応するタイマBiモードレジスタに書き込みを行うとクリアされます。なお、リセット時は“1”です。

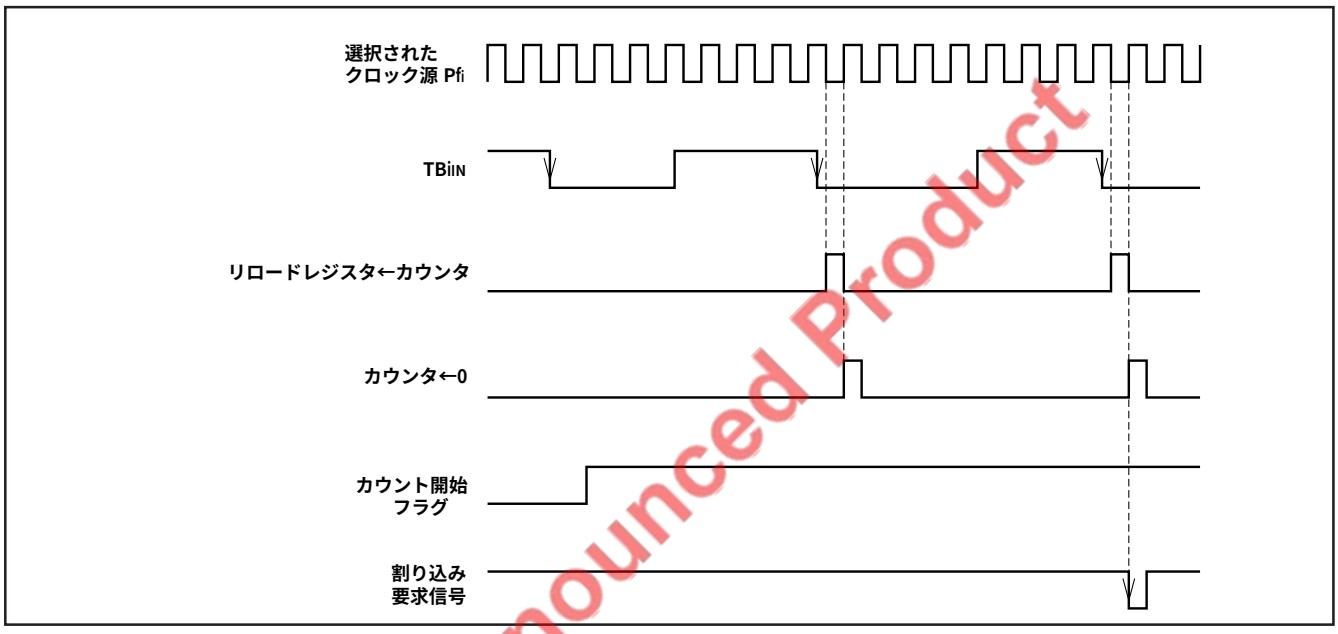


図39．パルス周期測定モードの動作（立ち下がりから立ち下がりまで測定の例）

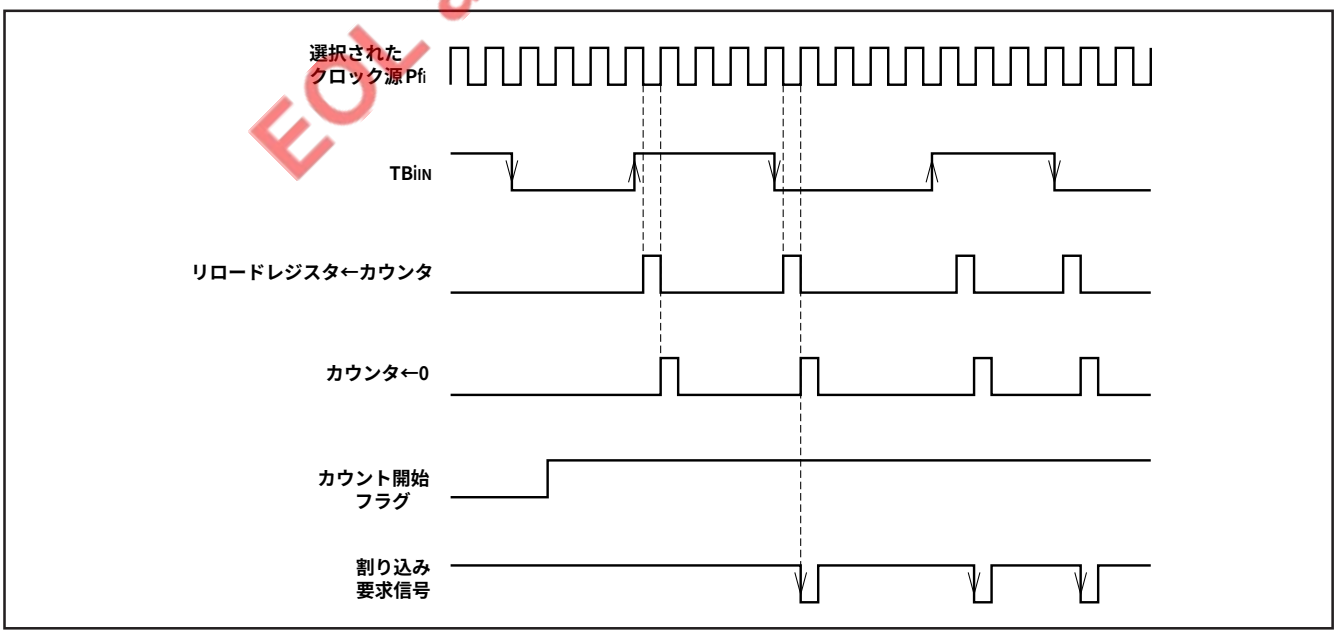


図40．パルス幅測定モードの動作

EOL announced Product

モータ制御用タイマ機能

内蔵のタイマA、タイマBを複数個使用して三相モータ駆動波形、パルスモータ駆動波形を出力することができます。これらのモードについて以下に説明します。

三相モータ駆動波形出力モード（三相波形モード）

図41に示す波形出力モードレジスタ（1A16番地）の波形出力選択ビット（ビット2、ビット1、ビット0）を“1002”に設定するとタイマA0，A1，A2，B2の4つのタイマを使用する三相波形モードが選択されます。三相波形モードには三相モード0及び三相モード1があり、波形出力モードレジスタのビット4で選択します。また、図42に示すように三相波形モードではタイマA0，A1，A2はワンショットパルスモードの外部トリガ、立ち上がりエッジ有効の状態に、タイマB2はタイマモードにそれぞれのタイマモードレジスタで設定してください。

三相波形モード時のブロック図を図43に示します。三相波形モードにおいては正相波形（U相、V相、W相）及び逆相波形（$\overline{U}$相、$\overline{V}$相、$\overline{W}$相）の6つの波形が対応したポートから“L”レベルアクティブで出力されます。このモードで使用するタイマのうちタイマA2はU相、$\overline{U}$相、タイマA1はV相、$\overline{V}$相、タイマA0はW相、$\overline{W}$相の波形をそれぞれ制御し、タイマB2によってこれらタイマA2，A1，A0のワンショットパルス出力の周期を制御します。

波形出力においては、正相波形出力（U相、V相、W相）の“L”レベルがその逆相波形出力（$\overline{U}$相、$\overline{V}$相、$\overline{W}$相）の“L”レベルと重ならないようにするための短絡防止時間を設定することができます。短絡防止時間の設定は、リロードレジスタを共用した8ビット構成の短絡防止時間設定タイマ3本で行います。短絡防止時間設定タイマはワンショットタイマとして動作します。開始トリガにはタイマA0～A2のワンショットパルスの立ち上がり、立ち上がりの両エッジ、又は立ち下がりエッジのみが選択できます。この選択は波形出力モードレジスタ（1A16番地）のビット6で行い、このビットが“0”のとき立ち上がり、立ち下がりの両エッジ、“1”のとき立ち下がりエッジが開始トリガになります。

短絡防止時間設定タイマ（1B16番地）に値を書き込むと、3本の短絡防止時間設定タイマが共用しているリロードレジスタにその値が書き込まれます。短絡防止時間設定タイマは、対応したタイマから開始トリガが来るとリロードレジスタの値をカウンタに入れ、パルス出力データレジスタ1（1C16番地）のビット6とビット7で選択したクロック源でダウンカウントを行います。また、前のトリガによる動作が完了する前に、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が短絡防止時間設定タイマへ転送された後、その値をダウンカウントします。

短絡防止時間設定タイマは、ワンショットパルスタイマと

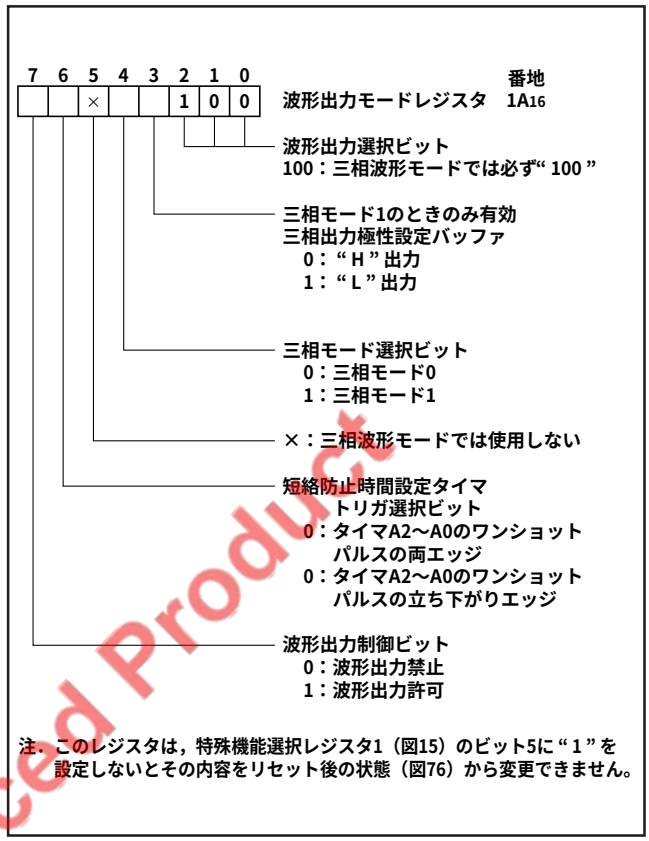


図41．三相波形モード時の波形出力モードレジスタのビット構成

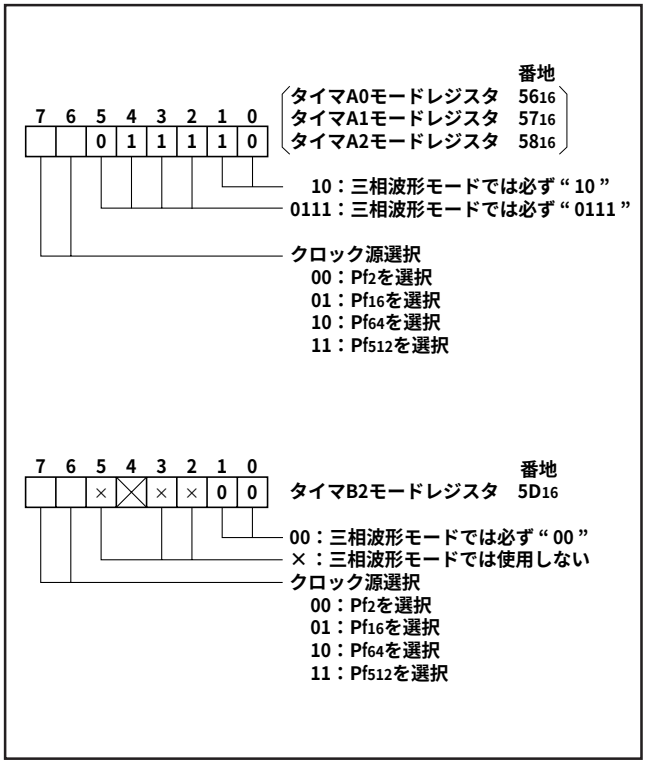
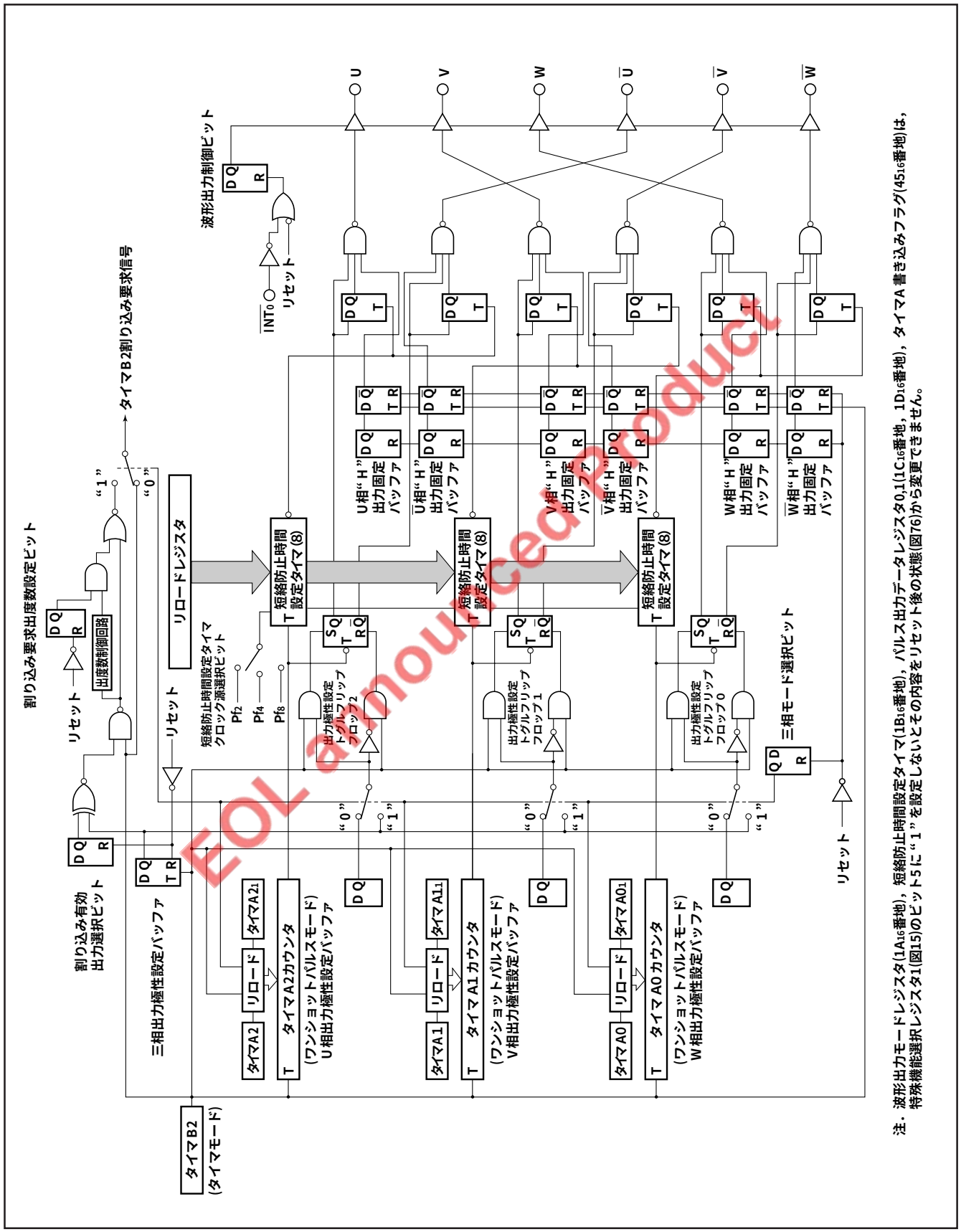


図42．三相波形モード時のタイマA2, A1, A0, B2モードレジスタのビット構成

EOL announced Product



注．波形出力モードレジスタ(1A16番地)，短絡防止時間設定タイマ(1B16番地)，パルス出力データレジスタ0,1(1C16番地，1D16番地)，タイマA書き込みフラグ(4516番地)は，特殊機能選択レジスタ1(図15)のビット5に"1"を設定しないとその内容をリセット後の状態(図76)から変更できません。

図43．三相波形モード時のブロック図

EOL announced product

して動作しますので、トリガが来るとパルス出力を開始し、その内容が00$_{16}$になるとパルス出力を終えて動作を停止し、次のトリガを待ちます。

三相波形モードにおける正相波形(U相、V相、W相)とその逆相波形($\overline{U}$相、$\overline{V}$相、$\overline{W}$相)は、波形出力モードレジスタ(1A$_{16}$番地)のビット7を“1”にすることで、各ポートから出力されます。このビットを“0”にするとポートはフローティング状態になります。このビットは、命令で“0”にする以外に、外部割り込みの$\overline{INT_0}$入力端子に立ち下がりエッジを入力するか、リセットをかけても“0”にできます。

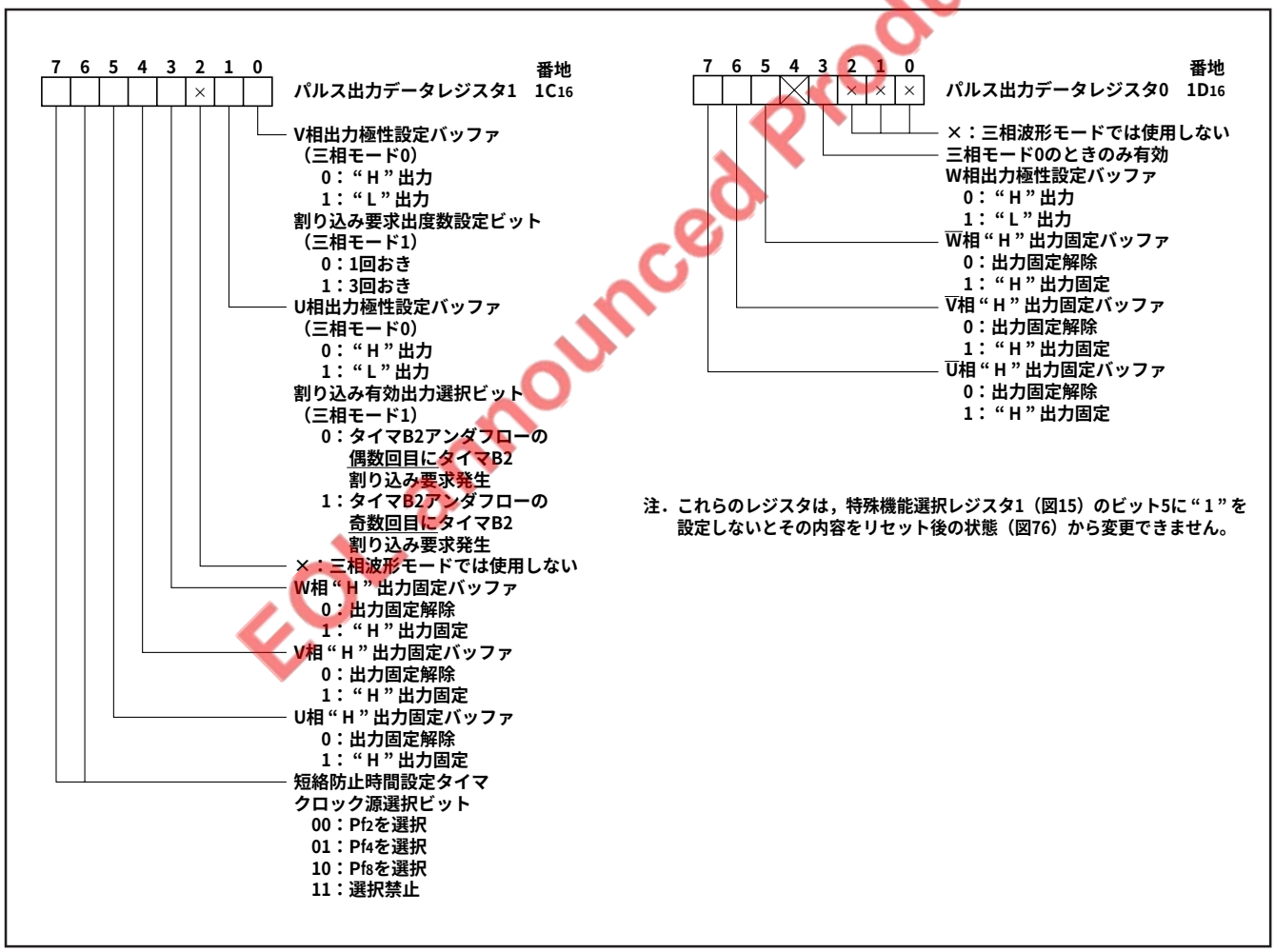
また、パルス出力データレジスタ1(1C$_{16}$番地)のビット5、ビット4、ビット3を“1”にすることで、対応した正相波形を、パルス出力データレジスタ0(1D$_{16}$番地)のビット7、ビット6、ビット5を“1”にすることで対応した逆相波形を“H”に固定できます。

なお、三相波形モード選択時、$\overline{INT_0}$端子は入力専用端子となります。

三相モード0

三相波形モードを選択時、波形出力モードレジスタ(1A$_{16}$番地)のビット4を“0”にすると三相モード0が選択されます。

三相波形の出力極性は出力極性設定トグルフリップフロップによって決まります。出力極性設定トグルフリップフロップの内容が“0”のとき三相波形の正相波形は“H”レベルを出力、“1”のときは“L”レベルを出力します(三相波形は負論理で出力されます)。



Eol announced Product

図44．三相波形モード時のパルス出力データレジスタ1, 0のビット構成

出力極性設定トグルフリップフロップはそれぞれ図44に示される出力極性設定バッファを持っており、タイマB2のカウンタの内容が0000_{16}になったときに出力極性設定バッファの内容が出力極性設定トグルフリップフロップにセットされます。その後、出力極性設定トグルフリップフロップの内容は、各相に対応したタイマ(タイマA2、タイマA1、タイマA0)のワンショットパルスの終了ごとに、その極性が反転します。

次にU相波形の一例を図45に示し、波形出力動作を説明します。U相出力極性設定バッファ($1C_{16}$番地のビット1)に“0”を書き込み、タイマB2を動作させると、三相モード0が動作します。タイマB2のカウンタの内容が0000_{16}になると、タイマB2が割り込み要求信号を発生し、同時にタイマA2がワンショットパルス出力を開始します。このとき出力極性設定トグルフリップフロップ2にU相出力極性設定バッファの内容(この場合“0”)が設定されます。タイマA2のワンショットパルス出力が終了すると出力極性設定トグルフリップフロップ2の内容が“0”から“1”に反転すると同時に、U相波形とその逆相である$\overline{U}$相波形とが“L”レベルが重ならない時間を設定する8ビットの短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA2のワンショットパルス出力により出力極性設定トグルフリップフロップ2の内容が“0”から“1”に反転しても、短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでに反転した出力極性設定トグルフリップフロップ2の“1”が有効となり、U相波形は“L”レベルに変わります。次に、もう1度タイマB2のカウンタの内容が0000_{16}になる前にU相出力極性設定バッファ($1C_{16}$番地のビット1)に“1”を書き込んでおきます。その後、タイマB2のカウンタの内容が0000_{16}になると、タイマA2のワンショットパルス出力が動作を開始します。同時にU相出力極性設定バッファに書き込んだ“1”が出力極性設定トグルフリップフロップ2にセットされ、U相波形出力は“L”レベルの状態のままとなります。タイマA2のワンショットパルス出力が終了すると、出力極性設定トグルフリップフロップ2の内容が“1”から“0”に反転し、同時に短絡防止時間設定タイマのワンショットパルス出力が動作を開始します。U相波形の出力は出力極性設定トグルフリップフロップ2の内容が“1”から“0”に変わる場合は、短絡防止時間設定タイマのワンショットパルス出力の終わりを待つことなく出力レベルが“L”から“H”に変わります。

このような動作を繰り返してU相波形を発生します。この逆相である$\overline{U}$相波形は、出力極性設定トグルフリップフロップ2の内容がU相波形の場合とは反対の信号となって扱われるだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である$\overline{U}$相波形とが“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅もタイマB2の値や、タイマA2の値を変えることで可変できます。V相、W相、及びその逆相である$\overline{V}$相、$\overline{W}$相についてもそれに対応したタイマで同様に動作し、波形が発生します。

以上の説明は三角波変調による三相波形の発生例ですが、のこぎり波変調による三相波形の発生も各相の開始レベルを固定させる方法により実現することができます。

EOL announced Product

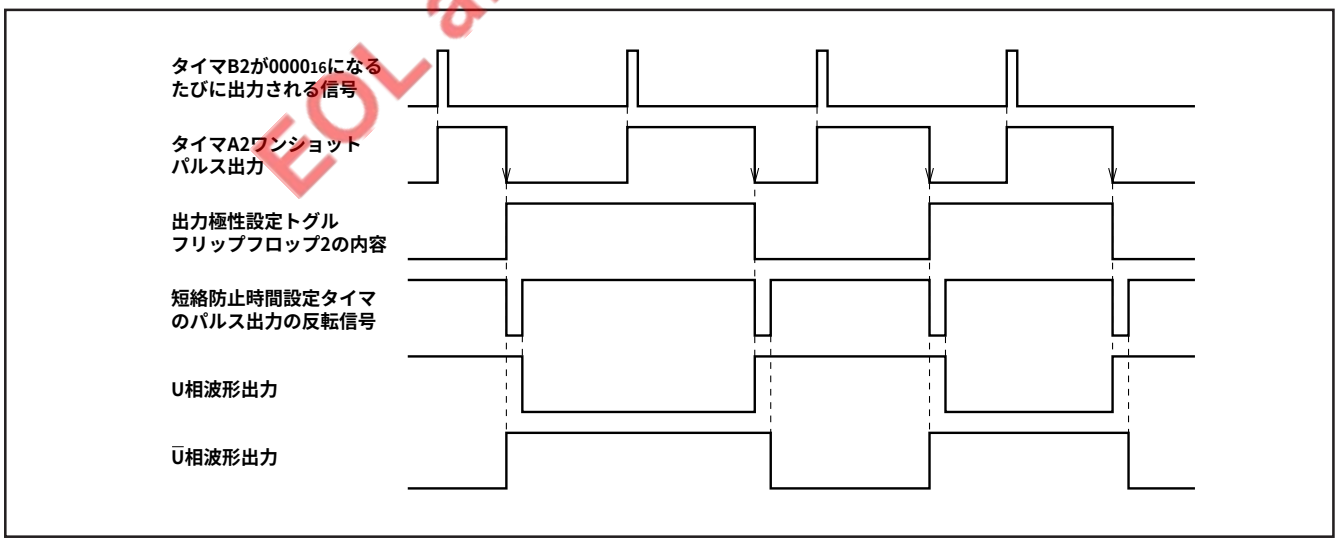


図45．三相モード0時のU相波形出力例（三角波変調）

三相モード1

三相波形モード選択時、波形出力モードレジスタ(1A16番地)のビット4を“1”にすると三相モード1が選択されます。

このモードでは、タイマA0，A1，A2はそれぞれ2つのタイマレジスタを持ち、タイマB2のカウンタの内容が000016になるごとに交互にタイマレジスタの内容をカウンタにリロードします。2つのタイマレジスタへの書き込みは、タイマA0，A1，A2のそれぞれのタイマレジスタへ書き込みを行った後、再度書き込みを行うとタイマA01，A11，A21へ書き込まれます。それぞれのタイマレジスタに書き込みを行うとき、どちらのタイマレジスタへ書き込むかは、図46に示したタイマA書き込みフラグによって判断できます。タイマB2のカウンタの内容が000016になるごとに発生する割り込み要求を1回おきか又は3回おきのいずれかに選択できます。この選択は、パルス出力データレジスタ1(1C16番地)のビット0で行います。また、このタイマB2の割り込み要求を三相出力極性設定バッファの内容が“0”又は“1”のいずれかで発生させるよう選択できます。これはパルス出力データレジスタ1(1C16番地)のビット1で行います。

三相波形の出力極性を決める出力極性設定トグルフリップフロップには、タイマB2のカウンタの内容が000016になるごとに三相出力極性設定バッファの内容がセットされ、この後に、三相出力極性設定バッファの内容が反転します。また、出力極性設定トグルフリップフロップの内容は、各相に対応したタイマA0、A1、A2のワンショットパルスの終了ごとにその極性を反転します。

次にU相波形の一例を図47に示し、波形出力動作を説明します。三相出力極性設定バッファ(1A16番地のビット3)に“0”を書き込みます。また、割り込み要求出度数設定ビット(1C16番地のビット0)を“0”にして1回おきにタイマB2の割り込み要求を発生するように選択し、さらに、三相出力極性設定バッファの内容が“0”のときに発生させるよう割り込み有効出力選択ビット(1C16番地のビット1)を“0”にします。この後、タイマB2を動作させると三相モード1が動作します。

タイマB2のカウンタの内容が000016になると、タイマB2が割り込み要求を発生し、同時にタイマA2がワンショットパルス出力を開始します。このとき、出力極性設定トグルフリップフロップ2に三相出力極性設定バッファの内容(この場合“0”)が設定されます。また、この後、三相出力極性設定バッファが“0”から“1”に反転します。タイマA2のカウンタがタイマA2に書き込んだ値をカウントし、タイマA2のワンショットパルス出力が終了すると出力極性設定トグルフリップフロップ2の内容が“0”から“1”に反転すると同時に、U相波形とその逆相であるU相波形とが“L”レベルが重ならない時間を設定する8ビットの短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA2のワンショットパルス出力により出力極性設定トグルフリップフロップ2の内容が“0”から“1”に反転しても短絡防止時間設定タイマのワンショットパルス出力が終るまでは、“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終ると、すでに反転した出力極性設定トグルフリップフロップ2の“1”が有効となり、U相波形が“L”レベルに変わります。次に、タイマB2のカウンタの内容が000016になるとタイマA2のカウンタがタイマA2に書き込んだ値のカウントを始め、ワンショットパルス出力を開始します。同時に、三相出力極性設定バッファの内容が出力極性設定トグルフリップフロップ2に設定されますが、同じ“1”で変化しませんので、U相波形出力は“L”レベルの状態のままとなります。この後、三相出力極性設定バッファが“1”から“0”に反転します。タイマA2のワンショットパルス出力が終了すると、出力極性設定トグルフリップフロップ2の内容が“1”から“0”に反転すると同時に短絡防止時間設定タイマがワンショットパルス出力を開始します。U相波形の出力は出力極性設定トグルフリップフロップ2の内容が“1”から“0”に変わる場合は短絡防止時間設定タイマのワンショットパルス出力の終わりを待つことなく出力レベルが“L”から“H”に変わります。

EOL announced Product

このような動作を繰り返してU相波形を発生します。この逆相である$\overline{U}$相波形は、出力極性設定トグルフリップフロップ2の内容がU相波形の場合とは反対の信号となって扱われるだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である$\overline{U}$相波形とのL”レベルが重ならない波形が端子から得られます。“L”レベルの幅もタイマB2の値や、タイマA2、タイマA2$_1$の値を変えることで可変できます。V相、W相、及びその逆相である$\overline{V}$相、$\overline{W}$相についても、それに対応したタイマで同様に動作し、波形が発生します。

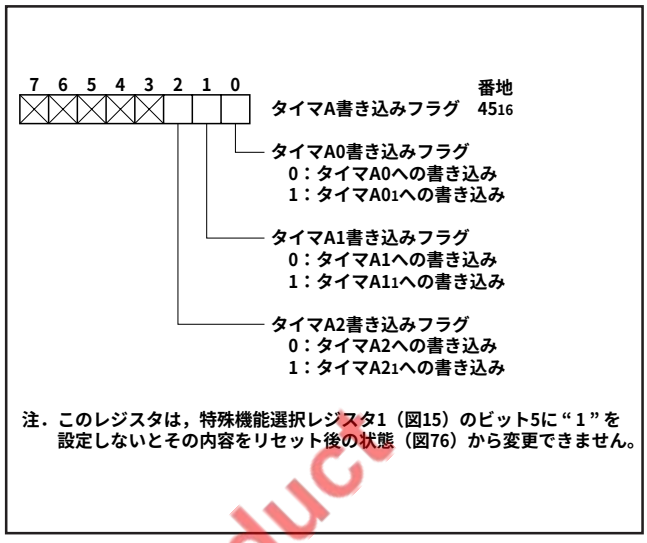


図46．タイマA書き込みフラグのビット構成

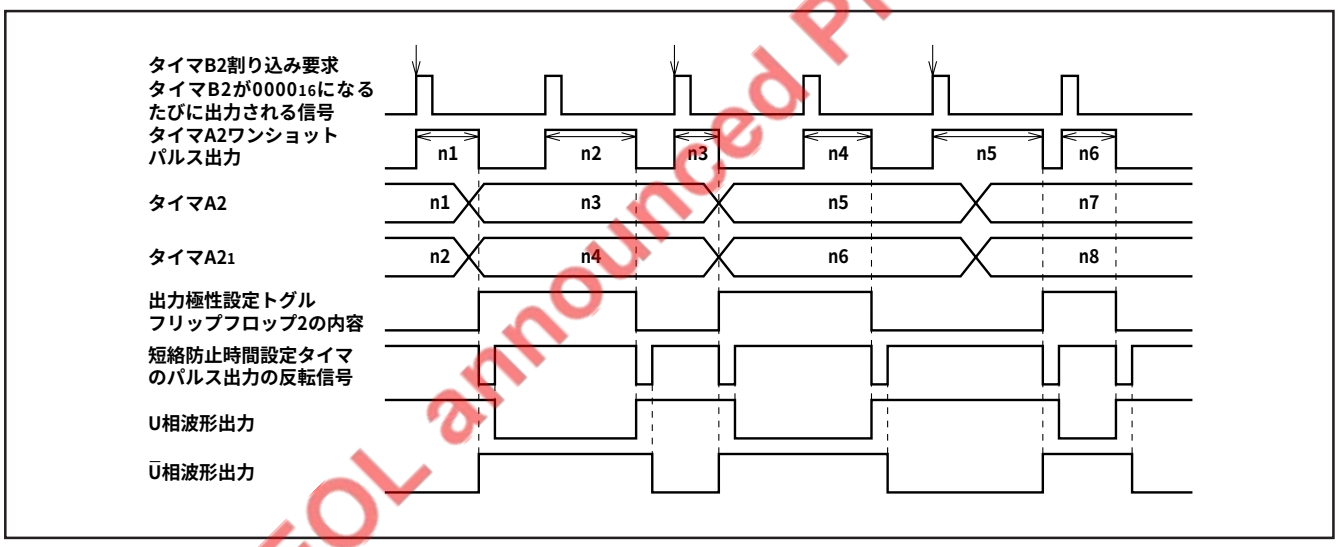


図47．三相モード1時のU相波形出力例（三角波変調）

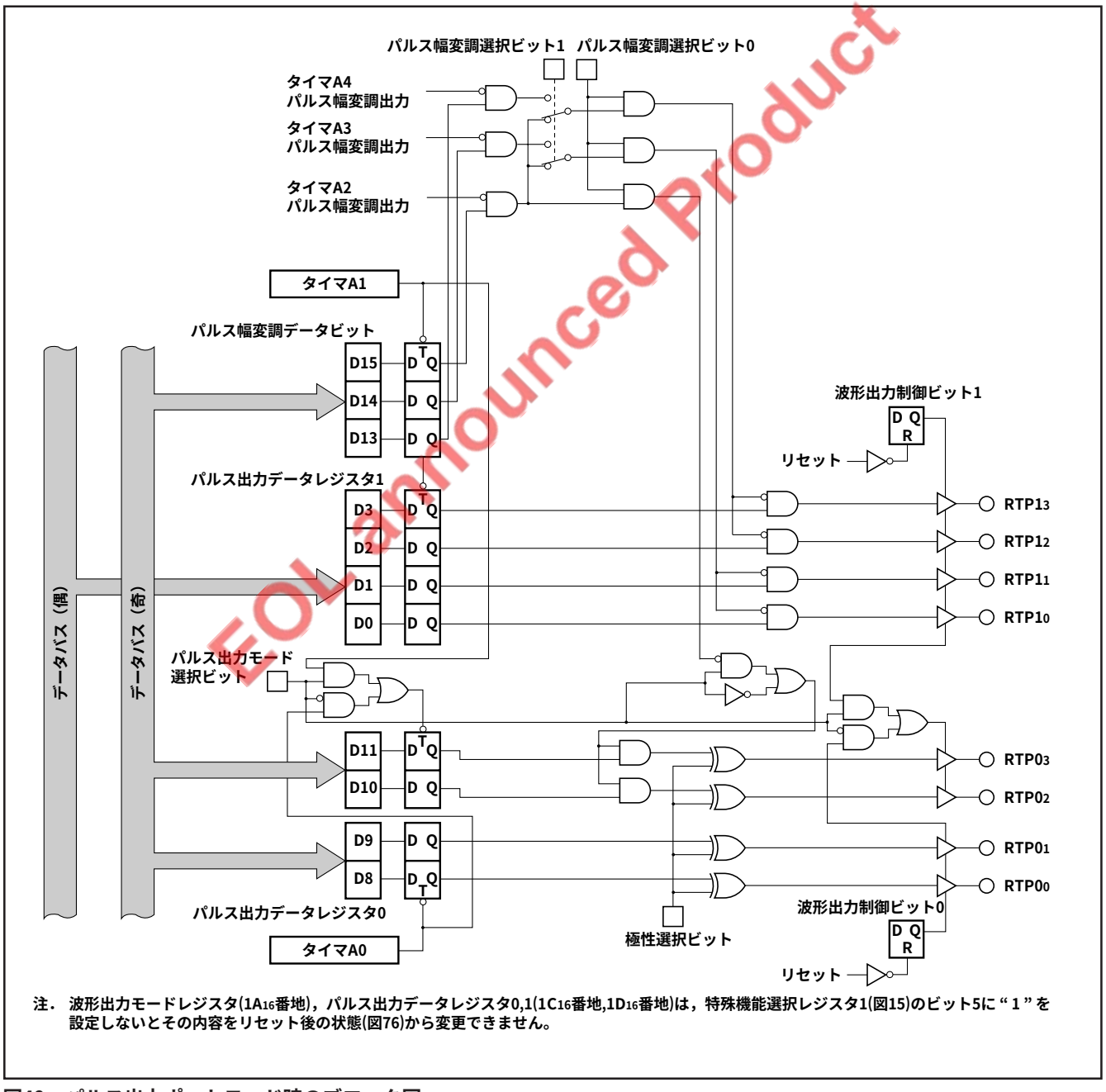
EOL announced Product

パルス出力ポートモード

図48にパルス出力ポートモードのブロック図を示します。このモードは、8ビットのパルス出力ポートを持っています。パルス出力ポートを使用するかどうかは、図49に示す波形出力モードレジスタ(1A16番地)の波形出力選択ビット(ビット0、ビット1、ビット2)により選択できます。また、8ビットのパルス出力ポートは、図51に示すパルス出力データレジスタ1(1C16番地)のパルス出力モード選択ビット(ビット4)により4ビットごと、又は6ビットと2ビットに分けて制御することができます。

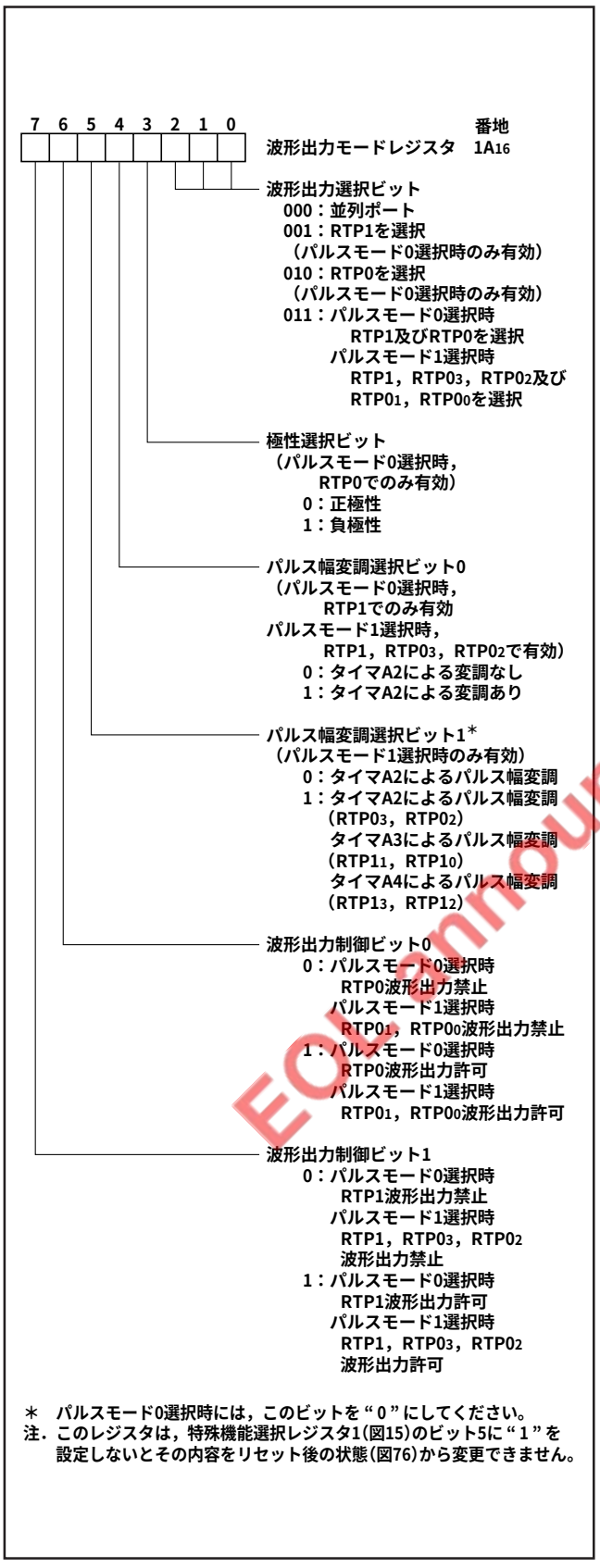
パルス出力モードではタイマA1，A0を使用しますので、タイマA1，A0はタイマモードに設定してください。また、パルス出力ポートとTAiOUT(i=0～4)端子は共用していますのでパルス出力ポートとして使用するには、対応するタイマAiモードレジスタのビット2の内容を“1”にしてください。図50にパルス出力ポートモード時のタイマA1，A0のモードレジスタのビット構成を示します。

タイマA1，A0のカウント開始は、各タイマに対応するカウント開始フラグのビットの内容を“1”にするとカウントを開始し、“0”にするとカウントを停止します。



注．波形出力モードレジスタ(1A16番地)，パルス出力データレジスタ0,1(1C16番地,1D16番地)は，特殊機能選択レジスタ1(図15)のビット5に“1”を設定しないとその内容をリセット後の状態(図76)から変更できません。

図48．パルス出力ポートモード時のブロック図



＊ パルスモード0選択時には，このビットを“0”にしてください。
注．このレジスタは，特殊機能選択レジスタ1(図15)のビット5に“1”を設定しないとその内容をリセット後の状態(図76)から変更できません。

図49．パルス出力ポートモード時の波形出力モードレジスタのビット構成

パルスモード0

このモードでは、パルス出力ポートを4ビットごと2組に分けて制御します。パルス出力モード選択ビットを“0”、波形出力選択ビットのビット2、ビット1を“0”、ビット0を“1”にすると、RTP13，RTP12，RTP11，RTP10の4本がパルス出力ポート(RTP1を選択)となり、波形出力選択ビットのビット2、ビット0を“0”、ビット1を“1”にすると、RTP03，RTP02，RTP01，RTP00の4本がパルス出力ポート(RTP0を選択)となります。また、パルス出力モード選択ビットを“0”、波形出力選択ビットのビット2を“0”、ビット1、ビット0を“1”にすると、RTP13，RTP12，RTP11，RTP10の4本と、RTP03，RTP02，RTP01，RTP00の4本の2組がパルス出力ポート(RTP1及びRTP0を選択)となります。RTP13，RTP12，RTP11，RTP10に対応するパルス出力データレジスタ1(1C16番地の下位4ビット)の内容は、タイマA1のカウンタの内容が000016になるごとにポートに出力されます。RTP03，RTP02，RTP01，RTP00に対応するパルス出力データレジスタ0(1D16番地の下位4ビット)の内容は、タイマA0のカウンタの内容が000016になるごとにポートに出力されます。

パルス出力データレジスタの指定したビットに“0”を書き込んだ場合、対応するタイマのカウンタの内容が000016になるとパルス出力ポートに“L”レベルが出力され、“1”を書き込んだ場合、パルス出力ポートに“H”レベルが出力されます。

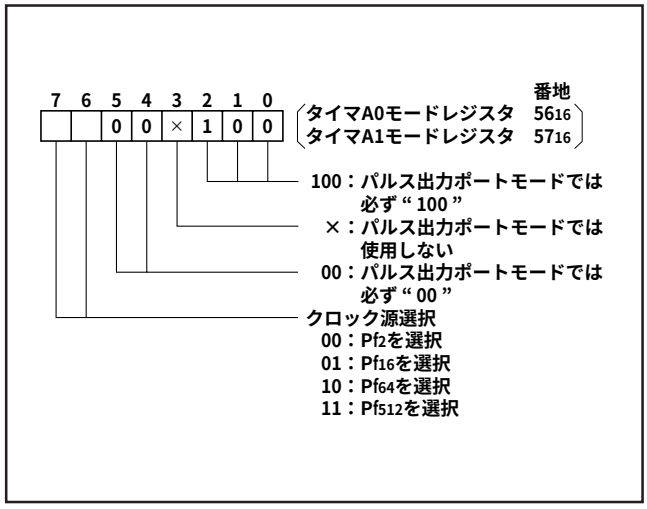


図50．パルス出力ポートモード時のタイマA1, A0モードレジスタのビット構成

EOL announced product

また、パルス出力ポート(RTP1)はパルス幅変調をかけることができます。パルス幅変調をかけるためには、タイマA2を使用しますので、このタイマをパルス幅変調モードで動作させてください。パルス出力レジスタのあるビットが“1”のとき、タイマA1のカウンタの内容が0000_{16}になるとパルス幅変調がパルス出力ポートから出力されます。

パルス幅変調は波形出力モードレジスタのパルス幅変調選択ビット0(ビット4)を“1”、パルス幅変調選択ビット1(ビット5)を“0”、パルス出力データレジスタ0のRTP1のパルス幅変調データビット(ビット5)を“1”にすることにより、タイマA2によるパルス幅変調がかけられます。

$RTP0_3$, $RTP0_2$, $RTP0_1$, $RTP0_0$に対しては、波形出力モードレジスタの極性選択ビット(ビット3)により、パルス出力データレジスタ0の内容を反転して出力することができます。極性選択ビットが“0”の場合はパルス出力データレジスタ0の内容はそのまま出力されますが、極性選択ビットが“1”の場合はパルス出力データレジスタ0の内容の反転データが出力されます。これらのパルスモード0の波形例を図52に示します。

パルスモード0を選択したポートは、波形出力モードレジスタの波形出力制御ビット0(ビット6)によって、$RTP0_3$, $RTP0_2$, $RTP0_1$, $RTP0_0$の出力を制御でき、波形出力制御ビット1(ビット7)によって、$RTP1_3$, $RTP1_2$, $RTP1_1$, $RTP1_0$の出力を制御できます。波形出力制御ビットを“1”にすると、対応するポートから波形が出力されます。“0”にすると、対応するポートからの波形出力は停止され、ポートはフローティングになります。これらのビットは、命令で“0”にする以外に、リセットをかけても“0”にできます。

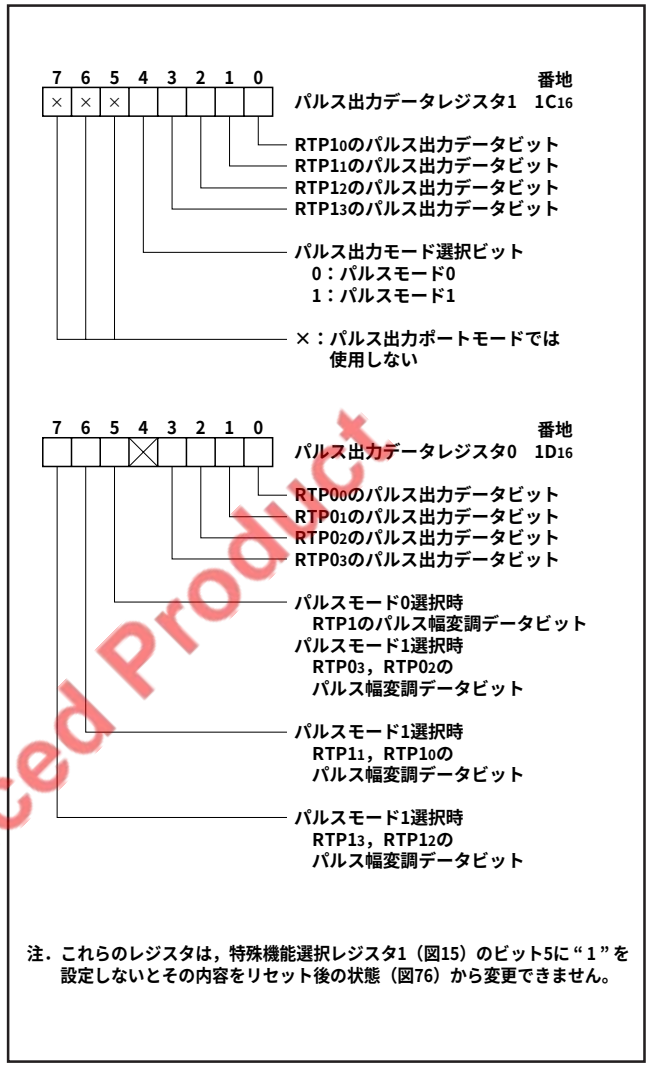


図51．パルス出力ポートモード時のパルス出力データレジスタ1, 0のビット構成

EOL announced Product

パルスモード1

このモードでは、パルス出力ポートを6ビットと2ビットの2組みに分けて制御します。パルス出力モード選択ビットを“1”、波形出力選択ビットのビット2を“0”、ビット1、ビット0を“1”にすると、RTP1$_3$，RTP1$_2$，RTP1$_1$，RTP1$_0$，RTP0$_3$，RTP0$_2$の6本と、RTP0$_1$，RTP0$_0$の2本の2組がパルス出力ポートとなります。

RTP1$_3$，RTP1$_2$，RTP1$_1$，RTP1$_0$，RTP0$_3$，RTP0$_2$の6本の制御は、タイマA1によって、RTP0$_1$，RTP0$_0$の2本の制御は、タイマA0によって行います。

また、パルス出力ポート(RTP1，RTP0$_3$，RTP0$_2$)は、パルス幅変調をかけることができます。パルス幅変調はRTP1$_3$，RTP1$_2$，RTP1$_1$，RTP1$_0$，RTP0$_3$，RTP0$_2$の6本を共通にかけるか、RTP1$_3$，RTP1$_2$とRTP1$_1$，RTP1$_0$とRTP0$_3$，RTP0$_2$の2本ごとにかけるかを選択できます。この選択は波形出力モードレジスタのパルス幅変調選択ビット1(ビット5)によって行います。パルス幅変調選択ビット1を“0”にすると6本共通、“1”にすると2本ごとにパルス幅変調がかけられます。パルス幅変調を6本共通にかけるためにはタイマA2、2本ごとにかけるためにはタイマA2，A3，A4を使用しますので、それぞれ対応するタイマをパルス幅変調モードで動作させてください。パルス出力データのあるビットが“1”のときタイマA1のカウンタの内容が0000$_{16}$になると、パルス幅変調がパルス出力ポートから出力されます。

パルス幅変調は、波形出力モードレジスタのパルス幅変調選択ビット0を“1”、パルス出力データレジスタ0のパルス幅変調データビット(ビット7，6，5)の対応するビットを“1”にすると、対応するタイマによるパルス幅変調がかけられます。

波形出力モードレジスタの極性選択ビット(ビット3)は、常に“0”とし、正極性としてください。

その他の動作は、パルスモード0と同様です。

これらのパルスモード1の波形例を図53に示します。

パルスモード1を選択したポートは、波形出力モードレジスタの波形出力制御ビット0(ビット6)によって、RTP0$_1$，RTP0$_0$の出力を制御でき、波形出力制御ビット1(ビット7)によって、RTP1$_3$，RTP1$_2$，RTP1$_1$，RTP1$_0$，RTP0$_3$，RTP0$_2$の出力を制御できます。波形出力制御ビットを“1”にすると、対応するポートから波形が出力されます。“0”にすると、対応するポートからの波形出力は停止され、ポートはフローティングになります。このビットは、命令で“0”にする以外に、リセットをかけても“0”にできます。

EOL announced Product

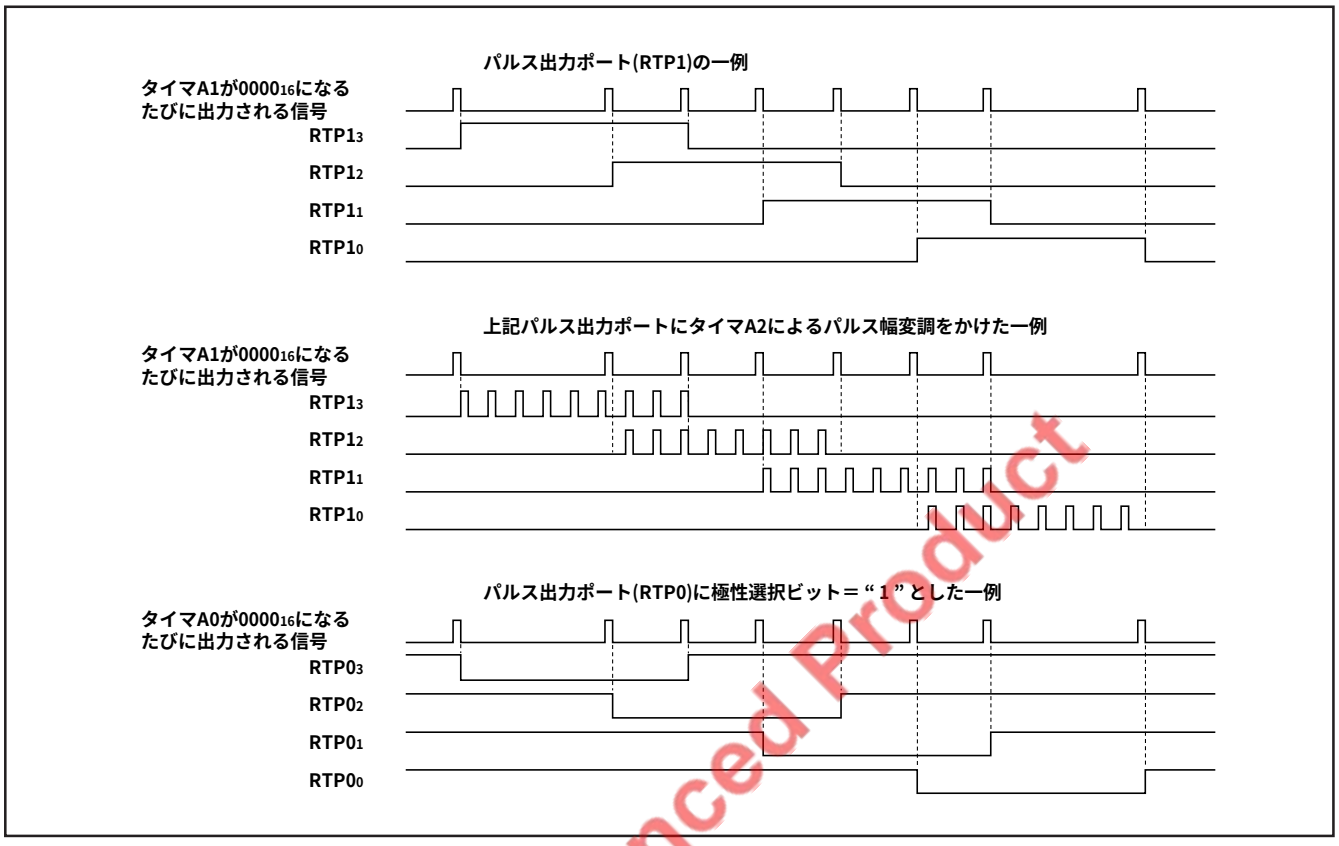


図52．パルスモード0時の波形例

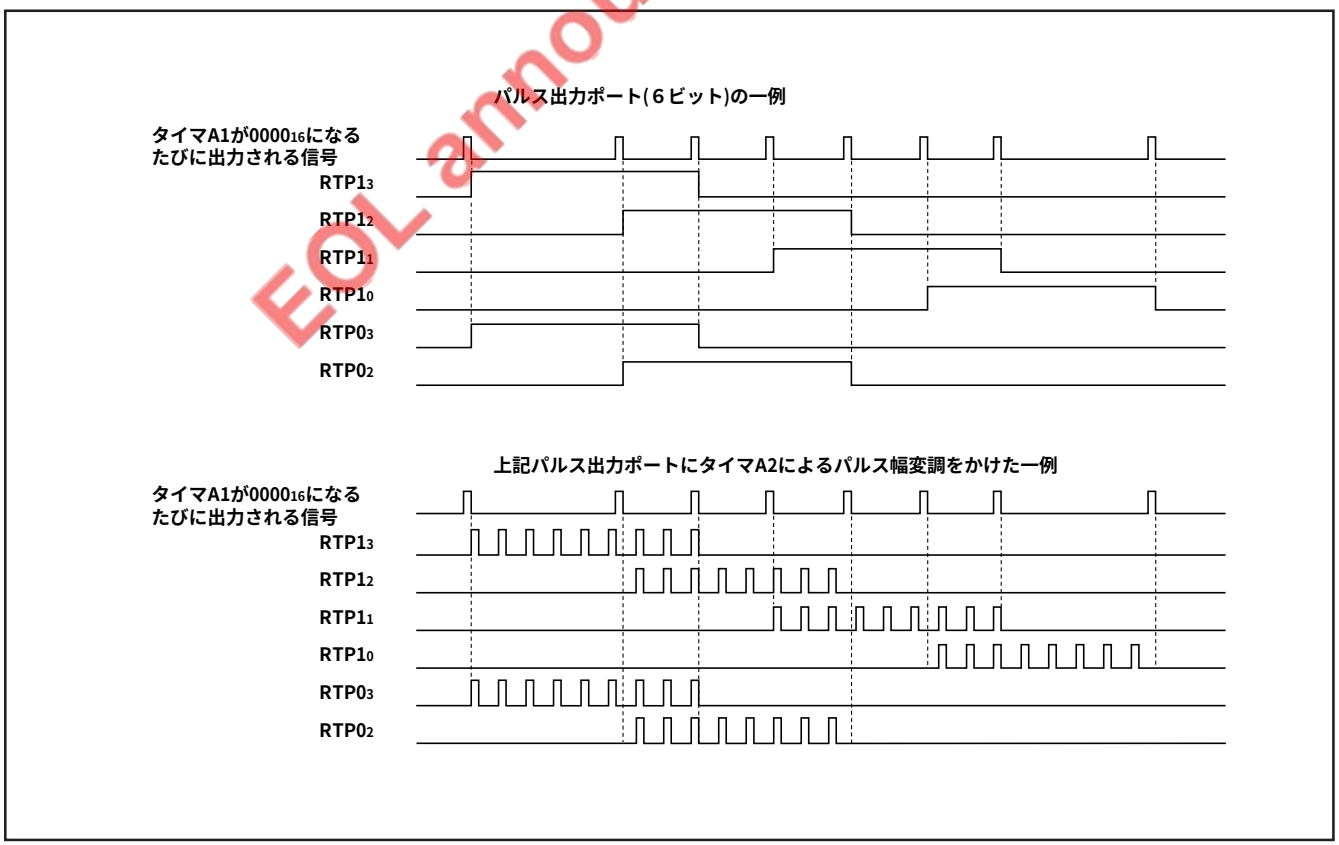


図53．パルスモード1時の波形例

EOL announced Product

シリアルI/O

シリアルI/Oは全く独立して、2本内蔵されています。

図54にシリアルI/Oのブロック図を示します。

図55に示すUARTi(i=0，1)送受信モードレジスタのビット0とビット1とビット2の内容でポートP8を並列ポートとして使用するか、クロック同期形シリアルI/Oとして使用するか、スタートビット、ストップビットを用いる非同期形(UART)シリアルI/Oとして使用するかを選択します。

図56と図57に受信部及び送信部ブロックのモードによる接続の切り替わりを示します。

図58にUARTi送受信制御レジスタのビット構成を示します。

次に、各通信方式について説明します。

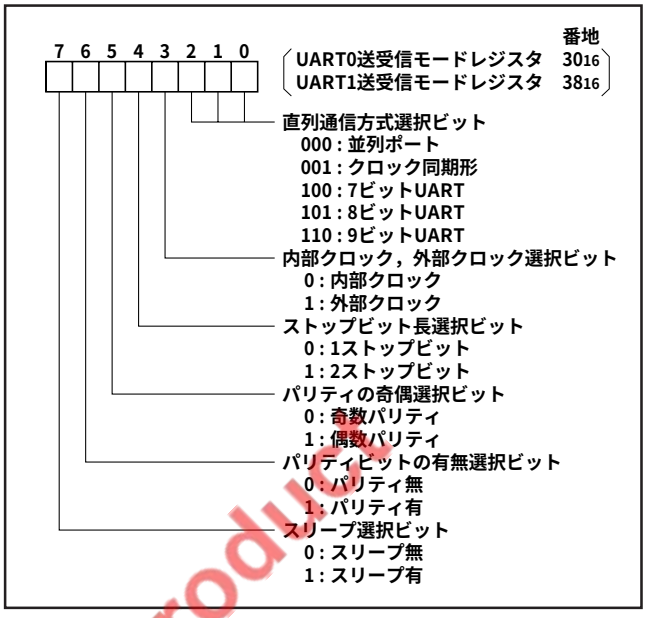


図55．UARTi送受信モードレジスタのビット構成

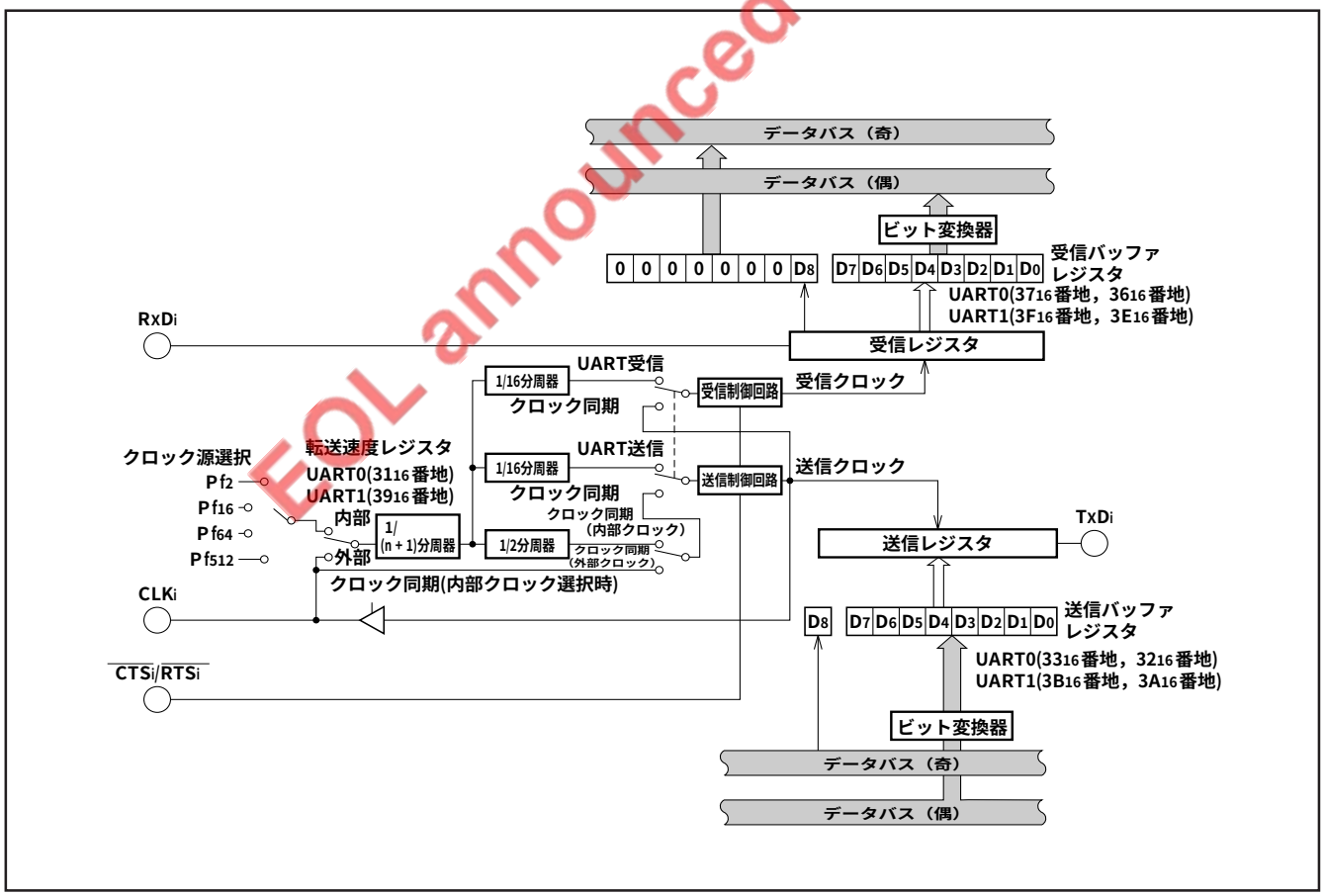


図54．シリアルI/Oのブロック図

EOL announced Product

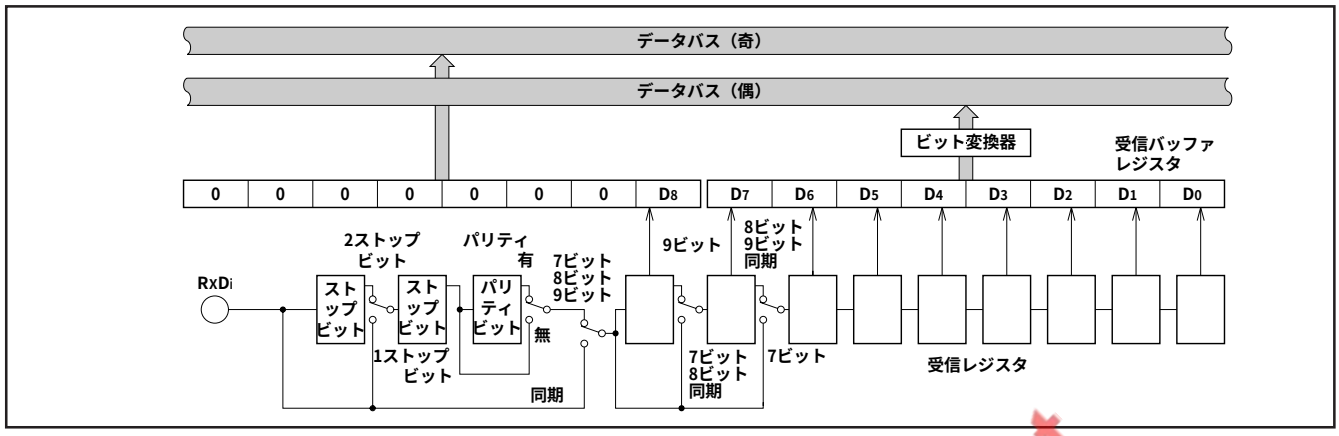


図56．受信部ブロック図

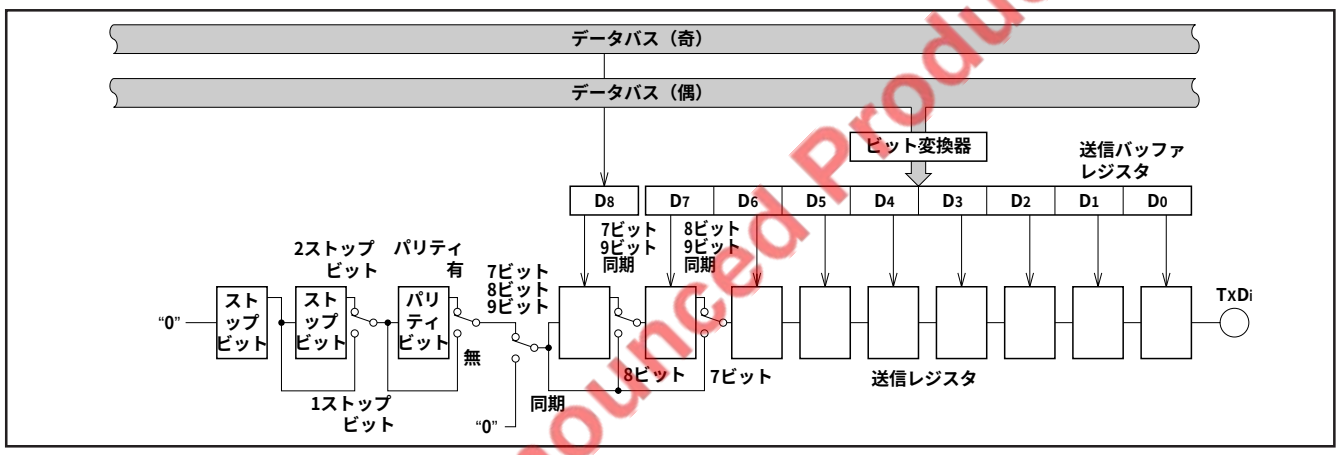


図57．送信部ブロック図

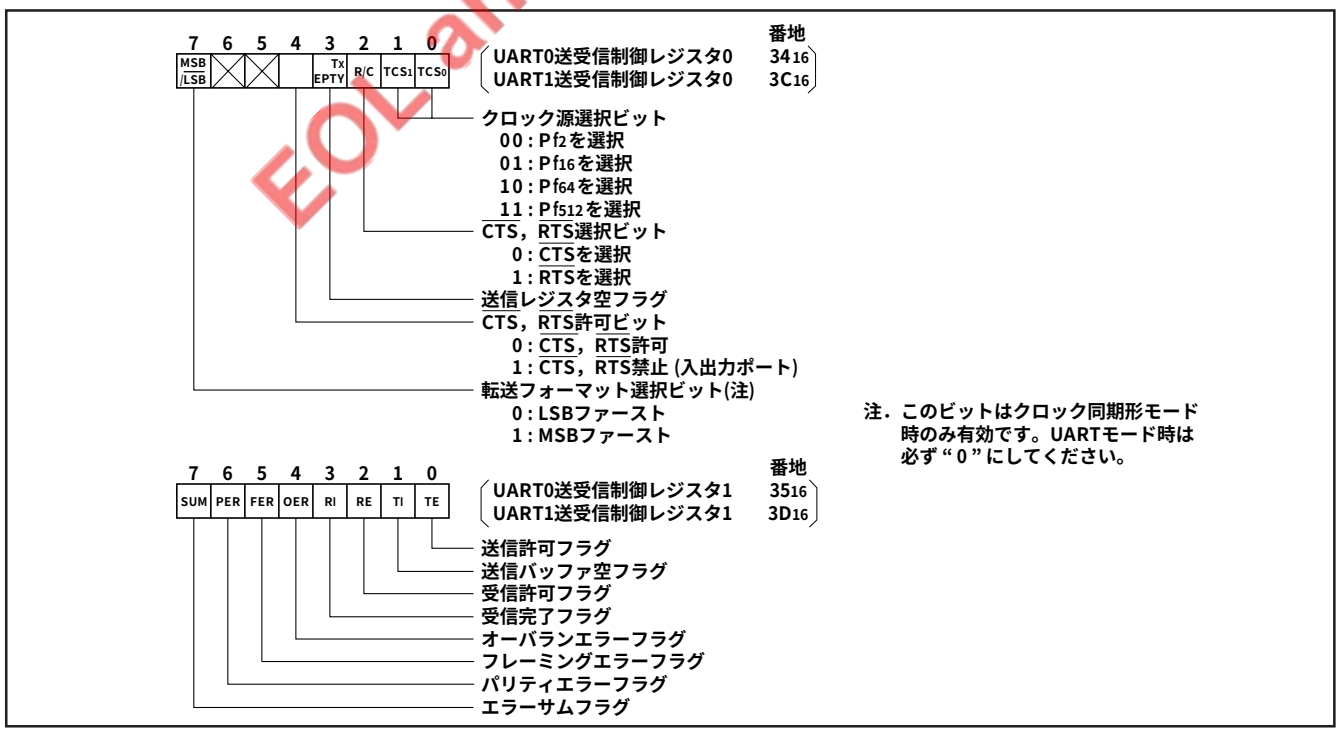


図58．UARTi送受信制御レジスタのビット構成

EOL announced Product

クロック同期形直列通信

図59に示すように、2つのクロック同期形シリアルI/Oの間で通信を行う場合を例にとって説明します(送信側の添字はjとし、受信側の添字はkとします)。

UARTj送受信モードレジスタ及び、UARTk送受信モードレジスタのビット0は“1”に、ビット1とビット2は“0”にします。転送データのビット長は8ビットで固定です。

クロックを送る側のUARTj送受信モードレジスタのビット3の内容を“0”にして、内部クロックを選択します。クロックを受け取る側のUARTk送受信モードレジスタのビット3の内容を“1”にして、外部クロックを選択します。ビット4、ビット5、ビット6はクロック同期形では無効になります。ビット7の内容は必ず“0”にしてください。

クロックを送る側のUARTj送受信制御レジスタ0のビット0(TCS0)とビット1(TCS1)の内容でクロック源を選択します。選択されたクロックは、図54に示すように(n+1)分周され、さらに2分周されて送信制御回路を経て外部へ送信クロックCLKjとして出力されます。したがって、選択したクロックをPfiとすると、

転送速度=Pfi/{(n+1)×2}

となります。

クロックを受ける側は、外部クロックを選択しているのでUARTk送受信制御レジスタ0のTCS0とTCS1の内容は無効です。

クロックを送る側のUARTj送受信制御レジスタ0のビット2の内容を“0”にして、$\overline{CTS}$j入力を選択します。クロックを受ける側のビット2の内容を“1”にして$\overline{RTS}$k出力を選択します。

なお、$\overline{CTS}$, $\overline{RTS}$信号を使用するかどうかはUART送信受信制御レジスタ0のビット4で選択できます。$\overline{CTS}$, $\overline{RTS}$信号を使用する場合は、ビット4を“0”に、$\overline{CTS}$, $\overline{RTS}$信号を使用しない場合はビット4を“1”にします。$\overline{CTS}$, $\overline{RTS}$信号を使用しない場合、$\overline{CTS}$, $\overline{RTS}$端子は、通常のポートとして使用できます。以下の説明では、$\overline{CTS}$, $\overline{RTS}$信号を使用する場合について説明しますが、$\overline{CTS}$, $\overline{RTS}$信号を使用しない場合、$\overline{CTS}$j入力の条件は必要なく、$\overline{RTS}$k出力はありません。

EOL announced Product

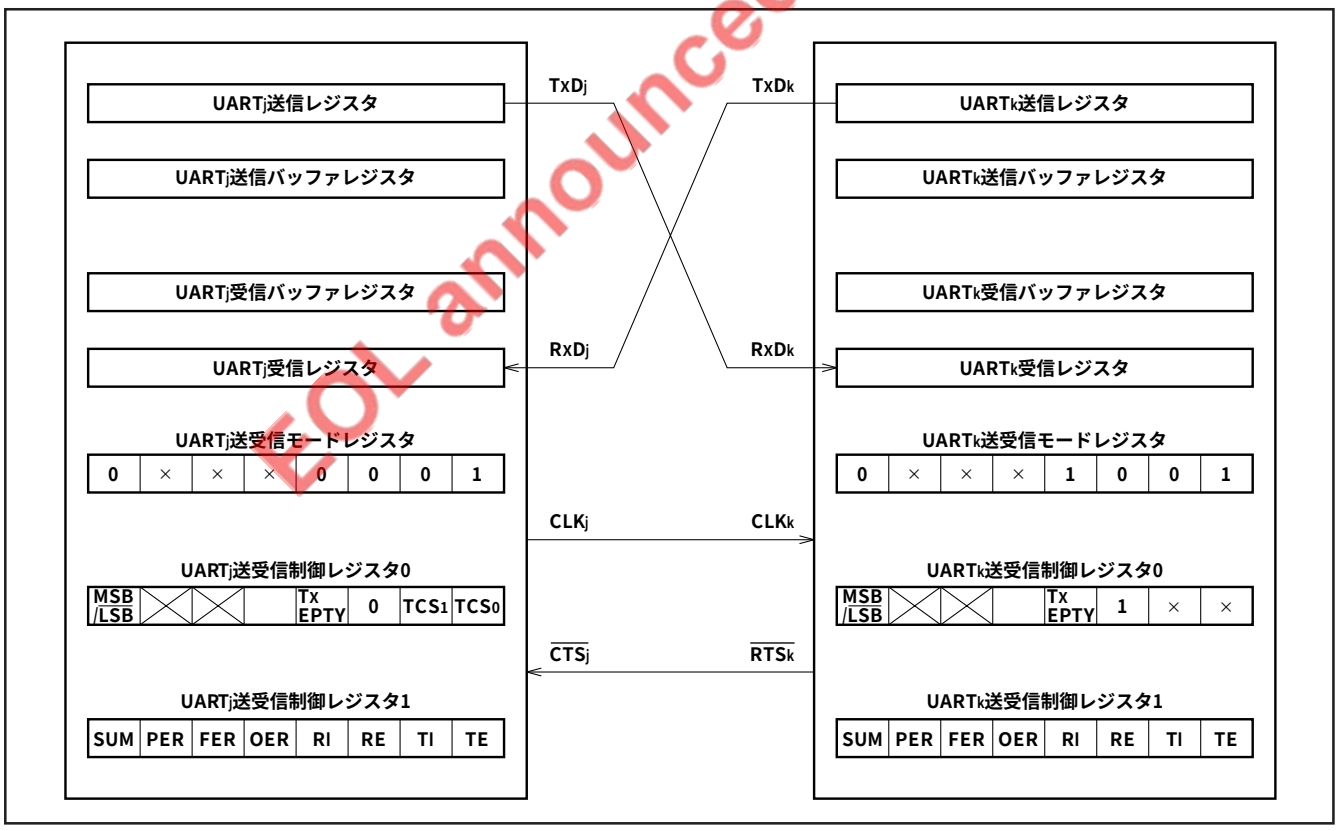


図59．クロック同期形直列通信

送　信

UARTj送受信制御レジスタ1のビット0(TEjフラグ)の内容が“1”で、かつ、ビット1(TIjフラグ)の内容が“0”で、かつ、$\overline{CTS}$j入力が“L”のとき、送信を始めます。

図60に示すように、送信クロックCLKjが“H”から“L”になるたびに、TxDj端子からデータが出力されます。データは下位ビットから出力します。

TIjフラグは、送信バッファレジスタが空かどうかを示すフラグで、送信バッファレジスタに書き込みを行うと“0”になり、送信バッファレジスタの内容を送信レジスタへ転送すると“1”になります。

送信レジスタの内容を送信し終わって、送信レジスタの内容が空になったときに、次の送信開始条件が整っていれば送信バッファレジスタから、送信レジスタへのデータの転送は自動的に行われます。もし、UARTj送受信制御レジスタ0のビット2の内容を“1”としておくと、$\overline{CTS}$j入力は無関係となり、TEjフラグとTIjフラグの条件だけで送信を開始します。一度、送信を開始すると送信中のデータを送信し終わるまではTEjフラグ、TIjフラグ、$\overline{CTS}$j信号の条件を見ないので、送信中に$\overline{CTS}$j入力を“H”にしても送信が中断されることはありません。

図60に示す、TENDj信号の“H”の期間に送信開始条件である TEjフラグ、TIjフラグ、$\overline{CTS}$jの状態を調べます。したがって、TENDj信号の“H”の期間が来る前に、送信バッファレジスタに次に送信すべきデータを書き込んでTIjフラグを“0”にしておくと、連続してデータを転送することができます。

UARTj送受信制御レジスタ0のビット3(TxEPTYjフラグ)は、TENDj信号が“H”になった次のサイクルで“1”になり送信を始めると“0”になります。したがって、このフラグによってデータを送信し終わったかどうか判定することができます。

TIjフラグが“0”から“1”に変化すると、UARTj送信割り込み制御レジスタの割り込み要求ビットが“1”にセットされます。

UART0に限り、内部クロックを用いる場合に、CLK0, CLKS0(RxD0と兼用)、CLKS1($\overline{CTS0}$/$\overline{RTS0}$と兼用)のうちの1本を選択して送信クロックを出力することにより、最大3個までの外部受信装置にデータを送信することができます。ただし、送信中にクロックの選択を変更しないでください。図61にこの場合の外部接続例を示します。

送信クロックの出力複数設定モードは、特殊機能選択レジスタ1のビット1, 0で設定しますが、これ以外にもUART0送受信モードレジスタ、UART0送受信制御レジスタ0, 1、及びA-D制御レジスタ1で内部クロック選択、$\overline{CTS}$, $\overline{RTS}$禁止、受信禁止、及びD-A出力禁止の指定を行う必要があります。図62に特殊機能選択レジスタ1のビット構成、図63に他のレジスタの送信クロック出力複数設定モード時のビット構成を示します。

また、表6に特殊機能選択レジスタ1のビット1, 0(送信クロック出力選択ビット；TC1, TC0)の機能を示します。この表に示すとおり、TC1, TC0の状態によりCLK0, CLKS0、CLKS1端子から選択して、送信クロックを出力します。

EOL announced Product

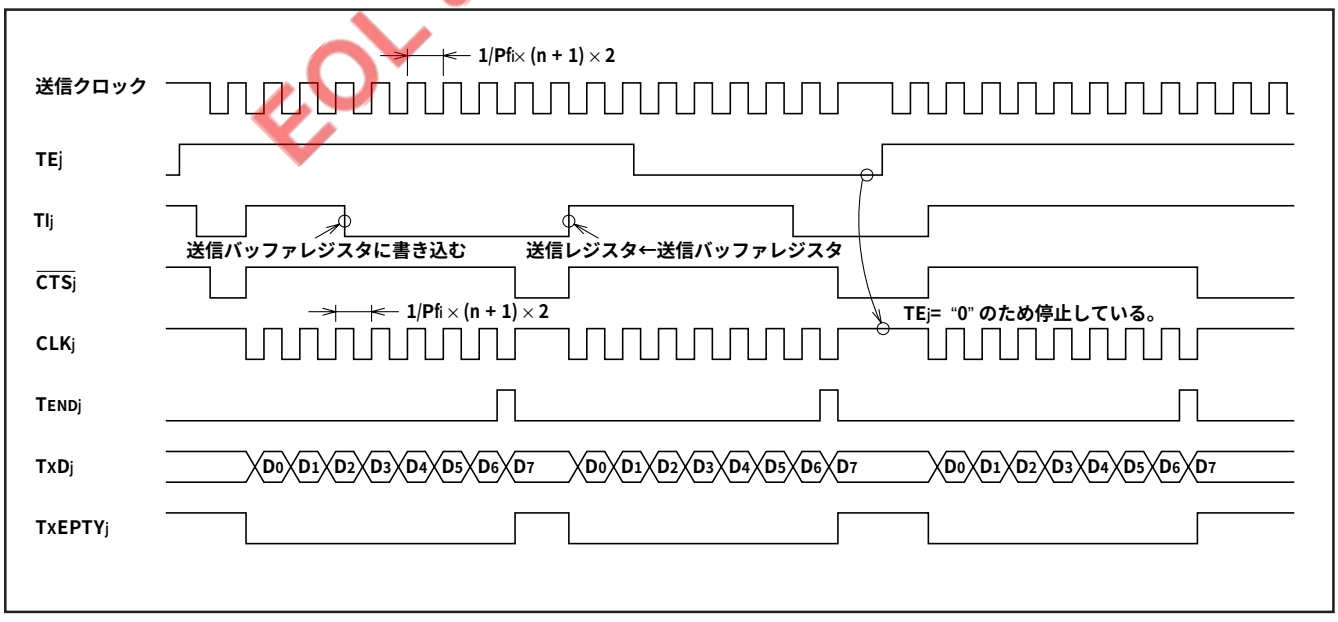


図60．クロック同期形シリアルI/Oのタイミング

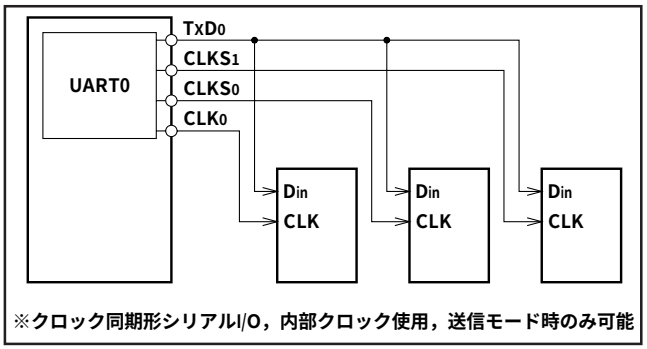


図61．送信クロック出力複数設定モードでの外部接続例

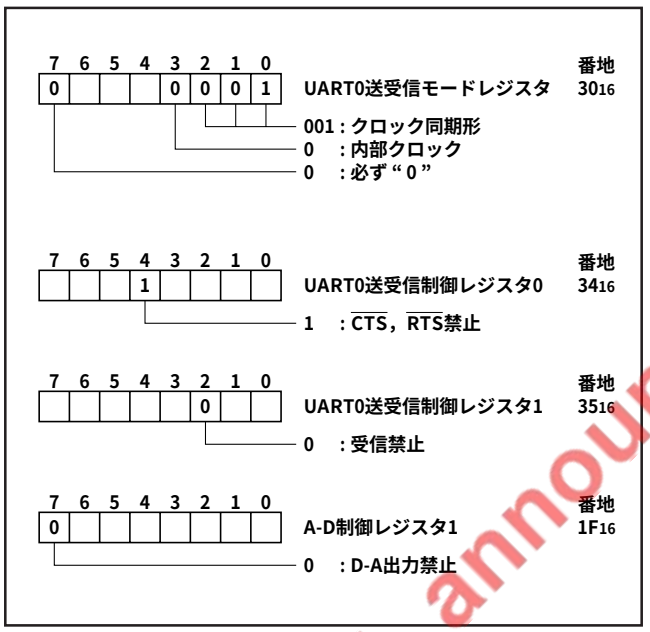


図63．送信クロック出力複数設定モードでの特殊機能選択レジスタ１以外の関連レジスタのビット構成

表６．送信クロック出力端子選択ビットと端子機能

送信クロック出力端子選択ビット		端子名		
TC1	TC0	P81/CLK0	P82/RxD0	P80/CTS0/RTS0/DA0
0	0	CLK0	RxD0	P80/CTS0/RTS0/DA0
0	1	CLK0	“H”(注)	P80
1	0	“H”	CLKS2	P80
1	1	“H”	“H”(注)	CLKS1

注．ポートP8方向レジスタのビット2の内容が“1”の場合に“H”出力,同ビットの内容が“0”の場合はフローティングとなります。

受　信

UARTk送受信制御レジスタ1のビット2(REkフラグ)を“1”にすると受信を開始します。

$\overline{\text{RTSk}}$出力はREkフラグの内容が“0”のときは“H”ですが、REkフラグの内容を“1”にし、かつTIkフラグを“0”とすると“L”になり、受信を始めると再び“H”になります。TIkフラグは、送信バッファレジスタにダミーのデータを書き込むことにより“0”とすることができます。すなわち、$\overline{\text{RTSk}}$出力が“L”のとき受信可能となったことを示します。

送信クロックCLKjが“L”から“H”になるたびに、RxDk端子からデータを取り込むと同時に、受信レジスタの内容を1ビットシフトします。8ビット長のデータを受け取ると、受信レジスタの内容は受信バッファレジスタへ転送され、UARTk送受信制御レジスタ1のビット3(RIkフラグ)が“1”にセットされます。すなわち、RIkフラグが“1”になることは、受信バッファレジスタにデータが入っていることを示します。

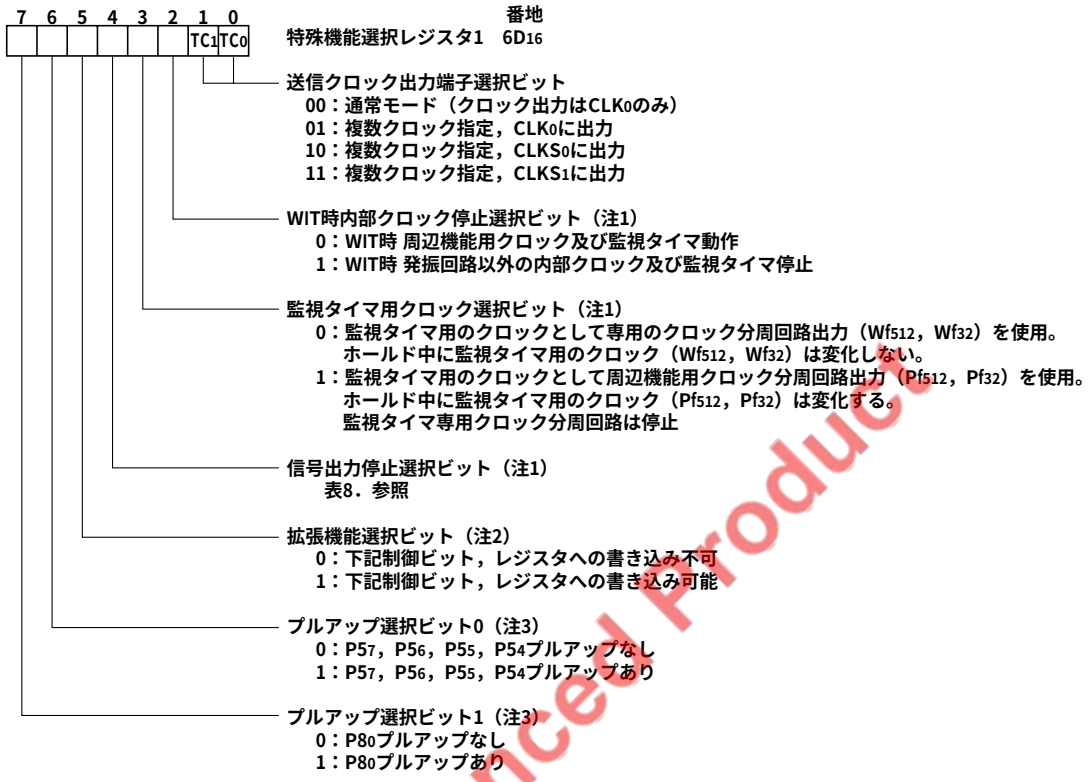
RIkフラグが“0”から“1”に変化すると、UARTk受信割り込み制御レジスタの割り込み要求ビットが“1”にセットされます。

UARTk送受信制御レジスタ1のビット4(OERkフラグ)は、RIkフラグが“1”のままで、次のデータを受信レジスタから受信バッファレジスタへ転送したときに“1”にセットされ、受信バッファレジスタの内容を読み出す前に、次のデータが受信バッファレジスタに転送されたことを示します。RIkフラグは、受信バッファレジスタの下位バイトを読み出すか、REkフラグを“0”にすると自動的に“0”にクリアされます。また、OERkフラグはREkフラグを“0”にする、又はポートP8を並列ポートにすると、“0”にクリアされます。ビット5(FERkフラグ)、ビット6(PERkフラグ)、ビット7(SUMkフラグ)は、クロック同期形では無効になります。

受信バッファレジスタの内容をデータバスに読み出す場合、UARTj送受信制御レジスタ0のビット7(TEM)が“0”のときは、受信データを受信したビット順に最下位ビット(LSB)から引き当て、またビット7が“1”のときは、最上位ビット(MSB)から順に引き当てます。

図54に示すように、クロック同期形直列通信では、受信クロックは送信クロックから作られるので、送信器が動作しないと受信は行われません。したがって、UARTk側からUARTj側へのデータの送信が必要なくても、送信器は動作させる必要があります。

EOL announced Product



拡張機能選択ビットの影響を受ける制御ビット

レジスタ名	番地	ビット
A-D制御レジスタ1	1F16	5
特殊機能レジスタ0	6C16	0, 1, 5, 6
特殊機能レジスタ1	6D16	2, 3, 4

拡張機能選択ビットの影響を受ける制御レジスタ

レジスタ名	番地
波形出力モードレジスタ	1A16
短絡防止時間設定タイマ	1B16
パルス出力データレジスタ1	1C16
パルス出力データレジスタ0	1D16
タイマA書き込みフラグ	4516
INT4割り込み制御レジスタ	6E16

EOL announced Product

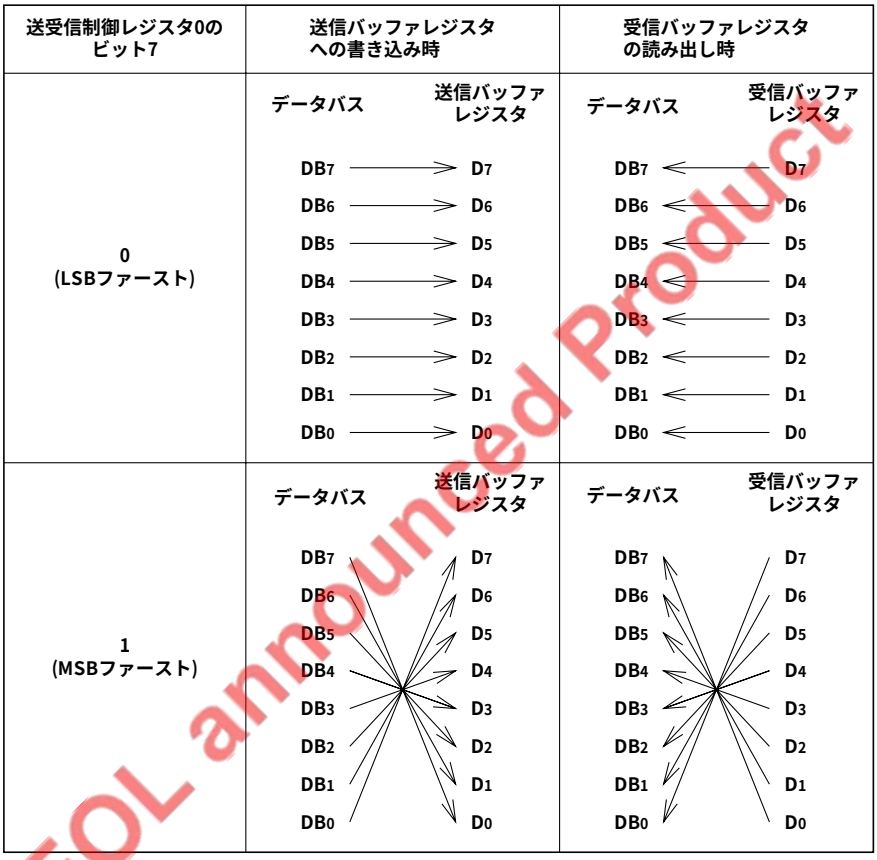
注1．ビット2, 3, 4は、ビット5（拡張機能選択ビット）への“1”設定後に書き換え可能。
2．ビット5は、一度“1”を書き込むと、外部リセット、ソフトウエアリセット以外では“0”にクリアされない。
3．ビット6, 7は、書き込み専用で読み出し時は不定ですので、ビット0～7の設定時にSEB, CLB命令を使用しないでください。

図62．特殊機能選択レジスタ１のビット構成

転送フォーマットの選択

クロック同期形直列通信では、送受信制御レジスタ0のビット7の内容によって、転送フォーマットを選択することができます。ビット7の内容が“0”のとき転送フォーマットはLSBファースト、“1”のときMSBファーストになります。

図64に示すようにこの機能は、送信バッファレジスタに送信データを書き込むとき、又は受信バッファレジスタから受信データを読み出すときに、送信バッファレジスタ/受信バッファレジスタとデータバスの接続関係を切り替えることによって実現しています。したがって、いずれの転送フォーマットを選択した場合も、送受信器本体の動作は同じです。



EOL announced Product

図64．送信バッファレジスタ/受信バッファレジスタとデータバスの接続関係

非同期形直列通信

非同期形直列通信では転送データ長により、7ビット非同期通信、8ビット非同期通信、9ビット非同期通信のうちいずれか一つを選択できます。これらは転送ビット長が異なるだけですので、8ビット非同期通信についてのみ説明します。

8ビット非同期通信では、UARTi送受信モードレジスタのビット0は“1”に、ビット1は“0”に、ビット2は“1”にします。

ビット3は、内部クロックを選択する場合は“0”、外部クロックを選択する場合は“1”にします。内部クロックを選択した場合は、更にUARTi送受信制御レジスタ0のビット0(TCS0)とビット1(TCS1)でクロック源を選択します。非同期形直列通信で内部クロックを選択した場合、CLKi端子は通常の入出力端子として使用できます。

選択された内部クロック又は外部クロックは(n+1)分周され、更に16分周され、制御回路を経てUART送信クロックあるいはUART受信クロックとなります。したがって、転送速度レジスタの内容nを変えると、転送速度を変えることができます。選択した内部クロックをPfiあるいは外部クロックをfEXTとすると

転送速度＝(Pfi又はfEXT)/{(n+1)×16}

となります。

ビット4は、ストップビット長を1ビットとするか、2ビットとするかを選択するストップビット長選択ビットです。

ビット5は、データの“1”の個数とパリティビットの“1”の個数を加算した合計がいつも奇数になるようにパリティビットを“1”あるいは“0”に調整する奇数パリティ、あるいは合計がいつも偶数になるように調整する偶数パリティのいずれか

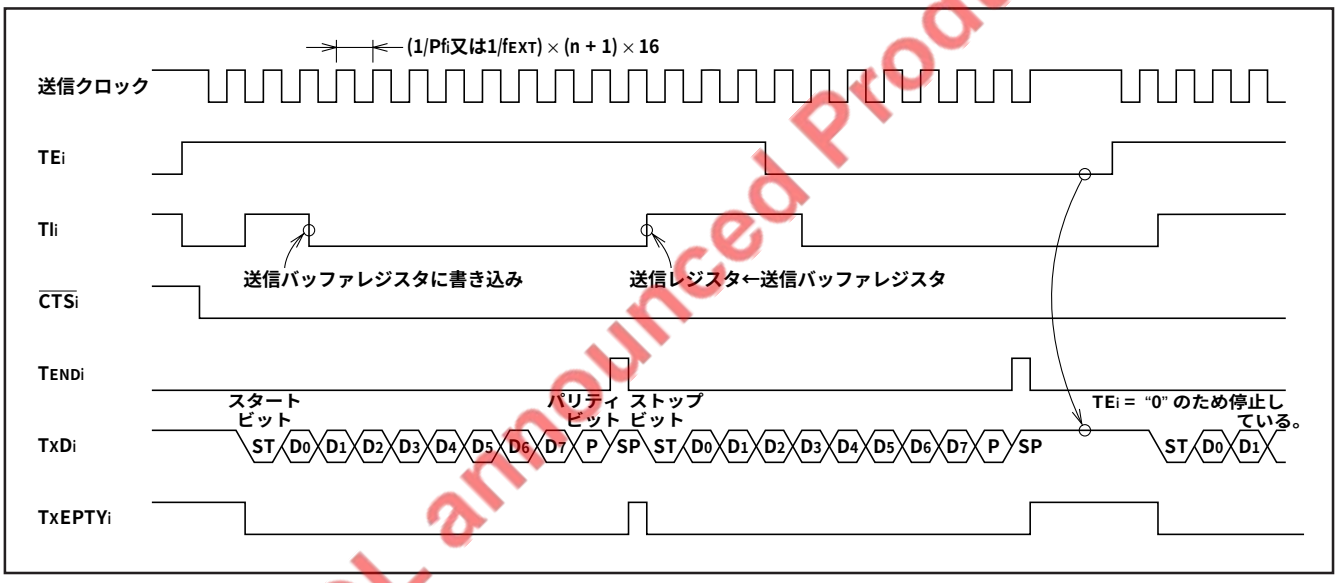


図65．パリティ付，1ストップビット，8ビット非同期を選択した場合の送信のタイミング例

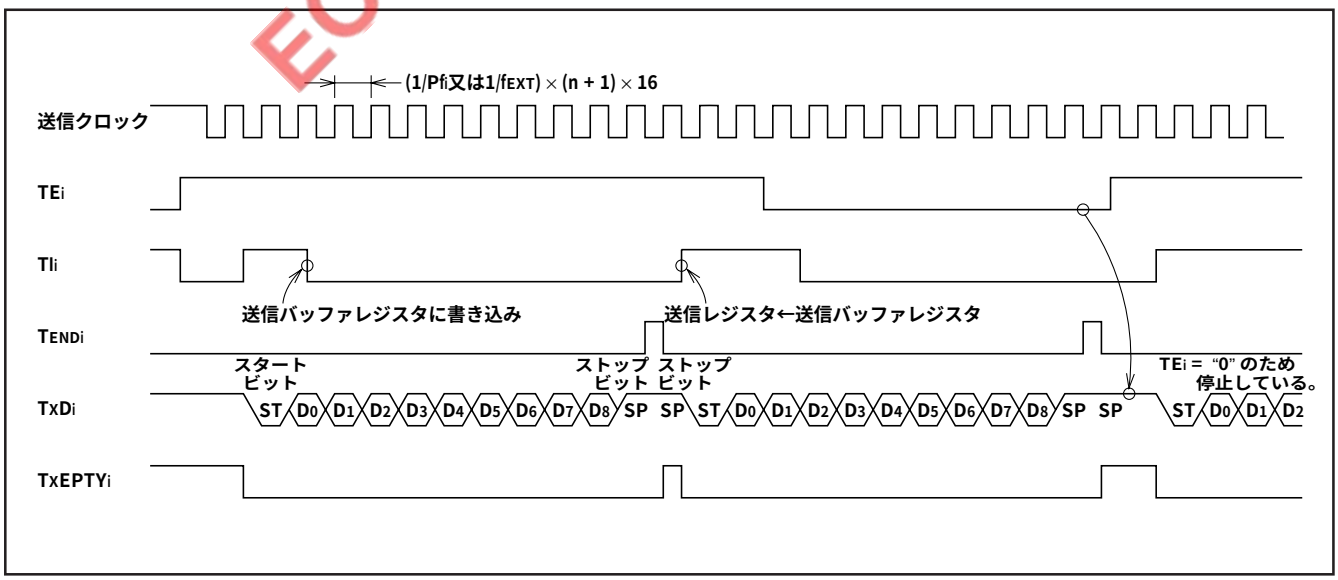


図66．パリティなし，2ストップビット，9ビット非同期を選択した場合の送信のタイミング例

EOL announced Product

を選択するパリティの奇偶選択ビットです。

ビット6は、パリティビットを付加するかしないかを選択するパリティビットの有無選択ビットです。

ビット4からビット6は、相互に通信する通信フォーマットにより“0”あるいば“1”に設定します。

ビット7はスリープ選択ビットです。スリープモードについては後で説明します。

UARTi送受信制御レジスタ0のビット2の内容により、$\overline{\text{CTS}}$i入力を使用するか、$\overline{\text{RTS}}$i出力を使用するか選択します。ビット2の内容が“0”のとき$\overline{\text{CTS}}$i入力、“1”のとき$\overline{\text{RTS}}$i出力となります。

$\overline{\text{CTS}}$i入力を選択した場合は、外部からの$\overline{\text{CTS}}$i入力により送信を停止するか、開始するか制御できます。

なお、$\overline{\text{CTS}}$，$\overline{\text{RTS}}$信号を使用するかどうかはUART送受信制御レジスタ0のビット4で選択できます。$\overline{\text{CTS}}$，$\overline{\text{RTS}}$信号を使用する場合はビット4を“0”に、$\overline{\text{CTS}}$，$\overline{\text{RTS}}$信号を使用しない場合はビット4を“1”にします。

$\overline{\text{CTS}}$，$\overline{\text{RTS}}$信号を使用しない場合、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$端子は通常のポートとして使用できます。以下の説明では、$\overline{\text{CTS}}$，$\overline{\text{RTS}}$信号を使用する場合について説明しますが、$\overline{\text{CTS}}$，$\overline{\text{RTS}}$信号を使用しない場合、$\overline{\text{CTS}}$i入力の条件は必要なく、$\overline{\text{RTS}}$i出力はありません。

非同期通信では、UARTj送受信制御レジスタ0のビット7は“0”としてください。

送　信

UARTi送受信制御レジスタ1のビット0(TEiフラグ)の内容が“1”で、かつビット1(TIiフラグ)の内容が“0”で、さらに$\overline{\text{CTS}}$i入力を選択している場合は、$\overline{\text{CTS}}$i入力が“L”の条件で送信を開始します。

データは、図65、図66の例に示すように、スタートビット及びUARTi送受信モードレジスタのビット4からビット6の内容で設定したストップビットあるいはパリティビットが付加されて、TxDi端子から出力されます。データは下位ビットから転送されます。

TIiフラグは、送信バッファレジスタが空かどうかを示すフラグで、送信バッファレジスタに書き込みを行うと“0”になり、送信バッファレジスタの内容を送信レジスタへ転送すると“1”になります。

送信レジスタの内容を送信し終わって、送信レジスタの内容が空になったとき、次の送信開始条件が整っていれば、送信バッファレジスタから送信レジスタへのデータの転送は自動的に行われます。

送信を開始すると、送信中のデータを送信し終わるまではTEiフラグ、TIiフラグ、$\overline{\text{CTS}}$i($\overline{\text{CTS}}$i入力を選択している場合)の条件を見ないので、送信中にTEiフラグを“0”にしても、送信中のデータを送信し終わるまで停止しません。図65に示すTENDi信号の“H”の期間に送信開始条件であるTEiフラグ、TIiフラグ、$\overline{\text{CTS}}$i入力を検査します。したがって、TENDi信号の“H”の期間が来る前に、送信バッファレジスタに次に送信すべきデータを書き込んでTIiフラグを“0”にしておくと連続してデータを転送することができます。

UARTi送受信制御レジスタ0のビット3(TxEPTYiフラグ)はTENDi信号が“H”になった次のサイクルで“1”になり送信を始めると“0”になります。したがって、このフラグを検査すると、データを送信し終わったかどうか分かります。

TIiフラグが“0”から“1”に変化すると、UARTi送信割り込み制御レジスタの中の割り込み要求ビットが“1”にセットされます。

受　信

UARTi送受信制御レジスタ1のビット2(REiフラグ)を“1”にすると受信可能になり、図67に示すようにスタートビットが来ると、受信側の16分周回路が動作を始めデータを受信します。

EOL announced Product

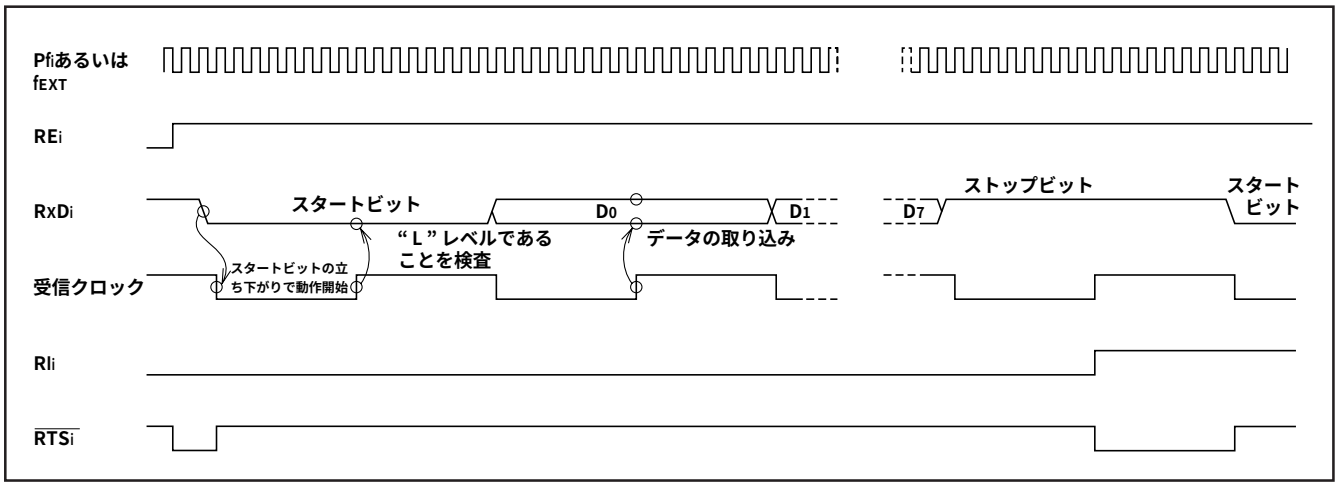


図67．パリティなし，1ストップビット，8ビット非同期を選択した場合の受信のタイミング例

UARTi送受信制御レジスタ0のビット2の内容を“1”にしてRTSi出力を選択している場合は、REiフラグが“0”のときRTSi出力は“H”となり、REiフラグを“1”にすると“L”になり、受信可能になったことを示し、受信を始めると再び“H”になります。すなわち、RTSi出力を見ていると受信レジスタが受信可能になったかどうか外部から分かります。

スタートビットが図56に示す受信部ブロックの受信レジスタの終端ビットを通り抜けたときに、送信されたデータの全ビットを受信したことになり、受信レジスタの内容は受信バッファレジスタへ転送され、UARTi送受信制御レジスタ1のビット3(RIiフラグ)が“1”にセットされます。すなわち、RIiフラグが“1”になることは、受信バッファレジスタにデータが入っていることを示します。RTSi出力を選択している場合は、RTSi出力は“L”になり、次のデータの受信が可能なことを示します。

RIiフラグが“0”から“1”に変化するとUARTi受信割り込み制御レジスタの割り込み要求ビットが“1”にセットされます。

UARTi送受信制御レジスタ1のビット4(OERiフラグ)は、RIiフラグが“1”のままで次のデータを受信レジスタから受信バッファレジスタへ転送したとき(オーバランエラー)に“1”にセットされます。OERiフラグが“1”であるということは、受信バッファレジスタの内容を読み出す前に、次のデータが受信バッファレジスタに転送されたことを示します。

ビット5(FERiフラグ)は、ストップビットが規定の個数でなかったとき(フレーミングエラー)に“1”にセットされます。

ビット6(PERiフラグ)は、パリティエラーが発生すると“1”にセットされます。

ビット7(SUMiフラグ)はOERiフラグあるいはFERiフラグあるいはPERiフラグのいずれか一つでも“1”になるとSUMiフラグも“1”になります。したがって、SUMiフラグを検査するだけでエラーが発生したかどうか分かります。

RIiフラグ、OERiフラグ、FERiフラグ、PERiフラグのセットは受信レジスタの内容を受信バッファレジスタへ転送するときに行われます。RIiフラグ、FERiフラグ、PERiフラグは受信バッファレジスタの下位バイトの読み出し、REiフラグへの“0”書き込み、又は並列ポートへの設定により“0”にクリアされます。OERiフラグは、REiフラグへの“0”書き込み、又は並列ポートへの設定により“0”にクリアされます。SUMiフラグは、OERiフラグ、FERiフラグ、PERiフラグがすべて“0”になったとき“0”になります。

スリープモード

スリープモードは、複数のマイクロコンピュータをシリアルI/Oを通して接続した場合に、特定のマイクロコンピュータ間のみで通信を行いたい場合に使用します。

UARTi送受信モードレジスタのビット7の内容を“1”にするとスリープモードになります。

スリープモードを選択した場合の動作を8ビット非同期通信の場合について説明します。

スリープモードを選択した場合、受信したデータのビット7(7ビット非同期通信の場合はビット6，9ビット非同期通信の場合はビット8)が“0”のときは、受信レジスタの内容を受信バッファレジスタへ転送しません。また、RIiフラグ、OERiフラグ、FERiフラグ、PERiフラグ、SUMiフラグの内容も変化しません。したがって、UARTi受信割り込み制御レジスタの割り込み要求ビットも変化しません。

受信したデータのビット7が“1”の場合は、通常の受信動作を行います。

次に、スリープモードの使用例について説明します。

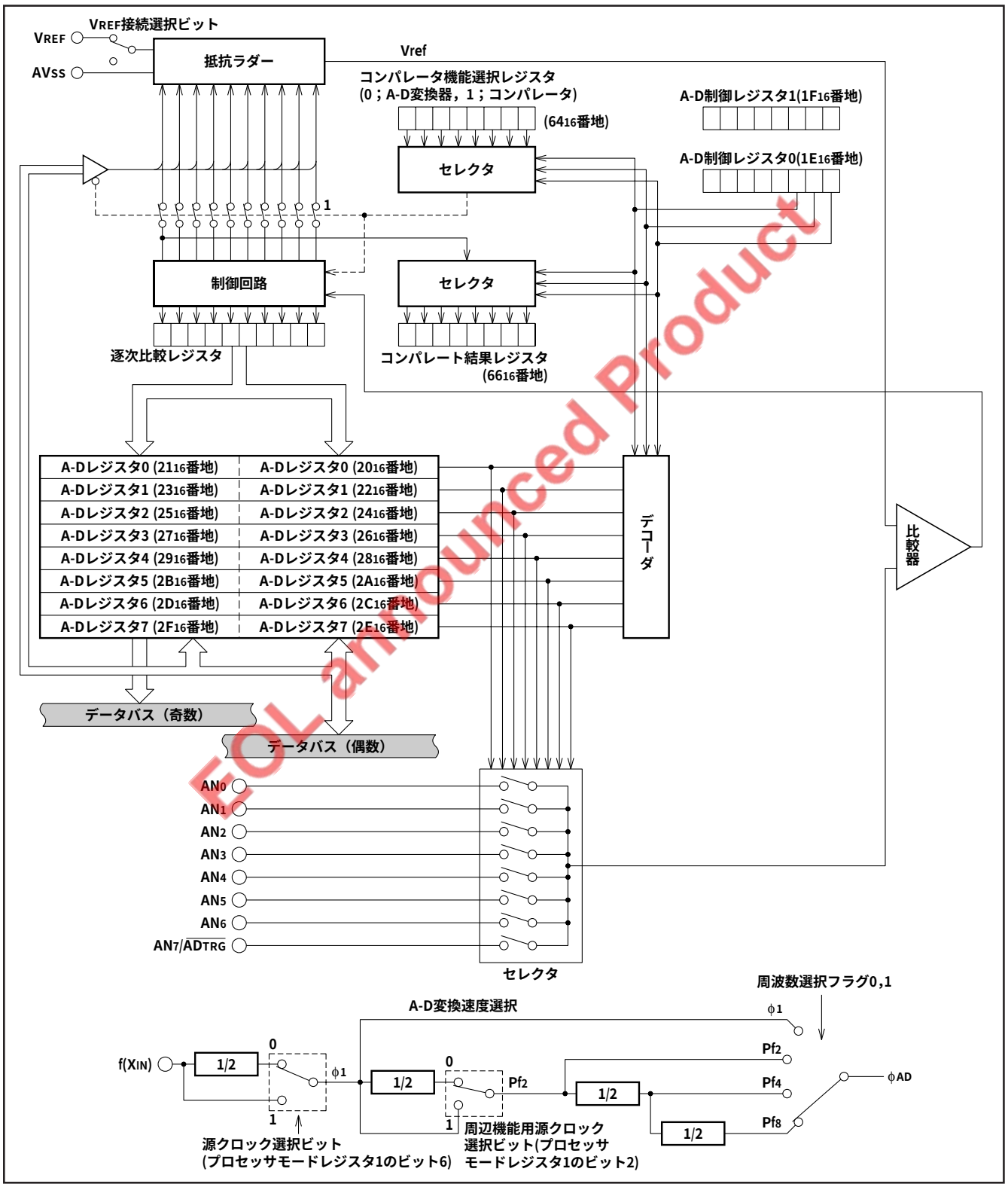
主となる一つのマイクロコンピュータは、最初にデータのビット7が“1”で、残りのビット0～ビット6で表される数値を、通信したい従のマイクロコンピュータの番地としたデータを送信します。そうすると、すべての従のマイクロコンピュータは同じデータを受信します。各々の従のマイクロコンピュータは受け取ったデータを調べ、データのビット0～ビット6が自分の番地であれば、スリープ選択ビットを“0”にし、自分の番地でないマイクロコンピュータはスリープ選択ビットを“1”にします。次からは主のマイクロコンピュータは、データのビット7を“0”にしたデータを送信します。そうすると、スリープ選択ビットが“0”になっているマイクロコンピュータは、送られてきたデータを受信しますが、スリープ選択ビットが“1”になっているマイクロコンピュータは、送られてきたデータを受信しません。このようにして、主のマイクロコンピュータと、特定の従のマイクロコンピュータの間で通信を行うことができます。

EOL announced Product

A-D変換器

10ビットの逐次比較方式のA-D変換器です。コンパレータ機能選択レジスタの内容により、A-D入力端子ごとに、A-D変換器として使用するか、コンパレータとして使用するかを選択することができます。

図68にA-D変換器のブロック図を示します。



EOL announced Product

図68．A-D変換器のブロック図

図69にコンパレータ機能選択レジスタ(6416番地)のビット構成を示します。ビット7～0がそれぞれチャネルの7～0に対応しており、チャネルごとにA-D変換器として使用するか、コンパレータとして使用するかを選択できます。ビットの内容が“0”の場合は、対応したチャネルが10ビット、又は8ビットA-D変換器として動作し、“1”の場合は、コンパレータとして動作します。

A-D変換器を選択した場合は、アナログ入力端子に印加された電圧レベルをA-D変換し、その結果をA-Dレジスタに格納します。

コンパレータを選択した場合は、A-Dレジスタの偶数番地に格納された8ビットの値を上位8ビットとし、下位2ビットを“102”としてD-A変換した電圧とアナログ入力端子に印加された電圧レベルとを比較し、その結果、アナログ入力端子に印加された電圧レベルの方が高い場合には“1”を、低い場合には“0”を、図70に示すコンパレート結果レジスタ(6616番地)に格納します。

なお、A-D変換器を選択したチャネルのA-Dレジスタは読み出しのみ、コンパレータを選択したチャネルのA-Dレジスタは書き込みのみ行ってください。

また、A-D変換器、又はコンパレータ動作中は、コンパレータ機能選択レジスタ、及びA-Dレジスタに書き込みを行わないでください。

アナログ入力ポートはポートP7と共用していますのでA-D変換を行う端子に対応する方向レジスタのビットは“0”にして入力モードにしておく必要があります。

図71にA-D制御レジスタ0(1E16番地)、A-D制御レジスタ1(1F16番地)のビット構成を示します。

A-D制御レジスタ0のビット7及びA-D制御レジスタ1のビット4でA-D変換器、又はコンパレータの動作クロックφADの周波数を選択します。

A-D制御レジスタ1のビット4(周波数選択フラグ1)が“0”の場合、A-D制御レジスタ0のビット7(周波数選択フラグ0)が“0”であればφAD＝Pf8、“1”であればφAD＝Pf4になります。また周波数選択フラグ1が“1”の場合、周波数選択フラグ0が“0”であればφAD＝Pf2、“1”であればφAD＝φ1になります。最後のケースは高速動作(φ1＞12.5MHz)時にφAD＝φ1を強制的に選択する場合に使用します。

ただし、この選択は後述する分解能8ビットの時以外は使用しないでください。

比較器は容量結合増幅器で構成されていますので、A-D変換中はφADの周波数は250kHz以上にしてください。

A-D制御レジスタ1のビット3は変換結果を10ビットで扱うか、8ビットで扱うかを選択するビットです。

ビット3の内容が“1”のとき、変換結果は10ビットとなり、“0”のとき、変換結果は8ビットとなります。

変換結果を10ビットで扱う場合には、対応するA-Dレジスタの偶数番地に変換結果の下位8ビットが格納され、A-Dレジスタの奇数番地のビット0及びビット1に変換結果の上位2ビットが格納されます。A-Dレジスタの奇数番地のビット2～ビット7の読み出し時の値は“0000002”です。

変換結果を8ビットで扱う場合には、10ビットA-D変換のうち上位8ビットの変換結果が、対応するA-Dレジスタの偶数番地に格納されます。この場合、A-Dレジスタの奇数番地の読み出し時の値は“0016”です。

A-D制御レジスタ1のビット5は、基準電圧入力VREFを抵抗ラダーと接続するか、切断するかを選択するビットです。ビット5の内容が“0”のときVREF入力は接続され、“1”のとき切断されます(ハイインピーダンス)。A-D変換又はD-A変換を行わないときにはVREF入力を切断することにより、VREF端子からラダー抵抗に流れ込む電流を遮断できます。

なお、A-D変換又はD-A変換を行う場合には、ビット5を“0”とした後、1μs以上待ってからA-D変換又はD-A変換を開始してください。

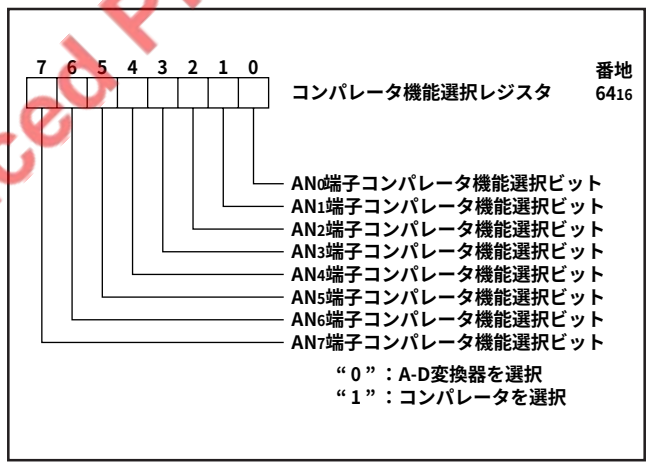


図69．コンパレータ機能選択レジスタ

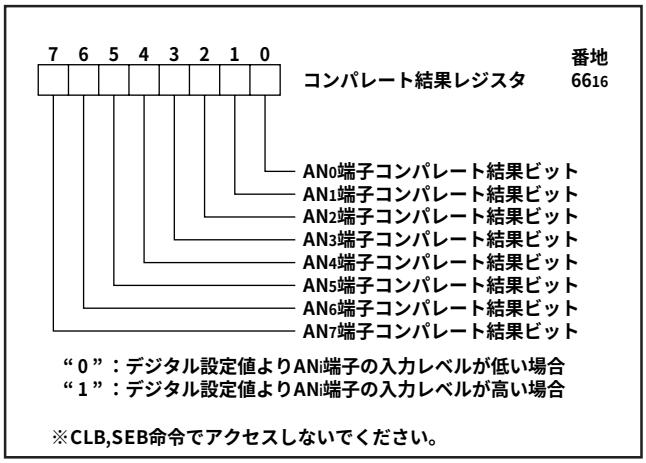


図70．コンパレート結果レジスタ

EOL announced Product

動作モード

A-D制御レジスタ0のビット3とビット4、A-D制御レジスタ1のビット2の内容で動作モードを選択します。動作モードは単発、繰り返し、単掃引、繰り返し掃引0、繰り返し掃引1の5種類があります。

次に各動作モードについて説明します。

以下に示す、5種類のすべてのモードにおいて、各端子ごとにA-D変換器、又はコンパレータのどちらでも選択することができます。

以下の説明は、コンパレータ機能選択レジスタのビットが“0”でA-D変換器を選択した場合について述べますが、コンパレータを選択した場合は、A-D変換がコンパレータ動作に変わること、及びコンパレートされた結果がコンパレート結果レジスタに格納されることを除けば、同じ動作を行います。

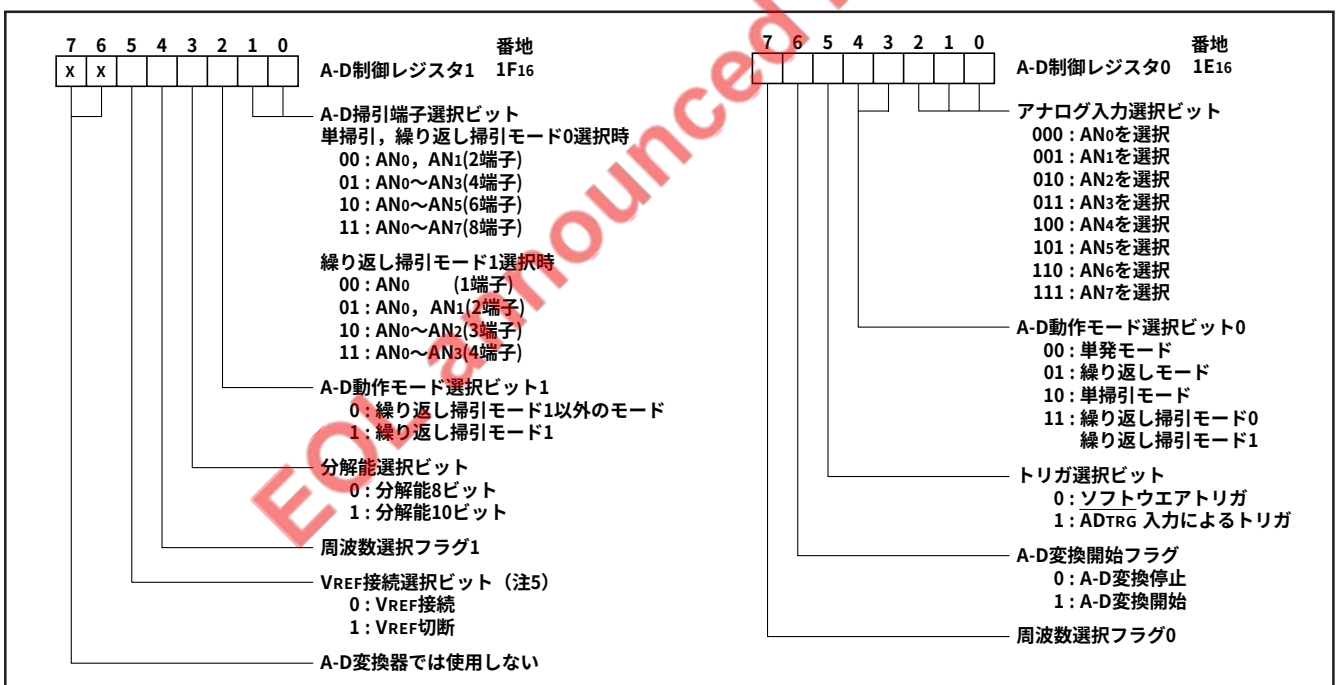
(1) 単発モード

A-D制御レジスタ0のビット3、ビット4の内容が“0”で、A-D制御レジスタ1のビット2の内容が“0”のとき、単発モードになり、A-D制御レジスタ0のビット0～2の内容でA-D変換を行う端子を選択します。A-D変換の開始はソフトウエアで行うか、外部トリガ入力で行うか選択できます。

A-D制御レジスタ0のビット5の内容が“0”のときソフトウエアトリガ、“1”のとき外部トリガが選択されます。

ソフトウエアトリガを選択した場合は、ビット6(A-D変換開始フラグ)の内容を“1”にするとA-D変換動作、又はコンパレータ動作を開始します。コンパレータ機能選択レジスタのビットが“0”で、A-D制御レジスタ1のビット3が“1”のとき、φADで計って59サイクル後にA-D変換は終了し、A-D変換割り込み制御レジスタの割り込み要求ビットが“1”にセットされます。同時にA-D制御レジスタ0のビット6(A-D変換開始フラグ)の内容は“0”にクリアされ、A-D変換動作は停止します。A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。

EOL announced Product



5F16番地のビット6（注1）	5F16番地のビット2（注2）	周波数選択フラグ フラグ1	周波数選択フラグ フラグ0	φAD
0	0	0	0	f(XIN)/16
		0	1	f(XIN)/8
		1	0	f(XIN)/4
		1	1	f(XIN)/2 (注3)
	1	0	0	f(XIN)/8
		0	1	f(XIN)/4
		1	0	f(XIN)/2
		1	1	

注1, 2．プロセッサモードレジスタ1（図9）を参照。
3． f(XIN)>25MHz時は、分解能8ビットのみ選択可能。

5F16番地のビット6（注1）	5F16番地のビット2（注2）	周波数選択フラグ フラグ1	周波数選択フラグ フラグ0	φAD
1	0	0	0	f(XIN)/8
		0	1	f(XIN)/4
		1	0	f(XIN)/2
		1	1	f(XIN) (注4)
	1	0	0	f(XIN)/4
		0	1	f(XIN)/2
		1	0	f(XIN)
		1	1	

注4． f(XIN)>12.5MHz時は、分解能8ビットのみ選択可能。
5．ビット5は、拡張機能選択ビット（拡張機能選択レジスタ1のビット5；図62）への“1”設定後に書き換え可能。

図71．A-D制御レジスタのビット構成

コンパレータ機能選択レジスタのビットが“1”のときは、ϕ_{AD}で計って14サイクル後にコンパレータ動作は終了し、A-D変換割り込み制御レジスタの割り込み要求ビットが“1”にセットされます。

同時にA-D制御レジスタ0のビット6(A-D変換開始フラグ)の内容は“0”にクリアされ、コンパレータ動作は停止します。コンパレートした結果は、選択した端子に対応したコンパレータ結果レジスタのビットに格納されます。

外部トリガを選択した場合は、A-D変換開始フラグの内容が“1”で、かつ、$\overline{ADTRG}$入力が“H”から“L”に変化するとA-D変換を開始します。この場合、$\overline{ADTRG}$端子はアナログ電圧入力端子AN_7と共用していますので、A-D変換できる端子はAN_0～AN_6の7本になります。A-D変換終了後、A-D変換開始フラグの内容を“0”にクリアしない点、及びA-D変換動作中でも再トリガをかけられる点を除けば、A-D変換動作はソフトウエアトリガの場合と同じです。

(2) 繰り返しモード

A-D制御レジスタ0のビット3の内容が“1”、ビット4の内容が“0”で、A-D制御レジスタ1のビット2の内容が“0”のとき、繰り返しモードになります。

このモードは、選択した端子のA-D変換が終わり、変換結果をA-Dレジスタに格納した後、停止しないで再び同一端子をA-D変換し変換結果をA-Dレジスタに格納することを繰り返す点を除けば、単発モードと同じです。

このモードでは割り込み要求は発生しません。また、ソフトウエアトリガを選択している場合も、A-D変換開始フラグのクリアも行いません。

なお、A-D変換器を選択した端子に対応したA-Dレジスタの内容はいつでも読み出せます。

ただし、コンパレータを選択している端子に対応したA-Dレジスタの書き込みは動作中には行わないでください。

(3) 単掃引モード

A-D制御レジスタ0のビット3の内容が“0”、ビット4の内容が“1”で、A-D制御レジスタ1のビット2の内容が“0”のとき、単掃引モードになります。

単掃引モードでは、掃引するアナログ入力端子数を選択できます。アナログ入力端子の選択は、A-D制御レジスタ1($1F_{16}$番地)のビット1、ビット0で行います。これらのビットの内容により、アナログ入力端子として2端子、4端子、6端子、8端子の4種類が選択できます。

A-D変換は、選択された入力端子に対してのみ行われます。AN_0端子の入力をA-D変換した後、その変換結果をA-Dレジスタ0に格納し、続いて同様に、選択された端子を順次A-D変換します。選択された端子すべてのA-D変換を終了した後、掃引を停止します。

A-D変換の開始は、ソフトウエアで行うか、外部トリガで行うかを選択できます。ビット5の内容が“0”のときソフトウエアトリガ、“1”のとき外部トリガが選択されます。

ソフトウエアトリガを選択した場合は、A-D制御レジスタ0のビット6(A-D変換開始フラグ)の内容を“1”にすると、A-D変換を開始します。選択された端子のA-D変換をすべて終了すると、A-D変換割り込み制御レジスタの割り込み要求ビットを“1”にセットします。同時に、A-D変換開始フラグを“0”にクリアし、A-D変換は停止します。

外部トリガを選択した場合は、A-D変換開始フラグが“1”で、かつ$\overline{ADTRG}$入力が“H”から“L”に変化すると、A-D変換を開始します。この場合、$\overline{ADTRG}$端子はAN_7端子と共用していますので、A-Dレジスタ7に格納されるA-D変換結果は無効となります。

A-D変換終了後、A-D変換開始フラグを“0”にクリアしない点、及びA-D変換動作中でも再トリガをかけられる点を除けば、A-D変換動作はソフトウエアトリガの場合と同じです。

(4) 繰り返し掃引モード0

A-D制御レジスタ0のビット3の内容が“1”、ビット4の内容が“1”で、A-D制御レジスタ1のビット2の内容が“0”のとき、繰り返し掃引モード0になります。

前の項で説明した単掃引モードと異なる点は、AN_0端子から選択された端子までのA-D変換が終了しても、掃引を停止しないで再びAN_0端子からA-D変換を繰り返すことです。繰り返しは、選択された端子の範囲で行われます。このモードでは割り込み要求は発生しません。また、ソフトウエアトリガを選択している場合も、A-D変換開始フラグのクリアは行いません。

なお、A-D変換器を選択した端子に対応したA-Dレジスタの内容はいつでも読み出せます。

ただし、コンパレータを選択している端子に対応したA-Dレジスタの書き込みは動作中には行わないでください。

EOL announced Product

(5) 繰り返し掃引モード1

A-D制御レジスタ0のビット3の内容が“1”、ビット4の内容が“1”で、A-D制御レジスタ1のビット2の内容が“1”のとき、繰り返し掃引モード1になります。

前の項で説明した繰り返し掃引モード0と異なる点は、AN0端子から順に選択された端子のA-D変換を終了するたびに、選択されていない端子を1端子だけA-D変換し、再びAN0端子からA-D変換を繰り返すことと、掃引するアナログ入力端子数のみです。

繰り返し掃引するアナログ入力端子の選択は、A-D制御レジスタ1のビット1、ビット0で行います。これらのビットの内容により、アナログ入力端子数として1端子、2端子、3端子、4端子の4種類が選択できます。

選択されていない端子の変換は、繰り返し掃引端子として選択された端子の次の端子から順に行われます。

このモードでは割り込み要求は発生しません。また、ソフトウエアトリガを選択している場合も、A-D変換開始フラグのクリアは行いません。

なお、A-D変換器を選択した端子に対応したA-Dレジスタの内容はいつでも読み出せます。

ただし、コンパレータを選択している端子に対応したA-Dレジスタの書き込みは動作中には行わないでください。

※〔注意〕A-D変換割り込み制御レジスタ(7016番地)の割り込み要求ビット(ビット3)は、リセット後不定になっています。A-D変換による割り込みを使用する場合は、割り込み要求ビット(ビット3)をクリアしてから使用してください。

EOL announced Product

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。図72にD-A変換器のブロック図を、図73にA-D制御レジスタ1のビット構成を示します。

D-A変換は対応したD-Aレジスタに値を書き込むことで行われます。変換結果は、A-D制御レジスタ1(1F16番地)のビット6、ビット7により出力されます。ビット7を“1”にするとDA0端子から変換結果が出力され、ビット6を“1”にするとDA1端子から変換結果が出力されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$V = V_{REF} \times n/256 \quad (n = 0 \sim 255)$

V_{REF}：基準電圧

D-A出力許可ビットはリセット時に“0”にクリアされます。

A-D制御レジスタ1のビット5は、基準電圧入力V_{REF}を抵抗ラダーと接続するか、切断するかを選択するビットです。ビット5の内容が“0”のときV_{REF}入力は接続され、“1”のとき切断されます(ハイインピーダンス)。A-D変換又はD-A変換を行わないときにはV_{REF}入力を切断することにより、V_{REF}端子からラダー抵抗に流れ込む電流を遮断できます。

なお、A-D変換又はD-A変換を行う場合には、ビット5を“0”とした後、1μs以上待ってからA-D変換又はD-A変換を開始してください。

D-A出力はバッファを内蔵していないので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

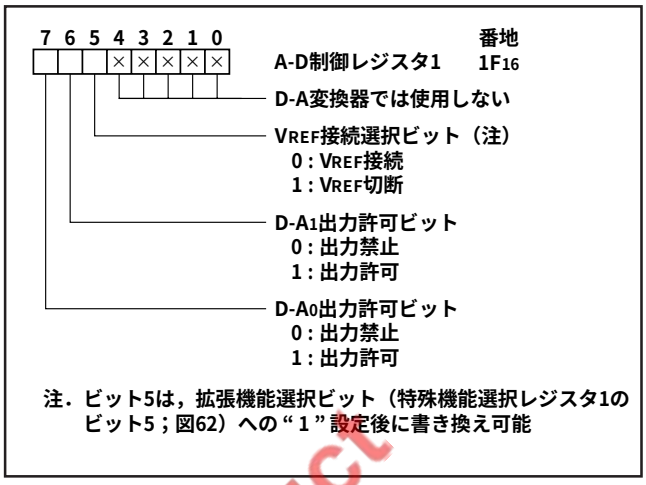


図73．A-D制御レジスタのビット構成

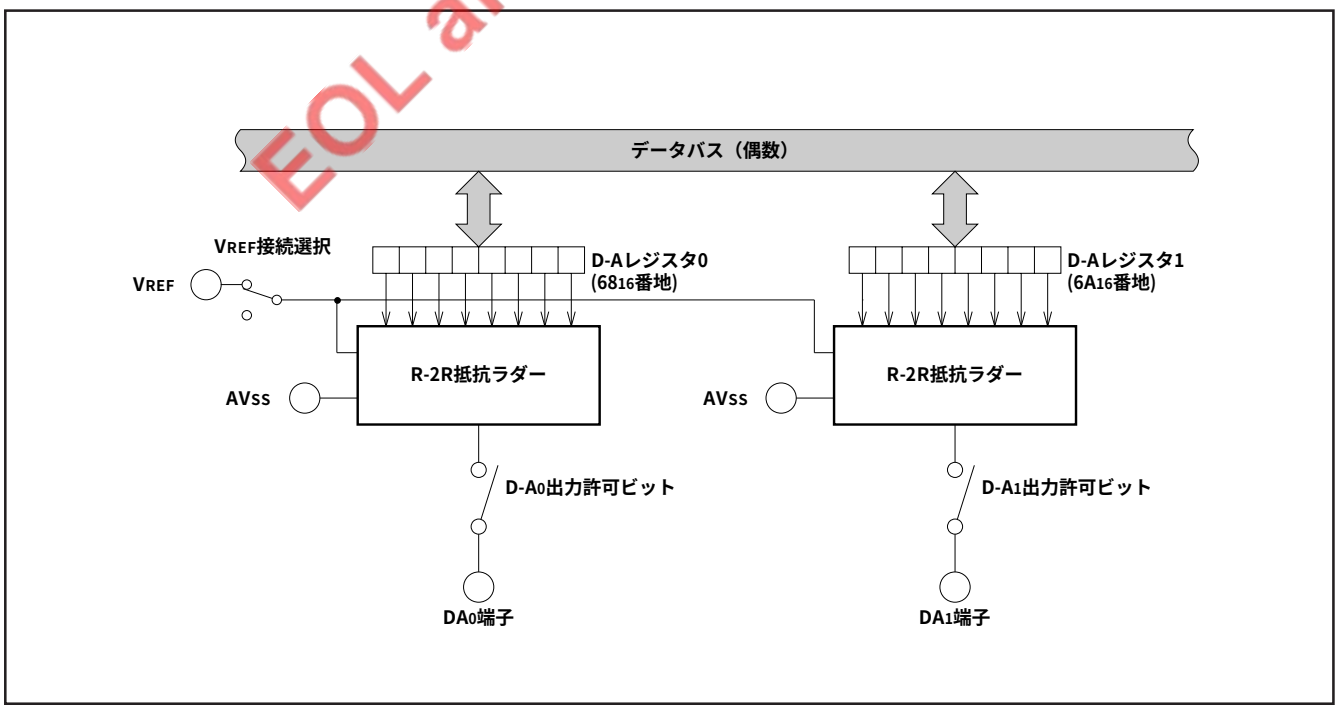


図72．D-A変換器ブロック図

EOL announced Product

監視タイマ

監視タイマは、プログラムの暴走などでプログラムされた順序通りに動作しなくなったことを検知するために使用されます。図74に監視タイマのブロック図を示します。監視タイマは12ビットの2進カウンタで構成されています。

監視タイマは周辺機能用クロックPf2を16分周したクロック(Wf32又はPf32)又は256分周したクロック(Wf512又はPf512)をカウントします。どちらのクロックをカウントするかは図75に示す監視タイマ周波数選択フラグで選択します。

フラグの内容が“0”のときWf512又はPf512、フラグの内容が“1”のときWf32又はPf32が選択されます。リセット解除後は、フラグの内容は“0”になっています。

監視タイマのクロック源としてクロックWf512，Wf32を使用するか、クロックPf512，Pf32を使用するかは、監視タイマ用クロック選択ビット(特殊機能制御レジスタ1のビット3；図62参照)で選択します。

Wf512，Wf32を選択した場合、ホールド中に監視タイマのクロック源(Wf512，Wf32)は変化しません。Pf512，Pf32を選択した場合、ホールド中に監視タイマのクロック源(Pf512，Pf32)は変化しますが、Wf512，Wf32の分周回路を停止するのでその分消費電流を削減することができます。

$\overline{\text{RESET}}$端子に“L”又は2VCCを印加、STP命令を実行、監視タイマへの書き込みを行ったとき、監視タイマの最上位ビットが“0”になったときは、監視タイマにFFF16がセットされます。

FFF16にセットされた監視タイマは、クロック源を2048回カウントすると、最上位ビットが“0”になり監視タイマ割り込み要求ビットが“1”にセットされ、再び監視タイマにFFF16がセットされます。

通常は、監視タイマの最上位ビットが“0”になる前に監視タイマに書き込みを行うようにプログラムを組みます。暴走などでこのループを走らなくなると、監視タイマの最上位ビットが“0”になり、割り込みが発生することになります。

割り込み処理プログラムの中で割り込みの項の図16に示したプロセッサモードレジスタ0のビット3(ソフトウエアリセットビット)に“1”を書き込むとリセットパルスが発生し、リセットから再出発することができます。

$\overline{\text{RESET}}$端子をVCCの2倍の電圧にすると、監視タイマの機能は働かなくなります。

監視タイマは、STP命令でクロックが停止した状態から復帰する場合にも使用されます。詳細については、クロック発生回路の項を参照してください。

ホールド中は、監視タイマもホールド状態になり、監視タイマへの入力は禁止されます。

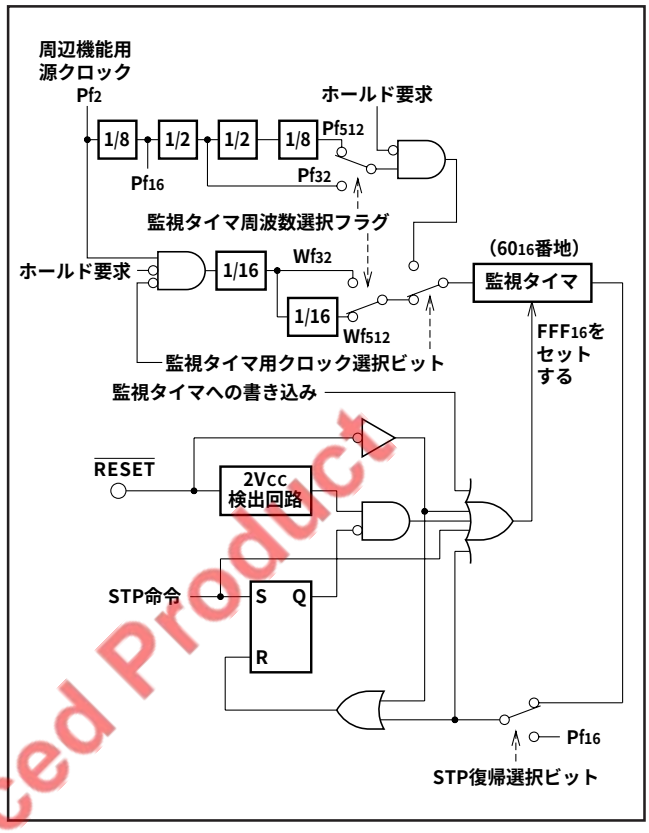


図74．監視タイマのブロック図

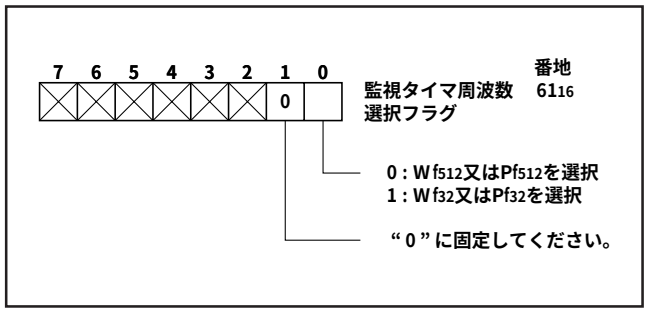


図75．監視タイマ周波数選択フラグ

EOL announced Product

	番地	
ポートP0方向レジスタ	(04$_{16}$)…	00$_{16}$
ポートP1方向レジスタ	(05$_{16}$)…	00$_{16}$
ポートP2方向レジスタ	(08$_{16}$)…	0 0 0 0 0 0 0 0
ポートP3方向レジスタ	(09$_{16}$)…	× × × × 0 0 0 0
ポートP4方向レジスタ	(0C$_{16}$)…	00$_{16}$
ポートP5方向レジスタ	(0D$_{16}$)…	00$_{16}$
ポートP6方向レジスタ	(10$_{16}$)…	00$_{16}$
ポートP7方向レジスタ	(11$_{16}$)…	00$_{16}$
ポートP8方向レジスタ	(14$_{16}$)…	00$_{16}$
波形出力モードレジスタ	(1A$_{16}$)…	00$_{16}$
パルス出力データレジスタ1	(1C$_{16}$)…	00$_{16}$
パルス出力データレジスタ0	(1D$_{16}$)…	0 0 0 × 0 0 0 0
A-D制御レジスタ0	(1E$_{16}$)…	0 0 0 0 0 ? ? ?
A-D制御レジスタ1	(1F$_{16}$)…	0 0 0 0 0 0 1 1
UART0送受信モードレジスタ	(30$_{16}$)…	00$_{16}$
UART1送受信モードレジスタ	(38$_{16}$)…	00$_{16}$
UART0送受信制御レジスタ0	(34$_{16}$)…	0 × × 0 1 0 0 0
UART1送受信制御レジスタ0	(3C$_{16}$)…	0 × × 0 1 0 0 0
UART0送受信制御レジスタ1	(35$_{16}$)…	0 0 0 0 0 0 1 0
UART1送受信制御レジスタ1	(3D$_{16}$)…	0 0 0 0 0 0 1 0
カウント開始フラグ	(40$_{16}$)…	00$_{16}$
ワンショット開始フラグ	(42$_{16}$)…	× × × 0 0 0 0 0
アップダウンフラグ	(44$_{16}$)…	0 0 0 0 0 0 0 0
タイマA書き込みフラグ	(45$_{16}$)…	× × × × × 0 0 0
タイマA0モードレジスタ	(56$_{16}$)…	00$_{16}$
タイマA1モードレジスタ	(57$_{16}$)…	00$_{16}$
タイマA2モードレジスタ	(58$_{16}$)…	00$_{16}$
タイマA3モードレジスタ	(59$_{16}$)…	00$_{16}$
タイマA4モードレジスタ	(5A$_{16}$)…	00$_{16}$
タイマB0モードレジスタ	(5B$_{16}$)…	0 0 1 × 0 0 0 0
タイマB1モードレジスタ	(5C$_{16}$)…	0 0 1 × 0 0 0 0
タイマB2モードレジスタ	(5D$_{16}$)…	0 0 1 × 0 0 0 0
プロセッサモードレジスタ0	(5E$_{16}$)…	0 0 0 0 0 0 0 0
プロセッサモードレジスタ1	(5F$_{16}$)…	00$_{16}$

	番地	
監視タイマ	(60$_{16}$)…	FFF$_{16}$
監視タイマ周波数選択フラグ	(61$_{16}$)…	× × × × × × 0 0
コンパレータ機能選択レジスタ	(64$_{16}$)…	0 0 0 0 0 0 0 0
コンパレート結果レジスタ	(66$_{16}$)…	0 0 0 0 0 0 0 0
D-Aレジスタ0	(68$_{16}$)…	0 0 0 0 0 0 0 0
D-Aレジスタ1	(6A$_{16}$)…	0 0 0 0 0 0 0 0
特殊機能選択レジスタ0	(6C$_{16}$)…	0 0 0 0 0 0 0 0
特殊機能選択レジスタ1	(6D$_{16}$)…	0 0 0 0 0 0 0 0
$\overline{\text{INT}}_4$割り込み制御レジスタ	(6E$_{16}$)…	× × 0 0 0 0 0 0
$\overline{\text{INT}}_3$割り込み制御レジスタ	(6F$_{16}$)…	0 0 0 0 0 0 0 0
A-D変換割り込み制御レジスタ	(70$_{16}$)…	× × × × ? 0 0 0
UART0送信割り込み制御レジスタ	(71$_{16}$)…	× × × × 0 0 0 0
UART0受信割り込み制御レジスタ	(72$_{16}$)…	× × × × 0 0 0 0
UART1送信割り込み制御レジスタ	(73$_{16}$)…	× × × × 0 0 0 0
UART1受信割り込み制御レジスタ	(74$_{16}$)…	× × × × 0 0 0 0
タイマA0割り込み制御レジスタ	(75$_{16}$)…	× × × × 0 0 0 0
タイマA1割り込み制御レジスタ	(76$_{16}$)…	× × × × 0 0 0 0
タイマA2割り込み制御レジスタ	(77$_{16}$)…	× × × × 0 0 0 0
タイマA3割り込み制御レジスタ	(78$_{16}$)…	× × × × 0 0 0 0
タイマA4割り込み制御レジスタ	(79$_{16}$)…	× × × × 0 0 0 0
タイマB0割り込み制御レジスタ	(7A$_{16}$)…	× × × × 0 0 0 0
タイマB1割り込み制御レジスタ	(7B$_{16}$)…	× × × × 0 0 0 0
タイマB2割り込み制御レジスタ	(7C$_{16}$)…	× × × × 0 0 0 0
$\overline{\text{INT}}_0$割り込み制御レジスタ	(7D$_{16}$)…	× × 0 0 0 0 0 0
$\overline{\text{INT}}_1$割り込み制御レジスタ	(7E$_{16}$)…	× × 0 0 0 0 0 0
$\overline{\text{INT}}_2$割り込み制御レジスタ	(7F$_{16}$)…	× × 0 0 0 0 0 0
プロセッサステータスレジスタPS		0 0 0 ? ? 0 0 0 1 ? ?
プログラムバンクレジスタPG		00$_{16}$
プログラムカウンタPC$_H$		FFFF$_{16}$番地の内容
プログラムカウンタPC$_L$		FFFF$_{16}$番地の内容
ダイレクトページレジスタDPR		0000$_{16}$
データバンクレジスタDT		00$_{16}$

これ以外のレジスタ及びRAMの内容はリセット時には不定ですので，初期値をセットしてください。

EOL announced Product

図76．リセット時のマイクロコンピュータの内部状態

リセット回路

電源電圧が5V±10%にあるとき、RESET端子を“ L ”レベルに保った後、“ H ”レベルに戻すとリセット解除され、00$_{16}$をアドレスA$_{23}$～A$_{16}$、FFFF$_{16}$番地の内容をアドレスA$_{15}$～A$_{8}$、FFFE$_{16}$番地の内容をアドレスA$_{7}$～A$_{0}$とする番地からプログラムの実行を開始します。

リセット時のマイクロコンピュータの内部レジスタの状態を図76に示します。

リセット回路の一例を、図77に示します。発振回路に外部から安定したクロックが入力されている場合、リセット入力電圧は電源電圧が4.5Vを通過する時点で0.9V以下になるようにしてください。発振回路に共振子を接続している場合は、メインクロック発振が十分安定した後に、リセット入力電圧を“ L ”から“ H ”にしてください。

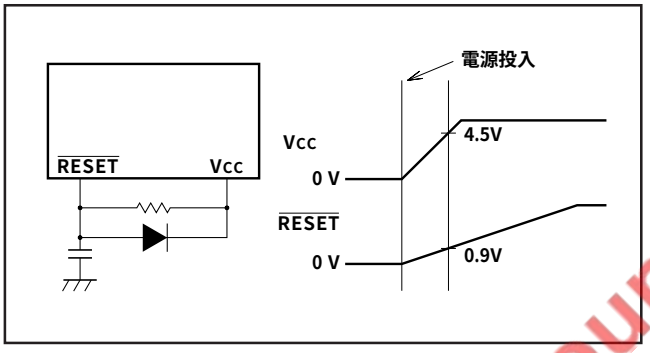


図77．リセット回路の一例（ご使用に際しては，システム設計レベルで充分評価を願います。）

入出力端子

ポートP0～P8は、すべて方向レジスタを持っており、入力として使用するか、出力として使用するかをビット単位にプログラムできます。方向レジスタの対応ビットを“ 1 ”に設定した場合は出力端子、“ 0 ”に設定した場合は入力端子となります。

出力端子としてプログラムされている端子に書き込んだデータは、ポートのラッチに書き込まれ、その内容が出力端子に出力されます。出力端子としてプログラムされている端子から読み込んだ場合は、端子の値が読み込まれるのではなく、ポートのラッチの内容が読み込まれます。したがって、外部負荷などによって出力“ H ”電圧が下がったり、“ L ”電圧が上がったりした場合も、以前に出力した値を正しく読むことができます。

入力端子としてプログラムされている端子はフローティングとなり、端子に入力される値を読み込むことができます。入力端子としてプログラムされている端子に書き込みを行っても、データはポートのラッチに書き込まれるのみで、端子はフローティングのままです。

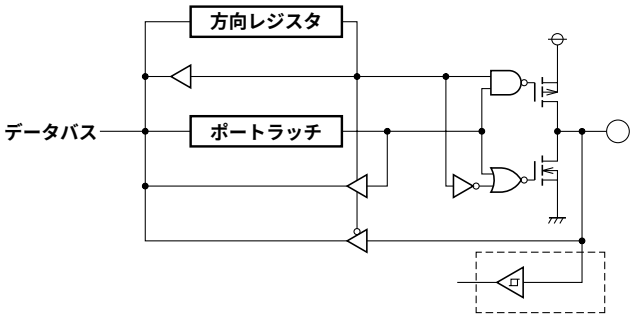
ただし、ポートP5$_{4}$～P5$_{7}$，P8$_{0}$はプルアップトランジスタを備えており、特殊機能選択レジスタ1のビット7とビット6の内容により、ポートのプルアップ機能を選択できます。このプルアップ機能については、割り込みの項を参照してください。

図78，79にシングルチップモード時のポートP0～P8のブロック図及びE端子の出力形式を示します。

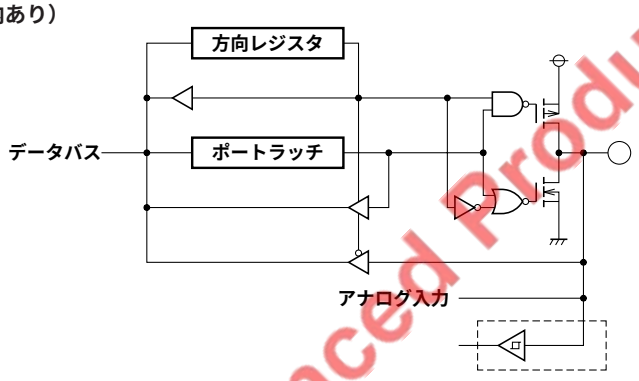
メモリ拡張モード、マイクロプロセッサモードでは、ポートP0～P4は、アドレス、データ、制御信号の端子としても使用されます。詳細についてはプロセッサモードの項を参照してください。

EOL announced Product

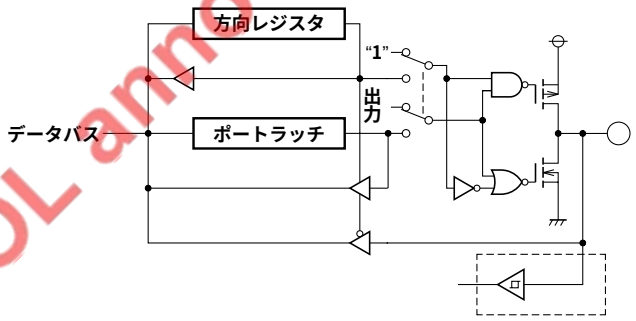
・ポートP0₀～P0₇, P1₀～P1₇, P2₀～P2₇, P3₀～P3₃, P4₃～P4₆（破線枠内なし）
ポートP4₀, P4₁, P4₇, P5₁, P5₃, P6₁～P6₇, P8₆（破線枠内あり）



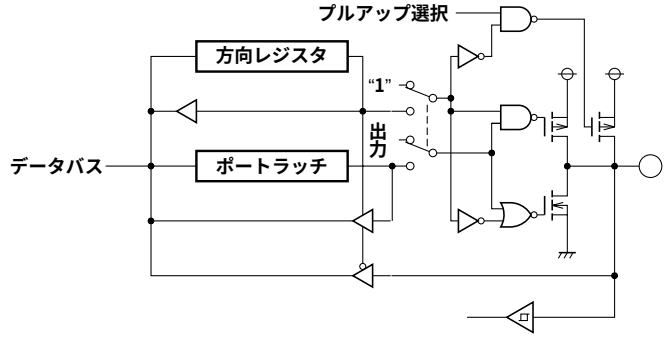
・ポートP7₀～P7₆（破線枠内なし）
ポートP7₇　（破線枠内あり）



・ポートP4₂, P8₃, P8₇　（破線枠内なし）
ポートP5₀, P5₂, P6₀, P8₂（破線枠内あり）



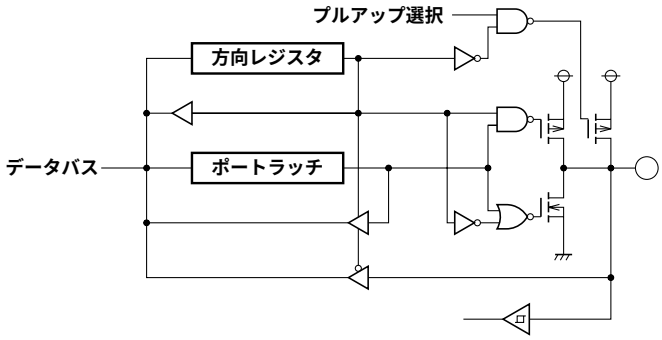
・ポートP5₄, P5₆



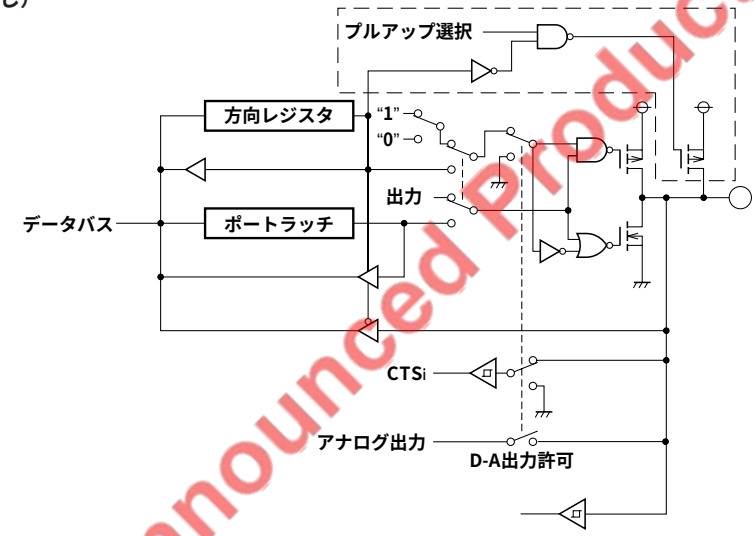
EOL announced Product

図78．シングルチップモード時のポートP0～P8のブロック図及び$\overline{E}$端子の出力形式（1）

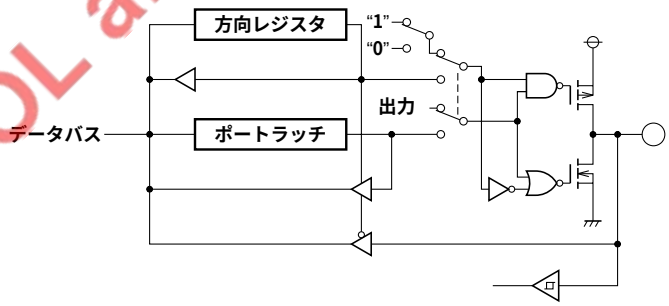
・ポートP5$_5$, P5$_7$



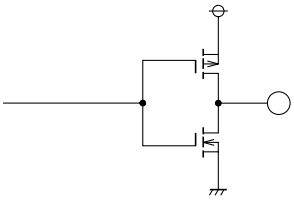
・ポートP8$_0$（破線枠内あり）
・ポートP8$_4$（破線枠内なし）



・ポートP8$_1$, P8$_5$



・$\overline{E}$



EOL announced Product

図79．シングルチップモード時のポートP0～P8のブロック図及び$\overline{E}$端子の出力形式(2)

クロック発生回路

クロック発生回路では発振回路出力から中央演算処理装置(CPU)、バスインタフェース装置及び各種内蔵周辺機能を動作させるための基本クロックを生成します。クロック発生回路のブロック図を図82に示します。XINから入力したクロックから、周辺機能を動作させる源クロックφ1、バスインタフェース装置を動作させる源クロックφBIU、CPUを動作させる源クロックφCPUを生成します。

プロセッサモードレジスタ1のビット6(源クロック選択ビット)の内容が“0”の時XINから入力したクロックを2分周したφ1が源クロックとなり、一方“1”の時にはXINから入力したクロックがそのまま源クロックφ1となります。またビット2(周辺機能用源クロック選択ビット)の内容が“0”の時、源クロックφ1をさらに2分周したものが周辺機能用基準クロックに、一方“1”の時には源クロックφ1がそのまま基準クロックになります。基準クロックはブロック図に示すように分周回路で更に分周され、各種周波数のクロックが生成されます。内蔵周辺機能ではPf2, Pf16, Pf64, Pf512の4つのクロックの内のいずれかを選択して使用することができます。Pf2という表記はこのクロックが周辺機能用源クロック選択ビットの内容が“1”の時、発振回路の発振周波数f(XIN)の2分周されたもの、“0”の時4分周されたものであることを示します。φ1＞12.5MHzのときはこの周辺機能用源クロック選択ビットは“0”に固定してください。

図80にセラミック共振子(又は水晶共振子)を使用した場合の回路例を示します。容量等の定数は、共振子により異なりますので、共振子メーカの推奨値で使用してください。

外部からクロック信号を供給する場合の例を図81に示します。クロックを外部から入力する場合には、特殊機能選択レジスタ0(図83)のビット1(クロック外部入力選択ビット)へ“1”を設定することにより、クロック発振回路の動作を停止(XOUT出力“H”で停止)し、消費電力を削減することができます。

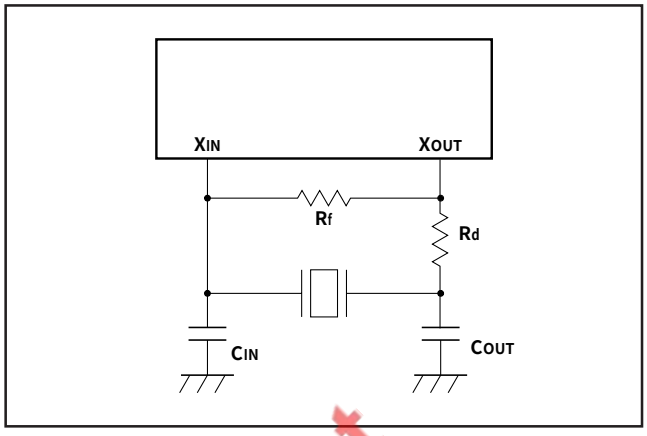


図80．セラミック共振子外付け回路

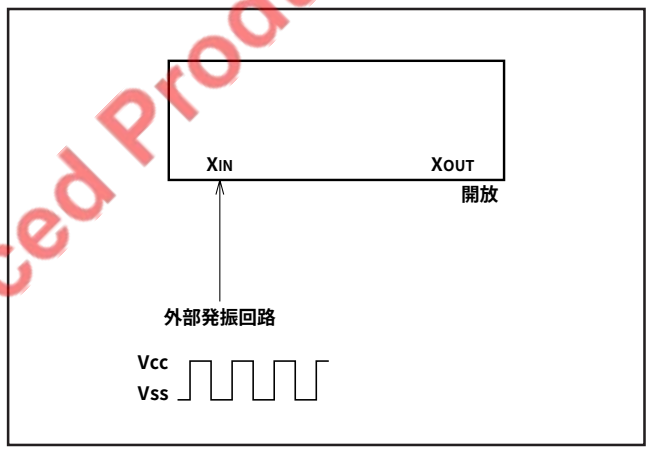
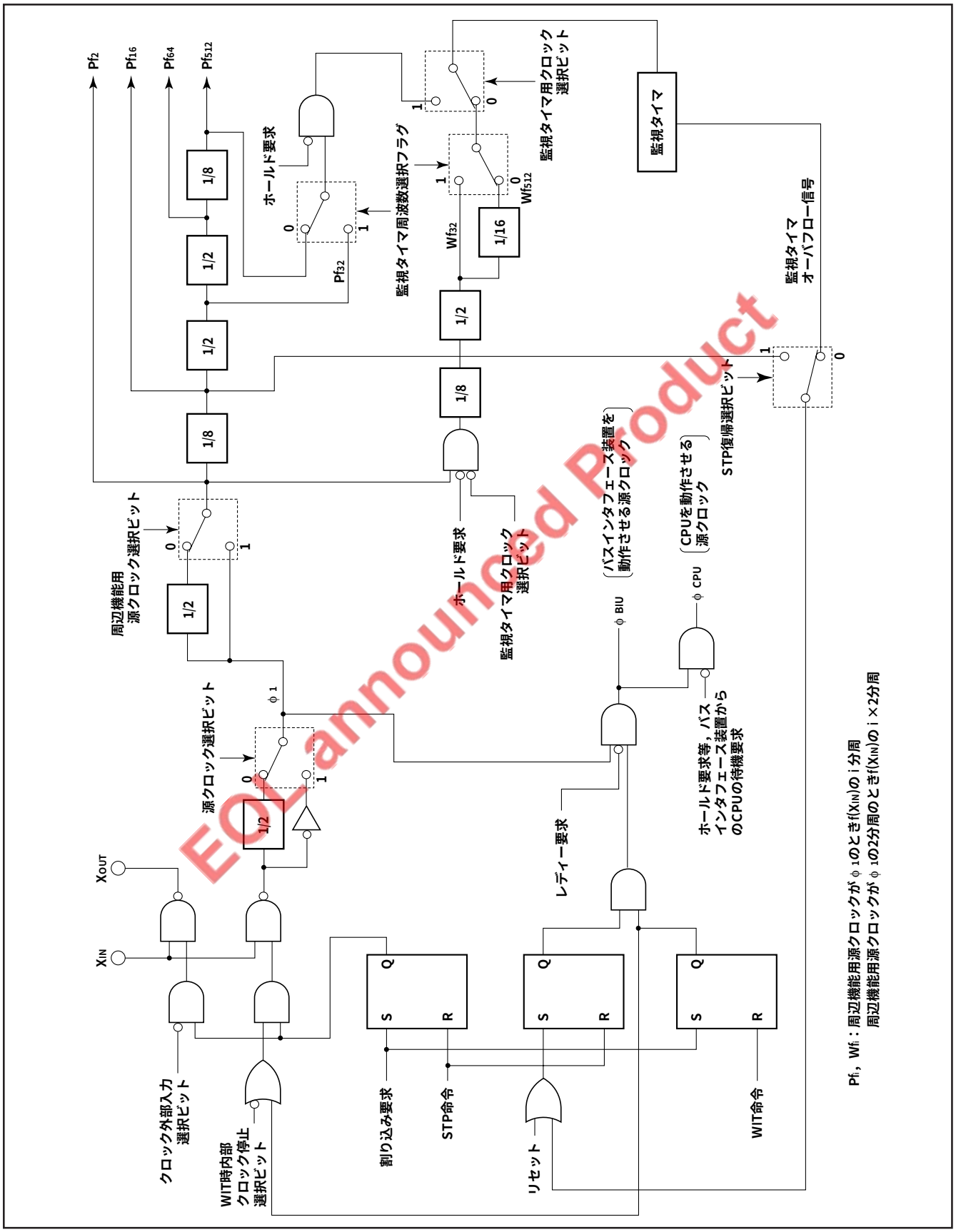


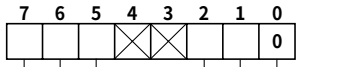
図81．外部クロックの入力回路

EOL announced Product



EOL announced Product

図82．クロック発生回路ブロック図



特殊機能選択レジスタ0　番地 $6C_{16}$

必ず“0”にしてください。

クロック外部入力選択ビット（注1,2）
0：発振回路動作（共振子を接続）
1：発振回路停止（外部で生成したクロックを入力）

メモリ配置選択ビット（注2）
0：ROM 60Kバイト，RAM 2048バイト
（ROM:001000_{16}～$00FFFF_{16}$，RAM:000080_{16}～$00087F_{16}$）
1：ROM 56Kバイト，RAM 2048バイト
（ROM:002000_{16}～$00FFFF_{16}$，RAM:000080_{16}～$00087F_{16}$）

スタンバイ状態選択ビット0（注1）
メモリ拡張モード，マイクロプロセッサモードでWIT,STP命令実行時
0：P0～P3端子は外部バス
1：P0～P3端子はポート出力又は入力

スタンバイ状態選択ビット1（注1, 3）
0：WIT, STP命令実行時$\overline{E}$端子は“H”又は“L”出力
1：WIT, STP命令実行時$\overline{E}$端子は“H”出力

STP復帰選択ビット
0：ストップモード復帰時，監視タイマを使用する
1：ストップモード復帰時，監視タイマを使用せず直ちに復帰する

注1．ビット1, 5, 6は，拡張機能選択ビット（特殊機能選択レジスタ1のビット5；図62）への“1”設定後に書き換え可能。
2．ビット1, 2は，$6C_{16}$番地への2回連続書き込みで設定可能。
3．信号出力停止選択ビットが“1”かつビット6が“1”の場合は，$\overline{E}$端子は“L”出力。

図83．特殊機能選択レジスタ0のビット構成

EOL announced Product

スタンバイ機能

マイクロコンピュータをスタンバイ状態とする命令としてWIT命令及びSTP命令があります。

表7にスタンバイ状態と各部動作の関係を示します。

WIT状態，STP状態は、割り込み受け付け又はリセットによって解除されます。したがって、WIT命令，STP命令を実行する前に割り込み受け付け可能な状態にしておく必要があります。

WIT命令

WIT時内部クロック停止選択ビット（特殊機能選択レジスタ1のビット２；図62）が“０”の状態でWIT命令を実行すると、源クロックφBIU、φCPUは“Ｌ”の状態で停止しますが、発振回路及び源クロックφ1、分周クロックPf2～Pf512，Wf32，Wf512は停止しません。したがって、バスインタフェース装置とCPUは停止しますが、分周クロックを用いる周辺装置、監視タイマは動作可能です。

一方、WIT時内部クロック停止選択ビットが“１”の状態でWIT命令を実行すると、発振回路は停止しませんが、源クロックφ1以下分周クロック、源クロックφBIU，φCPUも停止します。したがって、この場合には分周クロックPf2～Pf512，Wf32，Wf512を用いる周辺装置、監視タイマも停止します。WIT状態で周辺装置を使用しない場合には、後者の方がより消費電流が少なくできるので有利です。なお、WIT時内部クロック停止ビットは、WIT命令の直前で“１”を設定し、WIT状態解除後ただちに“０”に戻すようにしてください。

WIT状態は、割り込みを受け付けると解除され、内部クロックφは動作を再開します。WIT状態では発振回路は停止していませんので、直ちに割り込み処理の実行が可能です。

STP命令

STP命令を実行すると、源クロックφ1，φBIU，φCPUが“Ｌ”の状態で発振回路が停止します。また、監視タイマには、FFF16が自動的に設定され、監視タイマのクロック源は強制的にWf32（監視タイマ用クロック選択ビットが“０”の場合）又はPf32（監視タイマ用クロック選択ビットが“１”の場合）に接続されます。この接続は、監視タイマの最上位ビットが“０”になるか、リセットがかかると解除され、監視タイマ周波数選択フラグ及び監視タイマ用クロック選択ビットの内容で決まる入力に接続されます。STP状態では、分周クロックPf2～Pf512，Wf32，Wf512を用いる周辺装置、監視タイマは停止します。

STP状態は、割り込み又はリセット受け付けにより解除され、発振は再開します。また、源クロックφ1、分周クロックPf2～Pf512，Wf32，Wf512の供給も再開します。

ここで、STP復帰選択ビット（特殊機能選択レジスタ0のビット7）が“０”の場合には、分周クロックPf32又はWf32でカウントダウンする監視タイマの最上位ビットが“０”となるまでは、源クロックφBIU、φCPUは“Ｌ”のまま停止しています。ただし、リセットにより発振を再開した場合には、発振再開後、直ちに源クロックφBIU、φCPUの供給を開始します。したがって、この場合には発振安定に必要な時間を充分待ってからリセット入力を“Ｈ”としてください。

一方、STP復帰選択ビットが“１”の場合には、発振再開後分周クロックPf16の変化（“Ｈ”→“Ｌ”）で源クロックφBIU、φCPUの供給を開始します。この機能により、外部からXINに安定したクロック入力が入力されるシステムではSTP状態から割り込みによりただちに復帰できます。

クロックを外部入力する場合でも、STP状態からの復帰時にこの外部クロックが一時的にも不安定となるシステムにおいては、必ずSTP復帰選択ビットを“０”にして使用ください。

EOL announced Product

表7．スタンバイ状態と各部動作

命 令	WIT時内部クロック停止選択ビット	WIT, STP中の動作					
		発振回路	φ1	Pf2～Pf512	Wf32, Wf512	φBIU, φCPU	Pf2～Pf512, Wf32, Wf512を使用する周辺装置
WIT	“０”	動作（注1）	動作	動作	動作（注2）	停止（“Ｌ”）	動作可能（監視タイマ動作）
	“１”	動作（注1）	停止（“Ｌ”）	停止（“Ｈ”）	停止（“Ｈ”）	停止（“Ｌ”）	動作不可能（監視タイマ停止）
STP	－	停止	停止（“Ｌ”）	停止（“Ｈ”）	停止（“Ｈ”）	停止（“Ｌ”）	動作不可能（監視タイマ停止）

注1．クロック外部入力選択ビットを“１”とした場合，クロック発振回路は停止します（外部クロックは入力可能）。
2．監視タイマ用クロック選択ビットを“１”とした場合，Wf32，Wf512は停止します（監視タイマはPf32，Pf512で動作）。

WIT，STP時のバスサイクル

スタンバイ状態選択ビット1(特殊機能選択レジスタ0のビット6)が“0”の状態でWIT命令、STP命令を実行すると、その実行したバスサイクルの完了を待たずに源クロックφBIU、φCPU(又は発振)を停止します。したがって、バスアクセス中(E端子出力が“L”)のままでWIT状態、STP状態になる場合があります。

一方、スタンバイ状態選択ビット1が“1”の状態でWIT命令、STP命令を実行すると、その実行したバスアクセスサイクルでの読み出し又は書き込みが完了した後に、源クロックφBIU、φCPU(又は発振)を停止しますので、WIT状態、STP状態ではバスは非アクセス状態(E端子出力が“H”)となります。

WIT，STP時の外部バス状態

通常、メモリ拡張モード、マイクロプロセッサモードでアドレス出力端子、データ入出力端子、バス制御信号出力端子となる端子(シングルチップモード時のポートP0～P3；プロセッサモードの項参照)はWIT状態、STP状態において源クロックφBIU、φCPUが停止した時点の外部バス端子としての状態を保持します。

ただし、スタンバイ状態選択ビット0(特殊機能選択レジスタ0のビット5)が“1”の状態でWIT命令、STP命令を実行すると、WIT状態、STP状態の期間中はシングルチップモード時のポートのように、各ポートの方向レジスタとポートラッチの内容に応じた動きをします。すなわち、ポートラッチに任意データを設定し、方向レジスタの内容を“1”にした場合にはその端子からこの任意データの内容を出力し、方向レジスタの内容を“0”にした場合にはその端子はフローティングとなります。この機能により、WIT状態、STP状態での外部バスを任意の状態にすることができます。端子をフローティングとする場合には、外部回路でこの端子の電位が中間電位レベルにならないように配慮してください。

なお、メモリ拡張モード、マイクロプロセッサモードでポートP0～P3関連のレジスタに書き込みを行なう場合には、必ず事前にスタンバイ状態選択ビット0を“1”に設定してください。このビットが“0”の場合、図86に示すとおり、ポートP0～P3関連レジスタに相当するアドレス(2_{16}～9_{16}番地)は外部メモリ領域となっており、書き込みできません。

同様に、メモリ拡張モード、マイクロプロセッサモードのWIT状態、STP状態でE端子の状態も任意に選択できます。詳細については、表8を参照してください。

なお、これらの任意データ出力機能は、デバッガでのエミュレートができません。

EOL announced Product

表8．信号出力停止選択ビットの機能（特殊機能選択レジスタ1のビット4；図62参照）

プロセッサモード	端子名	機能説明	
		信号出力停止選択ビット＝“0”	信号出力停止選択ビット＝“1”
シングルチップモード	$\overline{E}$	イネーブル信号$\overline{E}$出力	“L”出力
メモリ拡張モード マイクロプロセッサモード	$\overline{E}$	内部，外部メモリ領域アクセス時とも$\overline{E}$出力	外部メモリ領域アクセス時のみ$\overline{E}$出力
	$\overline{E}$	WIT, STP命令実行後，“H”又は“L”出力 スタンバイ状態選択ビット1が“1”のときは“H”出力	WIT, STP命令実行後，“H”又は“L”出力 スタンバイ状態選択ビット0が“1”のときは“L”出力 スタンバイ状態選択ビット1が“1”，スタンバイ状態選択ビット0が“0”のときは“H”出力
マイクロプロセッサモード	φ1	(φ1出力選択ビットの内容によらず) クロックφ1出力	ポートP42のポートラッチの内容を出力 (ポートP42の方向レジスタビットに“1”を設定必要)

注．信号出力停止選択ビットの機能は，すべてデバッガでのエミュレートができません。

プロセッサモード

図84に示すプロセッサモードレジスタ0(5E16番地)のビット0とビット1の内容で、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードのいずれかのモードを選択できます。

シングルチップモード以外ではポートP0～P3及びポートP4の一部は、アドレス、データ、制御信号の入出力端子として使用されます。

図85に各モードに対するポートP0～P4の機能を示します。

プロセッサモードが異なると外部メモリ領域も変わります。図86に各モードのメモリマップを示します。シングルチップモードのメモリマップは図1を参照してください。シングルチップモード以外では、外部メモリ領域をアクセスすることができます。外部メモリをアクセスする場合には、BYTE端子の影響を受けます。

●BYTE端子

外部メモリをアクセスする場合、データバスを8ビット幅で使用するのか、16ビット幅で使用するのか、BYTE端子のレベルで選択できます。

BYTE端子のレベルが“L”のとき、データバスは16ビット幅になり、ポートP1及びP2がデータの入出力端子となります。BYTE端子のレベルが“H”のとき、データバスは8ビット幅になり、ポートP2がデータの入出力端子となります。

内部メモリをアクセスする場合は、BYTE端子のレベルには無関係で、データバスは常に16ビット幅です。

EOL announced Product

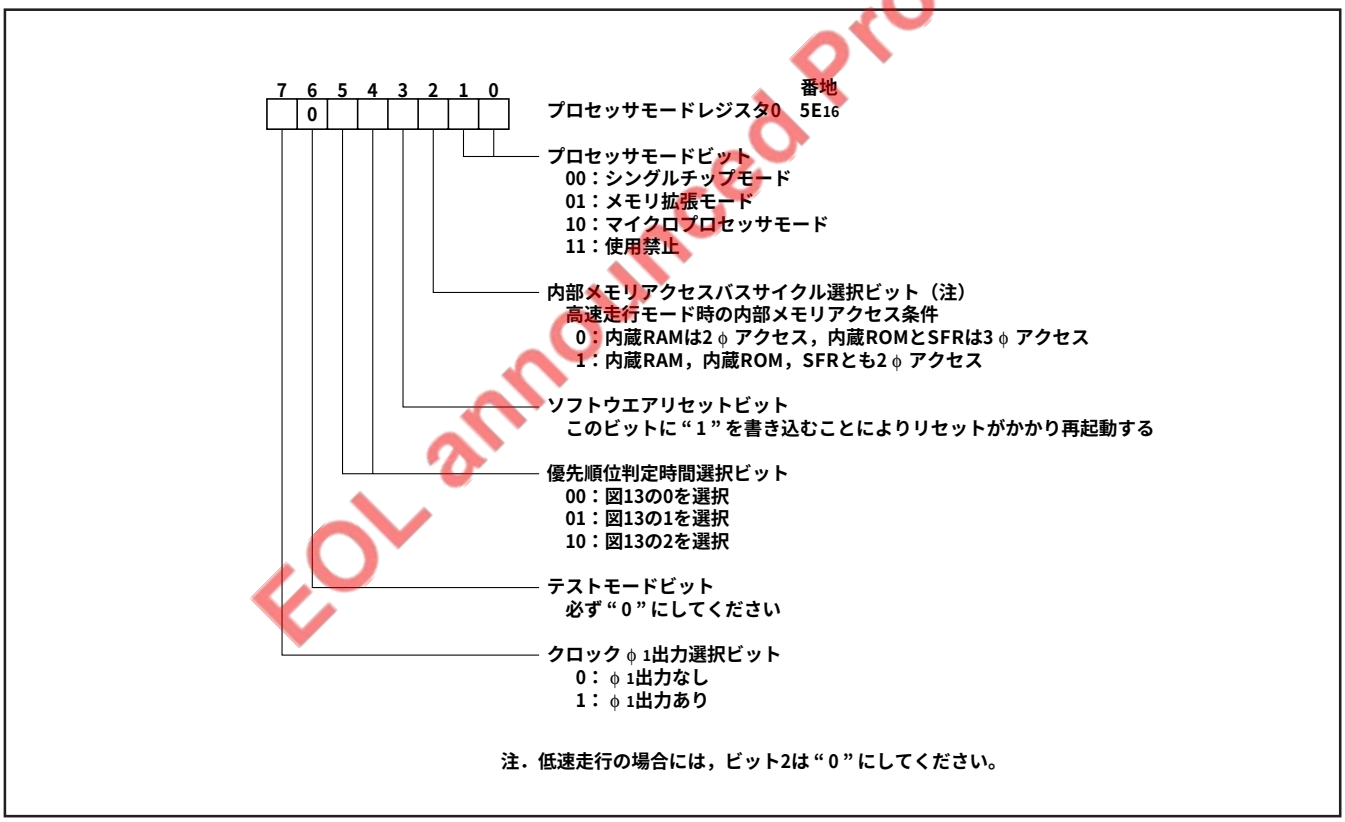


図84．プロセッサモードレジスタ0のビット構成

ポート＼PM1	PM0 / モード	0 / 0 シングルチップモード	0 / 1 メモリ拡張モード	1 / 0 マイクロプロセッサモード
ポートP0		$\overline{E}$ $P0_0$〜$P0_7$ 入出力ポート	$\overline{E}$（注） $P0_0$〜$P0_7$ アドレスA_0〜A_7	左に同じ
ポートP1	BYTE＝“L”	$\overline{E}$ $P1_0$〜$P1_7$ 入出力ポート	$\overline{E}$ A_8〜A_{15} $P1_0$〜$P1_7$ アドレス／データ(奇)	左に同じ
	BYTE＝“H”		$\overline{E}$ $P1_0$〜$P1_7$ アドレスA_8〜A_{15}	左に同じ
ポートP2	BYTE＝“L”	$\overline{E}$ $P2_0$〜$P2_7$ 入出力ポート	$\overline{E}$ A_{16}〜A_{23} $P2_0$〜$P2_7$ アドレス／データ(偶)	左に同じ
	BYTE＝“H”		$\overline{E}$ A_{16}〜A_{23} $P2_0$〜$P2_7$ アドレス／データ（偶,奇）	左に同じ
ポートP3		$\overline{E}$ $P3_0$〜$P3_3$ 入出力ポート	$\overline{E}$ $P3_0$ R/$\overline{W}$ $P3_1$ $\overline{BHE}$ $P3_2$ ALE $P3_3$ $\overline{HLDA}$	左に同じ
ポートP4		$\overline{E}$ $P4_0$〜$P4_7$ 入出力ポート ※プロセッサモードレジスタ0のビット7が“0”のとき	$\overline{E}$ $P4_0$ $\overline{HOLD}$ $P4_1$ $\overline{RDY}$ $P4_2$〜$P4_7$ 入出力ポート ※プロセッサモードレジスタ0のビット7が“0”のとき	プロセッサモードレジスタ0のビット7に関係なく$P4_2$はϕ_1出力， その他は左に同じ（注）
		$P4_2$ ϕ_1 $P4_2$以外は上記と同じ ※プロセッサモードレジスタ0のビット7が“1”のとき	$P4_2$ ϕ_1 $P4_2$以外は上記と同じ ※プロセッサモードレジスタ0のビット7が“1”のとき	

EOL announced Product

図85．プロセッサモードとポートP0〜P4の機能

注．信号出力停止選択ビット（特殊機能選択レジスタ1 のビット4 ）で，シングルチップモード時の$\overline{E}$ 出力及びマイクロプロセッサモードのϕ_1 出力を停止できます。また，同じくメモリ拡張モード，マイクロプロセッサモードにおいて，内部メモリ領域アクセス時には，$\overline{E}$ を“H”に固定できます。

次にプロセッサモードについて説明します。

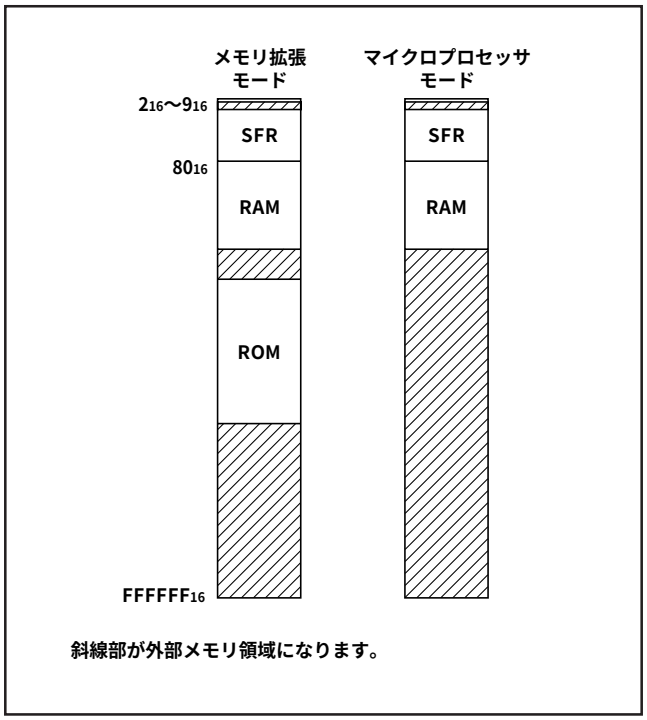


図86．各プロセッサモードの外部メモリ領域

(1)　シングルチップモード[00]

CNVSS端子をVSSに接続してリセットから開始するとこのモードになります。ポートP0〜P4は、すべて本来の入出力ポートとして働きます。ただし、ポートP4₂はプロセッサモードレジスタ0のビット7を“1”にすることにより、クロックϕ_1を出力することができます。クロックϕ_1についてはクロック生成回路の項の図82を参照してください。

また、このモードでは、$\overline{E}$端子から、$\overline{E}$信号が出力されますが、信号出力停止選択ビット（特殊機能選択レジスタ1のビット4）を“1”にすることにより、出力を停止し、“L”レベルの出力に切り替えることも可能です。

表8に信号出力停止選択ビットの機能を示します。

(2)　メモリ拡張モード[01]

CNVSS端子をVSSに接続して、リセットから開始した後プログラムでプロセッサモードビットを“01”に設定するとこのモードになります。

$\overline{E}$端子は、イネーブル信号$\overline{E}$の出力端子で、命令コードやデータの読み出し期間、データの書き込み期間に“L”となります。この$\overline{E}$は、信号出力停止選択ビット（特殊機能選択レジスタ1のビット4）を“1”にすることにより、内部メモリ領域の読み出し、書き込み時には“H”に固定できます。

ポートP0は、アドレスの出力端子となり、本来の入出力ポートの機能は失われます。

ポートP1は、BYTE端子のレベルによって2つの場合に分かれます。いずれの場合も本来の入出力ポートの機能は失われます。

BYTE端子のレベルが“L”のときは、
$\overline{E}$が“H”の期間はアドレスの出力端子
$\overline{E}$が“L”の期間は奇数番地のデータの入出力端子
として働きます。ただし、内部メモリ領域を読み出した場合、$\overline{E}$が“L”の期間は外部からのデータは入力されません。

BYTE端子のレベルが“H”のときは、アドレス出力端子となります。

ポートP2は、BYTE端子のレベルによって2つの場合に分かれます。いずれの場合も本来の入出力ポートの機能は失われます。

BYTE端子のレベルが“L”のときは、
$\overline{E}$が“H”の期間はアドレスの出力端子
$\overline{E}$が“L”の期間は偶数番地のデータの入出力端子
として働きます。ただし、内部メモリ領域を読み出した場合、$\overline{E}$が“L”の期間は外部からのデータは入力されません。

BYTE端子のレベルが“H”のときは、
$\overline{E}$が“H”の期間はアドレスの出力端子
$\overline{E}$が“L”の期間は偶数番地及び奇数番地のデータの入出力端子
として働きます。ただし、内部メモリ領域を読み出した場合、$\overline{E}$が“L”の期間は外部からのデータは入力されません。

ポートP3₀，P3₁，P3₂，P3₃はそれぞれR/$\overline{W}$，$\overline{BHE}$，ALE，$\overline{HLDA}$の出力端子となり、本来の入出力ポートの機能は失われます。

R/$\overline{W}$はリード・ライト信号で、“H”のとき読み出し、“L”のとき書き込みです。

$\overline{BHE}$はバイト・ハイ・イネーブル信号で、“L”のとき奇数番地をアクセスしていることを示します。したがって、アドレスA₀が“L”で、$\overline{BHE}$が“L”ということは、偶数番地と奇数番地の2バイトを同時にアクセスしていることになります。

ALEは、アドレス・ラッチ・イネーブル信号で、アドレスとデータがマルチプレックスされた信号から、アドレス信号をラッチするために使用されます。ALEが“H”の期間にラッチを開き、アドレス信号を素通りさせ、“L”の期間は保持するようにします。

$\overline{HLDA}$は、ホールド・アクノレッジ信号で、マイクロコンピュータが$\overline{HOLD}$入力を受け付けて、ホールド状態になったことを外部に知らせるための信号です。

EOL announced Product

ポートP40、P41は、それぞれHOLD，RDYの入力端子となり、本来の出力端子の機能は失われます。

HOLDは、ホールド・リクエスト信号で、マイクロコンピュータをホールドするための入力信号です。HOLD入力の受け付けは、バスが使用されていない間のφBIUが、“H”から“L”レベルへ立ち下がった時点で行われます。ホールド状態では、ポートP0，P1，P2及びポートP30，P31はフローティングになります。これらのポートはHLDAが“L”レベルになってから、φBIUの1サイクル後にフローティングになります。ホールド状態が解除される場合は、HLDAが“H”レベルになってから、φBIUの1サイクル後にフローティングが解除されます。

RDYはレディー信号で、“L”レベルにすると、φCPU，φBIUは“L”の状態で停止します。RDYは外部に遅いメモリを付けるときなどに使用します。

ポートP42は、プロセッサモードレジスタ0のビット7を“0”とした場合には通常の入出力ポートとなり、“1”とした場合にはクロックφ1の出力端子となります。φ1出力はRDYの影響を受けず、RDY端子に“L”を入力しφCPU，φBIUが停止していても停止しません。

(3) マイクロプロセッサモード[10]

CNVSS端子をVCCに接続してリセットから開始するとこのモードになります。CNVSS端子をVSSに接続してリセットからスタートした後プログラムでプロセッサモードビットを“10”に設定することでもこのモードは実現できます。内部ROMが禁止され外部にメモリを付ける必要があることと、ポートP42からクロックφ1がプロセッサモードレジスタ0のビット7にかかわらず、常に出力されることを除けば、メモリ拡張モードと同じです。

なお、表8に示すとおり、信号出力停止選択ビットを“1”とすることにより、φ1出力を停止することも可能です。この場合には、ポートP42の方向レジスタビットに“1”を書き込んでください。

表9にCNVSS端子の入力レベルとプロセッサモードの関係を示します。

表9．CNVss端子入力レベルとプロセッサモードの関係

CNVss	モード	説　明
Vss	・シングルチップ ・メモリ拡張 ・マイクロプロセッサ	リセットから開始するとシングルチップモードになります。プロセッサモードビットをプログラムで変更することにより，すべてのモードを選択できます。
Vcc	・マイクロプロセッサ	リセットから開始するとマイクロプロセッサモードになります。

EOL announced Product

メモリ領域変更機能

M37753M8C-XXXFP，M37753M8C-XXXHPでは、図83に示す特殊機能選択レジスタ0のビット2(メモリ配置選択ビット)を設定することにより、内蔵メモリの容量及びアドレス領域を変更できます。図87に内蔵メモリ領域を変更した場合のメモリ配置図を示します。

マスク化発注に際し、弊社は選択されたROM容量によらず、60Kバイト(001000$_{16}$～00FFFF$_{16}$番地)分のデータを使用してマスクを製作します(マスク化確認書を参考)。したがって、マスク化発注時に提出いただくEPROMにおいて、選択されたROM領域外に対応する番地には、データ“FF$_{16}$”を書き込んでおいてください。なお、マイクロコンピュータの00FFFF$_{16}$番地が、提出していただくEPROMの最下位番地に対応します。

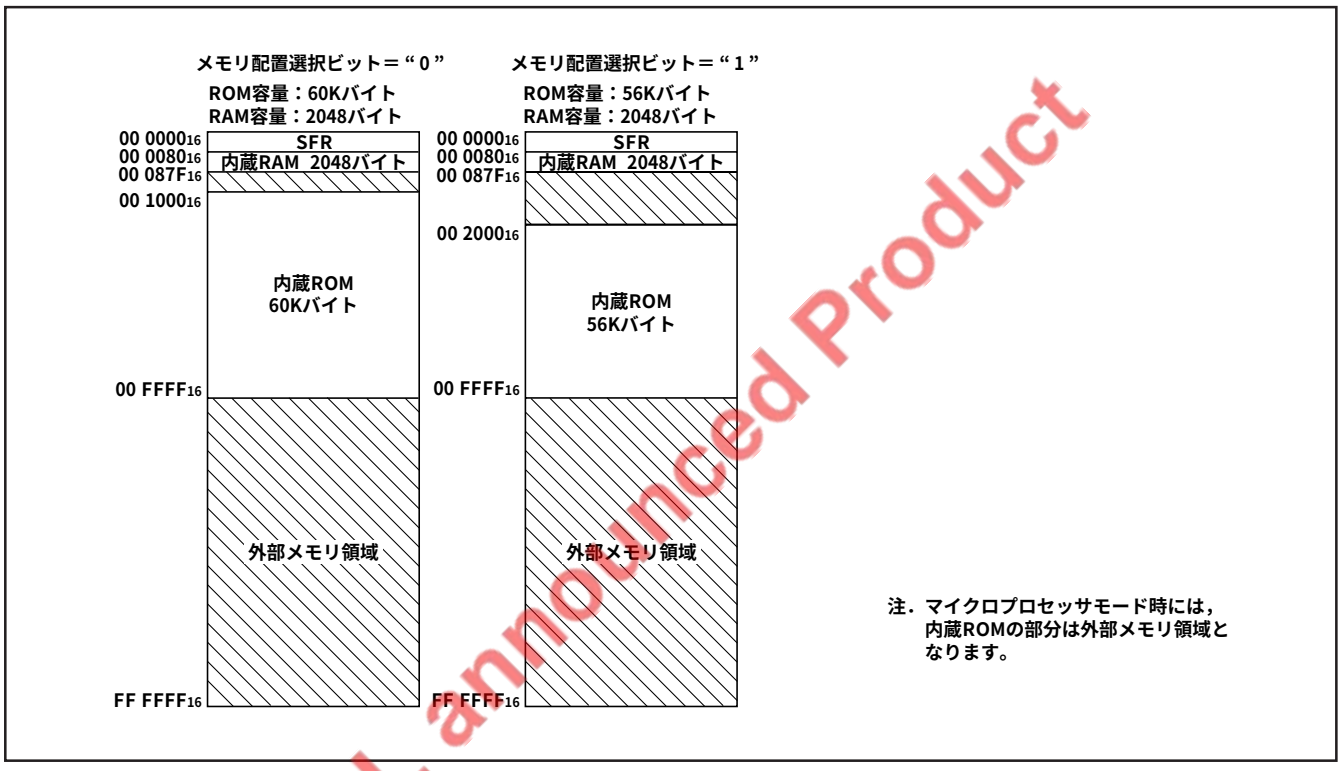


図87．メモリ配置図（メモリ配置選択ビットによる内蔵メモリ領域の変化）

EOL announced Product

アドレッシングモード

M37753M8C-XXXFP，M37753M8C-XXXHPは、従来の7700シリーズに1種類のアドレッシングモードを追加した非常に強力な29種類のアドレッシングモードを持っています。詳細については、7700ファミリ アドレッシングモードの説明又は7751シリーズソフトウエアマニュアルを参照してください。

命令セット

M37753M8C-XXXFP，M37753M8C-XXXHPは、7700シリーズの命令セットに6種類の命令を追加した拡張命令セットを持ちます。この拡張命令セットは、7700シリーズの命令セットに対して、オブジェクトコードレベルで完全な上位互換性を持ちます。詳細については、7700ファミリ 機械語命令一覧表又は7751シリーズソフトウエアマニュアルを参照してください。

命令実行サイクル数の短縮

M37753M8C-XXXFP，M37753M8C-XXXHPでは、命令実行アルゴリズムの変更、中央演算処理装置の回路変更などによって、命令実行サイクル数の短縮を図っています。命令実行サイクル数については、7700ファミリ 機械語命令一覧表又は7751シリーズソフトウエアマニュアルを参照してください。

マスク化発注時の提出資料

マスク化発注時、次の資料を提出してください。

〈M37753M8C-XXXFP〉

(1) M37753M8C-XXXFPマスク化確認書
(2) 80P6Nマーク指定書
(3) ROMのデータ……EPROM 3セット

〈M37753M8C-XXXHP〉

(1) M37753M8C-XXXHPマスク化確認書
(2) 80P6Qマーク指定書
(3) ROMのデータ……EPROM 3セット

EOL announced Product

絶対最大定格

記　号	項　　目	定　格　値	単位
V_{CC}	電源電圧	−0.3〜7	V
AVcc	アナログ電源電圧	−0.3〜7	V
V_I	入力電圧　$\overline{RESET}$, CNVss, BYTE	−0.3〜12	V
V_I	入力電圧　$P0_0$〜$P0_7$, $P1_0$〜$P1_7$, $P2_0$〜$P2_7$, $P3_0$〜$P3_3$, $P4_0$〜$P4_7$, $P5_0$〜$P5_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_7$, V_{REF}, X_{IN}	−0.3〜Vcc+0.3	V
V_O	出力電圧　$P0_0$〜$P0_7$, $P1_0$〜$P1_7$, $P2_0$〜$P2_7$, $P3_0$〜$P3_3$, $P4_0$〜$P4_7$, $P5_0$〜$P5_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_7$, X_{OUT}, $\overline{E}$	−0.3〜Vcc+0.3	V
P_d	消費電力	300	mW
T_{opr}	動作周囲温度	−20〜85	°C
T_{stg}	保存温度	−40〜150	°C

推奨動作条件(指定のない場合は，Vcc＝5V±10%，Ta＝−20〜85°C)

記　号	項　　目		規　格　値			単位
			最　小	標　準	最　大	
V_{CC}	電源電圧		4.5	5.0	5.5	V
AVcc	アナログ電源電圧			Vcc		V
Vss	電源電圧			0		V
AVss	アナログ電源電圧			0		V
V_{IH}	“H”入力電圧　$P0_0$〜$P0_7$, $P3_0$〜$P3_3$, $P4_0$〜$P4_7$, $P5_0$〜$P5_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_7$, X_{IN}, $\overline{RESET}$, CNVss, BYTE		0.8Vcc		Vcc	V
V_{IH}	“H”入力電圧　$P1_0$〜$P1_7$, $P2_0$〜$P2_7$(シングルチップモード時)		0.8Vcc		Vcc	V
V_{IH}	“H”入力電圧　$P1_0$〜$P1_7$, $P2_0$〜$P2_7$ (メモリ拡張，マイクロプロセッサモード時)		0.5Vcc		Vcc	V
V_{IL}	“L”入力電圧　$P0_0$〜$P0_7$, $P3_0$〜$P3_3$, $P4_0$〜$P4_7$, $P5_0$〜$P5_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_7$, X_{IN}, $\overline{RESET}$, CNVss, BYTE		0		0.2Vcc	V
V_{IL}	“L”入力電圧　$P1_0$〜$P1_7$, $P2_0$〜$P2_7$(シングルチップモード時)		0		0.2Vcc	V
V_{IL}	“L”入力電圧　$P1_0$〜$P1_7$, $P2_0$〜$P2_7$ (メモリ拡張，マイクロプロセッサモード時)		0		0.16Vcc	V
$I_{OH(peak)}$	“H”尖頭出力電流　$P0_0$〜$P0_7$, $P1_0$〜$P1_7$, $P2_0$〜$P2_7$, $P3_0$〜$P3_3$, $P4_0$〜$P4_7$, $P5_0$〜$P5_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_7$				−10	mA
$I_{OH(avg)}$	“H”平均出力電流　$P0_0$〜$P0_7$, $P1_0$〜$P1_7$, $P2_0$〜$P2_7$, $P3_0$〜$P3_3$, $P4_0$〜$P4_7$, $P5_0$〜$P5_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_7$				−5	mA
$I_{OL(peak)}$	“L”尖頭出力電流　$P0_0$〜$P0_7$, $P1_0$〜$P1_7$, $P2_0$〜$P2_7$, $P3_0$〜$P3_3$, $P4_0$〜$P4_7$, $P5_6$, $P5_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_7$				10	mA
$I_{OL(peak)}$	“L”尖頭出力電流　$P5_0$〜$P5_5$				20	mA
$I_{OL(avg)}$	“L”平均出力電流　$P0_0$〜$P0_7$, $P1_0$〜$P1_7$, $P2_0$〜$P2_7$, $P3_0$〜$P3_3$, $P4_0$〜$P4_7$, $P5_6$, $P5_7$, $P6_0$〜$P6_7$, $P7_0$〜$P7_7$, $P8_0$〜$P8_7$				5	mA
$I_{OL(avg)}$	“L”平均出力電流　$P5_0$〜$P5_5$				15	mA
$f(X_{IN})$	外部クロック入力周波数　（注3）	低速走行時			25	MHz
		高速走行時			40	

注1．平均出力電流は100msの期間内での平均値です。
2．ポートP0，P1，P2，P3，P8の$I_{OL(peak)}$の合計は80mA以下，ポートP0，P1，P2，P3，P8の$I_{OH(peak)}$の合計は80mA以下，
ポートP4，P5，P6，P7の$I_{OL(peak)}$の合計は110mA以下，ポートP4，P5，P6，P7の$I_{OH(peak)}$の合計は80mA以下にしてください。
3．源クロック選択ビットを“1”とした場合には，$f(X_{IN})$の最大値は，低速走行時12.5MHz，高速走行時20MHzとなります。

EOL announced Product

電気的特性(指定のない場合は，Vcc＝5V，Vss＝0V，Ta＝－20～85℃，f(XIN)＝40MHz(注))

記号	項目	測定条件		規格値 最小	規格値 標準	規格値 最大	単位
VOH	“H”出力電圧 P00～P07, P10～P17, P20～P27, P30, P31, P33, P40～P47, P50～P57, P60～P67, P70～P77, P80～P87	IOH＝－10mA		3			V
VOH	“H”出力電圧 P00～P07, P10～P17, P20～P27, P30, P31, P33	IOH＝－400μA		4.7			V
VOH	“H”出力電圧 P32	IOH＝－10mA		3.1			V
		IOH＝－400μA		4.8			
VOH	“H”出力電圧 $\overline{E}$	IOH＝－10mA		3.4			V
		IOH＝－400μA		4.8			
VOL	“L”出力電圧 P00～P07, P10～P17, P20～P27, P30, P31, P33, P40～P47, P56, P57, P60～P67, P70～P77, P80～P87	IOL＝10mA				2	V
VOL	“L”出力電圧 P00～P07, P10～P17, P20～P27, P30, P31, P33	IOL＝2mA				0.45	V
VOL	“L”出力電圧 P32	IOL＝10mA				1.9	V
		IOL＝2mA				0.43	
VOL	“L”出力電圧 $\overline{E}$	IOL＝10mA				1.6	V
		IOL＝2mA				0.4	
VOL	“L”出力電圧 P50～P55	IOL＝20mA				2	V
		IOL＝2mA				0.4	
VT+－VT－	ヒステリシス $\overline{HOLD}$, $\overline{RDY}$, TA0IN～TA4IN, TB0IN～TB2IN, $\overline{INT0}$～$\overline{INT4}$, $\overline{ADTRG}$, $\overline{CTS0}$, $\overline{CTS1}$, CLK0, CLK1, RXD0, RXD1			0.4		1	V
VT+－VT－	ヒステリシス $\overline{RESET}$			0.2		0.5	V
VT+－VT－	ヒステリシス XIN			0.1		0.3	V
IIH	“H”入力電流 P00～P07, P10～P17, P20～P27, P30～P33, P40～P47, P50～P57, P60～P67, P70～P77, P80～P87, XIN, $\overline{RESET}$, CNVSS, BYTE	VI＝5V				5	μA
IIL	“L”入力電流 P00～P07, P10～P17, P20～P27, P30～P33, P40～P47, P50～P53, P60～P67, P70～P77, P81～P87, XIN, $\overline{RESET}$, CNVSS, BYTE	VI＝0V				－5	μA
IIL	“L”入力電流 P54～P57, P80	VI＝0V，プルアップトランジスタなし				－5	μA
		VI＝0V，プルアップトランジスタあり		－0.25	－0.5	－1.0	mA
VRAM	RAM保持電圧	クロック停止時		2			V
ICC	電源電流	リセット時，出力専用端子は開放，その他の端子はVss	f(XIN)＝40MHz方形波		25	50	mA
			クロック停止時 Ta＝25℃			1	μA
			クロック停止時 Ta＝85℃			20	

注．源クロック選択ビット＝1の場合は，f(XIN)＝20MHzです。

EOL announced Product

A-D変換特性(指定のない場合は，V_{CC}＝AVcc＝5V±10%，Vss＝AVss＝0V，Ta＝－20～85°C，源クロック選択ビット＝0)

記号	項目	測定条件			規格値 最小	規格値 標準	規格値 最大	単位
－	分解能	V_{REF}＝Vcc		A-D変換器選択時			10	Bits
				コンパレータ選択時			$\frac{1}{256}V_{REF}$	V
－	絶対精度	V_{REF}＝Vcc	ϕ_{AD}＝ 250kHz以上，12.5MHz以下の場合	10ビットモード			±3	LSB
				8ビットモード			±2	LSB
				コンパレータ			±40	mV
			ϕ_{AD}＝ 250kHz以上，20MHz以下の場合（注1）	8ビットモード			±3	LSB
				コンパレータ			±60	mV
R_{LADDER}	ラダー抵抗	V_{REF}＝Vcc			5		20	kΩ
t_{CONV}	変換時間	高速走行時 (f(XIN)≦40MHz)（注2）	ϕ_{AD}＝f(XIN)/4選択時	10ビットモード	5.9			µs
				8ビットモード	4.9			
				コンパレータ	1.4			
			ϕ_{AD}＝f(XIN)/2選択時	8ビットモード	2.45			
				コンパレータ	0.7			
		低速走行時 (f(XIN)≦25MHz)（注2）		10ビットモード	4.72			
				8ビットモード	3.92			
				コンパレータ	1.12			
V_{REF}	基準電圧				2.7		Vcc	V
V_{IA}	アナログ入力電圧				0		V_{REF}	V

注 1．高速走行時に選択可能です。
2．源クロック選択ビット＝1の場合，高速走行時f(XIN)≦20MHz，低速走行時f(XIN)≦12.5MHzです。

D-A変換特性(指定のない場合は， Vcc＝5V，Vss＝AVss＝0V，V_{REF}＝5V，Ta＝－20～85°C)

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
－	分解能				8	Bits
－	絶対精度				±1.0	%
t_{su}	設定時間				3	µs
R_O	出力抵抗		1	2.5	4	kΩ
I_{VREF}	基準電源入力電流	（注）			3.2	mA

注．D-A変換器1本使用，使用していないD-A変換器のD-Aレジスタの値が“00_{16}”の場合です。
A-D変換器のラダー抵抗分は除きます。

EOL announced Product

周辺装置入出力タイミング（指定のない場合は，Vcc＝5V±10%，Vss＝0V，Ta＝－20～85°C）

※周波数に依存する規格値は算出式を示します。また，括弧内の数値は源クロック選択ビット＝0の場合のf(XIN)＝40MHz時の値（高速走行時），又はf(XIN)＝25MHz時の値（低速走行時）を示します。源クロック選択ビット＝1を選択した場合，表中のf(XIN)の代わりに(2・f(XIN))を代入して計算してください。
※指定のない場合は，入力信号の立ち上がり，立ち下がり時間は，100ns以下にしてください。

タイマA入力（イベントカウンタモードのカウント入力）

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tc(TA)	TAiIN入力サイクル時間	80		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

タイマA入力（タイマモードのゲーティング入力）

記　号	項　　目		規　格　値		単位
			最　小	最　大	
tc(TA)	TAiIN入力サイクル時間	f(XIN)≦40MHz	$\frac{16\times10^9}{f(X_{IN})}$ (400)		ns
		f(XIN)≦25MHz	$\frac{8\times10^9}{f(X_{IN})}$ (320)		ns
tw(TAH)	TAiIN入力“H”パルス幅	f(XIN)≦40MHz	$\frac{8\times10^9}{f(X_{IN})}$ (200)		ns
		f(XIN)≦25MHz	$\frac{4\times10^9}{f(X_{IN})}$ (160)		ns
tw(TAL)	TAiIN入力“L”パルス幅	f(XIN)≦40MHz	$\frac{8\times10^9}{f(X_{IN})}$ (200)		ns
		f(XIN)≦25MHz	$\frac{4\times10^9}{f(X_{IN})}$ (160)		ns

注．TAiIN入力サイクル時間にはカウントソースの4サイクル以上，TAiIN入力“H”パルス幅及び“L”パルス幅にはカウントソースの2サイクル以上の長さがそれぞれ必要です。表中の規格値は源クロック選択ビット＝0の場合，高速走行（f(XIN)≦40MHz）時f(XIN)/4を，低速走行（f(XIN)≦25MHz）時f(XIN)/2をカウントソースに選択した場合の値です。

タイマA入力（ワンショットパルスモードの外部トリガ入力）

記　号	項　　目		規　格　値		単位
			最　小	最　大	
tc(TA)	TAiIN入力サイクル時間	f(XIN)≦40MHz	$\frac{8\times10^9}{f(X_{IN})}$ (200)		ns
		f(XIN)≦25MHz	$\frac{4\times10^9}{f(X_{IN})}$ (160)		ns
tw(TAH)	TAiIN入力“H”パルス幅		80		ns
tw(TAL)	TAiIN入力“L”パルス幅		80		ns

タイマA入力（パルス幅変調モードの外部トリガ入力）

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tw(TAH)	TAiIN入力“H”パルス幅	80		ns
tw(TAL)	TAiIN入力“L”パルス幅	80		ns

タイマA入力（イベントカウンタモードのアップダウン入力）

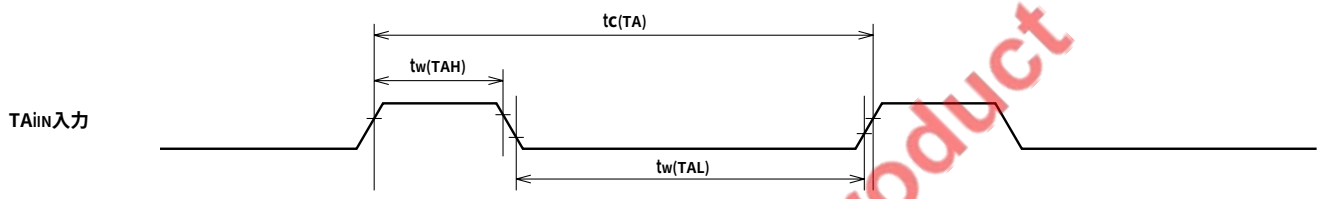
記　号	項　　目	規　格　値		単位
		最　小	最　大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

EOL announced Product

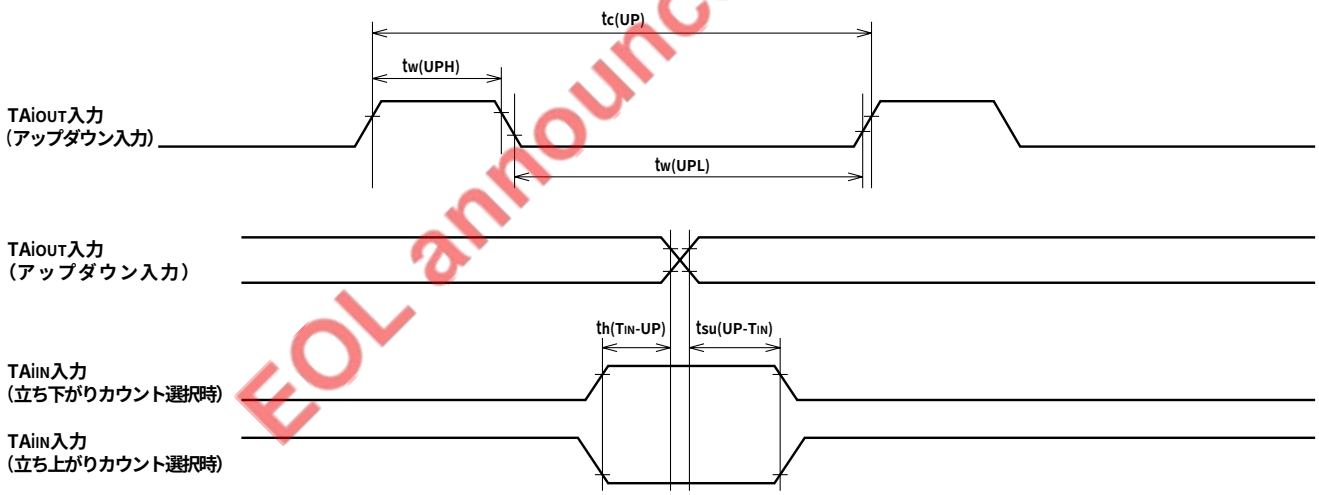
タイマA入力(イベントカウンタモードの二相パルス入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tc(TA)	TAjIN入力サイクル時間	800		ns
tsu(TAjIN-TAjOUT)	TAjIN入力セットアップ時間	200		ns
tsu(TAjOUT-TAjIN)	TAjOUT入力セットアップ時間	200		ns

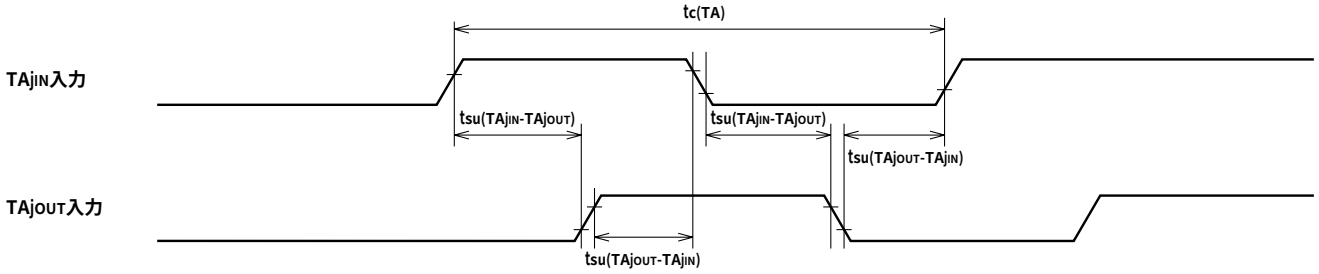
●イベントカウンタモードのカウント入力
●タイマモードのゲーティング入力
●ワンショットパルスモードの外部トリガ入力
●パルス幅変換モードの外部トリガ入力



●イベントカウンタモードのアップダウン入力及びカウント入力



●イベントカウンタモードの二相パルス入力



測定条件
- VCC＝5V±10%
- 入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定

EOL announced Product

タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	80		ns
$t_{w(TBH)}$	TBiIN入力"H"パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力"L"パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	160		ns
$t_{w(TBH)}$	TBiIN入力"H"パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力"L"パルス幅(両エッジカウント)	80		ns

タイマB入力(パルス周期測定モード)

記号	項目		規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	$f(X_{IN})\leqq 40MHz$	$\frac{16\times10^9}{f(X_{IN})}$ (400)		ns
		$f(X_{IN})\leqq 25MHz$	$\frac{8\times10^9}{f(X_{IN})}$ (320)		ns
$t_{w(TBH)}$	TBiIN入力"H"パルス幅	$f(X_{IN})\leqq 40MHz$	$\frac{8\times10^9}{f(X_{IN})}$ (200)		ns
		$f(X_{IN})\leqq 25MHz$	$\frac{4\times10^9}{f(X_{IN})}$ (160)		ns
$t_{w(TBL)}$	TBiIN入力"L"パルス幅	$f(X_{IN})\leqq 40MHz$	$\frac{8\times10^9}{f(X_{IN})}$ (200)		ns
		$f(X_{IN})\leqq 25MHz$	$\frac{4\times10^9}{f(X_{IN})}$ (160)		ns

注．TBiIN入力サイクル時間にはカウントソースの4サイクル以上，TBiIN入力"H"パルス幅及び"L"パルス幅にはカウントソースの2サイクル以上の長さがそれぞれ必要です。表中の規格値は源クロック選択ビット＝0の場合，高速走行（$f(X_{IN})\leqq 40MHz$）時$f(X_{IN})/4$を，低速走行（$f(X_{IN})\leqq 25MHz$）時$f(X_{IN})/2$をカウントソースに選択した場合の値です。

EOL announced Product

タイマB入力(パルス幅測定モード)

記号	項目		規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	$f(X_{IN})\leqq 40MHz$	$\frac{16\times10^9}{f(X_{IN})}$ (400)		ns
		$f(X_{IN})\leqq 25MHz$	$\frac{8\times10^9}{f(X_{IN})}$ (320)		ns
$t_{w(TBH)}$	TBiIN入力"H"パルス幅	$f(X_{IN})\leqq 40MHz$	$\frac{8\times10^9}{f(X_{IN})}$ (200)		ns
		$f(X_{IN})\leqq 25MHz$	$\frac{4\times10^9}{f(X_{IN})}$ (160)		ns
$t_{w(TBL)}$	TBiIN入力"L"パルス幅	$f(X_{IN})\leqq 40MHz$	$\frac{8\times10^9}{f(X_{IN})}$ (200)		ns
		$f(X_{IN})\leqq 25MHz$	$\frac{4\times10^9}{f(X_{IN})}$ (160)		ns

注．TBiIN入力サイクル時間にはカウントソースの4サイクル以上，TBiIN入力"H"パルス幅及び"L"パルス幅にはカウントソースの2サイクル以上の長さがそれぞれ必要です。表中の規格値は源クロック選択ビット＝0の場合，高速走行（$f(X_{IN})\leqq 40MHz$）時$f(X_{IN})/4$を，低速走行（$f(X_{IN})\leqq 25MHz$）時$f(X_{IN})/2$をカウントソースに選択した場合の値です。

A-Dトリガ入力

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間（トリガ可能最小）	1000		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力"L"パルス幅	125		ns

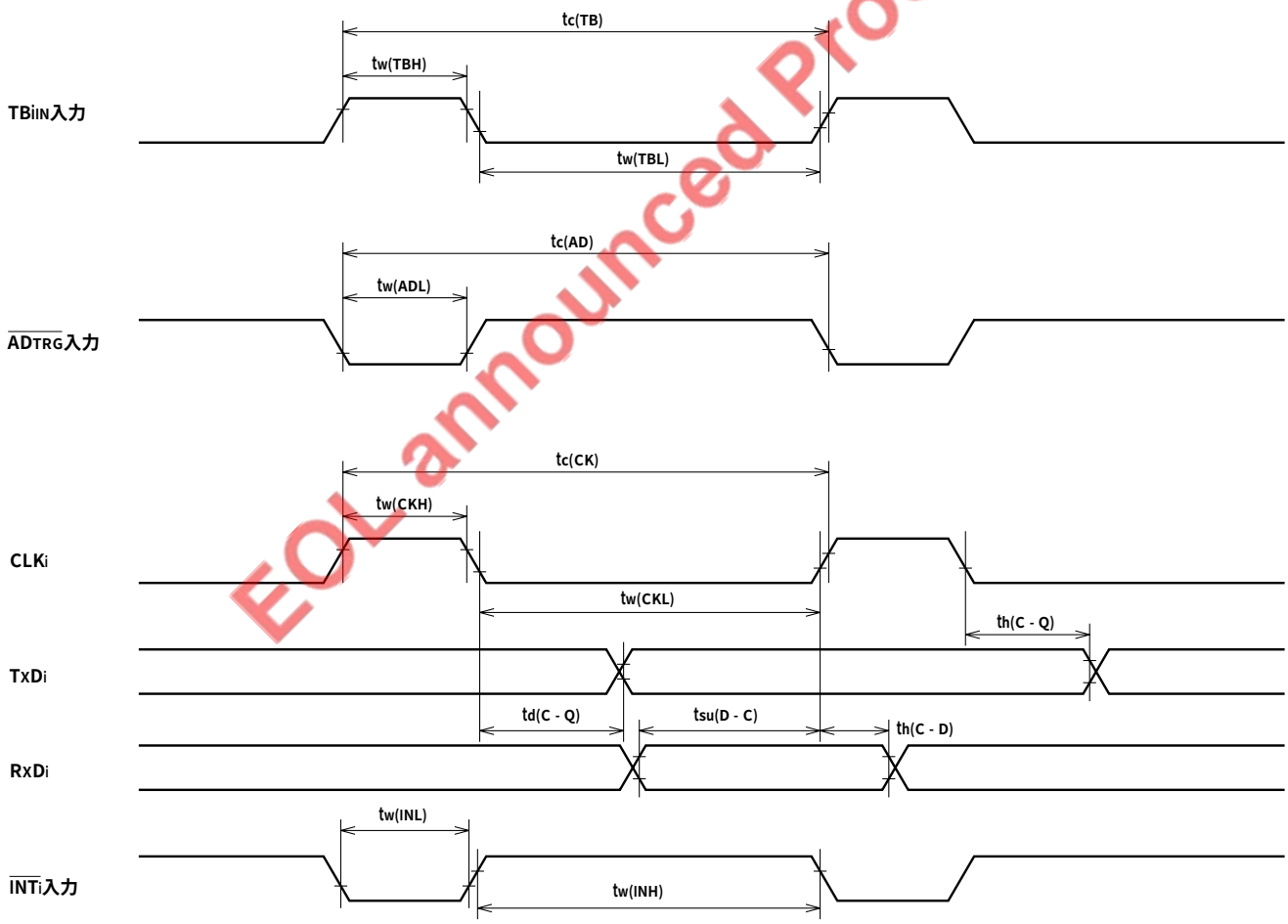
シリアルI/O

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tc(CK)	CLKi入力サイクル時間	200		ns
tw(CKH)	CLKi入力“H”パルス幅	100		ns
tw(CKL)	CLKi入力“L”パルス幅	100		ns
td(C-Q)	TxDi出力遅延時間		80	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-C)	RxDi入力セットアップ時間	20		ns
th(C-D)	RxDi入力ホールド時間	90		ns

外部割り込み$\overline{INT_i}$入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tw(INH)	$\overline{INT_i}$入力“H”パルス幅	250		ns
tw(INL)	$\overline{INT_i}$入力“L”パルス幅	250		ns

EOL announced Product



測定条件
- V_{CC}＝5V±10%
- 入力タイミング電圧：V_{IL}＝1.0V，V_{IH}＝4.0Vで判定
- 出力タイミング電圧：V_{OL}＝0.8V，V_{OH}＝2.0V，C_L＝100pFで判定

レディー、ホールドタイミング

タイミング必要条件(指定のない場合は，Vcc＝5V±10%，Vss＝0V，Ta＝－20～85°C，源クロック選択ビット＝0の場合，f(XIN)＝40MHz＊)
※指定のない場合は，入力信号の立ち上がり，立ち下がり時間は，100ns以下にしてください。

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tsu(RDY-φ1)	$\overline{\text{RDY}}$入力セットアップ時間	42		ns
tsu(HOLD-φ1)	$\overline{\text{HOLD}}$入力セットアップ時間	42		ns
th(φ1-RDY)	$\overline{\text{RDY}}$入力ホールド時間	0		ns
th(φ1-HOLD)	$\overline{\text{HOLD}}$入力ホールド時間	0		ns

＊源クロック選択ビット＝1の場合，f(XIN)＝20MHz

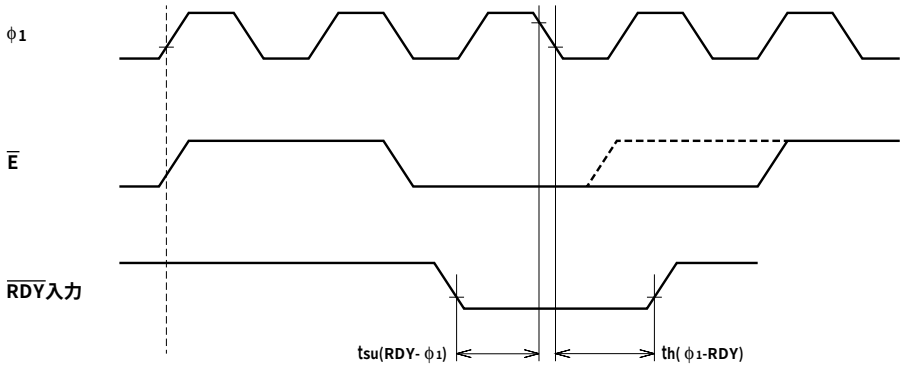
スイッチング特性(指定のない場合は，Vcc＝5V±10%，Vss＝0V，Ta＝－20～85°C，源クロック選択ビット＝0の場合，f(XIN)＝40MHz＊)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
td(φ1-HLDA)	$\overline{\text{HLDA}}$出力遅延時間		50	ns
tpxz(HLDA-R/WZ)	フローティング開始遅延時間(ホールド時)		50	ns
tpxz(HLDA-BHEZ)	フローティング開始遅延時間(ホールド時)		50	ns
tpxz(HLDA-AZ)	フローティング開始遅延時間(ホールド時)		50	ns
tpxz(HLDA-A/DZ)	フローティング開始遅延時間(ホールド時)		50	ns
tpzx(HLDA-R/WZ)	フローティング解除遅延時間(ホールド時)	0		ns
tpzx(HLDA-BHEZ)	フローティング解除遅延時間(ホールド時)	0		ns
tpzx(HLDA-AZ)	フローティング解除遅延時間(ホールド時)	0		ns
tpzx(HLDA-A/DZ)	フローティング解除遅延時間(ホールド時)	0		ns

＊源クロック選択ビット＝1の場合，f(XIN)＝20MHz

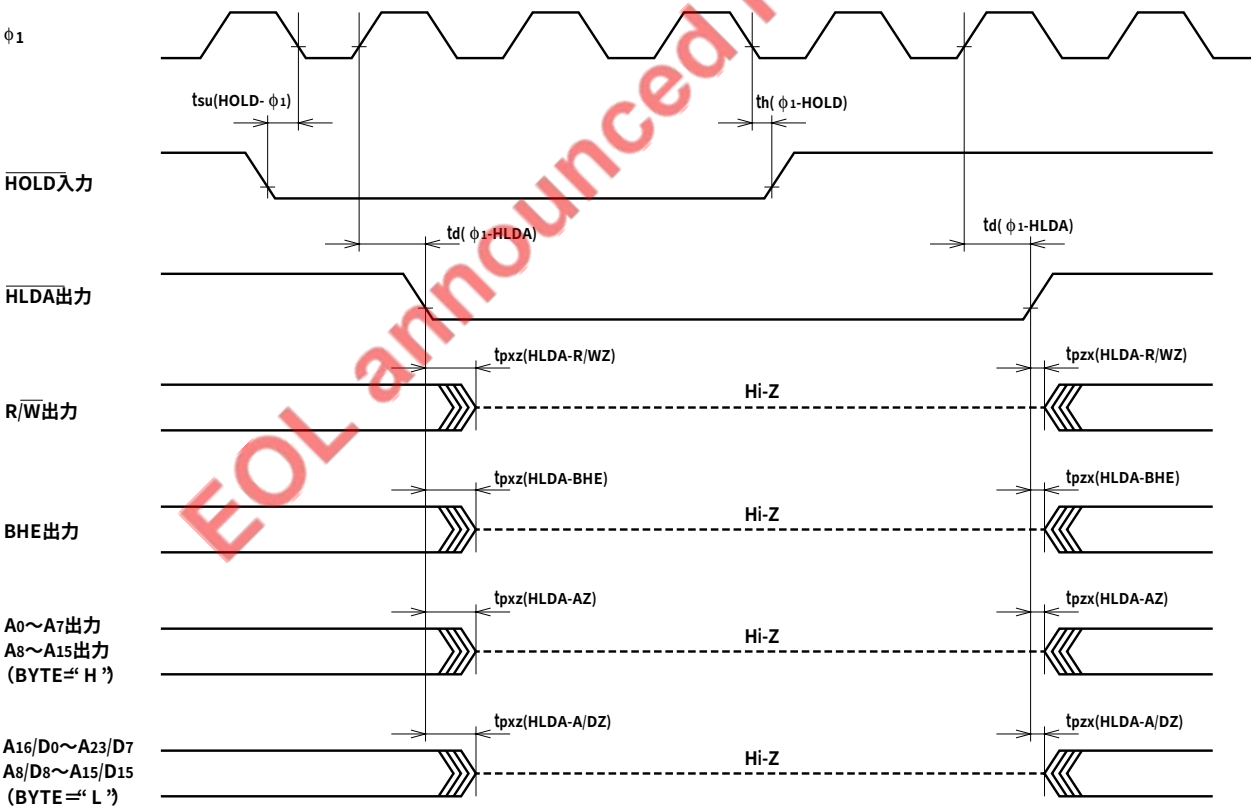
EOL announced Product

$\overline{RDY}$入力（高速走行3φアクセスの場合）



※ $\overline{RDY}$入力はバスモード及びウエイト数に関係なく，Eの立ち上がりの直前のφ1の立ち下がりでサンプリングされます。

$\overline{HOLD}$入力



EOL announced Product

測定条件
・V_{CC}＝5V±10%
・$\overline{RDY}$入力，$\overline{HOLD}$入力：V_{IL}＝1.0V，V_{IH}＝4.0Vで判定
・$\overline{HLDA}$出力　　：V_{OL}＝0.8V，V_{OH}＝2.0V，C_L＝100pFで判定

タイミング必要条件(指定のない場合は，Vcc＝5V±10%，Vss＝0V，Ta＝－20～85°C，源クロック選択ビット＝0の場合，f(XIN)＝40MHz*)
※指定のない場合は，入力信号の立ち上がり，立ち下がり時間は ，100ns以下にしてください。

シングルチップモード

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tc	外部クロック入力サイクル時間　（注1）	25		ns
tw(H)	外部クロック入力“H”パルス幅　（注2）	tc/2－8		ns
tw(L)	外部クロック入力“L”パルス幅　（注2）	tc/2－8		ns
tr	外部クロック立ち上がり時間		8	ns
tf	外部クロック立ち下がり時間		8	ns
tsu(PiD-E)	ポートPi入力セットアップ時間(i＝0～8)	60		ns
th(E-PiD)	ポートPi入力ホールド時間(i＝0～8)	0		ns

＊源クロック選択ビット＝1の場合，f(XIN)＝20MHz
注1．源クロック選択ビット＝1の場合には，tcの最小値は50nsになります。
　2．源クロック選択ビット＝1の場合には，tw(H)/tc，tw(L)/tc比を45～55%にしてください。

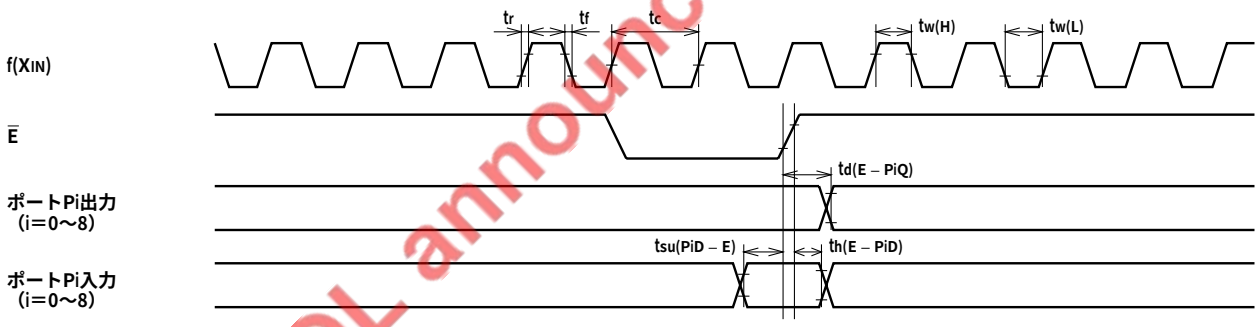
スイッチング特性(指定のない場合は，Vcc＝5V±10%，Vss＝0V，Ta＝－20～85°C，源クロック選択ビット＝0の場合，f(XIN)＝40MHz*)

シングルチップモード

記　号	項　　目	規　格　値		単位
		最　小	最　大	
td(E-PiQ)	ポートPiデータ出力遅延時間(i＝0～8)		60	ns

＊源クロック選択ビット＝1の場合，f(XIN)＝20MHz

シングルチップモード



測定条件
・Vcc＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

EOL announced Product

タイミング必要条件(指定のない場合は，Vcc＝5V±10%，Vss＝0V，Ta＝－20～85°C，源クロック選択ビット＝0の場合，f(XIN)＝25MHz*)
※指定のない場合は，入力信号の立ち上がり，立ち下がり時間は，100ns以下にしてください。

メモリ拡張モード及びマイクロプロセッサモード：低速走行

記　号	項　　目	規　格　値		単位
		最　小	最　大	
tc	外部クロック入力サイクル時間　(注1)	40		ns
tw(H)	外部クロック入力“H”パルス幅　(注2)	tc/2－8		ns
tw(L)	外部クロック入力“L”パルス幅　(注2)	tc/2－8		ns
tr	外部クロック立ち上がり時間		8	ns
tf	外部クロック立ち下がり時間		8	ns
tsu(D-E)	データ入力セットアップ時間	30		ns
tsu(PiD-E)	ポートPi入力セットアップ時間(i＝4～8)	60		ns
th(E-D)	データ入力ホールド時間	0		ns
th(E-PiD)	ポートPi入力ホールド時間(i＝4～8)	0		ns
tsu(An/A-D)	アドレス確定後データセットアップ時間　(注3)		55(2φアクセス)	ns
			135(3φアクセス)	
			215(4φアクセス)	

＊源クロック選択ビット＝1の場合，f(XIN)＝12.5MHz
注1．源クロック選択ビット＝1の場合には，tcの最小値は80nsになります。
　2．源クロック選択ビット＝1の場合には，tw(H)/tc，tw(L)/tc比を45～55%にしてください。
　3．外部クロック入力周波数に依存しますので，次々ページのバスタイミングデータ算出式から算出してください。

EOL announced Product

スイッチング特性(指定のない場合は，Vcc＝5V±10%，Vss＝0V，Ta＝−20〜85°C，源クロック選択ビット＝0の場合，f(XIN)＝25MHz*)
メモリ拡張モード及びマイクロプロセッサモード：低速走行

記　号	項　　目		2φアクセス		3φアクセス		4φアクセス		単位
			最小	最大	最小	最大	最小	最大	
tw(φH),tw(φL)	φ“H”パルス幅,φ“L”パルス幅	(注)	20		20		20		ns
td(E-φ1)	φ1出力遅延時間		−12	7	−12	7	−12	7	ns
tw(EL)	$\overline{E}$“L”パルス幅	(注)	55		135		135		ns
td(An-E)	アドレス出力遅延時間	(注)	12		12		92		ns
td(E-DQ)	データ出力遅延時間			35		35		35	ns
tpxz(E-DZ)	フローティング開始遅延時間			5		5		5	ns
td(A-E)	アドレス出力遅延時間	(注)	12		12		92		ns
td(A-ALE)	アドレス出力遅延時間	(注)	5		5		52		ns
td(E-ALE)	ALE出力遅延時間	(注)	20		20		20		ns
td(ALE-E)	ALE出力遅延時間		4		4		4		ns
tw(ALE)	ALEパルス幅	(注)	22		22		62		ns
td(BHE-E)	$\overline{BHE}$出力遅延時間	(注)	15		15		95		ns
td(R/W-E)	R/$\overline{W}$出力遅延時間	(注)	15		15		95		ns
th(E-An)	アドレスホールド時間	(注)	10		10		10		ns
th(ALE-A)	アドレスホールド時間		9		9		(注)25		ns
th(E-DQ)	データホールド時間	(注)	18		18		18		ns
tpzx(E-DZ)	フローティング解除遅延時間	(注)	18		18		18		ns
th(E-BHE)	$\overline{BHE}$ホールド時間	(注)	10		10		10		ns
th(E-R/W)	R/$\overline{W}$ホールド時間	(注)	10		10		10		ns
td(E-PiQ)	ポートPiデータ出力遅延時間(i=4〜8)			60		60		60	ns

＊源クロック選択ビット＝1の場合，f(XIN)＝12.5MHz
注．外部クロック入力周波数f(XIN)に依存しますので，次ページの「バスタイミングデータ算出式」から算出してください。ただし，
th(ALE-A)は4φアクセス時のみf(XIN)に依存します。

EOL announced Product

バスタイミングデータ算出式

メモリ拡張モード及びマイクロプロセッサモード

低速走行(Vcc＝5V±10%，Vss＝0V，Ta＝−20〜85℃，源クロック選択ビット＝0の場合，f(XIN)≦25MHz＊)

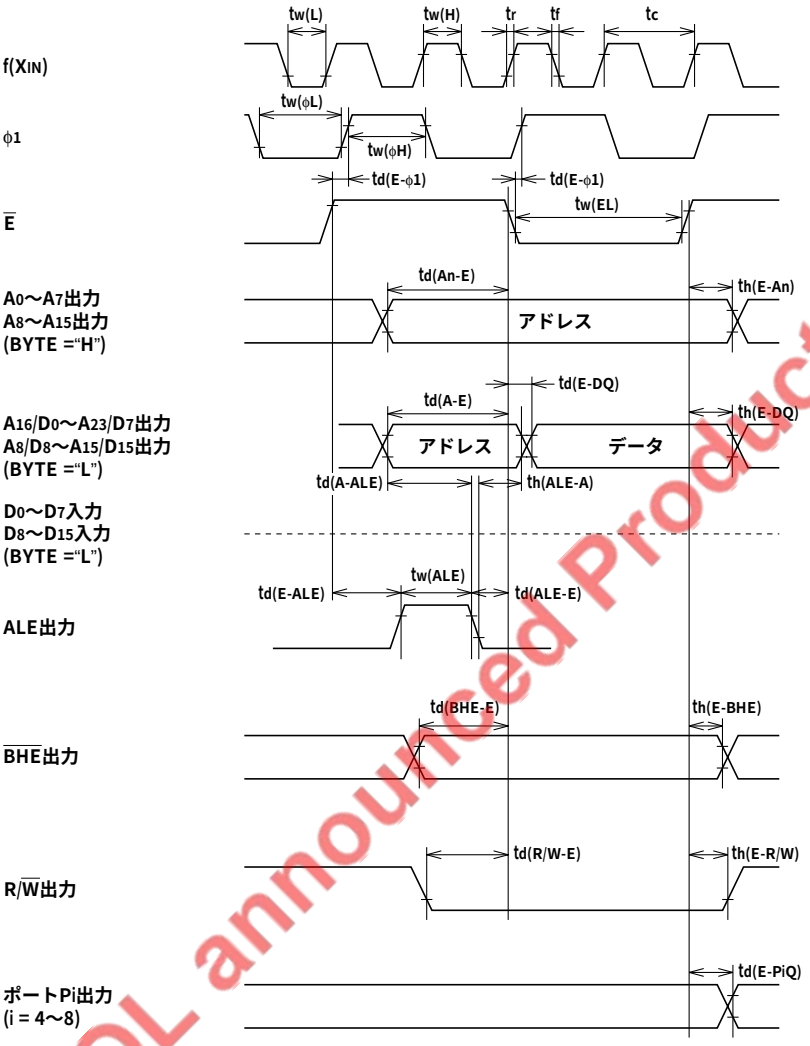
記　号	項　　目	2φアクセス	3φアクセス	4φアクセス	単位
tsu(An/A-D)	アドレス確定後データセットアップ時間	$\frac{3\times10^9}{f(X_{IN})}-65$	$\frac{5\times10^9}{f(X_{IN})}-65$	$\frac{7\times10^9}{f(X_{IN})}-65$	ns
tw(φH),tw(φL)	φ“H”パルス幅，φ“L”パルス幅	$\frac{1\times10^9}{f(X_{IN})}-20$	$\frac{1\times10^9}{f(X_{IN})}-20$	$\frac{1\times10^9}{f(X_{IN})}-20$	ns
tw(EL)	$\overline{E}$“L”パルス幅	$\frac{2\times10^9}{f(X_{IN})}-25$	$\frac{4\times10^9}{f(X_{IN})}-25$	$\frac{4\times10^9}{f(X_{IN})}-25$	ns
td(An-E)	アドレス出力遅延時間	$\frac{1\times10^9}{f(X_{IN})}-28$	$\frac{1\times10^9}{f(X_{IN})}-28$	$\frac{3\times10^9}{f(X_{IN})}-28$	ns
td(A-E)	アドレス出力遅延時間	$\frac{1\times10^9}{f(X_{IN})}-28$	$\frac{1\times10^9}{f(X_{IN})}-28$	$\frac{3\times10^9}{f(X_{IN})}-28$	ns
td(A-ALE)	アドレス出力遅延時間	$\frac{1\times10^9}{f(X_{IN})}-35$	$\frac{1\times10^9}{f(X_{IN})}-35$	$\frac{2\times10^9}{f(X_{IN})}-28$	ns
td(E-ALE)	ALE出力遅延時間	$\frac{1\times10^9}{f(X_{IN})}-20$	$\frac{1\times10^9}{f(X_{IN})}-20$	$\frac{1\times10^9}{f(X_{IN})}-20$	ns
tw(ALE)	ALEパルス幅	$\frac{1\times10^9}{f(X_{IN})}-18$	$\frac{1\times10^9}{f(X_{IN})}-18$	$\frac{2\times10^9}{f(X_{IN})}-18$	ns
td(BHE-E)	$\overline{BHE}$出力遅延時間	$\frac{1\times10^9}{f(X_{IN})}-25$	$\frac{1\times10^9}{f(X_{IN})}-25$	$\frac{3\times10^9}{f(X_{IN})}-25$	ns
td(R/W-E)	R/$\overline{W}$出力遅延時間	$\frac{1\times10^9}{f(X_{IN})}-25$	$\frac{1\times10^9}{f(X_{IN})}-25$	$\frac{3\times10^9}{f(X_{IN})}-25$	ns
th(E-An)	アドレスホールド時間	$\frac{1\times10^9}{f(X_{IN})}-30$	$\frac{1\times10^9}{f(X_{IN})}-30$	$\frac{1\times10^9}{f(X_{IN})}-30$	ns
th(ALE-A)	アドレスホールド時間	———	———	$\frac{1\times10^9}{f(X_{IN})}-15$	ns
th(E-DQ)	データホールド時間	$\frac{1\times10^9}{f(X_{IN})}-22$	$\frac{1\times10^9}{f(X_{IN})}-22$	$\frac{1\times10^9}{f(X_{IN})}-22$	ns
tpzx(E-DZ)	フローティング解除遅延時間	$\frac{1\times10^9}{f(X_{IN})}-22$	$\frac{1\times10^9}{f(X_{IN})}-22$	$\frac{1\times10^9}{f(X_{IN})}-22$	ns
th(E-BHE)	$\overline{BHE}$ホールド時間	$\frac{1\times10^9}{f(X_{IN})}-30$	$\frac{1\times10^9}{f(X_{IN})}-30$	$\frac{1\times10^9}{f(X_{IN})}-30$	ns
th(E-R/W)	R/$\overline{W}$ホールド時間	$\frac{1\times10^9}{f(X_{IN})}-30$	$\frac{1\times10^9}{f(X_{IN})}-30$	$\frac{1\times10^9}{f(X_{IN})}-30$	ns

＊源クロック選択ビット＝1の場合，f(XIN)≦12.5MHz

注．源クロック選択ビット＝1の場合は，表中の算出式のf(XIN)を2・f(XIN)として計算してください。

EOL announced product

低速走行2φアクセス〈書き込み時〉

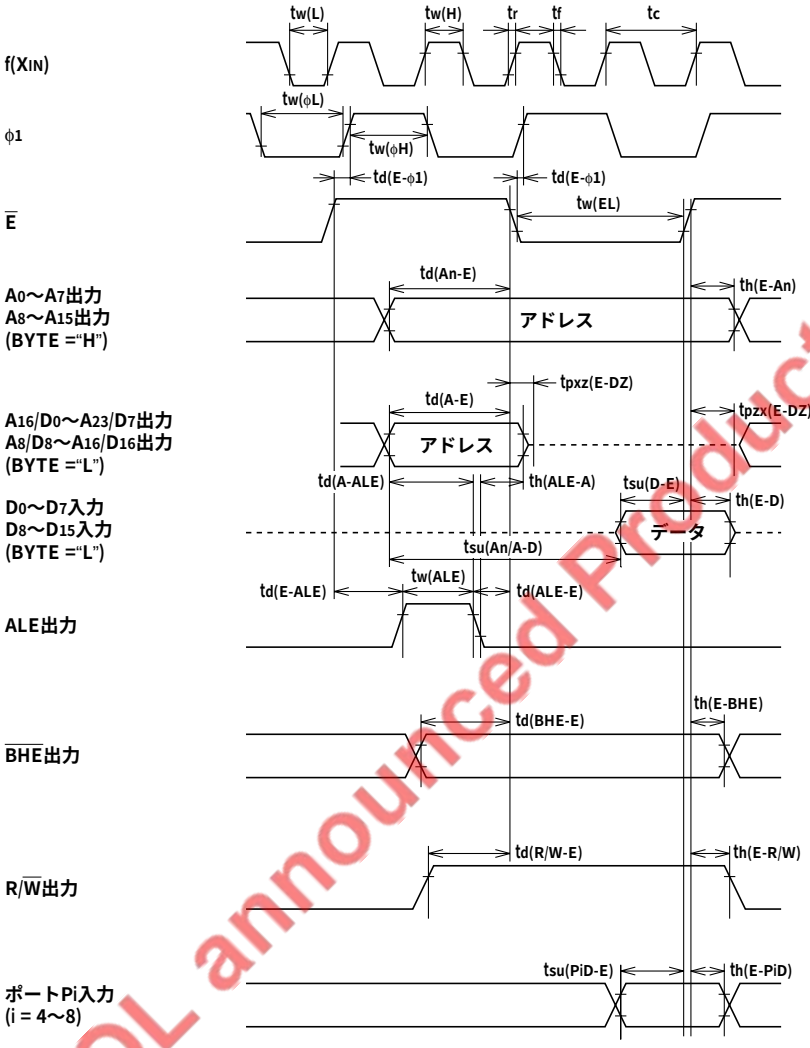


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

低速走行2φアクセス〈読み出し時〉

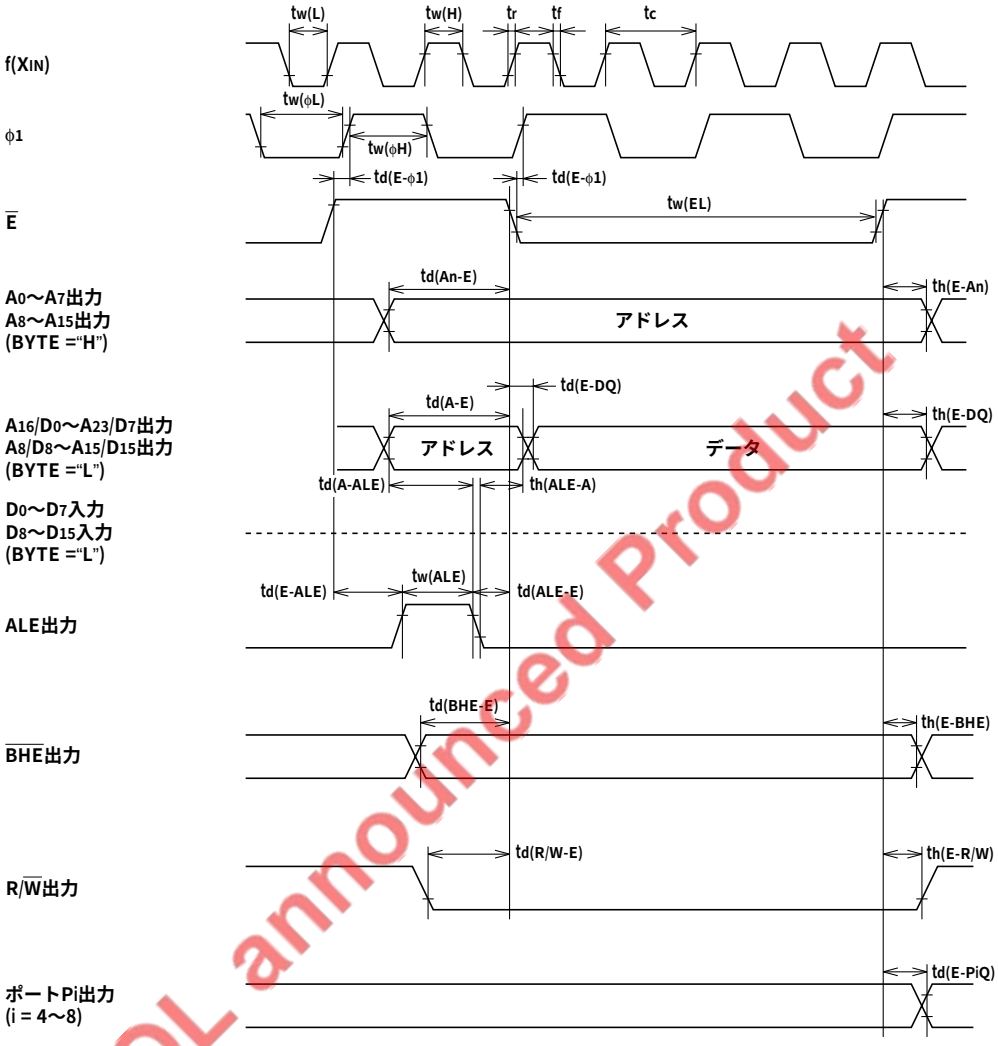


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

低速走行3φアクセス〈書き込み時〉

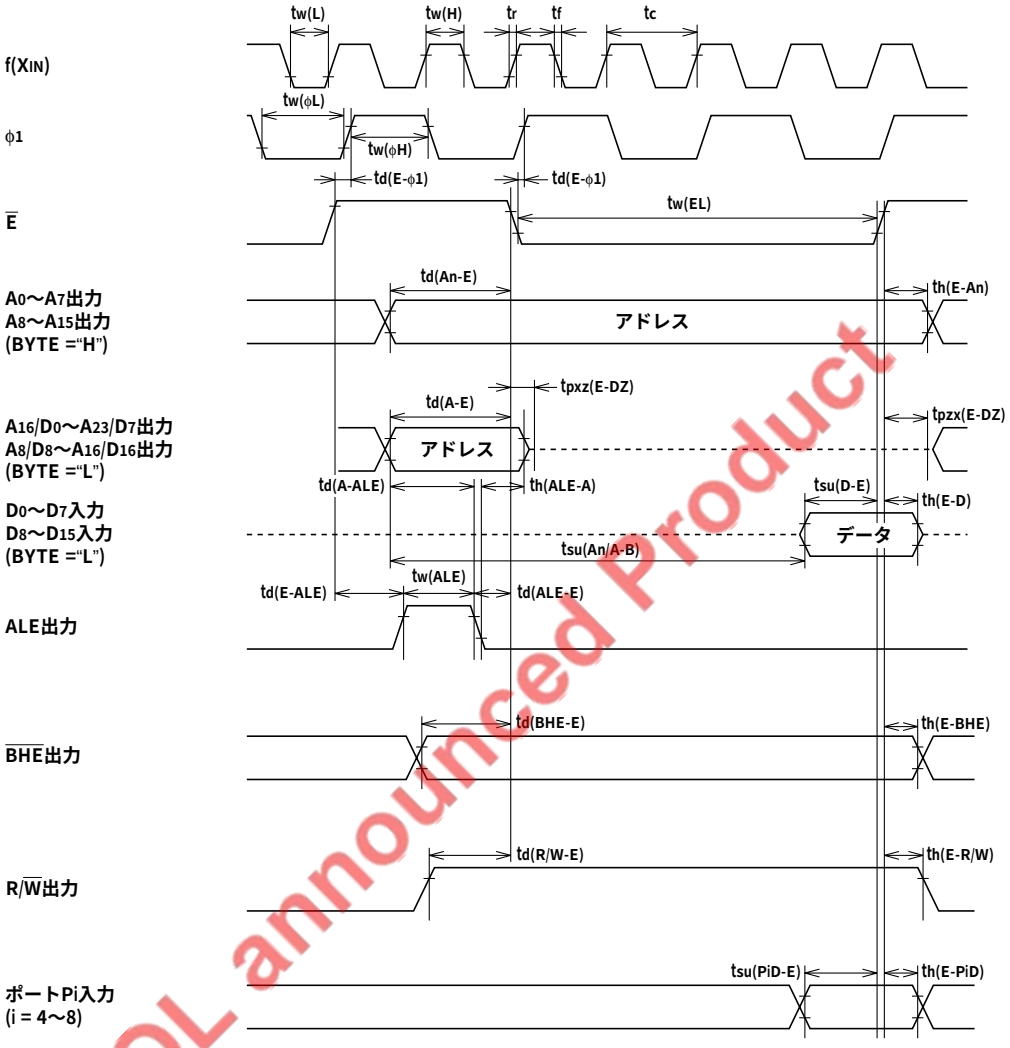


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

低速走行3φアクセス〈読み出し時〉

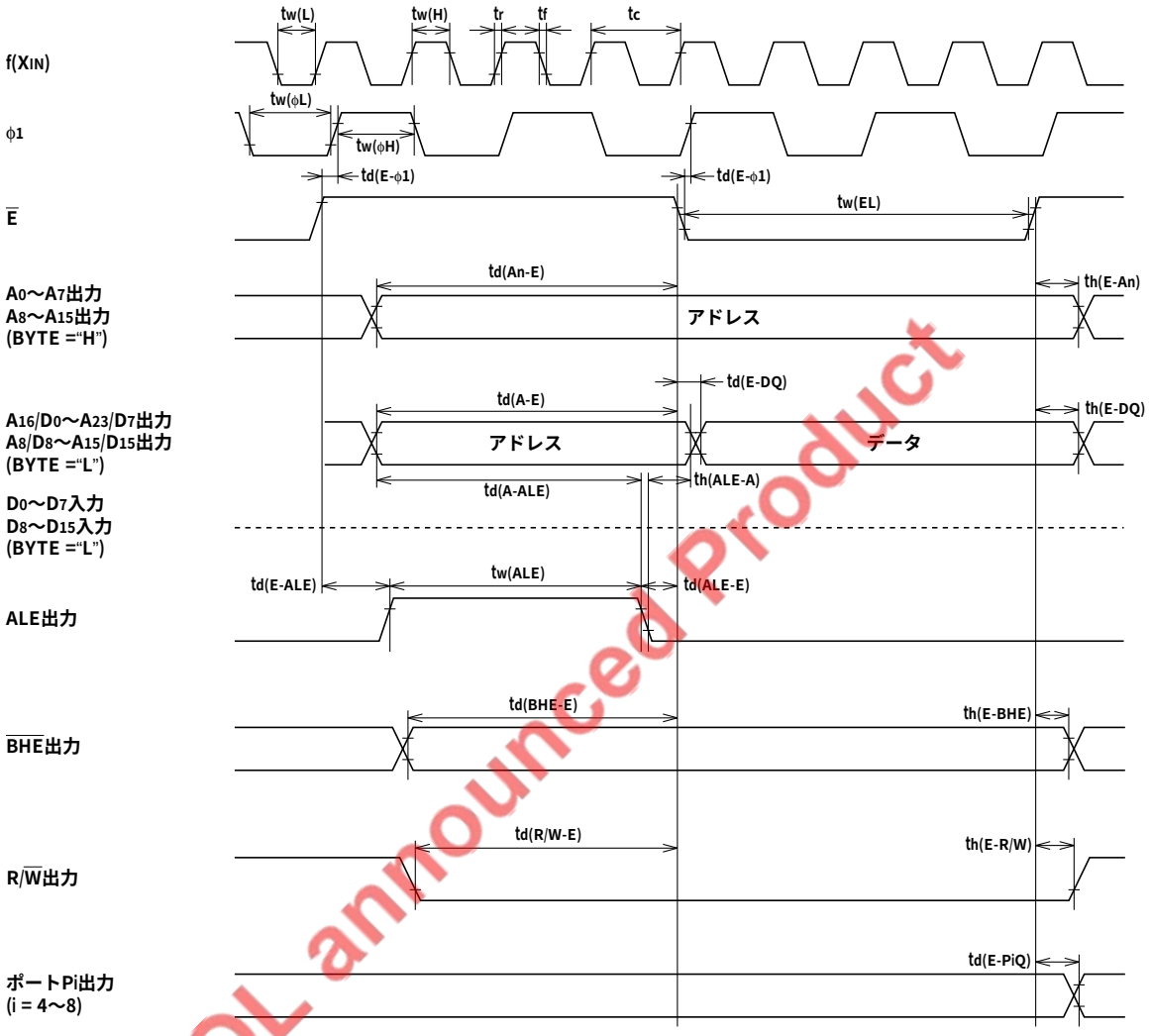


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

低速走行4φアクセス〈書き込み時〉

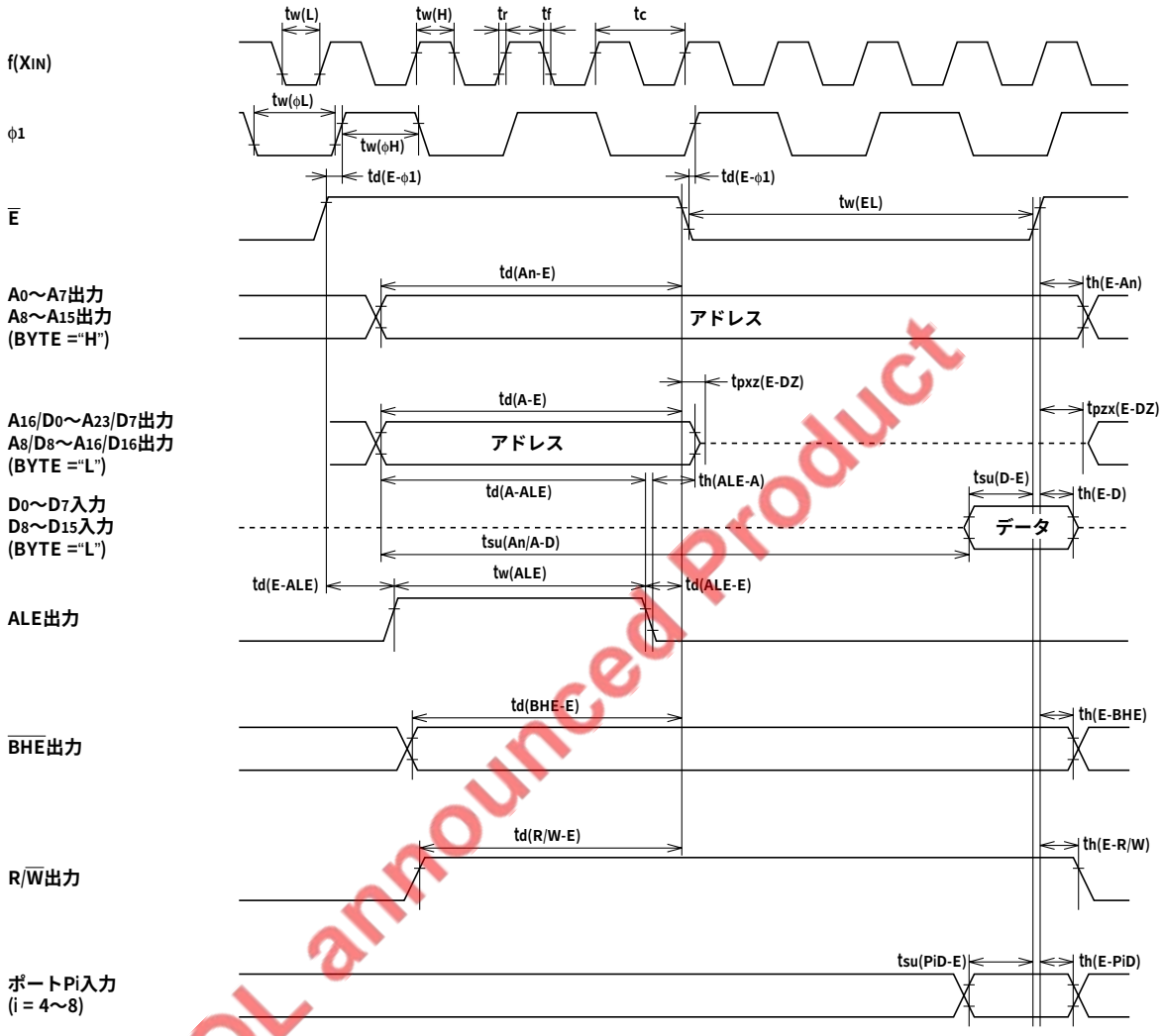


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

低速走行4φアクセス〈読み出し時〉



EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

タイミング必要条件(指定のない場合は，V_{CC}＝5V±10%，V_{SS}＝0V，Ta＝－20～85°C，源クロック選択ビット＝0の場合，$f(X_{IN})$＝40MHz*)
※指定のない場合は，入力信号の立ち上がり，立ち下がり時間は，100ns以下にしてください。

メモリ拡張モード及びマイクロプロセッサモード：高速走行

記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間　(注1)	25		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅　(注2)	t_c/2-8		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅　(注2)	t_c/2-8		ns
t_r	外部クロック立ち上がり時間		8	ns
t_f	外部クロック立ち下がり時間		8	ns
$t_{su(D-E)}$	入力セットアップ時間	30		ns
$t_{su(PiD-E)}$	ポートPi入力セットアップ時間(i＝4～8)	60		ns
$t_{h(E-D)}$	データ入力ホールド時間	0		ns
$t_{h(E-PiD)}$	ポートPi入力ホールド時間(i＝4～8)	0		ns
$t_{su(An/A-D)}$	アドレス確定後データセットアップ時間　(注3)		50(3φアクセス)	ns
			100(4φアクセス)	
			150(5φアクセス)	

＊源クロック選択ビット＝1の場合，$f(X_{IN})$＝20MHz
注1．源クロック選択ビット＝1の場合には，t_cの最小値は50nsになります。
2．源クロック選択ビット＝1の場合には，$t_{w(H)}/t_c$，$t_{w(L)}/t_c$比を45～55%にしてください。
3．外部クロック入力周波数に依存しますので，次々ページのバスタイミングデータ算出式から算出してください。

EOL announced Product

スイッチング特性(指定のない場合は，Vcc＝5V±10%，Vss＝0V，Ta＝−20〜85°C，源クロック選択ビット＝0の場合，f(XIN)＝40MHz*)
メモリ拡張モード及びマイクロプロセッサモード：高速走行

記　号	項　　目		3φアクセス		4φアクセス		5φアクセス		単位
			最小	最大	最小	最大	最小	最大	
tw(φH),tw(φL)	φ“H”パルス幅,φ“L”パルス幅	(注)	5		5		5		ns
td(E-φ1)	φ1出力遅延時間		−12	7	−12	7	−12	7	ns
tw(EL)	$\overline{E}$“L”パルス幅	(注)	50		75		125		ns
td(An-E)	アドレス出力遅延時間	(注)	15		40		40		ns
td(E-DQ)	データ出力遅延時間			35		35		35	ns
tpxz(E-DZ)	フローティング開始遅延時間			5		5		5	ns
td(A-E)	アドレス出力遅延時間	(注)	15		40		40		ns
td(A-ALE)	アドレス出力遅延時間	(注)	5		30		30		ns
td(E-ALE)	ALE出力遅延時間	(注)	10		10		10		ns
td(ALE-E)	ALE出力遅延時間		4		4		4		ns
tw(ALE)	ALEパルス幅	(注)	10		35		35		ns
td(BHE-E)	$\overline{BHE}$出力遅延時間	(注)	20		45		45		ns
td(R/W-E)	R/$\overline{W}$出力遅延時間	(注)	20		45		45		ns
th(E-An)	アドレスホールド時間	(注)	10		10		10		ns
th(ALE-A)	アドレスホールド時間	(注)	10		10		10		ns
th(E-DQ)	データホールド時間	(注)	15		15		15		ns
tpzx(E-DZ)	フローティング解除遅延時間	(注)	15		15		15		ns
th(E-BHE)	$\overline{BHE}$ホールド時間	(注)	10		10		10		ns
th(E-R/W)	R/$\overline{W}$ホールド時間	(注)	10		10		10		ns
td(E-PiQ)	ポートPiデータ出力遅延時間(i=4〜8)			60		60		60	ns

＊源クロック選択ビット＝1の場合，f(XIN)＝12.5MHz
注．外部クロック入力周波数f(XIN)に依存しますので，次ページのバスタイミングデータ算出式から算出してください。

EOL announced Product

バスタイミングデータ算出式

メモリ拡張モード及びマイクロプロセッサモード

高速走行(Vcc＝5V±10%，Vss＝0V，Ta＝－20～85℃，源クロック選択ビット＝0の場合，f(XIN)≦40MHz＊)

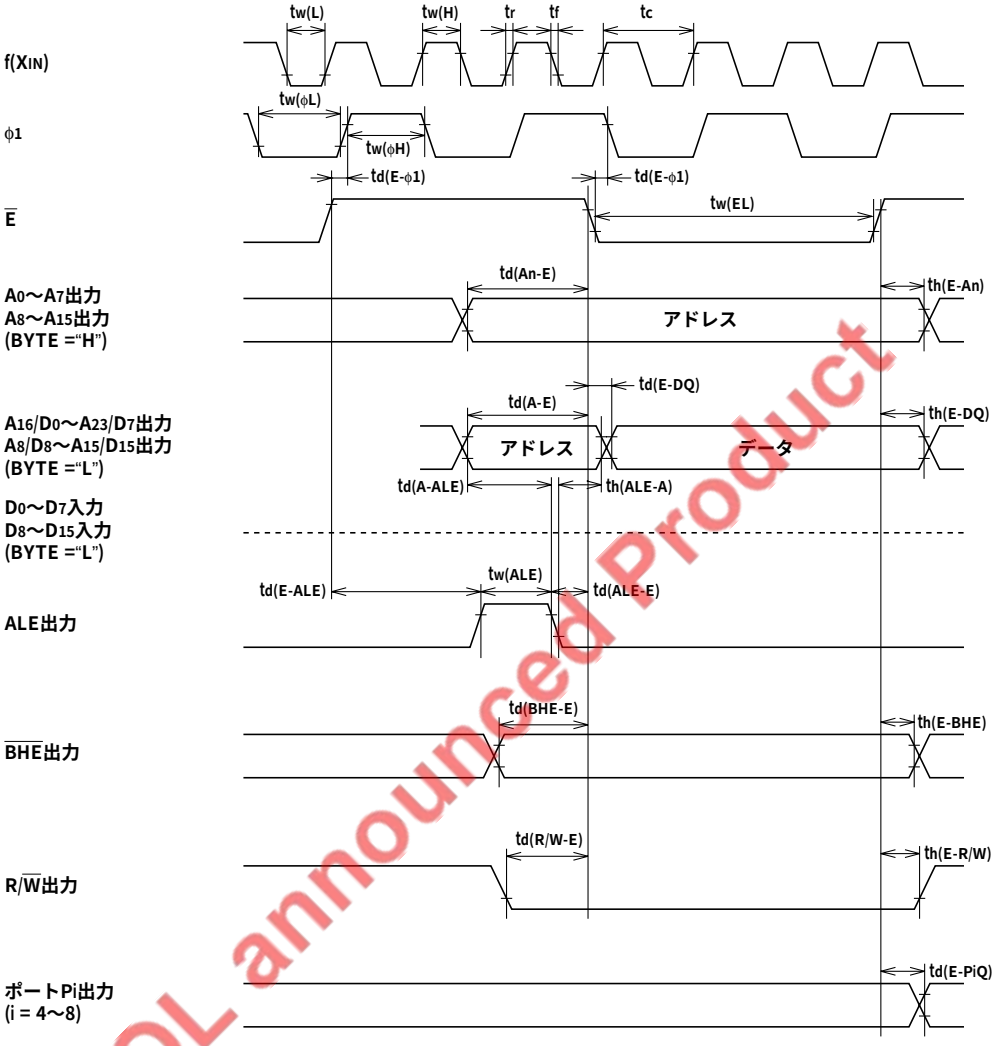
記　号	項　　目	3φアクセス	4φアクセス	5φアクセス	単位
tsu(An/A-D)	アドレス確定後データセットアップ時間	$\frac{5\times10^9}{f(X_{IN})}-75$	$\frac{7\times10^9}{f(X_{IN})}-75$	$\frac{9\times10^9}{f(X_{IN})}-75$	ns
tw(φH),tw(φL)	φ“H”パルス幅，φ“L”パルス幅	$\frac{1\times10^9}{f(X_{IN})}-20$	$\frac{1\times10^9}{f(X_{IN})}-20$	$\frac{1\times10^9}{f(X_{IN})}-20$	ns
tw(EL)	$\overline{E}$“L”パルス幅	$\frac{3\times10^9}{f(X_{IN})}-25$	$\frac{4\times10^9}{f(X_{IN})}-25$	$\frac{6\times10^9}{f(X_{IN})}-25$	ns
td(An-E)	アドレス出力遅延時間	$\frac{2\times10^9}{f(X_{IN})}-35$	$\frac{3\times10^9}{f(X_{IN})}-35$	$\frac{3\times10^9}{f(X_{IN})}-35$	ns
td(A-E)	アドレス出力遅延時間	$\frac{2\times10^9}{f(X_{IN})}-35$	$\frac{3\times10^9}{f(X_{IN})}-35$	$\frac{3\times10^9}{f(X_{IN})}-35$	ns
td(A-ALE)	アドレス出力遅延時間	$\frac{1\times10^9}{f(X_{IN})}-20$	$\frac{2\times10^9}{f(X_{IN})}-20$	$\frac{2\times10^9}{f(X_{IN})}-20$	ns
td(E-ALE)	ALE出力遅延時間	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	ns
tw(ALE)	ALEパルス幅	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{2\times10^9}{f(X_{IN})}-15$	$\frac{2\times10^9}{f(X_{IN})}-15$	ns
td(BHE-E)	$\overline{BHE}$出力遅延時間	$\frac{2\times10^9}{f(X_{IN})}-30$	$\frac{3\times10^9}{f(X_{IN})}-30$	$\frac{3\times10^9}{f(X_{IN})}-30$	ns
td(R/W-E)	R/$\overline{W}$出力遅延時間	$\frac{2\times10^9}{f(X_{IN})}-30$	$\frac{3\times10^9}{f(X_{IN})}-30$	$\frac{3\times10^9}{f(X_{IN})}-30$	ns
th(E-An)	アドレスホールド時間	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	ns
th(ALE-A)	アドレスホールド時間	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	ns
th(E-DQ)	データホールド時間	$\frac{1\times10^9}{f(X_{IN})}-10$	$\frac{1\times10^9}{f(X_{IN})}-10$	$\frac{1\times10^9}{f(X_{IN})}-10$	ns
tpzx(E-DZ)	フローティング解除遅延時間	$\frac{1\times10^9}{f(X_{IN})}-10$	$\frac{1\times10^9}{f(X_{IN})}-10$	$\frac{1\times10^9}{f(X_{IN})}-10$	ns
th(E-BHE)	$\overline{BHE}$ホールド時間	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	ns
th(E-R/W)	R/$\overline{W}$ホールド時間	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	$\frac{1\times10^9}{f(X_{IN})}-15$	ns

＊源クロック選択ビット＝1の場合，f(XIN)≦20MHz

注．源クロック選択ビット＝1の場合は，表中の算出式のf(XIN)を2・f(XIN)として計算してください。

EOL announced Product

高速走行3φアクセス〈書き込み時〉

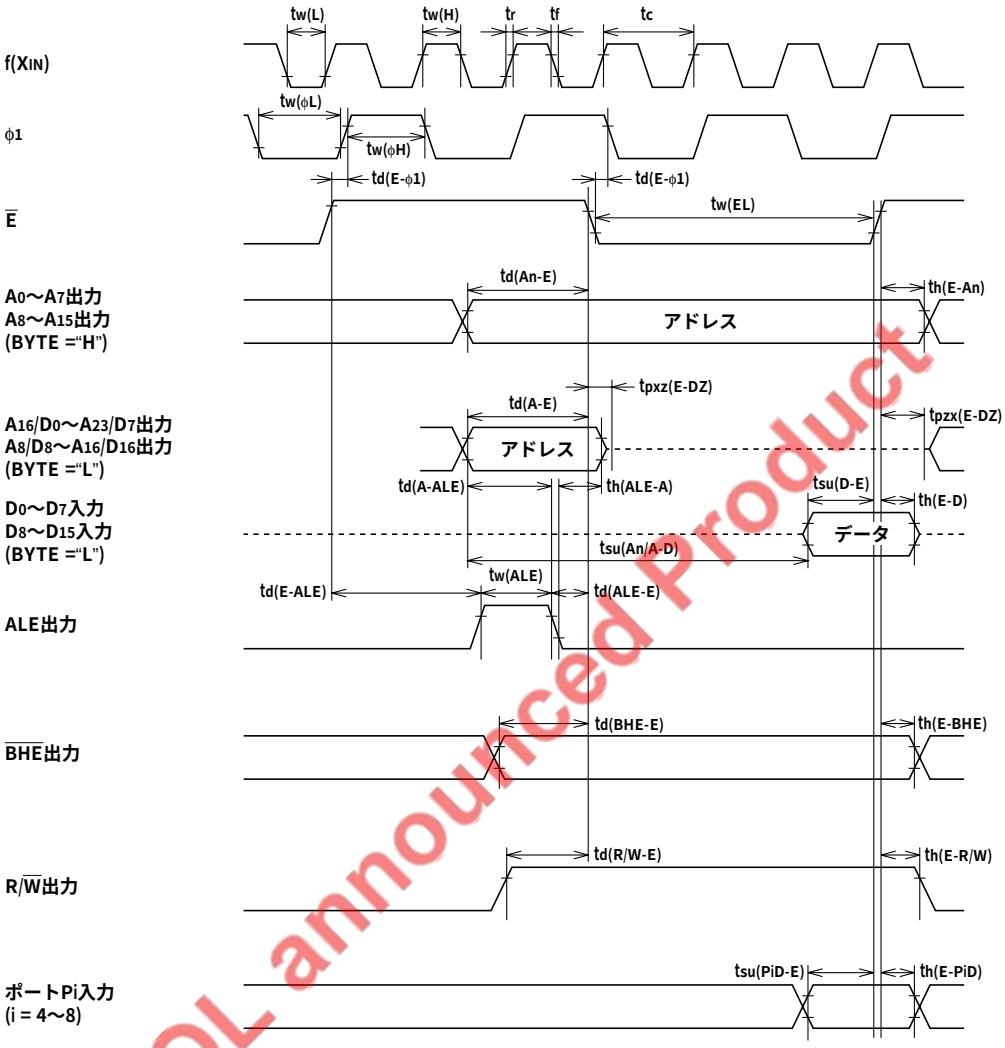


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

高速走行3φアクセス〈読み出し時〉

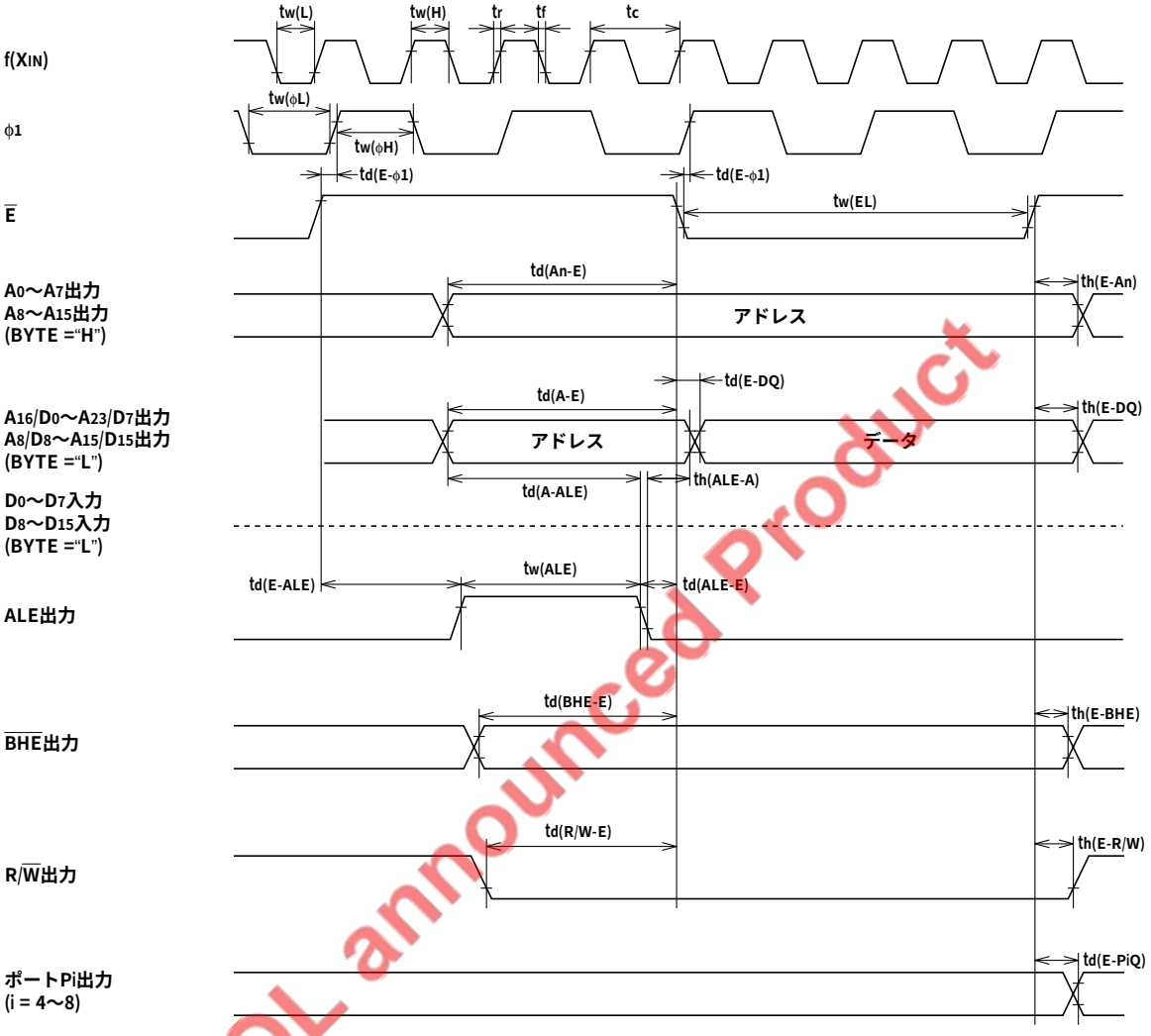


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

高速走行4φアクセス〈書き込み時〉

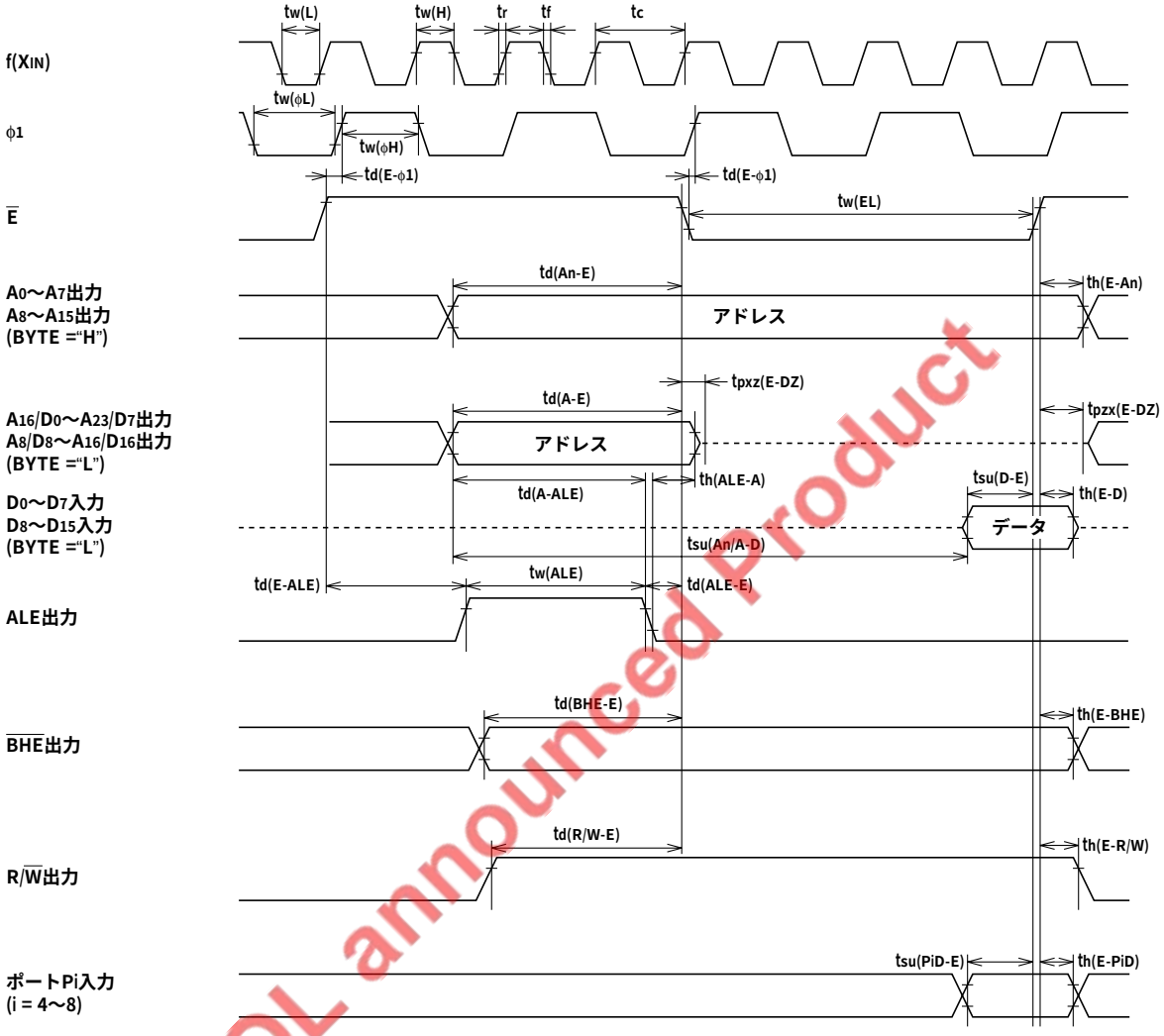


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

高速走行4φアクセス〈読み出し時〉

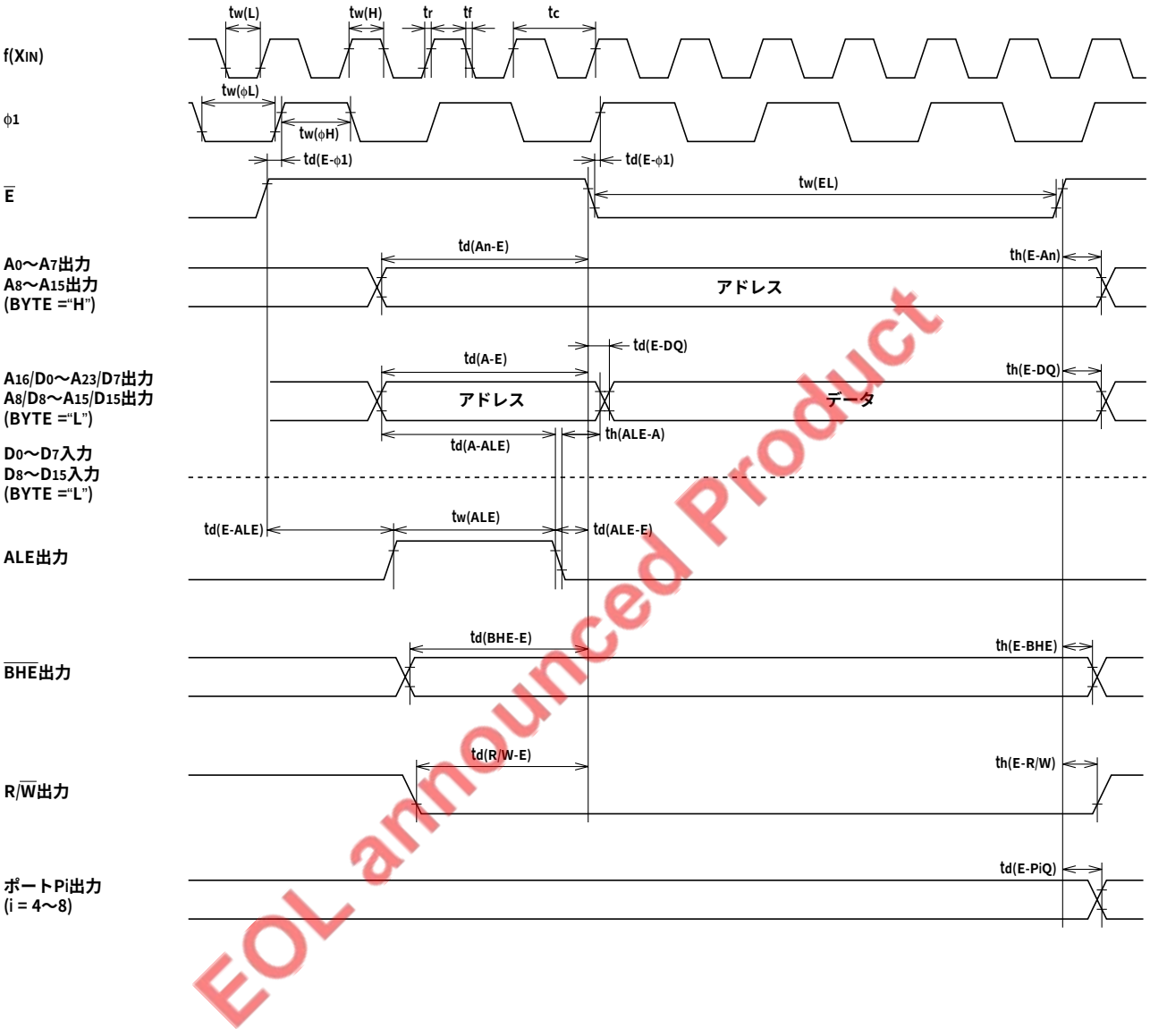


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

高速走行5φアクセス〈書き込み時〉

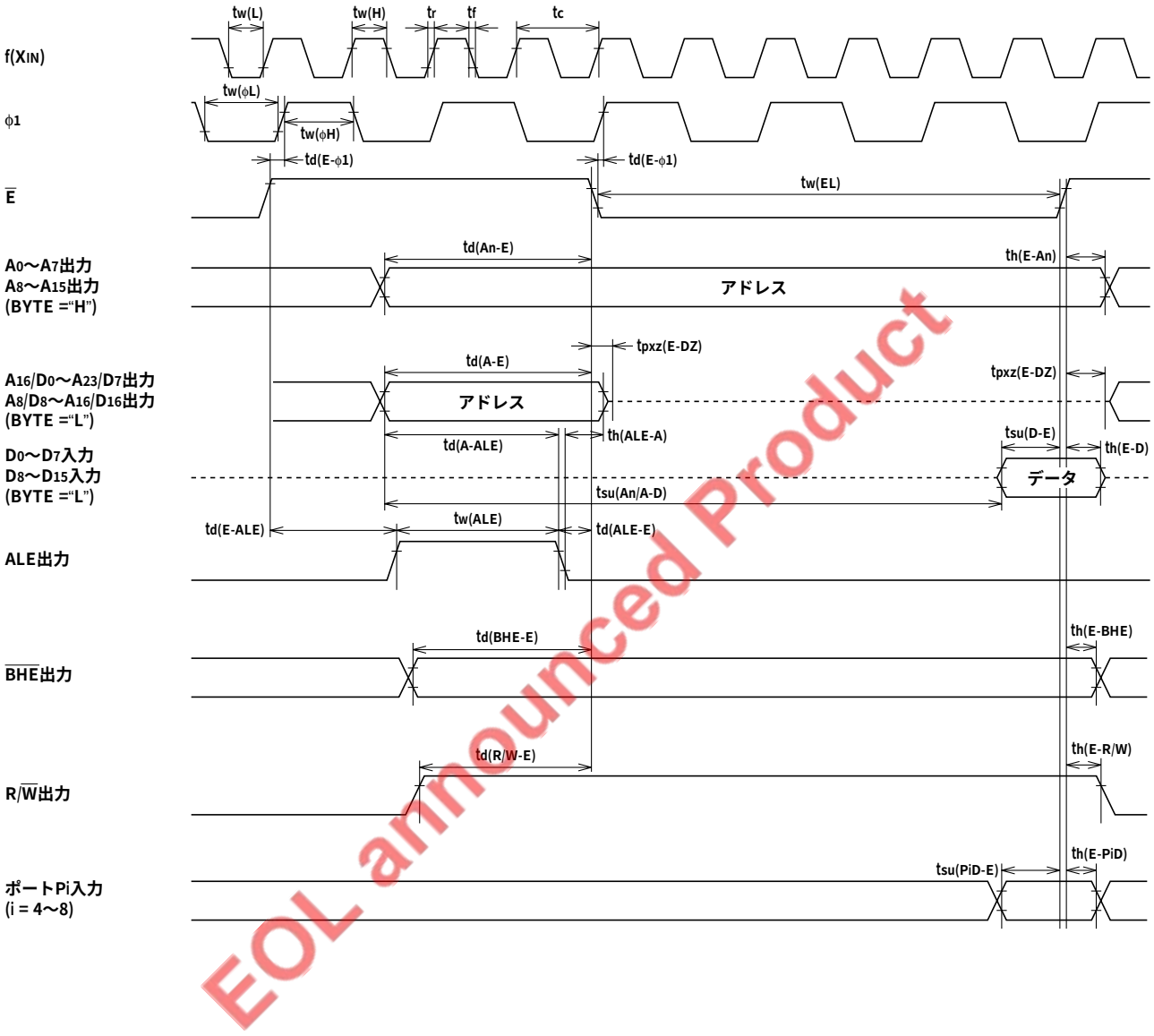


EOL announced Product

測定条件（ポートPi，f(XIN)以外）
- VCC＝5V±10%
- 出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
- データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
- VCC＝5V±10%
- 入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
- 出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

高速走行5φアクセス〈読み出し時〉



EOL announced Product

測定条件（ポートPi，f(XIN)以外）
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定
・データ入力　　：VIL＝0.8V，VIH＝2.5Vで判定

測定条件（ポートPi，f(XIN)）
・VCC＝5V±10%
・入力タイミング電圧：VIL＝1.0V，VIH＝4.0Vで判定
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

〈注意事項〉 高速走行時，内部メモリ領域を2φアクセスした時の外部バスタイミング

（Vcc＝5V±10%，Vss＝0V，Ta＝－20～85℃，源クロック選択ビット＝0の場合，f(XIN)≦40MHz＊）

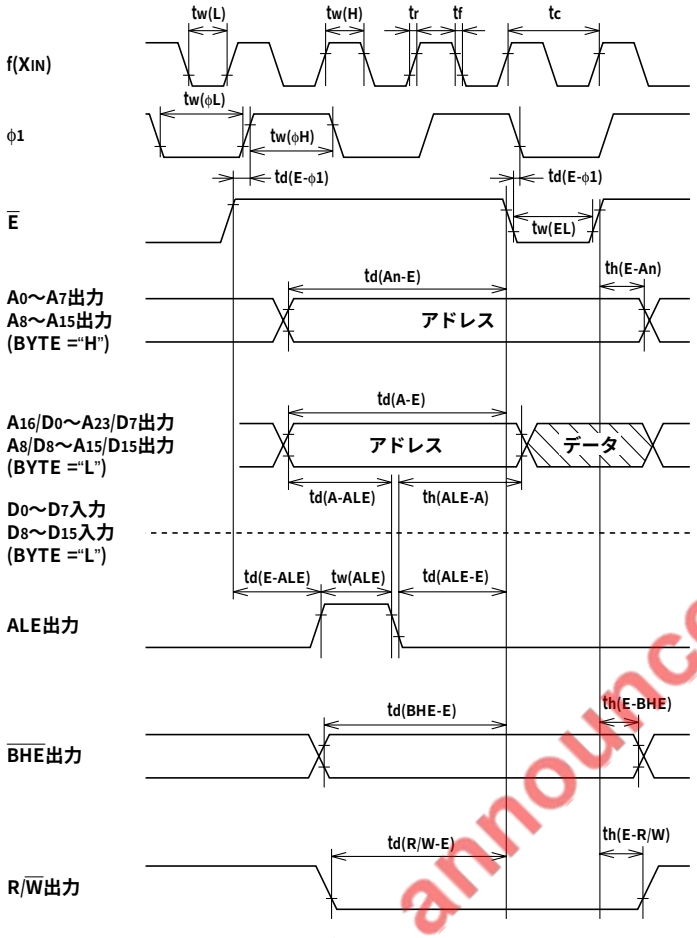
記　号	項　　目	規　格　値		データ算出式	単位
		最　小	最　大		
tw(φH),tw(φL)	φ“H”パルス幅，φ“L”パルス幅	5		$\frac{1\times10^9}{f(X_{IN})}-20$	ns
td(E-φ1)	φ1出力遅延時間	－12	7	―――	ns
tw(EL)	$\overline{E}$“L”パルス幅	5		$\frac{1\times10^9}{f(X_{IN})}-20$	ns
td(An-E)	アドレス出力遅延時間	15		$\frac{2\times10^9}{f(X_{IN})}-35$	ns
tpxz(E-DZ)	フローティング開始遅延時間（BYTE=“L”）		5	―――	ns
td(A-E)	アドレス出力遅延時間	15		$\frac{2\times10^9}{f(X_{IN})}-35$	ns
td(A-ALE)	アドレス出力遅延時間	5		$\frac{1\times10^9}{f(X_{IN})}-20$	ns
td(E-ALE)	ALE出力遅延時間	10		$\frac{1\times10^9}{f(X_{IN})}-15$	ns
td(ALE-E)	ALE出力遅延時間	4		―――	ns
tw(ALE)	ALEパルス幅	10		$\frac{1\times10^9}{f(X_{IN})}-15$	ns
td(BHE-E)	$\overline{BHE}$出力遅延時間	20		$\frac{2\times10^9}{f(X_{IN})}-30$	ns
td(R/W-E)	R/$\overline{W}$出力遅延時間	20		$\frac{2\times10^9}{f(X_{IN})}-30$	ns
th(E-An)	アドレスホールド時間	10		$\frac{1\times10^9}{f(X_{IN})}-15$	ns
th(ALE-A)	アドレスホールド時間（BYTE=“L”）	10		$\frac{1\times10^9}{f(X_{IN})}-15$	ns
tpzx(E-DZ)	フローティング解除遅延時間（BYTE=“L”）	15		$\frac{1\times10^9}{f(X_{IN})}-10$	ns
th(E-BHE)	$\overline{BHE}$ホールド時間	10		$\frac{1\times10^9}{f(X_{IN})}-15$	ns
th(E-R/W)	R/$\overline{W}$ホールド時間	10		$\frac{1\times10^9}{f(X_{IN})}-15$	ns

＊源クロック選択ビット＝1の場合，f(XIN)≦20MHz

EOL announced Product

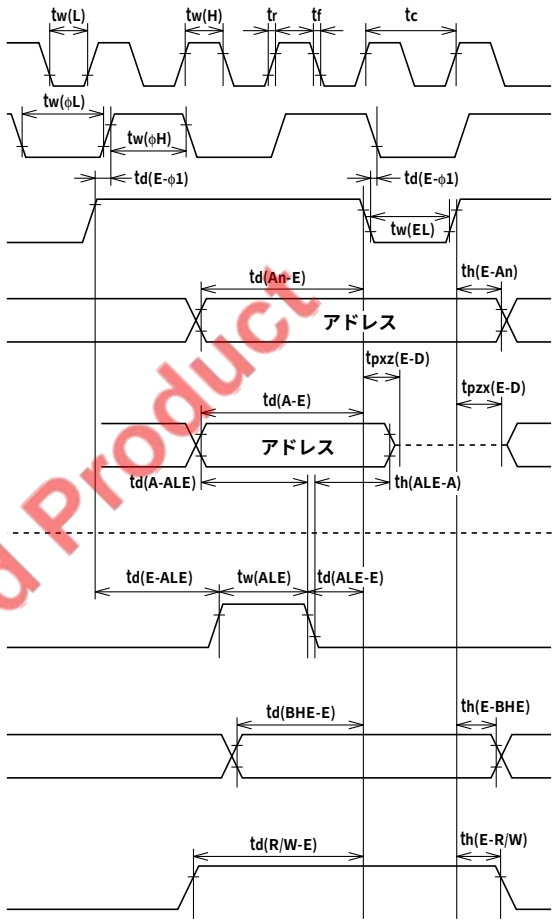
高速走行時，内部メモリ領域を2φアクセスした場合の外部バスタイミング

〈書き込み時〉



※　ライトデータは不定です。

〈読み出し時〉



※　外部データバスの内容は内部には読み込まれません。

EOL announced Product

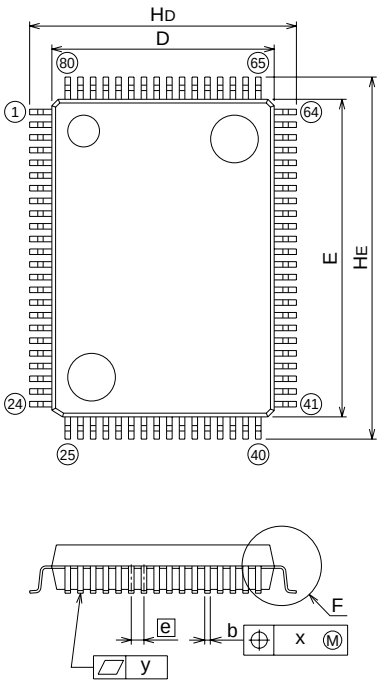
測定条件
・VCC＝5V±10%
・出力タイミング電圧：VOL＝0.8V，VOH＝2.0V，CL＝100pFで判定

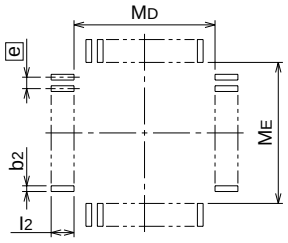
パッケージ外形寸法図

80P6N-A

Plastic 80pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP80-P-1420-0.80	–	1.58	Alloy 42





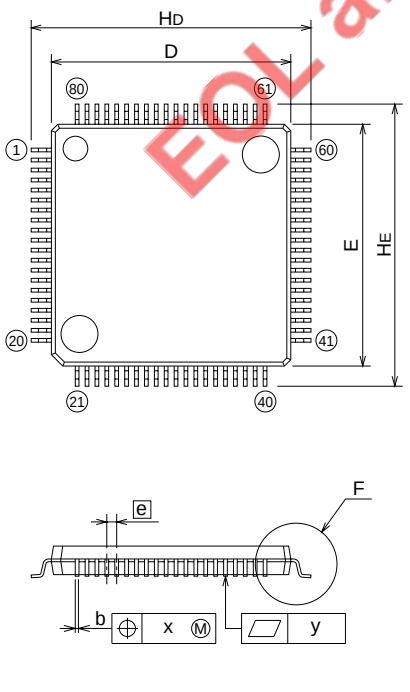
Recommended Mount Pad

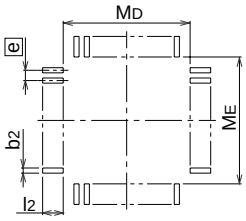
Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	3.05
A1	0	0.1	0.2
A2	–	2.8	–
b	0.3	0.35	0.45
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	–	0.8	–
HD	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	–	1.4	–
x	–	–	0.2
y	–	–	0.1
θ	0°	–	10°
b2	–	0.5	–
I2	1.3	–	–
MD	–	14.6	–
ME	–	20.6	–

80P6Q-A

Plastic 80pin 12X12mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP80-P-1212-0.5	–	0.47	Cu Alloy





Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.7
A1	0	0.1	0.2
A2	–	1.4	–
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	11.9	12.0	12.1
E	11.9	12.0	12.1
e	–	0.5	–
HD	13.8	14.0	14.2
HE	13.8	14.0	14.2
L	0.3	0.5	0.7
L1	–	1.0	–
Lp	0.45	0.6	0.75
A3	–	0.25	–
x	–	–	0.08
y	–	–	0.1
θ	0°	–	10°
b2	–	0.225	–
I2	0.9	–	–
MD	–	12.4	–
ME	–	12.4	–

EOL announced Product

三菱マイクロコンピュータ

M37753M8C-XXXFP, M37753M8C-XXXHP
M37753S4CFP, M37753S4CHP

開発中

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

EOL announced Product

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い
- 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項
- 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は特性改良などにより予告なしに変更することがあります。従って、三菱半導体製品のご購入に当たりましては事前に三菱電機または特約店へ最新の情報をご確認ください。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いかねます。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- 本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

HL-XXXX 北-9905（ROD）©1999 MITSUBISHI ELECTRIC CORPORATION

II 1999年5月 作成

改訂履歴	M37753M8C-XXXFP/HP データシート

Rev. No.	改訂内容	Rev. date
1.0	製本版発行（PDF 版発行なし）	971201
2.0	(1) 三相波形モード時のブロック図（36 ページの図 43） ビット名称改定： (改定前)割り込み有効出力極性選択ビット→(改定後)割り込み有効出力選択ビット (2) パルス出力データレジスタ 1 のビット構成（37 ページの図 44） ・三相モード 1 時のビット名称改定($1C_{16}$ 番地のビット 1)： (改定前)割り込み有効出力極性選択ビット→(改定後)割り込み有効出力選択ビット ・機能改定 (改定前) 0：三相出力極性設定バッファの出力が “ L ” のときに割り込み発生 1：三相出力極性設定バッファの出力が “ H ” のときに割り込み発生 (改定後) 0：タイマ B2 アンダフローの偶数回目にタイマ B2 割り込み要求発生 1：タイマ B2 アンダフローの奇数回目にタイマ B2 割り込み要求発生 (3) 三相モード 1（39 ページ） ビット名称改定($1C_{16}$ 番地のビット 1)： (改定前)割り込み有効出力極性設定ビット→(改定後)割り込み有効出力選択ビット (4) リセット時のマイクロコンピュータの内部状態（63 ページの図 76）訂正 ポート P2 方向レジスタ(08_{16} 番地) のビット 4 ～ 6 :(改定前)“ ⊠⊠⊠ ” →(改定後)“ 000 ” プロセッサモードレジスタ 0($5E_{16}$ 番地)のビット 1 :(改定前)“ 1 ” →(改定後)“ 0 ” (5) 電気的特性（79 ページ）訂正 (改定前)ヒステリシス $\overline{\text{RESET}}$, $\overline{\text{HOLD}}$, $\overline{\text{RDY}}$ →(改定後)ヒステリシス $\overline{\text{RESET}}$ (6) 周辺装置入出力タイミング（81 ページ）訂正 (改定前)周辺装置入出力タイミング（指定のない場合は , V_{CC}=5V±10%, V_{CC}=0V, Ta=–20～85℃） (改定後)周辺装置入出力タイミング（指定のない場合は , V_{CC}=5V±10%, V_{SS}=0V, Ta=–20～85℃）	990524

EOL announced Product