

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# M37280MFH-XXXSP, M37280MKH-XXXSP, M37280EKSP

RJJ03B0137-0100Z

SNGLE-CHIP 8-BIT CMOS MICROCOMPUTER

Rev.1.00

with CLOSED CAPTION DECODER and ON-SCREEN DISPLAY CONTROLLER

2001.04.01

## 1. 概要

M37280MFH-XXXSP, M37280MKH-XXXSP は、シリコンゲート CMOS プロセスを採用したシングルチップマイクロコンピュータです。OSD機能、データスライサなどを備えていますので、クローズドキャプションデコーダ内蔵TVの選局システムに最適です。

M37280EKSP は電氣的書き込み可能な PROM を内蔵していること以外はM37280MKH-XXXSPと同等の機能を有しています。またM37280MFH-XXXSPとM37280MKH-XXXSPの相違点は、ROM, RAM容量のみですので特に断らないかぎりM37280MKH-XXXSPとして説明します。

## 2. 特長

- 基本機械語命令 ..... 71
- メモリ容量
  - ROM ..... 60K バイト(M37280MFH-XXXSP)
  - 80K バイト(M37280MKH-XXXSP, M37280EKSP)
  - RAM ..... 1088 バイト(M37280MFH-XXXSP)
  - 1536 バイト(M37280MKH-XXXSP, M37280EKSP)
- ( ROM 訂正メモリを含む )
- 命令実行時間 ( 最短命令、8MHz 時 ) ..... 0.5  $\mu$ s ( 最小 )
- 単一電源 ..... 5V  $\pm$  10%
- サブルーチンネスティング ..... 最大 128 レベル
- 割り込み ..... 19 要因 16 ベクタ
- 8 ビットタイマ ..... 6 本
- プログラマブル入出力
  - ( ポート P0, P1, P2, P30, P31 ) ..... 26 本
- 入力ポート ( ポート P40 ~ P46, P63, P64, P70 ~ P72 ) 12 本
- 出力ポート ( ポート P32, P47, P5, P60 ~ P62, P65 ~ P67 ) 16 本
- LED 駆動ポート ..... 2 本
- シリアル I/O ..... 8 ビット  $\times$  1 本
- マルチマスタ I<sup>2</sup>C-BUS インタフェース ..... 1 本 ( 2 系統 )
- A-D 変換器 ( 分解能 8 ビット ) ..... 8 チャンネル
- PWM 出力回路 ..... 8 ビット  $\times$  8 本
- 消費電力
  - 高速モード時 ..... 165mW
  - ( 電源電圧 5.5V、発振周波数 8MHz, CRT 表示, データスライサ ON 時 )
  - 低速モード時 ..... 0.33mW
  - ( 電源電圧 5.5V、発振周波数 32kHz 時 )
- ROM 訂正機能 ..... 2 ベクタ
- クローズドキャプションデータスライサ

## ● OSD 機能

- 表示文字数 ..... 32 文字  $\times$  16 行 + RAM フォント (1 文字)
- ( CC/OSDモード ) ( CDOSDモード ) ( RAMフォント )
- 文字種類 ..... 510 種類 + 62 種類 + 1 種類
- ( 着色単位 ) ..... ( 文字単位 ) ( ドット単位 ) ( ドット単位 )
- トリプル機能 ..... CC/CDOSD/OSDモード から 2レイヤ選択 + RAMフォントレイヤ
- 文字表示領域 ..... CC/CDOSD モード : 16  $\times$  26 ドット
- OSD モード / RAM フォント : 16  $\times$  20 ドット
- 文字サイズ ..... CC モード / RAM フォント : 4 種類
- OSD/CDOSD モード : 14 種類
- 文字色種類 ..... 64 色 ( R, G, B 各 4 階調 )
- 着色単位 ..... ドット、文字、文字背景、ラスタ
- ブランキング出力 ..... OUT1, OUT2
- 表示位置 ..... 水平 256 段階 / 垂直 1024 段階
- ( RAM フォントは独立に設定可能 )
- アトリビュート ..... CC モード : スムース、イタリック、アンダーライン、
- フラッシュ、オートリット、スペース
- OSD モード : フォントリセット
- ウインドウ / ブランク機能

## 3. 応用

クローズドキャプションデコーダ内蔵TV

## 【目次】

|                                               |     |                                               |     |
|-----------------------------------------------|-----|-----------------------------------------------|-----|
| 1. 概 要 .....                                  | 1   | 9. 使用上の注意事項 .....                             | 123 |
| 2. 特 長 .....                                  | 1   | 10. 絶対最大定格 .....                              | 124 |
| 3. 応 用 .....                                  | 1   | 11. 推奨動作条件 .....                              | 124 |
| 4. ピン接続図 .....                                | 3   | 12. 電気的特性 .....                               | 125 |
| 5. ブロック図 .....                                | 4   | 13. アナログ R, G, B 出力特性 .....                   | 127 |
| 6. 性能概要 .....                                 | 5   | 14. A-D 変換特性 .....                            | 127 |
| 7. 端子の機能説明 .....                              | 7   | 15. マルチマスタ I <sup>2</sup> C-BUS バスライン特性 ..... | 128 |
| 8. 機能ブロック動作説明 .....                           | 12  | 16. PROM 書き込み方法 .....                         | 129 |
| 8.1 中央演算処理装置 (CPU) .....                      | 12  | 17. マスク化発注時の提出資料 .....                        | 130 |
| 8.2 メモリ .....                                 | 13  | 18. 付録 .....                                  | 131 |
| 8.3 割り込み .....                                | 21  | 19. パッケージ外形寸法図 .....                          | 170 |
| 8.4 タイマ .....                                 | 26  |                                               |     |
| 8.5 シリアル I/O .....                            | 30  |                                               |     |
| 8.6 マルチマスタ I <sup>2</sup> C-BUS インタフェース ..... | 33  |                                               |     |
| 8.7 PWM 出力回路 .....                            | 47  |                                               |     |
| 8.8 A-D 変換器 .....                             | 51  |                                               |     |
| 8.9 ROM 訂正機能 .....                            | 55  |                                               |     |
| 8.10 データスライサ .....                            | 56  |                                               |     |
| 8.11 OSD 機能 .....                             | 67  |                                               |     |
| 8.11.1 トリプルレイヤ OSD .....                      | 72  |                                               |     |
| 8.11.2 表示位置 .....                             | 75  |                                               |     |
| 8.11.3 ドットサイズ .....                           | 79  |                                               |     |
| 8.11.4 OSD 用クロック .....                        | 80  |                                               |     |
| 8.11.5 フィールド判別表示 .....                        | 82  |                                               |     |
| 8.11.6 OSD 用メモリ .....                         | 84  |                                               |     |
| 8.11.7 文字色 .....                              | 92  |                                               |     |
| 8.11.8 文字背景色 .....                            | 92  |                                               |     |
| 8.11.9 OUT1, OUT2 信号 .....                    | 96  |                                               |     |
| 8.11.10 アトリビュート .....                         | 97  |                                               |     |
| 8.11.11 オートソリッドスペース機能 .....                   | 102 |                                               |     |
| 8.11.12 多行表示 .....                            | 103 |                                               |     |
| 8.11.13 スキャンモード .....                         | 104 |                                               |     |
| 8.11.14 ウィンドウ機能 .....                         | 105 |                                               |     |
| 8.11.15 ブランク機能 .....                          | 110 |                                               |     |
| 8.11.16 スブライト OSD 機能 .....                    | 111 |                                               |     |
| 8.11.17 OSD 出力端子制御 .....                      | 115 |                                               |     |
| 8.11.18 ラスター着色 .....                          | 116 |                                               |     |
| 8.12 暴走検出機能 .....                             | 118 |                                               |     |
| 8.13 リセット回路 .....                             | 119 |                                               |     |
| 8.14 クロック発生回路 .....                           | 120 |                                               |     |
| 8.15 OSD 用発振回路 .....                          | 123 |                                               |     |
| 8.16 オートクリア回路 .....                           | 123 |                                               |     |
| 8.17 アドレッシングモード .....                         | 123 |                                               |     |
| 8.18 機械語命令一覧表 .....                           | 123 |                                               |     |

## 4. ピン接続図

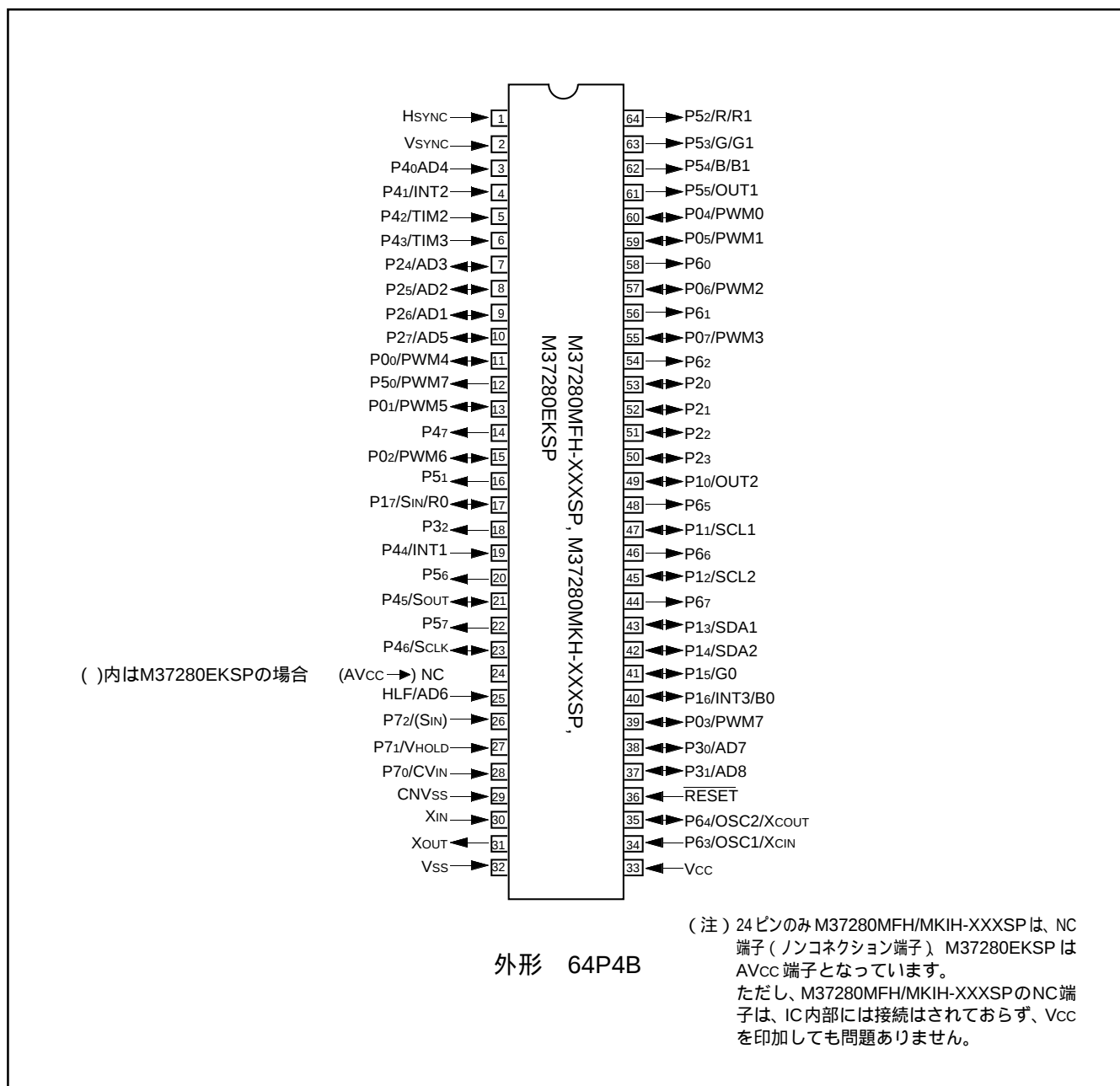


図 4.1 ピン接続図（上面図）

## 5. ブロック図

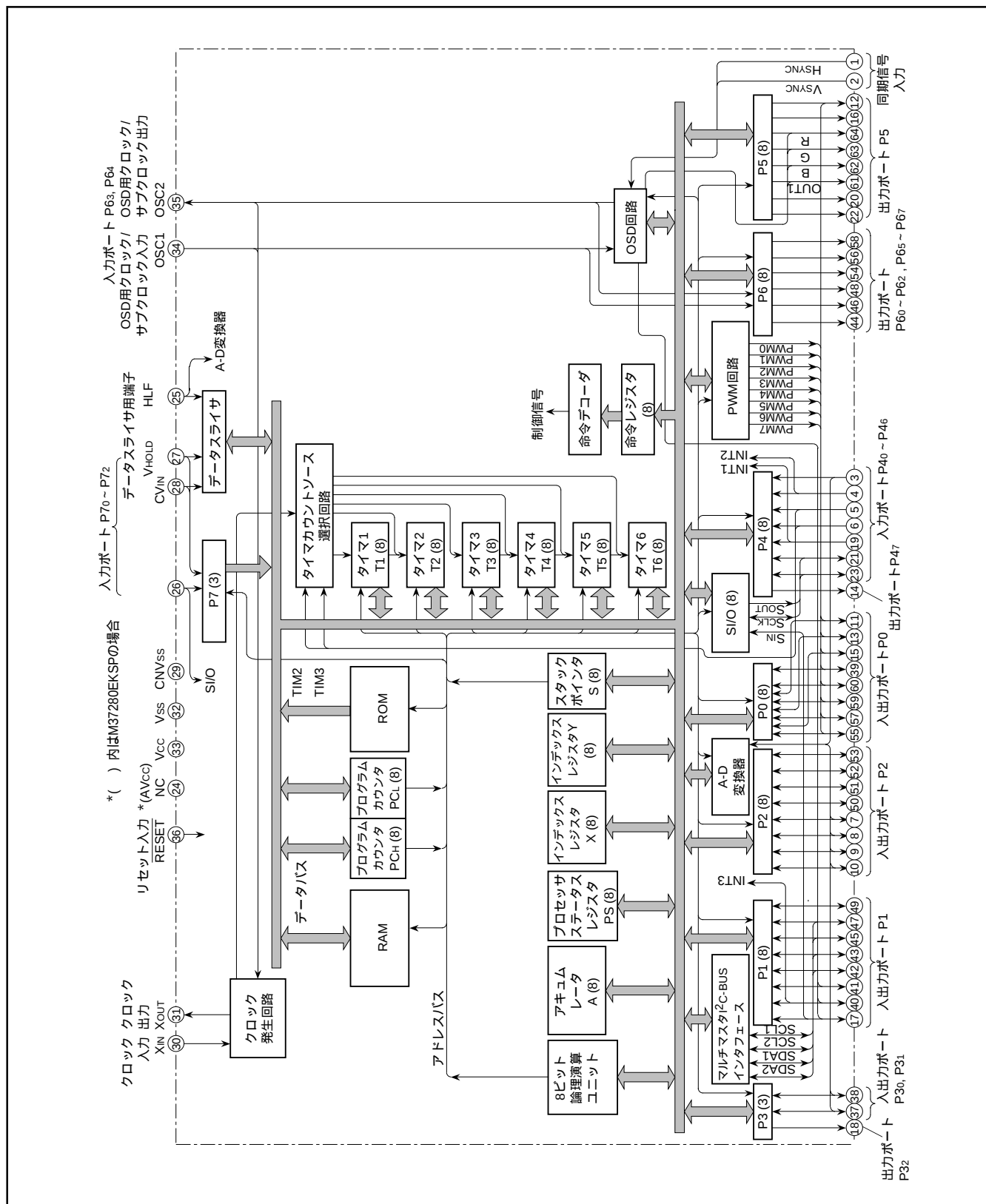


図 5.1 M37280 のブロック図

## 6. 性能概要

表 6.1 性能概要

| 項 目                                 |                      |                             | 性 能                                                                                                                                                                                         |
|-------------------------------------|----------------------|-----------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 基本命令数                               |                      |                             | 71                                                                                                                                                                                          |
| 命令実行時間                              |                      |                             | 0.5 $\mu$ s (最短命令, 発振周波数 8 MHz 時)                                                                                                                                                           |
| クロック周波数                             |                      |                             | 8 MHz (最大)                                                                                                                                                                                  |
| メモリ容量                               | ROM                  | M37280MFH-XXXSP             | 60K バイト                                                                                                                                                                                     |
|                                     |                      | M37280MKH-XXXSP, M37280EKSP | 80K バイト                                                                                                                                                                                     |
|                                     | RAM                  | M37280MFH-XXXSP             | 1088 バイト (ROM 修正メモリ含む)                                                                                                                                                                      |
|                                     |                      | M37280MKH-XXXSP, M37280EKSP | 1536 バイト (ROM 修正メモリ含む)                                                                                                                                                                      |
|                                     | OSD ROM (キャラクタフォント)  |                             | 20400 バイト                                                                                                                                                                                   |
|                                     | OSD ROM (カラードットフォント) |                             | 9672 バイト                                                                                                                                                                                    |
|                                     | OSD RAM (スプライト)      |                             | 120 バイト                                                                                                                                                                                     |
|                                     | OSD RAM (キャラクタ)      |                             | 1536 バイト                                                                                                                                                                                    |
| 入出力ポート                              | P00 ~ P02, P04 ~ P07 | 入出力                         | 7ビット×1 (Nチャネルオープンドレイン出力形式, PWM出力と兼用)                                                                                                                                                        |
|                                     | P03                  | 入出力                         | 1ビット×1 (CMOS入出力形式, PWM出力と兼用)                                                                                                                                                                |
|                                     | P10, P15 ~ P17       | 入出力                         | 4ビット×1 (CMOS入出力形式, OSD出力, INT入力, シリアル入力と兼用)                                                                                                                                                 |
|                                     | P11 ~ P14            | 入出力                         | 4ビット×1 (Nチャネルオープンドレイン出力形式, マルチマスタ I <sup>2</sup> C-BUS インタフェースと兼用)                                                                                                                          |
|                                     | P2                   | 入出力                         | 8ビット×1 (CMOS入出力形式, A-D入力と兼用)                                                                                                                                                                |
|                                     | P30, P31             | 入出力                         | 2ビット×1 (CMOS入出力形式, A-D入力と兼用)                                                                                                                                                                |
|                                     | P32                  | 出 力                         | 1ビット×1 (Nチャネルオープンドレイン出力形式)                                                                                                                                                                  |
|                                     | P40 ~ P44            | 入 力                         | 5ビット×1 (A-D入力, INT入力, 外部クロック入力と兼用)                                                                                                                                                          |
|                                     | P45, P46             | 入 力                         | 2ビット×1 (シリアル I/O 使用時は Nチャネルオープンドレイン出力形式, シリアル入出力)                                                                                                                                           |
|                                     | P47                  | 出 力                         | 1ビット×1 (Nチャネルオープンドレイン出力形式)                                                                                                                                                                  |
|                                     | P50, P51, P56, P57   | 出 力                         | 4ビット×1 (Nチャネルオープンドレイン出力形式, PWM出力と兼用)                                                                                                                                                        |
|                                     | P52 ~ P55            | 出 力                         | 4ビット×1 (CMOS出力形式, OSD出力と兼用)                                                                                                                                                                 |
|                                     | P60 ~ P62, P65 ~ P67 | 出 力                         | 6ビット×1 (Nチャネルオープンドレイン出力形式)                                                                                                                                                                  |
|                                     | P63                  | 入 力                         | 1ビット×1 (サブクロック入力, OSD用クロック入力と兼用)                                                                                                                                                            |
|                                     | P64                  | 入 力                         | 1ビット×1 (LC発振時は CMOS出力形式, サブクロック出力, OSD用クロック出力と兼用)                                                                                                                                           |
|                                     | P70 ~ P72            | 入 力                         | 3ビット×1 (データスライサ入出力, シリアル入力と兼用)                                                                                                                                                              |
| シリアル I/O                            |                      |                             | 8ビット×1本                                                                                                                                                                                     |
| マルチマスタ I <sup>2</sup> C-BUS インタフェース |                      |                             | 1本 (2系統)                                                                                                                                                                                    |
| A-D 変換器                             |                      |                             | 8チャネル (分解能 8ビット)                                                                                                                                                                            |
| PWM 出力回路                            |                      |                             | 8ビット×8本                                                                                                                                                                                     |
| タイマ                                 |                      |                             | 8ビット×6本                                                                                                                                                                                     |
| ROM 訂正機能                            |                      |                             | 32 バイト×2ベクタ                                                                                                                                                                                 |
| サブブルーチンネスティング                       |                      |                             | 最大 128 レベル                                                                                                                                                                                  |
| 割り込み                                |                      |                             | < 19 要因 ><br>外部割り込み×3, 内部タイマ割り込み×6, シリアル I/O 割り込み×1, OSD割り込み×1, マルチマスタ I <sup>2</sup> C-BUS インタフェース割り込み×1, データスライサ割り込み×1, f(XIN)/4096 割り込み×1, スプライト OSD 割り込み×1, VSYNC 割り込み×1, A-D 変換割り込み×1, |
| クロック発生回路                            |                      |                             | 2回路内蔵 (セラミック共振子, 又は水晶共振子外付け)                                                                                                                                                                |
| データスライサ                             |                      |                             | 内蔵                                                                                                                                                                                          |

表 6.2 性能概要 (つづき)

| 項 目    |               |                 |          | 性 能                                                                                                          |
|--------|---------------|-----------------|----------|--------------------------------------------------------------------------------------------------------------|
| OSD 機能 | 表示文字数         |                 |          | 32 文字 × 16 行                                                                                                 |
|        | 文字表示領域        |                 |          | CC モード：16 × 26 ドット（文字構成は 16 × 20 ドット）<br>OSD モード：16 × 20 ドット<br>CDOSD モード：16 × 26 ドット<br>スプライト表示：16 × 20 ドット |
|        | 文字種類          |                 |          | CC/OSD モード：510 種類<br>CDOSD モード：62 種類<br>スプライト表示：1 種類                                                         |
|        | 文字サイズ         |                 |          | CC モード：4 種類<br>OSD/CDOSD モード：14 種類<br>スプライト表示：8 種類                                                           |
|        | 着色種類          |                 |          | CC/ CDOSD モード：8 種類（R, G, B, OUT1, OUT2）<br>OSD モード：15 種類（R, G, B, OUT1, OUT2）<br>スプライト表示：8 種類（R, G, B, OUT1） |
|        | 表示位置（水平，垂直方向） |                 |          | 256 段階（水平方向）× 1024 段階（垂直方向）<br>スプライト表示：2048 段階（水平方向）× 1024 段階（垂直方向）                                          |
| 電源電圧   |               |                 |          | 5V ± 10%                                                                                                     |
| 消費電力   | 高速モード時        | OSD ON (アナログ出力) | デモタスライオン | 275mW 標準（発振周波数 f(XIN) = 8MHz，fosc = 27MHz）                                                                   |
|        |               | OSD ON (デジタル出力) | デモタスライオン | 165mW 標準（発振周波数 f(XIN) = 8MHz，fosc = 27MHz）                                                                   |
|        |               | OSD OFF         | デモタスライオフ | 82.5mW 標準（発振周波数 f(XIN) = 8MHz）                                                                               |
|        | 低速モード時        | OSD OFF         | デモタスライオフ | 0.33mW 標準（発振周波数 f(XCIN) = 32kHz，f(XIN)= 停止）                                                                  |
|        | ストップモード時      |                 |          | 0.055mW 最大                                                                                                   |
| 動作周囲温度 |               |                 |          | - 10 ~ 70                                                                                                    |
| 素子構造   |               |                 |          | CMOS シリコンゲート                                                                                                 |
| パッケージ  |               |                 |          | 64 ピンシュリンクプラスチックモールド DIP                                                                                     |

## 7. 端子の機能説明

表 7.1 端子の機能説明

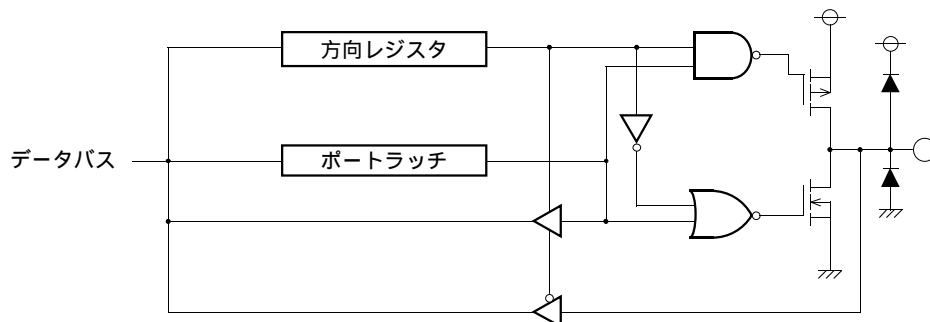
| 端子名                                                                                                    | 名 称                                   | 入出力 | 機 能                                                                                                                                                                                                  |
|--------------------------------------------------------------------------------------------------------|---------------------------------------|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| VCC,<br>(AVCC)<br>VSS                                                                                  | 電源入力                                  |     | VCC, (AVCC)に 5V ± 10% (標準), VSS に 0V を印加します。<br>( ) 内は M37280EKSP のみ                                                                                                                                 |
| CNVSS                                                                                                  | CNVSS                                 |     | VSS に接続してください。                                                                                                                                                                                       |
| RESET                                                                                                  | リセット入力                                | 入 力 | リセット入力端子で、リセットするには 2 μs 以上必要です。                                                                                                                                                                      |
| XIN                                                                                                    | クロック入力                                | 入 力 | メインクロック発生回路の入出力端子です。クロック発生回路を内蔵しており発振周波数の設定はセラミック共振子又は水晶共振子を XIN と XOUT の間に接続して行います。外部クロック入力を利用する場合はクロック発振源を XIN 端子に接続し、XOUT 端子を開放してください。                                                            |
| XOUT                                                                                                   | クロック出力                                | 出 力 |                                                                                                                                                                                                      |
| P00/PWM4 ~<br>P02/PWM6,<br>P03/PWM7,<br>P04/PWM0 ~<br>P07/PWM3                                         | 入出力ポート<br>P0                          | 入出力 | ポート P0 は 8 ビットの入出力ポートです。入出力方向レジスタを持っており、各ビットごとに入力端子にするか出力端子にするかをプログラムできます。リセット時には入力モードになります。出力形式は、ポート P03 が CMOS 出力、ポート P00 ~ P02 及び P04 ~ P07 が N チャネルオープンドレイン出力です。ポート P0 の詳細な機能については表外の注を参照してください。 |
|                                                                                                        | 8 ビット<br>PWM 出力                       | 出 力 | P00 ~ P03, P04 ~ P07 端子は、それぞれ 8 ビット PWM 出力端子 PWM4 ~ PWM7, PWM0 ~ PWM3 と共用です。出力形式は PWM0 ~ PWM6 が N チャネルオープンドレイン出力、PWM7 が CMOS 出力です。                                                                   |
| P10/OUT2,<br>P11/SCL1,<br>P12/SCL2,<br>P13/SDA1,<br>P14/SDA2,<br>P15/G0,<br>P16/INT3/B0,<br>P17/SIN/R0 | 入出力ポート<br>P1                          | 入出力 | ポート P1 は 8 ビットの入出力ポートでポート P0 とほぼ同等の機能を有しています。出力形式はポート P10, P15 ~ P17 が CMOS 出力、ポート P11 ~ P14 が N チャネルオープンドレイン出力です。                                                                                   |
|                                                                                                        | OSD 出力                                | 出 力 | P10, P15 ~ P17 端子は、それぞれ OSD 出力端子 OUT2, G0, B0, R0 と共用です。出力形式は CMOS 出力です。                                                                                                                             |
|                                                                                                        | マルチマスタ <sup>2</sup> C-<br>BUS インタフェース | 入出力 | P11 ~ P14 端子は、マルチマスタ <sup>2</sup> C-BUS インタフェース使用時、それぞれ SCL1, SCL2, SDA1, SDA2 と共用です。出力形式は N チャネルオープンドレイン出力です。                                                                                       |
|                                                                                                        | 外部割り込み<br>入力                          | 入 力 | P16 端子は、外部割り込み入力端子 INT3 と共用です。                                                                                                                                                                       |
|                                                                                                        | シリアル I/O<br>データ入力                     | 入 力 | P17 端子は、シリアル I/O データ入力端子 SIN と共用です                                                                                                                                                                   |
| P20 ~ P23,<br>P24/AD3 ~<br>P26/AD1,<br>P27/AD5                                                         | 入出力ポート<br>P2                          | 入出力 | ポート P2 は 8 ビットの入出力ポートでポート P0 とほぼ同等の機能を有しています。出力形式は CMOS 出力です。                                                                                                                                        |
|                                                                                                        | アナログ入力                                | 入 力 | P24 ~ P26, P27 端子は、それぞれアナログ入力端子 AD3 ~ AD1, AD5 と共用です。                                                                                                                                                |
| P30/AD7,<br>P31/AD8                                                                                    | 入出力ポート<br>P3                          | 入出力 | ポート P30, P31 は 2 ビットの入出力ポートです。ポート P0 とほぼ同等の機能を有しています。出力形式は CMOS 出力です。                                                                                                                                |
|                                                                                                        | アナログ入力                                | 入 力 | P30, P31 端子は、それぞれアナログ入力端子 AD7, AD8 と共用です。                                                                                                                                                            |
| P32                                                                                                    | 出力ポート P3                              | 出 力 | ポート P32 は 1 ビットの出力ポートです。出力形式は、N チャネルオープンドレイン出力です。                                                                                                                                                    |
| P40/AD4,<br>P41/INT2,<br>P42/TIM2,<br>P43/TIM3,<br>P44/INT1,<br>P45/SOUT,<br>P46/SCLK                  | 入力ポート P4                              | 入 力 | ポート P40 ~ P46 は 7 ビットの入力ポートです。                                                                                                                                                                       |
|                                                                                                        | アナログ入力                                | 入 力 | P40 端子は、アナログ入力端子 AD4 と共用です。                                                                                                                                                                          |
|                                                                                                        | 外部割り込み<br>入力                          | 入 力 | P41, P44 端子は、それぞれ外部割り込み入力端子 INT2, INT1 と共用です。                                                                                                                                                        |
|                                                                                                        | 外部クロック<br>入力                          | 入 力 | P42, P43 端子は、それぞれ外部クロック入力端子 TIM2, TIM3 と共用です。                                                                                                                                                        |
|                                                                                                        | シリアル I/O<br>データ出力                     | 出 力 | P45 端子は、シリアル I/O データ出力端子 SOUT と共用です。出力形式は N チャネルオープンドレイン出力です。                                                                                                                                        |
|                                                                                                        | シリアル I/O<br>同期クロック<br>入出力             | 入出力 | P46 端子は、シリアル I/O 同期クロック入出力端子 SCLK と共用です。出力形式は N チャネルオープンドレイン出力です。                                                                                                                                    |
| P47                                                                                                    | 出力ポート P4                              | 出 力 | ポート P47 は 1 ビットの出力ポートです。出力形式は、N チャネルオープンドレイン出力です。                                                                                                                                                    |

表 7.2 端子の機能説明 (つづき)

| 端子名                                                                               | 名 称            | 入出力 | 機 能                                                                                                                         |
|-----------------------------------------------------------------------------------|----------------|-----|-----------------------------------------------------------------------------------------------------------------------------|
| P50,PWM7,<br>P51,<br>P52/R/R1,<br>P53/G/G1,<br>P54/B/B1,<br>P55/OUT1,<br>P56, P57 | 出力ポート P5       | 出 力 | ポート P5 は、8 ビットの出力ポートです。出力形式はポート P50,P51,P56,P57 が N チャネルオープンドレイン出力、ポート P52 ~ P55 が CMOS 出力です。                               |
|                                                                                   | PWM 出力         | 出 力 | P50 端子は、PWM 出力端子 PWM7 と共用です。出力形式は N チャネルオープンドレイン出力です。                                                                       |
|                                                                                   | OSD 出力         | 出 力 | P52 ~ P55 は、それぞれ OSD 出力端子 R/R1、G/G1、B/B1、OUT1 と共用です。出力形式は、R、G、B 出力時はアナログ出力、R1、G1、B1、及び OUT1 出力時は CMOS 出力です。                 |
| P60 ~ P62,<br>P65 ~ P67                                                           | 出力ポート P6       | 出 力 | ポート P60 ~ P62、P65 ~ P67 は、6 ビットの出力ポートです。出力形式は N チャネルオープンドレイン出力です。                                                           |
| P63/OSC1/<br>XCIN,<br>P64/OSC2/<br>XCOUT                                          | 入力ポート P6       | 入 力 | ポート P63、P64 は、2 ビットの入力ポートです。                                                                                                |
|                                                                                   | OSD 用クロック入力    | 入 力 | P63 端子は、OSD 用のクロック入力端子 OSC1 と共用です。                                                                                          |
|                                                                                   | OSD 用クロック出力    | 出 力 | P64 端子は、OSD 用のクロック出力端子 OSC2 と共用です。出力形式は CMOS 出力です。                                                                          |
|                                                                                   | サブクロック入力       | 入 力 | P63 端子は、サブクロック入力端子 XCIN と共用です。                                                                                              |
|                                                                                   | サブクロック出力       | 出 力 | P64 端子は、サブクロック出力端子 XCOUT と共用です。出力形式は CMOS 出力です。                                                                             |
| P70/CVIN,<br>P71/<br>VHOLD,<br>P72/(SIN)                                          | 入力ポート P7       | 入 力 | ポート P70 ~ P72 は、3 ビットの入力ポートです。                                                                                              |
|                                                                                   | データスライサ入力      | 入 力 | P70、P71 端子は、それぞれデータスライサ入力端子 CVIN、VHOLD と共用です。データスライサ使用時、CVIN はコンデンサを介してコンポジットビデオ信号を入力してください。VHOLD は VSS との間にコンデンサを接続してください。 |
|                                                                                   | シリアル I/O データ入力 | 入 力 | P72 端子は、シリアル I/O データ入力端子 SIN と共用です。                                                                                         |
| HLF/AD6                                                                           |                |     | データスライサ使用時、HLF と VSS の間にコンデンサと抵抗からなるフィルタを接続してください。                                                                          |
|                                                                                   | アナログ入力         | 入 力 | アナログ入力端子 AD6 です。                                                                                                            |
| HSYNC                                                                             | 水平同期信号         | 入 力 | OSD 用の水平同期信号入力端子です。                                                                                                         |
| VSYSN                                                                             | 垂直同期信号         | 入 力 | OSD 用の垂直同期信号入力端子です。                                                                                                         |

注. ポート Pi (i = 0 ~ 3) はポート方向レジスタを持っており、入力として使用するか、出力として使用するか、ビット単位にプログラムできます。方向レジスタが“1”にプログラムされている端子は出力端子となります。“0”の場合は入力端子となります。出力端子としてプログラムされている端子に書き込んだデータはポートのラッチに書き込まれ、それがそのまま出力端子に出力されます。出力端子としてプログラムされている端子から読み込んだ場合は、出力端子の内容が読み込まれるのではなく、ポートのラッチの内容が読み込まれます。したがって発光ダイオードなどを直接駆動したため、出力“L”電圧が上がっていても以前に出力した値を正しく読むことができません。入力端子としてプログラムされている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートのラッチに書き込まれるだけで端子はフローティングのままです。

ポート P03, P10, P15 ~ P17, P2, P30, P31

CMOS出力ポート P03, P10, P15 ~ P17,  
P2, P30, P31注. 各ポートはそれぞれ以下と  
共用です。

P03 : PWM7

P10 : OUT2

P15 : G0

P16 : INT3/B0

P17 : SIN/R0

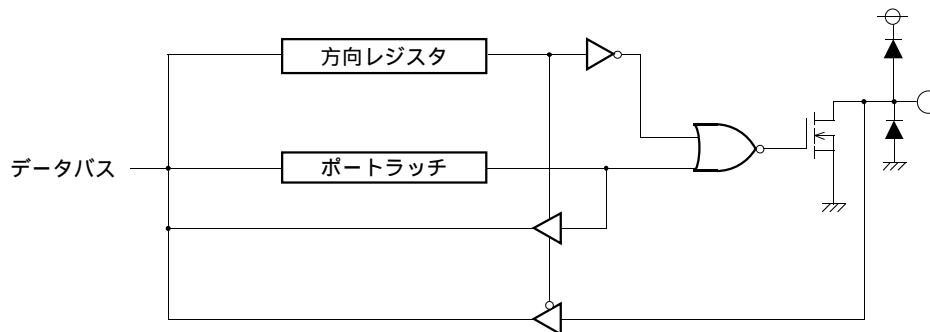
P24 ~ P26 : AD3 ~ AD1

P27 : AD5

P30 : AD7

P31 : AD8

ポート P00 ~ P02, P04 ~ P07

Nチャンネルオープンドレイン出力

ポート P00 ~ P02, P04 ~ P07

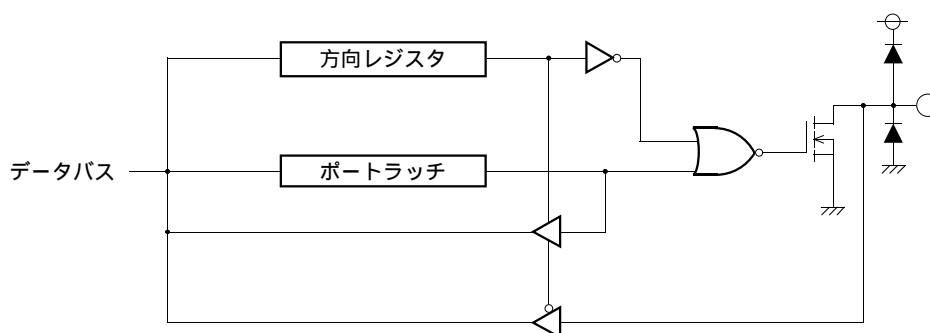
注1. 各ポートはそれぞれ以下と  
共用です。

P00 ~ P02 : PWM4 ~ PWM6

P04 ~ P07 : PWM0 ~ PWM3

2. M37280EKSPの場合、  
Vcc側のダイオードはありません。

ポート P11 ~ P14

Nチャンネルオープンドレイン出力

ポート P11 ~ P14

注. 各ポートはそれぞれ以下と  
共用です。

P11 : SCL1

P12 : SCL2

P13 : SDA1

P14 : SDA2

図 7.1 入出力端子のブロック図 (1)

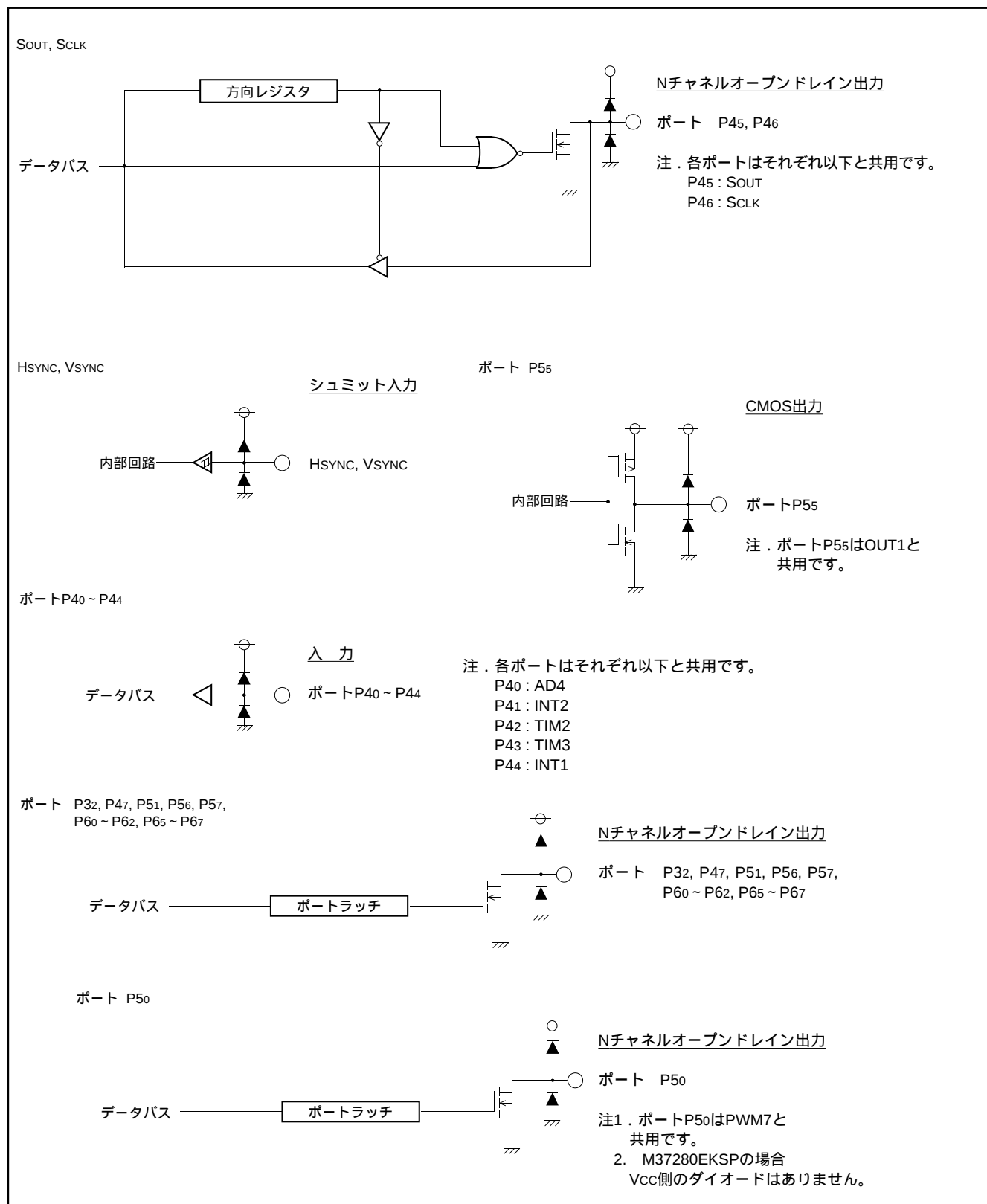


図 7.2 入出力端子のブロック図 (2)

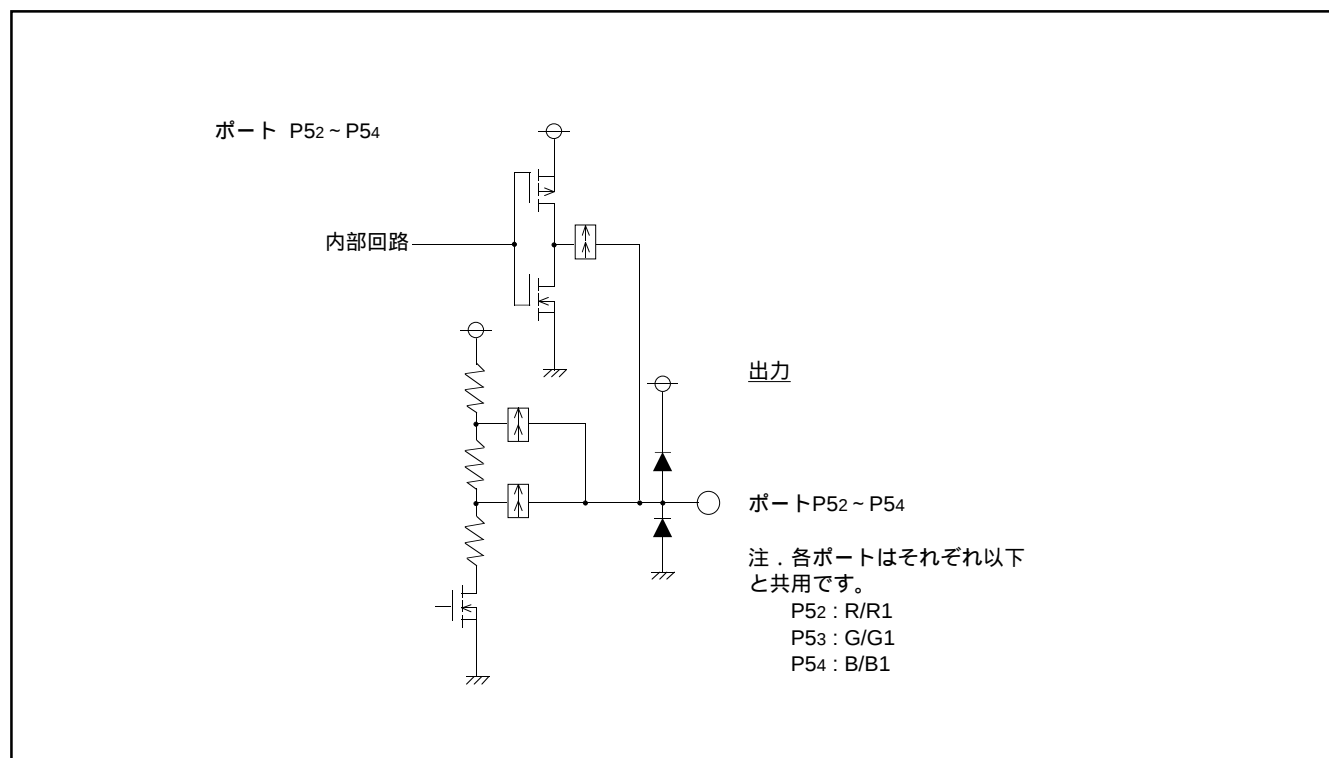


図 7.3 入出力端子のブロック図 (3)

## 8. 機能ブロック動作説明

### 8.1 中央演算処理装置 (CPU)

本マイクロコンピュータは、740 ファミリ共通のCPUを持っています。

各命令の動作については740 ファミリアドレッシングモード及び機械語命令一覧表、又はMELPS 740 PROGRAMMING MANUAL を参照ください。

品種に依存する命令については以下のとおりです。

- ・FST, SLW 命令はありません。
- ・MUL, DIV 命令が使用可能です。
- ・WIT 命令が使用可能です。
- ・STP 命令が使用可能です。

#### 8.1.1 CPU モードレジスタ

CPUモードレジスタには、スタックページの選択ビットやチップの内部システムクロックの選択ビットなどが割り当てられています。

このレジスタは00FB<sub>16</sub> 番地に配置されています。

#### CPUモードレジスタ

| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|----|----|----|----|----|----|----|----|
|    |    |    | 1  | 1  |    | 0  | 0  |

CPUモードレジスタ (CM) 【00FB<sub>16</sub> 番地】

| b    | ビット名                              | 機 能                                                                                                  | リセット時 | R | W |
|------|-----------------------------------|------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | プロセッサモードビット (CM0, CM1)            | b1 b0<br>0 0 : シングルチップモード<br>0 1 :<br>1 0 : } 使用禁止<br>1 1 : }                                        | 0     | R | W |
| 2    | スタックページ選択ビット (CM2)(注)             | 0 : 0ページ<br>1 : 1ページ                                                                                 | 1     | R | W |
| 3, 4 | これらのビットは“1”に固定してください。             |                                                                                                      | 1     | R | W |
| 5    | X <sub>COUT</sub> 駆動能力選択ビット (CM5) | 0 : LOW<br>1 : HIGH                                                                                  | 1     | R | W |
| 6    | メインクロック停止ビット (CM6)                | 0 : 発振<br>1 : 停止                                                                                     | 0     | R | W |
| 7    | 内部システムクロック選択ビット (CM7)             | 0 : X <sub>IN</sub> -X <sub>OUT</sub> 選択(高速モード)<br>1 : X <sub>CIN</sub> -X <sub>COUT</sub> 選択(低速モード) | 0     | R | W |

注：このビットはリセット解除時、“1”となるため、プログラム作成時ご注意ください。

図 8.1.1 CPU モードレジスタ

## 8.2 メモリ

### 8.2.1 SFR 領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

### 8.2.2 RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

### 8.2.3 ROM

M37280MFH-XXXSP では 60K バイトのプログラム領域があり、M37280MKH-XXXSP では 56K バイトのプログラム領域、及び 24K のデータ専用領域があります。M37280EKSP では、バンク制御レジスタの設定によって、これら 2 つの領域 (60K、24K+56K) を切り替えることができます。

### 8.2.4 OSD RAM

CRT に表示する文字コード、文字色などの指定や、文字データを格納します。

### 8.2.5 OSD ROM

CRT に表示する文字データを格納します。

### 8.2.6 割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

### 8.2.7 ゼロページ

ゼロページアドレッシングモードを使用することにより 2 語でアクセスできる領域です。

### 8.2.8 スペシャルページ

スペシャルページアドレッシングモードを使用することにより 2 語でアクセスできる領域です。

### 8.2.9 ROM 訂正用ベクタ

ROM 訂正用のプログラム飛び先番地として使用します。

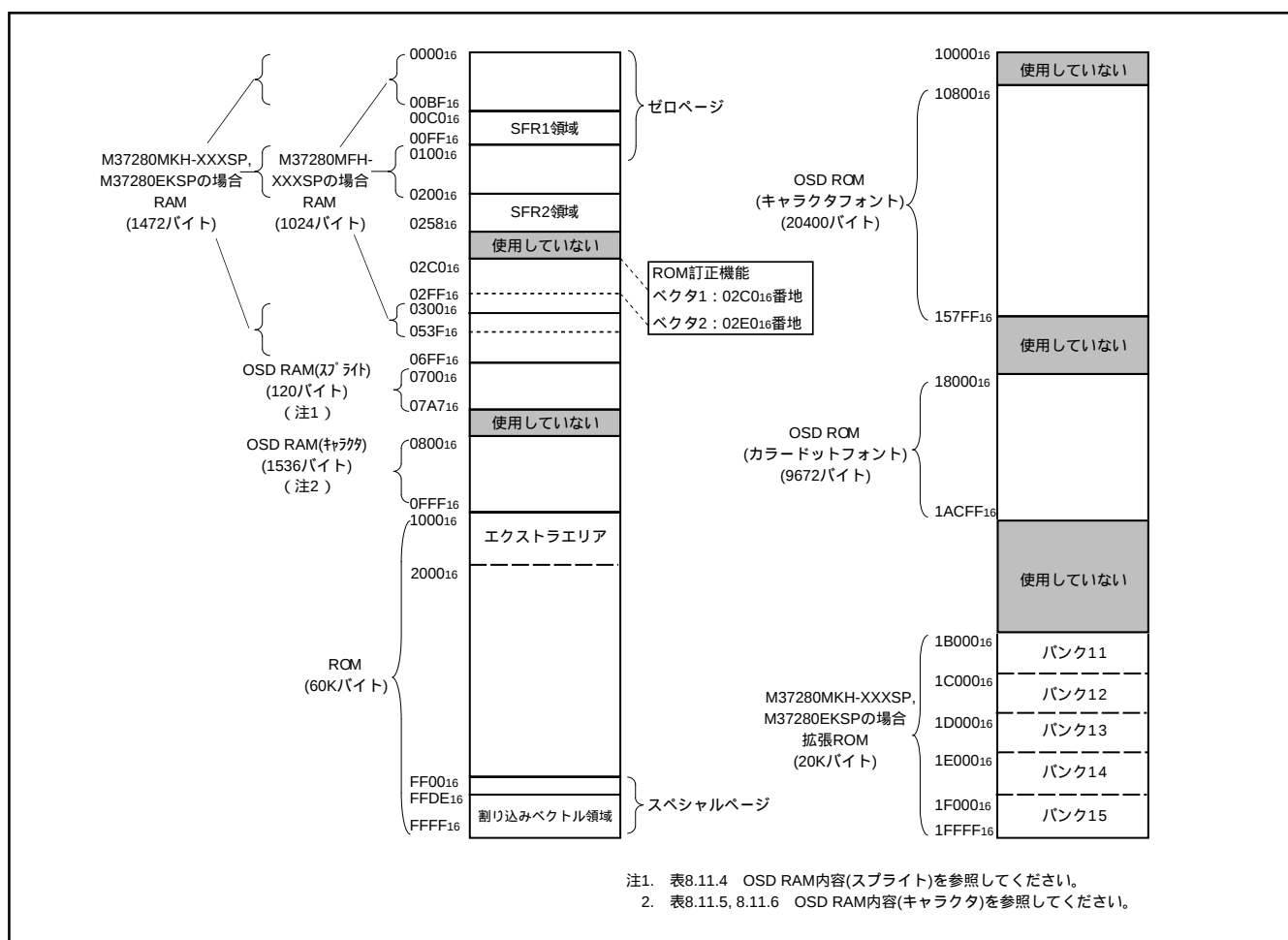


図 8.2.1 メモリ配置図

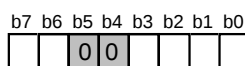
### 8.2.10 拡張 ROM ( M37280MKH-XXXSP / M37280EKSP のみ )

M37280MKH-XXXSP, M37280EKSPではバンクレジスタを設定することによって、1バンク4Kバイトの拡張ROMを5バンク（計20Kバイト）使用することができます。

拡張ROMは1B000<sub>16</sub>番地～1FFFF<sub>16</sub>番地に割り付けられています。バンクレジスタを設定し、1000<sub>16</sub>番地～1FFF<sub>16</sub>番地をアクセスすることによって、拡張ROM内の各バンクの内容を読み出すことができます。拡張ROMはプログラミング不可のため、データ専用エリアとして使用してください。また、拡張ROMを使用する場合は、1000<sub>16</sub>番地～1FFF<sub>16</sub>番地( エクストラエリア )に割り付けられている内部ROMも、プログラム不可でデータ専用エリアとなります。

- 注 1. 拡張ROM使用時(BK 7=1)、1000<sub>16</sub>番地～1FFF<sub>16</sub>番地のアドレスに対し、ROM訂正機能は動作しません。
2. エミュレータMCU (M37280ERSS) 使用時、バンク制御レジスタのビット7を“0”にすると、1000<sub>16</sub>番地～FFFF<sub>16</sub>番地がエミュレート可能となり、拡張ROMは使用できません。“1”にすると、2000<sub>16</sub>番地～FFFF<sub>16</sub>番地がエミュレート可能となり、1000<sub>16</sub>番地～1FFF<sub>16</sub>番地の領域をアクセスすることによって、バンク選択ビットで指定した領域のデータを読み出すことができます。
3. エミュレータMCU使用時、バンク制御レジスタのビット7を“1”にすると、拡張ROM及びエクストラエリアのエミュレートが不可となるため、この領域には、あらかじめデータ書き込んでから使用してください。
4. M37280MKH-XXXSPでは、バンク制御レジスタのビット7を“1”に、M37280MFH-XXXSPでは00ED<sub>16</sub>番地を“00<sub>16</sub>”に固定してください。

#### バンク制御レジスタ



バンク制御レジスタ (BK) 【00ED<sub>16</sub>番地】

| b    | ビット名                  | 機 能                                      | ビット時 | R | W |
|------|-----------------------|------------------------------------------|------|---|---|
| 0～3  | バンク選択ビット (BK0～BK3)    | バンクNo.選択 (バンク11～バンク15)                   | 0    | R | W |
| 4, 5 | これらのビットは“0”に固定してください。 |                                          | 0    | R | W |
| 6, 7 | バンク制御ビット (BK6, BK7)   | b7 b6 バンクROM 1000 <sub>16</sub> 番地台アクセス時 | 0    | R | W |
|      |                       | 0 × 使用しない エクストラエリアのデータの読み出し(プログラム可)      |      |   |   |
|      |                       | 1 0 使用する バンク選択ビットで指定した領域のデータの読み出し        |      |   |   |
|      |                       | 1 1 使用する エクストラエリアのデータの読み出し(データ専用)        |      |   |   |

図 8.2.2 バンク制御レジスタ

## ■ SFR1領域 ( C0<sub>16</sub> ~ DF<sub>16</sub>番地 )

< ビット配置図 >

☐ : } ファンクションビットあり  
☐ : }  
☐ : ファンクションビットなし

< リセット直後の状態 >

☐ : リセット直後は “ 0 ”  
☐ : リセット直後は “ 1 ”  
☐ : リセット直後は不定

☐ : “ 0 ” に固定してください。  
 (“ 1 ” を書き込まないでください。)

☐ : “ 1 ” に固定してください。  
 (“ 0 ” を書き込まないでください。)

| 番地               | レジスタ名                               | ビット配置図 |                   |                   |                   |                   |                   |                   |                   | リセット直後の状態 |                  |   |   |   |   |   |    |
|------------------|-------------------------------------|--------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-----------|------------------|---|---|---|---|---|----|
|                  |                                     | b7     |                   |                   |                   |                   |                   |                   | b0                | b7        |                  |   |   |   |   |   | b0 |
| C0 <sub>16</sub> | ポートP0(P0)                           |        |                   |                   |                   |                   |                   |                   |                   |           | ?                |   |   |   |   |   |    |
| C1 <sub>16</sub> | ポートP0方向レジスタ(D0)                     |        |                   |                   |                   |                   |                   |                   |                   |           | 00 <sub>16</sub> |   |   |   |   |   |    |
| C2 <sub>16</sub> | ポートP1(P1)                           |        |                   |                   |                   |                   |                   |                   |                   |           | ?                |   |   |   |   |   |    |
| C3 <sub>16</sub> | ポートP1方向レジスタ(D1)                     |        |                   |                   |                   |                   |                   |                   |                   |           | 00 <sub>16</sub> |   |   |   |   |   |    |
| C4 <sub>16</sub> | ポートP2(P2)                           |        |                   |                   |                   |                   |                   |                   |                   |           | ?                |   |   |   |   |   |    |
| C5 <sub>16</sub> | ポートP2方向レジスタ(D2)                     |        |                   |                   |                   |                   |                   |                   |                   |           | 00 <sub>16</sub> |   |   |   |   |   |    |
| C6 <sub>16</sub> | ポートP3(P3)                           |        |                   |                   |                   |                   |                   |                   |                   |           | ?                |   |   |   |   |   |    |
| C7 <sub>16</sub> | ポートP3方向レジスタ(D3)                     |        |                   |                   |                   |                   |                   |                   |                   |           | 00 <sub>16</sub> |   |   |   |   |   |    |
| C8 <sub>16</sub> | ポートP4(P4)                           |        |                   |                   |                   |                   |                   |                   |                   |           | ?                |   |   |   |   |   |    |
| C9 <sub>16</sub> | ポートP4方向レジスタ(D4)                     |        |                   |                   |                   |                   |                   |                   | 0                 |           | 00 <sub>16</sub> |   |   |   |   |   |    |
| CA <sub>16</sub> | ポートP5(P5)                           |        |                   |                   |                   |                   |                   |                   |                   |           | ?                |   |   |   |   |   |    |
| CB <sub>16</sub> | OSDポートコントロールレジスタ(PF)                | 0      | OUT2              | OUT1              | B                 | G                 | R                 | RGB 2BIT          | 0                 |           | 00 <sub>16</sub> |   |   |   |   |   |    |
| CC <sub>16</sub> | ポートP6(P6)                           |        |                   |                   |                   |                   |                   |                   |                   |           | ?                |   |   |   |   |   |    |
| CD <sub>16</sub> | ポートP7(P7)                           |        |                   |                   |                   |                   |                   |                   |                   | 0         | 0                | 0 | 0 | 0 | ? | ? | ?  |
| CE <sub>16</sub> | OSDコントロールレジスタ1(OC1)                 | OC17   | OC16              | OC15              | OC14              | OC13              | OC12              | OC11              | OC10              |           | 00 <sub>16</sub> |   |   |   |   |   |    |
| CF <sub>16</sub> | 水平位置レジスタ(HP)                        | HP17   | HP16              | HP15              | HP14              | HP13              | HP12              | HP11              | HP10              |           | 00 <sub>16</sub> |   |   |   |   |   |    |
| D0 <sub>16</sub> | ブロックコントロールレジスタ1(BC <sub>1</sub> )   |        | BC <sub>16</sub>  | BC <sub>15</sub>  | BC <sub>14</sub>  | BC <sub>13</sub>  | BC <sub>12</sub>  | BC <sub>11</sub>  | BC <sub>10</sub>  |           | ?                |   |   |   |   |   |    |
| D1 <sub>16</sub> | ブロックコントロールレジスタ2(BC <sub>2</sub> )   |        | BC <sub>26</sub>  | BC <sub>25</sub>  | BC <sub>24</sub>  | BC <sub>23</sub>  | BC <sub>22</sub>  | BC <sub>21</sub>  | BC <sub>20</sub>  |           | ?                |   |   |   |   |   |    |
| D2 <sub>16</sub> | ブロックコントロールレジスタ3(BC <sub>3</sub> )   |        | BC <sub>36</sub>  | BC <sub>35</sub>  | BC <sub>34</sub>  | BC <sub>33</sub>  | BC <sub>32</sub>  | BC <sub>31</sub>  | BC <sub>30</sub>  |           | ?                |   |   |   |   |   |    |
| D3 <sub>16</sub> | ブロックコントロールレジスタ4(BC <sub>4</sub> )   |        | BC <sub>46</sub>  | BC <sub>45</sub>  | BC <sub>44</sub>  | BC <sub>43</sub>  | BC <sub>42</sub>  | BC <sub>41</sub>  | BC <sub>40</sub>  |           | ?                |   |   |   |   |   |    |
| D4 <sub>16</sub> | ブロックコントロールレジスタ5(BC <sub>5</sub> )   |        | BC <sub>56</sub>  | BC <sub>55</sub>  | BC <sub>54</sub>  | BC <sub>53</sub>  | BC <sub>52</sub>  | BC <sub>51</sub>  | BC <sub>50</sub>  |           | ?                |   |   |   |   |   |    |
| D5 <sub>16</sub> | ブロックコントロールレジスタ6(BC <sub>6</sub> )   |        | BC <sub>66</sub>  | BC <sub>65</sub>  | BC <sub>64</sub>  | BC <sub>63</sub>  | BC <sub>62</sub>  | BC <sub>61</sub>  | BC <sub>60</sub>  |           | ?                |   |   |   |   |   |    |
| D6 <sub>16</sub> | ブロックコントロールレジスタ7(BC <sub>7</sub> )   |        | BC <sub>76</sub>  | BC <sub>75</sub>  | BC <sub>74</sub>  | BC <sub>73</sub>  | BC <sub>72</sub>  | BC <sub>71</sub>  | BC <sub>70</sub>  |           | ?                |   |   |   |   |   |    |
| D7 <sub>16</sub> | ブロックコントロールレジスタ8(BC <sub>8</sub> )   |        | BC <sub>86</sub>  | BC <sub>85</sub>  | BC <sub>84</sub>  | BC <sub>83</sub>  | BC <sub>82</sub>  | BC <sub>81</sub>  | BC <sub>80</sub>  |           | ?                |   |   |   |   |   |    |
| D8 <sub>16</sub> | ブロックコントロールレジスタ9(BC <sub>9</sub> )   |        | BC <sub>96</sub>  | BC <sub>95</sub>  | BC <sub>94</sub>  | BC <sub>93</sub>  | BC <sub>92</sub>  | BC <sub>91</sub>  | BC <sub>90</sub>  |           | ?                |   |   |   |   |   |    |
| D9 <sub>16</sub> | ブロックコントロールレジスタ10(BC <sub>10</sub> ) |        | BC <sub>106</sub> | BC <sub>105</sub> | BC <sub>104</sub> | BC <sub>103</sub> | BC <sub>102</sub> | BC <sub>101</sub> | BC <sub>100</sub> |           | ?                |   |   |   |   |   |    |
| DA <sub>16</sub> | ブロックコントロールレジスタ11(BC <sub>11</sub> ) |        | BC <sub>116</sub> | BC <sub>115</sub> | BC <sub>114</sub> | BC <sub>113</sub> | BC <sub>112</sub> | BC <sub>111</sub> | BC <sub>110</sub> |           | ?                |   |   |   |   |   |    |
| DB <sub>16</sub> | ブロックコントロールレジスタ12(BC <sub>12</sub> ) |        | BC <sub>126</sub> | BC <sub>125</sub> | BC <sub>124</sub> | BC <sub>123</sub> | BC <sub>122</sub> | BC <sub>121</sub> | BC <sub>120</sub> |           | ?                |   |   |   |   |   |    |
| DC <sub>16</sub> | ブロックコントロールレジスタ13(BC <sub>13</sub> ) |        | BC <sub>136</sub> | BC <sub>135</sub> | BC <sub>134</sub> | BC <sub>133</sub> | BC <sub>132</sub> | BC <sub>131</sub> | BC <sub>130</sub> |           | ?                |   |   |   |   |   |    |
| DD <sub>16</sub> | ブロックコントロールレジスタ14(BC <sub>14</sub> ) |        | BC <sub>146</sub> | BC <sub>145</sub> | BC <sub>144</sub> | BC <sub>143</sub> | BC <sub>142</sub> | BC <sub>141</sub> | BC <sub>140</sub> |           | ?                |   |   |   |   |   |    |
| DE <sub>16</sub> | ブロックコントロールレジスタ15(BC <sub>15</sub> ) |        | BC <sub>156</sub> | BC <sub>155</sub> | BC <sub>154</sub> | BC <sub>153</sub> | BC <sub>152</sub> | BC <sub>151</sub> | BC <sub>150</sub> |           | ?                |   |   |   |   |   |    |
| DF <sub>16</sub> | ブロックコントロールレジスタ16(BC <sub>16</sub> ) |        | BC <sub>166</sub> | BC <sub>165</sub> | BC <sub>164</sub> | BC <sub>163</sub> | BC <sub>162</sub> | BC <sub>161</sub> | BC <sub>160</sub> |           | ?                |   |   |   |   |   |    |

図 8.2.3 SFR (スペシャルファンクションレジスタ) 1 メモリマップ (1)

## ■ SFR1領域 (E0<sub>16</sub> ~ FF<sub>16</sub>番地)

<ビット配置図>

☐ : } ファンクションビットあり  
 ビット名 : }

☐ : ファンクションビットなし

☐ : “0” に固定してください。  
 (“1” を書き込まないでください。)

☐ : “1” に固定してください。  
 (“0” を書き込まないでください。)

<リセット直後の状態>

☐ : リセット直後は “0”

☐ : リセット直後は “1”

☐ : リセット直後は不定

| 番地               | レジスタ名                              | ビット配置図           |       |       |        |       |       |       |       |       |       |  |  | リセット直後の状態        |                  |   |   |    |   |   |   |   |  |  |  |  |
|------------------|------------------------------------|------------------|-------|-------|--------|-------|-------|-------|-------|-------|-------|--|--|------------------|------------------|---|---|----|---|---|---|---|--|--|--|--|
|                  |                                    | b7               |       |       |        |       |       | b0    |       |       |       |  |  | b7               |                  |   |   | b0 |   |   |   |   |  |  |  |  |
| E0 <sub>16</sub> | データスライ制御レジスタ1(DSC1)                | 0                | 0     | 0     | 0      | 0     |       | DSC12 | DSC11 | DSC10 |       |  |  | 00 <sub>16</sub> |                  |   |   |    |   |   |   |   |  |  |  |  |
| E1 <sub>16</sub> | データスライ制御レジスタ2(DSC2)                |                  | 0     |       | DSC25  | DSC24 | DSC23 |       |       | 0     | DSC20 |  |  |                  | ?                | 0 | ? | 0  | ? | ? | 0 | ? |  |  |  |  |
| E2 <sub>16</sub> | キャプションレジスタ1(CD1)                   | CDL17            | CDL16 | CDL15 | CDL14  | CDL13 | CDL12 | CDL11 | CDL10 |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| E3 <sub>16</sub> | キャプションレジスタ2(CD2)                   | CDH17            | CDH16 | CDH15 | CDH14  | CDH13 | CDH12 | CDH11 | CDH10 |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| E4 <sub>16</sub> | キャプションレジスタ3(CD3)                   | CDL27            | CDL26 | CDL25 | CDL24  | CDL23 | CDL22 | CDL21 | CDL20 |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| E5 <sub>16</sub> | キャプションレジスタ4(CD4)                   | CDH27            | CDH26 | CDH25 | CDH24  | CDH23 | CDH22 | CDH21 | CDH20 |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| E6 <sub>16</sub> | キャプション位置レジスタ(CPS)                  | CPS7             | CPS6  | CPS5  | CPS4   | CPS3  | CPS2  | CPS1  | CPS0  |       |       |  |  |                  | 0                | 0 | ? | 0  | 0 | 0 | 0 | 0 |  |  |  |  |
| E7 <sub>16</sub> | データスライサテストレジスタ2                    | 00 <sub>16</sub> |       |       |        |       |       |       |       |       |       |  |  | 00 <sub>16</sub> |                  |   |   |    |   |   |   |   |  |  |  |  |
| E8 <sub>16</sub> | データスライサテストレジスタ1                    | 00 <sub>16</sub> |       |       |        |       |       |       |       |       |       |  |  | 00 <sub>16</sub> |                  |   |   |    |   |   |   |   |  |  |  |  |
| E9 <sub>16</sub> | 同期信号カウンタレジスタ(HC)                   |                  |       |       | HC5    | HC4   | HC3   | HC2   | HC1   | HC0   |       |  |  |                  | 0                | 0 | ? | ?  | ? | ? | ? | ? |  |  |  |  |
| EA <sub>16</sub> | クロックイン検出レジスタ(CRD)                  | CRD7             | CRD6  | CRD5  | CRD4   | CRD3  |       |       |       |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| EB <sub>16</sub> | データロック位置レジスタ(DPS)                  | DPS7             | DPS6  | DPS5  | DPS4   | DPS3  | 0     | 0     | 1     |       |       |  |  |                  | 09 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| EC <sub>16</sub> |                                    |                  |       |       |        |       |       |       |       |       |       |  |  | ?                |                  |   |   |    |   |   |   |   |  |  |  |  |
| ED <sub>16</sub> | バンク制御レジスタ(BK)                      | BK7              | BK6   | 0     | 0      | BK3   | BK2   | BK1   | BK0   |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| EE <sub>16</sub> | A-D変換レジスタ(AD)                      |                  |       |       |        |       |       |       |       |       |       |  |  | ?                |                  |   |   |    |   |   |   |   |  |  |  |  |
| EF <sub>16</sub> | A-D制御レジスタ(ADCON)                   | 0                |       | 0     | ADVREF | ADSTR | ADIN2 | ADIN1 | ADIN0 |       |       |  |  |                  | 0                | ? | 0 | 0  | 1 | 0 | 0 | 0 |  |  |  |  |
| F0 <sub>16</sub> | タイマ1(TM1)                          |                  |       |       |        |       |       |       |       |       |       |  |  | FF <sub>16</sub> |                  |   |   |    |   |   |   |   |  |  |  |  |
| F1 <sub>16</sub> | タイマ2(TM2)                          |                  |       |       |        |       |       |       |       |       |       |  |  | 07 <sub>16</sub> |                  |   |   |    |   |   |   |   |  |  |  |  |
| F2 <sub>16</sub> | タイマ3(TM3)                          |                  |       |       |        |       |       |       |       |       |       |  |  | FF <sub>16</sub> |                  |   |   |    |   |   |   |   |  |  |  |  |
| F3 <sub>16</sub> | タイマ4(TM4)                          |                  |       |       |        |       |       |       |       |       |       |  |  | 07 <sub>16</sub> |                  |   |   |    |   |   |   |   |  |  |  |  |
| F4 <sub>16</sub> | タイマモードレジスタ1(TM1)                   | TM17             | TM16  | TM15  | TM14   | TM13  | TM12  | TM11  | TM10  |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| F5 <sub>16</sub> | タイマモードレジスタ2(TM2)                   | TM27             | TM26  | TM25  | TM24   | TM23  | TM22  | TM21  | TM20  |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| F6 <sub>16</sub> | I <sup>2</sup> Cデータシフトレジスタ(S0)     | D7               | D6    | D5    | D4     | D3    | D2    | D1    | D0    |       |       |  |  |                  | ?                |   |   |    |   |   |   |   |  |  |  |  |
| F7 <sub>16</sub> | I <sup>2</sup> Cアドレスレジスタ(S0D)      | SAD6             | SAD5  | SAD4  | SAD3   | SAD2  | SAD1  | SAD0  | RBW   |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| F8 <sub>16</sub> | I <sup>2</sup> Cステータスレジスタ(S1)      | MST              | TRX   | BB    | PIN    | AL    | AAS   | AD0   | LRB   |       |       |  |  |                  | 0                | 0 | 0 | 1  | 0 | 0 | 0 | ? |  |  |  |  |
| F9 <sub>16</sub> | I <sup>2</sup> Cコントロールレジスタ(S1D)    | BSEL1            | BSEL0 | 10BIT | SAD    | ALS   | ESO   | BC2   | BC1   | BC0   |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| FA <sub>16</sub> | I <sup>2</sup> Cクロックコントロールレジスタ(S2) | ACK              | ACK   | FAST  | CCR4   | CCR3  | CCR2  | CCR1  | CCR0  |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| FB <sub>16</sub> | CPUモードレジスタ(CM)                     | CM7              | CM6   | CM5   | 1      | 1     | CM2   | 0     | 0     |       |       |  |  |                  | 3C <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| FC <sub>16</sub> | 割り込み要求レジスタ1(IREQ1)                 |                  | ADR   | VSCR  | OSDR   | TM4R  | TM3R  | TM2R  | TM1R  |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| FD <sub>16</sub> | 割り込み要求レジスタ2(IREQ2)                 | 0                | TM56R | IICR  | IN2R   | CKR   | SIOR  | DSR   | IN1R  |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| FE <sub>16</sub> | 割り込み制御レジスタ1(ICON1)                 |                  | ADE   | VSCE  | OSDE   | TM4E  | TM3E  | TM2E  | TM1E  |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |
| FF <sub>16</sub> | 割り込み制御レジスタ2(ICON2)                 | TM56S            | TM56E | IICE  | IN2E   | CKE   | SIOE  | DSE   | IN1E  |       |       |  |  |                  | 00 <sub>16</sub> |   |   |    |   |   |   |   |  |  |  |  |

図 8.2.4 SFR (スペシャルファンクションレジスタ) 1 メモリマップ (2)

## ■ SFR2領域 ( 200<sub>16</sub> ~ 21F<sub>16</sub>番地 )

### < ビット配置図 >

☐ : ファンクションビットあり  
☐ : ファンクションビットなし

### < リセット直後の状態 >

☐ : リセット直後は “ 0 ”  
☐ : リセット直後は “ 1 ”  
☐ : リセット直後は不定

☐ : “ 0 ” に固定してください。  
 (“ 1 ” を書き込まないでください。)  
☐ : “ 1 ” に固定してください。  
 (“ 0 ” を書き込まないでください。)

| 番地                | レジスタ名                   | ビット配置図                                  | リセット直後の状態        |
|-------------------|-------------------------|-----------------------------------------|------------------|
|                   |                         | b7 b0                                   | b7 b0            |
| 200 <sub>16</sub> | PWM0レジスタ(PWM0)          |                                         | ?                |
| 201 <sub>16</sub> | PWM1レジスタ(PWM1)          |                                         | ?                |
| 202 <sub>16</sub> | PWM2レジスタ(PWM2)          |                                         | ?                |
| 203 <sub>16</sub> | PWM3レジスタ(PWM3)          |                                         | ?                |
| 204 <sub>16</sub> | PWM4レジスタ(PWM4)          |                                         | ?                |
| 205 <sub>16</sub> | PWM5レジスタ(PWM5)          |                                         | ?                |
| 206 <sub>16</sub> | PWM6レジスタ(PWM6)          |                                         | ?                |
| 207 <sub>16</sub> | PWM7レジスタ(PWM7)          |                                         | ?                |
| 208 <sub>16</sub> |                         |                                         | ?                |
| 209 <sub>16</sub> |                         |                                         | ?                |
| 20A <sub>16</sub> | PWMモードレジスタ1(PN)         | PN4 PN3 PN0                             | 00 <sub>16</sub> |
| 20B <sub>16</sub> | PWMモードレジスタ2(PW)         | PW7 PW6 PW5 PW4 PW3 PW2 PW1 PW0         | 00 <sub>16</sub> |
| 20C <sub>16</sub> | ROM訂正アドレス1 (上位)         |                                         | 00 <sub>16</sub> |
| 20D <sub>16</sub> | ROM訂正アドレス1 (下位)         |                                         | 00 <sub>16</sub> |
| 20E <sub>16</sub> | ROM訂正アドレス2 (上位)         |                                         | 00 <sub>16</sub> |
| 20F <sub>16</sub> | ROM訂正アドレス2 (下位)         |                                         | 00 <sub>16</sub> |
| 210 <sub>16</sub> | ROM訂正許可レジスタ(RCR)        | 0 0 RCR1 RCR0                           | 00 <sub>16</sub> |
| 211 <sub>16</sub> | テストレジスタ                 | 00 <sub>16</sub>                        | 00 <sub>16</sub> |
| 212 <sub>16</sub> | 割り込み入力極性レジスタ(IP)        | AD/INT3 SEL POL3 POL2 POL1              | 00 <sub>16</sub> |
| 213 <sub>16</sub> | シリアルI/Oモードレジスタ(SM)      | SM6 SM5 SM4 SM3 SM2 SM1 SM0             | 00 <sub>16</sub> |
| 214 <sub>16</sub> | シリアルI/Oレジスタ(SIO)        |                                         | ?                |
| 215 <sub>16</sub> | OSDコントロ-ルレジスタ2(OC2)     | OC27 OC26 OC25 OC24 OC23 OC22 OC21 OC20 | 00 <sub>16</sub> |
| 216 <sub>16</sub> | 加算コントロ-ルレジスタ(CS)        | 0 0 0 0 CS2 CS1 CS0                     | 00 <sub>16</sub> |
| 217 <sub>16</sub> | 入出力極性コントロ-ルレジスタ(PC)     | PC7 PC6 PC5 PC4 PC2 PC1 PC0             | 80 <sub>16</sub> |
| 218 <sub>16</sub> | ラスタカラーレジスタ(RC)          | RC7 RC6 RC5 RC4 RC3 RC2 RC1 RC0         | 00 <sub>16</sub> |
| 219 <sub>16</sub> | OSDコントロ-ルレジスタ3(OC3)     | OC37 OC36 OC35 OC34 OC33 OC32 OC31 OC30 | 00 <sub>16</sub> |
| 21A <sub>16</sub> | タイマ5(TM5)               |                                         | FF <sub>16</sub> |
| 21B <sub>16</sub> | タイマ6(TM6)               |                                         | 07 <sub>16</sub> |
| 21C <sub>16</sub> | トップボ-ダ-コントロ-ルレジスタ1(TB1) | TB17 TB16 TB15 TB14 TB13 TB12 TB11 TB10 | ?                |
| 21D <sub>16</sub> | ボトムボ-ダ-コントロ-ルレジスタ1(BB1) | BB17 BB16 BB15 BB14 BB13 BB12 BB11 BB10 | ?                |
| 21E <sub>16</sub> | トップボ-ダ-コントロ-ルレジスタ2(TB2) | TB21 TB20                               | ?                |
| 21F <sub>16</sub> | ボトムボ-ダ-コントロ-ルレジスタ2(BB2) | BB21 BB20                               | ?                |

図 8.2.5 SFR ( スペシャルファンクションレジスタ ) 2 メモリマップ ( 1 )

## ■ SFR2領域 ( 220<sub>16</sub> ~ 23F<sub>16</sub>番地 )

< ビット配置図 >

☐ : } ファンクションビットあり  
 ビット名 : }

☐ : ファンクションビットなし

☐ 0 : “ 0 ” に固定してください。  
 (“ 1 ” を書き込まないでください。)

☐ 1 : “ 1 ” に固定してください。  
 (“ 0 ” を書き込まないでください。)

< リセット直後の状態 >

☐ 0 : リセット直後は “ 0 ”

☐ 1 : リセット直後は “ 1 ”

☐ ? : リセット直後は不定

| 番地                | レジスタ名                                        | ビット配置図              |                     |                     |                     |                     |                     |                     |                     | リセット直後の状態 |  |  |  |  |  |  |    |
|-------------------|----------------------------------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|-----------|--|--|--|--|--|--|----|
|                   |                                              | b7                  |                     |                     |                     |                     |                     |                     | b0                  | b7        |  |  |  |  |  |  | b0 |
| 220 <sub>16</sub> | 垂直位置レジスタ1 <sub>1</sub> (VP1 <sub>1</sub> )   | VP1 <sub>1</sub> 7  | VP1 <sub>1</sub> 6  | VP1 <sub>1</sub> 5  | VP1 <sub>1</sub> 4  | VP1 <sub>1</sub> 3  | VP1 <sub>1</sub> 2  | VP1 <sub>1</sub> 1  | VP1 <sub>1</sub> 0  |           |  |  |  |  |  |  | ?  |
| 221 <sub>16</sub> | 垂直位置レジスタ1 <sub>2</sub> (VP1 <sub>2</sub> )   | VP1 <sub>2</sub> 7  | VP1 <sub>2</sub> 6  | VP1 <sub>2</sub> 5  | VP1 <sub>2</sub> 4  | VP1 <sub>2</sub> 3  | VP1 <sub>2</sub> 2  | VP1 <sub>2</sub> 1  | VP1 <sub>2</sub> 0  |           |  |  |  |  |  |  | ?  |
| 222 <sub>16</sub> | 垂直位置レジスタ1 <sub>3</sub> (VP1 <sub>3</sub> )   | VP1 <sub>3</sub> 7  | VP1 <sub>3</sub> 6  | VP1 <sub>3</sub> 5  | VP1 <sub>3</sub> 4  | VP1 <sub>3</sub> 3  | VP1 <sub>3</sub> 2  | VP1 <sub>3</sub> 1  | VP1 <sub>3</sub> 0  |           |  |  |  |  |  |  | ?  |
| 223 <sub>16</sub> | 垂直位置レジスタ1 <sub>4</sub> (VP1 <sub>4</sub> )   | VP1 <sub>4</sub> 7  | VP1 <sub>4</sub> 6  | VP1 <sub>4</sub> 5  | VP1 <sub>4</sub> 4  | VP1 <sub>4</sub> 3  | VP1 <sub>4</sub> 2  | VP1 <sub>4</sub> 1  | VP1 <sub>4</sub> 0  |           |  |  |  |  |  |  | ?  |
| 224 <sub>16</sub> | 垂直位置レジスタ1 <sub>5</sub> (VP1 <sub>5</sub> )   | VP1 <sub>5</sub> 7  | VP1 <sub>5</sub> 6  | VP1 <sub>5</sub> 5  | VP1 <sub>5</sub> 4  | VP1 <sub>5</sub> 3  | VP1 <sub>5</sub> 2  | VP1 <sub>5</sub> 1  | VP1 <sub>5</sub> 0  |           |  |  |  |  |  |  | ?  |
| 225 <sub>16</sub> | 垂直位置レジスタ1 <sub>6</sub> (VP1 <sub>6</sub> )   | VP1 <sub>6</sub> 7  | VP1 <sub>6</sub> 6  | VP1 <sub>6</sub> 5  | VP1 <sub>6</sub> 4  | VP1 <sub>6</sub> 3  | VP1 <sub>6</sub> 2  | VP1 <sub>6</sub> 1  | VP1 <sub>6</sub> 0  |           |  |  |  |  |  |  | ?  |
| 226 <sub>16</sub> | 垂直位置レジスタ1 <sub>7</sub> (VP1 <sub>7</sub> )   | VP1 <sub>7</sub> 7  | VP1 <sub>7</sub> 6  | VP1 <sub>7</sub> 5  | VP1 <sub>7</sub> 4  | VP1 <sub>7</sub> 3  | VP1 <sub>7</sub> 2  | VP1 <sub>7</sub> 1  | VP1 <sub>7</sub> 0  |           |  |  |  |  |  |  | ?  |
| 227 <sub>16</sub> | 垂直位置レジスタ1 <sub>8</sub> (VP1 <sub>8</sub> )   | VP1 <sub>8</sub> 7  | VP1 <sub>8</sub> 6  | VP1 <sub>8</sub> 5  | VP1 <sub>8</sub> 4  | VP1 <sub>8</sub> 3  | VP1 <sub>8</sub> 2  | VP1 <sub>8</sub> 1  | VP1 <sub>8</sub> 0  |           |  |  |  |  |  |  | ?  |
| 228 <sub>16</sub> | 垂直位置レジスタ1 <sub>9</sub> (VP1 <sub>9</sub> )   | VP1 <sub>9</sub> 7  | VP1 <sub>9</sub> 6  | VP1 <sub>9</sub> 5  | VP1 <sub>9</sub> 4  | VP1 <sub>9</sub> 3  | VP1 <sub>9</sub> 2  | VP1 <sub>9</sub> 1  | VP1 <sub>9</sub> 0  |           |  |  |  |  |  |  | ?  |
| 229 <sub>16</sub> | 垂直位置レジスタ1 <sub>10</sub> (VP1 <sub>10</sub> ) | VP1 <sub>10</sub> 7 | VP1 <sub>10</sub> 6 | VP1 <sub>10</sub> 5 | VP1 <sub>10</sub> 4 | VP1 <sub>10</sub> 3 | VP1 <sub>10</sub> 2 | VP1 <sub>10</sub> 1 | VP1 <sub>10</sub> 0 |           |  |  |  |  |  |  | ?  |
| 22A <sub>16</sub> | 垂直位置レジスタ1 <sub>11</sub> (VP1 <sub>11</sub> ) | VP1 <sub>11</sub> 7 | VP1 <sub>11</sub> 6 | VP1 <sub>11</sub> 5 | VP1 <sub>11</sub> 4 | VP1 <sub>11</sub> 3 | VP1 <sub>11</sub> 2 | VP1 <sub>11</sub> 1 | VP1 <sub>11</sub> 0 |           |  |  |  |  |  |  | ?  |
| 22B <sub>16</sub> | 垂直位置レジスタ1 <sub>12</sub> (VP1 <sub>12</sub> ) | VP1 <sub>12</sub> 7 | VP1 <sub>12</sub> 6 | VP1 <sub>12</sub> 5 | VP1 <sub>12</sub> 4 | VP1 <sub>12</sub> 3 | VP1 <sub>12</sub> 2 | VP1 <sub>12</sub> 1 | VP1 <sub>12</sub> 0 |           |  |  |  |  |  |  | ?  |
| 22C <sub>16</sub> | 垂直位置レジスタ1 <sub>13</sub> (VP1 <sub>13</sub> ) | VP1 <sub>13</sub> 7 | VP1 <sub>13</sub> 6 | VP1 <sub>13</sub> 5 | VP1 <sub>13</sub> 4 | VP1 <sub>13</sub> 3 | VP1 <sub>13</sub> 2 | VP1 <sub>13</sub> 1 | VP1 <sub>13</sub> 0 |           |  |  |  |  |  |  | ?  |
| 22D <sub>16</sub> | 垂直位置レジスタ1 <sub>14</sub> (VP1 <sub>14</sub> ) | VP1 <sub>14</sub> 7 | VP1 <sub>14</sub> 6 | VP1 <sub>14</sub> 5 | VP1 <sub>14</sub> 4 | VP1 <sub>14</sub> 3 | VP1 <sub>14</sub> 2 | VP1 <sub>14</sub> 1 | VP1 <sub>14</sub> 0 |           |  |  |  |  |  |  | ?  |
| 22E <sub>16</sub> | 垂直位置レジスタ1 <sub>15</sub> (VP1 <sub>15</sub> ) | VP1 <sub>15</sub> 7 | VP1 <sub>15</sub> 6 | VP1 <sub>15</sub> 5 | VP1 <sub>15</sub> 4 | VP1 <sub>15</sub> 3 | VP1 <sub>15</sub> 2 | VP1 <sub>15</sub> 1 | VP1 <sub>15</sub> 0 |           |  |  |  |  |  |  | ?  |
| 22F <sub>16</sub> | 垂直位置レジスタ1 <sub>16</sub> (VP1 <sub>16</sub> ) | VP1 <sub>16</sub> 7 | VP1 <sub>16</sub> 6 | VP1 <sub>16</sub> 5 | VP1 <sub>16</sub> 4 | VP1 <sub>16</sub> 3 | VP1 <sub>16</sub> 2 | VP1 <sub>16</sub> 1 | VP1 <sub>16</sub> 0 |           |  |  |  |  |  |  | ?  |
| 230 <sub>16</sub> | 垂直位置レジスタ2 <sub>1</sub> (VP2 <sub>1</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>1</sub> 1  | VP2 <sub>1</sub> 0  |           |  |  |  |  |  |  | ?  |
| 231 <sub>16</sub> | 垂直位置レジスタ2 <sub>2</sub> (VP2 <sub>2</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>2</sub> 1  | VP2 <sub>2</sub> 0  |           |  |  |  |  |  |  | ?  |
| 232 <sub>16</sub> | 垂直位置レジスタ2 <sub>3</sub> (VP2 <sub>3</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>3</sub> 1  | VP2 <sub>3</sub> 0  |           |  |  |  |  |  |  | ?  |
| 233 <sub>16</sub> | 垂直位置レジスタ2 <sub>4</sub> (VP2 <sub>4</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>4</sub> 1  | VP2 <sub>4</sub> 0  |           |  |  |  |  |  |  | ?  |
| 234 <sub>16</sub> | 垂直位置レジスタ2 <sub>5</sub> (VP2 <sub>5</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>5</sub> 1  | VP2 <sub>5</sub> 0  |           |  |  |  |  |  |  | ?  |
| 235 <sub>16</sub> | 垂直位置レジスタ2 <sub>6</sub> (VP2 <sub>6</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>6</sub> 1  | VP2 <sub>6</sub> 0  |           |  |  |  |  |  |  | ?  |
| 236 <sub>16</sub> | 垂直位置レジスタ2 <sub>7</sub> (VP2 <sub>7</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>7</sub> 1  | VP2 <sub>7</sub> 0  |           |  |  |  |  |  |  | ?  |
| 237 <sub>16</sub> | 垂直位置レジスタ2 <sub>8</sub> (VP2 <sub>8</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>8</sub> 1  | VP2 <sub>8</sub> 0  |           |  |  |  |  |  |  | ?  |
| 238 <sub>16</sub> | 垂直位置レジスタ2 <sub>9</sub> (VP2 <sub>9</sub> )   |                     |                     |                     |                     |                     |                     | VP2 <sub>9</sub> 1  | VP2 <sub>9</sub> 0  |           |  |  |  |  |  |  | ?  |
| 239 <sub>16</sub> | 垂直位置レジスタ2 <sub>10</sub> (VP2 <sub>10</sub> ) |                     |                     |                     |                     |                     |                     | VP2 <sub>10</sub> 1 | VP2 <sub>10</sub> 0 |           |  |  |  |  |  |  | ?  |
| 23A <sub>16</sub> | 垂直位置レジスタ2 <sub>11</sub> (VP2 <sub>11</sub> ) |                     |                     |                     |                     |                     |                     | VP2 <sub>11</sub> 1 | VP2 <sub>11</sub> 0 |           |  |  |  |  |  |  | ?  |
| 23B <sub>16</sub> | 垂直位置レジスタ2 <sub>12</sub> (VP2 <sub>12</sub> ) |                     |                     |                     |                     |                     |                     | VP2 <sub>12</sub> 1 | VP2 <sub>12</sub> 0 |           |  |  |  |  |  |  | ?  |
| 23C <sub>16</sub> | 垂直位置レジスタ2 <sub>13</sub> (VP2 <sub>13</sub> ) |                     |                     |                     |                     |                     |                     | VP2 <sub>13</sub> 1 | VP2 <sub>13</sub> 0 |           |  |  |  |  |  |  | ?  |
| 23D <sub>16</sub> | 垂直位置レジスタ2 <sub>14</sub> (VP2 <sub>14</sub> ) |                     |                     |                     |                     |                     |                     | VP2 <sub>14</sub> 1 | VP2 <sub>14</sub> 0 |           |  |  |  |  |  |  | ?  |
| 23E <sub>16</sub> | 垂直位置レジスタ2 <sub>15</sub> (VP2 <sub>15</sub> ) |                     |                     |                     |                     |                     |                     | VP2 <sub>15</sub> 1 | VP2 <sub>15</sub> 0 |           |  |  |  |  |  |  | ?  |
| 23F <sub>16</sub> | 垂直位置レジスタ2 <sub>16</sub> (VP2 <sub>16</sub> ) |                     |                     |                     |                     |                     |                     | VP2 <sub>16</sub> 1 | VP2 <sub>16</sub> 0 |           |  |  |  |  |  |  | ?  |

図 8.2.6 SFR (スペシャルファンクションレジスタ) 2 のメモリマップ (2)

## ■ SFR2領域 ( 240<sub>16</sub> ~ 258<sub>16</sub>番地 )

< ビット配置図 >

 : } ファンクションビットあり  
 ビット名 :

 : ファンクションビットなし

 : “ 0 ” に固定してください。  
 ( “ 1 ” を書き込まないでください。 )

 : “ 1 ” に固定してください。  
 ( “ 0 ” を書き込まないでください。 )

< リセット直後の状態 >

 : リセット直後は “ 0 ”

 : リセット直後は “ 1 ”

 : リセット直後は不定

| 番地                | レジスタ名                  | ビット配置図 |                   |                   |                   |                   |                   |                   |                   | リセット直後の状態        |    |   |   |   |   |   |   |
|-------------------|------------------------|--------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|------------------|----|---|---|---|---|---|---|
|                   |                        | b7     |                   |                   |                   | b0                |                   |                   |                   | b7               | b0 |   |   |   |   |   |   |
| 240 <sub>16</sub> |                        |        |                   |                   |                   |                   |                   |                   |                   | ?                |    |   |   |   |   |   |   |
| 241 <sub>16</sub> | カラーパレットレジスタ1(CR1)      |        | CR <sub>16</sub>  | CR <sub>15</sub>  | CR <sub>14</sub>  | CR <sub>13</sub>  | CR <sub>12</sub>  | CR <sub>11</sub>  | CR <sub>10</sub>  | ?                |    |   |   |   |   |   |   |
| 242 <sub>16</sub> | カラーパレットレジスタ2(CR2)      |        | CR <sub>26</sub>  | CR <sub>25</sub>  | CR <sub>24</sub>  | CR <sub>23</sub>  | CR <sub>22</sub>  | CR <sub>21</sub>  | CR <sub>20</sub>  | ?                |    |   |   |   |   |   |   |
| 243 <sub>16</sub> | カラーパレットレジスタ3(CR3)      |        | CR <sub>36</sub>  | CR <sub>35</sub>  | CR <sub>34</sub>  | CR <sub>33</sub>  | CR <sub>32</sub>  | CR <sub>31</sub>  | CR <sub>30</sub>  | ?                |    |   |   |   |   |   |   |
| 244 <sub>16</sub> | カラーパレットレジスタ4(CR4)      |        | CR <sub>46</sub>  | CR <sub>45</sub>  | CR <sub>44</sub>  | CR <sub>43</sub>  | CR <sub>42</sub>  | CR <sub>41</sub>  | CR <sub>40</sub>  | ?                |    |   |   |   |   |   |   |
| 245 <sub>16</sub> | カラーパレットレジスタ5(CR5)      |        | CR <sub>56</sub>  | CR <sub>55</sub>  | CR <sub>54</sub>  | CR <sub>53</sub>  | CR <sub>52</sub>  | CR <sub>51</sub>  | CR <sub>50</sub>  | ?                |    |   |   |   |   |   |   |
| 246 <sub>16</sub> | カラーパレットレジスタ6(CR6)      |        | CR <sub>66</sub>  | CR <sub>65</sub>  | CR <sub>64</sub>  | CR <sub>63</sub>  | CR <sub>62</sub>  | CR <sub>61</sub>  | CR <sub>60</sub>  | ?                |    |   |   |   |   |   |   |
| 247 <sub>16</sub> | カラーパレットレジスタ7(CR7)      |        | CR <sub>76</sub>  | CR <sub>75</sub>  | CR <sub>74</sub>  | CR <sub>73</sub>  | CR <sub>72</sub>  | CR <sub>71</sub>  | CR <sub>70</sub>  | ?                |    |   |   |   |   |   |   |
| 248 <sub>16</sub> |                        |        |                   |                   |                   |                   |                   |                   |                   | ?                |    |   |   |   |   |   |   |
| 249 <sub>16</sub> | カラーパレットレジスタ9(CR9)      |        | CR <sub>96</sub>  | CR <sub>95</sub>  | CR <sub>94</sub>  | CR <sub>93</sub>  | CR <sub>92</sub>  | CR <sub>91</sub>  | CR <sub>90</sub>  | ?                |    |   |   |   |   |   |   |
| 24A <sub>16</sub> | カラーパレットレジスタ10(CR10)    |        | CR <sub>106</sub> | CR <sub>105</sub> | CR <sub>104</sub> | CR <sub>103</sub> | CR <sub>102</sub> | CR <sub>101</sub> | CR <sub>100</sub> | ?                |    |   |   |   |   |   |   |
| 24B <sub>16</sub> | カラーパレットレジスタ11(CR11)    |        | CR <sub>116</sub> | CR <sub>115</sub> | CR <sub>114</sub> | CR <sub>113</sub> | CR <sub>112</sub> | CR <sub>111</sub> | CR <sub>110</sub> | ?                |    |   |   |   |   |   |   |
| 24C <sub>16</sub> | カラーパレットレジスタ12(CR12)    |        | CR <sub>126</sub> | CR <sub>125</sub> | CR <sub>124</sub> | CR <sub>123</sub> | CR <sub>122</sub> | CR <sub>121</sub> | CR <sub>120</sub> | ?                |    |   |   |   |   |   |   |
| 24D <sub>16</sub> | カラーパレットレジスタ13(CR13)    |        | CR <sub>136</sub> | CR <sub>135</sub> | CR <sub>134</sub> | CR <sub>133</sub> | CR <sub>132</sub> | CR <sub>131</sub> | CR <sub>130</sub> | ?                |    |   |   |   |   |   |   |
| 24E <sub>16</sub> | カラーパレットレジスタ14(CR14)    |        | CR <sub>146</sub> | CR <sub>145</sub> | CR <sub>144</sub> | CR <sub>143</sub> | CR <sub>142</sub> | CR <sub>141</sub> | CR <sub>140</sub> | ?                |    |   |   |   |   |   |   |
| 24F <sub>16</sub> | カラーパレットレジスタ15(CR15)    |        | CR <sub>156</sub> | CR <sub>155</sub> | CR <sub>154</sub> | CR <sub>153</sub> | CR <sub>152</sub> | CR <sub>151</sub> | CR <sub>150</sub> | ?                |    |   |   |   |   |   |   |
| 250 <sub>16</sub> | ライトボタ-コントロールレジスタ1(LB1) | LB17   | LB16              | LB15              | LB14              | LB13              | LB12              | LB11              | LB10              | 01 <sub>16</sub> |    |   |   |   |   |   |   |
| 251 <sub>16</sub> | ライトボタ-コントロールレジスタ2(LB2) |        |                   |                   |                   |                   | LB22              | LB21              | LB20              | 00 <sub>16</sub> |    |   |   |   |   |   |   |
| 252 <sub>16</sub> | ライトボタ-コントロールレジスタ1(RB1) | RB17   | RB16              | RB15              | RB14              | RB13              | RB12              | RB11              | RB10              | FF <sub>16</sub> |    |   |   |   |   |   |   |
| 253 <sub>16</sub> | ライトボタ-コントロールレジスタ2(RB2) |        |                   |                   |                   |                   | RB22              | RB21              | RB20              | 07 <sub>16</sub> |    |   |   |   |   |   |   |
| 254 <sub>16</sub> | スライト垂直位置レジスタ1(VS1)     | VS17   | VS16              | VS15              | VS14              | VS13              | VS12              | VS11              | VS10              | ?                |    |   |   |   |   |   |   |
| 255 <sub>16</sub> | スライト垂直位置レジスタ2(VS2)     |        |                   |                   |                   |                   |                   | VS21              | VS20              | 00 <sub>16</sub> |    |   |   |   |   |   |   |
| 256 <sub>16</sub> | スライト水平位置レジスタ1(HS1)     | HS17   | HS16              | HS15              | HS14              | HS13              | HS12              | HS11              | HS10              | ?                |    |   |   |   |   |   |   |
| 257 <sub>16</sub> | スライト水平位置レジスタ2(HS2)     |        |                   |                   |                   |                   | HS22              | HS21              | HS20              | 0                | 0  | 0 | 0 | 0 | ? | ? | ? |
| 258 <sub>16</sub> | スライトOSD制御レジスタ(SC)      |        |                   | SC5               | SC4               | SC3               | SC2               | SC1               | SC0               | 00 <sub>16</sub> |    |   |   |   |   |   |   |

図 8.2.7 SFR ( スペシャルファンクションレジスタ ) 2 のメモリマップ ( 3 )

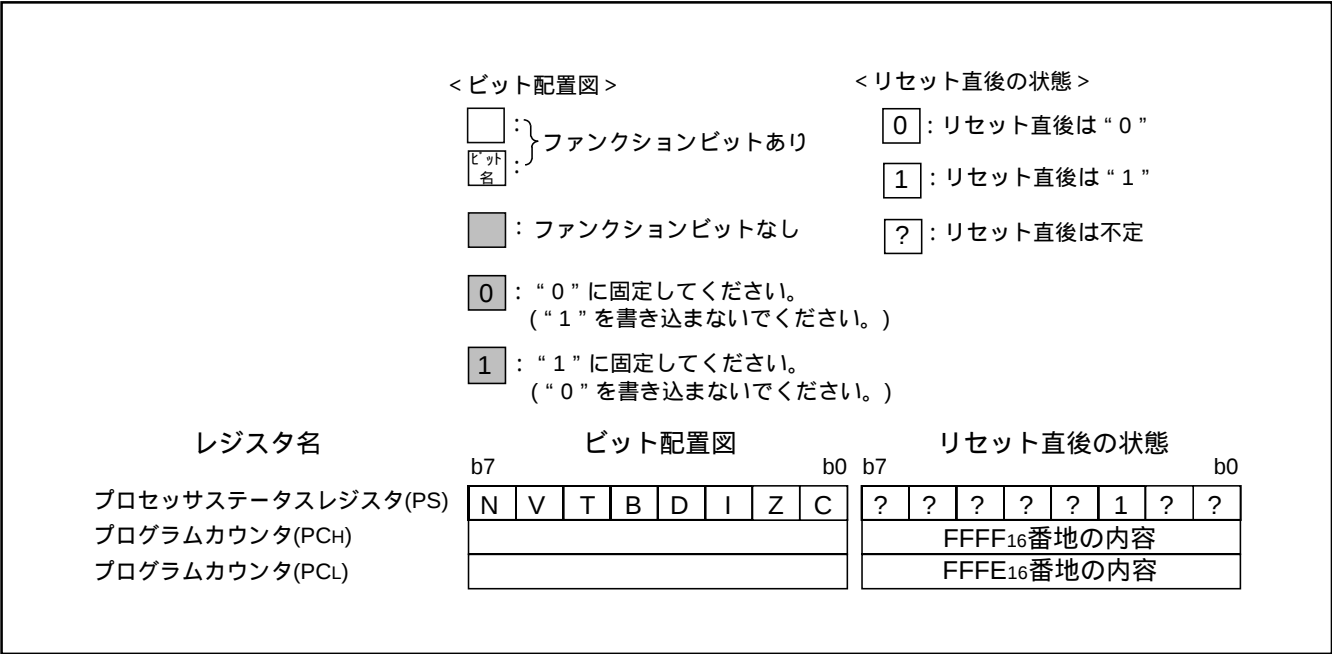


図 8.2.8 プロセッサステータスレジスタとプログラムカウンタのリセット時の内部状態

### 8.3 割り込み

割り込みはベクトル割り込みで、外部3要因、内部14要因、ソフトウェア1要因、及びリセットの19の要因から発生することが可能です。表 8.3.1 にベクトルテーブルと優先順位を示します。リセットは割り込みと同じような動作をしますので、この表中に入れておきます。

割り込みを受け付けると、

プログラムカウンタとプロセッサステータスレジスタが自動的にスタックへ待避されます。

割り込み禁止フラグ I が“1”に、割り込み要求ビットが“0”になります。

ベクトル番地に格納されている飛び先番地がプログラムカウンタに入ります

リセットは何ものによっても禁止されることはありません。これら以外の割り込みは割り込み禁止フラグ I が“1”のとき、受け付けられません。

BRK 命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っています。割り込み要求ビットは割り込み要求レジスタ 1、2、割り込み許可ビットは割り込み制御レジスタ 1、2 の各ビットに割り当てられています。割り込み関係レジスタを図 8.3.2 ~ 図 8.3.6 に示します。

リセットと BRK 命令割り込みを除いた割り込みは、割り込み許可ビットが“1”、割り込み要求ビットが“1”、かつ割り込み禁止フラグ I が“0”のとき、受け付けられます。割

り込み要求ビットはプログラムで“0”にできますが、“1”にはできません。割り込み許可ビットはプログラムで“0”又は“1”にできます。

リセットは、割り込み優先順位中、最優先のノンマスカブル割り込みとして処理されます。図 8.3.1 に割り込み制御図を示します。

#### 8.3.1 割り込み要因

##### (1) VSYNC, OSD 割り込み

VSYNC 割り込みは、垂直同期信号に同期した割り込み要求です。

OSD 割り込みは、CRT への文字ブロック表示終了後に発生する割り込みです。

##### (2) INT1, INT2 割り込み

外部割り込み入力で、各端子のレベルが“L”から“H”、又は“H”から“L”に変化するのを検出して割り込み要求が発生します。入力極性は、割り込み入力極性レジスタ (021216 番地) のビット 3、ビット 4 によって選択されます。これらのビットが“0”の場合“L”から“H”の変化、“1”の場合“H”から“L”の変化が検出されます。ただし、リセット時は“0”になります。

##### (3) タイマ 1 ~ 4 割り込み

タイマ 1 ~ 4 のオーバフローにより割り込みが発生します。

表 8.3.1 割り込みベクトル番地と優先順位

| 優先<br>順位 | 割り込み要因                                     | ベクトル番地 |        | 備考                                         |
|----------|--------------------------------------------|--------|--------|--------------------------------------------|
|          |                                            | 上位     | 下位     |                                            |
| 1        | リセット                                       | FFFF16 | FFFE16 | ノンマスカブル                                    |
| 2        | OSD 割り込み                                   | FFFD16 | FFFC16 |                                            |
| 3        | INT1 割り込み                                  | FFFB16 | FFFA16 | 極性プログラマブル                                  |
| 4        | データスライサ割り込み                                | FFF916 | FFF816 |                                            |
| 5        | シリアル I/O 割り込み                              | FFF716 | FFF616 |                                            |
| 6        | タイマ 4 割り込み                                 | FFF516 | FFF416 |                                            |
| 7        | f(XIN)/4096・スプライト OSD 割り込み                 | FFF316 | FFF216 | ソフトウェアによる要因の切り換え(注)                        |
| 8        | VSYNC 割り込み                                 | FFF116 | FFF016 |                                            |
| 9        | タイマ 3 割り込み                                 | FFEF16 | FFEE16 |                                            |
| 10       | タイマ 2 割り込み                                 | FFED16 | FFEC16 |                                            |
| 11       | タイマ 1 割り込み                                 | FFEB16 | FFEA16 |                                            |
| 12       | A-D 変換・INT3 割り込み                           | FFE916 | FFE816 | ソフトウェアによる要因の切り換え(注) / INT3 割り込み時、極性プログラマブル |
| 13       | INT2 割り込み                                  | FFE716 | FFE616 | 極性プログラマブル                                  |
| 14       | マルチマスタ I <sup>2</sup> C-BUS<br>インタフェース割り込み | FFE516 | FFE416 |                                            |
| 15       | タイマ 5・6 割り込み                               | FFE316 | FFE216 | ソフトウェアによる要因の切り換え(注)                        |
| 16       | BRK 命令割り込み                                 | FFDF16 | FFDE16 | ノンマスカブル                                    |

注. プログラムの途中で要因切り換えを行うと不要な割り込みが発生します。そのため、要因の設定はプログラムの初期設定時に行ってください。

## (4) シリアル I/O 割り込み

クロック同期形シリアル I/O からの割り込み要求です。

(5)  $f(XIN)/4096$  ・ スプライト OSD 割り込み

$f(XIN)$ の4096分周で割り込みが発生します。ただし、PWM モードレジスタ1のビット0を“0”に設定してください。

スプライト OSD 割り込みはスプライト表示終了後に割り込みが発生します。

$f(XIN)/4096$  割り込みとスプライト OSD 割り込みはベクトルを共用していますので、割り込み要因はスプライト OSD 制御レジスタ (0258<sub>16</sub> 番地) のビット5で選択します。

## (6) データスライサ割り込み

データスライサの終了時に割り込みが発生します。

(7) マルチマスタ I<sup>2</sup>C-BUS インタフェース割り込み

マルチマスタ I<sup>2</sup>C-BUS インタフェースに関する割り込み要求です。

## (8) A-D 変換 ・ INT3 割り込み

A-D 変換終了時に割り込みが発生します。

INT3 割り込みは外部割り込み入力で、各端子のレベルが“L”から“H”、又は“H”から“L”に変化するのを検出して割り込み要求を発生します。入力極性は、割り込み入力極性レジスタ (0212<sub>16</sub> 番地) のビット6によって選択されます。これらのビットが“0”の場合“L”から“H”の変化、“1”の場合“H”から“L”の変化が検出されます。ただし、リセット時は“0”になります。

A-D 変換割り込みと INT3 割り込みはベクトルを共用していますので、割り込み要因は割り込み入力極性レジスタ (0212<sub>16</sub> 番地) のビット7で選択します。

## (9) タイマ5・6 割り込み

タイマ5,6のオーバーフローにより割り込みが発生します。優先順位は同じで、ソフトウェアによって切り替えます。

## (10) BRK 命令割り込み

優先順位が最下位のソフトウェア割り込みで、対応した割り込み許可ビットを持たず、割り込み禁止フラグの影響を受けません (ノンマスカブル)。

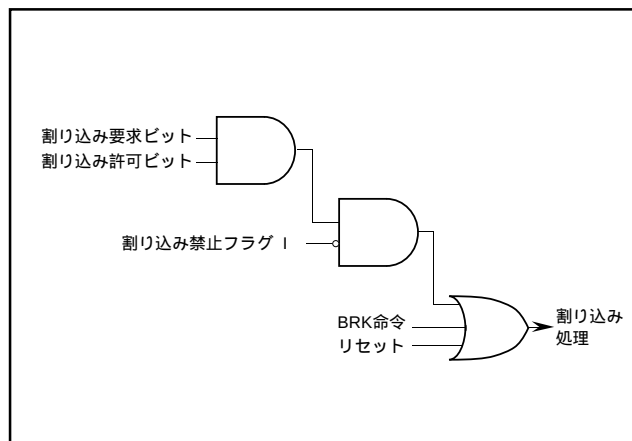


図 8.3.1 割り込み制御図

## 割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ1(IREQ1)【00FC<sub>16</sub>番地】

| b | ビット名                                           | 機 能                        | リセット時 | R | W |
|---|------------------------------------------------|----------------------------|-------|---|---|
| 0 | タイマ1割り込み要求ビット (TM1R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 1 | タイマ2割り込み要求ビット (TM2R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 2 | タイマ3割り込み要求ビット (TM3R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 3 | タイマ4割り込み要求ビット (TM4R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 4 | OSD割り込み要求ビット (OSDR)                            | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 5 | VSYNC割り込み要求ビット (VSCR)                          | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 6 | A-D変換・INT3割り込み要求ビット(ADR)                       | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 7 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                            | 0     | R | - |

\*、ソフトウェアによって“0”にできますが、“1”にはできません。

図 8.3.2 割り込み要求レジスタ1

## 割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

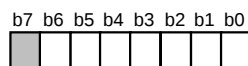
割り込み要求レジスタ2(IREQ2)【00FD<sub>16</sub>番地】

| b | ビット名                                | 機 能                        | リセット時 | R | W |
|---|-------------------------------------|----------------------------|-------|---|---|
| 0 | INT1割り込み要求ビット (IN1R)                | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 1 | データスライサ割り込み要求ビット(DSR)               | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 2 | シリアルI/O割り込み要求ビット(SIOR)              | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 3 | f(XIN)/4096・スプライトOSD割り込み要求ビット(CKR)  | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 4 | INT2割り込み要求ビット(IN2R)                 | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 5 | マルチスライスC-BUSインターフェース割り込み要求ビット(IICR) | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 6 | タイマ5・6割り込み要求ビット(TM56R)              | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 7 | このビットは“0”に固定してください。                 |                            | 0     | R | W |

\*、ソフトウェアによって“0”にできますが、“1”にはできません。

図 8.3.3 割り込み要求レジスタ2

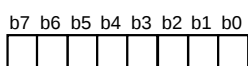
### 割り込み制御レジスタ1

割り込み制御レジスタ1(ICON1)【00FE<sub>16</sub>番地】

| b | ビット名                                           | 機 能                    | リセット時 | R | W |
|---|------------------------------------------------|------------------------|-------|---|---|
| 0 | タイマ1割り込み許可ビット (TM1E)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 1 | タイマ2割り込み許可ビット (TM2E)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 2 | タイマ3割り込み許可ビット (TM3E)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 3 | タイマ4割り込み許可ビット (TM4E)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 4 | OSD割り込み許可ビット (OSDE)                            | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 5 | VSYNC割り込み許可ビット (VSCE)                          | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 6 | A-D変換・INT3割り込み許可ビット (ADE)                      | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 7 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                        | 0     | R | - |

図 8.3.4 割り込み制御レジスタ1

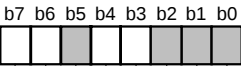
### 割り込み制御レジスタ2

割り込み制御レジスタ2(ICON2)【00FF<sub>16</sub>番地】

| b | ビット名                                | 機 能                    | リセット時 | R | W |
|---|-------------------------------------|------------------------|-------|---|---|
| 0 | INT1割り込み許可ビット (IN1E)                | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 1 | データスライサ割り込み許可ビット(DSE)               | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 2 | シリアルI/O割り込み許可ビット(SIOE)              | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 3 | f(XIN)/4096・スライトOSD割り込み許可ビット(CKE)   | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 4 | INT2割り込み許可ビット(IN2E)                 | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 5 | マルチマスターC-BUSインターフェース割り込み許可ビット(IICE) | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 6 | タイマ5・6割り込み許可ビット(TM56E)              | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 7 | タイマ5・6割り込み切り替えビット(TM56S)            | 0: タイマ5<br>1: タイマ6     | 0     | R | W |

図 8.3.5 割り込み要求レジスタ2

割り込み入力極性レジスタ



割り込み入力極性レジスタ(IP)【0212<sub>16</sub>番地】

| b   | ビット名                                             | 機 能                       | リセット時 | R | W |
|-----|--------------------------------------------------|---------------------------|-------|---|---|
| 0~2 | これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                           | 0     | R | - |
| 3   | INT1極性切り替えビット (POL1)                             | 0：正極性<br>1：負極性            | 0     | R | W |
| 4   | INT2極性切り替えビット (POL2)                             | 0：正極性<br>1：負極性            | 0     | R | W |
| 5   | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。   |                           | 0     | R | - |
| 6   | INT3極性切り替えビット (POL3)                             | 0：正極性<br>1：負極性            | 0     | R | W |
| 7   | A-D変換・INT3割り込み要因選択ビット (AD/INT3SEL)               | 0：INT3割り込み<br>1：A-D変換割り込み | 0     | R | W |

図 8.3.6 割り込み入力極性レジスタ

## 8.4 タイマ

タイマは、タイマ1、タイマ2、タイマ3、タイマ4、タイマ5、タイマ6の6本あります。いずれもタイマラッチ付き8ビットタイマです。図8.4.3にタイマのブロック図を示します。

タイマ1～6は、すべてダウンカウント動作で分周比は  $1/(n+1)$  です。これらのタイマは、タイマラッチ(00F0<sub>16</sub>～00F3<sub>16</sub>: タイマ1～タイマ4、021A<sub>16</sub>, 021B<sub>16</sub>: タイマ5、タイマ6)に値を書き込むことで同時にタイマにも値が設定されます。

タイマへの設定直後からカウントソースの入力によって nn16-1, nn16-2, ..., 01<sub>16</sub>, 00<sub>16</sub> とダウンカウントし、タイマの値が 00<sub>16</sub> となった次のカウントソース入力でオーバーフローが起こり割り込み要求が発生します。

以下にそれぞれのタイマについて説明します。

### 8.4.1 タイマ1

タイマ1のカウントソースは次のいずれかを選択できます。

- ・  $f(XIN)/16$  又は  $f(XCIN)/16$
- ・  $f(XIN)/4096$  又は  $f(XCIN)/4096$
- ・ P42/TIM2 端子からの外部クロック

タイマモードレジスタ1(00F4<sub>16</sub>番地)のビット5及びビット0の2ビットを用いていずれか一つを選択します。

また、 $f(XIN)$ ,  $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ1オーバーフローによりタイマ1割り込み要求が発生します。

### 8.4.2 タイマ2

タイマ2のカウントソースは次のいずれかを選択できます。

- ・  $f(XIN)/16$  又は  $f(XCIN)/16$
- ・ タイマ1のオーバーフロー信号
- ・ TIM2 端子からの外部クロック

タイマモードレジスタ1(00F4<sub>16</sub>番地)のビット4、ビット1の2ビットを用いてこの3種類から一つを選択します。また、 $f(XIN)$ ,  $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。カウントソースをタイマ1のオーバーフロー信号とすることで、タイマ1を8ビットプリスケアラとして用いることができます。

タイマ2オーバーフローによりタイマ2割り込み要求が発生します。

### 8.4.3 タイマ3

タイマ3のカウントソースは次のいずれかを選択できます。

- ・  $f(XIN)/16$  又は  $f(XCIN)/16$
- ・  $f(XCIN)$
- ・ TIM3 端子からの外部クロック

タイマモードレジスタ2(00F5<sub>16</sub>番地)のビット0, 00C7<sub>16</sub>番地のビット6の2ビットを用いてこの3種類から一つを選択します。また、 $f(XIN)$ ,  $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ3オーバーフローによりタイマ3割り込み要求が発生します。

### 8.4.4 タイマ4

タイマ4のカウントソースは次のいずれかを選択できます。

- ・  $f(XIN)/16$  又は  $f(XCIN)/16$
- ・  $f(XIN)/2$  又は  $f(XCIN)/2$
- ・  $f(XCIN)$
- ・ タイマ3のオーバーフロー信号

タイマモードレジスタ2(00F5<sub>16</sub>番地)のビット4、及びビット1の2ビットを用いてこの4種類から一つを選択します。また、 $f(XIN)$ ,  $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。カウントソースをタイマ3のオーバーフロー信号とすることで、タイマ3を8ビットのプリスケアラとして用いることができます。

タイマ4オーバーフローによりタイマ4割り込み要求が発生します。

### 8.4.5 タイマ5

タイマ5のカウントソースは次のいずれかを選択できます。

- ・  $f(XIN)/16$  又は  $f(XCIN)/16$
- ・ タイマ2のオーバーフロー信号
- ・ タイマ4のオーバーフロー信号

タイマモードレジスタ1(00F4<sub>16</sub>番地)のビット6、タイマモードレジスタ2(00F5<sub>16</sub>番地)のビット7の2ビットを用いてこの3種類から一つを選択します。カウントソースをタイマ2又はタイマ4のオーバーフロー信号とすることで、タイマ2又はタイマ4を8ビットのプリスケアラとして用いることができます。 $f(XIN)$ ,  $f(XCIN)$ はCPUモードレジスタのビット7によって選択します。

タイマ5オーバーフローによりタイマ5割り込み要求が発生します。

## 8.4.6 タイマ 6

タイマ 6 のカウントソースは次のいずれかを選択できます。

- ・  $f(X_{IN})/16$  又は  $f(X_{CIN})/16$
- ・ タイマ 5 のオーバーフロー信号

タイマモードレジスタ 1 (00F4<sub>16</sub> 番地) のビット 7 を用いてこの 2 種類から一つを選択します。また、 $f(X_{IN})$ 、 $f(X_{CIN})$  は CPU モードレジスタのビット 7 によって選択します。カウントソースをタイマ 5 のオーバーフロー信号とすることでタイマ 5 を 8 ビットのプリスケアラとして用いることができます。

タイマ 6 オーバフローによりタイマ 6 割り込み要求が発生します。

リセット時、タイマ 3、タイマ 4 はハードウェア的に接続され、タイマ 3 に“FF<sub>16</sub>”、タイマ 4 に“07<sub>16</sub>”がセットされます。そして、タイマ 3 のカウントソースとして  $f(X_{IN})^*/16$  が選択されます。この状態でのタイマ 4 オーバフローによって内部リセットが解除され、同時に内部クロックが供給されます。

STP 命令実行時、タイマ 3、タイマ 4 はハードウェア的に接続され、タイマ 3 に“FF<sub>16</sub>”、タイマ 4 に“07<sub>16</sub>”がセットされますが、タイマ 3 のカウントソースとして  $f(X_{IN})^*/16$  は選択されません。したがって、STP 命令を実行する前に、ソフトウェアによってタイマモードレジスタ 2 (00F5<sub>16</sub> 番地) のビット 0 及び 00C7<sub>16</sub> 番地のビット 6 を“0”にしてください (タイマ 3 のカウントソースとして  $f(X_{IN})^*/16$  を選択する)。この状態でのタイマ 4 オーバフローによって STP 状態が解除され、同時に内部クロックが供給されます。

以上の処理により、安定したクロックのもとでプログラムが開始されます。

\* : CPU モードレジスタのビット 7 (CM7) が“1”の場合は、 $f(X_{IN})$  が  $f(X_{CIN})$  となります。

タイマに関連するレジスタのビット構成を図 8.4.1、図 8.4.2 に示します。

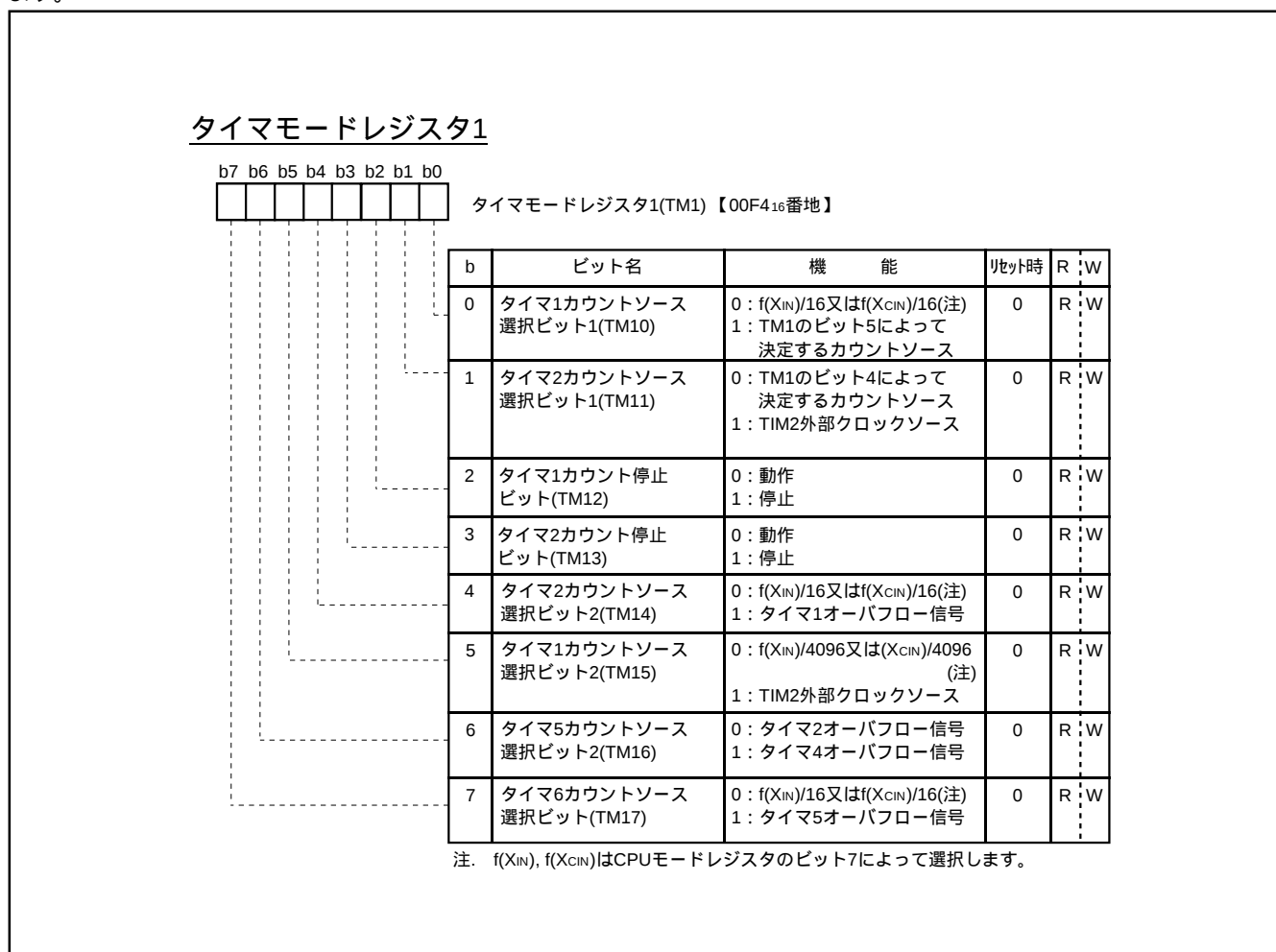


図 8.4.1 タイマモードレジスタ 1

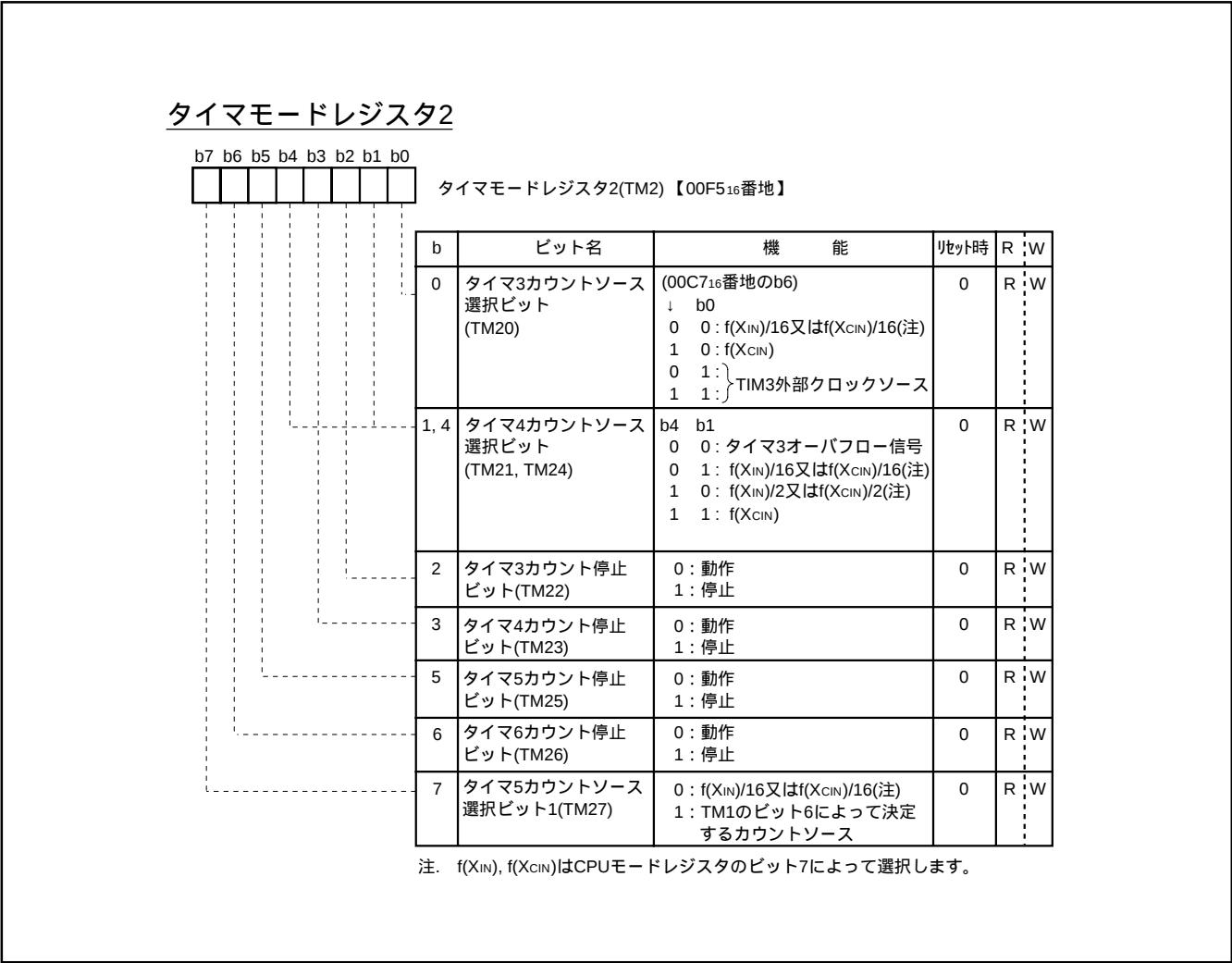


図 8.4.2 タイマモードレジスタ2

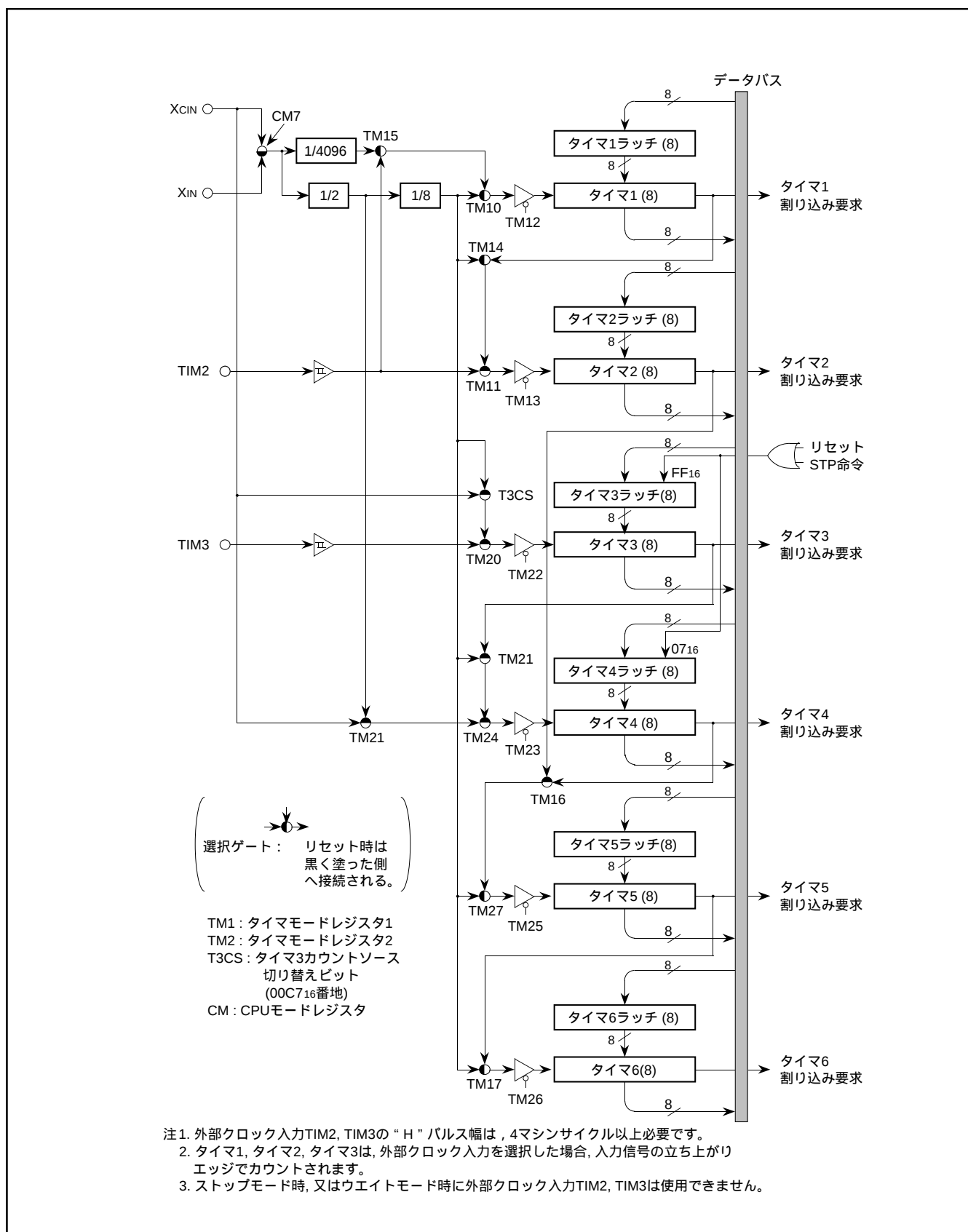


図 8.4.3 タイマブロック図

## 8.5 シリアル I/O

本マイクロコンピュータは、クロック同期形で 8 ビットデータを直列に受信、又は送信できるシリアル I/O を 1 本内蔵しています。

図 8.5.1 にシリアル I/O のブロック図を示します。同期クロック入出力端子( SCLK )、データ出力端子( SOUT )はポート P4 と、データ入力端子( SIN )はポート P1、ポート P7 とそれぞれ共用しています。

シリアル I/O モードレジスタ( 0213<sub>16</sub> 番地 )のビット 2 で同期クロックを内部から供給するか、外部( SCLK 端子 )から供給するかを選択します。内部クロックの場合ビット 1 とビット 0 で( XIN )又は( XCIN )の 8 分周、16 分周、32 分周、64 分周のいずれかを選択します。シリアル I/O 用端子として使用する場合、ポート P4 方向レジスタ( 00C9<sub>16</sub> 番地 )の SOUT、

SCLK 端子に対応するビット、及びポート P1 方向レジスタ( 00C3<sub>16</sub> 番地 )の SIN 端子に対応するビットを入力側( "0" )に設定してください。

次にシリアル I/O の動作について説明します。クロック源として内部クロックを選択するか、外部クロックを選択するかで動作が異なります。

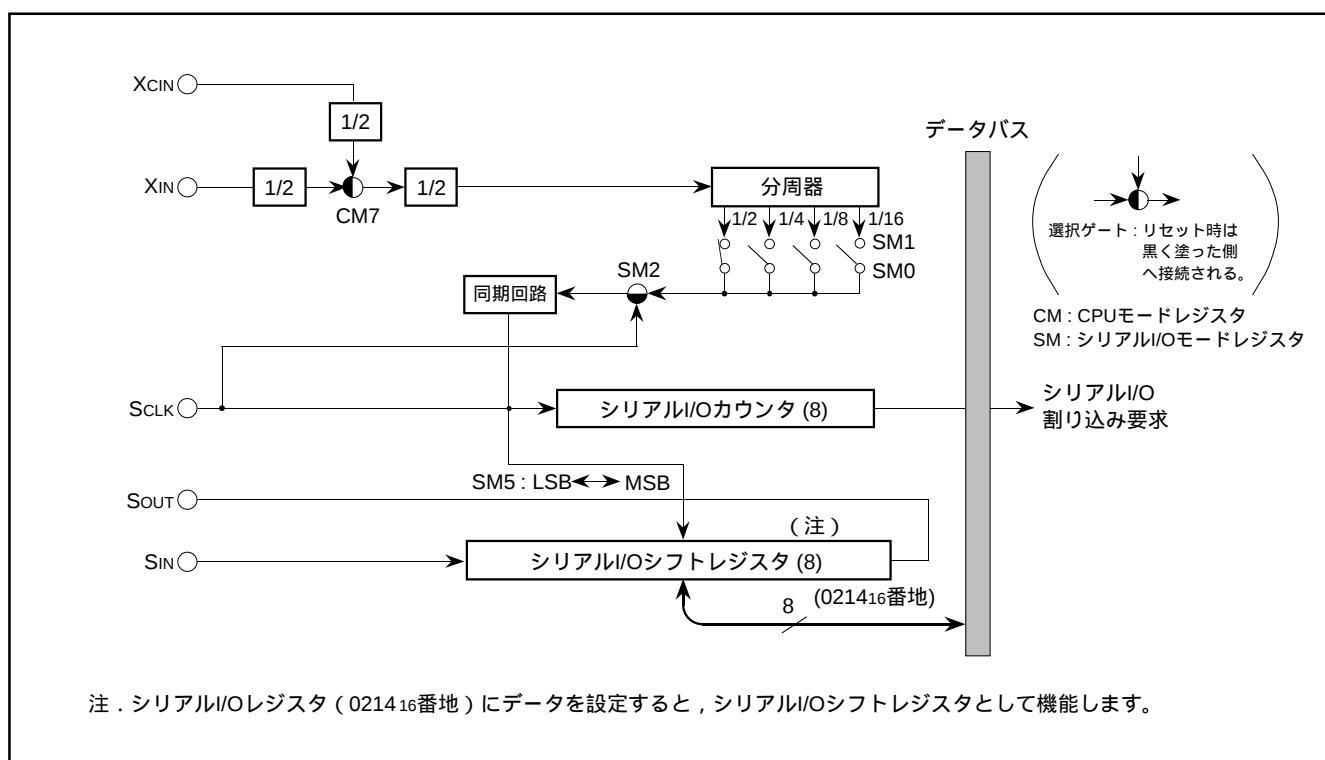


図 8.5.1 シリアル I/O のブロック図

まず、内部クロックを選択した場合について説明します。

シリアル I/O レジスタ (0214<sub>16</sub> 番地) への書き込みサイクル中に、シリアル I/O カウンタが “ 7 ” にセットされ、シリアル I/O レジスタの転送クロックは強制的に “ H ” になります。書き込みサイクル終了後転送クロックの立ち下がりの際に、S<sub>OUT</sub> 端子からデータが出力されます。転送を最下位ビットから行うか、最上位ビットから行うかは、シリアル I/O モードレジスタのビット 5 で選択します。また、受信時には S<sub>IN</sub> 端子から転送クロックの立ち上がりの際にデータが取り込まれると同時に、シリアル I/O レジスタの内容が 1 ビットずつシフトされます。

転送クロックを 8 回カウントするとシリアル I/O カウンタは “ 0 ” となり、転送クロックは “ H ” の状態で停止し、割り込み要求ビットが “ 1 ” になります。

クロック源として外部クロックを選択した場合は転送クロックを 8 回カウントすると割り込み要求ビットは “ 1 ” になりますが、転送動作は禁止されませんので外部でクロックを制御してください。外部クロックはデューティサイクル 50 % で 500kHz 以下のクロックを使用してください。

図 8.5.2 にタイミングを示します。転送に外部クロックを用いる場合は、シリアル I/O カウンタの初期化を行う際に外部クロックが “ H ” になっている必要があります。内部クロックと外部クロックを切り替えて使用する場合、転送を行っていないときに切り替えてください。また切り替えた後に必ずシリアル I/O カウンタの初期化を行ってください。

注 1 . ビット処理命令 (SEB 命令, CLB 命令) などによるシリアル I/O レジスタへの書き込みによっても、シリアル I/O カウンタがセットされるため、プログラム作成上注意が必要です。

2 . 同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが “ H ” のときに、シリアル I/O レジスタへ送信データを書き込んでください。

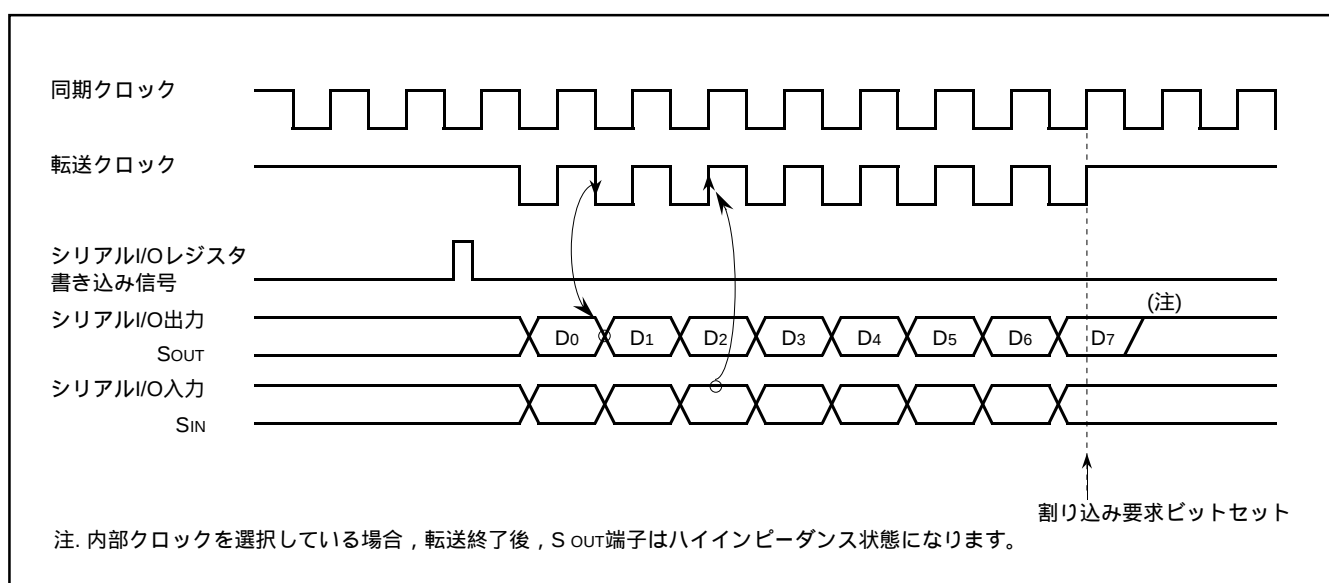
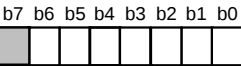


図 8.5.2 シリアル I/O タイミング

シリアルI/Oモードレジスタ



シリアルI/Oモードレジスタ1(SM) 【0213<sub>16</sub>番地】

| b    | ビット名                                           | 機 能                                                                                                                                                                             | リセット時 | R | W |
|------|------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | 内部同期クロック選択ビット(SM0,SM1)                         | b1 b0<br>0 0 : $f(X_{IN})/8$ 又は $f(X_{CIN})/8$<br>0 1 : $f(X_{IN})/16$ 又は $f(X_{CIN})/16$<br>1 0 : $f(X_{IN})/32$ 又は $f(X_{CIN})/32$<br>1 1 : $f(X_{IN})/64$ 又は $f(X_{CIN})/64$ | 0     | R | W |
| 2    | 同期クロック選択ビット(SM2)                               | 0 : 外部クロック<br>1 : 内部クロック                                                                                                                                                        | 0     | R | W |
| 3    | ポート機能選択ビット(SM3)                                | 0 : P1 <sub>1</sub> , P1 <sub>3</sub><br>1 : SCL1, SDA1                                                                                                                         | 0     | R | W |
| 4    | ポート機能選択ビット(SM4)                                | 0 : P1 <sub>2</sub> , P1 <sub>4</sub><br>1 : SCL2, SDA2                                                                                                                         | 0     | R | W |
| 5    | 転送方向選択ビット(SM5)                                 | 0 : 最下位ビット(LSB)から転送<br>1 : 最上位ビット(MSB)から転送                                                                                                                                      | 0     | R | W |
| 6    | S <sub>IN</sub> 端子切り替えビット(SM6)                 | 0 : P1 <sub>7</sub> がS <sub>IN</sub> 端子<br>1 : P7 <sub>2</sub> がS <sub>IN</sub> 端子                                                                                              | 0     | R | W |
| 7    | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                                                                                                                                                                                 | 0     | R | - |

図 8.5.3 シリアル I/O モードレジスタ

## 8.6 マルチマスタ<sup>2</sup>C-BUS インタフェース

マルチマスタI<sup>2</sup>C-BUSインタフェースは、フィリップス社I<sup>2</sup>C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロニアス機能を有しており、マルチマスタのシリアル通信に対応できます。

図 8.6.1 にマルチマスタ I<sup>2</sup>C-BUS インタフェースのブロック図、表 8.6.1 にマルチマスタ I<sup>2</sup>C-BUS インタフェース機能を示します。

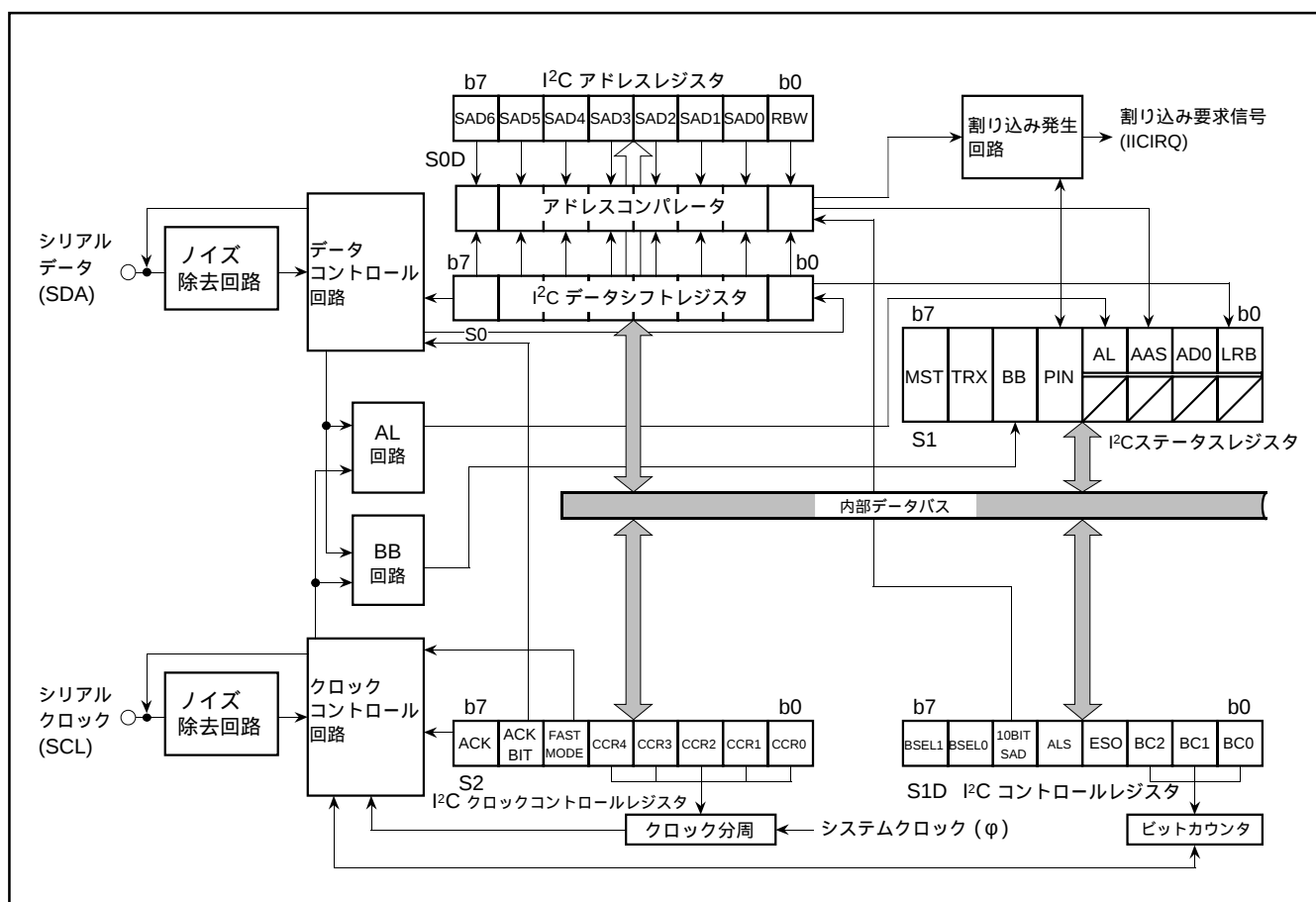
このマルチマスタ<sup>1</sup>2C-BUSインタフェースは、<sup>1</sup>2Cアドレスレジスタ、<sup>1</sup>2Cデータシフトレジスタ、<sup>1</sup>2Cクロックコントロールレジスタ、<sup>1</sup>2Cコントロールレジスタ、<sup>1</sup>2Cステータスレジスタとその他の制御回路により構成されています。

表 8.6.1 マルチマスタ I<sup>2</sup>C-BUS インタフェース機能

| 項 目         | 機 能                                                                                                      |
|-------------|----------------------------------------------------------------------------------------------------------|
| フォーマット      | フィリップス社 I <sup>2</sup> C-BUS 規格準拠<br>10 ビットアドレッシングフォーマット<br>7 ビットアドレッシングフォーマット<br>高速クロックモード<br>標準クロックモード |
| 通信モード       | フィリップス社 I <sup>2</sup> C-BUS 規格準拠<br>マスタ送信<br>マスタ受信<br>スレーブ送信<br>スレーブ受信                                  |
| SCL クロック周波数 | 16.1kHz ~ 400kHz , ( $\varphi = 4 \text{ MHz}$ )                                                         |

$$\varphi : \text{システムクロック} = f(X_{IN})/2$$

注. I<sup>2</sup>C-BUSインタフェースとポート (SCL1, SCL2, SDA1, SDA2) の接続を制御する機能 (I<sup>2</sup>C コントロールレジスタ [00F916 番地] のビット 6, ビット 7) の使用に起因する第三者の特許権その他の権利侵害については, 当社はその責任は負いませ

図 8.6.1 マルチマスタ I<sup>2</sup>C-BUS インタフェースのブロック図

### 8.6.1 I<sup>2</sup>C データシフトレジスタ

I<sup>2</sup>C データシフトレジスタ (S0: 00F6<sub>16</sub> 番地) は、受信データの格納、又は送信データを書き込むための 8 ビットのシフトレジスタです。

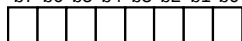
送信データをこのレジスタに書き込むと、SCL クロックに同期してビット 7 から外部へ転送されます。そして、1 ビットのデータが出力されるたびに、このレジスタの内容は左へ 1 ビットシフトされます。データ受信時は、SCL クロックに同期してこのレジスタのビット 0 からデータが入力されます。そして、1 ビットのデータが入力されるたびに、このレジスタの内容は左へ 1 ビットシフトされます。

I<sup>2</sup>C データシフトレジスタは、I<sup>2</sup>C コントロールレジスタ (00F9<sub>16</sub> 番地) の ESO ビットが “ 1 ” のときのみ書き込みが可能です。I<sup>2</sup>C データシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ESO ビットが “ 1 ”, I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) の MST ビットが “ 1 ” のとき、I<sup>2</sup>C データシフトレジスタの書き込み命令により、SCL が出力されます。I<sup>2</sup>C データシフトレジスタの読み出しは、ESO ビットの値にかかわらずいつでも可能です。

注. MST ビットを “ 0 ” (スレープモード) にしてから I<sup>2</sup>C データシフトレジスタにデータを書き込む場合、8 マシンサイクル以上の間隔を確保してください。

#### I<sup>2</sup>C データシフトレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



I<sup>2</sup>C データシフトレジスタ1(S0) 【00F6<sub>16</sub> 番地】

| b     | ビット名    | 機 能                                  | リセット時 | R | W |
|-------|---------|--------------------------------------|-------|---|---|
| 0 ~ 7 | D0 ~ D7 | 受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタ | 不定    | R | W |

注. MST ビットを “ 0 ” (スレープモード) にしてから I<sup>2</sup>C データシフトレジスタにデータを書き込む場合、8 マシンサイクル以上の間隔を確保してください。

図 8.6.2 I<sup>2</sup>C データシフトレジスタ

8.6.2 I<sup>2</sup>C アドレスレジスタ

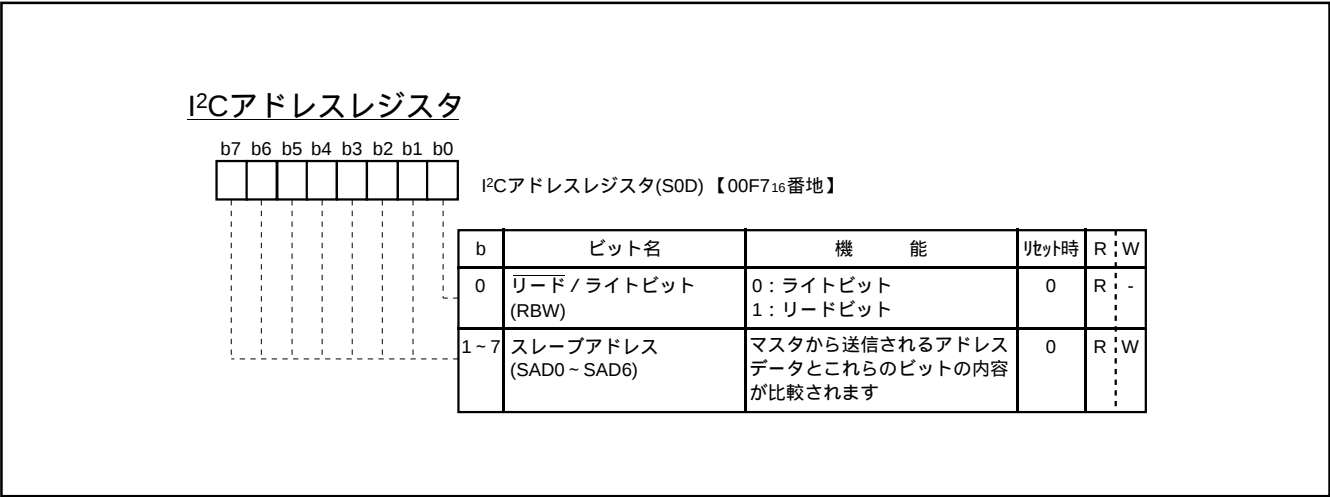
I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) は 7 ビットのスレーブアドレスと 1 ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

(1) ビット 0 : リード/ライトビット (RBW)

7 ビットアドレッシングモード時には、アドレス比較の際に使用されません。10 ビットアドレッシングモード時には、受信した 1 バイト目のアドレスデータと I<sup>2</sup>C アドレスレジスタの内容 (SAD<sub>6</sub> ~ SAD<sub>0</sub> + RBW) が比較されます。RBW ビットはストップコンディションを検出すると、自動的に “ 0 ” になります。

(2) ビット 1 ~ ビット 7 : スレーブアドレス (SAD<sub>0</sub> ~ SAD<sub>6</sub>)

スレーブアドレスを格納するビットです。7 ビットアドレッシングモード、10 ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。



8.6.3 I<sup>2</sup>C クロックコントロールレジスタ

I<sup>2</sup>C クロックコントロールレジスタ (00FA<sub>16</sub> 番地) はアックの制御、SCL モード、SCL の周波数を設定するレジスタです。

(1) ビット 0 ~ ビット 4 : SCL 周波数制御ビット (CCR0 ~ CCR4)

SCL 周波数を制御するビットです。

(2) ビット 5 : SCL モード指定ビット (FAST MODE)

SCL モードを指定するビットです。“ 0 ” の場合、標準クロックモードになります。“ 1 ” の場合、高速クロックモードになります。

(3) ビット 6 : アックビット (ACK BIT)

アッククロック\*発生時の SDA の状態を設定します。“ 0 ” の場合はアックを返すモードとなり、アッククロック発生時に SDA を “ L ” にします。“ 1 ” の場合はアックを返さないモードとなり、アッククロック発生時に SDA を “ H ” の状態に保持します。

ただし、ACK BIT = “ 0 ” の状態で、アドレスデータを受信するとき、スレーブアドレスとアドレスデータが一致した場合は自動的に SDA を “ L ” にします (アックを返します)。スレーブアドレスとアドレスデータが一致しなかった場合は自動的に SDA を “ H ” にします (アックを返しません)。

\*アッククロック : 確認応答用のクロック

(4) ビット 7 : アッククロックビット (ACK)

データ転送の確認応答であるアックノリッジメントのモードを指定するビットです。“ 0 ” の場合、アッククロックなしモードになり、データ転送後にアッククロックは発生しません。“ 1 ” の場合はアッククロックありのモードになり、1 バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時に SDA を解放し (“ H ” の状態にする)。データを受信するデバイスが発生させるアックビットを受信します。

注. I<sup>2</sup>C クロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うと I<sup>2</sup>C クロックジェネレータがリセットされ、データが正常に転送できません。

| I <sup>2</sup> C クロックコントロールレジスタ |                            |                                |               |               |      |    |    |                                                              |  |
|---------------------------------|----------------------------|--------------------------------|---------------|---------------|------|----|----|--------------------------------------------------------------|--|
| b7                              | b6                         | b5                             | b4            | b3            | b2   | b1 | b0 |                                                              |  |
|                                 |                            |                                |               |               |      |    |    | I <sup>2</sup> C クロックコントロールレジスタ (S2) 【00FA <sub>16</sub> 番地】 |  |
| b                               | ビット名                       | 機 能                            |               |               | 読出し時 | R  | W  |                                                              |  |
| 0~4                             | SCL 周波数制御ビット (CCR0 ~ CCR4) | レジスタ値<br>b4 ~ b0               | 標準<br>クロックモード | 高速<br>クロックモード | 0    | R  | W  |                                                              |  |
|                                 |                            | 00 ~ 02                        | 禁止            | 禁止            |      |    |    |                                                              |  |
|                                 |                            | 03                             | 禁止            | 333           |      |    |    |                                                              |  |
|                                 |                            | 04                             | 禁止            | 250           |      |    |    |                                                              |  |
|                                 |                            | 05                             | 100           | 400(注)        |      |    |    |                                                              |  |
|                                 |                            | 06                             | 83.3          | 166           |      |    |    |                                                              |  |
|                                 |                            | 500/CCR 値                      | 1000/CCR 値    |               |      |    |    |                                                              |  |
|                                 |                            | 1D                             | 17.2          | 34.5          |      |    |    |                                                              |  |
|                                 |                            | 1E                             | 16.6          | 33.3          |      |    |    |                                                              |  |
|                                 |                            | 1F                             | 16.1          | 32.3          |      |    |    |                                                              |  |
|                                 |                            | (φ = 4MHz, 単位: KHz)            |               |               |      |    |    |                                                              |  |
| 5                               | SCL モード指定ビット (FAST MODE)   | 0 : 標準クロックモード<br>1 : 高速クロックモード |               |               | 0    | R  | W  |                                                              |  |
| 6                               | アックビット (ACK BIT)           | 0 : アック返す<br>1 : アック返さない       |               |               | 0    | R  | W  |                                                              |  |
| 7                               | アッククロックビット (ACK)           | 0 : アッククロックなし<br>1 : アッククロックあり |               |               | 0    | R  | W  |                                                              |  |

注. 高速クロックモード、400KHz 時のデューティは “ 0 ” 期間 : “ 1 ” 期間 = 3 : 2  
それ以外のデューティは “ 0 ” 期間 : “ 1 ” 期間 = 1 : 1

図 8.6.4 I<sup>2</sup>C クロックコントロールレジスタ

#### 8.6.4 I<sup>2</sup>C コントロールレジスタ

I<sup>2</sup>C コントロールレジスタ (00F9<sub>16</sub> 番地) はデータ通信フォーマットの制御を行うレジスタです。

##### (1) ビット 0 ~ ビット 2 : ビットカウンタ (BC0 ~ BC2)

次に転送されるデータ 1 バイト分のビット数を決定するビットです。割り込み要求信号は、これらのビットで指定されたビット数の転送完了直後に発生します。

スタートコンディションを受信すると、これらのビットは“0002”になり、アドレスデータは必ず 8 ビットで送受信されます。

##### (2) ビット 3 : I<sup>2</sup>C インタフェース使用許可ビット (ESO)

マルチマスタ I<sup>2</sup>C-BUS インタフェースの使用を許可するビットです。“0”の場合使用禁止状態で、SDA 及び SCL はハイインピーダンスになります。“1”の場合、使用許可となります。

ESO = “0” のとき、次のように処理されます。

- I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) の PIN = “1”, BB = “0”, AL = “0” に設定される。
- I<sup>2</sup>C データシフトレジスタ (00F6<sub>16</sub> 番地) への書き込みは禁止される。

##### (3) ビット 4 : データフォーマット選択ビット (ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレッシングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(「8.6.5 I<sup>2</sup>C ステータスレジスタ」のビット 1 参照)を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

##### (4) ビット 5 : アドレッシングフォーマット選択ビット (10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は 7 ビットアドレッシングフォーマットとなり、I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) の上位 7 ビット (スレーブアドレス) のみアドレスデータと比較されます。“1”の場合には 10 ビットアドレッシングフォーマットとなり、I<sup>2</sup>C アドレスレジスタの全ビットがアドレスデータと比較されます。

##### (5) ビット 6、ビット 7 : I<sup>2</sup>C-BUS インタフェースとポートの接続制御ビット (BSEL0, BSEL1)

マルチマスタ I<sup>2</sup>C-BUS インタフェースの SCL, SDA とポートの接続を制御するビットです (図 8.6.5 参照)。

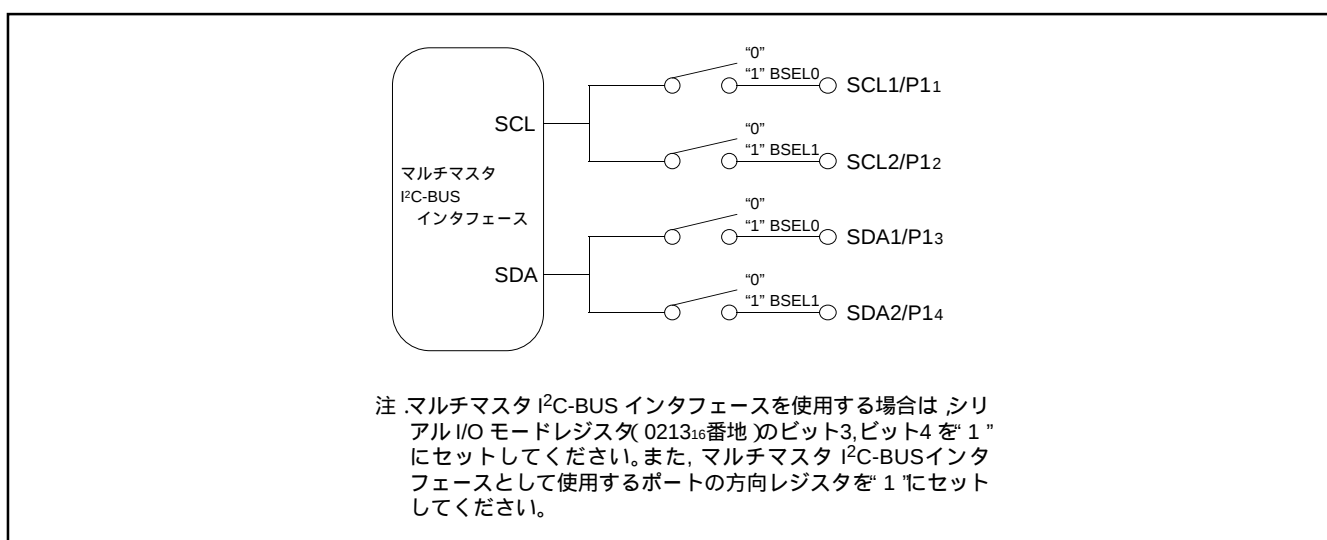


図 8.6.5 BSEL0, BSEL1 による接続ポート制御

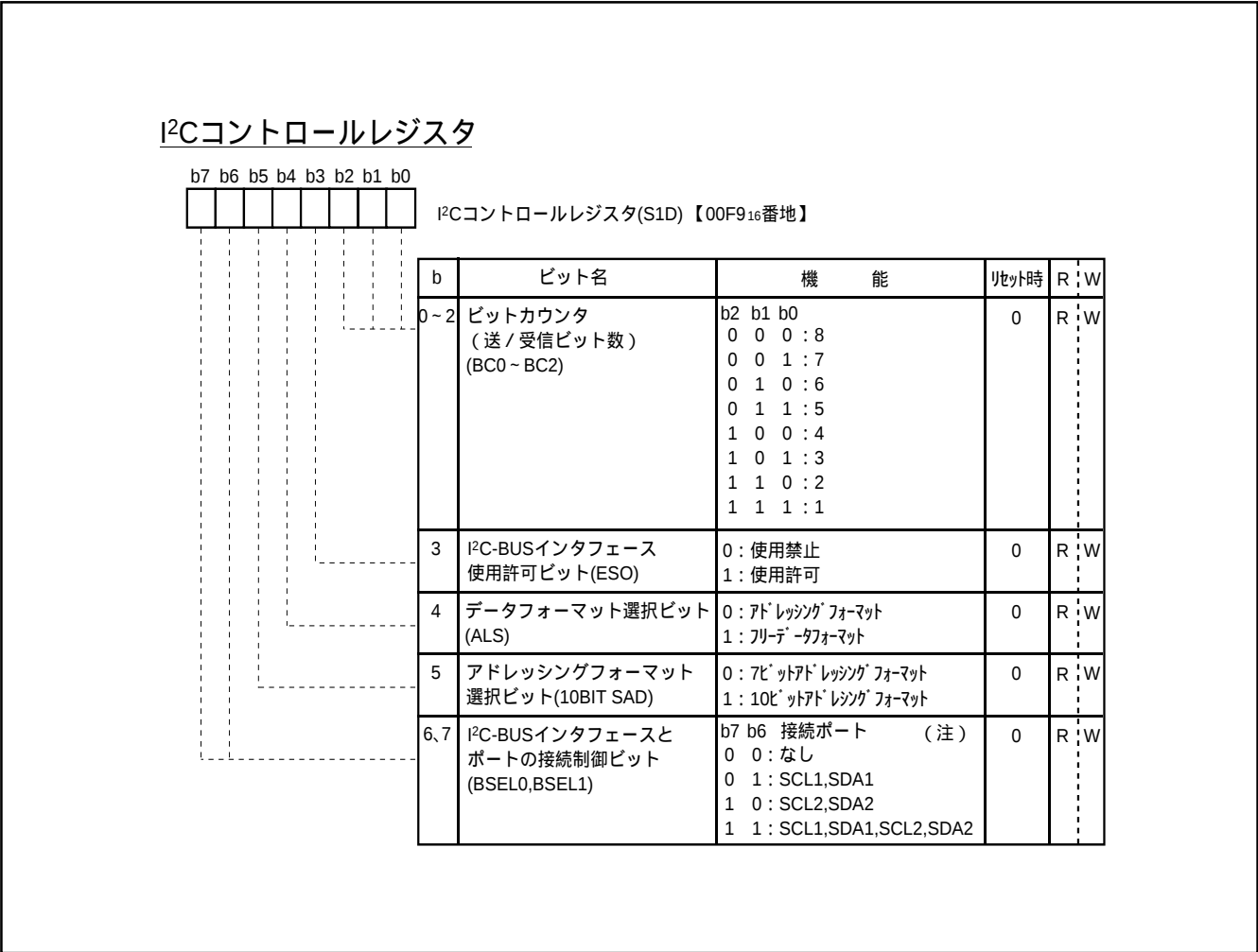


図 8.6.6 I<sup>2</sup>C コントロールレジスタ

### 8.6.5 I<sup>2</sup>C ステータスレジスタ

I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) は I<sup>2</sup>C-BUS インタフェースの状態を制御するレジスタです。下位 4 ビットは読み出し専用で、上位 4 ビットは読み出し/書き込み可能です。

#### (1) ビット 0 : 最終受信ビット (LRB)

受信したデータの最終ビットの値を格納するビットで、アックの受信確認に使用可能です。アッククロック発生時に、アックが返ってきた場合、LRB ビットは“ 0 ”になります。アックが返らなかった場合は“ 1 ”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I<sup>2</sup>C データシフトレジスタ (00F6<sub>16</sub> 番地) に書き込み命令を実行すると“ 1 ”から“ 0 ”になります。

#### (2) ビット 1 : ジェネラルコール検出フラグ (AD0)

アドレスデータがすべて“ 0 ”であるジェネラルコール<sup>\*</sup>をスレーブモード時に受信したときに“ 1 ”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0 ビットはストップコンディション、スタートコンディションの検出により“ 0 ”になります。

<sup>\*</sup> ジェネラルコール: マスタが全スレーブにジェネラルコールアドレス“ 00<sub>16</sub> ”を送信すること。

#### (3) ビット 2 : スレーブアドレス比較フラグ (AAS)

アドレスデータの比較結果を示すフラグです。

- スレーブ受信モード時、7 ビットアドレッシングフォーマットでは、以下のいずれかの条件で、“ 1 ”になります。
  - ・ スタートコンディション発生直後のアドレスデータが I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) に格納されている上位 7 ビットのスレーブアドレスと一致した場合
  - ・ ジェネラルコールを受信した場合
- スレーブ受信モード時、10 ビットアドレッシングフォーマットでは、以下の条件で“ 1 ”になります。
  - ・ アドレスデータと I<sup>2</sup>C アドレスレジスタ (スレーブアドレス、及び RBW ビットで構成される 8 ビット) とを比較し、1 バイト目が一致した場合
- このビットは I<sup>2</sup>C データシフトレジスタ (00F6<sub>16</sub> 番地) に書き込み命令を行うことにより“ 1 ”から“ 0 ”になります。

#### (4) ビット 3 : アービトレーションロスト\*検出フラグ (AL)

マスタ送信モード時、SDA がマイコン以外の装置によって“ L ”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“ 1 ”になります。同時に TRX ビットは“ 0 ”になるため、アービトレーションを失ったバイトの送信が完了した直後に、MST ビットが“ 0 ”になります。スレーブアドレス送信中にアービトレーションを失った場合、TRX ビットが“ 0 ”になり、受信モードとなります。そのため、別のマスタデバイスにより送信される自分自身のスレーブアドレスを受信し、認識することが可能になります。

<sup>\*</sup> アービトレーションロスト: マスタとしての通信が不許可となった状態。

#### (5) ビット 4 : I<sup>2</sup>C-BUS インタフェース割り込み要求ビット (PIN)

割り込み要求信号を発生させるビットです。1 バイトのデータ通信完了ごとに、PIN ビットは“ 1 ”から“ 0 ”になります。同時に CPU へ割り込み要求信号が発生します。PIN ビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“ 0 ”になり、割り込み要求信号は PIN ビットの立ち下がりに同期して発生します。PIN ビットが“ 0 ”のときは SCL は“ 0 ”に保たれクロックの発生は禁止されます。図 8.6.8 に割り込み要求信号の発生タイミングを示します。

以下のいずれかの条件で PIN ビットが“ 1 ”になります。

- ・ I<sup>2</sup>C データシフトレジスタ (00F6<sub>16</sub> 番地) への書き込み命令の実行
  - ・ ESO ビットが“ 0 ”のとき
  - ・ リセット時
- PIN ビットが“ 0 ”になる条件を以下に示します。
- ・ 1 バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)
  - ・ 1 バイトのデータ受信完了直後
  - ・ スレーブ受信の際、ALS = 0 で、スレーブアドレス又はジェネラルコールアドレス受信完了直後
  - ・ スレーブ受信の際、ALS = 1 で、アドレスデータ受信完了直後

## (6) ビット5 : バスビジーフラグ (BB)

バスシステムの使用状態を示すビットです。“0”の場合、このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。“1”の場合、このバスシステムは使用されており、スタートコンディションの発生はスタートコンディション重複防止機能(注)によって禁止されます。

このフラグはマスタ送信時のみ、ソフトウェアによる書き込みが可能です。マスタ送信以外のモードでは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。また、I<sup>2</sup>Cコントロールレジスタ(00F9<sub>16</sub>番地)のESOビットが“0”の場合、及びリセット時にはBBフラグは“0”に保持されます。

## (7) ビット6 : 通信モード指定ビット(転送方向指定ビット: TRX)

データ通信の転送方向を決定するビットです。“0”の場合、受信モードとなり、送信デバイスのデータを受信します。“1”の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

I<sup>2</sup>Cコントロールレジスタ(00F9<sub>16</sub>番地)のALSビットが“0”でスレーブの場合、マスタから送信されたアドレスデータの最下位ビット(R/Wビット)が“1”のときはTRXビットは“1”(送信)になります。ALSビットが“0”でR/Wビットが“0”のときはTRXビットは“0”(受信)になります。

以下のいずれかの条件でTRXビットが“0”になります。

- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりスタートコンディション発生を禁止された場合
- ・MST = “0”で、スタートコンディションを検出した場合
- ・MST = “0”で、アックが返ってこなかったことを検出した場合
- ・リセット時

## (8) ビット7 : 通信モード指定ビット(マスタ/スレーブ指定ビット: MST)

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下のいずれかの条件でMSTビットが“0”になります。

- ・アービトレーションロストを検出した場合、1バイトデータ送信終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりスタートコンディション発生を禁止された場合
- ・リセット時

注 . スタートコンディション重複防止機能は、以下の条件が成立している場合に、スタートコンディションの発生、ビットカウンタのリセット、及びSCLの出力を禁止する機能です。

- ・別のマスタデバイスによるスタートコンディションが成立

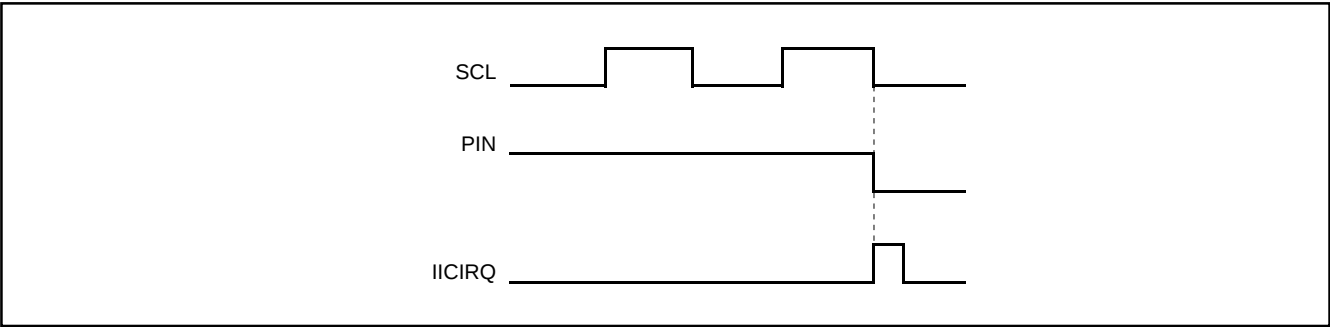
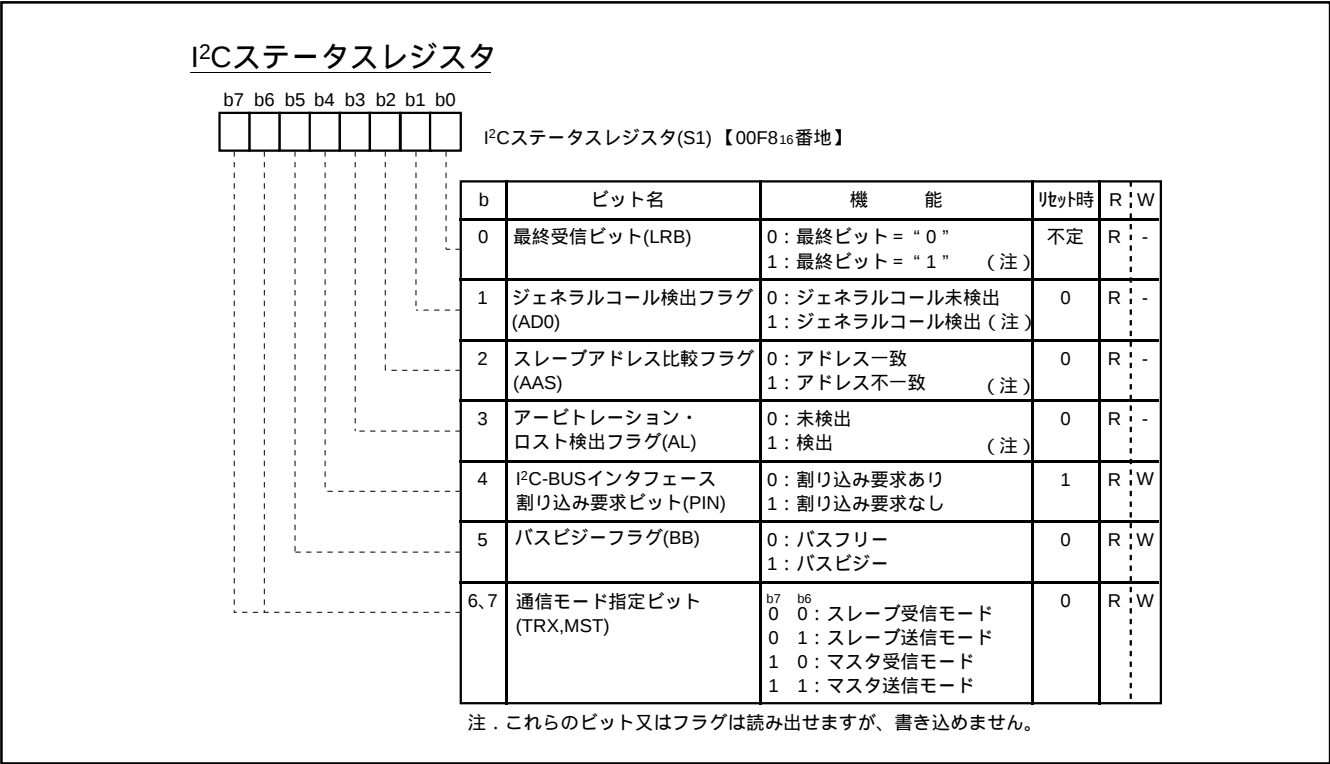


図 8.6.8 割り込み要求信号の発生タイミング

### 8.6.6 スタートコンディション発生方法

I<sup>2</sup>C コントロールレジスタ (00F9<sub>16</sub> 番地) の ESO ビットが “ 1 ” の状態で、I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) に書き込み命令を行い MST, TRX, BB ビットを “ 1 ” にするとスタートコンディションが発生します。その後、ビットカウンタが “ 0002 ” になり 1 バイト分の SCL が出力されます。スタートコンディションの発生及び BB ビットセットタイミングは、標準クロックモードと高速クロックモードで異なります。図 8.6.9 のスタートコンディション発生タイミング図と表 8.6.2 のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

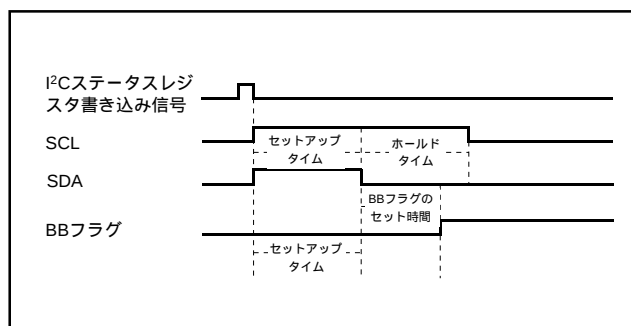


図 8.6.9 スタートコンディション発生タイミング図

### 8.6.7 ストップコンディションの発生方法

I<sup>2</sup>C コントロールレジスタ (00F9<sub>16</sub> 番地) の ESO ビットが “ 1 ” の状態で I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) へ書き込み命令を行い MST = 1, TRX = 1, BB = 0 にすると、ストップコンディションが発生します。ストップコンディションの発生及び BB フラグのリセットタイミングは、標準クロックモードと高速クロックモードで異なります。図 8.6.10 のストップコンディション発生タイミング図と表 8.6.2 のスタートコンディション、ストップコンディション発生タイミング表を参照してください。

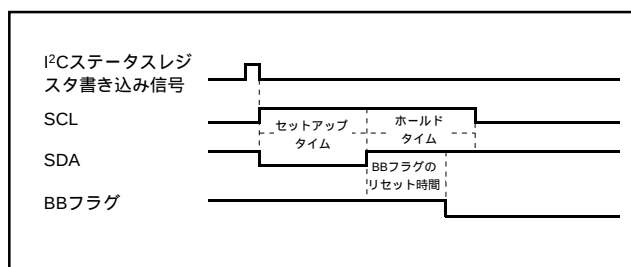


図 8.6.10 ストップコンディション発生タイミング図

表 8.6.2 スタートコンディション、ストップコンディション発生タイミング表

| 項 目              | 標準クロックモード              | 高速クロックモード             |
|------------------|------------------------|-----------------------|
| セットアップ時間         | 4.25 $\mu$ s (17 サイクル) | 1.75 $\mu$ s (7 サイクル) |
| ホールド時間           | 5.0 $\mu$ s (20 サイクル)  | 2.5 $\mu$ s (10 サイクル) |
| BB フラグセット/リセット時間 | 3.0 $\mu$ s (12 サイクル)  | 1.5 $\mu$ s (6 サイクル)  |

注： $\phi$  = 4 MHz 時の絶対時間，( ) 内は  $\phi$  のサイクル数

### 8.6.8 スタート/ストップコンディション検出条件

スタート/ストップコンディションを検出する条件を図 8.6.11 と表 8.6.3 に示します。表 8.6.3 の 3 条件を満たす場合のみスタート/ストップコンディションを検出できます。

注. スレーブ (MST = 0) 時にストップコンディションを検出すると、CPU に対して割り込み要求信号 IICIRQ を発生します。

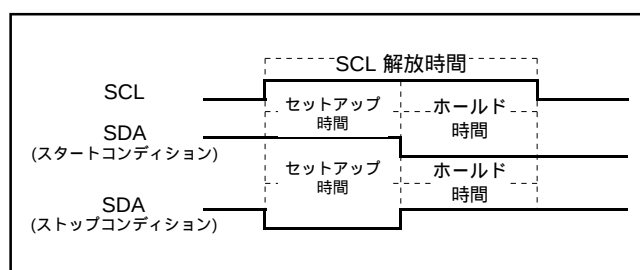


図 8.6.11 スタートコンディション、ストップコンディション検出のタイミング図

表 8.6.3 スタートコンディション、ストップコンディション検出条件

| 標準クロックモード                         | 高速クロックモード                       |
|-----------------------------------|---------------------------------|
| 6.5 $\mu$ s (26 サイクル) < SCL 解放時間  | 1.0 $\mu$ s (4 サイクル) < SCL 解放時間 |
| 3.25 $\mu$ s (13 サイクル) < セットアップ時間 | 0.5 $\mu$ s (2 サイクル) < セットアップ時間 |
| 3.25 $\mu$ s (13 サイクル) < ホールド時間   | 0.5 $\mu$ s (2 サイクル) < ホールド時間   |

注.  $\phi$  = 4 MHz 時の絶対時間, ( ) 内は  $\phi$  のサイクル数

### 8.6.9 アドレスデータ通信

アドレスデータ通信のフォーマットには、7 ビットアドレスフォーマットと 10 ビットアドレスフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

#### (1) 7 ビットアドレスフォーマット

7 ビットアドレスフォーマットに対応するために、I<sup>2</sup>C コントロールレジスタ (00F9<sub>16</sub> 番地) の 10BIT SAD ビットを“0”にしてください。マスタから送信された最初の 7 ビットのアドレスデータと、I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) に格納された上位 7 ビットのスレーブアドレスを比較します。この比較時には、I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) の RBW ビットのアドレス比較は行われません。7 ビットアドレスフォーマット時のデータ伝送フォーマットは図 8.6.12 の (1), (2) を参照してください。

#### (2) 10 ビットアドレスフォーマット

10 ビットアドレスフォーマットに対応するために、I<sup>2</sup>C コントロールレジスタ (00F9<sub>16</sub> 番地) の 10BIT SAD ビットを“1”にしてください。マスタから送信された 1 バイト目のアドレスデータと、I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) に格納されたスレーブアドレス 7 ビットがアドレス比較されます。この比較時には、I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) の RBW ビットと、マスタから送信されるアドレスデータの最終ビット (R/W ビット) が、アドレス比較されます。10 ビットアドレスモード時には、アドレスデータの最終ビットである R/W ビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。

1 バイト目のアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) の AAS ビットが“1”にセットされます。2 バイト目のアドレスデータは、I<sup>2</sup>C データシフトレジスタ (00F6<sub>16</sub> 番地) に格納した後、ソフトウェアで 2 バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2 バイトのアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) の RBW ビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する 7 ビットのスレーブアドレス及び R/W のデータと I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) の値を一致させることができます。10 ビットアドレスフォーマット時のデータ伝送フォーマットは図 8.6.12 の (3), (4) を参照してください。

## 8.6.10 マスタ送信例

標準クロックモード、SCL 周波数 100kHz、アックを返すモードの場合のマスタ送信例を以下に示します。

I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) の上位 7 ビットにスレーブアドレス、RBW ビットに “ 0 ” を設定します。

I<sup>2</sup>C クロックコントロールレジスタ (00FA<sub>16</sub> 番地) に “ 85<sub>16</sub> ” を設定することによって、アックを返すモード、SCL = 100kHz にします。

I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) に “ 10<sub>16</sub> ” を設定し、SCL を “ H ” レベルに保持します。

I<sup>2</sup>C コントロールレジスタ (00F9<sub>16</sub> 番地) に “ 48<sub>16</sub> ” を設定することによって、通信許可状態にします。

I<sup>2</sup>C データシフトレジスタ (00F6<sub>16</sub> 番地) の上位 7 ビットに送信先のアドレスデータを設定します。また、最下位ビットは “ 0 ” にします。

I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) に “ F0<sub>16</sub> ” を設定することによって、スタートコンディションを発生させます。このとき、1 バイト分の SCL とアッククロックは自動的に発生します。

I<sup>2</sup>C データシフトレジスタ (00F6<sub>16</sub> 番地) に送信データを設定します。このとき、SCL とアッククロックは自動的に発生します。

複数バイトの制御データを送信する場合、 を繰り返します。

アックが返らなかった場合又は送信が終了した場合は、I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) に “ D0<sub>16</sub> ” を設定することによってストップコンディションを発生させます。

## 8.6.11 スレーブ受信例

高速クロックモード、SCL 周波数 400kHz、アックなしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

I<sup>2</sup>C アドレスレジスタ (00F7<sub>16</sub> 番地) の上位 7 ビットにスレーブアドレス、RBW ビットに “ 0 ” を設定します。

I<sup>2</sup>C クロックコントロールレジスタ (00FA<sub>16</sub> 番地) に “ 25<sub>16</sub> ” を設定することによって、アックなしモード、SCL = 400kHz にします。

I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) に “ 10<sub>16</sub> ” を設定し SCL を “ H ” レベルに保持します。

I<sup>2</sup>C コントロールレジスタ (00F9<sub>16</sub> 番地) に “ 48<sub>16</sub> ” を設定することによって、通信許可状態にします。

スタートコンディションを受信すると、アドレス比較されます。

< 送信されたアドレスがすべて “ 0 ” の場合 ( ジェネラルコール ) >

I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) の AD0 = “ 1 ” に設定され、割り込み要求信号が発生します。

< 送信されたアドレスが、 で設定したアドレスと一致した場合 >

I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) の AAS = “ 1 ” に設定され、割り込み要求信号が発生します。

< 上記以外の場合 >

I<sup>2</sup>C ステータスレジスタ (00F8<sub>16</sub> 番地) の ADS = “ 0 ”、AAS = “ 0 ” に設定され、割り込み要求信号は発生しません。

I<sup>2</sup>C データシフトレジスタ (00F6<sub>16</sub> 番地) にダミーデータを設定します。

複数バイトの制御データを受信する場合、 を繰り返します。

ストップコンディションを検出すると通信が終了します。

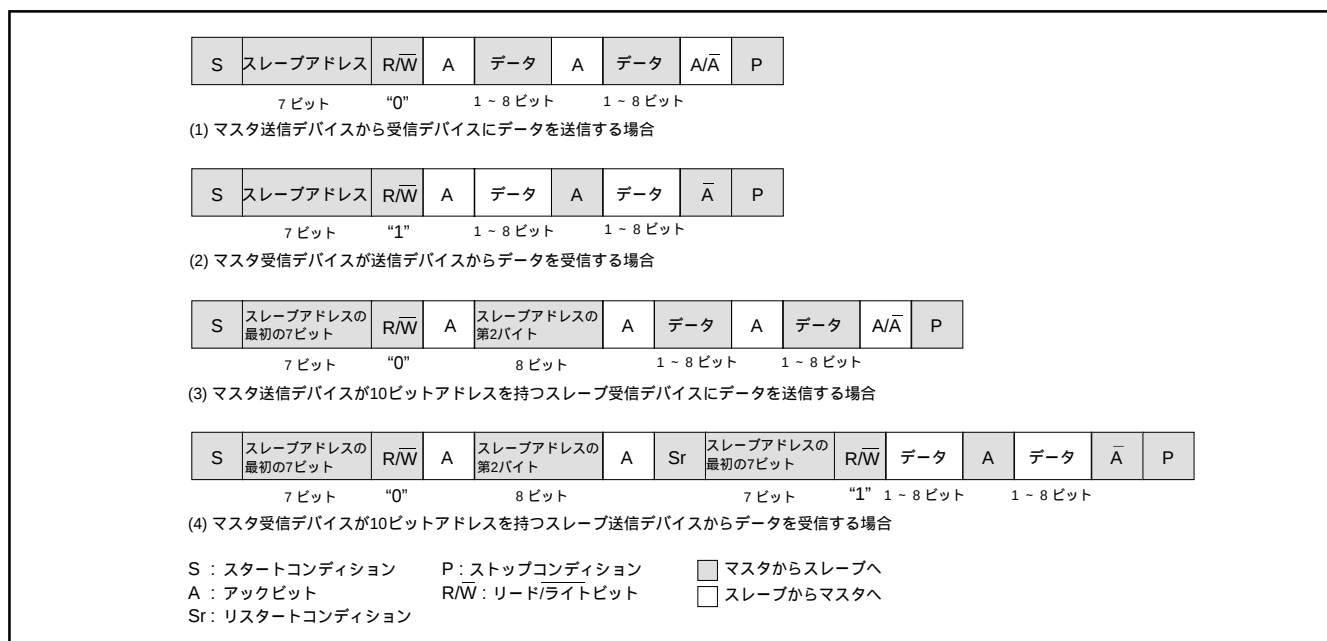


図 8.6.12 アドレスデータ通信フォーマット

8.6.12 マルチマスタ I<sup>2</sup>C-BUS インタフェースの注意事項

## (1) リード・モディファイ・ライト命令の使用について

SEB, CLB などのリード・モディファイ・ライト命令をマルチマスタ I<sup>2</sup>C-BUS インタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

・ I<sup>2</sup>C データシフトレジスタ (S0)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

・ I<sup>2</sup>C アドレスレジスタ (S0D)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット (RBW) が、ハードウェアによって変化するためです。

・ I<sup>2</sup>C ステータスレジスタ (S1)

すべてのビットはハードウェアによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

・ I<sup>2</sup>C コントロールレジスタ (S1D)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ (BC0 ~ BC2) が、ハードウェアによって変化するためです。

・ I<sup>2</sup>C クロックコントロールレジスタ (S2)

リード・モディファイ・ライト命令は使用可能です。

## (2) マルチマスタで使用する場合のスタートコンディション発生手順について

手順例(発生手順の必要条件は 以降に記します。)

:

LDA ~ (スレーブアドレス値の取り出し)

SEI (割り込みの禁止)

BBS 5, S1, BUSBUSY (BB フラグ確認及び分岐処理)

BUSFREE:

STA S0 (スレーブアドレス値の書き込み)

LDM #\$F0, S1 (スタートコンディション発生トリガ)

CLI (割り込みの許可)

:

BUSBUSY:

CLI (割り込みの許可)

:

I<sup>2</sup>C データシフトレジスタへのスレーブアドレス値の書き込みには、STA、STX あるいは STY のゼロページアドレッシング命令を必ず使用してください。

スタートコンディション発生トリガの設定は LDM 命令を必ず使用してください。

前記 のスレーブアドレス値の書き込みと のスタートコンディション発生トリガの設定は、手順例のとおり必ず連続して実行するようにしてください。

BB フラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BB フラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

## (3) リスタートコンディション発生手順について

手順例(発生手順の必要条件は 以降に記します。)

PINビットが“0”のとき、以下の手順を実行してください。

:

```
LDM #S0,S1 (スレーブ受信モードにする)
LDA ~ (スレーブアドレス値の取り出し)
SEI (割り込みの禁止)
STA S0 (スレーブアドレス値の書き込み)
LDM #F0,S1 (リスタートコンディション発生トリガ)
CLI (割り込みの許可)
```

:

PINビットが“0”の状態、スレーブ受信モードにしてください。PINビットには“1”を書き込まないでください。BBビットへの書き込みに“0”又は“1”の指定はありません。

TRXビットが“0”になり、SDA端子が解放されます。I<sup>2</sup>Cデータシフトレジスタへのスレーブアドレス値の書き込みによって、SCL端子が解放されます。書き込みには、STA,STX,STYのゼロページアドレッシング命令を必ず使用してください。

リスタートコンディション発生トリガの設定はLDM命令を必ず使用してください。

前記のスレーブアドレス値の書き込みとリスタートコンディション発生トリガの設定は手順例のとおり必ず連続して実行するようにしてください。

スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

## (4) ストップコンディション発生手順について

手順例(発生手順の必要条件は 以降に記します。)

:

```
SEI (割り込みの禁止)
LDM #C0,S1 (マスタ送信モードにする)
NOP (NOPを設定)
LDM #D0,S1 (ストップコンディション発生トリガ)
CLI (割り込みの許可)
```

:

マスタ送信モード設定時、PINビットに“0”を書き込んでください。

マスタ送信モード設定後、NOP命令を実行してください。また、マスタ送信モード設定後10マシンサイクル以内に、ストップコンディション発生トリガを設定してください。

マスタ送信モードの設定からストップコンディション発生トリガの処理ステップの間は必ず割り込みを禁止にしてください。

(5) I<sup>2</sup>Cステータスレジスタへの書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令実行をしないでください。SCL端子が解放されて、約1マシンサイクル後にSDA端子が解放される状態になることがあります。PINビットが“1”の時に、MSTビット及びTRXビットを“1”から“0”にする命令実行をしても、同様の状態になることがあります。

## (6) ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I<sup>2</sup>CデータシフトレジスタS0及びI<sup>2</sup>CステータスレジスタS1に書き込みを行わないで下さい。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

## 8.7 PWM 出力回路

本マイクロコンピュータは、8ビットPWMを8本(PWM0 ~ PWM7) 備えています。PWM0 ~ PWM7は同じ回路構成で、8ビットの分解能を持ち、最小分解ビット幅  $4\mu\text{s}$ 、繰り返し周期  $1024\mu\text{s}$  です ( $f(X_{IN}) = 8\text{MHz}$  の場合)。

図 8.7.1 に PWM のブロック図を示します。PWM のタイミング発生回路は  $f(X_{IN})$  を 2 分周した信号を基本として、PWM0 ~ PWM7 の各制御信号を供給します。

### 8.7.1 データの設定

PWM0 ~ PWM7 を出力する場合には、出力データ 8 ビットを PWM $i$  レジスタ ( $i$  は 0 ~ 7, 0200<sub>16</sub> ~ 0207<sub>16</sub> 番地) に設定します。

### 8.7.2 レジスタから PWM 回路への転送

PWM レジスタから PWM 回路へのデータ転送は、レジスタへのデータ書き込みが行われた時点で実行されます。

PWM 出力端子から出力される信号は、このレジスタの内容に対応したものです。

### 8.7.3 PWM の動作

次に動作について説明します。

まず、PWM モードレジスタ 1 (020A<sub>16</sub> 番地) のビット 0 を “0” にクリアし (リセット時は “0”) PWM カウントソースを供給します。

PWM0 ~ PWM3 はポート P0<sub>4</sub> ~ P0<sub>7</sub> と、PWM4 ~ PWM6 は P0<sub>0</sub> ~ P0<sub>2</sub> と、PWM7 は P5<sub>0</sub> 及び P0<sub>3</sub> と出力端子が共用です。ポート P0 方向レジスタの対応ビット及び P を “1” にし、出力モードにします。PWM モードレジスタ 1 (020A<sub>16</sub> 番地) のビット 3 で出力極性を選択します。そして、PWM モードレジスタ 2 のビット 7 ~ ビット 0 を “1” にし、ポートを PWM 出力にします。

上記のレジスタを設定することによって PWM 出力端子から PWM 出力が行われます。

図 8.7.2 に PWM のタイミング図を示します。 $2^8 = 256$  区間を 1 周期  $T$  とします。回路内部では 1 周期の間に、各ビットの重みを表すビット 0 からビット 7 までの 8 種類のパルスが出力されます (図 8.7.2(a) 参照)。PWM は PWM レジスタのビット 0 ~ ビット 7 のパルスの和を取った波形を出力します。図 8.7.2(b) にいくつかの例を示します。図のように PWM レジスタの内容を変えることにより、“H” の区間が 0/256 ~ 255/256 までの 256 通りの出力を選ぶことができます (全区間 “H” 出力はできません)。

### 8.7.4 リセット後の出力

リセット時には、ポート P0 は、ハイインピーダンス状態、P5<sub>0</sub> は “L” 状態ですが、PWM レジスタ及び PWM 回路の内容は不定です。リセット解除後、PWM レジスタを設定するまで、PWM 出力の内容は不定ですので注意が必要です。

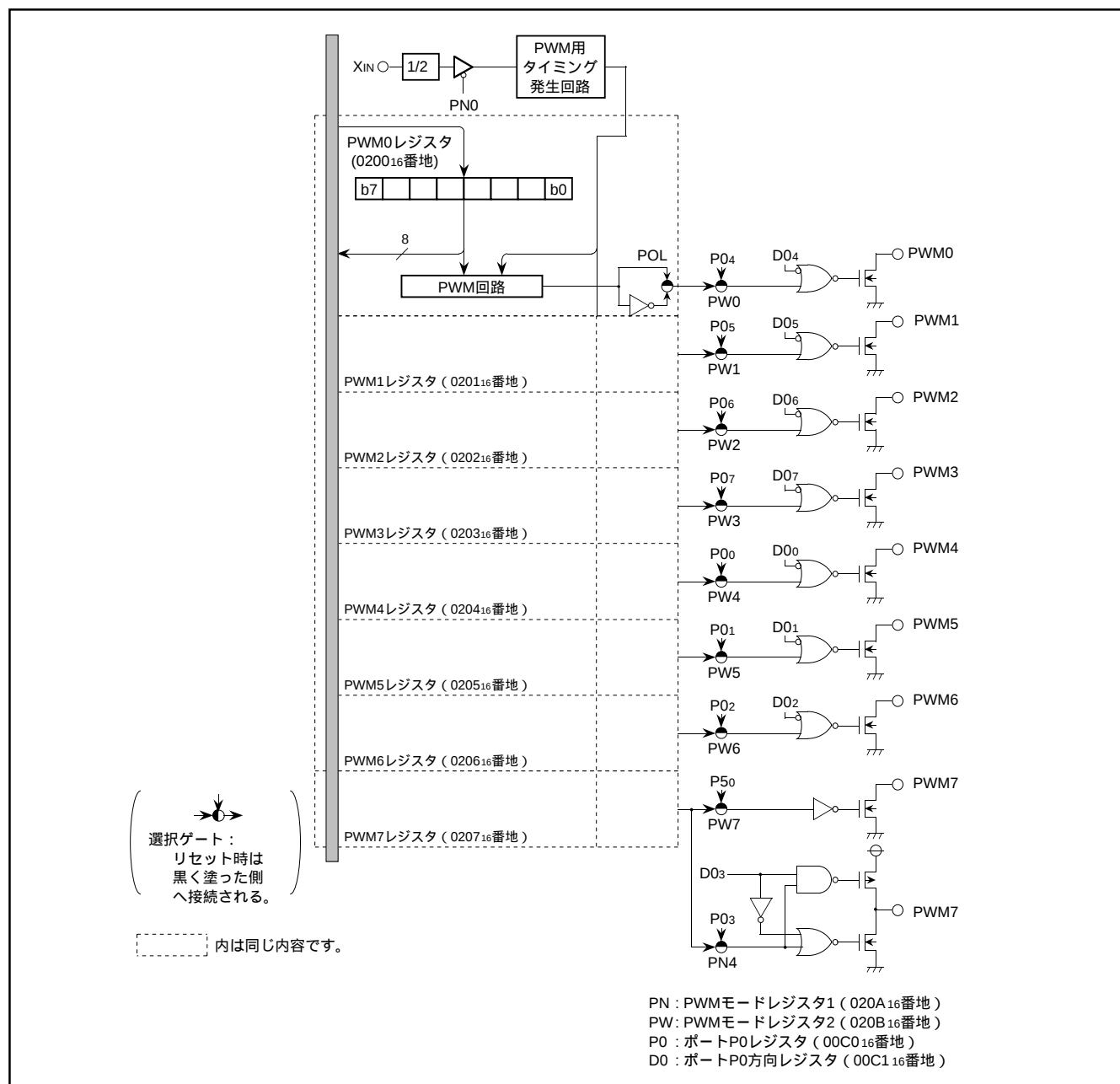


図 8.7.1 PWM 回路ブロック図

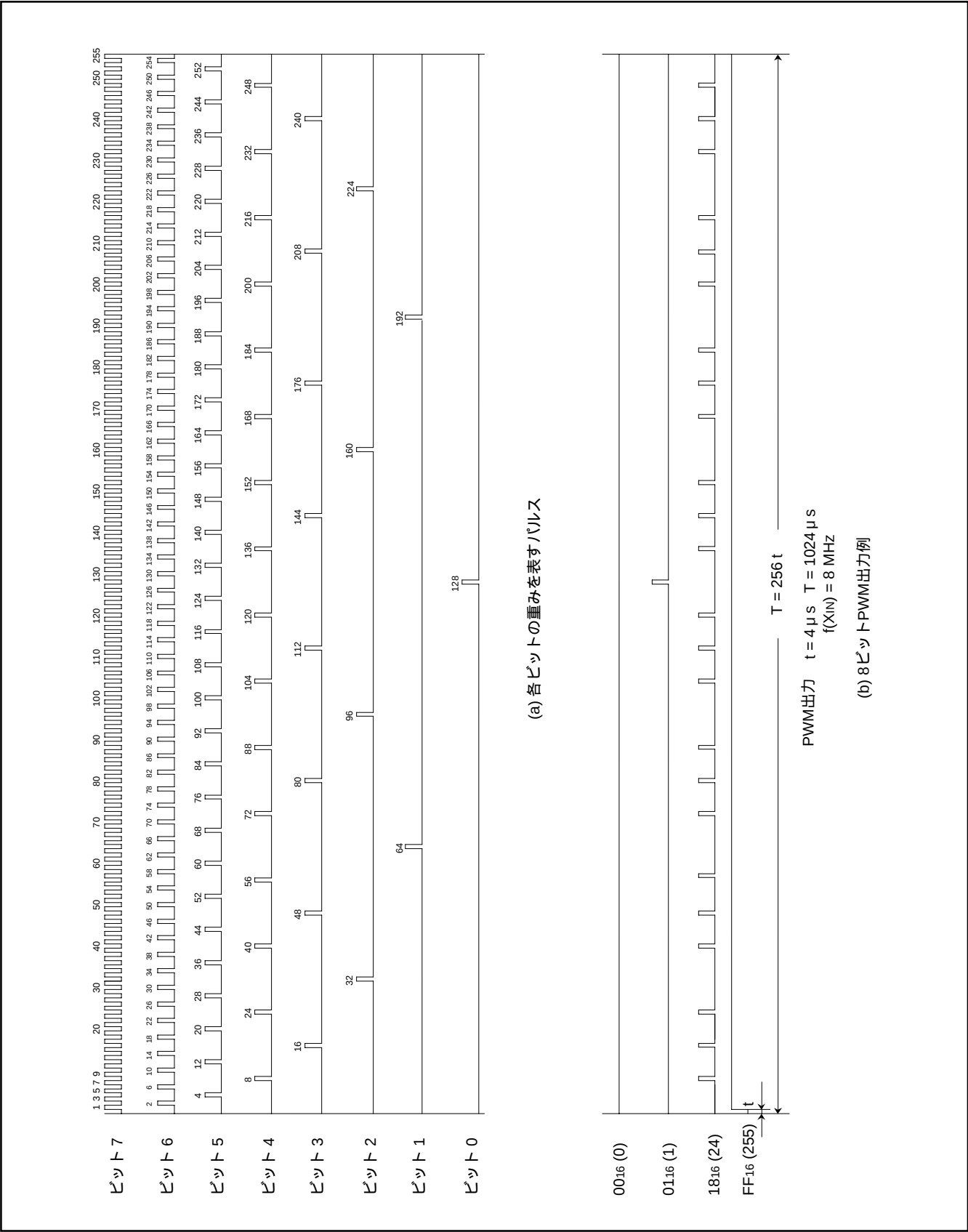
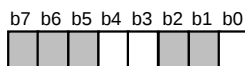


図 8.7.2 PWM タイミング

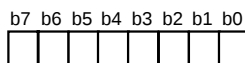
## PWMモードレジスタ1

PWMモードレジスタ1(PN)【020A<sub>16</sub>番地】

| b    | ビット名                                                 | 機 能                                  | リセット時 | R | W |
|------|------------------------------------------------------|--------------------------------------|-------|---|---|
| 0    | PWMカウントソース選択ビット (PN0)                                | 0 : 供給<br>1 : 停止                     | 0     | R | W |
| 1, 2 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                      | 0     | R | - |
| 3    | PWM出力極性選択ビット (PN3)                                   | 0 : 正極性<br>1 : 負極性                   | 0     | R | W |
| 4    | P0 <sub>3</sub> /PWM7出力選択ビット (PN4)                   | 0 : P0 <sub>3</sub> 出力<br>1 : PWM7出力 | 0     | R | W |
| 5~7  | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                      | 0     | R | - |

図 8.7.3 PWM モードレジスタ 1

## PWMモードレジスタ2

PWMモードレジスタ2(PW)【020B<sub>16</sub>番地】

| b | ビット名                               | 機 能                                  | リセット時 | R | W |
|---|------------------------------------|--------------------------------------|-------|---|---|
| 0 | P0 <sub>4</sub> /PWM0出力選択ビット (PW0) | 0 : P0 <sub>4</sub> 出力<br>1 : PWM0出力 | 0     | R | W |
| 1 | P0 <sub>5</sub> /PWM1出力選択ビット (PW1) | 0 : P0 <sub>5</sub> 出力<br>1 : PWM1出力 | 0     | R | W |
| 2 | P0 <sub>6</sub> /PWM2出力選択ビット (PW2) | 0 : P0 <sub>6</sub> 出力<br>1 : PWM2出力 | 0     | R | W |
| 3 | P0 <sub>7</sub> /PWM3出力選択ビット (PW3) | 0 : P0 <sub>7</sub> 出力<br>1 : PWM3出力 | 0     | R | W |
| 4 | P0 <sub>0</sub> /PWM4出力選択ビット (PW4) | 0 : P0 <sub>0</sub> 出力<br>1 : PWM4出力 | 0     | R | W |
| 5 | P0 <sub>1</sub> /PWM5出力選択ビット (PW5) | 0 : P0 <sub>1</sub> 出力<br>1 : PWM5出力 | 0     | R | W |
| 6 | P0 <sub>2</sub> /PWM6出力選択ビット (PW6) | 0 : P0 <sub>2</sub> 出力<br>1 : PWM6出力 | 0     | R | W |
| 7 | P5 <sub>0</sub> /PWM7出力選択ビット (PW7) | 0 : P5 <sub>0</sub> 出力<br>1 : PWM7出力 | 0     | R | W |

図 8.7.4 PWM モードレジスタ 2

## 8.8 A-D変換器

### 8.8.1 A-D変換レジスタ(AD)

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中はこのレジスタを読み出さないでください。

### 8.8.2 A-D制御レジスタ(ADCON)

A-D変換の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。アナログ入力端子として使用しない場合は、通常の入出力端子として使用できます。ビット3はA-D変換終了ビットで、このビットに“0”を書き込むことによって、A-D変換が開始されます。A-D変換中は“0”、A-D変換の終了と同時に“1”になります。

ビット4は抵抗ラダーとV<sub>CC</sub>との接続を制御します。A-D変換を使用しない場合は、このビットを“0”にして抵抗ラダーと内部V<sub>CC</sub>電源を切り離すことができます。これによって電源電圧を抑えることができます。

### 8.8.3 比較電圧発生回路(抵抗ラダー)

V<sub>SS</sub>とV<sub>CC</sub>間の電圧を256分割し、分圧を比較電圧V<sub>ref</sub>としてコンパレータに出力します。

### 8.8.4 チャンネルセレクト

A-D制御レジスタのビット2～ビット0によって選択されたアナログ入力端子を、コンパレータに接続します。

### 8.8.5 コンパレータ及び制御回路

アナログ入力電圧と比較電圧との比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にA-D変換終了ビット及びA-D変換割り込み要求ビットを“1”にします。

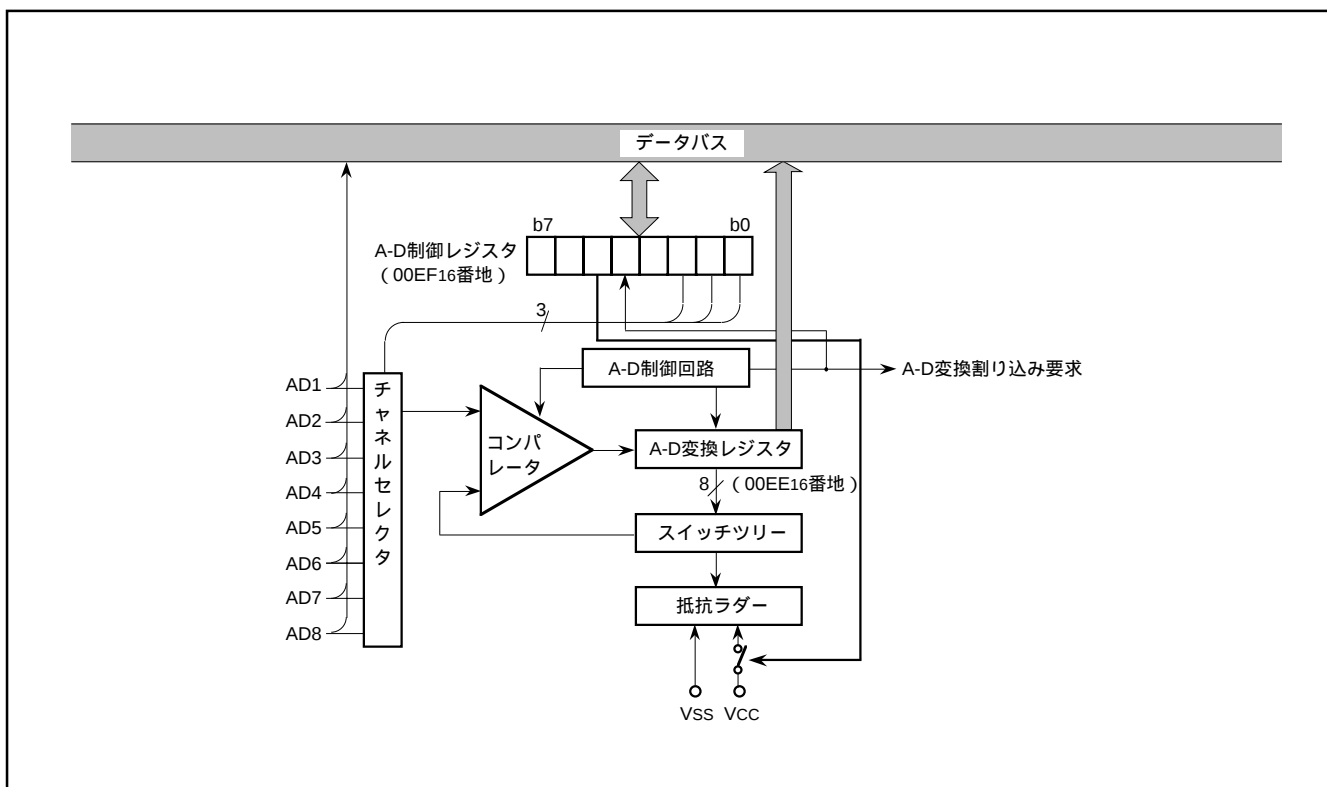


図 8.8.1 A-D変換器ブロック図

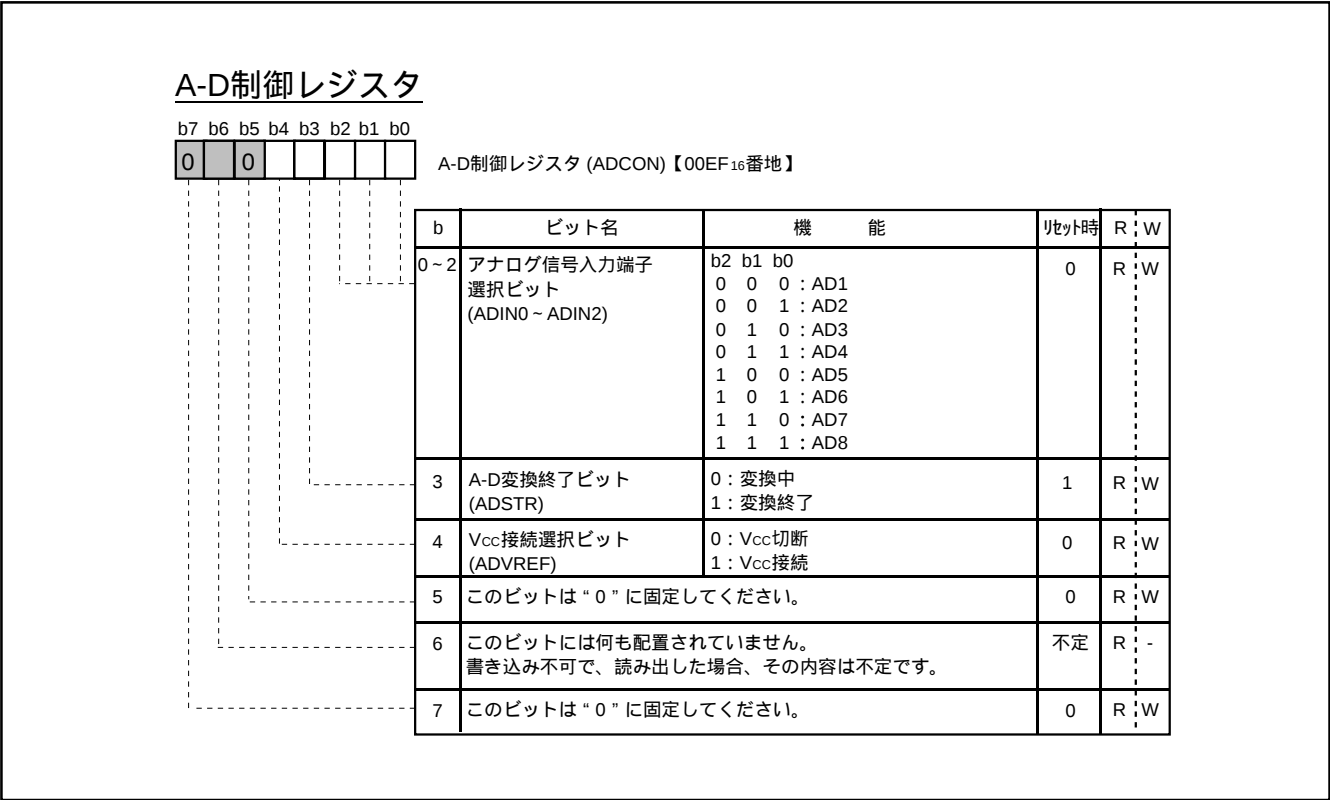


図 8.8.2 A-D 制御レジスタ

## 8.8.6 A-D変換方法

A-D変換終了時に割り込み要求を発生させるために、割り込み入力極性レジスタ(0212<sub>16</sub>番地)のビット7を“1”にしてください。

割り込み要求レジスタ1のA-D変換・INT3割り込み要求ビットを“0”にします(A-D変換を開始しても、A-D変換・INT3割り込み要求ビットは自動的に“0”にはなりません)。

A-D変換割り込みを使用する場合は、A-D変換・INT3割り込み許可ビットを“1”にし、A-D変換割り込みを許可状態にします。また割り込み禁止フラグを“0”にします。A-D制御レジスタのV<sub>CC</sub>接続選択ビットを“1”にして、V<sub>CC</sub>と抵抗ラダーを接続します。

A-D制御レジスタのアナログ入力端子選択ビットによって、アナログ入力端子を選択します。

A-D制御レジスタのA-D変換終了ビットを“0”にします。この書き込み動作によって、A-D変換が開始されます。なお、A-D変換中はA-D変換レジスタの内容を読み出さないでください。

A-D変換終了ビットの状態(“1”)、A-D変換・INT3割り込み要求ビットの状態(“1”)、又はA-D変換割り込みによって変換の終了を確認します。

A-D変換レジスタを読み出すことによって、変換結果が得られます。

注. V<sub>CC</sub>と抵抗ラダーを切り離す場合は、と の間にV<sub>CC</sub>接続選択ビットを“0”にしてください。

## 8.8.7 内部動作

A-D変換が開始すると以下の動作が自動的に行われます。

A-D変換レジスタが“00<sub>16</sub>”になります。

A-D変換レジスタの最上位ビットが“1”になり、比較電圧V<sub>ref</sub>がコンパレータに入力されます。ここで、V<sub>ref</sub>とアナログ入力電圧V<sub>IN</sub>との比較が行われます。

比較結果によって、A-D変換レジスタの最上位ビットは以下のように確定されます。

V<sub>ref</sub> < V<sub>IN</sub>の場合：“1”を保持する

V<sub>ref</sub> > V<sub>IN</sub>の場合：“0”になる

以上の動作を8回繰り返すことによって、アナログ値をデジタル値に変換します。A-D変換は、開始後50マシンスサイクル(f(X<sub>IN</sub>) = 8MHz時、12.5 μs)で終了し、変換結果がA-D変換レジスタに格納されます。

A-D変換終了と同時にA-D変換割り込み要求が発生し、A-D変換・INT3割り込み要求ビットが“1”になります。同時にA-D変換終了ビットが“1”になります。

注. A-D変換器は、CPUモードレジスタ(00FB<sub>16</sub>番地)のビット7が“0”の状態(高速モード)で使用してください。

表 8.8.1 V<sub>ref</sub>とV<sub>REF</sub>の関係式

| A-D変換レジスタの内容 n (10進表記) | V <sub>ref</sub> (V)                   |
|------------------------|----------------------------------------|
| 0                      | 0                                      |
| 1 ~ 255                | $\frac{V_{REF}}{256} \times (n - 0.5)$ |

注. V<sub>REF</sub> : 基準電圧 (=V<sub>CC</sub>)

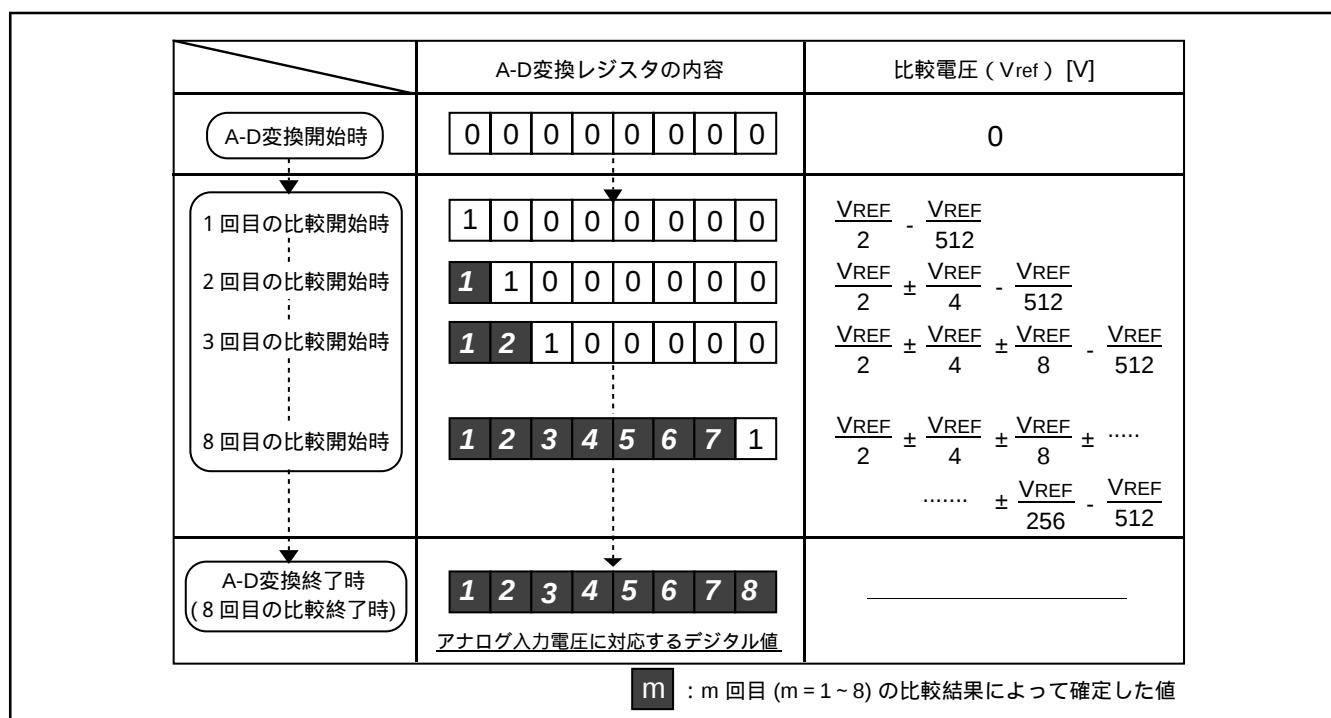


図 8.8.3 A-D変換中のA-D変換レジスタと比較電圧の変化

### 8.8.8 A-D変換精度の定義

A-D変換精度（絶対精度）の定義について説明します（図8.8.4参照）。

絶対精度とは、実測定したとき得られる出力コードと、理想的な特性を持つA-D変換器に期待される出力コードの差を、LSBを用いて示したものです。

絶対精度測定時のアナログ入力電圧は、理想的な特性を持つA-D変換器が同一のコードを出力する入力電圧幅(=1LSB)の中点とします。例えば、 $V_{REF}=5.12V$ の場合、1LSBの幅は20mVとなり、アナログ入力電圧には0mV、20mV、40mV、60mVが選ばれます。

図8.8.4にA-D変換器の絶対精度を示します。絶対精度=  $\pm 2LSB$ とは、アナログ入力電圧が100mVの場合、理想的なA-D変換器に期待される出力コードは“0516”ですが、実際のA-D変換結果は“0316”～“0716”の範囲にあることを示します。

なお、絶対精度にはゼロ誤差、フルスケール誤差を含み、量子化誤差は含みません。

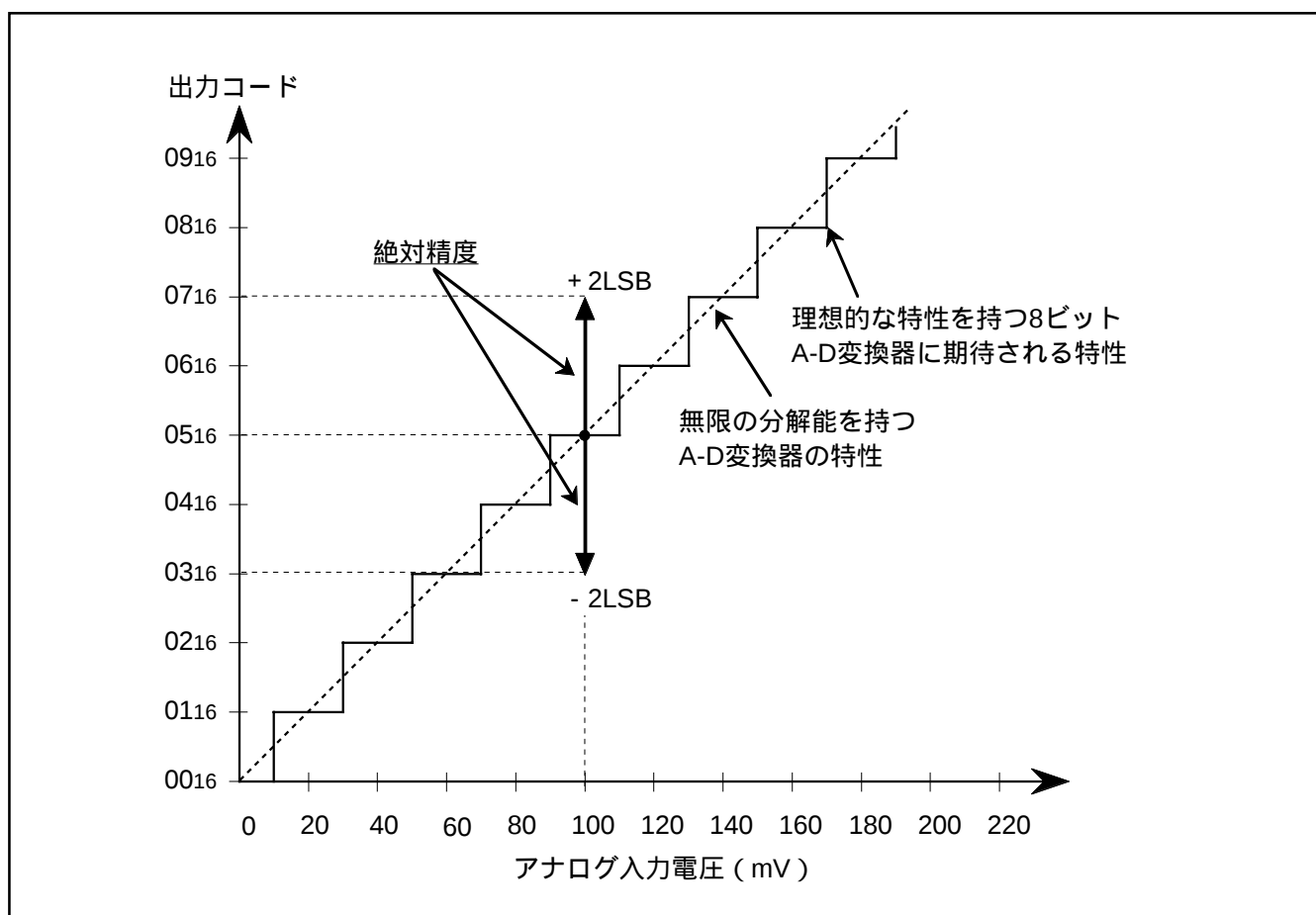


図8.8.4 A-D変換器の絶対精度

## 8.9 ROM 訂正機能

ROM 内のプログラムデータを訂正することができます。訂正できるアドレスは2箇所までで、RAM 領域内のROM 訂正用メモリに訂正プログラムを格納します。ROM 訂正用ベクタは2つあります。

ベクタ 1 : 02C0<sub>16</sub> 番地

ベクタ 2 : 02E0<sub>16</sub> 番地

訂正する ROM データのアドレスを ROM 訂正アドレスレジスタに設定します。プログラムカウンタの値が設定したアドレスの値に一致すると、ROM 訂正ベクタを先頭に格納した訂正プログラムへと分岐します。訂正プログラムからメインプログラムへの復帰のためには、訂正プログラムの最後に JMP 命令のオペコード及びオペランド (計3バイト) が必要です。

ROM 訂正機能は ROM 訂正許可レジスタによって制御されます。

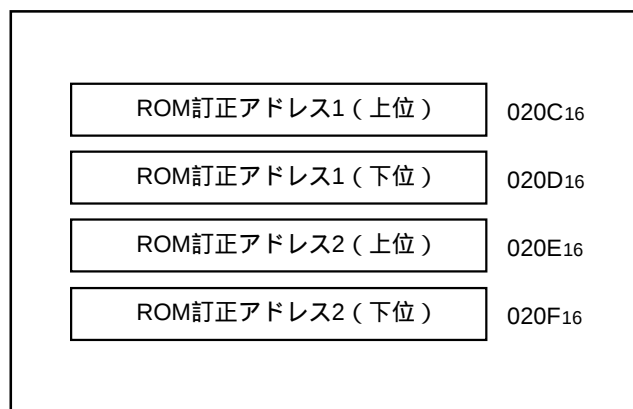
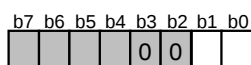


図 8.9.1 ROM 訂正アドレスレジスタ

- 注 1. ROM 訂正アドレスは、各命令の先頭アドレス (オペコードのアドレス) を指定してください。
- 訂正プログラムからメインプログラムへの復帰は JMP 命令 (計3バイト)で行ってください。
  - ベクタ 1、ベクタ 2 に同一の ROM 訂正アドレスを設定しないでください。
  - M37280MKH-XXXSP, M37280EKSP では、拡張 ROM 使用時 (BK7 = "1"), 1000<sub>16</sub> 番地 ~ 1FFF<sub>16</sub> 番地の ROM アドレスに対し、ROM 訂正機能は動作しません。プログラム開発時、ご注意ください。

## ROM 訂正許可レジスタ



ROM 訂正許可レジスタ (RCR) 【0210<sub>16</sub> 番地】

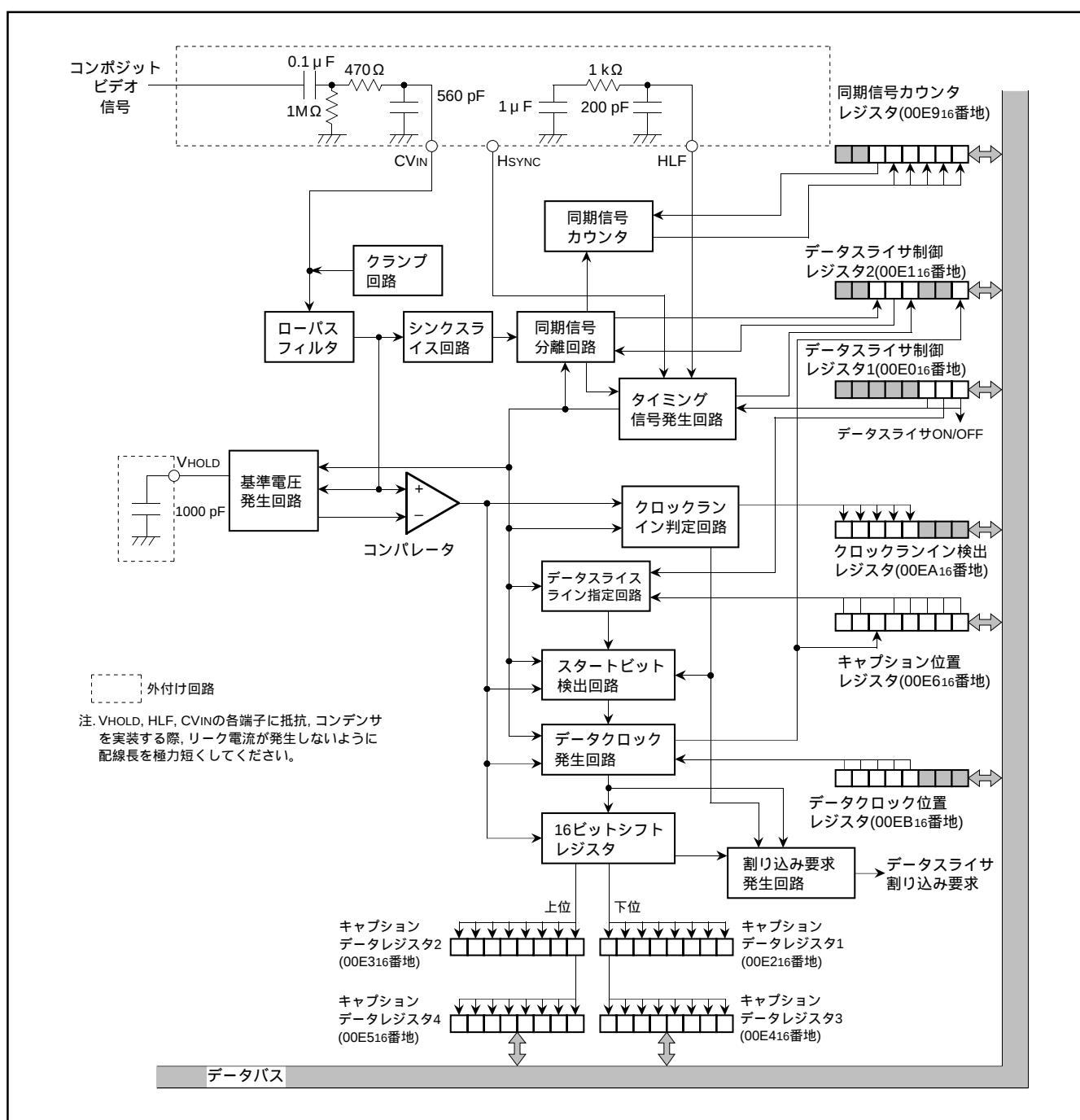
| b    | ビット名                                               | 機 能                | リセット時 | R | W |
|------|----------------------------------------------------|--------------------|-------|---|---|
| 0    | ベクタ1許可ビット (RCR0)                                   | 0: 使用禁止<br>1: 使用許可 | 0     | R | W |
| 1    | ベクタ2許可ビット (RCR1)                                   | 0: 使用禁止<br>1: 使用許可 | 0     | R | W |
| 2, 3 | これらのビットは "0" に固定してください。                            |                    | 0     | R | W |
| 4~7  | これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は "0" です。 |                    | 0     | R | - |

図 8.9.2 ROM 訂正許可レジスタ

## 8.10 データスライサ

本マイクロコンピュータは、クローズドキャプションコード（以下 CCD と称す）に対応するためのデータスライサ機能を内蔵しています。本機能によってコンポジットビデオ信号の垂直帰線消去期間中に重畳されたキャプションデータを取り出すことができます。CVIN 端子には、シンクチップを負極性にするコンポジットビデオ信号を入力します。

データスライサ機能を使用しない場合は、データスライサ制御レジスタ 1（00E0<sub>16</sub> 番地）のビット 0 を“0”に設定することによって、データスライサ回路及びタイミング信号発生回路を OFF することができます。これらの設定によって、電源電流を抑えることができます。



## 8.10.1 データスライサを使用しない場合の注意事項

データスライサ制御レジスタ1 (00E0<sub>16</sub> 番地) のビット0  
が“0”の場合、図8.10.2のように端子を処理してください。

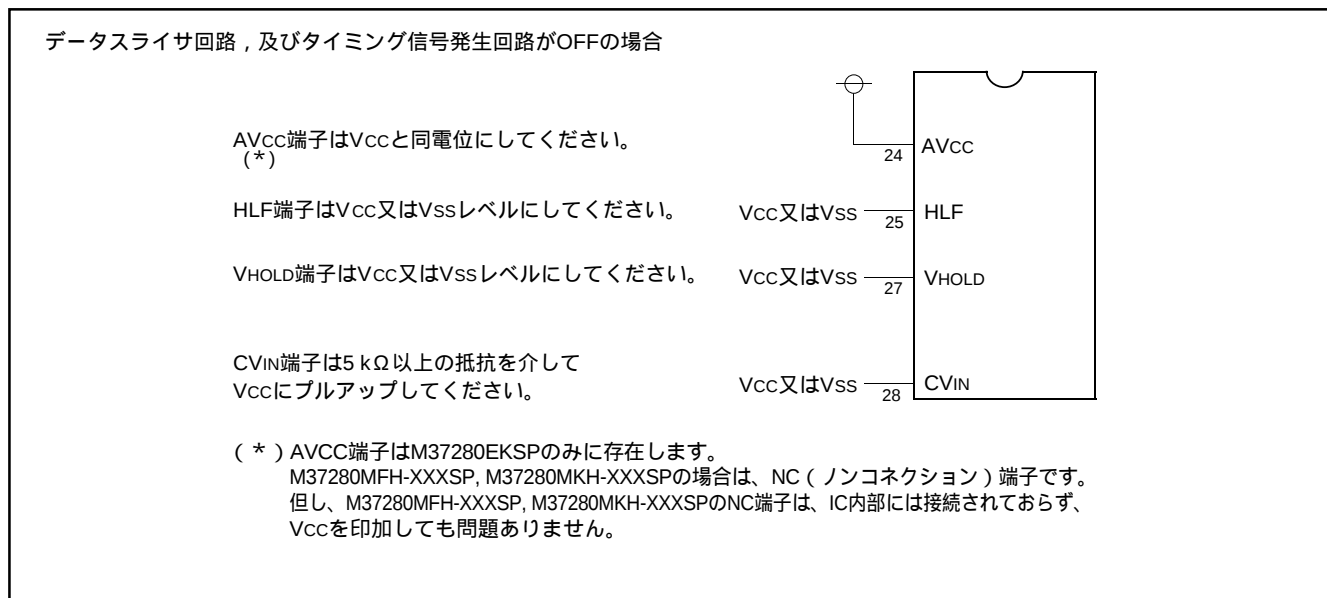


図8.10.2 データスライサ回路，及びタイミング信号発生回路 OFF の場合の，データスライサ入出力端子の処理方法

データスライサ制御レジスタ1 (00E0<sub>16</sub> 番地) のビット0、  
2の両方が“1”の場合、図8.10.3のように端子を処理してく  
ださい。

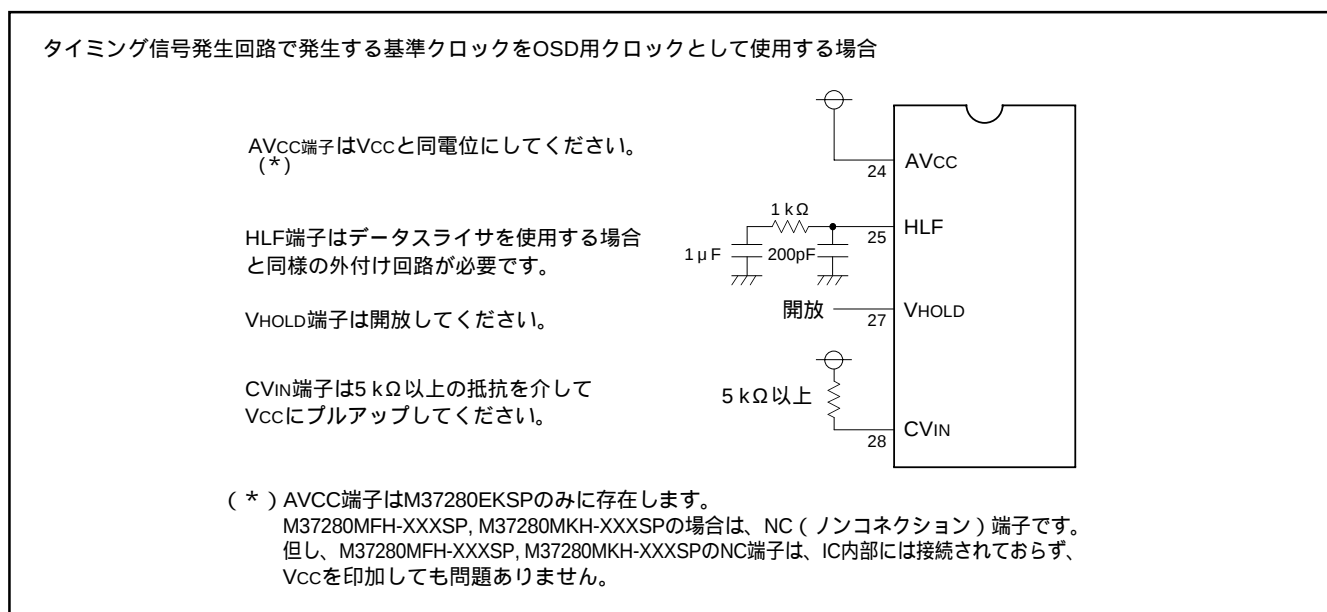


図8.10.3 タイミング信号発生回路 ON の場合の，データスライサ入出力端子の処理方法

図 8.10.4、図 8.10.5 にデータスライサ制御レジスタを示します。

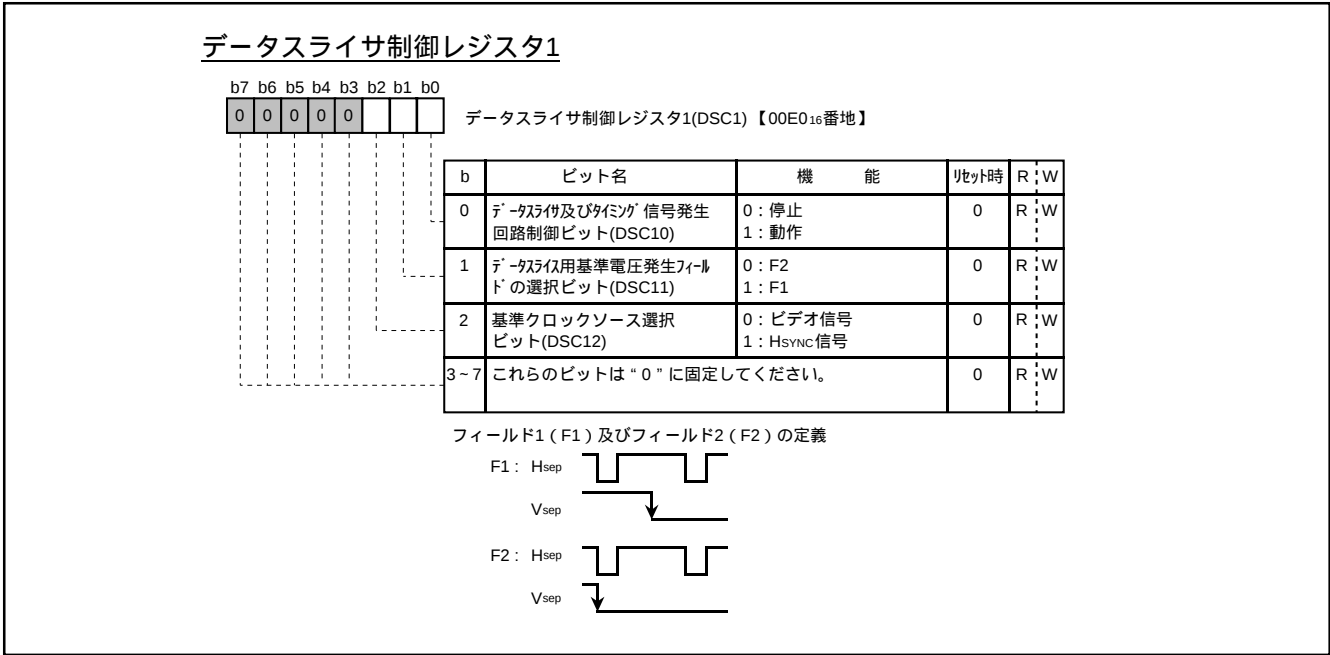


図 8.10.4 データスライサ制御レジスタ 1

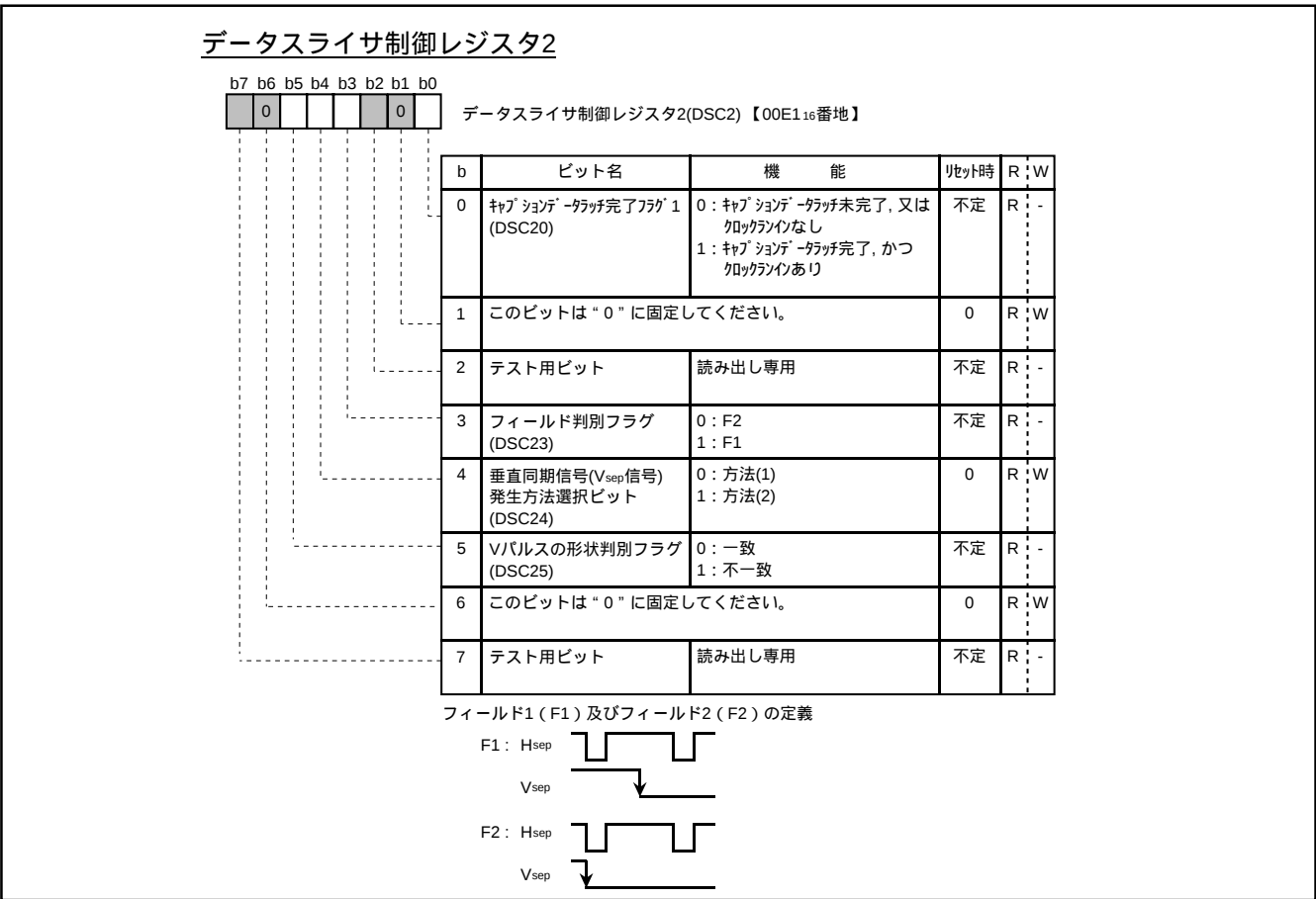


図 8.10.5 データスライサ制御レジスタ 2

### 8.10.2 クランプ回路・ローパスフィルタ

CVIN 端子から入力されたコンポジットビデオ信号は、クランプ回路でシンクチップ部分を基準にしてクランプされます。ローパスフィルタはクランプされたコンポジットビデオ信号のノイズを減衰します。コンポジットビデオ信号が入力される CVIN 端子は、外部でのコンデンサ ( $0.1 \mu\text{F}$ ) 結合が必要です。また CVIN 端子は、数  $100\text{k}\Omega \sim 1\text{M}\Omega$  程度の抵抗でプルダウンしてください。さらに CVIN 端子に抵抗及びコンデンサで簡単なローパスフィルタ回路を外付けすることを推奨します (図 8.10.1 参照)。

### 8.10.3 シンクスライス回路

ローパスフィルタの出力信号からコンポジットシンク信号を取り出します。

### 8.10.4 同期信号分離回路

シンクスライス回路で取り出されたコンポジットシンク信号から水平同期信号と垂直同期信号を分離します。

#### (1) 水平同期信号 (Hsep)

コンポジットシンク信号の立ち下がりエッジでワンショットの水平同期信号 Hsep を発生します。

#### (2) 垂直同期信号 (Vsep)

Vsep 信号の発生方法は、データスライサ制御レジスタ 2 (00E116 番地) のビット 4 を用いて、次の 2 種類から選択することができます。

- ・方法 1 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の立ち上がりで同期して Vsep 信号を発生します。
- ・方法 2 コンポジットシンク信号の“L”レベル幅を測定し、一定時間以上であれば、その“L”レベル直後のタイミング信号の“L”レベル期間中に、コンポジットシンク信号の立ち下がりがあるかを検出します。立ち下がりがある場合は、タイミング信号の立ち上がりで同期して Vsep 信号を発生します (図 8.10.6 参照)。

発生タイミングを図 8.10.6 に示します。図中のタイミング信号はタイミング発生回路が出力する基準クロックをもとに発生されます。

データスライサ制御レジスタ 2 のビット 5 を読み出すことによって、コンポジットシンク信号の V パルス部分の形状が判別できます。図 8.10.7 のように A, B のレベルが一致していれば“0”、不一致であれば“1”になります。

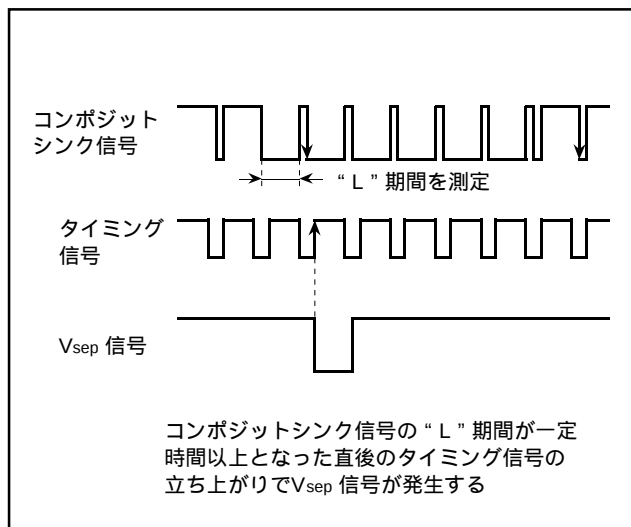


図 8.10.6 Vsep 発生タイミング (方法 2)

#### 8.10.5 タイミング信号発生回路

タイミング信号発生回路は水平同期信号周波数の832倍の基準クロックを発生します。また、基準クロック、水平同期信号、及び垂直同期信号をもとに各種タイミング信号を発生します。タイミング信号発生回路はデータスライサ制御レジスタ1(00E0<sub>16</sub>番地)のビット0を“1”に設定することによって動作します。

基準クロックはデータスライサの他にOSD機能の表示用クロックとしても使用できます。また、コンボジットシンク信号のかわりにHsync信号をカウントソースとすることもできます。ただし、Hsync信号を選択した場合はデータスライサを使用できません。基準クロックのカウントソースはデータスライサ制御レジスタ1(00E0<sub>16</sub>番地)のビット2で選択できます。

HLF端子は、図8.10.1に示す様に抵抗とコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

注. データスライサ及びタイミング信号発生回路を動作させてから基準クロックが安定するまで数10ms程度の時間が必要です。この期間、各種タイミング信号、Hsep信号、Vsep信号は不定となりますので、プログラム作成の際は、安定時間を考慮してください。

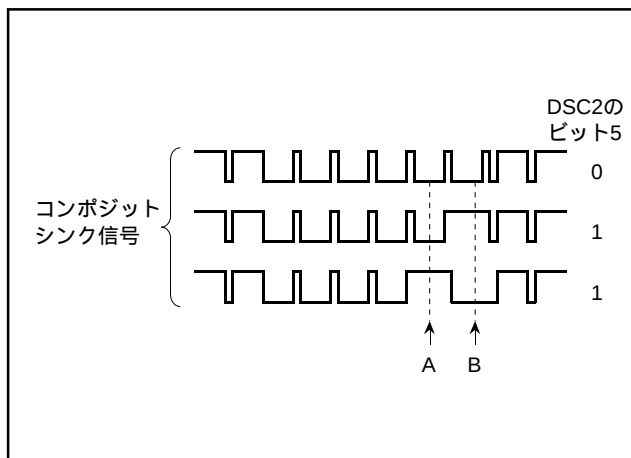


図 8.10.7 Vパルス形状の判別

## 8.10.6 データスライスライン指定回路

## (1) データスライスラインの指定

キャプションデータが重畳されるラインを決定します。

1フィールド中のライン21(固定)と任意の1ラインの計2ライン/1フィールド、F1/F2の両フィールドのデータスライスが可能です。各設定はキャプション位置レジスタ(00E6<sub>16</sub>番地)で行います(表8.10.1参照)。

Vsepの立ち下がりでカウンタをリセットし、Hsepの本数をカウントします。カウンタの値とキャプション位置レジスタのビット4～ビット0の設定値とが一致したHsepに対してデータスライスを行います。

キャプション位置レジスタには“00<sub>16</sub>”～“1F<sub>16</sub>”の値が設定できます(任意の1ラインのみの設定時)。図8.10.8に垂直帰線期間中の信号を示します。キャプション位置レジスタを図8.10.9に示します。

## (2) スライス電圧を設定するラインの指定

どのラインのクロックランインに対して、スライス用の基準電圧(スライス電圧)を発生するかを表8.10.1に示します。スライス電圧を発生させるフィールドの指定はデータスライサ制御レジスタ1のビット1で設定します。1フィールド中のスライス電圧発生ラインは、キャプション位置レジスタのビット7、6で設定します(表8.10.1参照)。

## (3) フィールドの判別

データスライサ制御レジスタ2のビット3によって、フィールド判別フラグを読み出すことができます。このフラグはVsepの立ち下がりのタイミングで変化します。

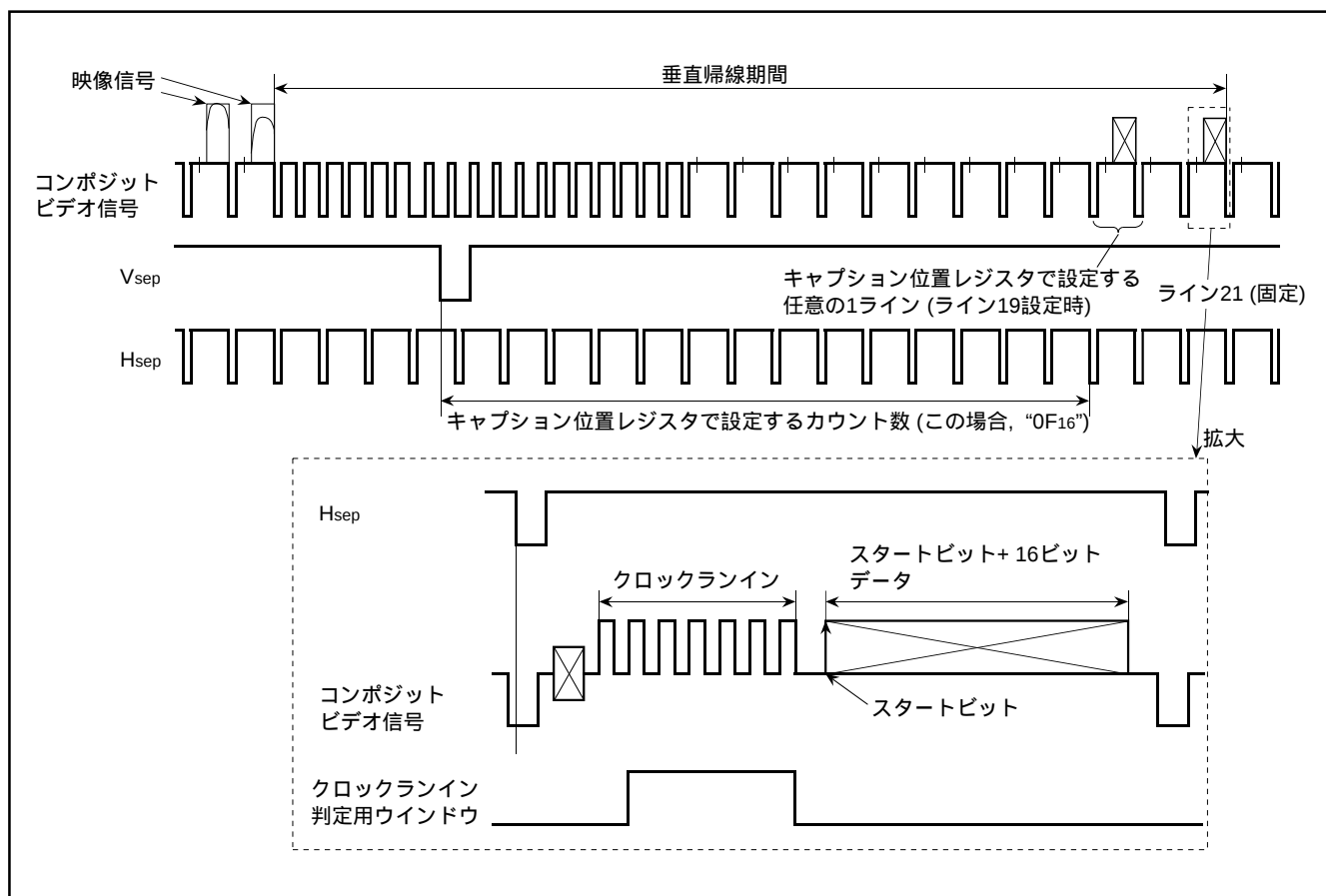


図 8.10.8 垂直帰線期間中の信号

### キャプション位置レジスタ

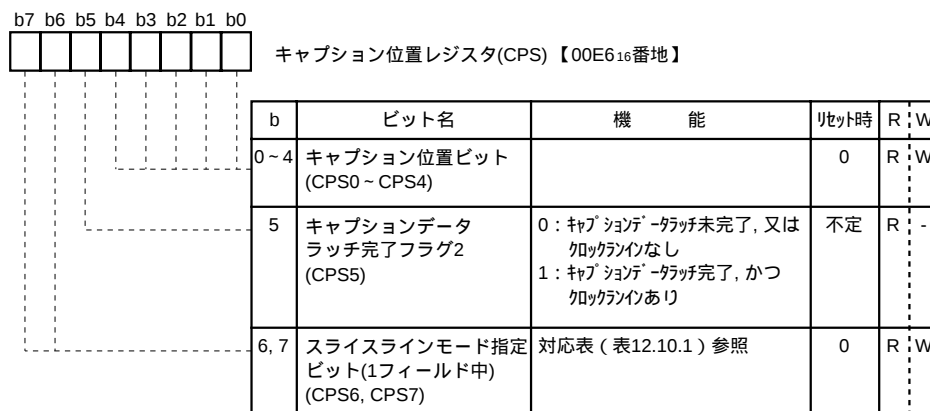


図 8.10.9 キャプション位置レジスタ

表 8.10.1 データスライスラインの指定

| CPS  |      | データスライスするフィールド・ライン                                                     | スライス電圧発生フィールド・ライン                                                                 |
|------|------|------------------------------------------------------------------------|-----------------------------------------------------------------------------------|
| ビット7 | ビット6 |                                                                        |                                                                                   |
| 0    | 0    | ・F1/F2 両フィールド<br>・ライン 21 と CPS のビット 4 ~ 0 で指定される 1 ライン (計 2 ライン) (注 2) | ・DSC1 のビット 1 で指定されるフィールド<br>・ライン 21 (計 1 ライン)                                     |
| 0    | 1    | ・F1/F2 両フィールド<br>・CPS のビット 4 ~ 0 で指定される 1 ライン (計 1 ライン) (注 3)          | ・DSC1 のビット 1 で指定されるフィールド<br>・CPS のビット 4 ~ 0 で指定される 1 ライン (計 1 ライン) (注 3)          |
| 1    | 0    | ・F1/F2 両フィールド<br>・ライン 21 (計 1 ライン)                                     | ・DSC1 のビット 1 で指定されるフィールド<br>・ライン 21 (計 1 ライン)                                     |
| 1    | 1    | ・F1/F2 両フィールド<br>・ライン 21 と CPS のビット 4 ~ 0 で指定される 1 ライン (計 2 ライン) (注 2) | ・DSC1 のビット 1 で指定されるフィールド<br>・ライン 21 と CPS のビット 4 ~ 0 で指定される 1 ライン (計 2 ライン) (注 2) |

注 1. DSC1 : データスライサ制御レジスタ 1

CPS : キャプション位置レジスタ

- CPS のビット 4 ~ 0 には “00<sub>16</sub>” ~ “10<sub>16</sub>” の値を設定してください。
- CPS のビット 4 ~ 0 には “00<sub>16</sub>” ~ “1F<sub>16</sub>” の値を設定してください。

### 8.10.7 基準電圧発生回路・コンパレータ

クランプ回路によってクランプされたコンポジットビデオ信号は基準電圧発生回路、及びコンパレータに入力されます。

#### (1) 基準電圧発生回路

データスライサイン指定回路で指定されたラインにおけるクロックランインの振幅を用いて基準電圧(スライス電圧)を発生します。V<sub>HOLD</sub> 端子とV<sub>SS</sub>間にコンデンサを接続してください。また、リーク電流が発生しないように配線長をできる限り短くしてください。

#### (2) コンパレータ

コンポジットビデオ信号の電圧と基準電圧発生回路によって発生した電圧(基準電圧)を比較し、コンポジットビデオ信号をデジタル値に変換します。

### 8.10.8 スタートビット検出回路

データスライサイン指定回路で決定したラインにおいてスタートビットを検出します。スタートビットの判定は以下のようになります。

タイミング信号が出力する基準クロックを13分周したサンプリングクロックを生成します。

そのサンプリングクロックを用いてクロックランインパルスを検出します。

パルス検出後、サンプリングクロックでコンパレータ出力からスタートビットパターンを検出します。

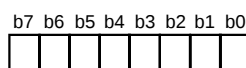
### 8.10.9 クロックランイン判定回路

コンポジットビデオ信号中のウィンドウ中でパルス数をカウントすることによってクロックランインであることを判定します。

また、クロックランインパルス1周期にカウントされる基準クロック数はクロックランイン検出レジスタ(00EA<sub>16</sub>番地)のビット7～ビット3に格納されます。これらのビットはデータスライサ割り込み(「8.10.12 割り込み要求発生回路」)の発生後に読み出してください。

クロックランイン検出レジスタを図8.10.10に示します。

### クロックランイン検出レジスタ



クロックランイン検出レジスタ(CRD)【00EA<sub>16</sub>番地】

| b   | ビット名                     | 機能                            | ビット時 | R | W |
|-----|--------------------------|-------------------------------|------|---|---|
| 0~2 | テスト用ビット                  | 読み出し専用                        | 0    | R | - |
| 3~7 | クロックランイン検出ビット(CRD3~CRD7) | クロックランインパルス1周期にカウントされる基準クロック数 | 0    | R | - |

図8.10.10 クロックランイン検出レジスタ

## 8.10.10 データクロック発生回路

データクロック発生回路は、スタートビット検出回路で検出されたスタートビットに同期したデータクロックを発生します。データクロックはキャプションデータを 16 ビットシフトレジスタへ格納するためのクロックです。16 ビットのデータが 16 ビットシフトレジスタへ格納され、かつクロックランイン判定回路でクロックランインありと判定された場合、キャプションデータラッチ完了フラグがセットされます。この完了フラグは垂直同期信号 ( $V_{sep}$ ) の立ち下がりで“0” にリセットされます。

## データクロック位置レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |  |  |   |   |   |
|--|--|--|--|--|---|---|---|
|  |  |  |  |  | 0 | 0 | 1 |
|--|--|--|--|--|---|---|---|

データクロック位置レジスタ(DPS)【00EB<sub>16</sub>番地】

| b    | ビット名                      | 機 能 | リセット時 | R | W |
|------|---------------------------|-----|-------|---|---|
| 0    | このビットは“1”に固定してください。       |     | 1     | R | W |
| 1, 2 | これらのビットは“0”に固定してください。     |     | 0     | R | W |
| 3    | データクロック位置設定ビット(DPS3～DPS7) |     | 1     | R | W |
| 4～7  |                           |     | 0     |   |   |

図 8.10.11 データクロック位置レジスタ

## 8.10.11 16ビットシフトレジスタ

コンパレータでデジタル値に変換されたキャプションデータは、データクロックに同期して16ビットシフトレジスタに格納されます。格納されたキャプションデータの上位8ビットは、キャプションデータレジスタ2(00E3<sub>16</sub>番地)/キャプションデータレジスタ4(00E5<sub>16</sub>番地)、下位8ビットはキャプションデータレジスタ1(00E2<sub>16</sub>番地)/キャプションデータレジスタ3(00E4<sub>16</sub>番地)を読み出すことによってデータ内容を得ることができます。またこれらのレジスタはV<sub>sep</sub>の立ち下がりで“0”にリセットされます。キャプションデータレジスタ1～4はデータスライサ割り込み(「8.10.12 割り込み要求発生回路」)発生後に読み出してください。

## 8.10.12 割り込み要求発生回路

キャプション位置レジスタ(00E6<sub>16</sub>番地)のビット7、ビット6の組み合わせによって表8.10.3に示すように割り込み要求が発生します。キャプションデータレジスタ1～4の内容、及びクロックランイン検出レジスタのビット7～3の内容は、データスライサ割り込み要求発生後に読み出してください。

表8.10.2 キャプションデータラッチ完了フラグ、及び16ビットシフトレジスタ内容

| スライスラインの設定モード |      | キャプションデータラッチ完了フラグの内容     |                          | 16ビットシフトレジスタの内容                       |                                       |
|---------------|------|--------------------------|--------------------------|---------------------------------------|---------------------------------------|
| CPS           |      | 完了フラグ1<br>(DSC2のビット0)    | 完了フラグ2<br>(CPSのビット5)     | キャプションデータ<br>レジスタ1, 2                 | キャプションデータ<br>レジスタ3, 4                 |
| ビット7          | ビット6 |                          |                          |                                       |                                       |
| 0             | 0    | ライン 21                   | CPSのビット4～0で<br>指定される1ライン | ライン 21の16ビット<br>データ                   | CPSのビット4～0で<br>指定される1ラインの<br>16ビットデータ |
| 0             | 1    | CPSのビット4～0で<br>指定される1ライン | 無効                       | CPSのビット4～0で<br>指定される1ラインの<br>16ビットデータ | 無効                                    |
| 1             | 0    | ライン 21                   | 無効                       | ライン 21の16ビット<br>データ                   | 無効                                    |
| 1             | 1    | ライン 21                   | CPSのビット4～0で<br>指定される1ライン | ライン 21の16ビット<br>データ                   | CPSのビット4～0で<br>指定される1ラインの<br>16ビットデータ |

CPS: キャプション位置レジスタ

DSC2: データスライサ制御レジスタ2

表8.10.3 割り込み要求発生要因

| キャプション位置レジスタ |      | データスライスライン終了時割り込み要求           |
|--------------|------|-------------------------------|
| ビット7         | ビット6 | ライン 21 スライス後                  |
| 0            | 0    |                               |
| 0            | 1    | キャプション位置レジスタビット4～0で指定される1ライン後 |
| 1            | 0    | ライン 21 スライス後                  |
| 1            | 1    | ライン 21 スライス後                  |

## 8.10.13 同期信号カウンタ

同期信号カウンタは、データスライサ回路で映像信号から取り出されたコンポジットシンク信号、又はHSYNC端子から入力されたHSYNCをカウントソースとしてカウントします。

$f(X_{IN})/2^{13}$ で生成される一定時間( T時間 )のカウント値が、5ビットのラッチに格納されます。このためラッチの値はT時間周期で変化します。カウント値が“1F<sub>16</sub>”を越えた場合は、“1F<sub>16</sub>”がラッチに格納されます。

ラッチの値は、同期信号カウンタレジスタ(00E9<sub>16</sub>番地)を読み出すことによって得ることができます。カウントソースは、同期信号カウンタレジスタのビット5によって選択します。

同期信号カウンタは、PWMモードレジスタ1(0208<sub>16</sub>番地)のビット0を“0”に設定した状態で使用してください。

図8.10.12に同期信号カウンタレジスタを、図8.10.13に同期信号カウンタのブロック図を示します。

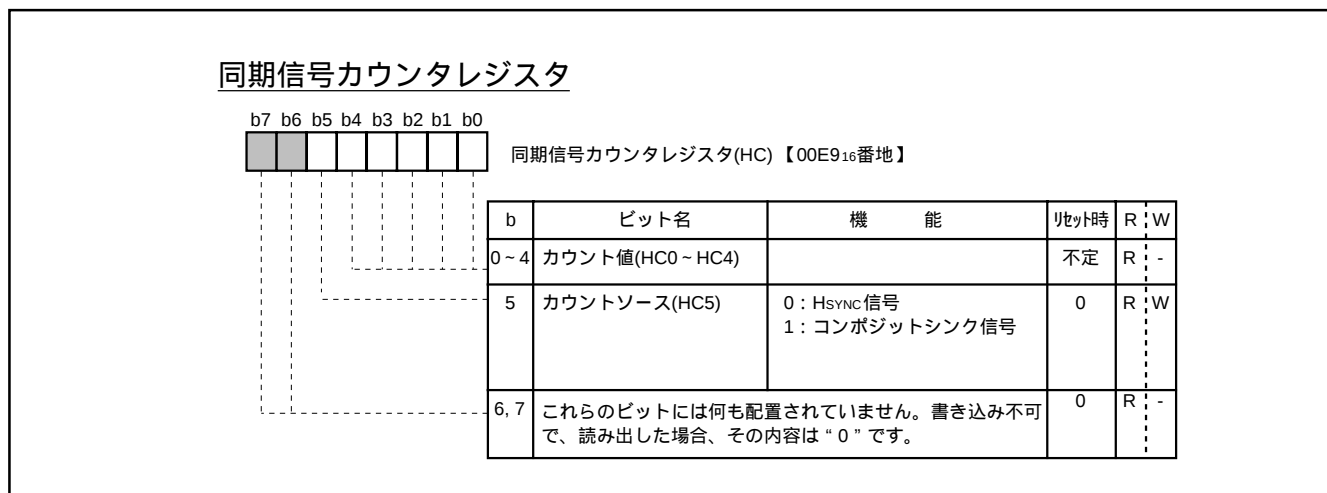


図 8.10.12 同期信号カウンタレジスタ

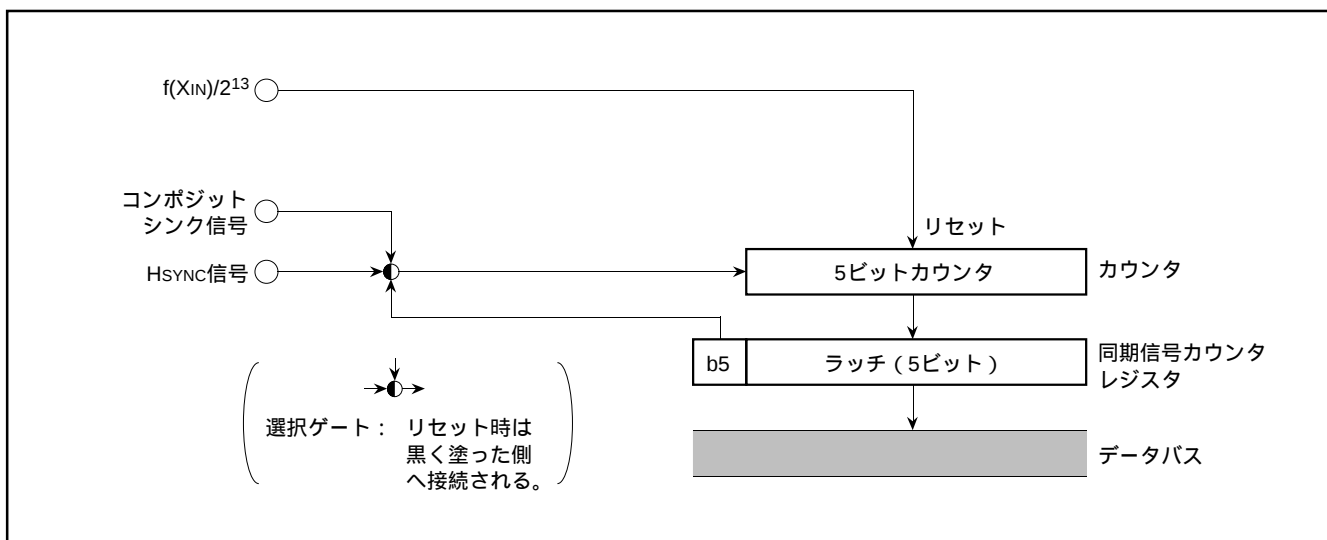


図 8.10.13 同期信号カウンタのブロック図

## 8.11 OSD 機能

OSD 機能の概要を表 8.11.1 に示します。OSD 機能には 32 文字×16 行のブロック表示と、1 文字のスプライト表示があり、それらは同時に表示できます。さらにブロック表示は、ブロックコントロールレジスタ  $i$  ( $i = 1 \sim 16$ ) によって、ブロック単位に 3 つの表示モードが選択できます。

各表示の特長を以下に示します。

表 8.11.1 各表示スタイルの特長

| 表示スタイル<br>項 目   | ブロック表示                                              |                                                                                               |                                                                           | スプライト表示                                     |
|-----------------|-----------------------------------------------------|-----------------------------------------------------------------------------------------------|---------------------------------------------------------------------------|---------------------------------------------|
|                 | CC モード<br>( クローズドキャプション<br>モード )                    | OSD モード<br>( オンスクリーン<br>ディスプレイモード )                                                           | CDOSD モード<br>( カラードットオンスクリーン<br>ディスプレイ )                                  |                                             |
| 表示文字            | 32 文字 × 16 行                                        |                                                                                               |                                                                           | 1 文字                                        |
| ドット構成           | 16 × 20 ドット<br>( 文字表示領域は 16 × 20 ドット )              | 16 × 20 ドット                                                                                   | 16 × 26 ドット                                                               | 16 × 20 ドット                                 |
| 文字種類            | 510 種類                                              |                                                                                               | 62 種類                                                                     | 1 種類                                        |
| フォントメモリ         | ROM                                                 |                                                                                               |                                                                           | RAM                                         |
| 文字サイズ           | 4 種類                                                | 14 種類                                                                                         |                                                                           | 8 種類                                        |
|                 | プリ分周比                                               | 1 倍, 2 倍                                                                                      |                                                                           | 1 倍, 2 倍                                    |
|                 | ドットサイズ                                              | 1Tc × 1/2H, 1Tc × 1H<br>1Tc × 1/2H, 1Tc × 1H, 1.5Tc × 1/2H,<br>1.5Tc × 1H, 2Tc × 2H, 3Tc × 3H |                                                                           | 1Tc × 1/2H, 1Tc × 1H,<br>2Tc × 1H, 2Tc × 2H |
| アトリビュート         | スミーズイタリック, アンダー<br>ライン, フラッシュ (点滅)                  | フチドリ                                                                                          |                                                                           |                                             |
| キャラクタフォント<br>着色 | 1 画面 8 種類 ( 文字単位 )<br>最大 64 種類                      | 1 画面 15 種類 ( 文字単位 )<br>最大 64 種類                                                               | 1 画面 8 種類 ( ドット単位 )<br>1 画面 15 種類<br>( 指定ドットのみ文字単位<br>に着色可能 )<br>最大 64 種類 | 1 画面 8 種類 ( ドット単位 )<br>最大 64 種類             |
| 文字背景着色          | 可能<br>( 文字単位, 1 画面 4 種類,<br>最大 64 種類 )              | 可能<br>( 文字単位, 1 画面 15 種類,<br>最大 64 種類 )                                                       |                                                                           |                                             |
| 表示レイヤ           | レイヤ 1                                               | レイヤ 1, レイヤ 2                                                                                  |                                                                           | レイヤ 3 ( 最優先表示 )                             |
| OSD 出力          | アナログ R, G, B 出力 ( 各 4 階調 64 色 ), デジタル OUT1, OUT2 出力 |                                                                                               |                                                                           |                                             |
| ラスター着色          | 可能 ( 画面単位, 最大 64 種類 )                               |                                                                                               |                                                                           |                                             |
| 機能              | オートソリッドスペース機能                                       |                                                                                               |                                                                           |                                             |
|                 | トリプルレイヤ OSD 機能, ウィンドウ機能, ブランク機能                     |                                                                                               |                                                                           |                                             |
| 拡張表示 ( 多行表示 )   | 可能                                                  |                                                                                               |                                                                           |                                             |

注. 文字サイズはドットサイズとプリ分周比によって指定します。「8.11.3 ドットサイズ」を参照してください。

OSD回路には拡張表示モードがあり、1行表示することに割り込みをかけ、ソフトウェアで表示の終了したブロックのデータを書き替えることにより、16行以上の多行表示を行うことができます。

図 8.11.1 に OSD 用文字表示領域を、図 8.11.2 に OSD 回路のブロック図を示します。また、図 8.11.3 に OSD コントロールレジスタ 1 を、図 8.11.4 にブロックコントロールレジスタ i を示します。

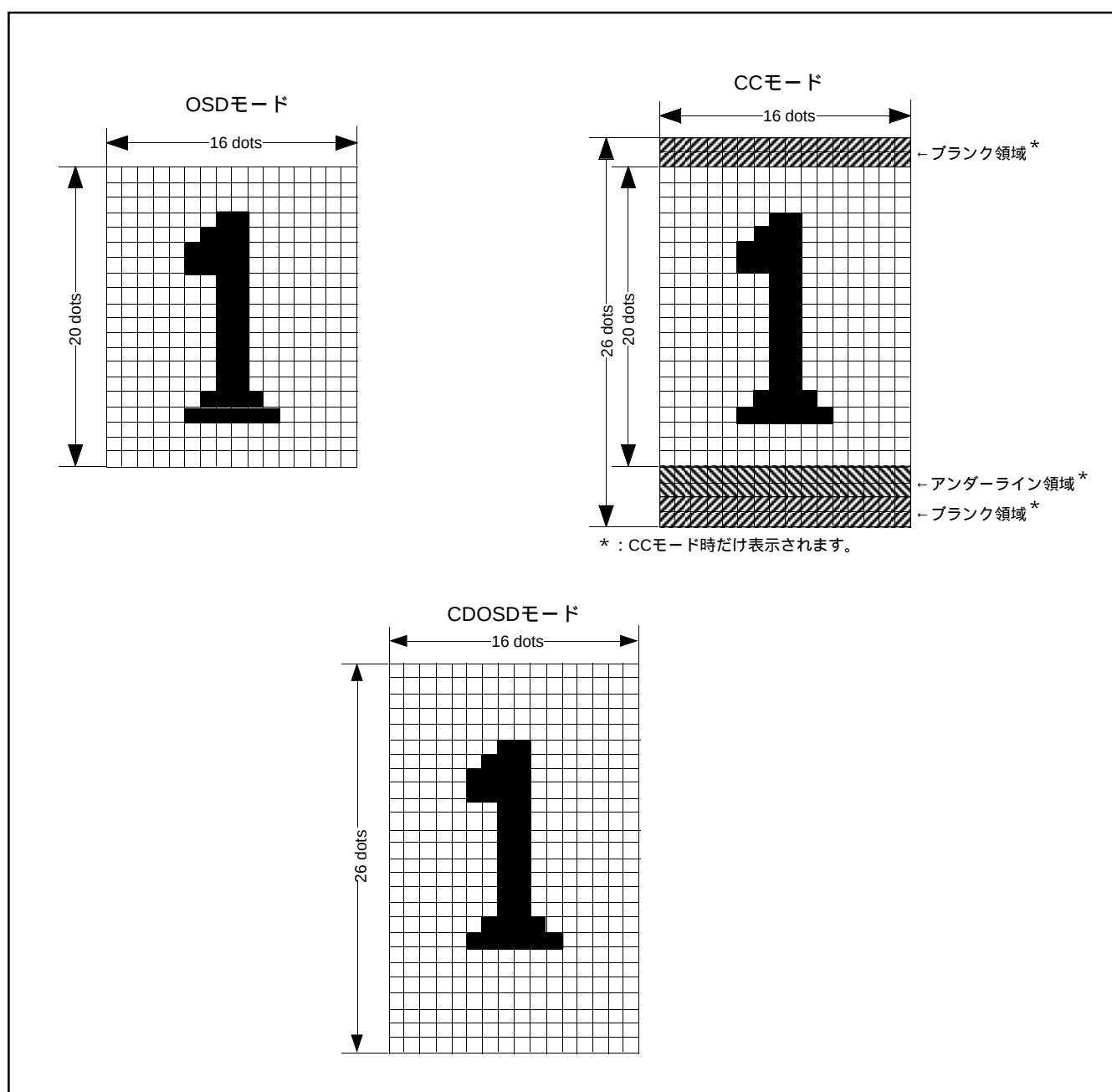


図 8.11.1 OSD 用文字表示領域

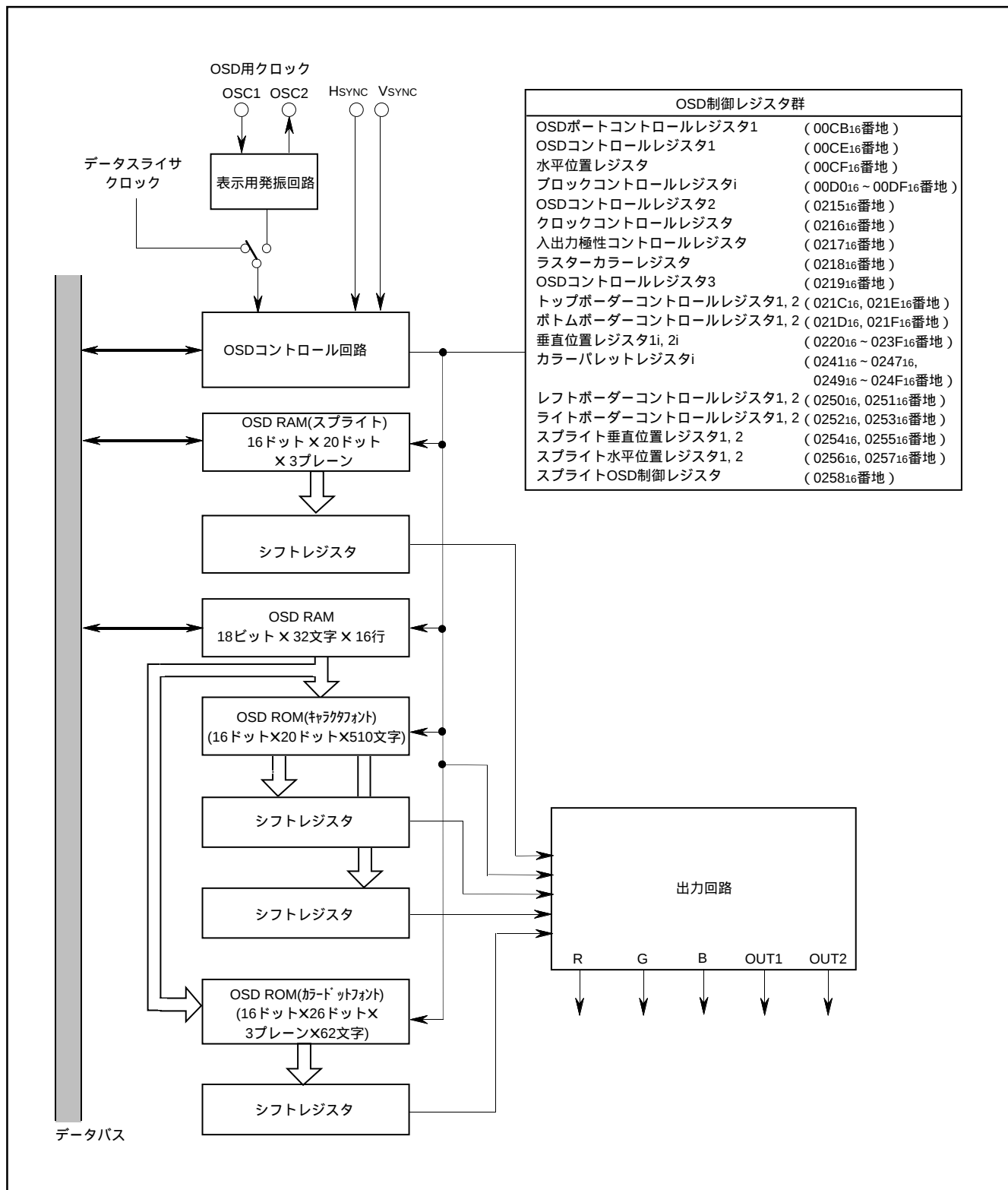


図 8.11.2 OSD 回路ブロック図

## OSDコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



OSDコントロールレジスタ1(OC1)【00CE16番地】

| b    | ビット名                                  | 機 能                                                                                         | リセット時 | R | W |
|------|---------------------------------------|---------------------------------------------------------------------------------------------|-------|---|---|
| 0    | OSD制御ビット<br>(OC10) (注1)               | 0 : 全ブロック表示OFF<br>1 : 全ブロック表示ON                                                             | 0     | R | W |
| 1    | スキャンモード選択<br>ビット(OC11)                | 0 : ノーマルスキャンモード<br>1 : バイスキャンモード                                                            | 0     | R | W |
| 2    | フチドリタイプ選択<br>ビット(OC12)                | 0 : 全周囲フチドリ<br>1 : シャドウフチドリ (注2)                                                            | 0     | R | W |
| 3    | フラッシュモード選択<br>ビット(OC13)               | 0 : 文字背景部の色信号は<br>フラッシュしない<br>1 : 文字背景部の色信号は<br>フラッシュする                                     | 0     | R | W |
| 4    | オートソリッドスペース<br>制御ビット(OC14)            | 0 : OFF<br>1 : ON                                                                           | 0     | R | W |
| 5    | 縦ウインドウ / ブランク<br>制御ビット(OC15)          | 0 : OFF<br>1 : ON                                                                           | 0     | R | W |
| 6, 7 | レイヤミキシング制御<br>ビット(OC16, OC17)<br>(注3) | b7 b6<br>0 0 : レイヤ1のカーとレイヤ2のカー<br>をOR合成<br>0 1 : レイヤ1のカー優先<br>1 0 : レイヤ2のカー優先<br>1 1 : 設定禁止 | 0     | R | W |

- 注1. 表示中切り替えても, 表示画面は次のVsyncの立ち上がり  
(立ち下がり)まで変化しません。
2. フォントの右側と下側に出力されます。
3. OUT2はこれらのビットの値にかかわらず, 常にOR合成されます。

図 8.11.3 OSD コントロールレジスタ 1

## ブロックコントロールレジスタ*i*

b7 b6 b5 b4 b3 b2 b1 b0

ブロックコントロールレジスタ*i* (BC*i*) (*i*=1 ~ 16) 【00D0<sub>16</sub> ~ 00DF<sub>16</sub>番地】

| b    | ビット名                                              | 機 能                                                               |    |    |    |       |                | ビット時 | R | W |
|------|---------------------------------------------------|-------------------------------------------------------------------|----|----|----|-------|----------------|------|---|---|
| 0, 1 | 表示モード選択<br>ビット<br>(BCi0, BCi1)                    | b1 b0<br>0 0: 表示OFF<br>0 1: OSDモード<br>1 0: CCモード<br>1 1: CDOSDモード |    |    |    |       |                | 不定   | R | W |
| 2    | フチドリ制御<br>ビット<br>(BCi2)                           | 0: フチドリOFF<br>1: フチドリON                                           |    |    |    |       |                | 不定   | R | W |
| 3, 4 | ドットサイズ選択<br>ビット<br>(BCi3, BCi4)                   | b6                                                                | b5 | b4 | b3 | プリ分周比 | ドットサイズ         | 不定   | R | W |
| 5, 6 | プリ分周比選択<br>ビット<br>(BCi5, BCi6)                    | 0                                                                 | 0  | 0  | 0  | 1倍    | 1Tc×1/2H       |      |   |   |
|      |                                                   |                                                                   |    | 0  | 1  |       | 1Tc×1H         |      |   |   |
|      |                                                   | 1                                                                 | 1  | 0  | 0  | 2倍    | 2Tc×2H         |      |   |   |
|      |                                                   |                                                                   |    | 1  | 1  |       | 3Tc×3H         |      |   |   |
| 5, 6 | プリ分周比選択<br>ビット<br>(BCi5, BCi6)                    | 0                                                                 | 1  | 0  | 0  | 3倍    | 1.5Tc×1/2H(注3) |      |   |   |
|      |                                                   |                                                                   |    | 0  | 1  |       | 1.5Tc×1H(注3)   |      |   |   |
| 5, 6 | プリ分周比選択<br>ビット<br>(BCi5, BCi6)                    | 1                                                                 | 0  | 0  | 0  | 3倍    | 1Tc×1/2H       |      |   |   |
|      |                                                   |                                                                   |    | 0  | 1  |       | 1Tc×1H         |      |   |   |
| 5, 6 | プリ分周比選択<br>ビット<br>(BCi5, BCi6)                    | 1                                                                 | 0  | 1  | 0  | 3倍    | 2Tc×2H         |      |   |   |
|      |                                                   |                                                                   |    | 1  | 1  |       | 3Tc×3H         |      |   |   |
| 7    | このビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                   |    |    |    |       |                | 不定   | R | - |

注1. Tc : プリ分周したOSD用クロック周期

2. H : H<sub>SYNC</sub>

3. この文字サイズはレイヤ2でのみ選択可能です。このときレイヤ1は、プリ分周比を2倍、水平ドットサイズを1Tcにしてください。

図 8.11.4 ブロックコントロールレジスタ*i*

## 8.11.1 トリプルレイヤ OSD

チャンネルやボリュームなどの表示、クローズドキャプション、及びスプライト表示を3重に重ねて表示できるように、レイヤ1からレイヤ3の3層の表示面を備えています。

各ブロックをどのレイヤに表示するかは、表示モード単位にOSDコントロールレジスタ2のビット0及びビット1で選択します(図8.11.7参照)。レイヤ3には、常にスプライトが表示されます。

レイヤ1のブロックとレイヤ2のブロックが重なった場合、OSDコントロールレジスタ1のビット7及びビット6で指定されるレイヤミキシング(図8.11.3参照)によって、画面が合成されます(図8.11.5参照)。レイヤ3は常にレイヤ1、レイヤ2に優先して表示されます。

注1. レイヤ1とレイヤ2のミキシングを行う場合、表8.11.2の制限事項に注意してください。

2. OUT2はOSDコントロールレジスタのビット6, 7の値にかかわらず、常にOR合成されます。また、OUT2(レイヤ1又はレイヤ2)は、スプライト表示(レイヤ3)と重なった場合でも出力されます。

表 8.11.2 レイヤ1とレイヤ2のミキシングを行う場合の制限事項

| 項目 \ ブロック | レイヤ1のブロック                                                                                                                  | レイヤ2のブロック                                                                                                           |                                                              |
|-----------|----------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------|
| 表示モード     | CC，OSD，CDOSD モード                                                                                                           | OSD，CDOSD モード                                                                                                       |                                                              |
| プリ分周比     | 1 倍，2 倍(CC モード時)<br>1 倍 ~ 3 倍(OSD，CDOSD モード時)                                                                              | レイヤ1 と同一                                                                                                            |                                                              |
| ドットサイズ    | 1Tc × 1/2H，1Tc × 1H<br>( CC モード時 )                                                                                         | プリ分周比 1 倍時<br>1Tc × 1/2H<br>1Tc × 1H                                                                                | プリ分周比 2 倍時<br>1Tc × 1/2H，1.5Tc × 1/2H<br>1Tc × 1H，1.5Tc × 1H |
|           | 1Tc × 1H，1Tc × 1/2H，<br>2Tc × 2H，3Tc × 3H<br>( OSD，CDOSD モード時 )                                                            | ・ レイヤ1 と同一サイズ<br><br>・ レイヤ1 のプリ分周比 = 2 倍、かつレイヤ1 の水平ドットサイズ = 1Tc 時に限り、水平ドットサイズ 1.5Tc が選択可能。このとき、垂直ドットサイズはレイヤ1 と同一サイズ |                                                              |
| 水平表示開始位置  | 任意                                                                                                                         | レイヤ1 と同一位置                                                                                                          |                                                              |
| 垂直表示開始位置  | 任意<br>ただしドットサイズが 2Tc × 2H，3Tc × 3H の場合は、レイヤ1 とレイヤ2 の垂直表示開始位置の差を以下のように設定してください。<br>・ 2Tc × 2H : 2H 単位<br>・ 3Tc × 3H : 3H 単位 |                                                                                                                     |                                                              |

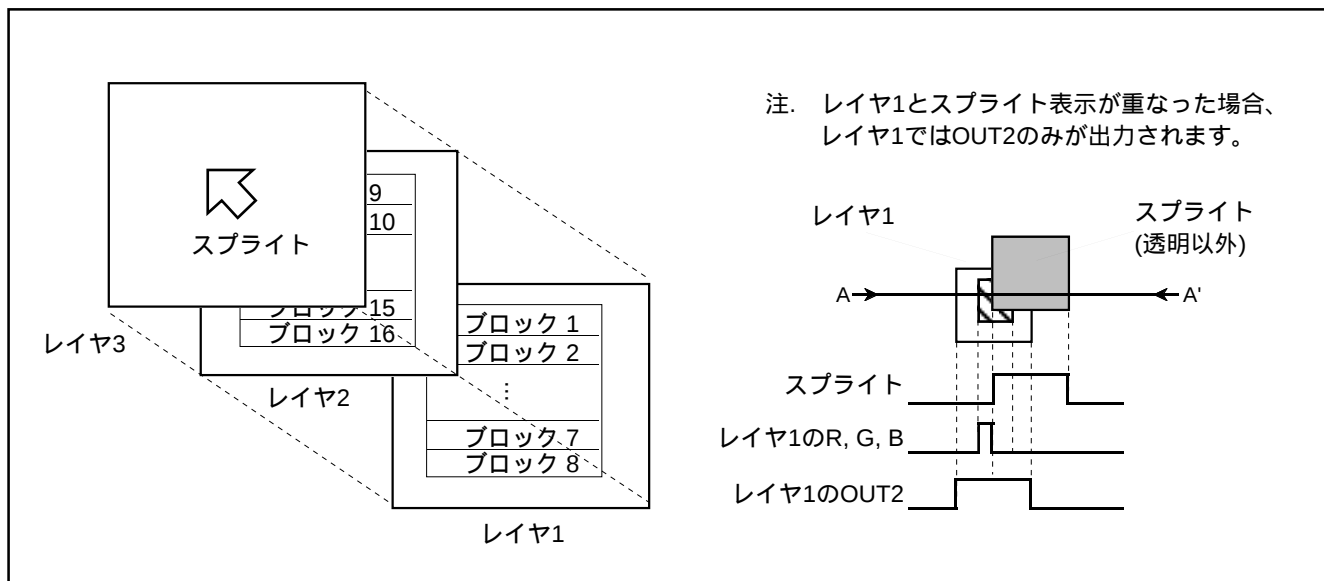


図 8.11.5 トリプルレイヤ OSD

レイヤ1に “HELLO” , レイヤ2に “CH5” を表示した例



レイヤ1とレイヤ2のカラーをOR合成(注)  
ビット7= “0” , ビット6= “0”



レイヤ1のカラー優先  
ビット7= “0” , ビット6= “1”



レイヤ2のカラー優先  
ビット7= “1” , ビット6= “0”

注. レイヤミキシングは、色に対してではなく、カラーパレットレジスタの各ビットに対してOR合成されます。  
例えばカラーパレット1(0001<sub>2</sub>)とカラーパレット2(0010<sub>2</sub>)をOR合成すると、カラーパレット1、カラーパレットレジスタ2の内容に関係なく、カラーパレット3(0011<sub>2</sub>)に設定された色が表示されます。

図 8.11.6 レイヤミキシング OSD 表示例

## OSDコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

OSDコントロールレジスタ2 (OC2) 【0215<sub>16</sub>番地】

| b    | ビット名                       | 機 能                                      | リセット時 | R | W |
|------|----------------------------|------------------------------------------|-------|---|---|
| 0, 1 | 表示レイヤ選択ビット<br>(OC20, OC21) | b1 b0 レイヤ1 レイヤ2                          | 0     | R | W |
|      |                            | 0 0 CC, OSD, CDOSD                       |       |   |   |
|      |                            | 0 1 CC, OSD                              |       |   |   |
|      |                            | 1 0 CC, CDOSD                            |       |   |   |
| 2    | R, G, B信号出力選択ビット(OC22)     | 0 : デジタル出力                               | 0     | R | W |
|      |                            | 1 : アナログ出力 (4階調) (注)                     |       |   |   |
| 3    | ソリッドスペース出力ビット(OC23)        | 0 : OUT1出力<br>1 : OUT2出力                 | 0     | R | W |
| 4    | 横ウインドウ / ブランク制御ビット(OC24)   | 0 : 動作しない<br>1 : 動作する                    | 0     | R | W |
| 5    | ウインドウ / ブランク選択ビット1(OC25)   | 0 : 横ブランク機能<br>1 : 横ウインドウ機能              | 0     | R | W |
| 6    | ウインドウ / ブランク選択ビット2(OC26)   | 0 : 縦ブランク機能<br>1 : 縦ウインドウ機能              | 0     | R | W |
| 7    | OSD割り込み要求選択ビット(OC27)       | 0 : レイヤ1のブロック表示終了時<br>1 : レイヤ2のブロック表示終了時 | 0     | R | W |

注. OSDポートコントロールレジスタのビット1を“1”にした場合、このビットの内容にかかわらず、4階調のアナログ値を2ビットのデジタル値に変換した値の、上位ビット(R1, G1, B1)がP5<sub>2</sub>, P5<sub>3</sub>, P5<sub>4</sub>端子から、下位ビット(R0, G0, B0)がP1<sub>7</sub>, P1<sub>5</sub>, P1<sub>6</sub>端子から出力されます。また、OSD機能を使用しない場合は、このビットを“0”にすることによって、消費電流を抑えることができます。

図 8.11.7 OSD コントロールレジスタ 2

## 8.11.2 表示位置

文字の表示位置はブロック単位で指定します。ブロックはブロック1～ブロック16まで16あり、1つのブロックには最大32文字まで表示できます(後述「8.11.6 OSD用メモリ」を参照してください)。

各ブロックの表示位置は水平方向、垂直方向ともソフトウェアによって設定できます。

水平方向は全ブロック共通で4Tosc( Tosc: OSD発振周期 )単位で256段階の表示位置の中から選択します。

垂直方向の表示位置はブロックごとに1TH( TH: 水平同期信号周期 )単位で1024段階の表示位置の中から選択します。

ブロックは以下の規則に従って表示されます。

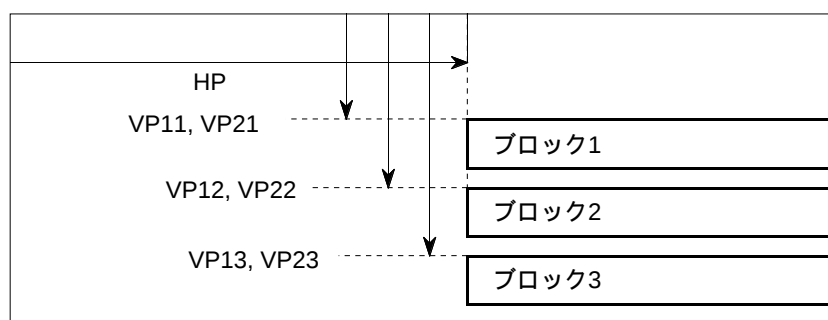
- ・ 同レイヤ内で表示位置が他のブロックと重なった場合(図8.11.8の(b))、ブロック番号(1～16)の若い(小さい)が前面に表示されます。
- ・ 同レイヤ内で1つのブロック表示中に、他のブロックの表示開始位置がきた場合(図8.11.8の(c))は、垂直表示開始位置の設定値が大きい方が表示されます。ただし、ドットサイズが2Tc × 2Hと3Tc × 3Hのブロックは他のブロックの表示期間中\*に表示させないでください。

\* OSDモードブロックの場合：

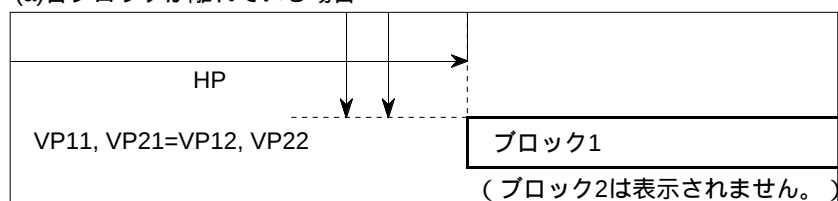
垂直表示開始位置から垂直20ドット

\* CC・CDOSDモードブロックの場合：

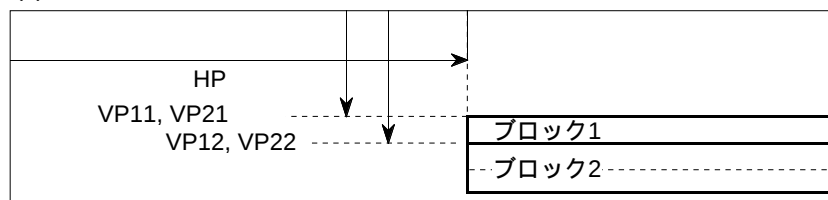
垂直表示開始位置から垂直26ドット



(a)各ブロックが離れている場合



(b)ブロック2がブロック1と重なった場合

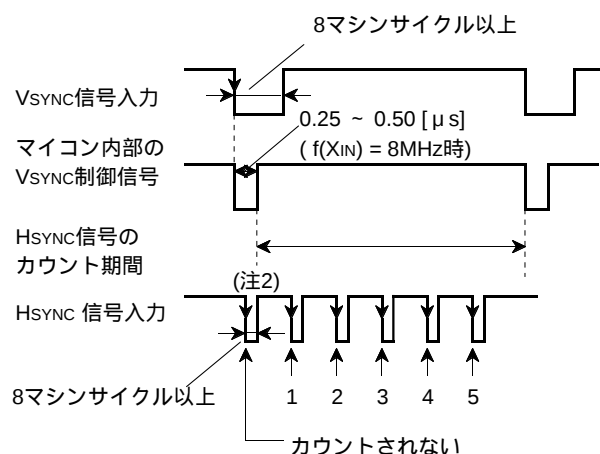


(c)ブロック2がブロック1の途中で重なった場合

注. VP1i又はVP2i ( i = 1 ~ 16 ) : 表示ブロックiの垂直表示開始位置を示します。

図8.11.8 表示位置

垂直方向の表示位置は水平同期信号 (HSYNC) をカウントすることによって確定されます。この際、VSYNC、HSYNC 信号が正極性 (負極性) 入力の場合 VSYNC 信号の立ち上がり (立ち下がり) エッジから一定期間後に HSYNC 信号の立ち上がり (立ち下がり) エッジのカウントを開始します。そのため、ジッタ対策として、VSYNC 信号の立ち上がり (立ち下がり) エッジから HSYNC 信号の立ち上がり (立ち下がり) エッジまでの間隔は充分 (2 マシンサイクル以上) とするようにしてください。HSYNC 信号及び VSYNC 信号の極性は、入出力極性コントロールレジスタ (0217<sub>16</sub> 番地) によって正極性、負極性のいずれかを選択できます。



入出力極性コントロールレジスタ(0217<sub>16</sub>番地)のビット0, ビット1が“1”(負極性)の場合

- 注1. 垂直位置はマイコン内部のVSYNC制御信号の立ち上がり後に、HSYNCの立ち下がりエッジをカウントすることによって決まります。
- 注2. ジッタ対策として、マイコン内部のVSYNC制御信号の立ち上がりエッジの付近にはHSYNCの立ち下がりエッジがないようにしてください。
3. VSYNC及びHSYNCのパルス幅は8マシンサイクル以上にしてください。

図 8.11.9 表示位置補足説明

垂直位置はブロックごとに垂直位置レジスタ  $1i$  ( $i = 1 \sim 16$ ) (0220<sub>16</sub> ~ 022F<sub>16</sub> 番地) に “00<sub>16</sub>” ~ “FF<sub>16</sub>” の値、垂直位置レジスタ  $2i$  ( $i = 1 \sim 16$ ) (0230<sub>16</sub> ~ 023F<sub>16</sub> 番地) に “00<sub>16</sub>” ~ “03<sub>16</sub>” の値を設定することにより、1024 段階 (1 段階あたり 1T<sub>H</sub> (T<sub>H</sub>: 水平同期信号周期)) の設定ができます。図 8.11.10 と図 8.11.11 に垂直位置レジスタを示します。

### 垂直位置レジスタ $1i$

b7 b6 b5 b4 b3 b2 b1 b0

垂直位置レジスタ  $1i$  (VP1i) ( $i=1 \sim 16$ ) 【0220<sub>16</sub> ~ 022F<sub>16</sub> 番地】

| b     | ビット名                                  | 機 能                                                                                                                                                             | リセット時 | R | W |
|-------|---------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0 ~ 7 | 垂直表示開始位置制御ビット (注1)<br>(VP1i0 ~ VP1i7) | 垂直表示開始位置(下位8ビット)<br>$T_H \times (VP2i \text{ の下位2ビットの設定値} \times 16^2$<br>$+ VP1i \text{ の上位4ビットの設定値} \times 16^1$<br>$+ VP1i \text{ の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |

注1. VP2i= “00<sub>16</sub>” のとき, VP1iは “00<sub>16</sub>” 又は “01<sub>16</sub>” を設定しないでください。

2. T<sub>H</sub>: Hsyncの周期

3. VP2i: 垂直位置レジスタ  $2i$

図 8.11.10 垂直位置レジスタ  $1i$

### 垂直位置レジスタ $2i$

b7 b6 b5 b4 b3 b2 b1 b0

垂直位置レジスタ  $2i$  (VP2i) ( $i=1 \sim 16$ ) 【0230<sub>16</sub> ~ 023F<sub>16</sub> 番地】

| b     | ビット名                                                | 機 能                                                                                                                                                             | リセット時 | R | W |
|-------|-----------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1  | 垂直表示開始位置制御ビット (注1)<br>(VP2i0, VP2i1)                | 垂直表示開始位置(上位2ビット)<br>$T_H \times (VP2i \text{ の下位2ビットの設定値} \times 16^2$<br>$+ VP1i \text{ の上位4ビットの設定値} \times 16^1$<br>$+ VP1i \text{ の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |
| 2 ~ 7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                                                                                 | 不定    | R | - |

注1. VP2i= “00<sub>16</sub>” のとき, VP1iは “00<sub>16</sub>” 又は “01<sub>16</sub>” を設定しないでください。

2. T<sub>H</sub>: Hsyncの周期

3. VP1i: 垂直位置レジスタ  $1i$

図 8.11.11 垂直位置レジスタ  $2i$

水平位置は全ブロック共通で、水平位置レジスタ(00CF16番地)のビット0～ビット7に“0016”～“FF16”の値を設定することにより、256段階(1段階あたり4Tosc(Tosc: OSD発振周期))の設定ができます。図8.11.12に水平位置レジスタを示します。

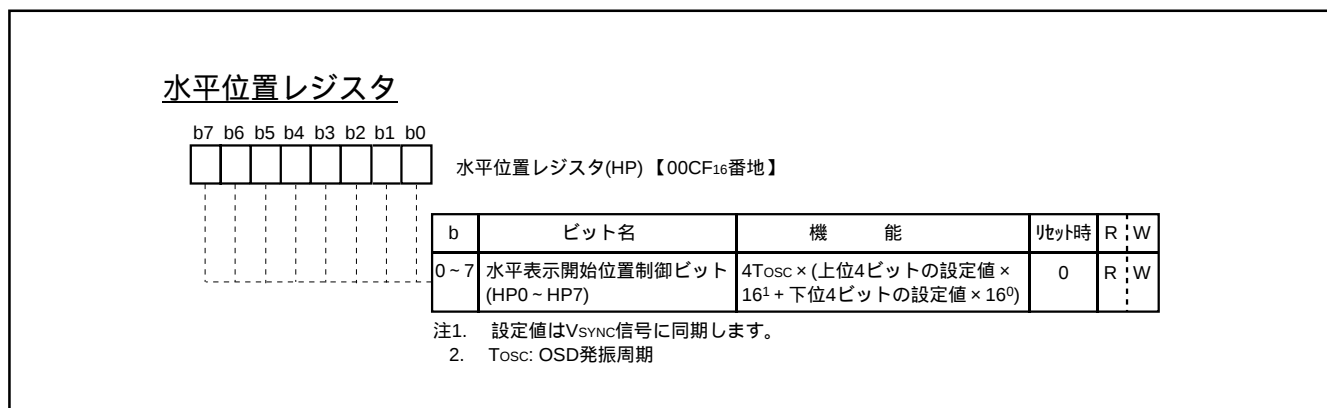


図 8.11.12 水平位置レジスタ

注. 水平位置レジスタで設定した水平表示開始位置と1ブロック目の左端のドットの間には、1T<sub>c</sub>(T<sub>c</sub>: プリ分周したOSD用クロック周期)の差が生じます。このため、プリ分周比の異なるブロックの水平表示開始位置は一致しません。通常この差は、文字サイズにかかわらず、常に1T<sub>c</sub>ですが、プリ分周比2倍で文字サイズ1.5T<sub>c</sub>を選択した場合に限り、この差は1.5T<sub>c</sub>となります。

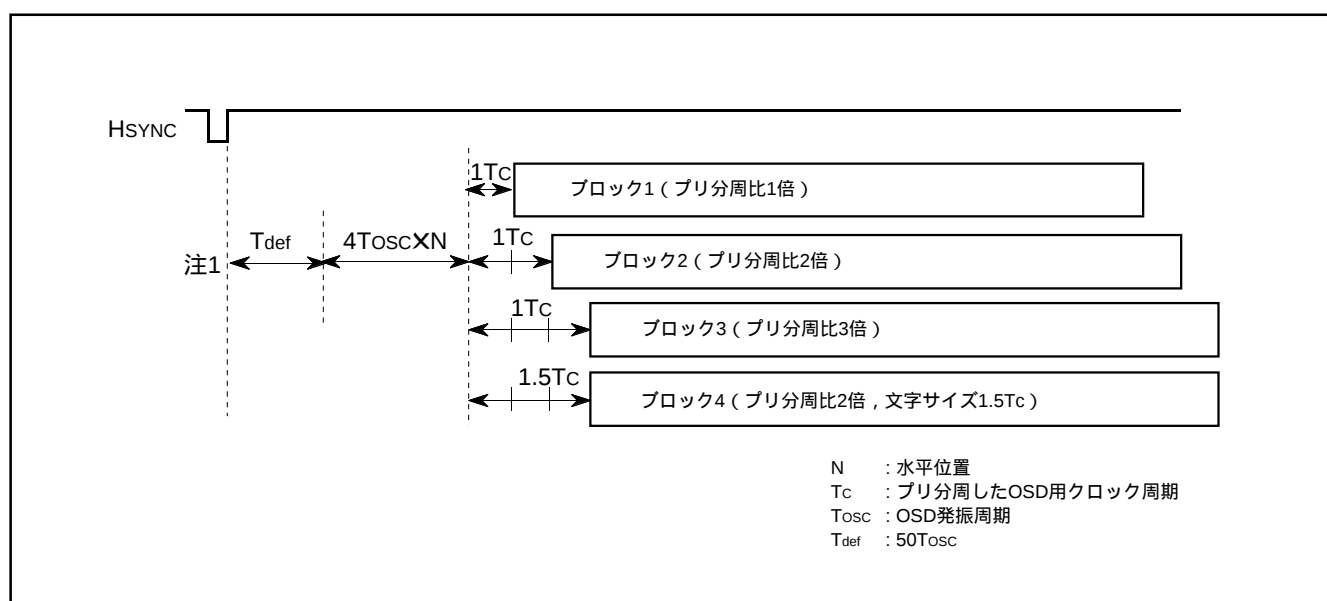


図 8.11.13 水平表示開始位置の注意点

### 8.11.3 ドットサイズ

表示するドットの大きさはブロック単位に選択できます。垂直方向のドットサイズは、HSYNCを垂直ドットサイズコントロール回路で分周することによって決定されます。水平方向のドットサイズは、OSD用クロックソース(データスライサクロック, OSC1)をプリ分周回路で分周したクロックを水平ドットサイズコントロール回路で分周することによって決定されます。プリ分周回路で分周されたクロックの周期を $1T_c$ と定義します。

ドットサイズは、ブロックコントロールレジスタiのビット3～ビット6によって指定します。

ブロックコントロールレジスタiは図8.11.4、クロックコントロールレジスタは図8.11.6を参照してください。

図8.11.14にドットサイズ制御回路のブロック図を示します。

- 注1. CCモード時、プリ分周比 = 3倍は使用できません。  
 注2. レイヤ2のプリ分周比は、レイヤ1のプリ分周比と同一になるように、ブロックコントロールレジスタiを設定してください。  
 注3. パイスキャンモード時、垂直方向のドットサイズはノーマルスキャンモード時の2倍となります。スキャンモードについては、後述「8.11.13 スキャンモード」を参照してください。

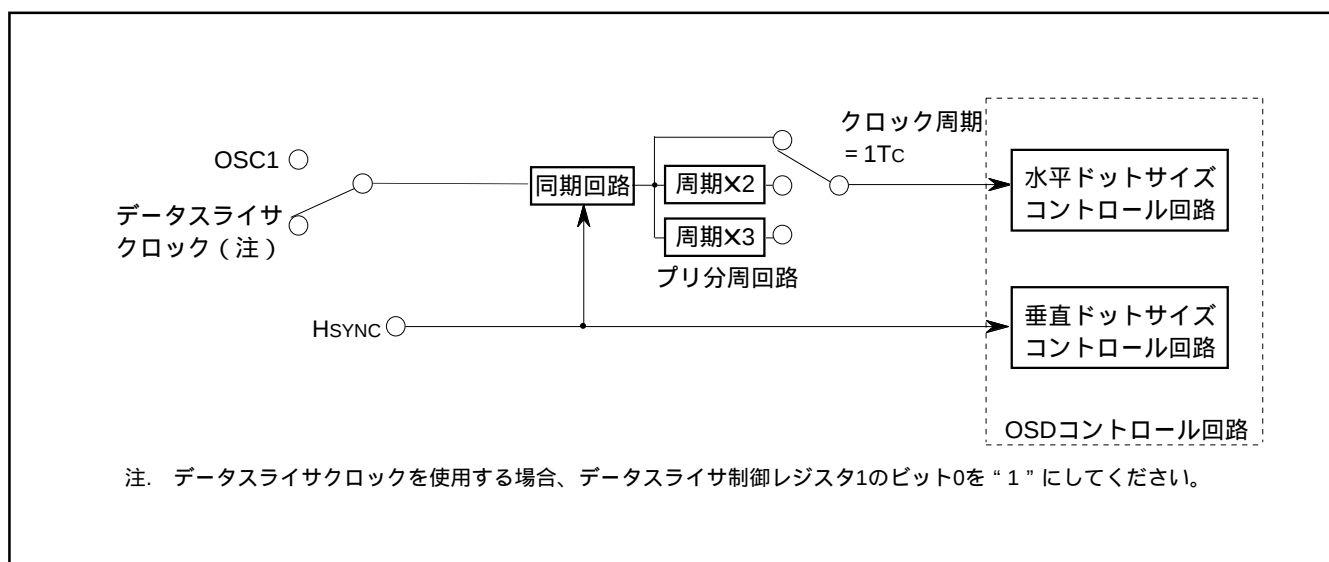


図8.11.14 ドットサイズ制御回路のブロック図

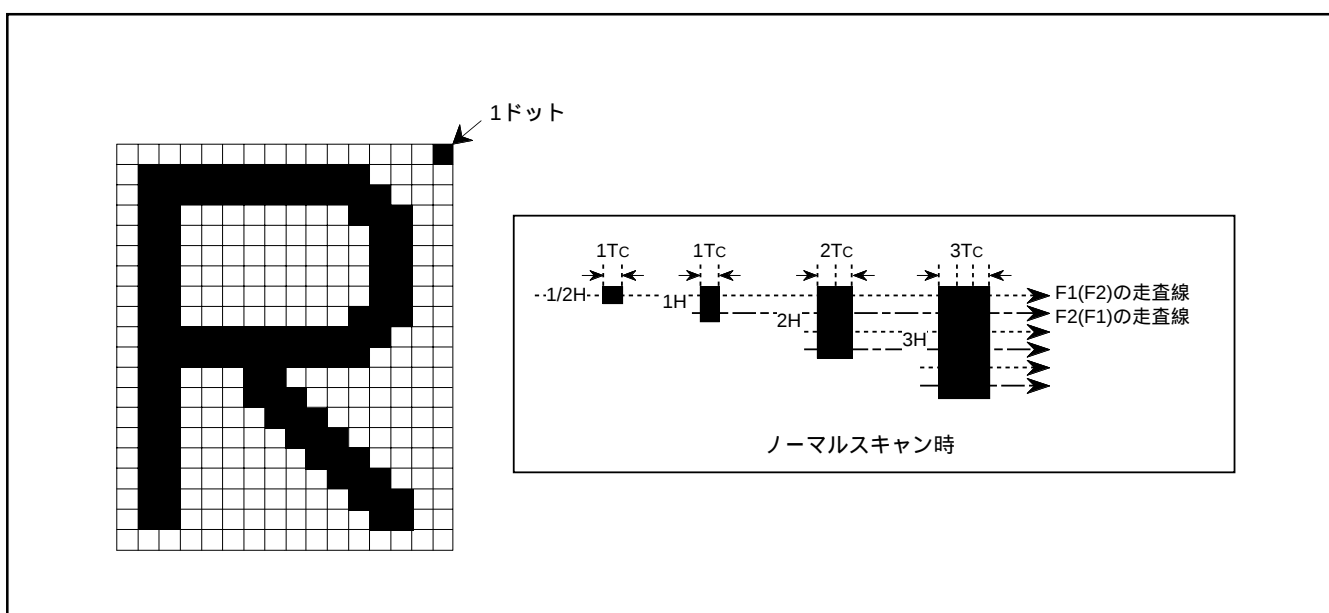


図8.11.15 ドットサイズの定義

## 8.11.4 OSD用クロック

OSD に使用するクロックは、以下の3種類の中から選択することができます。

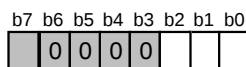
- ・ データスライサから出力されるデータスライサクロック (約26MHz)
- ・ OSC1, OSC2 端子から供給される LC からのクロック
- ・ OSC1, OSC2 端子から供給されるセラミック共振子、又は水晶発振子からのクロック

OSD 用クロックは、ポート P3 方向レジスタのビット7、クロックソースコントロールレジスタ (0216<sub>16</sub> 番地) のビット2、ビット1によって、選択することができます。OSC1、OSC2端子をOSD用クロック入出力端子として使用しない場合、サブクロックの入出力端子又はポート P6 として使用できます。

表 8.11.3 P63/OSC1/XCIN, P64/OSC2/XCOUT の設定

| 機能<br>レジスタ             |    | OSD 用クロック<br>入出力端子 |   | サブクロック<br>入出力端子 | 入力<br>ポート |
|------------------------|----|--------------------|---|-----------------|-----------|
| ポート P3 方向レジスタ<br>の b7  |    | 0                  |   | 0               | 1         |
| クロック<br>コントロール<br>レジスタ | b2 | 1                  | 1 | 0               | 0         |
|                        | b1 | 0                  | 1 | 0               | 1         |

## クロックコントロールレジスタ

クロックコントロールレジスタ(CS)【0216<sub>16</sub>番地】

| b    | ビット名                      | 機 能                                                                                             | リセット時 | R:W |
|------|---------------------------|-------------------------------------------------------------------------------------------------|-------|-----|
| 0    | クロック選択ビット (CS0)           | 0: データスライサクロック<br>1: OSC1クロック                                                                   | 0     | R:W |
| 1, 2 | OSC1発振モード選択ビット (CS1, CS2) | b2 b1<br>0 0: 32kHz発振モード<br>0 1: P63, P64の入力ポートとして使用 (注1)<br>1 0: LC発振モード<br>1 1: セラミック・水晶発振モード | 0     | R:W |
| 3~6  | これらのビットは "0" に固定してください。   |                                                                                                 | 0     | R:W |
| 7    | テスト用ビット (注2)              |                                                                                                 | 0     | R:W |

注1. P63, P64として使用する場合、00C7<sub>16</sub>番地のビット7を "1" に設定してください。

2. マスク版及びEPROM版に書き込むプログラムは、必ずビット7を "0" にしてください。ただし、エミュレータMCU版(M37280ERSS)の場合、クロックソースにデータスライサクロックを選択時、ソフトウェアデバッグはビット7を "1" の状態で行ってください。

図 8.11.16 クロックコントロールレジスタ

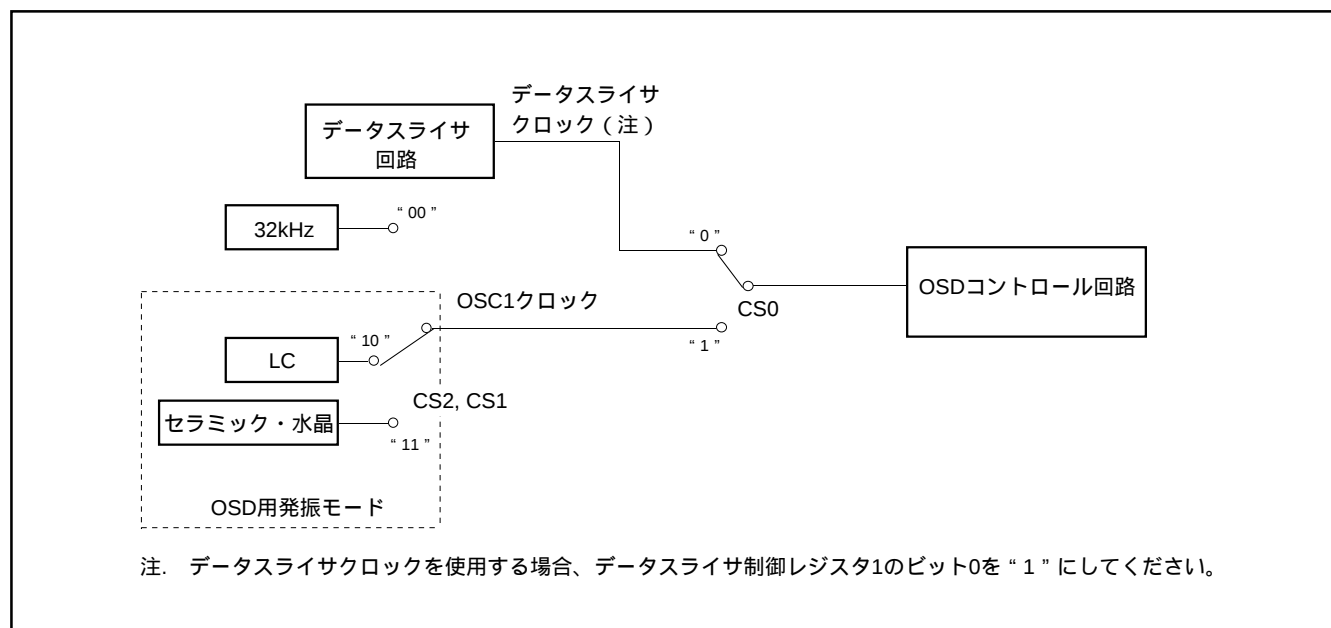


図 8.11.17 OSD 用クロックの選択回路のブロック図

## 8.11.5 フィールド判別表示

垂直ドットサイズ=1/2Hのブロックの表示は、インタレース方式の同期信号に対して、その波形の差異から偶数フィールドであるか奇数フィールドであるかを判別します。そのフィールドに対応したドットライン0とドットライン1(図8.11.19参照)を交互に表示します。

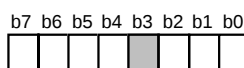
以下水平同期信号、垂直同期信号が共に負極性入力の場合のフィールド判別基準を説明します。フィールド判別は、水平同期信号の立ち上がりエッジからマイコン内部のVSYNC制御信号(図8.11.9を参照)の立ち上がりエッジまでの時間を検出し、一つ前のフィールドの時間と比較することで判別を行います。比較する時間に対して長ければ“偶数フィールド”、短ければ“奇数フィールド”となります。

なお、フィールド判別フラグはマイコン内部のVSYNC制御信号の立ち上がりエッジ検出時に変化します。

このフィールドの内容はフィールド判別フラグ(入出力極性コントロールレジスタ; 0217<sub>16</sub>番地のビット7)で読み出すことができます。また、入出力極性コントロールレジスタのビット6によってどちらのドットラインで表示するかを選択することができます(図8.11.19参照)。

ただし、CPUから読み出したフィールド判別フラグはビット6の値に関係なく、偶数フィールドで“0”、奇数フィールドで“1”と固定されています。

## 入出力極性コントロールレジスタ

入出力極性コントロールレジスタ(PC)【0217<sub>16</sub>番地】

| b | ビット名                                               | 機能                                                                                                                                                                                                                                                                                                                                                                                                             | ビット時 | R | W |
|---|----------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|---|---|
| 0 | HSYNC入力極性切り替えビット(PC0)                              | 0: 正極性入力<br>1: 負極性入力                                                                                                                                                                                                                                                                                                                                                                                           | 0    | R | W |
| 1 | VSYNC入力極性切り替えビット(PC1)                              | 0: 正極性入力<br>1: 負極性入力                                                                                                                                                                                                                                                                                                                                                                                           | 0    | R | W |
| 2 | R/G/B出力極性切り替えビット(PC2)                              | 0: 正極性出力<br>1: 負極性出力                                                                                                                                                                                                                                                                                                                                                                                           | 0    | R | W |
| 3 | このビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                                                                                                                                                                                                                                                                                                                                                                                                | 0    | R | - |
| 4 | OUT1出力極性切り替えビット(PC4)                               | 0: 正極性出力<br>1: 負極性出力                                                                                                                                                                                                                                                                                                                                                                                           | 0    | R | W |
| 5 | OUT2出力極性切り替えビット(PC5)                               | 0: 正極性出力<br>1: 負極性出力                                                                                                                                                                                                                                                                                                                                                                                           | 0    | R | W |
| 6 | 表示ドットライン選択ビット(PC6)(注)                              | 0: 偶数フィールド時は <br>奇数フィールド時は <br>1: 偶数フィールド時は <br>奇数フィールド時は  | 0    | R | W |
| 7 | フィールド判別フラグ(PC7)(注)                                 | 0: 偶数フィールド<br>1: 奇数フィールド                                                                                                                                                                                                                                                                                                                                                                                       | 1    | R | - |

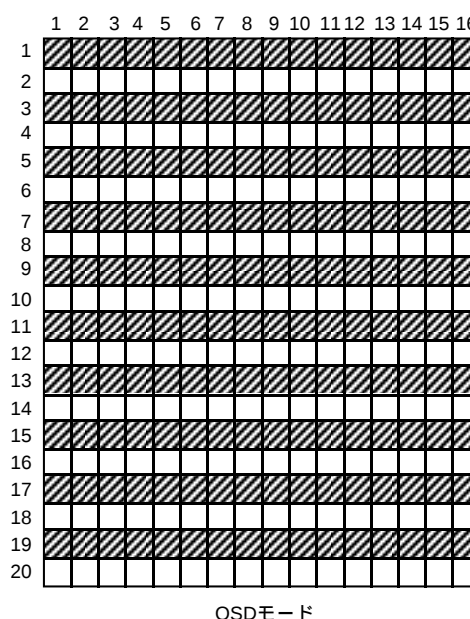
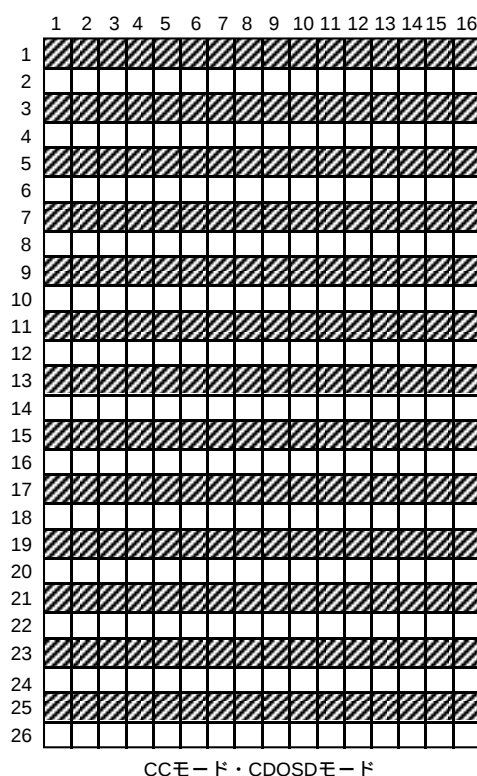
注. 対応図(図12.11.19)参照。

図8.11.18 入出力極性コントロールレジスタ

HSYNC信号, VSYNC信号共に負極性入力の場合

| HSYNC                              |                    | フィールド | フィールド<br>判別フラグ<br>(注) | 表示ドットライン<br>選択ビット | 表示ドット<br>ライン                                |
|------------------------------------|--------------------|-------|-----------------------|-------------------|---------------------------------------------|
| VSYNCと<br>マイコン内<br>部のVSYNC<br>制御信号 | (n-1)フィールド<br>(奇数) | 奇数    |                       |                   |                                             |
|                                    | (n)フィールド<br>(偶数)   | 偶数    | 0 ( $T2 > T1$ )       | 0                 | ドットライン1 <input type="checkbox"/>            |
|                                    | (n)フィールド<br>(偶数)   | 偶数    | 0 ( $T2 > T1$ )       | 1                 | ドットライン0 <input checked="" type="checkbox"/> |
|                                    | (n+1)フィールド<br>(奇数) | 奇数    | 1 ( $T3 < T2$ )       | 0                 | ドットライン0 <input checked="" type="checkbox"/> |
|                                    | (n+1)フィールド<br>(奇数) | 奇数    | 1 ( $T3 < T2$ )       | 1                 | ドットライン1 <input type="checkbox"/>            |

フィールド判別フラグを使用する場合, PWMモードレジスタ1 (020A16番地) のビット0は必ず“0”にしてください。



例. 表示ドットライン選択ビット = “0” の場合, 偶数フィールド時 ☐ のフォント, 奇数フィールド時 ☒ のフォントを表示します。また, 入出力極性コントロールレジスタのビット7には, フィールド判別フラグとして, 奇数フィールド時 “1” が, 偶数フィールド時 “0” が読み出されます。

OSD用ROMフォント構成図

注. フィールド判別フラグはマイコン内部のVSYNC制御信号 (負極性入力) の立ち上がりのタイミングで変化します。

図 8.11.19 フィールド判別フラグと表示フォントの関係

## 8.11.6 OSD用メモリ

OSD用メモリは、文字のドットデータを格納するOSD ROM (10800<sub>16</sub> ~ 157FF<sub>16</sub>, 18000<sub>16</sub> ~ 1ACFF<sub>16</sub> 番地) と、表示する文字種類、色、及びスプライト表示を指定するOSD RAM (0700<sub>16</sub> ~ 07A7<sub>16</sub>, 0800<sub>16</sub> ~ 0FDF<sub>16</sub> 番地) の2種類があります。以下、別々に説明します。

(1) OSD ROM (10800<sub>16</sub> ~ 157FF<sub>16</sub>, 18000<sub>16</sub> ~ 1ACFF<sub>16</sub> 番地)

OSD ROM のキャラクタフォントエリアにはキャラクタフォントデータを、同ROMのカラードットフォントエリアにはCDフォントデータを格納します。表示キャラクタフォント及びCDフォント種類の指示は、それらの文字コードをOSD RAM に書き込んで行います。

キャラクタフォントデータの格納アドレスを図8.11.20、カラードットフォントデータの格納アドレスを図8.11.21 に示します。

なお、キャラクタフォントは510種類、CDフォントは62種類が格納できます。

キャラクタフォントデータのOSD ROMアドレス

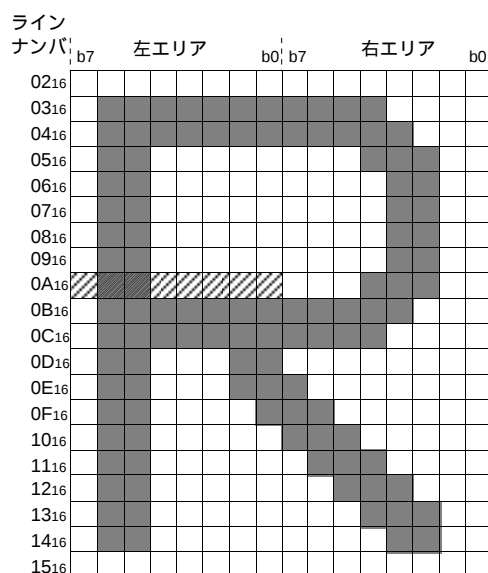
| OSD ROM<br>アドレスビット      | AD16 | AD15 | AD14   | AD13 | AD12 | AD11 | AD10 | AD9 | AD8   | AD7 | AD6 | AD5 | AD4 | AD3 | AD2 | AD1 | AD0        |
|-------------------------|------|------|--------|------|------|------|------|-----|-------|-----|-----|-----|-----|-----|-----|-----|------------|
| ラインナンバ/文字コード/<br>エリアビット | 1    | 0    | ラインナンバ |      |      |      |      |     | 文字コード |     |     |     |     |     |     |     | エリア<br>ビット |

ラインナンバ = "02<sub>16</sub>" ~ "15<sub>16</sub>"

文字コード = "00<sub>16</sub>" ~ "1F<sub>16</sub>" (ただし、"0F<sub>16</sub>", "10<sub>16</sub>"は使用できません。該当アドレスに"FF<sub>16</sub>"を書き込んでください。)

エリアビット = 0: 左エリア 1: 右エリア

例) 文字コードAA<sub>16</sub>の斜線部のフォントデータ"60"は1 0 0 1 0 1 0 0 1 0 1 0 1 0 1 0 2番地=12954<sub>16</sub>番地に格納されます。



文字コードAA<sub>16</sub>

図8.11.20 キャラクタフォントデータの格納アドレス

### CDフォントデータのOSD ROMアドレス

|                         |      |      |      |             |      |        |      |     |     |     |     |     |       |     |     |     |            |
|-------------------------|------|------|------|-------------|------|--------|------|-----|-----|-----|-----|-----|-------|-----|-----|-----|------------|
| OSD ROM<br>アドレスビット      | AD16 | AD15 | AD14 | AD13        | AD12 | AD11   | AD10 | AD9 | AD8 | AD7 | AD6 | AD5 | AD4   | AD3 | AD2 | AD1 | AD0        |
| ラインナンバ/CDコード/<br>エリアビット | 1    | 1    | 0    | ブレイク<br>ビット | 選択   | ラインナンバ |      |     |     |     |     |     | CDコード |     |     |     | エリア<br>ビット |

ラインナンバ = "00<sub>16</sub>" ~ "19<sub>16</sub>"

プレーン選択ビット = 0 ~ 2

CDコード = “00<sub>16</sub>” ~ “3F<sub>16</sub>”（ただし、“1F<sub>16</sub>”, “20<sub>16</sub>”は使用できません。該当アドレスに“FF<sub>16</sub>”を書き込んでください。）

エリアビット = 0:左エリア    1:右エリア

例) CDコード3A16の網がけ部のフォントデータ(ラインナンバ“0E16”、右エリア)は、1A77516番地(プレーン2)に“0316”、1977516番地(プレーン1)に“C016”、1877516番地(プレーン0)に“F816”が、それぞれ格納されます。

プレーン 2

プレーン 1

プレーン 0

(カラーパレット選択ビット2)

(カラーパレット選択ビット 1)

(カラーパレット選択ビット 0)

[illegible][illegible][illegible]

"0316"

“C016”

D "F816

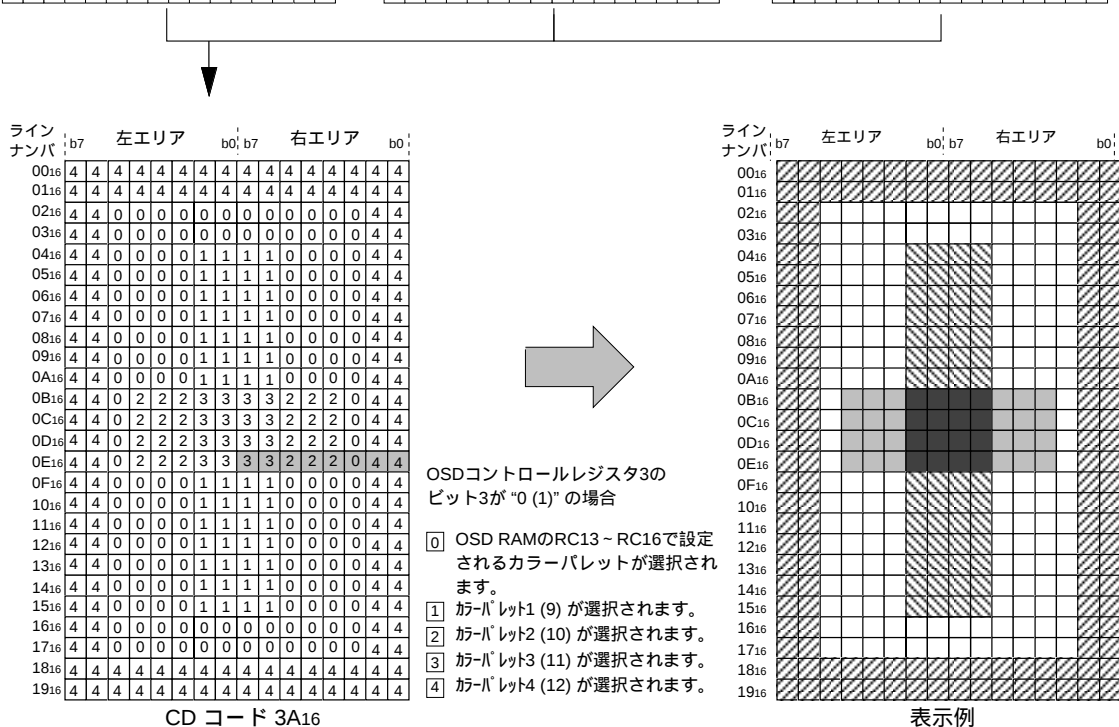


図 8.11.21 カラードットフォントデータの格納アドレス

(2) OSD RAM (0700<sub>16</sub> ~ 07A7<sub>16</sub>, 0800<sub>16</sub> ~ 0FFF<sub>16</sub> 番地)

スプライト表示用のOSD RAMは、0700<sub>16</sub> ~ 07A7<sub>16</sub>番地に割り当てられており、3つのプレーンから構成されています。各3つのプレーンは各カラーパレット選択ビットと対応しており、ドット単位に8種類の中からカラーパレットが指定できます。

キャラクタ表示用のOSD RAMは、0800<sub>16</sub> ~ 0FFF<sub>16</sub>番地に割り当てられており、ブロックごとに文字コード指定部、色コード1指定部、色コード2指定部に分かれています。アドレスマップを表 8.11.5 と表 8.11.6 に示します。

たとえば、ブロック1の一文字目(左端)に文字を表示する場合、0800<sub>16</sub>番地に文字コードを、0820<sub>16</sub>番地に表示する色コード1を、0840<sub>16</sub>番地に表示する色コード2を書き込みます。OSD RAMのビット構成を図 8.11.23 に示します。

注. レイヤ2の表示ブロックのうち、ドットサイズが1.5Tc × 1/2H 又は 1.5Tc × 1Hのブロックは、通常のブロック(ドットサイズが1Tc × 1/2H 又は 1Tc × 1Hのブロック、又はレイヤ1のブロック)に対して、3n (n = 1 ~ 10) 番目の文字が抜けた状態になります。したがって、1ブロックの最大文字数は22文字となります。ただし以下の点に注意してください。

- ・OSD モード時

22文字目の文字領域には、キャラクタは表示されず、文字背景の左側1/3のみが表示されます。この背景を表示しない場合は、透明を設定してください。

- ・CDOSD モード時

22文字目の文字領域(左側1/3)には、キャラクタは表示されず、色コード1のビット3 ~ ビット6で指定されたカラーパレット色が表示されます。

3n番目の文字に対するRAMデータは表示に影響を与えないので、任意のデータを格納してください(図 8.11.22 参照)。

表 8.11.4 OSD RAM 内容 (スプライト)

| ライン (上から) | ドット (左から)               | プレーン 0<br>(カラーパレット選択ビット 0)               | プレーン 1<br>(カラーパレット選択ビット 1)               | プレーン 2<br>(カラーパレット選択ビット 2)               |
|-----------|-------------------------|------------------------------------------|------------------------------------------|------------------------------------------|
| ライン 1     | ドット 1 ~ 8<br>ドット 9 ~ 16 | 0700 <sub>16</sub><br>0701 <sub>16</sub> | 0740 <sub>16</sub><br>0741 <sub>16</sub> | 0780 <sub>16</sub><br>0781 <sub>16</sub> |
| ライン 2     | ドット 1 ~ 8<br>ドット 9 ~ 16 | 0702 <sub>16</sub><br>0703 <sub>16</sub> | 0742 <sub>16</sub><br>0743 <sub>16</sub> | 0782 <sub>16</sub><br>0783 <sub>16</sub> |
| ⋮         | ⋮                       | ⋮                                        | ⋮                                        | ⋮                                        |
| ライン 19    | ドット 1 ~ 8<br>ドット 9 ~ 16 | 0724 <sub>16</sub><br>0725 <sub>16</sub> | 0764 <sub>16</sub><br>0765 <sub>16</sub> | 07A4 <sub>16</sub><br>07A5 <sub>16</sub> |
| ライン 20    | ドット 1 ~ 8<br>ドット 9 ~ 16 | 0726 <sub>16</sub><br>0727 <sub>16</sub> | 0766 <sub>16</sub><br>0767 <sub>16</sub> | 07A6 <sub>16</sub><br>07A7 <sub>16</sub> |

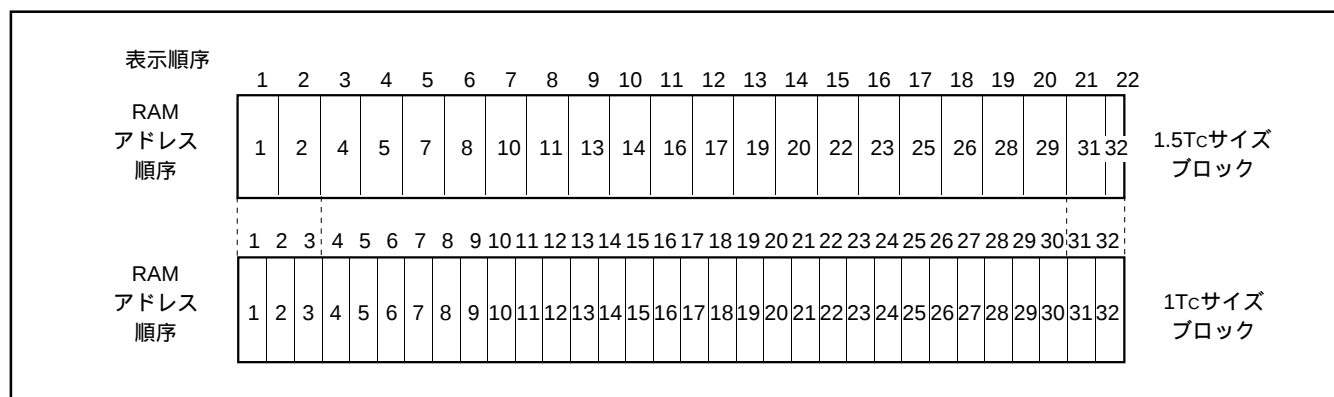
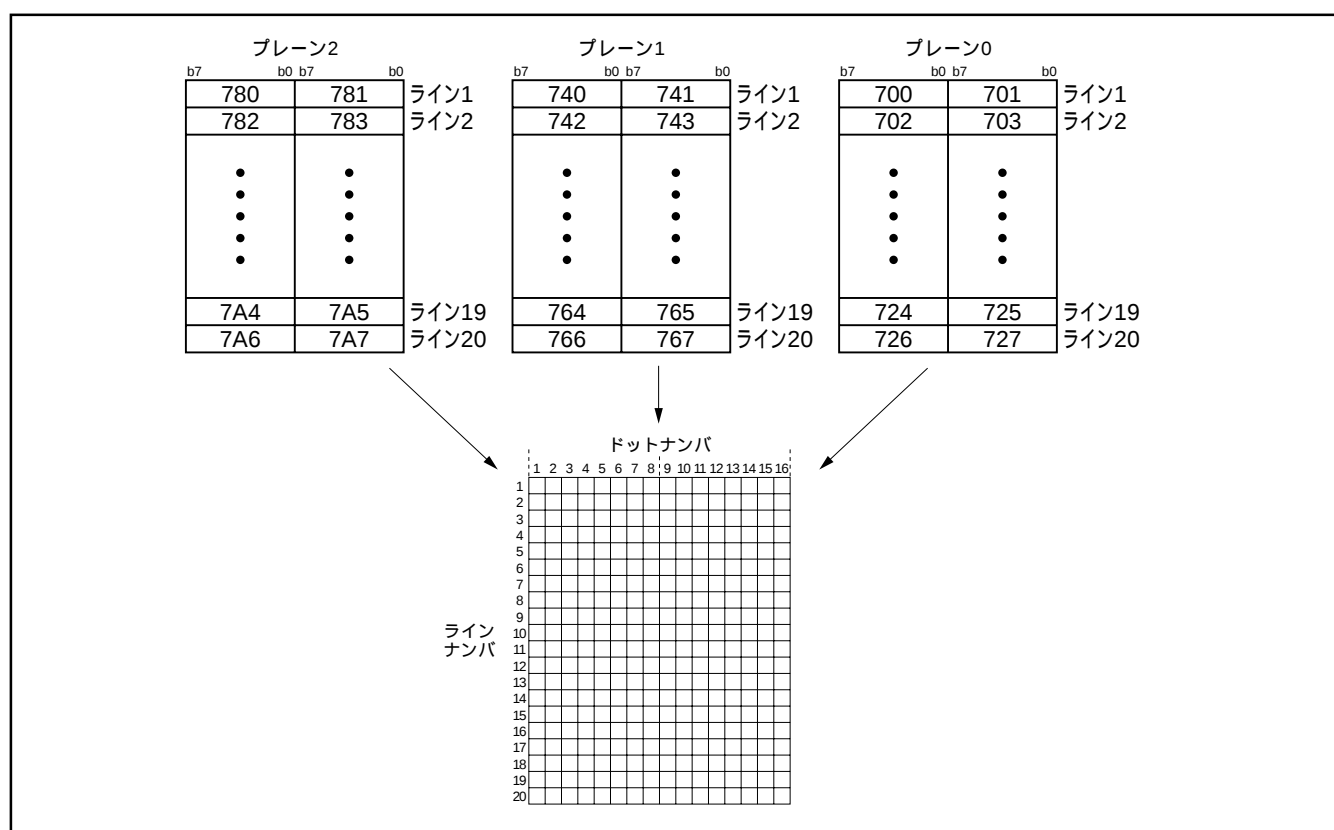


図 8.11.22 3n 番目の文字の RAM データ

表 8.11.5 OSD RAM 内容 ( キャラクタ )

| ブロック    | 表示位置 ( 左から ) | 文字コード指定            | 色コード 1 指定          | 色コード 2 指定          |
|---------|--------------|--------------------|--------------------|--------------------|
| ブロック 1  | 1 文字目        | 0800 <sub>16</sub> | 0820 <sub>16</sub> | 0840 <sub>16</sub> |
|         | 2 文字目        | 0801 <sub>16</sub> | 0821 <sub>16</sub> | 0841 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 081E <sub>16</sub> | 083E <sub>16</sub> | 085E <sub>16</sub> |
| ブロック 2  | 32 文字目       | 081F <sub>16</sub> | 083F <sub>16</sub> | 085F <sub>16</sub> |
|         | 1 文字目        | 0880 <sub>16</sub> | 08A0 <sub>16</sub> | 08C0 <sub>16</sub> |
|         | 2 文字目        | 0881 <sub>16</sub> | 08A1 <sub>16</sub> | 08C1 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
| ブロック 3  | 31 文字目       | 089E <sub>16</sub> | 08BE <sub>16</sub> | 08DE <sub>16</sub> |
|         | 32 文字目       | 089F <sub>16</sub> | 08BF <sub>16</sub> | 08DF <sub>16</sub> |
|         | 1 文字目        | 0900 <sub>16</sub> | 0920 <sub>16</sub> | 0940 <sub>16</sub> |
|         | 2 文字目        | 0901 <sub>16</sub> | 0921 <sub>16</sub> | 0941 <sub>16</sub> |
| ブロック 4  | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 091E <sub>16</sub> | 093E <sub>16</sub> | 095E <sub>16</sub> |
|         | 32 文字目       | 091F <sub>16</sub> | 093F <sub>16</sub> | 095F <sub>16</sub> |
|         | 1 文字目        | 0980 <sub>16</sub> | 09A0 <sub>16</sub> | 09C0 <sub>16</sub> |
| ブロック 5  | 2 文字目        | 0981 <sub>16</sub> | 09A1 <sub>16</sub> | 09C1 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 099E <sub>16</sub> | 09BE <sub>16</sub> | 09DE <sub>16</sub> |
|         | 32 文字目       | 099F <sub>16</sub> | 09BF <sub>16</sub> | 09DF <sub>16</sub> |
| ブロック 6  | 1 文字目        | 0A00 <sub>16</sub> | 0A20 <sub>16</sub> | 0A40 <sub>16</sub> |
|         | 2 文字目        | 0A01 <sub>16</sub> | 0A21 <sub>16</sub> | 0A41 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0A1E <sub>16</sub> | 0A3E <sub>16</sub> | 0A5E <sub>16</sub> |
| ブロック 7  | 32 文字目       | 0A1F <sub>16</sub> | 0A3F <sub>16</sub> | 0A5F <sub>16</sub> |
|         | 1 文字目        | 0A80 <sub>16</sub> | 0AA0 <sub>16</sub> | 0AC0 <sub>16</sub> |
|         | 2 文字目        | 0A81 <sub>16</sub> | 0AA1 <sub>16</sub> | 0AC1 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
| ブロック 8  | 31 文字目       | 0A9E <sub>16</sub> | 0ABE <sub>16</sub> | 0ADE <sub>16</sub> |
|         | 32 文字目       | 0A9F <sub>16</sub> | 0ABF <sub>16</sub> | 0ADF <sub>16</sub> |
|         | 1 文字目        | 0B00 <sub>16</sub> | 0B20 <sub>16</sub> | 0B40 <sub>16</sub> |
|         | 2 文字目        | 0B01 <sub>16</sub> | 0B21 <sub>16</sub> | 0B41 <sub>16</sub> |
| ブロック 9  | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0B1E <sub>16</sub> | 0B3E <sub>16</sub> | 0B5E <sub>16</sub> |
|         | 32 文字目       | 0B1F <sub>16</sub> | 0B3F <sub>16</sub> | 0B5F <sub>16</sub> |
|         | 1 文字目        | 0B80 <sub>16</sub> | 0BA0 <sub>16</sub> | 0BC0 <sub>16</sub> |
| ブロック 10 | 2 文字目        | 0B81 <sub>16</sub> | 0BA1 <sub>16</sub> | 0BC1 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0B9E <sub>16</sub> | 0BBE <sub>16</sub> | 0BDE <sub>16</sub> |
|         | 32 文字目       | 0B9F <sub>16</sub> | 0BBF <sub>16</sub> | 0BDF <sub>16</sub> |
| ブロック 11 | 1 文字目        | 0C00 <sub>16</sub> | 0C20 <sub>16</sub> | 0C40 <sub>16</sub> |
|         | 2 文字目        | 0C01 <sub>16</sub> | 0C21 <sub>16</sub> | 0C41 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0C1E <sub>16</sub> | 0C3E <sub>16</sub> | 0C5E <sub>16</sub> |
| ブロック 12 | 32 文字目       | 0C1F <sub>16</sub> | 0C3F <sub>16</sub> | 0C5F <sub>16</sub> |
|         | 1 文字目        | 0C80 <sub>16</sub> | 0CA0 <sub>16</sub> | 0CC0 <sub>16</sub> |
|         | 2 文字目        | 0C81 <sub>16</sub> | 0CA1 <sub>16</sub> | 0CC1 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
| ブロック 13 | 31 文字目       | 0C9E <sub>16</sub> | 0CBE <sub>16</sub> | 0CDE <sub>16</sub> |
|         | 32 文字目       | 0C9F <sub>16</sub> | 0CBF <sub>16</sub> | 0CDF <sub>16</sub> |

表 8.11.6 OSD RAM 内容 ( キャラクタ ) ( つづき )

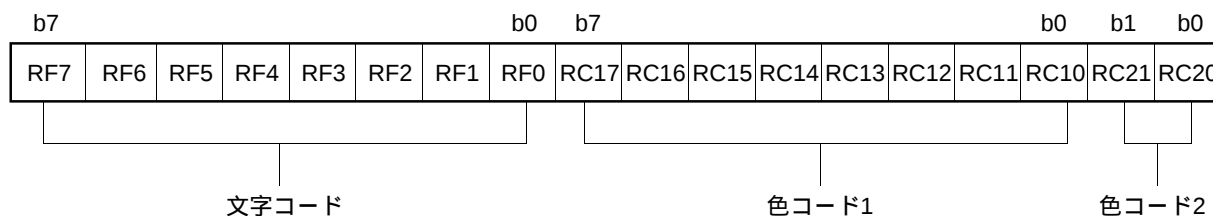
| ブロック    | 表示位置 ( 左から ) | 文字コード指定            | 色コード 1 指定          | 色コード 2 指定          |
|---------|--------------|--------------------|--------------------|--------------------|
| ブロック 11 | 1 文字目        | 0D00 <sub>16</sub> | 0D20 <sub>16</sub> | 0D40 <sub>16</sub> |
|         | 2 文字目        | 0D01 <sub>16</sub> | 0D21 <sub>16</sub> | 0D41 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0D1E <sub>16</sub> | 0D3E <sub>16</sub> | 0D5E <sub>16</sub> |
|         | 32 文字目       | 0D1F <sub>16</sub> | 0D3F <sub>16</sub> | 0D5F <sub>16</sub> |
| ブロック 12 | 1 文字目        | 0D80 <sub>16</sub> | 0DA0 <sub>16</sub> | 0DC0 <sub>16</sub> |
|         | 2 文字目        | 0D81 <sub>16</sub> | 0DA1 <sub>16</sub> | 0DC1 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0D9E <sub>16</sub> | 0DBE <sub>16</sub> | 0DDE <sub>16</sub> |
|         | 32 文字目       | 0D9F <sub>16</sub> | 0DBF <sub>16</sub> | 0DDF <sub>16</sub> |
| ブロック 13 | 1 文字目        | 0E00 <sub>16</sub> | 0E20 <sub>16</sub> | 0E40 <sub>16</sub> |
|         | 2 文字目        | 0E01 <sub>16</sub> | 0E21 <sub>16</sub> | 0E41 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0E1E <sub>16</sub> | 0E3E <sub>16</sub> | 0E5E <sub>16</sub> |
|         | 32 文字目       | 0E1F <sub>16</sub> | 0E3F <sub>16</sub> | 0E5F <sub>16</sub> |
| ブロック 14 | 1 文字目        | 0E80 <sub>16</sub> | 0EA0 <sub>16</sub> | 0EC0 <sub>16</sub> |
|         | 2 文字目        | 0E81 <sub>16</sub> | 0EA1 <sub>16</sub> | 0EC1 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0E9E <sub>16</sub> | 0EBE <sub>16</sub> | 0EDE <sub>16</sub> |
|         | 32 文字目       | 0E9F <sub>16</sub> | 0EBF <sub>16</sub> | 0EDF <sub>16</sub> |
| ブロック 15 | 1 文字目        | 0F00 <sub>16</sub> | 0F20 <sub>16</sub> | 0F40 <sub>16</sub> |
|         | 2 文字目        | 0F01 <sub>16</sub> | 0F21 <sub>16</sub> | 0F41 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0F1E <sub>16</sub> | 0F3E <sub>16</sub> | 0F5E <sub>16</sub> |
|         | 32 文字目       | 0F1F <sub>16</sub> | 0F3F <sub>16</sub> | 0F5F <sub>16</sub> |
| ブロック 16 | 1 文字目        | 0F80 <sub>16</sub> | 0FA0 <sub>16</sub> | 0FC0 <sub>16</sub> |
|         | 2 文字目        | 0F81 <sub>16</sub> | 0FA1 <sub>16</sub> | 0FC1 <sub>16</sub> |
|         | ⋮            | ⋮                  | ⋮                  | ⋮                  |
|         | 31 文字目       | 0F9E <sub>16</sub> | 0FBE <sub>16</sub> | 0FDE <sub>16</sub> |
|         | 32 文字目       | 0F9F <sub>16</sub> | 0FBF <sub>16</sub> | 0FDF <sub>16</sub> |

注. 表8.11.7のアドレスには読み出し又は書き込みを行わないで下さい。

表 8.11.7 アクセス禁止アドレス一覧表

|                                         |                                         |
|-----------------------------------------|-----------------------------------------|
| 0860 <sub>16</sub> ~ 087F <sub>16</sub> | 0C60 <sub>16</sub> ~ 0C7F <sub>16</sub> |
| 08E0 <sub>10</sub> ~ 08FF <sub>16</sub> | 0CE0 <sub>16</sub> ~ 0CFF <sub>16</sub> |
| 0960 <sub>16</sub> ~ 097F <sub>16</sub> | 0D60 <sub>16</sub> ~ 0D7F <sub>16</sub> |
| 09E0 <sub>16</sub> ~ 09FF <sub>16</sub> | 0DE0 <sub>16</sub> ~ 0DFF <sub>16</sub> |
| 0A60 <sub>16</sub> ~ 0A7F <sub>16</sub> | 0E60 <sub>16</sub> ~ 0E7F <sub>16</sub> |
| 0AE0 <sub>16</sub> ~ 0AFF <sub>16</sub> | 0EE0 <sub>16</sub> ~ 0EFF <sub>16</sub> |
| 0B60 <sub>16</sub> ~ 0B7F <sub>16</sub> | 0F60 <sub>16</sub> ~ 0F7F <sub>16</sub> |
| 0BE0 <sub>16</sub> ~ 0BFF <sub>16</sub> | 0FE0 <sub>16</sub> ~ 0FFF <sub>16</sub> |

## ブロック 1～ブロック16



| ビット                                                  | CCモード             |                   |                              | OSDモード            |                         |                              | CDOSDモード          |                                                                                  |                                                                      |
|------------------------------------------------------|-------------------|-------------------|------------------------------|-------------------|-------------------------|------------------------------|-------------------|----------------------------------------------------------------------------------|----------------------------------------------------------------------|
|                                                      | ビット名              |                   | 機能                           | ビット名              |                         | 機能                           | ビット名              |                                                                                  | 機能                                                                   |
| RF0<br>RF1<br>RF2<br>RF3<br>RF4<br>RF5<br>RF6<br>RF7 | 文字コード<br>(下位8ビット) |                   | OSD用ROMの<br>文字コードを<br>指定(注3) | 文字コード<br>(下位8ビット) |                         | OSD用ROMの<br>文字コードを<br>指定(注3) | CDコード<br>(6ビット)   |                                                                                  | OSD用ROM<br>(カラーコード)<br>の文字コードを<br>指定(注4)                             |
| RC10                                                 |                   |                   |                              |                   |                         |                              | 文字コード<br>(上位1ビット) |                                                                                  |                                                                      |
| RC11<br>RC12<br>RC13                                 | 文<br>字            | カラーパレット<br>選択ビット0 | 文字のカラー<br>パレットを指定<br>(注5)    | 文<br>字            | カラーパレット<br>選択ビット0       | 文字のカラー<br>パレットを指定<br>(注5)    | 使用しない             |                                                                                  | —————                                                                |
| RC12                                                 |                   | カラーパレット<br>選択ビット1 |                              |                   | カラーパレット<br>選択ビット1       |                              |                   |                                                                                  |                                                                      |
| RC13                                                 |                   | カラーパレット<br>選択ビット2 |                              |                   | カラーパレット<br>選択ビット2       |                              |                   |                                                                                  |                                                                      |
| RC14                                                 |                   | イタリック制御           |                              |                   | 0：イタリックOFF<br>1：イタリックON |                              |                   |                                                                                  |                                                                      |
| RC15                                                 | 文字<br>背景          | フラッシュ制御           | 0：フラッシュOFF<br>1：フラッシュON      | 文字<br>背景          | カラーパレット<br>選択ビット0       | 文字背景のカラー<br>パレットを指定<br>(注5)  | ド<br>ット<br>色      | カラーパレット<br>選択ビット0<br>カラーパレット<br>選択ビット1<br>カラーパレット<br>選択ビット2<br>カラーパレット<br>選択ビット3 | OSD ROMによって<br>カラーパレット0又は8が選<br>択されているドット<br>のカラーパレットを<br>指定<br>(注6) |
| RC16                                                 |                   | アンダーライン制御         | 0：アンダーラインOFF<br>1：アンダーラインON  |                   | カラーパレット<br>選択ビット1       |                              |                   |                                                                                  |                                                                      |
| RC17                                                 | OUT2出力制御          |                   | 0：OUT2出力OFF<br>1：OUT2出力ON    | OUT2出力制御          |                         | 0：OUT2出力OFF<br>1：OUT2出力ON    | OUT2出力制御          |                                                                                  | 0：OUT2出力OFF<br>1：OUT2出力ON                                            |
| RC20<br>RC21                                         | 文<br>字<br>背<br>景  | カラーパレット<br>選択ビット0 | 文字背景のカラー<br>パレットを指定<br>(注5)  | 文<br>字<br>背<br>景  | カラーパレット<br>選択ビット2       | 文字背景のカラー<br>パレットを指定<br>(注5)  | 使用しない             |                                                                                  | —————                                                                |
| RC21                                                 |                   | カラーパレット<br>選択ビット1 |                              |                   | カラーパレット<br>選択ビット3       |                              |                   |                                                                                  |                                                                      |

注1. 色コード2のビット2～ビット7の読み出し値は不定です。

2. “使用しない”ビットは書き込んだ値が読み出されます。

3. 文字コード“0FF16”、“10016”は使用しないでください。

4. 文字コード“1F16”、“2016”は使用しないでください。

5. 図8.11.24を参照してください。

6. CDOSDモードに限り、カラーパレット0又は8を選択したドットは、文字単位で、OSD RAMのRC13～RC16で設定されたカラーパレットに着色されます。

図 8.11.23 OSD RAM のビット構成

### 8.11.7 文字色

図 8.11.24 に示すように、16 種類のカラーパレットが定義できます。カラーパレット 0 は透明、カラーパレット 8 は黒に固定されており、残りの 14 種類は 64 色から任意の色を設定できます。文字色の種類、指定方法は以下のとおりです。

CC モード ..... 8 種類

OSD コントロールレジスタ 3( 0219<sub>16</sub> 番地 )のビット 0 によって、カラーパレットの選択範囲( カラーパレット 0 ~ 7、又はカラーパレット 8 ~ 15 )を選択します。選択範囲の中から OSD RAM の RC11 ~ RC13 によってカラーパレットを指定します。

OSD モード ..... 15 種類

OSD RAM の RC11 ~ RC14 によってカラーパレットを指定します。

CDOSD モード ..... 8 種類

OSD コントロールレジスタ 3( 0219<sub>16</sub> 番地 )のビット 3 によって、カラーパレットの選択範囲( カラーパレット 0 ~ 7、又はカラーパレット 8 ~ 15 )を選択します。選択されたカラーパレットの中から CD フォントデータ( OSD ROM<カラードットフォント>の内容 )によって、ドット単位にカラーパレットを指定します。

また、CDOSD モードに限り、カラーパレット 0 又はカラーパレット 8 を選択したドットは、文字単位で、OSD RAM の RC13 ~ RC16 で設定されたカラーパレットに着色されます( 図 8.11.25 )。

スプライト表示 ..... 8 種類

OSD コントロールレジスタ 3( 0219<sub>16</sub> 番地 )のビット 4 によって、カラーパレットの選択範囲( カラーパレット 0 ~ 7、又はカラーパレット 8 ~ 15 )を選択します。選択されたカラーパレットの中からスプライトフォントデータ( OSD RAM<スプライト>の内容 )によって、ドット単位にカラーパレットを指定します。

- 注 1. フチドリ、ソリッドスペース出力( OUT1 出力 )はレジスタの設定値にかかわらず、常にカラーパレット 8( 黒 )が選択されます。
2. カラーパレット 0( 透明 )と、0 以外のカラーパレットの透明設定とは異なります。複数のレイヤが重なったとき、優先レイヤがカラーパレット 0( 透明 )の場合は下層レイヤが表示されますが、優先レイヤが 0 以外のカラーパレットの透明設定の場合は、下層レイヤは表示されず、背景画面が表示されます( 図 8.11.26 参照 )。

### 8.11.8 文字背景色

文字表示領域に文字背景色を着色することができます。文字背景色は、文字単位に指定できます。

CC モード ..... 4 種類

OSD コントロールレジスタ 3( 0219<sub>16</sub> 番地 )のビット 1, 2 によって、カラーパレットの選択範囲( カラーパレット 0 ~ 3、4 ~ 7、8 ~ 11、又はカラーパレット 12 ~ 15 )を選択します。選択範囲の中から OSD RAM の RC20, RC21 によってカラーパレットを指定します。

OSD モード ..... 15 種類

OSD RAM の RC15, RC16, RC20, RC21 によってカラーパレットを指定します。

注. 文字背景色は文字表示領域から、フチドリ、キャラクタフォント部を引いた部分に着色されます。そのため、文字背景色とこれらの色信号は混合しません。

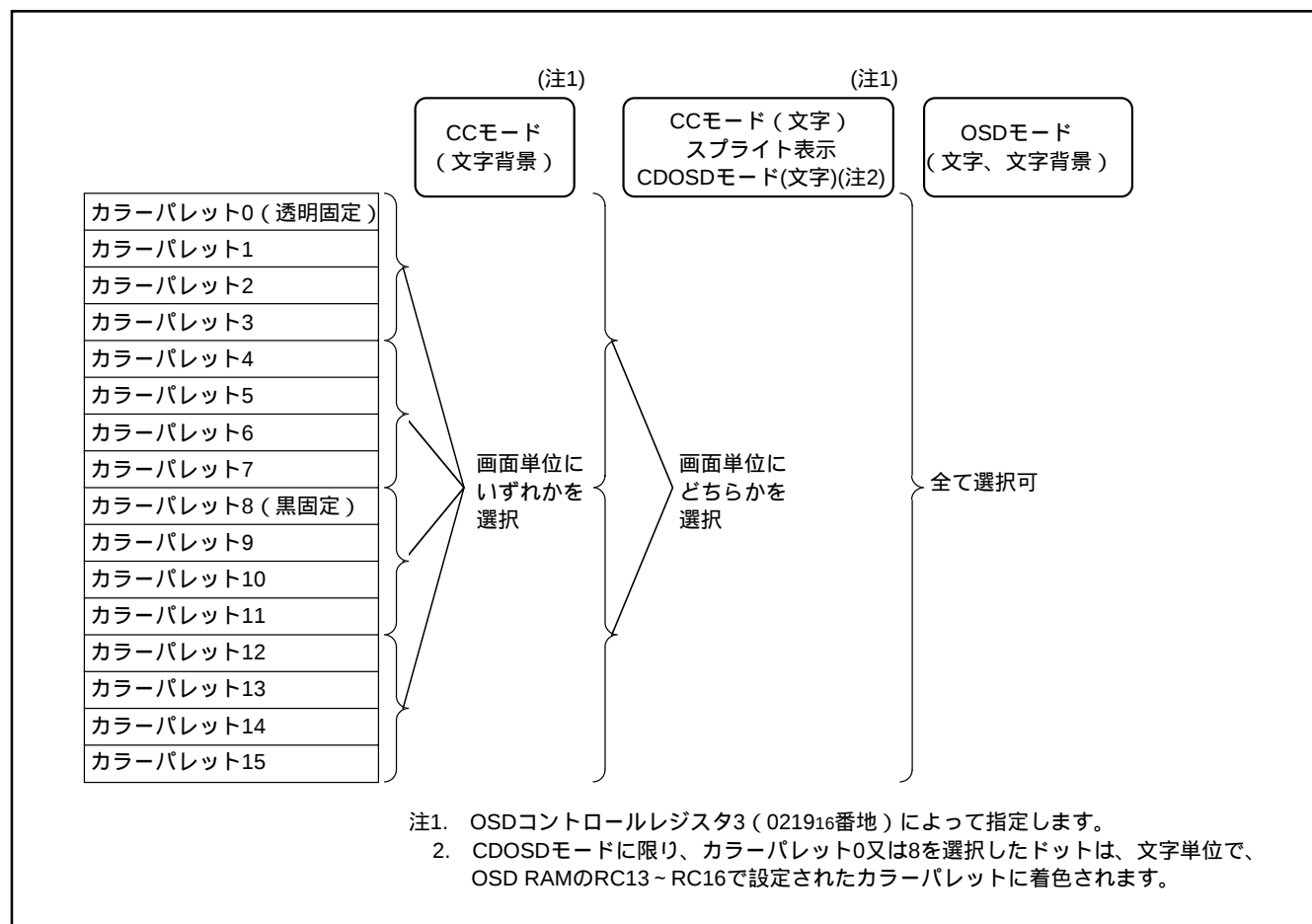


図 8.11.24 カラーパレットの選択

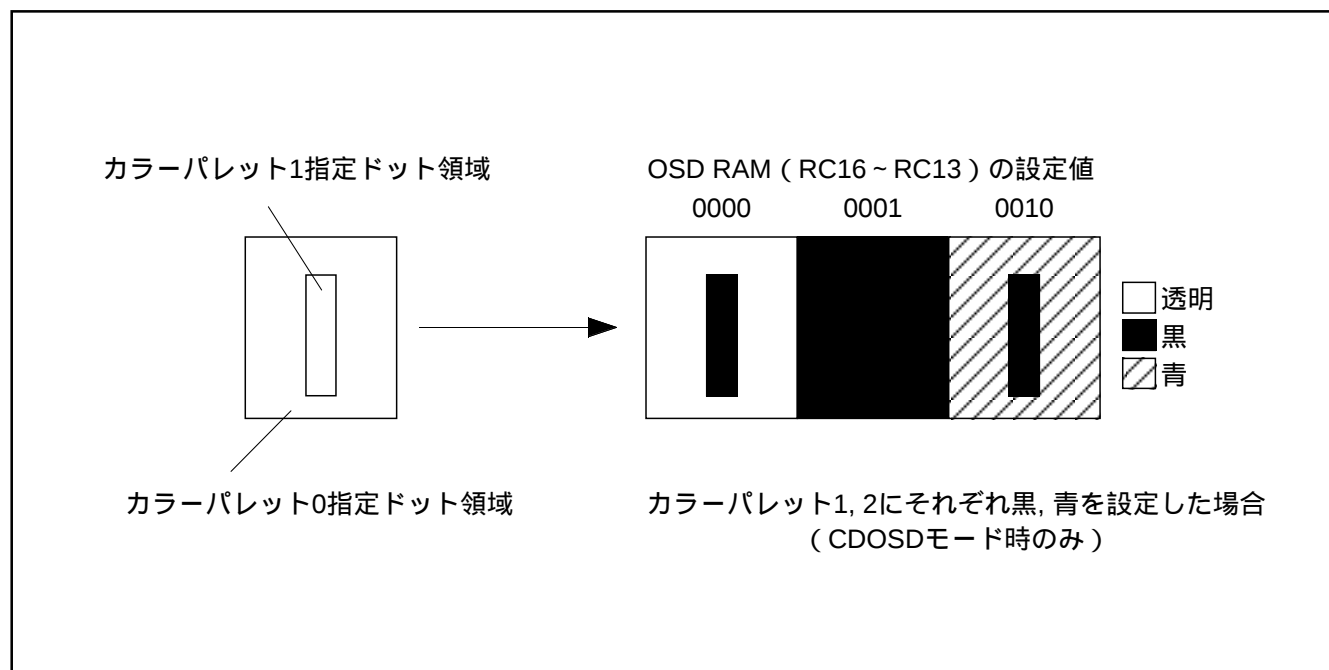


図 8.11.25 CDOSD モード時のカラーパレット 0, 8 の設定

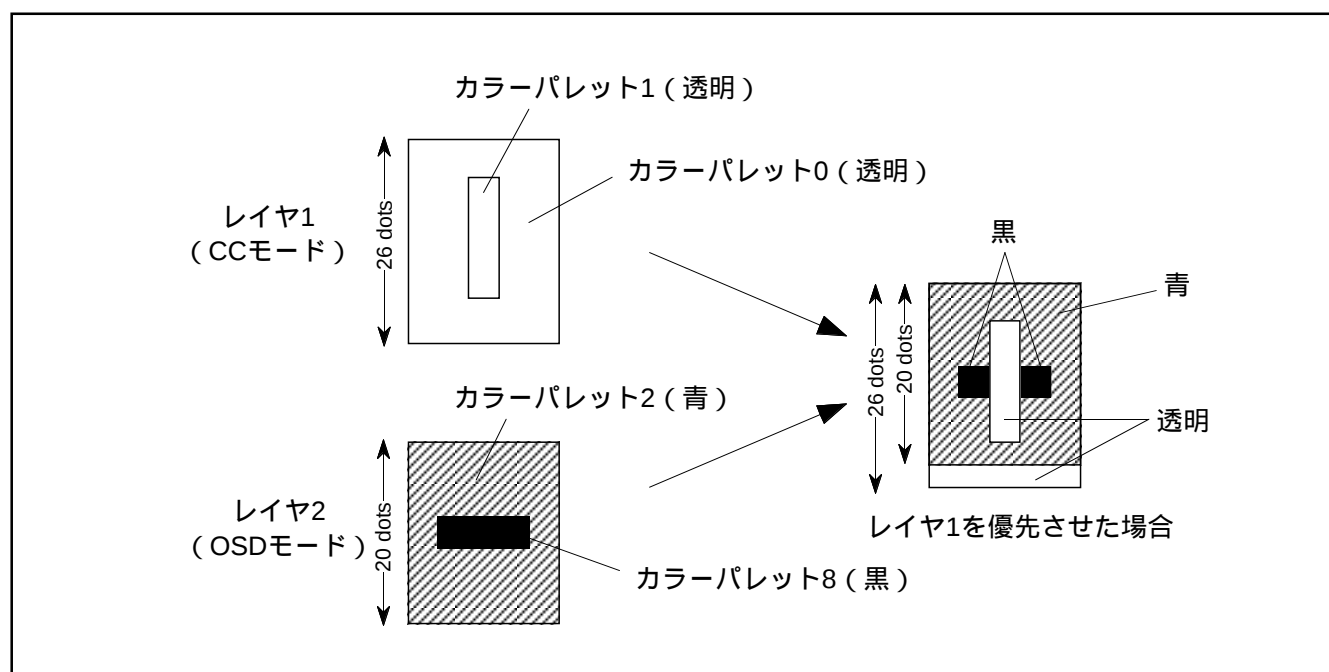


図 8.11.26 カラーパレット 0 (透明) とその他カラーパレット透明設定との違い

### OSDコントロールレジスタ3

b7 b6 b5 b4 b3 b2 b1 b0

OSDコントロールレジスタ3(OC3)【0219<sub>16</sub>番地】

| b    | ビット名                               | 機 能                                                                                      | リセット時 | R | W |
|------|------------------------------------|------------------------------------------------------------------------------------------|-------|---|---|
| 0    | CCモード文字色選択ビット(OC30)                | 0 : カラーパレット0~7<br>1 : カラーパレット8~15                                                        | 0     | R | W |
| 1, 2 | CCモード文字背景色選択ビット(OC31, OC32)<br>(注) | b2 b1<br>0 0 : カラーパレット0~3<br>0 1 : カラーパレット4~7<br>1 0 : カラーパレット8~11<br>1 1 : カラーパレット12~15 | 0     | R | W |
| 3    | CDOSDモード文字色選択ビット(OC33)             | 0 : カラーパレット0~7<br>1 : カラーパレット8~15                                                        | 0     | R | W |
| 4    | スプライト色選択ビット(OC34)                  | 0 : カラーパレット0~7<br>1 : カラーパレット8~15                                                        | 0     | R | W |
| 5    | OSDモードウインドウ制御ビット(OC35)             | 0 : ウインドウOFF<br>1 : ウインドウON                                                              | 0     | R | W |
| 6    | CCモードウインドウ制御ビット(OC36)              | 0 : ウインドウOFF<br>1 : ウインドウON                                                              | 0     | R | W |
| 7    | CDOSDモードウインドウ制御ビット(OC37)           | 0 : ウインドウOFF<br>1 : ウインドウON                                                              | 0     | R | W |

注. ソリッドスペース (OUT1出力選択時) はこのレジスタ値にかかわらず、常にカラーパレット8が選択されます。

図 8.11.27 OSD コントロールレジスタ 3

### カラーパレットレジスタ*i*

b7 b6 b5 b4 b3 b2 b1 b0

カラーパレットレジスタ*i* (CR*i*) (*i* = 1~7, 9~15)【0241<sub>16</sub> ~ 0247<sub>16</sub>, 0249<sub>16</sub> ~ 024F<sub>16</sub>番地】

| b    | ビット名                                              | 機 能                                                                                                       | リセット時 | R | W |
|------|---------------------------------------------------|-----------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | R信号出力制御ビット(CR <i>i</i> 0, CR <i>i</i> 1)          | b1 b0<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>cc</sub><br>1 0 : 2/3V <sub>cc</sub><br>1 1 : V <sub>cc</sub> | 不定    | R | W |
| 2, 3 | G信号出力制御ビット(CR <i>i</i> 2, CR <i>i</i> 3)          | b3 b2<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>cc</sub><br>1 0 : 2/3V <sub>cc</sub><br>1 1 : V <sub>cc</sub> | 不定    | R | W |
| 4, 5 | B信号出力制御ビット(CR <i>i</i> 4, CR <i>i</i> 5)          | b5 b4<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>cc</sub><br>1 0 : 2/3V <sub>cc</sub><br>1 1 : V <sub>cc</sub> | 不定    | R | W |
| 6    | OUT1出力制御ビット(CR <i>i</i> 6)                        | 0 : 出力しない<br>1 : 出力する                                                                                     | 不定    | R | W |
| 7    | このビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                           | 不定    | R | - |

注. デジタル出力を選択した場合、“00”以外の値でV<sub>cc</sub>出力します。

図 8.11.28 カラーパレットレジスタ *i*

8.11.9 OUT1, OUT2 信号

OUT1, OUT2信号は映像信号の輝度を制御するために使用します。OUT1, OUT2信号の出力波形は、カラーパレットレジスタiのビット6(図8.11.28参照)ブロックコントロール

レジスタiのビット2(図8.11.4参照) OSD RAMのRC17によって制御します。図8.11.29にOUT1, OUT2制御の設定値とその出力波形を示します。

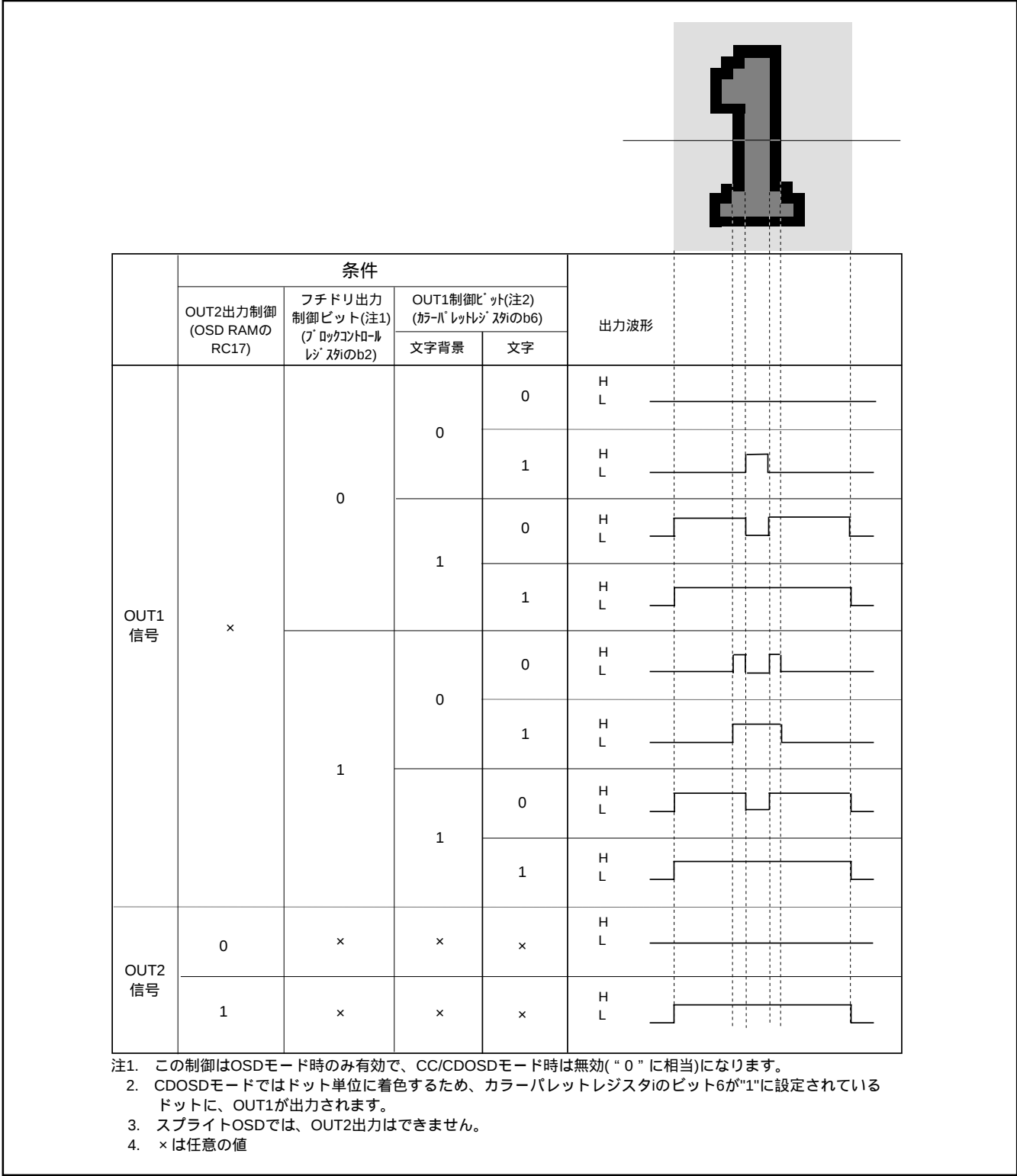


図 8.11.29 OUT1, OUT2 制御の設定値とその出力波形

## 8.11.10 アトリビュート

キャラクタフォントに対してアトリビュート（フラッシュ、アンダーライン、イタリック）を制御することができます。各モード別に制御できるアトリビュートが異なります。

CC モード ..... フラッシュ、アンダーライン、イタリック  
文字単位に指定

OSD モード ..... フチドリ（周囲・シャドウ選択可）ブロック  
ク単位に指定

## (1)アンダーライン

アンダーラインはCCモード時にだけ、縦方向の23及び24ライン目に出力されます。アンダーラインはOSD RAMのRC16で制御します。なお、アンダーラインはキャラクタフォントと同色です。

## (2)フラッシュ（点滅）

フラッシュはCCモード時にだけ、キャラクタフォント部、アンダーライン部、文字背景部をフラッシュさせます。フラッシュはOSD RAMのRC15で文字単位に制御します。また文字背景部のフラッシュの有無はOSDコントロールレジスタ1のビット3（図8.11.3参照）で制御します。このビットが“0”の場合、キャラクタフォント部及びアンダーライン部のみがフラッシュします。“1”の場合、ソリッドスペース出力なしの文字はR, G, B, OUT1（表示領域全体）がフラッシュし、ソリッドスペース出力ありの文字はR, G, Bのみ（表示領域全体）がフラッシュします。また、フラッシュの周期はVSYNCのカウントを基準とします。

< NTSC 方式の場合 >

- ・VSYNC 周期 × 48    800ms（フラッシュ ON 時）
- ・VSYNC 周期 × 16    267ms（フラッシュ OFF 時）

## (3)イタリック

イタリック体はCCモード時にだけ、OSD ROMに格納されたフォントを右側に傾斜させることにより作成します。イタリックはOSD RAMのRC14で制御します。

図8.11.31に“R”を表示した場合の、アトリビュートの表示例を示します。

- 注1. イタリックとフラッシュの両方を設定した場合、イタリック体の文字がフラッシュします。
2. フラッシュ設定をしていないイタリック文字の右側にフラッシュ設定（文字背景フラッシュ有）した文字が隣接する場合、左側の文字の右側にはみ出した部分もフラッシュします。
3. プリ分周比が1倍のブロックは1ドット×5段階の傾斜をもつイタリック体となります（図8.11.30の(c)参照）。プリ分周比が2倍のブロックは1/2ドット×10段階の傾斜をもつイタリック体となります（図8.11.30の(d)参照）。
4. 文字色の境界はイタリック体になりますが、文字背景色の境界はイタリックの影響を受けません（図8.11.31参照）。
5. イタリック体の文字に隣接する文字（片側又は両側）は、その文字がイタリックを指定していない場合でもイタリック体になります（図8.11.31参照）。
6. 32文字目のキャラクタをイタリック体にした場合、ソリッドスペースがOFFの場合（OC14=“0”）、文字領域からはみ出した部分は表示されません（図8.11.30参照）。
7. プリ分周比が1倍のブロックをイタリック表示する場合、OSDクロック周波数を11～14MHzにしてください。

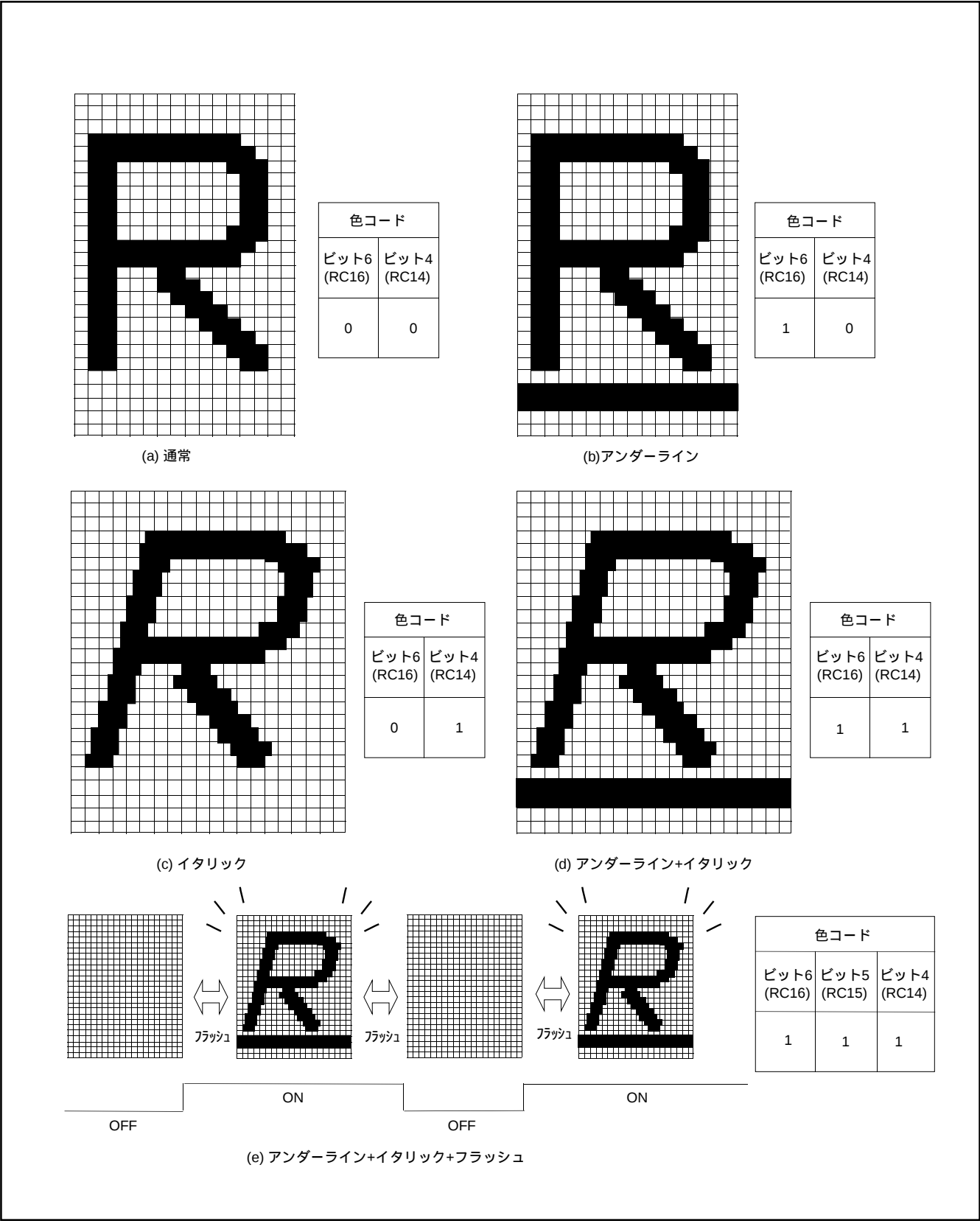


図 8.11.30 アトリビュート表示例 (CC モード時)



図 8.11.31 イタリック表示例

## (4) フチドリ

フチドリはOSDモード時にだけ出力されます。OSDコントロールレジスタ1のビット2(図8.11.3参照)によって、キャラクタフォントの周囲(周囲フチドリ)又はキャラクタフォントの右側と下側(シャドウフチドリ)のいずれかを選択できます(図8.11.31参照)。フチドリのON/OFFは、ブロックコントロールレジスタiのビット2(図8.11.4参照)でブロック単位に制御できます。

フチドリの出力はOUT1信号で行われます。また、フチドリの色はカラーパレット8(黒)に固定されています。

フチドリの水平サイズ(x)は、キャラクタフォントのドットサイズにかかわらず、1Tc幅(OSDクロックをプリ分周した周期幅)です。ただし、プリ分周比2倍で文字サイズに1.5Tcを選択した場合に限り、水平サイズは1.5Tc幅となります。垂直サイズ(y)は、画面のスクアンモード、キャラクタフォントの垂直ドットサイズに応じて異なります。

- 注1. フチドリドットの表示域は図8.11.34に示す網掛けの範囲です。
2. フチドリドットと、隣接する文字のキャラクタフォントが重なった場合、キャラクタフォントが優先されます(図8.11.35のA参照)。また、フチドリドットと、隣接する文字背景部が重なった場合、フチドリが優先されます(図8.11.35のB参照)。
3. キャラクタフォントの文字領域をはみ出した上下方向のフチドリは表示されません(図8.11.35参照)。

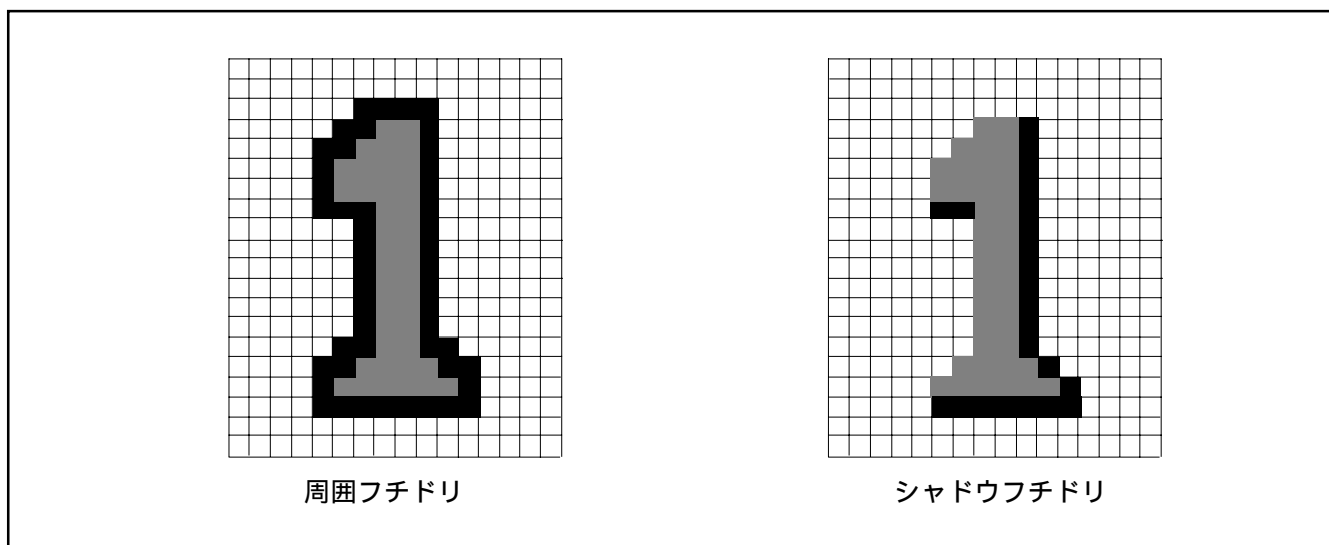


図8.11.32 フチドリ表示例

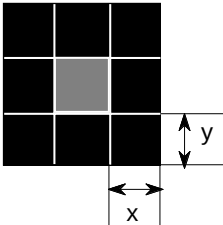
|                                                                                     |                    |  |                                                    |            |
|-------------------------------------------------------------------------------------|--------------------|--|----------------------------------------------------|------------|
|  | スキャンモード            |  | ノーマルスキャンモード                                        | バイスキャンモード  |
|                                                                                     | キャラクタフォントの垂直ドットサイズ |  | 1/2H                                               | 1H, 2H, 3H |
| フチドリドットサイズ                                                                          |                    |  | 1/2H, 1H, 2H, 3H                                   |            |
| 水平サイズ(x)                                                                            |                    |  | 1Tc (プリ分周したOSD用クロック周期)<br>文字サイズに1.5Tcを選択した場合は1.5Tc |            |
| 垂直サイズ(y)                                                                            |                    |  | 1/2H                                               | 1H         |

図8.11.33 フチドリの水平サイズ及び垂直サイズ

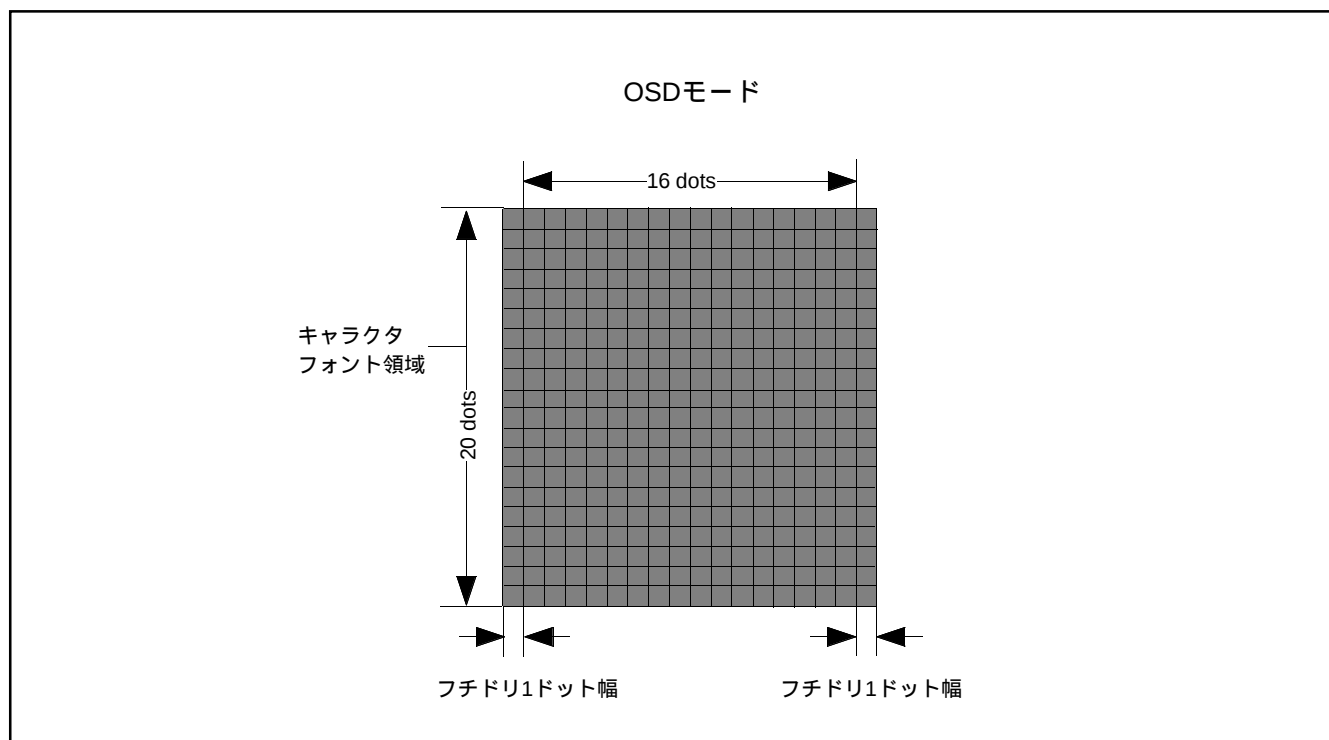


図 8.11.34 フチドリの領域

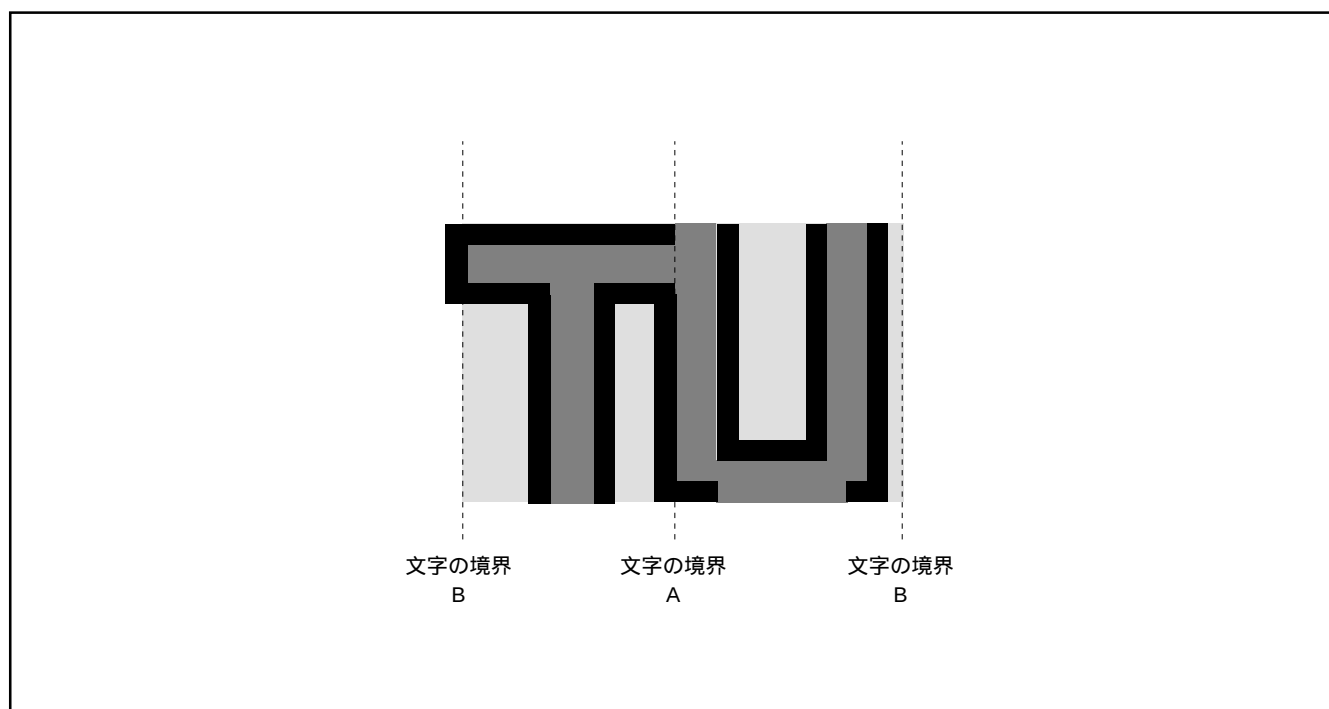


図 8.11.35 フチドリの優先順位

## 8.11.11 オートソリッドスペース機能

この機能は、CCモード時に文字領域のソリッドスペース（OUT1又はOUT2ブランク出力）を、ハードウェアで自動的に発生させる機能です。

ソリッドスペースは、文字コードが“009<sub>16</sub>”以外の文字、及びその左右の文字の文字領域に出力されます。この機能はOSDコントロールレジスタ1のビット4（図8.11.3参照）でON/OFFします。また、OUT1及びOUT2の出力の選択は、OSDコントロールレジスタ2のビット3で行います。

注．ソリッドスペース出力にOUT1を選択した場合、ソリッドスペース出力のある文字背景色は、設定にかかわらず常にカラーパレット8（黒）になります。

表 8.11.7 オートソリッドスペース機能の設定

| OSD コントロールレジスタ 1 のビット 4 | 0                     |        |                       |        | 1         |        |                       |                      |
|-------------------------|-----------------------|--------|-----------------------|--------|-----------|--------|-----------------------|----------------------|
| OSD コントロールレジスタ 2 のビット 3 | 0                     |        | 1                     |        | 0         |        | 1                     |                      |
| OSD RAM の RC17          | 0                     | 1      | 0                     | 1      | 0         | 1      | 0                     | 1                    |
| OUT1 出力信号               | ・キャラクタフォント部<br>・文字背景部 |        | ・キャラクタフォント部<br>・文字背景部 |        | ・ソリッドスペース |        | ・キャラクタフォント部<br>・文字背景部 |                      |
| OUT2 出力信号               | OFF                   | 文字表示領域 | OFF                   | 文字表示領域 | OFF       | 文字表示領域 | ソリッドスペース              | ・ソリッドスペース<br>・文字表示領域 |

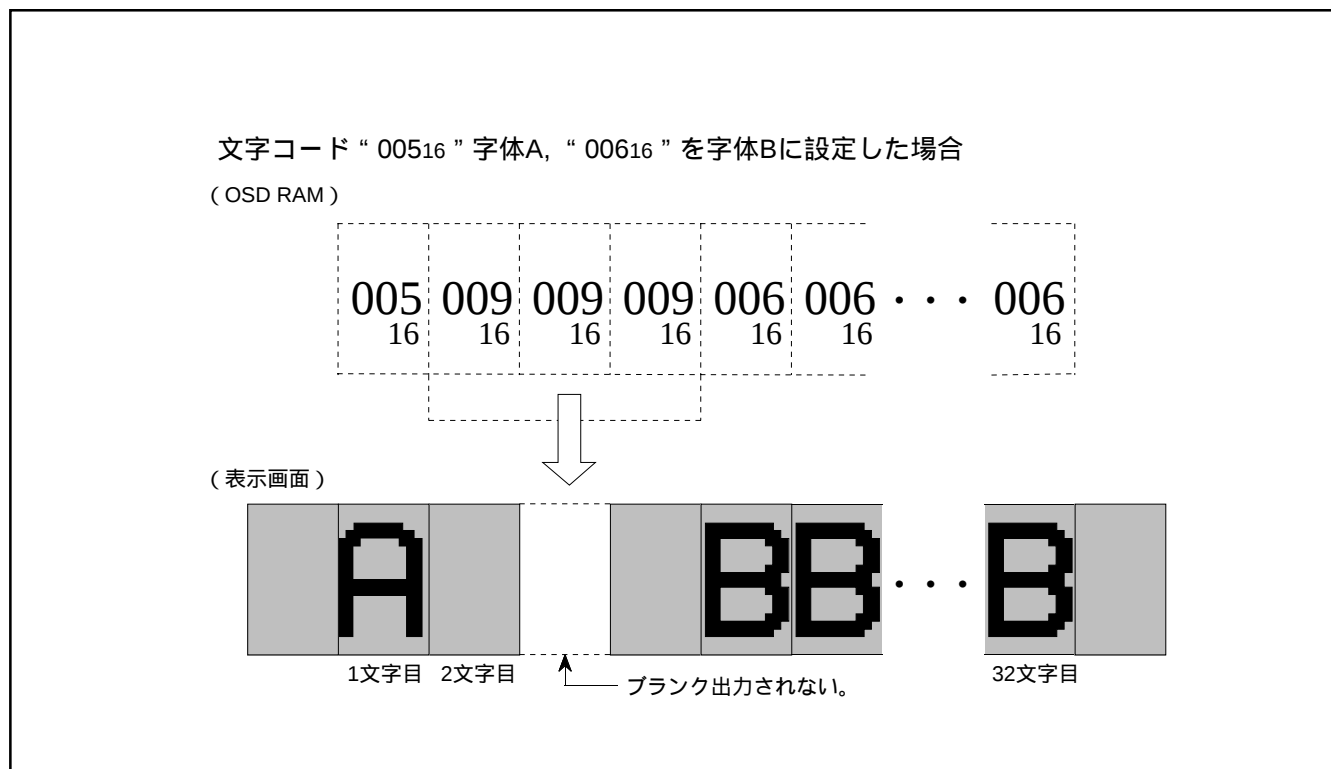


図 8.11.36 オートソリッドスペース画面表示例

## 8.11.12 多行表示

本マイクロコンピュータは通常、16のブロックを別々の垂直位置に表示することによって16行の表示を行うことができます。更に、OSD割り込みを用いることにより、16行以上の表示を行うことができます。

OSD割り込み要求は、1つのブロックを表示し終わった時点で発生します。つまり走査線が、あるブロックの表示開始位置（垂直位置レジスタにより指定）にきた時点でそのブロックの文字表示が開始し、そのブロックの範囲を越えた時点で割り込みがかかります。ただし、OSDコントロールレジスタ2（図8.11.7参照）の設定によってOSD割り込み要求が発生するモードが異なります。

- ・ OSDコントロールレジスタ2のビット7が“0”のとき、レイヤ1のブロック表示終了時にOSD割り込み要求が発生
- ・ OSDコントロールレジスタ2のビット7が“1”のとき、レイヤ2のブロック表示終了時にOSD割り込み要求が発生

- 注1. ブロック表示終了時に発生する“OSD割り込み要求”は、ブロックを表示していない場合は発生しません。つまり、ブロックコントロールレジスタi(00D0<sub>16</sub> ~ 00DF<sub>16</sub>番地)の表示制御ビットの設定によってブロックの表示がオフ(非表示)状態であれば、“OSD割り込み要求”は発生しません（図8.11.36のA参照）。
2. 1つのブロック表示中に他のブロックの表示開始位置がきた場合は、割り込み要求は途中から表示したブロックの表示終了時に1回だけ発生します（図8.11.36のB参照）。
3. ウィンドウを設定した画面で、ウィンドウ外にあるブロック（表示OFF）が表示終了した時点でも“OSD割り込み要求”は発生します（図8.11.36のC参照）。

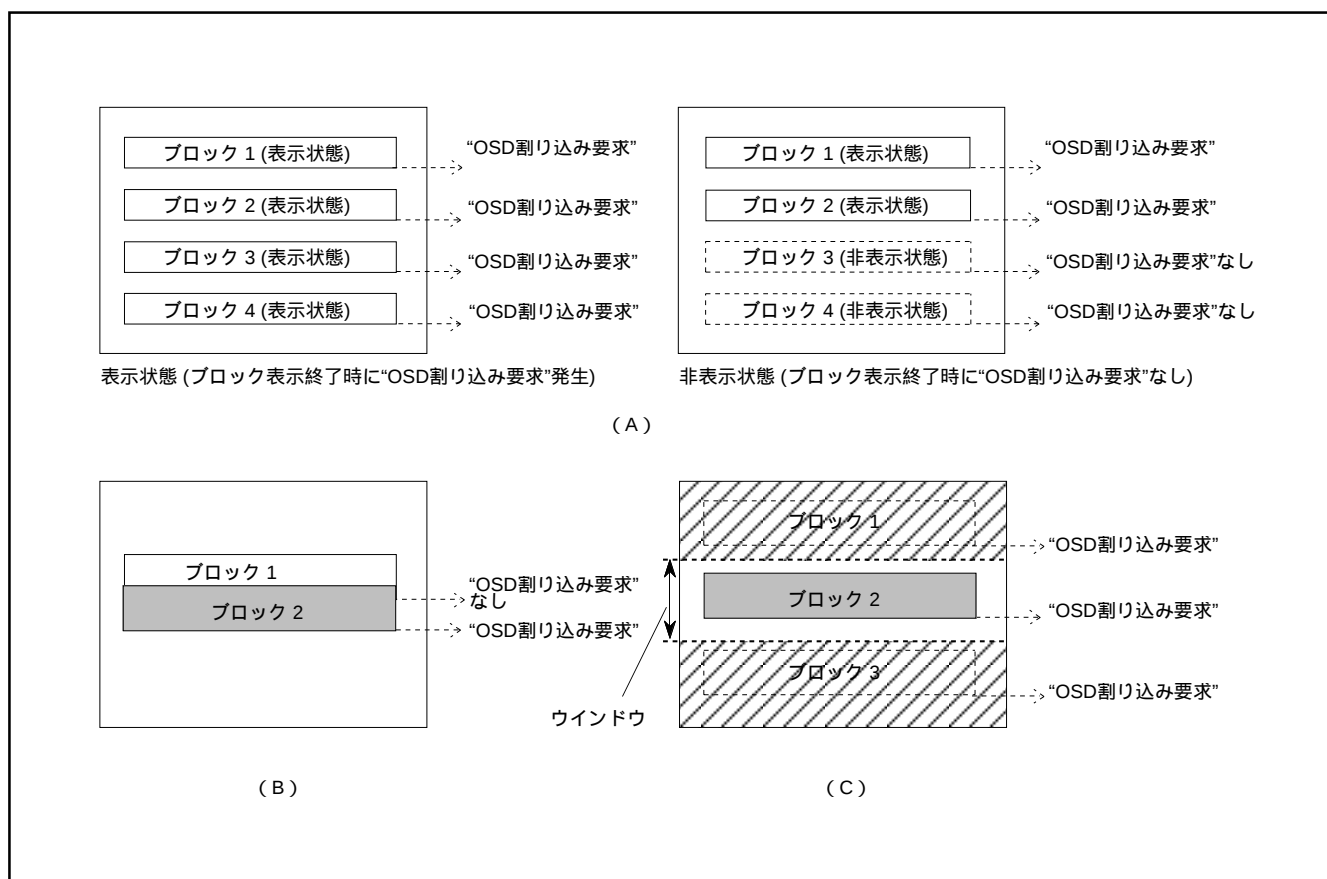


図8.11.37 OSD割り込み発生 of の注意点

## 8.11.13 スキャンモード

通常の2倍の周波数のHSYNCに対応するために、バイスキャンモードを備えています。バイスキャンモードはノーマルスキャンモードに対して垂直表示位置、垂直ドットサイズが2倍になります。スキャンモードはOSDコントロールレジスタ1のビット1で選択します（図8.11.3参照）。

表 8.11.8 スキャンモードの設定

| 項目 \ スキャンモード         | ノーマルスキャン                                                                       | バイスキャン                                                                       |
|----------------------|--------------------------------------------------------------------------------|------------------------------------------------------------------------------|
| OSD コントロールレジスタ1のビット1 | 0                                                                              | 1                                                                            |
| 垂直表示開始位置             | 垂直位置レジスタの値 × 1H                                                                | 垂直位置レジスタの値 × 2H                                                              |
| 垂直ドットサイズ             | $1T_c \times 1/2H$<br>$1T_c \times 1H$<br>$2T_c \times 2H$<br>$3T_c \times 3H$ | $1T_c \times 1H$<br>$1T_c \times 2H$<br>$2T_c \times 4H$<br>$3T_c \times 6H$ |

## 8.11.14 ウィンドウ機能

画面内にウィンドウを設定し、ウィンドウを設定した領域でのみ、OSD を出力する機能です。

縦ウィンドウ機能のON/OFFは、OSD コントロールレジスタ1のビット5によって行い、OSD コントロールレジスタ2のビット6で縦ブランク機能と切り換えて使用します。したがって、縦ブランク機能と同時に使用することはできません。また、OSD コントロールレジスタ3のビット5～ビット7で、ウィンドウ機能を使用する表示モードを選択します。ウィンドウの上端はトップボーダーコントロールレジスタ1, 2 (TB1, TB2)、下端はボトムボーダーコントロールレジスタ1, 2 (BB1, BB2) によって指定します。

横ウィンドウ機能のON/OFFは、OSD コントロールレジスタ2のビット4によって行い、OSD コントロールレジスタ2のビット5で横ブランク機能と切り換えて使用します。したがって、横ブランク機能と同時に使用することはできません。また、OSD コントロールレジスタ3のビット5～ビット7で、ウィンドウ機能を使用する表示モードを選択します。ウィンドウの左端はレフトボーダーコントロールレジスタ1, 2 (LB1, LB2)、右端はライトボーダーコントロールレジスタ1, 2 (RB1, RB2) によって指定します。

- 注1. 縦ウィンドウ使用時、TB2 = “0016” のとき、TB1 に “0016” 又は “0116” を設定しないでください。
2. 横ウィンドウ使用時、LB1 = LB2 = “0016” を設定しないでください。
3. 横ブランクと横ウィンドウ、縦ブランクと縦ウィンドウは、同時に使用することはできません。
4. 横ウィンドウ使用時、 $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。
5. 縦ウィンドウ使用時、 $(TB1 + TB2 \times 16^2) < (BB1 + BB2 \times 16^2)$  となるように値を設定してください。
6. OSDコントロールレジスタ1, 2でウィンドウ機能を動作設定にした場合、OUT2のウィンドウ機能はOSDコントロールレジスタ3(ビット5～ビット7)の設定値にかかわらず、すべての表示モードで動作します。例えばCCモードのみウィンドウ機能を動作させた場合でも、OUT2のウィンドウ機能はOSD/CCOSDモードでも動作します。

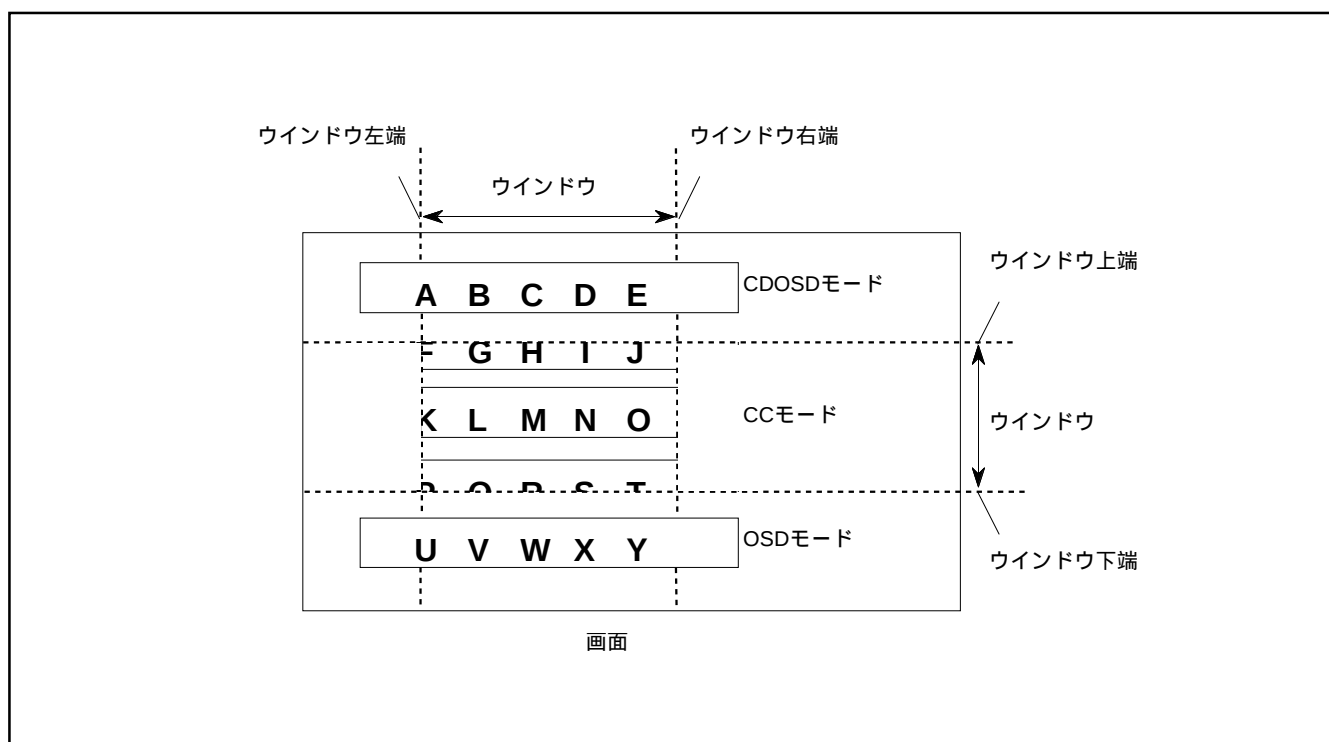


図 8.11.38 ウィンドウ機能例 (CC モード有効時)

### トップボーダーコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

トップボーダーコントロールレジスタ1 (TB1) 【021C16番地】

| b   | ビット名                     | 機 能                                                                                                                                                | リセット時 | R | W |
|-----|--------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~7 | 上端制御ビット<br>(TB10 ~ TB17) | 上端位置(下位8ビット)<br>$T_H \times (\text{TB2の下位2ビットの設定値} \times 16^2$<br>$+ \text{TB1の上位4ビットの設定値} \times 16^1$<br>$+ \text{TB1の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |

- 注1. TB2= "00<sub>16</sub>" のとき, TB1に "00<sub>16</sub>" 又は "01<sub>16</sub>" を設定しないでください。  
 2.  $T_H$ : HSYNCの周期  
 3. TB2: トップボーダーコントロールレジスタ2

図 8.11.39 トップボーダーコントロールレジスタ 1

### トップボーダーコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

トップボーダーコントロールレジスタ2 (TB2) 【021E16番地】

| b    | ビット名                                                | 機 能                                                                                                                                                | リセット時 | R | W |
|------|-----------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | 上端制御ビット<br>(TB20, TB21)                             | 上端位置(上位2ビット)<br>$T_H \times (\text{TB2の下位2ビットの設定値} \times 16^2$<br>$+ \text{TB1の上位4ビットの設定値} \times 16^1$<br>$+ \text{TB1の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |
| 2~7  | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                                                                    | 不定    | R | - |

- 注1. TB2= "00<sub>16</sub>" のとき, TB1に "00<sub>16</sub>" 又は "01<sub>16</sub>" を設定しないでください。  
 2.  $T_H$ : HSYNCの周期  
 3. TB1: トップボーダーコントロールレジスタ1

図 8.11.40 トップボーダーコントロールレジスタ 2

### ボトムボーダーコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



ボトムボーダーコントロールレジスタ1 (BB1) 【021D16番地】

| b   | ビット名                     | 機 能                                                                                                                                                | 読出時 | R/W |
|-----|--------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------|-----|-----|
| 0~7 | 下端制御ビット<br>(BB10 ~ BB17) | 下端位置(下位8ビット)<br>$T_H \times (\text{BB2の下位2ビットの設定値} \times 16^2$<br>$+ \text{BB1の上位4ビットの設定値} \times 16^1$<br>$+ \text{BB1の下位4ビットの設定値} \times 16^0)$ | 不定  | R/W |

- 注1.  $(TB1+TB2 \times 16^2) < (BB1+BB2 \times 16^2)$  となるように値を設定してください。  
 2.  $T_H$ : Hsyncの周期  
 3. BB2: ボトムボーダーコントロールレジスタ2

図 8.11.41 ボトムボーダーコントロールレジスタ1

### ボトムボーダーコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



ボトムボーダーコントロールレジスタ2 (BB2) 【021F16番地】

| b    | ビット名                                                | 機 能                                                                                                                                                | 読出時 | R/W |
|------|-----------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------|-----|-----|
| 0, 1 | 下端制御ビット<br>(BB20, BB21)                             | 下端位置(上位2ビット)<br>$T_H \times (\text{BB2の下位2ビットの設定値} \times 16^2$<br>$+ \text{BB1の上位4ビットの設定値} \times 16^1$<br>$+ \text{BB1の下位4ビットの設定値} \times 16^0)$ | 不定  | R/W |
| 2~7  | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                                                                    | 不定  | R/- |

- 注1.  $(TB1+TB2 \times 16^2) < (BB1+BB2 \times 16^2)$  となるように値を設定してください。  
 2.  $T_H$ : Hsyncの周期  
 3. BB1: ボトムボーダーコントロールレジスタ1

図 8.11.42 ボトムボーダーコントロールレジスタ2

### レフトボーダーコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

レフトボーダーコントロールレジスタ1(LB1)【0250<sub>16</sub>番地】

| b     | ビット名                     | 機 能                                                                                                                                             | リセット時 | R | W |
|-------|--------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0     | 左端制御ビット<br>(LB10 ~ LB17) | 左端位置(下位8ビット)<br>$T_{osc} \times (LB2 \text{の下位3ビットの設定値} \times 16^2 + LB1 \text{の上位4ビットの設定値} \times 16^1 + LB1 \text{の下位4ビットの設定値} \times 16^0)$ | 1     | R | W |
| 1 ~ 7 |                          |                                                                                                                                                 | 0     |   |   |

- 注1. LB1 = LB2 = "00<sub>16</sub>" を設定しないでください。  
 2.  $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。  
 3.  $T_{osc}$ : OSD用クロック発振周期  
 4. LB2: レフトボーダーコントロールレジスタ2

図 8.11.43 レフトボーダーコントロールレジスタ1

### レフトボーダーコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

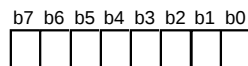
レフトボーダーコントロールレジスタ2 (LB2)【0251<sub>16</sub>番地】

| b     | ビット名                                                   | 機 能                                                                                                                                               | リセット時 | R | W |
|-------|--------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0 ~ 2 | 左端制御ビット<br>(LB20 ~ LB22)                               | 左端終了位置(上位3ビット)<br>$T_{osc} \times (LB2 \text{の下位3ビットの設定値} \times 16^2 + LB1 \text{の上位4ビットの設定値} \times 16^1 + LB1 \text{の下位4ビットの設定値} \times 16^0)$ | 0     | R | W |
| 3 ~ 7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は "0" です。 |                                                                                                                                                   | 0     | R | - |

- 注1. LB1 = LB2 = "00<sub>16</sub>" を設定しないでください。  
 2.  $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。  
 3.  $T_{osc}$ : OSD用クロック発振周期  
 4. LB1: レフトボーダーコントロールレジスタ1

図 8.11.44 レフトボーダーコントロールレジスタ2

## ライトボーダーコントロールレジスタ1



ライトボーダーコントロールレジスタ1 (RB1) 【0252<sub>16</sub>番地】

| b   | ビット名                     | 機 能                                                                                                                                                       | リセット時 | R | W |
|-----|--------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~7 | 右端制御ビット<br>(RB10 ~ RB17) | 右端位置(下位8ビット)<br>$T_{osc} \times (RB2 \text{の下位3ビットの設定値} \times 16^2$<br>$+ RB1 \text{の上位4ビットの設定値} \times 16^1$<br>$+ RB1 \text{の下位4ビットの設定値} \times 16^0)$ | 1     | R | W |

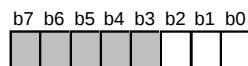
注1.  $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。

2.  $T_{osc}$ : OSD用クロック発振周期

3. RB2: ライトボーダーコントロールレジスタ2

図 8.11.45 ライトボーダーコントロールレジスタ1

## ライトボーダーコントロールレジスタ2



ライトボーダーコントロールレジスタ2 (RB2) 【0253<sub>16</sub>番地】

| b   | ビット名                                                   | 機 能                                                                                                                                                       | リセット時 | R | W |
|-----|--------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~2 | 右端制御ビット<br>(RB20 ~ RB22)                               | 右端位置(上位3ビット)<br>$T_{osc} \times (RB2 \text{の下位3ビットの設定値} \times 16^2$<br>$+ RB1 \text{の上位4ビットの設定値} \times 16^1$<br>$+ RB1 \text{の下位4ビットの設定値} \times 16^0)$ | 1     | R | W |
| 3~7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は "0" です。 |                                                                                                                                                           | 0     | R | - |

注1.  $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。

2.  $T_{osc}$ : OSD用クロック発振周期

3. RB1: ライトボーダーコントロールレジスタ1

図 8.11.46 ライトボーダーコントロールレジスタ2

## 8.11.15 ブランク機能

ブランク機能は、画面の両端(縦、横)にブランク(OUT1)を出力する機能です。

縦ブランク機能のON/OFFは、OSDコントロールレジスタ1のビット5で行い、OSDコントロールレジスタ2のビット6で縦ウインドウ機能と切り換えて使用します。したがって、縦ウインドウ機能と同時に使用することはできません。ブランクの上端はトップボーダーコントロールレジスタ1, 2 (TB1, TB2)、ブランクの下端はボトムボーダーコントロールレジスタ1, 2 (BB1, BB2)によって、1H単位に指定します。

横ブランク機能のON/OFFは、OSDコントロールレジスタ2のビット4で行い、OSDコントロールレジスタの2ビット5で横ウインドウ機能と切り換えて使用します。したがって、横ウインドウ機能と同時に使用することはできません。ブランクの左端はレフトボーダーコントロールレジスタ1, 2 (LB1, LB2)、ブランクの右端はライトボーダーコントロールレジスタ1, 2 (RB1, RB2)によって、1Tosc単位に指定します。

なお、ブランクを出力している領域のOSD出力(ラスタ以外)が消えることはありません。

これらブランク信号は、水平・垂直帰線期間中出力されません。

- 注1. 縦ブランク使用時、TB2 = "0016" のとき、TB1に "0016" 又は "0116" を設定しないでください。
2. 横ブランク使用時、LB1 = LB2 = "0016" を設定しないでください。
3. 横ブランクと横ウインドウ、縦ブランクと縦ウインドウは、同時に使用することはできません。
4. 横ブランク使用時、 $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。
5. 縦ブランク使用時、 $(TB1 + TB2 \times 16^2) < (BB1 + BB2 \times 16^2)$  となるように値を設定してください。
6. 全ブロック表示OFF (OSDコントロールレジスタ1のビット0 = "0") 時、縦ブランクは使用しないでください。

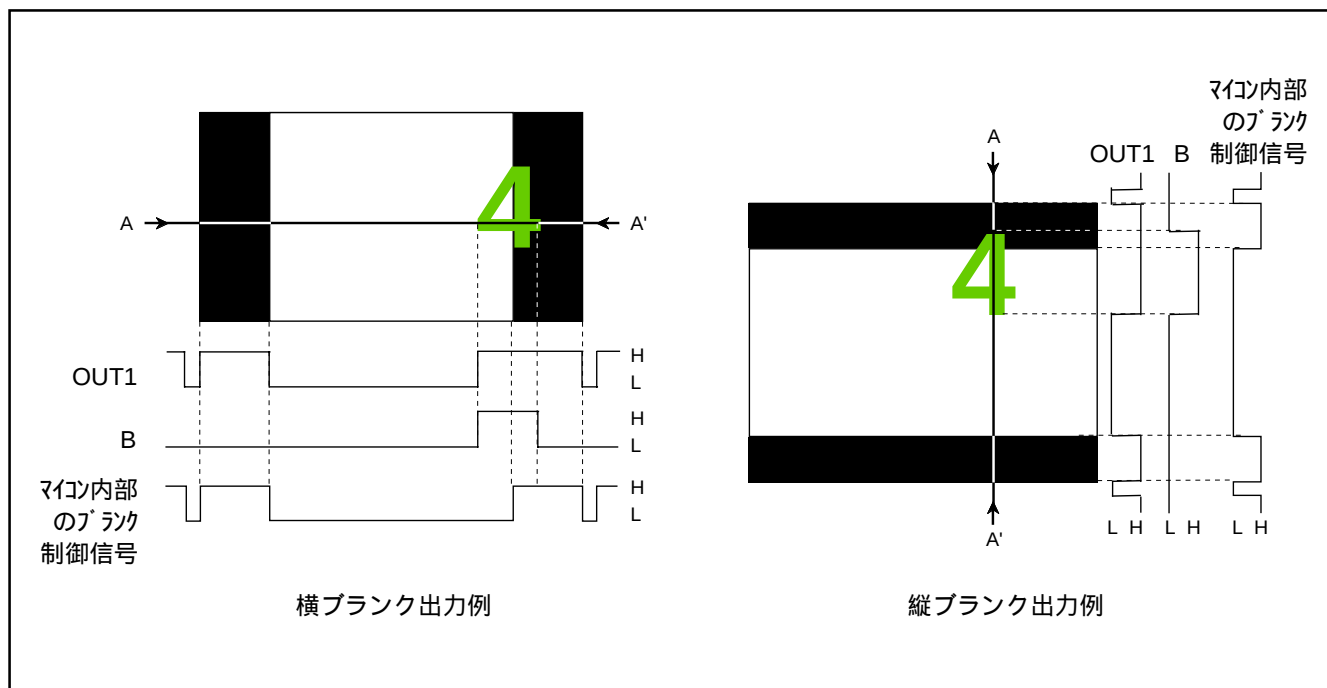


図8.11.47 ブランク出力例 (OSD出力がB+OUT1の場合)

## 8.11.16 スプライト OSD 機能

スプライト表示はブロック OSD 表示の有無や表示位置にかかわらず、任意の位置に表示することのできる機能で、カーソル表示等に最適です。スプライトフォントは横16ドット×縦20ドット構成のRAMフォントで、3つのプレーンから構成されており、1ドットあたり3ビットのデータを持っています。各プレーンはカラーパレット選択ビットと対応しており、各ドットごとにプレーンの組合せ(3ビット)によって表される8種類のカラーパレットが選択可能です。また、OSDコントロールレジスタ3のビット4によって、画面単位に選択範囲(カラーパレット0～7、又はカラーパレット8～15)の指定が可能です。選択範囲の中からスプライト用のOSD RAM データ内容に従って、ドット単位にカラーパレットが指定できます。スプライトフォントはRAMフォントで構成されているため、ソフトウェアによって任意のフォントデータに加工できます。

スプライトOSDはスプライトOSD制御レジスタによって、スプライト表示ON/OFF、ドットサイズ、割り込み位置、割り込み発生要因を制御し、スプライト水平位置レジスタ、スプライト垂直位置レジスタによって、ブロック表示とは独立して表示位置を設定することができます。このとき、水平位置は1Tosc 単位に 2048 段階で、垂直位置は1TH 単位に 1024 段階で設定できます。

スプライト表示が他の OSD 表示と重なった場合、常にスプライト表示が優先します。ただし、OUT2 が出力されている OSD 表示と重なった場合は、OSD 表示の OUT2 はマスクされず、出力されます。

注 1. スプライト OSD では、OUT2 は出力できません。

2. スプライト OSD 使用時、HS2 = " 00<sub>16</sub> " のとき、HS1 < " 30<sub>16</sub> " を設定しないでください。

3. スプライト OSD 使用時、VS1 = VS2 = " 00<sub>16</sub> " を設定しないでください。

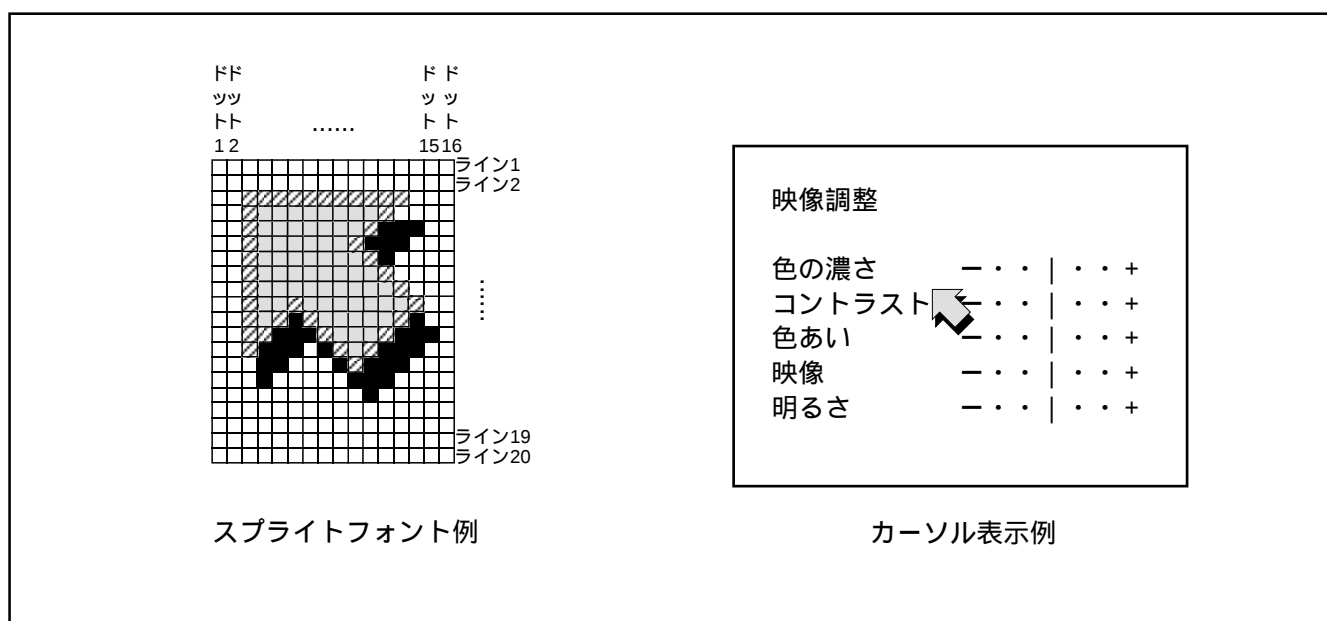


図 8.11.48 スプライト OSD 表示例

## スプライトOSD制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

スプライトOSD制御レジスタ (SC) 【0258<sub>16</sub>番地】

| b    | ビット名                                                      | 機 能                                                                                                                         | リセット時 | R | W |
|------|-----------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0    | スプライトOSD<br>制御ビット<br>(SC0)                                | 0: 動作しない<br>1: 動作する                                                                                                         | 0     | R | W |
| 1    | プリ分周比選択<br>ビット<br>(SC1)                                   | 0: プリ分周比1<br>1: プリ分周比2                                                                                                      | 0     | R | W |
| 2, 3 | ドットサイズ選択<br>ビット<br>(SC2, SC3)                             | b3 b2<br>0 0: 1T <sub>c</sub> × 1/2H<br>0 1: 1T <sub>c</sub> × 1H<br>1 0: 2T <sub>c</sub> × 1H<br>1 1: 2T <sub>c</sub> × 2H | 0     | R | W |
| 4    | 割り込み発生位置<br>選択ビット<br>(SC4)                                | 0: 縦20ドット表示後<br>1: 縦10ドット及び20ドット表示後                                                                                         | 0     | R | W |
| 5    | X <sub>IN</sub> /4096・スプライト<br>割り込み要因<br>切り換えビット<br>(SC5) | 0: X <sub>IN</sub> /4096割り込み<br>1: スプライトOSD割り込み                                                                             | 0     | R | W |
| 6, 7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。      |                                                                                                                             | 0     | R | - |

注1. T<sub>c</sub> : プリ分周したOSD用クロック周期  
2. H : H<sub>SYNC</sub>

図 8.11.49 スプライト OSD 制御レジスタ

## スプライト水平位置レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

スプライト水平位置レジスタ1 (HS1) 【0256<sub>16</sub>番地】

| b   | ビット名                                           | 機 能                                                                                                                                         | リセット時 | R | W |
|-----|------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~7 | スプライトOSD<br>水平表示開始位置<br>制御ビット<br>(HS10 ~ HS17) | 水平表示開始位置(下位8ビット)<br>$T_{OSC} \times (\text{HS2の下位3ビットの設定値} \times 16^2$<br>+HS1の上位4ビットの設定値 $\times 16^1$<br>+HS1の下位4ビットの設定値 $\times 16^0$ ) | 不定    | R | W |

- 注1. HS2= "00<sub>16</sub>" のとき、HS1< "30<sub>16</sub>" を設定しないでください。  
 2.  $T_{OSC}$ : OSD用クロック発振周期  
 3. HS2: スプライト水平位置レジスタ2

図 8.11.50 スプライト水平位置レジスタ1

## スプライト水平位置レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

スプライト水平位置レジスタ2 (HS2) 【0257<sub>16</sub>番地】

| b   | ビット名                                                   | 機 能                                                                                                                                         | リセット時 | R | W |
|-----|--------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~2 | スプライトOSD<br>水平開始位置<br>制御ビット<br>(HS20 ~ HS22)           | 水平表示開始位置(上位3ビット)<br>$T_{OSC} \times (\text{HS2の下位3ビットの設定値} \times 16^2$<br>+HS1の上位4ビットの設定値 $\times 16^1$<br>+HS1の下位4ビットの設定値 $\times 16^0$ ) | 不定    | R | W |
| 3~7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は "0" です。 |                                                                                                                                             | 0     | R | - |

- 注1. HS2= "00<sub>16</sub>" のとき、HS1< "30<sub>16</sub>" を設定しないでください。  
 2.  $T_{OSC}$ : OSD用クロック発振周期  
 3. HS1: スプライト水平位置レジスタ1

図 8.11.51 スプライト水平位置レジスタ2

### スプライト垂直位置レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

スプライト垂直位置レジスタ1 (VS1) 【0254<sub>16</sub>番地】

| b   | ビット名                             | 機 能                                                                                                                      | リセット時 | R | W |
|-----|----------------------------------|--------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0   | スプライトOSD                         | 水平表示開始位置(下位8ビット)                                                                                                         | 1     | R | W |
| 1~7 | 垂直表示開始位置<br>制御ビット<br>(VS10~VS17) | $T_H \times (\text{VS2の下位2ビットの設定値} \times 16^2 + \text{VS1の上位4ビットの設定値} \times 16^1 + \text{VS1の下位4ビットの設定値} \times 16^0)$ | 0     | R | W |

- 注1. VS1=VS2= "00<sub>16</sub>" は設定しないでください。  
 2.  $T_H$ : HSYNCの周期  
 3. VS2: スプライト垂直位置レジスタ2

図 8.11.52 スプライト垂直位置レジスタ1

### スプライト垂直位置レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

スプライト垂直位置レジスタ2 (VS2) 【0255<sub>16</sub>番地】

| b    | ビット名                                                   | 機 能                                                                                                                                          | リセット時 | R | W |
|------|--------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | スプライトOSD<br>垂直開始位置<br>制御ビット<br>(VS20, VS21)            | 垂直表示開始位置(上位2ビット)<br>$T_H \times (\text{VS2の下位2ビットの設定値} \times 16^2 + \text{VS1の上位4ビットの設定値} \times 16^1 + \text{VS1の下位4ビットの設定値} \times 16^0)$ | 0     | R | W |
| 2~7  | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は "0" です。 |                                                                                                                                              | 0     | R | - |

- 注1. VS1=VS2= "00<sub>16</sub>" は設定しないでください。  
 2.  $T_H$ : HSYNCの周期  
 3. VS1: スプライト垂直位置レジスタ1

図 8.11.53 スプライト垂直位置レジスタ2

## 8.11.17 OSD 出力端子制御

OSD 出力端子 R (R1), G (G1), B (B1), OUT1 は、それぞれポート P52 ~ P55 と共用です。OSD ポートコントロールレジスタ (00CB16 番地) の対応するビットを “0” にすると OSD 出力端子、“1” にするとポート P5 として汎用出力端子となります。

また、R0, G0, B0 端子は、それぞれポート P17, P15, P16 と共用です。OSD ポートコントロールレジスタのビット1を“0”にすると、ポート P1 として汎用出力端子となり、“1”にすると OSD 出力端子となります。このビットが“0”の場合、4 階調のアナログ出力が R, G, B 端子から出力されます。また、“1”の場合、アナログ値を 2 ビットのデジタル値に変換した値の、上位ビットが R1, G1, B1 端子から、下位ビットが R0, G0, B0 端子から出力されます。

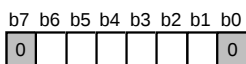
OUT2 は、ポート P10 と共用です。ポート P1 方向レジスタ (00C316 番地) のビット0を“1”(出力モード)にした後、OSD ポートコントロールレジスタのビット6を“1”にすると OUT2 出力端子、“0”にするとポート P10 として汎用出力端子となります。

HSYNC, VSYNC の入力極性、R, G, B, OUT1, OUT2 の出力極性は入出力極性コントロールレジスタ (021716 番地) によって指定できます。“0”にすると正極性、“1”にすると負極性となります (図 8.11.18 参照)。

図 8.11.54 に OSD ポートコントロールレジスタを示します。

注. ポート P52, P53, P54 を汎用出力端子として使用する場合は、OSD コントロールレジスタ 2 (021516 番地) のビット2を“0”に設定してください。

## OSD ポートコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0  


OSD ポートコントロールレジスタ(PF) 【00CB16番地】

| b | ビット名                       | 機 能                                                                                                                | リセット時 | R | W |
|---|----------------------------|--------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0 | このビットは “0” に固定してください。      |                                                                                                                    | 0     | R | W |
| 1 | R, G, B出力方法選択ビット (RGB2BIT) | 0: R, G, B端子から4階調のアナログ出力<br>1: 4階調のアナログを2ビットのデジタルに変換した値を以下のように出力<br>上位ビット: R1, G1, B1端子から<br>下位ビット: R0, G0, B0端子から | 0     | R | W |
| 2 | ポートP52出力信号選択ビット(R)         | 0: R信号出力<br>1: ポートP52出力                                                                                            | 0     | R | W |
| 3 | ポートP53出力信号選択ビット(G)         | 0: G信号出力<br>1: ポートP53出力                                                                                            | 0     | R | W |
| 4 | ポートP54出力信号選択ビット(B)         | 0: B信号出力<br>1: ポートP54出力                                                                                            | 0     | R | W |
| 5 | ポートP55出力信号選択ビット(OUT1)      | 0: OUT1信号出力<br>1: ポートP55出力                                                                                         | 0     | R | W |
| 6 | ポートP10出力信号選択ビット(OUT2)      | 0: ポートP10信号出力<br>1: OUT2出力                                                                                         | 0     | R | W |
| 7 | このビットは “0” に固定してください。      |                                                                                                                    | 0     | R | W |

図 8.11.54 OSD ポートコントロールレジスタ

## 8.11.18 ラスター着色

ラスターカラーレジスタを設定することによって、一画面全体（ラスター）に着色を行うことができます。R, G, B, OUT1, OUT2端子それぞれをラスター信号出力に切り替えることが可能で、64種類のラスター着色が可能です。

文字色 / 文字背景色がラスター着色と重なっている部分は、文字色 / 文字背景色に指定した色信号（R, G, B, OUT1, OUT2）が優先して出力されます。したがって文字色 / 文字背景色とラスター色が混合することはありません。

図 8.11.55 にラスターカラーレジスタを、図 8.11.56 にラスター着色例を示します。

注. ブランクが出力されている領域にはラスターは出力されません。

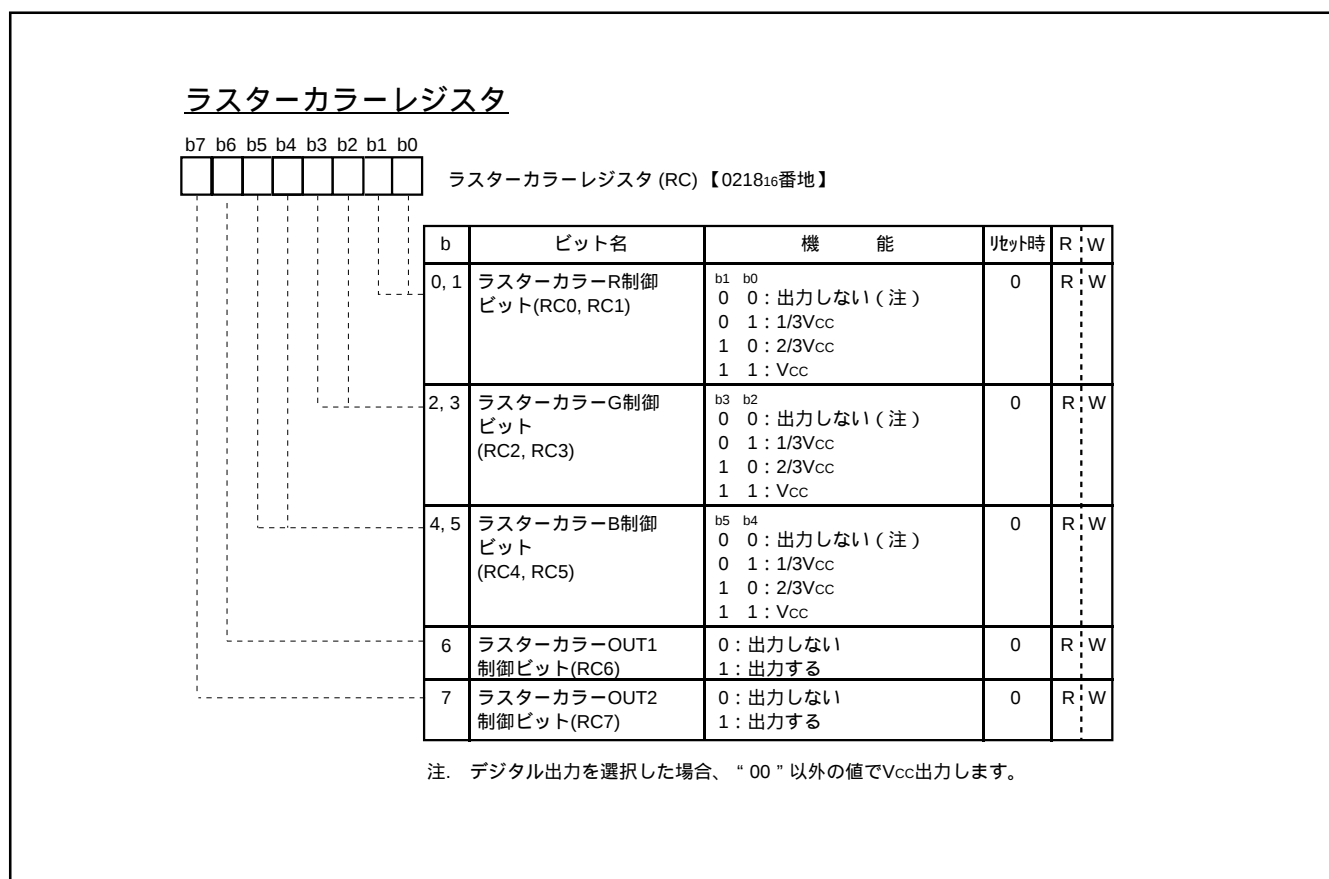


図 8.11.55 ラスターカラーレジスタ

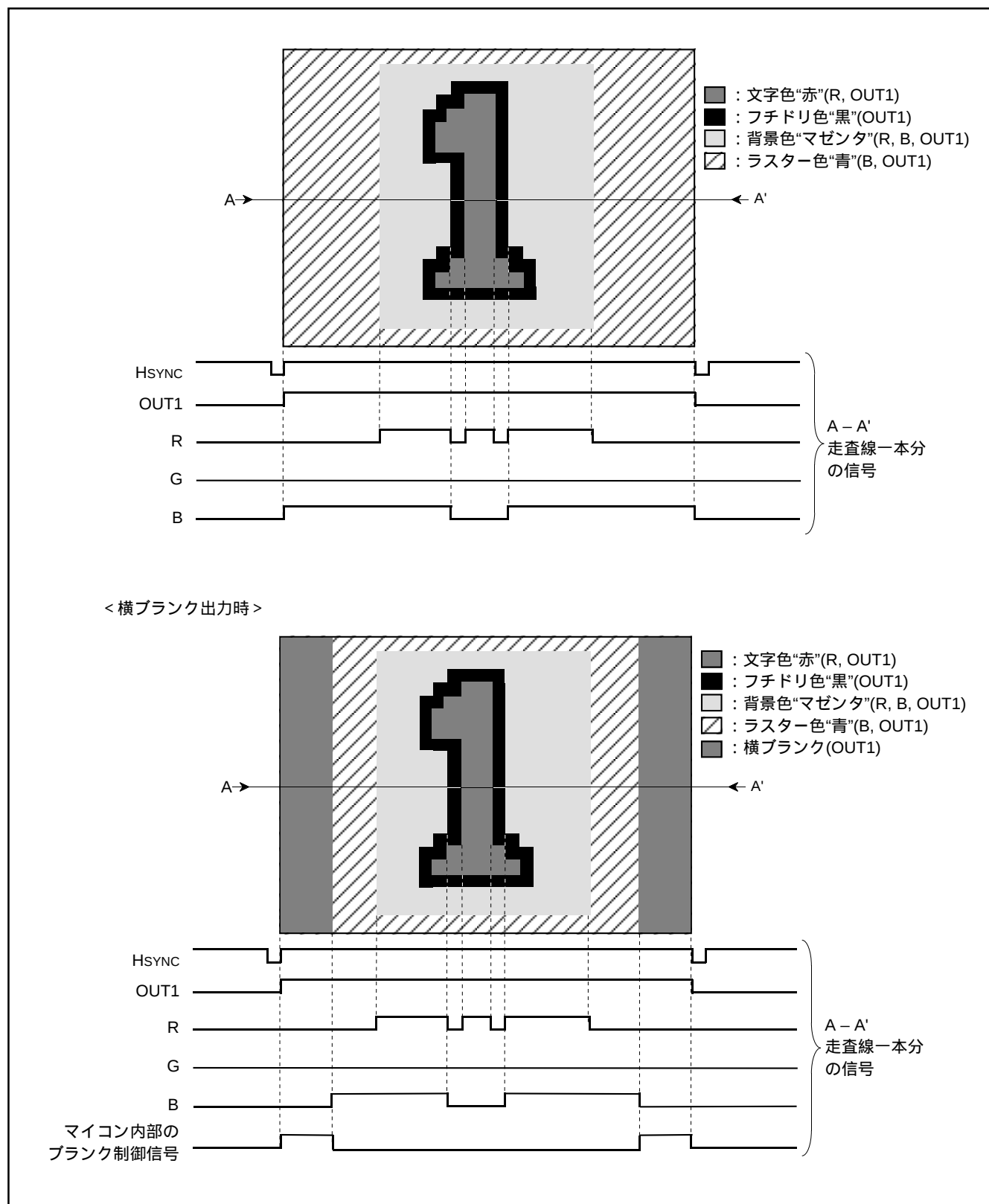


図 8.11.56 ラスター着色例

## 8.12 暴走検出機能

本マイクロコンピュータは、暴走を検出するための未定義命令をデコードする機能を持っています。

本マイクロコンピュータの動作中、命令コードとして未定義のオペコードがCPUに入力された場合、次の処理を行います。

CPUは未定義命令デコード信号を発生します。

未定義命令デコード信号の発生による内部リセットが行われます。

内部リセットによって、通常のリセット動作と同様のリセット処理が行われ、プログラムはリセットベクトルから再スタートします。

なお、暴走検出機能を無効にすることはできません。

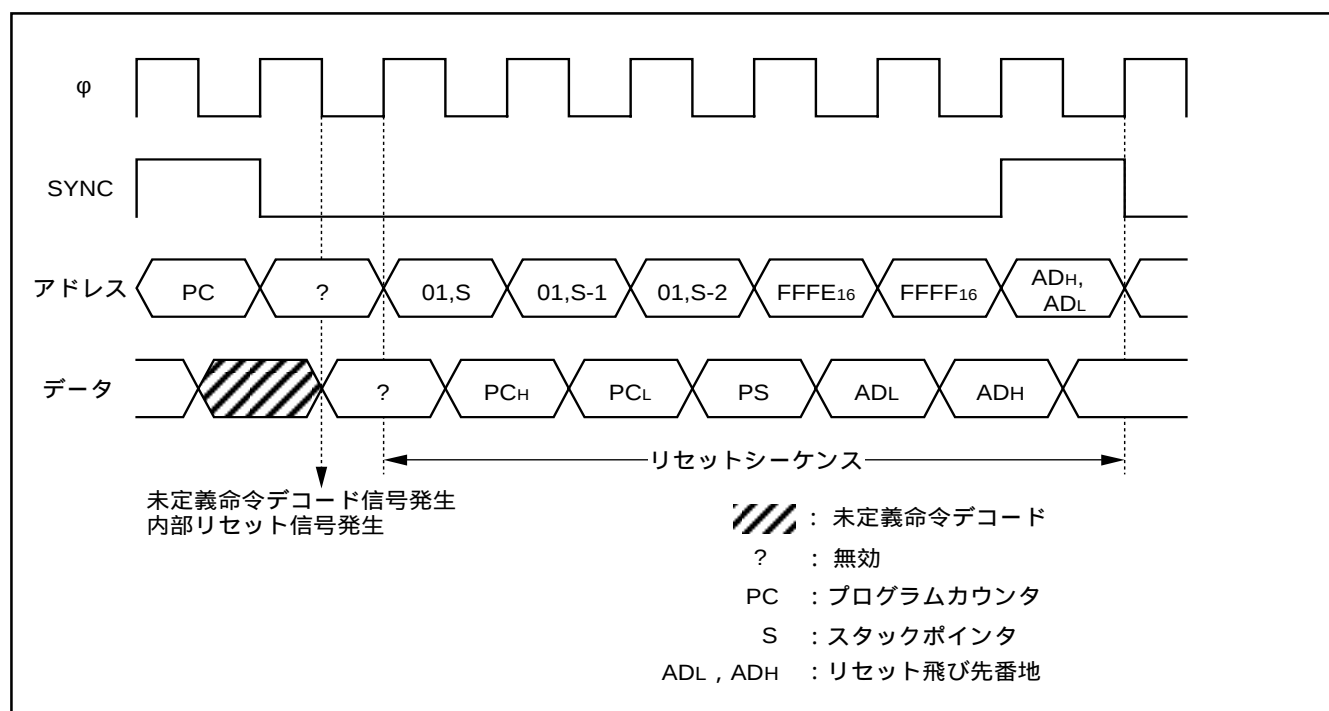


図 8.12.1 暴走検出時のシーケンス

### 8.13 リセット回路

本マイクロコンピュータは、電源電圧が  $5\text{ V} \pm 10\%$  にあり、水晶発振子又はセラミック共振子などが安定発振しているとき RESET 端子を  $2\text{ }\mu\text{s}$  以上 “L” レベルに保った後、“H” レベルに戻すと図 8.13.2 に示すシーケンスに従って、リセット解除され、FFFF<sub>16</sub> 番地の内容を上位アドレス、FFFE<sub>16</sub> 番地の内容を下位アドレスとする番地からプログラムスタートします。リセット動作によりマイクロコンピュータの内部の状態は図 8.2.3 ~ 図 8.2.8 のようになります。

リセット回路の一例を図 8.13.1 に示します。

リセット入力電圧は電源電圧が 4.5V を通過する時点で 0.9V 以下になるようにしてください。

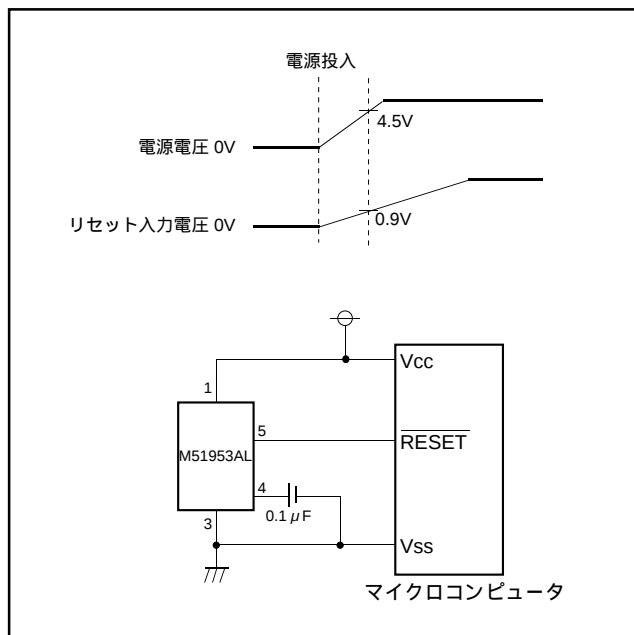


図 8.13.1 リセット回路例

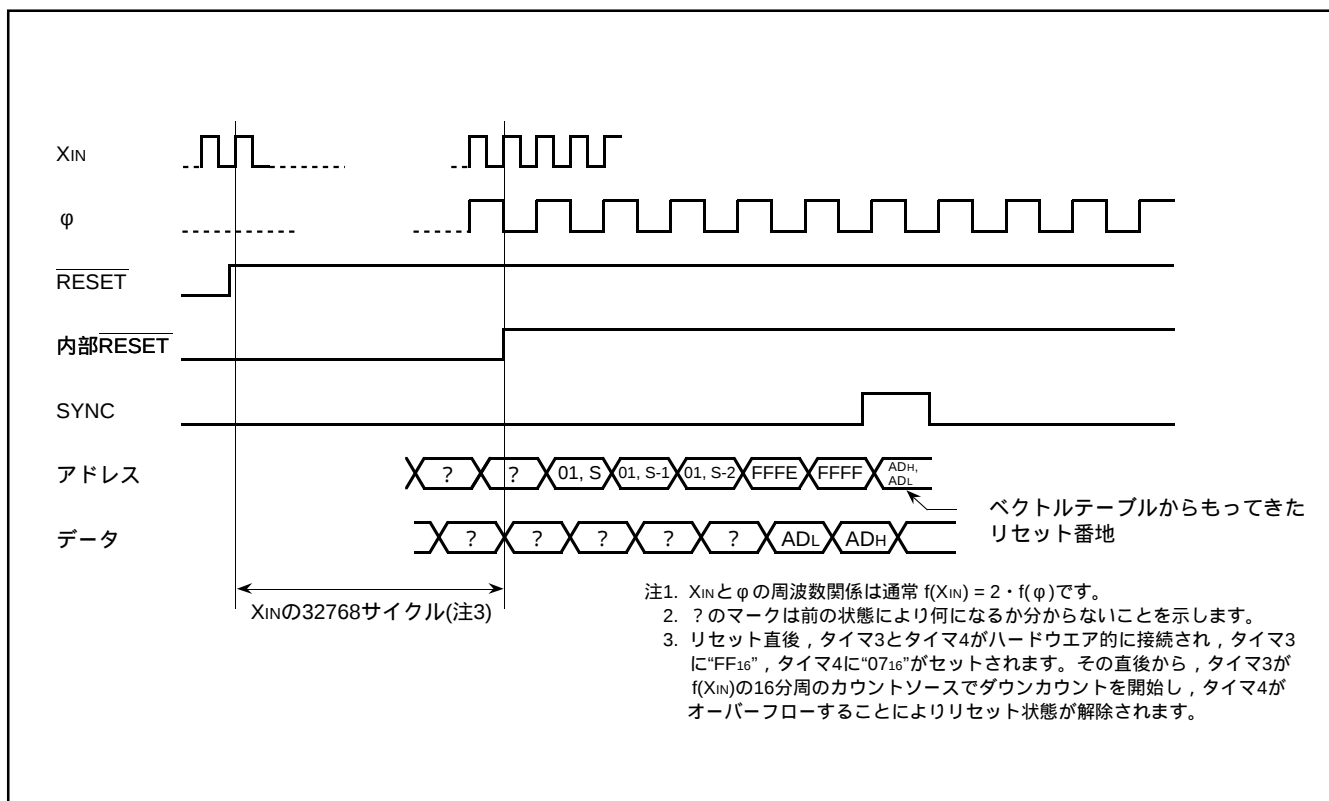


図 8.13.2 リセット時のタイミング図

### 8.14 クロック発生回路

本マイクロコンピュータは、メインクロック XIN-XOUT とサブクロック XCIN-XCOUT の 2 つの内部発振回路を内蔵しています。XIN-XOUT 又は XCIN-XCOUT の間に共振子を接続することにより、発振回路を形成することができます。容量などの定数は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT 端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN-XCOUT 間には抵抗は内蔵されていないので外部に帰還抵抗を付けてください。XCIN-XCOUT をサブクロックとして使用する場合は、クロックソースコントロールレジスタのビット 5 とビット 4 を “0” にしてください。外部からクロック信号を供給する場合は、XIN (XCIN) 端子に入力し、XOUT (XCOUT) 端子は開放します。XCIN クロックを使用しない場合、XCIN 端子は Vss に接続し、XCOUT 端子は開放してください。

リセット解除後 XIN 端子に加わった周波数を 2 分周したものが内部クロック  $\phi$  になります。電源投入直後は XIN クロック、XCIN クロックともに発振を開始します。内部クロック  $\phi$  を低速モードにする場合、CPU モードレジスタのビット 7 を “1” にしてください。

#### 8.14.1 発振制御

##### (1) ストップモード

STP 命令を実行すると、内部クロック  $\phi$  が “H” の状態で発振が停止します。このとき、タイマ 3 とタイマ 4 がハードウェア的に接続されて、タイマ 3 には “FF<sub>16</sub>”、タイマ 4 には “07<sub>16</sub>” がセットされます。タイマ 3 のカウントソースには、 $f(XIN)/16$  又は  $f(XCIN)/16$  を選択してください (STP 命令実行前に、ソフトウェアによってタイマモードレジスタ 2 のビット 0 及び 00C<sub>716</sub> 番地のビット 6 を “0” にしてください)。なおタイマ 3 割り込み許可ビット及びタイマ 4 割り込み許可ビットは禁止状態 (“0”) になっている必要がありますので、あらかじめ STP 命令実行前にプログラムしておいてください。発振は、リセット又は外部割り込みが受け付けられると再開しますが、タイマ 4 がオーバーフローしてはじめて、CPU に内部クロック  $\phi$  が供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

##### (2) ウェイトモード

WIT 命令を実行すると、内部クロック  $\phi$  が “H” の状態で停止しますが発振は停止しません。リセット又は割り込みを受け付けると停止を解除します (注)。発振は停止していませんので直ちに命令を実行できます。

注。ただし、ウェイトモードでは以下の割り込みは無効です。

- ・ VSYNC 割り込み

- ・ OSD 割り込み
- ・ TIM2 端子入力をカウントソースとするすべてのタイマ割り込み
- ・ TIM3 端子入力をカウントソースとするすべてのタイマ割り込み
- ・ データスライサ割り込み
- ・ マルチマスタ I<sup>2</sup>C-BUS インタフェース割り込み
- ・  $f(XIN)/4096$  割り込み
- ・  $f(XIN)/2$  又は  $f(XCIN)/2$  をカウントソースとするすべてのタイマ割り込み
- ・  $f(XIN)/4096$  又は  $f(XCIN)/4096$  をカウントソースとするすべてのタイマ割り込み
- ・ A-D 変換割り込み
- ・ スプライト OSD 割り込み

##### (3) 低速モード

内部クロックをサブクロック (XCIN) より生成している場合には CPU モードレジスタのビット 6 (CM<sub>6</sub>) を “1” にセットするメインクロック XIN のみ停止させて低消費電力が実現できます。この場合、メインクロック XIN 発振再開時 CPU モードレジスタのビット 6 (CM<sub>6</sub>) を “0” にクリアした後、発振が安定するまでの待ち時間はプログラムで生成する必要があります。

さらに CPU モードレジスタのビット 5 (CM<sub>5</sub>) を “0” にクリアすると、XCIN-XCOUT 間の駆動能力を弱めての低消費電力モードが実現できます。リセット時はこのビットは “1” にセットされ、発振開始しやすい強い駆動能力の側に設定されます。STP 命令実行時には、実行の前にこのビットをソフトウェアで “1” にしてください。

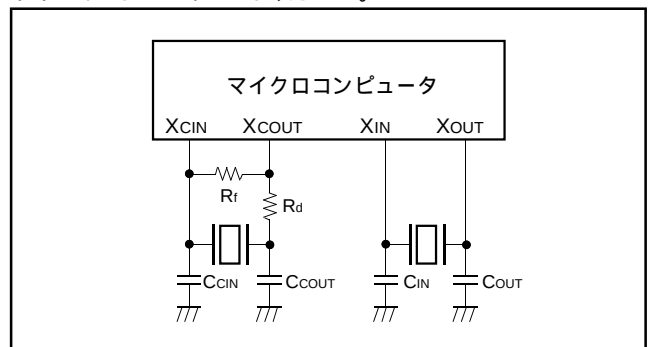


図 8.14.1 セラミック共振子外付け回路例

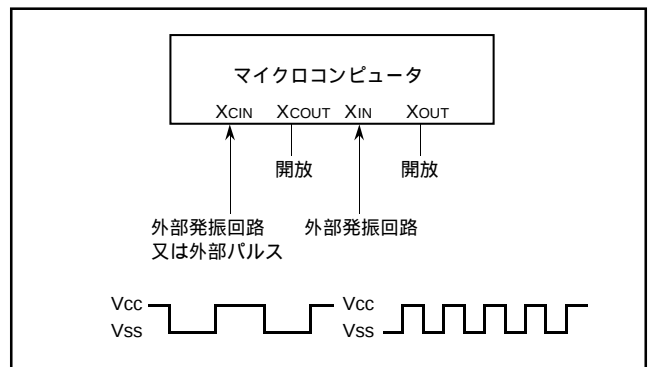


図 8.14.2 外部クロック入力回路例

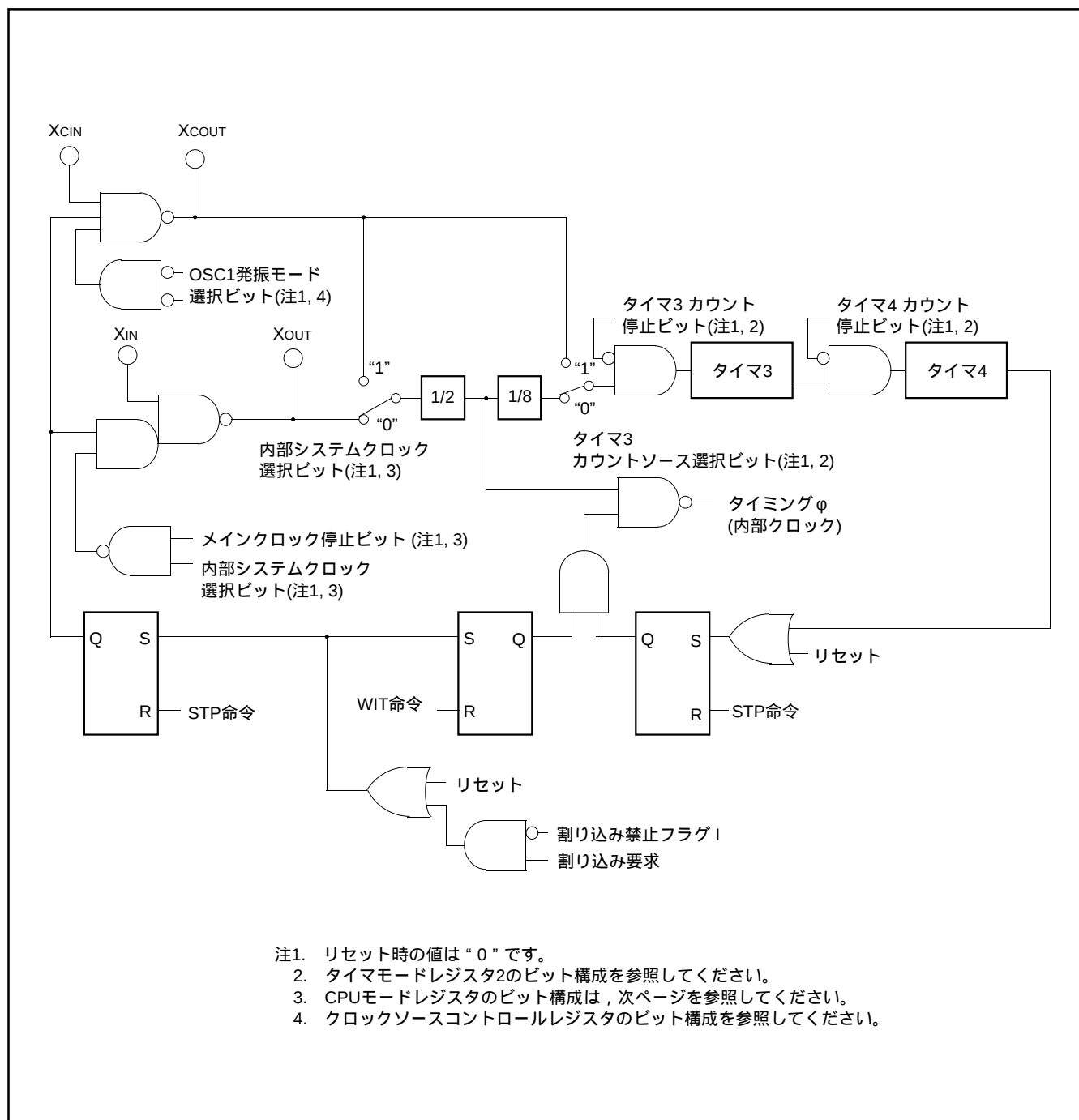


図 8.14.3 クロック発生回路ブロック図

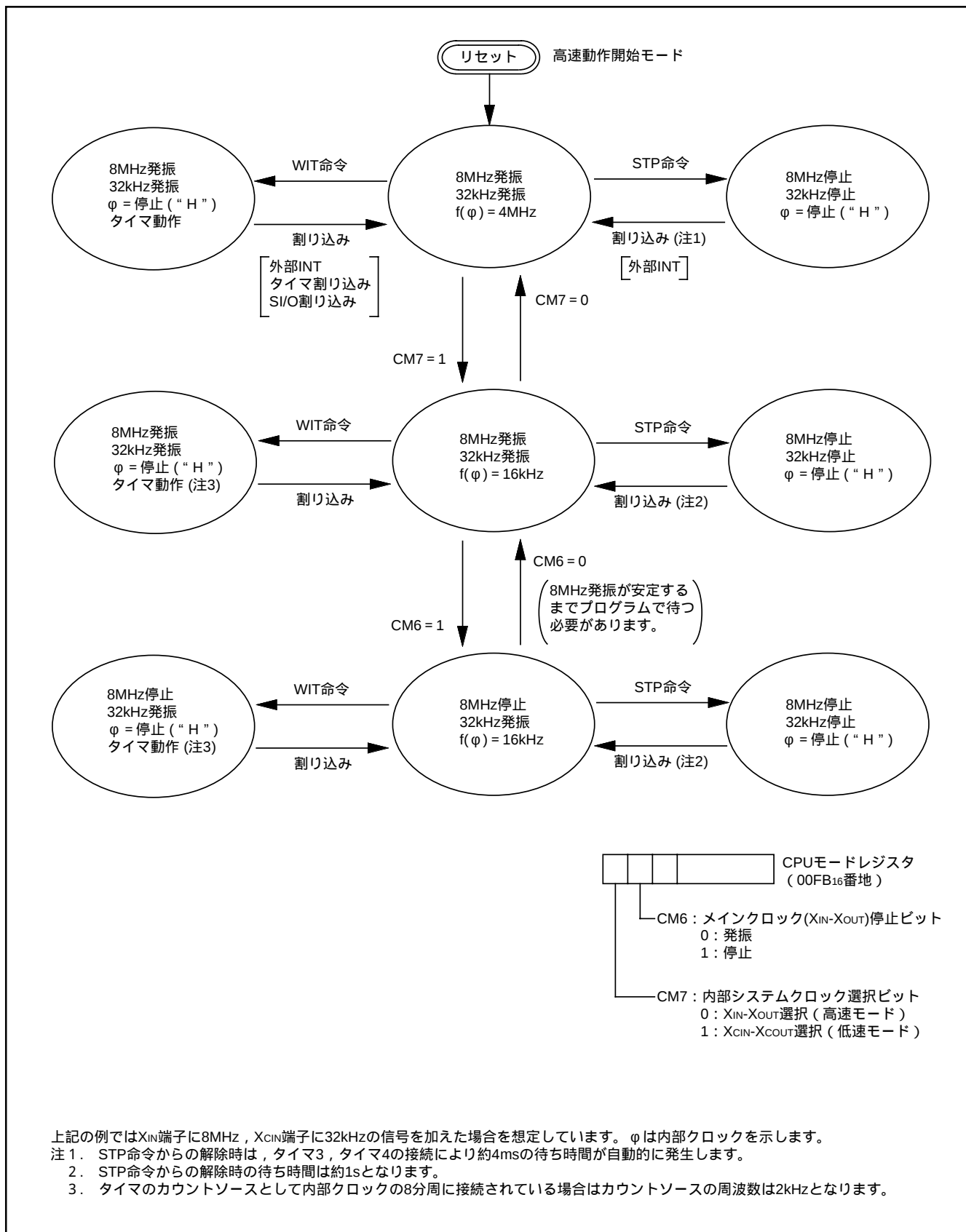


図 8.14.4 システムクロック遷移状態図

### 8.15 OSD 用発振回路

OSD 用発振回路はクロック発振回路を内蔵しているため、OSC1 と OSC2 端子間に LC、セラミック共振子、又は水晶共振子を接続するだけで OSD 用クロックを得ることができます。サブクロックにするか、OSD 用発振回路にするかの選択は、クロックコントロールレジスタ (0216<sub>16</sub> 番地) のビット 2 及びビット 1 で設定してください。

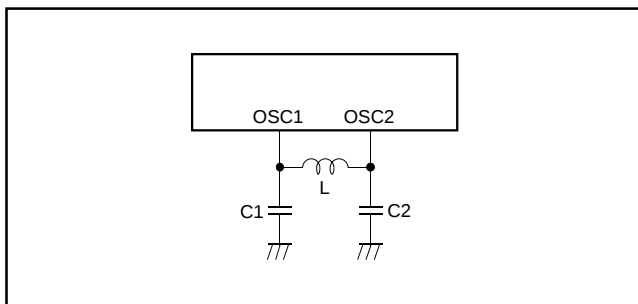


図 8.15.1 OSD 用発振回路例

### 8.16 オートクリア回路

RESET 端子に下記の回路を付加することにより、電源投入時にオートクリア機能が働きます。

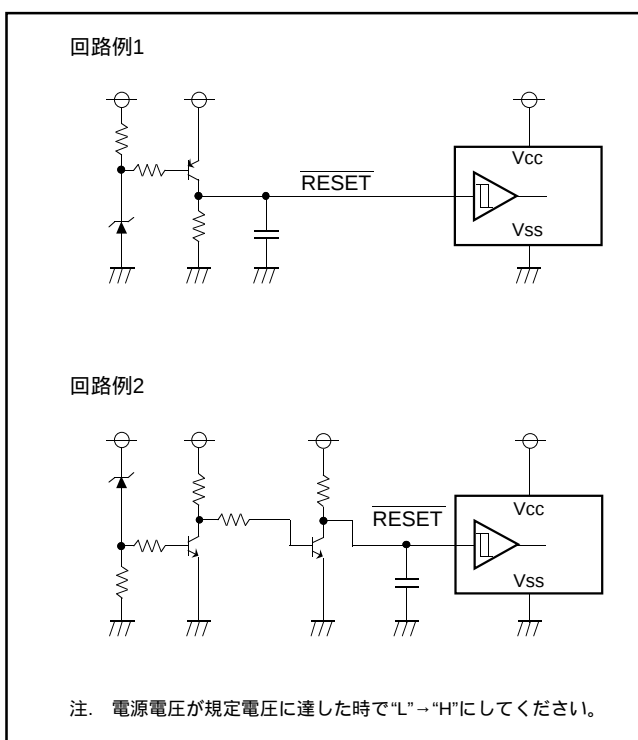


図 8.16.1 オートクリア回路例

### 8.17 アドレッシングモード

17種のアドレッシングモードを持っており、メモリアクセスが強化されています。詳細説明は、MELPS740 PROGRAMMING MANUAL を参照してください。

### 8.18 機械語命令一覧表

機械語命令は、71 命令あります。詳細説明は、MELPS740 PROGRAMMING MANUAL を参照してください。

## 9. 使用上の注意事項

- ・タイマの分周比は  $1 / (n + 1)$  です。
- ・割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS 命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、一命令以上後に行ってください。
- ・10進演算を行う場合は10進モードフラグDを“1”にセットして、ADC 命令又は SBC 命令を実行しますが、その場合、SEC 命令、CLC 命令、又は CLD 命令は、ADC 命令又は SBC 命令から 1 命令以上後に行ってください。
- ・PLP 命令を実行するときは、その直後に必ず NOP 命令を入れてください。
- ・ノイズ及びラッチアップ耐量を向上させるために、Vcc 端子と Vss 端子間、AVcc 端子と Vss 端子間、及び Vcc 端子と CNVss 端子間にバイパスコンデンサ ( $\approx 0.1 \mu F$ ) を最短距離で、かつ比較的太い配線を使って接続してください。

## 10. 絶対最大定格

| 記 号                                 | 項 目                                                                                                                                                  | 条 件                                             | 定 格 値                         | 単位 |
|-------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------|-------------------------------|----|
| V <sub>CC</sub> (AV <sub>CC</sub> ) | 電源電圧 V <sub>CC</sub> ( AV <sub>CC</sub> はM37280EKSPの場合 )                                                                                             | V <sub>SS</sub> 端子を基準にして測定する。<br>出力トランジスタは遮断状態。 | - 0.3 ~ 6                     | V  |
| V <sub>I</sub>                      | 入力電圧 CNV <sub>SS</sub>                                                                                                                               |                                                 | - 0.3 ~ 6                     | V  |
| V <sub>I</sub>                      | 入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P40 ~ P46, P64, P63, P70 ~ P72, X <sub>IN</sub> , H <sub>SYNC</sub> , V <sub>SYNC</sub> , RESET      |                                                 | - 0.3 ~ V <sub>CC</sub> + 0.3 | V  |
| V <sub>O</sub>                      | 出力電圧 P10 ~ P17, P20 ~ P27, P30 ~ P32, P47, P00 ~ P07, P50 ~ P57, P60 ~ P62, P65 ~ P67, S <sub>OUT</sub> , S <sub>CLK</sub> , X <sub>OUT</sub> , OSC2 |                                                 | - 0.3 ~ V <sub>CC</sub> + 0.3 | V  |
| I <sub>OH</sub>                     | 回路電流 P52 ~ P55, P10, P03, P15 ~ P17, P20 ~ P27, P30, P31                                                                                             |                                                 | 0 ~ 1 ( 注 1 )                 | mA |
| I <sub>OL1</sub>                    | 回路電流 P52 ~ P57, P10, P03, P15 ~ P17, P20 ~ P27, P65 ~ P67, S <sub>OUT</sub> , S <sub>CLK</sub> ,                                                     |                                                 | 0 ~ 2 ( 注 2 )                 | mA |
| I <sub>OL2</sub>                    | 回路電流 P11 ~ P14                                                                                                                                       |                                                 | 0 ~ 6 ( 注 2 )                 | mA |
| I <sub>OL3</sub>                    | 回路電流 P00 ~ P02, P04 ~ P07, P32, P47, P50, P51, P60 ~ P62                                                                                             |                                                 | 0 ~ 1 ( 注 2 )                 | mA |
| I <sub>OL4</sub>                    | 回路電流 P30, P31                                                                                                                                        |                                                 | 0 ~ 10 ( 注 3 )                | mA |
| P <sub>d</sub>                      | 消費電力                                                                                                                                                 | T <sub>a</sub> = 25                             | 550                           | m  |
| T <sub>opr</sub>                    | 動作周囲温度                                                                                                                                               |                                                 | - 10 ~ 70                     |    |
| T <sub>stg</sub>                    | 保存温度                                                                                                                                                 |                                                 | - 40 ~ 125                    |    |

11. 推奨動作条件 ( 指定のない場合は , T<sub>a</sub> = - 10 ~ 70°C, V<sub>CC</sub> = 5 V ± 10% )

| 記 号                                 | 項 目                                                                                                                                                      | 規 格 値              |        |                    | 単位  |
|-------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------|--------|--------------------|-----|
|                                     |                                                                                                                                                          | 最 小                | 標 準    | 最 大                |     |
| V <sub>CC</sub> (AV <sub>CC</sub> ) | 電源電圧( 注 4 ) CPU, OSD, データスライサ動作中 ( AV <sub>CC</sub> はM37280EKSPの場合 )                                                                                     | 4.5                | 5.0    | 5.5                | V   |
| V <sub>CC</sub> (AV <sub>CC</sub> ) | RAM保持電圧( クロック停止時 )( AV <sub>CC</sub> はM37280EKSPの場合 )                                                                                                    | 2.0                |        | 5.5                | V   |
| V <sub>SS</sub>                     | 電源電圧                                                                                                                                                     | 0                  | 0      | 0                  | V   |
| V <sub>IH1</sub>                    | " H "入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P40 ~ P46, P63, P64, P70 ~ P72, H <sub>SYNC</sub> , V <sub>SYNC</sub> , RESET, X <sub>IN</sub>      | 0.8V <sub>CC</sub> |        | V <sub>CC</sub>    | V   |
| V <sub>IH2</sub>                    | " H "入力電圧 S <sub>CL1</sub> , S <sub>CL2</sub> , S <sub>DA1</sub> , S <sub>DA2</sub>                                                                      | 0.7V <sub>CC</sub> |        | V <sub>CC</sub>    | V   |
| V <sub>IL1</sub>                    | " L "入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P40 ~ P46, P63, P64, P70 ~ P72                                                                      | 0                  |        | 0.4V <sub>CC</sub> | V   |
| V <sub>IL2</sub>                    | " L "入力電圧 S <sub>CL1</sub> , S <sub>CL2</sub> , S <sub>DA1</sub> , S <sub>DA2</sub>                                                                      | 0                  |        | 0.3V <sub>CC</sub> | V   |
| V <sub>IL3</sub>                    | " L "入力電圧( 注 6 ) RESET, X <sub>IN</sub> , OSC1, H <sub>SYNC</sub> , V <sub>SYNC</sub> , INT1, INT2, INT3, TIM2, TIM3, S <sub>CLK</sub> , S <sub>IN</sub> | 0                  |        | 0.2V <sub>CC</sub> | V   |
| I <sub>OH</sub>                     | " H "出力平均電流( 注 1 ) P52 ~ P55, P10, P03, P15 ~ P17, P20 ~ P27, P30, P31                                                                                   |                    |        | 1                  | mA  |
| I <sub>OL1</sub>                    | " L "出力平均電流( 注 2 ) P51 ~ P57, P10, P03, P15 ~ P17, P20 ~ P27, S <sub>OUT</sub> , S <sub>CLK</sub> , P47, P65 ~ P67                                       |                    |        | 2                  | mA  |
| I <sub>OL2</sub>                    | " L "出力平均電流( 注 2 ) P11 ~ P14                                                                                                                             |                    |        | 6                  | mA  |
| I <sub>OL3</sub>                    | " L "出力平均電流( 注 2 ) P00 ~ P02, P04 ~ P07, P32, P47, P50, P51, P60 ~ P62                                                                                   |                    |        | 1                  | mA  |
| I <sub>OL4</sub>                    | " L "出力平均電流( 注 3 ) P30, P31                                                                                                                              |                    |        | 10                 | mA  |
| f(X <sub>IN</sub> )                 | 発振周波数( CPU動作用 )( 注 5 ) X <sub>IN</sub>                                                                                                                   | 7.9                | 8.0    | 8.1                | MHz |
| f(X <sub>CIN</sub> )                | 発振周波数( サブクロック動作用 ) X <sub>CIN</sub>                                                                                                                      | 29                 | 32     | 35                 | kHz |
| f <sub>OSC</sub>                    | 発振周波数( OSD用 ) OSC1                                                                                                                                       | LC発振モード            |        | 27.0               | MHz |
|                                     |                                                                                                                                                          | セラミック発振モード         |        | 27.5               |     |
| R <sub>L</sub>                      | 負荷抵抗( アナログR, G, B出力時 )                                                                                                                                   | 20.0               |        |                    | k Ω |
| f <sub>hs1</sub>                    | 入力周波数 TIM2, TIM3, INT1, INT2, INT3                                                                                                                       |                    |        | 100                | kHz |
| f <sub>hs2</sub>                    | 入力周波数 S <sub>CLK</sub>                                                                                                                                   |                    |        | 1                  | MHz |
| f <sub>hs3</sub>                    | 入力周波数 S <sub>CL1</sub> , S <sub>CL2</sub>                                                                                                                |                    |        | 400                | kHz |
| f <sub>hs4</sub>                    | 入力周波数 ビデオ信号の水平同期信号                                                                                                                                       | 15.262             | 15.734 | 16.206             | kHz |
| V <sub>I</sub>                      | 入力振幅 ビデオ信号 CV <sub>IN</sub>                                                                                                                              | 1.5                | 2.0    | 2.5                | V   |

12. 電気的特性 (指定のない場合は,  $V_{CC} = 5\text{ V} \pm 10\%$ ,  $V_{SS} = 0\text{ V}$ ,  $f(XIN) = 8\text{ MHz}$ ,  $T_a = -10 \sim 70^\circ\text{C}$ )

| 記 号                               | 項 目                                                                                                                | 測 定 条 件                                                                                                                       | 規 格 値                                                                                                |     |     | 単位            | 測定回路 |
|-----------------------------------|--------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------|-----|-----|---------------|------|
|                                   |                                                                                                                    |                                                                                                                               | 最 小                                                                                                  | 標 準 | 最 大 |               |      |
| I <sub>CC</sub>                   | 電源電流                                                                                                               | システム動作時<br>$V_{CC} = 5.5\text{V}$ , $f(XIN) = 8\text{MHz}$                                                                    | CRT OFF<br>データスライサ OFF                                                                               | 15  | 30  | mA            | 1    |
|                                   |                                                                                                                    |                                                                                                                               | CRT ON (データ出力)<br>データスライサ ON                                                                         | 30  | 50  |               |      |
|                                   |                                                                                                                    |                                                                                                                               | CRT ON (アナログ出力)<br>データスライサ ON                                                                        | 50  | 70  |               |      |
|                                   |                                                                                                                    | $V_{CC} = 5.5\text{V}$ , $f(XIN) = 0$ ,<br>$f(XCIN) = 32\text{kHz}$ ,<br>CRT OFF, データスライサ OFF,<br>低消費電力モード (CM5 = 0, CM6 = 1) |                                                                                                      | 60  | 200 | $\mu\text{A}$ |      |
|                                   |                                                                                                                    | ウェイト時                                                                                                                         | $V_{CC} = 5.5\text{V}$ , $f(XIN) = 8\text{MHz}$                                                      |     | 2   | 4             | mA   |
|                                   |                                                                                                                    |                                                                                                                               | $V_{CC} = 5.5\text{V}$ , $f(XIN) = 0$ ,<br>$f(XCIN) = 32\text{kHz}$ ,<br>低消費電力モード (CM5 = 0, CM6 = 1) |     | 25  | 100           |      |
|                                   |                                                                                                                    | ストップ時                                                                                                                         | $V_{CC} = 5.5\text{V}$ , $f(XIN) = 0$ ,<br>$f(XCIN) = 0$                                             |     | 1   | 10            |      |
| V <sub>OH</sub>                   | "H"出力電圧<br>P52 ~ P55, P10, P03,<br>P15 ~ P17, P20 ~ P27,<br>P30, P31                                               | $V_{CC} = 4.5\text{V}$<br>$I_{OH} = -0.5\text{mA}$                                                                            |                                                                                                      | 2.4 |     | V             | 2    |
| V <sub>OL</sub>                   | "L"出力電圧<br>SOUT, SCLK, P00 ~ P07,<br>P10, P15 ~ P17, P20 ~<br>P27, P32, P47, P50 ~ P57,<br>P60 ~ P62, P65 ~ P67    | $V_{CC} = 4.5\text{V}$<br>$I_{OL} = 0.5\text{mA}$                                                                             |                                                                                                      |     | 0.4 | V             | 2    |
|                                   | "L"出力電圧<br>P30, P31                                                                                                | $V_{CC} = 4.5\text{V}$ ,<br>$I_{OL} = 10.0\text{mA}$                                                                          |                                                                                                      |     | 3.0 |               |      |
|                                   | "L"出力電圧<br>P11 ~ P14                                                                                               | $V_{CC} = 4.5\text{V}$                                                                                                        | $I_{OL} = 3\text{mA}$                                                                                |     | 0.4 |               |      |
|                                   |                                                                                                                    |                                                                                                                               | $I_{OL} = 6\text{mA}$                                                                                |     | 0.6 |               |      |
| V <sub>T+</sub> - V <sub>T-</sub> | ヒステリシス (注6)<br>RESET, HSYNC, VSYNC, INT1, INT2,<br>INT3, TIM2, TIM3, SIN, SCLK, SCL1,<br>SCL2, SDA1, SDA2          | $V_{CC} = 5.0\text{V}$                                                                                                        |                                                                                                      | 0.5 | 1.3 | V             | 3    |
| I <sub>IZH</sub>                  | "H"入力リーク電流<br>RESET, P00 ~ P07, P10 ~ P17, P20 ~<br>P27, P30, P31, P40 ~ P46, P63, P64,<br>P70 ~ P72, HSYNC, VSYNC | $V_{CC} = 5.5\text{V}$<br>$V_I = 5.5\text{V}$                                                                                 |                                                                                                      |     | 5   | $\mu\text{A}$ | 4    |
| I <sub>IZL</sub>                  | "L"入力リーク電流<br>RESET, P00 ~ P07, P10 ~ P17,<br>P20 ~ P27, P30, P31, P40 ~ P46, P63,<br>P64, P70 ~ P72, HSYNC, VSYNC | $V_{CC} = 5.5\text{V}$<br>$V_I = 0\text{V}$                                                                                   |                                                                                                      |     | 5   | $\mu\text{A}$ |      |
| R <sub>BS</sub>                   | I <sup>2</sup> C-BUS・バススイッチ接続抵抗<br>(SCL1-SCL2間, SDA1-SDA2間)                                                        | $V_{CC} = 4.5\text{V}$                                                                                                        |                                                                                                      |     | 130 | $\Omega$      | 5    |

注 1. IC から流出する電流の総和が 20mA を超えないこと。

2. IC へ流入する電流 ( $I_{OL1} + I_{OL2} + I_{OL3}$ ) の総和が 20mA を超えないこと。

3. IC へ流入するポート P30, P31 の平均電流の総和が 10mA を超えないこと。

4. 電源端子  $V_{CC}$ - $V_{SS}$  間、( $AV_{CC}$ - $V_{SS}$  間) には、電源ノイズ除去のため容量 0.1  $\mu\text{F}$  以上のコンデンサを外付けして使用してください。  
また、 $V_{CC}$ - $CV_{SS}$  間にも容量 0.1  $\mu\text{F}$  以上のコンデンサを外付けして使用してください。( ) 内は M37280EKSP の場合

5. CPU 発振回路には水晶発振子、又はセラミック共振子を使用してください。データスライサ使用時は 8 MHz を使用してください。

6. P16, P41 ~ P44 は割り込み入力又はタイマ入力ポートとして使用する場合、P17, P46, P72 はシリアル I/O として使用する場合、P11 ~ P14 はマルチマスタ I<sup>2</sup>C-BUS インタフェース専用端子として使用する場合にヒステリシスを持ちます。7. サブクロックを使用する場合は、 $f_{CLK} < f_{CPU}/3$  としてください。

8. 各項目の端子名は以下のように記しています。

(1) 専用端子の場合：専用端子名

(2) ダブル/トリプルファンクションポート

・規格が同じ場合：入出力ポート名

・入出力ポート以外の機能の規格が異なる場合：機能端子名

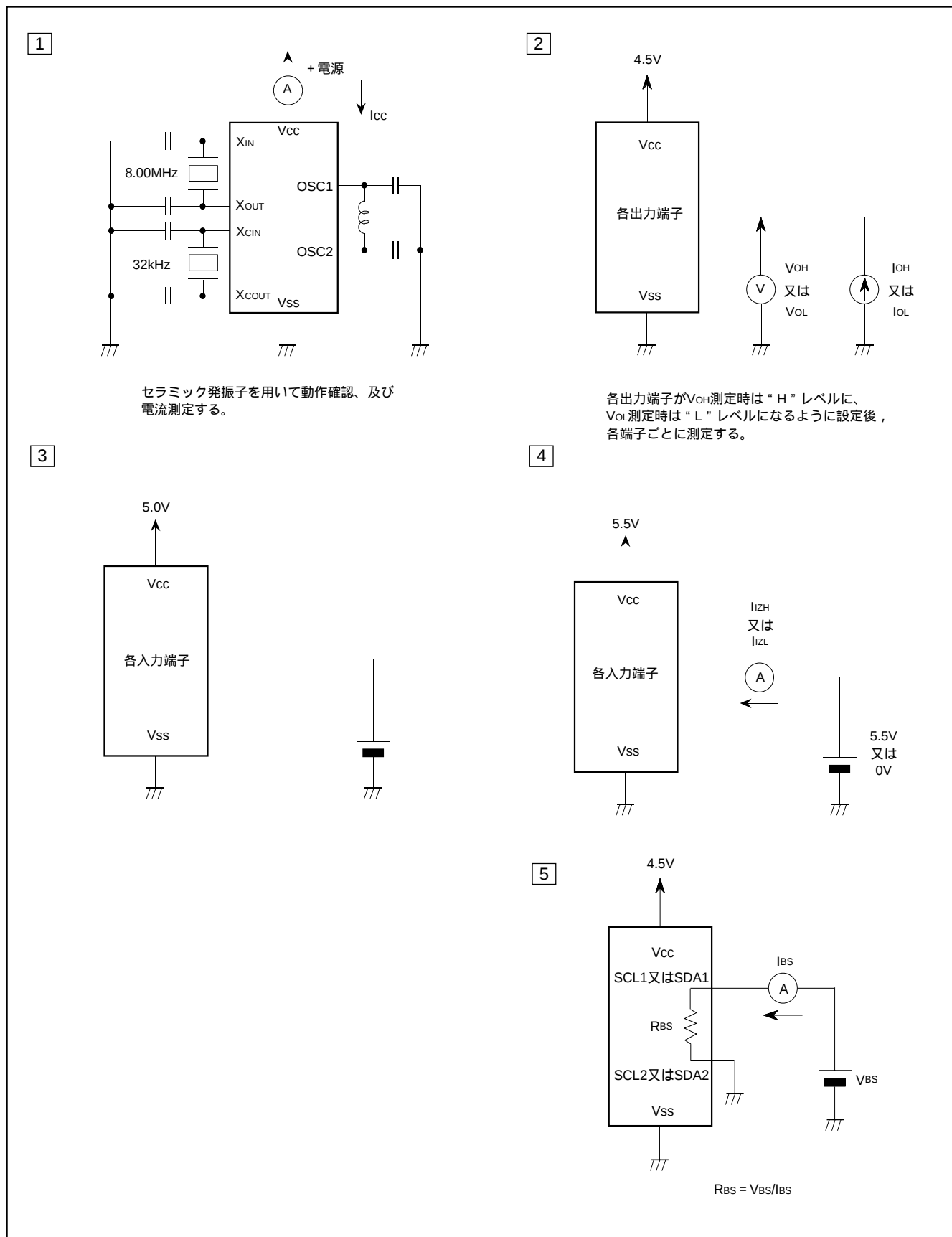


図 12.1 測定回路

13. アナログ R, G, B 出力特性 (指定のない場合は,  $V_{CC} = 5\text{ V} \pm 10\%$ ,  $V_{SS} = 0\text{ V}$ ,  $f(X_{IN}) = 8\text{ MHz}$ ,  $T_a = -10 \sim 70^\circ\text{C}$ )

| 記 号             | 項 目       | 測 定 条 件                                                               | 規 格 値 |     |           | 単位         |
|-----------------|-----------|-----------------------------------------------------------------------|-------|-----|-----------|------------|
|                 |           |                                                                       | 最 小   | 標 準 | 最 大       |            |
| R <sub>O</sub>  | 出力抵抗      | $V_{CC} = 4.5\text{V}$                                                |       |     | 2         | k $\Omega$ |
| V <sub>OE</sub> | 出力偏差      | $V_{CC} = 5.5\text{V}$                                                |       |     | $\pm 0.5$ | V          |
| T <sub>ST</sub> | セットリングタイム | $V_{CC} = 4.5\text{V}$ , 負荷容量<br>10pF, 負荷抵抗20k $\Omega$ ,<br>70%DCレベル |       |     | 50        | ns         |

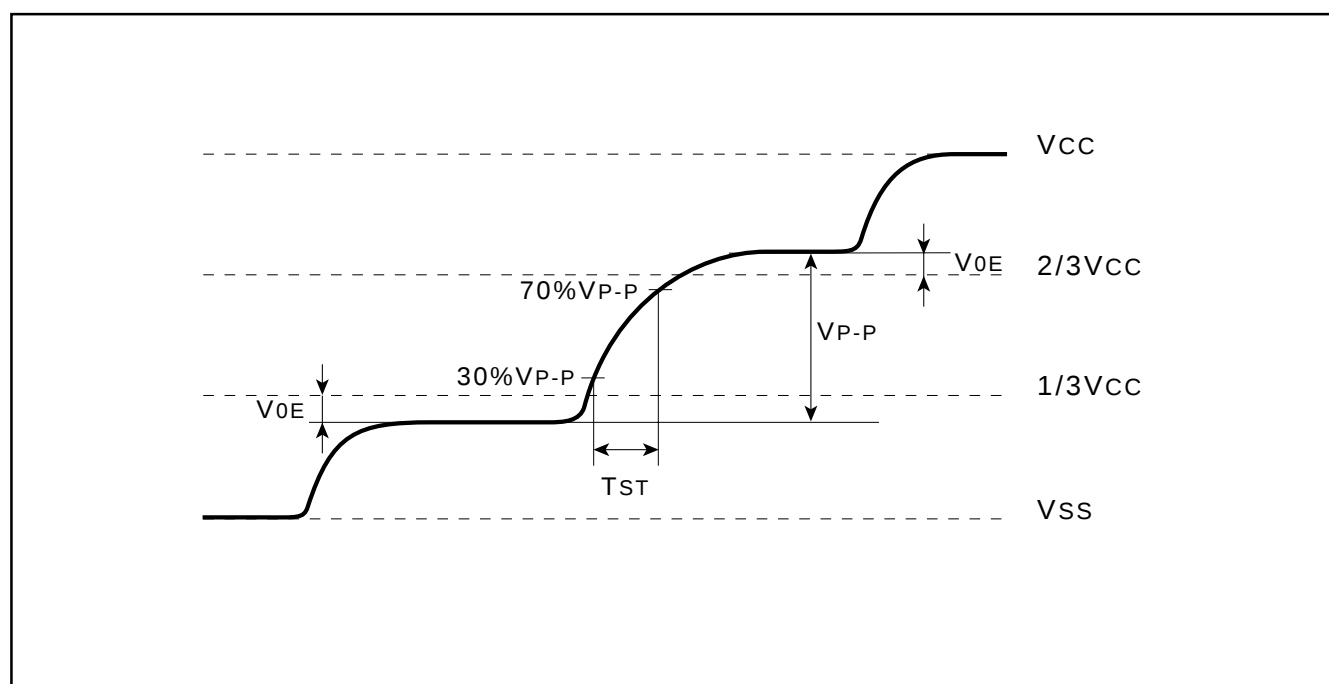


図 13.1 アナログ R, G, B 出力特性

14. A-D 変換特性 (指定のない場合は,  $V_{CC} = 5\text{ V} \pm 10\%$ ,  $V_{SS} = 0\text{ V}$ ,  $f(X_{IN}) = 8\text{ MHz}$ ,  $T_a = -10 \sim 70^\circ\text{C}$ )

| 記 号               | 項 目            | 測 定 条 件              | 規 格 値 |     |                  | 単位            |
|-------------------|----------------|----------------------|-------|-----|------------------|---------------|
|                   |                |                      | 最 小   | 標 準 | 最 大              |               |
| -                 | 分解能            |                      |       |     | 8                | bits          |
| -                 | 絶対精度(量子化誤差を除く) | $V_{CC} = 5\text{V}$ |       |     | $\pm 2.5$        | LSB           |
| T <sub>CONV</sub> | 変換時間           |                      | 12.25 |     | 12.5             | $\mu\text{s}$ |
| RLADDER           | ラダー抵抗          |                      |       | 25  |                  | k $\Omega$    |
| V <sub>IA</sub>   | アナログ入力電圧       |                      | 0     |     | V <sub>REF</sub> | V             |

15. マルチマスタ I<sup>2</sup>C-BUS パスライン特性

| 記 号     | 項 目                    | 標準クロックモード |      | 高速クロックモード     |     | 単位      |
|---------|------------------------|-----------|------|---------------|-----|---------|
|         |                        | 最 小       | 最 大  | 最 小           | 最 大 |         |
| tBUF    | バスフリータイム               | 4.7       |      | 1.3           |     | $\mu$ s |
| tHD;STA | スタートコンディション時のホールド時間    | 4.0       |      | 0.6           |     | $\mu$ s |
| tLOW    | SCLクロックの「L」状態のホールド時間   | 4.7       |      | 1.3           |     | $\mu$ s |
| tR      | SCL, SDA信号の立ち上がり時間     |           | 1000 | $20 + 0.1C_b$ | 300 | ns      |
| tHD;DAT | データのホールド時間             | 0         |      | 0             | 0.9 | $\mu$ s |
| tHIGH   | SCLクロックの「H」状態のホールド時間   | 4.0       |      | 0.6           |     | $\mu$ s |
| tF      | SCL, SDA信号の立ち下がり時間     |           | 300  | $20 + 0.1C_b$ | 300 | ns      |
| tSU;DAT | データのセットアップ時間           | 250       |      | 100           |     | ns      |
| tSU;STA | リスタートコンディション時のセットアップ時間 | 4.7       |      | 0.6           |     | $\mu$ s |
| tSU;STO | ストップコンディション時のセットアップ時間  | 4.0       |      | 0.6           |     | $\mu$ s |

注 .  $C_b$  = 1 つのバスラインキャパシタの合計

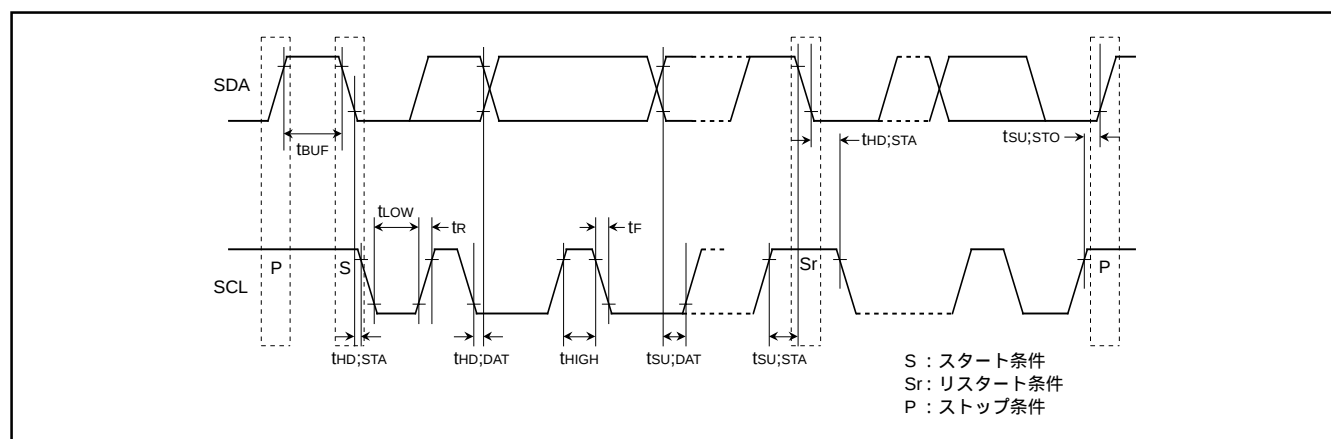


図 15.1 マルチマスタ I<sup>2</sup>C-BUS のタイミング定義図

## 16. PROM 書き込み方法

ワンタイム PROM 版(ブランク品)及び EPROM 版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。

| 形 名        | 書き込みアダプタ形名 |
|------------|------------|
| M37280EKSP | PCA7401    |

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図29.1に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

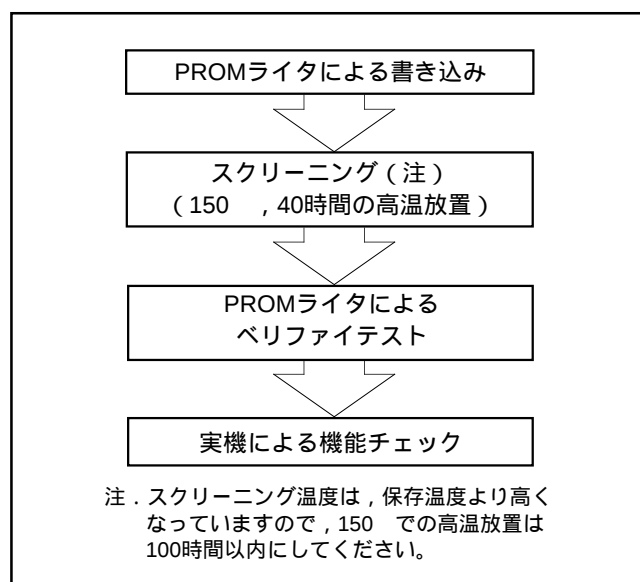


図17.1 ワンタイムPROM版書き込みとテスト

17. マスク化発注時の提出資料

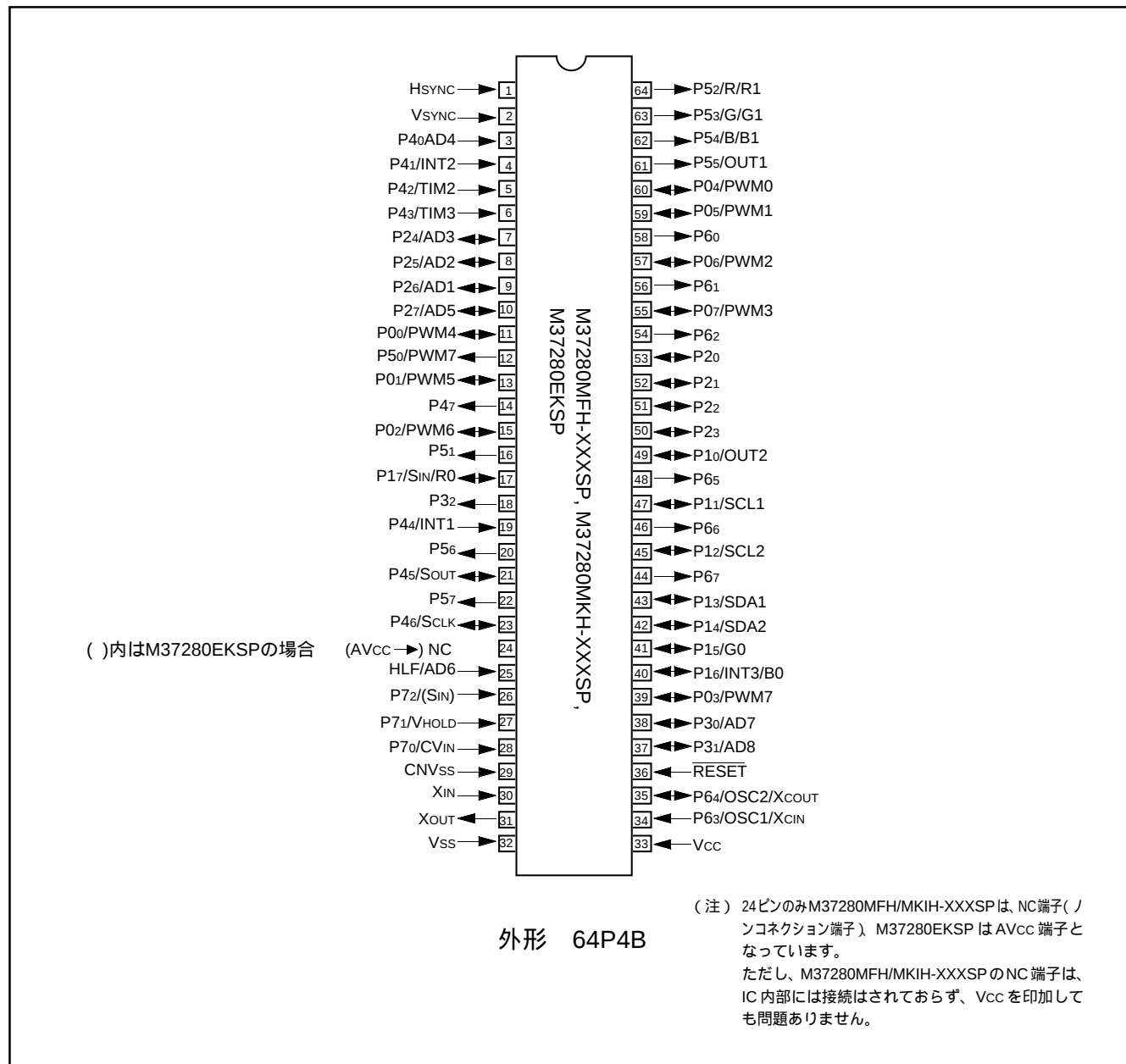
マスク ROM 版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書
- ・マーク指定書
- ・ROM のデータ EPROM 3 セット、又は FDK

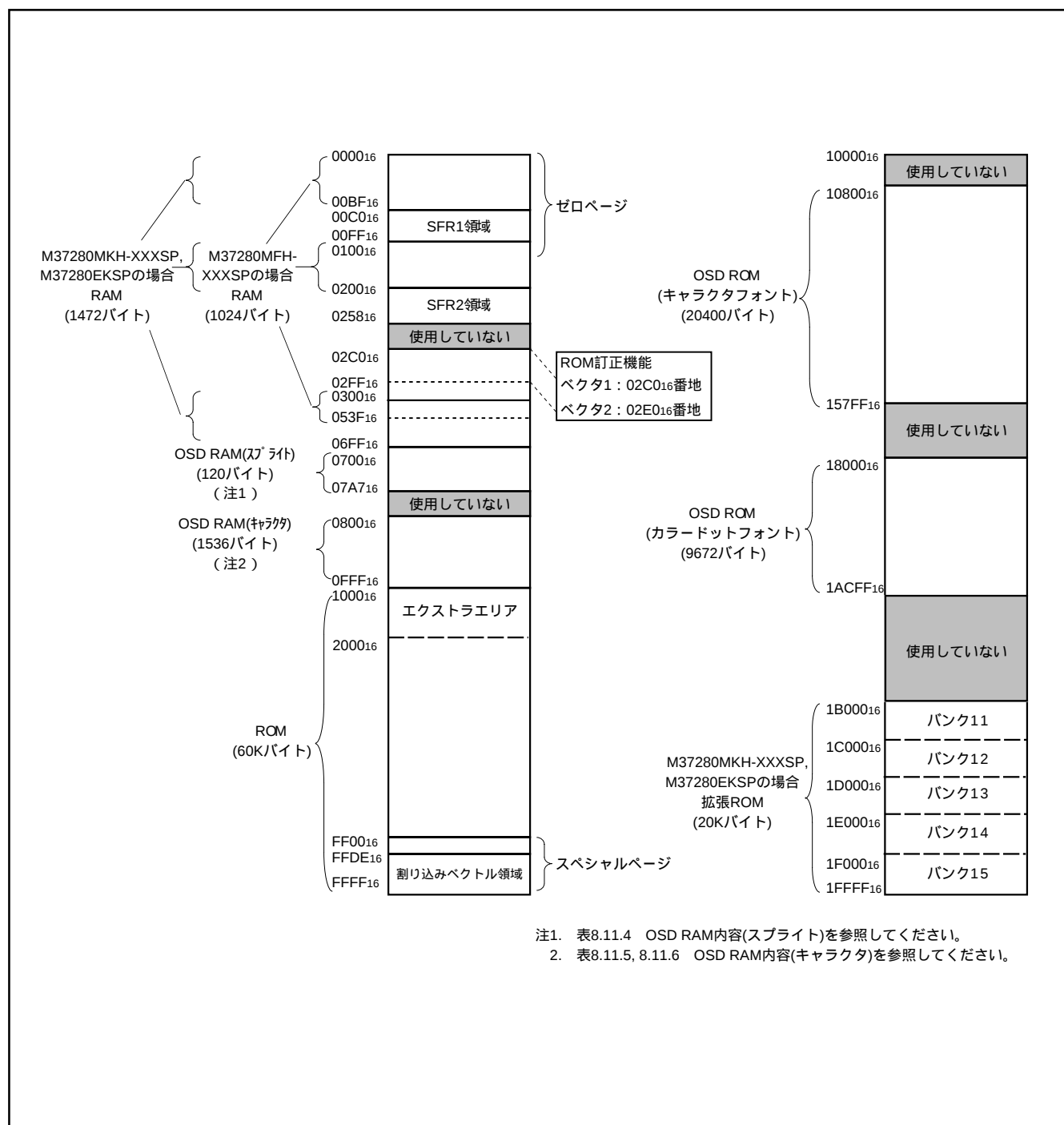
なお、御提出頂く ROM データは 32 ピン DIP の 27C101 の 3 セットにてお願いいたします。

## 18. 付録

ピン接続図(上面図)



## メモリ配置図



## SFR(スペシャルファンクションレジスタ)メモリマップ

■ SFR1領域 (C0<sub>16</sub> ~ DF<sub>16</sub>番地)

&lt;ビット配置図&gt;



: ファンクションビットあり



: ファンクションビットなし

&lt;リセット直後の状態&gt;

0: リセット直後は“0”

1: リセット直後は“1”

?: リセット直後は不定

0: “0”に固定してください。  
(“1”を書き込まないでください。)1: “1”に固定してください。  
(“0”を書き込まないでください。)

| 番地               | レジスタ名                               | ビット配置図 |                   |                   |                   |                   |                   |                   |                   | リセット直後の状態 |   |   |   |   |   |                  |   |
|------------------|-------------------------------------|--------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-----------|---|---|---|---|---|------------------|---|
|                  |                                     | b7     |                   |                   |                   |                   |                   | b0                |                   | b7        |   |   |   |   |   | b0               |   |
| C0 <sub>16</sub> | ポートP0(P0)                           |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | ?                |   |
| C1 <sub>16</sub> | ポートP0方向レジスタ(D0)                     |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | 00 <sub>16</sub> |   |
| C2 <sub>16</sub> | ポートP1(P1)                           |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | ?                |   |
| C3 <sub>16</sub> | ポートP1方向レジスタ(D1)                     |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | 00 <sub>16</sub> |   |
| C4 <sub>16</sub> | ポートP2(P2)                           |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | ?                |   |
| C5 <sub>16</sub> | ポートP2方向レジスタ(D2)                     |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | 00 <sub>16</sub> |   |
| C6 <sub>16</sub> | ポートP3(P3)                           |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | ?                |   |
| C7 <sub>16</sub> | ポートP3方向レジスタ(D3)                     |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | 00 <sub>16</sub> |   |
| C8 <sub>16</sub> | ポートP4(P4)                           |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | ?                |   |
| C9 <sub>16</sub> | ポートP4方向レジスタ(D4)                     |        |                   |                   |                   |                   |                   |                   | 0                 |           |   |   |   |   |   | 00 <sub>16</sub> |   |
| CA <sub>16</sub> | ポートP5(P5)                           |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | ?                |   |
| CB <sub>16</sub> | OSDポートコントロールレジスタ(PF)                | 0      | OUT2              | OUT1              | B                 | G                 | R                 | RGB 2BIT          | 0                 |           |   |   |   |   |   | 00 <sub>16</sub> |   |
| CC <sub>16</sub> | ポートP6(P6)                           |        |                   |                   |                   |                   |                   |                   |                   |           |   |   |   |   |   | ?                |   |
| CD <sub>16</sub> | ポートP7(P7)                           |        |                   |                   |                   |                   |                   |                   |                   | 0         | 0 | 0 | 0 | 0 | ? | ?                | ? |
| CE <sub>16</sub> | OSDコントロールレジスタ1(OC1)                 | OC17   | OC16              | OC15              | OC14              | OC13              | OC12              | OC11              | OC10              |           |   |   |   |   |   | 00 <sub>16</sub> |   |
| CF <sub>16</sub> | 水平位置レジスタ(HP)                        | HP17   | HP16              | HP15              | HP14              | HP13              | HP12              | HP11              | HP10              |           |   |   |   |   |   | 00 <sub>16</sub> |   |
| D0 <sub>16</sub> | ブロックコントロールレジスタ1(BC <sub>1</sub> )   |        | BC <sub>16</sub>  | BC <sub>15</sub>  | BC <sub>14</sub>  | BC <sub>13</sub>  | BC <sub>12</sub>  | BC <sub>11</sub>  | BC <sub>10</sub>  |           |   |   |   |   |   | ?                |   |
| D1 <sub>16</sub> | ブロックコントロールレジスタ2(BC <sub>2</sub> )   |        | BC <sub>26</sub>  | BC <sub>25</sub>  | BC <sub>24</sub>  | BC <sub>23</sub>  | BC <sub>22</sub>  | BC <sub>21</sub>  | BC <sub>20</sub>  |           |   |   |   |   |   | ?                |   |
| D2 <sub>16</sub> | ブロックコントロールレジスタ3(BC <sub>3</sub> )   |        | BC <sub>36</sub>  | BC <sub>35</sub>  | BC <sub>34</sub>  | BC <sub>33</sub>  | BC <sub>32</sub>  | BC <sub>31</sub>  | BC <sub>30</sub>  |           |   |   |   |   |   | ?                |   |
| D3 <sub>16</sub> | ブロックコントロールレジスタ4(BC <sub>4</sub> )   |        | BC <sub>46</sub>  | BC <sub>45</sub>  | BC <sub>44</sub>  | BC <sub>43</sub>  | BC <sub>42</sub>  | BC <sub>41</sub>  | BC <sub>40</sub>  |           |   |   |   |   |   | ?                |   |
| D4 <sub>16</sub> | ブロックコントロールレジスタ5(BC <sub>5</sub> )   |        | BC <sub>56</sub>  | BC <sub>55</sub>  | BC <sub>54</sub>  | BC <sub>53</sub>  | BC <sub>52</sub>  | BC <sub>51</sub>  | BC <sub>50</sub>  |           |   |   |   |   |   | ?                |   |
| D5 <sub>16</sub> | ブロックコントロールレジスタ6(BC <sub>6</sub> )   |        | BC <sub>66</sub>  | BC <sub>65</sub>  | BC <sub>64</sub>  | BC <sub>63</sub>  | BC <sub>62</sub>  | BC <sub>61</sub>  | BC <sub>60</sub>  |           |   |   |   |   |   | ?                |   |
| D6 <sub>16</sub> | ブロックコントロールレジスタ7(BC <sub>7</sub> )   |        | BC <sub>76</sub>  | BC <sub>75</sub>  | BC <sub>74</sub>  | BC <sub>73</sub>  | BC <sub>72</sub>  | BC <sub>71</sub>  | BC <sub>70</sub>  |           |   |   |   |   |   | ?                |   |
| D7 <sub>16</sub> | ブロックコントロールレジスタ8(BC <sub>8</sub> )   |        | BC <sub>86</sub>  | BC <sub>85</sub>  | BC <sub>84</sub>  | BC <sub>83</sub>  | BC <sub>82</sub>  | BC <sub>81</sub>  | BC <sub>80</sub>  |           |   |   |   |   |   | ?                |   |
| D8 <sub>16</sub> | ブロックコントロールレジスタ9(BC <sub>9</sub> )   |        | BC <sub>96</sub>  | BC <sub>95</sub>  | BC <sub>94</sub>  | BC <sub>93</sub>  | BC <sub>92</sub>  | BC <sub>91</sub>  | BC <sub>90</sub>  |           |   |   |   |   |   | ?                |   |
| D9 <sub>16</sub> | ブロックコントロールレジスタ10(BC <sub>10</sub> ) |        | BC <sub>106</sub> | BC <sub>105</sub> | BC <sub>104</sub> | BC <sub>103</sub> | BC <sub>102</sub> | BC <sub>101</sub> | BC <sub>100</sub> |           |   |   |   |   |   | ?                |   |
| DA <sub>16</sub> | ブロックコントロールレジスタ11(BC <sub>11</sub> ) |        | BC <sub>116</sub> | BC <sub>115</sub> | BC <sub>114</sub> | BC <sub>113</sub> | BC <sub>112</sub> | BC <sub>111</sub> | BC <sub>110</sub> |           |   |   |   |   |   | ?                |   |
| DB <sub>16</sub> | ブロックコントロールレジスタ12(BC <sub>12</sub> ) |        | BC <sub>126</sub> | BC <sub>125</sub> | BC <sub>124</sub> | BC <sub>123</sub> | BC <sub>122</sub> | BC <sub>121</sub> | BC <sub>120</sub> |           |   |   |   |   |   | ?                |   |
| DC <sub>16</sub> | ブロックコントロールレジスタ13(BC <sub>13</sub> ) |        | BC <sub>136</sub> | BC <sub>135</sub> | BC <sub>134</sub> | BC <sub>133</sub> | BC <sub>132</sub> | BC <sub>131</sub> | BC <sub>130</sub> |           |   |   |   |   |   | ?                |   |
| DD <sub>16</sub> | ブロックコントロールレジスタ14(BC <sub>14</sub> ) |        | BC <sub>146</sub> | BC <sub>145</sub> | BC <sub>144</sub> | BC <sub>143</sub> | BC <sub>142</sub> | BC <sub>141</sub> | BC <sub>140</sub> |           |   |   |   |   |   | ?                |   |
| DE <sub>16</sub> | ブロックコントロールレジスタ15(BC <sub>15</sub> ) |        | BC <sub>156</sub> | BC <sub>155</sub> | BC <sub>154</sub> | BC <sub>153</sub> | BC <sub>152</sub> | BC <sub>151</sub> | BC <sub>150</sub> |           |   |   |   |   |   | ?                |   |
| DF <sub>16</sub> | ブロックコントロールレジスタ16(BC <sub>16</sub> ) |        | BC <sub>166</sub> | BC <sub>165</sub> | BC <sub>164</sub> | BC <sub>163</sub> | BC <sub>162</sub> | BC <sub>161</sub> | BC <sub>160</sub> |           |   |   |   |   |   | ?                |   |

## ■ SFR1領域 (E0<sub>16</sub> ~ FF<sub>16</sub>番地)

### <ビット配置図>

☐ : ファンクションビットあり  
☐ : ファンクションビットなし

☐ : ファンクションビットなし

**0** : “0” に固定してください。  
 (“1” を書き込まないでください。)

**1** : “1” に固定してください。  
 (“0” を書き込まないでください。)

### <リセット直後の状態>

**0** : リセット直後は “0”

**1** : リセット直後は “1”

**?** : リセット直後は不定

| 番地               | レジスタ名                           | ビット配置図                                          | リセット直後の状態           |
|------------------|---------------------------------|-------------------------------------------------|---------------------|
| E0 <sub>16</sub> | データスライ制御レジスタ1(DSC1)             | b7 0 0 0 0 0 DSC12 DSC11 DSC10                  | b7 00 <sub>16</sub> |
| E1 <sub>16</sub> | データスライ制御レジスタ2(DSC2)             | 0 DSC25 DSC24 DSC23 0 DSC20                     | ? 0 ? 0 ? ? 0 ?     |
| E2 <sub>16</sub> | キャプションレジスタ1(CD1)                | CDL17 CDL16 CDL15 CDL14 CDL13 CDL12 CDL11 CDL10 | 00 <sub>16</sub>    |
| E3 <sub>16</sub> | キャプションレジスタ2(CD2)                | CDH17 CDH16 CDH15 CDH14 CDH13 CDH12 CDH11 CDH10 | 00 <sub>16</sub>    |
| E4 <sub>16</sub> | キャプションレジスタ3(CD3)                | CDL27 CDL26 CDL25 CDL24 CDL23 CDL22 CDL21 CDL20 | 00 <sub>16</sub>    |
| E5 <sub>16</sub> | キャプションレジスタ4(CD4)                | CDH27 CDH26 CDH25 CDH24 CDH23 CDH22 CDH21 CDH20 | 00 <sub>16</sub>    |
| E6 <sub>16</sub> | キャプション位置レジスタ(CPS)               | CPS7 CPS6 CPS5 CPS4 CPS3 CPS2 CPS1 CPS0         | 0 0 ? 0 0 0 0 0     |
| E7 <sub>16</sub> | データスライサテストレジスタ2                 | 00 <sub>16</sub>                                | 00 <sub>16</sub>    |
| E8 <sub>16</sub> | データスライサテストレジスタ1                 | 00 <sub>16</sub>                                | 00 <sub>16</sub>    |
| E9 <sub>16</sub> | 同期信号カウンタレジスタ(HC)                | HC5 HC4 HC3 HC2 HC1 HC0                         | 0 0 ? ? ? ? ? ?     |
| EA <sub>16</sub> | カウンタ検出レジスタ(CRD)                 | CRD7 CRD6 CRD5 CRD4 CRD3                        | 00 <sub>16</sub>    |
| EB <sub>16</sub> | データカウンタ位置レジスタ(DPS)              | DPS7 DPS6 DPS5 DPS4 DPS3 0 0 1                  | 09 <sub>16</sub>    |
| EC <sub>16</sub> |                                 |                                                 | ?                   |
| ED <sub>16</sub> | バンク制御レジスタ(BK)                   | BK7 BK6 0 0 BK3 BK2 BK1 BK0                     | 00 <sub>16</sub>    |
| EE <sub>16</sub> | A-D変換レジスタ(AD)                   |                                                 | ?                   |
| EF <sub>16</sub> | A-D制御レジスタ(ADCON)                | 0 0 ADVREF ADSTR ADIN2 ADIN1 ADIN0              | 0 ? 0 0 1 0 0 0     |
| F0 <sub>16</sub> | タイマ1(T1)                        |                                                 | FF <sub>16</sub>    |
| F1 <sub>16</sub> | タイマ2(T2)                        |                                                 | 07 <sub>16</sub>    |
| F2 <sub>16</sub> | タイマ3(T3)                        |                                                 | FF <sub>16</sub>    |
| F3 <sub>16</sub> | タイマ4(T4)                        |                                                 | 07 <sub>16</sub>    |
| F4 <sub>16</sub> | タイマモードレジスタ1(TM1)                | TM17 TM16 TM15 TM14 TM13 TM12 TM11 TM10         | 00 <sub>16</sub>    |
| F5 <sub>16</sub> | タイマモードレジスタ2(TM2)                | TM27 TM26 TM25 TM24 TM23 TM22 TM21 TM20         | 00 <sub>16</sub>    |
| F6 <sub>16</sub> | I <sup>2</sup> Cデータシフトレジスタ(S0)  | D7 D6 D5 D4 D3 D2 D1 D0                         | ?                   |
| F7 <sub>16</sub> | I <sup>2</sup> Cアドレスレジスタ(S0D)   | SAD6 SAD5 SAD4 SAD3 SAD2 SAD1 SAD0 RBW          | 00 <sub>16</sub>    |
| F8 <sub>16</sub> | I <sup>2</sup> Cステータスレジスタ(S1)   | MST TRX BB PIN AL AAS AD0 LRB                   | 0 0 0 1 0 0 0 ?     |
| F9 <sub>16</sub> | I <sup>2</sup> Cコントロールレジスタ(S1D) | BSEL1 BSEL0 10BIT SAD                           | 00 <sub>16</sub>    |
| FA <sub>16</sub> | I <sup>2</sup> Cカウンタレジスタ(S2)    | ACK BIT FAST MODE CCR4 CCR3 CCR2 CCR1 CCR0      | 00 <sub>16</sub>    |
| FB <sub>16</sub> | CPUモードレジスタ(CM)                  | CM7 CM6 CM5 1 1 CM2 0 0                         | 3C <sub>16</sub>    |
| FC <sub>16</sub> | 割り込み要求レジスタ1(IREQ1)              | ADR VSCR OSDR TM4R TM3R TM2R TM1R               | 00 <sub>16</sub>    |
| FD <sub>16</sub> | 割り込み要求レジスタ2(IREQ2)              | 0 TM56R IICR IN2R CKR SIOR DSR IN1R             | 00 <sub>16</sub>    |
| FE <sub>16</sub> | 割り込み制御レジスタ1(ICON1)              | ADE VSCE OSDE TM4E TM3E TM2E TM1E               | 00 <sub>16</sub>    |
| FF <sub>16</sub> | 割り込み制御レジスタ2(ICON2)              | TM56S TM56E IICE IN2E CKE SIOE DSE IN1E         | 00 <sub>16</sub>    |

■ SFR2領域 ( 200<sub>16</sub> ~ 21F<sub>16</sub>番地 )

&lt; ビット配置図 &gt;



: ファンクションビットあり



: ファンクションビットなし

&lt; リセット直後の状態 &gt;



: リセット直後は " 0 "



: リセット直後は " 1 "



: リセット直後は不定

: " 0 " に固定してください。  
( " 1 " を書き込まないでください。 ): " 1 " に固定してください。  
( " 0 " を書き込まないでください。 )

| 番地                | レジスタ名                   | ビット配置図      |      |      |      |      |      |      |      | リセット直後の状態 |  |  |  |  |  |  |                  |
|-------------------|-------------------------|-------------|------|------|------|------|------|------|------|-----------|--|--|--|--|--|--|------------------|
|                   |                         | b7          |      |      |      |      |      |      | b0   | b7        |  |  |  |  |  |  | b0               |
| 200 <sub>16</sub> | PWM0レジスタ(PWM0)          |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 201 <sub>16</sub> | PWM1レジスタ(PWM1)          |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 202 <sub>16</sub> | PWM2レジスタ(PWM2)          |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 203 <sub>16</sub> | PWM3レジスタ(PWM3)          |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 204 <sub>16</sub> | PWM4レジスタ(PWM4)          |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 205 <sub>16</sub> | PWM5レジスタ(PWM5)          |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 206 <sub>16</sub> | PWM6レジスタ(PWM6)          |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 207 <sub>16</sub> | PWM7レジスタ(PWM7)          |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 208 <sub>16</sub> |                         |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 209 <sub>16</sub> |                         |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 20A <sub>16</sub> | PWMモードレジスタ1(PN)         |             |      |      |      | PN4  | PN3  |      |      |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 20B <sub>16</sub> | PWMモードレジスタ2(PW)         | PW7         | PW6  | PW5  | PW4  | PW3  | PW2  | PW1  | PW0  |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 20C <sub>16</sub> | ROM訂正アドレス1 (上位)         |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 20D <sub>16</sub> | ROM訂正アドレス1 (下位)         |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 20E <sub>16</sub> | ROM訂正アドレス2 (上位)         |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 20F <sub>16</sub> | ROM訂正アドレス2 (下位)         |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 210 <sub>16</sub> | ROM訂正許可レジスタ(RCR)        |             |      |      |      |      | 0    | 0    | RCR1 | RCR0      |  |  |  |  |  |  | 00 <sub>16</sub> |
| 211 <sub>16</sub> | テストレジスタ                 |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 212 <sub>16</sub> | 割り込み入力極性レジスタ(IP)        | AD/INT3 SEL | POL3 |      | POL2 | POL1 |      |      |      |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 213 <sub>16</sub> | シリアルI/Oモードレジスタ(SM)      |             | SM6  | SM5  | SM4  | SM3  | SM2  | SM1  | SM0  |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 214 <sub>16</sub> | シリアルI/Oレジスタ(SIO)        |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | ?                |
| 215 <sub>16</sub> | OSDコントロールレジスタ2(OC2)     | OC27        | OC26 | OC25 | OC24 | OC23 | OC22 | OC21 | OC20 |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 216 <sub>16</sub> | クロックコントロールレジスタ(CS)      |             | 0    | 0    | 0    | 0    | CS2  | CS1  | CS0  |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 217 <sub>16</sub> | 入出力極性コントロールレジスタ(PC)     | PC7         | PC6  | PC5  | PC4  |      | PC2  | PC1  | PC0  |           |  |  |  |  |  |  | 80 <sub>16</sub> |
| 218 <sub>16</sub> | ラスタカラーレジスタ(RC)          | RC7         | RC6  | RC5  | RC4  | RC3  | RC2  | RC1  | RC0  |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 219 <sub>16</sub> | OSDコントロールレジスタ3(OC3)     | OC37        | OC36 | OC35 | OC34 | OC33 | OC32 | OC31 | OC30 |           |  |  |  |  |  |  | 00 <sub>16</sub> |
| 21A <sub>16</sub> | タイマ5(TM5)               |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | FF <sub>16</sub> |
| 21B <sub>16</sub> | タイマ6(TM6)               |             |      |      |      |      |      |      |      |           |  |  |  |  |  |  | 07 <sub>16</sub> |
| 21C <sub>16</sub> | トップホールドコントロールレジスタ1(TB1) | TB17        | TB16 | TB15 | TB14 | TB13 | TB12 | TB11 | TB10 |           |  |  |  |  |  |  | ?                |
| 21D <sub>16</sub> | ボトムホールドコントロールレジスタ1(BB1) | BB17        | BB16 | BB15 | BB14 | BB13 | BB12 | BB11 | BB10 |           |  |  |  |  |  |  | ?                |
| 21E <sub>16</sub> | トップホールドコントロールレジスタ2(TB2) |             |      |      |      |      |      |      | TB21 | TB20      |  |  |  |  |  |  | ?                |
| 21F <sub>16</sub> | ボトムホールドコントロールレジスタ2(BB2) |             |      |      |      |      |      |      | BB21 | BB20      |  |  |  |  |  |  | ?                |

■ SFR2領域 ( 220<sub>16</sub> ~ 23F<sub>16</sub>番地 )

## &lt; ビット配置図 &gt;

☐ : ファンクションビットあり  
☐ : ファンクションビットなし

## &lt; リセット直後の状態 &gt;

☐ : リセット直後は “ 0 ”  
☐ : リセット直後は “ 1 ”  
☐ : リセット直後は不定

☐ : “ 0 ” に固定してください。  
 (“ 1 ” を書き込まないでください。)  
☐ : “ 1 ” に固定してください。  
 (“ 0 ” を書き込まないでください。)

| 番地                | レジスタ名                                        | ビット配置図             |                    |                    |                    |                    |                    |                     |                     | リセット直後の状態 |   |  |  |  |  |    |  |
|-------------------|----------------------------------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|---------------------|---------------------|-----------|---|--|--|--|--|----|--|
|                   |                                              | b7                 |                    |                    |                    |                    |                    | b0                  |                     | b7        |   |  |  |  |  | b0 |  |
| 220 <sub>16</sub> | 垂直位置レジスタ <sub>1</sub> (VP <sub>1</sub> )     | VP <sub>1</sub> 7  | VP <sub>1</sub> 6  | VP <sub>1</sub> 5  | VP <sub>1</sub> 4  | VP <sub>1</sub> 3  | VP <sub>1</sub> 2  | VP <sub>1</sub> 1   | VP <sub>1</sub> 0   |           | ? |  |  |  |  |    |  |
| 221 <sub>16</sub> | 垂直位置レジスタ <sub>2</sub> (VP <sub>2</sub> )     | VP <sub>2</sub> 7  | VP <sub>2</sub> 6  | VP <sub>2</sub> 5  | VP <sub>2</sub> 4  | VP <sub>2</sub> 3  | VP <sub>2</sub> 2  | VP <sub>2</sub> 1   | VP <sub>2</sub> 0   |           | ? |  |  |  |  |    |  |
| 222 <sub>16</sub> | 垂直位置レジスタ <sub>3</sub> (VP <sub>3</sub> )     | VP <sub>3</sub> 7  | VP <sub>3</sub> 6  | VP <sub>3</sub> 5  | VP <sub>3</sub> 4  | VP <sub>3</sub> 3  | VP <sub>3</sub> 2  | VP <sub>3</sub> 1   | VP <sub>3</sub> 0   |           | ? |  |  |  |  |    |  |
| 223 <sub>16</sub> | 垂直位置レジスタ <sub>4</sub> (VP <sub>4</sub> )     | VP <sub>4</sub> 7  | VP <sub>4</sub> 6  | VP <sub>4</sub> 5  | VP <sub>4</sub> 4  | VP <sub>4</sub> 3  | VP <sub>4</sub> 2  | VP <sub>4</sub> 1   | VP <sub>4</sub> 0   |           | ? |  |  |  |  |    |  |
| 224 <sub>16</sub> | 垂直位置レジスタ <sub>5</sub> (VP <sub>5</sub> )     | VP <sub>5</sub> 7  | VP <sub>5</sub> 6  | VP <sub>5</sub> 5  | VP <sub>5</sub> 4  | VP <sub>5</sub> 3  | VP <sub>5</sub> 2  | VP <sub>5</sub> 1   | VP <sub>5</sub> 0   |           | ? |  |  |  |  |    |  |
| 225 <sub>16</sub> | 垂直位置レジスタ <sub>6</sub> (VP <sub>6</sub> )     | VP <sub>6</sub> 7  | VP <sub>6</sub> 6  | VP <sub>6</sub> 5  | VP <sub>6</sub> 4  | VP <sub>6</sub> 3  | VP <sub>6</sub> 2  | VP <sub>6</sub> 1   | VP <sub>6</sub> 0   |           | ? |  |  |  |  |    |  |
| 226 <sub>16</sub> | 垂直位置レジスタ <sub>7</sub> (VP <sub>7</sub> )     | VP <sub>7</sub> 7  | VP <sub>7</sub> 6  | VP <sub>7</sub> 5  | VP <sub>7</sub> 4  | VP <sub>7</sub> 3  | VP <sub>7</sub> 2  | VP <sub>7</sub> 1   | VP <sub>7</sub> 0   |           | ? |  |  |  |  |    |  |
| 227 <sub>16</sub> | 垂直位置レジスタ <sub>8</sub> (VP <sub>8</sub> )     | VP <sub>8</sub> 7  | VP <sub>8</sub> 6  | VP <sub>8</sub> 5  | VP <sub>8</sub> 4  | VP <sub>8</sub> 3  | VP <sub>8</sub> 2  | VP <sub>8</sub> 1   | VP <sub>8</sub> 0   |           | ? |  |  |  |  |    |  |
| 228 <sub>16</sub> | 垂直位置レジスタ <sub>9</sub> (VP <sub>9</sub> )     | VP <sub>9</sub> 7  | VP <sub>9</sub> 6  | VP <sub>9</sub> 5  | VP <sub>9</sub> 4  | VP <sub>9</sub> 3  | VP <sub>9</sub> 2  | VP <sub>9</sub> 1   | VP <sub>9</sub> 0   |           | ? |  |  |  |  |    |  |
| 229 <sub>16</sub> | 垂直位置レジスタ <sub>10</sub> (VP <sub>10</sub> )   | VP <sub>10</sub> 7 | VP <sub>10</sub> 6 | VP <sub>10</sub> 5 | VP <sub>10</sub> 4 | VP <sub>10</sub> 3 | VP <sub>10</sub> 2 | VP <sub>10</sub> 1  | VP <sub>10</sub> 0  |           | ? |  |  |  |  |    |  |
| 22A <sub>16</sub> | 垂直位置レジスタ <sub>11</sub> (VP <sub>11</sub> )   | VP <sub>11</sub> 7 | VP <sub>11</sub> 6 | VP <sub>11</sub> 5 | VP <sub>11</sub> 4 | VP <sub>11</sub> 3 | VP <sub>11</sub> 2 | VP <sub>11</sub> 1  | VP <sub>11</sub> 0  |           | ? |  |  |  |  |    |  |
| 22B <sub>16</sub> | 垂直位置レジスタ <sub>12</sub> (VP <sub>12</sub> )   | VP <sub>12</sub> 7 | VP <sub>12</sub> 6 | VP <sub>12</sub> 5 | VP <sub>12</sub> 4 | VP <sub>12</sub> 3 | VP <sub>12</sub> 2 | VP <sub>12</sub> 1  | VP <sub>12</sub> 0  |           | ? |  |  |  |  |    |  |
| 22C <sub>16</sub> | 垂直位置レジスタ <sub>13</sub> (VP <sub>13</sub> )   | VP <sub>13</sub> 7 | VP <sub>13</sub> 6 | VP <sub>13</sub> 5 | VP <sub>13</sub> 4 | VP <sub>13</sub> 3 | VP <sub>13</sub> 2 | VP <sub>13</sub> 1  | VP <sub>13</sub> 0  |           | ? |  |  |  |  |    |  |
| 22D <sub>16</sub> | 垂直位置レジスタ <sub>14</sub> (VP <sub>14</sub> )   | VP <sub>14</sub> 7 | VP <sub>14</sub> 6 | VP <sub>14</sub> 5 | VP <sub>14</sub> 4 | VP <sub>14</sub> 3 | VP <sub>14</sub> 2 | VP <sub>14</sub> 1  | VP <sub>14</sub> 0  |           | ? |  |  |  |  |    |  |
| 22E <sub>16</sub> | 垂直位置レジスタ <sub>15</sub> (VP <sub>15</sub> )   | VP <sub>15</sub> 7 | VP <sub>15</sub> 6 | VP <sub>15</sub> 5 | VP <sub>15</sub> 4 | VP <sub>15</sub> 3 | VP <sub>15</sub> 2 | VP <sub>15</sub> 1  | VP <sub>15</sub> 0  |           | ? |  |  |  |  |    |  |
| 22F <sub>16</sub> | 垂直位置レジスタ <sub>16</sub> (VP <sub>16</sub> )   | VP <sub>16</sub> 7 | VP <sub>16</sub> 6 | VP <sub>16</sub> 5 | VP <sub>16</sub> 4 | VP <sub>16</sub> 3 | VP <sub>16</sub> 2 | VP <sub>16</sub> 1  | VP <sub>16</sub> 0  |           | ? |  |  |  |  |    |  |
| 230 <sub>16</sub> | 垂直位置レジスタ <sub>21</sub> (VP <sub>21</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>21</sub> 1  | VP <sub>21</sub> 0  |           | ? |  |  |  |  |    |  |
| 231 <sub>16</sub> | 垂直位置レジスタ <sub>22</sub> (VP <sub>22</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>22</sub> 1  | VP <sub>22</sub> 0  |           | ? |  |  |  |  |    |  |
| 232 <sub>16</sub> | 垂直位置レジスタ <sub>23</sub> (VP <sub>23</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>23</sub> 1  | VP <sub>23</sub> 0  |           | ? |  |  |  |  |    |  |
| 233 <sub>16</sub> | 垂直位置レジスタ <sub>24</sub> (VP <sub>24</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>24</sub> 1  | VP <sub>24</sub> 0  |           | ? |  |  |  |  |    |  |
| 234 <sub>16</sub> | 垂直位置レジスタ <sub>25</sub> (VP <sub>25</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>25</sub> 1  | VP <sub>25</sub> 0  |           | ? |  |  |  |  |    |  |
| 235 <sub>16</sub> | 垂直位置レジスタ <sub>26</sub> (VP <sub>26</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>26</sub> 1  | VP <sub>26</sub> 0  |           | ? |  |  |  |  |    |  |
| 236 <sub>16</sub> | 垂直位置レジスタ <sub>27</sub> (VP <sub>27</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>27</sub> 1  | VP <sub>27</sub> 0  |           | ? |  |  |  |  |    |  |
| 237 <sub>16</sub> | 垂直位置レジスタ <sub>28</sub> (VP <sub>28</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>28</sub> 1  | VP <sub>28</sub> 0  |           | ? |  |  |  |  |    |  |
| 238 <sub>16</sub> | 垂直位置レジスタ <sub>29</sub> (VP <sub>29</sub> )   |                    |                    |                    |                    |                    |                    | VP <sub>29</sub> 1  | VP <sub>29</sub> 0  |           | ? |  |  |  |  |    |  |
| 239 <sub>16</sub> | 垂直位置レジスタ <sub>210</sub> (VP <sub>210</sub> ) |                    |                    |                    |                    |                    |                    | VP <sub>210</sub> 1 | VP <sub>210</sub> 0 |           | ? |  |  |  |  |    |  |
| 23A <sub>16</sub> | 垂直位置レジスタ <sub>211</sub> (VP <sub>211</sub> ) |                    |                    |                    |                    |                    |                    | VP <sub>211</sub> 1 | VP <sub>211</sub> 0 |           | ? |  |  |  |  |    |  |
| 23B <sub>16</sub> | 垂直位置レジスタ <sub>212</sub> (VP <sub>212</sub> ) |                    |                    |                    |                    |                    |                    | VP <sub>212</sub> 1 | VP <sub>212</sub> 0 |           | ? |  |  |  |  |    |  |
| 23C <sub>16</sub> | 垂直位置レジスタ <sub>213</sub> (VP <sub>213</sub> ) |                    |                    |                    |                    |                    |                    | VP <sub>213</sub> 1 | VP <sub>213</sub> 0 |           | ? |  |  |  |  |    |  |
| 23D <sub>16</sub> | 垂直位置レジスタ <sub>214</sub> (VP <sub>214</sub> ) |                    |                    |                    |                    |                    |                    | VP <sub>214</sub> 1 | VP <sub>214</sub> 0 |           | ? |  |  |  |  |    |  |
| 23E <sub>16</sub> | 垂直位置レジスタ <sub>215</sub> (VP <sub>215</sub> ) |                    |                    |                    |                    |                    |                    | VP <sub>215</sub> 1 | VP <sub>215</sub> 0 |           | ? |  |  |  |  |    |  |
| 23F <sub>16</sub> | 垂直位置レジスタ <sub>216</sub> (VP <sub>216</sub> ) |                    |                    |                    |                    |                    |                    | VP <sub>216</sub> 1 | VP <sub>216</sub> 0 |           | ? |  |  |  |  |    |  |

## ■ SFR2領域 ( 240<sub>16</sub> ~ 258<sub>16</sub>番地 )

< ビット配置図 >

   : } ファンクションビットあり  
ビット名 :

   : ファンクションビットなし

0 : “ 0 ” に固定してください。  
 ( “ 1 ” を書き込まないでください。 )

1 : “ 1 ” に固定してください。  
 ( “ 0 ” を書き込まないでください。 )

< リセット直後の状態 >

0 : リセット直後は “ 0 ”

1 : リセット直後は “ 1 ”

? : リセット直後は不定

| 番地                | レジスタ名               | ビット配置図 |                   |                   |                   |                   |                   |                   |                   | リセット直後の状態 |    |   |   |   |   |   |   |
|-------------------|---------------------|--------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-----------|----|---|---|---|---|---|---|
|                   |                     | b7     |                   |                   |                   | b0                |                   |                   |                   | b7        | b0 |   |   |   |   |   |   |
| 240 <sub>16</sub> |                     |        |                   |                   |                   |                   |                   |                   |                   | ?         |    |   |   |   |   |   |   |
| 241 <sub>16</sub> | カラーパレットレジスタ1(CR1)   |        | CR <sub>16</sub>  | CR <sub>15</sub>  | CR <sub>14</sub>  | CR <sub>13</sub>  | CR <sub>12</sub>  | CR <sub>11</sub>  | CR <sub>10</sub>  |           |    |   |   |   |   |   |   |
| 242 <sub>16</sub> | カラーパレットレジスタ2(CR2)   |        | CR <sub>26</sub>  | CR <sub>25</sub>  | CR <sub>24</sub>  | CR <sub>23</sub>  | CR <sub>22</sub>  | CR <sub>21</sub>  | CR <sub>20</sub>  |           |    |   |   |   |   |   |   |
| 243 <sub>16</sub> | カラーパレットレジスタ3(CR3)   |        | CR <sub>36</sub>  | CR <sub>35</sub>  | CR <sub>34</sub>  | CR <sub>33</sub>  | CR <sub>32</sub>  | CR <sub>31</sub>  | CR <sub>30</sub>  |           |    |   |   |   |   |   |   |
| 244 <sub>16</sub> | カラーパレットレジスタ4(CR4)   |        | CR <sub>46</sub>  | CR <sub>45</sub>  | CR <sub>44</sub>  | CR <sub>43</sub>  | CR <sub>42</sub>  | CR <sub>41</sub>  | CR <sub>40</sub>  |           |    |   |   |   |   |   |   |
| 245 <sub>16</sub> | カラーパレットレジスタ5(CR5)   |        | CR <sub>56</sub>  | CR <sub>55</sub>  | CR <sub>54</sub>  | CR <sub>53</sub>  | CR <sub>52</sub>  | CR <sub>51</sub>  | CR <sub>50</sub>  |           |    |   |   |   |   |   |   |
| 246 <sub>16</sub> | カラーパレットレジスタ6(CR6)   |        | CR <sub>66</sub>  | CR <sub>65</sub>  | CR <sub>64</sub>  | CR <sub>63</sub>  | CR <sub>62</sub>  | CR <sub>61</sub>  | CR <sub>60</sub>  |           |    |   |   |   |   |   |   |
| 247 <sub>16</sub> | カラーパレットレジスタ7(CR7)   |        | CR <sub>76</sub>  | CR <sub>75</sub>  | CR <sub>74</sub>  | CR <sub>73</sub>  | CR <sub>72</sub>  | CR <sub>71</sub>  | CR <sub>70</sub>  |           |    |   |   |   |   |   |   |
| 248 <sub>16</sub> |                     |        |                   |                   |                   |                   |                   |                   |                   |           |    |   |   |   |   |   |   |
| 249 <sub>16</sub> | カラーパレットレジスタ9(CR9)   |        | CR <sub>96</sub>  | CR <sub>95</sub>  | CR <sub>94</sub>  | CR <sub>93</sub>  | CR <sub>92</sub>  | CR <sub>91</sub>  | CR <sub>90</sub>  |           |    |   |   |   |   |   |   |
| 24A <sub>16</sub> | カラーパレットレジスタ10(CR10) |        | CR <sub>106</sub> | CR <sub>105</sub> | CR <sub>104</sub> | CR <sub>103</sub> | CR <sub>102</sub> | CR <sub>101</sub> | CR <sub>100</sub> |           |    |   |   |   |   |   |   |
| 24B <sub>16</sub> | カラーパレットレジスタ11(CR11) |        | CR <sub>116</sub> | CR <sub>115</sub> | CR <sub>114</sub> | CR <sub>113</sub> | CR <sub>112</sub> | CR <sub>111</sub> | CR <sub>110</sub> |           |    |   |   |   |   |   |   |
| 24C <sub>16</sub> | カラーパレットレジスタ12(CR12) |        | CR <sub>126</sub> | CR <sub>125</sub> | CR <sub>124</sub> | CR <sub>123</sub> | CR <sub>122</sub> | CR <sub>121</sub> | CR <sub>120</sub> |           |    |   |   |   |   |   |   |
| 24D <sub>16</sub> | カラーパレットレジスタ13(CR13) |        | CR <sub>136</sub> | CR <sub>135</sub> | CR <sub>134</sub> | CR <sub>133</sub> | CR <sub>132</sub> | CR <sub>131</sub> | CR <sub>130</sub> |           |    |   |   |   |   |   |   |
| 24E <sub>16</sub> | カラーパレットレジスタ14(CR14) |        | CR <sub>146</sub> | CR <sub>145</sub> | CR <sub>144</sub> | CR <sub>143</sub> | CR <sub>142</sub> | CR <sub>141</sub> | CR <sub>140</sub> |           |    |   |   |   |   |   |   |
| 24F <sub>16</sub> | カラーパレットレジスタ15(CR15) |        | CR <sub>156</sub> | CR <sub>155</sub> | CR <sub>154</sub> | CR <sub>153</sub> | CR <sub>152</sub> | CR <sub>151</sub> | CR <sub>150</sub> |           |    |   |   |   |   |   |   |
| 250 <sub>16</sub> | レフトボタースタ1(LB1)      | LB17   | LB16              | LB15              | LB14              | LB13              | LB12              | LB11              | LB10              | 0116      |    |   |   |   |   |   |   |
| 251 <sub>16</sub> | レフトボタースタ2(LB2)      |        |                   |                   |                   |                   | LB22              | LB21              | LB20              | 0016      |    |   |   |   |   |   |   |
| 252 <sub>16</sub> | ライトボタースタ1(RB1)      | RB17   | RB16              | RB15              | RB14              | RB13              | RB12              | RB11              | RB10              | FF16      |    |   |   |   |   |   |   |
| 253 <sub>16</sub> | ライトボタースタ2(RB2)      |        |                   |                   |                   |                   | RB22              | RB21              | RB20              | 0716      |    |   |   |   |   |   |   |
| 254 <sub>16</sub> | スライト垂直位置レジスタ1(VS1)  | VS17   | VS16              | VS15              | VS14              | VS13              | VS12              | VS11              | VS10              | ?         |    |   |   |   |   |   |   |
| 255 <sub>16</sub> | スライト垂直位置レジスタ2(VS2)  |        |                   |                   |                   |                   |                   | VS21              | VS20              | 0016      |    |   |   |   |   |   |   |
| 256 <sub>16</sub> | スライト水平位置レジスタ1(HS1)  | HS17   | HS16              | HS15              | HS14              | HS13              | HS12              | HS11              | HS10              | ?         |    |   |   |   |   |   |   |
| 257 <sub>16</sub> | スライト水平位置レジスタ2(HS2)  |        |                   |                   |                   |                   | HS22              | HS21              | HS20              | 0         | 0  | 0 | 0 | 0 | ? | ? | ? |
| 258 <sub>16</sub> | スライトOSD制御レジスタ(SC)   |        |                   | SC5               | SC4               | SC3               | SC2               | SC1               | SC0               | 0016      |    |   |   |   |   |   |   |

プロセッサステータスレジスタとプログラムカウンタのリセット時の内部状態

<ビット配置図>

ビット名

}

ファンクションビットあり

ファンクションビットなし

0

: “0” に固定してください。  
 (“1” を書き込まないでください。)

1

: “1” に固定してください。  
 (“0” を書き込まないでください。)

<リセット直後の状態>

0

: リセット直後は “0”

1

: リセット直後は “1”

?

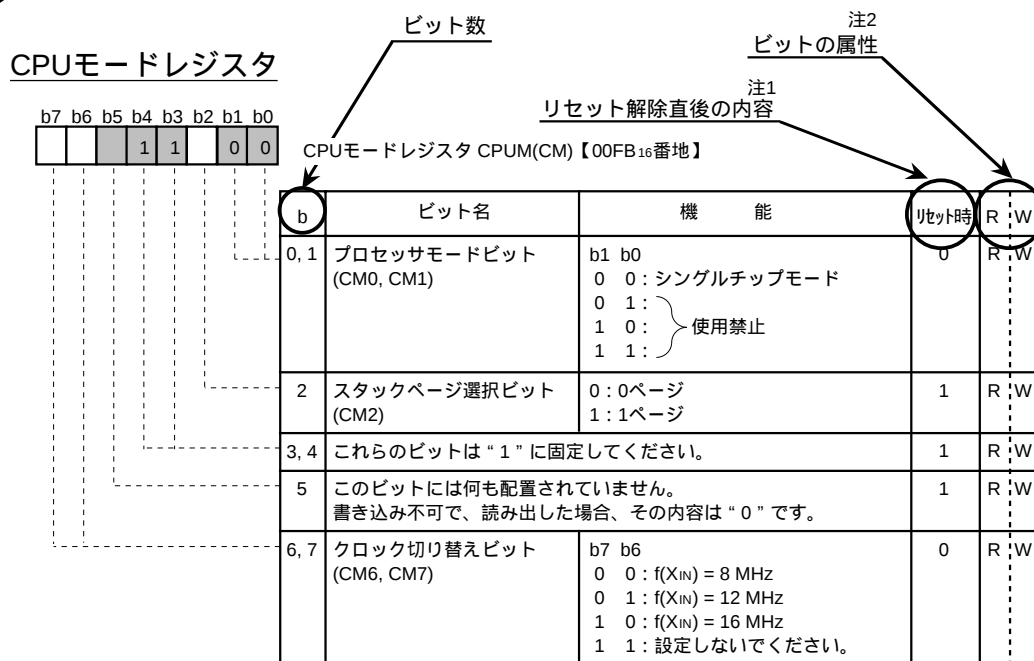
: リセット直後は不定

| レジスタ名              | ビット配置図   | リセット直後の状態                |
|--------------------|----------|--------------------------|
|                    | b7b0     | b7b0                     |
| プロセッサステータスレジスタ(PS) | NVTBDIZC | ? ? ? ? ? 1 ? ?          |
| プログラムカウンタ(PCH)     |          | FFFF <sub>16</sub> 番地の内容 |
| プログラムカウンタ(PCL)     |          | FFFE <sub>16</sub> 番地の内容 |

## 制御レジスタ一覧

制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。

例



■ : 何も配置されていないビット

注1. リセット解除直後の内容

0 ... リセット解除時“0”  
 1 ... リセット解除時“1”  
 不定 ... リセット解除時不定

注2. ビットの属性...制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

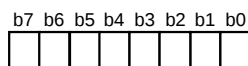
R : 読み出し

R... 読み出し可能  
 - ... 読み出し不可

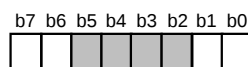
W : 書き込み

W... 書き込み可能  
 - ... 書き込み不可

\*... ソフトウェアによって“0”にできますが、“1”にはできません。

**00C1<sub>16</sub>, 00C3<sub>16</sub>, 00C5<sub>16</sub>番地****ポートPi方向レジスタ**ポートPi方向レジスタ(Di) (i=0,1,2) 【00C1<sub>16</sub>, 00C3<sub>16</sub>, 00C5<sub>16</sub>番地】

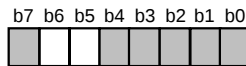
| b | ビット名        | 機 能                                                          | リセット時 | R | W |
|---|-------------|--------------------------------------------------------------|-------|---|---|
| 0 | ポートPi方向レジスタ | 0 : ポートPi <sub>0</sub> 入力モード<br>1 : ポートPi <sub>0</sub> 出力モード | 0     | R | W |
| 1 |             | 0 : ポートPi <sub>1</sub> 入力モード<br>1 : ポートPi <sub>1</sub> 出力モード | 0     | R | W |
| 2 |             | 0 : ポートPi <sub>2</sub> 入力モード<br>1 : ポートPi <sub>2</sub> 出力モード | 0     | R | W |
| 3 |             | 0 : ポートPi <sub>3</sub> 入力モード<br>1 : ポートPi <sub>3</sub> 出力モード | 0     | R | W |
| 4 |             | 0 : ポートPi <sub>4</sub> 入力モード<br>1 : ポートPi <sub>4</sub> 出力モード | 0     | R | W |
| 5 |             | 0 : ポートPi <sub>5</sub> 入力モード<br>1 : ポートPi <sub>5</sub> 出力モード | 0     | R | W |
| 6 |             | 0 : ポートPi <sub>6</sub> 入力モード<br>1 : ポートPi <sub>6</sub> 出力モード | 0     | R | W |
| 7 |             | 0 : ポートPi <sub>7</sub> 入力モード<br>1 : ポートPi <sub>7</sub> 出力モード | 0     | R | W |

**00C7<sub>16</sub>番地****ポートP3方向レジスタ**ポートP3方向レジスタ(D3) 【00C7<sub>16</sub>番地】

| b   | ビット名                                                 | 機 能                                                          | リセット時 | R | W |
|-----|------------------------------------------------------|--------------------------------------------------------------|-------|---|---|
| 0   | ポートP3方向レジスタ                                          | 0 : ポートP3 <sub>0</sub> 入力モード<br>1 : ポートP3 <sub>0</sub> 出力モード | 0     | R | W |
| 1   |                                                      | 0 : ポートP3 <sub>1</sub> 入力モード<br>1 : ポートP3 <sub>1</sub> 出力モード | 0     | R | W |
| 2~5 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                                              | 0     | R | - |
| 6   | タイマ3カウントソース<br>選択ビット(T3SC)                           | タイマの説明参照。                                                    | 0     | R | W |
| 7   | ポートP6 <sub>3</sub> , P6 <sub>4</sub><br>選択ビット(P6IM)  | クロックコントロール<br>レジスタ(0216 <sub>16</sub> 番地)参照。                 | 0     | R | W |

00C9<sub>16</sub>番地

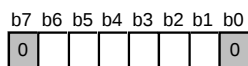
## ポートP4方向レジスタ

ポートP4方向レジスタ(D4)【00C9<sub>16</sub>番地】

| b   | ビット名                                                | 機 能                                                          | リセット時 | R : W |
|-----|-----------------------------------------------------|--------------------------------------------------------------|-------|-------|
| 0   | このビットは“0”に固定してください。                                 |                                                              | 0     | R : W |
| 1~4 | これらのビットには何も配置されてません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                                              | 0     | R : - |
| 5   | ポートP4方向レジスタ                                         | 0 : ポートP4 <sub>5</sub> 入力モード<br>1 : ポートP4 <sub>5</sub> 出力モード | 0     | R : W |
| 6   |                                                     | 0 : ポートP4 <sub>6</sub> 入力モード<br>1 : ポートP4 <sub>7</sub> 出力モード | 0     | R : W |
| 7   | このビットには何も配置されてません。<br>書き込み不可で、読み出した場合、その内容は“0”です。   |                                                              | 0     | R : - |

00CB<sub>16</sub>番地

## OSDポートコントロールレジスタ

OSDポートコントロールレジスタ(PF)【00CB<sub>16</sub>番地】

| b | ビット名                               | 機 能                                                                                                                    | リセット時 | R : W |
|---|------------------------------------|------------------------------------------------------------------------------------------------------------------------|-------|-------|
| 0 | このビットは“0”に固定してください。                |                                                                                                                        | 0     | R : W |
| 1 | R, G, B出力方法選択ビット (RGB2BIT)         | 0 : R, G, B端子から4階調のアナログ出力<br>1 : 4階調のアナログを2ビットのデジタルに変換した値を以下のように出力<br>上位ビット : R1, G1, B1端子から<br>下位ビット : R0, G0, B0端子から | 0     | R : W |
| 2 | ポートP5 <sub>2</sub> 出力信号選択ビット(R)    | 0 : R信号出力<br>1 : ポートP5 <sub>2</sub> 出力                                                                                 | 0     | R : W |
| 3 | ポートP5 <sub>3</sub> 出力信号選択ビット(G)    | 0 : G信号出力<br>1 : ポートP5 <sub>3</sub> 出力                                                                                 | 0     | R : W |
| 4 | ポートP5 <sub>4</sub> 出力信号選択ビット(B)    | 0 : B信号出力<br>1 : ポートP5 <sub>4</sub> 出力                                                                                 | 0     | R : W |
| 5 | ポートP5 <sub>5</sub> 出力信号選択ビット(OUT1) | 0 : OUT1信号出力<br>1 : ポートP5 <sub>5</sub> 出力                                                                              | 0     | R : W |
| 6 | ポートP1 <sub>0</sub> 出力信号選択ビット(OUT2) | 0 : ポートP1 <sub>0</sub> 信号出力<br>1 : OUT2出力                                                                              | 0     | R : W |
| 7 | このビットは“0”に固定してください。                |                                                                                                                        | 0     | R : W |

00CE<sub>16</sub>番地

## OSDコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|

OSDコントロールレジスタ1(OC1) 【00CE<sub>16</sub>番地】

| b    | ビット名                                  | 機 能                                                                                         | リセット時 | R | W |
|------|---------------------------------------|---------------------------------------------------------------------------------------------|-------|---|---|
| 0    | OSD制御ビット<br>(OC10) (注1)               | 0: 全ブロック表示OFF<br>1: 全ブロック表示ON                                                               | 0     | R | W |
| 1    | スキャンモード選択<br>ビット(OC11)                | 0: ノーマルスキャンモード<br>1: バイスキャンモード                                                              | 0     | R | W |
| 2    | フチドリタイプ選択<br>ビット(OC12)                | 0: 全周囲フチドリ<br>1: シャドウフチドリ (注2)                                                              | 0     | R | W |
| 3    | フラッシュモード選択<br>ビット(OC13)               | 0: 文字背景部の色信号は<br>フラッシュしない<br>1: 文字背景部の色信号は<br>フラッシュする                                       | 0     | R | W |
| 4    | オートソリッドスペース<br>制御ビット(OC14)            | 0: OFF<br>1: ON                                                                             | 0     | R | W |
| 5    | 縦ウインドウ/ブランク<br>制御ビット(OC15)            | 0: OFF<br>1: ON                                                                             | 0     | R | W |
| 6, 7 | レイヤミキシング制御<br>ビット(OC16, OC17)<br>(注3) | b7 b6<br>0 0: レイヤ1のカー-とレイヤ2のカー-<br>をOR合成<br>0 1: レイヤ1のカー-優先<br>1 0: レイヤ2のカー-優先<br>1 1: 設定禁止 | 0     | R | W |

- 注1. 表示中切り替えても、表示画面は次のV<sub>SYNC</sub>の立ち上がり  
(立ち下がり)まで変化しません。
2. フォントの右側と下側に出力されます。
3. OUT2はこれらのビットの値にかかわらず、常にOR合成されます。

00CF<sub>16</sub>番地

## 水平位置レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|

水平位置レジスタ(HP) 【00CF<sub>16</sub>番地】

| b   | ビット名                       | 機 能                                                                               | リセット時 | R | W |
|-----|----------------------------|-----------------------------------------------------------------------------------|-------|---|---|
| 0~7 | 水平表示開始位置制御ビット<br>(HP0~HP7) | $4T_{osc} \times (\text{上位4ビットの設定値} \times 16^1 + \text{下位4ビットの設定値} \times 16^0)$ | 0     | R | W |

- 注1. 設定値はV<sub>SYNC</sub>信号に同期します。
2. T<sub>osc</sub>: OSD発振周期

ブロックコントロールレジスタ<sub>i</sub>

b7 b6 b5 b4 b3 b2 b1 b0

ブロックコントロールレジスタ<sub>i</sub> (BC<sub>i</sub>) (i=1 ~ 16) 【00D0<sub>16</sub> ~ 00DF<sub>16</sub>番地】

| b    | ビット名                                                  | 機 能                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | ビット時 | R     | W                            |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|------|-------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|-------|------------------------------|----|-------|--------|---|---|---|---|----|------------------------|--|--|---|---|----------------------|--|--|---|---|----------------------|--|--|---|---|----------------------|---|---|---|---|----|------------------------|--|--|---|---|----------------------|--|--|---|---|----------------------|--|--|---|---|----------------------|---|---|---|---|----|------------------------------|--|--|---|---|----------------------------|--|--|---|---|------------------------|---|---|---|---|----------------------|--|--|---|---|--|----------------------|--|--|--|--|--|----------------------|----|---|---|
| 0, 1 | 表示モード選択ビット<br>(BC <sub>i0</sub> , BC <sub>i1</sub> )  | b1 b0<br>0 0: 表示OFF<br>0 1: OSDモード<br>1 0: CCEモード<br>1 1: CDOSDモード                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 不定   | R     | W                            |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 2    | フチドリ制御ビット<br>(BC <sub>i2</sub> )                      | 0: フチドリOFF<br>1: フチドリON                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 不定   | R     | W                            |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 3, 4 | ドットサイズ選択ビット<br>(BC <sub>i3</sub> , BC <sub>i4</sub> ) | <table border="1"> <thead> <tr> <th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>プリ分周比</th><th>ドットサイズ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="4">1倍</td><td>1T<sub>c</sub> × 1/2H</td></tr> <tr> <td></td><td></td><td>0</td><td>1</td><td>1T<sub>c</sub> × 1H</td></tr> <tr> <td></td><td></td><td>1</td><td>0</td><td>2T<sub>c</sub> × 2H</td></tr> <tr> <td></td><td></td><td>1</td><td>1</td><td>3T<sub>c</sub> × 3H</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td rowspan="4">2倍</td><td>1T<sub>c</sub> × 1/2H</td></tr> <tr> <td></td><td></td><td>0</td><td>1</td><td>1T<sub>c</sub> × 1H</td></tr> <tr> <td></td><td></td><td>1</td><td>0</td><td>2T<sub>c</sub> × 2H</td></tr> <tr> <td></td><td></td><td>1</td><td>1</td><td>3T<sub>c</sub> × 3H</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>0</td><td rowspan="4">3倍</td><td>1.5T<sub>c</sub> × 1/2H(注3)</td></tr> <tr> <td></td><td></td><td>0</td><td>1</td><td>1.5T<sub>c</sub> × 1H(注3)</td></tr> <tr> <td></td><td></td><td>0</td><td>1</td><td>1T<sub>c</sub> × 1/2H</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>0</td><td>1T<sub>c</sub> × 1H</td></tr> <tr> <td></td><td></td><td>1</td><td>1</td><td></td><td>2T<sub>c</sub> × 2H</td></tr> <tr> <td></td><td></td><td></td><td></td><td></td><td>3T<sub>c</sub> × 3H</td></tr> </tbody> </table> | b6   | b5    | b4                           | b3 | プリ分周比 | ドットサイズ | 0 | 0 | 0 | 0 | 1倍 | 1T <sub>c</sub> × 1/2H |  |  | 0 | 1 | 1T <sub>c</sub> × 1H |  |  | 1 | 0 | 2T <sub>c</sub> × 2H |  |  | 1 | 1 | 3T <sub>c</sub> × 3H | 0 | 1 | 0 | 0 | 2倍 | 1T <sub>c</sub> × 1/2H |  |  | 0 | 1 | 1T <sub>c</sub> × 1H |  |  | 1 | 0 | 2T <sub>c</sub> × 2H |  |  | 1 | 1 | 3T <sub>c</sub> × 3H | 1 | 1 | 0 | 0 | 3倍 | 1.5T <sub>c</sub> × 1/2H(注3) |  |  | 0 | 1 | 1.5T <sub>c</sub> × 1H(注3) |  |  | 0 | 1 | 1T <sub>c</sub> × 1/2H | 1 | 0 | 1 | 0 | 1T <sub>c</sub> × 1H |  |  | 1 | 1 |  | 2T <sub>c</sub> × 2H |  |  |  |  |  | 3T <sub>c</sub> × 3H | 不定 | R | W |
| b6   | b5                                                    | b4                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | b3   | プリ分周比 | ドットサイズ                       |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 0    | 0                                                     | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    | 1倍    | 1T <sub>c</sub> × 1/2H       |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 1T <sub>c</sub> × 1H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    |       | 2T <sub>c</sub> × 2H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 3T <sub>c</sub> × 3H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 0    | 1                                                     | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    | 2倍    | 1T <sub>c</sub> × 1/2H       |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 1T <sub>c</sub> × 1H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    |       | 2T <sub>c</sub> × 2H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 3T <sub>c</sub> × 3H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 1    | 1                                                     | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    | 3倍    | 1.5T <sub>c</sub> × 1/2H(注3) |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 1.5T <sub>c</sub> × 1H(注3)   |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 1T <sub>c</sub> × 1/2H       |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 1    | 0                                                     | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    |       | 1T <sub>c</sub> × 1H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 2T <sub>c</sub> × 2H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |      |       | 3T <sub>c</sub> × 3H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 5, 6 | プリ分周比選択ビット<br>(BC <sub>i5</sub> , BC <sub>i6</sub> )  | <table border="1"> <thead> <tr> <th>b6</th><th>b5</th><th>b4</th><th>b3</th><th>プリ分周比</th><th>ドットサイズ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="4">1倍</td><td>1T<sub>c</sub> × 1/2H</td></tr> <tr> <td></td><td></td><td>0</td><td>1</td><td>1T<sub>c</sub> × 1H</td></tr> <tr> <td></td><td></td><td>1</td><td>0</td><td>2T<sub>c</sub> × 2H</td></tr> <tr> <td></td><td></td><td>1</td><td>1</td><td>3T<sub>c</sub> × 3H</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td rowspan="4">2倍</td><td>1T<sub>c</sub> × 1/2H</td></tr> <tr> <td></td><td></td><td>0</td><td>1</td><td>1T<sub>c</sub> × 1H</td></tr> <tr> <td></td><td></td><td>1</td><td>0</td><td>2T<sub>c</sub> × 2H</td></tr> <tr> <td></td><td></td><td>1</td><td>1</td><td>3T<sub>c</sub> × 3H</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>0</td><td rowspan="4">3倍</td><td>1.5T<sub>c</sub> × 1/2H(注3)</td></tr> <tr> <td></td><td></td><td>0</td><td>1</td><td>1.5T<sub>c</sub> × 1H(注3)</td></tr> <tr> <td></td><td></td><td>0</td><td>1</td><td>1T<sub>c</sub> × 1/2H</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>0</td><td>1T<sub>c</sub> × 1H</td></tr> <tr> <td></td><td></td><td>1</td><td>1</td><td></td><td>2T<sub>c</sub> × 2H</td></tr> <tr> <td></td><td></td><td></td><td></td><td></td><td>3T<sub>c</sub> × 3H</td></tr> </tbody> </table> | b6   | b5    | b4                           | b3 | プリ分周比 | ドットサイズ | 0 | 0 | 0 | 0 | 1倍 | 1T <sub>c</sub> × 1/2H |  |  | 0 | 1 | 1T <sub>c</sub> × 1H |  |  | 1 | 0 | 2T <sub>c</sub> × 2H |  |  | 1 | 1 | 3T <sub>c</sub> × 3H | 0 | 1 | 0 | 0 | 2倍 | 1T <sub>c</sub> × 1/2H |  |  | 0 | 1 | 1T <sub>c</sub> × 1H |  |  | 1 | 0 | 2T <sub>c</sub> × 2H |  |  | 1 | 1 | 3T <sub>c</sub> × 3H | 1 | 1 | 0 | 0 | 3倍 | 1.5T <sub>c</sub> × 1/2H(注3) |  |  | 0 | 1 | 1.5T <sub>c</sub> × 1H(注3) |  |  | 0 | 1 | 1T <sub>c</sub> × 1/2H | 1 | 0 | 1 | 0 | 1T <sub>c</sub> × 1H |  |  | 1 | 1 |  | 2T <sub>c</sub> × 2H |  |  |  |  |  | 3T <sub>c</sub> × 3H | 不定 | R | W |
| b6   | b5                                                    | b4                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | b3   | プリ分周比 | ドットサイズ                       |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 0    | 0                                                     | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    | 1倍    | 1T <sub>c</sub> × 1/2H       |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 1T <sub>c</sub> × 1H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    |       | 2T <sub>c</sub> × 2H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 3T <sub>c</sub> × 3H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 0    | 1                                                     | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    | 2倍    | 1T <sub>c</sub> × 1/2H       |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 1T <sub>c</sub> × 1H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    |       | 2T <sub>c</sub> × 2H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 3T <sub>c</sub> × 3H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 1    | 1                                                     | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    | 3倍    | 1.5T <sub>c</sub> × 1/2H(注3) |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 1.5T <sub>c</sub> × 1H(注3)   |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 1T <sub>c</sub> × 1/2H       |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 1    | 0                                                     | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 0    |       | 1T <sub>c</sub> × 1H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 1    |       | 2T <sub>c</sub> × 2H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
|      |                                                       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |      |       | 3T <sub>c</sub> × 3H         |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |
| 7    | このビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。     |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | 不定   | R     | -                            |    |       |        |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                        |  |  |   |   |                      |  |  |   |   |                      |  |  |   |   |                      |   |   |   |   |    |                              |  |  |   |   |                            |  |  |   |   |                        |   |   |   |   |                      |  |  |   |   |  |                      |  |  |  |  |  |                      |    |   |   |

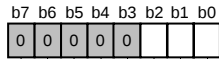
注1. T<sub>c</sub>: プリ分周したOSD用クロック周期

2. H: Hsync

3. この文字サイズはレイヤ2でのみ選択可能です。このときレイヤ1は、プリ分周比を2倍、水平ドットサイズを1T<sub>c</sub>にしてください。

00E0<sub>16</sub>番地

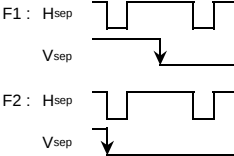
データサイサ制御レジスタ1



データサイサ制御レジスタ1(DSC1)【00E0<sub>16</sub>番地】

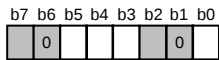
| b   | ビット名                            | 機 能                    | リセット時 | R | W |
|-----|---------------------------------|------------------------|-------|---|---|
| 0   | データサイサ及びタイミング信号発生回路制御ビット(DSC10) | 0: 停止<br>1: 動作         | 0     | R | W |
| 1   | データサイサ用基準電圧発生フィールドの選択ビット(DSC11) | 0: F2<br>1: F1         | 0     | R | W |
| 2   | 基準クロックソース選択ビット(DSC12)           | 0: ビデオ信号<br>1: Hsync信号 | 0     | R | W |
| 3~7 | これらのビットは "0" に固定してください。         |                        | 0     | R | W |

フィールド1 (F1) 及びフィールド2 (F2) の定義



00E1<sub>16</sub>番地

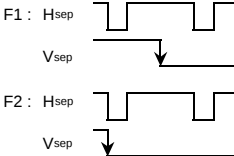
データサイサ制御レジスタ2

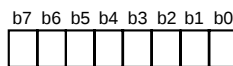


データサイサ制御レジスタ2(DSC2)【00E1<sub>16</sub>番地】

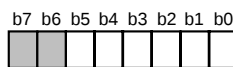
| b | ビット名                            | 機 能                                                 | リセット時 | R | W |
|---|---------------------------------|-----------------------------------------------------|-------|---|---|
| 0 | キャプショナー動作完了フラグ1 (DSC20)         | 0: キャプショナー動作未完了, 又は加減算なし<br>1: キャプショナー動作完了, かつ加減算あり | 不定    | R | - |
| 1 | このビットは "0" に固定してください。           |                                                     | 0     | R | W |
| 2 | テスト用ビット                         | 読み出し専用                                              | 不定    | R | - |
| 3 | フィールド判別フラグ (DSC23)              | 0: F2<br>1: F1                                      | 不定    | R | - |
| 4 | 垂直同期信号(Vsep信号)発生方法選択ビット (DSC24) | 0: 方法(1)<br>1: 方法(2)                                | 0     | R | W |
| 5 | Vパルスの形状判別フラグ (DSC25)            | 0: 一致<br>1: 不一致                                     | 不定    | R | - |
| 6 | このビットは "0" に固定してください。           |                                                     | 0     | R | W |
| 7 | テスト用ビット                         | 読み出し専用                                              | 不定    | R | - |

フィールド1 (F1) 及びフィールド2 (F2) の定義

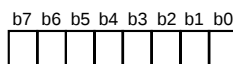


**00E6<sub>16</sub>番地****キャプション位置レジスタ**キャプション位置レジスタ(CPS) 【00E6<sub>16</sub>番地】

| b    | ビット名                                         | 機 能                                                                 | リセット時 | R | W |
|------|----------------------------------------------|---------------------------------------------------------------------|-------|---|---|
| 0~4  | キャプション位置ビット<br>(CPS0 ~ CPS4)                 |                                                                     | 0     | R | W |
| 5    | キャプションデータ<br>ラッチ完了フラグ2<br>(CPS5)             | 0 : キャプションデータラッチ未完了, 又は<br>加算がない<br>1 : キャプションデータラッチ完了, かつ<br>加算がある | 不定    | R | - |
| 6, 7 | スライスラインモード指定<br>ビット(1フィールド中)<br>(CPS6, CPS7) | 対応表 (表12.10.1) 参照                                                   | 0     | R | W |

**00E9<sub>16</sub>番地****同期信号カウンタレジスタ**同期信号カウンタレジスタ(HC) 【00E9<sub>16</sub>番地】

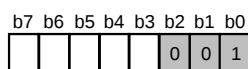
| b    | ビット名                                               | 機 能                            | リセット時 | R | W |
|------|----------------------------------------------------|--------------------------------|-------|---|---|
| 0~4  | カウント値(HC0 ~ HC4)                                   |                                | 不定    | R | - |
| 5    | カウントソース(HC5)                                       | 0 : Hsync信号<br>1 : コンボジットシンク信号 | 0     | R | W |
| 6, 7 | これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は "0" です。 |                                | 0     | R | - |

**00EA<sub>16</sub>番地****クロックランイン検出レジスタ**クロックランイン検出レジスタ(CRD) 【00EA<sub>16</sub>番地】

| b   | ビット名                           | 機 能                                   | リセット時 | R | W |
|-----|--------------------------------|---------------------------------------|-------|---|---|
| 0~2 | テスト用ビット                        | 読み出し専用                                | 0     | R | - |
| 3~7 | クロックランイン検出<br>ビット(CRD3 ~ CRD7) | クロックランインパルス1周期<br>にカウントされる基準クロック<br>数 | 0     | R | - |

00EB<sub>16</sub>番地

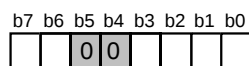
## データクロック位置レジスタ

データクロック位置レジスタ(DPS)【00EB<sub>16</sub>番地】

| b    | ビット名                          | 機 能 | リセット時 | R | W |
|------|-------------------------------|-----|-------|---|---|
| 0    | このビットは“1”に固定してください。           |     | 1     | R | W |
| 1, 2 | これらのビットは“0”に固定してください。         |     | 0     | R | W |
| 3    | データクロック位置設定<br>ビット(DPS3～DPS7) |     | 1     | R | W |
| 4～7  |                               |     | 0     |   |   |

00ED<sub>16</sub>番地

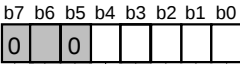
## バンク制御レジスタ

バンク制御レジスタ(BK)【00ED<sub>16</sub>番地】

| b    | ビット名                       | 機 能                    | リセット時 | R | W |
|------|----------------------------|------------------------|-------|---|---|
| 0～3  | バンク選択<br>ビット<br>(BK0～BK3)  | バンクNo.選択 (バンク11～バンク15) | 0     | R | W |
| 4, 5 | これらのビットは“0”に固定してください。      |                        | 0     | R | W |
| 6, 7 | バンク制御<br>ビット<br>(BK6, BK7) | b7 b6 バンクROM           | 0     | R | W |
|      |                            | 0 × 使用しない              |       |   |   |
|      |                            | 1 0 使用する               |       |   |   |
|      |                            | 1 1 使用する               |       |   |   |

00EF<sub>16</sub>番地

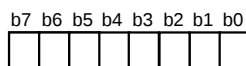
A-D制御レジスタ



A-D制御レジスタ (ADCON) 【00EF<sub>16</sub>番地】

| b   | ビット名                                              | 機 能                                                                                                                              | リセット時 | R | W |
|-----|---------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~2 | アナログ信号入力端子<br>選択ビット<br>(ADIN0 ~ ADIN2)            | b2 b1 b0<br>0 0 0 : AD1<br>0 0 1 : AD2<br>0 1 0 : AD3<br>0 1 1 : AD4<br>1 0 0 : AD5<br>1 0 1 : AD6<br>1 1 0 : AD7<br>1 1 1 : AD8 | 0     | R | W |
| 3   | A-D変換終了ビット<br>(ADSTR)                             | 0 : 変換中<br>1 : 変換終了                                                                                                              | 1     | R | W |
| 4   | V <sub>CC</sub> 接続選択ビット<br>(ADVREF)               | 0 : V <sub>CC</sub> 切断<br>1 : V <sub>CC</sub> 接続                                                                                 | 0     | R | W |
| 5   | このビットは " 0 " に固定してください。                           |                                                                                                                                  | 0     | R | W |
| 6   | このビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                                                  | 不定    | R | - |
| 7   | このビットは " 0 " に固定してください。                           |                                                                                                                                  | 0     | R | W |

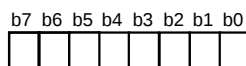
## タイマモードレジスタ1

タイマモードレジスタ1(TM1) 【00F4<sub>16</sub>番地】

| b | ビット名                        | 機 能                                                                          | ビット時 | R | W |
|---|-----------------------------|------------------------------------------------------------------------------|------|---|---|
| 0 | タイマ1カウントソース<br>選択ビット1(TM10) | 0 : $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注)<br>1 : TM1のビット5によって<br>決定するカウントソース | 0    | R | W |
| 1 | タイマ2カウントソース<br>選択ビット1(TM11) | 0 : TM1のビット4によって<br>決定するカウントソース<br>1 : TIM2外部クロックソース                         | 0    | R | W |
| 2 | タイマ1カウント停止<br>ビット(TM12)     | 0 : 動作<br>1 : 停止                                                             | 0    | R | W |
| 3 | タイマ2カウント停止<br>ビット(TM13)     | 0 : 動作<br>1 : 停止                                                             | 0    | R | W |
| 4 | タイマ2カウントソース<br>選択ビット2(TM14) | 0 : $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注)<br>1 : タイマ1オーバフロー信号                | 0    | R | W |
| 5 | タイマ1カウントソース<br>選択ビット2(TM15) | 0 : $f(X_{IN})/4096$ 又は $(X_{CIN})/4096$<br>(注)<br>1 : TIM2外部クロックソース         | 0    | R | W |
| 6 | タイマ5カウントソース<br>選択ビット2(TM16) | 0 : タイマ2オーバフロー信号<br>1 : タイマ4オーバフロー信号                                         | 0    | R | W |
| 7 | タイマ6カウントソース<br>選択ビット(TM17)  | 0 : $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注)<br>1 : タイマ5オーバフロー信号                | 0    | R | W |

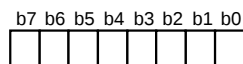
注.  $f(X_{IN})$ ,  $f(X_{CIN})$ はCPUモードレジスタのビット7によって選択します。

## タイマモードレジスタ2

タイマモードレジスタ2(TM2) 【00F5<sub>16</sub>番地】

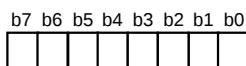
| b    | ビット名                                 | 機 能                                                                                                                                        | リセット時 | R | W |
|------|--------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0    | タイマ3カウントソース<br>選択ビット<br>(TM20)       | (00C7 <sub>16</sub> 番地のb6)<br>↓ b0<br>0 0: $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注)<br>1 0: $f(X_{CIN})$<br>0 1: } TIM3外部クロックソース<br>1 1: }    | 0     | R | W |
| 1, 4 | タイマ4カウントソース<br>選択ビット<br>(TM21, TM24) | b4 b1<br>0 0: タイマ3オーバーフロー信号<br>0 1: $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注)<br>1 0: $f(X_{IN})/2$ 又は $f(X_{CIN})/2$ (注)<br>1 1: $f(X_{CIN})$ | 0     | R | W |
| 2    | タイマ3カウント停止<br>ビット(TM22)              | 0: 動作<br>1: 停止                                                                                                                             | 0     | R | W |
| 3    | タイマ4カウント停止<br>ビット(TM23)              | 0: 動作<br>1: 停止                                                                                                                             | 0     | R | W |
| 5    | タイマ5カウント停止<br>ビット(TM25)              | 0: 動作<br>1: 停止                                                                                                                             | 0     | R | W |
| 6    | タイマ6カウント停止<br>ビット(TM26)              | 0: 動作<br>1: 停止                                                                                                                             | 0     | R | W |
| 7    | タイマ5カウントソース<br>選択ビット1(TM27)          | 0: $f(X_{IN})/16$ 又は $f(X_{CIN})/16$ (注)<br>1: TM1のビット6によって決定<br>するカウントソース                                                                 | 0     | R | W |

注.  $f(X_{IN})$ ,  $f(X_{CIN})$ はCPUモードレジスタのビット7によって選択します。

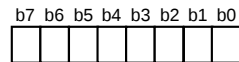
**00F6<sub>16</sub>番地****I<sup>2</sup>Cデータシフトレジスタ**I<sup>2</sup>Cデータシフトレジスタ1(S0) 【00F6<sub>16</sub>番地】

| b   | ビット名  | 機 能                                  | リット時 | R | W |
|-----|-------|--------------------------------------|------|---|---|
| 0~7 | D0~D7 | 受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタ | 不定   | R | W |

注：MSTビットを“0”（スレープモード）にしてからI<sup>2</sup>Cデータシフトレジスタにデータを書き込む場合、8マシンサイクル以上の間隔を確保してください。

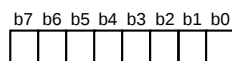
**00F7<sub>16</sub>番地****I<sup>2</sup>Cアドレスレジスタ**I<sup>2</sup>Cアドレスレジスタ(S0D) 【00F7<sub>16</sub>番地】

| b   | ビット名                 | 機 能                                 | リット時 | R | W |
|-----|----------------------|-------------------------------------|------|---|---|
| 0   | リード/ライトビット (RBW)     | 0：ライトビット<br>1：リードビット                | 0    | R | - |
| 1~7 | スレープアドレス (SAD0~SAD6) | マスタから送信されるアドレスデータとこれらのビットの内容が比較されます | 0    | R | W |

00F8<sub>16</sub>番地I<sup>2</sup>CステータスレジスタI<sup>2</sup>Cステータスレジスタ(S1)【00F8<sub>16</sub>番地】

| b    | ビット名                                       | 機 能                                                                         | ビット時 | R/W |
|------|--------------------------------------------|-----------------------------------------------------------------------------|------|-----|
| 0    | 最終受信ビット(LRB)                               | 0: 最終ビット = "0"<br>1: 最終ビット = "1" (注)                                        | 不定   | R - |
| 1    | ジェネラルコール検出フラグ (AD0)                        | 0: ジェネラルコール未検出<br>1: ジェネラルコール検出 (注)                                         | 0    | R - |
| 2    | スレープアドレス比較フラグ (AAS)                        | 0: アドレス一致<br>1: アドレス不一致 (注)                                                 | 0    | R - |
| 3    | アービトレーション・ロスト検出フラグ(AL)                     | 0: 未検出<br>1: 検出 (注)                                                         | 0    | R - |
| 4    | I <sup>2</sup> C-BUSインタフェース 割り込み要求ビット(PIN) | 0: 割り込み要求あり<br>1: 割り込み要求なし                                                  | 1    | R/W |
| 5    | バスビジーフラグ(BB)                               | 0: バスフリー<br>1: バスビジー                                                        | 0    | R/W |
| 6, 7 | 通信モード指定ビット (TRX, MST)                      | b7 b6<br>0 0: スレープ受信モード<br>0 1: スレープ送信モード<br>1 0: マスタ受信モード<br>1 1: マスタ送信モード | 0    | R/W |

注: これらのビット又はフラグは読み出せますが、書き込めません。

00F9<sub>16</sub>番地I<sup>2</sup>CコントロールレジスタI<sup>2</sup>Cコントロールレジスタ(S1D)【00F9<sub>16</sub>番地】

| b    | ビット名                                                    | 機 能                                                                                                      | ビット時 | R/W |
|------|---------------------------------------------------------|----------------------------------------------------------------------------------------------------------|------|-----|
| 0~2  | ビットカウンタ<br>(送/受信ビット数)<br>(BC0~BC2)                      | b2 b1 b0<br>0 0 0: 8<br>0 0 1: 7<br>0 1 0: 6<br>0 1 1: 5<br>1 0 0: 4<br>1 0 1: 3<br>1 1 0: 2<br>1 1 1: 1 | 0    | R/W |
| 3    | I <sup>2</sup> C-BUSインタフェース 使用許可ビット(ESO)                | 0: 使用禁止<br>1: 使用許可                                                                                       | 0    | R/W |
| 4    | データフォーマット選択ビット (ALS)                                    | 0: アドレッシングフォーマット<br>1: リデータフォーマット                                                                        | 0    | R/W |
| 5    | アドレッシングフォーマット 選択ビット(10BIT SAD)                          | 0: 7ビットアドレッシングフォーマット<br>1: 10ビットアドレッシングフォーマット                                                            | 0    | R/W |
| 6, 7 | I <sup>2</sup> C-BUSインタフェースと ポートの接続制御ビット (BSEL0, BSEL1) | b7 b6 接続ポート (注)<br>0 0: なし<br>0 1: SCL1, SDA1<br>1 0: SCL2, SDA2<br>1 1: SCL1, SDA1, SCL2, SDA2          | 0    | R/W |

00FA<sub>16</sub>番地I<sup>2</sup>Cクロックコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|

I<sup>2</sup>Cクロックコントロールレジスタ(S2)【00FA<sub>16</sub>番地】

| b   | ビット名                         | 機 能                                                                                                                                                                                                                        | リセット時 | R | W |
|-----|------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~4 | SCL周波数制御ビット<br>(CCR0 ~ CCR4) | レジスタ値<br>b4 ~ b0<br>標準<br>クロックモード<br>高速<br>クロックモード<br>00~02 禁止 禁止<br>03 禁止 333<br>04 禁止 250<br>05 100 400(注)<br>06 83.3 166<br>..... 500/CCR値 1000/CCR値<br>1D 17.2 34.5<br>1E 16.6 33.3<br>1F 16.1 32.3<br>(φ=4MHz,単位;KHz) | 0     | R | W |
| 5   | SCLモード指定ビット<br>(FAST MODE)   | 0: 標準クロックモード<br>1: 高速クロックモード                                                                                                                                                                                               | 0     | R | W |
| 6   | アックビット<br>(ACK BIT)          | 0: アック返す<br>1: アック返さない                                                                                                                                                                                                     | 0     | R | W |
| 7   | アッククロックビット<br>(ACK)          | 0: アッククロックなし<br>1: アッククロックあり                                                                                                                                                                                               | 0     | R | W |

注・高速クロックモード,400KHz時のデューティは“0”期間:“1”期間=3:2  
それ以外のデューティは“0”期間:“1”期間=1:1

00FB<sub>16</sub>番地

## CPUモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |   |   |  |   |   |
|--|--|--|---|---|--|---|---|
|  |  |  | 1 | 1 |  | 0 | 0 |
|--|--|--|---|---|--|---|---|

CPUモードレジスタ (CM)【00FB<sub>16</sub>番地】

| b    | ビット名                                | 機 能                                                                                               | リセット時 | R | W |
|------|-------------------------------------|---------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | プロセッサモードビット<br>(CM0, CM1)           | b1 b0<br>0 0: シングルチップモード<br>0 1: }<br>1 0: } 使用禁止<br>1 1: }                                       | 0     | R | W |
| 2    | スタックページ選択ビット<br>(CM2)(注)            | 0: 0ページ<br>1: 1ページ                                                                                | 1     | R | W |
| 3, 4 | これらのビットは“1”に固定してください。               |                                                                                                   | 1     | R | W |
| 5    | X <sub>COU</sub> 駆動能力選択ビット<br>(CM5) | 0: LOW<br>1: HIGH                                                                                 | 1     | R | W |
| 6    | メインクロック停止ビット<br>(CM6)               | 0: 発振<br>1: 停止                                                                                    | 0     | R | W |
| 7    | 内部システムクロック選択<br>ビット(CM7)            | 0: X <sub>IN</sub> -X <sub>OUT</sub> 選択(高速モード)<br>1: X <sub>CIN</sub> -X <sub>COU</sub> 選択(低速モード) | 0     | R | W |

注・このビットはリセット解除時、“1”となるため、プログラム作成時ご注意ください。

00FC<sub>16</sub>番地

## 割り込み要求レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ1(IREQ1)【00FC<sub>16</sub>番地】

| b | ビット名                                           | 機 能                        | リセット時 | R | W |
|---|------------------------------------------------|----------------------------|-------|---|---|
| 0 | タイマ1割り込み要求ビット (TM1R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 1 | タイマ2割り込み要求ビット (TM2R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 2 | タイマ3割り込み要求ビット (TM3R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 3 | タイマ4割り込み要求ビット (TM4R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 4 | OSD割り込み要求ビット (OSDR)                            | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 5 | VSYNC割り込み要求ビット (VSCR)                          | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 6 | A-D変換・INT3割り込み要求ビット(ADR)                       | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 7 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                            | 0     | R | - |

\*. ソフトウェアによって“0”にできますが、“1”にはできません。

00FD<sub>16</sub>番地

## 割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要求レジスタ2(IREQ2)【00FD<sub>16</sub>番地】

| b | ビット名                                          | 機 能                        | リセット時 | R | W |
|---|-----------------------------------------------|----------------------------|-------|---|---|
| 0 | INT1割り込み要求ビット (IN1R)                          | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 1 | データスライサ割り込み要求ビット(DSR)                         | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 2 | シリアルI/O割り込み要求ビット(SIOR)                        | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 3 | f(XIN)/4096・スプライトOSD割り込み要求ビット(CKR)            | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 4 | INT2割り込み要求ビット(IN2R)                           | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 5 | マルチI <sup>2</sup> C-BUSインタフェース割り込み要求ビット(IICR) | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 6 | タイマ5・6割り込み要求ビット(TM56R)                        | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0     | R | * |
| 7 | このビットは“0”に固定してください。                           |                            | 0     | R | W |

\*. ソフトウェアによって“0”にできますが、“1”にはできません。

00FE<sub>16</sub>番地

## 割り込み制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

割り込み制御レジスタ1(ICON1) 【00FE<sub>16</sub>番地】

| b | ビット名                                           | 機 能                    | リセット時 | R | W |
|---|------------------------------------------------|------------------------|-------|---|---|
| 0 | タイマ1割り込み許可ビット (TM1E)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 1 | タイマ2割り込み許可ビット (TM2E)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 2 | タイマ3割り込み許可ビット (TM3E)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 3 | タイマ4割り込み許可ビット (TM4E)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 4 | OSD割り込み許可ビット (OSDE)                            | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 5 | VSYNC割り込み許可ビット (VSCE)                          | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 6 | A-D変換・INT3割り込み許可ビット (ADE)                      | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 7 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                        | 0     | R | - |

00FF<sub>16</sub>番地

## 割り込み制御レジスタ2

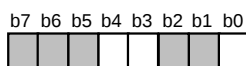
b7 b6 b5 b4 b3 b2 b1 b0

割り込み制御レジスタ2(ICON2) 【00FF<sub>16</sub>番地】

| b | ビット名                                            | 機 能                    | リセット時 | R | W |
|---|-------------------------------------------------|------------------------|-------|---|---|
| 0 | INT1割り込み許可ビット (IN1E)                            | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 1 | データスライサ割り込み許可ビット(DSE)                           | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 2 | シリアルI/O割り込み許可ビット(SIOE)                          | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 3 | f(X <sub>IN</sub> )/4096・スプライトOSD割り込み許可ビット(CKE) | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 4 | INT2割り込み許可ビット(IN2E)                             | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 5 | マルチスライスC-BUSインタフェース割り込み許可ビット(IICE)              | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 6 | タイマ5・6割り込み許可ビット(TM56E)                          | 0: 割り込み禁止<br>1: 割り込み許可 | 0     | R | W |
| 7 | タイマ5・6割り込み切り替えビット(TM56S)                        | 0: タイマ5<br>1: タイマ6     | 0     | R | W |

020A<sub>16</sub>番地

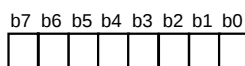
## PWMモードレジスタ1

PWMモードレジスタ1(PN) 【020A<sub>16</sub>番地】

| b    | ビット名                                                 | 機 能                                  | リセット時 | R | W |
|------|------------------------------------------------------|--------------------------------------|-------|---|---|
| 0    | PWMカウンツソース選択ビット (PN0)                                | 0 : 供給<br>1 : 停止                     | 0     | R | W |
| 1, 2 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                      | 0     | R | - |
| 3    | PWM出力極性選択ビット (PN3)                                   | 0 : 正極性<br>1 : 負極性                   | 0     | R | W |
| 4    | P0 <sub>3</sub> /PWM7出力選択ビット (PN4)                   | 0 : P0 <sub>3</sub> 出力<br>1 : PWM7出力 | 0     | R | W |
| 5~7  | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                      | 0     | R | - |

020B<sub>16</sub>番地

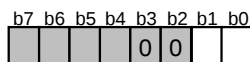
## PWMモードレジスタ2

PWMモードレジスタ2(PW) 【020B<sub>16</sub>番地】

| b | ビット名                               | 機 能                                  | リセット時 | R | W |
|---|------------------------------------|--------------------------------------|-------|---|---|
| 0 | P0 <sub>4</sub> /PWM0出力選択ビット (PW0) | 0 : P0 <sub>4</sub> 出力<br>1 : PWM0出力 | 0     | R | W |
| 1 | P0 <sub>5</sub> /PWM1出力選択ビット (PW1) | 0 : P0 <sub>5</sub> 出力<br>1 : PWM1出力 | 0     | R | W |
| 2 | P0 <sub>6</sub> /PWM2出力選択ビット (PW2) | 0 : P0 <sub>6</sub> 出力<br>1 : PWM2出力 | 0     | R | W |
| 3 | P0 <sub>7</sub> /PWM3出力選択ビット (PW3) | 0 : P0 <sub>7</sub> 出力<br>1 : PWM3出力 | 0     | R | W |
| 4 | P0 <sub>0</sub> /PWM4出力選択ビット (PW4) | 0 : P0 <sub>0</sub> 出力<br>1 : PWM4出力 | 0     | R | W |
| 5 | P0 <sub>1</sub> /PWM5出力選択ビット (PW5) | 0 : P0 <sub>1</sub> 出力<br>1 : PWM5出力 | 0     | R | W |
| 6 | P0 <sub>2</sub> /PWM6出力選択ビット (PW6) | 0 : P0 <sub>2</sub> 出力<br>1 : PWM6出力 | 0     | R | W |
| 7 | P5 <sub>0</sub> /PWM7出力選択ビット (PW7) | 0 : P5 <sub>0</sub> 出力<br>1 : PWM7出力 | 0     | R | W |

0210<sub>16</sub>番地

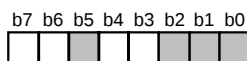
## ROM訂正許可レジスタ

ROM訂正許可レジスタ(RCR)【0210<sub>16</sub>番地】

| b    | ビット名                                               | 機 能                | リセット時 | R | W |
|------|----------------------------------------------------|--------------------|-------|---|---|
| 0    | ベクタ1許可ビット (RCR0)                                   | 0: 使用禁止<br>1: 使用許可 | 0     | R | W |
| 1    | ベクタ2許可ビット (RCR1)                                   | 0: 使用禁止<br>1: 使用許可 | 0     | R | W |
| 2, 3 | これらのビットは "0" に固定してください。                            |                    | 0     | R | W |
| 4~7  | これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は "0" です。 |                    | 0     | R | - |

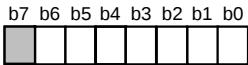
0212<sub>16</sub>番地

## 割り込み入力極性レジスタ

割り込み入力極性レジスタ(IP)【0212<sub>16</sub>番地】

| b   | ビット名                                               | 機 能                         | リセット時 | R | W |
|-----|----------------------------------------------------|-----------------------------|-------|---|---|
| 0~2 | これらのビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は "0" です。 |                             | 0     | R | - |
| 3   | INT1極性切り替えビット (POL1)                               | 0: 正極性<br>1: 負極性            | 0     | R | W |
| 4   | INT2極性切り替えビット (POL2)                               | 0: 正極性<br>1: 負極性            | 0     | R | W |
| 5   | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は "0" です。   |                             | 0     | R | - |
| 6   | INT3極性切り替えビット (POL3)                               | 0: 正極性<br>1: 負極性            | 0     | R | W |
| 7   | A-D変換・INT3割り込み要因選択ビット (AD/INT3SEL)                 | 0: INT3割り込み<br>1: A-D変換割り込み | 0     | R | W |

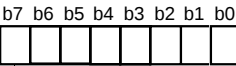
シリアルI/Oモードレジスタ



シリアルI/Oモードレジスタ1(SM) 【0213<sub>16</sub>番地】

| b    | ビット名                                           | 機 能                                                                                                                                                                             | ビット時 | R | W |
|------|------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|---|---|
| 0, 1 | 内部同期クロック選択ビット(SM0, SM1)                        | b1 b0<br>0 0 : $f(X_{IN})/8$ 又は $f(X_{CIN})/8$<br>0 1 : $f(X_{IN})/16$ 又は $f(X_{CIN})/16$<br>1 0 : $f(X_{IN})/32$ 又は $f(X_{CIN})/32$<br>1 1 : $f(X_{IN})/64$ 又は $f(X_{CIN})/64$ | 0    | R | W |
| 2    | 同期クロック選択ビット(SM2)                               | 0 : 外部クロック<br>1 : 内部クロック                                                                                                                                                        | 0    | R | W |
| 3    | ポート機能選択ビット(SM3)                                | 0 : P1 <sub>1</sub> , P1 <sub>3</sub><br>1 : SCL1, SDA1                                                                                                                         | 0    | R | W |
| 4    | ポート機能選択ビット(SM4)                                | 0 : P1 <sub>2</sub> , P1 <sub>4</sub><br>1 : SCL2, SDA2                                                                                                                         | 0    | R | W |
| 5    | 転送方向選択ビット(SM5)                                 | 0 : 最下位ビット(LSB)から転送<br>1 : 最上位ビット(MSB)から転送                                                                                                                                      | 0    | R | W |
| 6    | S <sub>IN</sub> 端子切り替えビット(SM6)                 | 0 : P1 <sub>7</sub> がS <sub>IN</sub> 端子<br>1 : P7 <sub>2</sub> がS <sub>IN</sub> 端子                                                                                              | 0    | R | W |
| 7    | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。 |                                                                                                                                                                                 | 0    | R | - |

OSDコントロールレジスタ2



OSDコントロールレジスタ2 (OC2) 【0215<sub>16</sub>番地】

| b    | ビット名                           | 機 能                                  |    |                |              | リセット時 | R | W |
|------|--------------------------------|--------------------------------------|----|----------------|--------------|-------|---|---|
| 0, 1 | 表示レイヤ選択<br>ビット<br>(OC20, OC21) | b1                                   | b0 | レイヤ1           | レイヤ2         | 0     | R | W |
|      |                                | 0                                    | 0  | CC, OSD, CDOSD | —            |       |   |   |
|      |                                | 0                                    | 1  | CC, OSD        | CDOSD        |       |   |   |
|      |                                | 1                                    | 0  | CC, CDOSD      | OSD          |       |   |   |
|      |                                | 1                                    | 1  | CC             | CDOSD<br>OSD |       |   |   |
| 2    | R, G, B信号出力選択<br>ビット(OC22)     | 0：デジタル出力<br>1：アナログ出力（4階調）（注）         |    |                |              | 0     | R | W |
| 3    | ソリッドスペース<br>出力ビット(OC23)        | 0：OUT1出力<br>1：OUT2出力                 |    |                |              | 0     | R | W |
| 4    | 横ウインドウ / ブランク<br>制御ビット(OC24)   | 0：動作しない<br>1：動作する                    |    |                |              | 0     | R | W |
| 5    | ウインドウ / ブランク<br>選択ビット1(OC25)   | 0：横ブランク機能<br>1：横ウインドウ機能              |    |                |              | 0     | R | W |
| 6    | ウインドウ / ブランク<br>選択ビット2(OC26)   | 0：縦ブランク機能<br>1：縦ウインドウ機能              |    |                |              | 0     | R | W |
| 7    | OSD割り込み要求<br>選択ビット(OC27)       | 0：レイヤ1のブロック表示終了時<br>1：レイヤ2のブロック表示終了時 |    |                |              | 0     | R | W |

注. OSDポートコントロールレジスタのビット1を“1”にした場合、このビットの内容にかかわらず、4階調のアナログ値を2ビットのデジタル値に変換した値の、上位ビット(R1, G1, B1)がP5<sub>2</sub>, P5<sub>3</sub>, P5<sub>4</sub>端子から、下位ビット(R0, G0, B0)がP1<sub>7</sub>, P1<sub>5</sub>, P1<sub>6</sub>端子から出力されます。また、OSD機能を使用しない場合は、このビットを“0”にすることによって、消費電流を抑えることができます。

## 0216番地

## クロックコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

クロックコントロールレジスタ(CS)【0216番地】

| b    | ビット名                      | 機 能                                                                                                                           | リセット時 | R | W |
|------|---------------------------|-------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0    | クロック選択ビット (CS0)           | 0 : データスライサクロック<br>1 : OSC1クロック                                                                                               | 0     | R | W |
| 1, 2 | OSC1発振モード選択ビット (CS1, CS2) | b2 b1<br>0 0 : 32kHz発振モード<br>0 1 : P6 <sub>3</sub> , P6 <sub>4</sub> の入力ポートとして使用 (注1)<br>1 0 : LC発振モード<br>1 1 : セラミック・水晶発振モード | 0     | R | W |
| 3~6  | これらのビットは "0" に固定してください。   |                                                                                                                               | 0     | R | W |
| 7    | テスト用ビット (注2)              |                                                                                                                               | 0     | R | W |

注1. P6<sub>3</sub>, P6<sub>4</sub>として使用する場合、00C7<sub>16</sub>番地のビット7を "1" に設定してください。

2. マスク版及びEPROM版に書き込むプログラムは、必ずビット7を "0" にしてください。ただし、エミュレータMCU版(M37280ERSS)の場合、クロックソースにデータスライサクロックを選択時、ソフトウェアデバッグはビット7を "1" の状態で行ってください。

## 0217番地

## 入出力極性コントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

入出力極性コントロールレジスタ(PC)【0217番地】

| b | ビット名                                             | 機 能                                                      | リセット時 | R | W |
|---|--------------------------------------------------|----------------------------------------------------------|-------|---|---|
| 0 | Hsync入力極性切り替えビット(PC0)                            | 0 : 正極性入力<br>1 : 負極性入力                                   | 0     | R | W |
| 1 | Vsync入力極性切り替えビット(PC1)                            | 0 : 正極性入力<br>1 : 負極性入力                                   | 0     | R | W |
| 2 | R/G/B出力極性切り替えビット(PC2)                            | 0 : 正極性出力<br>1 : 負極性出力                                   | 0     | R | W |
| 3 | このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は "0" です。 |                                                          | 0     | R | - |
| 4 | OUT1出力極性切り替えビット(PC4)                             | 0 : 正極性出力<br>1 : 負極性出力                                   | 0     | R | W |
| 5 | OUT2出力極性切り替えビット(PC5)                             | 0 : 正極性出力<br>1 : 負極性出力                                   | 0     | R | W |
| 6 | 表示ドットライン選択ビット(PC6) (注)                           | 0 : 偶数フィールド時は<br>奇数フィールド時は<br>1 : 偶数フィールド時は<br>奇数フィールド時は | 0     | R | W |
| 7 | フィールド判別フラグ (PC7) (注)                             | 0 : 偶数フィールド<br>1 : 奇数フィールド                               | 1     | R | - |

注. 対応図 (図12.11.19) 参照。

0218<sub>16</sub>番地

## ラスターカラーレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|

ラスターカラーレジスタ (RC) 【0218<sub>16</sub>番地】

| b    | ビット名                    | 機 能                                                                                                       | リセット時 | R | W |
|------|-------------------------|-----------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | ラスターカラーR制御ビット(RC0, RC1) | b1 b0<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>CC</sub><br>1 0 : 2/3V <sub>CC</sub><br>1 1 : V <sub>CC</sub> | 0     | R | W |
| 2, 3 | ラスターカラーG制御ビット(RC2, RC3) | b3 b2<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>CC</sub><br>1 0 : 2/3V <sub>CC</sub><br>1 1 : V <sub>CC</sub> | 0     | R | W |
| 4, 5 | ラスターカラーB制御ビット(RC4, RC5) | b5 b4<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>CC</sub><br>1 0 : 2/3V <sub>CC</sub><br>1 1 : V <sub>CC</sub> | 0     | R | W |
| 6    | ラスターカラーOUT1制御ビット(RC6)   | 0 : 出力しない<br>1 : 出力する                                                                                     | 0     | R | W |
| 7    | ラスターカラーOUT2制御ビット(RC7)   | 0 : 出力しない<br>1 : 出力する                                                                                     | 0     | R | W |

注. デジタル出力を選択した場合、“00”以外の値でV<sub>CC</sub>出力します。

0219<sub>16</sub>番地

## OSDコントロールレジスタ3

b7 b6 b5 b4 b3 b2 b1 b0

|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|

OSDコントロールレジスタ3(OC3) 【0219<sub>16</sub>番地】

| b    | ビット名                            | 機 能                                                                                      | リセット時 | R | W |
|------|---------------------------------|------------------------------------------------------------------------------------------|-------|---|---|
| 0    | CCモード文字色選択ビット(OC30)             | 0 : カラーパレット0~7<br>1 : カラーパレット8~15                                                        | 0     | R | W |
| 1, 2 | CCモード文字背景色選択ビット(OC31, OC32) (注) | b2 b1<br>0 0 : カラーパレット0~3<br>0 1 : カラーパレット4~7<br>1 0 : カラーパレット8~11<br>1 1 : カラーパレット12~15 | 0     | R | W |
| 3    | CDOSDモード文字色選択ビット(OC33)          | 0 : カラーパレット0~7<br>1 : カラーパレット8~15                                                        | 0     | R | W |
| 4    | スプライト色選択ビット(OC34)               | 0 : カラーパレット0~7<br>1 : カラーパレット8~15                                                        | 0     | R | W |
| 5    | OSDモードウインドウ制御ビット(OC35)          | 0 : ウインドウOFF<br>1 : ウインドウON                                                              | 0     | R | W |
| 6    | CCモードウインドウ制御ビット(OC36)           | 0 : ウインドウOFF<br>1 : ウインドウON                                                              | 0     | R | W |
| 7    | CDOSDモードウインドウ制御ビット(OC37)        | 0 : ウインドウOFF<br>1 : ウインドウON                                                              | 0     | R | W |

注. ソリッドスペース (OUT1出力選択時) はこのレジスタ値にかかわらず、常にカラーパレット8が選択されます。

021C<sub>16</sub>番地

## トップボーダーコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

トップボーダーコントロールレジスタ1 (TB1) 【021C<sub>16</sub>番地】

| b   | ビット名                     | 機 能                                                                                                                                                   | セット時 | R | W |
|-----|--------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------|------|---|---|
| 0~7 | 上端制御ビット<br>(TB10 ~ TB17) | 上端位置(下位8ビット)<br>$T_H \times (TB2 \text{の下位2ビットの設定値} \times 16^2$<br>$+ TB1 \text{の上位4ビットの設定値} \times 16^1$<br>$+ TB1 \text{の下位4ビットの設定値} \times 16^0)$ | 不定   | R | W |

- 注1. TB2= "00<sub>16</sub>" のとき, TB1に "00<sub>16</sub>" 又は "01<sub>16</sub>" を設定しないでください。  
 2.  $T_H$ : Hsyncの周期  
 3. TB2: トップボーダーコントロールレジスタ2

021D<sub>16</sub>番地

## ボトムボーダーコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

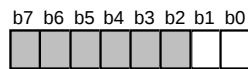
ボトムボーダーコントロールレジスタ1 (BB1) 【021D<sub>16</sub>番地】

| b   | ビット名                     | 機 能                                                                                                                                                   | セット時 | R | W |
|-----|--------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------|------|---|---|
| 0~7 | 下端制御ビット<br>(BB10 ~ BB17) | 下端位置(下位8ビット)<br>$T_H \times (BB2 \text{の下位2ビットの設定値} \times 16^2$<br>$+ BB1 \text{の上位4ビットの設定値} \times 16^1$<br>$+ BB1 \text{の下位4ビットの設定値} \times 16^0)$ | 不定   | R | W |

- 注1.  $(TB1 + TB2 \times 16^2) < (BB1 + BB2 \times 16^2)$  となるように値を設定してください。  
 2.  $T_H$ : Hsyncの周期  
 3. BB2: ボトムボーダーコントロールレジスタ2

021E<sub>16</sub>番地

## トップボーダーコントロールレジスタ2

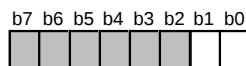
トップボーダーコントロールレジスタ2 (TB2) 【021E<sub>16</sub>番地】

| b    | ビット名                                                | 機 能                                                                                                                                      | リセット時 | R | W |
|------|-----------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | 上端制御ビット<br>(TB20, TB21)                             | 上端位置(上位2ビット)<br>$T_H \times (\text{TB2の下位2ビットの設定値} \times 16^2 + \text{TB1の上位4ビットの設定値} \times 16^1 + \text{TB1の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |
| 2~7  | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                                                          | 不定    | R | - |

- 注1. TB2= "00<sub>16</sub>" のとき, TB1に "00<sub>16</sub>" 又は "01<sub>16</sub>" を設定しないでください。  
 2.  $T_H$ : HSYNCの周期  
 3. TB1: トップボーダーコントロールレジスタ1

021F<sub>16</sub>番地

## ボトムボーダーコントロールレジスタ2

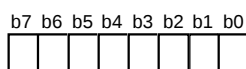
ボトムボーダーコントロールレジスタ2 (BB2) 【021F<sub>16</sub>番地】

| b    | ビット名                                                | 機 能                                                                                                                                      | リセット時 | R | W |
|------|-----------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | 下端制御ビット<br>(BB20, BB21)                             | 下端位置(上位2ビット)<br>$T_H \times (\text{BB2の下位2ビットの設定値} \times 16^2 + \text{BB1の上位4ビットの設定値} \times 16^1 + \text{BB1の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |
| 2~7  | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                                                          | 不定    | R | - |

- 注1.  $(\text{TB1} + \text{TB2} \times 16^2) < (\text{BB1} + \text{BB2} \times 16^2)$  となるように値を設定してください。  
 2.  $T_H$ : HSYNCの周期  
 3. BB1: ボトムボーダーコントロールレジスタ1

0220<sub>16</sub> ~ 022F<sub>16</sub>番地

## 垂直位置レジスタ1i

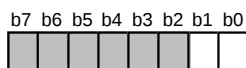
垂直位置レジスタ1i (VP1i)(i=1 ~ 16) 【0220<sub>16</sub> - 022F<sub>16</sub>番地】

| b     | ビット名                                  | 機 能                                                                                                                                                | リセット時 | R | W |
|-------|---------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0 ~ 7 | 垂直表示開始位置制御ビット (注1)<br>(VP1i0 ~ VP1i7) | 垂直表示開始位置(下位8ビット)<br>$T_H \times (VP2i \text{の下位2ビットの設定値} \times 16^2 + VP1i \text{の上位4ビットの設定値} \times 16^1 + VP1i \text{の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |

- 注1. VP2i = "00<sub>16</sub>" のとき, VP1iは "00<sub>16</sub>" 又は "01<sub>16</sub>" を設定しないでください。  
 2. T<sub>H</sub>: Hsyncの周期  
 3. VP2i: 垂直位置レジスタ2i

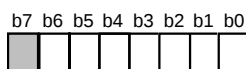
0230<sub>16</sub> ~ 023F<sub>16</sub>番地

## 垂直位置レジスタ2i

垂直位置レジスタ2i (VP2i)(i=1 ~ 16) 【0230<sub>16</sub> - 023F<sub>16</sub>番地】

| b     | ビット名                                                | 機 能                                                                                                                                                | リセット時 | R | W |
|-------|-----------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1  | 垂直表示開始位置制御ビット (注1)<br>(VP2i0, VP2i1)                | 垂直表示開始位置(上位2ビット)<br>$T_H \times (VP2i \text{の下位2ビットの設定値} \times 16^2 + VP1i \text{の上位4ビットの設定値} \times 16^1 + VP1i \text{の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |
| 2 ~ 7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                                                                    | 不定    | R | - |

- 注1. VP2i = "00<sub>16</sub>" のとき, VP1iは "00<sub>16</sub>" 又は "01<sub>16</sub>" を設定しないでください。  
 2. T<sub>H</sub>: Hsyncの周期  
 3. VP1i: 垂直位置レジスタ1i

0241<sub>16</sub> ~ 0247<sub>16</sub>, 0249<sub>16</sub> ~ 024F<sub>16</sub>番地カラーパレットレジスタ<sub>i</sub>カラーパレットレジスタ<sub>i</sub> (CRi) (i = 1 ~ 7, 9 ~ 15) 【0241<sub>16</sub> ~ 0247<sub>16</sub>, 0249<sub>16</sub> ~ 024F<sub>16</sub>番地】

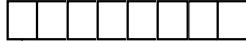
| b    | ビット名                                              | 機 能                                                                                                       | リセット時 | R / W |
|------|---------------------------------------------------|-----------------------------------------------------------------------------------------------------------|-------|-------|
| 0, 1 | R信号出力制御ビット<br>(CRi0, CRi1)                        | b1 b0<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>cc</sub><br>1 0 : 2/3V <sub>cc</sub><br>1 1 : V <sub>cc</sub> | 不定    | R / W |
| 2, 3 | G信号出力制御ビット<br>(CRi2, CRi3)                        | b3 b2<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>cc</sub><br>1 0 : 2/3V <sub>cc</sub><br>1 1 : V <sub>cc</sub> | 不定    | R / W |
| 4, 5 | B信号出力制御ビット<br>(CRi4, CRi5)                        | b5 b4<br>0 0 : 出力しない (注)<br>0 1 : 1/3V <sub>cc</sub><br>1 0 : 2/3V <sub>cc</sub><br>1 1 : V <sub>cc</sub> | 不定    | R / W |
| 6    | OUT1出力制御ビット<br>(CRi6)                             | 0 : 出力しない<br>1 : 出力する                                                                                     | 不定    | R / W |
| 7    | このビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は不定です。 |                                                                                                           | 不定    | R / - |

注. デジタル出力を選択した場合、“00”以外の値でV<sub>cc</sub>出力します。

0250<sub>16</sub>番地

## レフトボーダーコントロールレジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

レフトボーダーコントロールレジスタ1(LB1)【0250<sub>16</sub>番地】

| b   | ビット名                     | 機 能                                                                                                                                             | リセット時 | R | W |
|-----|--------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0   | 左端制御ビット<br>(LB10 ~ LB17) | 左端位置(下位8ビット)<br>$T_{osc} \times (LB2 \text{の下位3ビットの設定値} \times 16^2 + LB1 \text{の上位4ビットの設定値} \times 16^1 + LB1 \text{の下位4ビットの設定値} \times 16^0)$ | 1     | R | W |
| 1~7 |                          |                                                                                                                                                 | 0     |   |   |

- 注1. LB1 = LB2 = "00<sub>16</sub>" を設定しないでください。  
 2.  $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。  
 3.  $T_{osc}$ : OSD用クロック発振周期  
 4. LB2: レフトボーダーコントロールレジスタ2

0251<sub>16</sub>番地

## レフトボーダーコントロールレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

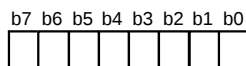
レフトボーダーコントロールレジスタ2 (LB2)【0251<sub>16</sub>番地】

| b   | ビット名                                                   | 機 能                                                                                                                                               | リセット時 | R | W |
|-----|--------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~2 | 左端制御ビット<br>(LB20 ~ LB22)                               | 左端終了位置(上位3ビット)<br>$T_{osc} \times (LB2 \text{の下位3ビットの設定値} \times 16^2 + LB1 \text{の上位4ビットの設定値} \times 16^1 + LB1 \text{の下位4ビットの設定値} \times 16^0)$ | 0     | R | W |
| 3~7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は "0" です。 |                                                                                                                                                   | 0     | R | - |

- 注1. LB1 = LB2 = "00<sub>16</sub>" を設定しないでください。  
 2.  $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。  
 3.  $T_{osc}$ : OSD用クロック発振周期  
 4. LB1: レフトボーダーコントロールレジスタ1

0252<sub>16</sub>番地

## ライトボーダーコントロールレジスタ1

ライトボーダーコントロールレジスタ1 (RB1) 【0252<sub>16</sub>番地】

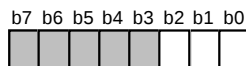
| b   | ビット名                     | 機 能                                                                                                                                                       | セット時 | R | W |
|-----|--------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|------|---|---|
| 0~7 | 右端制御ビット<br>(RB10 ~ RB17) | 右端位置(下位8ビット)<br>$T_{osc} \times (RB2 \text{の下位3ビットの設定値} \times 16^2$<br>$+ RB1 \text{の上位4ビットの設定値} \times 16^1$<br>$+ RB1 \text{の下位4ビットの設定値} \times 16^0)$ | 1    | R | W |

注1.  $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。2.  $T_{osc}$ : OSD用クロック発振周期

3. RB2: ライトボーダーコントロールレジスタ2

0253<sub>16</sub>番地

## ライトボーダーコントロールレジスタ2

ライトボーダーコントロールレジスタ2 (RB2) 【0253<sub>16</sub>番地】

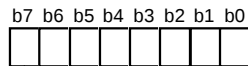
| b   | ビット名                                                   | 機 能                                                                                                                                                       | セット時 | R | W |
|-----|--------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|------|---|---|
| 0~2 | 右端制御ビット<br>(RB20 ~ RB22)                               | 右端位置(上位3ビット)<br>$T_{osc} \times (RB2 \text{の下位3ビットの設定値} \times 16^2$<br>$+ RB1 \text{の上位4ビットの設定値} \times 16^1$<br>$+ RB1 \text{の下位4ビットの設定値} \times 16^0)$ | 1    | R | W |
| 3~7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は "0" です。 |                                                                                                                                                           | 0    | R | - |

注1.  $(LB1 + LB2 \times 16^2) < (RB1 + RB2 \times 16^2)$  となるように値を設定してください。2.  $T_{osc}$ : OSD用クロック発振周期

3. RB1: ライトボーダーコントロールレジスタ1

0254<sub>16</sub>番地

## スプライト垂直位置レジスタ1

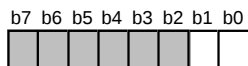
スプライト垂直位置レジスタ1 (VS1) 【0254<sub>16</sub>番地】

| b   | ビット名                             | 機 能                                                                                                                         | リセット時 | R | W |
|-----|----------------------------------|-----------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0   | スプライトOSD                         | 水平表示開始位置(下位8ビット)                                                                                                            | 1     | R | W |
| 1~7 | 垂直表示開始位置<br>制御ビット<br>(VS10~VS17) | $T_H \times (VS2 \text{の下位2ビットの設定値} \times 16^2 + VS1 \text{の上位4ビットの設定値} \times 16^1 + VS1 \text{の下位4ビットの設定値} \times 16^0)$ | 0     |   |   |

- 注1. VS1=VS2= "00<sub>16</sub>" は設定しないでください。  
 2.  $T_H$ : Hsyncの周期  
 3. VS2: スプライト垂直位置レジスタ2

0255<sub>16</sub>番地

## スプライト垂直位置レジスタ2

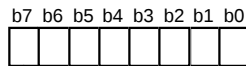
スプライト垂直位置レジスタ2 (VS2) 【0255<sub>16</sub>番地】

| b    | ビット名                                                 | 機 能                                                                                                                                             | リセット時 | R | W |
|------|------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0, 1 | スプライトOSD<br>垂直開始位置<br>制御ビット<br>(VS20, VS21)          | 垂直表示開始位置(上位2ビット)<br>$T_H \times (VS2 \text{の下位2ビットの設定値} \times 16^2 + VS1 \text{の上位4ビットの設定値} \times 16^1 + VS1 \text{の下位4ビットの設定値} \times 16^0)$ | 0     | R | W |
| 2~7  | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は"0"です。 |                                                                                                                                                 | 0     | R | - |

- 注1. VS1=VS2= "00<sub>16</sub>" は設定しないでください。  
 2.  $T_H$ : Hsyncの周期  
 3. VS1: スプライト垂直位置レジスタ1

0256<sub>16</sub>番地

## スプライト水平位置レジスタ1

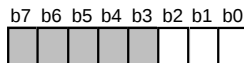
スプライト水平位置レジスタ1 (HS1) 【0256<sub>16</sub>番地】

| b   | ビット名                                           | 機 能                                                                                                                                              | リセット時 | R | W |
|-----|------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~7 | スプライトOSD<br>水平表示開始位置<br>制御ビット<br>(HS10 ~ HS17) | 水平表示開始位置(下位8ビット)<br>$T_{osc} \times (\text{HS2の下位3ビットの設定値} \times 16^2 + \text{HS1の上位4ビットの設定値} \times 16^1 + \text{HS1の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |

- 注1. HS2= " 00<sub>16</sub> " のとき、HS1< " 30<sub>16</sub> " を設定しないでください。  
 2. T<sub>osc</sub>: OSD用クロック発振周期  
 3. HS2: スプライト水平位置レジスタ2

0257<sub>16</sub>番地

## スプライト水平位置レジスタ2

スプライト水平位置レジスタ2 (HS2) 【0257<sub>16</sub>番地】

| b   | ビット名                                                     | 機 能                                                                                                                                              | リセット時 | R | W |
|-----|----------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|---|
| 0~2 | スプライトOSD<br>水平開始位置<br>制御ビット<br>(HS20 ~ HS22)             | 水平表示開始位置(上位3ビット)<br>$T_{osc} \times (\text{HS2の下位3ビットの設定値} \times 16^2 + \text{HS1の上位4ビットの設定値} \times 16^1 + \text{HS1の下位4ビットの設定値} \times 16^0)$ | 不定    | R | W |
| 3~7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は " 0 " です。 |                                                                                                                                                  | 0     | R | - |

- 注1. HS2= " 00<sub>16</sub> " のとき、HS1< " 30<sub>16</sub> " を設定しないでください。  
 2. T<sub>osc</sub>: OSD用クロック発振周期  
 3. HS1: スプライト水平位置レジスタ1

## スプライトOSD制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

スプライトOSD制御レジスタ (SC) 【0258<sub>16</sub>番地】

| b    | ビット名                                                 | 機 能                                                                         | リセット時 | R | W |
|------|------------------------------------------------------|-----------------------------------------------------------------------------|-------|---|---|
| 0    | スプライトOSD<br>制御ビット<br>(SC0)                           | 0: 動作しない<br>1: 動作する                                                         | 0     | R | W |
| 1    | プリ分周比選択<br>ビット<br>(SC1)                              | 0: プリ分周比1<br>1: プリ分周比2                                                      | 0     | R | W |
| 2, 3 | ドットサイズ選択<br>ビット<br>(SC2, SC3)                        | b3 b2<br>0 0: 1Tc × 1/2H<br>0 1: 1Tc × 1H<br>1 0: 2Tc × 1H<br>1 1: 2Tc × 2H | 0     | R | W |
| 4    | 割り込み発生位置<br>選択ビット<br>(SC4)                           | 0: 縦20ドット表示後<br>1: 縦10ドット及び20ドット表示後                                         | 0     | R | W |
| 5    | Xin/4096・スプライト<br>割り込み要因<br>切り換えビット<br>(SC5)         | 0: Xin/4096割り込み<br>1: スプライトOSD割り込み                                          | 0     | R | W |
| 6, 7 | これらのビットには何も配置されていません。<br>書き込み不可で、読み出した場合、その内容は“0”です。 |                                                                             | 0     | R | - |

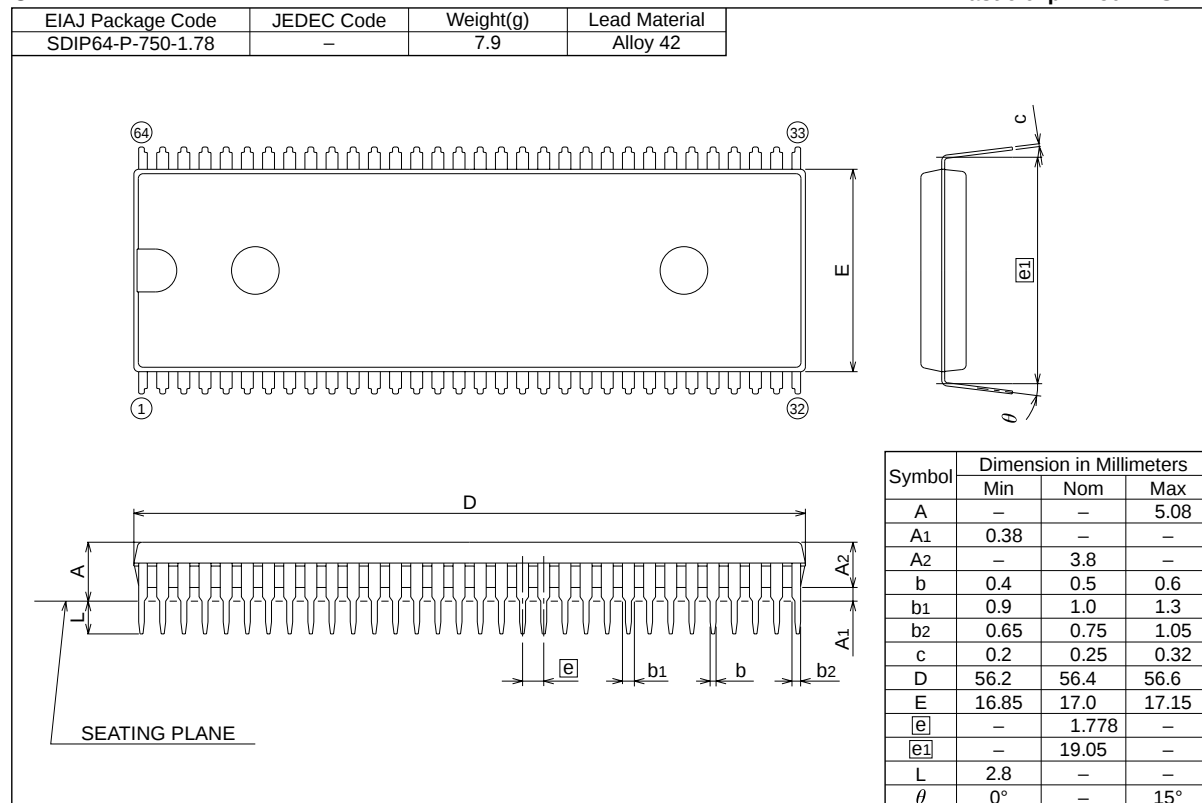
注1. Tc : プリ分周したOSD用クロック周期

2. H : Hsync

## 19. パッケージ外形寸法図

## 64P4B

Plastic 64pin 750mil SDIP



## 改訂記録

M37280MFH-XXXSP, M37280MKH-XXXSP, M37280EKSP

| Rev. | 発行日        | 改訂内容 |      |
|------|------------|------|------|
|      |            | ページ  | ポイント |
| 1.00 | 2001.04.01 | -    | 初版発行 |

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

|   |   |   |   |           |                                |                |
|---|---|---|---|-----------|--------------------------------|----------------|
| 本 |   |   | 社 | 〒100-0004 | 千代田区大手町2-6-2 (日本ビル)            | (03) 5201-5350 |
| 京 | 浜 | 支 | 社 | 〒212-0058 | 川崎市幸区鹿島田890-12 (新川崎三井ビル)       | (044) 549-1662 |
| 西 | 東 | 支 | 社 | 〒190-0023 | 立川市柴崎町2-2-23 (第二高島ビル2F)        | (042) 524-8701 |
| 札 | 幌 | 支 | 店 | 〒060-0002 | 札幌市中央区北二条西4-1 (札幌三井ビル5F)       | (011) 210-8717 |
| 東 | 北 | 支 | 社 | 〒980-0013 | 仙台市青葉区花京院1-1-20 (花京院スクエア13F)   | (022) 221-1351 |
| い | わ | 支 | 店 | 〒970-8026 | いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F) | (0246) 22-3222 |
| 茨 | 城 | 支 | 店 | 〒312-0034 | ひたちなか市堀口832-2 (日立システムプラザ勝田1F)  | (029) 271-9411 |
| 新 | 潟 | 支 | 店 | 〒950-0087 | 新潟市東大通1-4-2 (新潟三井物産ビル3F)       | (025) 241-4361 |
| 松 | 本 | 支 | 社 | 〒390-0815 | 松本市深志1-2-11 (昭和ビル7F)           | (0263) 33-6622 |
| 中 | 部 | 支 | 部 | 〒460-0008 | 名古屋市中区栄3-13-20 (栄センタービル4F)     | (052) 261-3000 |
| 浜 | 松 | 支 | 店 | 〒430-7710 | 浜松市板屋町111-2 (浜松アクタタワー10F)      | (053) 451-2131 |
| 西 | 部 | 支 | 部 | 〒541-0044 | 大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル) | (06) 6233-9500 |
| 北 | 陸 | 支 | 社 | 〒920-0031 | 金沢市広岡3-1-1 (金沢パークビル8F)         | (076) 233-5980 |
| 広 | 島 | 支 | 店 | 〒730-0036 | 広島市中区袋町5-25 (広島袋町ビルディング8F)     | (082) 244-2570 |
| 鳥 | 取 | 支 | 店 | 〒680-0822 | 鳥取市今町2-251 (日本生命鳥取駅前ビル)        | (0857) 21-1915 |
| 九 | 州 | 支 | 社 | 〒812-0011 | 福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)  | (092) 481-7695 |
| 鹿 | 児 | 支 | 店 | 〒890-0053 | 鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)   | (099) 284-1748 |

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)